

JOÃO ANTONIO MARTINO

**MODELAGEM DO SUBSTRATO E NOVOS MÉTODOS DE
CARACTERIZAÇÃO ELÉTRICA DE SOI MOSFET**

Tese apresentada à Escola
Politécnica da Universidade de
São Paulo para obtenção do
título de Professor Livre
Docente junto ao Departamento
de Engenharia Eletrônica.

São Paulo
1998

JOÃO ANTONIO MARTINO

**MODELAGEM DO SUBSTRATO E NOVOS MÉTODOS DE
CARACTERIZAÇÃO ELÉTRICA DE SOI MOSFET**

Tese apresentada à Escola
Politécnica da Universidade de
São Paulo para obtenção do
título de Professor Livre
Docente junto ao Departamento
de Engenharia Eletrônica.

Área de Concentração :
Microeletrônica

São Paulo

1998

À minha mãe, OTTILIA, pela vida a nós dedicada.

À minha esposa, MARINÊS, pela força e compreensão constantes.

Aos meus filhos, FERNANDA e MÁRCIO, luzes de nossa vida.

Aos meus sogros, IVO e LOURDES, pelo apoio incondicional.

Dedico este trabalho especialmente ao meu pai,

NICOLA MARTINO, “*in memoriam*”,

pelo esforço em transformar meus sonhos em realidade.

“La verità solo fu figliola del tempo”

(A verdade só é filha do tempo)

Leonardo da Vinci

AGRADECIMENTOS

Ao Prof. Dr. João Antonio Zuffo, coordenador do Laboratório de Sistemas Integráveis - LSI/USP, pela infra-estrutura oferecida e pelo estímulo constante.

Ao Prof. Dr. Cor Claeys, coordenador do grupo "*Silicon Processing*" pelas facilidades de processamento e caracterização disponibilizadas no "*Interuniversity Microelectronic Center*" - IMEC/Bélgica.

Ao Prof. Dr. Jean-Pierre Colinge, pelo incentivo e encaminhamento na área de dispositivos SOI.

Aos colegas e amigos muito especiais, Marcelo Antonio Pavanello, Marcello Bellodi, Aparecido Sirley Nicolett e Victor Sonnenberg pelas sugestões e colaborações prestadas ao longo deste trabalho.

A todos os membros do grupo SOI CMOS do LSI/USP, o qual tenho a honra de coordenar e reunir pesquisadores da mais alta qualidade e

competência, que sempre compreenderam nossa eventual ausência devido à dedicação neste trabalho.

A minha esposa e filhos, pelo intenso apoio durante a realização desta etapa profissional, que como todos sabem, acabam exigindo muito de todos ao nosso redor.

A todos os colegas e amigos do LSI, que de forma direta ou indireta nos apoiaram ao longo de todo o trabalho.

SUMÁRIO

Lista de símbolos	
Resumo	
“Abstract”	
1 INTRODUÇÃO.....	1
1.1 Objetivos do trabalho.....	4
1.2 Apresentação do trabalho.....	5
2 CONCEITOS BÁSICOS.....	8
2.1 Lâminas SOI.....	8
2.2 Tecnologia SOI CMOS e CMOS convencional.....	10
2.3 Dispositivos SOI de camada espessa e de camada fina.....	13
2.4 SOI nMOSFET modo inversão.....	18
2.4.1 Tensão de limiar.....	18
2.4.2 Inclinação de sublimiar.....	24
2.5 SOI pMOSFET modo acumulação.....	29
2.5.1 Tensão de limiar.....	30
2.5.2 Inclinação de sublimiar.....	34
2.6 Operação em baixa temperatura.....	35

3 PROCESSO DE FABRICAÇÃO DOS DISPOSITIVOS SOI.....	39
3.1 Processo SOI CMOS.....	39
3.2 Dispositivos implementados e caracterização.....	45
4 MODELAGEM DO SUBSTRATO SOI.....	49
4.1 Introdução.....	49
4.2 Modelo analítico proposto.....	50
4.3 Simulação numérica.....	55
4.4 Influência de parâmetros de processo.....	57
4.5 Influência do substrato nos dispositivos SOI.....	61
4.5.1 SOI nMOSFET modo inversão.....	61
4.5.1.1 Tensão de limiar.....	61
4.5.1.2 Inclinação de sublimiar.....	67
4.5.1.3 Análise em baixa temperatura.....	73
4.5.2 SOI pMOSFET modo acumulação.....	77
4.5.2.1 Tensão de limiar de porta.....	77
4.5.2.2 Tensão de limiar de corpo induzida pela porta.....	78
4.5.2.3 Tensão de limiar de substrato.....	84
4.5.2.4 Tensão de limiar de corpo induzida pelo substrato.....	86
4.5.2.5 Análise em baixa temperatura.....	87

4.6	Novos métodos de determinação da densidade de carga efetiva no óxido em SOI MOSFET através do efeito do substrato.....	89
4.6.1	Método QOX3INV.....	90
4.6.1.1	Proposta do método.....	91
4.6.1.2	Simulação numérica.....	92
4.6.1.3	Aplicação experimental.....	95
4.6.2	Método QOX3AC.....	97
4.6.2.1	Proposta do método.....	97
4.6.2.2	Simulação numérica.....	100
4.6.2.3	Aplicação experimental.....	102
4.7	Conclusões.....	104

5 NOVOS MÉTODOS DE DETERMINAÇÃO DA DENSIDADE

	DE ARMADILHAS DE INTERFACE EM SOI MOSFET.....	105
5.1	Introdução.....	105
5.2	Método DV_tM	106
5.2.1	Proposta do método.....	106
5.2.2	Simulação numérica.....	111
5.2.3	Aplicação experimental.....	112
5.3	Método SDV_tM	115

5.3.1 Proposta do método.....	115
5.3.2 Simulação numérica.....	118
5.3.3 Aplicação experimental.....	119
5.4 Efeitos transitórios em baixa temperatura.....	122
5.5 Conclusões.....	126
6 CONCLUSÕES.....	128

Anexo A - Arquivo de simulação MEDICI de um transistor

SOI nMOSFET modo inversão.....131

Anexo B - Arquivo de simulação MEDICI de um transistor

SOI pMOSFET modo acumulação.....134

REFERÊNCIAS BIBLIOGRÁFICAS.....137

Apêndice I - Estruturas e dispositivos implementados com a tecnologia

SOI CMOS de 0,5 μm de dimensão mínima de porta.

Apêndice II - Cópia do artigo publicado referente ao método DV_tM .

Apêndice III - Cópia do artigo publicado referente ao método SDV_tM .

Apêndice IV - Cópia do artigo publicado referente aos efeitos transitórios em baixa temperatura.

Lista de Símbolos

A	Área da região de canal [μm^2]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{it}	Capacitância de armadilhas de interface por unidade de área [F/cm^2]
C_{itb}	Capacitância de armadilhas da segunda interface por unidade de área [F/cm^2]
C_{itf}	Capacitância de armadilhas da primeira interface por unidade de área [F/cm^2]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
C_{SUB}	Capacitância do substrato por unidade de área [F/cm^2]
C_X	Representa a capacitância elétrica entre a primeira interface e o substrato
D_n	Coefficiente de difusão dos elétrons [cm^2/s]
E_A	Energia de ionização dos aceitadores [eV]
E_C	Nível energético do extremo inferior da faixa de Condução [eV]

E_F	Nível de Fermi [eV]
E_{Fb}	Nível de Fermi do substrato [eV]
E_{Ff}	Nível de Fermi da camada de silício [eV]
E_g	Largura da Faixa Proibida [eV]
E_i	Nível de Fermi intrínseco [eV]
E_v	Nível energético do extremo superior da faixa de Valência [eV]
g	Fator de degenerância
g_m	Transcondutância de saída do transistor [S]
\hbar	Constante de Planck [$6,62617 \times 10^{-34}$ J·s]
I_{acc1}	Corrente elétrica que passa na primeira interface do transistor SOI MOSFET modo acumulação [A]
I_{acc2}	Corrente elétrica que passa na segunda interface do transistor SOI MOSFET modo acumulação [A]
I_{corpo}	Corrente elétrica que passa no corpo do transistor SOI MOSFET modo acumulação [A]
I_D	Corrente de Dreno [A]
I_{DS}	Corrente entre Dreno e Fonte [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
L	Comprimento de canal do transistor [μm]
L_{eff}	Comprimento efetivo de canal do transistor [μm]
m_n^*	Massa efetiva dos elétrons [kg]
m_o	Massa elementar do elétron [kg]

m_p^*	Massa efetiva das lacunas [kg]
$n(L)$	Concentração de elétrons ao lado do Dreno [cm^{-3}]
$n(0)$	Concentração de elétrons ao lado da Fonte [cm^{-3}]
N_a	Concentração de impurezas aceitadoras do semicondutor [cm^{-3}]
N_{ab}	Concentração de impurezas aceitadoras do substrato do transistor SOI [cm^{-3}]
N_{af}	Concentração de impurezas aceitadoras da camada de silício do transistor SOI [cm^{-3}]
N_c	Densidade de estados na faixa de Condução [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{it}	Densidade de armadilhas de interface [$\text{eV}^{-1} \text{cm}^{-2}$]
N_{itb}	Densidade de armadilhas na segunda interface em transistor SOI [$\text{eV}^{-1} \text{cm}^{-2}$]
N_{itf}	Densidade de armadilhas na primeira interface em transistor SOI [$\text{eV}^{-1} \text{cm}^{-2}$]
N_v	Densidade de estados na faixa de Valência [cm^{-3}]
q	Carga elementar do elétron [C]
Q_{depl}	Densidade de carga de depleção na camada de silício [C/cm^2]
$Q_{inv1}(y)$	Densidade de carga de inversão na primeira interface em função da posição do canal [C/cm^2]
Q_{inv1}	Densidade de carga de inversão na primeira interface [C/cm^2]

Q_{itb}	Densidade de carga armadilhada na segunda interface de um transistor SOI [C/cm^2]
Q_{itf}	Densidade de carga armadilhada na primeira interface de um transistor SOI [C/cm^2]
Q_{ox}	Densidade de carga fixa no óxido de porta do transistor MOS convencional [C/cm^2]
Q_{ox1}	Densidade de carga efetiva no óxido de porta na primeira interface do transistor SOI [C/cm^2]
Q_{ox2}	Densidade de carga efetiva no óxido enterrado na segunda interface do transistor SOI [C/cm^2]
Q_{ox3}	Densidade de carga efetiva no óxido enterrado na terceira interface do transistor SOI [C/cm^2]
Q_{s2}	Densidade de carga de acumulação ou inversão na segunda interface do transistor SOI [C/cm^2]
S	Inclinação de Sublimiar [$mV/déc.$]
S_{acc}	Inclinação de sublimiar de um SOI MOSFET de camada fina com a segunda interface acumulada [$mV/déc.$]
S_{depl}	Inclinação de sublimiar de um SOI MOSFET de camada fina com a segunda interface em depleção [$mV/déc.$]
S_{esp}	Inclinação de sublimiar de um SOI MOSFET de camada espessa [$mV/déc.$]
S_{min}	Mínima inclinação de Sublimiar [$mV/déc.$]

T	Temperatura absoluta [K]
t_{eff}	Espessura efetiva da camada de silício [nm]
T_K	Temperatura crítica [K]
t_{ox}	Espessura do óxido de porta [nm]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V_D	Tensão de Dreno [V]
V_{DS}	Tensão entre Dreno e Fonte [V]
V_{FB}	Tensão de Faixa Plana da estrutura MOS convencional [V]
V_{FB1}	Tensão de Faixa Plana da primeira interface induzida pela porta do transistor SOI [V]
V_{FB2}	Tensão de Faixa Plana da segunda interface induzida pelo substrato do transistor SOI [V]
V_{FB3}	Tensão de Faixa Plana da terceira interface induzida pela tensão na segunda interface [V]
V_G	Tensão de porta [V]
V_{GB}	Tensão de substrato do transistor SOI [V]
$V_{GB, \text{acc}2}$	Tensão de substrato com a segunda interface no limiar da acumulação [V]
$V_{GB, \text{acc}3}$	Tensão de substrato com a terceira interface no limiar da acumulação [V]

V_{GBinv2}	Tensão de substrato com a segunda interface no limiar da inversão [V]
V_{GBinv3}	Tensão de substrato com a terceira interface no limiar da inversão [V]
V_{GF}	Tensão de porta do transistor SOI [V]
V_{th}	Tensão de limiar [V]
V_{thF}	Tensão de limiar de porta do transistor SOI MOSFET [V]
$V_{thFinv3}$	Tensão de limiar de porta do transistor SOI com a terceira interface em inversão [V]
V_{thacc1}	Tensão de limiar de acumulação da primeira interface induzida pela porta [V]
V_{thacc2}	Tensão de limiar de acumulação da segunda interface induzida pela porta [V]
V_{th3}	Tensão de limiar da terceira interface, induzida pela segunda interface [V]
V_{GBmin}	Tensão de substrato mínima com a terceira interface em depleção [V]
V_{GBmax}	Tensão de substrato máxima com a terceira interface em depleção [V]
$V_{thbody1}$	Tensão de limiar de corpo induzida pela porta [V]
$V_{thbody2}$	Tensão de limiar de corpo induzida pelo substrato [V]

$V_{th1, acc2}$	Tensão de limiar de porta com a segunda interface em acumulação [V]
$V_{th1, depl2}$	Tensão de limiar de porta com a segunda interface em depleção [V]
$V_{th1, inv2}$	Tensão de limiar de porta com a segunda interface em inversão [V]
V_x	Diferença de potencial entre a segunda interface e o substrato em SOI MOSFET [V]
W	Largura de canal do transistor [μm]
$x_{dm\acute{a}x}$	Profundidade da região de depleção máxima [μm]
x_{d2acc3}	Profundidade da região de depleção proveniente da segunda interface com a terceira interface acumulada [μm]
x_{SUB}	Profundidade da região de depleção no substrato [nm]
α	Coeficiente que relaciona as capacitâncias de um transistor
α_{acc}	Coeficiente que relaciona as capacitâncias de um SOI MOSFET de camada fina com a segunda interface em acumulação
α_{depl}	Coeficiente que relaciona as capacitâncias de um SOI MOSFET de camada fina com a segunda interface em depleção
α_{esp}	Coeficiente que relaciona as capacitâncias de um SOI MOSFET de camada espessa

ΔS	Variação na Inclinação de Sublimiar considerando-se ou não o efeito do substrato [mV/déc]
$\Delta S_{\text{máx}}$	Máxima variação na Inclinação de Sublimiar considerando-se ou não o efeito do substrato [mV/déc]
$\Delta V_{\text{th}_{\text{body}1}}$	Variação da tensão de limiar de corpo induzida pela porta considerando-se ou não o efeito do substrato [V]
$\Delta V_{\text{th}_{\text{body}2}}$	Variação da tensão de limiar de corpo induzida pelo substrato considerando-se ou não o efeito do substrato [V]
ΔV_{th_F}	Variação da tensão de limiar do transistor considerando-se ou não o efeito do substrato [V]
$\Delta V_{\text{th}_{F\text{máx}}}$	Máxima variação da tensão de limiar do transistor considerando-se ou não o efeito do substrato [V]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϕ	Potencial [V]
ϕ_F	Potencial de Fermi [V]
ϕ_{Fb}	Potencial de Fermi do substrato [V]
ϕ_{Ff}	Potencial de Fermi da camada de silício [V]
ϕ_{MS}	Diferença de função trabalho entre metal de porta e semiconductor [V]
ϕ_{MSi}	Diferença de função trabalho entre metal de porta e a camada de silício [V]

ϕ_{MS2}	Diferença de função trabalho entre o substrato e a camada de silício [V]
ϕ_{MS3}	Diferença de função trabalho entre a camada de silício e o substrato [V]
ϕ_{SB}	Potencial de superfície da segunda interface [V]
ϕ_{SBinv3}	Potencial de superfície da segunda interface com a terceira interface em inversão [V]
ϕ_{SF}	Potencial de superfície da primeira interface [V]
ϕ_{SUB}	Potencial de superfície da terceira interface ou do substrato [V]
μ_n	Mobilidade efetiva dos elétrons na camada de silício [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_p	Mobilidade efetiva das lacunas na camada de silício [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{on}	Mobilidade de baixo campo elétrico dos elétrons [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{op}	Mobilidade de baixo campo elétrico das lacunas [$\text{cm}^2/\text{V}\cdot\text{s}$]
θ	Coefficiente de degradação da mobilidade devido ao campo elétrico transversal [V^{-1}]

RESUMO

Neste trabalho, são desenvolvidos novos modelos e métodos de caracterização elétrica de dispositivos SOI MOSFET em temperatura ambiente e em baixa temperatura.

Todos os métodos propostos foram testados com o auxílio de um simulador numérico bidimensional e aplicados experimentalmente em dispositivos SOI MOSFET. Estes dispositivos foram implementados na tecnologia de 0,5 μm SOI CMOS.

Inicialmente é apresentado um novo modelo analítico de um SOI MOSFET de camada fina, que leva em consideração a queda de potencial de substrato, até então desprezada em modelos anteriores.

Este modelo analítico foi comparado com os resultados obtidos por simulação numérica e constatado experimentalmente na temperatura ambiente e em baixa temperatura.

Demonstrou-se que em várias condições de processo e temperatura, a influência do substrato em certos parâmetros elétricos dos SOI MOSFET, modo inversão e modo acumulação, não pode ser desprezada.

Com o auxílio deste modelo do substrato, apresentou-se dois novos métodos para obtenção da densidade de carga efetiva no óxido na interface óxido enterrado / substrato em temperatura ambiente.

A densidade de armadilhas de interface é outro parâmetro de difícil determinação em SOI MOSFET. Neste trabalho são também propostos dois outros novos métodos de obtenção deste parâmetro nas interfaces óxido de porta / canal e canal / óxido enterrado em baixa temperatura.

Efeitos transitórios ocorridos devido a baixa temperatura são analisados e demonstraram não afetar os métodos de caracterização propostos.

ABSTRACT

In this work new models and electrical characterization methods of SOI MOSFET devices are developed at room and low temperatures.

All the proposed methods were tested with a bidimensional numerical simulation and they were experimentally applied to SOI MOSFET. These devices have been fabricated in a 0.5 μm SOI CMOS technology.

First of all, a new analytical model of a thin film SOI MOSFET is presented which takes in consideration the substrate potential drop which one is neglected in other models till now.

This analytical model was compared with numerical simulation results and it was observed experimentally on transistors at room and low temperatures.

It was demonstrated that for various process and temperature conditions the substrate influences on some electrical parameters in a inversion and accumulation mode SOI MOSFET, what can not be neglected.

Two new methods were developed using the substrate model in order to obtain the effective oxide charge density at the buried oxide / substrate interface at room temperature.

The interface trap density is another SOI MOSFET parameter difficult to determine. In this work, two new methods were presented to obtain the interface trap density at the gate oxide / silicon channel and silicon channel / buried oxide interfaces at low temperature.

Transient effects due to low temperature operation are analyzed and no influence on the characterization methods were found.

1 INTRODUÇÃO

O Transistor de Efeito de Campo tipo Metal-Óxido-Semicondutor (MOSFET), tem sido implementado sobre lâminas de silício desde os anos 60, onde as dimensões mínimas de porta eram da ordem de dezenas de micrometros, passando a submicrométricos nos anos 90. Esta redução drástica nas dimensões do transistor fez com que a sua tecnologia de fabricação (tecnologia MOS) se tornasse cada vez mais complexa, devido aos inúmeros problemas decorrentes desta diminuição.

Na tecnologia MOS convencional, o substrato de silício tem atualmente espessura de aproximadamente 500 μm , sendo que toda a estrutura do transistor ocupa apenas o primeiro micrometro próximo à superfície. A interação entre o transistor e o substrato acaba introduzindo uma série de efeitos parasitários, tais como o aumento das capacitâncias das junções de dreno e fonte, disparo do transistor parasitário da estrutura CMOS (Latchup), aumento da corrente de fuga e diminuição da tensão de perfuração MOS (Punchthrough). Diversas alternativas de processo de fabricação tem sido usadas para eliminar e/ou minimizar tais efeitos, porém com grande impacto no custo e no rendimento de fabricação.

A tecnologia SOI tem mostrado grande potencial para ser utilizada na fabricação de circuitos integrados em altíssima escala de integração [1.1 - 1.2]. Nesta tecnologia, os transistores são implementados em lâminas de silício sobre isolante (*Silicon On Insulator*), o que permite uma isolação dielétrica intrínseca entre os dispositivos e o substrato, eliminando assim grande parte dos problemas de redução de dimensões citados anteriormente. Como a espessura do silício sobre o isolante é menor do que 500 nm, o dispositivo apresenta alta resistência à radiação [1.3 - 1.4] e baixa sensibilidade à variação de temperatura [1.5 - 1.6], características adequadas para aplicação espacial, aérea e automobilística.

A tecnologia SOI tem evoluído e, recentemente, a espessura da camada de silício sobre o isolante diminuiu para valores inferiores a 100 nm, dando origem ao dispositivo SOI MOSFET de camada fina (*thin-film*) que, quando opera com o canal totalmente depletado (*fully depleted*), apresenta muitas vantagens em relação a tecnologia MOS convencional [1.7]. Entre estas vantagens pode-se citar o aumento da mobilidade [1.8], da transcondutância e da densidade de integração [1.2], a diminuição das capacitâncias parasitárias de fonte e dreno [1.9], dos efeitos de canal curto [1.10] e da sensibilidade com a variação da

temperatura [1.11]. A inclinação de sublimiar torna-se quase ideal (aproximadamente 62 mV/dec à temperatura ambiente), o que permite que o transistor SOI tenha menor tensão de limiar sem o aumento da corrente de fuga, provocando um aumento na velocidade de comutação dos circuitos [1.12].

Como a tecnologia SOI está em pleno desenvolvimento, muitos são os trabalhos de pesquisas necessários na área de fabricação, modelagem e caracterização elétrica dos dispositivos SOI MOSFET.

Iniciamos o trabalho nesta tecnologia em 1990, no centro de pesquisa de microeletrônica localizado na Universidade Católica de Leuven (IMEC / KUL), na Bélgica, e através de viagens sucessivas, foi possível realizar a fabricação de dispositivos SOI MOSFET, propor um modelo analítico do substrato SOI e novos métodos de caracterização elétrica destes dispositivos.

Este trabalho em conjunto entre o Laboratório de Sistemas Integráveis da Universidade de São Paulo – LSI / USP / Brasil e o IMEC / KUL / Bélgica permitiu que formássemos um grupo de pesquisas no LSI que até 1998 foi responsável pela publicação de 19 artigos internacionais [1.13 - 1.31] e pela publicação de 33 artigos nacionais [1.32 – 1.64], além de 4 dissertações de mestrado.

Nesta tese serão apresentados apenas os tópicos que desenvolvemos no IMEC, restringindo os desdobramentos e não incluindo os trabalhos realizados exclusivamente através de orientados.

1.1 Objetivos do trabalho

Contribuir com novos modelos e métodos de caracterização elétrica de dispositivos SOI MOSFET como segue:

- a) Desenvolvimento de um modelo analítico que introduz o efeito da queda de potencial do substrato no modelo clássico de SOI MOSFET modo inversão e modo acumulação.
- b) Método de determinação da densidade de carga no óxido na interface óxido enterrado/substrato em SOI MOSFET:
 - b.1) modo inversão
 - b.2) modo acumulação
- c) Método de determinação da densidade de armadilhas de interface em SOI pMOSFET modo acumulação à baixas temperaturas, nas interfaces:

c.1) óxido de porta / camada de silício

c.2) camada de silício / óxido enterrado

Para atingir estes objetivos, participamos do projeto e fabricação de diversos dispositivos e estruturas SOI MOSFET modo inversão e modo acumulação, como indicado no capítulo 3.

1.2 Apresentação do trabalho

O trabalho está dividido em 6 capítulos, como indicado a seguir:

a) Capítulo 1: Introdução.

Neste capítulo é apresentada uma breve introdução a respeito da tecnologia SOI, os objetivos e forma de apresentação do trabalho.

b) Capítulo 2: Conceitos Básicos.

Os conceitos básicos necessários para o desenvolvimento dos capítulos seguintes serão apresentados.

c) Capítulo 3: Processo de Fabricação dos Dispositivos SOI.

É apresentado o processo de fabricação utilizado para a obtenção dos dispositivos SOI MOSFET e estruturas utilizadas para sua caracterização elétrica.

d) Capítulo 4: Modelagem do Substrato SOI.

É proposto um modelo analítico que leva em consideração a queda de potencial no substrato através do qual é estudada sua influência nos parâmetros do SOI MOSFET modo inversão e modo acumulação, em temperatura ambiente e em baixa temperatura. Simulação numérica e comprovação experimental são também realizadas. Com a utilização deste modelo são apresentados dois novos métodos de determinação da densidade de carga no óxido enterrado, sendo um para transistor SOI MOSFET modo inversão (QOX3INV) e outro para modo acumulação (QOX3AC).

e) Capítulo 5: Novos Métodos de Determinação da Densidade de Armadilhas de Interface em SOI MOSFET.

Neste capítulo são propostos dois novos métodos para a determinação da densidade de armadilhas de interface em baixas

temperaturas, sendo um da primeira interface (DV_tM) e outro da segunda (SDV_tM). Simulação numérica e aplicação experimental são também realizadas para cada método.

f) Capítulo 6: Conclusão.

São apresentadas as conclusões gerais do trabalho e sugestões para a continuidade do mesmo.

2 CONCEITOS BÁSICOS

Neste capítulo são apresentados diversos conceitos básicos relativos a materiais, tecnologia, dispositivos, modelos analíticos e parâmetros elétricos de transistores SOI MOSFET, que servem como base para o desenvolvimento dos capítulos 3, 4 e 5.

2.1 Lâminas SOI

Lâminas SOI (Silicon-On-Insulator) são compostas de uma camada de silício monocristalino sobre um isolante. Muitas são as técnicas de obtenção destas lâminas, tais como:

a) Crescimento epitaxial de silício sobre lâminas de silício cobertas parcialmente por isolante [2.1 - 2.6].

b) Crescimento epitaxial de silício sobre substrato isolantes cristalinos [2.7 - 2.10].

c) Rescristalização do silício por fusão [2.11 - 2.13].

d) Separação por Implantação de:

d1) Oxigênio (SIMOX) [2.14 - 2.15].

d2) Nitrogênio (SIMNI) [2.16 - 2.17].

d3) Oxigênio e Nitrogênio (SIMON) [2.18].

e) Colagem de lâminas oxidadas e posterior afinamento de um dos lados [2.19 - 2.20].

Cada técnica apresenta vantagens e desvantagens, dependendo da aplicação a que se destina. Como a técnica SIMOX é uma das mais fortes candidatas para aplicações na fabricação de circuitos integrados em escala muito ampla (VLSI) [2.21], o trabalho desenvolvido nesta tese de Livre Docência foi inteiramente realizado com este tipo de lâmina SOI.

A técnica SIMOX (Separação por Implantação de Oxigênio) para obtenção de lâminas SOI consiste na formação de uma camada enterrada de óxido de silício por implantação de oxigênio abaixo da superfície da lâmina de silício.

A figura 2.1 mostra o princípio básico da técnica SIMOX.

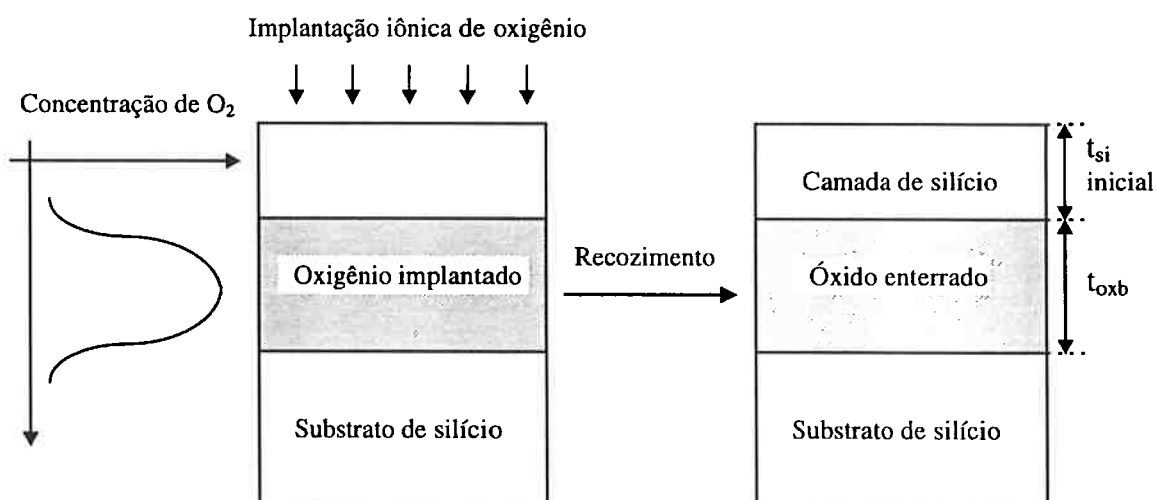


Figura 2.1 - Princípio da técnica SIMOX de obtenção de lâmina SOI.

A dose típica para implantação de oxigênio é de $1,8 \times 10^{18} \text{ cm}^{-2}$ e energia de 200 KeV. Em 1985, o primeiro implantador de alta corrente (100 mA) NV 200 foi produzido pela Eaton e foi um passo fundamental para o desenvolvimento da técnica SIMOX [2.21].

Após a implantação é necessário um recozimento em altas temperaturas (por exemplo: 6 horas, 1.300°C) para formação de óxido de silício e de interfaces óxido-silício de boa qualidade [2.21].

A espessura final da camada de silício sobre o isolante resultante deste processo é tipicamente 200 nm, podendo ser afinada através de oxidações / remoções sucessivas.

Neste trabalho as lâminas SOI utilizadas pela técnica SIMOX têm características de espessura inicial da camada de silício / óxido enterrado / substrato de silício de 200 nm / 400 nm / 500 μm e de diâmetro de 5 polegadas.

Maiores detalhes sobre as técnicas de obtenção de lâminas SOI aqui expostas podem ser vistas nas referências indicadas no texto.

2.2 Tecnologia SOI CMOS e CMOS convencional [2.21]

As etapas de fabricação de circuitos CMOS em lâminas de silício (CMOS convencional) ou em lâminas SOI (SOI CMOS) são muito

similares. Lâminas SOI de camada de silício espessa (200 a 500 nm) ou fina (≤ 100 nm) são utilizadas na tecnologia SOI CMOS de camada espessa (thick-film) e camada fina (thin-film) respectivamente. Em ambos os casos, a sequência completa de fabricação SOI CMOS é mais simples que a CMOS convencional.

A figura 2.2 mostra a estrutura de perfil de um CMOS convencional (a), SOI CMOS de camada espessa (b) e SOI CMOS de camada fina (c). Esta figura mostra claramente que a estrutura dos dispositivos SOI, principalmente a SOI CMOS de camada fina, é mais simples de ser obtida que a CMOS convencional.

Na tecnologia SOI CMOS não é necessário a formação das cavidades P e N (Twin-well) e a região passiva é muito mais simples (LOCOS simplificado) e eficiente, eliminando totalmente o efeito tiristor parasitário (Latchup). A implantação de anti-perfuração MOS (anti-punchthrough) usado em CMOS convencional, é mantida em SOI pMOSFET de camada espessa, mas modificado para SOI nMOSFET com o objetivo de suprimir a corrente de fuga entre fonte / dreno pela interface camada de silício / óxido enterrado. Em SOI CMOS de camada fina estas implantações mais profundas são desnecessárias, onde a dopagem do canal é definida exclusivamente pela implantação de ajuste de tensão de limiar.

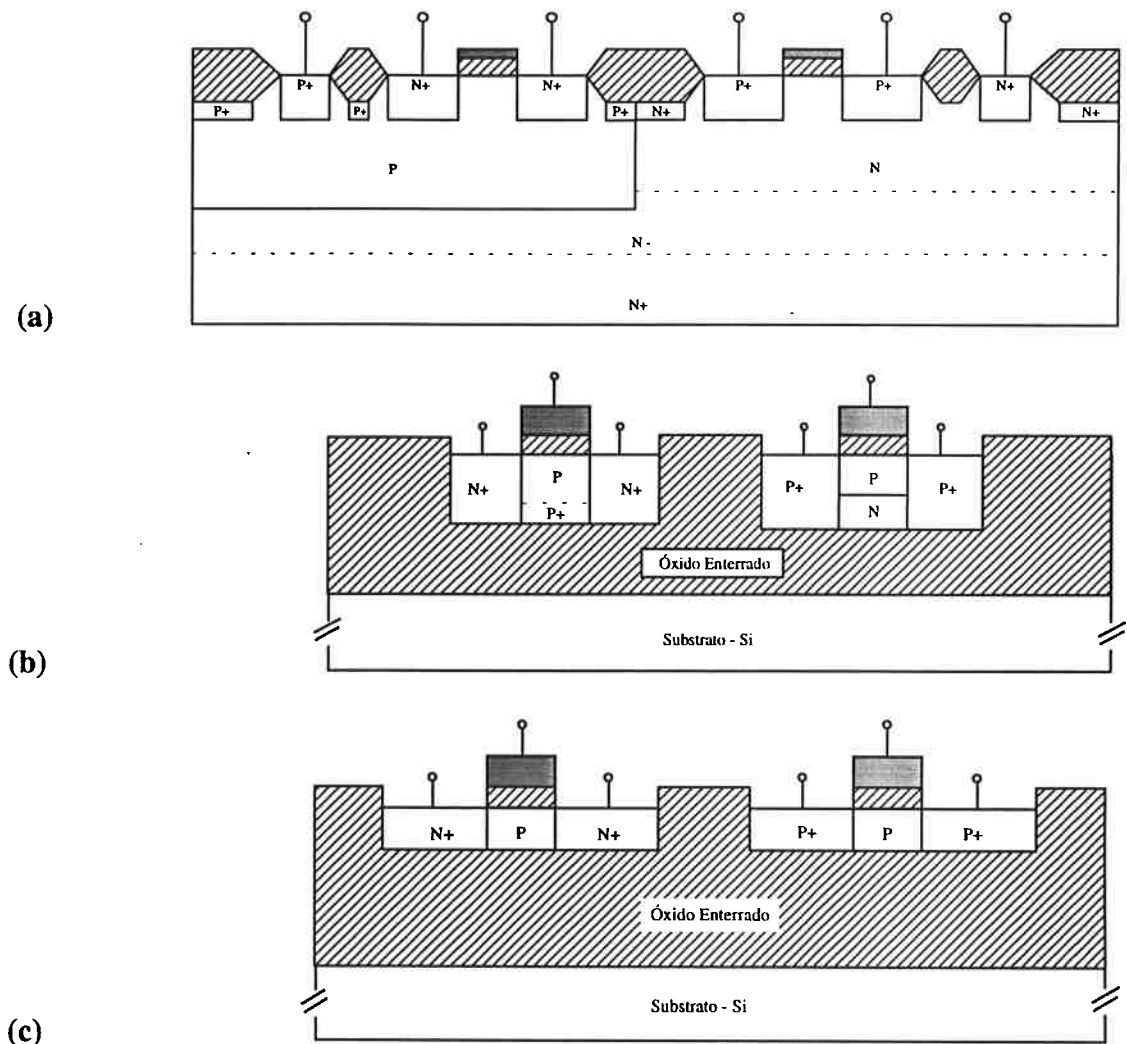


Figura 2.2 - (a) Perfil de um CMOS convencional
 (b) Perfil de um SOI CMOS de camada espessa
 (c) Perfil de um SOI CMOS de camada fina

Na tecnologia SOI CMOS de camada fina não se utiliza o contato com o canal do transistor, tornando o layout dos circuitos SOI mais simples.

No capítulo 3 é apresentada a sequência de fabricação completa dos dispositivos SOI CMOS de camada fina utilizados neste trabalho.

2.3 Dispositivo SOI de camada espessa e camada fina

O funcionamento dos dispositivos SOI é muito dependente da espessura da camada de silício sobre o isolante no qual são fabricados. Pode-se distinguir 3 tipos diferentes de dispositivos SOI, dependendo não só da espessura final da camada de silício (t_{Si}), mas também da concentração de dopantes (N_a) do canal do transistor:

- a) SOI MOSFET de camada espessa (thick-film).
- b) SOI MOSFET de camada fina fina (thin-film).
- c) SOI MOSFET de camada média (medium-thickness).

Em dispositivos MOSFET convencionais, a região de depleção se estende da interface SiO_2 / Si até a máxima largura de depleção, x_{dmax} , que pode ser calculada classicamente pela equação (2.1):

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_a}} \quad (2.1)$$

onde

$$\phi_F = \frac{k \cdot T}{q} \ln \frac{N_a}{n_i} \quad (2.2)$$

Sendo ϕ_F o potencial de Fermi, k a constante de Boltzman, T a temperatura, q a carga elementar do elétron, ϵ_{Si} a permissividade do silício e n_i a concentração intrínseca de portadores.

Dispositivos SOI de camada espessa são aqueles em que a espessura da camada de silício é maior que o dobro da largura máxima da região de depleção ($t_{Si} > 2.x_{dmax}$). Desta forma, independentemente da tensão aplicada na porta e no substrato, sempre haverá uma região neutra entre as duas regiões de depleção, que será chamada de corpo. Se a região de corpo estiver conectada a um terminal externo (body contact), o dispositivo se comportará como um dispositivo MOS convencional. Se não houver o contato de corpo, aparecerá efeitos parasitários tais como o efeito de elevação de corrente (Kink effect) e o efeito bipolar parasitário (Parasitic bipolar effect) [2.21].

Dispositivos SOI de camada fina são aqueles em que a espessura da camada de silício é menor que a largura máxima da região de depleção ($t_{Si} < x_{dmax}$). Neste caso, quando a tensão aplicada na porta atingir a tensão de limiar, a camada de silício estará totalmente depletada (considerando-se que a tensão aplicada no substrato não seja muito elevada positivamente ou negativamente, o que induziria uma fina camada invertida ou acumulada respectivamente na interface camada de silício / óxido enterrado).

Os dispositivos SOI MOSFET de camada fina totalmente depletados são os que apresentam melhores características elétricas tais como alta transcondutância, menor efeito de canal curto, melhor inclinação de sublimiar e não apresenta o efeito parasitário de elevação de corrente [2.21]. Todas estas vantagens desaparecem se a segunda interface (óxido enterrado / camada de silício) apresentar uma camada de acumulação. Não tem aplicação prática se a segunda interface estiver invertida.

A figura 2.3 mostra o diagrama de faixas de energia da região de porta de um dispositivo MOS convencional (bulk), SOI de camada espessa (thick-film) e SOI de camada fina (thin-film).

Figura 2.3 (a):

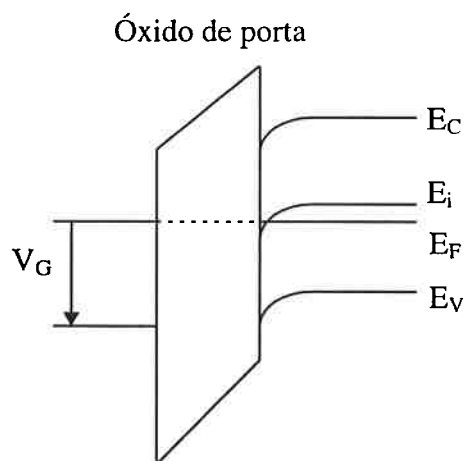
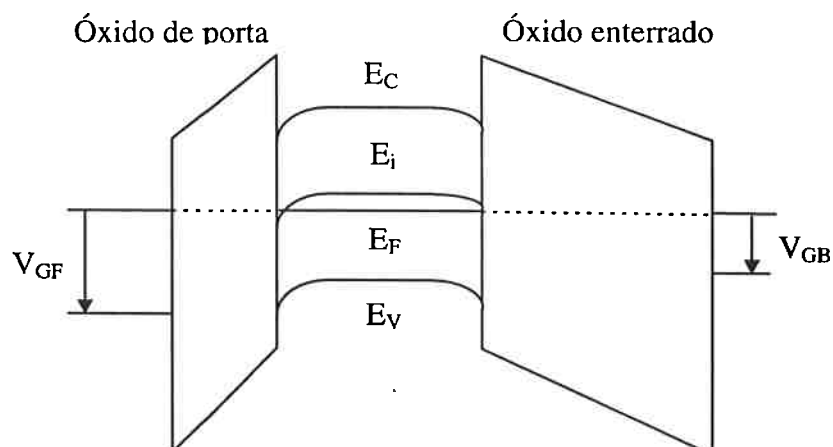


Figura 2.3 (b):



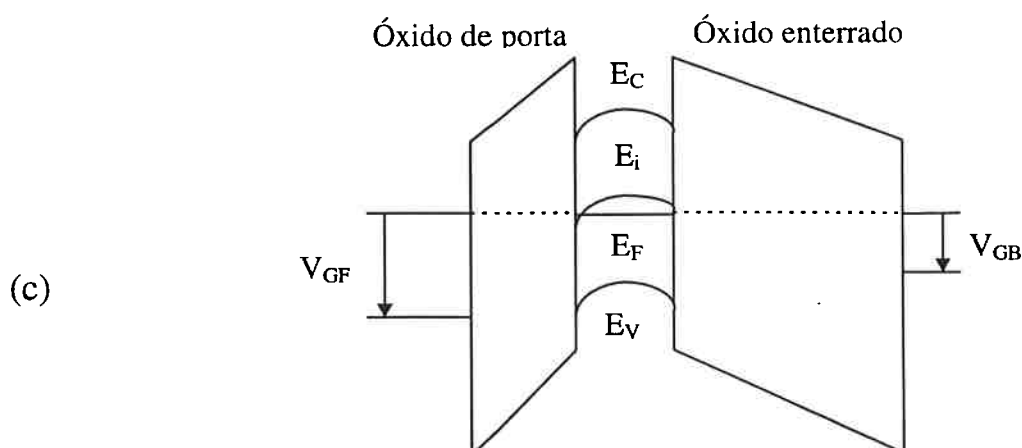


Figura 2.3 -Diagrama de faixas de energia:

- (a) MOS convencional.
- (b) SOI de camada espessa.
- (c) SOI de camada fina.

São chamados de dispositivos SOI de camada média aqueles em que a espessura da camada de silício está no seguinte intervalo: $x_{dmax} < t_{Si} < 2 \cdot x_{dmax}$. Desta forma, a tensão aplicada no substrato influenciará o comportamento do dispositivo de forma decisiva, fazendo com que este se comporte como camada espessa ou camada fina dependendo da existência ou não uma região neutra de silício entre as duas regiões de depleção respectivamente.

Todas as observações anteriores são válidas para SOI MOSFET modo inversão (também chamado de tipo enriquecimento), que são os mais populares no caso de transistores canal n.

Existe outro tipo de dispositivo SOI MOSFET, chamado de modo acumulação (também conhecido como tipo depleção profunda), muito comum no caso de transistores canal p.

O modo de operação de um SOI MOSFET (inversão ou acumulação) depende dos parâmetros de fabricação, como por exemplo o material de porta [2.22]. Para valores usuais de tensão de limiar, o SOI MOSFET de camada fina funciona nos modos de operação indicados na tabela 2.1.

Tabela 2.1 - Modos de operação de um SOI MOSFET de camada fina em função do material de porta.

Material de porta	Silício Policristalino N+	Silício Policristalino P+
SOI nMOSFET	inversão	acumulação
SOI pMOSFET	acumulação	inversão

Neste trabalho foi utilizado porta de silício policristalino N+ e, portanto, o SOI nMOSFET será sempre modo inversão e o SOI pMOSFET sempre modo acumulação.

2.4 SOI nMOSFET modo inversão

Neste item são apresentados os principais parâmetros elétricos deste tipo de transistor, os quais são utilizados com frequência nos capítulos seguintes.

2.4.1 Tensão de limiar

A tensão de limiar (V_{th}) de um transistor nMOSFET convencional é dado classicamente pela equação 2.3 [2.23]:

$$V_{th} = V_{FB} + 2\phi_F + \frac{q \cdot N_a \cdot x_{dmax}}{C_{ox}} \quad (2.3)$$

onde

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (2.4)$$

Sendo V_{FB} a tensão de faixa plana (flatband), ϕ_{MS} a diferença de função trabalho entre metal e o semiconductor, Q_{ox} a densidade de carga fixa no óxido de porta e C_{ox} a capacitância do óxido de porta por unidade

de área. Nesta análise foi desprezada a influência da densidade de armadilhas de interface (N_{it}).

Em dispositivos SOI nMOSFET de camada espessa ($t_{Si} > 2 \cdot x_{dmax}$), não há interação entre as regiões de depleção provenientes da primeira (óxido de porta / camada de silício) e a segunda (camada de silício / óxido enterrado) interfaces. Neste caso, a tensão de limiar é a mesma que em MOSFET convencional, e pode ser calculada pela equação 2.3.

Em dispositivos SOI nMOSFET de camada fina (figura 2.4), modo inversão, totalmente depletado, a tensão de limiar pode ser obtida através do modelo clássico de Lim & Fossum [2.24], descrito por um sistema de equações onde pode ser visto a relação entre os potenciais da primeira (ϕ_{SF}) e segunda interfaces (ϕ_{SB}) e as tensões aplicadas na porta (V_{GF}) e no substrato (V_{GB}):

$$V_{GF} = V_{FB1} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxf}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxf}} + 1 \right) \phi_{SF} - \frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxf}} \phi_{SB} - \frac{Q_{inv1}}{C_{oxf}} \quad (2.5)$$

$$V_{GB} = V_{FB2} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxb}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxb}} + 1 \right) \phi_{SB} - \frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxb}} \phi_{SF} - \frac{Q_{S2}}{C_{oxb}} \quad (2.6)$$

onde

$$V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} \quad (2.7)$$

$$V_{FB2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} \quad (2.8)$$

$$C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}} \quad (2.9)$$

$$C_{oxb} = \frac{\epsilon_{ox}}{t_{oxb}} \quad (2.10)$$

Sendo V_{FB1} a tensão de faixa plana da primeira interface induzida pela porta, V_{FB2} a tensão de faixa plana da segunda interface induzida pelo substrato, N_{af} a concentração de impurezas aceitadoras na camada de silício, t_{si} a espessura da camada de silício, C_{oxf} a capacitância do óxido de porta por unidade de área, C_{oxb} a capacitância do óxido enterrado por unidade de área, ϵ_{ox} a permissividade do óxido de silício, t_{oxf} a espessura do óxido de porta, t_{oxb} a espessura do óxido enterrado, Q_{inv1} a densidade de carga de inversão na primeira interface, Q_{S2} a densidade de carga de acumulação ($Q_{S2} > 0$) ou inversão ($Q_{S2} < 0$) na segunda interface, ϕ_{MS1} a diferença de função trabalho entre a porta e a camada de silício, ϕ_{MS2} a diferença de função trabalho entre o substrato e a camada de silício, Q_{ox1} a densidade de carga efetiva no óxido de porta, Q_{ox2} a densidade de carga efetiva no óxido enterrado na segunda interface.

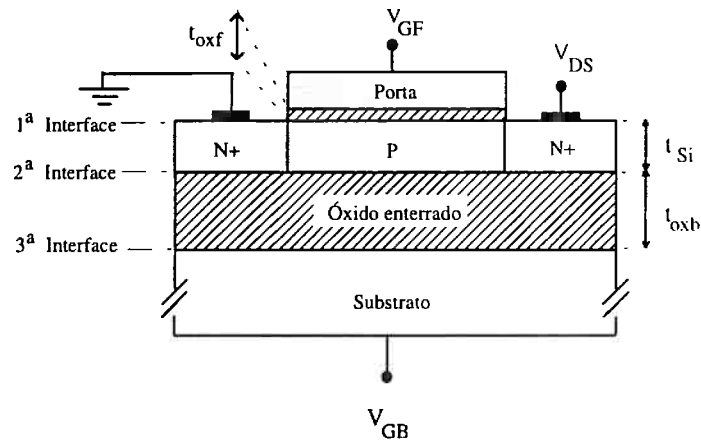


Figura 2.4 - Estrutura de perfil de um SOI nMOSFET de camada fina e as notações usuais.

As equações (2.5) e (2.6) descrevem o acoplamento entre as regiões de depleção provenientes da primeira e segunda interfaces, indicando que os potenciais nas interfaces ϕ_{SF} e ϕ_{SB} dependem de ambas as tensões aplicadas externamente, ou seja, dependem de V_{GF} e V_{GB} .

A equação para o cálculo da tensão de limiar de porta depende da condição da segunda interface:

a) Segunda interface acumulada:

Se a segunda interface estiver acumulada pode-se considerar que $\phi_{SB} \equiv 0$. Logo, a tensão de limiar de porta nestas condições ($V_{th1,acc2}$) pode ser obtida pela equação (2.5) onde $V_{th1,acc2} = V_{GF}$ para $\phi_{SB} = 0$, $Q_{inv1} = 0$ e $\phi_{SF} = 2\phi_F$:

$$V_{th1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxf}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxf}} + 1 \right) 2\phi_F \quad (2.11)$$

b) Segunda interface invertida

Com a segunda interface invertida, pode-se considerar $\phi_{SB} = 2\phi_F$. A tensão de limiar de porta nesta condição ($V_{th1,inv2}$) pode ser obtida através da equação (2.5) onde $V_{th1,inv2} = V_{GF}$ para $\phi_{SB} = 2\phi_F$, $Q_{inv1} = 0$ e $\phi_{SF} = 2\phi_F$:

$$V_{th1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxf}} + 2\phi_F \quad (2.12)$$

Neste caso é importante observar que mesmo para $V_{GF} < V_{th1,inv2}$ haverá passagem de corrente entre dreno e fonte, pois a segunda interface estará invertida. Este tipo de polarização do substrato (altamente positivo) que manterá a segunda interface invertida não tem aplicação prática em circuitos.

c) Segunda interface em depleção.

Se a segunda interface estiver em depleção, ϕ_{SB} depende da tensão aplicada no substrato V_{GB} , podendo variar de 0 a $2\phi_F$. O valor da tensão de substrato para o qual a segunda interface esteja em acumulação (com a

tensão aplicada na porta igual a tensão de limiar) $V_{GB,acc2}$ pode ser calculada pela equação (2.6) para $\phi_{SF} = 2\phi_F$, $\phi_{SB} = 0$ e $Q_{S2} = 0$:

$$V_{GB,acc2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxb}} - \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxb}} \right) \cdot 2\phi_F \quad (2.13)$$

Desta mesma forma pode-se obter a tensão de substrato para o qual a segunda interface esteja em inversão $V_{GB,inv2}$ através da equação (2.6) para $\phi_{SF} = 2\phi_F$, $\phi_{SB} = 2\phi_F$ e $Q_{S2} = 0$:

$$V_{GB,inv2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} + \frac{q \cdot N_{af} \cdot t_{Si}}{2 \cdot C_{oxb}} + 2\phi_F \quad (2.14)$$

Para $V_{GB, acc2} < V_{GB} < V_{GB,inv2}$ (segunda interface em depleção) a tensão de limiar de porta pode ser obtida pela equações (2.5) e (2.6), para $\phi_{SF} = 2\phi_F$, $Q_{inv1} = Q_{S2} = 0$:

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf} \cdot (C_{Si} + C_{oxb})} \cdot (V_{GB} - V_{GB,acc2}) \quad (2.15)$$

onde

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (2.16)$$

sendo C_{Si} a capacitância da camada de silício por unidade de área, ϵ_{Si} a permissividade do silício e t_{Si} a espessura final da camada de silício.

A equação (2.15) mostra que a tensão de limiar de porta com a segunda interface em depleção diminui com o aumento da tensão de substrato.

As equações apresentadas neste item são baseadas no modelo clássico de Lim & Fossum [2.24], onde a queda de potencial no substrato é desprezada. No capítulo 4 é apresentado um novo modelo analítico que leva em consideração a queda de potencial no substrato.

2.4.2 Inclinação de sublimiar

O inverso da inclinação de sublimiar, ou simplesmente inclinação de sublimiar (S), é definido como o inverso da inclinação da curva $\log I_D \times V_G$, dada pela equação (2.17):

$$S = \frac{dV_G}{d(\log I_D)} \quad (2.17)$$

No caso de transistores MOSFET convencionais e SOI MOSFET de camada espessa resulta:

$$S = \frac{k \cdot T}{q} \ln(10) \cdot \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (2.18)$$

onde

$$C_D = \frac{\epsilon_{Si}}{x_{dmax}} \quad (2.19)$$

$$C_{it} = q^2 \cdot N_{it} \quad (2.20)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.21)$$

sendo C_D a capacitância de depleção por unidade de área, C_{it} a capacitância de armadilhas de interface por unidade de área, C_{ox} a capacitância do óxido de porta por unidade de área, N_{it} a densidade de armadilhas de interface e t_{ox} a espessura do óxido de porta.

Se a densidade de armadilhas de interface for desprezível resulta:

$$S = \frac{k \cdot T}{q} \ln(10) \cdot \left(1 + \frac{C_D}{C_{ox}} \right) \quad (2.22)$$

Em SOI MOSFET de camada fina com a segunda interface depletada

[2.25] tem-se:

$$S_{\text{depl}} = \frac{k \cdot T}{q} \ln(10) \cdot \left[1 + \frac{C_{\text{itf}}}{C_{\text{oxf}}} + \frac{C_{\text{Si}}(C_{\text{itb}} + C_{\text{oxb}})}{C_{\text{oxf}}(C_{\text{itb}} + C_{\text{oxb}} + C_{\text{Si}})} \right] \quad (2.23)$$

onde

$$C_{\text{itf}} = q^2 \cdot N_{\text{itf}} \quad (2.24)$$

$$C_{\text{itb}} = q^2 \cdot N_{\text{itb}} \quad (2.25)$$

sendo C_{itf} a capacitância de armadilhas da primeira interface por unidade de área, C_{itb} a capacitância de armadilhas da segunda interface por unidade de área, N_{itf} a densidade de armadilhas na primeira interface e N_{itb} a densidade de armadilhas na segunda interface.

Se a densidade de armadilhas da primeira e segunda interfaces for desprezível resulta:

$$S_{\text{depl}} = \frac{k \cdot T}{q} \ln(10) \cdot \left[1 + \frac{C_{\text{Si}} \cdot C_{\text{oxb}}}{C_{\text{oxf}} \cdot (C_{\text{oxb}} + C_{\text{Si}})} \right] \quad (2.26)$$

Em SOI MOSFET de camada fina com a segunda interface em acumulação [2.25] tem-se:

$$S_{acc} = \frac{k.T}{q} \ln(10) \cdot \left[1 + \frac{C_{Si} + C_{itf}}{C_{oxf}} \right] \quad (2.27)$$

Desprezando-se a densidade de armadilhas da primeira interface resulta:

$$S_{acc} = \frac{k.T}{q} \ln(10) \cdot \left[1 + \frac{C_{Si}}{C_{oxf}} \right] \quad (2.28)$$

Generalizando-se, a inclicação de sublimiar dada pelas equações (2.22), (2.26) e (2.28) pode ser calculada pela equação (2.29).

$$S_{acc} = \frac{k.T}{q} \ln(10) \cdot [1 + \alpha] \quad (2.29)$$

onde

$\alpha = \alpha_{esp} = \frac{C_D}{C_{ox}}$: para MOSFET convencional ou SOI MOSFET de camada espessa.

$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{oxf}}$: para SOI MOSFET de camada fina e segunda interface acumulada.

$$\alpha = \alpha_{\text{depl}} = \frac{C_{\text{Si}} \cdot C_{\text{oxb}}}{(C_{\text{Si}} + C_{\text{oxb}}) \cdot C_{\text{oxf}}} \quad : \text{ para SOI MOSFET de camada fina}$$

e segunda interface depletada.

Como $\alpha_{\text{depl}} < \alpha_{\text{esp}} < \alpha_{\text{acc}}$ as inclinações de sublimiar têm a seguinte relação $S_{\text{depl}} < S_{\text{esp}} < S_{\text{acc}}$.

Para dispositivo SOI com $N_a = 1 \times 10^{17} \text{ cm}^{-3}$, $t_{\text{oxf}} = 15 \text{ nm}$, $t_{\text{oxb}} = 390 \text{ nm}$, $t_{\text{si}} = 80 \text{ nm}$ (camada fina) e $t_{\text{si}} = 200 \text{ nm}$ (camada espessa) resulta:

$\alpha_{\text{acc}} = 0,563$	logo	$S_{\text{acc}} = 93,21 \text{ mV/dec}$
$\alpha_{\text{esp}} = 0,438$	logo	$S_{\text{esp}} = 85,76 \text{ mV/dec}$
$\alpha_{\text{depl}} = 0,036$	logo	$S_{\text{depl}} = 61,78 \text{ mV/dec}$

Este resultado mostra o excelente valor de S_{depl} , o que permite que este dispositivo tenha tensão de limiar menor que os demais, sem com isto aumentar o valor da corrente de fuga para $V_{\text{GF}} = 0$. Desta forma, circuitos de maior velocidade de comutação podem ser obtidos, principalmente para baixas tensões de alimentação [2.21].

2.5 SOI pMOSFET modo acumulação

O SOI pMOSFET de camada espessa com porta de silício policristalino N+ comporta-se como dispositivo de canal enterrado, cujas características são similares às do pMOSFET convencional de canal enterrado [2.21].

O SOI pMOSFET de camada fina funciona no modo acumulação com porta de silício policristalino N+, ou seja, o canal é do mesmo tipo que a fonte e o dreno, como pode ser visto na figura 2.5.

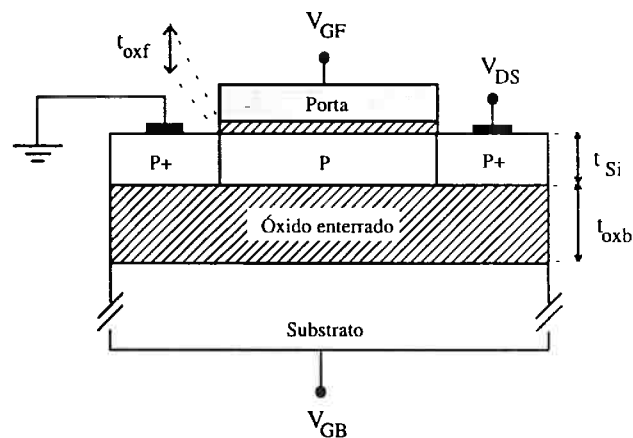


Figura 2.5 - Perfil de um SOI pMOSFET de camada fina modo acumulação.

Quando o dispositivo estiver cortado ($V_{GF} = 0$), a camada de silício está totalmente depletada devido a presença de cargas positivas na interface óxido de porta / camada de silício e ao valor negativo da diferença entre a função trabalho do metal (silício poli N+) e a camada de

silício tipo p. Para que este dispositivo conduza, há a necessidade de aplicar uma tensão negativa na porta para compensar o valor das cargas no óxido e da diferença de função de trabalho. Este comportamento dá origem a mais de uma tensão de limiar como descrito a seguir.

2.5.1 Tensão de limiar

Define-se tensão de limiar de porta o valor que aplicado na porta faça com que a primeira interface fique no limiar da acumulação ($\phi_{SF} = 0$).

$$V_{th_{acc1}} = V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} - \frac{Q_{itf}(\phi_{SF} = 0)}{C_{oxb}} \quad (2.30)$$

Nesta condição, se a segunda interface estiver em depleção (x_{d2}), e se $t_{Si} > x_{d2}$, há também a passagem de corrente entre dreno e fonte através do corpo (canal), na região neutra.

A tensão que aplicada na porta induz uma região de depleção proveniente da primeira interface (x_{d1}), de tal forma que elimine a região neutra ($x_{d1} + x_{d2} = t_{Si}$) é chamada de tensão de limiar de corpo induzida pela porta e pode ser calculada pela equação (2.31):

$$V_{th_{body1}} = V_{FB1} + \frac{q \cdot N_{af} \cdot x_{d1}^2}{2 \cdot \epsilon_{Si}} + \frac{q \cdot N_{af} \cdot x_{d1}}{C_{oxf}} \quad (2.31)$$

onde

$$x_{d1} = t_{Si} - x_{d2} \quad (2.32)$$

$$x_{d2} = -\frac{\epsilon_{Si}}{C_{oxb}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxb}}\right)^2 + \frac{2 \cdot \epsilon_{Si} \cdot (V_{GB} - V_{FB2})}{q \cdot N_{af}}} \quad (2.33)$$

Analogamente, se for aplicado uma tensão fixa na porta de tal forma que a primeira interface esteja em depleção (x_{d1}) e sendo $t_{Si} > x_{d1}$ define-se a tensão de limiar de corpo induzida pela segunda interface aquela que aplicada no substrato induz uma região de depleção x_{d2} de tal forma que $x_{d2} + x_{d1} = t_{Si}$:

$$V_{th_{body2}} = V_{FB2} + \frac{q \cdot N_{af} \cdot x_{d2}^2}{2 \cdot \epsilon_{Si}} + \frac{q \cdot N_{af} \cdot x_{d2}}{C_{oxb}} \quad (2.34)$$

onde

$$x_{d2} = t_{Si} - x_{d1} \quad (2.35)$$

$$x_{d1} = -\frac{\epsilon_{Si}}{C_{oxf}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxf}}\right)^2 + \frac{2 \cdot \epsilon_{Si} \cdot (V_{GF} - V_{FB1})}{q \cdot N_{af}}} \quad (2.36)$$

Define-se também tensão de limiar de substrato aquela que aplicada no substrato deixa a segunda interface no limiar da acumulação ($\phi_{SB} = 0$):

$$V_{th_{acc2}} = V_{FB2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} - \frac{Q_{itb}(\phi_{SB} = 0)}{C_{oxb}} \quad (2.37)$$

A corrente entre dreno e fonte de um SOI pMOSFET modo acumulação pode então fluir pela primeira interface (quando esta estiver em acumulação), pelo corpo (quando houver região neutra) e pela segunda interface (quando esta estiver em acumulação), dependendo da polarização de V_{GF} e V_{GB} . A figura 2.6 mostra os diversos modos de condução que um transistor SOI pMOSFET modo acumulação pode apresentar.

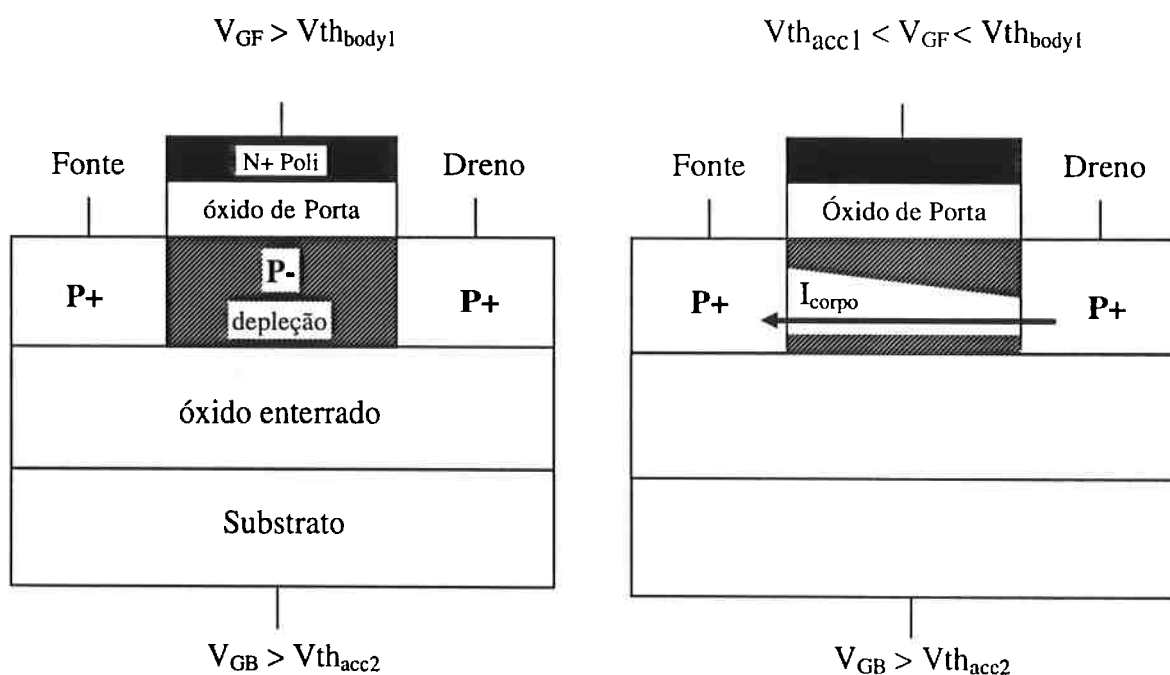


Figura 2.6 (a)

Figura 2.6 (b)

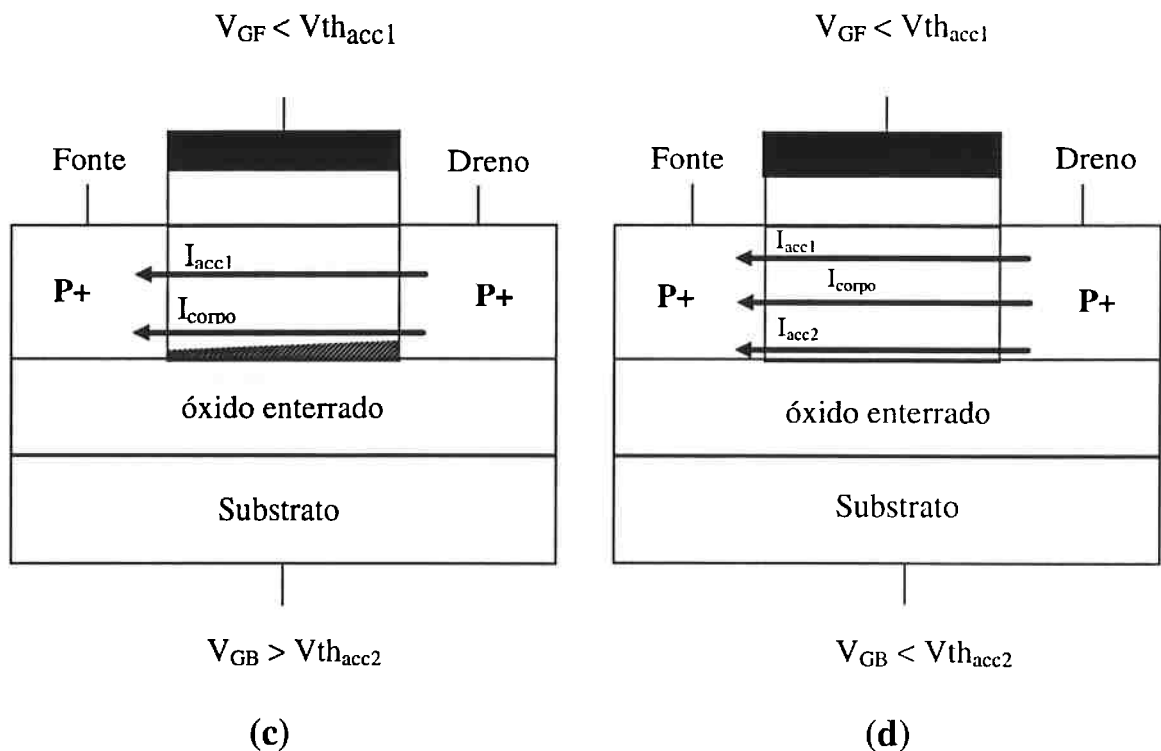


Figura 2.6 - Perfil do SOI pMOSFET em diversas condições de polarização de porta e substrato.

- (a) Transistor cortado ($I_D = 0$)
- (b) Transistor conduzindo apenas por corrente de corpo
- (c) Transistor conduzindo por corrente de corpo e de acumulação da primeira interface.
- (d) Transistor conduzindo por corrente de corpo e de acumulação da segunda interface.

A tensão entre dreno e fonte também influencia no modo de condução, pois, por exemplo, a primeira interface pode estar em acumulação próximo a fonte e em depleção próximo ao dreno, como pode ser visto na referência [2.21].

É importante destacar que a obtenção das tensões de limiar, neste caso, não podem ser realizada pelo tradicional método da extrapolação linear da curva $I_{DS} \times V_{GF}$ (V_{DS} pequeno) na região de maior

transcondutância, o qual é utilizado em MOSFET convencional e também para SOI nMOSFET modo inversão. No caso do SOI pMOSFET modo acumulação o método da segunda derivada [2.26] é o indicado. Neste método as tensões de limiar induzidas pela porta $V_{th_{acc1}}$, $V_{th_{body1}}$ e $V_{th1,acc2}$ são os pontos de mínimo da curva $\partial^2 I_{DS} / \partial V_{GF}^2$.

2.5.2 Inclinação de sublimiar

A equação para o cálculo da inclinação de Sublimiar de um transistor SOI pMOSFET modo acumulação é relativamente complexa [2.27], porém pode ser bastante simplificada se a tensão no substrato for variada até se obter o valor mínimo da inclinação de sublimiar (S_{min}) como indicado a seguir:

$$|S_{min}| = \frac{k \cdot T}{q} \ln(10) \cdot \left[\left(1 + \frac{C_{itf}}{C_{oxf}} + \frac{C_{Si}}{C_{oxf}} \right) - \frac{\frac{C_{Si} \cdot C_{Si}}{C_{oxb} \cdot C_{oxf}}}{\frac{C_{itb}}{C_{oxb}} + \frac{C_{Si}}{C_{oxb}}} \right] \quad (2.38)$$

2.6 Operação em baixa temperatura

A utilização de dispositivos MOSFET em baixas temperaturas tem apresentado uma série de vantagens como pode ser visto na tabela 2.2 [2.28].

Tabela 2.2 - Comparação de algumas propriedades do MOSFET operando em $T=77\text{ K}$ e $T=300\text{ K}$.

Propriedade	$T=77\text{K}$ x $T=300\text{K}$
Velocidade	aumento de 1,5 a 3 vezes
Densidade de integração	aumenta
Potência consumida	diminui
Resistência das linhas de interconexão	diminui mais de 10 vezes
Eletromigração	significante redução
Ruído térmico	diminui
Portadores quentes	piora
Fadiga mecânica	piora

No caso de dispositivos SOI que, em temperatura ambiente é considerado de camada espessa ($t_{Si} > 2 \cdot x_{dmax}$), pode-se tornar de camada fina para temperatura abaixo de um determinado valor de T_K (temperatura crítica) pois com a diminuição da temperatura, o potencial de Fermi aumenta, provocando um aumento de x_{dmax} até que $x_{dmax} > t_{Si}$ (camada fina).

O potencial de Fermi em baixas temperaturas pode ser calculado pela equação (2.39):

$$\phi_F = \frac{k.T}{q} \ln(10) \cdot \left[\frac{2.N_a}{n_i \cdot \left(1 + \sqrt{1 + \frac{4.q.N_a \exp\left(\frac{E_A - E_i}{k.T}\right)}{n_i}} \right)} \right] \quad (2.39)$$

onde

E_A é a energia de ionização dos aceitadores

g é o fator de degeneração

E_i é o nível de Fermi intrínseco

n_i é o nível intrínseco de portadores e pode ser calculado pela equação (2.40).

$$n_i = \sqrt{N_C \cdot N_V} \exp\left(-\frac{E_g}{2.k.T}\right) \quad (2.40)$$

onde

E_g é a largura da faixa proibida e pode ser calculada para $T \leq 170\text{K}$ pelo método empírico [2.29] abaixo:

$$E_g = 1,17 + 1,059 \times 10^{-5} \cdot T - 6,05 \times 10^{-7} \cdot T^2 \quad (2.41)$$

N_c e N_v são as densidades de estados na faixa de condução e valência respectivamente, podendo ser calculados classicamente por:

$$N_C = 2 \left(\frac{2 \cdot \pi \cdot K \cdot T \cdot m_n^*}{h^2} \right)^{\frac{3}{2}} \quad (2.42)$$

$$N_V = 2 \left(\frac{2 \cdot \pi \cdot K \cdot T \cdot m_p^*}{h^2} \right)^{\frac{3}{2}} \quad (2.43)$$

sendo m_n^* e m_p^* as massas efetivas dos elétrons e lacunas respectivamente,

e podem ser calculados por:

$$m_n^* = m_0 \cdot (1,045 + 4,5 \times 10^{-4} \cdot T) \quad (2.44)$$

$$m_p^* = m_0 \cdot (0,523 + 1,4 \times 10^{-5} \cdot T - 1,48 \times 10^{-6} \cdot T^2) \quad (2.45)$$

A densidade de armadilhas de interface, mesmo sendo normalmente desprezada em temperatura ambiente, não pode ser mais desprezada em baixas temperaturas onde, com o aumento do nível de Fermi, acaba sensibilizando maior quantidade de cargas de interface (pois N_{it} é tipicamente maior próximo à faixa de condução e valência) influenciando tanto o valor da tensão de limiar como o da inclinação de sublimar de forma mais intensa.

3 PROCESSO DE FABRICAÇÃO DOS DISPOSITIVOS SOI

Neste capítulo é apresentado o processo básico de fabricação dos dispositivos SOI utilizados neste trabalho. Trata-se do processo SOI CMOS de 0,5 μm de dimensão mínima, implementado no centro de pesquisas IMEC (Interuniversity MicroElectronic Center) localizado em Leuven, Bélgica. Os dispositivos implementados e os métodos de caracterização utilizados serão também comentados.

3.1 Processo SOI CMOS

É apresentado em seguida o processo SOI CMOS de 0,5 μm de dimensão mínima de porta para a fabricação dos transistores de camada fina SOI nMOSFET modo inversão (ou tipo enriquecimento) e o SOI pMOSFET modo acumulação (ou depleção profunda) utilizados neste trabalho. Participamos do projeto das variáveis do processo de fabricação dos dispositivos mencionados neste trabalho com o auxílio do simulador de processos SUPREM 3.

Embora o tema desta tese de Livre Docência esteja focado na modelagem do substrato e nos novos métodos de caracterização elétrica de SOI MOSFET, é apresentado a seguir a sequência completa de fabricação

destes dispositivos, com o objetivo de auxiliar no entendimento da estrutura interna dos dispositivos SOI.

Lâmina utilizada: SOI obtida pelo processo SIMOX com espessuras iniciais típicas de camada de silício / óxido enterrado / substrato de silício de 200 nm / 400 nm / 500 μm respectivamente.

1. Oxidações e remoções de óxido sucessivas para afinamento da camada de silício para aproximadamente 100 nm de espessura.
2. Oxidação de 30 nm (Stress-relief-oxide).
3. Deposição de 200 nm de Si_3N_4 por LPCVD (Deposição Química a Vapor a Baixa Pressão).
4. Litografia do Si_3N_4 para definição da Região Ativa.
5. Litografia do fotorresiste para definição da Região N+.
6. Implantação de Boro na região passiva para evitar a influência do transistor lateral parasitário (Edge Transistor).

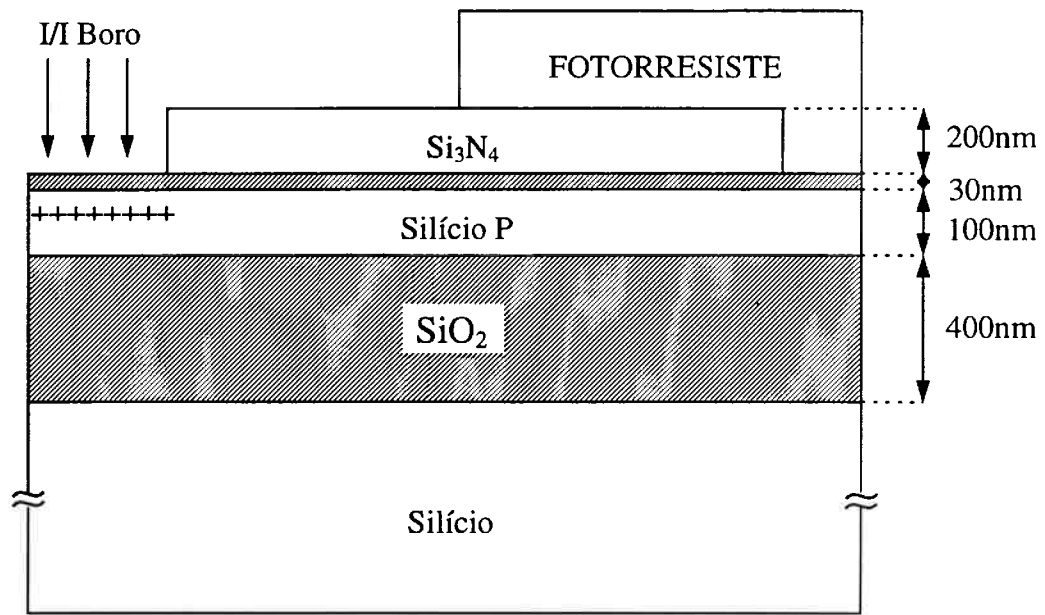


Figura 3.1 - Perfil após a etapa 6.

7. Remoção do fotorresiste.
8. Recozimento das impurezas implantadas.
9. Oxidação local de 300 nm.
10. Remoção do Si_3N_4 (200 nm) e SiO_2 (30 nm).
11. Oxidação de porta - 1ª parte (13 nm).
12. Implantação de Boro para ajuste de tensão de limiar do SOI pMOSFET modo acumulação.
13. Oxidação de porta - 2ª parte (2 nm), totalizando 15 nm de espessura.
14. Litografia do fotorresiste para definição da Região N+.

15. Implantação de Boro para ajuste da tensão de limiar do SOI nMOSFET modo inversão (a dose já implantada na etapa 12 deve ser levada em consideração).

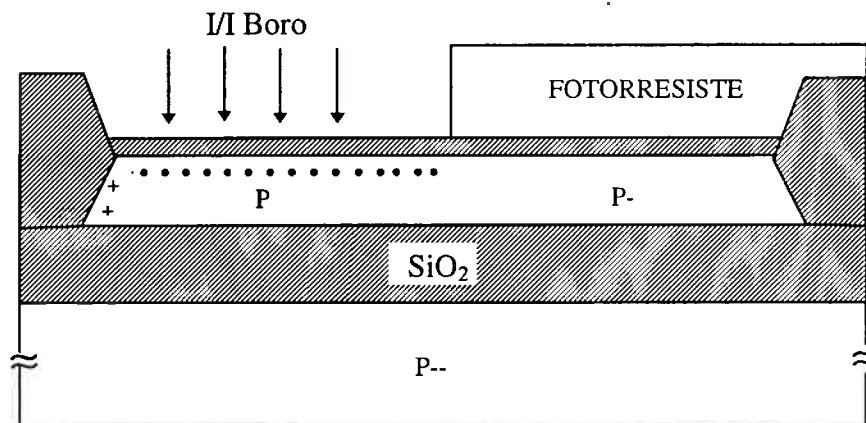


Figura 3.2 - Perfil após a etapa 15.

16. Remoção do fotorresiste.
17. Deposição de 350 nm de silício policristalino por LPCVD.
18. Remoção de silício policristalino e óxido nas costas da lâmina protegendo a frente com fotorresiste.
19. Remoção do fotorresiste.
20. Implantação de Fósforo para dopagem do silício policristalino.
21. Litografia do silício policristalino de porta.
22. Litografia do fotorresiste para definição da Região N+.
23. Implantação de Arsênio em baixa dose para formação de LDD (Lightly Doped Drain).

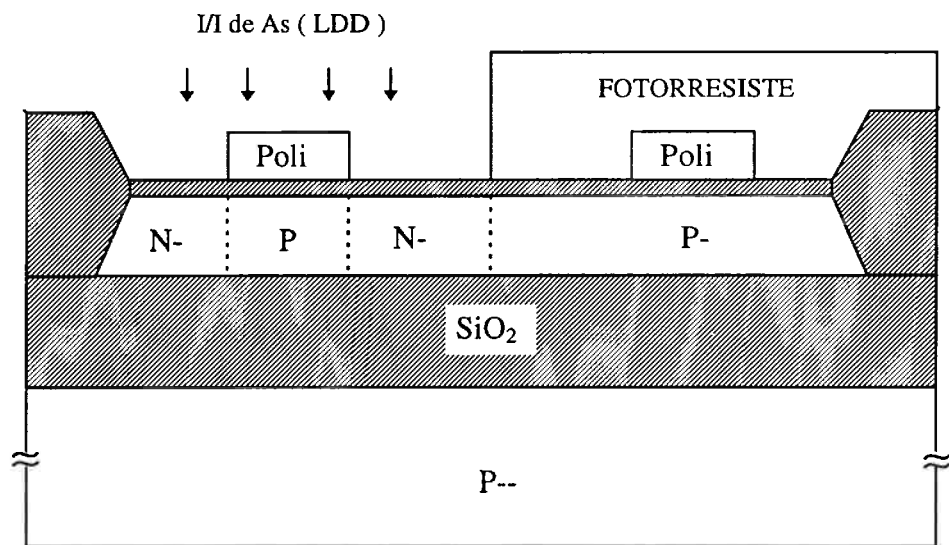


Figura 3.3 - Perfil após a etapa 23.

24. Remoção do fotorresistivo.

25. Deposição de 150 nm de óxido por LPCVD.

26. Corrosão de 150 nm de óxido por plasma RIE (Corrosão por Plasma Reativo) para formação do espaçador (Spacer).

27. Litografia do fotorresistivo para a definição da Região N+.

28. Implantação de Arsênio em alta dose para formação de fonte / dreno N+.

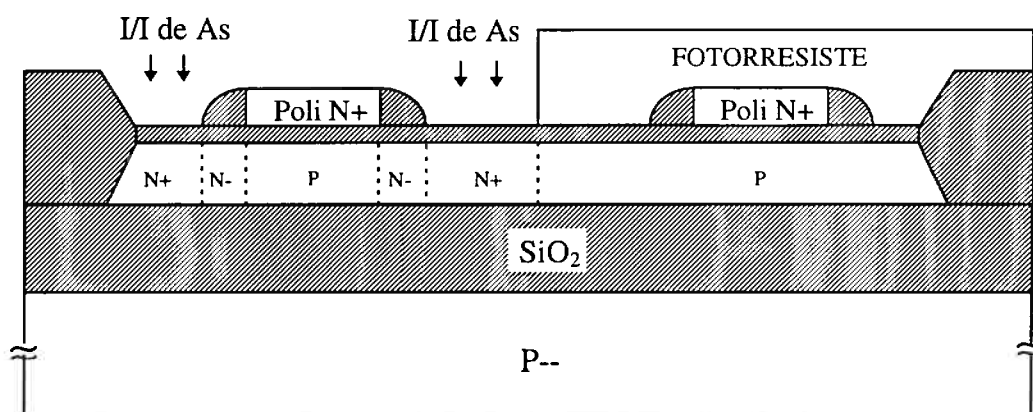


Figura 3.4 - Perfil após a etapa 28.

29. Remoção do fotorresiste.

30. Litografia do fotorresiste para definição da Região P+.

31. Implantação de BF_2 para formação de fonte / dreno P+.

32. Recozimento das impurezas implantadas.

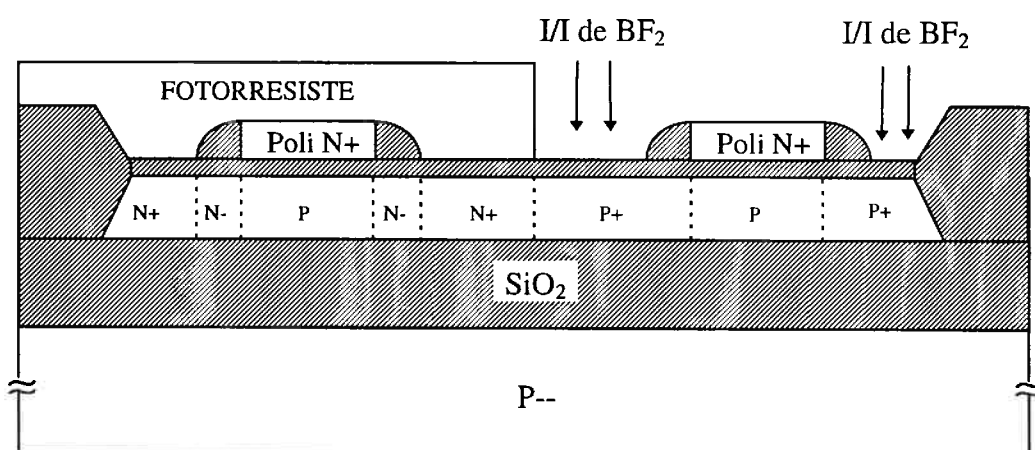


Figura 3.5 - Perfil após a etapa 32.

33. Deposição de 400 nm de óxido TEOS (**TetraEtilOrtoSilicato**).
34. Litografia do óxido para definição da Região de Contatos.
35. Deposição de 0,5 μm de Alumínio / 1% Silício.
36. Litografia do Alumínio para definição do Metal.
37. Sinterização.

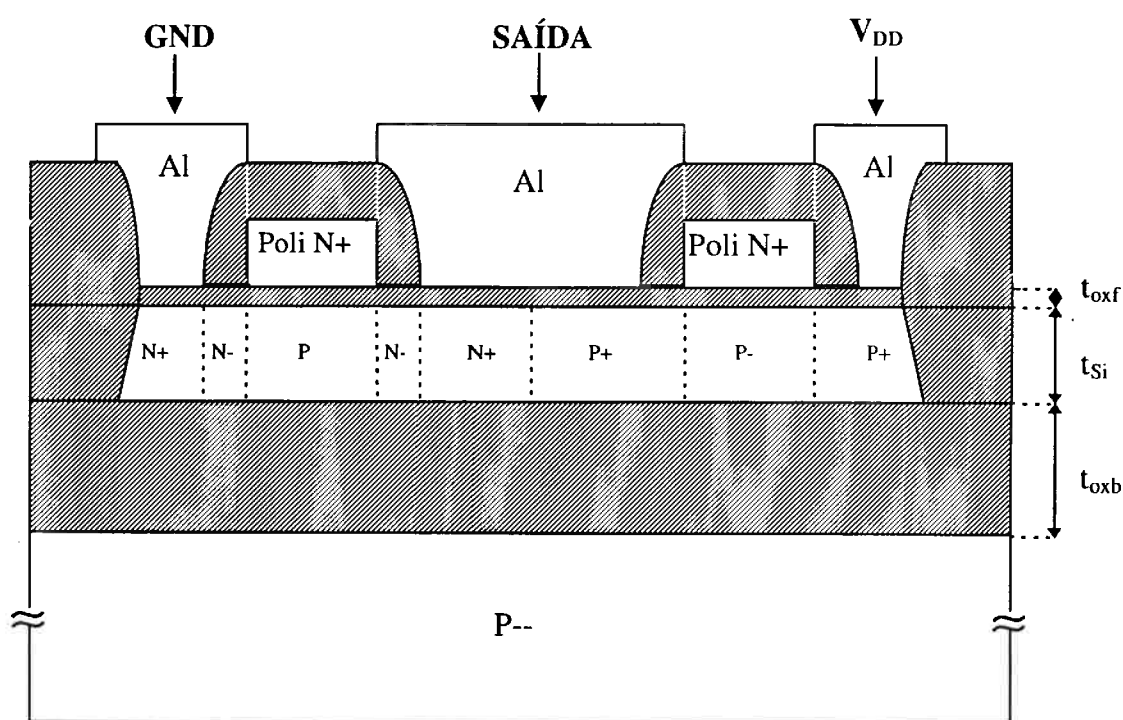


Figura 3.6 - Perfil final de um inversor SOI-CMOS.

3.2 Dispositivos implementados e caracterização

O circuito integrado teste (test chip) utilizado é composto de 221 estruturas acessadas por mais de 1000 terminais (PADS), cuja foto pode

ser vista na figura 3.7. Entre as principais estruturas fabricadas destacamos as cascatas de transistores, transistores isolados, transistores especiais, Van der Pauw, Kelvin, capacitores, inversores e osciladores em anel.

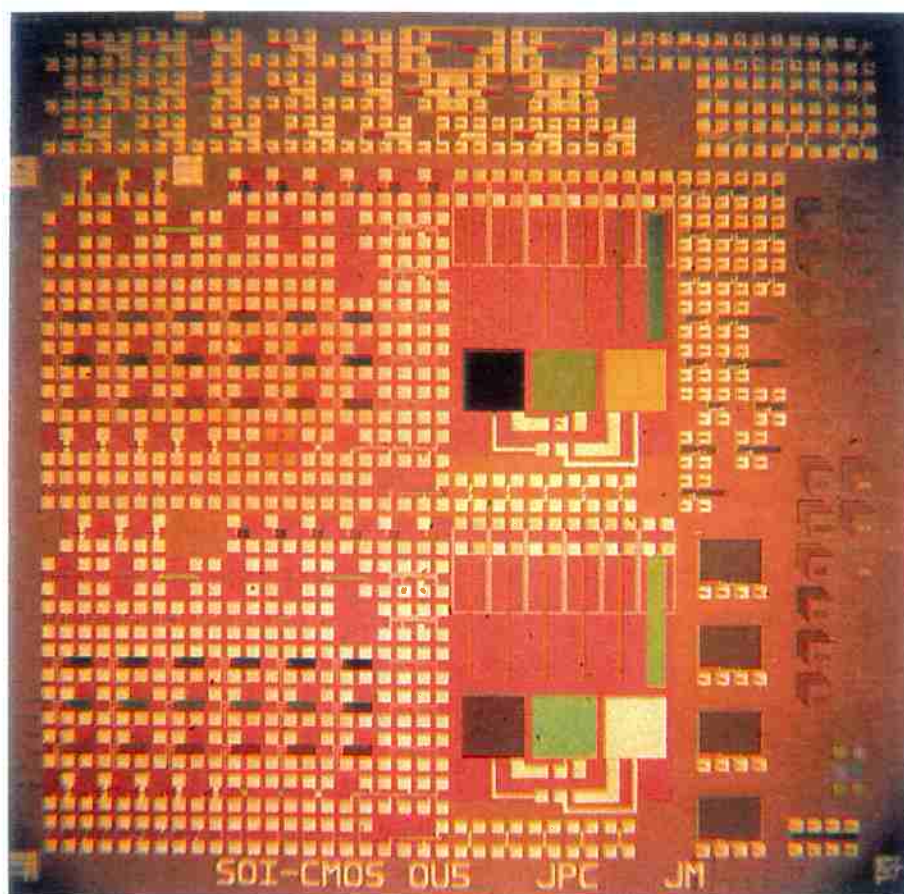


Figura 3.7 - Fotografia do circuito integrado teste.

Uma relação completa das estruturas e dispositivos que compõem o circuito integrado teste fabricado pode ser visto no apêndice I.

Como a cascata de transistores é uma das estruturas mais utilizadas para a caracterização elétrica de dispositivos e da tecnologia MOS, foi a mais utilizada no desenvolvimento desta tese. As cascatas de transistores

SOI-MOSFETs utilizadas têm largura de canal de $20\mu\text{m}$ e comprimentos de canal de 10, 5, 2, 1,5, 1,2, $1,0\ \mu\text{m}$ (E7: SOI nMOSFET e M7: SOI pMOSFET) e 0,9, 0,8, 0,7, 0,6, 0,5, $0,4\ \mu\text{m}$ (F9: SOI nMOSFET e N7: SOI pMOSFET).

Na figura 3.8 pode ser vista a foto de uma cascata típica de transistores utilizada (E7).

As espessuras do óxido de porta (t_{oxf}) e do óxido enterrado (t_{oxb}) dos dispositivos utilizados neste trabalho são de 15 nm e 390 nm respectivamente. A espessura da camada de Silício (t_{Si}) e a concentração de dopantes (Boro) do canal, após o processamento, são de aproximadamente 115 nm e $6 \times 10^{16}\ \text{cm}^{-3}$ para o SOI pMOSFET e 80 nm e $1 \times 10^{17}\ \text{cm}^{-3}$ para o SOI nMOSFET, ambos de camada fina. Estas são as características típicas dos dispositivos utilizados neste trabalho, salvo indicação contrária.

A caracterização elétrica foi realizada através do analisador de parâmetros HP 4145B utilizando-se dispositivos em lâminas (através do microprovador MP1100) e encapsulados (através do HP 16058A). Medidas a 77K foram realizadas somente em dispositivos encapsulados, mergulhados em reservatório contendo nitrogênio líquido.

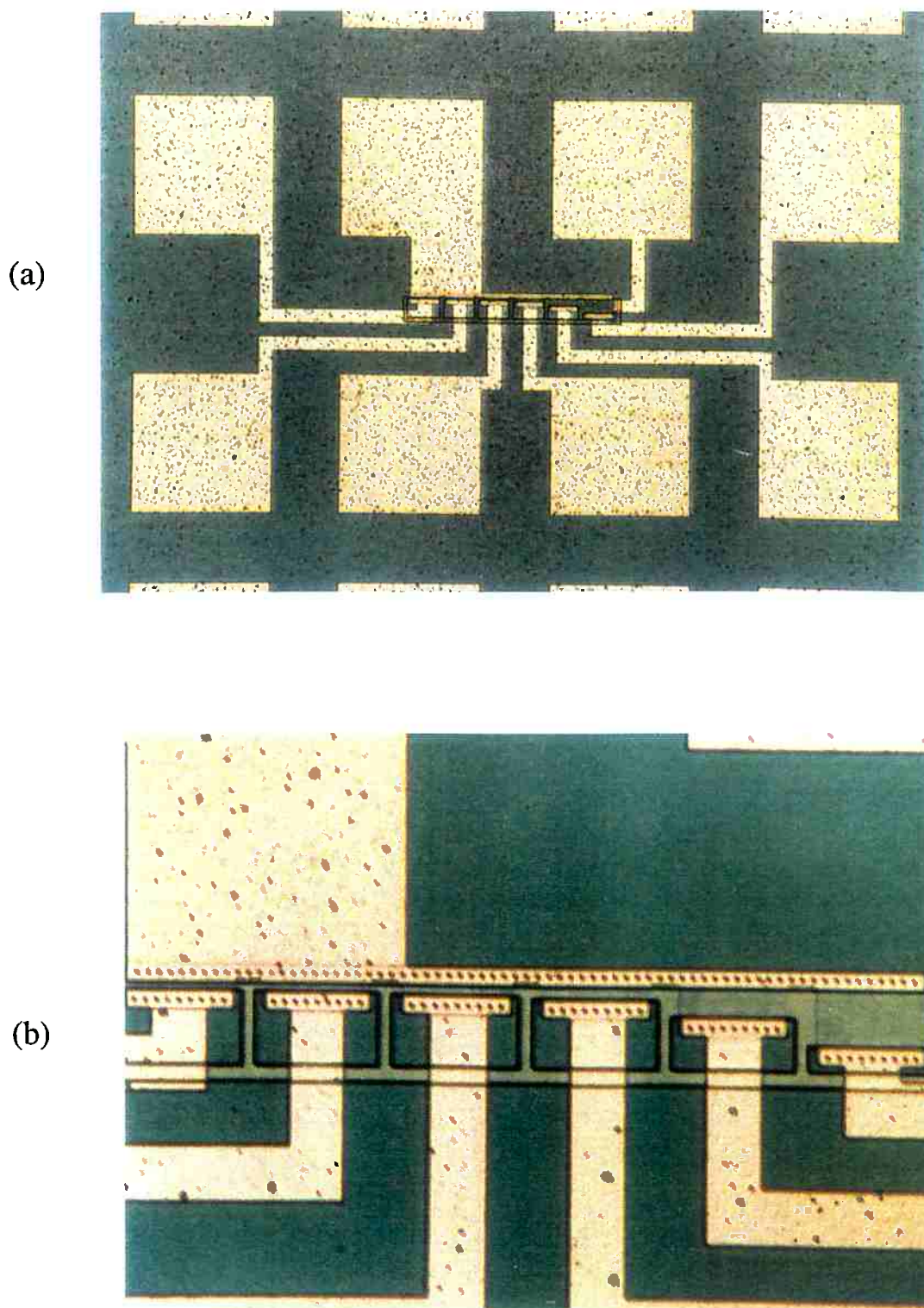


Figura 3.8 - Fotografia de uma estrutura de cascata de transistores típica (E7):

- (a) Estrutura completa.
- (b) Ampliação da região central.

4 MODELAGEM DO SUBSTRATO SOI

Neste capítulo é proposto um modelo analítico que introduz o efeito do substrato no modelo clássico dos transistores SOI. É então analisada a influência do substrato nos principais parâmetros do transistor SOI MOSFET de camada fina totalmente depletado. O modelo proposto será comprovado através de simulações numéricas bidimensionais e também experimentalmente. Dois novos métodos para a determinação da densidade de carga fixa no óxido enterrado, baseados no efeito do substrato, são também apresentados.

4.1 Introdução

O modelo clássico de Lim&Fossum [4.1] descreve a relação entre os potenciais de superfície da primeira (ϕ_{SF}) e segunda (ϕ_{SB}) interfaces e as tensões de polarização de porta (V_{GF}) e de substrato (V_{GB}) de um transistor SOI MOSFET de camada fina, como pode ser visto nas equações 4.1 e 4.2:

$$V_{GF} = V_{FB1} + \frac{q N_{af} t_{Si}}{2 C_{oxf}} + \left(\frac{\epsilon_{Si}}{t_{Si} C_{oxf}} + 1 \right) \phi_{SF} - \frac{\epsilon_{Si}}{t_{Si} C_{oxf}} \phi_{SB} - \frac{Q_{inv1}}{C_{oxf}} \quad (4.1)$$

$$V_{GB} = V_{FB2} + \frac{q N_{af} t_{Si}}{2 C_{oxb}} + \left(\frac{\epsilon_{Si}}{t_{Si} C_{oxb}} + 1 \right) \phi_{SB} - \frac{\epsilon_{Si}}{t_{Si} C_{oxb}} \phi_{SF} - \frac{Q_{S2}}{C_{oxb}} \quad (4.2)$$

sendo que para porta de silício policristalino N+:

$$V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} = -0,55 - \frac{kT}{q} \ln \frac{N_{af}}{n_i} - \frac{Q_{ox1}}{C_{oxf}} \quad (4.3)$$

$$V_{FB2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} = -\frac{kT}{q} \ln \frac{N_{af}}{N_{ab}} - \frac{Q_{ox2}}{C_{oxb}} \quad (4.4)$$

Neste modelo a influência do substrato é desprezada, ou seja, a queda de potencial no substrato (ϕ_{SUB}) é considerada nula.

4.2 Modelo analítico proposto [4.2]

Para se introduzir o efeito do substrato no transistor SOI MOSFET, o potencial da 3ª interface (ϕ_{SUB}) deve ser incorporado ao modelo clássico através de uma 3ª equação.

Nossa proposta é a obtenção desta 3ª equação analisando-se a estrutura pseudo MOS silício (canal) / óxido enterrado / silício (substrato).

Na figura 4.1 é apresentado o perfil de um transistor SOI nMOSFET, indicando as três interfaces presentes.

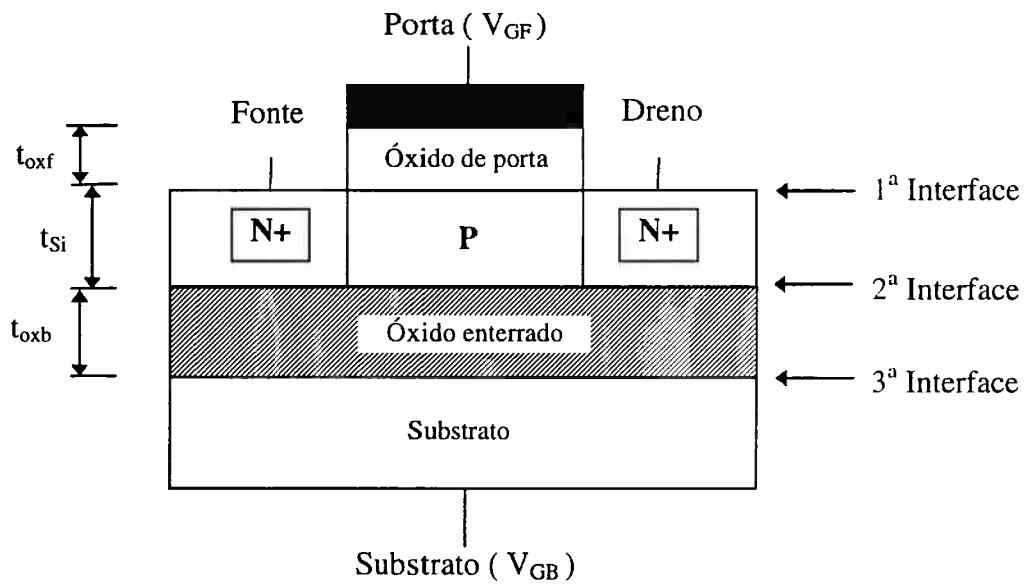


Figura 4.1 - Perfil de um transistor SOI nMOSFET.

A figura 4.2 mostra o diagrama de faixas de energia desta estrutura pseudo MOS, onde V_x é a diferença entre o potencial na 2ª interface (ϕ_{SB}) e a tensão aplicada no substrato (V_{GB}).

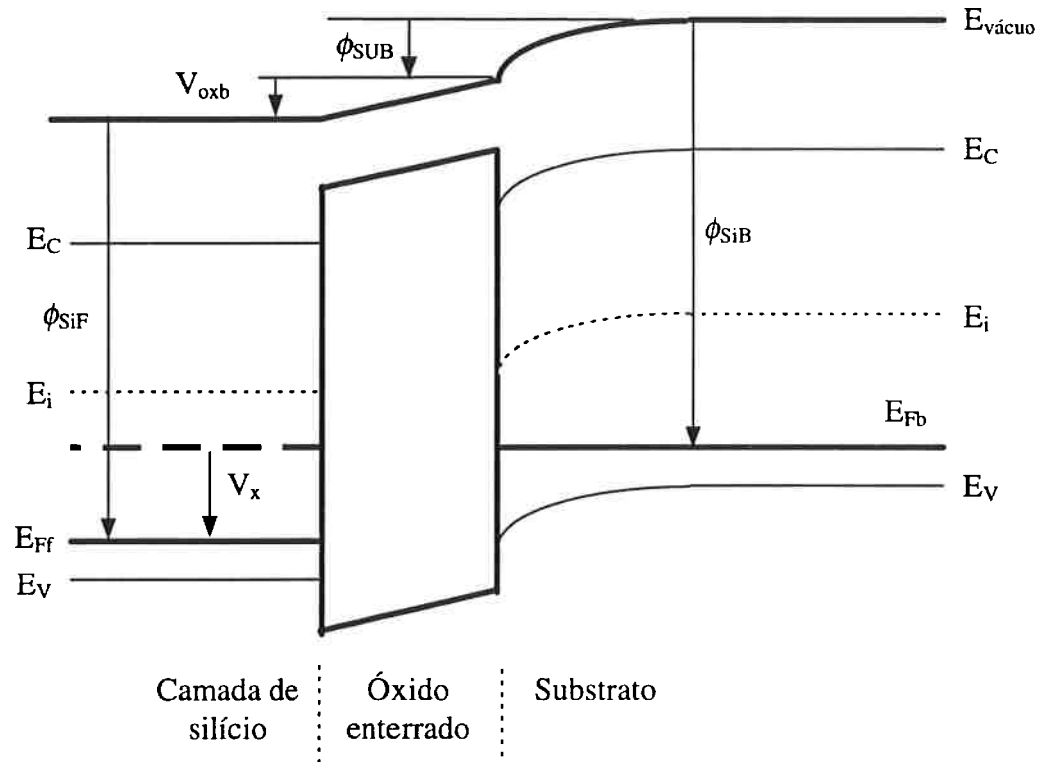


Figura 4.2 - Diagrama de faixas de energia para a estrutura Si (canal) / óxido enterrado / Si (substrato).

Desta forma é possível correlacionar a queda de potencial no substrato (ϕ_{SUB}) com a polarização aplicada no substrato e com o potencial de superfície da 2ª interface, bastando para isto fazer a circuitação de potenciais no sentido anti-horário a partir do potencial de Fermi do substrato:

$$-\phi_{SiB} + \phi_{SUB} + V_{oxb} + \phi_{SiF} - V_X = 0$$

$$V_X = \phi_{SB} - V_{GB}$$

$$\phi_{SB} - V_{GB} = \phi_{SUB} + V_{oxb} + \phi_{SiF} - \phi_{SiB}$$

onde

$$\phi_{SiF} - \phi_{SiB} = \phi_{MS3} = \frac{kT}{q} \ln \left(\frac{N_{af}}{N_{ab}} \right)$$

$$V_{oxb} = -\frac{Q_{ox3}}{C_{oxb}} + \frac{\sqrt{2q \epsilon_{Si} N_{ab} \phi_{SUB}}}{C_{oxb}}$$

logo

$$\phi_{SB} - V_{GB} = \phi_{SUB} - \frac{Q_{ox3}}{C_{oxb}} + \frac{\sqrt{2q \epsilon_{Si} N_{ab} \phi_{SUB}}}{C_{oxb}} + \phi_{MS3}$$

$$\phi_{SUB} + \frac{\sqrt{2q \epsilon_{Si} N_{ab} \phi_{SUB}}}{C_{oxb}} - \phi_{SB} + V_{GB} - \frac{Q_{ox3}}{C_{oxb}} + \phi_{MS3} = 0$$

Resolvendo-se a equação de segundo grau em $\sqrt{\phi_{SUB}}$ e isolando-se

ϕ_{SUB} resulta:

$$\phi_{SUB} = \left[\frac{-\sqrt{2q N_{ab} \epsilon_{Si}}}{2C_{oxb}} + \sqrt{\left(\frac{2q N_{ab} \epsilon_{Si}}{4C_{oxb}^2} - V_{FB3} \right) + (\phi_{SB} - V_{GB})} \right]^2 \quad (4.5)$$

onde

$$V_{FB3} = \phi_{MS3} - \frac{Q_{ox3}}{C_{oxb}} = \frac{kT}{q} \ln \frac{N_{af}}{N_{ab}} - \frac{Q_{ox3}}{C_{oxb}} \quad (4.6)$$

A equação 4.5 modela analiticamente a queda de potencial no substrato em função dos parâmetros físicos e da tensão de polarização externa do substrato. Esta equação é válida enquanto a 3ª interface estiver

em depleção ($0 \leq \phi_{\text{SUB}} \leq 2\phi_{\text{Fb}}$). O intervalo de tensão que aplicado no substrato ($V_{\text{GBmin}} \leq V_{\text{GB}} \leq V_{\text{GBmáx}}$) mantém a 3ª interface em depleção pode ser calculado através da equação 4.5, resultando:

$$\text{- para } \phi_{\text{SUB}}=0 \rightarrow V_{\text{GBmáx}} = \phi_{\text{SB}} - V_{\text{FB3}} \quad (4.7)$$

$$\text{- para } \phi_{\text{SUB}}=2\phi_{\text{Fb}} \rightarrow V_{\text{GBmin}} = \phi_{\text{SB}} - V_{\text{th3}} \quad (4.8)$$

onde

$$\phi_{\text{Fb}} = \frac{kT}{q} \ln \frac{N_{\text{ab}}}{n_i} \quad (4.9)$$

$$V_{\text{th3}} = V_{\text{FB3}} + 2\phi_{\text{Fb}} + \frac{\sqrt{2qN_{\text{ab}}\epsilon_{\text{Si}}2\phi_{\text{Fb}}}}{C_{\text{oxb}}} \quad (4.10)$$

Logo, para $V_{\text{GB}} \leq V_{\text{GBmin}}$, a 3ª interface estará em inversão e o valor de ϕ_{SUB} será fixado em $2\phi_{\text{Fb}}$. Para $V_{\text{GB}} \geq V_{\text{GBmáx}}$, a 3ª interface estará em acumulação e o valor de ϕ_{SUB} será considerado igual a zero.

Para acoplar o efeito do potencial de substrato nos potenciais de superfície da 1ª e 2ª interfaces será necessário adicionar o termo ϕ_{SUB} ao potencial V_{GB} na equação 4.2, onde isolando-se V_{GB} obtém-se:

$$V_{\text{GB}} = \phi_{\text{MS2}} - \frac{Q_{\text{ox2}}}{C_{\text{oxb}}} + \frac{q N_{\text{af}} t_{\text{Si}}}{2 C_{\text{oxb}}} + \left(\frac{\epsilon_{\text{Si}}}{t_{\text{Si}} C_{\text{oxb}}} + 1 \right) \phi_{\text{SB}} - \frac{\epsilon_{\text{Si}}}{t_{\text{Si}} C_{\text{oxb}}} \phi_{\text{SF}} - \phi_{\text{SUB}} \quad (4.11)$$

Portanto, para se levar em consideração a queda de potencial no substrato no comportamento de um SOI MOSFET, basta utilizar o sistema de equações formado pelas expressões (4.1), (4.11) e (4.5), onde os 3 potenciais de superfície (ϕ_{SF} , ϕ_{SB} e ϕ_{SUB}) estão devidamente acoplados.

4.3 Simulação numérica

Foi utilizado o simulador numérico bidimensional MEDICI [4.3] com a finalidade de testar o modelo analítico proposto para a determinação do potencial de substrato em dispositivos SOI MOSFET modo inversão, com canal totalmente depletado.

As características do dispositivo SOI nMOSFET simulado são as seguintes:

$$N_{af} = 8 \times 10^{16} \text{ cm}^{-3} ; N_{ab} = 1 \times 10^{15} \text{ cm}^{-3} ; t_{oxf} = 20 \text{ nm} ; t_{oxb} = 400 \text{ nm} ; \\ t_{Si} = 50 \text{ nm} ; Q_{ox1}/q = 5 \times 10^{10} \text{ cm}^{-2} ; Q_{ox2}/q = Q_{ox3}/q = 1 \times 10^{11} \text{ cm}^{-2} .$$

O arquivo completo MEDICI para esta simulação numérica incluindo os modelos numéricos utilizados pode ser visto no anexo A. O potencial no substrato foi então obtido em função da polarização aplicada

no substrato, observando-se nos arquivos de saída do simulador, o perfil do potencial na estrutura SOI.

Analicamente, o potencial no substrato foi calculado considerando-se o potencial na primeira interface igual a $2\phi_{Fi}$. Para cada valor de V_{GB} , os valores de ϕ_{SB} e ϕ_{SUB} foram obtidos pelas equações (4.11) e (4.5). Os resultados obtidos podem ser vistos na figura 4.3.

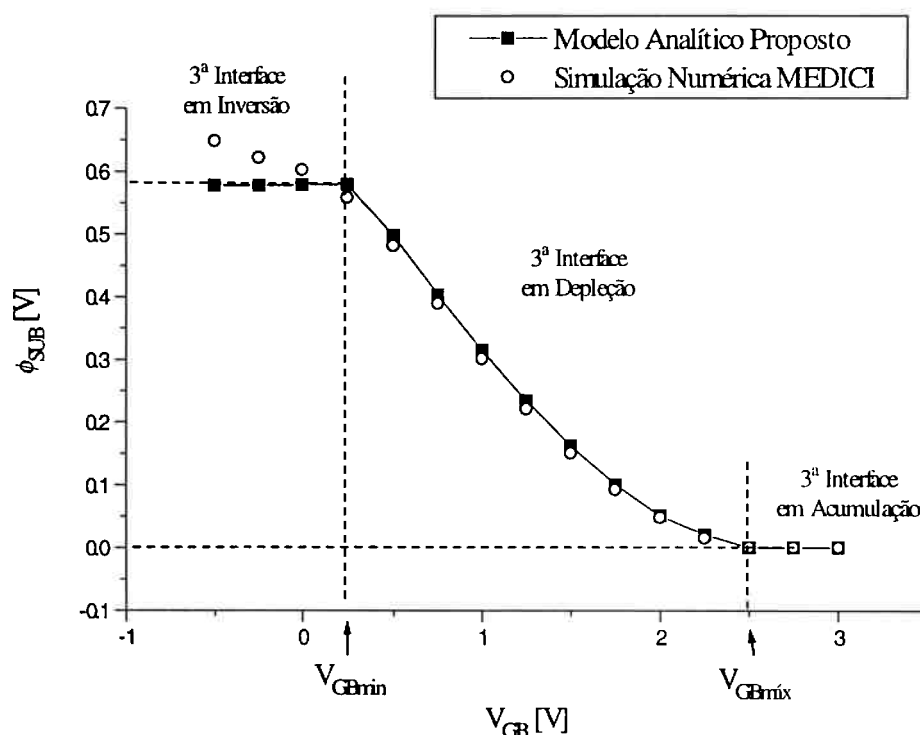


Figura 4.3 – Potencial de superfície do substrato obtido pelo modelo analítico proposto e por simulação numérica.

A figura 4.3 mostra que existe um bom ajuste entre o modelo analítico proposto e a simulação numérica, principalmente com a 3ª interface em depleção. Os limites, superior e inferior de ϕ_{SUB} , são os

tipicamente adotados na literatura, ou seja, $2\phi_{\text{fb}}$ para 3ª interface em inversão (limite superior) e zero para a 3ª interface em acumulação (limite inferior).

Este resultado indica que o modelo analítico proposto representa de forma adequada a queda de potencial no substrato SOI. Por ser um modelo totalmente físico, é possível utilizá-lo para o estudo do efeito dos parâmetros físicos envolvidos no cálculo de ϕ_{SUB} .

4.4 Influência dos parâmetros de processo [4.4]

Uma vez testado o modelo proposto, a equação (4.5) mostra que a queda de potencial no substrato ϕ_{SUB} depende de N_{ab} , N_{af} , Q_{ox3} e t_{oxb} , como pode ser visto nas figuras 4.4, 4.5, 4.6, e 4.7, respectivamente. Nestas figuras, o modelo proposto está utilizando os seguintes dados característicos básicos dos dispositivos SOI MOSFET, salvo indicação contrária:

$$N_{\text{af}} = 8 \times 10^{16} \text{ cm}^{-3} ; t_{\text{oxf}} = 20 \text{ nm} ; t_{\text{oxb}} = 400 \text{ nm} ; t_{\text{Si}} = 50 \text{ nm} ;$$

$$Q_{\text{ox1}}/q = 5 \times 10^{10} \text{ cm}^{-2} ; Q_{\text{ox2}}/q = Q_{\text{ox3}}/q = 1 \times 10^{11} \text{ cm}^{-2} .$$

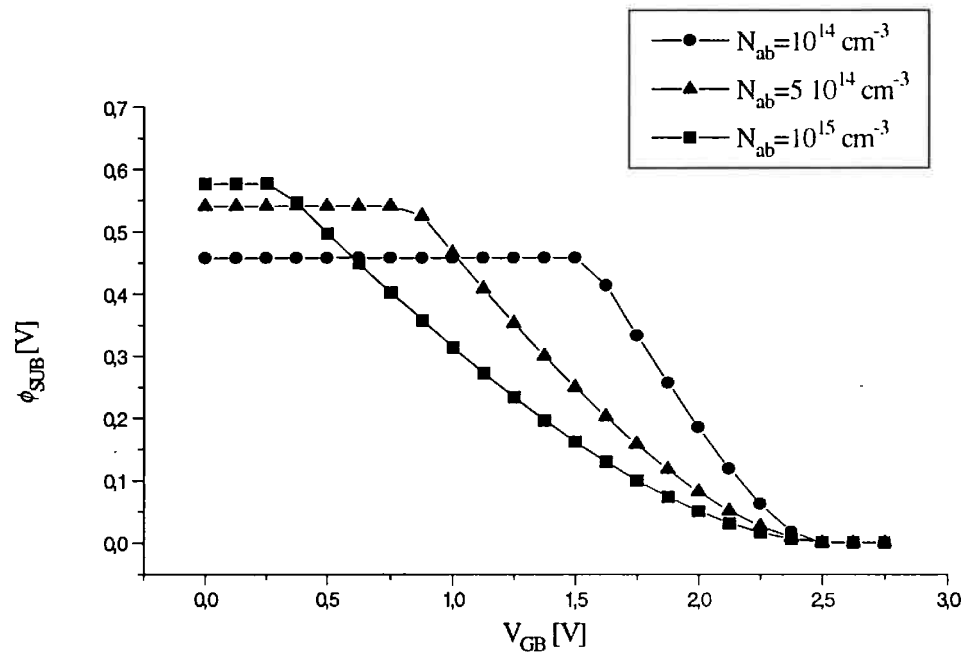


Figura 4.4 – Influência da concentração do substrato na queda de potencial no substrato.

A figura 4.4 mostra que à medida que N_{ab} aumenta, há também o aumento da queda de potencial ϕ_{SUB} , devido ao aumento do potencial de Fermi (equação 4.9). A tensão V_{GBmin} diminui, pois V_{th3} aumenta, como indicado nas equações 4.8 e 4.10. A tensão V_{GBmax} praticamente não varia nesta faixa de N_{ab} analisada. A figura 4.4 mostra que para $V_{GB} > 2,5V$ não haverá influência da queda de potencial no substrato, pois a 3ª interface estará acumulada e $\phi_{SUB} \cong 0$. No entanto, para $V_{GB} = 0$, que é o caso típico para circuitos SOI CMOS, a 3ª interface estará em inversão e ϕ_{SUB} atingirá seu valor máximo. No item 4.5 será demonstrado que quanto maior for o

valor de ϕ_{SUB} , maior será a influência deste, nos parâmetros elétricos dos dispositivos SOI MOSFET.

A influência de N_{af} em ϕ_{SUB} é praticamente desprezível, como pode ser observado na figura 4.5.

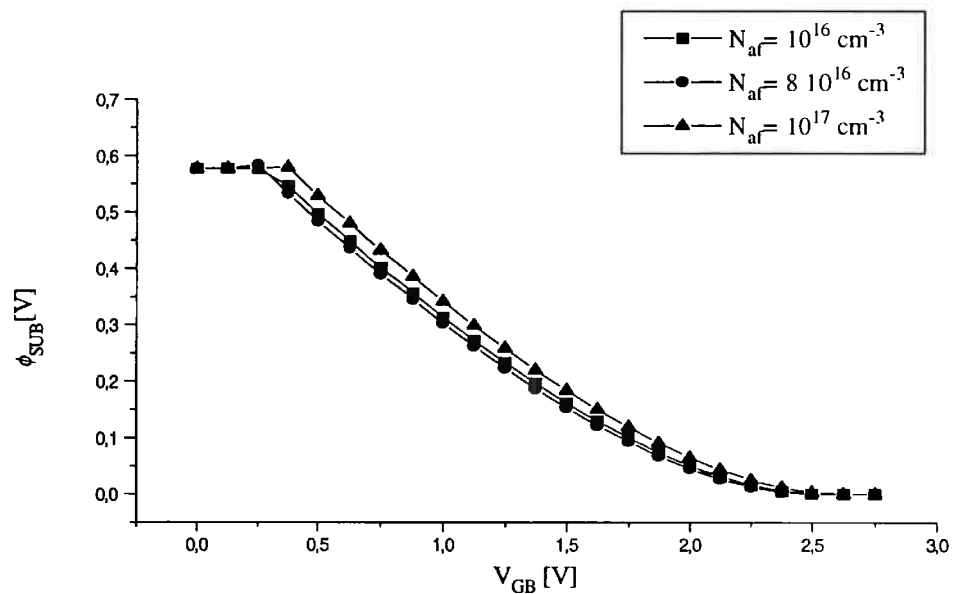


Figura 4.5 - Influência da concentração da camada de silício na queda de potencial no substrato.

A figura 4.6 mostra que o aumento da densidade de carga fixa na 3ª interface provoca um deslocamento linear da curva para a direita, pois V_{GBmin} e $V_{\text{GBmáx}}$ são incrementados do mesmo fator $Q_{\text{ox3}}/C_{\text{oxb}}$. Para $V_{\text{GB}} = 0$ e $Q_{\text{ox3}}/q \geq 10^{11} \text{ cm}^{-2}$ (valor típico) a queda de potencial no substrato atinge seu valor máximo.

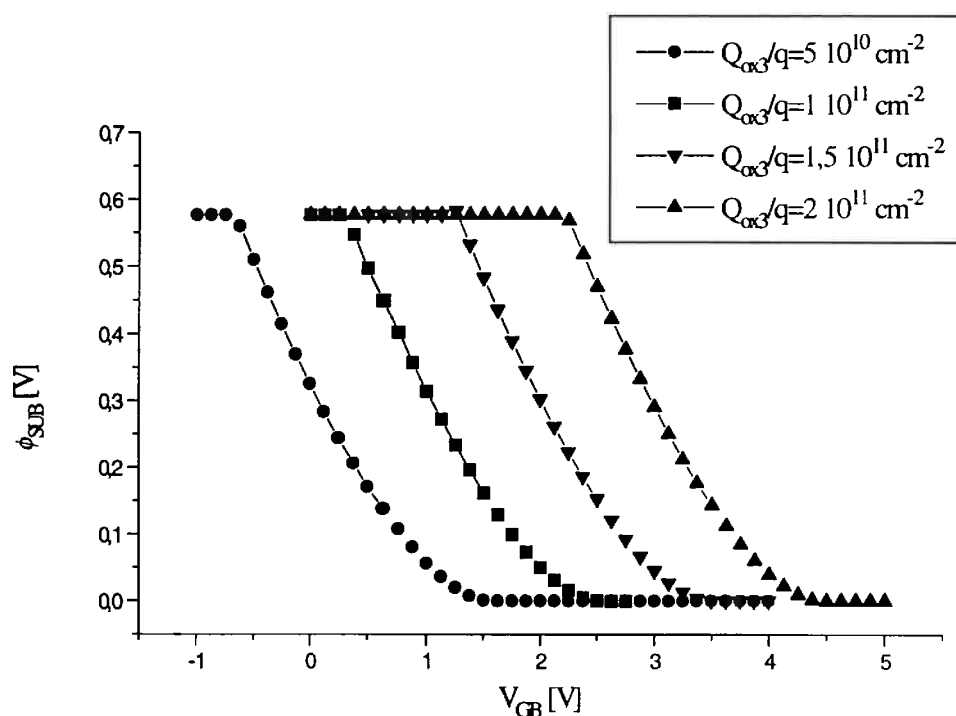


Figura 4.6 - Influência da densidade de carga fixa da 3ª interface na queda de potencial no substrato.

A influência da espessura do óxido enterrado em ϕ_{SUB} pode ser vista na figura 4.7. Com a diminuição de t_{oxb} , $V_{\text{GBmáx}}$ diminui significativamente, enquanto V_{GBmin} varia muito pouco. Desta forma, a variação de V_{GB} necessária para que a 3ª interface passe da inversão para a acumulação diminui de 2,0 V para 1,0 V com t_{oxb} variando de 400 nm para 80 nm. No item 4.4 será mostrado que t_{oxb} é a variável de processo da lâmina SOI que mais influencia os parâmetros elétricos do dispositivo SOI.

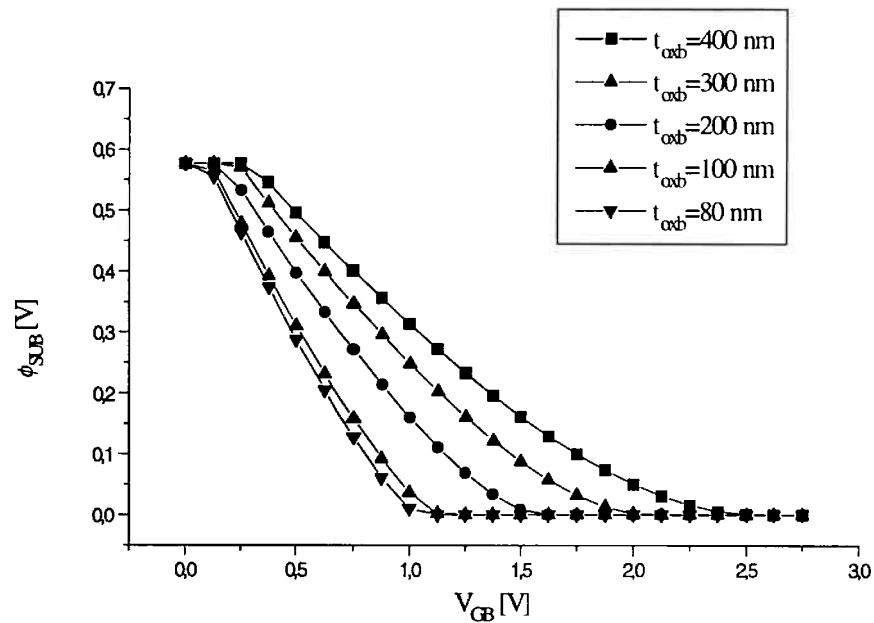


Figura 4.7 - Influência da espessura do óxido enterrado na queda de potencial no substrato.

4.5 Influência do substrato nos dispositivos SOI

4.5.1 SOI nMOSFET modo inversão

4.5.1.1 Tensão de limiar [4.2, 4.4 e 4.5]

Em um transistor SOI nMOSFET modo inversão de camada fina totalmente depletado, quando a tensão aplicada na porta atingir o valor da tensão de limiar (V_{thF}), a região de depleção proveniente da primeira interface estará interagindo com a região de depleção proveniente da

segunda interface. Devido a este acoplamento, a queda de potencial na terceira interface influenciará no valor da tensão de limiar deste tipo de transistor.

Esta influência pode ser quantizada analiticamente calculando-se a tensão de limiar considerando-se o efeito do substrato $V_{thF}(\phi_{SUB})$ através do modelo proposto e descrito pelo sistema de equações (4.1), (4.11) e (4.5) onde $V_{GF} = V_{thF}(\phi_{SUB})$ para $\phi_{SF} = 2\phi_{Ff}$, $Q_{inv} = 0$ e $Q_{s2} = 0$. Este resultado analítico obtido pelo modelo proposto, comparado com o obtido pelo modelo clássico de Lim&Fossum e com os dados experimentais obtidos com amostras de transistores com as características indicadas abaixo, podem ser vistos na figura 4.8.

$$N_{af} = 1 \times 10^{17} \text{ cm}^{-3} ; N_{ab} = 1 \times 10^{15} \text{ cm}^{-3} ; t_{oxf} = 15 \text{ nm} ; t_{oxb} = 390 \text{ nm} ; \\ t_{si} = 80 \text{ nm}, L = 2 \text{ } \mu\text{m} \text{ e } W = 20 \text{ } \mu\text{m}.$$

A tensão de limiar foi obtida através do critério do nível de corrente $I_{DS} = 10^{-7} \text{ W/L}$ na curva $I_{DS} \times V_{GF}$ com as seguintes condições de polarização:

$$V_{GF} = -0,75 \text{ até } 1,25 \text{ V (passo = 5 mV)}$$

$$V_{GB} = -1,50 \text{ até } 3,50 \text{ V (passo = 100 mV)}$$

$$V_{DS} = 0,1 \text{ V}$$

O passo da tensão aplicada no substrato necessita ser suficientemente pequena ($\leq 100 \text{ mV}$) para que o efeito do substrato possa ser observado.

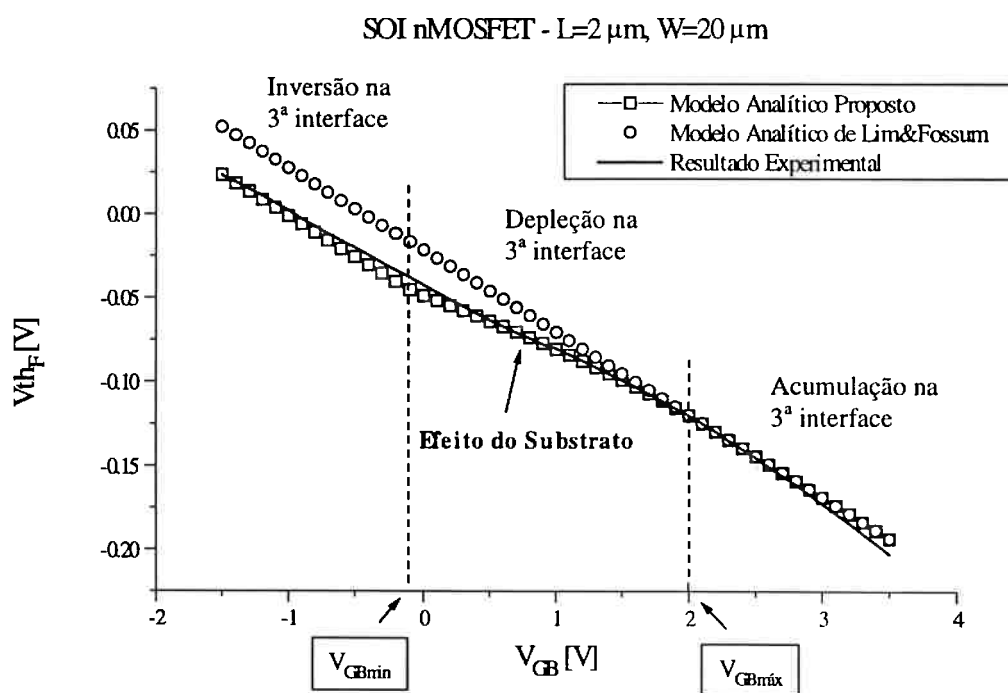


Figura 4.8 – Tensão de limiar em função da tensão de substrato obtida pelos modelos analíticos (proposto e o clássico) e comparadas com o resultado experimental.

A figura 4.8 mostra de forma clara o efeito do substrato e como o modelo analítico proposto se ajusta bem aos dados experimentais. Para $V_{GB} \geq 2V$ não há diferença entre os modelos, pois nesta condição a terceira interface está em acumulação ($\phi_{SUB} = 0 V$). Para $V_{GB} \leq -0,25 V$ a diferença é máxima entre os modelos, pois a terceira interface se encontra em inversão, ou seja, ϕ_{SUB} alcança o maior valor possível ($\equiv 2\phi_{Fb}$). No intervalo $-0,25 V \leq V_{GB} \leq 2 V$, a terceira interface está em depleção e a diferença entre os modelos vai aumentando à medida que esta se aproxima da inversão. Neste caso, o erro máximo entre os modelos proposto e clássico $\Delta V_{thF} = V_{thF}(\phi_{SUB}) - V_{thF}(\phi_{SUB} = 0V)$ é de $-28 mV$. Este erro pode ser considerado desprezível pois as diferenças de processamento e de extração de parâmetros são praticamente da mesma ordem de grandeza neste caso.

Uma análise do ΔV_{thF} foi realizada para diferentes condições de processamento. O parâmetro de processo que influenciou de forma mais significativa o ΔV_{thF} foi a espessura do óxido enterrado t_{oxb} como pode ser visto na figura 4.9.

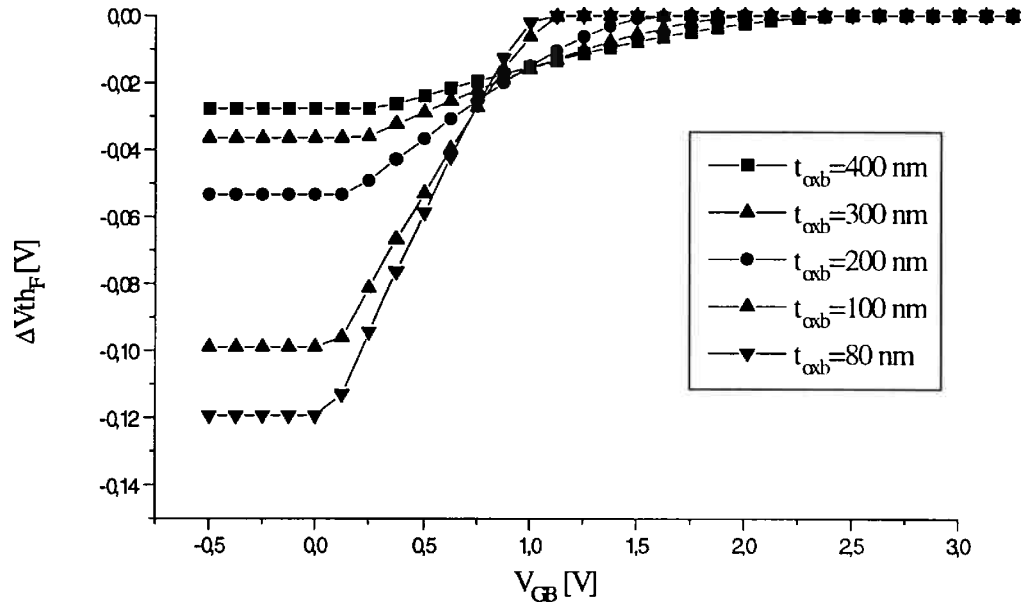


Figura 4.9 – Influência da espessura do óxido enterrado na variação da tensão de limiar em função de V_{GB} .

Da figura 4.9 pode-se observar claramente que a variação máxima de ΔV_{thF} aumenta à medida que t_{oxb} diminui.

A figura 4.10 mostra o valor máximo da diferença entre as tensões de limiar com e sem substrato $\Delta V_{thF_{m\acute{a}x}}$ em função da espessura do óxido enterrado.

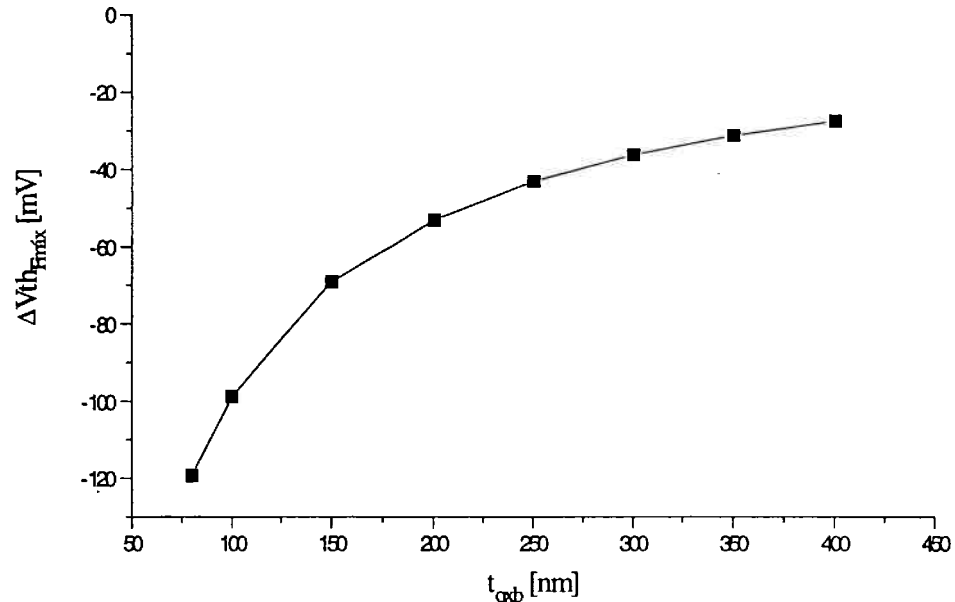


Figura 4.10 – Variação máxima em ΔV_{th_F} em função da espessura do óxido enterrado.

A figura 4.10 mostra que para t_{oxb} diminuindo de 400 nm para 80 nm o valor de $\Delta V_{\text{th}_{\text{Fmáx}}}$ aumenta em módulo de 28 mV para 120 mV, o que não mais pode ser considerado desprezível. Este resultado é muito importante pois lâminas SOI, implementadas com o processo SIMOX, com $t_{\text{oxb}} = 80$ nm estão disponíveis comercialmente e seu preço é 30% a 50% menores que as de $t_{\text{oxb}} = 400$ nm [4.6, 4.7].

4.5.1.2 Inclinação de sublimiar [4.8]

De acordo com o apresentado no capítulo de conceitos básicos, a inclinação de sublimiar de um SOI MOSFET pode ser calculada de forma generalizada, desprezando-se a capacitância de armadilhas de interface, como indicado na equação 4.12.

$$S \cong \frac{kT}{q} \ln(10)(1 + \alpha) \quad (4.12)$$

onde

$$\alpha = \frac{C_{Si}}{C_{oxf}} \quad (4.13)$$

para SOI de camada fina com a 2^a interface acumulada.

$$\alpha = \frac{C_{Si} C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})} \quad (4.14)$$

para SOI totalmente depletado sem considerar o efeito do substrato.

Se for levado em consideração a queda de potencial no substrato, pode-se associar à região de depleção correspondente, uma capacitância de substrato (C_{SUB}), em série com a capacitância do óxido enterrado (C_{oxb}), como indicado na figura 4.11(c).

Na figura 4.11 pode ser visto o modelo de capacitâncias para um SOI MOSFET de camada fina com a segunda interface acumulada (a), totalmente depletada (b) e considerando-se a capacitância do substrato (c). Neste modelo estão sendo desprezadas as capacitâncias de armadilhas de interface.

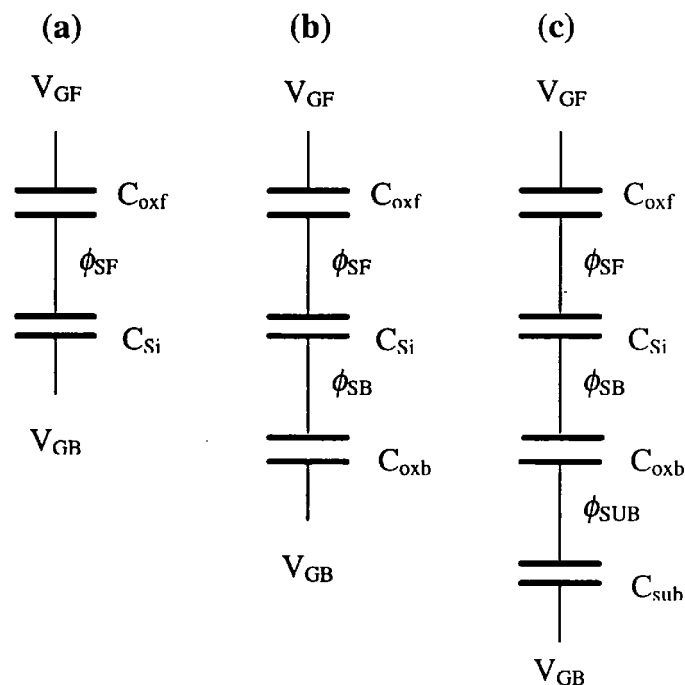


Figura 4.11 - Modelos de Capacitâncias:

- (a) SOI MOSFET de camada fina com a segunda interface acumulada;
- (b) SOI MOSFET totalmente depletado;
- (c) SOI MOSFET totalmente depletado incluindo a capacitância do substrato.

O fator α pode ser calculado de forma geral pelo quociente da capacitância C_x pela capacitância do óxido de porta (C_{oxf}), onde C_x representa a capacitância efetiva entre a primeira interface (ϕ_{SF}) e o substrato (V_{GB}) (figura 4.11).

Portanto, levando-se em consideração a figura 4.11 (c), o fator α pode ser obtido como indicado na equação (4.15):

$$\alpha = \frac{C_{Si} C_{oxf} C_{SUB}}{C_{Si} C_{SUB} + C_{Si} C_{oxb} + C_{oxb} C_{SUB}} \left(\frac{1}{C_{oxf}} \right) \quad (4.15)$$

para SOI totalmente depletado considerando-se o substrato em depleção.

onde

$$C_{SUB} = \frac{\epsilon_{Si}}{X_{SUB}} \quad (4.16)$$

$$X_{SUB} = \sqrt{\frac{2 \epsilon_{Si} \phi_{SUB}}{q N_{ab}}} \quad (4.17)$$

Se a terceira interface inverter ou acumular, o valor de C_{SUB} tende ao infinito e o fator α indicado na equação (4.15) tende ao indicado na equação (4.14), ou seja, o efeito do substrato só influencia a inclinação de sublimar enquanto estiver em depleção.

A figura 4.12 mostra a diferença entre os modelos analíticos, clássico e proposto, para o cálculo da variação da inclinação de sublimiar (ΔS), ou seja, desprezando-se e considerando-se o efeito da queda de potencial no substrato respectivamente (equação 4.18).

$$\Delta S = S(\phi_{\text{SUB}} = 0) - S(\phi_{\text{SUB}}) \quad (4.18)$$

O mesmo cálculo foi feito através das simulações numéricas bidimensionais MEDICI e o resultado está também apresentado na figura 4.12.

As características do dispositivo SOI utilizado para cálculo analítico e numérico são as seguintes:

$$N_{\text{af}} = 8 \times 10^{16} \text{ cm}^{-3} ; t_{\text{oxf}} = 20 \text{ nm} ; t_{\text{oxb}} = 400 \text{ nm} ; t_{\text{Si}} = 50 \text{ nm} ; \\ Q_{\text{ox1}}/q = 5 \times 10^{10} \text{ cm}^{-2} ; Q_{\text{ox2}}/q = Q_{\text{ox3}}/q = 1 \times 10^{11} \text{ cm}^{-2} .$$

Pode-se verificar a partir da figura 4.12 que a máxima variação ocorre para $V_{\text{GB}} \cong 0\text{V}$ e tem valor de $\Delta S \cong 1,2\text{mV/déc.}$, pois nesta condição a terceira interface está com a região de depleção máxima e, conseqüentemente, a capacitância de substrato atinge seu valor mínimo,

influenciando de forma mais significativa na associação série de capacitâncias.

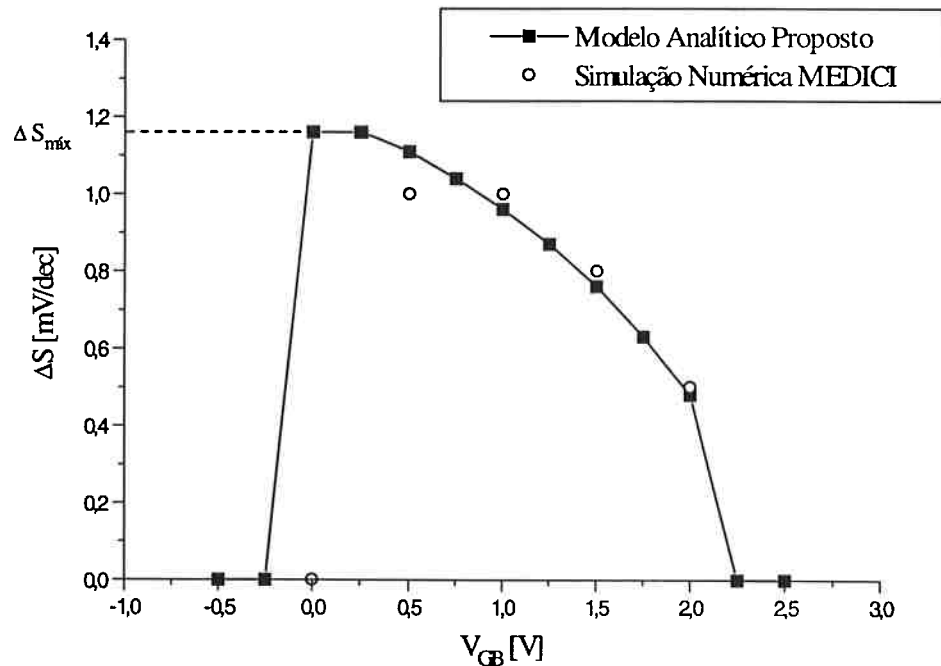


Figura 4.12 – Variação da Inclinação de sublimar em função da tensão aplicada ao substrato.

O valor deste ΔS , no entanto, pode ser desprezado para o dispositivo analisado, pois as variações de processo e os erros na extração do parâmetro são maiores que 1,2 mV/déc.

Posteriormente, estudou-se a influência dos parâmetros de processo nesta variação da inclinação de sublimar e novamente a diminuição da espessura de óxido enterrado demonstrou ser o que mais afeta esta variação.

A figura 4.13 mostra o gráfico da variação de inclinação máxima $\Delta S_{\text{máx}}$ em função da espessura do óxido enterrado.

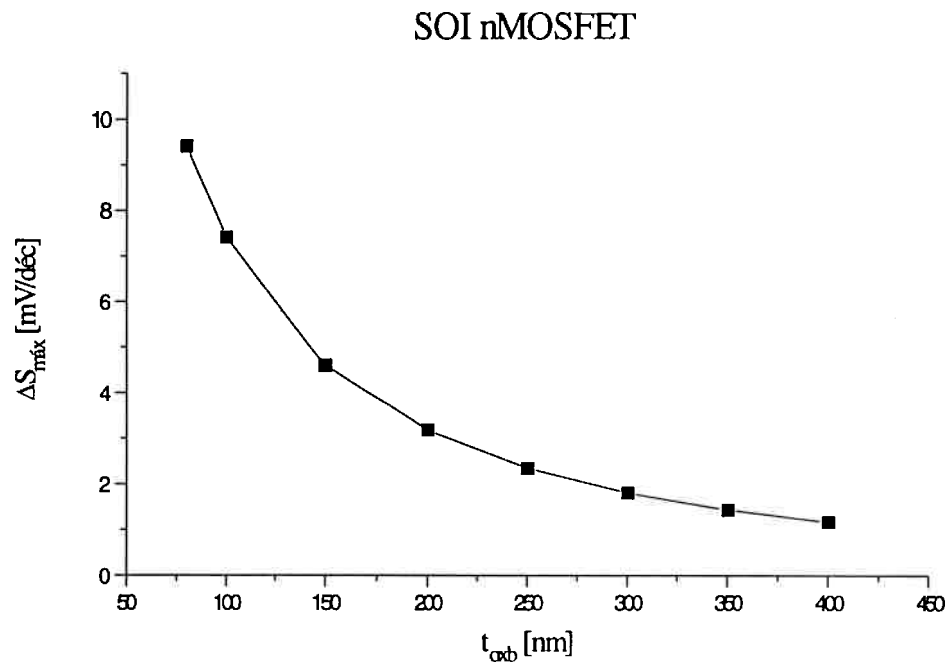


Figura 4.13 – Variação máxima da inclinação de sublimiar em função da espessura do óxido enterrado.

À medida que a espessura do óxido enterrado diminui de 400 nm para 80 nm, a influência da capacitância de substrato afeta o valor da inclinação de sublimiar de 1,2 mV/déc para aproximadamente 10 mV/déc que não pode mais ser considerado desprezível. Este aumento de $\Delta S_{\text{máx}}$ se deve ao aumento do acoplamento entre a 2^a e 3^a interfaces ocasionado pela diminuição de t_{oxb} .

4.5.1.3 Análise em baixa temperatura

Devido às vantagens apresentadas por dispositivos operando em baixas temperaturas, conforme indicado no capítulo 2, será analisado a seguir o modelo da queda de potencial de substrato proposto e sua influência na variação da tensão de limiar e na inclinação de sublimiar em função da temperatura.

Com a diminuição da temperatura, o potencial de Fermi aumenta e, conseqüentemente, a queda de potencial máxima no substrato ($\phi_{SUB} \cong 2\phi_{Fb}$) passa de 0,58 V ($T = 300K$) para 1,05 V ($T = 77K$). Este aumento de ϕ_{SUB} provocará um aumento da influência do substrato na variação de tensão de limiar ΔV_{thF} [4.9, 4.10] e na inclinação de sublimiar ΔS [4.8, 4.9], como pode ser visto nas figuras 4.14 e 4.15. As características do SOI nMOSFET utilizado são as seguintes:

$$N_{af} = 8 \times 10^{16} \text{ cm}^{-3} ; t_{oxf} = 20 \text{ nm} ; t_{oxb} = 400 \text{ nm} ; t_{Si} = 50 \text{ nm} ;$$

$$Q_{ox1}/q = 5 \times 10^{10} \text{ cm}^{-2} ; Q_{ox2}/q = Q_{ox3}/q = 1 \times 10^{11} \text{ cm}^{-2} .$$

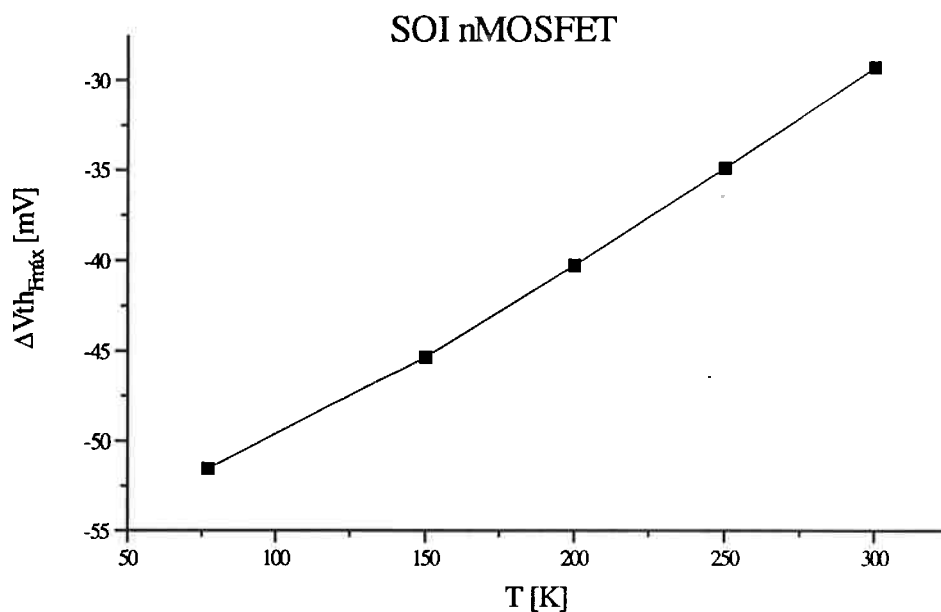


Figura 4.14 - Variação máxima da tensão de limiar em função da temperatura.

A figura 4.14 indica que o máximo valor em módulo de ΔV_{th_F} passou de 28 mV para 52 mV com a temperatura diminuindo de 300 K para 77 K.

A figura 4.15 mostra que ΔS_{max} diminui de 1,2 para 0,4 mV/déc, porém o erro percentual aumentou ligeiramente de 1,9% para 2,2% com a temperatura diminuindo de 300 para 77 K.

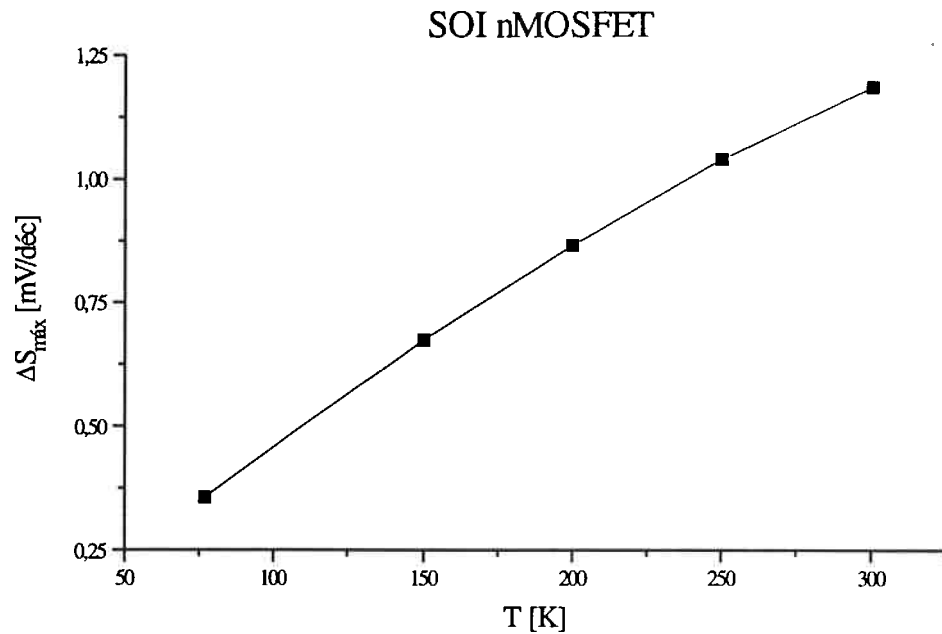


Figura 4.15 - Variação máxima da inclinação de sublimiar em função da temperatura.

Da mesma forma, a influência do substrato aumenta à medida que t_{oxb} diminui, como pode ser visto nas figuras 4.16 e 4.17.

A figura 4.16 mostra que, considerando-se $t_{\text{oxb}} = 80$ nm, $\Delta V_{\text{thFmáx}}$ aumenta em módulo de 143 mV para 250 mV quando a temperatura diminui de 300 K para 77 K respectivamente. Este resultado ratifica a importância em se levar em consideração o efeito do substrato em simuladores analíticos de circuitos tal como o PSPICE.

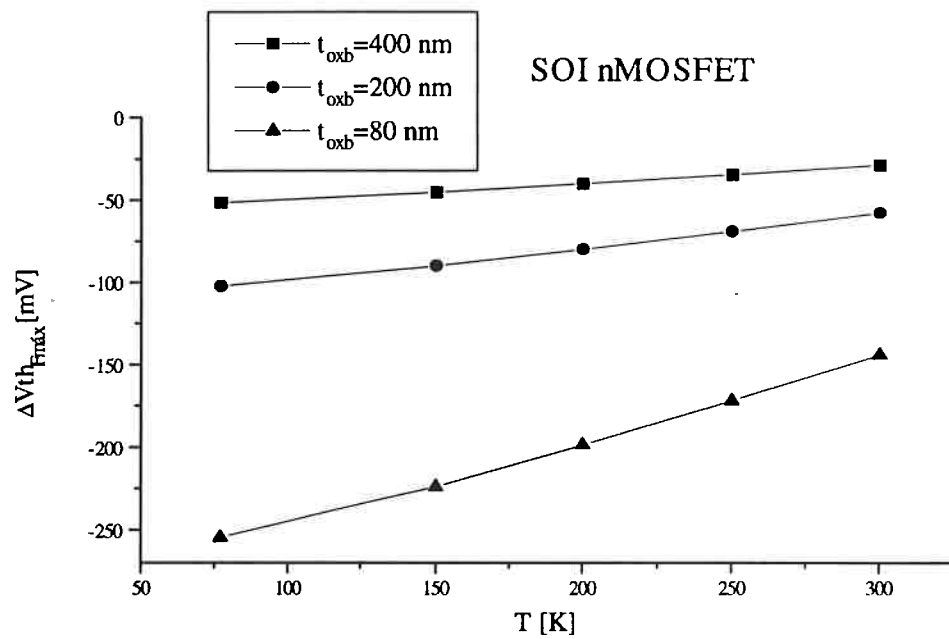


Figura 4.16 - Máxima variação da tensão de limiar em função da temperatura e da espessura de óxido enterrado.

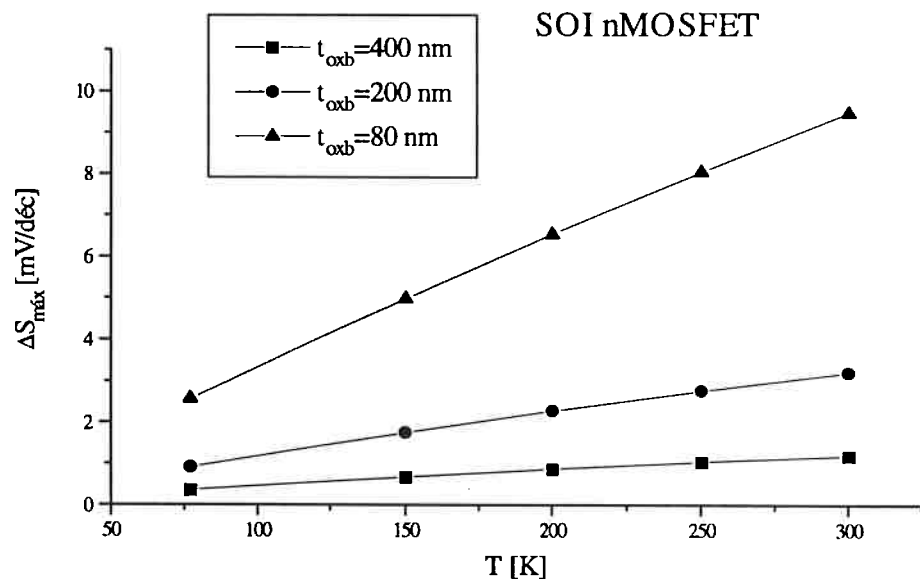


Figura 4.17 - Máxima variação da inclinação de sublimiar em função da temperatura e da espessura do óxido enterrado.

A figura 4.17 mostra que a diminuição da temperatura não influenciou de forma muito significativa a máxima variação da inclinação de sublimar. Analisando-se a diferença percentual de $\Delta S_{\text{máx}}$, verificou-se que este valor sofre uma elevação de 13,1 % para 13,9 % quando a temperatura é reduzida de 300 K para 77 K, com $t_{\text{oxb}} = 80$ nm.

4.5.2 SOI pMOSFET modo acumulação

4.5.2.1 Tensão de limiar de porta

Em um SOI pMOSFET modo acumulação, se for aplicado na porta uma tensão menor que a tensão de faixa plana, ocorrerá a acumulação da primeira interface, através da qual fluirá uma corrente entre dreno e fonte. Define-se tensão de limiar de porta como a própria tensão de faixa plana onde desprezando-se as cargas de armadilhas na interface resulta :

$$V_{GF} = V_{th_{acc1}} = V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} \quad (4.19)$$

Como este valor independe da tensão aplicada no substrato (para valores usuais de V_{GB}) não há efeito da queda de potencial no substrato neste parâmetro.

4.5.2.2 Tensão de limiar de corpo induzida pela porta

Se a tensão aplicada na porta for maior que a tensão de faixa plana, a primeira interface estará em depleção, com uma profundidade x_{d1} . Se a tensão aplicada no substrato induzir uma região de depleção na segunda interface com profundidade x_{d2} , e se a soma de x_{d1} e x_{d2} for igual a espessura da camada de silício (t_{Si}), o canal estará totalmente depletado e não haverá passagem de corrente entre dreno e fonte. Para tensões de porta menores que a tensão de limiar de corpo induzida pela porta $V_{th_{body1}}$ ($V_{GF} < V_{th_{body1}}$), x_{d1} diminui tornando o canal não mais totalmente depletado, dando origem a uma corrente de corpo entre dreno e fonte I_{corpo} através da região neutra formada entre as regiões de depleção.

Como no ponto de limiar ainda existe o acoplamento entre as regiões de depleção da primeira e segunda interfaces, o sistema de equações proposto formado pelas equações (4.1), (4.11) e (4.5) ainda é válido.

Nesta condição são também válidas as equações (4.20), (4.21) e (4.22), relacionadas abaixo.

$$\phi_{SF} = \frac{q N_{af} x_{d1}^2}{2 \epsilon_{Si}} \quad (4.20)$$

$$\phi_{SB} = \frac{q N_{af} x_{d2}^2}{2 \epsilon_{Si}} \quad (4.21)$$

$$x_{d1} + x_{d2} = t_{Si} \quad (4.22)$$

Substituindo-se as equações (4.20), (4.21) e (4.22) na equação (4.11) fica:

$$V_{GB} = V_{FB2} + \frac{q N_{af} x_{d2}^2}{2 \epsilon_{Si}} + \frac{q N_{af} x_{d2}}{C_{oxb}} - \phi_{SUB} \quad (4.23)$$

Isolando-se x_{d2} através da solução da equação acima fica:

$$x_{d2} = -\frac{\epsilon_{Si}}{C_{oxb}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxb}}\right)^2 + \frac{2\epsilon_{Si}(V_{GB} - V_{FB2} + \phi_{SUB})}{q N_{af}}} \quad (4.24)$$

Analogamente, substituindo-se as equações (4.20), (4.21) e (4.22) na equação (4.1) resulta:

$$V_{GF} = V_{FB1} + \frac{q N_{af} x_{d1}^2}{2 \epsilon_{Si}} + \frac{q N_{af} x_{d1}}{C_{oxb}} \quad (4.25)$$

Isolando-se x_{d1} tem-se:

$$x_{d1} = -\frac{\epsilon_{Si}}{C_{oxf}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxf}}\right)^2 + \frac{2\epsilon_{Si}(V_{GF} - V_{FB1})}{q N_{af}}} \quad (4.26)$$

A tensão de limiar de corpo induzida pela porta pode ser calculada pela equação (4.27).

$$V_{th_{body1}} = V_{FB1} + \frac{q N_{af} x_{d1}^2}{2 \epsilon_{Si}} + \frac{q N_{af} x_{d1}}{C_{oxf}} \quad (4.27)$$

onde

$$x_{d1} = t_{Si} - x_{d2}$$

e x_{d2} pode ser calculado pela equação (4.24).

Como x_{d2} depende de ϕ_{SUB} , logo $V_{th_{body1}}$ dependerá da queda de potencial no substrato.

A equação para o cálculo de $V_{th_{body1}}$ foi testada com o auxílio do simulador numérico bidimensional MEDICI (anexo B), como pode ser visto na figura 4.18 [4.11]. Nesta figura é apresentada a diferença obtida ($\Delta V_{th_{body1}}$) na obtenção de $V_{th_{body1}}$ com e sem o efeito do substrato, como indicado na equação (4.28), em função de V_{GB} .

$$\Delta V_{th_{body1}} = V_{th_{body1}} - V_{th_{body1}}(\phi_{SUB} = 0) \quad (4.28)$$

As características do dispositivo SOI pMOSFET utilizado neste caso são as seguintes:

$$N_{af} = 6 \times 10^{16} \text{ cm}^{-3}; N_{ab} = 1 \times 10^{15} \text{ cm}^{-3}; t_{oxf} = 15 \text{ nm}; t_{oxb} = 390 \text{ nm};$$

$$t_{Si} = 100 \text{ nm}; Q_{ox1}/q = 5 \times 10^{10} \text{ cm}^{-2}; Q_{ox2}/q = Q_{ox3}/q = 1 \times 10^{11} \text{ cm}^{-2}.$$

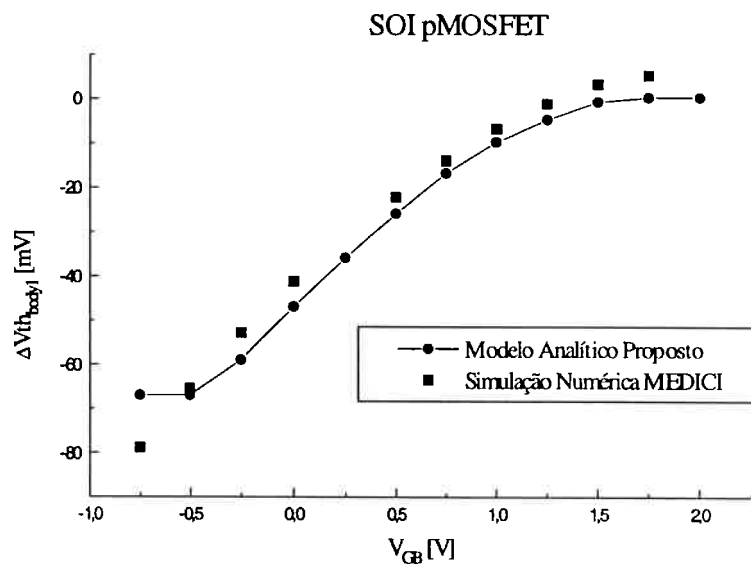


Figura 4.18 – Erro na obtenção da tensão de limiar de corpo induzida pela porta em função da tensão de substrato, obtido por simulação numérica e analiticamente.

Para $V_{GB} > 1,5V$ a terceira interface está acumulada, logo não haverá influência do substrato nesta condição pois $\phi_{SUB} = 0$. Para $V_{GB} < -0,5V$ a

terceira interface está invertida, logo a máxima diferença (máximo erro) é encontrada pois $\phi_{\text{SUB}} = 2\phi_{\text{Fb}}$, o que provoca um $\Delta V_{\text{th}_{\text{body1}}} \cong 68\text{mV}$.

A figura 4.19 mostra uma comparação entre os modelos proposto e clássico com os resultados experimentais da tensão de limiar de corpo induzida pela porta [4.12] de um transistor SOI pMOSFET e com as seguintes características:

$N_{\text{af}} = 6 \times 10^{16} \text{ cm}^{-3}$; $N_{\text{ab}} = 1 \times 10^{15} \text{ cm}^{-3}$; $t_{\text{oxf}} = 15 \text{ nm}$; $t_{\text{oxb}} = 390 \text{ nm}$;
 $t_{\text{si}} = 100 \text{ nm}$, $L = 5 \mu\text{m}$ e $W = 20 \mu\text{m}$.

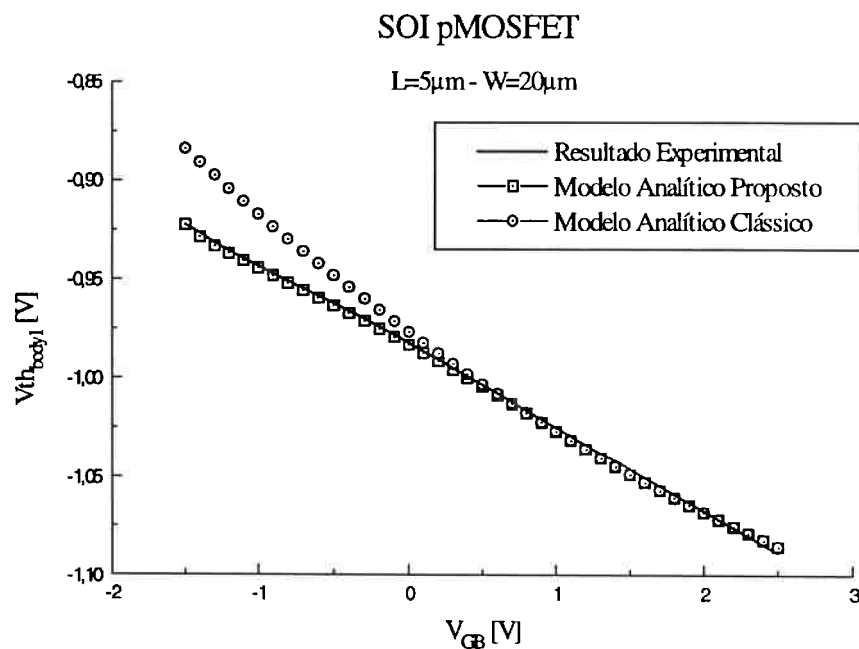


Figura 4.19 – Tensão de limiar de corpo induzida pela porta em função da tensão de substrato calculada pelos modelos proposto e clássico comparada com os resultados experimentais.

Pode-se ver claramente pela figura 4.19 que o modelo analítico proposto para $V_{th_{body1}}$ se ajusta muito bem aos resultados experimentais obtidos.

O valor máximo de $\Delta V_{th_{body1}}$ depende fortemente de t_{Si} e t_{oxb} como pode ser visto nas figuras 4.20 e 4.21, respectivamente.

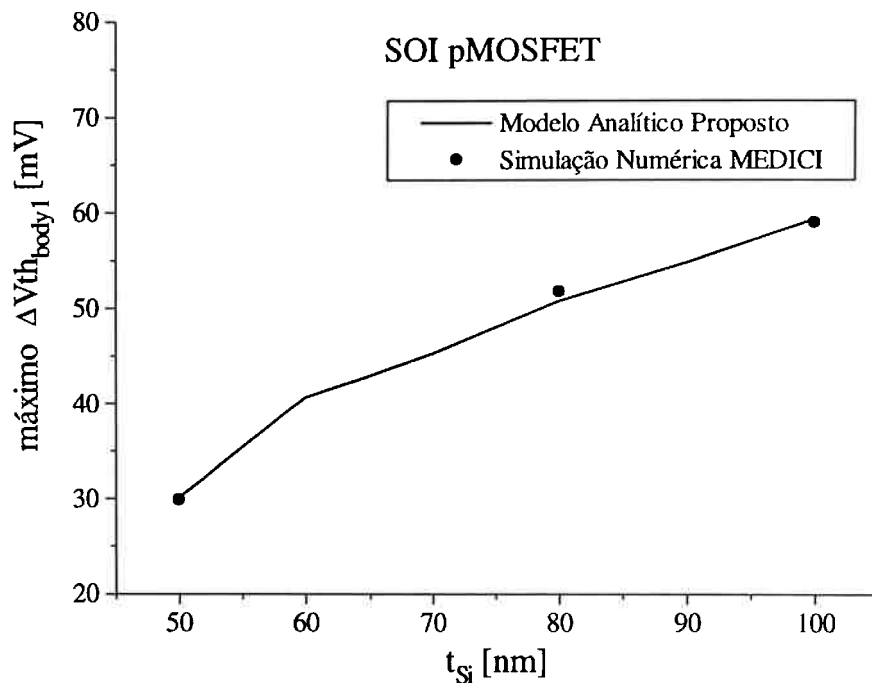


Figura 4.20 – Valor máximo de $\Delta V_{th_{body1}}$ em função da espessura da camada de silício obtido pelo modelo analítico proposto e pelo simulador numérico bidimensional MEDICI.

A figura 4.20 mostra que quanto menor for a espessura da camada de silício, menor será o erro cometido em se desprezar ϕ_{SUB} nos cálculos, passando de 60 mV para 30 mV quando t_{Si} passa de 100 nm para 50 nm,

respectivamente. De qualquer forma, neste caso os erros são pequenos comparados aos erros de extração de $V_{th_{body1}}$ e as variações de processo.

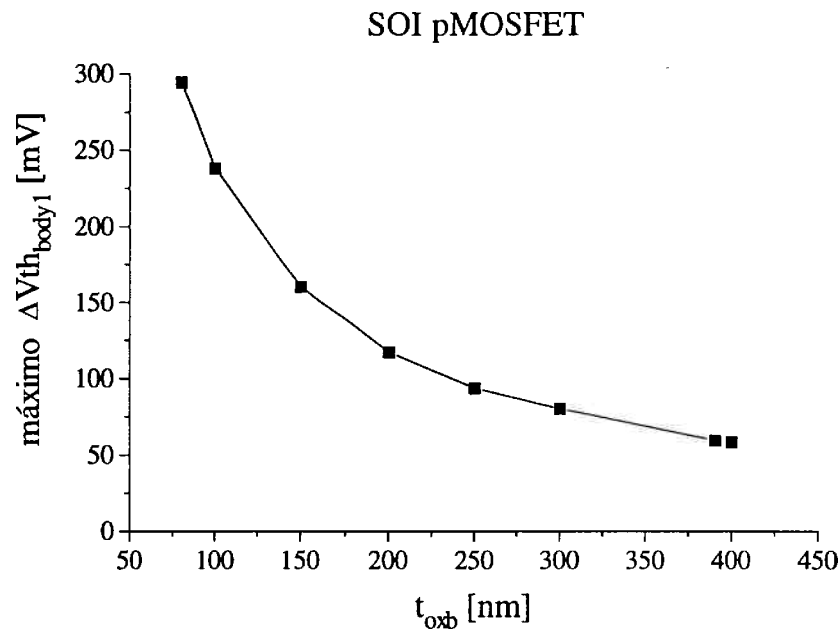


Figura 4.21 - Valor máximo de $\Delta V_{th_{body1}}$ em função da espessura do óxido enterrado obtido pelo modelo analítico proposto.

No entanto, a figura 4.21 mostra que a máxima variação de $\Delta V_{th_{body1}}$ passa de 60 mV para 300 mV quando t_{oxb} passa de 400 nm para 80 nm, respectivamente, não podendo mais ser considerado desprezível.

4.5.2.3 Tensão de limiar de substrato

Em transistores SOI o substrato funciona como uma segunda porta. Se for aplicado uma tensão fixa na porta e for variada a tensão no

substrato, ocorrerá um comportamento análogo ao exposto nos itens 4.5.2.1 e 4.5.2.2. A tensão de limiar de substrato faz com que a segunda interface esteja no limiar da condução, ou seja, $\phi_{SB} = 0V$ (faixa plana).

Utilizando-se a equação (4.23), considerando-se $x_{d2} = 0$ pode-se calcular $V_{th_{acc2}}$:

$$V_{th_{acc2}} = V_{GB}(x_{d2} = 0) = V_{FB2} - \phi_{SUB} \quad (4.29)$$

Portanto, neste caso também $V_{th_{acc2}}$ é influenciada pela queda de potencial no substrato.

A variação entre considerar ou não o efeito do substrato pode ser calculada pela equação (4.30):

$$\Delta V_{th_{acc2}} = V_{th_{acc2}}(\phi_{SUB}) - V_{th_{acc2}}(\phi_{SUB} = 0) = - \phi_{SUB} \quad (4.30)$$

O máximo erro neste caso ocorrerá para $\phi_{SUB} = 2\phi_{Fb}$, ou seja, a máxima variação é de $\Delta V_{th_{acc2}} \cong 600 \text{ mV}$ (terceira interface em inversão) [4.13]. Este valor não pode ser considerado desprezível para a maioria das aplicações.

4.5.2.4 Tensão de limiar de corpo induzida pelo substrato

Analogamente ao exposto no item 4.5.2.2, se for aplicado no substrato uma tensão maior que a tensão de limiar de substrato ($V_{GB} > V_{th_{acc2}}$), porém menor que a tensão necessária para tornar a camada de silício totalmente depletada, haverá passagem de corrente entre dreno e fonte através da região neutra existente entre as regiões de depleção da primeira (x_{d1}) e da segunda (x_{d2}) interface. Para $V_{GB} = V_{th_{body2}}$ as regiões de depleção estão no limiar do acoplamento, logo as equações desenvolvidas no item 4.5.2.2 continuam válidas.

A tensão $V_{th_{body2}}$ pode ser calculada pela equação (4.31):

$$V_{th_{body2}} = V_{FB2} + \frac{q N_{af} x_{d2}^2}{2 \epsilon_{Si}} + \frac{q N_{af} x_{d2}}{C_{oxb}} - \phi_{SUB} \quad (4.31)$$

onde

$$x_{d2} = t_{Si} - x_{d1}$$

x_{d1} pode ser calculado pela equação (4.26).

A equação (4.31) mostra claramente que este parâmetro ($V_{th_{body2}}$) também é influenciado pela queda de potencial no substrato. A diferença

$\Delta V_{th_{body2}}$ entre considerar ou não o efeito do substrato neste parâmetro é mostrada na equação (4.32).

$$\Delta V_{th_{body2}} = V_{th_{body2}}(\phi_{SUB}) - V_{th_{body2}}(\phi_{SUB} = 0) = -\phi_{SUB} \quad (4.32)$$

Neste caso a máxima variação de $\Delta V_{th_{body2}}$ ocorrerá quando a terceira interface estiver invertida, ou seja, quando $\phi_{SUB} = 2\phi_{Fb} \cong 600$ mV para o dispositivo em estudo [4.13]. Esta variação também não pode ser desprezada na maioria das aplicações.

4.5.2.5 Análise em baixa temperatura

Com a diminuição da temperatura o potencial de Fermi aumenta, o que aumenta a influência do substrato em $V_{th_{body1}}$, $V_{th_{acc2}}$ e $V_{th_{body2}}$ respectivamente, em função da temperatura [4.11, 4.12, 4.13].

As figuras 4.22, 4.23 e 4.24 mostram o máximo valor de $\Delta V_{th_{body1}}$, $\Delta V_{th_{acc2}}$ e $\Delta V_{th_{body2}}$ respectivamente em função da temperatura.

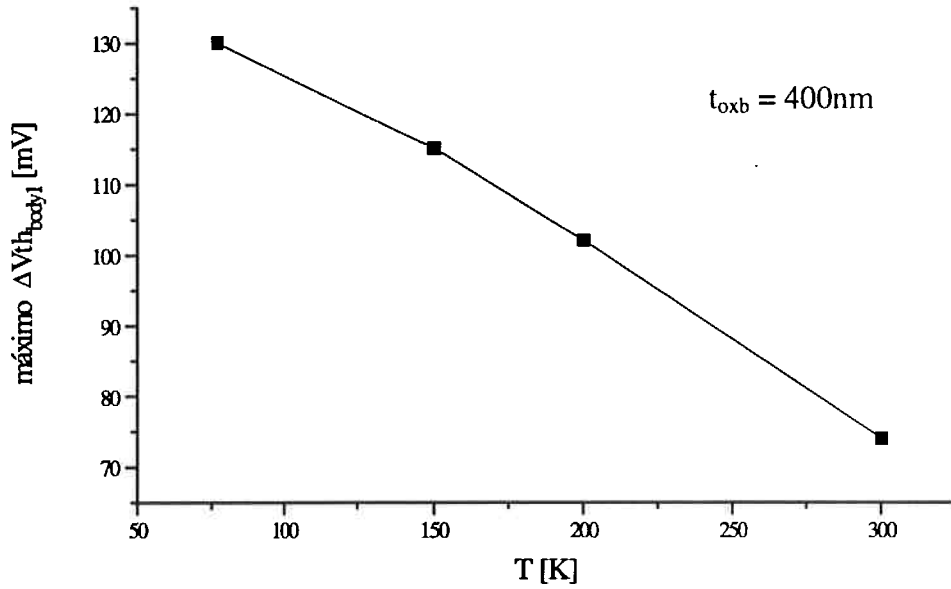


Figura 4.22 - Máximo ΔV_{th_body1} em função da temperatura.

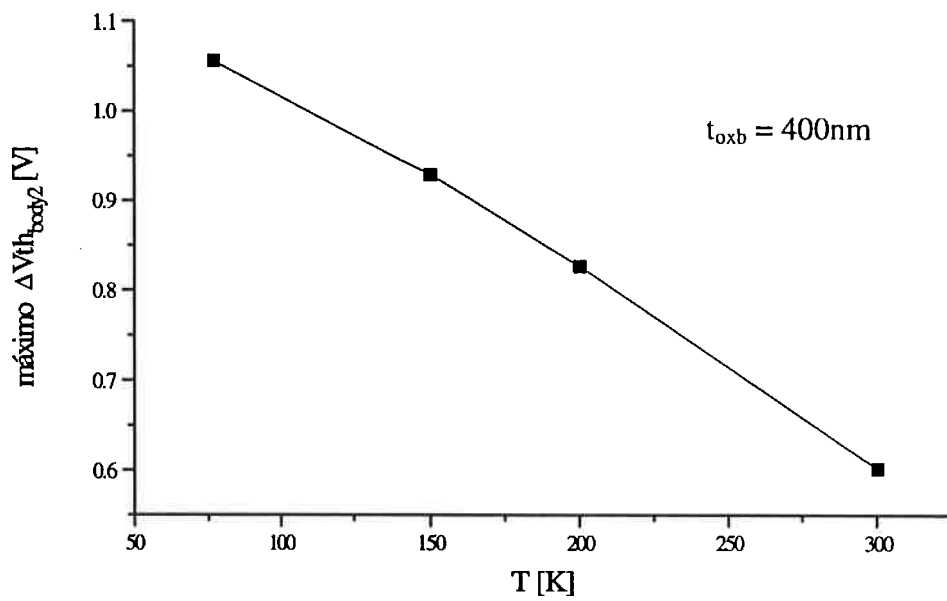


Figura 4.23 - Máximo ΔV_{th_body2} em função da temperatura.

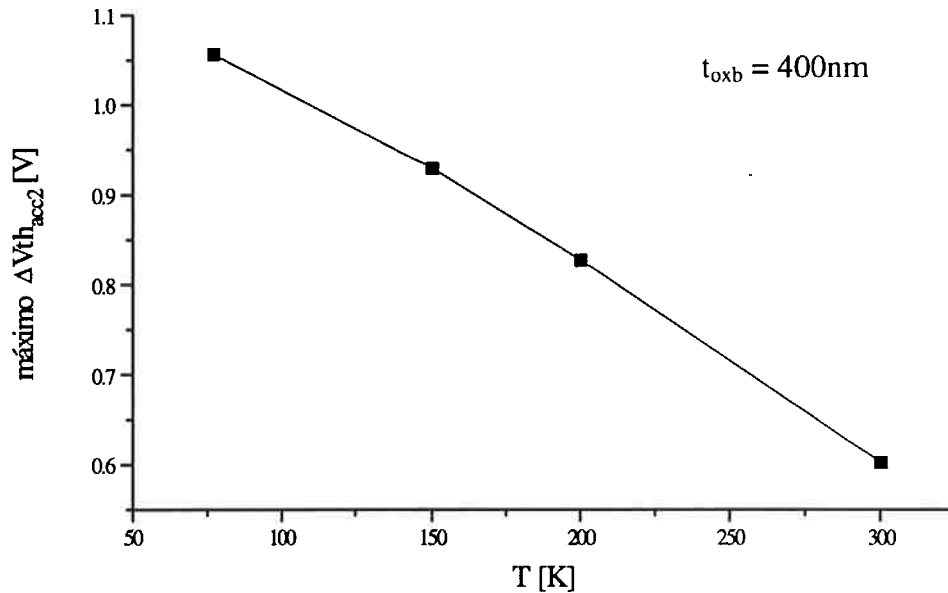


Figura 4.24 - Máximo ΔV_{th_acc2} em função da temperatura.

As figuras 4.22, 4.23 e 4.24 mostram que quanto menor for a temperatura, maior é o erro cometido em não se considerar o efeito do substrato nestes parâmetros analisados.

4.6 Novos métodos de determinação da densidade de carga efetiva no óxido em SOI MOSFET através do efeito do substrato

O modelo analítico da queda de potencial no substrato proposto neste capítulo serviu não somente como uma contribuição para o entendimento da física de funcionamento dos transistores SOI e o

consequente aprimoramento de seu modelo analítico, mas também como meio para extração de parâmetros através do efeito do substrato. Nesta linha de trabalho propusemos dois novos métodos de extração da densidade de carga efetiva no óxido na terceira interface de transistores SOI. Um dos métodos é o QOX3INV para SOI nMOSFET modo inversão e o outro é o QOX3AC para SOI pMOSFET modo acumulação.

4.6.1 Método QOX3INV [4.14, 4.15]

A extração da densidade de carga efetiva no óxido na terceira interface tem sido realizada através de medidas de condutância [4.16] ou capacitância [4.17] em estruturas SOI ou através da medida de capacitância na estrutura MOS formada pelo óxido enterrado e substrato de silício após a corrosão da camada de silício [4.18].

No método QOX3INV proposto neste item, será utilizado o modelo da queda de potencial no substrato para a determinação da densidade de carga efetiva no óxido da terceira interface (Q_{ox3}) em SOI nMOSFET modo inversão.

4.6.1.1 Proposta do método

De acordo com o modelo da queda de potencial no substrato, a terceira interface varia de acumulada ($\phi_{\text{SUB}} = 0$) para invertida ($\phi_{\text{SUB}} = 2\phi_{\text{Fb}}$) para tensão no substrato de V_{GBacc3} e V_{GBinv3} respectivamente. O potencial na segunda interface com a terceira interface em inversão, ϕ_{SBinv3} , pode ser calculado quando a primeira interface está em inversão, substituindo-se $\phi_{\text{SF}} = 2\phi_{\text{Ff}}$ e $V_{\text{GF}} = V_{\text{thFinv3}}$ na equação (4.1) e isolando-se ϕ_{SBinv3} , resultando na equação (4.33).

$$\phi_{\text{SBinv3}} = \left(\phi_{\text{MS1}} - \frac{Q_{\text{ox1}}}{C_{\text{oxf}}} + \frac{q N_{\text{af}} t_{\text{Si}}}{2 C_{\text{oxf}}} + \left(\frac{\epsilon_{\text{Si}}}{t_{\text{Si}} C_{\text{oxf}}} + 1 \right) 2\phi_{\text{Ff}} - V_{\text{thFinv3}} \right) \frac{t_{\text{Si}} C_{\text{oxf}}}{\epsilon_{\text{Si}}} \quad (4.33)$$

onde V_{thFinv3} é obtido experimentalmente.

Isolando-se Q_{ox3} a partir da equação (4.5), e considerando-se as condições particulares apresentadas acima, tem-se a equação (4.34).

$$Q_{\text{ox3}} = C_{\text{oxb}} \left(\phi_{\text{MS3}} + V_{\text{GBinv3}} - \phi_{\text{SBinv3}} + 2\phi_{\text{Fb}} + \frac{\sqrt{2 q \epsilon_{\text{Si}} N_{\text{ab}} 2\phi_{\text{Fb}}}}{C_{\text{oxb}}} \right) \quad (4.34)$$

onde ϕ_{SBinv3} é obtido através da equação (4.33) e V_{GBinv3} é obtido experimentalmente.

Para se ter uma boa precisão na extração de V_{thFinv3} e V_{GBinv3} é necessário que a curva $V_{\text{thF}} \times V_{\text{GB}}$ seja obtida com passo de V_{GB} de no máximo de 100 mV. As coordenadas do ponto onde a terceira interface entra em inversão serão obtidas quando ocorrer o ponto de máximo da curva $(\delta^2 V_{\text{thF}} / \delta V_{\text{GB}}^2) \times V_{\text{GB}}$.

4.6.1.2 Simulação numérica

Para testar o método proposto para a obtenção da densidade de carga efetiva no óxido na terceira interface foi utilizado o simulador numérico bidimensional de dispositivos MEDICI. A tabela 4.1 mostra diferentes condições de simulação, os dados extraídos das curvas $I_{\text{DS}} \times V_{\text{GF}}$ (V_{thFinv3} e V_{GBinv3}) e o resultado da obtenção de Q_{ox3} aplicando-se o método proposto. As características básicas do dispositivo SOI nMOSFET modo inversão simulado são as seguintes:

$$N_{\text{af}} = 1 \times 10^{17} \text{ cm}^{-3} ; N_{\text{ab}} = 1 \times 10^{15} \text{ cm}^{-3} ; t_{\text{oxf}} = 15 \text{ nm} ; t_{\text{oxb}} = 390 \text{ nm} ; t_{\text{Si}} = 100 \text{ nm}.$$

Tabela 4.1 – Condições de simulação e resultados obtidos aplicando-se o método proposto.

Disp.	Condições simuladas		Valores extraídos a partir das curvas $I_{DS} \times V_{GF}$		Resultados obtidos
	Q_{ox2}/q (cm^{-2})	Q_{ox3}/q (cm^{-2})	$V_{th_{Finv3}}$ (V)	V_{GBinv3} (V)	Q_{ox3}/q (cm^{-2})
1	5×10^{10}	5×10^{10}	0,51	-1,25	$5,20 \times 10^{10}$
2	1×10^{11}	1×10^{11}	0,44	-0,25	$9,90 \times 10^{10}$
3	1×10^{10}	1×10^{11}	0,50	-0,25	$1,06 \times 10^{11}$
4	5×10^{10}	1×10^{11}	0,47	-0,25	$1,03 \times 10^{11}$
5	1×10^{11}	5×10^{10}	0,47	-1,25	$4,80 \times 10^{10}$

Através das curvas $I_{DS} \times V_{GF}$ obtidas em função de V_{GB} obteve-se as tensões de limiar V_{th_F} respectivas e construiu-se as curvas indicadas na figura 4.25. Os pontos de máximo das curvas 4.25 (b) serviram de referência para a extração de $V_{th_{Finv3}}$ e V_{GBinv3} , conforme proposto pelo método.

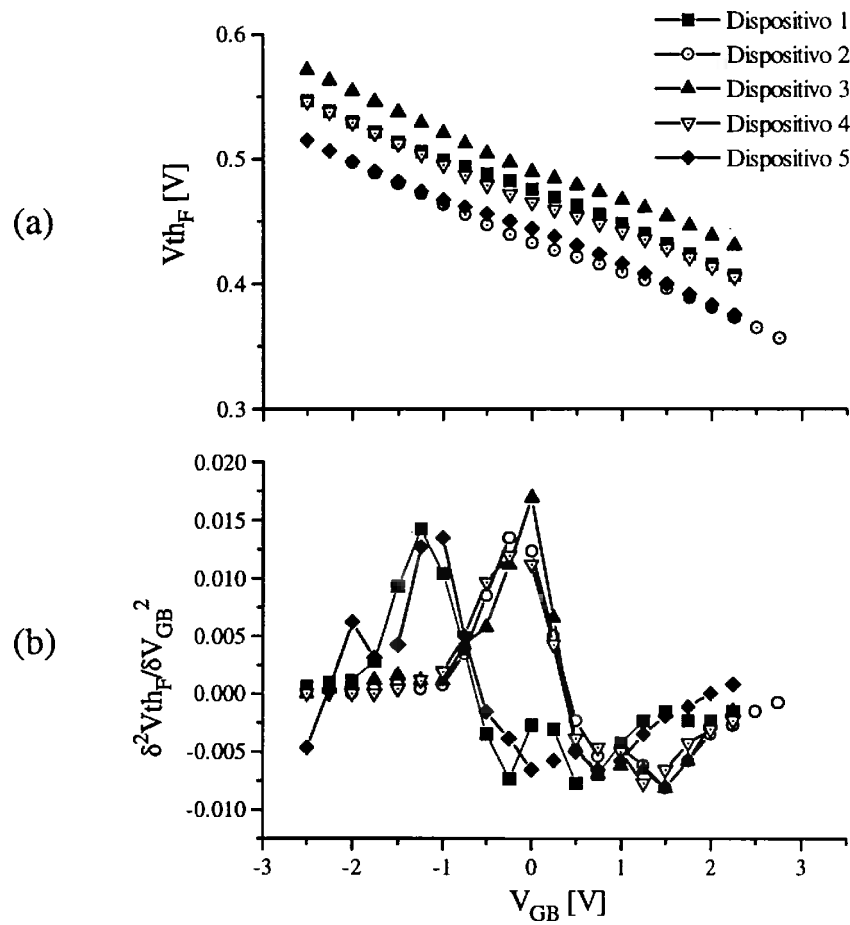


Figura 4.25 - (a) Curvas V_{thF} x V_{GB} simuladas.
 (b) curvas $(\delta^2 V_{thF} / \delta V_{GB}^2)$ x V_{GB} respectivas.

Os resultados obtidos para Q_{ox3} através do novo método proposto apresentam-se muito próximos dos valores simulados na faixa estudada.

O erro introduzido no cálculo depende da precisão dos parâmetros de processo e elétricos introduzidos nas equações (4.33) e (4.34).

A tabela 4.2 mostra a máxima porcentagem de erro introduzida no valor de Q_{ox3} obtido para as diversas imprecisões indicadas.

Tabela 4.2 – Máxima porcentagem de erro em Q_{ox3} em função das variações típicas nos parâmetros de processo e elétricos.

Parâmetro	Disp. 1	Disp. 2	Disp. 3	Disp. 4	Disp. 5
$t_{oxf} \pm 1$ nm	14 %	5 %	12 %	8 %	14 %
$t_{Si} \pm 5$ nm	4 %	1 %	6 %	3 %	4 %
$t_{oxb} \pm 10$ nm	6 %	1 %	7 %	3 %	6 %
$N_{af} \pm 1 \times 10^{16}$ cm ⁻³	14 %	5 %	11 %	8 %	12 %
$N_{ab} \pm 1 \times 10^{14}$ cm ⁻³	14 %	6 %	11 %	8 %	14 %
$Q_{ox1}/q \pm 2 \times 10^{10}$ cm ⁻²	8 %	2 %	8 %	5 %	8 %
$V_{thFinv3} \pm 10$ % V	16 %	6 %	12 %	9 %	16 %
$V_{GBinv3} \pm 10$ % V	18 %	2 %	8 %	4 %	18 %

Como pode ser observado na tabela 4.2, o máximo erro introduzido na obtenção de Q_{ox3} pelo método proposto é de 18 %, que pode ser considerado bastante aceitável.

4.6.1.3 Aplicação experimental

Este método foi aplicado em um transistor SOI nMOSFET de $L = 2$ μ m, $W = 20$ μ m, $N_{af} = 1 \times 10^{17}$ cm⁻³, $N_{ab} = 1 \times 10^{15}$ cm⁻³, $t_{oxf} = 15$ nm, $t_{oxb} = 390$ nm e $t_{Si} = 80$ nm. A figura 4.26 mostra as curvas V_{thF} x V_{GB} e a correspondente curva da segunda derivada de V_{thF} em função de V_{GB} . Em casos de curvas experimentais, se mostrou necessário a aplicação da transformada rápida de Fourier (FFT) de ordem 5 na curva

$(\delta V_{thF}/\delta V_{GB}) \times V_{GB}$ antes da segunda derivação para minimizar o efeito do ruído na curva resultante.

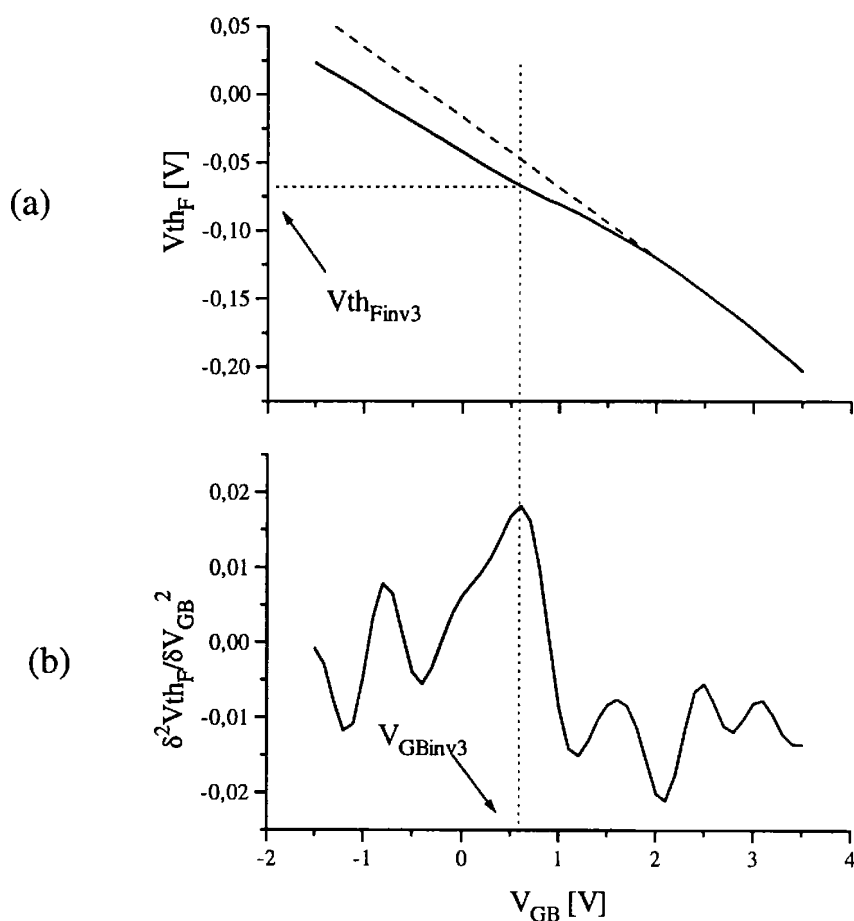


Figura 4.26 - (a) Curva V_{thF} x V_{GB} obtida experimentalmente.
(b) $(\delta^2 V_{thF} / \delta V_{GB}^2) \times V_{GB}$.

Extraiu-se da figura 4.26, $V_{th_{Finv3}} \cong -0,07$ V e $V_{GB_{inv3}} \cong -0,58$ V, resultando em uma densidade de carga efetiva no óxido na 3ª interface $Q_{ox3}/q \cong 8,4 \cdot 10^{10}$ cm⁻², valor este coerente com esta tecnologia.

4.6.2 Método QOX3AC [4.19]

O método QOX3AC proposto neste item visa a determinação da densidade de carga efetiva no óxido na terceira interface em SOI pMOSFET modo acumulação.

4.6.2.1 Proposta do método

No caso do transistor SOI pMOSFET modo acumulação, não há influência da queda de potencial no substrato na tensão de limiar de porta, mas sim, na tensão de limiar de corpo induzida pela porta. Desta forma, o parâmetro elétrico $V_{th_{body1}}$ será utilizado para extração da densidade de carga efetiva na 3^a interface deste tipo de transistor.

Sabe-se que:

$$V_{th_{body1}} = V_{FB1} + \frac{q N_{af} X_{d1}^2}{2 \epsilon_{Si}} + \frac{q N_{af} X_{d1}}{C_{oxf}}$$

onde

$$X_{d1} = t_{Si} - X_{d2}$$

$$x_{d2} = -\frac{\epsilon_{Si}}{C_{oxb}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxb}}\right)^2 + \frac{2\epsilon_{Si}(V_{GB} - V_{FB2} + \phi_{SUB})}{q N_{af}}}$$

$$\phi_{SUB} = \left[\frac{-\sqrt{2q N_{ab} \epsilon_{Si}}}{2C_{oxb}} + \sqrt{\left(\frac{2q N_{ab} \epsilon_{Si}}{4C_{oxb}^2} - V_{FB3}\right) + (\phi_{SB} - V_{GB})} \right]^2$$

A figura 4.27 mostra a curva $V_{th_{body1}} \times V_{GB}$ e $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}$ obtida através do modelo analítico proposto pelas equações acima. O ponto de máximo da curva $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}$ indica o valor de V_{GBinv3} e o de mínimo valor de V_{GBacc3} .

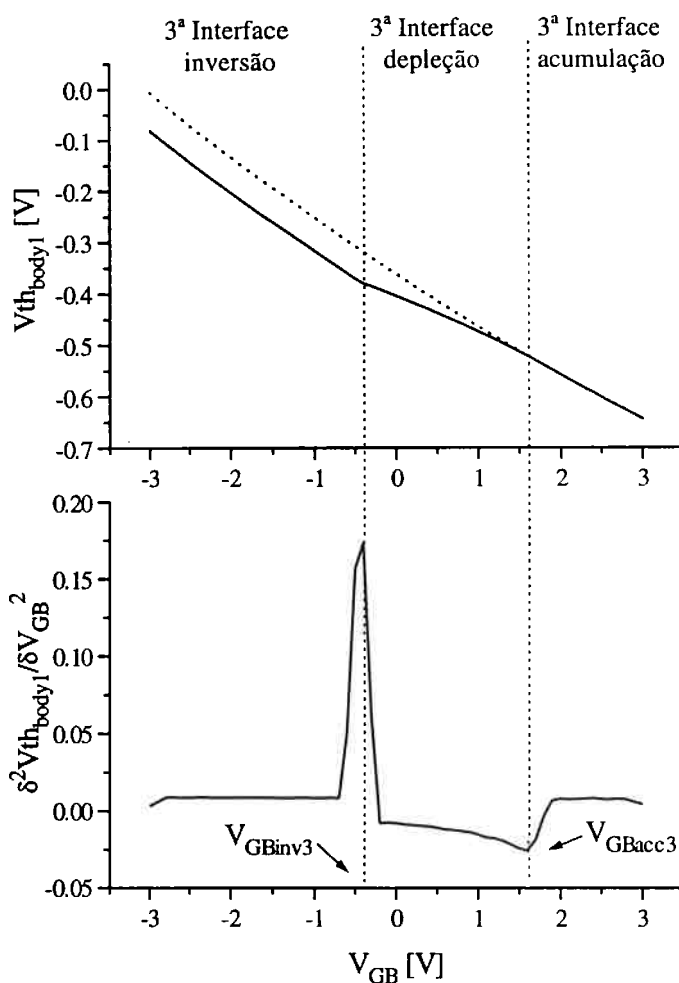


Figura 4.27 – Curva $V_{th_{body1}} \times V_{GB}$ e $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}$ obtida utilizando-se o modelo analítico proposto, indicando os pontos de acumulação e inversão na 3ª interface.

Substituindo-se os dados referentes à 3ª interface acumulada, ou seja, $V_{GB} = V_{GBacc3}$, $\phi_{SUB} = 0$ e $\phi_{SB} = \phi_{SBacc3}$, na equação (4.5) e isolando-se Q_{ox3} resulta:

$$Q_{ox3} = C_{oxb} \left(\frac{k T}{q} \ln \frac{N_{af}}{N_{ab}} - \phi_{SBacc3} + V_{GBacc3} \right) \quad (4.35)$$

onde

$$\phi_{SBacc3} = \sqrt{\frac{q N_{af} X_{d2_{acc3}}}{2 \epsilon_{Si}}} \quad (4.36)$$

$$X_{d2_{acc3}} = -\frac{\epsilon_{Si}}{C_{oxb}} + \sqrt{\left(\frac{\epsilon_{Si}}{C_{oxb}} \right)^2 + \frac{2 \epsilon_{Si} (V_{GBacc3} - V_{FB2})}{q N_{af}}} \quad (4.37)$$

V_{GBacc3} é obtido experimentalmente no ponto de mínimo da curva $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}$.

4.6.2.2 Simulação numérica

Para testar o método foram realizadas diversas simulações numéricas bidimensionais (MEDICI), sumarizadas na tabela 4.3.

Tabela 4.3 - Condições de simulação e resultados obtidos aplicando-se o método proposto.

Disp.	Condições simuladas			Valor Extraído	Resultados Obtidos
	Q_{ox1}/q [cm^{-2}]	Q_{ox2}/q [cm^{-2}]	Q_{ox3}/q [cm^{-2}]	V_{GBacc3} [V]	Q_{ox3}/q [cm^{-2}]
1	5×10^{10}	1×10^{11}	1×10^{11}	1,75	$1,02 \times 10^{11}$
2	5×10^{10}	1×10^{11}	5×10^{10}	0,75	$4,73 \times 10^{10}$
3	5×10^{10}	1×10^{11}	2×10^{11}	3,00	$1,71 \times 10^{11}$
4	1×10^{11}	1×10^{11}	1×10^{11}	1,50	$8,88 \times 10^{10}$
5	5×10^{10}	5×10^{10}	1×10^{11}	1,75	$1,03 \times 10^{11}$

A tabela 4.3 mostra os valores de Q_{ox3} obtidos pelo método, os quais estão bem próximos dos impostos nas simulações, no intervalo analisado.

A precisão do valor de Q_{ox3} obtido depende não só do erro intrínseco do método, mas também da imprecisão dos parâmetros do dispositivo utilizados no cálculo. Na tabela 4.4 pode-se ver o máximo erro obtido caso haja variação nos valores dos parâmetros físicos e elétricos do dispositivo em estudo.

Tabela 4.4 - Máxima porcentagem de erro em Q_{ox3} em função das variações típicas nos parâmetros de processo e elétricos.

Parâmetro	Disp. 1	Disp. 2	Disp. 3	Disp. 4	Disp. 5
$t_{oxf} \pm 1$ nm	3 %	5 %	14 %	11 %	3 %
$t_{Si} \pm 5$ nm	3 %	5 %	14 %	11 %	3 %
$t_{oxb} \pm 10$ nm	5 %	8 %	17 %	13 %	5 %
$N_{AF} \pm 1 \times 10^{16}$ cm ⁻³	3 %	5 %	14 %	12 %	3 %
$N_{AB} \pm 1 \times 10^{14}$ cm ⁻³	3 %	5 %	14 %	11 %	3 %
$Q_{ox1}/q \pm 2 \times 10^{10}$ cm ⁻²	3 %	5 %	14 %	11 %	2 %
$Q_{ox2}/q \pm 5 \times 10^{10}$ cm ⁻²	3 %	5 %	14 %	11 %	3 %
$V_{GBacc3} \pm 10$ % V	13 %	14 %	22 %	20 %	13 %

O máximo erro na obtenção de Q_{ox3} (22 %) ocorreu para o dispositivo 3, admitindo que na extração da tensão de substrato para a 3^a interface acumulada tenha uma variação de ± 10 % no seu valor.

4.6.2.3 Aplicação experimental

Aplicou-se este método em um transistor SOI pMOSFET modo acumulação fabricado neste trabalho, com $W = 20$ μ m, $L = 5$ μ m, $N_{af} = 6 \times 10^{16}$ cm⁻³, $N_{ab} = 1 \times 10^{15}$ cm⁻³, $t_{oxf} = 15$ nm, $t_{oxb} = 390$ nm e $t_{Si} = 115$ nm.

A figura 4.28 mostra as curvas $V_{th_{body1}}$ x V_{GB} e $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}$ deste dispositivo.

Aplicando-se o método QOX3AC proposto, obteve-se $V_{GBacc3} = 1,50$ V e $Q_{ox3}/q = 8,9 \times 10^{10}$ cm⁻², valor este típico para este tipo de tecnologia.

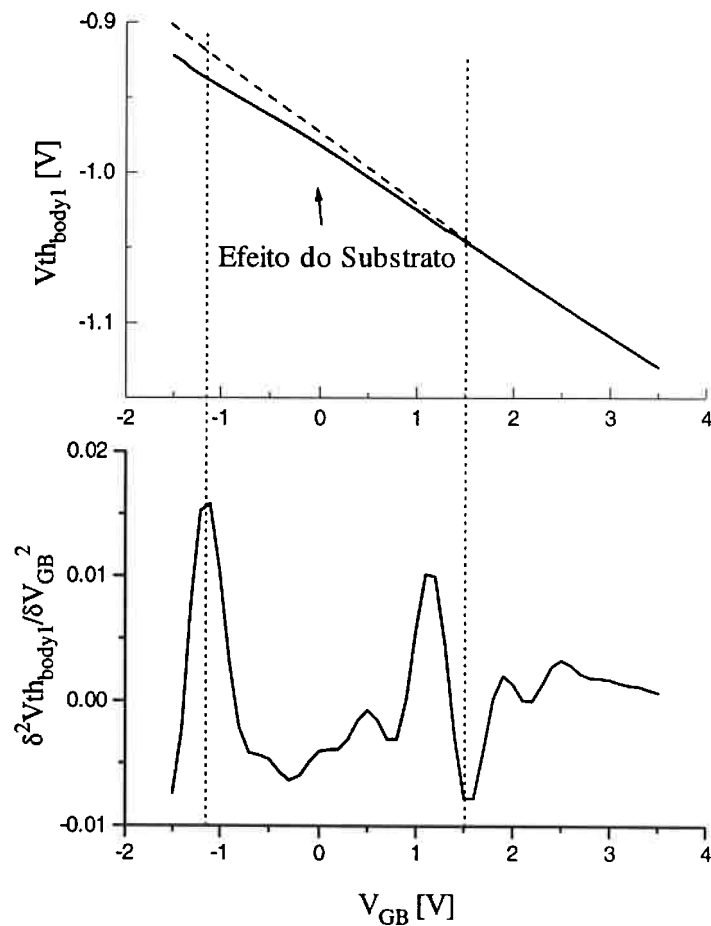


Figura 4.28 - (a) Curva $V_{th_{body1}}$ x V_{GB} obtida experimentalmente.
(b) $(\delta^2 V_{th_{body1}} / \delta V_{GB}^2) \times V_{GB}^2$.

4.7 Conclusões

Neste capítulo apresentou-se um modelo analítico que leva em consideração a queda de potencial no substrato em dispositivos SOI MOSFET modo inversão e modo acumulação, em temperatura ambiente e em baixa temperatura.

Esta queda de potencial tem sido desprezada nos modelos clássicos, mas demonstrou-se que para determinadas condições, como em baixa temperatura e pequena espessura de óxido enterrado, não se pode mais desprezá-la.

Com o modelo analítico do substrato foi possível propor os métodos QOX3INV e QOX3AC para a determinação da densidade de carga no óxido na interface óxido enterrado / substrato nos transistores SOI MOSFET modo inversão e acumulação, respectivamente. Estes métodos foram testados através de simulação numérica e aplicados experimentalmente com sucesso.

5 NOVOS MÉTODOS DE DETERMINAÇÃO DA DENSIDADE DE ARMADILHAS DE INTERFACE EM SOI MOSFET

Neste capítulo são apresentados dois novos métodos para a determinação da densidade de armadilhas de interface em SOI pMOSFET modo acumulação a 77 K. Efeitos transitórios, devido à baixa temperatura, foram observados e são também analisados neste capítulo.

5.1 Introdução

Há uma grande quantidade de métodos para a obtenção da densidade de armadilhas de interface N_{it} em MOSFETs convencionais como pode ser visto na referência [5.1], sendo que alguns deles podem também ser aplicados em SOI MOSFETs. Como exemplo de métodos que foram utilizados com sucesso em dispositivos SOI, destacam-se aqueles que utilizam inclinação de sublimiar [5.2, 5.3], bombeamento de carga (*charge-pumping*) [5.4, 5.5], medidas de ruído em baixa frequência [5.6, 5.7], transcondutância estática / dinâmica [5.8]. Em dispositivos SOI MOSFET de camada fina operando em baixa temperatura, a maioria destes métodos não podem ser aplicados devido à ocorrência de efeitos transitórios relacionados à baixa geração de portadores livres [5.9, 5.10 e

5.11] e ao acoplamento entre a primeira e segunda interfaces [5.2, 5.3]. Estruturas especiais têm sido utilizadas com frequência, como, por exemplo, o dispositivo SOI de cinco terminais (com contato de canal), utilizado na aplicação do método de bombeamento de carga [5.4].

A utilização da maioria dos métodos de extração de N_{it} em transistores SOI modo acumulação torna-se ainda mais complicada devido aos diferentes modos de condução apresentados por este dispositivo [5.12].

Neste capítulo são propostos dois novos métodos de extração da densidade de armadilhas de interface, em baixa temperatura, utilizando-se transistores SOI pMOSFETs modo acumulação.

5.2 Método DV_{tM} [5.13]

5.2.1 Proposta do método

A tensão de limiar de porta (tensão de faixa plana) de um transistor de camada fina SOI pMOSFET modo acumulação, com a segunda interface em acumulação, pode ser calculada levando-se em consideração a densidade de cargas armadilhadas na primeira interface Q_{itf} como indicado na equação (5.1).

$$V_{th_{acc1}} = V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} - \frac{Q_{itf}(\phi_S = 0)}{C_{oxf}} \quad (5.1)$$

onde

$$\phi_{MS1} = -\frac{E_g}{2q} - \phi_{Ff} \quad (5.2)$$

$$Q_{itf}(\phi_S = 0) = q \int_{E_f}^{E_i} N_{itf}(E) dE \quad (5.3)$$

$$\phi_{Ff} = \frac{KT}{q} \ln \frac{N_{af}}{n_i} \quad (5.4)$$

Como a densidade de armadilhas na primeira interface $N_{itf}(E)$ varia ao longo da faixa proibida, será definido seu valor médio como indicado na equação (5.5).

$$N_{itf} = \frac{\int_{E_f}^{E_i} N_{itf}(E) dE}{E_i - E_f} = \frac{\int_{E_f}^{E_i} N_{itf}(E) dE}{q\phi_{Ff}} \quad (5.5)$$

Logo, de (5.3) e (5.5) tem-se:

$$Q_{itf}(\phi_S = 0) = q^2 N_{itf} \phi_{Ff} \quad (5.6)$$

A tensão de limiar de porta V_{FB1} do SOI pMOSFET modo acumulação pode ser obtida experimentalmente pelo método da segunda derivada [5.14]. Se o transistor for medido em duas temperaturas diferentes, T_1 e T_2 (sendo $T_2 < T_1$), obtém-se $V_{FB1}(T_1)$ e $V_{FB1}(T_2)$ respectivamente, o que permitirá a obtenção da densidade de armadilhas de interface em baixa temperatura (T_2) de acordo com o método proposto a seguir.

Aplicando-se a equação (5.1) na temperatura T_1 , tem-se:

$$V_{FB1}(T_1) = \phi_{MS1}(T_1) - \frac{Q_{ox1}(T_1)}{C_{oxf}} - \frac{Q_{itf}(T_1)}{C_{oxf}}$$

$$V_{FB1}(T_1) = -\frac{E_g(T_1)}{2q} - \phi_{Ff}(T_1) - \frac{Q_{ox1}(T_1)}{C_{oxf}} - \frac{Q_{itf}(T_1)}{C_{oxf}} \quad (5.7)$$

Analogamente para a temperatura T_2 :

$$V_{FB1}(T_2) = -\frac{E_g(T_2)}{2q} - \phi_{Ff}(T_2) - \frac{Q_{ox1}(T_2)}{C_{oxf}} - \frac{Q_{itf}(T_2)}{C_{oxf}} \quad (5.8)$$

Subtraindo-se a equação (5.8) da (5.7), tem-se:

$$V_{\text{FB1}}(T_1) - V_{\text{FB1}}(T_2) = \left(\frac{E_g(T_2) - E_g(T_1)}{2q} \right) + (\phi_{\text{Ff}}(T_2) - \phi_{\text{Ff}}(T_1)) + \left(\frac{Q_{\text{itf}}(T_2) - Q_{\text{itf}}(T_1)}{C_{\text{oxf}}} \right) \quad (5.9)$$

Simplificando, tem-se:

$$\Delta V_{\text{FB1}} = \frac{\Delta E_g}{2q} + \Delta \phi_{\text{Ff}} + \frac{\Delta Q_{\text{itf}}}{C_{\text{oxf}}} \quad (5.10)$$

$$\frac{\Delta Q_{\text{itf}}}{C_{\text{oxf}}} = \Delta V_{\text{FB1}} - \frac{\Delta E_g}{2q} - \Delta \phi_{\text{Ff}} \quad (5.11)$$

onde $\Delta V_{\text{FB1}} = V_{\text{FB1}}(T_1) - V_{\text{FB1}}(T_2)$ pode ser obtido experimentalmente pelo método da segunda derivada, com a segunda interface em acumulação ($V_{\text{GB}} = -30 \text{ V}$, por exemplo). ΔE_g e $\Delta \phi_{\text{Ff}}$ são calculados através de modelos teóricos clássicos em função da temperatura [5.15, 5.16], e podem ser vistos no capítulo de conceitos básicos. Sendo:

$$\frac{\Delta Q_{\text{itf}}}{C_{\text{oxf}}} = \frac{Q_{\text{itf}}(T_2) - Q_{\text{itf}}(T_1)}{C_{\text{oxf}}} \quad (5.12)$$

e substituindo-se (5.6) em (5.12), tem-se:

$$\frac{\Delta Q_{\text{itf}}}{C_{\text{oxf}}} = \frac{q^2 N_{\text{itf}}(T_2) \phi_{\text{Ff}}(T_2) - q^2 N_{\text{itf}}(T_1) \phi_{\text{Ff}}(T_1)}{C_{\text{oxf}}}$$

Isolando-se $N_{\text{itf}}(T_2)$, tem-se:

$$N_{\text{itf}}(T_2) = N_{\text{itf}}(T_1) \frac{\phi_{\text{Ff}}(T_1)}{\phi_{\text{Ff}}(T_2)} + \frac{C_{\text{oxf}}}{q^2 \phi_{\text{Ff}}(T_2)} \left(\frac{\Delta Q_{\text{itf}}}{C_{\text{oxf}}} \right) \quad (5.13)$$

Substituindo-se (5.11) em (5.13), tem-se:

$$N_{\text{itf}}(T_2) = N_{\text{itf}}(T_1) \frac{\phi_{\text{Ff}}(T_1)}{\phi_{\text{Ff}}(T_2)} + \frac{C_{\text{oxf}}}{q^2 \phi_{\text{Ff}}(T_2)} \left(\Delta V_{\text{FB1}} - \frac{\Delta E_g}{2q} - \Delta \phi_{\text{Ff}} \right) \quad (5.14)$$

Com a equação (5.14) pode-se determinar a densidade média de armadilhas de interface em baixa temperatura $N_{\text{itf}}(T_2)$ a partir da obtenção experimental de duas tensões de limiar ($V_{\text{FB1}}(T_1)$ e $V_{\text{FB1}}(T_2)$), dos modelos teóricos de ΔE_g e $\Delta \phi_{\text{Ff}}$ e das variáveis de processo t_{oxf} e N_a do dispositivo SOI pMOSFET em análise, admitindo-se conhecido o valor de $N_{\text{itf}}(T_1)$. Como experimentalmente o método proposto necessita apenas de duas tensões de limiar, passaremos a intitulá-lo de DV_tM (*Dual-threshold Voltage Measurements*).

5.2.2 Simulação numérica

O método DV_tM foi testado utilizando-se o simulador numérico bidimensional MEDICI [5.17], como pode ser visto na tabela 5.1. Foram simulados SOI pMOSFETs modo acumulação com as seguintes características: $t_{oxf} = 15$ nm, $t_{oxb} = 390$ nm, $t_{Si} = 100$ nm, $N_{af} = 6 \times 10^{16}$ cm⁻³ e $L = 1$ μm.

O valor de N_{itf} imposto na simulação de cada dispositivo varia como indicado na tabela 5.1. O método foi aplicado para $T_1 = 300$ K e $T_2 = 77$ K, e considerou-se $N_{itf}(300$ K) desprezível.

Tabela 5.1 - Aplicação do método DV_tM em dispositivos SOI pMOSFETs modo acumulação simulados pelo MEDICI.

Dados simulados		Extraídos da curva $I_D \times V_{GF} (V_{GB} = -30 \text{ V})$		Método DV_tM proposto
Dispositivo	$N_{itf}(77 \text{ K})$ [eV ⁻¹ cm ⁻²]	$V_{FB1}(300 \text{ K})$ [V]	$V_{FB1}(77 \text{ K})$ [V]	$N_{itf}(77 \text{ K})$ [eV ⁻¹ cm ⁻²]
1	5×10^{10}	-0,92	-1,11	$4,0 \times 10^{10}$
2	1×10^{11}	-0,92	-1,13	$9,2 \times 10^{10}$
3	2×10^{11}	-0,92	-1,17	$2,0 \times 10^{11}$
4	3×10^{11}	-0,92	-1,21	$3,0 \times 10^{11}$

Os resultados mostrados na tabela 5.1 indicam um bom ajuste entre o valor de $N_{itf}(77 \text{ K})$ imposto e o obtido pelo método DV_tM , dentro do intervalo analisado.

5.2.3 Aplicação experimental

O método DV_tM foi aplicado experimentalmente em dez dispositivos SOI pMOSFETs com $t_{oxf} = 15$ nm, $t_{oxb} = 390$ nm, $t_{Si} = 115$ nm, $N_{af} = 6 \times 10^{16}$ cm⁻³, $L = 1$ μm e $W = 20$ μm nas condições de $T_1 = 300$ K e $T_2 = 77$ K, sendo que os valores médios obtidos podem ser vistos na tabela 5.2.

Tabela 5.2 - Valores médios de dez dispositivos SOI pMOSFETs submetidos ao método DV_tM .

T [K]	300	77
V_{FB1} [V]	-0,840	-1,110
$E_g/2q$ [V]	0,560	0,584
ϕ_{Ff} [V]	0,394	0,545
Q_{itf}/C_{oxf} [V]	0	0,095
N_{itf} [eV ⁻¹ cm ⁻²]	0	$2,510 \times 10^{11}$

O valor de N_{itf} (77 K) foi calculado pela equação (5.14). Tipicamente, N_{itf} (300 K) \ll N_{itf} (77 K) [5.18], portanto desprezando-se N_{itf} (300 K) obtém-se N_{itf} (77 K) = $2,51 \times 10^{11}$ eV⁻¹cm⁻².

A tabela 5.2 mostra a necessidade de se extrair V_{FB1} de forma precisa e inequívoca, para a obtenção de N_{itf} adequadamente, motivo pelo qual foi adotado o procedimento proposto em [5.14]. A relação entre T_1 e T_2 deve

ser suficientemente grande para que $\Delta V_{FB1} = V_{FB1} (T_1) - V_{FB1} (T_2)$ seja obtida com a precisão desejada.

A figura 5.1 mostra o resultado da obtenção de $N_{if} (77 K)$ em dispositivos com as mesmas características indicadas anteriormente, porém, com comprimentos efetivos de canal L_{eff} entre 0,2 a 2,0 μm . Pode-se perceber, que a obtenção de N_{if} não depende de L_{eff} , o que é coerente, uma vez que, V_{FB1} não sofre efeito de canal curto nos dispositivos testados [5.11].

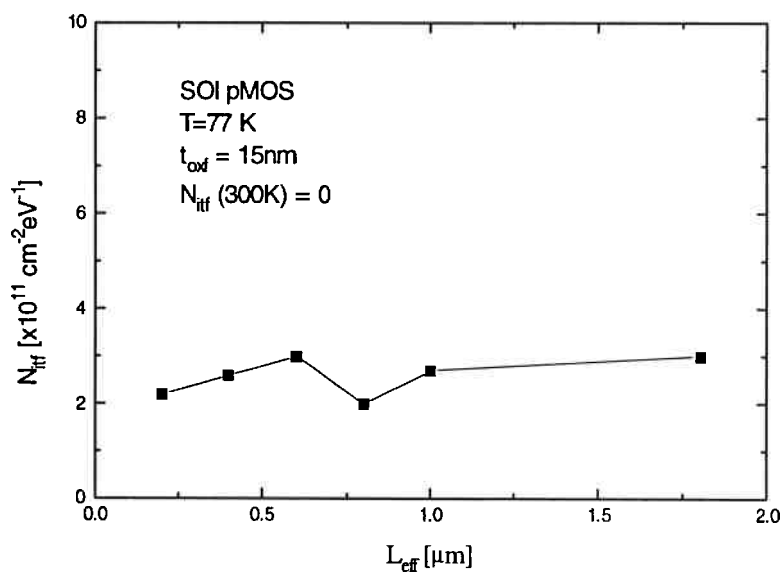


Figura 5.1 - $N_{if} (77 K)$ obtido experimentalmente pelo método DV_{tM} .

A sensibilidade na obtenção do $N_{if} (77K)$ pelo método DV_{tM} , em função de parâmetros tecnológicos, pode ser vista na tabela 5.3.

Tabela 5.3 - Máxima porcentagem de erro no cálculo de N_{iff} (77K) pelo método DV_{tM} .

Parâmetro	Máxima porcentagem de erro em N_{iff} (77K)	
	$L_{\text{ef}} = 1,0 \mu\text{m}$	$L_{\text{ef}} = 0,2 \mu\text{m}$
$N_{\text{iff}}(300\text{K}) = 0$ a $5,0 \times 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$	14 %	16 %
$N_{\text{af}} = 6 \times 10^{16} \pm 2 \times 10^{16} \text{ cm}^{-3}$	10 %	12 %
$t_{\text{oxf}} = 15 \pm 1 \text{ nm}$	7 %	7 %

A tabela 5.3 indica que a máxima porcentagem de erro obtida é de 16 %, que pode ser considerada adequada.

O método DV_{tM} é um método simples para a obtenção do N_{iff} (T_2) em baixa temperatura de um transistor SOI pMOSFET modo acumulação, baseando-se apenas na obtenção experimental de duas tensões de limiar ($V_{\text{FB1}}(T_1)$ e $V_{\text{FB1}}(T_2)$) e considerando-se conhecido os parâmetros t_{oxf} , N_{af} e $N_{\text{iff}}(T_1)$. Tipicamente $N_{\text{iff}}(T_1)$ é desprezado, pois sendo T_1 normalmente a temperatura ambiente, tem-se que $N_{\text{iff}}(T_1) \ll N_{\text{iff}}(T_2)$ [5.18].

Informações complementares sobre o método DV_{tM} , apresentado neste item, podem ser vistas no apêndice II.

5.3 Método SDV_tM [5.19]

5.3.1 Proposta do método

O método proposto neste item permite a obtenção da densidade de armadilhas da segunda interface em baixas temperaturas $N_{itb}(T)$ de um transistor SOI pMOSFET modo acumulação. Para isto é necessário a obtenção da densidade de armadilhas da primeira interface em baixa temperatura $N_{itf}(T)$, a qual será determinada pelo método DV_tM exposto no item 5.2.

Passaremos a chamar o método proposto neste item de SDV_tM (*one Slope and Dual threshold Voltage Measurements*) o qual necessitará apenas da extração experimental de uma inclinação de sublimiar e duas tensões de limiar para obtenção de $N_{itf}(T)$ e $N_{itb}(T)$ de um transistor SOI pMOSFET modo acumulação.

O diagrama de blocos do método SDV_tM pode ser visto na figura 5.2.

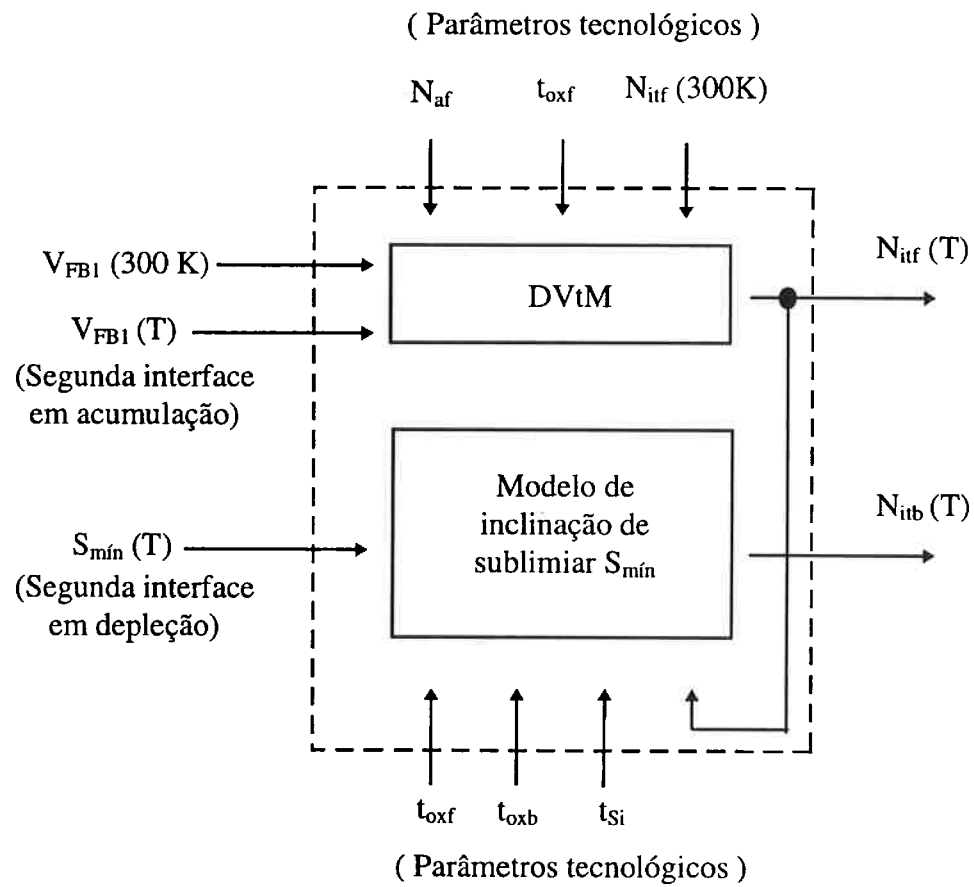


Figura 5.2 - Diagrama de blocos do método SDV_tM ($T =$ baixa temperatura).

Aplicando-se o método DV_tM para $T_1 = 300\text{ K}$ e $T_2 = T$ (baixa temperatura, 77 K por exemplo) tem-se que $N_{if}(T)$ pode ser calculada pela equação (5.15).

$$N_{if}(T) = N_{if}(300K) \frac{\phi_{Ff}(300K)}{\phi_{Ff}(T)} + \frac{C_{oxf}}{q^2 \phi_{Ff}(T)} \left[\Delta V_{FB1} - \left(\frac{\Delta E_g}{2q} + \Delta \phi_{Ff} \right) \right] \quad (5.15)$$

onde, ΔV_{FB1} corresponde a variação experimental de V_{FB1} com a temperatura e $\left(\frac{\Delta E_g}{2q} + \Delta \phi_{Ff} \right)$ corresponde a variação teórica de V_{FB1} com a temperatura sem levar em consideração ΔQ_{it} (vide equação 5.10).

A obtenção experimental de V_{FB1} é feita com a segunda interface em acumulação ($V_{GB} = -30$ V, por exemplo), logo para $V_{GF} = V_{FB1}$ não há influência da carga da segunda interface neste valor, pois não há acoplamento entre as interfaces.

A determinação de N_{itb} (T) em baixa temperatura será feita através do modelo de inclinação de sublimar para a segunda interface em depleção. Neste caso o acoplamento entre as duas interfaces faz com que a inclinação de sublimar dependa de N_{itf} e N_{itb} . O modelo da inclinação de sublimar para transistor SOI pMOSFET modo acumulação é complexo, porém pode ser muito simplificado se V_{GB} for variado até se obter o valor mínimo da inclinação de sublimar S_{min} [5.20] como indicado na equação 5.16.

$$|S_{min}| = \frac{KT}{q} \ln(10) \left[\left(1 + \frac{C_{itf}}{C_{oxf}} + \frac{C_{Si}}{C_{oxf}} \right) - \frac{\frac{C_{Si} C_{Si}}{C_{oxb} C_{oxf}}}{1 + \frac{C_{itb}}{C_{oxb}} + \frac{C_{Si}}{C_{oxb}}} \right] \quad (5.16)$$

onde

$$C_{itf} = q^2 N_{itf}$$

$$C_{itb} = q^2 N_{itb}$$

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}}$$

$$C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}}$$

$$C_{oxb} = \frac{\epsilon_{ox}}{t_{oxb}}$$

Uma vez obtido experimentalmente S_{\min} , e de posse do N_{itf} (T) (obtido pelo método DV_tM), pode-se determinar N_{itb} (T) através da equação (5.16).

5.3.2 Simulação numérica

O método SDV_tM foi testado para $T = 77$ K através do simulador numérico bidimensional MEDICI [5.17] utilizando-se SOI pMOSFETs modo acumulação com as seguintes características: $t_{oxf} = 15$ nm,

$t_{\text{oxb}} = 390 \text{ nm}$, $t_{\text{Si}} = 100 \text{ nm}$, $N_{\text{af}} = 6 \times 10^{16} \text{ cm}^{-3}$ e $L = 1 \mu\text{m}$. O resultado pode ser visto na tabela 5.4.

A tabela 5.4 mostra que os resultados obtidos, com a aplicação do método, estão próximos dos valores impostos do N_{itf} e N_{itb} dentro do intervalo analisado.

5.3.3 Aplicação experimental

O método SDV_tM foi aplicado experimentalmente em dispositivos SOI pMOSFETs de diferentes lâminas e comprimentos de canal [5.21, 5.22], e parte destes resultados podem ser vistos na tabela 5.5.

A obtenção experimental de V_{FB1} foi feita pelo método da segunda derivada [5.14], com $V_{\text{GB}} = -30 \text{ V}$ (segunda interface em acumulação), e $S_{\text{mín}} (77 \text{ K})$ foi obtido para o valor de V_{GB} , no qual o dispositivo apresentava menor valor de inclinação de sublimiar à temperatura ambiente $S_{\text{mín}} (300 \text{ K})$, como pode ser visto na figura 5.3. Para se obter o valor de $S_{\text{mín}}$ com precisão foi necessário a extração da curva $I_{\text{DS}} \times V_{\text{GF}}$ com passo adequado para V_{GF} . A 77 K, um passo de 5 mV foi utilizado [5.23].

Como subproduto do método proposto, pode-se determinar $N_{\text{itb}} (300 \text{ K})$ através da equação (5.16), desde que $S_{\text{mín}}$ seja medido em

300 K, e que se conheça N_{itf} (300 K). Como N_{itf} (300 K) é tipicamente menor que N_{itb} (300 K), pode-se adotar N_{itf} (300 K) = 0 e se obter N_{itb} (300 K) em função apenas de $S_{mín}$ (300 K).

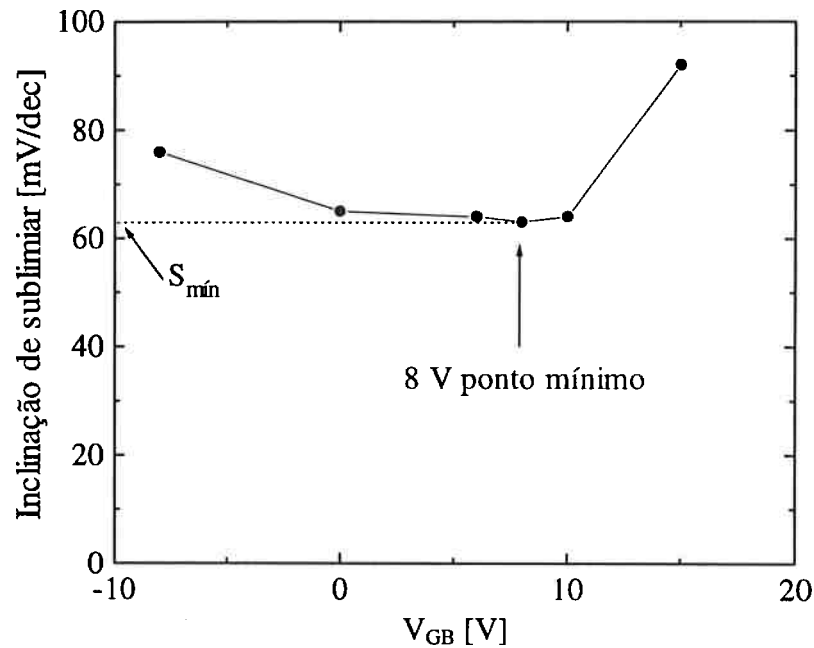


Figura 5.3 - Inclinação de sublimar de um transistor SOI pMOSFET a 300K em função da tensão aplicada ao substrato.

A tabela 5.6 mostra a determinação do N_{itb} (300K) e a relação N_{itb} (77K) / N_{itb} (300K) comprovando que as densidades de armadilhas de interface em baixas temperaturas são bem maiores (5 vezes nos dispositivos analisados), do que em temperatura ambiente, justificando a necessidade de se ter métodos de determinação de N_{it} nestas temperaturas.

Tabela 5.6 - N_{itb} (300 K) obtido como subproduto do método SDV_tM em SOI pMOSFET.

Dispositivo	S_{\min} (300 K) [mV/dec]	N_{itb} (300 K) [eV ⁻¹ cm ⁻²]	N_{itb} (77 K) / N_{itb} (300 K)
A	66,1	$1,5 \times 10^{11}$	5,35
C	66,0	$1,4 \times 10^{11}$	6,21
D	66,5	$1,7 \times 10^{11}$	5,87
F	69,5	$3,4 \times 10^{11}$	4,67

A sensibilidade do método SDV_tM, em função dos principais parâmetros tecnológicos, pode ser vista na tabela 5.7.

Tabela 5.7 - Máxima porcentagem de erro no cálculo de N_{itf} (77 K) e N_{itb} (77 K) pelo método SDV_tM.

Parâmetro	N_{itf} (77 K)	N_{itb} (77 K)
$N_{af} = 6 \times 10^{16} \pm 2 \times 10^{16} \text{ cm}^{-3}$	10%	25%
$t_{oxf} = 15 \pm 1 \text{ nm}$	7%	32%
$t_{oxb} = 390 \pm 10 \text{ nm}$	0%	<1%
$t_{Si} = 100 \pm 10 \text{ nm}$	0%	28%

A tabela 5.7 mostra que o erro máximo em N_{itb} (77 K) é sempre maior do que em N_{itf} (77 K), mas não ultrapassa 32 %, atingindo assim plenamente os objetivos da extração deste tipo de parâmetro.

Informações complementares sobre o método SDV_tM, proposto neste item, podem ser vistas no apêndice III.

5.4 Efeitos transitórios em baixa temperatura [5.24]

Durante o desenvolvimento dos métodos DV_{tM} e SDV_{tM} observamos que efeitos transitórios estavam ocorrendo, quando os transistores estavam operando em baixas temperaturas. A figura 5.4 mostra duas curvas em cada gráfico, extraídas de um SOI pMOSFET ($L = 1\mu\text{m}$, $W = 20\mu\text{m}$, $V_{GB} = -30\text{ V}$, $V_{DS} = -0,1\text{ V}$) com um intervalo de 24 horas. A curva indicada com t1 corresponde a medida inicial, feita logo após o transistor ter sido mergulhado no recipiente de Nitrogênio líquido (77 K). A curva t2 foi realizada 24 horas depois, mantendo-se neste período as tensões de polarização do substrato ($V_{GB} = -30\text{ V}$) e de dreno ($V_{DS} = -0,1\text{ V}$).

Observando a figura 5.4 verifica-se que:

- (a) A corrente que passa pela segunda interface apresenta um pronunciado efeito transitório em 77K .
- (b) A corrente de corpo não é observada, mesmo após 24 horas.
- (c) A tensão de limiar de porta não é afetada pelo efeito transitório observado.

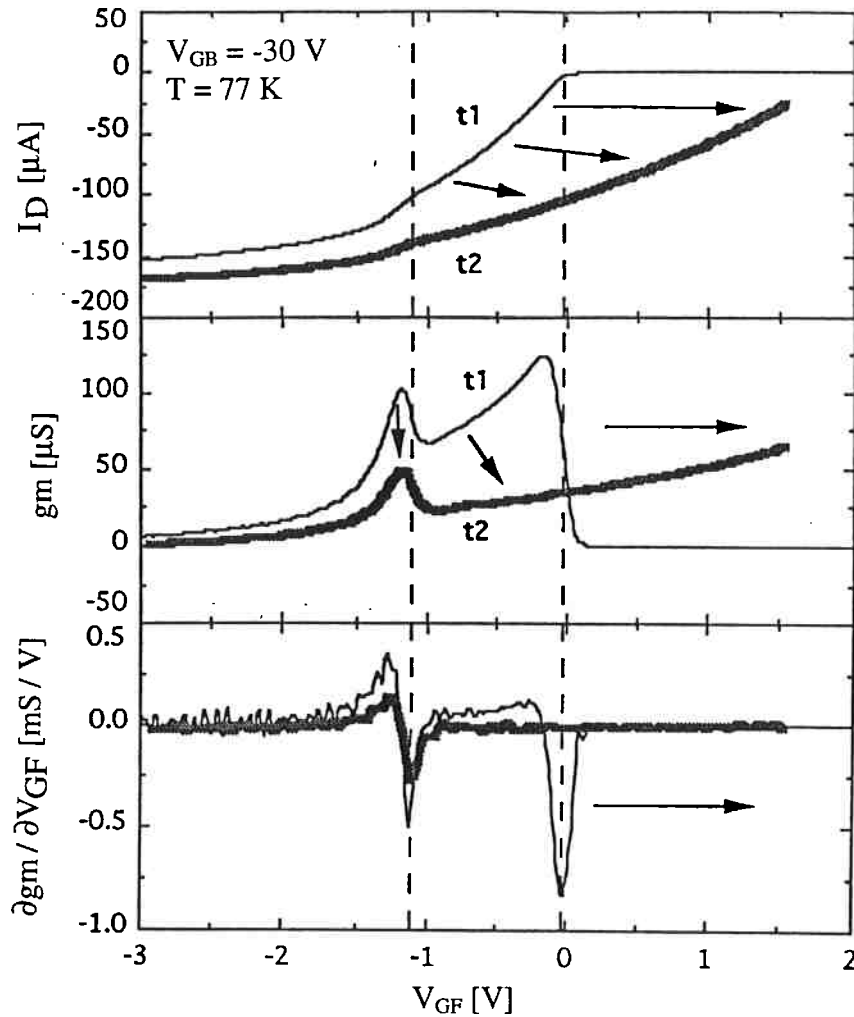


Figura 5.4 - Corrente de dreno, transcondutância e derivada da transcondutância em função da tensão de porta, para um SOI pMOSFET de $L = 1 \mu\text{m}$ e $W = 20 \mu\text{m}$ operando em 77 K ($t_2 = t_1 + 24$ horas).

A observação (a) mostra que existe um mecanismo transitório que dificulta a injeção de lacunas no canal.

Com a finalidade de se verificar a influência do nível de injeção de corrente, realizou-se uma medida com tensão de dreno maior ($V_{DS} = -2,0 \text{ V}$). O resultado pode ser visto na figura 5.5. Neste caso pode-se observar claramente a presença das três componentes de condução de corrente de um SOI pMOSFET modo acumulação, a saber: corrente

através da segunda interface ($V_{GB} = -30$ V induz acumulação na segunda interface), corrente de corpo e corrente através da primeira interface, cujo início é marcado pela presença das respectivas tensões de limiar $V_{th1,acc2}$, $V_{th_{body1}}$ e V_{FB1} .

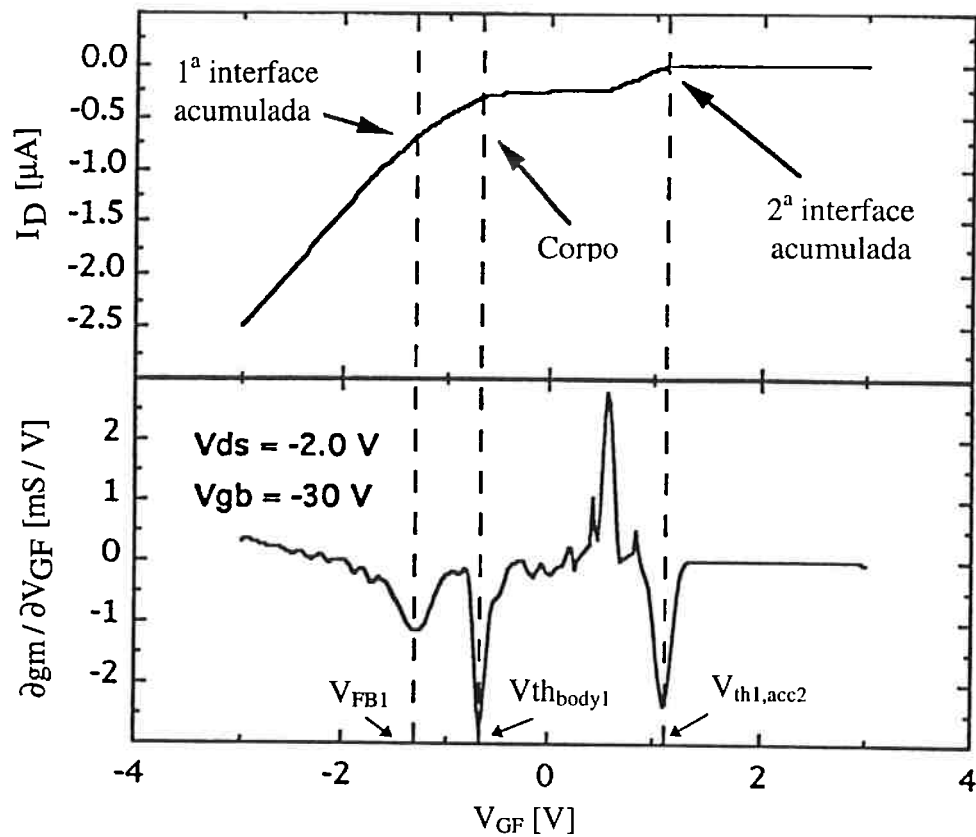


Figura 5.5 - Corrente de dreno e a derivada da trancondutância em função da tensão de porta de um SOI pMOSFET de $L = 1$ μ m e $W = 20$ μ m operando em 77 K com $V_{DS} = -2,0$ V.

Comportamento análogo foi observado quando foi injetada luz no pMOSFET a 77 K, mantendo-se a tensão de dreno baixa $V_{DS} = -0,1$ V. Isto indica que a existência de uma fonte adicional geradora de portadores

minoritários estabiliza os resultados, não se observando os efeitos transitórios (a) e (b) verificados na figura 5.4. Os valores de $V_{th1_{acc2}}$ e $V_{th_{body1}}$, no entanto, estão modificados não só devido à temperatura de 77 K, mas também devido à presença da luz ou do alto valor de V_{DS} . Tais dependências não são fáceis de serem introduzidas nas equações que modelam as tensões de limiar.

Como resultado do observado nas figuras 5.4 e 5.5, pode-se concluir:

a) Para tensões de porta suficientemente positiva, a primeira interface estará em inversão, porém em baixas temperaturas, a geração de portadores minoritários, que compõem a camada de inversão, é baixa. O não estabelecimento desta camada de inversão faz com que a primeira interface não atinja o equilíbrio. Por este motivo a camada de silício (canal) fica totalmente depletada, expelindo as lacunas do canal. Esta região de depleção, induzida pela primeira interface, chamada de depleção profunda (*deep depletion*), gerada nesta situação de não equilíbrio, é similar ao que ocorre em transistores SOI nMOSFETs modo inversão após a aplicação de pulso de tensão apropriado no substrato [5.25].

b) A geração extra de portadores minoritários, através da incidência de luz ou aumento da tensão de dreno (ionização por impacto), auxilia no estabelecimento do equilíbrio, permitindo assim a detecção da componente de corpo e o não aparecimento do efeito transitório. Porém o valor de $V_{th_{body1}}$ e $V_{th1_{acc2}}$ fica afetado por estes fatores.

c) A tensão de limiar da porta, V_{FB1} , não é afetada pelo efeito transitório observado na figura 5.4, indicando que para a obtenção experimental deste parâmetro não é necessário incrementar a geração de portadores minoritários como indicado anteriormente [5.26].

Esta última conclusão é fundamental para os métodos DV_{tM} e SDV_{tM} , que utilizam este parâmetro na determinação da densidade de armadilhas em temperaturas criogênicas.

Detalhes adicionais sobre efeitos transitórios a 77 K podem ser vistos no apêndice IV.

5.5 Conclusões

Neste capítulo foram apresentados dois novos métodos (DV_{tM} e SDV_{tM}) para a determinação da densidade de armadilhas de interface em

SOI pMOSFET modo acumulação, a baixas temperaturas. Estes métodos foram propostos analiticamente, simulados através de simuladores numéricos e testados experimentalmente a 77 K com sucesso. Efeitos transitórios, devido à baixa temperatura, foram também analisados e demonstraram não influenciar na aplicação dos métodos propostos.

6 CONCLUSÕES

Neste trabalho foram apresentados novos modelos e métodos de caracterização elétrica de dispositivos SOI MOSFET modo inversão e modo acumulação.

Inicialmente foi proposto um modelo analítico que leva em consideração a queda de potencial no substrato e acoplou-se ao modelo clássico, no qual esta queda de potencial era considerada desprezível. Com este modelo determinou-se a influência do potencial de substrato nos parâmetros elétricos dos transistores SOI MOSFET modo inversão e modo acumulação.

Verificou-se que o erro no cálculo da tensão de limiar considerando-se ou não o efeito do substrato no SOI nMOSFET modo inversão com espessura de óxido enterrado de 80 nm pode chegar a 140 mV em temperatura ambiente e 250 mV para 77 K, o que não pode ser mais considerado desprezível. O erro máximo na inclinação de sublimiar foi de 13,9 % para temperatura de 77 K.

No transistor SOI MOSFET modo acumulação não há influência do substrato na tensão de limiar de porta. O erro na tensão de limiar de substrato e de corpo induzido pelo substrato foi de aproximadamente

600 mV, para espessura de óxido enterrado de 80 nm. Estes erros foram ainda maiores com a diminuição da temperatura.

O modelo da queda de potencial no substrato foi proposto analiticamente, testado através de simulação numérica e observado experimentalmente com sucesso.

Com o auxílio deste modelo foi possível propor e aplicar experimentalmente dois métodos de obtenção da densidade de carga no óxido na interface óxido enterrado/substrato, os quais batizamos de QOX3INV (modo inversão) e QOX3AC (modo acumulação). Em ambos os métodos, a sensibilidade do resultado com relação as variações típicas de parâmetros de processo e elétricas são, no pior caso, da ordem de 22 %, o que é considerado bastante adequado para este tipo de parâmetro.

Foram propostos também dois novos métodos para a obtenção da densidade de armadilhas de interface de SOI pMOSFET modo acumulação em baixas temperaturas, que chamamos de DV_{tM} (interface óxido de porta / camada de silício) e SDV_{tM} (interface camada de silício / óxido enterrado). Em baixa temperatura a densidade de armadilhas de interface não é mais desprezível e o acoplamento existente em SOI MOSFET de camada fina exige um cuidado especial para a obtenção deste parâmetro. Observamos efeitos transitórios devidos à baixa taxa de geração de portadores em baixa temperatura, porém não afetaram os métodos

propostos. Os métodos DV_tM e SDV_tM foram testados através de simulação numérica e aplicados experimentalmente.

Concluímos, portanto, que os objetivos do trabalho foram alcançados com sucesso, servindo também de suporte para o desenvolvimento de novas linhas de pesquisas relacionadas com dispositivos SOI MOSFET.

Como sequência do trabalho, outras pesquisas estão em andamento tais como novos métodos para a determinação do comprimento efetivo de canal, resistência série, novo modelo da corrente de fuga em altas temperaturas e estudo dos efeitos da radiação no dispositivo SOI MOSFET, cujos resultados são igualmente promissores. Novas estruturas de transistores implementados na tecnologia SOI é um outro campo de pesquisa bastante interessante que envolve trabalhos de processamento, caracterização e modelagem.

Anexo A - Arquivo de simulação MEDICI de um transistor SOI nMOSFET modo inversão

TITLE TRANSISTOR SOI TOTALMENTE DEPLETADO

\$=====

\$ Obtencao de curva Id x Vgf variando Vgb

\$ Comprimento de Canal = 2um - Temperatura = 300K

\$ Espessura da camada de Silicio: 80nm

\$ Espessura do Oxido enterrado: 400nm

\$ Espessura do Oxido de porta: 20nm

\$ Arquivo: idvg

\$=====

\$-----

\$ DEFINICAO DA GRADE

\$-----

MESH SMOOTH=1

X.MESH WIDTH=0.5 H1=0.2 H2=0.01

X.MESH WIDTH=1 H1=0.01 H2=0.2

X.MESH WIDTH=1 H1=0.2 H2=0.01

X.MESH WIDTH=0.5 H1=0.01 H2=0.2

Y.MESH Y.MIN=-0.02 DEPTH=0.02 SPACING=0.005

Y.MESH DEPTH=0.08 H1=0.005 H2=0.025

Y.MESH DEPTH=0.2 H1=0.01 H2=0.1

Y.MESH DEPTH=0.2 H1=0.1 H2=0.01

\$Y.MESH DEPTH=1.0 H1=0.01 H2=0.25

\$ELIMINATE COLUMNS X.MIN=0 Y.MIN=0.2

\$ELIMINATE COLUMNS X.MIN=0 Y.MIN=0.2

\$-----

\$ DEFINICAO DAS REGIOES

\$-----

REGION NAME=Ox_Porta X.MIN=0.0 Y.MAX=0 OXIDE

REGION NAME=Dreno X.MAX=0.5 Y.MIN=0 Y.MAX=0.08 SILICON

REGION NAME=CamSi_FD X.MIN=0.5 X.MAX=2.5 Y.MIN=0.0

Y.MAX=0.08 SILICON

REGION NAME=Fonte X.MIN=2.5 Y.MIN=0.0 Y.MAX=0.08 SILICON


```

REGION NAME=Ox_Enterr Y.MIN=0.08 OXIDE
$-----
$ DEFINICAO DOS ELETRODOS
$ 1-PORTA 2-SUBSTRATO 3-Dreno 4-Fonte
$-----
ELECTR NAME=FGate X.MIN=0.5 X.MAX=2.5TOP
ELECTR NAME=BGate BOTTOM
ELECTR NAME=Drain X.MAX=0.45 Y.MIN=-0.02 Y.MAX=0.0
ELECTR NAME=Source X.MIN=2.55 Y.MIN=-0.02 Y.MAX=0.0
$-----
$ DEFINICAO DOS PERFIS DE DOPAGEM
$-----
PROFILE P-TYPE REGION=CamSi_FD N.PEAK=1E17 UNIFORM
PROFILE N-TYPE REGION=Fonte N.PEAK=1E21 UNIFORM
PROFILE N-TYPE REGION=Dreno N.PEAK=1E21 UNIFORM
$-----
$ CARGAS NA INTERFACE
$-----
INTERFAC QF=5E10 Y.MAX=0.7
INTERFAC QF=1E11 Y.MIN=0.71
$-----
$ CONTATOS
$-----
CONTACT NAME=FGate N.POLY
CONTACT NAME=BGate WORKFUNC=4.95
$-----
$ MODELOS FISICOS
$-----
MODELS PRINT TEMPERAT=300 ANALYTIC PRPMOB FLDMOB
+ CONSRH AUGER BGN
$-----
$ METODO DE RESOLUCAO
$-----
SYMBOLIC CARRIERS=0
$METHOD ICCG DAMPED AUTONR ITLIMIT=30
SOLVE INITIAL V(Drain)=0 V(Source)=0 V(FGate)=0
SYMBOLIC NEWTON CARRIERS=1
METHOD AUTONR ITLIMIT=30

```

SOLVE

\$-----

\$ POLARIZACAO

\$-----

\$-----

\$ Obtencao da curva Id x Vds variando-se Vgf

\$-----

SOLVE V(Drain)=1E-2

SOLVE V(Drain)=0.05

SOLVE V(Drain)=0.1

LOOP STEPS=1

 ASSIGN NAME=ARQ C.VALUE=AGFD DELTA=1

 ASSIGN NAME=ARQ1 C.VALUE=IDVGF DELTA=1

 ASSIGN NAME=VAL N.VALUE=0.0 DELTA=1

 SOLVE V(FGate)=@VAL

 LOG IVFILE=@ARQ

 SOLVE ELECTROD=FGate VSTEP=0.01 NSTEP=450

\$COMMENT Curva Ids x Vd

PLOT.1D Y.AXIS=I(Drain) X.AXIS=V(FGate) POINTS COLOR=2

DEVICE=POSTSCRIPT TITLE="Curva Ids x Vd" OUT.FILE=@ARQ1

L.END

\$-----

Anexo B - Arquivo de simulação MEDICI de um transistor SOI pMOSFET modo acumulação

TITLE TRANSISTOR SOI TOTALMENTE DEPLETADO

\$=====

\$ Obtencao de curva Id x Vgf variando Vgb

\$ Comprimento de Canal = 2um - Temperatura = 300K

\$ Espessura da camada de Silicio: 100nm

\$ Espessura do Oxido enterrado: 390nm

\$ Espessura do Oxido de porta: 20nm

\$ Arquivo: idvg

\$=====

\$-----

\$ DEFINICAO DA GRADE

\$-----

MESH SMOOTH=1

X.MESH WIDTH=0.5 H1=0.2 H2=0.01

X.MESH WIDTH=1 H1=0.01 H2=0.2

X.MESH WIDTH=1 H1=0.2 H2=0.01

X.MESH WIDTH=0.5 H1=0.01 H2=0.2

Y.MESH Y.MIN=-0.02 DEPTH=0.02 SPACING=0.005

Y.MESH DEPTH=0.1 H1=0.005 H2=0.025

Y.MESH DEPTH=0.2 H1=0.01 H2=0.1

Y.MESH DEPTH=0.190 H1=0.1 H2=0.01

\$Y.MESH DEPTH=1.0 H1=0.01 H2=0.25

\$ELIMINATE COLUMNS X.MIN=0 Y.MIN=0.2

\$ELIMINATE COLUMNS X.MIN=0 Y.MIN=0.2

\$-----

\$ DEFINICAO DAS REGIOES

\$-----

REGION NAME=Ox_Porta X.MIN=0.0 Y.MAX=0 OXIDE

REGION NAME=Dreno X.MAX=0.5 Y.MIN=0 Y.MAX=0.08 SILICON

REGION NAME=CamSi_FD X.MIN=0.5 X.MAX=2.5 Y.MIN=0.0

Y.MAX=0.08 SILICON

REGION NAME=Fonte X.MIN=2.5 Y.MIN=0.0 Y.MAX=0.08 SILICON

```

REGION NAME=Ox_Enterr Y.MIN=0.08 OXIDE
$-----
$ DEFINICAO DOS ELETRODOS
$ 1-PORTA 2-SUBSTRATO 3-Dreno 4-Fonte
$-----
ELECTR NAME=FGate X.MIN=0.5 X.MAX=2.5TOP
ELECTR NAME=BGate BOTTOM
ELECTR NAME=Drain X.MAX=0.45 Y.MIN=-0.02 Y.MAX=0.0
ELECTR NAME=Source X.MIN=2.55 Y.MIN=-0.02 Y.MAX=0.0
$-----
$ DEFINICAO DOS PERFIS DE DOPAGEM
$-----
PROFILE P-TYPE REGION=CamSi_FD N.PEAK=1E17 UNIFORM
PROFILE P-TYPE REGION=Fonte N.PEAK=1E21 UNIFORM
PROFILE P-TYPE REGION=Dreno N.PEAK=1E21 UNIFORM
$-----
$ CARGAS NA INTERFACE
$-----
INTERFAC QF=5E10 Y.MAX=0.7
INTERFAC QF=1E11 Y.MIN=0.71
$-----
$ CONTATOS
$-----
CONTACT NAME=FGate N.POLY
CONTACT NAME=BGate WORKFUNC=4.95
$-----
$ MODELOS FISICOS
$-----
MODELS PRINT TEMPERAT=300 ANALYTIC PRPMOB FLDMOB
+ CONSRH AUGER BGN
$-----
$ METODO DE RESOLUCAO
$-----
SYMBOLIC CARRIERS=0
$METHOD ICCG DAMPED AUTONR ITLIMIT=30
SOLVE INITIAL V(Drain)=0 V(Source)=0 V(FGate)=0
SYMBOLIC NEWTON CARRIERS=1
METHOD AUTONR ITLIMIT=30

```

```

SOLVE
$-----
$ POLARIZACAO
$-----
$-----
$ Obtencao da curva Id x Vds variando-se Vgf
$-----
SOLVE V(Drain)=-1E-2
SOLVE V(Drain)=-0.05
SOLVE V(Drain)=-0.1
LOOP      STEPS=1
    ASSIGN  NAME=ARQ      C.VALUE=ACC1 DELTA=1
    ASSIGN  NAME=ARQ1    C.VALUE=IDACC DELTA=1
    ASSIGN  NAME=VAL     N.VALUE=0.0  DELTA=1
    SOLVE V(FGate)=@VAL
    LOG IVFILE=@ARQ
    SOLVE ELECTROD=FGate VSTEP=-0.01 NSTEP=450
$COMMENT  Curva Ids x Vd
PLOT.1D   Y.AXIS=I(Drain) X.AXIS=V(FGate) POINTS COLOR=2
DEVICE=POSTSCRIPT TITLE="Curva Ids x Vd" OUT.FILE=@ARQ1
L.END
$-----

```

REFERÊNCIAS

Capítulo 1

- [1.1] IZUMI, K. **Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Advices**, v. 90-6, p.3, 1990.
- [1.2] COLINGE, J. P. **IEDM**, p. 817, 1989.
- [1.3] DAVIS, G. E.; HITE, L. R.; BLAKE, T. G. W.; CHEN, C. E.; LAM, H. W. Transient radiation effects in SOI memories. **IEEE Trans. on Nuclear Science**, v. 32, p. 4432, 1985.
- [1.4] LERAY, J. L.; DUPONT-NIVET, E.; MUSSEAU, O.; From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose rate and SEU phenomena. **IEEE Trans. on Nuclear Science**, v. 35. p. 1355, 1988.
- [1.5] KRULL, W. A; LEE, J. C. **Proceeding SOS/SOI Technology Workshop**, p. 69, 1989.
- [1.6] MASZARA, W. P. **Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Devices**, v. 90-6, p. 199, 1990.
- [1.7] COLINGE J. P. **Microeletronic Engineering**, v. 8, 0. 127, 1988.
- [1.8] YOSHIMI M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; TANGO, H. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v. 24, p. 1078, 1988.
- [1.9] NERVE, A. J. A. **Digest of Symposium on VLSI Technology**, p. 65, 1988.
- [1.10] YOUNG, K. K.. Short channel effect in fully depleted SOI MOSFETs. **IEEE Trans. El. Devices**, v. ED-36, p. 399, 1989.
- [1.11] CHEN, H. S.; LI, S. S. Comparison of stastical variation of threshold voltage in bulk and SOI MOSFETs. **Solid State Eletronics**, v. 35, n. 9, p. 1233, 1992.

- [1.12] COLINGE, J. P. **Ext. Abstracts of 5th Internat. Workshop on Future Electron Devices**, Miyagi-Zao, Japão, p. 105, 1988.
- [1.13] MARTINO, J. A.; LAUWERS, L., COLINGE, J. P. Analytical Model for the Potencial Drop in the Silicon Substrate on Thin Fil SOI-MOSFETs and its Influence on the Threshold Voltage. **Published by SPIE - Society of Photo-Optical Instrumentation Engineers**, Washington, USA, v. 1405, p. 64, July, 1990.
- [1.14] MARTINO, J. A.; LAUWERS, L., COLINGE, J. P. Model for the Potential Drop in the Silicon Substrate on Thin-Film SOI MOSFETs. **IEE Electronics Letters**, England, v. 26, n° 18, p. 1462, August, 1990.
- [1.15] MARTINO, J. A., SIMOEN, E.; ROTONDARO, A. L.; MAGNUSSON, U.; CLAEYS, C. Simple Method for the Determination of the Interface Trap Densit at 77 K in Fully Depleted Accumulation Mode SOI MOSFETs. **Solid State Electronics**, v. 36, p. 827, n. 6, 1993.
- [1.16] MARTINO, J. A.; ROTONDARO, A. L. P.; SIMOEN, E.; MAGNUSSON, U.; CLAEYS, C. Transient Effects in Accumulation Mode P-Channel SOI-MOSFETs Operating at 77 K. **IEEE Transactions on Electron Devices**, ed-41, p. 519, abril, 1994.
- [1.17] MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. A New Method for Determining the Front and Back Interface Trap Densities of Accumulation Mode SOI-MOSFETs at 77 K. **Solid State Electronics**, v. 38, p. 1799, 1995.
- [1.18] SCHREUTELKAMP, R.; MARTINO, J. A.; SIMOEN, E.; DEFERM, L.; CLAEYS, C. Combined ΔL and Series Resistance Extraction of LDD MOSFET at 77 K. **Proceedings of the Third Symposium on Low Temperature Electronics and High Temperature Superconductivity**, 187th Electrochemical Society Meeting, Reno, Nevada, USA, p. 290, maio, 1995.

- [1.19] MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Theoretical and Experimental Study of the Front and Back Interface Trap Density in Accumulation Mode SOI-MOSFET at Low Temperatures. **Proceedings of the Third Symposium on Low Temperature Electronics and High Temperature Superconductivity**, 187th Electrochemical Society Meeting, Reno, Nevada, USA, p.271, maio,1995.
- [1.20] BELLODI, M.; MARTINO, J. A.; FLANDRE, D.; New Empirical Model for Leakage Current of SOI MOSFET's Valid From Room to High Temperature. **Journal of Solid-State Devices and Circuits**, v. 04, n. 1, p. 7, 1996.
- [1.21] NICOLETT, A. S.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Mobility Degradation Influence on the SOI MOSFET Channel Length Extraction at 77K. **Proceedings of the Second European Workshop on Low Temperature Electronics**, ed. by Journal de Physique IV, Colloque 3, v. 6, p. C3-55, 1996.
- [1.22] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Theoretical and Experimental Study of the Substrate Effect on Fully Depleted SOI MOSFET Threshold Voltage. **Proceedings of the Second European Workshop on Low Temperature Electronics**, ed. by Journal de Physique IV, Colloque 3, v. 6, p. C3-67, 1996.
- [1.23] SIMOEN, E.; CLAEYS, C.; LUKYANCHIKOVA, N.; PETRICHUK, M.; GARBAR, N.; MARTINO, J. A.; SONNENBERG, V. Extraction of the Interface and Oxide Charge Density in Silicon-on-Insulator MOSFET's. **Electrochemical Society Meeting Proceedings**, v. 96-3, p. 309, 1996.
- [1.24] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Substrate Influences on Fully Depleted Enhancement Mode SOI MOSFETs at Room Temperature and at 77 K., **Solid State Electronics**, v. 41, p. 111, 1997.

- [1.25] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Analytical Modeling of the Substrate Effect on Accumulation-mode SOI pMOSFETs at Room Temperature and at 77 K. **Microelectronics Engineering**, v. 36, p. 375, 1997.
- [1.26] NICOLETT, A. S.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Simple Method to Extract the Length Dependent Mobility Degradation Factor at 77 K. **191st Electrochemical Society Meeting**, Montreal, Canada, maio, 1997.
- [1.27] PAVANELLO, M. A.; MARTINO, J. A. A new method to extract the effective trap density at the buried oxide / underlying substrate interface in enhancement-mode SOI MOSFETs at low temperatures. **III European Workshop on Low temperature Electronics**, San Miniato, Itália, junho, p. Pr3-45, 1998.
- [1.28] PAVANELLO, M. A.; NICOLETT, A. S.; MARTINO, J. A. Analysis of the substrate effect on enhancement-mode SOI nMOSFET effective channel length and series resistance extraction at 77 K. **III European Workshop on Low temperature Electronics**, San Miniato, Itália, junho, p. Pr3-49, 1998.
- [1.29] NICOLETT, A. S.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Back gate voltage and buried-oxide thickness influences on the series resistance of fully depleted SOI MOSFETs at 77K. **III European Workshop on Low temperature Electronics**, San Miniato, Itália, junho, p. Pr3-25, 1998.
- [1.30] PAVANELLO, M. A.; MARTINO, J. A. A new method for determination of the fixed charge density at the buried oxide / underlying substrate interface in SOI MOSFETs. **VIII SOI Symposium da 192th Electrochemical Society Meeting**, Paris, p. 162, setembro, 1997.
- [1.31] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Analytical modeling of the substrate effect on accumulation-mode SOI pMOSFETs at room temperature and 77 K. **10th Biennial Conference on Insulating Films on Semiconductors**, Göteborg, Suécia, p. 375, junho, 1997.

- [1.32] MARTINO, J. A.; SIMOEN, E.; ROTONDARO, A. L. P. ; MAGNUSSON, U.; CLAEYS, C. SOI MOSFET Modo Acumulação em 77 K: Impacto dos Efeitos transitórios e Determinação de Densidade de Arandilhas de Interface. **Anais do VIII Congresso da Sociedade Brasileira de Microeletrônica**. Campinas, SP, Brasil, setembro, p. VI.1, 1993.
- [1.33] SONNENBERG, V. ; MARTINO, J. A.. Método Simples para a Obtenção da Densidade de Armadilhas na Primeira e Segunda Interface em SOI-MOSFET. **Anais da IX Congresso da Sociedade Brasileira de Microeletrônica**, Rio de Janeiro, RJ, Brasil, agosto, p.419, 1994.
- [1.34] NICOLETT, A. S.; MARTINO, J. A. Transistor SOI-MOSFET Não Auto Alinhado. **Anais do IX Congresso da Sociedade Brasileira de Microeletrônica**, Rio de Janeiro, RJ, Brasil, agosto, p. 556, 1994.
- [1.35] PAVANELLO, M.; MARTINO, J. A. Modelamento Analítico para a Queda de Potencial no Substrato de SOI-MOSFET. **Anais do IX Congresso da Sociedade Brasileira de Microeletrônica**, Rio de Janeiro, RJ, Brasil, agosto, p. 546, 1994.
- [1.36] NAKATA, V.; MARTINO, J. A.. Efeitos da Radiação em Capacitores MOS. **Anais do IX Congresso da Sociedade Brasileira de Microeletrônica**, Rio de Janeiro, RJ, Brasil, agosto, p. 763, 1994.
- [1.37] NICOLETT, A. S. ; MARTINO J. A.; SIMOEN, E.; CLAEYS, C. Impact of Surface Mobility Degradation on the Effective Channel Length and Series Resistance Extraction in Submission Fully Depleted SOI-MOSFETs. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, agosto, p. 547, 1995.
- [1.38] PAVANELLO, M.; MARTINO, J. A. The Influence of the Substrate Potential Drop on Fully Depleted SOI-MOSFET Threshold Voltage at 77 K. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, agosto, p. 537, 1995.

- [1.39] BELLODI, M.; MARTINO, J. A. New Leakage Drain Current Model for High Temperature SOI-MOSFET. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, agosto, p.557, 1995.
- [1.40] PAVANELLO, M.; MARTINO, J. A. Impact of Substrate Effect on the Fully Depleted SOI-MOSFET Subthreshold Slope at 300 K and 77 K. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, agosto, p.527, 1995.
- [1.41] PAVANELLO, M.; MARTINO, J. A. Anomalia na Tensão de Limiar de Transistores SOI MOSFET Induzida Pelo Efeito do Substrato em Baixa Temperatura. **Anais do II Seminário Brasileiro de caracterização em Microeletrônica**, Curitiba, PR, Brasil, dezembro, p. 40, 1995.
- [1.42] SONNENBERG, V.; MARTINO, J. A. Análise da Região de Sublimiar do Transistor SOI MOSFET. **Anais do II Seminário Brasileiro de caracterização em Microeletrônica**, Curitiba, PR, Brasil, dezembro, p.31, 1995.
- [1.43] KIMURA, G. F. W.; SONNENBERG, V.; MARTINO, J. A. Programa Didático para o Estudo de Capacitores MOS na Caracterização de Processos. **Anais do II Seminário Brasileiro de caracterização em Microeletrônica**, Curitiba, PR, Brasil, dezembro, p. 126, 1995.
- [1.44] NICOLETT, A. S.; MARTINO, J. A. Métodos de Extração do Comprimento Efetivo de Canal e da Resistência Série em Transistores MOSFET's. **Anais do II Seminário Brasileiro de caracterização em Microeletrônica**, Curitiba, PR, Brasil, dezembro, p.136, 1995.
- [1.45] BELLODI, M.; MARTINO, J. A. Caraterização Elétrica de Transistores SOI MOSFET em Altas Temperaturas. **Anais do II Seminário Brasileiro de caracterização em Microeletrônica**, Curitiba, PR, Brasil, dezembro, p. 21, 1995.

- [1.46] SONNENBERG, V.; MARTINO, J. A. Simple Method to Reduce the Transient Effect in SOI MOSFET at 77K. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 428, 1996.
- [1.47] SONNENBERG, V.; MARTINO, J. A. Analysis of the Subthreshold Slope Transition Region in SOI nMOSFET. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 333, 1996.
- [1.48] BELLODI, M.; MARTINO, J. A.; FLANDRE, D. Introduction of the SOI MOSFET Dimensions in the High-Temperature Leakage Drain Current. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 275, 1996.
- [1.49] NICOLETT, A. S.; MARTINO, J. A. A Simple Technique to Reduce the Influence of the Series Resistance on the Bulk and SOI MOSFET Parameter Extractions. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 295, 1996.
- [1.50] NICOLETT, A. S.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Improved Channel Length and Series Resistance Extraction for Short-Channel MOSFETs Suffering from Mobility Degradation. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 301, 1996.
- [1.51] PAVANELLO, M. A.; MARTINO, J. A. New Method for the Determination of Fixed Charge Densities at the Buried Oxide Interfaces in SOI MOSFETs. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 327, 1996.
- [1.52] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Theoretical and Experimental Analysis of the Substrate Effect on Accumulation-Mode p-Channel SOI MOSFET at Room Temperature and at Liquid Nitrogen Temperature. **Proceedings of the XI Conference of the Brazilian Microelectronics Society**, Águas de Lindóia, SP, p. 315, 1996.

- [1.53] MARTINO, J. A.; PAVANELLO, M. A. A new method for determination of the fixed charge density at the buried oxide / underlying substrate in accumulation-mode p-channel SOI MOSFETS , **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.54] PAVANELLO, M. A.; MARTINO, J. A., A New SOI MOSFET Structure to reduce the Parasitic Bipolar Effect in SOI MOSFETs, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.55] PAVANELLO, M. A.; NICOLETT, A. S.; MARTINO, J. A. Influence of the substrate effect on the series resistance and effective channel length extraction, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.56] BELLODI, M.; MARTINO, J. A., Components of the leakage current in enhancement-mode SOI nMOSFETs at high temperature, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.57] SONNENBERG, V.; MARTINO, J. A., Influence of the back interface accumulation on the interface traps density extraction in thin film soi nMOSFET. **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.58] BERTINI, J.; MARTINO, J. A. Método simples para obtenção da variação da carga efetiva no óxido de um SOI MOSFET em função da radiação, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.
- [1.59] NICOLETT, A. S.; MARTINO, J. A.; GUTIERREZ, E. A., Analysis of the series resistance and effective channel length extraction of submicron MOS transistors operating at high temperature, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, julho, 1997.

- [1.60] HOASHI, P. T.; MARTINO, J. A., Análise da extração da resistência série em transistores SOI MOSFET de porta gêmea, **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu - MG, Julho, 1997.
- [1.61] BELLODI, M.; MARTINO, J. A. The influence of the back gate voltage on the leakage drain current in accumulation-mode SOI MOSFETs at high temperatures, aceito para publicação nos anais do **International Conference on Microelectronics and Packaging**, Curitiba - PR, agosto, 1998.
- [1.62] PAVANELLO, M. A.; MARTINO, J. A. Effect of the substrate potential drop in accumulation-mode SOI pMOSFETs subthreshold slope, aceito para publicação nos anais do **International Conference on Microelectronics and Packaging**, Curitiba - PR, agosto, 1998.
- [1.63] SONNENBERG, V.; MARTINO, J. A. A new method for determination of the oxide charge density at the buried oxide/substrate interface in SOI capacitor, aceito para publicação nos anais do **International Conference on Microelectronics and Packaging**, Curitiba - PR, agosto, 1998.
- [1.64] HOASHI, P. T.; MARTINO, J. A. Optimization of the twin gate SOI MOSFET, aceito para publicação nos anais do **International Conference on Microelectronics and Packaging**, Curitiba - PR, agosto, 1998.

Capítulo 02

- [2.1] JASTRZEBSKI, L. et al. Growth process of silicon over SiO₂ by CVD: Epitaxial lateral overgrowth technique. **Journal of Electrochemical Society**, v. 130, p. 1571, 1983.
- [2.2] ZING, R. P. et al. Epitaxial lateral overgrowth of silicon over steps of thick SiO₂. **Journal of Electrochemical Society**, v. 133, p. 1274, 1986.

- [2.3] BRADBURY, D. R. et al. Control of lateral epitaxial chemical vapor deposition of silicon over insulator. **Journal of Appl. Physics**, v. 55, p. 519, 1984.
- [2.4] KAMINS, T. I.; BRADBURY, D. R. Trench-isolated transistors in lateral CVD epitaxial silicon on insulator films. **IEEE Electron Device Letter**, v. 5, p. 449, 1984.
- [2.5] ISHIWARA, H. et al. Lateral solid phase epitaxy of amorphous Si films on Si substrates with SiO₂ patterns. **Appl. Physics Letters**, v.43, p. 1028, 1983.
- [2.6] MIYAO, M. et al. Low temperature SOI (Si-on-insulator) formation by lateral solid-phase epitaxy. **Journal of Appl. Physics**, v. 64, p. 3018, 1988.
- [2.7] SATO, T. et al. Comparison of thin-film transistor and SOI technologies. **Mat. Res. Soc. Symposium Proceedings**, ed. por H.W. Lam e M. J. Thompson , v. 33, p. 25, 1984.
- [2.8] GOLECKI, I. et al. Heteroepitaxial Si films on YTTRIA-Stabilized, cubic zirconia substrate. **Appl. Physics Letters**, v. 42, p.501, 1983.
- [2.9] IHARA, M. et al. Vapor phase epitaxial growth of MgO - Al₂O₃. **Journal of Electrochemical Society**, v. 129, p. 2569, 1982.
- [2.10] SUGIURA, S.; YOSHIDA, T.; SHONO, K. **Japanese Journal of Applied Phys.**, v. 22, p. L426, 1983.
- [2.11] FA, C. H.; JEW T. T. The poly-silicon insulated-gate field-effect transistor. **IEEE Transaction on Electron Devices**. v. ED-13, p. 290, 1966.
- [2.12] KAMINS, T. I. Field-effects in polycrystalline-silicon films. **Solid-State Electronics**, v. 15, p. 789, 1972.
- [2.13] MCMAHON, R. C. **Microelectronic Engineering**, v. 8, p. 255, 1988.

- [2.14] HEMMENT, P. L. F. Semiconductor-on-insulator and thin-film transistor technology. **MRS Symposium Proceedings**, ed. Chiang, Geis e Pfeiffer, v. 53, p. 207, 1986.
- [2.15] HILL, D. et al. The reduction of dislocations in oxygen implanted silicon-on-insulator layers by sequential implantation and annealing. **Journal of Appl. Physics**, v. 63, p. 4933, 1988.
- [2.16] NESBIT, L. et al. Formation of silicon on insulator structures by implanted nitrogen. **Journal of Electrochemical Society**, v. 132, p. 2713, 1985.
- [2.17] SOBESLAVSKY, E., SKORUPA, W. **Phys. Stat. Sol. (A)**, v. 144, p.135, 1989.
- [2.18] NESBIT, L. et al. Microstructure of silicon implanted with high doses of nitrogen and oxygen. **Journal of Electrochemical Society**, v. 133, p. 1186, 1986.
- [2.19] ABE, T.; NAKANO, M.; ITOH, T. **Proceedings of the 4th International Symposium on Silicon-on-Insulator Technology and Devices**, ed. por D. Schmit, v. 90-6, p. 61, 1990.
- [2.20] GOTOU, E. et al. **Techn. Digest of IEEE International Electron Device Meeting (IEDM)**, p. 912, 1989.
- [2.21] COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLSI**, ed. **Kluwer Academic Publishers**, 1991.
- [2.22] THOMAS, N. J., DAVIS, J. R. **Proceedings of the IEEE SOS/ SOI Technology Conference**, p. 130, 1989.
- [2.23] SZE, S. M. **Physics of Semiconductor Devices. Wiley-Interscience Publication**, 2^a edição, ed. New York: J. Wiley & Sons, 1981.
- [2.24] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. **IEEE Transaction on Electron Devices**, v. 30, p. 1244, 1983.

- [2.25] MAYER, D. C. Modes of operation and radiation sensitivity of ultrathin SOI transistors. **IEEE Transaction on Electron Devices**, v. 37, n.05, maio,1990.
- [2.26] TERAQ, A. et al. **IEEE Electron Devices Letters**, v. 12, p. 682, 1991.
- [2.27]COLINGE, J. P. et al. Subthreshold slope of long-channel, accumulation-mode p-channel SOI MOSFETs, **Solid-State Electronics**, v.37, p. 289, 1994.
- [2.28] ROTONDARO, A. L. P. Cryogenic operation of accumulation-mode p-channel silicon-on-insulator MOSFETs, **Master Degree Thesis**, Katholieke universiteit Leuven, Leuven, Bélgica, 1992.
- [2.29] SELBERHERR, S. **IEEE Transactions on Electron Devices**, v. 36, p. 1464, 1989.

Capítulo 04

- [4.1] LIM, H. K.; FOSSUM, J. G. An electrical method to measure SOI film thickness. **IEEE Trans. on Electron Devices**, v. 30, p. 1244, 1983.
- [4.2] MARTINO, J. A.; LAUWERS, L.; COLINGE, J. P.; MEYER, K. de Model for the potencial drop in the silicon substrate for thin-film SOI MOSFETs. **Electronics Letters**, v. 26, p. 1462, 1990.
- [4.3] TMA MEDICI, version 4.0, 1997.
- [4.4] MARTINO, J. A. LAUWERS, L.; COLINGE, J. P. Analytical Model for The Potential Drop in the Silicon Substrate on Thin-Film SOI MOSFETs and its Influence on the Threshold Voltage. **Published by SPIE Society of Photo-Optical Instrumentation Engineers**, Washington, USA, v. 1405, p. 64, julho, 1990.

- [4.5] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Theoretical and Experimental Study of the Substrate Effect on Fully Depleted SOI MOSFET Threshold Voltage. **II European Workshop on Low Temperature Electronics**, Leuven, Bélgica, p. C3-67, 1996.
- [4.6] ALLES, M. **First European Workshop on Low Temperature Electronics**, p.459, 1994.
- [4.7] ALLES, M.; KRULL, W. **Solid-State Electronics**, v. 39, p. 499, 1996.
- [4.8] PAVANELLO, M. A.; MARTINO, J. A. Impact of the Substrate Effect on the Fully Depleted SOI-MOSFET Subthreshold Slope at 300 K and at 77 K. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, p. 527, agosto, 1995.
- [4.9] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Substrate Influences on Fully Depleted Enhancement-Mode SOI MOSFETs at Room Temperature and at 77 K. **Solid-State Electronics**, v. 41, n. 1, p. 111, 1997.
- [4.10] PAVANELLO, M. A.; MARTINO, J. A. The Influence of the Substrate Potential Drop on Fully Depleted SOI MOSFET Threshold Voltage at 77 K. **Anais do X Congresso da Sociedade Brasileira de Microeletrônica**, Canela, RS, Brasil, p. 537, agosto, 1995.
- [4.11] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Theoretical and Analysis of the Substrate Effect on Accumulation-Mode P-Channel SOI MOSFET at Room Temperature and at Liquid Nitrogen Temperature. **Anais do XI Congresso da Sociedade Brasileira de Microeletrônica**, Águas de Lindóia, SP, Brasil, p. 315, 1996.
- [4.12] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Analytical Modeling of the Substrate Effect on Accumulation-Mode SOI pMOSFETs at Room Temperature and at Liquid Nitrogen Temperature. **Microeletronic Engineering**, n. 9, p. 1241, 1997.

- [4.13] PAVANELLO, M. A.; MARTINO, J. A.; COLINGE, J. P. Analytical Modeling of the Substrate Influences on Accumulation-Mode SOI pMOSFETs at Room Temperature and at Liquid Nitrogen Temperature. **Solid-State Electronics**, v. 41, n. 9, p. 1241, 1997.
- [4.14] PAVANELLO, M. A.; MARTINO, J. A. Silicon-On-Insulator Technology and Devices. PV 97-11, p. 230, **The Electrochemical Society Proceedings Series**, Pennington, NJ (1997).
- [4.15] MARTINO, J. A.; PAVANELLO, M. A. New method for determination of the fixed charge densities at the buried oxide interfaces in SOI MOSFETs. **Anais do XI Congresso da Sociedade Brasileira de Microeletrônica**, Águas de Lindóia, SP, Brasil, julho, p. 3271996.
- [4.16] CHEN, H. S.; LI, S. S. **IEEE Transaction on Electron Device**, v. 39, p. 1740, 1990.
- [4.17] CHEN, H. S.; LI, S. S. **IEEE Transaction on Electron Device**, v. 39, p. 1747, 1990.
- [4.18] DIMITRAKIS, P. et al. Electrical characterization of interface between buried oxide and silicon substrate, Silicon-On-Insulator Technology and Devices, PV 94-11, p. 230, **The Electrochemical Society Proceedings Series**, Pennington, NJ, 1994.
- [4.19] MARTINO, J. A.; PAVANELLO, M. A. A New Method for Determination of the Fixed Charge Density at the Buried Oxide/Underlying Substrate Interface in Accumulation-Mode P-Channel SOI MOSFETs. **Anais do XII Congresso da Sociedade Brasileira de Microeletrônica (CD ROM)**, Caxambu, MG, Brasil, 1997.

Capítulo 05

- [5.1] WITCZAK, S.C. et al. An Experimental Comparison of Measurement Technics to Extract Si-SiO₂ Interface Trap Density. **Solid State Electronics**, v. 35, p. 345, 1992.
- [5.2] BALESTRA, F et al. Analytical Models of Subthreshold Swing and Threshold Voltage for Thin- and Ultra-Thin-Film SOI MOSFET's. **IEEE Trans. on Electron Devices**, v. 37 , p. 2303 , 1990.
- [5.3] WOUTERS, D.J. et al. Subthreshold Slope in Thin-Film SOI MOSFET's. **IEEE Trans. on Electron Devices**, v.37, p. 2022, September 1990.
- [5.4] WOUTERS, D.J. et al. Characterization of Front and Back Si-SiO₂ Interfaces in Thick- and Thin- Film Silicon-On- Insulator MOS Strutures by the Charge-Pumping Technique. **IEEE Trans. on Electron Devices**, v.36, p. 1746, September 1989.
- [5.5] QUISSE, T. et al. Adaptation of the Charge Pumping Technique to gated p-i-n Diodes Fabricated on Silicon on Insulator. **IEEE Trans. on Electron Devices**, v.38, p.1432, 1991.
- [5.6] ELEWA, T. et al. Low-Frequency Noise in Depletion-Mode SIMOX MOS Transistors. **IEEE Trans. on Electron Devices**, v.38 , n. 2, p. 323, 1991.
- [5.7] SIMOEN, E. et al. *Appl. Surf. Sci* , v. 63, p. 285, 1993.
- [5.8] YANG, P.C. et al. Measurement of interface state density in partially- and fully-depleted silicon-on-insulator MOSFETs by a high-low-frequency transconductance method. **Solid State Electronics**, v. 35, p. 1031, 1992.
- [5.9] WANG, J. et al. Threshold Voltage Instability at Low Temperatures in Partially Depleted Thin-Film SOI MOSFETs. **IEEE Electron Devices Letters**, v. 12, n. 6, p. 300, 1991.

- [5.10] SIMOEN, E.; CLAEYS, C. Transient Behavior of SOI NMOSTs at Liquid Helium Temperatures. **Proc. of the Fifth International Symposium on Silicon-on-Insulator Technology and Devices - Electrochemical Society**, v.92-13, p. 91, 1992.
- [5.11] ROTONDARO, A. L. P. et al. Low Temperature Behaviour of Submicron Accumulation Mode p-Channel SOI MOSFETs. **Microeletronic Engineering**, v.19, p. 857, 1992.
- [5.12] COLINGE, J. P. Conduction Mechanisms in Thin-Film Accumulation-Mode SOI p-Channel MOSFET's. **IEEE Trans. on Electron Devices**, v.37, p. 718 , 1990.
- [5.13] MARTINO, J. A., SIMOEN, E.; ROTONDARO, A. L.; MAGNUSSON, U.; CLAEYS, C. Simple Method for the Determination of the Interface Trap Density at 77K in Fully Depleted Accumulation Mode SOI MOSFET's. **Solid State Electronics** , v.36, p 827, 1993.
- [5.14] TERA0, A. et al. Measurement of Threshold Voltages of Thin-Film Accumulation-Mode PMOS/SOI Transistors. **IEEE Electron Devices Letters**, v.12, n.. 12, p. 682, 1991.
- [5.15] DEFERM, L. et al. The Importance of the Internal Bulk-Source Potential on the Low Temperature Kink in NMOSFET's. **IEEE Trans. on Electron Devices**, v.38, n. 6, p. 1459, 1991.
- [5.16] SELBERHERR, S. MOS Device Modeling at 77 K.. **IEEE Trans. on Electron Devices**, v.36, n. 8, p. 1464, 1989.
- [5.17] TMA MEDICI, version 4.0, 1997.
- [5.18] ELEWA, T. et al. Performance and Physical Mechanisms in SIMOX MOS Transistors Operated at Very Low Temperature. **IEEE Trans. on Electron Devices**, v.37, n. 4, p. 1007, 1990.
- [5.19] MARTINO, J. A.; SIMOEN, E.; CLAYES, C. A New Method for Determining the Front and Back Interface trap Densities of Accumulation Mode SOI MOSFETs at 77 K. **Solid State Eletronics**, v. 38, n. 10 , p. 1799, 1995.

- [5.20] COLINGE, J. P. et al. Subthreshold Slope of Long-Channel Accumulation-Mode p-Channel SOI MOSFET's. **Solid State Electronics**, v.37, n. 2, p. 289, 1994.
- [5.21] MARTINO, J. A.; SIMOEN, E.; CLAYES, C. Theoretical and Experimental Study of the Front and Back Interface Trap Density in Accumulation Mode SOI MOSFETs at Low Temperatures. **Proceedings of the 187th Electrochemical Society Meeting**, v.95-9, p. 271, maio, 1995.
- [5.22] SIMOEN, E. et al. Extraction of the Interface and Oxide Charge Density in Silicon-On-Insulator MOSFETs. **Proceedings of the 188th Electrochemical Society Meeting**, v.96-3, p. 309, fevereiro, 1996.
- [5.23] SIMOEN, E.; CLAYES, C.; MARTINO, J. A. Parameter Extraction of MOSFETs Operated at Low Temperature. **Second European Workshop on Low Temperature Electronics (WOLTE2)**, p. C3-29, v.6, abril, 1996.
- [5.24] MARTINO, J. A.; ROTONDARO, A. L. P.; SIMOEN, E.; MAGNUSSON, U.; CLAEYS, C. Transient Effects in Accumulation Mode P-Channel SOI MOSFETs Operating at 77 K. **IEEE Trans. on Electron Devices**, v.41, p. 519, 1994.
- [5.25] TACK, M. R. et al. The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperature. **IEEE Trans. on Electron Devices**, v.37, n. 5, p. 1373, 1990.
- [5.26] MARTINO, J. A., SIMOEN, E.; ROTONDARO, A. L.; MAGNUSSON, U.; CLAEYS, C. Accumulation Mode SOI MOSFETs at 77 K: Impact of Transient Effects and Determination of Interface Trap Density. **VIII Congresso da Sociedade Brasileira de Microeletrônica**, p. VI.1, setembro 1993.

Apêndice I - Estruturas e dispositivos implementados com a tecnologia SOI CMOS
de 0,5 μ m de dimensão mínima de porta.

1. Cascatas de transistores de comprimentos variáveis (L-arrays)

W(μ m)	L(μ m)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
20	10	E7	375	374	373	M7	825	824	823
	5				345				801
	2				346				802
	1,5				347				803
	1,2				348				804
	1				346				826
20	0,9	F9	427	426	425	N7	869	868	867
	0,8				399				847
	0,7				400				848
	0,6				401				849
	0,5				402				850
	0,4				428				870

2. Cascatas de transistores de larguras variáveis (W-arrays)

L(μm)	W(μm)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
20	5	G7	481	480	479	O7	913	912	911
	3				453				889
	1,6				454				890
	1,2				455				891
	1				456				892
	0,8				482				914
	0,6				5				H7
3	505	937							
1,6	506	938							
1,2	507	939							
1	508	940							
0,8	534	962							
20	0,5	I7	587	586	585	Q7	1005	1004	
0,45	557				981				
0,4	558				982				
0,35	559				983				
0,3	560				984				
0,25	588				1006				

3. Transistores isolados

W(μm)	L(μm)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
100	1	D1	292	291	256	L1	754	753	724
	1,5	D2	294	293	258	L2	756	755	726
	2	D3	296	295	260	L3	758	757	728

W(μm)	L(μm)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
6000	0,5	D10	273	309	310	L10	741	771	772
	0,6	D11	275	311	312	L11	743	773	774
	0,8	D12	277	313	314	L12	745	775	776
	1	D13	279	315	316	L13	747	777	778
	1,5	D14	281	317	318	L14	749	779	780
	2	D15	283	319	320	L15	751	781	782

L(μm)	W(μm)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
0,6	1	K7	698	699	664	S7	1106	1107	1070
0,5	0,9	K8	666	665	700	S8	1072	1071	1108
0,4	0,8	K9	701	702	667	S9	1109	1110	1073
0,4	20	K10	669	668	703	S10	1075	1074	1111
0,3	20	K11	704	705	670	S11	1112	1113	1076
0,2	20	K12	672	671	706	S12	1078	1077	1114

4. Transistores sem borda (Edgeless)

W(μm)	L(μm)	SOI - nMOS				SOI - pMOS			
		Nome	Fonte	Porta	Dreno	Nome	Fonte	Porta	Dreno
36	0,5	K1	655	689	656	S1	1061	1097	1062
	0,6	K2	691	657	690	S2	1099	1063	1098
	0,8	K3	658	692	659	S3	1064	1100	1065
	1	K4	694	660	693	S4	1102	1066	1101
	1,5	K5	661	695	662	S5	1067	1103	1068
	2	K6	697	663	696	S6	1105	1069	1104

5. Estrutura Van der Pauw

			Região nMOS				
	W(μm)	L(μm)	Nome	N11	N12	N21	N22
N+	40	40	J6	605	606	635	636
Si-poli			J7	607	608	637	638
Metal			J8	609	610	639	640

			Região pMOS				
	W(μm)	L(μm)	Nome	N11	N12	N21	N22
P+	40	40	R6	1021	1022	1046	1047
Si-poli			R7	1023	1024	1048	1049
Metal			R8	1025	1026	1050	1051

6. Resistências de 4 terminais

			Região nMOS				
	W(μm)	L(μm)	Nome	N11	N12	N21	N22
Região ativa N+	300	1,6	E1	327	329	355	357
		3	E2	330	332	358	360
		30	E3	333	335	361	363
Si-poli	300	1,6	E4	336	338	364	366
		3	E5	339	341	367	369
		30	E6	342	344	370	372

			Região pMOS				
	W(μm)	L(μm)	Nome	N11	N12	N21	N22
Região ativa P+	300	1,6	M1	783	785	805	807
		3	M2	786	788	808	810
		30	M3	789	791	811	813
Si-poli	300	1,6	M4	792	794	814	816
		3	M5	795	797	817	819
		30	M6	798	800	820	822

7. Capacitores (área= 500 μm x 500 μm)

Região nMOS			Região pMOS			Observação
Nome	Poli	Região ativa N+	Nome	Poli	Região ativa P+	
J10	647	617	R10	1058	1033	Serpentina
J11	618	619	R11	1034	1035	Quadrado
J12	648	649	R12	1059	1060	Quadrado com contato de metal sobre o Si-poli na região ativa

8. Transistores SOI MOSFETs com contato de canal

		SOI - nMOS				
W(μm)	L(μm)	Nome	Fonte	Porta	Dreno	Canal
20	0,5	K14	711	677	678	712
	0,7	K15	713	679	680	714
	1	K16	715	681	682	716
	2	K17	717	683	684	718
	5	K18	719	685	686	720

W(μm)		SOI - pMOS				
		Nome	Fonte	Porta	Dreno	Canal
20	0,5	S14	1119	1083	1084	1120
	0,7	S15	1121	1085	1086	1122
	1	S16	1123	1087	1088	1124
	2	S17	1125	1089	1090	1126
	5	S18	1127	1091	1092	1128

9. Cadeia de contatos

a) Metal 1 / N+

Cont	Nome	N=0	N=100	N=200	N=500	N=1000
0,5x0,5	I1	540	539	567	569	568
0,6x0,6	I2	543	542	570	582	571
0,7x0,7	I3	546	545	573	575	574
0,8x0,8	I4	549	548	576	578	577
1,0x1,0	I5	552	551	579	581	580
1,5x1,5	I6	555	554	582	584	583

b) Metal 1 / Poli (N+)

Cont	Nome	N=0	N=100	N=200	N=500	N=1000
0,5x0,5	H1	488	478	513	515	514
0,6x0,6	H2	491	490	516	518	517
0,7x0,7	H3	494	493	519	521	520
0,8x0,8	H4	497	496	522	524	523
1,0x1,0	H5	500	499	525	527	526
1,5x1,5	H6	503	502	528	530	529

c) Metal 1 / Poli (N+) envolvido por Poli

Cont	Nome	N=0	N=100	N=200	N=500	N=500	Poli
0,5x0,5	G1	436	435	461	463	462	437
0,6x0,6	G2	439	438	464	466	465	440
0,7x0,7	G3	442	441	467	469	468	443
0,8x0,8	G4	445	444	470	472	471	446
1,0x1,0	G5	448	447	473	475	474	449
1,5x1,5	G6	451	450	476	478	477	452

d) Metal 1 / P+

Cont	Nome	N=0	N=100	N=200	N=500	N=1000
0,5x0,5	Q1	964	963	985	987	986
0,6x0,6	Q2	967	966	988	990	989
0,7x0,7	Q3	970	969	991	993	992
0,8x0,8	Q4	973	972	994	996	995
1,0x1,0	Q5	976	975	997	999	998
1,5x1,5	Q6	979	978	1000	1002	1001

e) Metal 1 / Poli (P+)

Cont	Nome	N=0	N=100	N=200	N=500	N=1000
0,5x0,5	P1	920	919	941	943	942
0,6x0,6	P2	923	922	944	946	945
0,7x0,7	P3	926	925	947	949	948
0,8x0,8	P4	929	928	950	952	951
1,0x1,0	P5	932	931	953	955	954
1,5x1,5	P6	935	934	956	958	957

f) Metal 1 / Poli (P+) envolvido por Poli

Cont	Nome	N=0	N=100	N=200	N=500	N=500	Poli
0,5x0,5	O1	872	871	893	895	894	873
0,6x0,6	O2	875	874	896	898	897	876
0,7x0,7	O3	878	877	899	901	900	879
0,8x0,8	O4	881	880	902	904	903	882
1,0x1,0	O5	884	883	905	907	906	885
1,5x1,5	O6	887	886	908	910	909	888

10. Inversores

(W/L)n (μm)	(W/L)p (μm)	Nome	Entrada	VDD	Saída	GND
4/0,5	7/0,5	A8	32	33	78	77
4/0,4	7/0,4	A9	34	35	80	79
6/0,7	10/0,7	A10	36	37	82	81
6/1	10/1	A11	38	39	84	83
20/1	30/1	A12	40	41	86	85
4/0,5	7/0,5	A13	42	43	88	87
6/1	10/1	A14	44	45	90	89

11. Osciladores em anel

(W/L) _n (μm)	(W/L) _p (μm)	Nome	GND	VDDr	VDDb	Saída	Reset	n° de estágios	FO
4/0,5	7/0,5	D16	285	286	322	321	-	19	1
		D17	287	288	324	323	-	59	1
		D18	289	290	326	325	-	19	3
4/0,4	7/0,4	E8	349	350	378	377	-	19	1
6/0,45	10/0,45	E9	351	352	380	379	-	47	1
6/0,4	10/0,4	E10	353	354	382	381	-	47	1
6/0,35	10/0,35	F10	403	404	430	429	-	47	1
6/0,3	10/0,3	F11	405	406	432	431	-	47	1
6/0,25	10/0,25	F12	407	408	434	433	-	47	1
6/0,7	10/0,7	G8	457	458	484	483	-	19	1
		G9	459	460	486	585	-	101	1
6/1	10/1	H8	509	510	536	535	-	19	1
		H9	511	512	538	537	-	101	1
4/0,5	7/0,5	I8	561	563	591	590	561	19	1
		I9	565	566	59+4	593	564	59	1
6/1	10/1	J10	620	621	651	650	-	19	3
4/0,5	7/0,5	J11	623	624	654	653	-	101	1
4/0,4	7/0,4	K19	687	688	722	721	-	101	1
6/0,5	10/0,5	M8	830	827	828	829	-	1001	1
6/0,4	10/0,4	O8	918	915	916	917	-	1001	1
6/0,3	10/0,3	Q8	1010	1007	1008	1009	-	1001	1
6/0,25	10/0,25	S19	1132	1129	1130	1131	-	1001	1

12. Transistores SOI MOSFETs de porta gêmea (Twin gate)

W (μm)	L1 / L2	Nome	S	G	D1	D2
20	0,5/0,5	B8	161	122	121	162
	1/0,5	B9	163	124	123	164
	1/1	B10	165	126	125	166
	2/1	B11	167	128	127	168
	4/2	B12	169	130	129	170

13. Estruturas ESD

W (μm)	A (μm)	Nome	Fonte / Porta	Dreno
100	5	C9	245	203
400	5		204	205
100	2,5		248	206
100	10		246	247

(W/L)n inv	(W/L)p inv	Nome	Res (W)	Diodo (W/L)	INP	INPi	VDDd	VDDi	Vssd	VSSi	Saída	TERM1	TERM2
2 / 1	3 / 1	A1	2*300	200 / 5	49	4	5	3	50	48	46	2	47
		A2			52	-	8	53	7	6	51		
		A3			55	-	11	56	10	-	-		
		B1	1*300		134	94	95	93	135	133	131	92	132
		B2			137	-	98	138	97	96	136		
		B3			140	-	101	141	100	-	-		
20 / 1	30 / 1	C5	1*300	231	189	190	188	232	230	229	-	-	
		C6		235	193	194	192	236	234	233	-	-	

(W/L)n inv	(W/L)p inv	Nome	RES (W)	Diodo (W/L)	INP	INPi	VDDd	VDDi	VSSd	VSSi	Saída1	Saída2
2 / 1	3 / 1	B6	4*300	200 / 5	151	154	112 - 113		152 - 153		111	114
		B7	2*300		157	160	118 - 119		158 - 159		117	120

(W/L)n nMOS	(W/L)p pMOS	Nome	RES (W)	Diodo (W/L)	INP	INPi	VDDd	VDDi	VSSd	VSSi	TERM
2 / 1	-	A4	2*300	200 / 5	59	14	15	13	60	58	57
-	3 / 1	A5			63	18	19	17	64	62	61
2 / 1	-	B4	1*300		144	104	105	103	145	143	142
-	3 / 1	B5			148	108	109	107	149	147	146
1 / 0,5	-	C1			215	173	174	172	216	214	213
10 / 0,5	-	C2		219	177	178	176	220	218	217	
-	1 / 0,5	C3	223	181	182	180	224	222	221		
-	10 / 0,5	C4	227	185	186	184	228	226	225		

(W/L)n inv	(W/L)p inv	Nome	RES (W)	Diodo (W/L)	INP	INPi	VDDd	VDDi	VSSd	VSSi	Saída	Porta passtr
20 / 1	30 / 1	C7	2*300	200 / 5	239	197	198	196	240	238	237	195
		C8	1*300		243	201	202	200	244	242	241	199

(W/L)n nand	(W/L)p nand	Nome	RES (W)	Diodo (W/L)	INP1	INP2	VDDd	VDDi	VSSd	VSSi	Saída
2 / 1	3 / 1	A6	4*300	200 / 5	66	69	20 - 25		65 - 70		21
		A7	2*300		72	75	26 - 31		71 - 76		27

14. Estruturas Kelvin

Nome	Alumínio		Difusão tipo P		Polisilício	
F1	384	409	383	410		
F2	386	411	385	412		
F3	388	413	387	414		
F4	390	415	389	416		
F5	392	417			391	418
F6	394	419			393	420
F7	396	421			395	422
F8	398	423			397	424

Nome	Alumínio		Difusão tipo N		Polisilício	
N1	832	851	831	852		
N2	834	853	833	854		
N3	836	855	835	856		
N4	838	857	837	858		
N5	840	859			839	860
N6	842	861			841	862
N7	844	863			843	864
N8	846	865			845	866

SIMPLE METHOD FOR THE DETERMINATION OF THE INTERFACE TRAP DENSITY AT 77 K IN FULLY DEPLETED ACCUMULATION MODE SOI MOSFETs

J. A. MARTINO†, E. SIMOEN, U. MAGNUSSON‡, A. L. P. ROTONDARO and C. CLAEYS
 IMEC, Kapeldreef 75, Leuven, B-3001, Belgium

(Received 21 September 1992)

Abstract—Si-SiO₂ interface trap densities have a dominant impact on the electrical performance of MOS devices and are playing a crucial role in the understanding of the underlying device physics. For bulk MOSFETs a large variety of techniques are applicable to determine the interface trap density. Most of them remain valid for low temperature device operation. For SOI MOSFETs however, transient effects have to be taken into account. This paper discusses a new and simple technique, based on the threshold voltage shift as a function of the operating temperature, to determine the interface trap density in fully depleted accumulation mode SOI devices operating at cryogenic temperature. The validity of the technique will be demonstrated for 77 K device operation.

1. INTRODUCTION

There exists a large variety of experimental methods to determine the density of interface traps N_{it} in bulk Si MOSFETs (for a recent overview see e.g. Ref. [1]), some of which are also applicable to Silicon-on-Insulator (SOI) transistors. For instance, the sub-threshold-slope method[2-4], the charge-pumping method[5-7], low-frequency noise measurements[8-11] and the static/dynamic transconductance method[12-13] have all successfully been applied to SOI devices. An accurate determination of N_{it} is of key importance both from a technological and from a more fundamental, device-physics viewpoint. However, in thin-film SOI devices, most of these methods have severe restrictions, due to the occurrence of e.g. transient effects, which are related to the slow generation of free carriers in the film[14,15] or at the interfaces[16]. Interpretation of the data becomes quite difficult due to the coupling (mutual influence) of the front and the back interface[2,3], and often special structures (e.g. a five terminal device with a body contact for the charge pumping technique[6]) are required to apply the above methods. These problems become even worse when the devices are operated at cryogenic temperatures[14,15,17,18]. Therefore, there is a need for a simple, reliable method for the determination of N_{it} .

Recently, interest has arisen in using accumulation-mode transistors in SOI CMOS, because of the simplicity of the process flow[19,21]. These devices have shown to operate satisfactorily at low temperatures down to 4.2 K[17,18] and are characterised by

the occurrence of different conduction modes[19]. It is therefore difficult to implement for example the subthreshold-slope method on these devices.

In this paper, a simple method is proposed for the determination of N_{it} in *p*-type accumulation-mode SOI transistors at low temperatures, with particular emphasis on 77 K operation. It is based on the accurate determination of the flat-band voltage V_{fb} which, at room temperature and at $T = 77$ K, is equal to the front threshold voltage V_{th} of the device, and which can be extracted by using a procedure described previously[17,18,22]. Extension and limitations of the method will also be briefly discussed.

2. EXPERIMENTAL DETERMINATION OF V_{fb}

The fully depleted (FD) accumulation-mode SOI *p*MOSFETs investigated in this work have an effective gate-length L_{eff} between 2.0 and 0.2 μm and a width W of 20 μm . The devices have been fabricated on SIMOX substrates, using a 0.5 μm CMOS SOI process flow. The thickness of the silicon film t_{si} , front gate oxide t_{oxf} and buried oxide t_{ob} are 100, 15 and 390 nm, respectively. The doping level of the film N_a after processing is approximately $6 \times 10^{16} \text{ cm}^{-3}$. The front gate threshold voltage V_{th} is extracted from the drain current I_{ds} vs front gate voltage V_{gf} characteristic in linear operation, which is measured with the source grounded, the drain voltage V_{ds} at -0.1 V and the back gate voltage V_{gb} at -30 V. A typical result at room temperature is shown in Fig. 1(a), also giving the behaviour of the transconductance g_m . The input curve shows clearly some "kinks", which can be identified with the onset of the different conduction modes. For that purpose, the procedure suggested by Terao *et al.*[22] is used, i.e. the second derivative of the I_{ds} - V_{gf} curve is calculated. In the resulting

†On leave from LSI, University of Sao Paulo, Brazil.

‡Presently at the Institute of Microelectronics, Kista, Sweden.

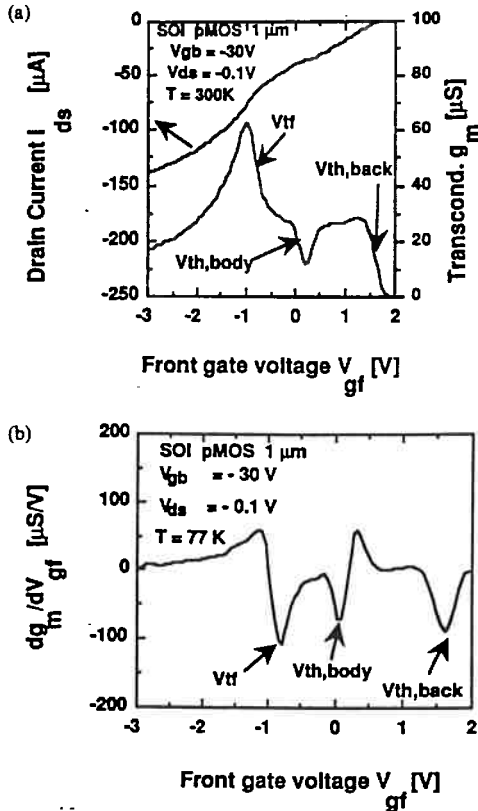


Fig. 1. Input characteristic of an accumulation-mode SOI pMOSFET with designed length $L = 1.2 \mu\text{m}$ ($L_{eff} \approx 1.0 \mu\text{m}$) at 300 K, corresponding with a drain voltage $V_{ds} = -0.1\text{ V}$ and a back-gate voltage $V_{gb} = -30\text{ V}$. (a) I_{ds} and g_m vs V_{gf} ; (b) $d g_m / d V_{gf}$ vs V_{gf} . The different conduction modes (thresholds) are indicated by an arrow in the figures. $V_{th,back}$ is the back-accumulation threshold voltage, $V_{th,body}$ is the body threshold and V_{th} is the front threshold voltage.

$d g_m / d V_{gf}$ curve [Fig. 1(b)] the different current components can be identified by the presence of negative peaks, whereby the peak position corresponds to the respective threshold voltage. From positive to negative V_{gf} values, respectively, one observes back-gate conduction (or accumulation), body conduction and front-gate conduction. The V_{th} then corresponds with the position of the leftmost peak [Fig. 1(b)]. This is an accurate way to determine the V_{th} for accumulation mode SOI pMOSFETs, and can be used from 300 K down to 4.2 K without any limitation [17,18]. Typical values for V_{th} are -0.84 V (300 K) and -1.11 V (77 K), as summarized in Table 1, and are nearly independent of L_{eff} [17,18].

One important problem in applying this method at cryogenic temperatures is the occurrence of transient phenomena [17,18], which are illustrated in Fig. 2, for 77 K operation. Even after a period of 24 h at 77 K, keeping the back-gate at -30 V bias, the steady-state is not completely reached. Only by applying background illumination, i.e. by generating

Table 1. Average experimental flat-band voltage and calculated $N_{it,eff}$, using eqns (9–10). In total 10 SOI pMOSFETs are considered for calculating the average value of the parameters

T (K)	300	77	Δ
V_{fb} (V)	-0.84	-1.11	0.27
$E_f/2q$ (V)	0.560	0.584	0.024
Φ_s (V)	0.394	0.545	0.151
Q_{it}/C_{ox} (V)	0	0.095	0.095
$N_{it,eff}$ ($\text{cm}^{-2} \cdot \text{eV}^{-1}$)	0	2.51×10^{11}	
Q_{it}/C_{ox} (V)	0.014	0.109	0.095
$N_{it,eff}$ ($\text{cm}^{-2} \cdot \text{eV}^{-1}$)	5×10^{10}	2.87×10^{11}	

electron-hole pairs in the Si film, the steady-state is reached fast, as will be explained elsewhere [23]. Fortunately, the position of V_{fb} is hardly affected by these transient phenomena, as can be seen in Fig. 2(b), so that V_{fb} can be determined accurately by this method. This is not the case for V_{th} , both and $V_{th,back}$, for which the procedure has to be modified as low temperatures [23]. As will be shown theoretically in the next section, the effective density of (front-) interface traps $N_{it,eff}$ at low temperature T can be easily calculated from the change in V_{fb} between room temperature and the corresponding low temperature value.

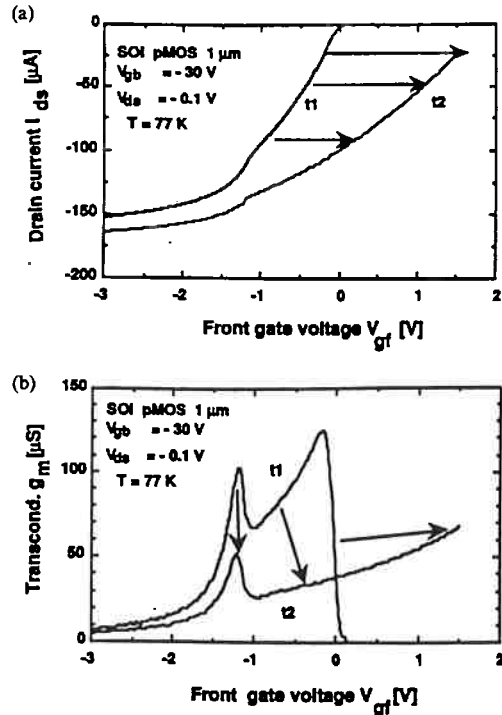


Fig. 2. Input characteristics of the same device as in Fig. 1, for $T = 77\text{ K}$ and at $t_1 =$ initial measurement and at $t_2 = t_1 + 24\text{ h}$. (a) I_{ds} vs V_{gf} ; (b) g_m vs V_{gf} . The arrows indicate the direction of the relaxation of the device. During the 24 h storage at 77 K in the dark, the back-gate was kept at -30 V (in accumulation).

3. CALCULATION OF N_a

The threshold (or flatband) voltage of an SOI accumulation-mode p MOSFET with the back-interface in accumulation is in its most general form given by:

$$V_{th} = V_{fb} = \phi_{ms} - \frac{Q_{oxf}}{C_{oxf}} - \frac{Q_{it}(\Phi_s = 0)}{C_{oxf}} \quad (1)$$

with $C_{oxf} = \epsilon_{ox} \epsilon_0 / t_{oxf}$ the front-oxide capacitance per unit of area (ϵ_{ox} the dielectric constant of SiO_2) and Q_{oxf} the field oxide charge density. A value of $4q \times 10^{10} \text{ C/cm}^2$ is assumed in the calculations[17-19], with q the elementary charge. ϕ_{ms} is defined by:

$$\phi_{ms} = -\frac{E_g}{2q} - \phi_f, \quad (2a)$$

with the Fermi potential ϕ_f given by[24]:

$$\phi_f = \frac{kT}{q} \ln \frac{2N_a}{n_i \left[1 + \sqrt{1 + \frac{4gN_a \exp\left(\frac{E_a - E_i}{kT}\right)}{n_i}} \right]} \quad (2b)$$

whereby:

$$\phi_f = (E_i - E_f)/q, \quad (2c)$$

n_i and E_i are the intrinsic carrier density and the intrinsic level; E_a the acceptor ionization energy (45 meV for B); g the degeneracy factor of the acceptor level, taken 4, and k the Boltzmann constant. Equation (2b) is valid in the whole temperature range considered, taking into account Fermi-Dirac statistics and carrier freeze-out[24] and the temperature dependence of the band-gap energy E_g and of the intrinsic level E_i . The latter is given by:

$$E_i(T) = \frac{E_g(T)}{2} - \frac{kT}{2} \ln \left[\frac{N_c(T)}{N_v(T)} \right]. \quad (3a)$$

N_c , N_v are the effective density of states in the conduction, respectively the valence band. In the temperature range down to 77 K, the temperature dependence of the bandgap can be modelled by using[25]:

$$E_g(T) = 1.17 \text{ eV} + 1.06 \cdot 10^{-5} \text{ eV} \left(\frac{T}{\text{K}} \right) - 6.05 \cdot 10^{-7} \text{ eV} \left(\frac{T}{\text{K}} \right)^2 \quad T < 170 \text{ K} \quad (3b)$$

$$E_g(T) = 1.1785 \text{ eV} + 9.025 \cdot 10^{-5} \text{ eV} \left(\frac{T}{\text{K}} \right) - 3.05 \cdot 10^{-7} \text{ eV} \left(\frac{T}{\text{K}} \right)^2 \quad T > 170 \text{ K}. \quad (3c)$$

Calculations of eqn (3) for respectively 300 and 77 K, point out that in this range the temperature depen-

dence of the intrinsic level is less than 5% (see Table 1) and thus can be disregarded.

The interface trap charge density Q_{it} in eqn (1) corresponds to:

$$Q_{it}(\Phi_s = 0) = q \int_{E_f}^{E_i} N_{it}(E) dE. \quad (4)$$

It is hereby assumed that the interface traps act as donors in the lower half and as acceptors in the upper half of the bandgap[26-28], as schematically represented in Fig. 3. Generally, N_{it} is not homogeneous across the band-gap. Although over a large (middle) part of the gap, the density is to a first approximation constant, a strong increase is observed near the band edges[26-28]. This increase is real and not an artefact of the used measuring techniques, as a similar bandgap distribution is found when different techniques are compared[1]. For thin film fully depleted SOI devices on SIMOX, Ionannou *et al.*[29] have determined the interface trap density distribution based on the dynamic transconductance technique and measured values of $2 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ at midgap, increasing to $1 \times 10^{11} \text{ cm}^{-2} \text{ V}^{-1}$ near the band edges. Quisse *et al.*[7] argue that the observed increase in interface trap density near the band edges depends on the measuring technique used. They also point out that the calculations should take into account the energy dependence of the capture cross sections. An effective density of interface traps can now be defined as follows:

$$N_{it\text{eff}} = \frac{\int_{E_f}^{E_i} N_{it}(E) dE}{E_i - E_f} = \frac{\int_{E_f}^{E_i} N_{it}(E) dE}{q\phi_f}, \quad (5)$$

and is to be considered as a kind of energy-average of the interface trap distribution, as schematically indicated in Fig. 3. This concept is very useful for the method proposed. Of course if N_{it} is constant over the Fermi energy (temperature) range considered, then $N_{it\text{eff}}$ is simply N_{it} .

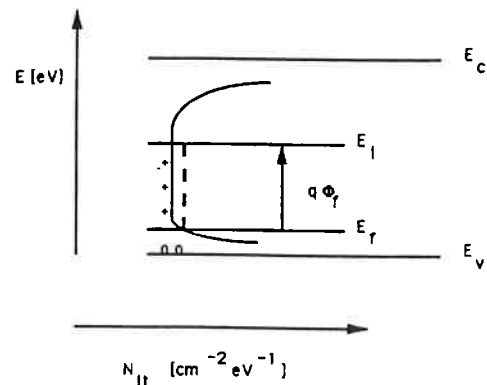


Fig. 3. Schematic representation and definition of the effective density of interface traps, introduced in the calculations.

Equation (1) is valid both at room temperature (T_1) and at low T ($T_2 < T_1$). The difference in V_{fb} is then simply:

$$\Delta V_{fb} = V_{fb1} - V_{fb2} = \frac{\Delta E_g}{2q} + \Delta \Phi_f + \frac{\Delta Q_{it}}{C_{oxf}} (> 0), \quad (6)$$

and thus contains a fundamental contribution (first term), only depending on T_1 and T_2 , a second term which is exactly known if the doping density is well determined, and a term which depends heavily on the density of interface traps and which can be considered as an empirical V_{fb} change. In writing eqn (6), it is tacitly assumed that the density of fixed oxide charge is independent of T .

Focussing on the last term of eqn (6), the flat band change due to the contribution of interface traps can be transformed to:

$$\Delta V_{fb}(Q_{it}) = \frac{\Delta Q_{it}}{C_{oxf}} = \frac{q}{C_{oxf}} \left[\int_{E_n}^{E_2} N_{it}(E) dE - \int_{E_n}^{E_1} N_{it}(E) dE \right], \quad (7)$$

or using definition (5):

$$\Delta V_{fb}(Q_{it}) = \frac{q^2 [N_{iteff}(T_2) \Phi_{f2} - N_{iteff}(T_1) \Phi_{f1}]}{C_{oxf}}. \quad (8)$$

Rearranging eqn (8), yields finally:

$$N_{iteff}(T_2) = N_{iteff}(T_1) \frac{\Phi_{f1}}{\Phi_{f2}} + \frac{C_{oxf}}{q^2 \Phi_{f2}} \Delta V_{fb}(Q_{it}), \quad (9)$$

whereby $\Delta V_{fb}(Q_{it})$ is determined from the experimental V_{fb} difference as follows:

$$\Delta V_{fb}(Q_{it}) = \Delta V_{fbexp} - \Delta V_{fbtheor}, \quad (10)$$

$\Delta V_{fbtheor}$ corresponds with the first two terms defined in eqn (6) and only depends on the temperature and the doping density. If $N_{iteff}(T_1) \ll N_{iteff}(T_2)$, then eqn (9) simplifies to:

$$N_{iteff}(T_2) \approx \frac{C_{oxf}}{q} \frac{\Delta V_{fb}(Q_{it})}{q \Phi_{f2}}. \quad (11)$$

This assumption is more justified the lower the temperature as the interface trap density is increasing with decreasing temperature[30,31]. In the next section, the application and the limitations of this method will be discussed and illustrated for 77 K. Extension to the case of an n -type accumulation-mode SOI transistor is quite straightforward and symmetrical, yielding the same result as eqns (9)–(11).

4. DISCUSSION

It is clear from inspection of eqns (9)–(11) that the method relies on a very accurate experimental determination of V_{fb} . Looking at the data of Table 1, a total V_{fb} difference of 0.27 V between room temperature and 77 K is observed, whereby the theoretical contribution is about two times larger than the interface-trap contribution (0.095 V). However, for

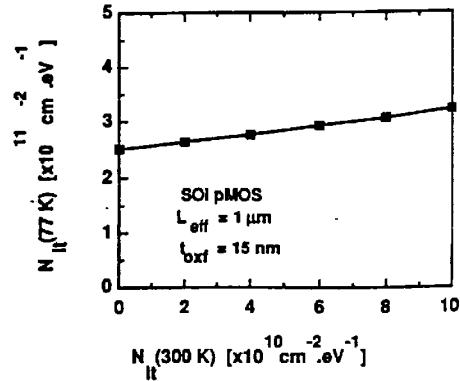


Fig. 4. The influence of the N_{iteff} at 300 K on the calculated N_{iteff} at 77 K, for a pMOSFET with an effective length of 1 μm ; $t_{oxf} = 15 \text{ nm}$ and $N_A = 6 \times 10^{16} \text{ cm}^{-3}$.

T_2 too close to T_1 , resulting in a small V_{fb} variation, the method will probably fail or become inaccurate, because of the measurement error. Similarly, for deep cryogenic temperatures ($T < 40 \text{ K}$) where the Fermi level hardly shifts with T , again it will become difficult to determine accurately $N_{iteff}(T)$.

The sensitivity to various technological parameters is illustrated in Figs 4–7, for 77 K operation. In Fig. 4, the N_{iteff} at 77 K is calculated as a function of the room temperature value. The range of values considered corresponds to typical literature data for SOI MOSFETs[8–11,13,29–31]. From low-frequency noise measurements at room temperature on similar devices as the ones studied here, typical N_{it} values of $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ have been obtained[32]. From Fig. 4, it is clear that the error in assuming a zero (or negligible) N_{iteff} at room temperature is $\pm 15\%$, i.e. the 77 K value changes from 2.51×10^{11} to $3.23 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$.

Changing the doping density with $\pm 2 \times 10^{16} \text{ cm}^{-3}$ yields a variation of N_{iteff} of about 10% (Fig. 5). The effect of t_{oxf} on the experimentally derived N_{iteff} is

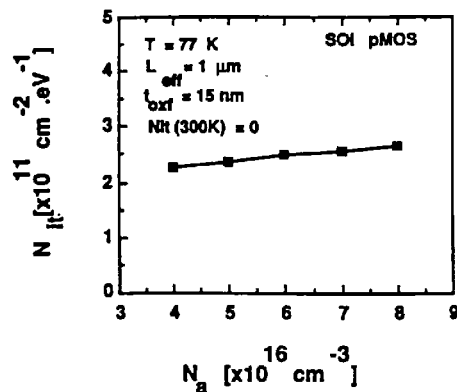


Fig. 5. Influence of the doping density N_A on the calculated N_{iteff} at 77 K, for a pMOSFET with $L_{eff} = 1 \mu\text{m}$; $t_{oxf} = 15 \text{ nm}$ and zero N_{iteff} (300 K) = 0.

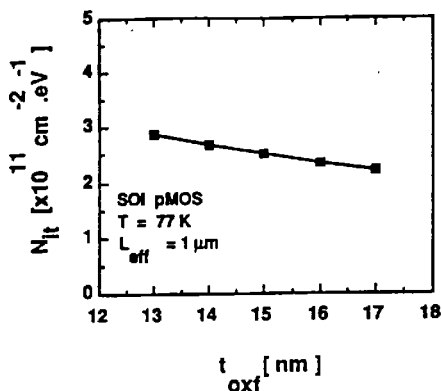


Fig. 6. Influence of the front-gate oxide thickness on the calculated N_{it} at 77 K, for a pMOSFET with $L_{\text{eff}} = 1 \mu\text{m}$ and $N_a = 6 \times 10^{16} \text{ cm}^{-3}$.

shown in Fig. 6. Also for this parameter, the impact on the interface trap density is rather small. Finally in Fig. 7, the 77 K N_{it} is calculated from the experimental ΔV_{fb} for devices with L_{eff} ranging from 0.2 to $2 \mu\text{m}$, assuming a small room temperature value. No dependence on L_{eff} can be observed, in agreement with the absence of short-channel effect in the V_{fb} of the SOI pMOSFETs studied [17,18]. Although for the interface trap density the same order of magnitude as for n-type SOI [30] and bulk [31] devices reported in the literature is found, it would of course merit some effort to derive N_{it} in an independent way experimentally. This is probably not an easy task. It should finally be noticed that the method proposed is not directly sensitive to variations in the Si film thickness, which are known to amount to 10% across a commercial SIMOX wafer.

A further extension of the technique would make it also feasible to determine the interface trap density of the back-interface. This requires a modification of the theory, in order to derive analytical expressions for taking into account the coupling between the

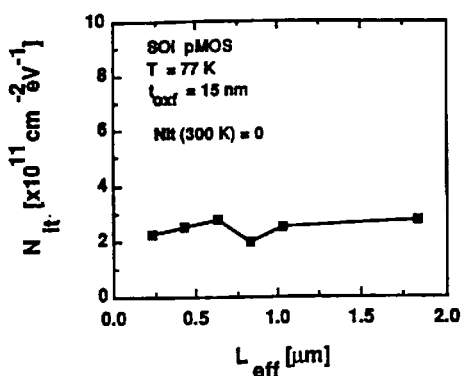


Fig. 7. N_{it} at 77 K derived for a set of accumulation-mode SOI pMOSFETs having an L_{eff} from 0.2 to $2 \mu\text{m}$, and $N_a = 6 \times 10^{16} \text{ cm}^{-3}$.

front- and back-interface, before an experimental validation can be performed.

5. CONCLUSION

In this paper a simple method for the determination of the interface trap density in accumulation-mode SOI MOSFETs at low temperature has been proposed and validated at 77 K for p-type devices. The values derived for N_{it} are in the order of $2\text{--}3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ and independent of the electrical device length for the transistors studied. The method is not very sensitive to variation/spread in the doping density, or in the gate-oxide thickness. The corresponding changes, which are in the order of 10–15% are well within the accuracy of the method. In principle, the method can be applied at any temperature, provided that the corresponding change in the flat-band voltage can be measured with sufficient accuracy.

Acknowledgements—A. L. P. Rotondaro would like to thank the CNPq (Conselho Nacional de Desenvolvimento Científico e Tecnológico do Brazil) for the financial support with his fellowship.

REFERENCES

- S. C. Witzczak, J. S. Suehle and M. Gaitan, *Solid-St. Electron.* **35**, 345 (1992).
- F. Balestra, M. Benachir, J. Brini and G. Ghibaudo, *IEEE Trans. Electron Devices* **37**, 2303 (1990).
- D. J. Wouters, J.-P. Colinge and H. E. Maes, *IEEE Trans. Electron Devices* **37**, 2022 (1990).
- D. C. Mayer, R. C. Cole and G. P. Pollack, *Tech. Dig. IEDM*, p. 329 (1991).
- N. Sasaki, *IEEE Trans. Electron Devices* **28**, 48 (1981).
- D. J. Wouters, M. R. Tack, G. V. Groeseneken, C. L. Claeys and H. E. Maes, *IEEE Trans. Electron Devices* **36**, 1746 (1989).
- T. Quisse, S. Cristoloveanu, T. Elewa, H. Haddara, G. Borel and D. Ioannou, *IEEE Trans. Electron Devices* **38**, 1432 (1991).
- T. Elewa, B. Boukriss, H. S. Haddara, A. Chovet and S. Cristoloveanu, *IEEE Trans. Electron Devices* **38**, 323 (1991).
- J. Chen, A. Lee, P. Fang, R. Solomon, T. Chan, P. Ko and C. Hu, in *Proc. of 1991 IEEE Int. SOI Conf.*, p. 100 (1991).
- E. Simoen, U. Magnusson and C. Claeys, *Appl. Surf. Sci.* **63**, 285 (1993).
- E. Simoen, U. Magnusson and C. Claeys, *IEEE Trans. Electron Devices*. Submitted.
- H. Haddara, T. Elewa and S. Cristoloveanu, *IEEE Electron Device Lett.* **9**, 35 (1988).
- P. C. Yang, H. S. Chen and S. S. Li, *Solid-St. Electron.* **35**, 1031 (1992).
- J. Wang, N. Kistler, J. Woo and C. R. Viswanathan, *IEEE Electron Device Lett.* **12**, 300 (1991).
- E. Simoen and C. Claeys, in *Proc. Fifth Int. Symp. on Silicon-on-Insulator Technology and Devices* (Edited by W. E. Bailey), The Electrochem. Soc. Softbound Series, Vol. 92–13, p. 91 (1992).
- F. Assaderaghi, J. Chen, R. Solomon, T.-Y. Chan, P. K. Ko and C. Hu, *IEEE Electron Device Lett.* **12**, 518 (1991).

17. A. L. P. Rotondaro, U. Magnusson, C. Claeys, D. Fandre, A. Terao and J. P. Colinge, *IEEE Trans. Electron Devices*. To be published.
18. A. L. P. Rotondaro, U. Magnusson, E. Simoen, C. Claeys and J.-P. Colinge, *Microelectron. Engng* **19**, 857 (1992).
19. J.-P. Colinge, *IEEE Trans. Electron Devices* **37**, 718 (1990).
20. F. Balestra, J. Brini and G. Ghibaudo, *Solid-St. Electron.* **34**, 1361 (1991).
21. L. K. Wang, J. Seliskar, T. Bucelot, A. Edenfeld and N. Haddad, in *Tech. Dig. IEDM*, p. 679 (1991).
22. A. Terao, D. Flandre, E. Lora-Tamayo and F. Van de Wiele, *IEEE Electron Devices Lett.* **12**, 682 (1991).
23. J. A. Martino, A. L. P. Rotondaro, U. Magnusson, E. Simoen and C. Claeys. To be published.
24. L. Deferm, E. Simoen and C. Claeys, *IEEE Trans. Electron Devices* **38**, 1459 (1991).
25. S. Selberherr, *IEEE Trans. Electron Devices* **36**, 1464 (1989).
26. E. Nicollian and A. Goetzberger, *Bell Syst. Tech. J.* **46**, 1055 (1967).
27. E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*. Wiley, New York (1982).
28. C. Svensson, in *The Si-SiO₂ System* (Edited by P. Balk), Mater. Sci. Monogr. 32. Elsevier, Amsterdam (1988).
29. D. E. Ioannou, X. Zhong, B. Mazhari, G. Campisi and H. L. Hughes, *IEEE Electron Device Lett.* **12**, 430 (1991).
30. T. Elewa, F. Balestra, S. Cristoloveanu, I. M. Hafez, J.-P. Colinge, A.-J. Auberton Herve and J. R. Davis, *IEEE Trans. Electron Devices* **37**, 1007 (1990).
31. I. M. Hafez, G. Ghibaudo and F. Balestra, *J. appl. Phys.* **67**, 1950 (1990).
32. E. Simoen, A. P. L. Rotondaro, J.-P. Colinge and C. Claeys. To be published.



Pergamon

0038-1101(94)00284-3

Solid-State Electronics Vol. 38, No. 10, pp. 1799-1803, 1995
Copyright © 1995 Elsevier Science Ltd
Printed in Great Britain. All rights reserved
0038-1101/95 \$9.50 + 0.00

A NEW METHOD FOR DETERMINING THE FRONT AND BACK INTERFACE TRAP DENSITIES OF ACCUMULATION MODE SOI MOSFETS AT 77 K

J. A. MARTINO†, E. SIMOEN and C. CLAEYS
IMEC, Kapeldreef 75, Leuven, Belgium, B-3001

(Received 7 September 1994; in revised form 24 November 1994)

Abstract—This paper discusses a simple, straightforward method to determine the effective density of interface traps at both interfaces for an accumulation mode (AM) SOI MOSFET, operated at cryogenic temperatures. The method combines the difference in flat-band (threshold) voltage upon cooling and the low-temperature minimum subthreshold swing of the front channel, obtained with the back interface in depletion. The technique is illustrated for AM SOI *p*-MOSFETs fabricated in a 0.5 μm CMOS technology operating at 77 K.

1. INTRODUCTION

Thin-film fully depleted (FD) silicon-on-insulator (SOI) MOSFETs show a superior subthreshold swing S , compared with bulk, or partially depleted (PD) devices[1–3]. This renders them attractive, e.g. for digital switching applications. One practical drawback, however, is that there no longer exists a simple relationship between S and the effective density of interface traps $N_{it,eff}$. Consequently, the popular subthreshold-swing method, which is often used for a fast assessment of $N_{it,eff}$ is no longer straightforward applicable. Theoretical analysis demonstrates that for thin-film devices, $N_{it,eff}$ depends in a rather complex way on S , while the latter parameter, due to front-back coupling, is determined both by the front and by the back interface properties[4–6]. The latter quantity can be of concern in thin-film devices, due to the lower quality of the back interface, which is usually observed. For specific cases, the analysis can be simplified considerably, leading to fast, manageable methods for N_{it} extraction for both interfaces in FD MOSFETs[5].

The situation is even more complex for so-called accumulation mode (AM) thin-film devices, where in linear operation, different conduction modes may be active, both at room temperature[7] and at cryogenic temperatures[8,9]. Therefore, the definition and extraction of S , useful for N_{it} extraction, has to be done rigorously, as demonstrated recently[10]. Using the procedure described by Colinge *et al.*[10], it is possible to determine the relationship between the subthreshold swing and the front and back interface trap density at room temperature. However, as the use of

SOI technologies at cryogenic temperatures has a strong potential[11], it becomes also important to develop parameter extraction techniques for devices operated at low temperatures.

This paper therefore elaborates on the use of this relationship for AM SOI MOSFETs to develop a method for N_{it} calculations for low temperature device operation. It combines a previously reported technique to determine N_{it} (for the front interface)[12], with the front subthreshold swing method. In a first part, the theoretical basis of the technique is discussed. Secondly, it is applied to AM SOI *p*-MOSFETs, operated at 77 K, whereby some critical comments are given with respect of S -extraction at cryogenic temperatures. Finally, the sensitivity of the results to various technological parameters is discussed.

2. PARAMETER EXTRACTION METHOD

In the remainder of the text, the effective density of interface traps will be abbreviated by N_{it} . However, it should be kept in mind that the values extracted from the rather simple subthreshold swing method proposed here are to be considered as a kind of average densities, corresponding with some average surface potential. These data are useful for device and circuit simulations. Nevertheless, the method can in principle be extended to derive the distribution of N_{it} , as a function of the front or the back surface potential, in a similar way as the dual-slope method, which has been proposed for enhancement mode SOI MOSFETs[5].

The front interface trap density at cryogenic temperature T , $N_{it}(T)$, of an accumulation mode SOI *p*-MOSFET is obtained using the Dual threshold

†Permanent address: LSI/PEE/USP, Sao Paulo, Brazil.

Voltage Measurements (DVtM) method reported previously[12]. This method is based on the extraction of the front threshold voltage V_{if} (which is equal to the flat-band voltage V_{fb} in accumulation mode SOI transistors) at 300 K [$V_{fb}(300\text{ K})$] and at a temperature T [$V_{fb}(T)$], with the back interface kept in accumulation. As shown previously, for a reliable V_{if} extraction, it is necessary to use the so-called double-derivative method, whereby the threshold voltage is defined as the peak position in the second derivative of the drain current in linear operation, with respect of the front gate bias V_{gf} [13]. As demonstrated recently, this technique is insensitive to transient, or non-equilibrium effects, which occur typically for cryogenic operation[9].

Using the two flat-band voltages, $N_{if}(T)$ can be calculated as follows[12]:

$$N_{if}(T) = N_{if}(300\text{ K}) \frac{\Phi_f(300\text{ K})}{\Phi_f(T)} + \frac{C_{oxf}}{q^2 \Phi_f(T)} [\Delta V_{fbexp} - \Delta V_{fbtheor}], \quad (1)$$

whereby $\Delta V_{fbexp} = V_{fb}(300\text{ K}) - V_{fb}(T)$ is the experimental flat-band voltage difference, while $\Delta V_{fbtheor}$ is the theoretical difference, which is calculated taking into account the dependence of the Si band-gap and of other temperature variables described in the literature[14]. $\Phi_f(300\text{ K})$ and $\Phi_f(T)$ are the Fermi levels at 300 K and low T , respectively; $C_{oxf} = \epsilon_{ox}/t_{oxf}$ where t_{oxf} is the gate oxide thickness. From eqn (1) follows that the difference between the experimental and theoretical ΔV_{fb} is solely attributed to the interface trap charge density (Q_{it}) increase, which is believed to occur upon cooling the device[12]. Equation (1) can be further simplified if the room temperature interface trap density is negligible compared with the low temperature value.

The back interface trap density at T , $N_{ib}(T)$, of the same AM transistor can be obtained from the subthreshold swing measurements with the back interface in depletion, in a similar way as at room temperature[10]. In general, S depends, in a complex way, on N_{if} and N_{ib} . However, for some operating conditions, a simplified expression can be found. This is the case when the absolute subthreshold swing is minimum, yielding an expression of the form[10]:

$$S_{min} = \frac{kT}{q} \ln(10) \left[\left(1 + \frac{C_{if}}{C_{oxf}} + \frac{C_{si}}{C_{oxf}} \right) - \frac{\frac{C_{si}}{C_{oxb}} \frac{C_{si}}{C_{oxf}}}{1 + \frac{C_{ib}}{C_{oxb}} + \frac{C_{si}}{C_{oxb}}} \right], \quad (2)$$

where $C_{if} = q^2 \cdot N_{if}$ —the front interface trap capacitance; $C_{ib} = q^2 \cdot N_{ib}$ —the back interface trap capacitance; $C_{si} = \epsilon_{si}/t_{si}$ —the film capacitance,

with t_{si} the thickness of the silicon film; and $C_{oxb} = \epsilon_{ox}/t_{oxb}$, with t_{oxb} the buried oxide thickness.

From eqn (2), it is clear that once $N_{if}(T)$ has been derived from the DVtM method and S_{min} is measured accurately, $N_{ib}(T)$ is obtained straightforward from rearranging eqn (2). It is hereby tacitly assumed that the subthreshold swing model derived for AM SOI p -MOSFETs at room temperature still holds at cryogenic temperatures. This combined method to determine $N_{if}(T)$ and $N_{ib}(T)$ of an AM SOI MOSFET will be abbreviated in the remainder of the text as the SDVtM (one Swing and Dual threshold Voltage Measurements) method.

3. EXPERIMENTAL VALIDATION

The fully depleted accumulation mode SOI p -MOSFETs investigated in this work have been fabricated in a $0.5\text{ }\mu\text{m}$ SOI CMOS process flow, using SIMOX substrates. The thickness of silicon film t_{si} , front gate oxide t_{oxf} , and back gate oxide t_{oxb} are 100, 15 and 390 nm, respectively. The doping level of the film N_s after processing is approx. $6 \times 10^{16}\text{ cm}^{-3}$. The front gate threshold voltage V_{if} ($=V_{fb}$) is extracted from the position of the leftmost peak of the second derivative of drain current I_{ds} in function of front gate voltage V_{gf} as suggested by Terao *et al.*[13]. To maintain the back interface in accumulation, a back gate voltage $V_{gb} = -30\text{ V}$ was used. The drain voltage V_{ds} is -0.1 V and the source was used as voltage reference. To get sufficiently accurate values for V_{if} the linear input characteristic is measured with a V_{gf} step of 0.01 V . This extraction method was applied at 300 K and at $T = 77\text{ K}$. For liquid nitrogen measurements, the devices are immersed in the liquid. The system leakage at 77 K is therefore rather high (in the range 100 pA). Devices with different lengths, L , and a width, $W = 20\text{ }\mu\text{m}$, have been investigated.

To accurately measure the subthreshold swing at 77 K an $I_{ds} - V_{gf}$ curve was registered with a V_{gf} step of 0.005 V . The experimental subthreshold swing S is derived here as the inverse of the swing of the $I_{ds} = 10^{-10} \times W/L$ (A) to $10^{-8} \times W/L$ (A). Then the swing can be calculated as:

$$S = \frac{V_{gf}(I_{ds} = 10^{-8} \times W/L) - V_{gf}(I_{ds} = 10^{-10} \times W/L)}{2}. \quad (3)$$

The experimental S changes generally in function of V_{gb} , whereby a minimum occurs for some range. It should be remarked, that eqn (3) is a definition used to determine the swing and is valid for any operating temperature. Figure 1 illustrates the concept by showing for the transistor used the V_{gb} necessary to obtain the minimum swing S_{min} at 300 K. In this example $S_{min} = 65.6\text{ mV/dec}$, for $V_{gb} = 8\text{ V}$.

All the measurements have been done with a HP4145B Parameter Analyser set on log time measurements (where each point is the average of 256 measurements).

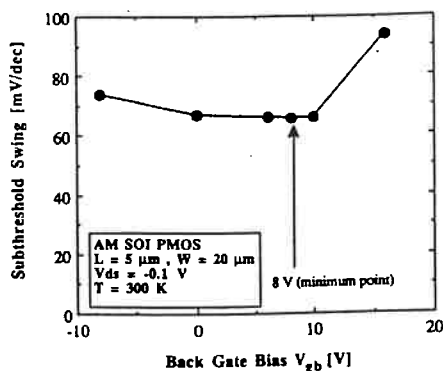


Fig. 1. Back-gate bias dependence of the subthreshold swing for a $L = 5 \mu\text{m}$ AM SOI p MOSFET, at 300 K. $V_{ds} = -0.1 \text{ V}$.

Table 1 shows the results obtained for different accumulation mode SOI p MOSFETs applying the SDVtM method. The calculations were performed neglecting $N_{it}(300 \text{ K})$. From the sensitivity analysis reported earlier, it is expected that this will not introduce a large error in the extracted $N_{it}(77 \text{ K})$ for not too large $N_{it}(300 \text{ K})$ [12]. Furthermore, low-frequency noise measurements at room temperature on similar devices as the ones studied here, indicate typical values for the density of near-interface oxide traps which are lower than $2 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$. If $N_{it}(300 \text{ K}) = 2 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$, the error on $N_{it}(77 \text{ K})$ is around 6% and on $N_{it}(77 \text{ K})$ is around 12% (see the Discussion section).

From Table 2, a roughly three to four times larger N_{it} at 77 K is observed compared with N_{it} , for all the device lengths studied. This clearly indicates the inferior quality of the back interface, which has also been demonstrated in other reports as well[5,15]. Compared to room temperature operation, N_{it} increases typically by a factor of about five upon cooling to 77 K. As shown in Table 2, there is no clear impact of the device length on this ratio. The increase of the interface trap density upon cooling is related to the well-known increase of $N_{it}(E)$ near the band edges. By lowering the temperature the Fermi level approaches the band edge resulting in the observed enhancement. It should finally be noted that for $L < 0.8 \mu\text{m}$ short-channel effects start to influence the measurement of S , for the devices studied.

Table 1. $N_{it}(77 \text{ K})$ and $N_{it}(300 \text{ K})$ obtained by the SDVtM method for different AM SOI MOSFETs. The accuracy is about 10–15%

Devices (μm)	$V_b(300 \text{ K})$ (V)	$V_b(77 \text{ K})$ (V)	S min (mV/dec)	$N_{it}(77 \text{ K})$ ($\text{eV}^{-1} \text{cm}^{-2}$)	$N_{it}(300 \text{ K})$ ($\text{eV}^{-1} \text{cm}^{-2}$)
$L = 5$	-0.83	-1.13	22.5	3.3×10^{11}	8.0×10^{11}
$L = 2$	-0.83	-1.11	22.1	2.8×10^{11}	8.9×10^{11}
$L = 1$	-0.84	-1.13	22.5	3.1×10^{11}	9.8×10^{11}
$L = 0.8$	-0.84	-1.12	22.8	2.8×10^{11}	1.6×10^{12}
$L = 5$	-0.86	-1.13	22.3	2.5×10^{11}	1.3×10^{12}
$L = 2$	-0.85	-1.12	22.3	2.5×10^{11}	1.3×10^{12}
$L = 0.8$	-0.89	-1.17	22.4	2.8×10^{11}	1.1×10^{12}

Table 2. $N_{it}(300 \text{ K})$ obtained by the swing eqn (10)–(2), considering $N_{it}(300 \text{ K}) = 0$, and ratio $N_{it}(77 \text{ K})$ to $N_{it}(300 \text{ K})$

Devices (μm)	S_{min} (mV/dec)	$N_{it}(300 \text{ K})$ ($\text{eV}^{-1} \text{cm}^{-2}$)	$N_{it}(77 \text{ K})/N_{it}(300 \text{ K})$
$L = 5$	66.1	1.5×10^{11}	5.35
$L = 2$	66.0	1.4×10^{11}	6.21
$L = 1$	66.5	1.7×10^{11}	5.87
$L = 0.8$	69.5	3.4×10^{11}	4.67

4. DISCUSSION

Before discussing the accuracy of the proposed method, it is worthwhile to elaborate on the measurement of S in thin-film SOI devices. It appears that the measured value of S is a function of the number of measurement points per decade, or on the V_{gf} step used. Figure 2 illustrates this feature for $T = 77 \text{ K}$, although similar effects are observed at room temperature. In this figure it can be seen that the V_{gf} step has to be lower than 0.005 V for this example, to obtain a stable swing value according to the definition described in the experimental section. To generalise this idea, Fig. 2 shows also the number of points per decade in each case. The conclusion is that 4 points/decade is the minimum value required to obtain a stable value at 77 K. However, using more data points increases considerably the noise and the duration of the measurement, so that this is at the same time the optimal number of points. This condition can be relaxed at room temperature, where a step of 0.01 V is adequate for stable S extraction. In that case the minimum value is around 60 mV/dec, and the number of points/decade is six. Similar observations hold in fact for the S extraction in enhancement mode SOI MOSFETs, both at room temperature and at 77 K, using the procedure described above[16].

The sensitivity of the technique to various technological parameters is illustrated in Figs 3–6, for 77 K operation. The influence of the doping density value N_a on $N_{it}(77 \text{ K})$ and $N_{it}(300 \text{ K})$ is shown in Fig. 3. A variation of $\pm 2 \times 10^{16} \text{ cm}^{-3}$ yields a change in the extracted $N_{it}(77 \text{ K})$ around 10% and in the $N_{it}(300 \text{ K})$ around 25%. The latter parameter is thus

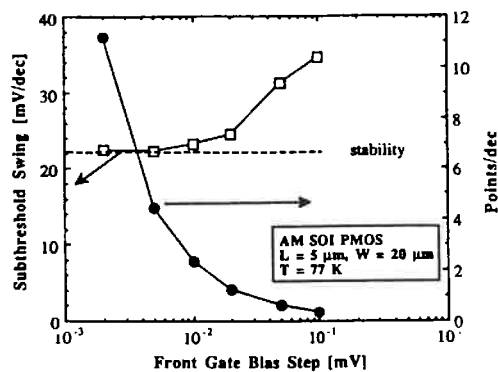


Fig. 2. Subthreshold swing at 77 K, for a $L = 5 \mu\text{m}$ AM SOI p MOSFET, as a function of the measurement step and corresponding number of measurement points/decade.

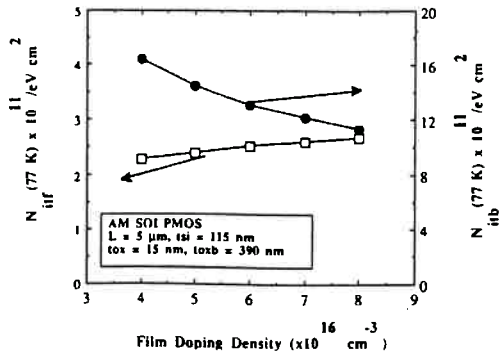


Fig. 3. Calculated variation of the front and the back interface state density at 77 K, as a function of the film doping density N_s .

more sensitive to errors/fluctuations in the film doping density. The same conclusion applies for the influence of t_{oxf} on interface trap densities determination (Fig. 4). If the t_{oxf} changes $\pm 1 \text{ nm}$, the variation in the $N_{itf} (77 \text{ K})$ is around 7% and in the $N_{ibt} (77 \text{ K})$ is around 32%. On the other hand, there is negligible effect of a variation of the buried oxide thickness t_{oxb} on both interface trap densities (Fig. 5). Figure 6 shows that the film thickness t_{si} marginally affects the $N_{itf} (77 \text{ K})$ according to the model, but changes by about 28% the $N_{ibt} (77 \text{ K})$ for a 10% change of t_{si} . Such a sensitivity analysis is important as it gives an indication of the impact of an uncertainty on the exact value of a technological parameter on the accuracy of the determination of the interface trap density. The uncertainty can be due to the applied evaluation technique or can be an artefact of the non-uniform distribution of the parameter across the wafer. It must be remarked that this sensitivity analysis is based on the theoretical model. In addition one has to take into account that the experimental accuracy of the determination of the interface trap density, as e.g. given in Table 1, is of the order of 10 to 15%.

A final remark which should be made is that a key assumption for the validity of the technique is that

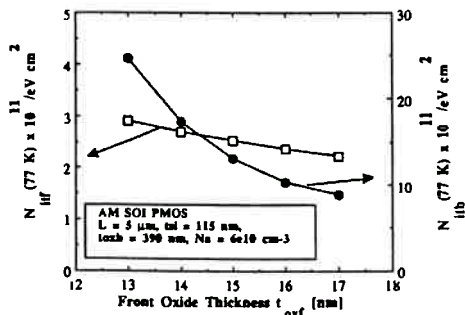


Fig. 4. Calculated variation of the front and the back interface state density at 77 K, as a function of the front oxide thickness t_{oxf} .

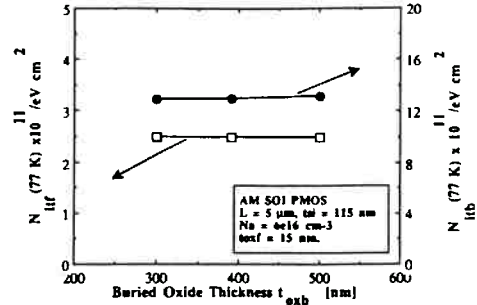


Fig. 5. Calculated variation of the front and back interface state density at 77 K, as a function of the buried oxide thickness t_{oxb} .

eqn (2) is applicable at cryogenic temperatures. In other words, it is assumed that the device has reached steady state after application of the bias on both gates so that a steady subthreshold swing is obtained. It is well-established now that the subthreshold characteristic of thin-film devices suffers from transient phenomena, both at room temperature[17] and at low temperatures[9,18]. One should thus make sure that the measured S indeed corresponds to the steady state value, when applying the proposed method.

5. CONCLUSION

The proposed method enables in a fairly simple way to assess the interface-state density at both interfaces for AM low-temperature operated SOI MOSFETs. It only requires the determination of the flat-band voltage at room temperature and at the temperature of consideration, with the back-gate accumulated and the low-temperature minimum subthreshold swing, with the back-gate depleted. However, upon determining S , one has to make sure that the device is in steady-state operation and at the same time, that the resolution of the measurement is high enough to ensure the extraction of a reliable S -value.

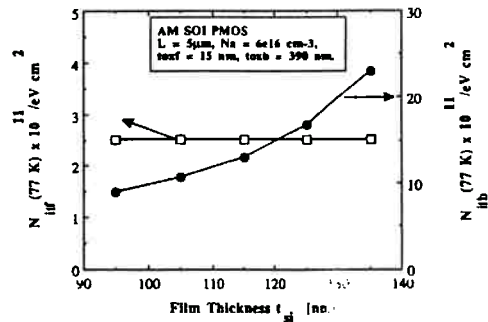


Fig. 6. Calculated variation of the front and the back interface state density at 77 K, as a function of the silicon film thickness t_{si} .

REFERENCES

1. J. P. Colinge, *IEEE Electron Device Lett.* EDL-7, 244 (1986).
2. K. K. Young, *IEEE Trans. Electron Devices* ED-36, 504 (1989).
3. D. C. Mayer, *IEEE Trans. Electron Devices* ED-37, 1280 (1990).
4. F. Balestra, M. Benachir, J. Brini and G. Ghibaudo, *IEEE Trans. Electron Devices* ED-37, 2303 (1990).
5. D. C. Mayer, R. C. Cole and G. P. Pollack, *Tech. Dig. IEDM*, p. 329 (1991).
6. D. J. Wouters, J. P. Colinge and H. E. Maes, *IEEE Trans. Electron Devices* ED-37, 2022 (1990).
7. J. P. Colinge, *IEEE Trans. Electron Devices* ED-37, 718 (1990).
8. A. L. P. Rotondaro, U. Magnusson, J. P. Colinge and C. Claeys, *IEEE Trans. Electron Devices* ED-40, 727 (1993).
9. J. A. Martino, A. L. P. Rotondaro, E. Simoen, U. Magnusson and C. Claeys, *IEEE Trans. Electron Devices* ED-41, 519 (1994).
10. J. P. Colinge, D. Flandre and F. Van de Wiele, *Solid-St. Electron.* 37, 289 (1994).
11. C. Claeys and E. Simoen, *J. Electrochem. Soc.* 141, 2522 (1994).
12. J. A. Martino, E. Simoen, U. Magnusson, A. L. P. Rotondaro and C. Claeys, *Solid-St. Electron.* 36, 827 (1993).
13. A. Terao, D. Flandre, E. Lora-Tamayo and F. Van de Wiele, *IEEE Electron Device Lett.* EDL-12, 682 (1991).
14. S. Selberherr, *IEEE Trans. Electron Devices* ED-36, 1464 (1989).
15. D. J. Wouters, M. R. Tack, G. V. Groeseneken, C. L. Claeys and H. E. Maes, *IEEE Trans. Electron Devices* ED-36, 1746 (1989).
16. J. A. Martino, E. Simoen and C. Claeys, unpublished results.
17. F. Assaderaghi, J. Chen, R. Solomon, T. -Y. Chan, P. K. Ko and C. Hu, *IEEE Electron Device Lett.* EDL-12, 518 (1991).
18. J. B. Kuo and J. H. Sim, *Electron Lett.* 28, 1983 (1992).

Transient Effects in Accumulation Mode p -Channel SOI MOSFET's Operating at 77 K

J. A. Martino, A. L. P. Rotondaro, E. Simoen, U. Magnusson, *Member, IEEE*, and C. Claeys

This paper critically examines the conduction mechanisms in accumulation mode p -channel SOI MOSFET's operating at cryogenic temperatures. In particular, attention is given to the body current component, which in most cases is experimentally not observed at 77 K or 4.2 K. As will be demonstrated, both the body current and the back accumulation current show pronounced transient effects at low temperatures, which are related to the slow generation/recombination of minority carriers. This is caused by deep depletion from the front interface, which suppresses these current components. By the application of either a light pulse or a large drain voltage V_{ds} , minority carriers are generated nearly instantaneously in the body region, rendering the body and the back accumulation components clearly visible.

I. INTRODUCTION

THE cryogenic operation of silicon devices is a challenging field where several typical low-temperature features must be taken into account when analyzing the behavior of the devices [1], [2]. In particular, the occurrence of carrier freeze-out and the slow generation of carriers should be considered when modeling the low-temperature MOSFET operation [1]–[3]. Silicon-on-insulator (SOI) MOSFET's with their inherent double Si-SiO₂ interface structure present an additional degree of complexity, giving rise to back-gate related transient and memory effects at both room [4], [5] and cryogenic temperatures [6]–[8].

Recently, interest has merged in implementing accumulation mode SOI transistors in CMOS technologies, because of their ease of fabrication [9]–[13]. Such an accumulation mode device, consisting out of a p^+-p-p^+ structure with a n^+ -polysilicon gate, is schematically shown in Fig. 1. For a negative gate voltage, the active area underneath the gate becomes accumulated of charge carriers. It has been demonstrated both theoretically [9], [10] and experimentally [5] that at room temperature, three different conduction modes can be distinguished, as shown in Fig. 2. From right to left (or from positive front gate voltage V_{gf} to negative V_{gf}) one can distinguish the back-accumulation mode, i.e., with a back gate channel, the body (or film) current component and the front accumulation mode. The different modes can be identified by their respective threshold voltages ($V_{th,acc2}$, $V_{th,body}$ and

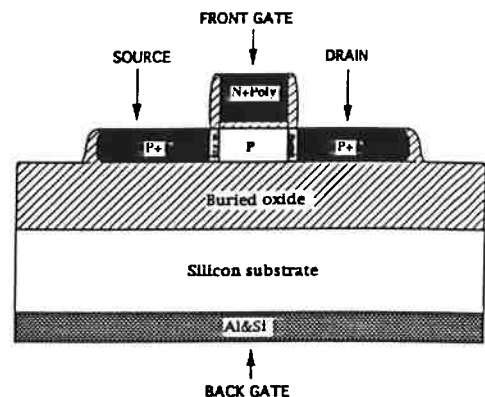


Fig. 1. Schematic illustration of an accumulation mode SOI transistor.

$V_{th,acc1}$), using the V_{th} extraction method described previously [14]. However, when operated at low temperatures, e.g., 77 K or 4.2 K, some of the current components can not be distinguished, as indicated in Fig. 2, where no body current is observed.

Therefore, this paper investigates the conduction mechanisms of accumulation mode SOI p MOSFET's operating at 77 K. The physical origin of the absent body current component and of the long-term drain current (I_d) transients is studied in detail and evidence is given that this is most likely due to a deep-depletion effect from the front side, removing all free holes from the body region.

II. EXPERIMENTAL

The devices have been fabricated in a 0.5 μ m CMOS technology, using SIMOX substrates with 115 nm thick silicon films. The effective channel length L_{eff} varies between 1.83 μ m to 0.23 μ m. The front gate oxide thickness t_{fox} is 15 nm, and the buried oxide thickness t_{box} is 390 nm. The Si film doping density N_a is approximately 6×10^{16} cm⁻³. All measurements were performed with a HP4145B parameter analyzer. The source is used as reference and the drain voltage V_{ds} is kept at -0.1 V. The threshold voltages are obtained by the method described in [5], [14], whereby the second derivative of the I_d - V_{gf} curve in linear operation is calculated, giving rise to distinct negative peaks, defining the respective V_{th} 's. The devices have also been analyzed when operating immersed into a Dewar tank containing liquid nitrogen.

Manuscript received February 5, 1993; revised July 8, 1993. The review of this paper was arranged by Associate Editor B. Ricco. A. L. P. Rotondaro's work was supported in part by the CNPq (Conselho Nacional de Desenvolvimento Científico e Tecnológico), Brazil.

A. L. P. Rotondaro, E. Simoen, and C. Claeys are with IMEC, Kapeldreef 75, B-3001 Leuven, Belgium.

J. A. Martino is with LSI, University of Sao Paulo, Brazil.

U. Magnusson is with the Institute of Microelectronics, Kista, Sweden.

IEEE Log Number 9215817.

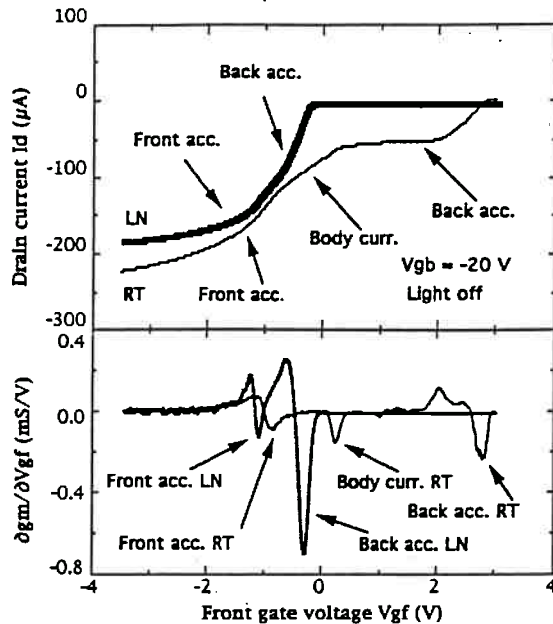


Fig. 2. Drain current as a function of the front gate voltage for a $0.23 \times 20.0 \mu\text{m}$ SOI pMOSFET operating at (—) room and (---) liquid nitrogen temperature with light off and a back gate voltage of -20 V .

III. RESULTS

As already mentioned, at 77 K the body component is apparently suppressed, while the other two components may still be observed (Fig. 2). This is more clearly visible in the lower part of Fig. 3, showing the corresponding $d g_m / d V_{g f}$ peaks, with g_m the device transconductance $d I_d / d V_{g f}$. The $I_d - V_{g f}$ curves are generally recorded by switching the drain voltage $V_{d s}$ and the back gate voltage $V_{g b}$ to their respective values and by stepping the front gate voltage from positive to negative values. As already reported before [5], this measurement procedure reveals that already at room temperature a transient effect at the back gate is observed. In this case, typical transient times are in the order of a few seconds. At 77 K and for standard measurement conditions, however, no hysteresis is revealed when performing the measurements either from positive to negative or from negative to positive $V_{g f}$. However a long term transient effect is noticed, as illustrated in Fig. 3. The two curves in each plot have been recorded with a time interval of 24 h. Curve t_1 corresponds with the initial measurement, recorded just after cooling down the device. In between the two measurements, the device was stored in the dark at 77 K , with a constant $V_{g b} = -30 \text{ V}$. As can be noticed, the back accumulation component undergoes a pronounced transient effect at 77 K , whereby steady state is reached after a long period of time. This effect is even more pronounced at 4.2 K [15]. However, with respect to the front accumulation component, little changes in the peak position, i.e., in the threshold voltage are observed (Fig. 3) [15]. For this mode of conduction, the room temperature $V_{t h}$ extraction procedure is still applicable at 77 K or 4.2 K . As explained in a previous

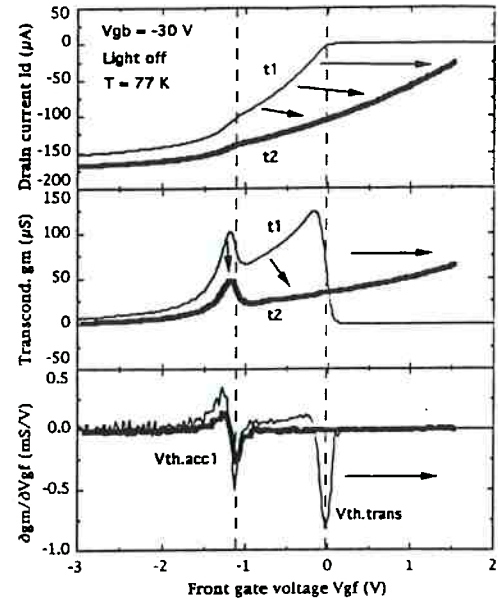


Fig. 3. Drain current, transconductance and the derivative of the transconductance plots as a function of the front gate voltage for a $1.03 \times 20.0 \mu\text{m}$ SOI pMOSFET operating at $T = 77 \text{ K}$ with a back gate voltage of -30 V . Between t_1 (—) and t_2 (---) the cooled device was kept biased for 24 hours.

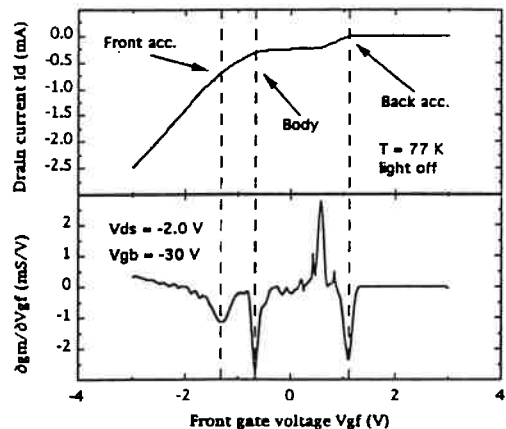


Fig. 4. Drain current and the derivative of the transconductance plot as a function of the front gate voltage for a $1.03 \times 20.0 \mu\text{m}$ SOI pMOSFET operating at $T = 77 \text{ K}$ with a back gate bias of -30 V for $V_{d s} = -2.0 \text{ V}$.

paper [16], the exact threshold voltage determination at two different temperatures may be used for deriving the effective density of interface traps at low temperatures. From the figure, it is clear that even after a long waiting time in the dark, no body current is found. Obviously, there is a mechanism preventing the injection of holes in the film.

In order to verify the influence of the current injection level, the devices were evaluated with a larger drain bias. The results (Fig. 4) show that with a larger current (or lateral electric field) it is possible to have conduction through the body of the

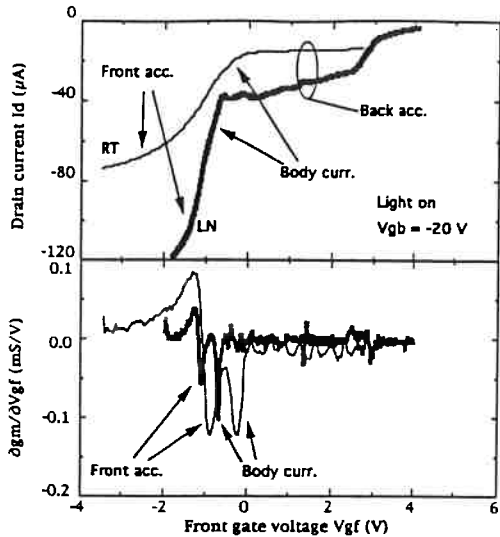


Fig. 5. Drain current plot as a function of the front gate voltage for a $1.83 \times 20.0 \mu\text{m}$ SOI pMOSFET operating at (—) room and (---) liquid nitrogen temperature with light on and a back gate voltage of -20 V .

transistor. In other words, an accumulation layer is established at the back interface and the reduction of the depletion region from the front interface leads to the body current conduction through the neutral film. For a $1.0 \mu\text{m}$ device, a minimum V_{ds} of approximately -1.2 V is required, indicating that some threshold field has to be passed before minority carriers are generated by band to band impact ionization. Due to the front-gate voltage, the generation of the minority carriers is, however, not sufficient to create an inversion layer so that the device will remain in deep depletion.

In order to inject carriers in the film, an external source may be used, e.g., visible light, which generates electron-hole pairs in the Si film and in the back substrate. In that case, a steady state is reached nearly instantaneously, since similar results are obtained if the device is exposed continuously (Fig. 5), or if a light pulse is used (Fig. 6). In all cases, a body component is clearly observed.

IV. DISCUSSION

The explanation for the body current suppression can be found by analyzing the SOI structure more in detail [15], as schematically illustrated in Fig. 7. In order to have the front interface in inversion for a sufficiently positive V_{gf} , minority carriers have to be generated thermally. Since this is a very slow process at cryogenic temperatures, no inversion layer is established, so that the front interface is in a non-equilibrium state. Instead, the film is depleted immediately from the front side, whereby free holes are expelled from the body region. A larger than equilibrium deep depletion is generated, which is similar as for an inversion mode SOI transistor after the application of an appropriate back gate pulse [6]. In principle, the same effect can be obtained by a positive back gate bias. As a consequence, depending on the operating condition, both

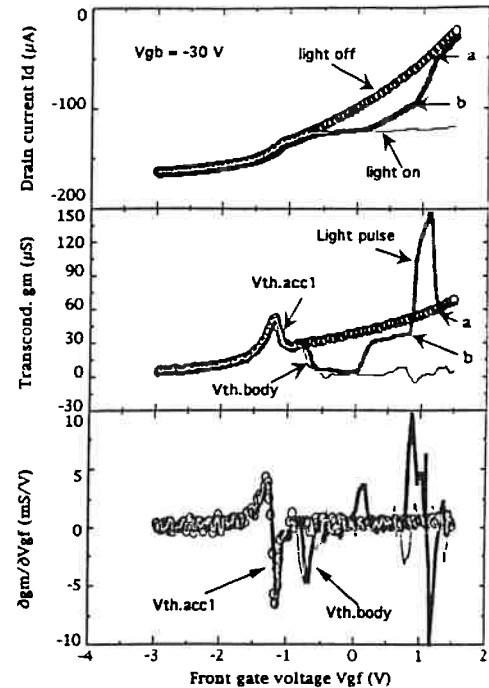


Fig. 6. Drain current and transconductance plots as a function of the front gate voltage for a $1.03 \times 20.0 \mu\text{m}$ SOI pMOSFET operating at $T = 77 \text{ K}$ with a back gate bias of -30 V . Three situations are represented: (a) light off, (b) light pulse between a and b and (c) light on.

the back accumulation and/or the body current component will be reduced or even completely suppressed by the deep depletion effect. This is illustrated by the left diagrams in Fig. 7. These correspond with a metastable state, which lasts for a few seconds at room temperature [5] up to several hours, or days at cryogenic temperatures. The system relaxes back to one of the steady states on the right of Fig. 7 by carrier generation processes, causing the slow transients as e.g., reported in Fig. 3.

By using a light source or a high V_{ds} voltage, carrier generation is enhanced to a level that permits the instantaneous and complete formation of the front inversion and the back accumulation regions, and consequently the appearance of a body current component (Fig. 4 to 6). In other words, the steady state shown in the right part of Fig. 7 is quickly established, without pronounced transients.

The reverse phenomenon, i.e., storage of excess charge (minority carriers) in the body region can also be observed at 77 K . This is illustrated by the following experiment. A time dependent behavior is noticed when the devices are measured at low V_{ds} after being stressed at high V_{ds} , i.e., -2.0 V , meaning after the establishment of a back accumulation layer and the body current component identification (Fig. 3). If the low V_{ds} , i.e., -0.1 V , measurement is performed immediately after the stressing (delay time is less than 60 s) also a steady state back accumulation layer is formed and the body component can be recognized (Fig. 8). However, if the delay time between the high and low V_{ds} measurements is

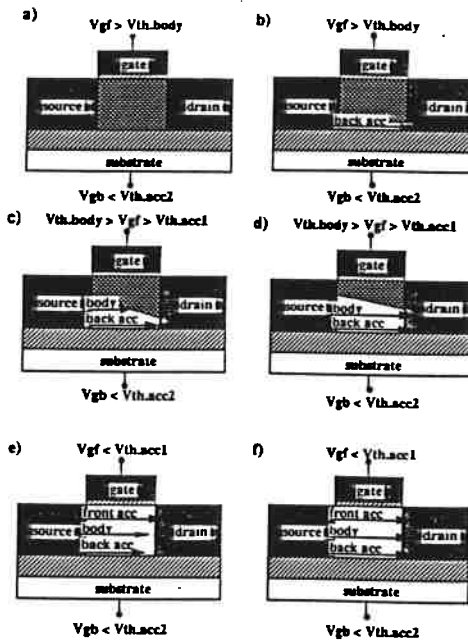


Fig. 7. Cross section of the structure of an SOI accumulation mode pMOSFET, representing schematically the transient mechanism at 77 K, for the different operation regimes. In the left part the metastable deep-depletion states are represented; in the right part, the corresponding steady states, which are reached after a long term relaxation at cryogenic temperatures.

greater than 60 s the back accumulation layer build up does not reach equilibrium and the body current component can no longer be identified (Fig. 7). This means that recombination of excess minority carrier charge is faster than its generation and takes typically a few tens of seconds at 77 K.

The above results lead to the following conclusions:

- First, the body current component is present in the conduction of devices operating at $T = 77$ K even at low V_{ds} bias, but as the front depletion region pinches off the back accumulation layer the current level is gradually reduced and the threshold voltage for the body component can not be identified. Therefore the body current component is apparently missing on different experimental figures.
- Second, while the back accumulation threshold and the body threshold are a strong function of the charge stored in the body region and are subject to carrier generation/recombination transient effects, this is not the case for the front accumulation threshold. In other words, the apparent absence of e.g., the body current can be interpreted by the fact that $V_{th, acc1} > V_{th, body}$ due to the deep depletion effect. This component is present but hidden by the front accumulation current, which is much larger. The same argument is valid for the back accumulation component. During the slow transients, the corresponding V_{th} 's shift to more positive values and may eventually be discerned if steady state is reached.
- Finally, any means that provide enough minority carrier generation within the p -type silicon film leads to the

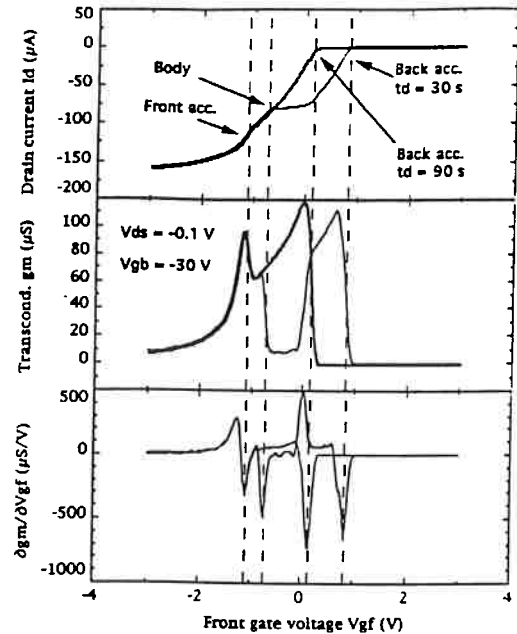


Fig. 8. Drain current and transconductance plots as a function of the front gate voltage for a $1.03 \times 20.0 \mu m$ SOI pMOSFET operating at $T = 77$ K with a back gate bias of -30 V. The devices were measured at low drain voltage bias of -0.1 V after a stressing at high drain bias of -2.0 V. The delay time between the measurements are: (—) 30 s and (---) 90 s.

complete establishment of the back accumulation layer by avoiding the deep depletion effect from the front interface, making possible the identification of the body current component.

V. CONCLUSION

An in depth analysis has been carried out on the conduction behavior of accumulation mode SOI pMOSFET's operating at 77 K. The body current component identification is strongly dependent on the generation of minority carriers in the SOI structure. Although it can be sometimes hidden by a deep depletion effect from the front interface, the body current component is always present in the conduction of devices at liquid nitrogen. Under normal operation, i.e., back-gate depleted, there is only a slight difference between room temperature and 77 K operation and the transient effect will not be dominant due to the fact there is no accumulation region present so that the conduction stops when the film is fully depleted. The front gate accumulation threshold has demonstrated to be unaffected by time transient effects or by the externally enhanced carrier generation within the SOI structure at 77K.

ACKNOWLEDGMENT

The authors gratefully acknowledge Prof. J.-P. Colinge from the UCL (Louvain-la-Neuve) for stimulating discussions.

REFERENCES

- [1] Special issues on Low Temperature Semiconductor Electronics, *IEEE Trans. Electron Devices*, vols. 35 and 36, Jan. 1987 and Aug. 1989.
- [2] R. Kirschman, *Low Temperature Electronics*. New York: IEEE Press, No. PC01974, 1986.
- [3] S. Selberherr, "MOS device modeling at 77 K," *IEEE Trans. Electron Devices*, vol. 36, pp. 1464-1474, 1989.
- [4] F. Assaderaghi, J. Chen, R. Solomon, T.-Y. Chan, P. K. Ko, and C. Hu, "Transient behavior of subthreshold characteristics of fully depleted SOI MOSFET's," *IEEE Electron Device Lett.*, vol. 12, pp. 518-520, 1991.
- [5] A. L. P. Rotondaro, U. Magnusson, J.-P. Colinge, and C. Claeys, "Evidence of different conduction mechanisms in accumulation-mode p-channel SOI MOSFETs at room and liquid helium temperatures," *IEEE Trans. Electron Devices*, vol. 40, pp. 727-732, 1993.
- [6] M. R. Tack, M.-H. Gao, C. L. Claeys, and G. J. Declerck, "The multistable charge-controlled memory effect in SOI MOS transistors at low temperature," *IEEE Trans. Electron Devices*, vol. 37, pp. 1373-1382, 1991.
- [7] J. Wang, N. Kistler, J. Woo, and C. R. Viswanathan, "Threshold voltage instability at low temperatures in partially depleted thin-film SOI MOSFET's," *IEEE Electron Device Lett.*, vol. 12, pp. 300-302, 1991.
- [8] E. Simoen and C. Claeys, "Transient behaviour of SOI NMOST's at liquid helium temperatures," in *Proc. of the Fifth Int. Symp. on Silicon-on-Insulator Technol. and Devices*, W. E. Bailey, Ed.; *The Electrochem. Softbound Series*, vol. 92-13, pp. 91-97, 1992.
- [9] J.-P. Colinge, *Silicon-on-Insulator Technology*. Amsterdam: Kluwer, 1991.
- [10] J.-P. Colinge, "Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 37, pp. 718-723, 1990.
- [11] T. Elewa, F. Balestra, S. Cristoloveanu, I. M. Hafez, J.-P. Colinge, A. J. Auberton Herve, and J. R. Davis, "Performance and physical mechanisms in SIMOX MOS transistors operated at very low temperature," *IEEE Trans. Electron Devices*, vol. 37, pp. 1007-1019, 1990.
- [12] J. B. Kuo and J. H. Sim, "Delayed-turn-on phenomenon in accumulation-type SOI pMOS device operating at liquid nitrogen temperature," *Electron. Lett.*, vol. 28, no. 21, pp. 1983-1984, 1992.
- [13] K. Tokunaga and J. C. Sturm, "Anomalous subthreshold slopes in thin-film accumulation-mode SOI p-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 39, pp. 2413-2415, 1992.
- [14] A. Terao, D. Flandre, E. Lora-Tamayo, and F. Van de Wiele, "Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors," *IEEE Electron Devices Lett.*, vol. 12, pp. 682-684, 1991.
- [15] A. L. P. Rotondaro, U. Magnusson, E. Simoen, C. Claeys, and J. P. Colinge, "Low temperature behaviour of submicron accumulation mode p-channel SOI MOSFETs," *J. Microelectr. Eng.*, vol. 19, pp. 857-860, 1992.
- [16] J. A. Martino, E. Simoen, U. Magnusson, A. L. P. Rotondaro, and C. Claeys, "Simple method for the derivation of the interface-trap density at 77 K in fully depleted accumulation mode SOI MOSFET's," *Solid-State Electron.*, vol. 36, pp. 827-832, 1993.



João Antonio Martino was born in São Paulo, Brazil, in 1959. He received the B.S. in electrical engineering from the Faculdade de Engenharia Industrial (FEI) in 1981, and the M.S. and Ph.D. degrees from the University of São Paulo (USP), Brazil, in 1984 and 1988, respectively.

From 1982 to 1984 he developed a simple polysilicon NMOS process and from 1985 to 1988 a simple double well CMOS process as a researcher at the Laboratório de Sistemas Integráveis (LSI), USP, Brazil. He became a teacher at FEI in 1984 and

an Assistant Professor in 1992. In 1989 he became head of the CMOS Group of LSI/USP and he began a joint program with the Interuniversity Micro-Electronic Center (IMEC), Leuven, Belgium, where he is engaged in CMOS-SOI technology development (characterization, modeling, and numerical simulation for low temperature operation).



Antonio Luis Pacheco Rotondaro was born in São Paulo, Brazil, in 1965. He received the B.S. and M.Sc. degrees in electrical engineering degrees from the University of São Paulo, São Paulo, Brazil, in 1987 and 1990, respectively. In 1992 he received the M.Sc. from the Katholieke Universiteit Leuven, Leuven, Belgium.

From 1988 to 1991 he was an Assistant Professor at the Electrical Engineering Department of the University of São Paulo, where he also researched sputtering deposition of titanium and cobalt for silicide formation. Since 1991 he has been working toward his Ph.D. at IMEC, Leuven, Belgium. His research interests a characterization and modeling of SOI devices operating at low temperatures and the contamination control in submicron CMOS technologies.



E. Simoen received the Ph.D. from the University of Gent in 1985 for his DLTS study of high-purity germanium.

In 1986 he joined the Advanced Semiconductor Processing Division of IMEC to work on low temperature electronics. He is presently an IMEC Scientist. His research activities cover the field of Si device physics, including the low-temperature and the low-frequency noise behavior, radiation effects in Si devices, defect study and defect engineering, and the study of high-resistivity semiconductors. He has published 100 technical and conference papers on these topics.



Ulf Magnusson (SM'84-M'89) was born in Gothenborg, Sweden, in 1960. He received the M.S. degree in physics and the Ph.D. degree in engineering physics from the University of Uppsala, Uppsala, Sweden, in 1985 and 1989, respectively.

From 1989 to 1991 he was a Staff Scientist at the University of Uppsala, where he studied silicon complementary MESFET (CMES) technology and JFET technology. During 1991-1992, he was with the Interuniversitaire Microelectronica Centrum (IMEC), Leuven, Belgium, where he was involved in the development of thin film SOI-CMOS technology. In 1992 he joined the Swedish Institute of Microelectronics in Stockholm, Sweden, where he is now working with high-frequency bipolar transistors in both bulk and SOI technology.



Cor Claeys was born in Antwerpen, Belgium. He received the electronic engineering degree in 1974 and the Ph.D. degree in 1979, both from the Katholieke Universiteit Leuven, Belgium.

From 1974 to 1984, he was a Research Assistant and Staff Member of the ESAI Laboratory of the Katholieke Universiteit Leuven. In 1984 he joined the Interuniversity Microelectronic Center (IMEC) as Head of the Silicon Processing group. He recently became responsible for Technology Business Development. He is also Professor at the Katholieke Universiteit Leuven. His primary research interests are in general silicon technology, including MOS, CCD, and CMOS-SOI, as well as defect engineering and material characterization. He authored or co-authored more than 170 technical papers related to the above fields.

Dr. Claeys is a member of the Electrochemical Society, SEMI, and the European Material Research Society.