

Julio César Saldaña Pumarica

Projeto de modelos neurais pulsados em CMOS

Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo para obtenção
do Título de Mestre em Engenharia Elétrica.

São Paulo
2010

Julio César Saldaña Pumarica

Projeto de modelos neurais pulsados em CMOS

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Engenharia Elétrica.

Área de concentração:
Sistemas Eletrônicos

Orientador:
Prof. Dr. Livre-Docente
Emilio Del Moral Hernandez

São Paulo
2010

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com anuência de seu orientador.

São Paulo, 20 de Dezembro de 2010.

Assinatura do autor _____

Assinatura do orientador _____

Ficha Catalográfica

Saldaña Pumarica, Julio César

Projeto de modelos neurais pulsados em CMOS / Julio César Saldaña Pumarica. - - ed.rev. - - São Paulo, 2010.

99 p.

Dissertação (Mestrado) – Escola Politécnica da Universidade de São Paulo. Engenharia de Sistemas Eletrônicos.

1. Modelagem biológica. 2. CMOS. 3. Neurocomputação. I. Universidade de São Paulo. Escola Politécnica. Engenharia de Sistemas Eletrônicos. II.t.

Resumo

O presente trabalho descreve o projeto de modelos neurais pulsados em tecnologia CMOS. Foram projetados dois modelos: um neurônio baseado em condutâncias e um neurônio do tipo “íntegra e dispara”.

O primeiro gera impulsos elétricos similares aos potenciais de ação gerados pelo neurônio biológico. Mediante simulação, foram observadas as seguintes características: disparo do impulso quando se atinge a tensão de limiar, hiperpolarização após o potencial de ação, retorno passivo à tensão de repouso, presença de período refratário e relação sigmoide entre a frequência de disparo e a intensidade do estímulo. Da mesma maneira, foi reproduzida a curva mínima duração x amplitude de estímulo típica dos neurônios biológicos.

O segundo realiza a codificação de uma grandeza analógica na fase relativa dos impulsos elétricos gerados. Os impulsos gerados pelo circuito, estão afastados em relação a um sinal periódico, em um intervalo que apresenta uma dependência logarítmica de uma corrente de entrada. John Hopfield propôs esse tipo de codificação para explicar o reconhecimento de padrões com independência de escala, realizado pelo cérebro humano.

No decorrer da pesquisa, foi necessário desenvolver algumas expressões analíticas para o projeto de circuitos de baixa frequência em CMOS, não encontradas na literatura estudada. As expressões estão baseadas na equação da corrente do transistor MOS proposta no modelo conhecido como *Advanced Compact Mosfet* (ACM). O projeto, implementação e testes de um transcondutor linearizado, e os resultados das simulações dos modelos neurais projetados, demonstram a validade das expressões desenvolvidas.

Palavras-chave: Projeto em CMOS para baixa frequência, modelo compacto do transistor MOS, modelos neurais pulsados.

Abstract

This work describes the design of pulsed neural models in CMOS technology. Two models were designed: a conductance based neuron and an integrate and fire neuron.

The first generates electrical impulses similar to action potentials generated by the biological neuron. Through simulation, the following characteristics were observed: pulse trigger after reaching threshold voltage, hyperpolarization after the action potential, passive return to resting potential, presence of refractory period and sigmoid relationship between the firing rate and the stimulus intensity. Likewise, the curve minimal duration vs stimulus amplitude typical of biological neurons was reproduced.

The second one performs the encoding of an analog input in the relative phase of electrical impulses. The impulses generated by the circuit are delayed with respect to a reference periodic signal, in a range that has a logarithmic dependence on an input current. John Hopfield proposed this type of encoding to explain the scale independent pattern recognition performed by the human brain.

During the research, it was necessary to develop some analytical expressions for the design of low-frequency circuits in CMOS, not found in the literature studied. The expressions are based on the Advanced Compact MOSFET (ACM) model. The design, implementations and testing of a linearized transconductor, and the simulations results of the neural models designed, demonstrate the validity of the expressions developed.

Keywords: Design in CMOS for low-frequency , MOSFET compact model, pulsed neural models.

Lista de Figuras

2.1	Sentido da corrente em NMOS e PMOS	24
2.2	Tensão dreno-fonte de saturação ($\xi = 0,07$).	25
2.3	Corrente do transistor PMOS operando na região ôhmica.	26
2.4	Comparação dos valores de α calculados com os simulados, para $V_{SD} = 30mV$	29
2.5	Variação percentual do R_{PMOS} em relação a $200k\Omega$	30
2.6	Espelho de corrente.	30
2.7	Descasamento de corrente em função de i_F	32
2.8	Par diferencial.	33
2.9	THD calculado (equação 2.42) e simulado, para $V_{in} = 50mV$	35
2.10	Transcondutor linearizado com transistores de degeneração.	36
2.11	Par diferencial linearizado com transistores operando na região ôhmica.	38
2.12	Corrente de saída do transcondutor com degeneração de fonte, fabricado no processo CMOS AMS 0,35 μm	39
3.1	Esquema do circuito que implementa o modelo baseado em condutâncias (RASCHE; DOUGLAS, 2000).	41
3.2	Símbolo e diagrama esquemático dos transcondutores T_1 a T_5	45
3.3	Potencial de ação gerado pelo circuito.	48
3.4	Curva duração x estímulo para o circuito projetado	49
3.5	Relação entre a frequência de disparo e o estímulo externo.	49
3.6	Trens de potenciais de ação para estímulos externos de intensidades diferentes.	50
4.1	Sistema baseado no modelo de Hopfield.	52
4.2	Neurônio CMOS de codificação temporal logarítmica.	53

4.3	Tensão no capacitor C_1	54
4.4	Corrente exponencial.	54
4.5	Tensão na saída do comparador de corrente.	55
4.6	Pulso de saída e pulso de referência. δ é o atraso introduzido pelo circuito.	55
4.7	Pulsos de saída para várias correntes de entrada. δ é o atraso dos pulsos gerados, em relação ao sinal de referência, clk	56
4.8	Atrasos dos pulsos de saída em função da corrente de entrada.(a) Escala horizontal é linear. (b) Escala horizontal é logarítmica.	58
A.1	Partes de um neurônio.	68
A.2	(a) Fosfolípídeo e, (b) camada fosfolipídica.	69
A.3	Bicamada fosfolipídica.	69
A.4	Propriedade capacitiva da bicamada fosfolipídica.	71
A.5	Corrente capacitiva da membrana.	71
A.6	Correntes iônicas.	72
A.7	Modelo elétrico da membrana incluindo a corrente de sódio.	73
A.8	Modelo elétrico da membrana incluindo a corrente de potássio.	74
A.9	Modelo elétrico da membrana incluindo correntes de sódio e potássio.	75
A.10	Modelo elétrico da membrana separando os canais ativos dos passivos.	75
A.11	Modelo elétrico da membrana incluindo o potencial de repouso.	77
A.12	Modelo elétrico da membrana incluindo um estímulo externo.	77
A.13	Fases de um potencial de ação.	78
A.14	Representação da técnica de grampeamento de tensão.	80
A.15	Interpretação da técnica de grampeamento de tensão mediante o modelo elétrico da membrana.	81
B.1	Circuito de controle da corrente de Potássio	83
B.2	Circuito de controle da corrente de Sódio	84
B.3	Transconductor de Vazamento	85

B.4	Circuito codificador logarítmico	86
C.1	<i>Layout</i> do transcondutor linealizado	88
C.2	<i>Layout</i> do codificador logarítmico (primeira proposta)	89

Lista de Tabelas

1.1	Implementações em CMOS de modelos baseados em condutância.	19
1.2	Implementações em CMOS de modelos do tipo “integra e dispara”.	20
3.1	Especificações para o modelo baseado em condutâncias	44
3.2	Dimensões dos transistores dos transdutores T_1 a T_5	47
4.1	Dimensões dos transistores do circuito codificador logarítmico	57

Lista de símbolos

A	Faixa linear do par diferencial
A_k	Coefficiente da harmônica de ordem k
B_k	Coefficiente da potencia de ordem k
C_m	Capacitância da membrana do neurônio
C'_{ox}	Capacitância por unidade de área do óxido de silício
E_{lim}	Potencial limiar de disparo do potencial de ação
E_{max}	Potencial de membrana para o qual se atinge a máxima condutância
E_{rep}	Potencial de repouso da membrana do neurônio
E_X	Potencial de equilíbrio do íon X
g_K	Condutância dos canais de potássio da membrana do neurônio
g_{Leak}	Condutância dos canais de vazamento da membrana do neurônio
GM	Transcondutância do par diferencial
g_{Na}	Condutância dos canais de sódio da membrana do neurônio
I_b	Corrente de polarização do par diferencial
I_C	Corrente elétrica capacitiva da membrana do neurônio
i_D	Corrente de dreno do MOSFET normalizada
I_{ext}	Corrente elétrica de estímulo externo à membrana do neurônio
I_F	Componente direta da corrente de dreno
i_F	Componente direta da corrente normalizada do MOSFET
I_K	Corrente elétrica que modela o fluxo de íons potássio
I_{Leak}	Corrente elétrica de vazamento da membrana do neurônio
I_{lim}	Corrente elétrica mínima de estímulo para gerar potencial de ação
I_{Na}	Corrente elétrica que modela o fluxo de íons sódio
I_{out}	Corrente de saída do par diferencial
I_R	Componente reversa da corrente de dreno
i_R	Componente reversa da corrente normalizada do MOSFET
I_S	Corrente de normalização
I_{SH}	Corrente de normalização laminar do MOSFET
I_{SHN}	Corrente de normalização laminar do NMOSFET
I_{SHP}	Corrente de normalização laminar do PMOSFET

μ	Mobilidade dos portadores no canal do MOSFET
n	Fator de rampa do MOSFET
n_N	Fator de rampa do NMOSFET
n_P	Fator de rampa do PMOSFET
ϕ_t	Tensão térmica
P_X	Permeabilidade da membrana relativa ao íon X
R_{PMOS}	Resistência equivalente do PMOS para $V_{SD} = 0$
SR_{max}	Máxima velocidade de incremento do potencial de membrana
THD	Distorção harmônica total
t_K	Retardo do circuito de controle de potássio
t_{Na}	Retardo do circuito de controle de sódio
V_{DB}	Tensão entre dreno e substrato no MOSFET
V_{GB}	Tensão entre porta e substrato no MOSFET
V_{in}	Tensão de entrada do par diferencial
V_m	Potencial elétrico da membrana do neurônio
V_{SB}	Tensão entre fonte e substrato no MOSFET
V_{tn}	Tensão limiar do transistor NMOS
V_{tp}	Tensão limiar do transistor PMOS
$[X]$	Concentração do íon X

Sumário

1	Introdução	15
1.1	Motivação	15
1.2	Implementações eletrônicas de modelos neurais	15
1.3	Projeto em CMOS de circuitos analógicos que operam em baixa frequência	21
1.4	Objetivos do trabalho	21
1.5	Organização dos demais capítulos do texto	22
2	Projeto de circuitos analógicos que operam em baixa frequência	23
2.1	Modelo ACM do transistor MOSFET	23
2.2	Operação do transistor MOS na região ôhmica	26
2.2.1	Linearidade de I_D x V_{SD}	28
2.2.2	Efeito das variações de processo	29
2.3	Projeto de um espelho de corrente	30
2.4	Projeto de um par diferencial	33
2.5	Transcondutor com degeneração de fonte	35
3	Projeto de um modelo de neurônio baseado em condutâncias	40
3.1	Descrição do circuito	40
3.2	Projeto do circuito	44
3.2.1	Projeto do transcondutor de T_6	44
3.2.2	Projeto do transcondutor T_1	45
3.2.3	Projeto dos transcondutores T_2 e T_3	46

3.2.4	Projeto do transcondutor T_4	46
3.2.5	Projeto do transcondutor T_5	47
3.3	Simulações e discussão de resultados	48
4	Projeto de um neurônio de codificação temporal logarítmica	51
4.1	O modelo de Hopfield	51
4.2	Neurônio CMOS de codificação temporal logarítmica	53
5	Conclusões e perspectivas	59
5.1	Neurônio baseado em condutâncias	59
5.2	Neurônio do tipo “íntegra e dispara”	60
5.3	Expressões analíticas para o projeto de circuitos que operam em baixa frequência	61
5.4	Sugestões de trabalhos futuros	62
	Apêndice A – Modelo elétrico do neurônio	68
A.1	Estrutura do neurônio	68
A.2	Membrana do neurônio	69
A.3	Potencial de equilíbrio	72
A.4	Potencial de repouso	75
A.5	Modelagem de um estímulo externo	76
A.6	O potencial de ação	77
A.7	A técnica do grampeamento de tensão	79
	Apêndice B – Esquemáticos elaborados em CADENCE	82
	Apêndice C – <i>Layouts</i> elaborados em CADENCE	87
	Apêndice D – <i>Scripts</i> para OCEAN	90
D.1	Tensão dreno-fonte de saturação em função de i_F	90

D.2	Erro relativo na cópia de corrente num espelho NMOS	93
D.3	Análise de linearidade em PMOS	96
D.4	THD em par diferencial	98

1 Introdução

Neste capítulo são apresentados a motivação e objetivos do trabalho e antecedentes que justificam a sua relevância. Com o intuito de situar o trabalho no contexto científico são resumidos alguns trabalhos relacionados com implementações eletrônicas de modelos neurais. Também é explicado o processo de projeto de circuitos analógicos de baixa frequência em CMOS.

1.1 Motivação

O interesse neste trabalho nasce na admiração da prodigiosa capacidade computacional dos sistemas biológicos. Emular o funcionamento de sistemas biológicos muito simples é ainda uma tarefa difícil. O desenvolvimento de um sistema artificial baseado em princípios biológicos implica uma série de desafios que não poderiam ser encarados numa dissertação só. O primeiro passo nessa difícil tarefa é o projeto do bloco fundamental de tais sistemas: “ O Neurônio”.

1.2 Implementações eletrônicas de modelos neurais

Nos últimos anos tem aumentado o interesse em produzir em *hardware* modelos de diversas partes do sistema nervoso. Por exemplo, existem relatos de implementações de modelos de canais iônicos neurais (HYNNA; BOAHEN, 2006), neurônios (MAHOWALD; DOUGLAS, 1991) (FARQUHAR; HASLER, 2005), cóclea (LYON; MEAD, 1988) (WEN; BOAHEN, 2003), retina (MAHOWALD; MEAD, 1991) (KAMEDA; YAGI, 2003) (KAMEDA; YAGI, 2006), regiões do sistema olfativo (KOICKAL et al., 2006) e regiões corticais (ARTHUR; BOAHEN, 2007). Três diferentes motivações explicam esse crescente interesse. Alguns grupos de pesquisa realizam a modelagem em *hardware* com o objetivo de desenvolver sistemas com um alto poder computacional. Outros o fazem para desenvolver sistemas capazes de interagir com o sistema nervoso em humanos, visando a recuperação de alguma deficiência sensorial ou

motora. Também há grupos da área da neurociência computacional, que desenvolvem esses modelos em *hardware* para estudar de maneira controlada alguns fenômenos difíceis de se estudar em seres vivos.

A implementação em *hardware* de modelos neurais começou como uma cópia de modelos que já tinham sido implementados em *software*. As primeiras implementações de neurônios artificiais foram circuitos cuja tensão de saída representava uma função sigmoide da corrente total de entrada. A partir do final da década de 80 surgiu a ideia de implementar modelos neurais que não só copiassem modelos do tipo *software* existentes, mas que emulassem a forma de funcionamento dos sistemas biológicos. Essa proposta, introduzida por Carver Mead (MEAD, 1989), consiste em replicar os sistemas biológicos em nível de estrutura. Foi ele quem introduziu o termo engenharia neuromórfica, que refere-se à disciplina que tem como objetivo copiar o estilo computacional do sistema nervoso baseado em impulsos elétricos, mediante a emulação da forma da sua anatomia e fisiologia em *chips* de silício.

Na maior parte do sistema nervoso a informação é processada por neurônios na forma de trem de impulsos elétricos. Os neurônios possuem propriedades elétricas apropriadas para esse tipo de processamento. De forma simplificada o neurônio pode ser visto como um elemento com várias entradas e uma saída, que integra os impulsos elétricos provenientes de outros neurônios dando como resultado uma diferença de potencial elétrico medida entre o interior e o exterior do neurônio, chamada de potencial de membrana. Se o potencial de membrana é superior a um determinado limiar, então, um impulso elétrico é gerado na saída do neurônio. O comportamento elétrico do neurônio é determinado pela combinação de canais iônicos sensíveis a tensão ou a neurotransmissores que controlam a corrente elétrica devida a vários tipos de íons. Essas correntes iônicas determinam o potencial de membrana e portanto o comportamento elétrico do neurônio.

O foco deste trabalho está no projeto de circuitos integrados que modelam esse comportamento elétrico dos neurônios. Diferentes dos modelos sigmóides clássicos presentes nas redes neurais tradicionais, os modelos cujos projetos serão apresentados são do tipo pulsado, ou seja, a saída do neurônio modelado é um trem de impulsos elétricos. A tecnologia de implementação dos circuitos é conhecida como “Complementary Metal-Oxide-Semiconductor” (CMOS).

Na tentativa de reproduzir artificialmente a prodigiosa capacidade computacional do sistema nervoso, vários modelos de neurônios têm sido implementados em tecnologia CMOS. Podem-se distinguir entre modelos baseados em canais iônicos e modelos do

tipo “*integra e dispara*”. No primeiro caso, também conhecidos como modelos baseados em condutância, cada componente da corrente iônica é modelada separadamente. Na maioria de implementações desse tipo, a integração dos estímulos de entrada e o disparo do potencial de ação acontecem num mesmo nó do circuito. Por outro lado, nas implementações de modelos do tipo “*integra e dispara*” ambos fenômenos são representados independentemente em nós distintos.

Uma das principais propriedades do transistor MOS que tem sido aproveitada na implementação dos modelos neurais, é que a condutância do canal do transistor pode ser modulada pela tensão da porta. Em um neurônio a condutância do canal é modulada pelo potencial de membrana. Desta maneira, nas implementações em CMOS, os canais iônicos são emulados pelos canais dos transistores MOS.

A relação de tipo sigmoide existente entre a corrente de saída e a tensão de entrada em um par diferencial CMOS, também tem sido aproveitada por vários dos modelos de neurônios existentes. Essa característica é usada para modelar a relação entre a condutância dos canais iônicos e o potencial de membrana em um neurônio.

Os primeiros modelos baseados em canais iônicos e implementado em CMOS apareceram no início da década de 90. Tomando como referência o modelo de Hodgkin e Huxley (HODGKIN; HUXLEY, 1952) e aproveitando a analogia entre canais iônicos e canais de transistores MOS, Mahowald e Douglas desenvolveram um circuito que apresenta similaridades funcionais com um neurônio biológico (MAHOWALD; DOUGLAS, 1991). Eles aproveitaram a relação sigmoide entre a corrente de saída e tensão de entrada de um par diferencial para reproduzir a relação entre a condutância do canal iônico e a tensão da membrana.

Nos modelos do tipo *integra e dispara* implementados em VLSI, as correntes pré-sinápticas são integradas num capacitor e quando a tensão integrada atinge um limiar, um pulso é gerado na saída do circuito. Este tipo de implementação começou com o trabalho de Carver Mead (MEAD, 1989). No circuito de Mead conhecido como circuito “*Axon-Hillock*” um capacitor de integração é ligado a dois inversores, um capacitor de retroalimentação e um transistor de descarga controlado pela saída. Um pulso é gerado quando a tensão do capacitor de integração atinge o limiar do primeiro inversor. Um dos principais problemas desse circuito é o consumo excessivo de potência, pois a entrada do primeiro inversor muda lentamente e portanto o inversor permanece muito tempo operando na zona de condução. Outro problema com esse circuito é a falta de controle do limiar, pois ele é determinado só por parâmetros tecnológicos do processo de fabricação.

Esses problemas foram resolvidos em implementações posteriores.

Nas tabelas 1.1 e 1.2 estão citadas as principais implementações em CMOS de modelos baseados em condutância e modelos integra e dispara.

Tabela 1.1: Implementações em CMOS de modelos baseados em condutância.

Referência	Característica do Circuito
(MAHOWALD; DOUGLAS, 1991)	Aproveita a relação sigmoide do par diferencial. Baseado no modelo de Hodgkin e Huxley (HODGKIN; HUXLEY, 1952).
(LINARES-BARRANCO et al., 1991)	Baseado no modelo de Fitzhugh Nagumo (FITZHUGH, 1961).
(SARPESHKAR; WATTS; MEAD, 1992)	Aproveita a relação sigmoide do par diferencial. Permite controle de vários parâmetros do potencial de ação.
(PATEL; DEWEERTH, 1997)	Baseado no modelo de Morris Lecar (MORRIS; LECAR, 1981).
(SIMONI; DEWEERTH, 1999)	Aproveita a relação sigmoide do par diferencial. Modela a plasticidade intrínseca do neurônio. Baseado nas equações de Abbott e LeMasson (ABBOTT; LE-MASSON, 1993).
(GEORGIOU et al., 1999)	Baseado no modelo de Hodgkin e Huxley.
(DOUENCE et al., 1999)	Sistema de simulação eletrônica para modelagem neural baseada em neurônios implementados em CMOS.
(RASCHE; DOUGLAS, 2000)	Versão melhorada do circuito de Mahowald e Douglas.
(ALVADO et al., 2004)	Aplicação de modelos baseados em condutância. Ferramenta para a neurociência computacional.
(SAIGHI et al., 2005)	Rede de neurônios implementados em CMOS e baseados no modelo de Hodgkin e Huxley.
(FARQUHAR; HASLER, 2005)	Circuito baseado no modelo de Hodgkin e Huxley. Utiliza apenas 6 transistores.
(HYNNA; BOAHEN, 2006)	Circuito integrado que modela a dinâmica dos canais iônicos.
(HYNNA; BOAHEN, 2007a)	Circuito que produz um padrão de disparos com a característica de <i>burst</i> .
(HYNNA; BOAHEN, 2007b)	Modelo eletrônico de canais iônicos dependentes de tensão.
(ARTHUR; BOAHEN, 2007)	Rede de neurônios implementados em CMOS que sincronizam na faixa de frequências gamma.
(BASU; PETRE; HASLER, 2008)	Neurônio que apresenta bifurcação.
(BUHRY et al., 2009)	Ajuste de parâmetros de de neurônios baseados em condutância.
(INDIVERI; STEFANINI; CHICCA, 2010)	Implementação em VLSI de um neurônio baseado em condutâncias, conectado a um circuito sináptico com capacidade de aprendizado baseado em pulsos.
(BASU; HASLER, 2010)	Circuito cuja dinâmica é determinada através da extração dos <i>nullclines</i> .

Tabela 1.2: Implementações em CMOS de modelos do tipo “integra e dispara”.

Referência	Característica do Circuito
(MEAD, 1989)	Circuito compacto, consumo elevado, falta de controle do limiar.
(MEADOR; COLE, 1989)	Uso de comparador.
(SCHULTZ; JABRI, 1995)	Controle do limiar, adaptação da frequência de disparo, consumo elevado.
(SCHAIK, 2001)	Emprega um comparador de tensão, consumo reduzido.
(CULURCIELLO; ETIENNE-CUMMINGS; BOAHEN, 2001)	Consumo reduzido, não possui controle de limiar, não apresenta adaptação de frequência.
(HYNNA; BOAHEN, 2001)	Sistema de codificação populacional baseado em neurônios de integração e disparo implementados em CMOS.
(CHITU; DOGARU; GLENER, 2003)	Rede neural celular baseada em neurônios de integração e disparo implementados em CMOS.
(ASAI; KANAZAWA; AMEMIYA, 2003)	Neurônio de integração e disparo baseado no sistema de Volterra (GOEL; MAITRA; MONTROLL, 1971).
(INDIVERI, 2003)	Consumo reduzido, controle da tensão limiar, adaptação de frequência.
(INDIVERI; CHICCA; DOUGLAS, 2006)	Rede de neurônios de integração e disparo do tipo apresentado em 2003.
(BASHMAN; PARENT, 2009)	Implementação do modelo “integra e dispara” do tipo quadrático.
(WIJEKOON; DUDEK, 2009)	Neurônio com um termo de vazamento controlado que permite estender o repertório de padrões de disparo.
(SCHAIK et al., 2010a)	Implementação em domínio logarítmico do modelo de Izhikevich.
(SCHAIK et al., 2010b)	Implementação em domínio logarítmico do modelo de Mihalas-Niebur.

1.3 Projeto em CMOS de circuitos analógicos que operam em baixa frequência

Os circuitos a serem projetados neste trabalho são do tipo analógicos e operam em baixa frequência. O comprimento de canal dos transistores MOS envolvidos não é o mínimo permitido pela tecnologia de fabricação, portanto fenômenos de canal curto não são considerados neste trabalho.

O projeto em CMOS de circuitos analógicos consiste do cálculo das dimensões do canal e a corrente de polarização de cada transistor do circuito. Existem equações que relacionam esses parâmetros com as tensões dos terminais do transistor as quais permitem projetar um circuito a partir de um conjunto de especificações. Uma das dificuldades neste processo é que essas equações são válidas em determinadas regiões de operação, sendo que é preciso conhecer, a priori, a região de operação de cada transistor para poder escolher a equação adequada. Ainda em alguns casos não é possível conhecer essa região de operação e é necessário supor alguma e posteriormente comprovar se a suposição foi verdadeira. Neste contexto, o uso de equações que sejam válidas em todas as regiões de operação facilita em grande medida o problema do projeto analógico.

Neste trabalho serão usadas as equações do modelo ACM (Advanced Compact MOS-FET) que são válidas em todas as regiões de operação do transistor (CUNHA; SCHNEIDER; GALUP-MONTORO, 1995). A dificuldade destas equações em relação as equações tradicionais é que a corrente é uma variável implícita. Por este motivo, neste trabalho são desenvolvidos procedimentos que permitem lidar com essa característica do modelo ACM.

É importante salientar que o propósito de empregar o modelo ACM neste trabalho não é substituir o modelo BSIM (*Berkeley Short-Channel IGFET Model*) nas simulações, mas sim substituir o modelo *Level 1* nos cálculos manuais. O cálculo de dimensões usando o modelo ACM permite chegar a resultados muito próximos dos finais, o qual é comprovado mediante simulações com o modelo BSIM, empregando poucas ou nenhuma iteração.

1.4 Objetivos do trabalho

Com base no descrito anteriormente foi proposto como objetivo geral do trabalho o **projeto em CMOS de modelos de neurônios do tipo pulsados**. Os objetivos específicos foram os seguintes:

- Elaboração de procedimentos e ferramentas para projeto de circuitos analógicos que operam em baixa frequência.
- Projeto em CMOS de um modelo de neurônio baseado em condutâncias.
- Projeto em CMOS de um codificador logarítmico que permita implementar posteriormente um sistema de reconhecimento de padrões baseado na proposta de John Hopfield (HOPFIELD, 1995).

1.5 Organização dos demais capítulos do texto

No capítulo 2 apresenta-se um conjunto de equações que modelam o funcionamento do transistor MOSFET, bem como o procedimento de aplicação dessas equações ao projeto de circuitos baseados em MOSFET. No capítulo 3 apresenta-se o procedimento de projeto de um modelo do neurônio baseado em condutâncias, juntamente com os resultados das simulações. No capítulo 4 é relatado o projeto de um codificador em fase orientado ao reconhecimento de padrões com independência de escala. Finalmente, no capítulo 5 são destacadas as conclusões e citadas algumas propostas para trabalhos futuros.

2 Projeto de circuitos analógicos que operam em baixa frequência

O objetivo deste capítulo é apresentar expressões para projeto de circuitos analógicos que operam em baixa frequência, as quais foram necessárias para projeto dos modelos neurais pulsados descritos nos capítulos 3 e 4.

As expressões apresentadas aqui, estão baseadas na equação da corrente do MOSFET do modelo *Advanced Compact MOSFET* (ACM) (GALUP-MONTORO; SCHNEIDER, 2007).

2.1 Modelo ACM do transistor MOSFET

Na figura 2.1 é representado o sentido da corrente que será adotado neste trabalho. No modelo ACM a corrente do transistor, I_D , é dividida em duas componentes, a componente direta, I_F , e a reversa, I_R :

$$I_D = I_F - I_R \quad (2.1)$$

O modelo requer um parâmetro denominado corrente de normalização I_S definido como:

$$I_S = \frac{W}{L} I_{SH} \quad (2.2)$$

sendo W a largura de canal, L o comprimento do canal e I_{SH} a corrente de normalização laminar ¹.

Empregam-se os símbolos I_{SHN} e n_N para parâmetros de NMOS, enquanto que para PMOS empregam-se I_{SHP} e n_P .

¹ $I_{SH} = \frac{1}{2} \mu C'_{ox} n \phi_t^2$, sendo μ a mobilidade dos portadores, C'_{ox} a capacitância do óxido por unidade de área, n o fator de rampa e ϕ_t a tensão térmica

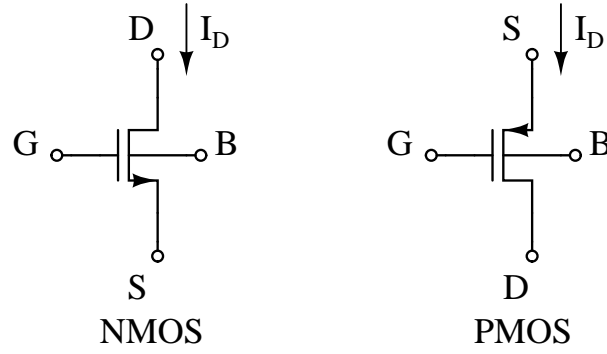


Figura 2.1: Sentido da corrente em NMOS e PMOS

Dividindo as correntes I_D , I_F e I_R por I_S obtêm-se as versões normalizadas:

$$i_D = \frac{I_D}{I_S} \quad (2.3)$$

$$i_F = \frac{I_F}{I_S} \quad (2.4)$$

$$i_R = \frac{I_R}{I_S} \quad (2.5)$$

Neste modelo a relação entre a corrente e as tensões nos terminais num transistor NMOS é definida mediante as equações (A diferença de tensão entre dois terminais X e Y é representada por V_{XY}):

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{SB} = \phi_t [\sqrt{i_F + 1} - 2 + \ln(\sqrt{i_F + 1} - 1)] \quad (2.6)$$

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{DB} = \phi_t [\sqrt{i_R + 1} - 2 + \ln(\sqrt{i_R + 1} - 1)] \quad (2.7)$$

onde V_{tn} é a tensão de limiar do NMOS. Para um transistor PMOS as equações são as seguintes:

$$\frac{V_{BG} - |V_{tp}|}{n_P} - V_{BS} = \phi_t [\sqrt{i_F + 1} - 2 + \ln(\sqrt{i_F + 1} - 1)] \quad (2.8)$$

$$\frac{V_{BG} - |V_{tp}|}{n_P} - V_{BD} = \phi_t [\sqrt{i_R + 1} - 2 + \ln(\sqrt{i_R + 1} - 1)] \quad (2.9)$$

onde V_{tp} é a tensão de limiar do PMOS.

Outra expressão que será muito utilizada neste texto é a da transcondutância de porta do MOSFET em saturação:

$$g_{mg} = \frac{\partial I_D}{\partial V_G} = \frac{2I_D}{n\phi_t(\sqrt{1 + i_F} + 1)} \quad (2.10)$$

No modelo ACM, a tensão dreno-fonte de saturação é calculada da seguinte forma:

$$V_{DSsat} = \phi_t \left[\ln \left(\frac{1}{\xi} \right) + (1 - \xi)(\sqrt{i_F + 1} - 1) \right] \quad (2.11)$$

onde ξ é a relação entre as densidades de carga nos extremos do canal. No modelo ACM define-se o nível de saturação como $(1 - \xi)$.

Com o intuito de escolher um valor de ξ foram realizadas simulações tipo DC com o modelo BSIM, empregando os parâmetros do processo de fabricação escolhido para o projeto dos circuitos apresentados nesta dissertação. Neste trabalho foi escolhido o valor de ξ que melhor aproxima o valor calculado de V_{DSsat} mediante a fórmula 2.11 do modelo ACM aos resultados obtidos mediante simulação com o modelo BSIM. Na figura 2.2 comparam-se os valores de V_{DSsat} calculados mediante a expressão 2.11, com os valores obtidos por simulação.

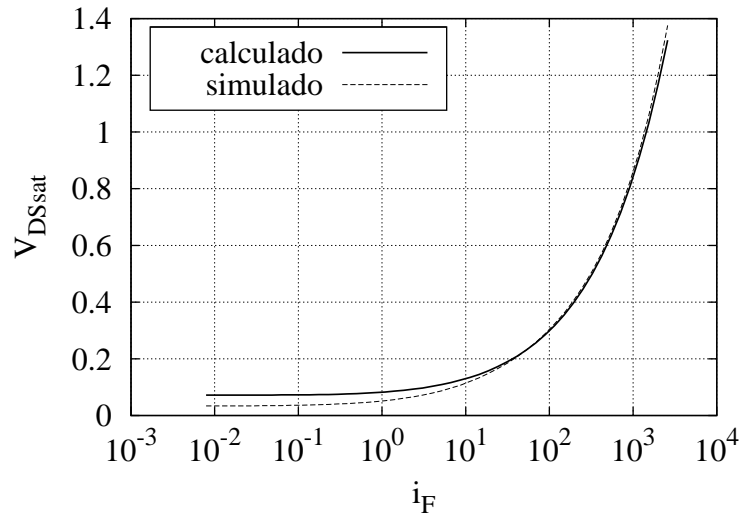


Figura 2.2: Tensão dreno-fonte de saturação ($\xi = 0,07$).

Observa-se um erro maior em inversão fraca, porém a especificação de V_{DSsat} empregase com maior frequência no projeto de espelhos de corrente, onde como se verá posteriormente o nível de inversão deve ser moderado o forte para minimizar o erro devido a descasamento entre dispositivos. De outro lado, deve se salientar que com o modelo *Level 1* o erro da fórmula $V_{DSsat} = V_{GS} - V_{th}$ seria muito maior, mesmo em inversão forte o moderada.

Usando as equações do modelo ACM, vários circuitos básicos, como espelhos de corrente e pares diferenciais, são analisados em (SCHNEIDER; GALUP-MONTORO, 2010). Nas seções seguintes descrevem-se análises desenvolvidas com o propósito de projetar os mo-

delos neurais apresentados nos capítulos 3 e 4.

2.2 Operação do transistor MOS na região ôhmica

Em certos circuitos que modelam neurônios biológicos é utilizado, devido à linearidade entre a corrente e a tensão dreno-fonte, o transistor MOS operando na região ôhmica (FARQUHAR; HASLER, 2005). É possível encontrar na literatura, análises da operação do MOSFET na região ôhmica tanto no regime de inversão fraca como no regime de inversão forte. A seguir, é apresentada uma análise unificada que é válida em todos os regimes de inversão. Será desenvolvida uma expressão para a resistência equivalente no ponto de máxima linearidade ($V_{DS} = 0$) e uma expressão para quantificar a não linearidade em outros pontos ($V_{DS} \neq 0$).

Na figura 2.3, pode-se observar que a característica $I_D \times V_{SD}$ é aproximadamente uma linha reta quando $V_S \approx V_D$. De acordo com as equações 2.8 e 2.9, se $V_S \approx V_D$ então

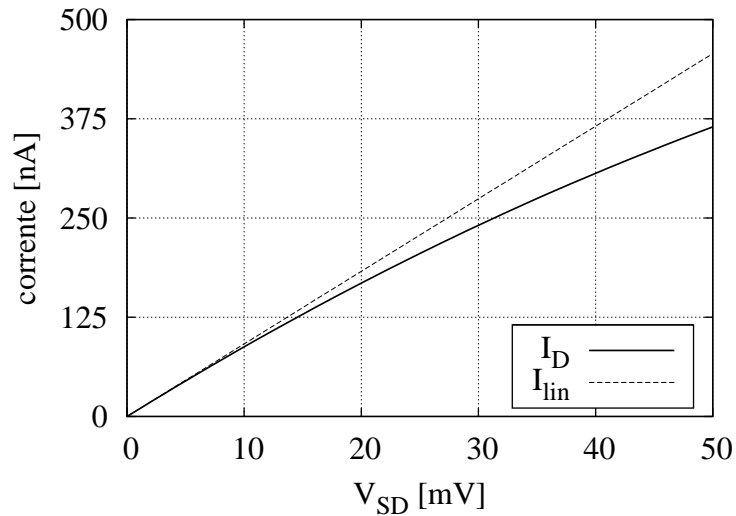


Figura 2.3: Corrente do transistor PMOS operando na região ôhmica.

$i_F \approx i_R$. Subtraindo 2.9 de 2.8 obtém-se:

$$\frac{V_{SD}}{\phi_t} = \sqrt{i_F + 1} - \sqrt{i_R + 1} - \ln \frac{\sqrt{i_R + 1} - 1}{\sqrt{i_F + 1} - 1} \quad (2.12)$$

Considerando que $i_F \approx i_R$, o argumento do logaritmo natural na última equação é aproximadamente igual a 1. Então, pode-se afirmar que:

$$\ln \frac{\sqrt{i_R + 1} - 1}{\sqrt{i_F + 1} - 1} \approx \frac{\sqrt{i_R + 1} - 1}{\sqrt{i_F + 1} - 1} - 1 \quad (2.13)$$

e empregando esse resultado obtém-se:

$$\begin{aligned} \frac{V_{SD}}{\phi_t} &= \sqrt{i_F + 1} - \sqrt{i_R + 1} - \left[\frac{\sqrt{i_R + 1} - 1}{\sqrt{i_F + 1} - 1} - 1 \right] \\ \Rightarrow \frac{V_{SD}}{I_D} &= R_{PMOS} \approx \frac{\phi_t}{2I_S(\sqrt{i_F + 1} - 1)} \end{aligned} \quad (2.14)$$

onde R_{PMOS} é a resistência equivalente do transistor PMOS para $V_{SD} = 0$.

2.2.1 Linearidade de I_D x V_{SD}

A corrente I_{lin} , representada na figura 2.3, é obtida com a seguinte equação:

$$I_{lin} = \frac{1}{R_{PMOS}} \cdot V_{SD} \quad (2.15)$$

Quanto maior o valor de V_{SD} , mais se afasta I_D de I_{lin} . Para quantificar a linearidade de I_D x V_{SD} , define-se o seguinte índice de mérito que mede o erro relativo entre I_D e I_{lin} para um determinado valor de V_{SD} (ARNAUD; GALUP-MONTORO, 2003):

$$\alpha = 100\% \cdot \left| \frac{I_D - I_{lin}}{I_{lin}} \right| \quad (2.16)$$

No cálculo de α , bem como no cálculo de outros parâmetros de linearidade como a distorção harmônica de terceira ordem, costuma-se expressar I_D como uma série de potências (ARNAUD; GALUP-MONTORO, 2003), (RAZAVI, 2001). Geralmente considera-se até a terceira potência. Neste caso temos:

$$I_D = \frac{B_1}{1!} V_{SD} + \frac{B_2}{2!} V_{SD}^2 + \frac{B_3}{3!} V_{SD}^3 \quad (2.17)$$

onde

$$B_k = \left. \frac{d^k I_D}{dV_{SD}^k} \right|_{V_{SD}=0} \quad (2.18)$$

A seguir, apresenta-se o cálculo de α para o caso $V_S = \text{constante}$, ou seja, para o caso em que as variações de corrente são produzidas por variações em V_D . Se V_S é constante então, de acordo com 2.8, i_F é constante e portanto:

$$\frac{di_R}{dV_{SD}} = -\frac{1}{I_S} \cdot \frac{dI_D}{dV_{SD}} \quad (2.19)$$

logo:

$$B_1 = \frac{2I_S}{\phi_t} \cdot (\sqrt{1+i_F} - 1) \quad (2.20)$$

$$B_2 = -\frac{2I_S}{\phi_t^2} \cdot \frac{\sqrt{1+i_F} - 1}{\sqrt{1+i_F}} \quad (2.21)$$

$$B_3 = \frac{2I_S}{\phi_t^3} \cdot \frac{\sqrt{1+i_F} - 1}{\sqrt{1+i_F}^3} \quad (2.22)$$

substituindo em 2.16 obtém-se:

$$\alpha = 100\% \cdot \frac{V_{SD}}{2\phi_t\sqrt{1+i_F}} \left(1 - \frac{V_{SD}}{3\phi_t\sqrt{1+i_F}} \right) \quad (2.23)$$

Com o intuito de validar a expressão 2.23, foram realizadas simulações do tipo *DC sweep*, variando a tensão V_D . Em todas as simulações as tensões V_S e V_B foram fixadas em $3.3V$, enquanto que V_G foi fixado em cada simulação em um valor diferente. Cada valor de V_G define um valor de i_F obtido com a equação 2.8. Foram obtidos valores de α para diferentes valores de i_F e para um valor fixo de $V_{SD} = 30mV$. Na figura 2.4 são comparados os valores obtidos por simulação com os valores obtidos mediante a expressão 2.23.

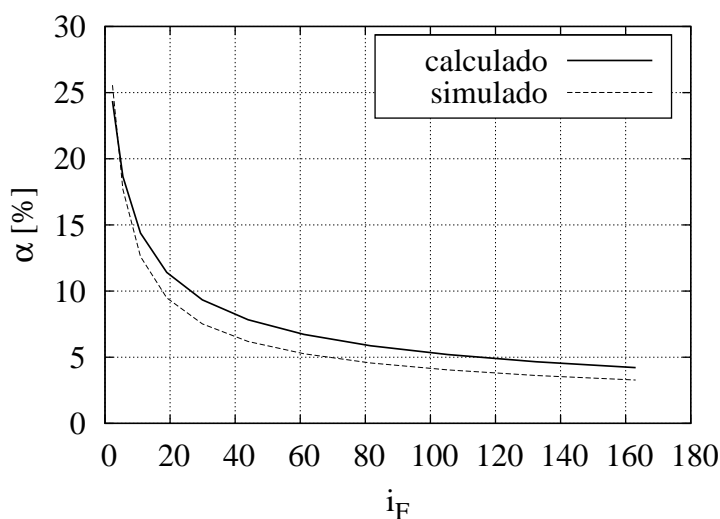


Figura 2.4: Comparação dos valores de α calculados com os simulados, para $V_{SD} = 30mV$.

2.2.2 Efeito das variações de processo

Outro parâmetro importante é a variação da resistência equivalente devida a variações do processo de fabricação. Na figura 2.5 apresenta-se a variação percentual da resistência em relação a um valor nominal de $200k\Omega$.

De acordo com a figura 2.5, quanto maior o nível de inversão, menor a variação da resistência do transistor devida a variações de processo. Normalmente usa-se alguma técnica de calibração para corrigir as variações causadas pelo processo de fabricação. A polarização adequada do transistor pode diminuir as variações da resistência e, portanto, o *hardware* requerido para a compensação.

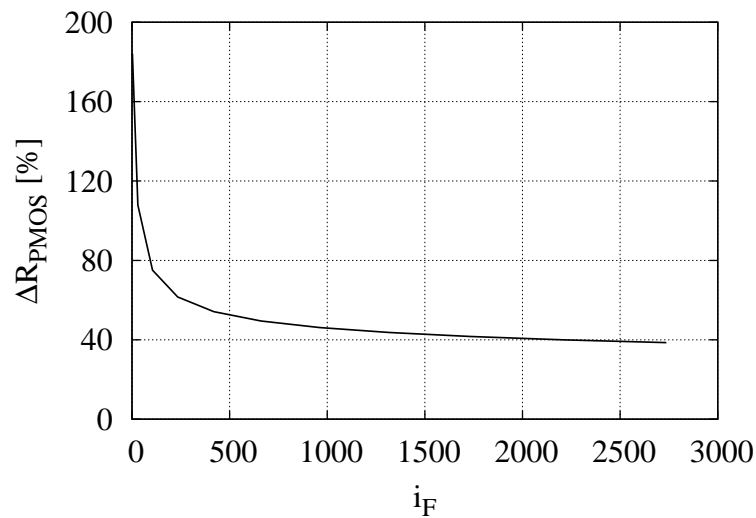


Figura 2.5: Variação percentual do R_{PMOS} em relação a $200k\Omega$.

2.3 Projeto de um espelho de corrente

A versão mais simples do espelho de corrente é apresentada na figura 2.6. A função do circuito é gerar na saída uma corrente aproximadamente igual à corrente de entrada. Uma especificação importante é a impedância de saída, porém no caso dos circuitos empregados neste trabalho não será considerada essa especificação. Como se verá depois, dadas algumas condições especiais sob as quais têm que operar estes circuitos, os valores do comprimento de canal nos espelhos são elevados, portanto, a impedância de saída geralmente é elevada. Se em algum caso não se atingisse o valor de impedância de saída desejado, recorrer-se-ia a outra arquitetura de espelho de corrente.

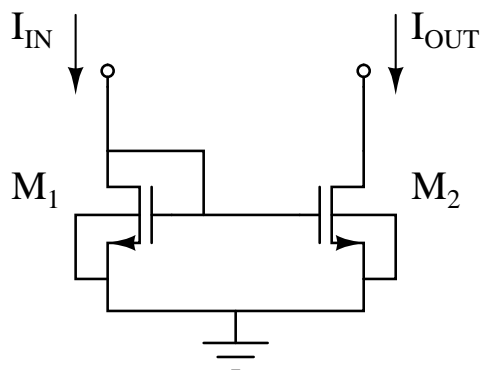


Figura 2.6: Espelho de corrente.

O parâmetro de desempenho que se utilizará nos espelhos de corrente está relacionado com um fenômeno estatístico conhecido como descasamento. Dados dois transistores

projetados com as mesmas dimensões e colocados muito próximos dentro do circuito integrado, espera-se que as tensões de limiar sejam iguais. Porém, devido a imperfeições do processo de fabricação, existirá uma diferença entre as tensões de limiar. Da mesma forma, ocorrem variações do parâmetro I_{SH} . Para o projeto de espelhos de corrente, deverá ser levado em conta o efeito dessas diferenças (ΔV_t) e (ΔI_{SH}) no cálculo da diferença relativa das correntes de entrada e saída ($\Delta I_D/I_D$). Para dois transistores NMOS de dimensões iguais, como aqueles da figura 2.6, cumpre-se a seguinte equação:

$$\Delta I_D = \left(\frac{\partial I_D}{\partial V_{tn}} \right) \Delta V_{tn} + \left(\frac{\partial I_D}{\partial I_{SH}} \right) \Delta I_{SH} \quad (2.24)$$

Em termos dos desvios padrão:

$$\sigma_{\Delta I_D}^2 = \left(\frac{\partial I_D}{\partial V_{tn}} \right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\partial I_D}{\partial I_{SH}} \right)^2 \sigma_{\Delta I_{SH}}^2 \quad (2.25)$$

De acordo com a equação 2.6:

$$\frac{\partial I_D}{\partial V_{tn}} = -g_{mg} = -\frac{2I_D}{n_N \phi_t (\sqrt{1 + i_F} + 1)} \quad (2.26)$$

$$\frac{\partial I_D}{\partial I_{SH}} = \frac{I_D}{I_{SH}} \quad (2.27)$$

Substituindo a equação 2.27 na equação 2.25, obtém-se:

$$\left(\frac{\sigma_{\Delta I_D}}{I_D} \right)^2 = \left(\frac{g_{mg}}{I_D} \right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}} \right)^2 \quad (2.28)$$

$$\left(\frac{\sigma_{\Delta I_D}}{I_D} \right)^2 = \left(\frac{2}{n_N \phi_t (\sqrt{1 + i_F} + 1)} \right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}} \right)^2 \quad (2.29)$$

Os desvios padrão presentes no lado direito da equação 2.28 dependem das áreas dos dispositivos e da separação entre eles. Supondo que os dispositivos estejam muito próximos, o efeito da separação é mínimo, então de acordo com (PELGROM; DUINMAIJER; WELBERS, 1989):

$$\sigma_{V_{tn}} = \frac{A_{V_{tn}}}{\sqrt{W \cdot L}} \quad (2.30)$$

$$\frac{\sigma_{I_{SH}}}{I_{SH}} = \frac{A_{I_{SH}}}{\sqrt{W \cdot L}} \quad (2.31)$$

onde $A_{V_{tn}}$ e $A_{I_{SH}}$ são os parâmetros de descasamento dependentes da área. Substituindo

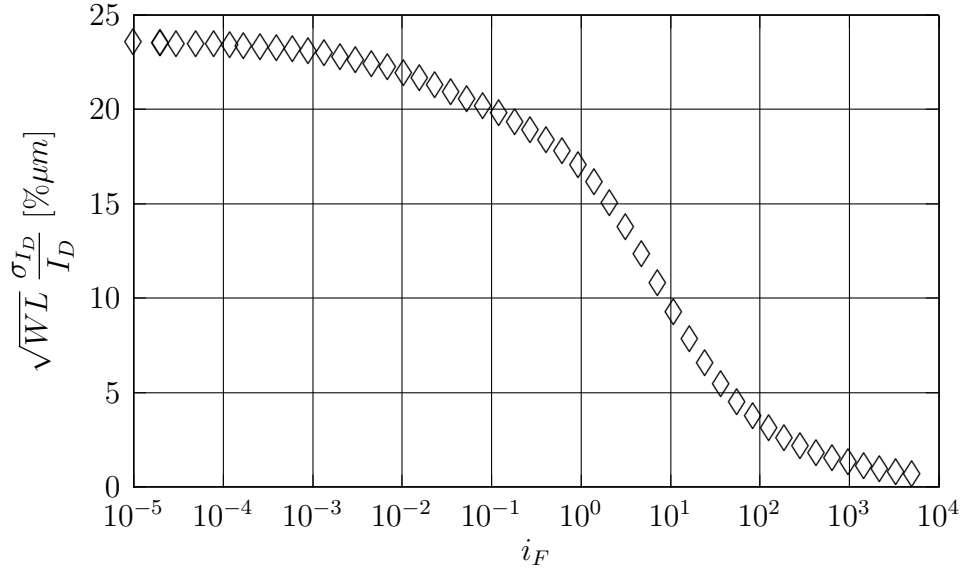


Figura 2.7: Descasamento de corrente em função de i_F .

na equação 2.29, obtém-se:

$$(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D} \right)^2 = \left(\frac{2}{n_N \phi_t (\sqrt{1 + i_F} + 1)} \right)^2 A_{V_{tn}}^2 + A_{I_{SH}}^2 \quad (2.32)$$

Para uma determinada área e considerando um *layout* feito de modo a minimizar os efeitos de descasamento (HASTINGS, 2001), o controle do projetista para o desvio padrão da variação da corrente é representado no termo g_{mg}/I_D da equação 2.32, o qual, por sua vez, é função de i_F .

Como se pode deduzir a partir da equação 2.32, quanto menor o valor de i_F maior o descasamento de corrente. Isso ocorre devido à contribuição do descasamento do V_{tn} . Para minimizar essa contribuição, costuma-se polarizar os transistores do espelho de corrente com valores suficientemente elevados de i_F . Porém, para valores demasiadamente elevados, incrementos de i_F não importam muito pois existe um limite inferior para o descasamento:

$$(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D} \right)^2 > A_{I_{SH}}^2 \quad (2.33)$$

Na figura 2.7 apresenta-se a curva da expressão: $(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D} \right)$, obtida por simulação.

Para um transistor NMOS do processo de $0,35 \mu m$ do fabricante *Austriamicrosystems* (AMS), $A_{V_{tn}} = 9,5 mV \cdot \mu m$ e $A_{I_{SH}} = 0,7\% \cdot \mu m$.

Finalmente é apresentado o procedimento para projetar um espelho de corrente. Dada a especificação de tensão de saturação, o valor de i_F é obtido mediante a equação 2.11.

Então, conhecido o valor de i_F e da corrente que se deseja copiar, o valor de W/L é calculado. Substituindo o valor de i_F na equação 2.32 e conhecendo o valor de desvio de corrente desejado, calcula-se o valor de $W \cdot L$.

Por exemplo, para o processo de fabricação $AMS\ 0,35\mu m$, um espelho de $1\mu A$ com $V_{DSsat} < 0,2V$ e $\sigma_{I_D}/I_D < 1\%$ é projetado assim: da equação 2.11, para $V_{DSsat} < 0,2V$ obtém-se $i_F < 37$. Com $I_D = 1\mu A$, $W/L > 0,15$. Da equação 2.32, $W \cdot L > 70\mu m^2$. Então $L = 25\mu m$ e $W = 4\mu m$. Com esses valores os resultados de simulação são os seguintes: $V_{DSsat} = 0,2$ e $\sigma_{I_D}/I_D = 0,5\%$

2.4 Projeto de um par diferencial

O par diferencial é mostrado na figura 2.8(a). Dada uma tensão de entrada $V_{in} = V_1 - V_2$ o circuito gera uma corrente de saída $I_{out} = I_1 - I_2$ com uma relação entre essas variáveis representada na figura 2.8(b).

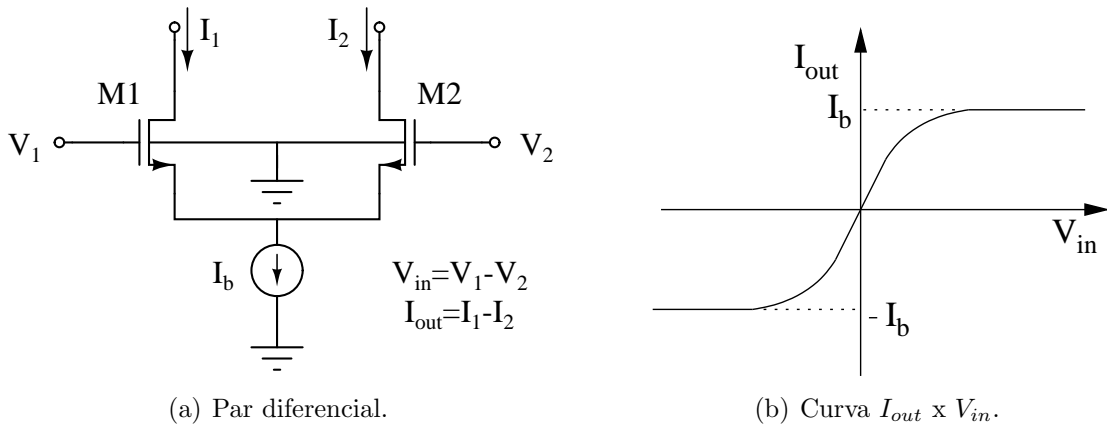


Figura 2.8: Par diferencial.

Neste caso, as variáveis de projeto são as dimensões dos transistores, W e L , e a corrente de polarização I_b . O primeiro parâmetro de desempenho a se considerar é a transcondutância:

$$g_{m_{par}} = \left. \frac{\partial I_{out}}{\partial V_{in}} \right|_{V_{in}=0} = \frac{I_b}{n\phi_t} \frac{1}{\sqrt{1 + i_F} + 1} \quad (2.34)$$

Em algumas aplicações do par diferencial, uma propriedade importante é a linearidade, que pode ser medida pela diferença relativa entre a corrente de saída e a corrente linear para uma dada entrada $V_{in} = A$:

$$\alpha = 100\% \cdot \left| \frac{I_{out} - I_{lin}}{I_{lin}} \right| \quad (2.35)$$

onde $I_{lin} = gm_{par} \cdot A$

Outro parâmetro que mede a linearidade é a distorção harmônica total, representado pelas suas siglas em inglês *THD* (*Total Harmonic Distortion*). A distorção harmônica para uma faixa linear de A é a relação entre a potência das componentes harmônicas de ordem maior de que 1 e a potência da harmônica fundamental na saída quando se aplica um sinal senoidal de amplitude A na entrada. Também se pode definir como a raiz quadrada dessa relação e ser expressa em termos percentuais. Se na entrada se tem o sinal $V_{in} = A \cos(\omega t)$ e na saída se obtém $I_{out} = \sum_{k=1}^{\infty} A_k \cos(k\omega t)$, então a distorção harmônica total é calculada como (RAZAVI, 2001):

$$THD = \sqrt{\frac{\sum_{k=2}^{\infty} A_k^2}{A_1^2}} 100\% \quad (2.36)$$

Como dito anteriormente, na análise de linearidade costuma-se aproximar a função analisada à um polinômio de terceira ordem. Neste caso:

$$I_{out} = \frac{B_1}{1!} V_{in} + \frac{B_2}{2!} V_{in}^2 + \frac{B_3}{3!} V_{in}^3 \quad (2.37)$$

onde

$$B_1 = gm_{par} \quad (2.38)$$

$$B_2 = 0 \quad (2.39)$$

$$B_3 = -\frac{gm_{par}}{4 n^2 \phi_t^2} \frac{3\sqrt{1+i_F} - 1}{\sqrt{1+i_F}^3} \quad (2.40)$$

Substituindo em 2.35 e 2.36 obtêm-se:

$$\alpha = y \frac{A^2}{6} \quad (2.41)$$

$$THD = \frac{100\%}{\frac{1}{y} \frac{24}{A^2} - 3} \quad (2.42)$$

$$\text{onde } y = -\frac{B_3}{B_1} = \frac{1}{4 n^2 \phi_t^2} \frac{3\sqrt{1+i_F} - 1}{\sqrt{1+i_F}^3}$$

Na figura 2.9 comparam-se os valores teóricos de *THD* com os valores obtidos por simulação.

Outra especificação importante do par diferencial é a tensão de *offset* referida à entrada (V_{os}). Essa tensão é definida como a tensão de entrada que gera uma corrente de saída igual a zero. Idealmente, se os dois transistores do par diferencial são iguais, a tensão de

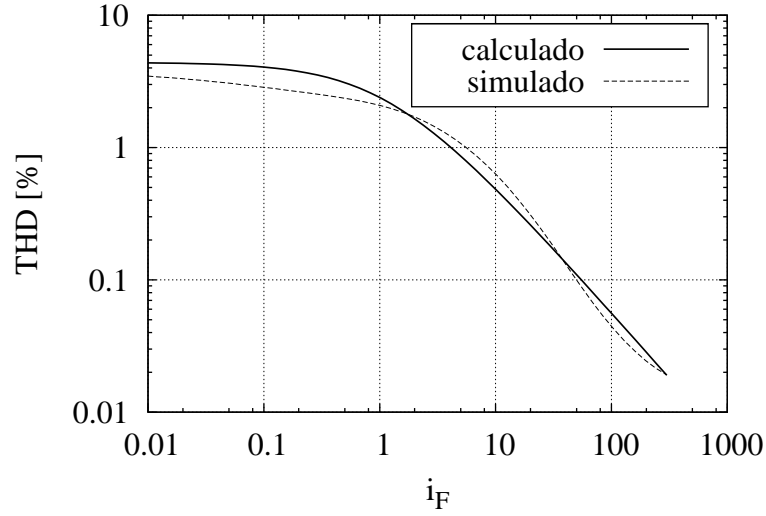


Figura 2.9: THD calculado (equação 2.42) e simulado, para $V_{in} = 50mV$.

offset é zero. Porém, devido às variações de processo, a tensão de *offset* é diferente de zero. O desvio da corrente de dois transistores idênticos foi descrito na equação 2.28. A tensão de *offset* pode ser calculada da seguinte forma:

$$V_{os} = \frac{\Delta I_D}{g_m g} \quad (2.43)$$

Então, empregando a equação 2.28:

$$(W \cdot L)(\sigma_{V_{os}})^2 = A_{V_{in}}^2 + \left(\frac{n_N \phi_t (\sqrt{1 + i_F} + 1)}{2} \right)^2 A_{I_{SH}}^2 \quad (2.44)$$

Ao contrário do caso do espelho de corrente, no par diferencial procura-se polarizar os transistores com valores baixos de i_F . É claro que a tensão de *offset* entra em compromisso com a linearidade, sendo que quanto menor a tensão de *offset* maior a distorção harmônica.

2.5 Transcondutor com degeneração de fonte

Em implementações eletrônicas de modelos neurais, costuma-se utilizar transcondutores com valor muito baixo de transcondutância (na faixa dos pS ou nS). Como foi visto nas seções anteriores, quanto menor o valor da transcondutância, menor a linearidade do transcondutor. Nesta seção é apresentado um tipo de transcondutor que permite atingir valores de transcondutância na faixa dos pS , mantendo uma linearidade superior em relação a um transcondutor simples. O transcondutor apresentado aqui (ver figura 2.10), que pertence à categoria dos transcondutores com degeneração de fonte, utiliza também, a técnica de divisão de corrente.

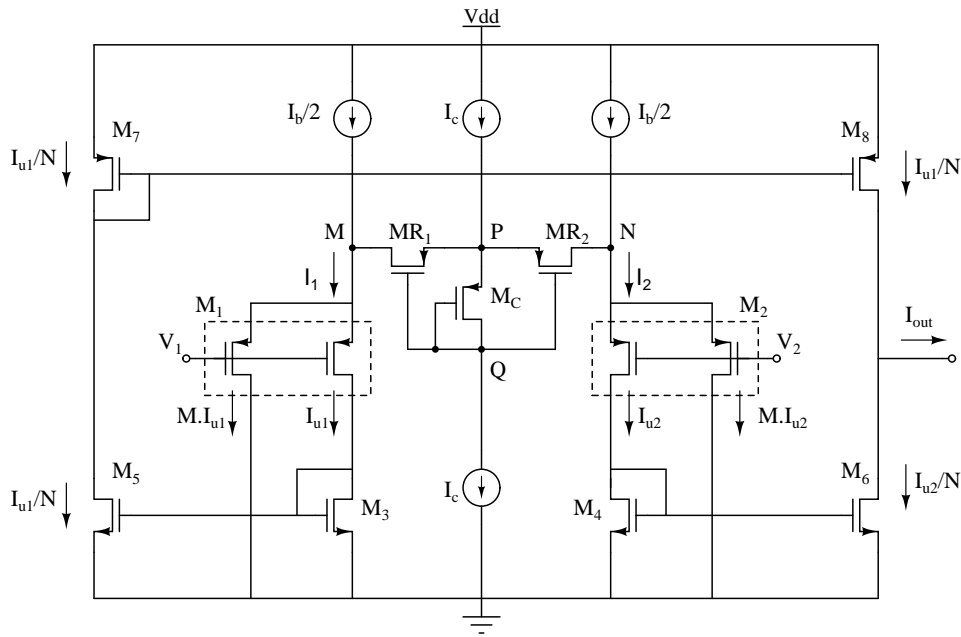


Figura 2.10: Transcondutor linearizado com transistores de degeneração.

O par diferencial $M_1 - M_2$ é linearizado mediante os transistores MR_1 e MR_2 , os quais operam na região ôhmica e são chamados de transistores de degeneração. As fontes de corrente I_c e o transistor M_c estabelecem uma diferença de tensão entre os pontos P e Q que é independente da tensão nos pontos M e N. Dessa forma, se garante que a polarização dos transistores MR_1 e MR_2 seja independente das tensões nas entradas.

Utilizando o modelo de pequenos sinais do circuito, demonstra-se que a transcondutância do par diferencial linearizado $M_1 - M_2$, considerando como tensão de entrada $V_{in} = V_2 - V_1$ e como corrente de saída $I_{par} = I_1 - I_2$, é:

$$gm_{lin} = \frac{dI_{par}}{dV_{in}} = \frac{g_{mg}}{1 + g_{mg}R} \quad (2.45)$$

onde R é a resistência equivalente de cada um dos transistores MR_1 e MR_2 que operam na região ôhmica.

Como visto anteriormente, o comportamento da corrente de um transistor operando em região ôhmica é mais linear que aquele da corrente de saída de um par diferencial simples. Portanto, a presença do termo R na equação 2.45 indica uma melhora na linearidade do par diferencial. Posteriormente será demonstrado analiticamente que, quanto maior o valor de R , maior a linearidade do circuito.

A técnica de divisão de corrente é aplicada da seguinte forma: cada um dos transistores do par diferencial é dividido em $(M + 1)$ transistores unitários e a corrente de apenas

um desses transistores unitários é transferida à saída. O transistor M_4 é composto por N transistores idênticos ao transistor M_6 . Assim, a corrente de M_4 é dividida por N e espelhada ao estágio de saída. Da mesma maneira, o transistor M_3 consiste em N transistores idênticos ao transistor M_5 . Então a corrente de saída do transcondutor é igual à corrente de saída do par diferencial dividida por $(M + 1) \cdot N$. Como consequência da técnica de divisão de corrente obtém-se um valor reduzido de transcondutância, pois:

$$gm_{OTA} = \frac{dI_{out}}{dV_{in}} = \frac{1}{(M + 1) \cdot N} \frac{dI_{par}}{dV_{in}} \quad (2.46)$$

$$\Rightarrow gm_{OTA} = \frac{gm_{lin}}{(M + 1) \cdot N} \quad (2.47)$$

A análise de linearidade do par diferencial degenerado (ver figura 2.11) é similar à análise feita para o par diferencial simples. A função, cuja linearidade será analisada, é $I_{par} = f(V_{in})$:

$$I_{par} = \frac{B_1}{1!} V_{in} + \frac{B_2}{2!} V_{in}^2 + \frac{B_3}{3!} V_{in}^3 \quad (2.48)$$

onde

$$B_1 = \left. \frac{\partial I_{par}}{\partial V_{in}} \right|_{V_{in}=0} = gm_{lin} \quad (2.49)$$

$$B_2 = \left. \frac{\partial^2 I_{par}}{\partial V_{in}^2} \right| = 0 \quad (2.50)$$

$$B_3 = \left. \frac{\partial^3 I_{par}}{\partial V_{in}^3} \right| = -B_1^4 \left[\frac{3\phi_t^6}{32a^5 I_R^3} + \frac{n\phi_t}{64I_P^3} \frac{3\sqrt{1+i_f} - 1}{(\sqrt{1+i_f} - 1)^3 \sqrt{1+i_f}^3} \right] \quad (2.51)$$

Igual ao caso do par diferencial simples, dada uma entrada de amplitude $V_{in} = A$, os parâmetros α e THD dependerão da relação entre os coeficientes de terceira e primeira ordem da decomposição polinômica.

A seguir são repetidas as expressões de α e THD obtidas na análise do par diferencial simples:

$$\alpha = y \frac{A^2}{6} \quad (2.52)$$

$$THD = \frac{100\%}{\frac{1}{y} \frac{24}{A^2} - 3} \quad (2.53)$$

Assim sendo, verifica-se que a diferença em relação ao par diferencial simples está no termo y , sendo desta vez

$$y = -\frac{B_3}{B_1} = a(1-x)^3 + bx^3 \quad (2.54)$$

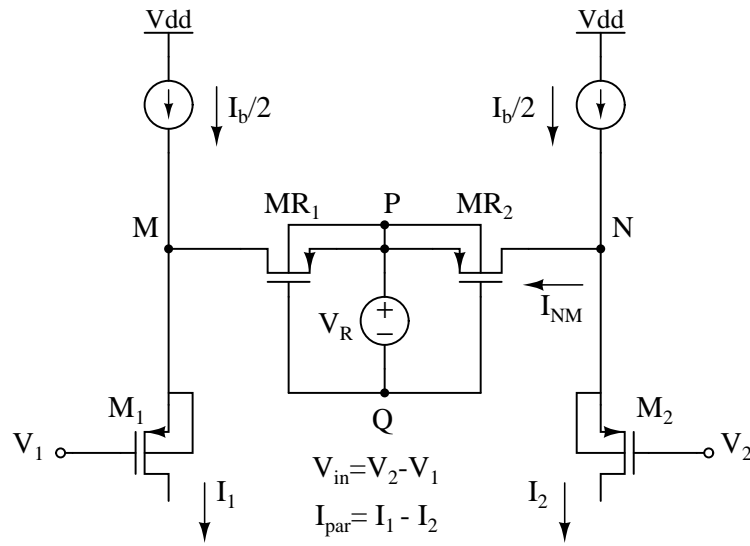


Figura 2.11: Par diferencial linearizado com transistores operando na região ôhmica.

onde

$$x = \frac{gm_{lin}}{g_{mg}} \quad (2.55)$$

$$a = \frac{3}{4 V_{pR}^2} \quad (2.56)$$

$$b = \frac{3\sqrt{1+i_f} - 1}{8n_p^2\phi_t^2\sqrt{1+i_f}^3} \quad (2.57)$$

Da mesma maneira que no caso do par diferencial simples, quanto menor o valor de y , maior a linearidade do circuito. Na equação 2.54, o termo $a(1-x)^3$ representa a contribuição dos transistores de degeneração à não-linearidade, enquanto que o termo $b x^3$ representa a contribuição do par diferencial. Como os transistores de degeneração são mais lineares que o par diferencial, minimizar a contribuição do par diferencial é uma estratégia para maximizar a linearidade do circuito. A contribuição do par diferencial é menor quanto menor é o valor de x . É importante notar que $1-x$ é a relação entre a resistência dos transistores de degeneração e a inversa da transcondutância dos transistores do par diferencial:

$$1-x = \frac{R}{\frac{1}{g_{mg}}} \quad (2.58)$$

Assim sendo, em valores elevados de R em relação à inversa de $1/g_{mg}$, pode-se obter maior linearidade.

No capítulo 3 será apresentado o projeto de um modelo de neurônio, no qual um dos

circuitos empregados é um transcondutor linearizado por degeneração de fonte, que pela função que cumpre no modelo recebe o nome de “Transcondutor de Vazamento”. As especificações para esse transcondutor são $12,3nS$ de transcondutância e $\alpha < 3\%$ numa faixa linear de $\pm 300mV$.

Empregando os procedimentos desenvolvidos nesta seção foram calculadas a dimensões dos transistores do transcondutor de vazamento as quais estão apresentadas na figura B.3 do apêndice B. O *layout* do circuito está apresentado na figura C.1 do apêndice C.

O circuito foi fabricado, medido e se obteve a curva da figura 2.12.

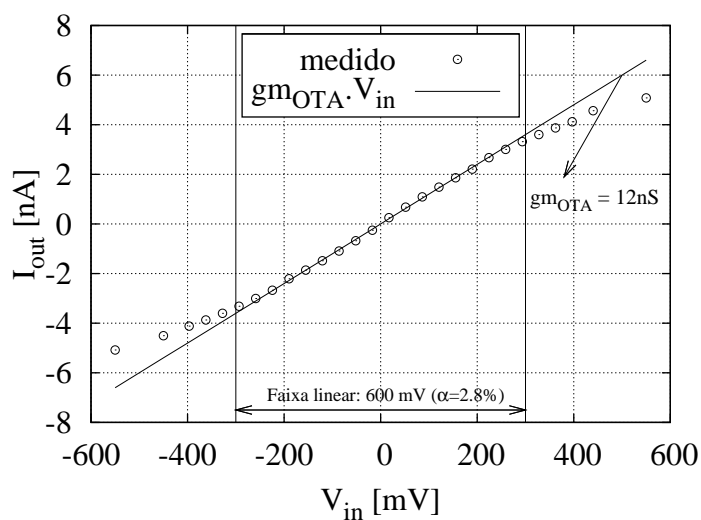


Figura 2.12: Corrente de saída do transcondutor com degeneração de fonte, fabricado no processo CMOS AMS 0, $35\mu m$.

Resultados da análise de linearidade do transcondutor, bem como a sua dependência com o *offset* devido a descasamento do par diferencial foram apresentadas em um congresso (SALDAÑA-PUMARICA; DEL-MORAL-HERNANDEZ, 2010).

3 Projeto de um modelo de neurônio baseado em condutâncias

No capítulo anterior foram apresentadas expressões úteis para o projeto em CMOS de circuitos que operam em baixa frequência. Essas expressões foram usadas no projeto do circuito apresentado neste capítulo, o qual é um gerador de impulsos elétricos com formato semelhante ao potencial de ação biológico. Neste capítulo serão utilizados elementos do modelo elétrico do neurônio, os quais são detalhados no apêndice A.

O circuito cujo projeto é apresentado aqui, foi reportado pelos pesquisadores Rasche e Douglas no ano 2000 (RASCHE; DOUGLAS, 2000). O aporte da presente dissertação é um método de projeto baseado num modelo contínuo do transistor MOS.

3.1 Descrição do circuito

Na figura 3.1 é apresentado o diagrama esquemático do modelo do neurônio baseado em condutâncias relatado por Rasche e Douglas em (RASCHE; DOUGLAS, 2000). Cada um dos transdutores T_1 , T_2 , T_3 , T_4 e T_5 está formado por um par diferencial tipo N e um espelho de corrente tipo P, sendo I_i a corrente de polarização do par. O transcondutor T_6 é igual ao apresentado na figura 2.10, e I_6 representa apenas a máxima corrente que pode entregar a uma carga ou extrair dela. O capacitor C_M modela a propriedade capacitiva da membrana, os transistores M_{Na} e M_K modelam as condutâncias de sódio e potássio respectivamente. As correntes de sódio (I_{Na}) e potássio (I_K) respectivamente dependem das tensões nos pontos P e Q, as quais são determinadas pelos circuitos de controle de sódio e potássio. O circuito de vazamento, fixa o potencial da membrana em repouso (E_{rep}). Em repouso a tensão da membrana é menor que a tensão de limiar (E_{lim}). Então, as correntes de saída dos transdutores T_2 , T_3 e T_5 são nulas, e, portanto, as correntes de sódio e potássio também. A fonte de corrente (I_{ext}) modela um estímulo externo. Para

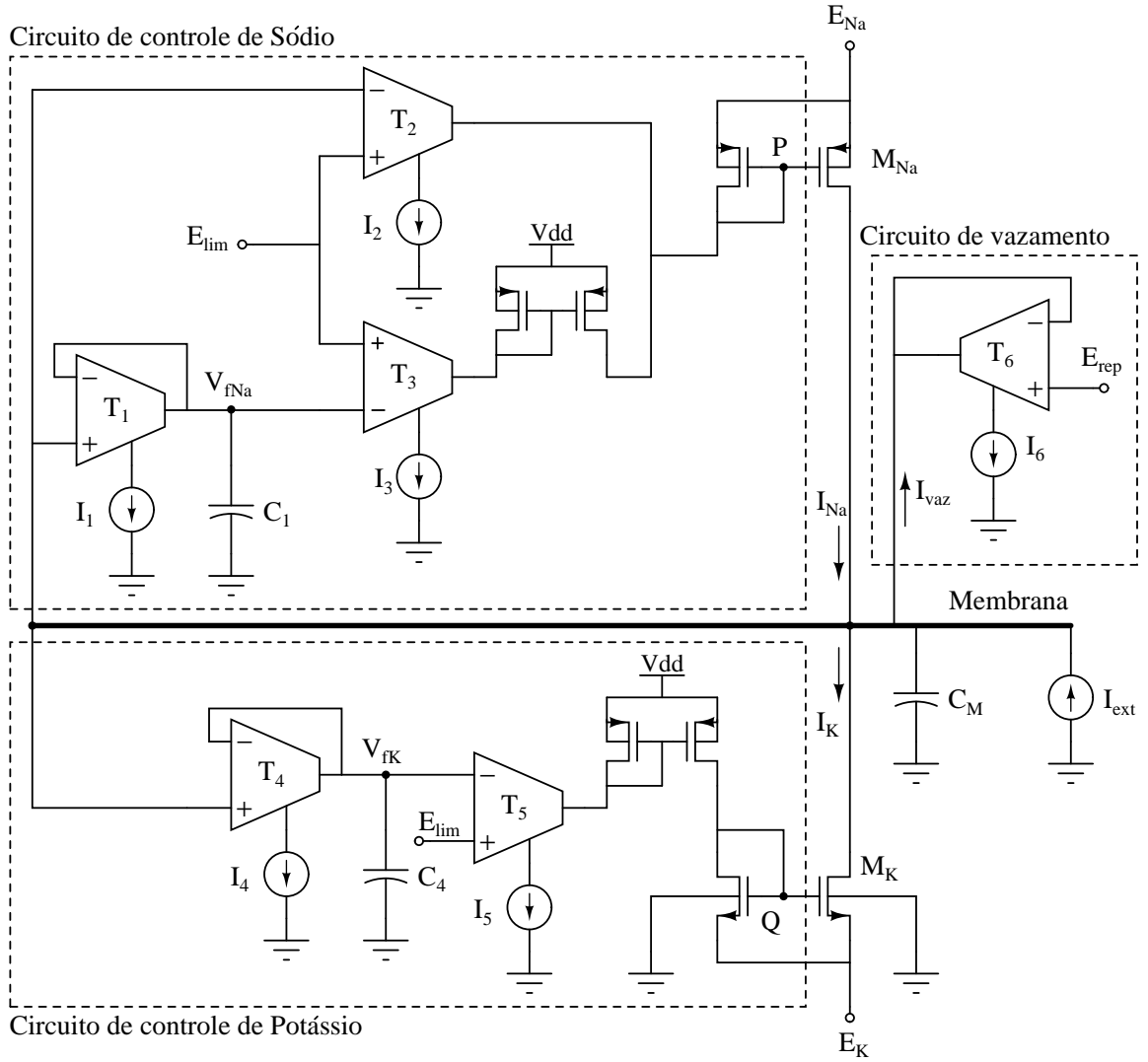


Figura 3.1: Esquema do circuito que implementa o modelo baseado em condutâncias (RASCHE; DOUGLAS, 2000).

que esse estímulo externo gere um potencial de ação, o mesmo deve ser suficiente para carregar o capacitor C_M até um valor maior que o limiar. Ou seja:

$$\frac{I_{ext}}{GM_6} + E_{rep} > E_{lim} \quad (3.1)$$

onde GM_6 é a transcondutância do transcondutor T_6 . Desta forma obtemos a primeira equação de projeto:

$$GM_6 = \frac{I_{lim}}{(E_{lim} - E_{rep})} \quad (3.2)$$

onde E_{lim} é a tensão de limiar, E_{rep} é a tensão de repouso e I_{lim} é o estímulo externo mínimo necessário para gerar um potencial de ação.

Outra equação está relacionada com a faixa linear (A) do transcondutor 6. Neste

projeto, escolheu-se uma faixa linear de:

$$A_6 = E_{lim} - E_{rep} \quad (3.3)$$

que permite que o aumento da tensão da membrana desde E_{rep} até E_{lim} tenha uma característica exponencial em relação ao tempo.

Como foi visto no capítulo 2, as equações 3.2 e 3.3 são suficientes para obter as dimensões dos transistores do par diferencial do transcondutor T_6 e a corrente I_6 .

Quando o potencial da membrana supera o de limiar, entra corrente pelo terminal de saída do transcondutor T_2 e essa corrente é copiada ao transistor M_{Na} . Então a corrente máxima de sódio é igual a I_2 . Por outro lado, a máxima corrente de vazamento I_{vaz} é igual a I_6 , portanto a corrente que carrega o capacitor C_M quando o potencial está acima do limiar é:

$$I_{C_M} = I_2 - I_6 + I_{ext} \quad (3.4)$$

Especificando-se a máxima velocidade de incremento do potencial (SR_{max}) de membrana durante a fase ascendente do potencial de ação para um estímulo mínimo, obtém-se outra equação de projeto:

$$I_2 = (SR_{max})(C_M + C_p) + I_6 - I_{lim} \quad (3.5)$$

onde C_p é a capacitância parasita que aparece em paralelo com C_M .

Devido à operação do integrador $T_1 - C_1$, a tensão do capacitor C_1 aumenta com um atraso em relação à tensão da membrana. Portanto, o transcondutor T_3 satura depois do transcondutor T_2 . Quando o transcondutor T_3 satura, a corrente de sódio é nula e a situação equivale à inativação dos canais de sódio. Para que o canal de sódio fique efetivamente inativo a corrente I_3 deve ser igual ou maior à corrente I_2 . No intuito de reduzir o consumo de corrente obtemos $I_3 = I_2$. Um valor aproximado da tensão de entrada do transcondutor necessária para a saturação é: I_3/GM_3 para T_3 e I_2/GM_2 para T_2 . Especificando o potencial de membrana para o qual se atinge a máxima condutância (E_{max}), obtém-se a seguinte equação de projeto:

$$GM_2 = GM_3 = \frac{I_2}{E_{max} - E_{lim}} \quad (3.6)$$

Outra especificação importante do modelo é o tempo que transcorre desde que se atinge a corrente máxima de sódio até a inativação dos canais de sódio, t_{Na} . Esse tempo

pode ser aproximado como o retardo introduzido pelo integrador. Supondo que a entrada do integrador é um pulso que desde E_{lim} até E_{Na} , t_{Na} será igual ao tempo que leva o potencial V_1 do capacitor C_1 para atingir E_{max} :

$$t_{Na} = (E_{max} - E_{lim}) \frac{C_1}{I_1} \quad (3.7)$$

assim, obtém-se a equação de projeto 3.8:

$$I_1 = (E_{max} - E_{lim}) \frac{C_1}{t_{Na}} \quad (3.8)$$

A equação 3.7 foi obtida assumindo que o tempo que o transcondutor T_1 demora para saturar é muito menor em comparação a t_{Na} . Essa aproximação é válida se a tensão necessária para saturar T_1 é pequena o suficiente. Representado essa tensão como V_{1sat} , emprega-se a seguinte aproximação:

$$V_{1sat} \approx \frac{I_1}{GM_1} = n_N \phi_t (\sqrt{1 + i_{F1}} + 1) \quad (3.9)$$

na qual observa-se que para reduzir o valor de V_{1sat} é necessário diminuir o valor de i_{F1} . Sendo $i_{F1} > 0$, $V_{1sat} > 70mV$.

Definindo t_K como o tempo que transcorre desde que se atinge a corrente máxima de sódio até que se atinge a corrente máxima de potássio $I_5 = I_{K-max}$, é válida a seguinte equação:

$$I_4 = (E_{max} - E_{lim}) \frac{C_4}{t_K} \quad (3.10)$$

Finalmente, considerando que a máxima corrente de potássio é atingida quando a tensão de membrana é E_{max} :

$$GM_5 = \frac{I_5}{E_{max} - E_{lim}} \quad (3.11)$$

3.2 Projeto do circuito

Na tabela 3.1 estão as especificações escolhidas para o projeto do circuito. Considerando que a aplicação do circuito será o estudo de modelos neurais baseados em impulsos elétricos, e que esses estudos serão realizados num laboratório de testes, escolheram-se como condições de operação uma tensão de alimentação nominal de $3,3 V$ e uma temperatura de operação de $27^\circ C$. A temperatura interna do *chip* é maior à do ambiente, portanto para o cálculo e simulação do circuito escolheu-se a temperatura de $40^\circ C$.

Tabela 3.1: Especificações para o modelo baseado em condutâncias

Símbolo	Descrição	valor
V_{DD}	Tensão de alimentação	$3,3 V$
T	Temperatura de operação do <i>chip</i>	$27^\circ C$
E_{rep}	Potencial de repouso	$1,2 V$
E_{lim}	Potencial de limiar	$1,5 V$
E_{Na}	Potencial de equilíbrio de Sódio	$3,0 V$
E_K	Potencial de equilíbrio de Potássio	$1,0 V$
I_{lim}	Estímulo externo mínimo para gerar PA	$3,7 nA$
SR_{max}	Inclinação máxima do PA na fase ascendente	$230 mV/\mu s$
C_M	Capacitância de membrana	$1 pF$
C_1	Capacitância do integrador de Sódio	$1 pF$
C_4	Capacitância do integrador de Potássio	$1 pF$
t_{Na}	Retardo do integrador de Sódio	$20 \mu s$
t_K	Retardo do integrador de Potássio	$100 \mu s$
E_{max}	Potencial de membrana para máxima condutância	$1,7 V$

3.2.1 Projeto do transcondutor de T_6

Considerando a equação 3.2 obtém-se a transcondutância de T_6 :

$$GM_6 = \frac{3,7 nA}{300 mV} = 12,3 nA/V \quad (3.12)$$

Pode-se calcular a faixa linear de T_6 mediante a equação 3.3:

$$A_6 = 1,5 V - 1,2 V = 300 mV \quad (3.13)$$

Para um $THD < 1\%$ foi escolhido um transcondutor com par diferencial linearizado e obteve-se $I_{6max} = 50 nA$ como máxima corrente que entra no nó de saída.

Os transdutores T_1 a T_5 são do tipo simples como aquele apresentado na figura 3.2. No lado esquerdo dessa figura está o símbolo do transcondutor que tem sido empregado na figura 3.1. No lado direito destacam-se as partes do transcondutor simples: carga ativa, par diferencial e fonte de corrente.

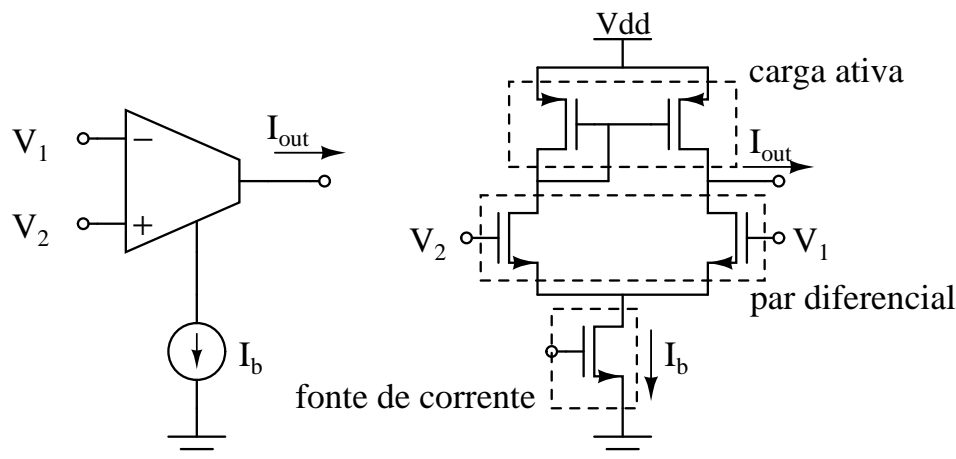


Figura 3.2: Símbolo e diagrama esquemático dos transdutores T_1 a T_5

Nos cálculos apresentados a seguir, empregam-se os subíndices *carga*, *par* e *fonte* para indicar as dimensões dos transistores da carga ativa, do par diferencial e da fonte de corrente de um transcondutor.

3.2.2 Projeto do transcondutor T_1

A corrente I_1 é calculada a partir da equação 3.8:

$$I_1 = (1,7 V - 1,5 V) \frac{1 pF}{20 \mu s} = 10 nA \quad (3.14)$$

Com $V_{1sat} = 90mV$, e a partir das equações 3.9 e 2.4, calculam-se os seguintes valores de GM_1 e $(W/L)_{par1}$:

$$GM_1 = 110nA/V \quad (3.15)$$

$$\left(\frac{W}{L}\right)_{par1} = \frac{1}{20} \quad (3.16)$$

assim sendo, escolheu-se $W_{par1} = 2 \cdot 1\mu m$ e $L_{par1} = 40\mu m$.

3.2.3 Projeto dos transcondutores T_2 e T_3

Com ajuda da equação 3.5 obtém-se:

$$\begin{aligned} I_2 &= (230 \text{ mV}/\mu\text{s}) (1 \text{ pF} + 100 \text{ fF}) + 50 \text{ nA} - 3 \text{ nA} \\ \Rightarrow I_2 &= 300 \text{ nA} \end{aligned} \quad (3.17)$$

onde tem se estimado que $C_p \approx 100 \text{ fF}$.

Utilizando a equação 3.6:

$$\begin{aligned} GM_2 &= \frac{300 \text{ nA}}{1,7 \text{ V} - 1,5 \text{ V}} \\ \Rightarrow GM_2 &= 1500 \text{ nA/V} \end{aligned} \quad (3.18)$$

Conhecidos os valores de I_2 e GM_2 calcula-se o valor de i_{F2} com o auxílio da equação 2.34, e empregando a equação 2.4 obtém-se:

$$\left(\frac{W}{L}\right)_{par2} = \frac{1}{13.5} \quad (3.19)$$

e para fazer um *layout* com estrutura do tipo “*cross coupled*” (HASTINGS, 2001), escolheu-se $W_{par2} = 2 \cdot 1\mu\text{m}$ e $L_{par2} = 27\mu\text{m}$.

3.2.4 Projeto do transcondutor T_4

A corrente I_4 calcula-se da equação 3.10:

$$\begin{aligned} I_4 &= (1,7 \text{ V} - 1,5 \text{ V}) \frac{1 \text{ pF}}{100 \mu\text{s}} \\ \Rightarrow I_4 &= 2 \text{ nA} \end{aligned} \quad (3.20)$$

Com $V_{1sat} = 80\text{mV}$, e com auxílio das equações 3.9 e 2.4, calculam-se os seguintes valores de GM_4 e $(W/L)_{par4}$:

$$GM_4 = 25\text{nA/V} \quad (3.21)$$

$$\left(\frac{W}{L}\right)_{par4} = \frac{1}{20} \quad (3.22)$$

neste caso, escolheu-se $W_{par4} = 2 \cdot 1\mu\text{m}$ e $L_{par4} = 40\mu\text{m}$.

3.2.5 Projeto do transcondutor T_5

Com $I_5 = I_{K-max} = 30 \text{ nA}$ e $V_{5sat} = 75 \text{ mV}$, calcula-se:

$$\begin{aligned} GM_5 &= \frac{30 \text{ nA}}{75 \text{ mV}} \\ \Rightarrow GM_5 &= 400 \text{ nA/V} \end{aligned} \quad (3.23)$$

Da equação 3.9 calcula-se o valor de i_{F5} e substituindo na equação 2.4 obtém-se:

$$\left(\frac{W}{L}\right)_{par5} = \frac{3}{2} \quad (3.24)$$

assim sendo, escolheu-se $W_{par5} = 2 \cdot 3 \mu\text{m}$ e $L_{par5} = 4 \mu\text{m}$.

O cálculo das dimensões dos transistores da carga ativa foi realizado visando limitar o erro na cópia de corrente a 3% enquanto que para as fontes de corrente o erro foi limitado a 2%.

Na tabela 3.2 enumeram-se as dimensões dos transistores dos transcondutores T_1 , T_2 , T_3 , T_4 e T_5 .

Tabela 3.2: Dimensões dos transistores dos transcondutores T_1 a T_5

Circuito	Sub-Circuito	Tipo	Multiplicador	W	L
Transcondutor T1	Par Diferencial	NMOS	2	$1 \mu\text{m}$	$40 \mu\text{m}$
	Carga Ativa	PMOS	2	$1 \mu\text{m}$	$40 \mu\text{m}$
	Fonte de Corrente	NMOS	2	$1 \mu\text{m}$	$40 \mu\text{m}$
Transcondutor T2	Par Diferencial	NMOS	2	$1 \mu\text{m}$	$27 \mu\text{m}$
	Carga Ativa	PMOS	2	$1 \mu\text{m}$	$12 \mu\text{m}$
	Fonte de Corrente	NMOS	4	$1 \mu\text{m}$	$10 \mu\text{m}$
Transcondutor T3	Par Diferencial	NMOS	2	$1 \mu\text{m}$	$27 \mu\text{m}$
	Carga Ativa	PMOS	2	$1 \mu\text{m}$	$12 \mu\text{m}$
	Fonte de Corrente	NMOS	4	$1 \mu\text{m}$	$10 \mu\text{m}$
Transcondutor T4	Par Diferencial	NMOS	2	$1 \mu\text{m}$	$40 \mu\text{m}$
	Carga Ativa	PMOS	2	$1 \mu\text{m}$	$70 \mu\text{m}$
	Fonte de Corrente	NMOS	2	$1 \mu\text{m}$	$70 \mu\text{m}$
Transcondutor T5	Par Diferencial	NMOS	2	$1 \mu\text{m}$	$40 \mu\text{m}$
	Carga Ativa	PMOS	2	$1 \mu\text{m}$	$30 \mu\text{m}$
	Fonte de Corrente	NMOS	4	$1 \mu\text{m}$	$25 \mu\text{m}$

3.3 Simulações e discussão de resultados

Finalmente são apresentados os resultados das simulações do circuito. São listados os valores dos parâmetros do potencial de ação escolhidos na seção anterior como referência para o projeto.

Na figura 3.3, é apresentado o potencial de ação gerado pelo circuito para um estímulo externo de $3,7 \text{ nA}$. O valor desse estímulo é o mínimo necessário para gerar potencial de ação. É possível reconhecer a fase de carga da membrana, a abertura rápida dos canais de sódio que leva o potencial a um valor próximo da tensão de equilíbrio de sódio (de 3 V), a abertura lenta dos canais de potássio que leva o potencial a um valor próximo da tensão de equilíbrio de potássio (de 1 V) e a recarga passiva até o potencial de repouso (de $1,2 \text{ V}$). Para obter o potencial de ação apresentado na figura 3.3 o estímulo externo, de $3,7 \text{ nA}$ foi aplicado em $t = 0,5 \text{ ms}$ e teve uma duração de $0,5 \text{ ms}$. A máxima inclinação do potencial de ação é de $229,6 \text{ mV}/\mu\text{s}$ a qual corresponde ao instante em que a membrana é carregada com a máxima corrente de sódio. Devido a alta linearidade do transcondutor de vazamento ($THD < 1\%$) a carga passiva da membrana é exponencial.

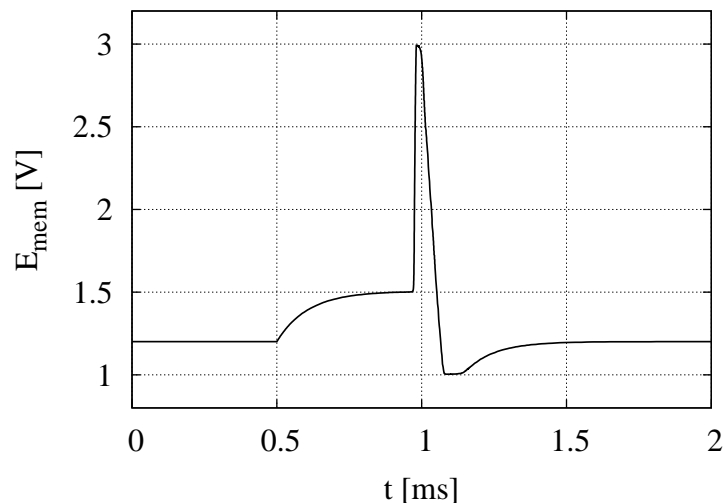


Figura 3.3: Potencial de ação gerado pelo circuito.

Neste circuito, como no caso do neurônio biológico, existe uma relação entre a corrente de estímulo externo e o tempo mínimo que o estímulo deve permanecer para gerar um potencial de ação. Essa relação está representada pela curva da figura 3.4.

Na figura 3.5 é apresentada a frequência de disparo dos potenciais de ação em função do estímulo externo, que foi obtida por simulação do circuito à $T=40^\circ\text{C}$. Diferente dos modelos de neurônios empregados nas redes neurais artificiais tradicionais, não ocorre

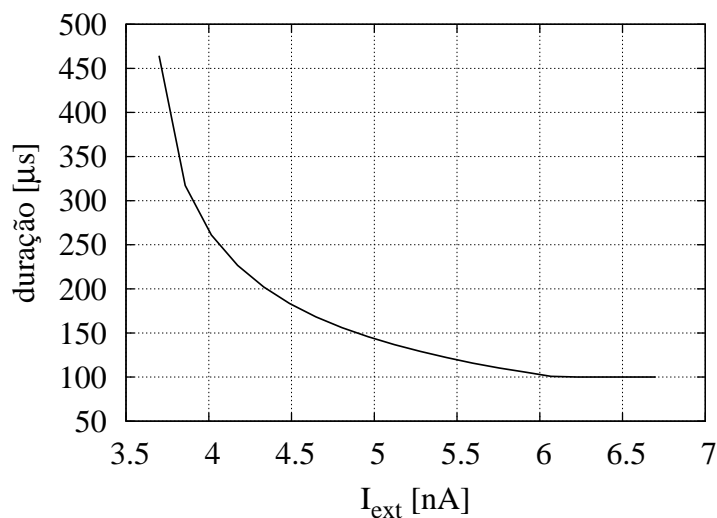


Figura 3.4: Curva duração x estímulo para o circuito projetado

uma completa saturação da frequência de disparo, porém é importante lembrar que a saturação completa é uma característica ideal introduzida nesses modelos. Outra observação importante é que, dependendo da aplicação do circuito, deve ser escolhida uma faixa de correntes de estímulos. Neste caso o circuito foi caracterizado para uma faixa de $3,0 nA$ a $5,7 nA$. O limiar de disparo corresponde ao estímulo externo de $3,7 nA$. Finalmente na figura 3.6 são apresentados trens de potenciais de ação para diferentes valores de estímulo externo, desde $3,1 nA$ até $5,7 nA$.

O circuito consome $15\mu A$ em repouso, e durante os potenciais de ação o consumo diminui em alguns nA .

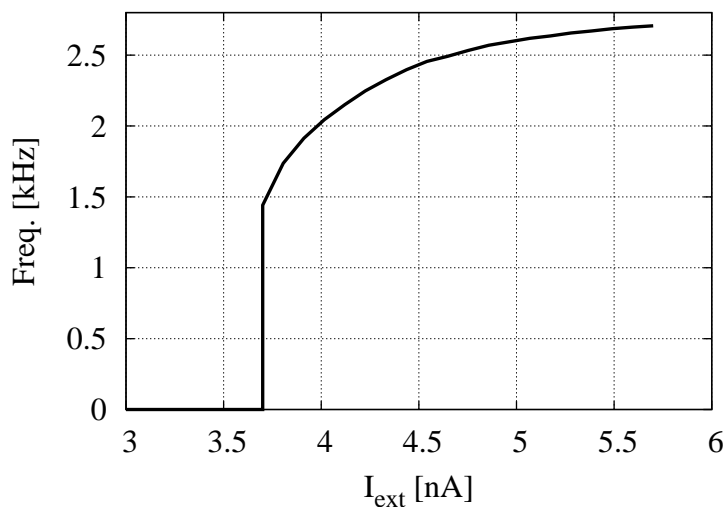


Figura 3.5: Relação entre a frequência de disparo e o estímulo externo.

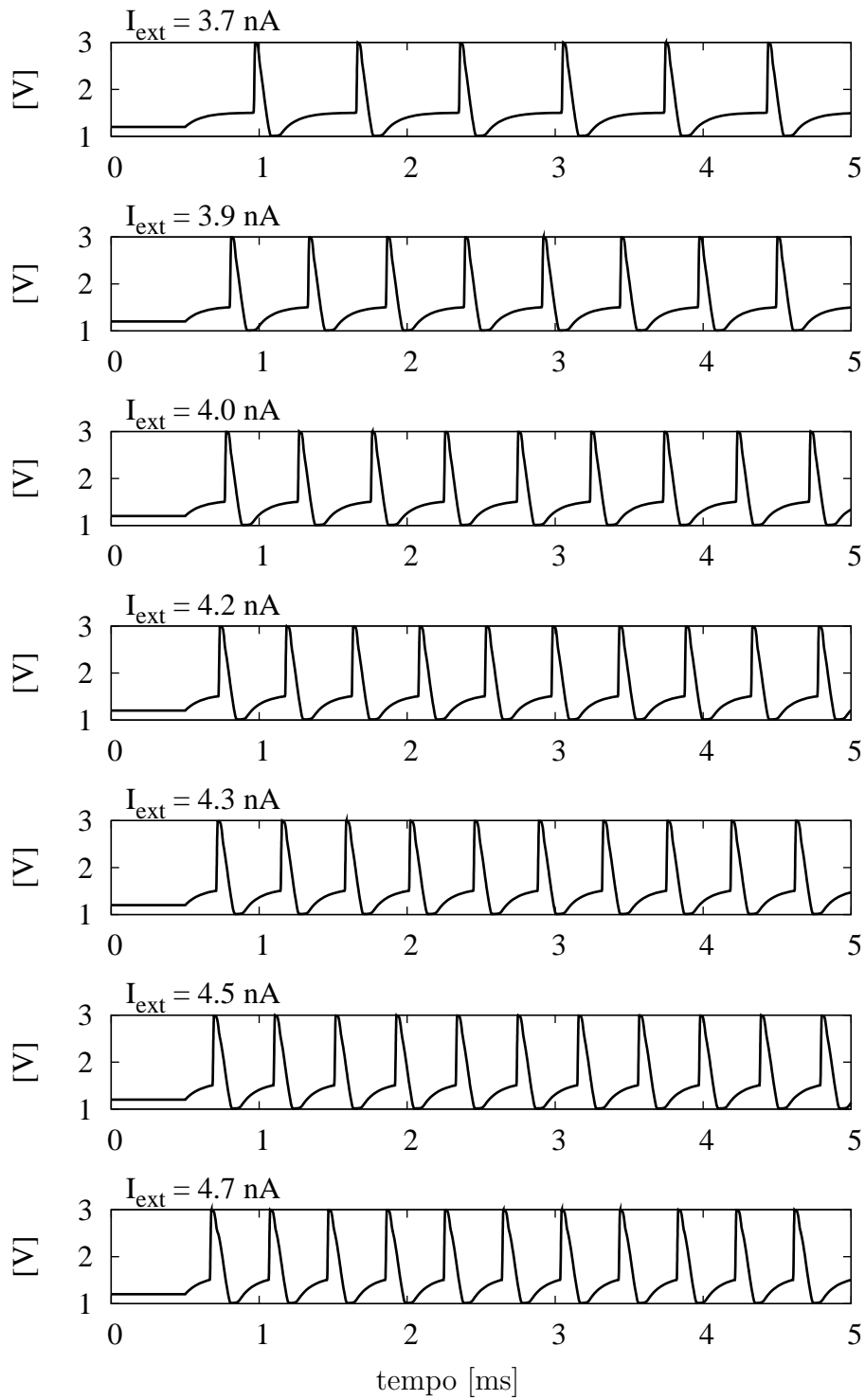


Figura 3.6: Trens de potenciais de ação para estímulos externos de intensidades diferentes.

4 Projeto de um neurônio de codificação temporal logarítmica

Neste capítulo é apresentado o projeto de um neurônio CMOS do tipo “íntegra e dispara” orientado à implementação do modelo proposto por Hopfield em (HOPFIELD, 1995). Nesse modelo a informação é representada pelas características temporais dos potenciais de ação, sendo que a fase dos impulsos elétricos relativa a um sinal de referência é uma função logarítmica da entrada que é representada. Visando uma implementação VLSI desse modelo é necessário um circuito que codifique um sinal de entrada como pulsos elétricos com a característica temporal mencionada. O circuito apresentado aqui realiza esse tipo de codificação. As ideias utilizadas para o projeto deste circuito foram publicadas em congressos (SALDAÑA-PUMARICA; DEL-MORAL-HERNANDEZ; SILVA-CÁRDENAS, 2007) (SALDAÑA-PUMARICA; HERRERA; DEL-MORAL-HERNANDEZ, 2009).

4.1 O modelo de Hopfield

Com o modelo apresentado em 1995, Hopfield propõe uma explicação da solução que o cérebro humano dá a um problema conhecido como *analog match* (HOPFIELD, 1995). Este problema consiste em determinar se um conjunto de grandezas analógicas estão em uma determinada proporção. O sistema representado na figura 4.1 está baseado na proposta de Hopfield. O sistema recebe como entrada um conjunto de grandezas analógicas (I_1, I_2, \dots, I_n) e deve ser capaz de detectar se esse conjunto satisfaz a seguinte equação:

$$\frac{I_1}{p_1} = \frac{I_2}{p_2} = \dots = \frac{I_n}{p_n} = k \quad (4.1)$$

onde p_1, p_2, \dots, p_n , são constantes pré-definidas.

Os neurônios de codificação (C_i) geram um trem de pulsos atrasados em relação

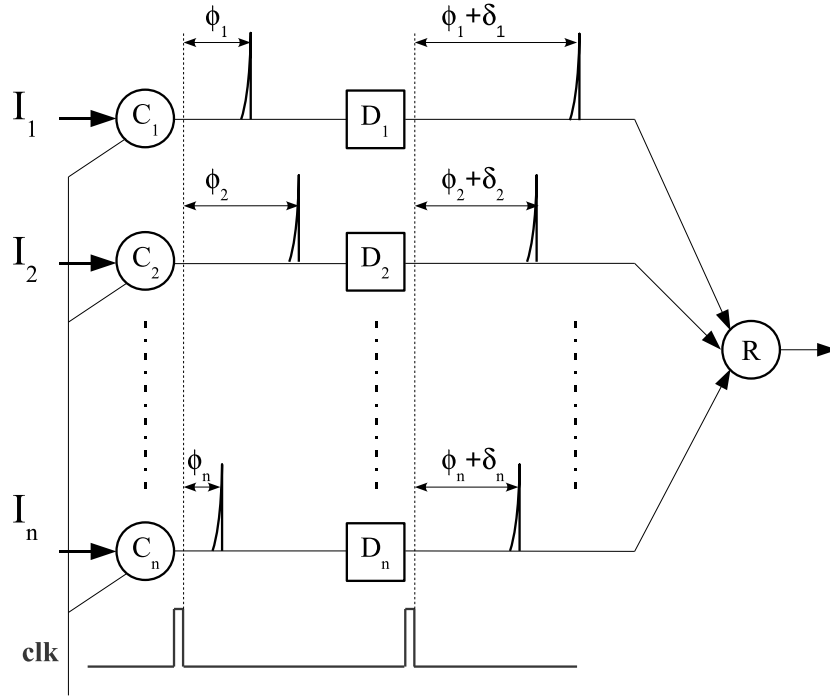


Figura 4.1: Sistema baseado no modelo de Hopfield.

a um sinal de referência (clk). Esse atraso (ϕ_i) é uma função logarítmica da entrada correspondente (I_i):

$$\phi_i = \tau \ln(I_i) + k_\phi \quad (4.2)$$

onde k_ϕ é uma constante. Os blocos (Δ_i) introduzem outros atrasos (δ_i) que dependem das constantes (p_i):

$$\delta_i = \ln\left(\frac{1}{p_i}\right) + k_\delta \quad (4.3)$$

onde k_δ é uma constante. Então o atraso total após o bloco (Δ_i) é:

$$\lambda_i = \phi_i + \delta_i = \ln\left(\frac{I_i}{p_i}\right) + k_\lambda \quad (4.4)$$

onde k_λ é uma constante.

Se o conjunto de entradas (I_i) satisfizer a equação 4.1, então todos os atrasos (λ_i) são iguais e conseqüentemente, todos os pulsos chegam ao mesmo tempo até o neurônio R . O neurônio R é um detetor de coincidência. Em conclusão, o sistema gera pulsos quando o conjunto de entrada encontra-se na proporção pré-definida.

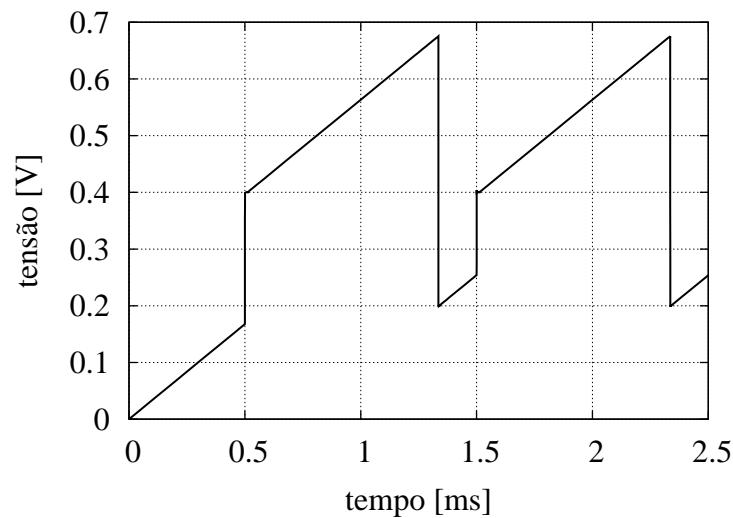


Figura 4.3: Tensão no capacitor C_1 .

com o tempo, a corrente varia exponencialmente com o tempo.

Na figura 4.4 é apresentada a corrente I_{exp} . A corrente diminui até 0 a cada vez que a tensão V_{cap} diminui até $200mV$.

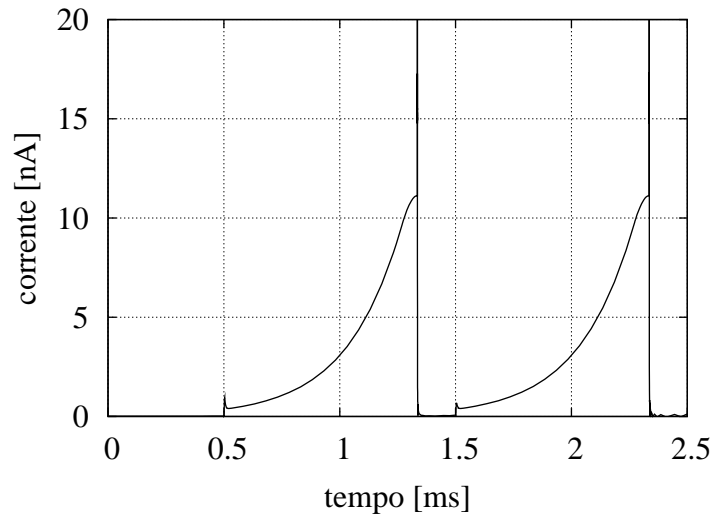


Figura 4.4: Corrente exponencial.

A corrente exponencial, I_{exp} , é gerada e comparada com a corrente de entrada. Quando $I_{exp} > I_{in}$ a tensão V_{cmp} sobe e ativa o circuito *Schmitt Trigger* formado pelos transistores $M_7, M_8, M_9, M_{10}, M_{11}$ e M_{12} . Como resultado, é gerado um pulso em V_{out} .

O pulso é gerado quando a corrente I_{exp} atinge o valor I_{in} . Como a corrente I_{exp} varia exponencialmente com o tempo, então o tempo que transcorre desde que $I_{exp} = 0$, quando acontece um pulso no clk , até $I_{exp} = I_{in}$ é uma função logarítmica da corrente I_{in} .

Na figura 4.4, a corrente chega só até $11nA$, uma vez que na entrada foi colocada uma corrente deste valor. Então no instante em que I_{exp} atinge $11nA$, é gerado um pulso na saída o qual ativa a chave M_b .

Na figura 4.5 é apresentada a tensão em V_{cmp} e na figura 4.6, o pulso gerado em V_{out} e o sinal clk .

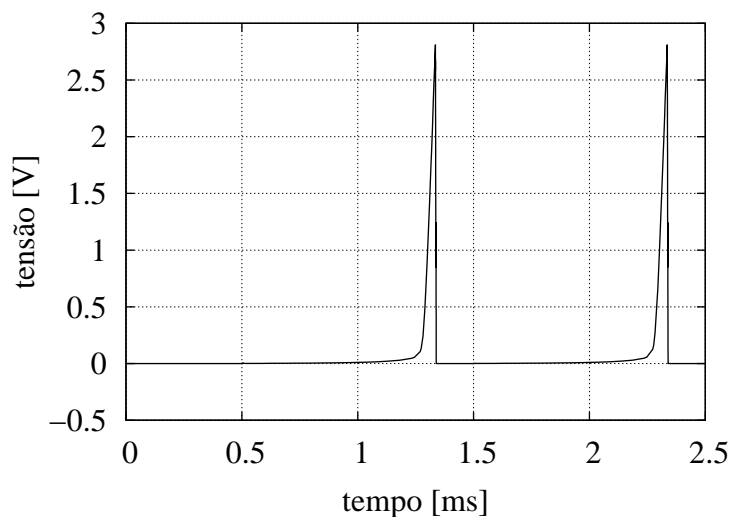


Figura 4.5: Tensão na saída do comparador de corrente.

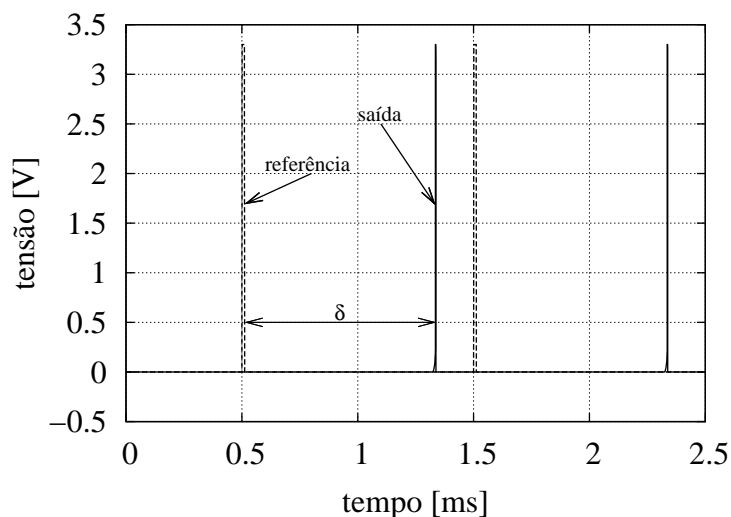


Figura 4.6: Pulso de saída e pulso de referência. δ é o atraso introduzido pelo circuito.

Na figura 4.7 são apresentados os trens de pulsos gerados em V_{out} para vários valores da corrente de entrada.

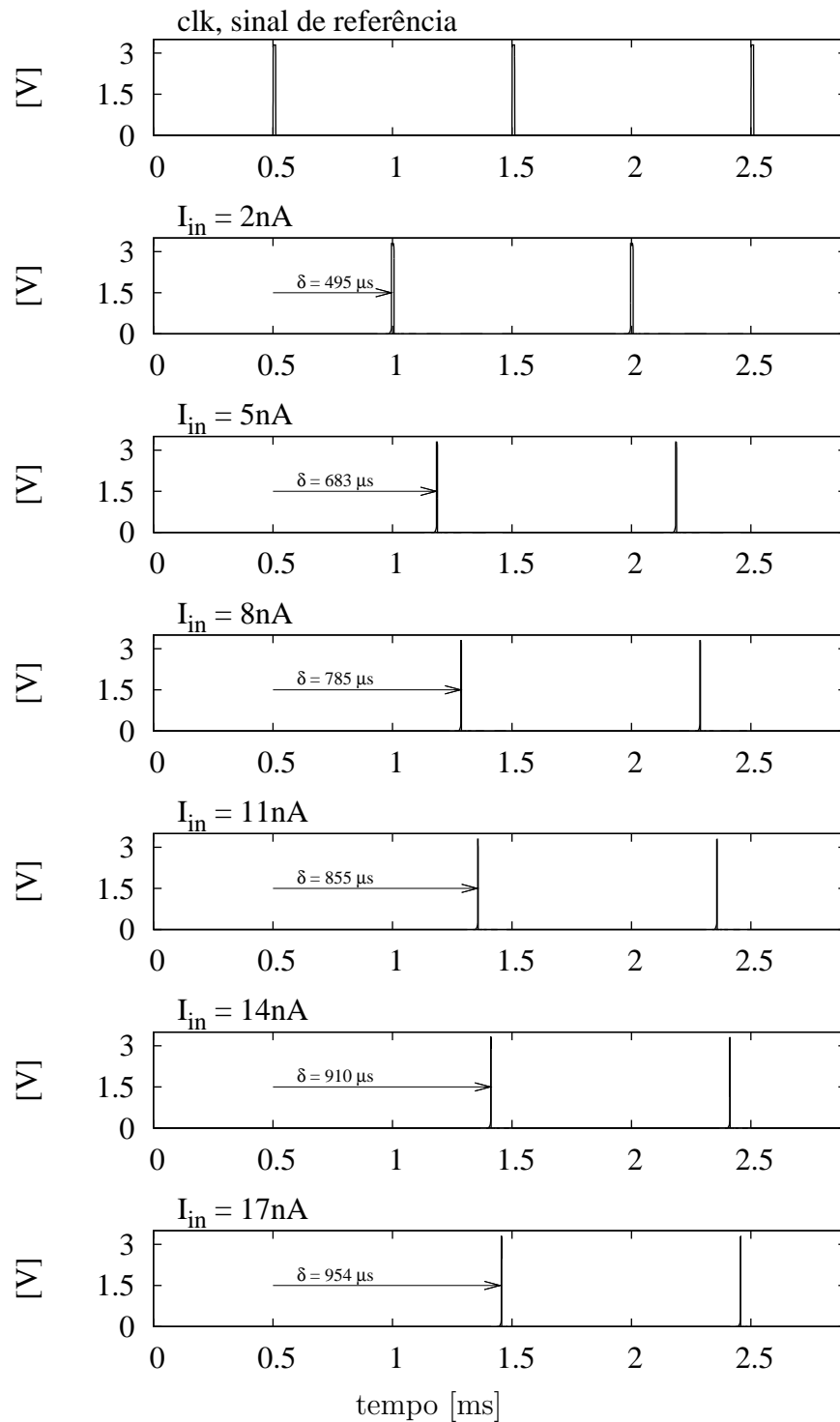


Figura 4.7: Pulsos de saída para várias correntes de entrada. δ é o atraso dos pulsos gerados, em relação ao sinal de referência, *clk*.

As dimensões dos transistores do circuito codificador logarítmico estão enumeradas na tabela 4.1.

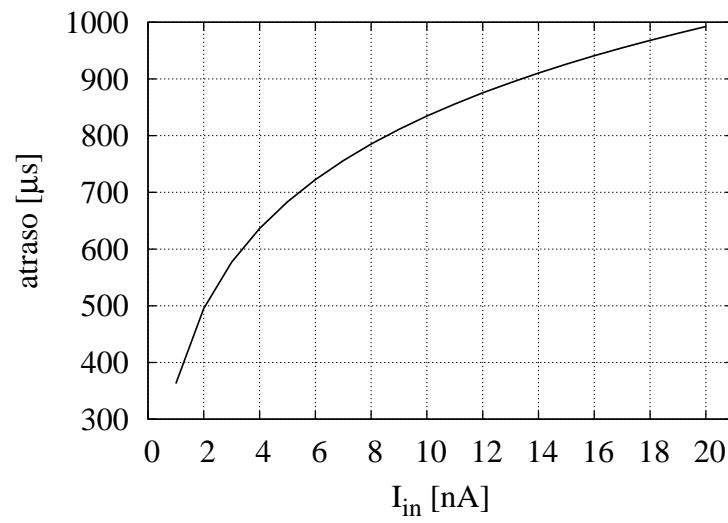
Tabela 4.1: Dimensões dos transistores do circuito codificador logarítmico

Transistor	Tipo	Multiplicador	W	L
M_1	NMOS	4	$6\mu m$	$1\mu m$
M_2	NMOS	4	$6\mu m$	$1\mu m$
M_3	PMOS	1	$1\mu m$	$1\mu m$
M_4	PMOS	1	$1\mu m$	$1\mu m$
M_5	NMOS	1	$1\mu m$	$5\mu m$
M_6	NMOS	1	$1\mu m$	$5\mu m$
M_7	PMOS	1	$4\mu m$	$0,35\mu m$
M_8	NMOS	1	$1\mu m$	$0,35\mu m$
M_9	PMOS	1	$2,5\mu m$	$0,35\mu m$
M_{10}	NMOS	1	$1,2\mu m$	$0,35\mu m$
M_{11}	PMOS	1	$2\mu m$	$0,35\mu m$
M_{12}	NMOS	1	$1\mu m$	$0,35\mu m$
M_{13}	PMOS	1	$1\mu m$	$5\mu m$
M_{14}	PMOS	1	$1\mu m$	$5\mu m$

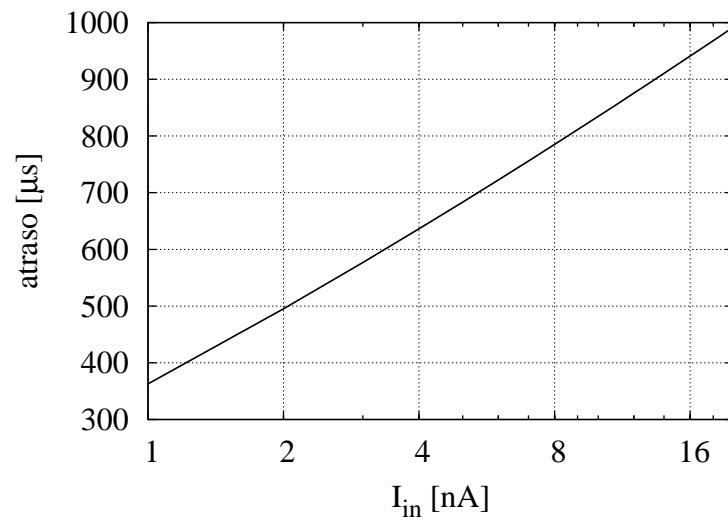
A relação atrasos x corrente de entrada é representada na curva 4.8. Na parte superior a escala horizontal é linear enquanto que na parte inferior é logarítmica.

O consumo dinâmico do circuito é de $25\mu W/Hz$.

Os resultados apresentados demonstram a capacidade do circuito, de codificar o logaritmo de uma grandeza de entrada no atraso dos pulsos de saída. Empregando vários de estos circuitos poderia se formar um sistema de reconhecimento de padrões baseado na proposta de John Hopfield. Propõe-se como trabalho futuro, o estudo da aplicação desse sistema para o processamento de sinais de sensores, onde a intensidade do estímulo não seja constante.



(a)



(b)

Figura 4.8: Atrasos dos pulsos de saída em função da corrente de entrada. (a) Escala horizontal é linear. (b) Escala horizontal é logarítmica.

5 Conclusões e perspectivas

A seguir são apresentadas as conclusões do trabalho, as quais estão divididas em três grupos: acerca do neurônio baseado em condutâncias, sobre o neurônio do tipo “íntegra e dispara” e a respeito das expressões analíticas desenvolvidas. Também são listadas algumas propostas para trabalhos futuros.

5.1 Neurônio baseado em condutâncias

- Foi projetado um circuito (Figura 3.1 do capítulo 3) que gera impulsos elétricos similares aos potenciais de ação gerados pelo neurônio biológico (como demonstrado no capítulo 3, seção 3.3). Para isto, foi desenvolvido um procedimento que permite calcular as dimensões e as correntes de polarização dos transistores, a partir de um conjunto de características desejadas para o potencial de ação gerado. O circuito se baseia no modelo de Hodgkin e Huxley (HODGKIN; HUXLEY, 1952).
- O circuito possui uma entrada onde pode ser aplicado um estímulo externo, na forma de corrente elétrica. Quando nenhum estímulo externo é aplicado, a tensão permanece na tensão de repouso. Na presença de um estímulo externo, a tensão da saída aumenta até um valor determinado por esse estímulo.
- A tensão de repouso é ajustada externamente, sendo que para as simulações foi escolhido um valor de $1.2V$.
- Se o estímulo externo for mantido, e a tensão de saída superar um determinado valor, conhecido como tensão de limiar, um impulso elétrico é gerado.
- Após o impulso elétrico, acontece uma diminuição da tensão de saída abaixo do valor de repouso. Essa característica é semelhante à hiperpolarização que ocorre após um potencial de ação no neurônio biológico.

- Após a hiperpolarização, ocorre um retorno ao potencial de repouso. O formato desse aumento da tensão é semelhante ao retorno passivo que ocorre no neurônio biológico.
- Os impulsos são gerados sempre que a corrente é maior que um determinado limiar. Por meio de simulação, considerando uma temperatura de $40^{\circ}C$ e parâmetros de processo típicos, foi obtido um limiar de disparo de $3.7nA$.
- De acordo com o valor de estímulo externo, este deve durar um determinado tempo mínimo para gerar impulso elétrico. Foi obtida uma curva duração x estímulo (figura 3.4), a qual apresenta uma forma semelhante à curva de um neurônio biológico.
- Mediante simulação, observou-se uma dependência sigmoide entre a frequência de disparo dos impulsos e a magnitude do estímulo externo.
- O circuito contém 3 capacitores de $1 pF$ de capacitância cada. Esse valor permite integrar os capacitores dentro do mesmo circuito integrado, sendo portanto desnecessário o uso de capacitores externos.

5.2 Neurônio do tipo “*integra e dispara*”

- O tipo de codificação realizada por este circuito, é a base de um modelo proposto por John Hopfield (HOPFIELD, 1995). Esse modelo tenta explicar a solução dada pelo cérebro humano ao problema de reconhecimento de padrões com independência de escala. Na literatura estudada, não foi encontrado nenhum relato de implementação em *hardware* deste tipo de codificação.
- O circuito (figura 4.2 do capítulo 4) realiza a codificação do logaritmo de uma corrente de entrada na fase relativa de pulsos de saída.
- Os pulsos de saída estão atrasados em relação a um sinal periódico de referência. Esse atraso é uma função logarítmica da corrente de entrada.
- Mediante simulação do circuito, com $T = 40^{\circ}C$ e considerando variações de processo, se comprovou a relação logarítmica entre os atrasos e a corrente de entrada.
- De acordo com os resultados das simulações, o circuito é capaz de codificar correntes na faixa de $1nA$ a $20nA$ em atrasos que vão de $360\mu s$ até $990\mu s$, no caso típico.

5.3 Expressões analíticas para o projeto de circuitos que operam em baixa frequência

- Foi necessário desenvolver expressões analíticas para projeto de circuitos que operam em baixa frequência, em CMOS. Essas expressões foram usadas no projeto dos circuitos dos capítulos 3 e 4.
- Essas expressões estão baseadas nas equações da corrente do MOSFET do modelo *Advanced Compact MOSFET*.
- Devido ao fato que o modelo ACM é válido em todos os regimes de inversão, as expressões desenvolvidas também são. Assim sendo, não é necessário supor, *a priori*, um determinado regime de inversão no projeto de um transistor.
- Foi desenvolvida uma expressão para a resistência do canal de um MOSFET que opera na região ôhmica. Diferentemente das expressões encontradas nas referências consultadas, esta é válida em todos os regimes de inversão.
- Foi deduzida uma fórmula válida em todos os regimes de inversão, para o cálculo de um índice de mérito da linearidade do transistor MOS que opera na região ôhmica.
- Foi obtida uma curva que relaciona a variação da resistência do canal, devida a variações de processo, e o nível de inversão do MOSFET. Esta nova ferramenta de projeto, permite escolher uma polarização do transistor, adequada para minimizar a estrutura de compensação das variações de processo.
- Foi criado um *script* para obter por simulação, uma curva que relaciona o desca-
samento das correntes em um espelho de corrente, com o nível de inversão. Com
esta nova ferramenta de projeto, pode-se explorar o efeito do nível de inversão, de
maneira precisa e rápida.
- Foi projetado um transcondutor com um valor de transcondutância de 10 nA/V ,
que serve para modelar a resistência de vazamento, cujo valor pode ser muito elevado
para ser obtida utilizando um resistor integrado. O transcondutor apresenta uma
faixa linear de 300 mV com uma distorção harmônica total menor que 1%. Foi
obtida uma expressão analítica que relaciona a distorção harmônica total com a
corrente normalizada dos transistores do par diferencial, a qual permitiu projetar o
transcondutor. As simulações confirmaram a validade da expressão obtida.

5.4 Sugestões de trabalhos futuros

A seguir são listadas algumas propostas para dar continuidade a este trabalho:

- Inclusão no modelo baseado em condutâncias da característica de adaptação da frequência de disparo. Para isso é suficiente acrescentar um circuito que puxe corrente do capacitor que modela a membrana e que o valor dessa corrente seja função da frequência de disparo.
- Adição de circuitos para implementar alguma estratégia de ajuste dos principais parâmetros, tais como atrasos dos integradores, estímulo mínimo para gerar potencial de ação e inclinação máxima do potencial de ação na fase ascendente, no caso do modelo baseado em condutâncias, e faixa de codificação no codificador logarítmico.
- Implementação de várias unidades dos neurônios artificiais projetados neste trabalho para testar arquiteturas de redes neurais. Para isso é necessário projetar um circuito que modele a sinapse e um circuito de detecção de coincidência de pulso de entrada.

Referências

- ABBOTT, L.; LEMASSON, G. Analysis of neuron models with dynamically regulated conductances. **Neural Computation**, San Diego, CA, USA, v. 5, n. 6, p. 823–843, nov. 1993.
- ALVADO, L.; TOMAS, J.; SAIGHI, S.; RENAULD-LEMASSON, S.; BAL, T.; LEMASSON, G. Hardware computation of conductance-based neuron models. **Neurocomputing**, Amsterdam, The Netherlands, v. 58, n. 60, p. 109–115, jun. 2004.
- ARNAUD, A.; GALUP-MONTORO, C. Pico-A/V range CMOS transconductors using series-parallel current division. **Electronics Letters**, Los Alamitos, CA, USA, v. 39, n. 18, p. 1357–1358, sep. 2003.
- ARTHUR, J. V.; BOAHEN, K. Synchrony in silicon: The gamma rhythm. **IEEE Transactions on Neural Networks**, Los Alamitos, CA, USA, v. 18, n. 6, p. 1815–1825, nov. 2007.
- ASAI, T.; KANAZAWA, Y.; AMEMIYA, Y. A subthreshold mos neuron circuit based on the volterra system. **IEEE Transactions on Neural Networks**, Los Alamitos, CA, USA, v. 14, n. 5, p. 1308–1312, sep. 2003.
- BASHMAN, E. J.; PARENT, D. W. An analog circuit implementation of a quadratic integrate and fire neuron. In: 31ST ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE EMBS, 2009, Minneapolis, Minnesota, USA. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2009. p. 741–744.
- BASU, A.; HASLER, P. E. Nullcline-based design of a silicon neuron. **IEEE Transactions on Circuits and Systems**, Los Alamitos, CA, USA, accepted for inclusion in a future issue, 2010.
- BASU, A.; PETRE, C.; HASLER, P. Bifurcations in a silicon neuron. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2008, Seattle, WA. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2008. p. 428–431.
- BUHRY, L.; SAIGHI, S.; SALEM, W. B.; RENAUD, S. Adjusting neuron models in neuromimetics ICs using the differential evolution algorithm. In: IEEE EMBS CONFERENCE ON NEURAL ENGINEERING, 2009, Antalya, Turkey. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2009. p. 681–684.
- CHITU, C.; DOGARU, R.; GLESNER, M. A CMOS universal neuron circuit, static and dynamic SPICE simulations. In: INTERNATIONAL SYMPOSIUM ON SIGNALS, CIRCUITS AND SYSTEMS, 2003, Iasi, Romania. **Proceedings...** Iasi, Romania: IEEE, 2003. v. 1, p. 185–188. ISBN 0-7803-7979-9.

- CULURCIELLO, E.; ETIENNE-CUMMINGS, R.; BOAHEN, K. Arbitrated address-event representation digital image sensor. **Electronics Letters**, Los Alamitos, CA, USA, v. 37, n. 24, p. 1443–1445, nov. 2001.
- CUNHA, A. I. A.; SCHNEIDER, M. C.; GALUP-MONTORO, C. An explicit physical model for the long-channel mos transistor including small signal parameters. **Solid-State Electronics**, Great Britain, v. 38, n. 11, p. 1945–1952, nov. 1995.
- DOUENCE, V.; LAFLAQUIÈRE, A.; BAL, T.; LEMASSON, G. Analog electronic system for simulating biological neurons. In: INTERNATIONAL WORK-CONFERENCE ON ARTIFICIAL AND NATURAL NEURAL NETWORKS, 1999, Alicante, Spain. **Proceedings...** Alicante, Spain: Springer, 1999. v. 2, p. 188–197.
- FARQUHAR, E.; HASLER, P. A bio-physically inspired silicon neuron. **IEEE Transactions on Circuits and Systems**, Los Alamitos, CA, USA, v. 52, n. 3, p. 477–488, mar. 2005.
- FITZHUGH, R. Impulses and physiological states in theoretical models of nerve membrane. **Biophysical Journal**, v. 1, n. 6, p. 445–466, jul. 1961.
- GALUP-MONTORO, C.; SCHNEIDER, M. C. **Mosfet Modeling for Circuit Analysis and Design**. 1. ed. Singapore: World Scientific Publishing Co. Pte. Ltd., 2007.
- GEORGIU, J.; DRAKAKIS, E. M.; TOUMAZOU, C.; PREMANOJ, P. An analogue micropower log-domain silicon circuit for the hodgkin and huxley nerve axon. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1999, Orlando, Florida, USA. **Proceedings...** Orlando, Florida, USA: IEEE, 1999. v. 2, p. 286–289.
- GOEL, S. N.; MAITRA, C. S.; MONTROLL, W. E. On the Volterra and other nonlinear models of interacting populations. **Rev. Mod. Phys.**, v. 43, p. 231–276, 1971.
- HASTINGS, A. **The Art of ANALOG LAYOUT**. 1. ed. Upper Saddle River, New Jersey 07458: Prentice Hall, 2001.
- HODGKIN, A. L.; HUXLEY, A. F. A quantitative description of membrane current and its application to conduction and excitation in nerve. **The Journal of Physiology**, Cambridge, UK, v. 117, p. 500–544, aug. 1952.
- HOPFIELD, J. J. Pattern recognition computation using action potential timing for stimulus representation. **Nature**, New York, NY, USA, v. 376, n. 6, p. 33–36, jul. 1995.
- HYNNA, K. M.; BOAHEN, K. Space-rate coding in an adaptive silicon neuron. **Neural Networks**, Amsterdam, The Netherlands, v. 14, n. 6, p. 645–656, jul. 2001.
- HYNNA, K. M.; BOAHEN, K. Neuronal ion-channel dynamics in silicon. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2006, Island of Kos, Greece. **Proceedings...** Island of Kos, Greece: IEEE, 2006. p. 3614–3617.
- HYNNA, K. M.; BOAHEN, K. Silicon neurons that burst when primed. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2007, New Orleans. **Proceedings...** New Orleans: IEEE, 2007. v. 2, p. 3363–3366.

- HYNNA, K. M.; BOAHEN, K. Thermodynamically equivalent silicon models of voltage-dependent ion channels. **Neural Computation**, San Diego, CA, USA, v. 19, n. 2, p. 327–350, feb. 2007.
- INDIVERI, G. A low-power adaptive integrate-and-fire neuron circuit. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2003, Bangkok, Thailand. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2003. p. 820–823.
- INDIVERI, G.; CHICCA, E.; DOUGLAS, R. A vlsi array of low-power spiking neurons and bistable synapses with spike-timing dependent plasticity. **IEEE Transactions on Neural Networks**, Los Alamitos, CA, USA, v. 17, n. 1, p. 211–221, jan. 2006.
- INDIVERI, G.; STEFANINI, F.; CHICCA, E. Spike-based learning with a generalized integrate and fire silicon neuron. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2010, Paris, France. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2010. p. 1951–1954.
- KAMEDA, S.; YAGI, T. An analog silicon retina with multi-chip configuration. In: INTERNATIONAL JOINT CONFERENCE ON NEURAL NETWORKS, 2003, Portland, Oregon, USA. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2003. v. 1, p. 387–392.
- KAMEDA, S.; YAGI, T. An analog silicon retina with multichip configuration. **IEEE Transactions on Neural Networks**, Los Alamitos, CA, USA, v. 17, n. 1, p. 197–210, jan. 2006.
- KOICKAL, T. J.; HAMILTON, A.; PEARCE, T. C.; TAN, S. L.; COVINGTON, J. A. Analog VLSI design of an adaptive neuromorphic chip for olfactory systems. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2006, Island of Kos, Greece. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2006. p. 4547–4550.
- LINARES-BARRANCO, B.; SÁNCHEZ-SINENCIO, E.; RODRÍGUEZ-VÁZQUEZ, A.; HUERTAS, J. L. A CMOS implementation of FitzHugh-Nagumo neuron model. **IEEE Journal of Solid State Circuits**, v. 26, n. 7, p. 956–965, jul. 1991.
- LYON, R. F.; MEAD, C. An analog electronic cochlea. **IEEE Transactions on Acoustics, Speech and Signal Processing**, Los Alamitos, CA, USA, v. 36, n. 7, p. 1119–1134, jul. 1988.
- MAHOWALD, M.; DOUGLAS, R. A silicon neuron. **Nature**, New York, NY, USA, v. 354, n. 19, p. 515–518, dec. 1991.
- MAHOWALD, M. A.; MEAD, C. The silicon retina. **Scientific American**, v. 264, n. 5, p. 40–46, may. 1991.
- MEAD, C. **Analog VLSI and Neural Systems**. 1. ed. Reading, MA: Addison Wesley, 1989.
- MEADOR, J. L.; COLE, C. S. A low-power CMOS circuit which emulates temporal electrical properties of neurons. In: ADVANCES IN NEURAL INFORMATION PROCESSING SYSTEMS, 1., 1988, Denver, Colorado, USA. **Proceedings...** Los Altos, CA, USA: Morgan Kaufmann, 1989. p. 678–685.

- MORRIS, C.; LECAR, H. Voltage oscillations in the barnacle giant muscle fiber. **Biophysical Journal**, v. 35, n. 1, p. 193–213, jul. 1981.
- PATEL, G. N.; DEWEERTH, S. P. Analog VLSI Morris-Lecar neuron. **Electronics Letters**, Los Alamitos, CA, USA, v. 33, n. 12, p. 997–998, jun. 1997.
- PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. **IEEE Journal of Solid State Circuits**, v. 24, n. 5, p. 1433–1440, oct. 1989.
- RASCHE, C.; DOUGLAS, R. An improved silicon neuron. **Analog Integrated Circuits and Signal Processing**, New York, NY, USA, v. 23, n. 3, p. 227–236, jun. 2000.
- RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 1. ed. New York, NY: McGraw-Hill, 2001.
- SAIGHI, S.; J.TOMAS; BORNAT, Y.; RENAUD, S. A conductance-based silicon neuron with dynamically tunable model parameters. In: IEEE EMBS CONFERENCE ON NEURAL ENGINEERING, 2., 2005, Washington D.C., USA. **Proceedings...** Washington D.C., USA: IEEE, 2005. p. 285–288.
- SALDAÑA-PUMARICA, J.; DEL-MORAL-HERNANDEZ, E. Design procedure of a linearized OTA based on transconductance, harmonic distortion and mismatch specifications. In: IBERCHIP, 2010, Brazil. **Proceedings...** Brazil: Iberchip, 2010. v. 1.
- SALDAÑA-PUMARICA, J.; DEL-MORAL-HERNANDEZ, E.; SILVA-CÁRDENAS, C. CMOS encoder for scale-independent pattern recognition. In: SBCCI, 2007, Brazil. **Proceedings...** Brazil: SBCCI, 2007. v. 1, p. 241–244.
- SALDAÑA-PUMARICA, J.; HERRERA, T.; DEL-MORAL-HERNANDEZ, E. CMOS Integrate and Fire Neuron for Temporal Logarithmic Encoding. In: IBERCHIP, 2009, Argentina. **Proceedings...** Argentina: Iberchip, 2009. v. 1.
- SARPESHKAR, R.; WATTS, L.; MEAD, C. **Refractory neuron circuits**. Pasadena, CA, USA, 1992. CNS Technical Report, CNS-TR-92-08.
- SCHAIK, A. van. Building blocks for electronic spiking neural networks. **Neural Networks**, Amsterdam, The Netherlands, v. 14, n. 6, p. 617–628, jul. 2001.
- SCHAIK, A. van; JIN, C.; MCEWAN, A.; HAMILTON, T. J. A log-domain implementation of the Izhikevich neuron model. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2010, Paris, France. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2010. p. 4253–4256.
- SCHAIK, A. van; JIN, C.; MCEWAN, A.; HAMILTON, T. J.; MIHALAS, S.; NIEBUR, E. A log-domain implementation of the Mihalas-Niebur neuron model. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUIT AND SYSTEMS, 2010, Paris, France. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2010. p. 4249–4252.
- SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region Mosfet Modeling**. 1. ed. Cambridge: Cambridge University Press, 2010.

SCHULTZ, S. C.; JABRI, M. A. Analogue VLSI integrated-and-fire neuron with frequency adaptation. **Electronics Letters**, Los Alamitos, CA, USA, v. 31, n. 16, p. 1357–1358, aug. 1995.

SIMONI, M. F.; DEWEERTH, S. P. Adaptation in an aVLSI model of a neuron. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1998, Seattle, Washington, USA. **Proceedings...** Seattle, Washington, USA: IEEE, 1999. v. 3, p. 111–114.

WEN, B.; BOAHEN, K. A linear cochlear model with active bi-directional coupling. In: ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE EMBS, 25., 2003, Cancun, Mexico. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2003. p. 2013–2016.

WIJEKOON, J. H. B.; DUDEK, P. A CMOS circuit implementation of a spiking neuron with bursting and adaptation on a biological timescale. In: IEEE BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE, 2009, Beijing. **Proceedings...** Los Alamitos, CA, USA: IEEE, 2009. p. 193–196.

Apêndice A – Modelo elétrico do neurônio

Nesta seção são apresentados alguns conceitos básicos relacionados ao neurônio assim como também uma modelagem elétrica dos principais fenômenos que ocorrem nele. A seção inicia com uma descrição das principais características do neurônio e sua membrana. Depois são explicados os conceitos de potencial de membrana, potencial de equilíbrio, potencial de repouso e potencial de ação. Para cada um desses fenômenos é apresentada uma modelagem elétrica.

A.1 Estrutura do neurônio

O sistema nervoso surpreende por suas capacidades de computação e inspira a busca por sistemas artificiais com capacidades similares. O cômputo realizado pelo sistema nervoso é o resultado da operação de muitas unidades elementares de cômputo chamadas de neurônios. Os neurônios foram identificados pela primeira vez por Santiago Ramón e Cajal quem recebeu o premio Nobel em 1906 devido a essa descoberta.

Na figura A.1 estão representadas simplificadaamente as principais partes do neurônio.

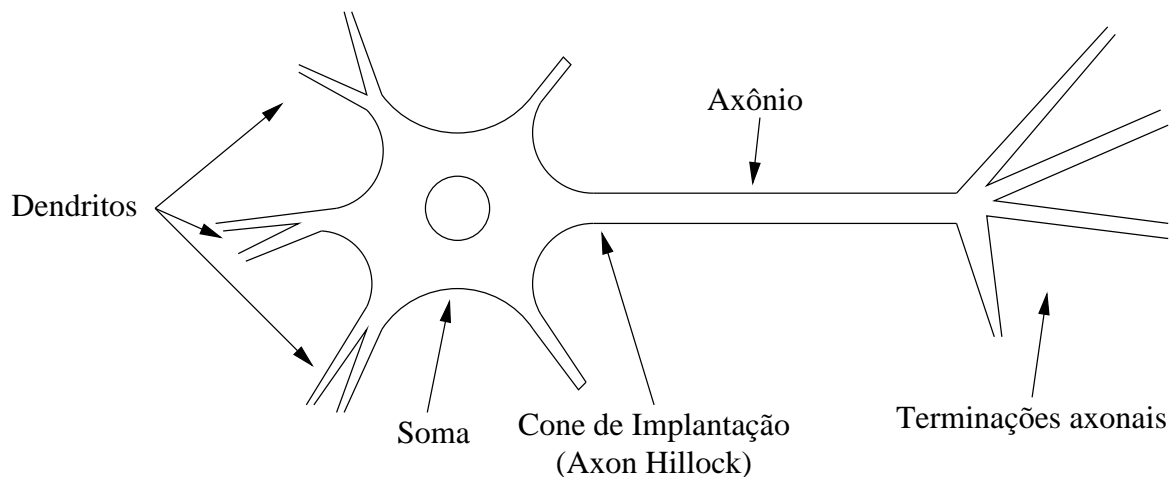


Figura A.1: Partes de um neurônio.

A comunicação entre neurônios é dada por impulsos elétricos chamados de potenciais de ação. O potencial de ação é gerado no cone de implantação e é transmitido através do axônio até as terminações axonais. As terminações axonais fazem contato com os dendritos de outros neurônios. Esses contatos são chamados de sinapses. Quando um potencial de ação chega até uma terminação axonal ocorre uma liberação de neurotransmissores que se ligam em sítios específicos dos dendritos ocasionando uma mudança no potencial na zona do dendrito próxima à sinapse. Essa mudança pode ser um incremento ou um decremento do potencial da membrana. No soma ocorre uma integração das mudanças de potencial geradas em cada dendrito dando como resultado que no cone axonal ocorra também uma mudança de potencial. Se essa mudança é um incremento até um determinado limiar então um potencial de ação é gerado.

A.2 Membrana do neurônio

A membrana do neurônio está formada por uma bicamada fosfolipídica. Cada camada fosfolipídica é formada por moléculas chamadas fosfolípeos que têm um extremo hidrofílico e outro hidrofóbico como mostrado na figura A.2(a). Cada camada tem um lado hidrofílico e outro hidrofóbico como mostrado na figura A.2(b).

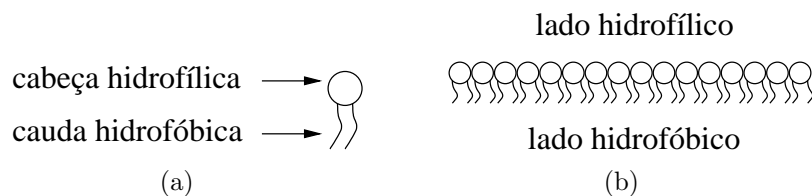


Figura A.2: (a) Fosfolípido e, (b) camada fosfolipídica.

As camadas estão dispostas de forma que as partes hidrofóbicas de ambas ficam uma do lado da outra enquanto que as partes hidrofílicas ficam expostas, uma ao meio extracelular e outra ao meio intracelular. Esta bicamada atua como uma barreira que não deixa passar íons de um lado para o outro.

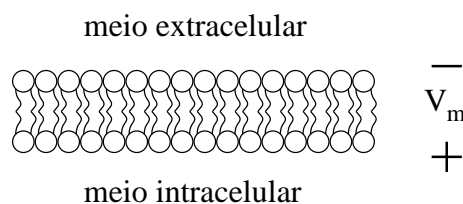


Figura A.3: Bicamada fosfolipídica.

Um parâmetro importante na modelagem elétrica da membrana é o potencial de membrana, definido como a diferença de potencial entre o interior e o exterior do neurônio. Na figura A.3 está representado esse parâmetro. Deve-se notar que o sinal + não quer dizer que o interior sempre seja positivo, mas indica que o parâmetro V_m mede o potencial do meio interno com respeito ao meio externo. O valor do potencial de membrana varia dependendo do estado do neurônio. O potencial de ação por exemplo é uma variação rápida desse potencial de membrana.

Vários íons estão dissolvidos em água no lado interior e no lado exterior do neurônio. Os principais íons são sódio e potássio, ambos com carga elétrica +1.

Um das principais características da membrana é a capacidade de separar carga elétrica. Como já foi dito, os íons não podem passar de um lado para o outro, então não pode existir fluxo de corrente elétrica através da bicamada fosfolipídica. Se por alguma razão, de um lado da membrana se acumula carga elétrica, então devido à pequena espessura dela, essa carga exercerá uma força elétrica capaz de atrair carga da mesma magnitude mas com sinal oposto no outro lado da membrana. Esse fenômeno pode ser modelado com um capacitor. Um dos terminais do capacitor representará o lado interior da membrana enquanto que o outro terminal representará o lado exterior. Na figura A.4 representam-se duas situações, a primeira representada na parte superior corresponde a um acúmulo de carga positiva na superfície externa da membrana e de carga negativa na superfície interna. Nesse primeiro caso o potencial de membrana será negativo. A segunda situação representada na parte inferior corresponde a um acúmulo de carga negativa na superfície externa da membrana e de carga positiva na superfície interna, o qual dá como resultado um potencial de membrana positivo.

A velocidade com que se acumula carga em ambos os lados da membrana é representada num modelo elétrico por uma corrente capacitiva. É muito importante notar que essa corrente não corresponde a um transporte de íons através da membrana, mas ao acúmulo deles em ambos os lados da membrana. Daqui para frente essa corrente será chamada de corrente capacitiva. No modelo elétrico se considerará que o sentido positivo dessa corrente é de dentro para fora (figura A.5).

A membrana também possui canais iônicos os quais podem permitir o passo de íons de um lado para outro da membrana. A velocidade desse passo de carga elétrica é medida por uma corrente chamada corrente iônica. Ao contrário da corrente capacitiva a corrente iônica representa fluxo de íons de um lado para o outro da membrana. Os canais iônicos são permeáveis a um único tipo de íon, assim existem canais iônicos permeáveis ao sódio

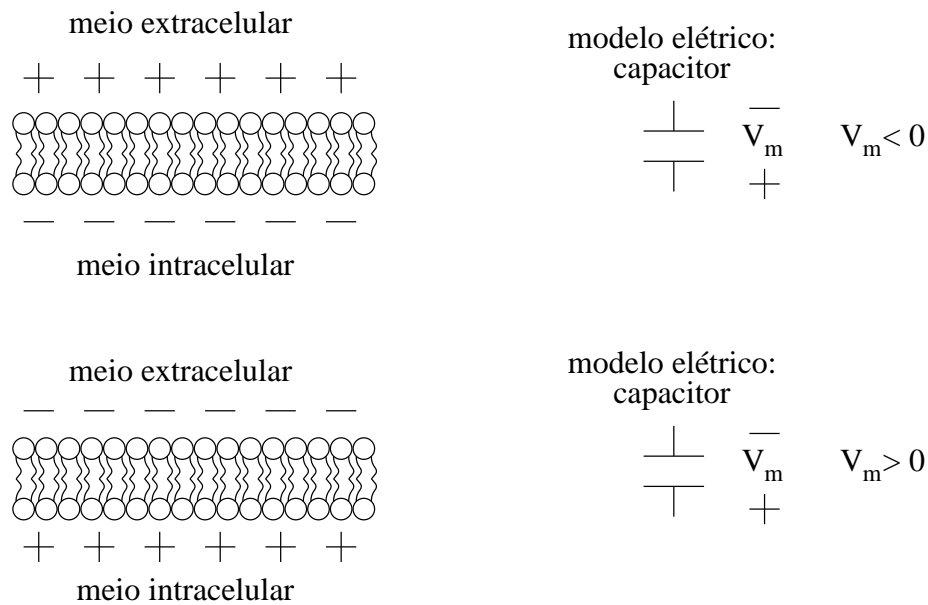


Figura A.4: Propriedade capacitiva da bicamada fosfolipídica.

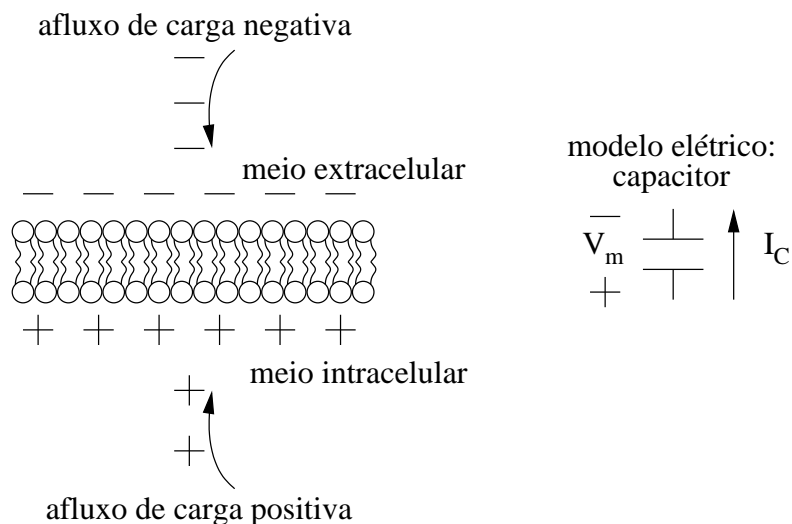


Figura A.5: Corrente capacitiva da membrana.

e canais iônicos permeáveis ao potássio, então a corrente iônica pode ser dividida em duas componentes: corrente de sódio e corrente de potássio.

Antes de introduzir essas componentes no modelo elétrico é preciso explicar o conceito de potencial de equilíbrio. Por enquanto, podem-se representar essas correntes com fontes de corrente em paralelo ao capacitor de membrana. Pelos canais iônicos podem entrar ou sair íons, mas o modelo elétrico que se utilizará neste trabalho adotará como regra que o sentido positivo da corrente de sódio é de fora para dentro, enquanto que o sentido positivo da corrente de potássio é de dentro para fora. A figura A.6 representa o ingresso de íons sódio e saída de íons potássio.

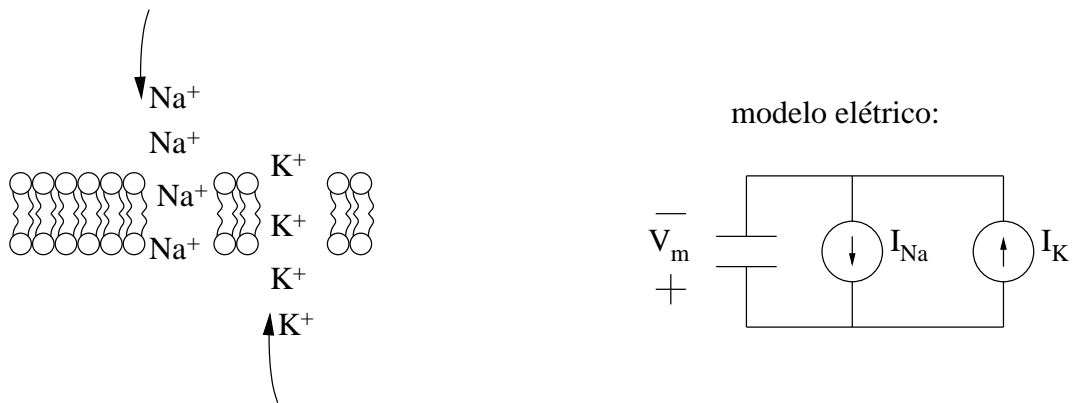


Figura A.6: Correntes iônicas.

A.3 Potencial de equilíbrio

Os íons estão presentes dentro e fora do neurônio em diferentes concentrações, em particular é importante lembrar que o sódio está mais concentrado fora de que dentro, enquanto que o potássio está mais concentrado dentro de que fora. Os elementos responsáveis por manter esses gradientes de concentração são as bombas iônicas.

Supondo que não existem canais iônicos na membrana e tanto o interior e o exterior são eletricamente neutros, além de que existem as diferenças de concentração mencionadas anteriormente, e que de repente são introduzidos canais iônicos permeáveis aos íons sódio, então devido ao gradiente de concentração de sódio existirá uma força de difusão que empurrará os íons sódio de fora para dentro através dos canais iônicos. Esse ingresso de íons sódio não durará muito tempo pois conforme entra sódio o interior fica mais positivo do que o exterior. Dessa maneira, conforme ingressa sódio aparece uma força elétrica que o empurra para fora. Quanto mais sódio entra, maior a força elétrica, e num determinado momento essa força elétrica será igual à força de difusão. Nesse momento parará de existir um movimento líquido de íons sódio para dentro. Devido a que o interior fica mais positivo de que fora, existe uma diferença de potencial elétrico entre o interior e o exterior. Essa diferença de potencial é chamada de potencial de equilíbrio do sódio. Um detalhe importante nesta análise é que depois de ter alcançado o equilíbrio as concentrações de sódio a ambos os lados praticamente não mudou.

O valor desse potencial depende da relação entre as concentrações entre o exterior e o interior, e pode ser calculado com a equação de Nernst:

$$E_X = \frac{RT}{zF} \ln \frac{[X]_{ext}}{[X]_{int}} \quad (\text{A.1})$$

nesta equação E_X é o potencial de equilíbrio do íon X , R é a constante universal dos gases, T é a temperatura absoluta, z é a carga neta do íon que para o sódio e para o potássio é $+1$, F é a constante de Faraday, $[X]_{ext}$ é a concentração do íon X no meio extracelular e $[X]_{int}$ é a concentração do íon X no meio intracelular. Por exemplo com $[Na]_{ext} = 150mM$ e $[Na]_{int} = 15mM$ obtém-se:

$$E_{Na} = 62mV \quad (A.2)$$

É possível interpretar o potencial de equilíbrio de sódio da seguinte maneira: é o potencial de membrana necessário para não ter movimento líquido de íons sódio. Ou seja, se a membrana tem um potencial igual ao potencial de equilíbrio de sódio não haverá corrente iônica de sódio. Se o potencial de membrana é maior do que o potencial de equilíbrio, então a força elétrica será maior que a força de difusão e haverá movimento de íons sódio para fora. Se o potencial de membrana é menor que o potencial de equilíbrio do sódio, então a força elétrica não será suficiente para conter o ingresso de íons sódio impelidos pela força de difusão. Neste trabalho será considerado que o sentido positivo da corrente é para fora, ou seja que se o potencial de membrana é maior do que o potencial de equilíbrio se tem uma corrente positivo, e se é menor se tem uma corrente negativa. A magnitude da corrente depende da diferença entre o potencial de membrana e o potencial de equilíbrio e também depende do número de canais iônicos abertos presentes. Para representar isto num modelo elétrico, pode se colocar uma fonte de tensão em série com um resistor entre o interior e o exterior. O valor da tensão da fonte é o potencial de equilíbrio e o valor do resistor representa o número de canais abertos, a maior número de canais iônicos menor a resistência ou equivalentemente maior a condutância.

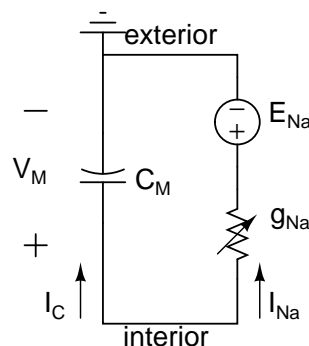


Figura A.7: Modelo elétrico da membrana incluindo a corrente de sódio.

De uma maneira similar pode se definir o conceito de potencial de equilíbrio do potássio. Para esta caso deve se lembrar que o potássio está mais concentrado dentro

de que fora. Supondo que a membrana não tem nenhum canal, que o meio interno e externo são eletricamente neutros e que de repente se introduzem canais iônicos permeáveis ao potássio. O gradiente de concentração provocará uma força de difusão que empurra os íons potássio para fora. Quando sai potássio o meio intracelular fica mais negativo que o meio extracelular e então se estabelece uma diferença de potencial que corresponde a um potencial de membrana negativo. Quando esse potencial negativo tem uma magnitude suficiente para deter a força de difusão que tenta levar o potássio para fora, o fluxo líquido de potássio termina. Usando a equação de Nernst com $[K]_{ext} = 5mM$ e $[K]_{int} = 100mM$ obtém-se:

$$E_K = -80mV \quad (A.3)$$

Similarmente ao caso do sódio a interpretação do potencial de equilíbrio do potássio é: o potencial de membrana necessário para não ter fluxo líquido de íons potássio. Quando o potencial de membrana é menor (considerando magnitude e sinal) que o potencial de equilíbrio de potássio, então a força elétrica é maior que força de difusão e portanto se tem fluxo de íons potássio para dentro. Quando o potencial de membrana é maior que o potencial de equilíbrio de potássio a força de difusão será maior que a força elétrica e portanto existe um fluxo de íons potássio para fora. A magnitude da corrente de potássio depende da diferença entre o potencial de membrana e o potencial de equilíbrio de potássio e do número de canais de potássio. Então no modelo elétrico haverá uma fonte em serie com um resistor ligados entre o interior e o exterior da membrana.

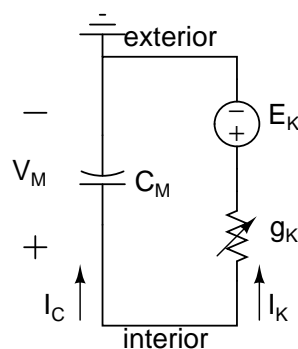


Figura A.8: Modelo elétrico da membrana incluindo a corrente de potássio.

Na membrana existem simultaneamente canais de sódio e potássio, e é válido o modelo elétrico mostrado na figura A.9. Dado que a tensão de membrana se mede respeito ao meio exterior então no modelo elétrico representamos o meio exterior como a terra do circuito.

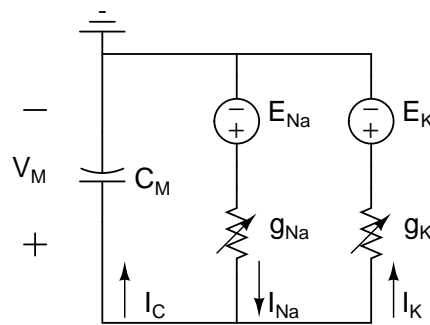


Figura A.9: Modelo elétrico da membrana incluindo correntes de sódio e potássio.

É necessário lembrar que alguns canais iônicos estão sempre abertos permitindo o passo de íons, e outros canais só abrem quando o potencial de membrana supera algum valor limiar. Neste trabalho chamaremos ao primeiro tipo de canais como canais passivos e aos outros como canais ativos ou canais dependentes da tensão. É conveniente separar no modelo elétrico os canais passivos dos ativos. Assim se chega ao modelo elétrico da figura A.10.

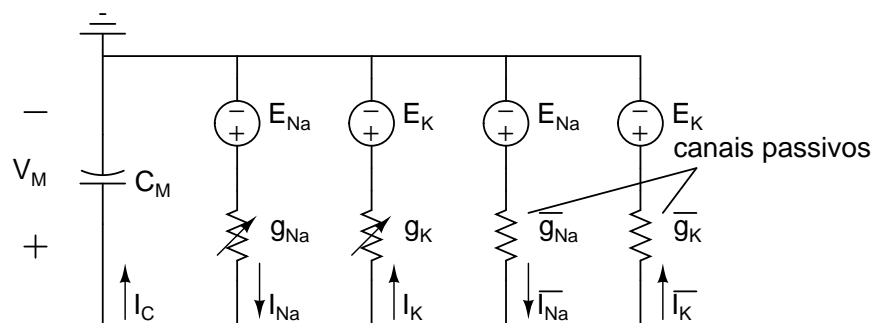


Figura A.10: Modelo elétrico da membrana separando os canais ativos dos passivos.

A.4 Potencial de repouso

Usando o modelo elétrico representado na figura A.9 é possível demonstrar que a tensão da membrana é um valor intermediário entre os potenciais de equilíbrio de sódio e potássio. Num neurônio real, quando não está acontecendo um potencial de ação e não existe um estímulo a membrana mantém-se efetivamente num valor intermediário entre os potenciais de equilíbrio de sódio e potássio. Essa tensão é conhecida como potencial de repouso e tem um valor mais próximo ao potencial de equilíbrio de potássio de que ao potencial de equilíbrio de sódio, pois em repouso existe uma maior quantidade de canais iônicos de potássio abertos de que canais de sódio abertos. Quando a membrana está em repouso os canais iônicos dependentes da tensão estão fechados, estando abertos só aqueles que

são independentes da tensão. O valor do potencial de repouso pode ser calculado conhecendo as concentrações dentro e foras dos diferentes íons e a permeabilidade relativa da membrana para cada íon. A equação de Goldman permite calcular esse valor:

$$E_{rep} = \frac{RT}{zF} \ln \frac{P_K[K]_{ext} + P_{Na}[Na]_{ext}}{P_K[K]_{int} + P_{Na}[Na]_{int}} \quad (A.4)$$

onde P_X é a permeabilidade relativa da membrana ao íon X. Por exemplo si em repouso a membrana é 40 vezes mais permeável ao potássio de que ao sódio, e as concentrações são aquelas usadas anteriormente para o cálculo dos potenciais de equilíbrio, obtém-se:

$$E_{rep} = -65mV \quad (A.5)$$

Em repouso o potencial de membrana é maior que o potencial de equilíbrio de potássio portanto existe um fluxo líquido de íons potássio para fora. Entre tanto o potencial de repouso é menor que o potencial de equilíbrio de sódio, portanto existe um fluxo líquido de íons sódio para dentro. Apesar desse fluxo líquido de íons em ambos lados, as concentrações se mantêm constantes devido a ação das bombas iônicas.

Dado que em repouso praticamente os únicos canais abertos são os passivos, então no modelo elétrico representado na figura A.10 os ramos passivos podem ser substituídos por único ramo que represente os canais passivos e o potencial de repouso. Podemos simplificar o modelo representando o efeito dos canais passivos de sódio e potássio por um único ramo constituído por uma fonte de tensão em série com um resistor. O valor da tensão da fonte é o potencial de repouso enquanto que o valor do resistor é o resultado da conexão em paralelo dos resistores que modelavam as permeabilidades da membrana ao sódio e ao potássio. O efeito dos canais iônicos dependentes da tensão será representados separadamente com um ramo para o sódio e outro para o potássio. Neste caso os resistores de ambos ramos tem um valor de resistência infinita ou condutância zero em repouso:

A.5 Modelagem de um estímulo externo

Agora se verá como representar no modelo elétrico o efeito de uma corrente de estímulo externa. A mesma representação pode ser usada para o efeito das entradas recebidas nos dendritos. Quando se espeta a membrana do neurônio com um microelectrodo se tem acesso ao meio intracelular, assim pode se injetar uma corrente elétrica. No modelo elétrico basta colocar uma fonte de corrente aplicada ao terminal que representa o interior do

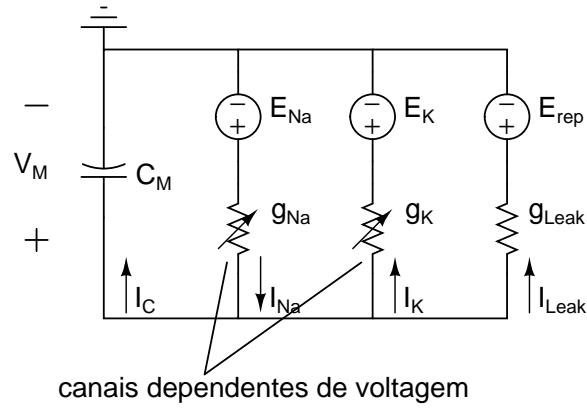


Figura A.11: Modelo elétrico da membrana incluindo o potencial de repouso.

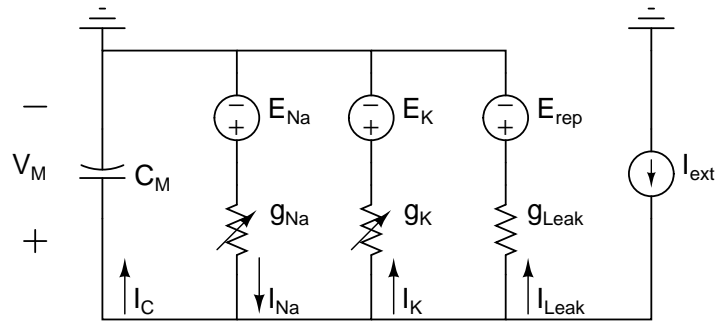


Figura A.12: Modelo elétrico da membrana incluindo um estímulo externo.

neurônio. Essa corrente de entrada se dividirá em uma parte capacitiva e uma parte iônica. Devido à corrente capacitiva o capacitor se carregará aumentando assim o potencial de membrana.

O modelo está mostrado na figura A.12. Com base nesse modelo elétrico podem-se escrever as seguintes equações:

$$\begin{aligned}
 I_{ext} &= I_C - I_{Na} + I_K + I_{Leak} \\
 I_{ext} &= C_m \frac{dV_m}{dt} + g_{Na}[V_m - E_{Na}] + g_K[V_m - E_K] + g_{Leak}[V_m - E_{rep}] \quad (A.6)
 \end{aligned}$$

A.6 O potencial de ação

Como visto na seção anterior, o efeito de uma corrente externa é que o potencial de membrana aumenta. Se esse potencial atinge um determinado limiar, inicia-se um complexo

padrão de variações das condutâncias iônicas dependentes da tensão. O resultado desse processo é a geração de um potencial de ação.

Quando o potencial de membrana atinge o limiar de disparo do potencial de ação, em primeiro lugar ocorre uma abertura rápida dos canais de sódio, equivalentemente no modelo elétrico ocorre um aumento rápido da condutância do sódio. De esta maneira a corrente iônica de sódio aumenta rapidamente e portanto o potencial de membrana aumenta até um valor próximo ao potencial de equilíbrio do sódio. Também após atingir aquele limiar, se inicia uma abertura lenta dos canais de potássio. Após aproximadamente 1ms os canais de sódio são inativados ou seja que não puderam ser abertos novamente até que a tensão da membrana diminua de novo abaixo do limiar. Se depois de que a tensão diminuiu por baixo do limiar, a tensão aumenta de novo até o limiar os canais abriam de novo. Quando os canais de sódio são inativados, ou seja 1ms depois da sua abertura rápida, a tensão de membrana diminui ajudada pelo incremento no número de canais de potássio abertos. A saída de íons potássio provoca que a tensão de membrana diminua novamente. Os canais de potássio permanecem abertos por muito mais tempo de que os canais de sódio. O efeito resultante desse fluxo duradouro de íons sódio para fora é que a tensão da membrana diminui ainda abaixo da tensão de repouso. Esse efeito é conhecido como hiperpolarização.

Até que os canais de sódio sejam ativados de novo é impossível gerar outro potencial de ação. Até esse momento se diz que a membrana está em período refratário absoluto. Depois desse período a membrana entra num período refratário relativo, durante o qual como a membrana está hiperpolarizada é mais difícil gerar um potencial de ação mas não impossível.

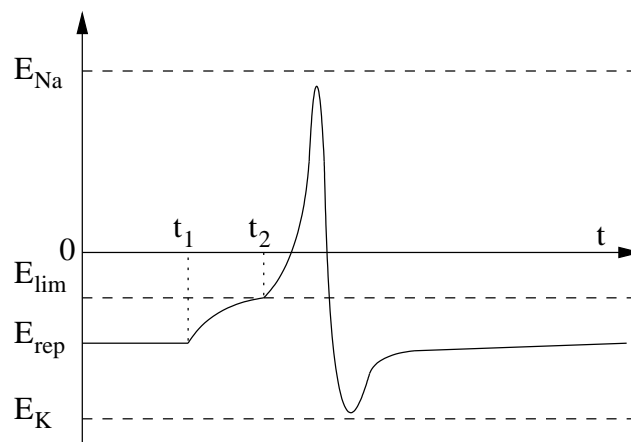


Figura A.13: Fases de um potencial de ação.

Na figura A.13 se representa o potencial de ação. Em $t = 0$ a membrana está em

repouso, ou seja que só estão abertos os canais passivos. Considerando o modelo elétrico o anterior corresponde a $I_{Na} = I_K = I_{Leak} = 0$, lembrando que I_{Na} e I_K são as correntes que passam pelos canais de sódio e potássio dependentes de tensão. Pelos canais passivos de sódio e potássio sim passa corrente, porém ambas tem a mesma magnitude e sentido oposto, e a soma algebraica de ambas está incluída no termo I_{Leak} . Em $t = t_1$ é aplicado um estímulo externo o qual ocasiona que o capacitor de membrana comece a se carregar exponencialmente. enquanto o potencial de membrana seja menor que potencial limiar E_{lim} as corrente dos canais dependentes de tensão ainda são praticamente nulas. A corrente I_{Leak} porém não é nula, mas aumenta exponencialmente até o valor I_{ext} . Do anterior é fácil deduzir que a membrana se carrega exponencialmente até o valor $V_f = E_{rep} + I_{Leak}/g_{Leak}$, portanto se $V_f < E_{lim}$ então nenhum potencial de ação será gerado. Se $V_f > E_{lim}$ então sim será gerado um potencial de ação.

Da análise anterior se deduz que a corrente de estímulo mínima necessária para gerar um potencial de ação é:

$$I_{lim} = g_{Leak}[E_{lim} - E_{rep}] \quad (\text{A.7})$$

Ademas de precisar ser superior a um limiar, a corrente de estímulo também deve ter uma duração mínima, pois se o estímulo termina antes de que o potencial de membrana atinja o limiar então nenhum potencial de ação será gerado.

Na figura A.13 se assume que o estímulo externo tem um valor e uma duração suficientes para gerar um potencial de ação. Em $t = t_1$ inicia o estímulo e em $t = t_2$ o limiar é atingido.

No modelo elétrico toda essa dinâmica só é possível modelando matematicamente as condutâncias de sódio e potássio dependentes de tensão. É possível ter uma dinâmica aproximada a aquela que ocorre no neurônio real substituindo as condutâncias variáveis por transistores MOSFET cujas portas vão a circuitos de controle que controlam sua condutância.

A.7 A técnica do grampeamento de tensão

Esta técnica consiste em fixar a tensão da membrana mediante um circuito realimentado. Essa técnica permitiu estudar a dependência das condutâncias com a tensão de membrana.

Como se viu na seção anterior é possível fixar o potencial de membrana em qualquer valor menor que a tensão limiar, para isto basta com aplicar um estímulo externo adequado. Porém não é possível da mesma maneira fixar o potencial de membrana num valor acima do limiar, pois assim que atingir o limiar o potencial de membrana mudará subitamente ocasionando o potencial de ação. isto se deve ao complexo comportamento dinâmico das condutâncias que ocorre quando se atinge o limiar. A técnica de grampeamento de tensão permite congelar essa dinâmica em qualquer ponto. Na figura A.14 se representa esse procedimento.

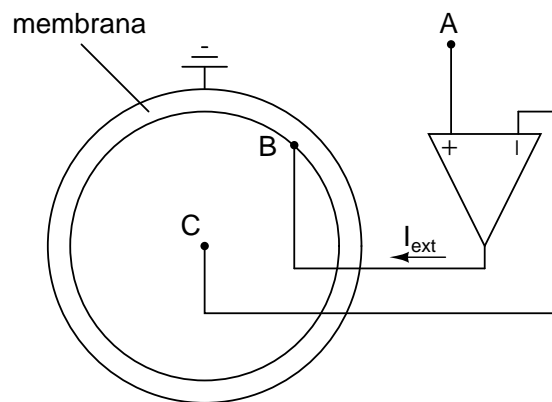


Figura A.14: Representação da técnica de grampeamento de tensão.

É utilizado um amplificador operacional. Na entrada positiva (ponto A) se aplica o potencial que se deseja fixar na superfície interna da membrana, ou seja a tensão aplicada em A é igual ao potencial de membrana desejado. A saída do amplificador é ligada mediante um microeletrodo à superfície interna da membrana (ponto B) enquanto a entrada negativa é ligada ao interior do neurônio (ponto C). Devido à alta impedância de entrada do amplificador a corrente que passa de B para C é desprezível, ou seja que é possível considerar as tensões em B e C iguais. De outro lado, se em algum momento as tensões das entradas do amplificador são diferentes, pela saída do amplificador fluirá uma corrente apropriada que tentará igualar essas tensões. Por exemplo se a tensão em A é maior de que a tensão em C, então ingressará corrente por B o qual causará que a capacitância de membrana se carregue até que a tensão em B seja igual à entrada. No caso contrário, se a tensão em A é menor de que a tensão em C, então sairá corrente por B o qual causará que a capacitância de membrana se descarregue até que a tensão em B seja igual à entrada.

Na figura A.15 se mostra o modelo elétrico da técnica de grampeamento de tensão, a resistência entre os pontos B e C é representada por R_{BC} .

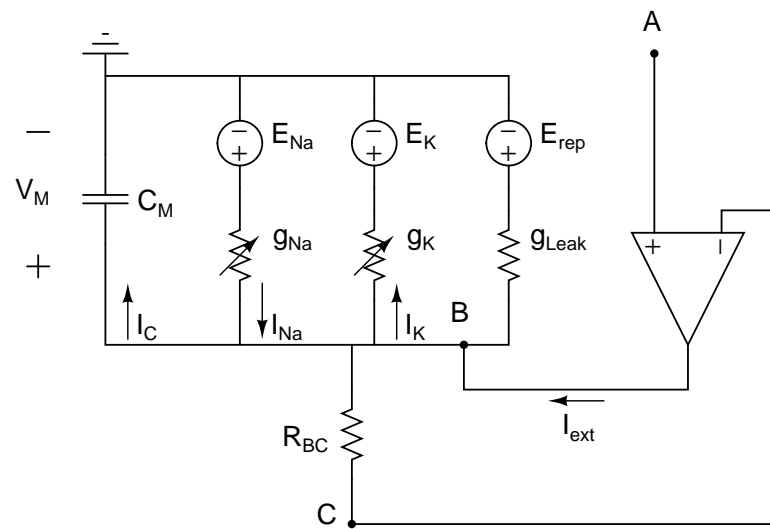


Figura A.15: Interpretação da técnica de grampeamento de tensão mediante o modelo elétrico da membrana.

Apêndice B - Esquemáticos elaborados em CADENCE

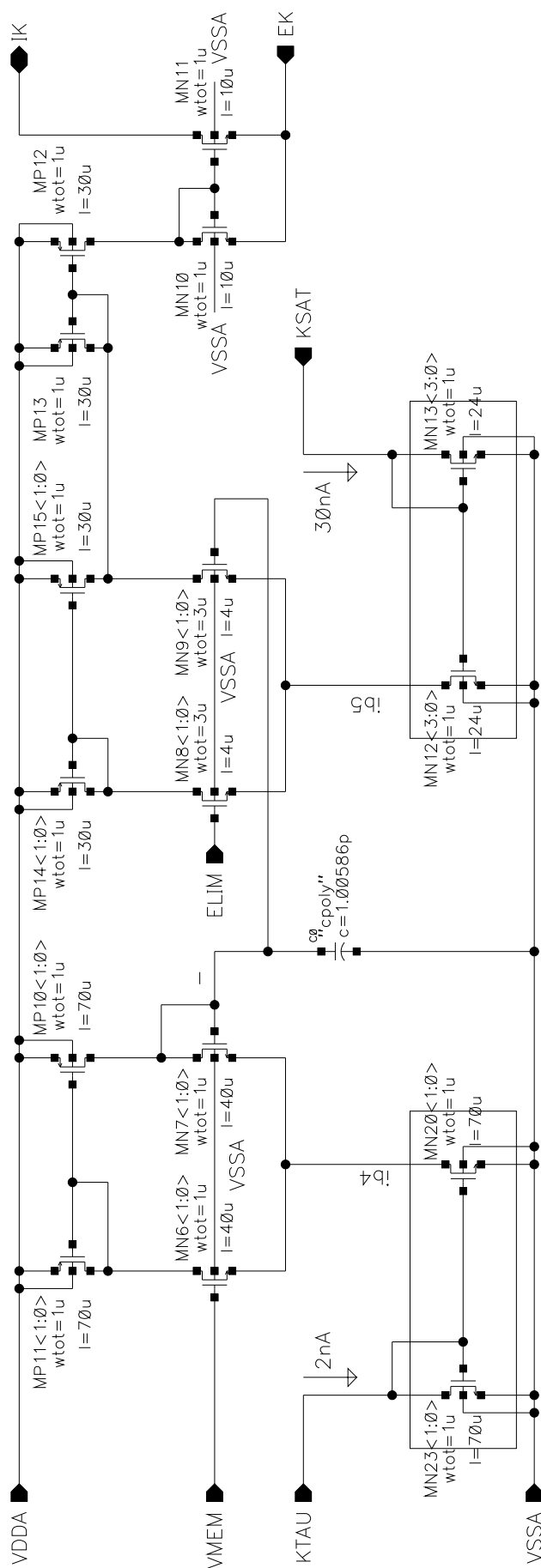


Figura B.1: Circuito de controle da corrente de Potássio

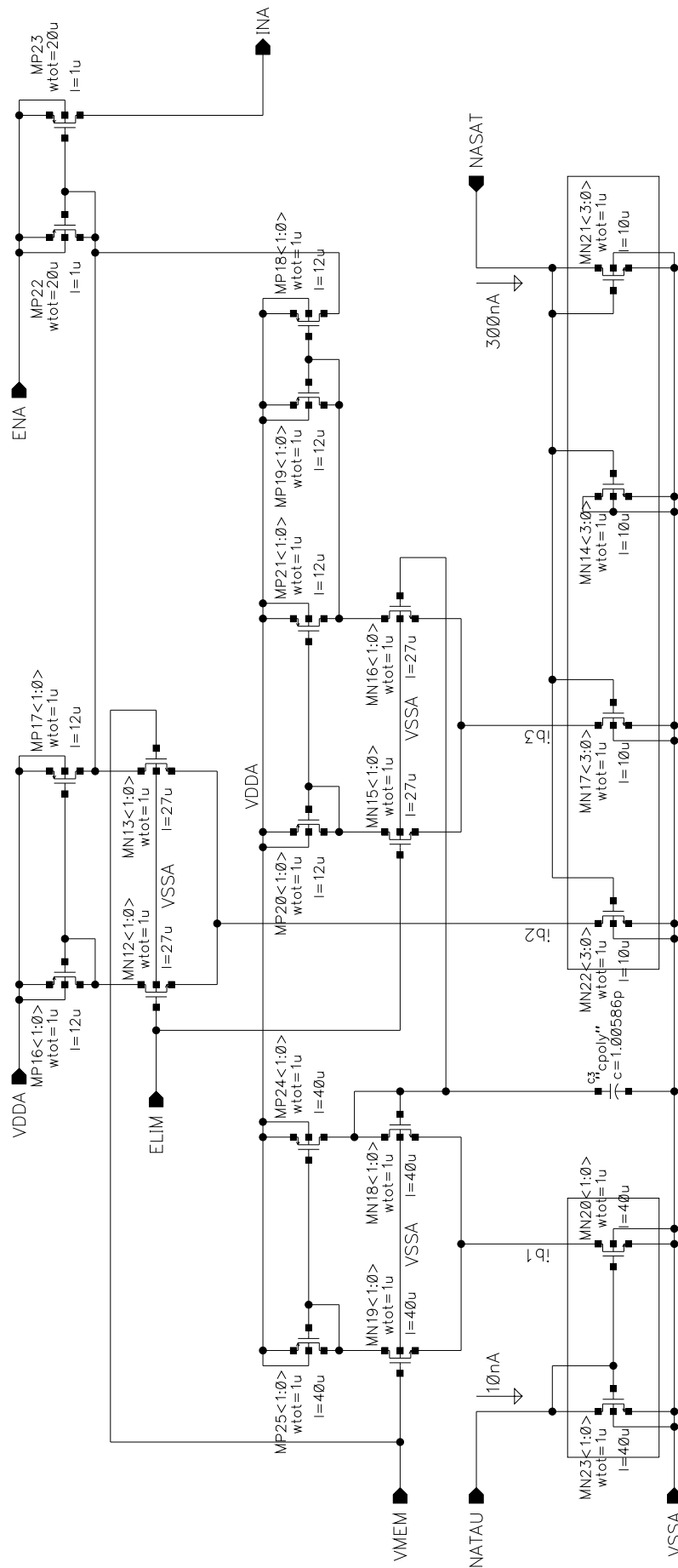


Figura B.2: Circuito de controle da corrente de Sódio

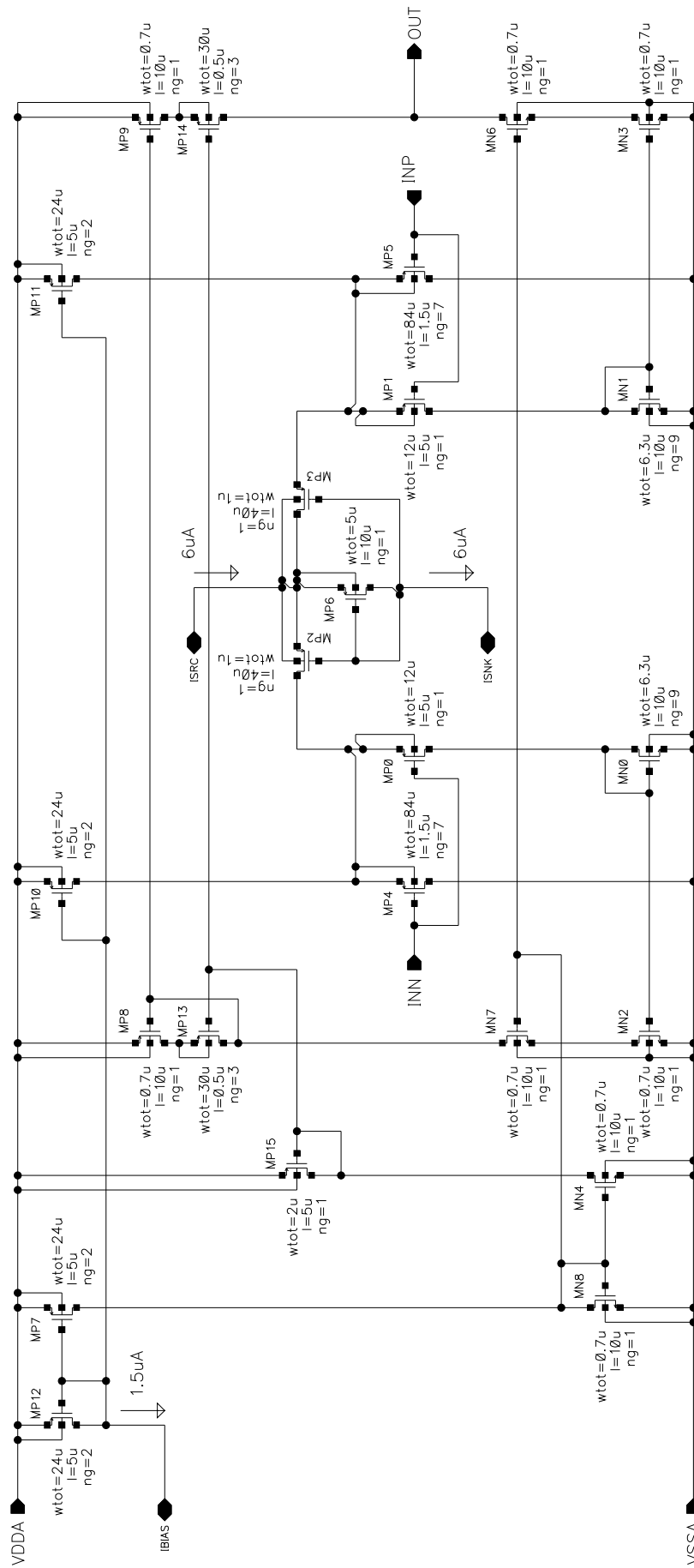


Figura B.3: Transconductor de Vazamento

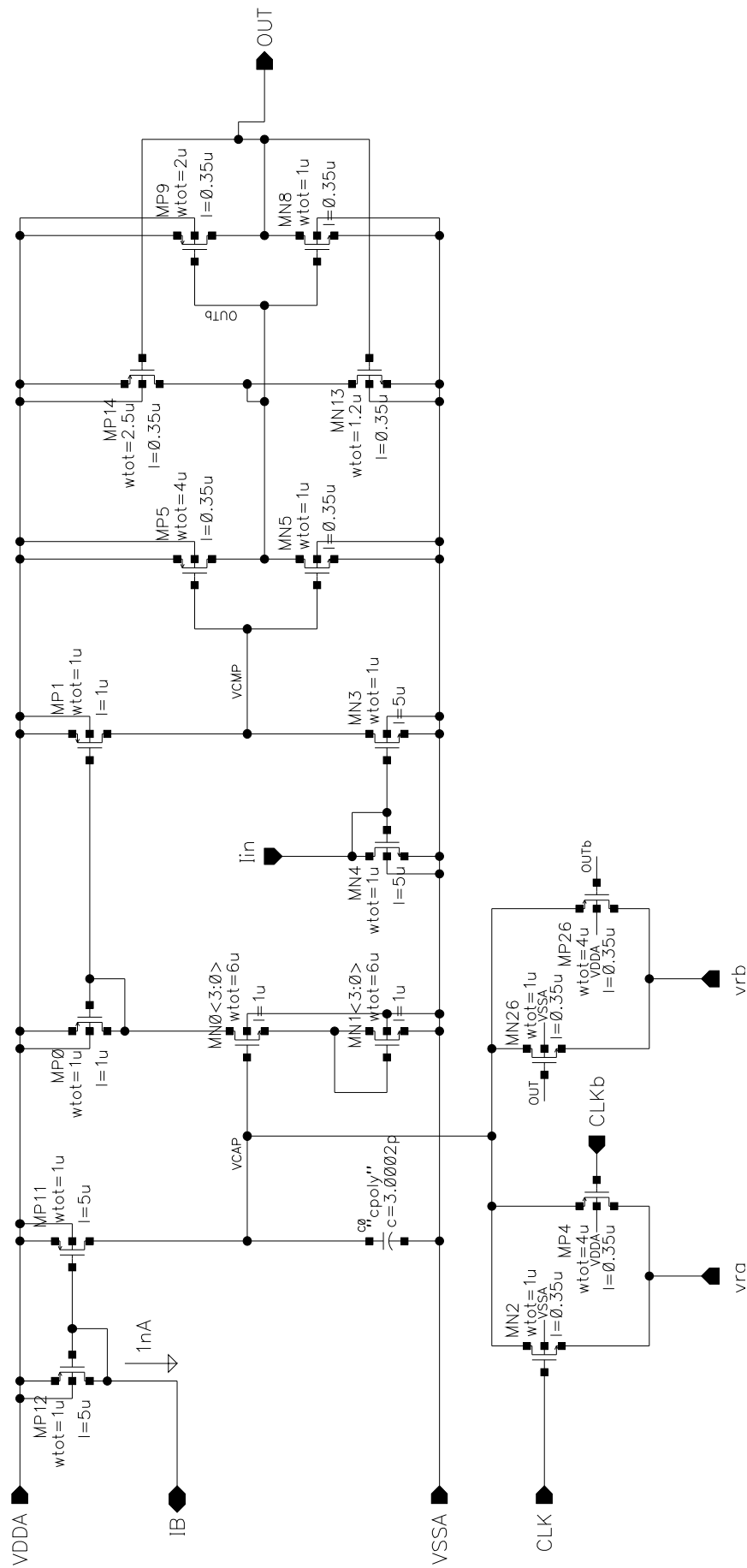


Figura B.4: Circuito codificador logarítmico

Apêndice C - *Layouts* elaborados em CADENCE

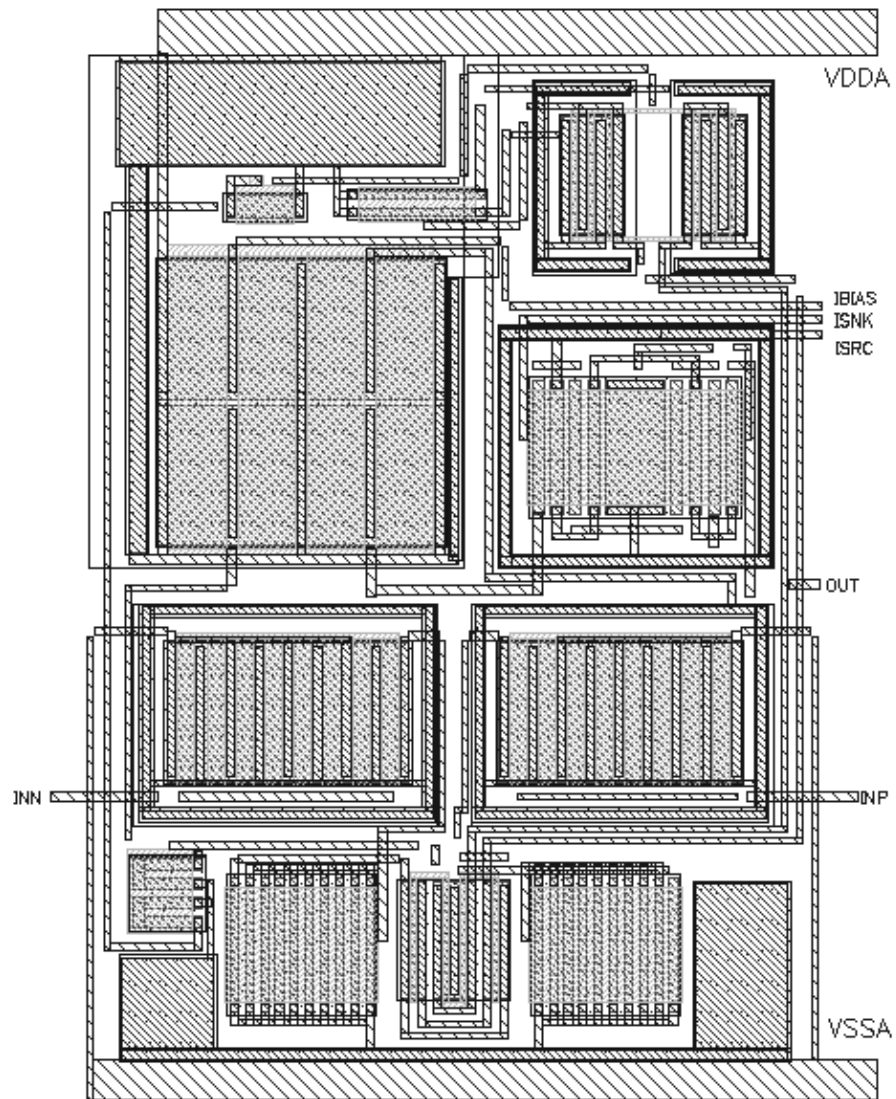


Figura C.1: Layout do transcondutor linealizado

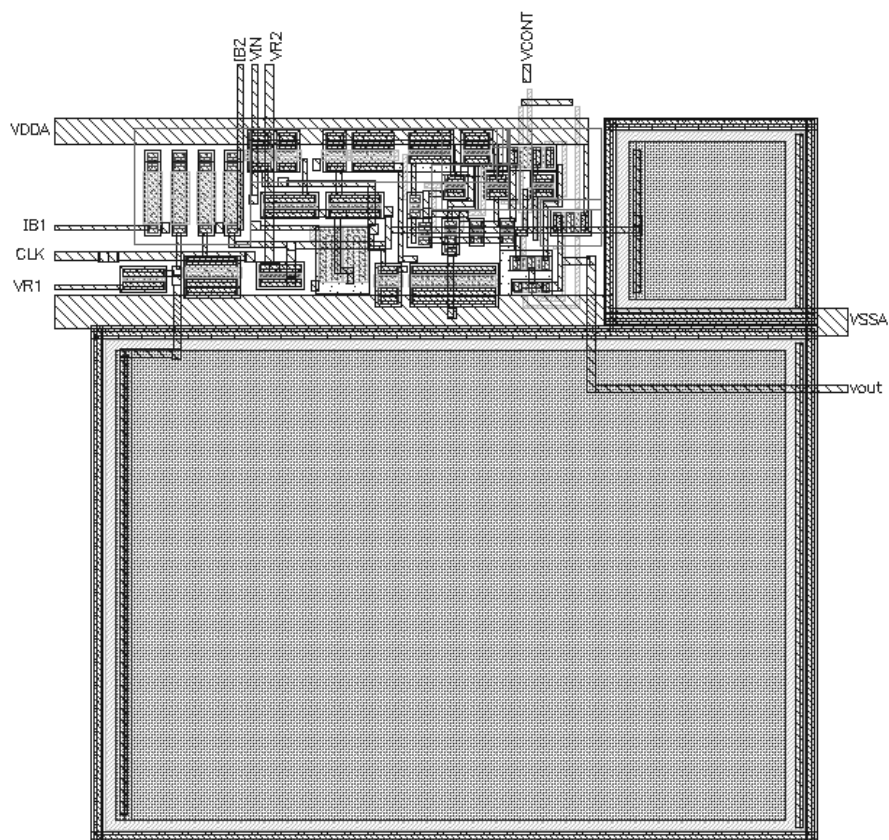


Figura C.2: *Layout* do codificador logarítmico (primeira proposta)

Apêndice D – *Scripts* para OCEAN

D.1 Tensão dreno-fonte de saturação em função de i_F

```

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;      OCEAN SCRIPT          ;;
;;      nmos vdssat          ;;
;;      Author: jlouco       ;;
;;      Date: Aug 09, 2010   ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

ocnWaveformTool( 'wavescan )
simulator( 'spectre )

design("../Sim/acm_nmos/spectre/schematic/netlist/netlist")
resultsDir("../Sim/acm_nmos/spectre/schematic/psf")

load("../matlab/physics.m")
load("fif.ocn")
load("dfif.ocn")
load("finv.ocn")

vs = 0
analysis('dc ?save0ppoint 't)

desVar( "WN" 1.0u )

```

```
desVar( "vs" vs )
desVar( "vd" 1.65 )
desVar( "LN" 2.0u )

dkit = "ams035"

procs = "tm"
model = strcat("../models/" dkit "/" procs ".ocn")
tempe = 40
temp( tempe )
abtmp = tempe + 273
phit = kbol * abtmp / qe
ofile = strcat("../data/" dkit "/nvdssat" procs sprintf(nil "%n" abtmp)
               "vs" sprintf(nil "%n" vs) ".out")
p      = outfile(ofile)
pfile = strcat("../acm/" dkit "/" procs sprintf(nil "%n" abtmp) ".m")
load(pfile)
e      = 0.07

load(model)

vg1    = 0.3
vgN    = 2.5
if1    = finv((vg1-vt)/(n*phit))
ifN    = finv((vgN-vt)/(n*phit))
N      = 50
q      = (ifN/if1)**(1.0/(N-1.0))

for(i 1 N
  ifi   = if1 * (q ** (i - 1))
  vgi   = n * phit * fif(ifi) + vt
  desVar( "vg" vgi )

run()
```

```
vdsats = getData("MN" ?result 'dcOpInfo)->vdsat
vdsatsn= vdsats / phit
vdsatc = phit*(log(1.0/e)+(1.0-e)*(sqrt(ifi+1.0)-1.0))
vdsatcn= vdsatc / phit

fprintf(p "%5.5f\t%1.3f\t%1.3f\t%1.3f\t%3.3f\t%3.3f\n"
        ifi vgi vdsats vdsatc vdsatsn vdsatcn)
drain(p)

)

close(p)
```

D.2 Erro relativo na cópia de corrente num espelho NMOS

```

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;      OCEAN SCRIPT          ;;
;;      mismatch analysis     ;;
;;      nmos mirror           ;;
;;      Author: jlouco        ;;
;;      Date: Aug 07, 2010    ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

ocnWaveformTool( 'wavescan )
simulator( 'spectre )
load("abStats.il")
load("../matlab/physics.m")

design(  "/local/jsaldana/proj_usp/work/Sim/sigmaid_nmos/
        spectre/schematic/netlist/netlist")
resultsDir(  "/local/jsaldana/proj_usp/work/Sim/sigmaid_nmos/
            spectre/schematic" )
modelFile(
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/mcparams.scs" "")
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/cmos53.scs" "cmosmc")
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/res.scs" "restm")
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/cap.scs" "capm")
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/bip.scs" "biptm")
    '("/local/tools/dkit/ams_3.70_cds/spectre/c35/ind.scs" "indtm")
)
dkit = "ams035"
tempe = 40
temp( tempe )
abtmp = tempe + 273
phit = (kbol * abtmp) / qe
pfile = strcat("../acm/" dkit "/ntm" sprintf(nil "%n" abtmp) ".m")
load(pfile)

```

```

ofile = strcat("../data/" dkit "/sigmaidn" sprintf(nil "%n" abtmp) ".out")
p = outfile(ofile "w")

analysis('dc ?saveOppoint t )
WN = 10.0u
LN = 10.0u
desVar( "WN" (WN+dw) )
desVar( "LN" (LN+dl) )

monteCarlo( ?numIters "100" ?startIter "1"
  ?analysisVariation 'mismatch ?sweptParam "None"
  ?sweptParamVals "40" ?saveData nil
  ?nomRun "yes" ?append nil
  ?saveProcessParams t
)
monteExpr( "deltaId" "((getData(\"MNO\" ?result 'dcOpInfo)->id) -
  (getData(\"MN1\" ?result 'dcOpInfo)->id))" )
monteExpr( "Iin" "(getData(\"MNO\" ?result 'dcOpInfo)->id)" )

A = WN * LN

if1 = 1.0e-5
ifN = 5000.0

N = 50

q = (ifN / if1) ** (1.0/(N - 1))

for(i 1 N

ifi = if1 * (q ** (i - 1))
fif = sqrt(ifi + 1.0) - 2.0 + log(sqrt(ifi + 1.0) - 1.0)
vpi = phit * fif
vgi = n * vpi + vt
vov = vgi - vt

```

```
desVar( "Vin" vgi )

monteRun()

results = abReadMonteData(strcat(openResults() "/monteCarlo"))
mean    = abMean(results "Iin_40")
std     = abStd(results "deltaId_40")

run()

Id = getData("MN0" ?result 'dcOpInfo)->id

x = 100 * sqrt(A) * std / Id

fprintf(p "%4.5f\t%1.3f\t%1.2f\t%6.7f\t%6.7f\t%6.5f\t%3.3f\n"
        ifi vgi vov Id*1e6 mean*1e6 std*1e9 x*1e6)
drain(p)
)

close(p)
```

D.3 Análise de linearidade em PMOS

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;      OCEAN SCRIPT          ;;
;;      linearity analysis    ;;
;;      pmos resistor        ;;
;;      Author: jlouco       ;;
;;      Date: Aug 03, 2010   ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

ocnWaveformTool( 'wavescan )
simulator( 'spectre )

design("../netlists/pmos/netlist")
resultsDir("/local/users/julio.saldana/julio/sim/palpha")

vs = 0.0
analysis('dc ?saveOppoint t ?param "vd" ?start 0
         ?stop (vs+40.0m) ?step 100u)

vg1 = 0.7
vgN = 1.2
N    = 11
vgr = (vgN - vg1) / (N - 1)
vd  = 0.0

desVar( "WP" 20.0u )
desVar( "vs" vs )
desVar( "vd" vd )
desVar( "vdd" 3.3 )
desVar( "LP" 2.0u )

dkit = "ams035"

procs = "tm"
```



```
model = strcat("../models/" dkit "/" procs ".ocn")
tempe = 40
temp( tempe )
abtmp = tempe + 273
ofile = strcat("../data/" dkit "/palha" procs
               sprintf(nil "%n" abtmp) ".out")
p = outfile(ofile)

load(model)

for(i 1 N
vgi = vgl + (i-1) * vgr
desVar( "vg" vgi )
run()

ID = value(IS("/VD/MINUS") 30m)
GD = getData("/M0" ?result 'dcOpInfo)->gds

alpha = ((GD * 30m) - ID) / ID
fprintf(p "%2.2f\t%2.4f\n" vgi alpha)
)

close(p)
```

D.4 THD em par diferencial

```

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;      OCEAN SCRIPT          ;;
;;      ppair THD            ;;
;;      Author: jlouco       ;;
;;      Date: Aug 15, 2010   ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

ocnWaveformTool( 'wavescan )
simulator( 'spectre )

design("../Sim/sim_ppair/spectre/schematic/netlist/netlist")
resultsDir("../Sim/sim_ppair/spectre/schematic")

load("../matlab/physics.m")
dkit = "ams035"
procs = "tm"
model = strcat("../models/" dkit "/" procs ".ocn")
load(model)
tempe = 40
temp( tempe )
abtmp = tempe + 273
phit = kbol * abtmp / qe
pfile = strcat("../acm/" dkit "/" p" procs sprintf(nil "%n" abtmp) ".m")
load(pfile)
;ish = 150.0e-9
WP = 10u
LP = 2u
A = 50m
ofile = strcat("../data/" dkit "/ppairthd" procs sprintf(nil "%n" abtmp) ".out")
p = outfile(ofile)

analysis('tran ?stop "100.1m" ?errpreset "" ?step "100u"
?maxstep "100u" )

```

```
desVar( "frec" 100 )
desVar( "WP" WP )
desVar( "vcm" 1.65 )
desVar( "LP" LP )
desVar( "A" A )

iff1 = 0.01
iffN = 300.0
N = 50
q = (iffN / iff1) ** (1.0 / (N-1.0))
S = (WP - dw) / (LP - dl)

for(i 1 N
  iffi = iff1 * (q ** (i - 1.0))
  Id = iffi * S * ish
  aux1 = sqrt(1.0 + iffi)
  aux2 = (aux1 ** 3.0) / (3.0 * aux1 - 1.0)
  aux3 = 32.0 * (n ** 2.0) * (phit ** 2.0) * aux2 / (A ** 2.0)
  THDc = 100.0 / (3.0*aux3 - 3.0)

  desVar( "id" Id )
  run()
  THD = thd(IT("/V0/PLUS") 0.09 0.1 100 100)
  fprintf(p "%3.3f\t%3.6f\t%3.6f\n" iffi THDc THD)
  drain(p)
)
close(p)
```