MOACYR MARTUCCI JUNIOR

Eng. Eletricista, ~~Escola Politécnica~~ da USP, 1973

F. D. T. E.
BIBLIOTECA
Projeto:
Data 21 / 08 / 80
Registro:

PROJETO DE UMA MEMÓRIA MONOLÍTICA: RECURSO PARA AMPLIAÇÃO DA MEMÓRIA PRINCIPAL DE UM MINICOMPUTADOR

Dissertação apresentada à Escola Politécnica da USP para obtenção do Título de Mestre em Engenharia.

Orientador: Prof. Dr. Antonio Marcos de Aguirra Massola

São Paulo, 1979

A meus pais e esposa

AGRADECIMENTOS

Ao Prof. Dr. Antonio Marcos de Aguirra Massola pela orientação constante.

Ao Prof. Dr. Antonio Hélio Guerra Vieira pelo incentivo recebido.

Aos Professores Lucas Antonio Moscato e Edith Ranzini pelo apoio e colaboração na realização deste trabalho.

Aos Engenheiros Egmont Yuzuru Shimizu, Wallace Tonussi e Gil Rodrigues pela valiosa colaboração.

Ao Prof. João José Neto pelo apoio e as valiosas sugestões apresentadas.

Às Srtas. Lina Teresinha Rodrigues e Sineide Terezinha Vieira, pelos serviços de datilografia e pela dedicação.

À Srta. Sonia Maria Gonçalves, pelos serviços de desenho.

À Fundação para o Desenvolvimento Tecnológico da Engenharia cujas atividades permitiram a realização deste trabalho.

Aos colegas do Laboratório de Sistemas Digitais e da Fundação para o Desenvolvimento Tecnológico da Engenharia que direta ou indiretamente cooperaram para a realização deste trabalho.

RESUMO

Este trabalho apresenta o reprojeto do "hardware" do minicomputador Patinho Feio, de forma a ter-se uma máquina com melhores recursos de "hardware", mas que fosse "software" compatível com o Patinho Feio.

Grande parte do trabalho é dedicado ao projeto e implementação de um sistema de memória a semicondutor, utilizando pastilhas de alta densidade de bits.

A escolha da pastilha de memória gerou a necessidade de realizar-se um estudo sobre as pastilhas existentes no mercado e de adotar-se um esquema de escolha organizado, devido ao grande número de itens diferentes que estavam disponíveis no mercado; esse estudo é o escopo do capítulo 2 deste trabalho.

No capítulo 3 é apresentada a expansão da capacidade de endereçamento da memória principal de 4K "bytes" para 32K "bytes", além das demais modificações de hardware, com relação ao Patinho Feio.

Durante o projeto da memória monolítica surgiu a necessidade de ter-se um sistema de testes que possibilitasse a observação e o estudo dos sinais importantes ao bom funcionamento da memória. Esse sistema de testes foi desenvolvido e é apresentado no capítulo 5 deste trabalho.

ABSTRACT

This work presents a redesign of the hardware of Patinho Feio minicomputer, in order to obtain a machine with better hardware resources, although software compatible with Patinho Feio The body of this work is dedicated to the design and implementation of a semiconductor memory system, using high density chips.

The choice of the semiconductor memory chip generated the needs of studing all memory chips available in the market, and the development of an organized scheme of choosing, this because there were so much different types of memory chips available; this study is the scope of chapter 2 of this work.

In the chapter 3 is presented the address expansion of the minicomputer main memory from 4K bytes to 32K byts, farther on the others hardware modifications, in relation to the Patinho Feio.

During the memory design appeared the needs of having a test system where was possible the observation and the study of the signals that were important to the work of the memory system. The test system was developed and is presented in the chapters 5 of this work.

ÍNDICE

	Página
1. INTRODUÇÃO	.1.
1.1. Modificações no "Hardware" com relação ao Patinho Feio	.2.
1.1.1. Expansão de Capacidade de Endereçamento	
1.1.2. Carregador Absoluto Automático	
1.1.3. Modos de Operação	
1.1.4. Acesso Direto à Memória - DMA	
1.1.5. Proteção de Memória	
1.1.6. Teste de Paridade da Memória	
1.1.7. Interrupções Especiais	
1.2. Memória Principal	10.
1.3. Empacotamento	12.
1.4. Conclusões	13.
2. MEMÓRIAS DE SEMICONDUTOR	14.
2.1. Classificação das Memórias de Semicondutor	14.
2.1.1. Memórias de Apenas Leitura - ROM	
2.1.2. Memórias de Escrita e Leitura	

ÍNDICE

	Página
2.2. Estado Atual das Memórias de Semicondutor	19.
2.2.1. Memórias de Apenas Leitura	
2.2.2. Memórias de Escrita e Leitura	
2.3. Evolução das Memórias Monolíticas de Escrita e Leitura de Acesso Aleatório	29.
2.4. Aplicações das Memórias de Escrita e Leitura	34.
2.5. Considerações sobre a Escolha da Pastilha de Memória	40.
2.6. Conclusões	43.
3. EXPANSÃO DA CAPACIDADE DE ENDEREÇAMENTO DA MEMÓRIA PRINCIPAL DO MINICOMPUTADOR	44.
3.1. Expansão da Capacidade de Endereçamento	45.
3.1.1. Alterações na Implementação das Instruções	
3.1.2. Estouro de Páginas	
3.1.3. Proteção de Memória	
3.1.4. Interrupções Especiais	
3.2. Alterações Necessárias no Fluxo de Dados do Minicomputador	71.

ÍNDICE

	Página
3.3. Alterações na Carta de Micro-operações	76.
3.4. Outras Alterações no "Hardware"	101.
3.4.1. Acesso Direto à Memória - DMA	
3.4.2. Modos de Operação	
3.4.3. Carregador Absoluto Automático	
3.5. Conclusões	118.
4. PROJETO DA MEMÓRIA PRINCIPAL DA NOVA VERSÃO DO MINICOMPUTADOR PATINHO FEIO	120.
4.1. Escolha da Pastilha de Memória	121.
4.2. Descrição da Pastilha	126.
4.3. Projeto do Módulo de Armazenamento	135.
4.3.1. Projeto do "Lay-out" do Circuito Impresso da Placa de Armazenamento	
4.4. Projeto do Módulo de Controle e Interfaceamento com o Minicomputador	145.
4.4.1. Relógio Central e Gerador de Sinais de Controle	
4.4.2. Registrador de Dados de Escrita	
4.4.3. Registrador de Dados de Leitura	

ÍNDICE

Página

4.4.4. Registrador de Endereços da Memória

4.4.5. Circuito de Refrescamento

4.5. Interface da Memória 155.

4.5.1. Circuito de Seleção da Interface

4.5.2. Circuito do Registrador de Páginas

4.5.3. Circuito de Detecção de Instrução Inválida

4.5.4. Circuito Carregador Absoluto

4.5.5. Circuito de Proteção de Memória

4.5.6. Circuito de Interrupções Especiais

4.6. Considerações sobre a Potência Consumida pelo Módulo de Armazenamento 164.

4.7. Conclusões 166.

5. TESTES ELÉTRICOS DA PLACA DE ARMAZENAMENTO E TESTES DA LÓGICA DE CONTROLE DAS PASTILHAS DE MEMÓRIA 167.

5.1. Teste da Placa de Armazenamento 167.

5.1.1. Sistema de Testes das Placas de Armazenamento

5.1.2. Rotina de Testes da Placa de Armazenamento

ÍNDICE

	Página
5.2. Testes da Placa de Controle	194.
5.3. Testes do Sistema de Memória	196.
5.4. Conclusões	200.
6. CONSIDERAÇÕES FINAIS	201.

LISTA DE FIGURAS

Página

Figura 2.1. - Célula de Armazenamento de Três Transistores 32.

Figura 2.2. - Célula de Armazenamento com seis Transistores em Forma de "Flip-Flops" 32.

Figura 2.3. - Gráfico da Evolução dos Preços das Memórias 35.

Figura 2.4. - Gráfico de Tipos de Pastilhas em Função do Tempo de Acesso e da Dissipação 38.

Figura 2.5. - Custo por Bit comparativamente para vários tipos de Pastilhas de Memórias 38.

Figura 3.1. - Mudança de Página pela Instrução SAI/F 49.

Figura 3.2. - Execução da Instrução PUG com Modo de Endereçamento Direto 61.

Figura 3.3. - Execução da Instrução PUG com Modo de Endereçamento Indireto 62.

Figura 3.4. - Execução da Instrução PUG com Modo de Endereçamento Indireto na Página zero 64.

Página

Figura 3.5. - Fluxo de Dados do Minicomputador Patinho Feio 72.

Figura 3.6. - Circuito de Endereçamento da Memória Principal 74.

Figura 3.7. - Fluxo de Dados do Novo Minicomputador 77.

Figura 3.8./ 3.8A. - Carta de Micro-operações das Instruções PLA e PLAX 79/80.

Figura 3.9./ 3.9A./3.9B.- Micro-operações das Instruções CAR, CARX, SOM, SOMX, ARM e ARMX 84/85/86.

Figura 3.10/ 3.10A. - Carta de Micro-operações da Instrução PUG 89/90.

Figura 3.11./ 3.11A. - Carta de Micro-operações da Instrução SUS 93/94.

Figura 3.12 - Carta de Micro-operações da Instrução PUL 96.

Figura 3.13 - Carta de Micro-operações da Instrução TRE e TRI 100.

Figura 3.14./ 3.14A./3.14B.- Carta de Micro-operações das Instruções Longas Restantes 102/103/104.

Página

Figura 3.15 - Carta de Micro-operações das Instruções curtas, exceto TRE, TRI e PUL 105.

Figura 3.16 - Diagrama de Blocos DMA 108.

Figura 3.17 - Resumo das Instruções utilizadas pelo DMA 113.

Figura 3.18 - Carta de Micro-operações da instrução CSV 115.

Figura 3.19 - Diagrama de Blocos do Carregador absoluto automático 119.

Figura 4.1. - Diagrama de Blocos da Pastilha 2107B 129.

Figura 4.2. - Célula da Matriz da Memória da Pastilha 2107B 131.

Figura 4.3. - Variação da Tensão nas Linhas de Leitura 133.

Figura 4.4. - Diagrama do Circuito Integrado tipo 3245 137.

Figura 4.5. - Esquema Simplificado da Placa de Armazenamento 141.

Figura 4.6. - Posicionamento dos Componentes na Placa de Armazenamento 144.

Página

Figura 4.7. - Diagrama em Blocos do Módulo de Controle 146.

Figura 4.8A./ 4.8B. - Diagrama Lógico e de Tempos do Relógio Central 148/149.

Figura 4.9. - Diagrama Lógico do Circuito Refrescamento 154.

Figura 5.1. - Diagrama de Blocos do Sistema de Testes 169.

Figura 5.2. - Painel de Chaves e "LED's" do Sistema de Testes 170.

Figura 5.3. - Circuito Elétrico do Painel de Chaves e "LED's" 175.

Figura 5.4. - Diagrama Lógico do Simulador do Sistema de Testes 176.

Figura 5.5./ 5.5A. - Diagrama Lógico do Controlador do Sistema de Testes 180/181.

Figura 5.6. - Mapa da Gaveta utilizada pelo Sistema de Testes 182.

Figura 5.7. - Comportamento das Fontes de Alimentação na Placa de Armazenamento 185.

Página

Figura 5.8. - Forma de Onda do Sinal de "Chip Enable" 185.

Figura 5.9. - Formas de Onda do Dado de Saída das Pastilhas de Memória 190.

LISTA DE TABELAS

	Páginas
Tabela 2.1. - Alguns tipos de EPROMs existentes no mercado	21.
Tabela 2.2. - Alguns tipos de ROMs densas existentes no mercado	22.
Tabela 2.3. - Principais pastilhas de memória de acesso aleatório dinâmicas	26.
Tabela 2.4. - Características de algumas pastilhas de memória estáticas	28.
Tabela 2.5. - Aplicações típicas de vários tipos de pastilhas de memória disponíveis no mercado	39.
Tabela 4.1. - Sinais atuantes no Endereçamento	142.
Tabela 4.2. - Comandos para a Interface de Memórias	157.
Tabela 5.1. - Modos de Operação do Sistema de Testes	171.

CAPITULO 1

I N T R O D U Ç Ã O

1. INTRODUÇÃO

O objetivo deste trabalho foi o reprojeto do minicomputador Patinho Feio, projetado e implementado pelo Laboratório de Sistemas Digitais da Escola Politécnica da Universidade de São Paulo, em 1972, de modo a deixá-lo com o "hardware" mais adequado para o desenvolvimento de um "software" mais sofisticado e de modo a utilizá-lo, principalmente, nos estudos das ligações com computadores de grande porte, com minicomputadores operando como terminais remotos inteligentes.

O trabalho se concentrou principalmente no projeto e implementação de uma memória de semicondutor, que deveria equipar o novo minicomputador, e na adaptação do "hardware" para a expansão do campo de endereçamento direto de 4096 palavras para 32768; essa adaptação exigiu algumas alterações no fluxo de dados, na carta de micro-operações e, conseqüentemente, nos circuitos de controle do Patinho Feio.

A principal restrição do reprojeto, entretanto, residiu no fato de que todo o "software", que já havia sido desenvolvido para o Patinho Feio, deveria ser executado pelo novo minicomputador, sem que houvesse necessidade de qualquer alteração, isto é, deveria executar suas funções normalmente, sem nenhuma restrição. Devido a esse fato, as modificações que foram realizadas no fluxo de dados e na carta de micro-operações, foram projetadas de modo a se tornarem invisíveis para o programador, quanto à função executada, através de cada uma das instruções; desse modo, o novo minicomputador ficou totalmente compatível com o "software" existente.

São apresentadas, a seguir, as modificações propostas para o Patinho Feio e que foram implementadas no novo minicomputador.

1.1. Modificações no "Hardware" com relação ao Patinho Feio

As modificações listadas a seguir, foram projetadas e implementadas de forma a ter-se um pequeno número de alterações nos circuitos do Fluxo de Dados e do Controle, que fazem parte do Patinho Feio, pois, com essa filosofia, o risco de incompatibilizar o "software" existente seria mínimo.

a. expansão da capacidade de endereçamento da Memória Principal, de 4096 para 32768 palavras, acompanhada da implementação de 32768 palavras de memória com tecnologia de semicondutor;

b. implementação de um Carregador Absoluto Automático, com o programa residente em memória de apenas leitura, acionado por um botão existente no painel;

c. implementação de dois modos de operação: Modo Usuário e Modo Supervisor, e a conseqüente criação de uma nova instrução de Chamada de Supervisor;

d. implementação de um circuito de acesso direto à memória, para ser utilizado em operações de entrada e saída com dispositivos rápidos;

e. implementação de um sistema de proteção de memória, inicialmente, para proteger página a página da memória, mas com possibilidade de tornar essa gama de proteção mais fina, quando necessário;

f. implementação de um sistema de teste de consistência na memória, por meio de um bit de paridade por palavra;

g. implementação de um novo nível de interrupção que deve sinalizar as seguintes ocorrências:erro de paridade, violação de memória, estouro de página, falha de energia, instrução inválida e chamada de supervisor.

1.1.1. Expansão da Capacidade de Endereçamento

Para que fosse possível a expansão da capacidade de endereçamento, sem alterar-se o formato das instruções,foi necessário que se organizasse a memória em páginas de 4096 palavras; o tamanho das páginas foi determinado tomando-se por base, principalmente, o "software" existente que, como já foi mencionado, deveria operar normalmente no novo minicomputador; e, para que isso fosse possível, os programas existentes deveriam ser armazenados e operados em uma única página. Logo, o tamanho das mesmas deveria ser igual à capacidade máxima de memória do Patinho Feio, que é de 4096 palavras.

A capacidade de endereçamento foi expandida para que programas mais extensos pudessem ser implantados, especialmente os de comunicação com o computador B6700, tornando o minicomputador em questão, um terminal inteligente; uma primeira versão destes programas já foi implantada no Patinho Feio, porém, com certas restrições, devido aos recursos restritos do "hardware" desse computador.

Por outro lado, a existência de um conjunto de programas bastante grande, que foi implantado no Patinho Feio e que opera normalmente no novo minicomputador, poupará muito trabalho e será de grande utilidade para o desenvolvimento de um "software" mais completo e mais sofisticado para a nova máquina, pois funcionará como uma espécie de "embrião" para esse novo conjunto de programas.

Outro ponto positivo é que, com a construção da nova memória, com tecnologia bastante moderna e com tempos de acesso e de ciclo bastante reduzidos em comparação com a memória existente no Patinho Feio, o novo minicomputador poderá ter a sua velocidade aumentada em até quase o dobro, com relação a sua versão original, melhorando-se dessa forma, a sua capacidade de processamento.

1.1.2. Carregador Absoluto Automático

Um problema operacional grave existente no Patinho Feio, é a obrigatoriedade de carregar-se, na Memória Principal do mesmo, o programa "Bootstrap" do Carregador Absoluto, por intermédio das chaves do painel, toda vez que se liga o minicomputador; a implementação do Carregador Absoluto Automático tem por finalidade, justamente, eliminar esse problema.

O circuito do Carregador Absoluto foi implementado utilizando-se memórias de apenas leitura, onde está gravado o programa do Carregador Absoluto. O projeto permite, entretanto, a execução de qualquer programa que seja gravado nas memórias de apenas leitura do circuito, por mais sofisticado que seja, podendo-se, por exemplo, executar um compilador completo utilizando esse circuito, o que possibilita a compilação de um programa usuário em linguagem fonte, apenas pressionando-se um botão do painel.

1.1.3. Modos de Operação

Uma das características necessárias para o gerenciamento eficiente dos recursos do minicomputador pelo "software"

do mesmo, é a existência de dois modos de operação, o Modo Supervisor e o Modo Usuário, e a conseqüente existência de uma instrução de Chamada de Supervisor e de instruções privilegiadas, que só podem ser executadas no Modo Supervisor.

Para que fosse possível o chaveamento do Modo Usuário para o Supervisor, por meio de "software", foi criada a instrução CSV - Chamada de Supervisor, que, quando executada, provoca a geração de uma interrupção especial por chamada de supervisor; a rotina de tratamento dessa interrupção passa o controle da UCP do minicomputador para o Sistema Operacional, o qual deverá executar as operações requeridas pelo usuário, através da instrução de Chamada de Supervisor.

O chaveamento do Modo Supervisor para o Modo Usuário é feito, automaticamente, quando ocorre uma instrução PUL precedida da função de Fim de Modo Supervisor, que ocasiona a volta para o programa usuário, através do retorno da interrupção especial que determinou a passagem para o Modo Supervisor.

As instruções que foram consideradas privilegiadas e que só podem ser executadas em Modo Supervisor, são as instruções de entrada e saída e as de comandos especiais. Caso o programador tente a execução de alguma dessas instruções em Modo Usuário, ela será inibida e um pedido de interrupção especial por instrução inválida será gerado.

1.1.4. Acesso Direto à Memória - DMA

Prevendo-se a utilização de dispositivos de entrada e saída com altas taxas de transferência de bits, foi implementado um circuito para carga e descarga direta da Memó

ria Principal do minicomputador para os dispositivos em questão, sem que os dados passem pelo Acumulador do mesmo.

O Acesso Direto à Memória foi implementado utilizando-se, em grande parte, os circuitos já existentes de controle e transferência de dados do Painel de Chaves para a Memória Principal do minicomputador, evitando-se, assim, a duplicação dos circuitos que seriam muito parecidos com os desse painel.

Com a implementação do Acesso Direto à Memória, tornou-se possível utilizar-se, com maior eficiência, os dispositivos periféricos de armazenamento de massa com taxas de transferência de bits elevadas, como discos e fitas magnéticas, tambores, etc., com a possibilidade de transferência de grandes blocos de dados da memória para os dispositivos periféricos e vice-versa, sem que os dados precisem passar por estágios de armazenamento do Fluxo de Dados.

Os circuitos do Acesso Direto à Memória foram também projetados de forma a ser permitida a transferência de blocos de dados internamente à memória, isto é, de uma região para a outra da mesma, facilidade essa que deverá ser amplamente utilizada pelo Sistema Operacional para transferências de trechos de uma página de memória para outra, durante as operações de gerenciamento de memória.

Para a operação do Acesso Direto à Memória, foi necessária a criação de várias funções e testes de entrada e saída, que operam na interface do Painel de Chaves e são utilizadas para definir o tamanho e o endereço inicial e final do bloco a ser transferido e para verificar o estado de operação dos circuitos, correspondentes ao Acesso Direto à Memória.

1.1.5. Proteção de Memória

Um sistema de proteção de memória foi implementado para suprir o Sistema Operacional de meios que possam impedir que um programa usuário modifique dados residentes em áreas de memória que não lhe estejam destinadas, evitando-se, assim, que outros programas existentes na memória, ou até mesmo o Sistema Operacional, sejam destruídos por um usuário desavisado ou por erros de programação.

Todo o sistema de proteção de memória foi implementado por meio de circuitos; em uma primeira versão a proteção é feita por páginas de memória, ou seja, consegue-se proteger uma página inteira de memória por endereço de proteção carregado pelo Sistema Operacional na interface da memória, porém, como já foi mencionado, a filosofia adotada permite que o tamanho da área a ser protegida seja alterado, sem que sejam necessárias modificações significativas nos circuitos correspondentes a essa proteção.

Caso, durante a execução de alguma instrução em Modo Usuário, resulte uma operação de armazenamento na memória em um endereço protegido, a execução dessa instrução é suspensa e é gerado um pedido de interrupção especial por violação de memória, passando o controle do minicomputador para o Sistema Operacional, que deverá tratar do caso convenientemente.

Um fato muito importante, que convém ser ressaltado, é de que o sistema de proteção de memória somente é ativado quando o controle do minicomputador encontrar-se em Modo Usuário; portanto, em Modo Supervisor não existe qualquer restrição quanto a operações de armazenamento na Memória Principal.

1.1.6. Teste de Paridade da Memória

A implementação de um sistema de teste de consistência na memória, por intermédio de bits de paridade, é importante no sentido de facilitar a detecção e a diagnose das falhas que possam ocorrer na memória. Normalmente, são implementados testes de consistência nos sistemas de memória, por eles serem, em geral, mais delicados e susceptíveis a ruídos que os demais sistemas que compõem os computadores.

Positivamente, durante a diagnose de uma falha é muito importante saber-se que, pelo menos, um dos sistemas que compõem o equipamento em teste estão operando corretamente ; no caso de computadores digitais, onde a maioria dos testes para diagnose de falhas são armazenados na memória, deve-se ter certeza que a mesma está realizando suas operações corretamente, para que se possa seguir as rotinas de teste com confiança. Nesse caso, a existência dos bits de paridade é muito importante e os custos de sua implementação se tornam altamente compensadores.

Foi adotado, para a Memória Principal do minicomputador, um bit de paridade por palavra (8 bits), que é gerado e armazenado na memória, automaticamente, pela interface da memória durante as operações de escrita, e testado nas operações de leitura. Caso o teste realizado durante as operações de leitura acuse erro, é gerado um pedido de interrupção especial por erro de paridade, e o LED correspondente no painel se acenderá para sinalizar o fato ao operador da máquina.

1.1.7. Interrupções Especiais

A existência de interrupções de classe distinta das de entrada e saída, trouxe a necessidade de se projetar e implementar um novo nível de interrupções; as interrupções desse outro nível foram denominadas Especiais, apenas para diferenciá-las das de entrada e saída.

As interrupções especiais têm prioridade mais alta que as de entrada e saída, porque sinalizam a ocorrência de eventos incomuns durante a operação da máquina, causados tanto pelos usuários, quanto por falhas nos circuitos da mesma, exceção feita à interrupção de Chamada de Supervisor.

O circuito das interrupções especiais foi implementado na placa de interface da memória, onde cada tipo de interrupção aciona o "flip-flop" correspondente e, automaticamente, armazena o endereço de retorno de interrupção nas posições /F e /10 da memória, executando, a seguir, as posições seguintes onde está armazenado o programa de tratamento das interrupções especiais.

O retorno de interrupção deve ser feito pela instrução PUL, que limpa o "flip-flop" de interrupção especial e provê o retorno ao programa interrompido, de acordo com as rotinas de tratamento a serem implementadas. Novamente, uma exceção é feita no caso de Chamada de Supervisor, pois, para o retorno dessa interrupção, além da instrução PUL, é necessário que seja satisfeita a condição de fim de Modo Supervisor; essa condição é identificada pelo circuito de interrupções especiais, quando é executada uma instrução FNC,na interface da memória, a qual liberará o "flip-flop"de interrupção especial.

Como cada um dos tipos de interrupção especial que ocorrer deverá acionar um "flip-flop", o programa de tratamento dessas interrupções deve testar os "flip-flops" corres-

pondentes a cada uma delas, para determinar qual tipo de interrupção ocorreu; esse teste deve ser realizado através das instruções SAL, especialmente implementadas,na interface da memória, para esse fim.

Nos capítulos 3 e 4 são apresentadas, com detalhes,as modificações propostas e implementadas no novo minicomputador.

1.2. Memória Principal

No projeto e implementação da Memória Principal do minicomputador, é que residiam as maiores dificuldades, dados os vínculos que existiam.

O primeiro desses vínculos foi o espaço reservado para a instalação da Memória Principal completa e mais a previsão para sua expansão, que constava de um espaço duplo para a placa de controle da memória e quatro espaços simples para acomodar as 64K palavras. Os quatro espaços disponíveis significam que cada uma das placas de armazenamento, que correspondem às placas de memória propriamente ditas, deverá conter 16K palavras, densidade esta bastante grande para a época em que foi realizado o projeto.

Outro vínculo existente foi que a placa de armazenamento deveria ser a mesma tanto para o novo minicomputador , quanto para o G-10, cuja memória estava sendo reprojetada. Este vínculo foi introduzido para que houvesse uma certa padronização,de forma a diminuir os custos referentes à aquisição das pastilhas, ao próprio projeto e à manutenção das placas quando estivessem em operação.

Devido, principalmente, ao espaço disponível para a sua implementação, a escolha da pastilha de memória recaiu sobre a mais densa existente na época, a de 4096 bits. Essa pastilha é dinâmica, isto é, necessita de refrescamento para não perder a informação existente nas suas células de memória, no caso do minicomputador que estava sendo implementado, devido a essa particularidade, foi preciso detetar quando a memória estava sendo refrescada e bloquear os acessos à mesma durante esse tempo.

O problema do refrescamento foi resolvido inibindo-se o relógio central da CPU do computador, ficando esse relógio inibido até o término do período de refrescamento. Com esta solução, o computador fica totalmente parado durante, aproximadamente, 400ns a cada 31,25μs, correspondentes ao tempo de refrescamento e ao intervalo de refrescamento, respectivamente.

A imposição de ter-se a mesma placa de armazenamento para os dois minicomputadores, também foi bastante problemática, pois um deles possui palavra de 8 bits e o outro de 16 bits, o que significa que a placa de armazenamento deveria funcionar com palavras de 8 ou 16 bits, dependendo apenas da mesma ser encaixada no novo minicomputador ou no G-10.

A solução que possibilitou utilizar-se a mesma placa de armazenamento nos dois minicomputadores, baseou-se, principalmente, na existência de uma entrada de controle denominada "Chip Select", nas pastilhas de memória, através da qual pode-se inibir a pastilha, e os circuitos de controle das memórias dos minicomputadores geram esses sinais convenientes.

1.3. Empacotamento

O novo minicomputador recebeu um empacotamento compacto, com seus circuitos implementados em placas com fiação impressa e com fiação em "wire-wrap", alimentadas por uma fonte chaveada externa à caixa do computador. Com exceção das placas do Painel de Chaves e de armazenamento da Memória Principal, todos os circuitos foram implementados com tecnologia "wire-wrap" em placas padrão, possuindo cada uma, dois conectores de borda de 86 pinos em vias duplas.

As placas correm por trilhos guias, perpendicularmente ao Painel de Chaves, e são extraídas pela tampa superior da caixa, ficando na parte inferior, os conectores fêmea de borda, que repousam sobre uma placa de circuito impresso ligada à terra, para efeito de blindagem, e são interligados por fiação em "wire-wrap". As placas são ventiladas por três ventiladores estreitos, especiais para a ventilação de circuitos eletrônicos.

O novo empacotamento, também, conta com um painel bastante modificado, com relação ao do Patinho Feio, utilizando "displays" de sete segmentos, LED's, lâmpadas e chaves miniatura, ligados por meio de "Flat Cables" às placas de circuito impresso do painel.

Os dispositivos periféricos são conectados ao minicomputador por meio de conectores, equipados com acessórios para fixação em "racks", montados na tampa traseira do mesmo; são disponíveis dois tipos de conectores, um com 14 pontos de contato e outro com 50 pontos, utilizados para periféricos que possuem poucos sinais de comunicação, como Teletipos e leitoras e perfuradoras de fitas de papel ou muitos sinais como leitoras de cartões, respectivamente.

1.4. Conclusão

Em segundo plano, este trabalho destina-se a fornecer, juntamente com os diagramas lógicos dos circuitos, uma documentação eficiente do novo minicomputador e da evolução deste a partir do Patinho Feio; por esse motivo, em alguns casos, as descrições apresentadas poderão aparentar-se excessivamente detalhadas.

Ainda, com o mesmo intuito o trabalho teve a seguinte estrutura:

. Capítulo 2: comenta de um modo geral as memórias de semicondutor, sua evolução e seu estado atual, resumindo o estudo que foi realizado e que culminou com a escolha das pastilhas de memória a serem utilizadas;

. Capítulo 3: apresenta o projeto de "hardware" que foi necessário para a implantação das modificações propostas para o Patinho Feio, inclusive as alterações nas cartas de micro operações das instituições;

. Capítulo 4: mostra o projeto da memória de semicondutor que equipou o novo minicomputador;

. Capítulo 5: comenta os testes que foram realizados para essa memória e também fornece o roteiro para os testes de novas placas.

CAPITULO 2

MEMÓRIAS DE SEMICONDUTOR

2. MEMÓRIAS DE SEMICONDUTOR

Neste capítulo apresentam-se, resumidamente, e do ponto de vista do projetista de circuitos digitais, isto é, procurando não entrar no campo da microeletrônica, a classificação, a evolução e o estado atual da tecnologia das memórias de semicondutor, bem como o estado das pesquisas que estão sendo realizadas nesta área. Procura-se dar maior ênfase às memórias de escrita e leitura, pois a utilização das mesmas faz parte do escopo deste trabalho.

2.1. Classificação das Memórias de Semicondutor

As memórias podem ser divididas em dois grandes grupos, que correspondem às memórias de escrita e leitura (Read - Write Memories) e à memórias de apenas leitura (Read-Only Memories-ROM).

As memórias de escrita e leitura subdividem-se ainda, em memórias de acesso aleatório (Read-Write Random Access Memories-RAM) e memórias seriais (Serial Memories).

A seguir apresenta-se os vários tipos de pastilhas de memória de semicondutor existentes no mercado, de cada um dos dois grupos.

2.1.1. Memórias de Apenas Leitura (ROM)

As memórias de apenas leitura são utilizadas em dispositivos ou equipamentos onde há necessidade de apenas ler o

conteúdo, pré-armazenado, da memória.

Vários tipos de memórias de apenas leitura são fornecidos pelos fabricantes, cada um com características peculiares, para atender a um grande número de aplicações diferentes, assim para cada projeto, deve ser escolhida a ROM mais adequada ao mesmo. A seguir, descreve-se os três tipos mais importantes de ROMs existentes atualmente no mercado e suas aplicações típicas.

a) Memória de Apenas Leitura Programável por Máscara (Mask Programmable Read Only Memories).

Neste tipo de ROM o conteúdo da memória, especificado pelo usuário, é gravado na pastilha pelo próprio fabricante da mesma, utilizando, para esse fim, máscaras apropriadas, durante o processo de fabricação.

Devido ao alto custo da produção das máscaras para fabricação das pastilhas, a utilização deste tipo de ROM somente é economicamente viável quando a quantidade de pastilhas encomendadas ao fabricante for muito grande, proporcionando uma depreciação rápida do custo das máscaras. A grande vantagem do uso deste tipo de ROM, além da pastilha já chegar gravada da fábrica, dispensando a utilização de equipamentos de gravação por parte do usuário, é que atualmente já são disponíveis pastilhas de ROM de até 64K bits, tornando os sistemas eletrônicos que as utilizam, muito compactos (29), (9).

Este tipo de ROM é empregado em equipamentos de mercado consumidor muito grande, que exigem grande quantidade de memória em pouco espaço, como por exemplo, as calculadoras eletrônicas.

b) Memórias de Apenas Leitura Programáveis pelo Usuário (Programmable Read Only Memories - PROM)

Neste tipo de ROM o conteúdo da memória pode ser gravado pelo próprio usuário; esta gravação deve ser feita por meio de equipamentos especiais, que são comumente conhecidos como programadores de PROMs. Uma dificuldade para o usuário é que cada tipo de pastilhas de PROM requer um procedimento diferente para gravação, no que diz respeito à formas dos pulsos de excitação necessários. Este fato exige que os programadores de PROM sejam construídos com várias opções, para possibilitar o uso do equipamento para o maior número de PROMs possível, encarecendo sensivelmente o mesmo.

Apesar da necessidade do uso de programadores, este tipo de ROM é o mais aconselhável e o mais barato, quando a memória é utilizada em equipamentos de mercado consumidor pequeno, como por exemplo, equipamentos de controle industrial específicos.

Deve-se tomar o máximo cuidado durante a operação de gravação das PROMs, pois o seu conteúdo pode ser gravado somente uma vez e se, eventualmente, ocorrer algum engano durante a gravação, a pastilha estará inutilizada para a aplicação a que se destinava. O fato das PROMs possibilitarem apenas uma única gravação, torna quase inviável o uso desse tipo de pastilha no desenvolvimento de novos projetos, onde é necessário gravar-se várias vezes o conteúdo das memórias.Neste caso, deve-se utilizar no protótipo, ou memórias de escrita e leitura, ou as memórias de apenas leitura reprogramáveis.

As PROMs, atualmente, já estão bastante densas, chegando a 16K bits por pastilha, mas elas devem ser superadas pelas reprogramáveis, onde os fabricantes estão concentrando seus esforços (16), (5).

c) Memórias de Apenas Leitura Reprogramáveis (Erasable Programmable Read Only Memories - EPROM)

Neste tipo de ROM a gravação do conteúdo das pastilhas também deve ser feita pelo usuário das mesmas, utilizando, como no tipo descrito anteriormente, os equipamentos de programação. O que diferencia este tipo do anterior é que o conteúdo, uma vez gravado, pode ser apagado e a pastilha de memória pode ser submetida a um novo processo de gravação.

Esta característica de regravação torna a pastilha de EPROM muito útil ao desenvolvimento de novos sistemas, os quais utilizarão, quando prontos, memórias com pastilhas de ROMs ou PROMs, as quais, como componentes, são mais baratas que as EPROMs; justifica-se, entretanto, o uso de EPROMs pois, a cada passo do desenvolvimento, pode haver necessidade de regravar-se um novo conteúdo na memória.

Para reprogramar as EPROMs deve-se, inicialmente, apagar o conteúdo antigo e somente depois gravar o novo.

Existem dois processos para apagar o conteúdo das EPROMs, dependendo da tecnologia de fabricação das mesmas:

- utilizando luz ultra-violeta, que deverá incidir na matriz de memória através de uma janela existente na pastilha do tipo alterável por raios ultravioleta (Ultraviolet Erasable Programmable Read Only Memories - UVPROM);
- utilizando pulsos elétricos, nas reprogramáveis eletricamente (Electrically Alterable Programmable Read Only Memories - EAPROM).

Atualmente, encontram-se no mercado, EPROMs de até 16K bits por pastilha, porém essa densidade deve aumentar rapidamente, pois estas pastilhas tiveram ótima aceitação no mercado, principalmente devido ao uso intensivo de microprocessadores, onde fatalmente devem ser utilizadas pastilhas de EPROM.

Os fabricantes, como já foi dito anteriormente, estão investindo muito para o desenvolvimento de pastilhas de EPROM cada vez mais rápidas e mais densas (36).

2.1.2. Memórias de Escrita e Leitura

Pode-se subdividir o grupo das memórias de leitura e escrita em outros dois sub-grupos:

a) Memórias de Acesso Aleatório (RAM), as quais armazenam os dados em células, compostas de arranjos de transistores, com características de retenção de cargas ou tensões elétricas;

b) Memórias Seriais, que possuem como representantes, as memórias de bolhas magnéticas (Bubble Memories) e as memórias CCD (Charge Couples Devices), são constituídas de grandes registradores de deslocamento.

As memórias de escrita e leitura de acesso aleatório são apresentadas atualmente, na maioria dos casos, em circuitos integrados com empacotamento "dual-in-line", sendo utilizadas comumente em substituição às memórias de núcleos de ferrite, nos casos onde se necessitam velocidades altas, ou onde o espaço físico disponível para a memória é pequeno. Nos próximos ítens deste capítulo, voltar-se-á a tratar deste tipo de memória, que atualmente já é disponível no mercado, com densidade de até 16K bits por pastilha, resultando em sistemas de memória muito compactos e com baixo consumo de energia (36).

As memórias de bolhas magnéticas, pertencentes ao grupo das memórias seriais, são baseadas no deslocamento de cargas magnéticas, formando com isso, grandes registradores de deslocamentos, que são utilizados para o armazenamento das

informações. São, atualmente, disponíveis no mercado, em densidades de até 90K bits por empacotamento, e com velocidades que se localizam entre as requeridas pelas memórias principais e pelas memórias de massa rotativas (discos, tambores , etc.). Este tipo de memória está sendo utilizado como dispositivo de armazenamento secundário, em substituição à unidades de disco rápidas (5), (6), (27).

Outro tipo de memória serial é a que utiliza tecnologia CCD, que, basicamente, funciona com o deslocamento de cargas elétricas de uma célula de armazenamento para outra. As memórias CCD são compostas de grandes registradores de deslocamento dinâmicos, construídos com tecnologia CCD, tecnologia esta que permite a construção de grandes cadeias em pequenas áreas, possibilitando a obtenção de memórias com densidades de até 64K bits por pastilha. Este tipo de memória é utilizado, a exemplo da memória de bolhas magnéticas, em armazenamento secundário de velocidade alta, preenchendo o espaço vazio entre as unidades de disco rápidas e as memórias principais (6), (2), (37).

2.2. Estado Atual das Memórias de Semicondutor

Neste item, apresenta-se o estado atual e os lançamentos previstos para breve, das fábricas de semicondutores, no campo das memórias de semicondutor. Primeiramente, são apresentadas as memórias de apenas leitura, e posteriormente, as de escrita e leitura.

2.2.1. Memórias de Apenas Leitura

Devido, principalmente, à grande popularidade que os microprocessadores possuem atualmente e a utilidade bastante

ampla das EPROMs nos mesmos, em novos desenvolvimentos e em aprendizado e treinamento, os fabricantes estão concentrando esforços no desenvolvimento de EPROMs cada vez mais densas e rápidas e de menor custo (16), (5).

Os esforços dos fabricantes, no caso específico das EPROMs, não foram em vão, podendo este fato ser observado no recente lançamento, pela Intel, das pastilhas de 16K bits, que utilizam apenas uma fonte de alimentação e possuem 450ns de tempo de acesso, para serem utilizadas em sistemas de micro processador que utilizam apenas uma fonte de alimentação de 5V (16), (36), (4), (5).

Além das pastilhas citadas no parágrafo anterior, o desenvolvimento das EPROMs é marcado pelo grande número de tipos de pastilhas de 8K bits, disponíveis no mercado e a custo relativamente baixo (16), (36), (6), (15).

A tabela 2.1. mostra alguns tipos de EPROMs disponíveis no mercado, bem como suas características.

Quanto às ROMs programáveis por máscaras, recentemente foram lançadas, no mercado, as pastilhas de 64K bits, com 350ns de tempo de acesso e com entradas e saídas com níveis de tensão totalmente compatíveis com a tecnologia TTL, existindo muitos tipos de pastilhas com densidades de até 32K bits disponíveis no mercado. Nesta área, as fábricas estão se empenhando em colocar no mercado as pastilhas de 128K bits, até o fim de 1979 e, as de 256K bits, no ano seguinte. Estas memórias deverão ter tempos de acesso da ordem de 400ns, fonte única de 5V e dissipação de 6μW por bit (29), (9), (43), (24), (1).

A tabela 2.2. mostra alguns tipos de ROMs, das mais densas existentes no mercado, com algumas de suas principais características.

FABRICANTE	TIPO	ORGANIZAÇÃO (bits)	TEMPO DE ACESSO (s)	TEMPO DE PROGRAMAÇÃO (s)	MÉTODO DE APAGAR
INTEL	1702	256X8	0,5 a 1,0	30 a 100	ultravioleta
	2704	1024X4	0,4 a 1,0	30 a 100	ultravioleta
	2708	1024X8	0,4 a 1,0	30 a 100	ultravioleta
	2716	1024X16	0,4 a 1,0	30 a 100	ultravioleta
GENERAL INSTRUMENT CAP	ER2400	1024X4	2	0,1 a 0,2	elétrico
	ER3400	1024X4	2	0,01	elétrico
	ER2800	8192X1	2	0,1	elétrico
NIPPON ELECTRIC CORP	PD454	256X8	0,8 a 1,0	0,8 a 1,9	elétrico
	PD458	1024X8	0,4 a 1,0	0,8 a 10	elétrico

Tabela 2.1. - Alguns tipos de EPROMs existentes no mercado.

FABRICANTE	TIPO	DENSIDADE (K bits)	EMPACOTAMENTO (pinos)	TEMPO DE ACESSO (ns)	FONTE DE ALIMENTAÇÃO (V± %)
MOSTEK	MK32000	32	24	300	+5±10%
MOSTEK	MK36000	65	24	300	+5±10%
MOTOROLA	MCM68332	32	24	450	+5±5%
NATIONAL	MM5235	65	24	800	+5±5%
TEXAS	TMS4732	32	24	450	+5±5%
ELECTRONIC ANAYS	EA3200	32	28	350	+12±5%,+5±5%, -5±5%
GENERAL INSTRUMENT	RC-3-9332-C	32	24	350	+5±10%
AMERICAN MICRO SYSTEM	S4264	65	24	350	+5±10%

Tabela 2.2. - Alguns tipos de ROMs densas existentes no mercado

2.2.2. Memórias de Escrita e Leitura

Pela descrição constante do próximo item, pode-se verificar que o desenvolvimento das memórias monolíticas foi muito rápido, desenvolvimento esse que ainda continua acelerado. Um dos resultados desse desenvolvimento foi o ressurgimento das memórias monolíticas seriais que, até pouco tempo atrás, estavam sendo relegadas a um segundo plano.

Atualmente, conforme comentado anteriormente, as mais fortes representantes das memórias seriais a semicondutor são as memórias de bolhas magnéticas e as com tecnologia CCD.

As memórias de bolhas magnéticas foram introduzidas no mercado pela Texas Instruments, em 1977, em empacotamentos com densidade de 90K bits, com tempo de acesso médio de 4ms e custo aproximado de 30 milicentavos de dólar por bit. Novos lançamentos, de empacotamentos mais densos e rápidos, estão sendo esperados para breve, uma vez que os testes deste tipo de memória estão progredindo satisfatoriamente, como por exemplo, os que estão sendo realizados pela NASA, nos Estados Unidos da América, com células de 1,6M bits, perfazendo uma memória de 102,4M bits.

O retardamento da entrada em definitivo das memórias de bolhas magnéticas no mercado, deve-se ao tempo de acesso ainda muito grande e ao preço também bastante alto. Os fabricantes, entretanto, esperam conseguir, em breve, preços da ordem de 0,01 centavos de dólar por bit, preço este que deixariam as memórias de bolhas magnéticas altamente competitivas com os discos magnéticos de alta velocidade (1), (27), (5), (6) .

As memórias CCD introduzidas no mercado com 16K bits de densidade, já atingem 64K bits, com velocidades de 400μs à razão de 5M bits/s. Com o preço de 30 milicentavos de dólar por bit, esta memória vem, cada vez mais, preencher o vazio existente entre as memórias rápidas, utilizadas para armazenamento principal, e os discos magnéticos, utilizados para armazenamento secundário (1), (39).

O estado atual das memórias de escrita e leitura de acesso aleatório, será apresentado independentemente para cada uma das duas classes dessas memórias, as dinâmicas e as estáticas, como se segue:

a) Memórias de Escrita e Leitura de Acesso Aleatório Dinâmicas.

As memórias dinâmicas apresentam, atualmente, pastilhas de densidade de até 16K bits, fornecidas por vários fabricantes; e, ao contrário do que aconteceu com as pastilhas de 4K bits, onde houve falta de padronização, os fabricantes estão fornecendo as pastilhas de 16K bits em empacotamento "dual-in-line" de 16 pinos, com endereços multiplexados e com configuração de 16K x 1 bit já com alguma padronização (5).

Estas pastilhas de 16K bits possuem, em geral, tempos de acesso da ordem de 200ns, tempos de ciclo de 450ns, dissipação em operação de 600mW e 20mW fora de operação, e com tempo máximo de refrescamento de 2ms.Utilizam fontes de alimentação de 12V e ± 5V, e possuem saídas e entradas totalmente compatíveis com os níveis de tensão da tecnologia TTL, para que o interfaceamento com os circuitos de controle seja simples.

Apesar do lançamento das pastilhas de 16K bits, as de 4K bits,ainda estão sendo muito utilizadas,principalmente,porque o preço destas últimas está se conservando mais compensador do que o da pastilha de 16K bits; esse comportamento, entretanto, proporciona uma continuidade na tendência

de baixa constante nos preços das pastilhas de 4K bits (45).

As pastilhas de memória de 16K bits possuem, ainda, duas particularidades interessantes, oferecidas pelos fabricantes, que são a possibilidade de operações "Read While Write", tornando possível a construção de registradores de deslocamento de alta velocidade e a implementação de rotinas de detecção e correção de erros, e a possibilidade de operação de leitura em modo de página, onde metade do endereço da pastilha fica armazenada e, no próximo ciclo não será, portanto, necessário fornecer-se essa parte do endereço, fazendo com que o ciclo de leitura fique aproximadamente 30% mais rápido (36), (5).

Outro ponto interessante e de sucesso das pastilhas de 16K bits, é que os fabricantes procuraram projetá-las de modo a serem facilmente utilizadas em sistemas de microprocessadores, e os usuários dos mesmos estão utilizando em massa essa pastilha para os seus bancos de memória (5).

A tabela 2.3. mostra os principais tipos de pastilhas de memória dinâmicas, existentes atualmente no mercado.

Quanto aos próximos lançamentos, estão previstas as pastilhas de 64K bits, que devem aparecer no mercado no decorrer do próximo ano, e deverão apresentar organização de 16K x 4 bits, com dissipação de 150mW e tempo de acesso da ordem de 200ns (24), (17), (13).

b) Memórias Estáticas:

As pastilhas de memória estáticas apresentam, atualmente, densidades de até 4K bits, com velocidades de 60ns e 550mW de dissipação em operação, conseguidas com tecnologia MOS, o que deixa patente o avanço conseguido com essa tecnologia, estando em termos de velocidade, bem perto da tecnologia bipolar. A Texas Instruments, entretanto, está lançando no mercado, pastilhas de 4K bits, estáticas, utilizando

PARÂMETRO \ TIPO	MOSTEK	INTEL	T.I.	AMS	FUJITSU	NEC	INTEL	T.I.	MOSTEK	INTEL
	4116	2116	4070	7116	MB8215	D411D-3	2107B	4060	4027	2104
Densidade (K bits)	16	16	16	16	4	4	4	4	4	4
Empacotamento (pinos)	16	16	16	16	22	22	22	22	16	16
Tempo de Acesso (ns)	250	250	350	250	100	150	200	200	200	200
Tempo de Ciclo de Leitura (ns)	375	375	550	375	220	380	400	400	325	375
Tempo de Ciclo de Escrita (ns)	375	375	550	375	200	380	400	400	325	375
Tempo de Ciclo de Ler-Modificar(ns)	515	515	-	515	300	470	520	580	-	515
Dissipação (mW)	600	756	700	750	380	775	600	585	440	756
$V_{DD} \pm$ % (V)	+12±5%	+12±5%	+12± 5%	+12±5%	+12±5%	+12±5%	+12±5%	+12±5%	+12±10%	+12±5%
$V_{BB} \pm$ % (V)	-5±5%	-5±5%	-5±5%	-5±5%	-5±5%	-5±5%	-5±5%	-5±5%	-5±10%	-5±5%
$V_{CC} \pm$ % (V)	+5±5%	+5±5%	+5±5%	+5±5%	+7±5%	+5±5%	+5±5%	+5±5%	+5±10%	+5±5%

Tabela 2.3. - Principais pastilhas de memória de acesso aleatório dinâmicas

tecnologia de fabricação I^2L (Injection Integrated Logic), com a qual se consegue velocidades em torno de 75ns e 500 mW de dissipação (33), (18), (36), (58).

Quanto às pastilhas de 1024 bits, entretanto, existem muitos fabricantes produzindo-as, em várias versões e com várias tecnologias diferentes, como por exemplo: ECL(Emitter Coupled Logic) para as pastilhas super rápidas, com velocidades da ordem de 10ns, CMOS (Complementary Metal Oxide Semiconductor) para os casos onde a potência dissipada deve ser baixa, chegando, atualmente, a dissipações da ordem de 20μW por pastilha, quando não em operação, e 130mW quando em operação, porém, com velocidades da ordem de 600ns a 800ns (33), (36), (6).

Com a tecnologia SOS/CMOS (Silicon On Saphire / CMOS) consegue-se velocidades da ordem de 150ns e dissipação de 4mW, quando em operação, melhorando-se, assim, o compromisso velocidade-dissipação. São produzidas, ainda, pastilhas de 1024 bits, com tecnologia TTL (Transistor Transistor Logic), com as quais se consegue velocidades de 40ns, com uma dissipação de 600 a 800mW por pastilha de memória (6)

As pesquisas, que estão sendo realizadas na área das pastilhas de memória estáticas, estão mais voltadas ao aumento da velocidade e a diminuição da potência dissipada, favorecendo, assim, cada vez mais, o projeto de memórias tipo "Cache" e de bancos de registradores.

A tabela 2.4 mostra as características de algumas pastilhas de memória estáticas,existentes atualmente no mercado.

Um novo tipo de memória de semicondutor, em fase final de desenvolvimento, é a Memória Endereçada por Feixe Eletrônico (Bean Addressed Metal Oxide Semiconductor Memory - BEAMOS), onde os dados são armazenados em ilhas positivas, numa pastilha de silício, e endereçadas por meio de um feixe de elétrons, o qual, ao incidir na ilha carregada, altera suas características, possibilitando a leitura do dado que lá estava armazenado.

FABRICANTE	INTEL	INTEL	FAIRCHILD	SIGNETICS	MOSTEK	NATIONAL
tipo / Parâmetro	2147	2142	F2114	825400	MK4104	74C930
Densidade (bits)	4096	4096	4096	4096	4096	1024
Tempo de Acesso (ns)	55-70	200-450	200	45-70	200-350	250-330
Tempo de Ciclo (ns)	55-70	200-450	200	45-70	310-460	250-330
Dissipação em Operação (mW)	750	400	350	490	1000	0,15
Dissipação fora de Operação (mW)	100	400	350	490	28	0,15
Tecnologia	HMOS	Silicon Gate MOS	Silicon Gate MOS	Bipolar	Silicon Gate MOS	CMOS
Empacotamento	18p DIP	20p DIP	18p DIP	18p DIP	18p DIP	16p DIP
Fontes de Alimentação (V)	+5	+5	+5	+5	+5	+5

Tabela 2.4. - Características de algumas pastilhas de memória estáticas

Com esta tecnologia, foram desenvolvidas memórias com até 32M bits de densidade, em um empacotamento cilíndrico de 4 polegadas de diâmetro por 17 de comprimento, com um peso aproximado de 2,8 libras. Nessas memórias foi conseguido um tempo de acesso de 35μs, que é da ordem de 1000 vezes menor que os tempos de acesso das memórias magnéticas rotativas. Assim sendo, este tipo de memória deverá ser utilizado, no futuro, como dispositivo de armazenamento de massa de alta velocidade.

Este tipo de memória vem se revelando muito confiável, possuindo um tempo médio entre falhas (MTBF) estimado em 8000 horas, conforme estudos realizados nas memórias produzidas no Laboratório de Pesquisa e Desenvolvimento da General Electric Company, nos Estados Unidos da América (65).

2.3. Evolução das Memórias Monolíticas de Escrita e Leitura de Acesso Aleatório

Até 1970, a utilização de pastilhas de memória monolítica para a implementação das memórias principais dos computadores digitais foi praticamente nula, porém, a partir desse ano, sua aplicação nos projetos de sistemas de memórias começou a aumentar com tal rapidez que, atualmente, 30 a 50% das memórias principais produzidas utilizam as pastilhas monolíticas. Estima-se que essa participação no mercado continue a crescer e que,no fim desta década, 60% desse mercado já pertença às memórias monolíticas. Nestes dados, não são considerados os computadores produzidos pela IBM, pois ela própria fabrica suas pastilhas de memória e, com isso, não influencia no mercado (1).

A importância das memórias de semicondutor começou a aumentar a partir de 1970, com o lançamento, pela Intel, de uma pastilha de 1024 bits, que utilizava tecnologia P-MOS (P Channel Metal Oxide Semiconductor), recebeu um grande impulso alguns anos mais tarde com o aparecimento dos microprocessadores e sua surpreendente aceitação no mercado, e atualmente está se consolidando, apoiando-se, principalmente, nos lançamentos das pastilhas de alta densidade de bits, como as de 16384 ou mesmo de 8192 bits.

Um novo passo tecnológico é conquistado em 1972 com o lançamento das pastilhas 2102, novamente pela Intel, que possuía capacidade de 1024 bits, era estática e construída com a tecnologia NMOS (N Channel Metal Oxide Semiconductor), com a qual se conseguiu menores tempos de acesso, menores dissipações de potência, maiores densidades e menor custo por bit. A tecnologia NMOS, com alguns aperfeiçoamentos, ainda é utilizada com sucesso na produção das pastilhas de 4096, 8192 e 16384 bits, as mais densas atualmente existentes no mercado. Aliás, a tecnologia de fabricação das pastilhas de memória monolítica evoluiu muito rapidamente, pois em aproximadamente doze anos passou-se de densidades de quatro para 16384 bits, atravessando diversos estágios intermediários (36).

Em 1965, inciou-se a comercialização de memórias de semicondutor com pastilhas de 4 e 8 bits bipolares e,a partir de 1969 as memórias com tecnologia MOS já começavam a apresentar vantagens sobre as bipolares, principalmente, nos aspectos de densidade e dissipação; essa vantagem se evidencia com o desenvolvimento das células de armazenamento com três transistores MOS, as quais dispensam a utilização de "flip-flops", para o armazenamento das informações (2). O número de transistores por célula é um fator muito importante para o aumento da densidade de bits em uma pastilha, sem que seja necessário desenvolver-se uma nova tecnologia de fabricação, pois, quanto menor o número de transistores, menor é o espaço necessário para implementar-se a célula e a potência dissipada

por ela. Atualmente, as pastilhas de memória dinâmicas de 4096 e 16384 bits, estão utilizando células de apenas um transistor, que logicamente economizam muito espaço e potência.

As células de armazenamento que não utilizam "flip-flops" para memorizarem os dados, retêm os mesmos em forma de carga armazenada em capacitores construídos por meio de junções MOS; esta forma de memorização consome menos potência, mas, em contrapartida, como a carga armazenada nas capacitâncias vai sendo perdida, faz-se necessário, de tempos em tempos, uma operação de recarga, afim de evitar-se que a informação seja perdida. Essa operação de recarga é comumente chamada de Refrescamento da Memória (Memory Refresh). (61), (60).

Na figura 2.1 está mostrada a configuração de uma célula de armazenamento com três transistores, onde a operação de refrescamento se torna necessária. Nessa célula, a informação é retida por meio de cargas armazenadas no transistor Q1; a operação de leitura é efetuada através de Q2, que conecta Q1 à linha de leitura, e as operações de escrita ou de refrescamento, são realizadas através de Q3, que liga Q1 com a linha de escrita; finalmente, a seleção da célula que deverá operar, é realizada aplicando-se tensões convenientes nas linhas "Read Enable" e "Write Enable".

Para que seja possível comparar-se os dois tipos de células, a figura 2.2 mostra um de seis transistores, onde a informação é armazenada em um "flip-flop", não havendo, portanto, necessidade de refrescamento. Nessa célula, o "flip-flop" é formado pelos transistores Q2, Q4, Q5 e Q6, sendo que Q5 e Q6 são utilizados apenas para polarização conveniente dos dois transistores básicos do "flip-flop"; o endereçamento da célula é realizado por Q1 e Q3, que conectam o "flip-flop" às linhas de bits (Bit Lines); a operação da leitura é realizada através das linhas de bits convenientes, entre as que foram selecionadas pela

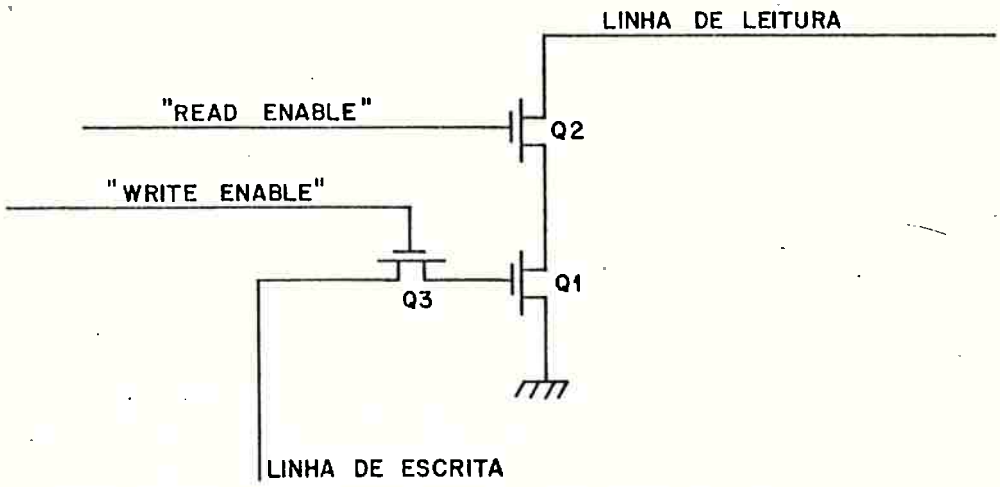


FIGURA 2.1 – CÉLULA DE ARMAZENAMENTO DE TRÊS TRANSISTORES

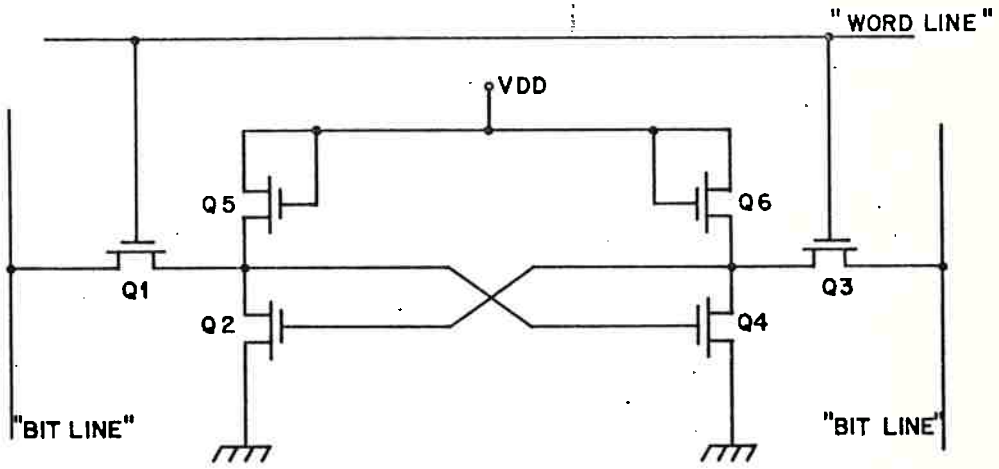


FIGURA 2.2 – CÉLULA DE ARMAZENAMENTO COM SEIS TRANSISTORES EM FORMA DE "FLIP FLOPS."

Linha de Palavra (Word Line), por meio de detectores de tensão diferencial (Sense Amplifiers); a operação de escrita, por sua vez, também, utiliza as linhas de bits, mas desta feita, impondo níveis de tensão, de modo a posicionar o "flip-flop" no estado desejado (60), (61).

As pastilhas de memória que utilizam células de armazenamento baseadas em cargas capacitivas, são também chamadas dinâmicas, pois necessitam estar sempre em operação para não perder a informação. Essas pastilhas foram muito bem aceitas no mercado, apesar da necessidade de refrescamento, pois, como suas células se tornaram muito pequenas, foi possível a comercialização de pastilhas de memória com densidades de até 16K bits, com baixo consumo de energia; e já em 1979, deverão ser lançadas no mercado, pastilhas utilizando esse tipo de célula de densidade quatro vezes maior.

As pastilhas de memória que utilizam células com "flip-flops" também são chamadas de pastilhas estáticas, pois, a informação armazenada permanece indefinidamente nos "flip-flops", enquanto as fontes estiverem ligadas.

Mais recentemente, dois novos tipos de pastilhas de memória de semicondutor foram lançados no mercado, utilizando tecnologias diferentes das convencionais; estes dois tipos são:

a) Memórias Seriais com Tecnologia CCD (Charge Couples Devices), tecnologia esta que possibilita a construção de grandes registradores de deslocamentos (Shift Registers); estas pastilhas foram projetadas para preencher a faixa dos dispositivos de armazenamento secundário de alta velocidade;

b) Memórias de Bolhas Magnéticas (Bubble Memories), que também são seriais de grandes proporções; este tipo de memória também foi projetado para utilização em armazenamento secun

dário de alta velocidade.

Com o lançamento desses dois novos tipos de pastilhas, as memórias seriais, que haviam estacionado nos 2048 bits por pastilha, ganharam um novo impulso e começaram a explorar uma nova faixa do mercado, a do armazenamento secundário de alta velocidade, onde ainda não existe um dispositivo de baixo custo.

Como indicativo de como as diversas pastilhas de memória vêm evoluindo, o custo das mesmas é muito importante, e a figura 2.3 mostra, por meio de gráficos, a evolução dos preços por bit dos vários tipos de pastilhas de memória existentes no mercado; os gráficos mostram apenas o custo das pastilhas de memória, não estando computado o custo dos componentes periféricos, necessários ao acionamento das mesmas.

2.4. Aplicações das Memórias de Escrita e Leitura

Neste item, apresentam-se as aplicações típicas dos vários tipos de pastilhas de memória, quando utilizados na implementação das diversas classes de sistemas de memória utilizadas atualmente.

Levando-se em conta apenas a velocidade, podemos dividir os sistemas de memória nas três categorias que se seguem:

a) Alta Velocidade: com tempos de acesso de, no máximo, 100ns; nesta categoria, encontram-se os sistemas de memória tipos "cache", "scratch-pad" e registradores de alta velocidade;

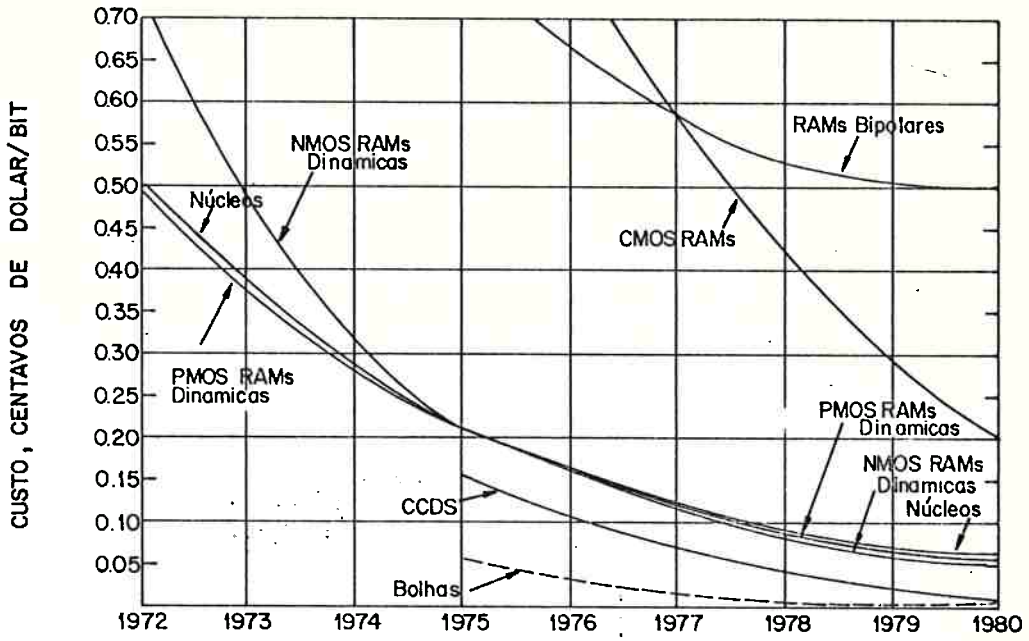


FIGURA 2.3 – GRÁFICO DA EVOLUÇÃO DOS PREÇOS DAS MEMÓRIAS

b) Média Velocidade: com tempos de acesso de 100ns a 500ns; onde se encontram os sistemas de memória principal dos computadores digitais convencionais;

c) Baixa Velocidade: com tempos de acesso superiores a 500ns ; onde se encontram, tipicamente, os sistemas de memória para os terminais de dados e os sistemas de armazenamento secundário dos computadores digitais.

Para a implementação dos sistemas de memória de alta velocidade, estão disponíveis as pastilhas de 4K bits estáticas, fabricadas com tecnologia MOS ou I^2L, as de 1K bits estáticas, com tecnologia MOS, ECL e TTL, e as pastilhas menos densas, com tecnologia principalmente TTL e ECL. O tipo de pastilha adequado a ser utilizado deve ser escolhido levando-se em conta os compromissos entre a potência dissipada, a velocidade e o custo das diversas opções.

No projeto de grandes sistemas de memórias principais de computadores digitais, deve-se proceder à escolha entre pastilhas mais densas e do mais baixo custo possível; com isso, essa escolha deve recair sobre as pastilhas de 4K bits e 16K bits dinâmicas, com tecnologia MOS. Já nos sistemas mais modestos, existem ainda as de 4K estáticas, com tecnologia MOS ou I^2L, ou ainda, se houver problemas com a potência dissipada, a escolha pode recair na pastilha de 1K estática, com tecnologia MOS/CMOS.

Na categoria de baixa velocidade estão os sistemas de armazenamento secundário; no projeto desses sistemas a escolha das pastilhas deve recair ou nas memórias CCD ou nas de bolhas magnéticas, principalmente, devido ao baixo custo e alta capacidade dessas memórias.

Os sistemas de memória para interfaceamento com os dispositivos de entrada e saída de dados, utilizados em computadores digitais, variam de acordo com o dispositivo em questão, sendo que os mesmos podem requerer memórias grandes e rápidas, como no caso da memória de refrescamento dos "displays" gráficos a cores, ou memórias pequenas e de baixa velocidade, como no caso de uma leitora de cartões perfurados, passando por vários níveis. Neste caso, convém determinar-se a velocidade que a memória necessita e escolher-se a pastilha, de modo a tornar o sistema de memória compacto, barato e o mais simples possível.

A figura 2.4. mostra as três categorias de sistemas de memórias, de acordo com o tempo de acesso, em função da potência dissipada para vários tipos de pastilhas existentes no mercado, dentro da faixa de potência que as mesmas são fabricadas.

As aplicações típicas dos vários tipos de pastilhas de memória são apresentadas na tabela 2.5., onde também são mostradas as faixas típicas de tempos de acesso, potência dissipada e o custo estimado, por bit, do sistema de memória resultante do uso da pastilha em questão.

O custo das pastilhas de memória é um parâmetro de muita importância na escolha do tipo mais adequado de pastilha a ser utilizado na implementação de qualquer sistema de memória monolítica; por isso, na figura 2.5. é mostrado, comparativamente, por meio de um gráfico, o custo, por bit, dos vários tipos de pastilhas; no gráfico pode-se verificar que as pastilhas de memória estáticas são as mais caras, seguindo-se as dinâmicas de 4K e 16K. O custo, por bit, dos discos magnéticos foi apresentado apenas como comparação para as memórias CCD e de bolhas magnéticas.

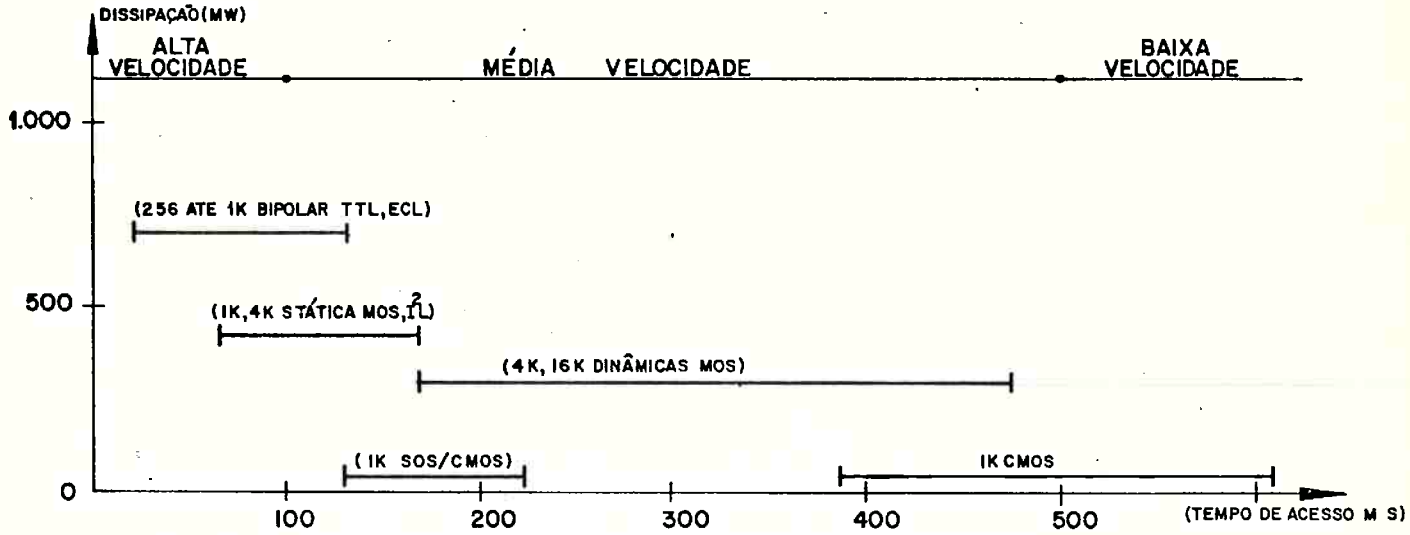


FIGURA 2.4 - GRÁFICO DE TIPOS DE PASTILHA EM FUNÇÃO DO TEMPO DE ACESSO E DA DISSIPAÇÃO.

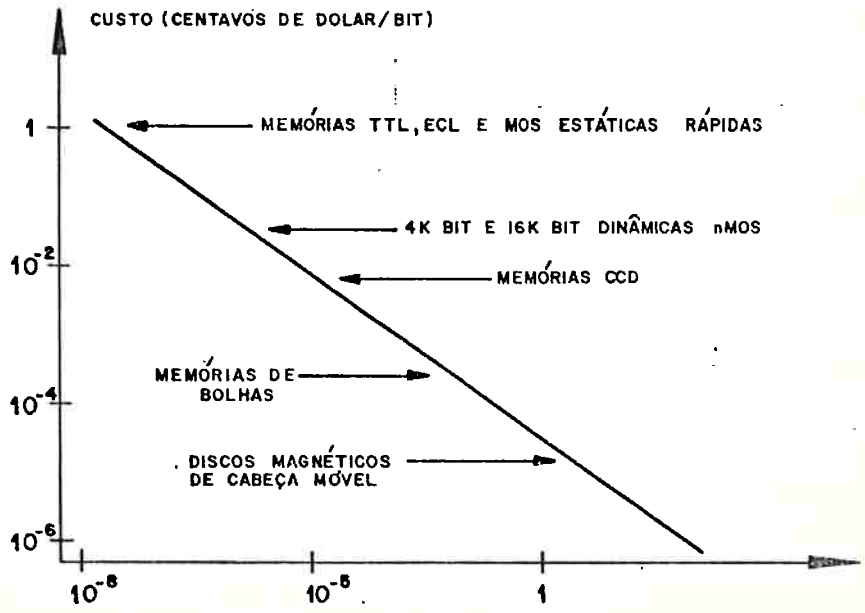


FIGURA 2.5 _ CUSTO POR BIT COMPARATIVAMENTE PARA OS VÁRIOS TIPOS DE PASTILHAS DE MEMÓRIA

Tabela 2.5 - Aplicações Típicas de Vários Tipos de Pastilhas de Memória Disponíveis no Mercado.

APLICAÇÃO TÍPICA	TIPO DE PASTILHA	VELOCIDADE (ns)	DISSIPAÇÃO (mw)	CUSTO POR BIT (cent.de dolar)
Grandes sistemas de memórias principais	4K bits dinâmica NMOS	150 - 350	450	0,15
	16K bits dinâmica NMOS	200 - 350	500 - 700	0,08
Pequenos sistemas de memória para uso em microcomputadores	4K a 8K bits dinâmica NMOS	150 - 350	450 - 700	0,15
	4K bits dinâmica I^2L	90	500	0,25
	4K bits estática I^2L	70 - 100	500	0,25
	4K bits estática NMOS	150 - 550	350 - 500	0,20
	1K bits estática SOS/CMOS	150	4	1,50
Sistemas "cache", "Scratch-pad",etc.	1K bits estática TTL	40 - 100	600 - 800	1,50
	1K a 4K bits estática NMOS	60 - 90	500 - 800	1,00
	4K bits estática I^2L	75 - 100	400	0,25
Sistemas de memória para dispositivos de entrada e saída	1K bits estática NMOS	150 - 500	300	0,30
	4K bits estática NMOS	150 - 550	350 - 500	0,20
	4K bits estática I^2L	90	500	0,25
	4K bits dinâmica NMOS	150 - 350	450	0,15
	16K bits dinâmica NMOS	200 - 350	500 - 750	0,08
Pequenos sistemas de armazenamento de massa	Memória CCD	100 000		0,03
	Disco Magnético	10×10^6		0,01
Grandes sistemas de armazenamento de massa	Memória de Bolhas	10×10^6		0,02
	Disco Magnético	10×10^6		0,01

OBS.: Os discos magnéticos foram colocados na tabela apenas como dado de comparação.

2.5. Considerações sobre a Escolha da Pastilha de Memória

Um dos fatores mais importantes, que influencia diretamente no bom desempenho de um sistema de memória de semicondutor, é a escolha da pastilha adequada a ser utilizada no projeto do sistema de memória, para que satisfaça com certa margem de segurança, as especificações requeridas pela máquina que irá utilizá-la.

Normalmente, as especificações requeridas dos sistemas de memória e fornecidas aos projetistas dos mesmos, são as seguintes:

- tempo de acesso máximo;
- tempo de ciclo máximo;
- dissipação máxima;
- espaço máximo para a instalação do sistema de memória;
- custo menor possível.

Dadas as especificações, inicia-se o processo de escolha da pastilha, pelo item que se revelar mais crítico; por exemplo, se os tempos de acesso ou de ciclo forem muito pequenos, da ordem de dezenas de nanosegundos, deve-se partir para as memórias com tecnologia TTL, ECL ou, então, para as NMOS estáticas ultra-rápidas.

Se a especificação mais apertada, entretanto, for a dissipação de potência, a escolha deve recair sobre as pastilhas com tecnologia CMOS e, se for necessário também velocidade, além de baixa potência, deve-se recorrer às com tecnologia SOS/CMOS, elevando-se, com isso, conseqüentemente, o custo do sistema.

Outro item das especificações de influência na escolha das pastilhas é o espaço físico disponível para a instalação do sistema de memória. Se esse espaço for muito pequeno deve-se começar pelas pastilhas de memória de alta densidade, como as de 16K bits dinâmicas, escolha esta que já impõe vínculos ao projeto elétrico e a outros parâmetros importantes como a dissipação de potência e os tempos de acesso e de ciclo.

O procedimento mais acertado para a escolha da pastilha de memória a ser utilizada na implementação do sistema proposto, depois de uma análise rápida como a apresentada anteriormente, é pesquisar-se os manuais dos fabricantes, sempre voltando a atenção para os tipos pré-selecionados na primeira análise, e escolher-se a pastilha cujas características melhor se adaptem a todas as especificações fornecidas para o projeto do sistema de memória.

Ao se proceder à escolha da pastilha de memória, que será utilizada no sistema a ser construído, não se pode deixar de verificar a existência de fornecedores alternativos das mesmas, para que sempre haja uma segunda opção, nos casos de dificuldades de fornecimento de alguns fabricantes. Em alguns casos, a existência de fornecedores alternativos fica comprometida, como foi o caso do início das pastilhas de memória dinâmicas de 4K bits, com tecnologia NMOS, onde cada fabricante lançava no mercado a sua versão particular, em opções sempre diferentes das demais, não existindo nenhuma padronização. Este fato foi tão desastroso tanto para os fabricantes das pastilhas, quanto para os projetistas, que as memórias mais novas, de 16K bits, já estão sendo lançadas no mercado, obedecendo a uma certa padronização (5).

Outro parâmetro importante é o custo final do sistema de memória, o qual varia não apenas com o custo da pastilha utilizada, mas também com o tipo da mesma, porque nele devem

ser computados os custos dos circuitos periféricos, as interligações, o número de placas de circuito impresso e outros fatores industriais; portanto, o preço da pastilha de memória deve ser muito bem estudado em cada caso.

Por exemplo, consideremos a pastilha de memória de 4K bits dinâmica, cujo preço é de aproximadamente 9 dólares por unidade, e a de 16K bits dinâmica, cujo custo é de aproximadamente 47 dólares; à primeira vista, pode-se concluir que, ao se utilizar as pastilhas de 16K bits, em vez das de 4K bits , haveria um prejuízo de aproximadamente 11 dólares, a cada pastilha de memória utilizada no sistema; porém, este tipo de raciocínio não está correto pois, além das pastilhas de memória, existem outros componentes cujos custos variam de acordo com a pastilha escolhida.

Utilizando as pastilhas de 16K bits, o sistema vai precisar de apenas um quarto das placas de circuito impresso que iria utilizar caso fosse implementado com pastilhas de 4K bits, diminuindo-se também o número de interligações entre as placas. Esta redução vai, sem dúvida, provocar uma economia bem maior que 11 dólares, compensando, assim, o uso das pastilhas de 16K bits.

O comportamento do custo das pastilhas de memória é um fator que tem sido preponderante no sucesso que as mesmas têm conseguido no mercado atualmente. Normalmente, um novo tipo de pastilha é lançado no mercado, a um preço um pouco elevado em comparação com as já existentes, mas, conforme as vendas vão aumentando, o preço das mesmas vai decrescendo, até chegar a um preço considerado competitivo no mercado.

Esse mecanismo de preços faz com que o custo dos sistemas de memória, projetados e implementados com pastilhas recentemente lançadas no mercado, tenda a diminuir de conformidade com o decréscimo do preço das pastilhas, até sua estabilização.

2.6. Conclusões

Com o desenvolvimento acelerado da tecnologia de fabricação das pastilhas de memória, os sistema de memória estão se tornando cada vez mais compactos, com velocidades mais altas e com consumo de potência mais baixo; fazendo com que as memórias principais dos computadores digitais deixem de ocupar a posição da parte mais cara, maior e mais complexa dos mesmos.

O desenvolvimento também acelerado dos microprocessadores, em conjunto com as memórias, prometem uma evolução bastante grande nas técnicas de implementação de sistemas digitais para os próximos anos, os quais já estão sofrendo profundas alterações para se adaptarem ao desenvolvimento da tecnologia da microeletrônica.

CAPITULO 3

EXPANSÃO DA CAPACIDADE DE ENDEREÇAMENTO DA MEMÓRIA PRINCIPAL DO MINICOMPUTADOR

3. EXPANSÃO DA CAPACIDADE DE ENDEREÇAMENTO DA MEMÓRIA PRINCIPAL DO MINICOMPUTADOR

A arquitetura do minicomputador Patinho Feio permitia apenas endereçamento direto de 4096 palavras de memória principal, o que limitava bastante as aplicações e o "software"do mesmo; para sanar-se essa limitação, optou-se pela expansão da capacidade de endereçamento do minicomputador.

O projeto da expansão da capacidade de endereçamento deveria ser feito de tal modo que todo o "software" desenvolvido para o Patinho Feio ainda operasse no novo minicomputador, para que o mesmo pudesse ser utilizado como "software"básico do novo minicomputador, evitando-se, assim, o desenvolvimento de um novo conjunto de programas básicos.

Levando-se em conta a premissa acima, as alterações propostas para o "hardware" do Patinho Feio, de forma a compor o novo minicomputador, deveriam obedecer os seguintes quesitos:

a) todo o "software" desenvolvido para o Patinho Feio deveria continuar operante;

b) como consequência do item anterior, o conjunto de instruções não deveria ser alterado,de modo a ser sensível ao "software";

c) o Fluxo de Dados do novo minicomputador deveria ser o mais parecido possível com o do Patinho Feio, de modo a assegurar os itens anteriores;

d) os circuitos lógicos da Unidade Central de Processamento e das Interfaces com os Dispositivos Periféricos, também deveriam sofrer o mínimo de modificações, de modo que o trabalho de reprojeto desses circuitos fosse o menor possível.

3.1. Expansão da Capacidade de Endereçamento

A expansão da capacidade de endereçamento direto da memória principal do novo minicomputador, com relação ao Patinho Feio, foi realizada utilizando-se o modo de endereçamento indireto, pois dessa maneira era possível conservar todo o "software" do Patinho Feio ainda compatível com a nova máquina.

No endereçamento indireto do minicomputador Patinho Feio as duas palavras que contêm o endereço do operando têm o seguinte formato:

7	6	5	4	3	2	1	0	
X0	X1	X2	I	E11	E10	E9	E8	1ª. palavra
E7	E6	E5	E4	E3	E2	E1	E0	2ª. palavra

onde:

- E0 e E11: são os bits do endereço.
- I: se igual a 1, indica que ainda existe mais um nível de indireto e, se igual a zero, E0 a E11 já é o endereço efetivo.
- X0 a X2: não são utilizados.

Nos casos de endereçamento indireto, conforme mostrado acima, tem-se a disponibilidade de três bits para expansão do campo de endereço, conseguindo-se, portanto, com esses três bits a mais, 15 bits de endereço, o que corresponde à capacidade de endereçar-se até 32768 palavras de memória principal. Com a utilização dos três bits disponíveis no endereçamento indireto consegue-se, portanto, expandir-se o campo de endereçamento para 32K palavras, sem que o sistema de endere

çamento do novo minicomputador sofra profundas alterações com relação ao Patinho Feio.

Fato de relevante importância é que o uso dos três bits do endereçamento indireto para a expansão do campo de endereçamento é completamente transparente ao "software" existente, pois, quando no mesmo é utilizado o modo de endereçamento indireto, nos bits X0, X1 e X2 sempre estão gravados zeros, correspondendo para o novo minicomputador que, para os programas onde foram utilizadas instruções com esse modo de endereçamento, os endereços efetivos sempre caiam dentro dos primeiros 4096 endereços, assegurando-se assim o perfeito funcionamento do "software" já existente.

Levando-se em conta o exposto anteriormente, ficou definido que a capacidade máxima de endereçamento da memória principal do novo minicomputador, em sua primeira versão, seria de 32768 palavras e que a memória seria dividida em módulos, que serão chamados de Páginas, com tamanho de 4096 palavras, ficando, portanto, a memória principal constituída de no máximo oito páginas.

Os três bits utilizados na expansão do campo de endereços indicarão a página da memória à qual o endereço em questão se refere; esses bits são armazenados em um registrador de três bits, chamado Registrador de Páginas pois guarda o número da página corrente da memória. O programador deve ter acesso a esse registrador para que realize as operações necessárias entre as diversas páginas da memória.

Devido à não disponibilidade de códigos de operação para criar-se novas instruções que operassem como Registrador de Páginas e, principalmente, para que fosse respeitada a hipótese de que o "software" existente para o Patinho Feio ainda operasse corretamente no novo minicomputador, foi definido que o acesso ao Registrador de Páginas, pelos programadores, seria feito de dois modos diferentes, ou utilizando o endere

çamento indireto, ou utilizando instruções de entrada e saída, portanto, sem a necessidade da criação de novas instruções.

a) Operação do Registrador de Páginas através do modo de endereçamento indireto.

Durante a execução das instruções com endereçamento indireto e que alteram a sequência de processamento de um programa, instruções do tipo Salto Incondicional, Salto Condicional, Pulos, etc., o Registrador de Páginas é carregado com o conteúdo dos bits X0, X1 e X2, alterando-se, assim, a página de memória onde o programa está sendo executado.

Nas demais instruções com endereçamento indireto o Registrador de Páginas não é alterado, o que significa que somente a instrução em questão será executada na página especificada pelos bits X0, X1 e X2 do endereçamento indireto, isto é, enquanto que no caso de instruções de pulo a mudança de página é definitiva, no caso das demais instruções, ela é apenas momentânea, durante a execução daquelas instruções.

Na secção 3.1.1., onde o funcionamento das instruções será detalhado, apresenta-se o modo de operação de cada instrução, em particular, as de endereçamento indireto, que mostrarão os mecanismos de mudança de páginas na memória.

b) Operação no Registrador de Páginas através de instruções de Entrada e Saída.

Como uma segunda opção, utiliza-se as instruções de entrada e saída, de modo que seria possível carregar-se ou ler-se o conteúdo do Registrador de Páginas, através das instruções SAI ou ENT, respectivamente; neste caso, ele se comportaria como um periférico de entrada e saída do minicomputador e deveria ser operado como tal.

Neste caso, a instrução ENT carrega o conteúdo do Registrador de Páginas nos três bits menos significativos do Acumulador, ficando, assim, o conteúdo do mesmo, disponível ao

programador.

A instrução SAI carrega o conteúdo dos três bits menos significativos do Acumulador no Registrador de Páginas, ocasionando com isso uma mudança de página e, conseqüentemente, a próxima instrução a ser executada já será a da nova página de memória. Esta instrução apresenta, entretanto, um inconveniente grave, que é descrito a seguir:

A instrução SAI, quando utilizada para mudança de páginas, carrega o Registrador de Páginas sem que o Contador de Instruções do fluxo de dados seja alterado; isto significa que o próximo endereço a ser executado, já na nova página, será sempre o seguinte ao da instrução SAI que provocou a mudança de página. A figura 3.1. ilustra esse fato.

Essa falta de liberdade, quanto ao endereço na nova página, traz graves problemas durante o desenvolvimento de novos programas e torna quase impossível a modificação de programas já existentes, pois a instrução SAI, para a mudança da página, deve ficar sempre no mesmo endereço, definido na primeira versão dos programas.

Devido ao fato exposto acima, decidiu-se por não implementar a carga do Registrador de Páginas por meio da instrução SAI, ficando apenas a opção de leitura do mesmo por intermédio da instrução ENT, que é, aliás, o único modo de ler-se o conteúdo desse Registrador.

Concluindo, com a expansão da capacidade de endereçamento, as instruções de referência à memória passam a ter 15 bits destinados ao endereçamento, sendo que, naquelas com modo de endereçamento direto três são dados pelo Registrador de Páginas e doze pelo campo da instrução e, naquelas como modo indireto, os 15 bits são dados pelas próprias instruções. Sempre desses 15 bits três são utilizados para definir o número da página e os doze restantes o endereço dentro da página. (42), (32).

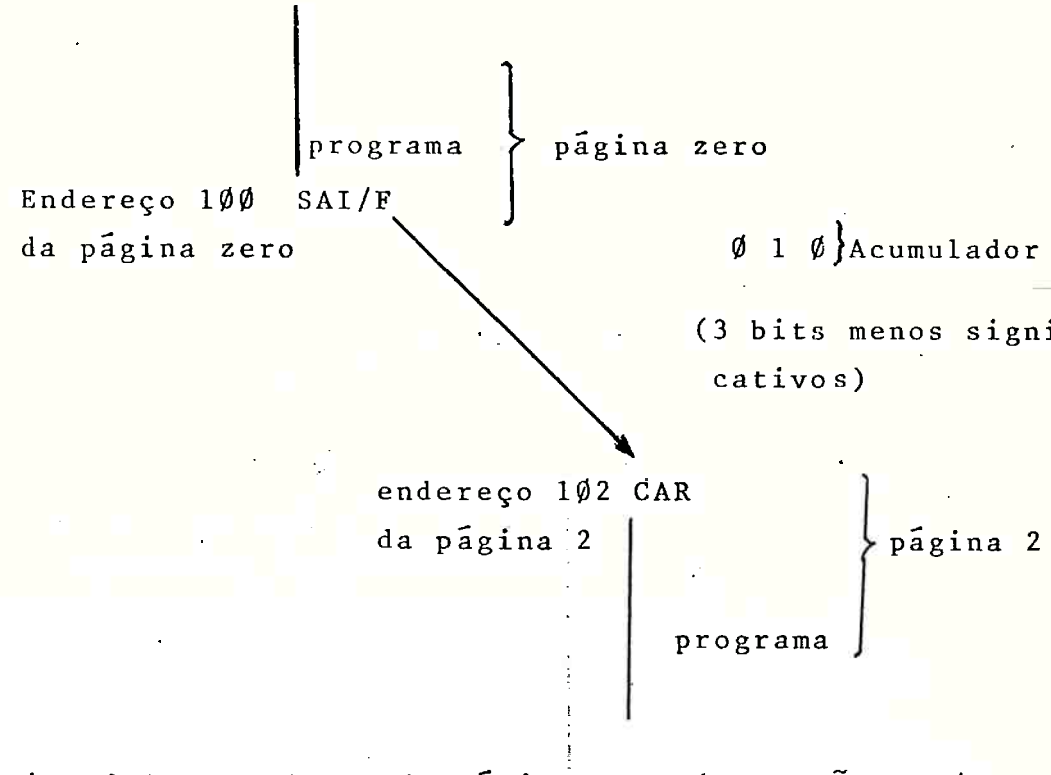


Fig. 3.1. - Mudança de página pela instrução SAI/F

3.1.1. Alterações na Implementação das Instruções

Com a expansão da capacidade de endereçamento do minicomputador Patinho Feio, foi necessário modificar-se o modo de implementação de algumas instruções; isso foi feito de forma que a operação das mesmas, do ponto de vista do programador, não fosse alterada, assegurando-se, dessa forma, a operação do "software" já existente para o Patinho Feio no novo minicomputador.

A seguir, descreve-se as modificações na implementação das instruções, com relação ao Patinho Feio, fazendo-se, sempre que necessário, referências à implementação antiga.

Primeiramente, serão discutidas apenas as instruções com modo de endereçamento direto; dessas instruções, a que sofreu modificações mais importantes foi a PUL - Pula e Limpa Interrupção, que é utilizada para retorno de tratamento de interrupção.

a) Instrução PUL - Pula e Limpa Interrupção:

Apenas para uma melhor visualização do problema, uma descrição rápida e sucinta de como era implementada essa instrução no Patinho Feio, é apresentada a seguir:

Quando da ocorrência da instrução, um pulo para o endereço /2 da memória era forçado; nessa posição estavam armazenados os quatro bits mais significativos do endereço de retorno ao programa interrompido e, no campo destinado ao código de operação, o código 0000, que corresponde à instrução PLA - Pulo Incondicional. Um novo ciclo era então iniciado e a instrução PLA executada, retornando, dessa forma, o controle ao programa que havia sido interrompido.

Com a expansão do campo de endereçamento, essa implementação não era mais possível, pois três dos quatro bits, que eram utilizados para compor o código da instrução PLA, são

usados agora para completar o campo de endereçamento, mais especificamente para endereçar a página de retorno.

A solução adotada foi implementar-se o pulo para o endereço de retorno ao programa interrompido dentro da própria instrução, dispensando-se, dessa forma, a necessidade da execução de duas instruções para completar o retorno. Este pulo foi implementado da seguinte forma:

i - carrega-se o Registrador de Páginas ou com o conteúdo dos três bits mais significativos do endereço /2 da memória, se o retorno for de uma interrupção de entrada ou saída, ou com os do endereço /F, se o retorno for de uma interrupção especial;

ii - carrega-se os quatro bits mais significativos do Contador de Instruções com o conteúdo dos quatro bits menos significativos dos endereços /2 ou /F da memória, dependendo do tipo de interrupção que estiver sendo tratada;

iii- carrega-se os oito bits restantes do Contador de Instruções com o conteúdo dos endereços /3 ou /10 da memória, se o tratamento for de uma interrupção de entrada ou saída,ou de uma interrupção especial, respectivamente;

iv - carrega-se o Registrador de Endereços com o conteúdo do Registrador de Páginas e do Contador de Instruções, estando, dessa forma, realizado o pulo para o endereço de retorno de interrupção.

A solução adotada evita, também, a ocorrência de um problema grave existente na implementação original da instrução PUL, que era ocasionado quando uma interrupção era recebida logo depois da instrução PUL e antes da execução da PLA

existente no endereço /2; neste caso, o endereço de retorno armazenado era o/2 e, portanto, além do minicomputador entrar em "loop" na posição dois, o endereço de retorno ao programa interrompido era perdido.

No caso das interrupções especiais, que serão descritas na sub-secção 3.1.4., a implementação da instrução PUL é a mesma que a utilizada para as interrupções de entrada e saída, apenas com uma diferença, que é forçar o endereço /F, em vez do /2, e limpar o "flip-flop" de interrupção especial, em vez do "flip-flop" de interrupção de entrada e saída. Outra particularidade introduzida na instrução PUL, é que esta instrução, acompanhada com um comando de entrada e saída conveniente, passa o controle do minicomputador de modo supervisor para modo usuário.

b) Instruções: TRI - Troca Indice com Acumulador
TRE - Troca Extensão com Acumulador

O Registrador de Indice e a Extensão do Acumulador, que correspondem aos endereços /0 e /1 da memória, respectivamente, são muito freqüentemente testados nos programas existentes, principalmente, por instruções do tipo SUS 0. Com a expansão da capacidade de endereçamento, se uma instrução de teste do Registrador de Indice, do tipo acima, for programada em uma página qualquer da memória, que não for a zero, o teste não seria realizado no Indice.

Para que o teste acima fosse realizado com sucesso, seria necessário que tal instrução tivesse endereçamento indireto, mas esse procedimento é impossível na prática, pois os programas já estão desenvolvidos em operação no Patinho Feio.

Para resolver-se os casos de operação com o Indice e a Extensão, tinha-se duas opções; ou duplicar-se ambos em todas as páginas de memória, ou sempre que se referenciar os endereços /0 e /1 de qualquer página da memória, es

tes serão relativos ao Indice e à Extensão do Acumulador, logo, na página zero.

Como a primeira opção acima exigiria muitos circuitos e seriam necessários muitos acessos à memória para que todos os Indices ou Extensões fossem atualizados, optou-se, então, pela segunda, que era de implementação muito mais fácil. Com a adoção da segunda opção, se em qualquer página de memória houver uma referência aos endereços /0 e /1, estes serão relativos à página zero e operarão no Indice ou na Extensão.

A filosofia adotada ocasionou a perda de duas posições de memória por página, mas este fato não se torna relevante, pois, se fosse necessário o uso de instruções com modo de endereçamento indireto para cada operação com o Indice e a Extensão, certamente seriam necessárias mais de duas posições de memória para realizar essas operações, além de que elas não ficariam padronizadas, dificultando a programação, pois seu uso dependeria da página onde se estaria programando.

Feitas as considerações necessárias sobre o Indice e a Extensão, pode-se notar que a implementação original das instruções TRI e TRE se mostra adequada para o novo minicomputador, pois, para terem acesso ao Indice e à Extensão elas, simplesmente, carregavam no Registrador de Endereços ou /0 ou /1, respectivamente, e o endereçamento da página de memória zero é realizado automaticamente nesses dois casos, pela interface da memória.

c) Outras Instruções de Referência à Memória

Nas instruções de referência à memória, com modo de endereçamento direto, ainda não mencionadas, foi necessário apenas uma pequena alteração quanto à implementação original. Essa alteração ocorreu exatamente no endereçamento da posição de memória a qual a instrução se refere.

Devido à expansão da capacidade de endereçamento, são necessários 15 bits para endereçar uma posição de memória, em vez dos 12 da versão antiga; os três bits necessários para completar os endereços são dados agora pelo conteúdo do Registrador de Páginas, que é carregado no Registrador de Endereços, sempre que for necessário um acesso à memória.

Com essa implementação, se o Registrador de Páginas não for alterado, o programa em questão, funcionará como se estivesse sendo executado no Patinho Feio, ou como se o minicomputador possuísse apenas uma página (4096 palavras) de memória principal.

d) Instruções sem Referência à Memória

Devido à expansão da capacidade de endereçamento, as instruções sem referência à memória sofreram modificações apenas nas fases de busca, onde o conteúdo do Registrador de Páginas é carregado nos três bits mais significativos do Registrador de Endereços, para que seja definida a página de memória. Aliás, tal procedimento é realizado para todas as instruções do minicomputador, sem exceção.

Verificadas as instruções com modo de endereçamento direto, a seguir, será discutida a implementação das com modo indireto. Com a expansão da capacidade de endereçamento, as palavras que especificam o endereço, durante a execução de uma instrução com modo de endereçamento indireto, devem ter o seguinte formato:

7	6	5	4	3	2	1	0	
E14	E13	E12	I	E11	E10	E9	E8	primeira palavra

7	6	5	4	3	2	1	0	
E7	E6	E5	E4	E3	E2	E1	E0	segunda palavra

onde:

- E0 a E15 são os quinze bits que especificam o endereço;

- I é o bit de indireto, que quando igual a 1 indica que existe mais um nível de endereçamento indireto e, que quando igual a zero, o conteúdo dos bits E0 a E15 já é o endereço em questão.

Nas duas palavras citadas anteriormente, os bits de endereço E12 a E14 especificam a página de memória, e os bits E0 a E11 o endereço dentro dessa página. O bit de indireto foi deixado na posição original para que houvesse compatibilidade com o "software" já existente.

A discussão da implementação das instruções com endereçamento indireto será iniciada com as de referência à memória, que, por sua vez, serão subdivididas em dois grupos; as instruções que não alteram a seqüência de execução de um programa constituirão o primeiro grupo, e as que alteram essa seqüência, como as instruções de Pulo e Salto, constituirão o segundo grupo.

a) Primeiro Grupo: Instruções ARM - Armazena
CAR - Carrega
SOM - Soma

Nestas instruções o conteúdo dos bits E0 a E11 das palavras que indicam o endereço efetivo da operação, é carregado nos doze bits menos significativos do Registrador de Endereços, e o conteúdo dos bits E12 a E14, que especifica a página de memória, é carregado nos três bits mais significativos desse registrador; nestes casos, o Registrador de Páginas fica inoperante e inalterado.

Para melhor ilustrar a operação destas instruções, deve-se considerar o seguinte exemplo:

No endereço /120 da página 5, existe a seguinte seqüência de instruções:

IND
CAR 100
PLA 130

Nos endereços /100 e /101 da página 5 estão gravados:

/100 - 0 1 1 0 0 0 1 1

/101 - 1 0 0 0 1 0 0 0

Quando as duas primeiras instruções da seqüência acima forem executadas, o endereço efetivo do operando será: 001110001000 da página 011, uma vez que o bit de indireto é zero; e, se no endereço especificado na página 3 existir a seguinte palavra 01010101 , o conteúdo do Acumulador, após a execução da instrução, será também 01010101 .

Após a execução da instrução CAR, a próxima instrução a ser executada será a seguinte da página 5, ou seja, instrução PLA 130, que dará continuidade ao programa.

Se no caso do exemplo acima o bit de indireto fosse 1, uma nova busca do endereço real seria feita, agora no endereço /388 da página 3; essas buscas irão repetir-se até que esse bit de indireto seja zero.

b) Segundo Grupo: Instruções PLA - Pula Incondicionalmente
SUS - Subtraia ou Salta
PUG - Pula e Guarda
PLAN- Pula se Negativo
PLAZ- Pula se Zero

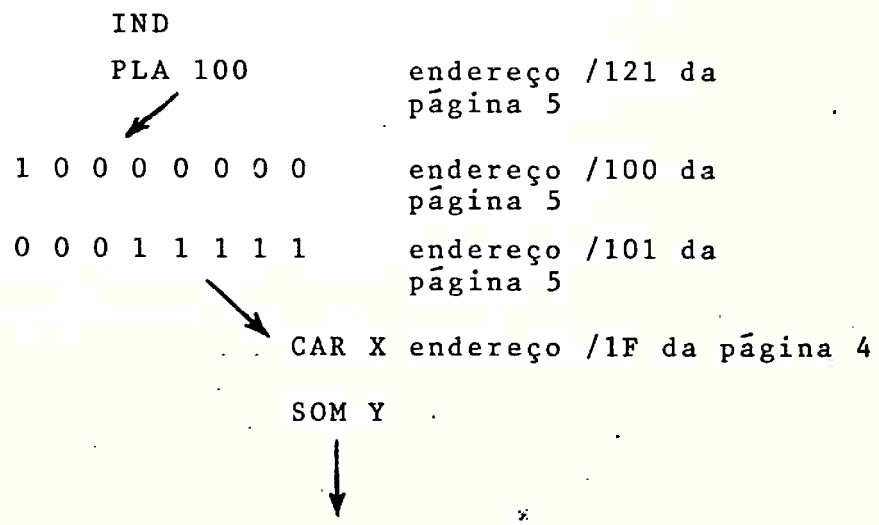
b.1) Instrução PLA - Pula Incondicionalmente:

A implementação da instrução PLA com modo de endereçamento indireto não sofreu grandes alterações com a expansão da capacidade de endereçamento do Patinho Feio, pois os doze bits menos significativos da palavra que contêm o endereço efetivo do pulo, continuam sendo carregados no Contador de Instruções e nos doze bits menos significativos do Registrador de Endereços.

A alteração nesta instrução reside no fato da necessidade de carregar-se o Registrador de Páginas e os três bits mais significativos do Registrador de Endereços, com o conteúdo dos bits E12, E13 e E14 da palavra que contêm o endereço efetivo do pulo.

A instrução PLA com endereçamento indireto, do modo como foi implementada, é uma forma muito versátil e simples de operar-se com Registrador de Páginas, pois permite, com certa facilidade, a transferência do controle do minicomputador de uma página de memória para outra.

A seguir, para ilustrar a operação da instrução PLA com modo de endereçamento indireto, onde ocorre uma mudança de página, apresenta-se o seguinte exemplo:



Neste exemplo, como o bit de indireto é zero, o pulo é realizado para o endereço /1F da página 4, que corresponde ao conteúdo das palavras de endereço.

b.2) Instrução PUG - Pula e Guarda:

Na implementação original da instrução PUG, o Registrador de Endereços é carregado com os conteúdos do Registrador de Dados e dos quatro bits menos significativos do Registrador de Instruções; nesse endereço e no seguinte é armazenado o conteúdo do Contador de Instruções; e, finalmente, o conteúdo do Registrador de Endereços é carregado no Contador de Instruções , perfazendo, desse modo, o pulo desejado.

A instrução PUG, normalmente, é utilizada para a chamada de subrotinas; com PUG é armazenado, nas duas posições de memória imediatamente anteriores à subrotina, o endereço de retorno ao programa principal . Para o retorno ao programa principal, a última instrução da subrotina deve ser uma PLA para o início da mesma, onde a PUG já havia armazenado, no campo de código de operação, o correspondente à instrução PLA, com o endereço de retorno,e através da execução dessa instrução é efetuado o retorno ao programa principal.

Com a expansão da capacidade de endereçamento, a única modificação realizada na implementação da instrução PUG com modo de endereçamento direto foi o carregamento dos três bits mais significativos do Registrador de Endereços com o conteúdo do Registrador de Páginas. Por este motivo, a PUG com modo de endereçamento direto somente deve ser utilizada para chamada de subrotinas, que estejam implementadas na mesma página de memória que a instrução PUG a que se referem. Esta restrição se deve ao fato de que os três bits, que deveriam ser utilizados para endereçar a página de retorno, são utilizados para o código da instrução PLA,

que é armazenado automaticamente pelo controle do minicomputador.

Para eliminar-se a restrição acima, seria necessário alterar completamente, o processo de retorno de subrotinas, eliminando a instrução PLA e criando uma nova instrução para retorno de subrotinas; mas esta solução não é viável porque os programas já implementados no Patinho Feio não ficariam compatíveis com a nova implementação, o que estaria completamente contra um dos critérios adotados para a expansão da capacidade de endereçamento do minicomputador.

Como conseqüência dos fatos descritos anteriormente, quando for utilizada a instrução PUG com modo de endereçamento direto, o conteúdo do Registrador de Páginas, quando do retorno ao programa principal, deve ser igual ao que possuía no início da subrotina, caso contrário o retorno não será executado para a página correta. Isto é, se, durante a execução da subrotina, for necessária alguma alteração no Registrador de Páginas o conteúdo do mesmo deve ser restaurado com o valor original, antes que se processe o retorno da subrotina. Estas observações, entretanto, são válidas apenas quando se utiliza a instrução PUG com modo de endereçamento direto.

Feitas algumas considerações sobre a instrução PUG com modo de endereçamento direto, a seguir será examinada a mesma instrução, porém, com modo de endereçamento indireto.

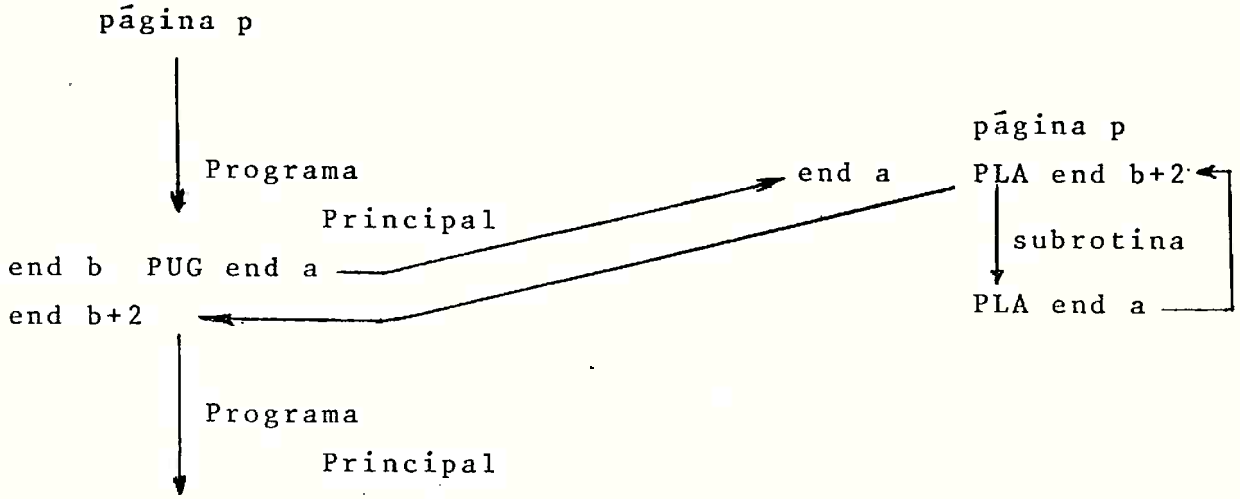
Para que seja possível a chamada de subrotinas, em qualquer página de memória, é necessário que se tenha os 15 bits, necessários para o endereçamento completo da memória, nas palavras que provêm o endereço de retorno ao programa principal, e que a instrução PUG tenha capacidade de executar pulos para qualquer endereço da memória.Para tal fim é que foi implementada a instrução PUG com modo de endereçamento indireto, que no Patinho Feio não existia.

A implementação dessa instrução causou uma pequena modificação na filosofia da chamada e retorno de subrotinas,pois onde, na implementação original, o controle do minicomputador armazenava o código de operação da instrução PLA, agora são armazenados os três bits necessários para completar-se o endereçamento; conseqüentemente, o retorno ao programa principal deve ser efetuado por uma PLA com modo de endereçamento indireto.

Com a nova implementação da instrução PUG, quando esta é executada, carrega o Registrador de Endereços com o conteúdo das palavras que contêm o endereço completo do pulo, armazena nesse mesmo endereço e no seguinte , os conteúdos do Contador de Instruções, nos 12 bits menos significativos e do Registrador de Páginas, nos três bits mais significativos e, finalmente, zero no bit de indireto; a seguir, o conteúdo do Registrador de Endereços é carregado no Contador de Instruções e no Registrador de Páginas, perfazendo, deste modo, o pulo para o endereço inicial da subrotina.

Nos casos onde se utiliza as instruções PUG com modo de endereçamento indireto, se houver necessidade de alterar-se o conteúdo do Registrador de Páginas, durante a execução da subrotina, não é necessário restaurá-lo quando do retorno ao programa principal, pois seu conteúdo já estará armazenado no endereço de retorno.

As figuras 3.2. e 3.3. mostram claramente, por meio de gráficos, a implementação das instruções PUG com modo de endereçamento direto e indireto, respectivamente.

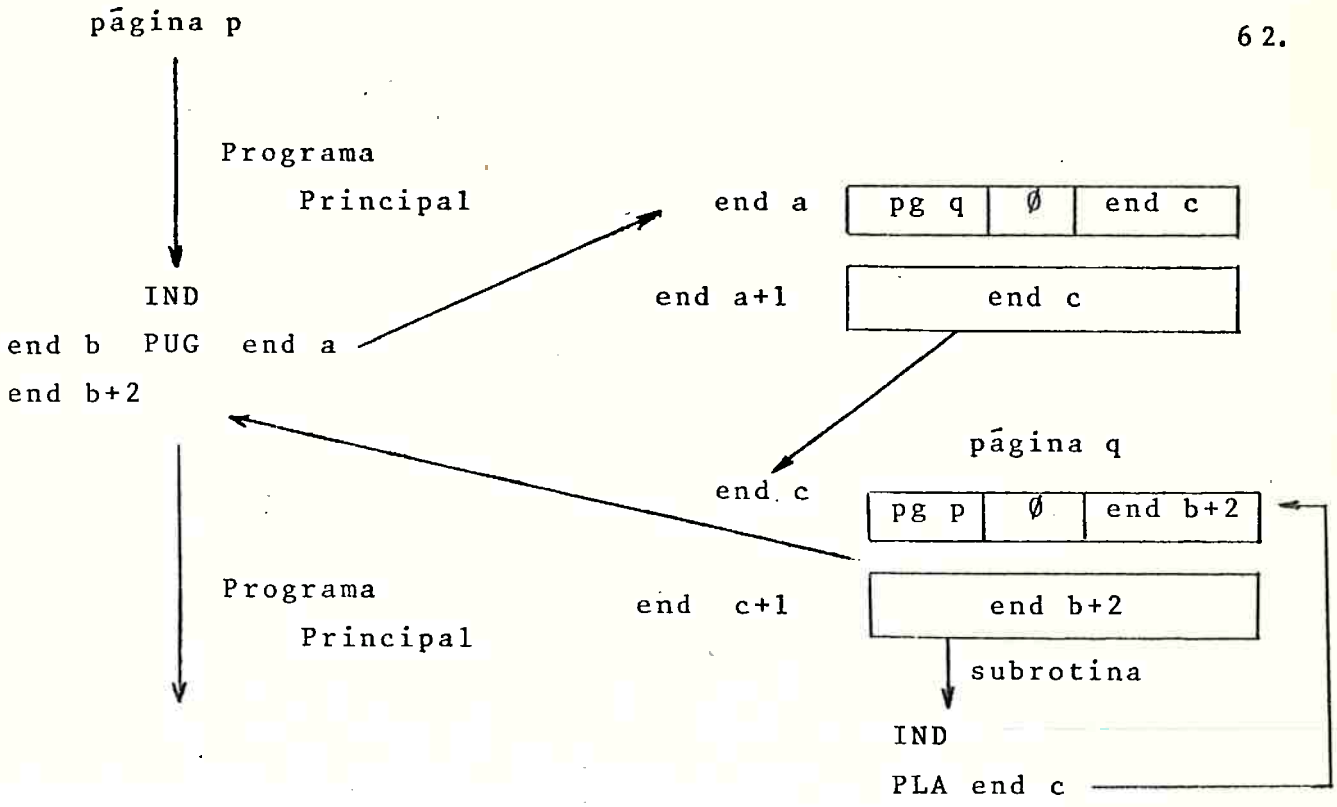


onde:

- end b+2: é o endereço de retorno ao programa principal, que está na página p;

- end a: é o endereço incial da subrotina, que também se encontra na página p; a instrução PLA existente neste endereço é colocada automaticamente, durante a execução da PUG.

Figura 3.2. Execução da Instrução PUG com modo de Endereçamento Direto



onde:

- end b+2: é o endereço de retorno ao programa principal, na página p;

- end a e end a+1: palavras da página p que contêm a página e o endereço da subrotina.

- end c e end c+1: palavras iniciais da subrotina, que está na página q, que contêm a página e o endereço de retorno ao programa principal, o qual é efetuado por uma instrução PLA com modo de endereçamento indireto.

Figura 3.3. Execução da Instrução PUG com Modo de Endereçamento Indireto

Da maneira como foi implementada a instrução PUG com modo de endereçamento indireto, quando essa instrução for utilizada para chamada de subrotinas, torna-se obrigatório o uso de uma PLA também com modo de endereçamento indireto, para o retorno dessa subrotina. Este procedimento, entretanto, pode não ser obedecido, nos programas já implementados no Patinho Feio, desde que os mesmos sejam executados na página zero da memória.

Esta exceção deve-se ao fato de que ao estar na página zero da memória, a instrução PUG com modo de endereçamento indireto irá armazenar nos quatro bits mais significativos da primeira palavra da subrotina, um conjunto de quatro zeros, que correspondem ao número da página de retorno e ao bit de indireto, que também corresponde ao código de operação da instrução PLA; logo, se for utilizada para retorno desta subrotina, uma instrução PLA com modo de endereçamento direto, não ocorrerá erro durante o processo de retorno ao programa principal.

Entretanto, foi realizada uma pesquisa nos programas implementados e em operação no Patinho Feio e verificou-se que nenhum deles utilizava originalmente a instrução PUG com modo de endereçamento indireto; esse resultado serviu como argumento final para a implementação da PUG do modo pelo qual foi feito.

A figura 3.4 mostra, por meio de um gráfico, como se processa a chamada de uma subrotina, através de uma instrução PUG com modo de endereçamento indireto e o respectivo retorno por meio de uma PLA com modo de endereçamento direto, sendo o programa principal e a subrotina executados na página zero da memória.

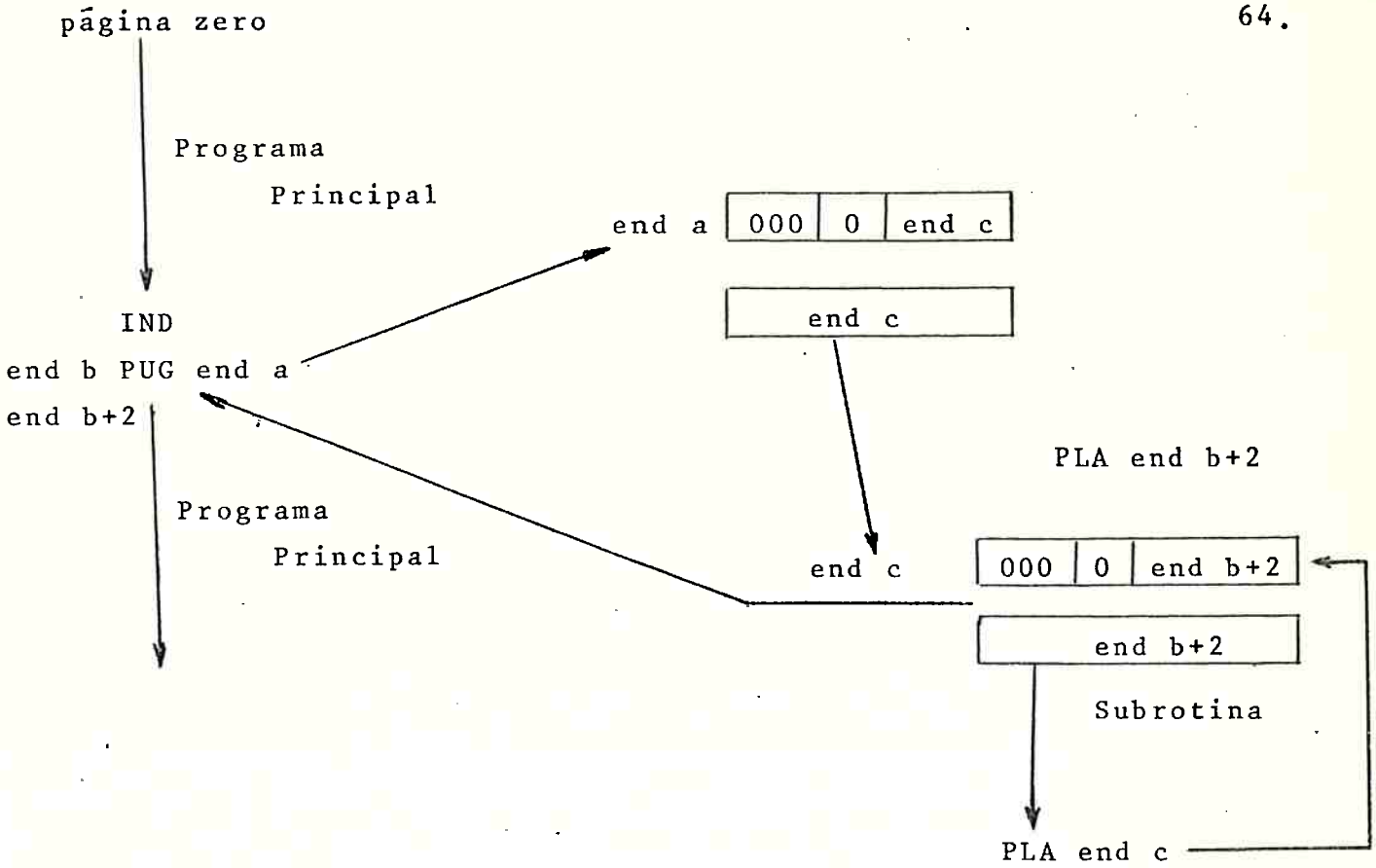


Figura 3.4 - Execução da instrução PUG com modo de endereçamento indireto na página zero.

b.3) Instrução SUS - Subtraia ou Salta:

A instrução SUS com modo de endereçamento indireto , foi implementada com as mesmas características da instrução PLA, abordada no item b.1, isto é, utiliza os três bits mais significativos da primeira palavra de endereço como o número da página da memória do operando, e os quatro bits menos significativos desta palavra e mais o conteúdo da palavra seguinte, para completar os doze bits, necessários para especificar o endereço do operando dentro da página; e carrega esses

15 bits no Registrador de Endereços para que seja realizada a busca e o teste da palavra especificada.

O último caso a tratar-se é o das instruções com endereçamento indexado; nesse caso, o endereço dado pela instrução, com modo de endereçamento indireto ou não, deve ser adicionado do valor correspondente ao conteúdo do Registrador de Indice (presente no endereço zero da memória), para se obter o endereço efetivo do operando.

O endereço efetivo, calculado pela soma, deve resultar sempre dentro da mesma página de memória, onde a instrução indexada está sendo executada; caso isto não ocorra, um pedido de interrupção especial por Estouro de Páginas será gerado e, conseqüentemente, interromperá a execução normal do programa. Esse tipo de teste foi implementado devido à característica de particionamento por páginas dada à memória principal do minicomputador, onde,ou por falta de informações, ou pela ocorrência de algum erro de programação, um usuário venha a destruir um processo que esteja sendo executado nas páginas de memória adjacentes.

Por outro lado, o programador deverá, obrigatoriamente, estar ciente dos limites máximos que serão atingidos pelas suas instruções indexadas, de forma a não permitir que as indexações ultrapassem os limites da página em que está operando.

3.1.2. Estouro de Página

Como já foi definido anteriormente, com a expansão da capacidade de endereçamento o Registrador de Páginas somente pode ser modificado com a execução de instruções de pulo com modo de endereçamento indireto, e as mudanças de página sem alteração deste registrador, também, são permitidas somente

durante a execução de instruções com modo indireto. Caso o programador, por qualquer razão, tente ultrapassar os limites da página em que está trabalhando, uma interrupção especial por Estouro de Página será gerada, interrompendo, deste modo, a execução normal do programa.

Os casos em que podem ocorrer interrupções especiais por Estouro de Página são os seguintes:

a) nas instruções com endereçamento indexado quando o resultado da operação de soma, que fornece o endereço efetivo, ultrapassar os limites de endereçamento de uma página, como já mencionado anteriormente;

b) nas instruções SAL/n,c do grupo de entrada e saída, quando o Contador de Instruções é incrementado duas vezes, e esta operação resultar em um valor superior a /FFF;

c) nas instruções PUG e SUS, onde o Contador de Instruções é incrementado duas vezes;

d) nas instruções de salto do micro-grupo 2A, onde, caso ocorra o salto, o Contador de Instruções também é incrementado duas vezes;

e) na Fase 1 e na Fase 2 de todas as instruções, quando o Contador de Instruções é incrementado posicionando-se para a busca da próxima instrução, quando ultrapassar o limite /FFF.

Quando o endereço limite de um página de memória for ultrapassado, será acionado um "flip-flop", denominado "Flip-Flop" de Estouro de Página, o qual gerará um pedido de interrupção especial, forçando o controle do minicomputador a passar para a Fase 3 da instrução PUG, para que a interrupção seja convenientemente atendida.

Uma característica importante nesse caso é que a execução da instrução, responsável pela geração da interrupção por Estouro de Páginas, não é completada, isto, para evitar-se que mesmo com o pedido de interrupção a instrução fosse executada na página seguinte.

3.1.3. Proteção de Memória

Com a expansão da capacidade de endereçamento, torna-se necessário criar um esquema de proteção ao "software" que deverá monitorar as operações do minicomputador. Como já mencionado anteriormente, foi adotado um esquema de proteção por páginas, isto é, um programa usuário somente pode modificar ou armazenar dados em endereços pertencentes a páginas não protegidas da memória.

Todo o esquema de proteção de memória é baseado na existência de um registrador de oito bits de comprimento, existente na placa de interface com a memória, denominado Registrador de Proteção; nesse registrador cada bit corresponde a uma página de memória, que estará protegida se esse bit for igual a 1 e, conseqüentemente, estará livre se for igual a 0. Com essa filosofia é possível proteger-se, independentemente, cada página da memória.

O Registrador de Proteção pode ser carregado com o conteúdo do Acumulador, através da instrução de entrada e saída SAI/F,8, onde, /F é o endereço correspondente à interface da memória, e 8 é o número de comando que especifica o Registrador de Proteção dentro dessa interface. O conteúdo do Acumulador deve ser preparado convenientemente, com a máscara de proteção, onde o bit menos significativo do mesmo corresponde à página 0 e, sucessivamente, até o mais significativo que corresponde à página 7.

O esquema de proteção somente é acionado quando o controle do minicomputador encontrar-se em Modo Usuário, isto porque, o sistema operacional deverá operar em Modo Supervisor e este deve ter liberdade para modificar qualquer posição de memória, independentemente do processo que está sendo executado.

Caso um programa, que está sendo processado em Modo Usuário, tente modificar ou armazenar dados em algum endereço pertencente a uma página protegida, o acesso à memória será inibido, de modo a não permitir que a operação seja realizada, e um pedido de interrupção especial por Violação de Memória será gerado, interrompendo a execução normal do programa em questão. A interrupção por Violação de Memória é da mesma classe da de Estouro de Páginas, vista na sub-secção anterior; esta classe de interrupções especiais será discutida detalhadamente a seguir.

3.1.4. Interrupções Especiais

Como já foi discutido nas duas sub-secções anteriores, com a expansão da capacidade de endereçamento, houve a necessidade de criar-se regras que protegessem os programas existentes nas várias páginas da memória, e quando ocorrer uma tentativa de desobediência a essas regras, um pedido de interrupção especial é gerado. Mas, além das duas interrupções especiais já mencionadas, os seguintes eventos provocam a geração de um pedido dessa classe de interrupções:

a) ocorrência de uma instrução de Chamada de Supervisor;

b) ocorrência de uma instrução privilegiada, com o controle do minicomputador em Modo Usuário;

c) ocorrência de um erro de paridade na memória;

d) ocorrência de um sinal de queda de energia.

O procedimento implementado para o atendimento dessa nova classe de interrupções é análogo ao utilizado pelas interrupções de entrada e saída, ou seja, quando é gerado um pedido de interrupção especial, o controle do minicomputador força a Fase 3 e o código da instrução PUG, com o Registrador de Endereços posicionando o endereço/F; foi convencionado o endereço/F, simplesmente, pela facilidade de implementação.

Nos endereços /F e /10 da página zero será, então, armazenado o endereço e a página de retorno da interrupção especial, depois que essa for devidamente tratada e, conseqüentemente, em /11 e /12 deve ter início a rotina de tratamento das mesmas.

Quando a rotina de tratamento já estiver concluída, o retorno ao programa interrompido deve ser realizado por uma instrução PUL que, quando se tratar de uma interrupção especial, como já foi visto anteriormente, ela provê o retorno ao programa interrompido e limpa o "Flip-Flop" de Interrupções Especiais; exceção feita à interrupção ocasionada pela ocorrência da instrução de Chamada de Supervisor, como será discutido no item 3.4.2.

A classe das interrupções especiais possui uma característica bastante diferente da de entrada e saída, pois nesta última, caso ocorra um pedido de interrupção, este deve aguardar o fim do tratamento de um outro pedido, que por ventura estivesse sendo tratado, e ainda, obedecer a uma lista de prioridades; mas as interrupções especiais, devido às suas características, devem ser atendidas e tratadas imediatamente, assim que seus pedidos sejam gerados. É possível, portanto, que para um pedido de interrupção especial ser atendido, a execução de uma instrução seja inibida, ou uma rotina de tratamento de interrupção de entrada e saída seja interrompida, ou até mesmo uma de tratamento de interrupção especial.

A ocorrência de uma interrupção especial, enquanto o controle do minicomputador estiver interrompido por uma outra interrupção especial, irá ocasionar a perda do endereço de retorno, o que é catastrófico. Mas, um fato como este poderá acontecer somente nos casos de erro de paridade na memória ou por falha de energia, durante o tratamento de uma outra interrupção especial, ou depois de uma instrução de Chamada de Supervisor; nestes casos, entretanto, é irrelevante o endereço de retorno pois, no primeiro caso, o minicomputador necessitará de manutenção corretiva e, no segundo, o mesmo será desligado.

A afirmação de que o endereço de retorno é perdido apenas nos dois casos referidos no parágrafo anterior é verdadeira, porque como será visto no item 3.4.2, todas as interrupções, inclusive as especiais, são tratadas em modo supervisor e, nesse modo, não devem ocorrer interrupções especiais de Violação de Memória, de Estouro de Página, de Instrução Inválida e de Chamada de Supervisor, sendo possível apenas a ocorrência das interrupções por erro de paridade e por falha de energia.

Os circuitos das interrupções especiais foram implementados na placa de interface da memória, onde cada tipo de interrupção aciona um "flip-flop" que, por sua vez, irá gerar o pedido de interrupção especial, pelo acionamento do "Flip-Flop" de Interrupção Especial. Para determinar-se o tipo da interrupção pedida, todos os "Flip-Flops" de Interrupção Especial devem ser testados pelas instruções SAL/F,n, do grupo das de entrada e saída, onde /F é o número da interface e o número n especifica o "flip-flop" que se deseja testar.Esses "flip-flops" são limpos pela primeira instrução PUL que for executada, exceção feita ao relativo à Chamada de Supervisor; porém, caso houver uma interrupção de entrada e saída sendo tratada, a execução dessa PUL não afetará o tratamento da mesma.

As instruções INIB - Inibe Interrupções e PERM - Permite Interrupções não operam sobre as interrupções especiais, pois, devido às características das mesmas, se fosse possível inibí-las, elas perderiam sua função.

3.2. Alterações Necessárias no Fluxo de Dados do Minicomputador

Para que fosse possível a implementação da expansão da capacidade de endereçamento do minicomputador, seguindo-se as premissas impostas no item anterior, foram necessárias algumas alterações no Fluxo de Dados do novo minicomputador, com relação ao do Patinho Feio. A partir do Fluxo de Dados original, mostrado na figura 3.5, e das premissas do item anterior, será composto, neste item, o novo Fluxo de Dados necessário à expansão do campo de endereçamento.

Devido à necessidade de endereçar-se até 32768 palavras de memória, a primeira modificação que se faz necessária é aumentar-se o comprimento do Registrador de Endereços de doze para quinze bits, o que implica diretamente que, também, a via I deve passar a ter quinze em vez de doze bits, o mesmo acontecendo com a Porta de Seleção 5.

Os três bits extras do Registrador de Endereços, utilizados agora para o endereçamento das páginas da memória, devem, dependendo do caso, ser carregados com os seguintes conteúdos:

a) do Registrador de Páginas, nos casos de busca das instruções e dos operandos, quando se tratar de instruções com modo de endereçamento direto;

b) dos três bits mais significativos do Registrador de Dados, nos casos da instrução PUL;

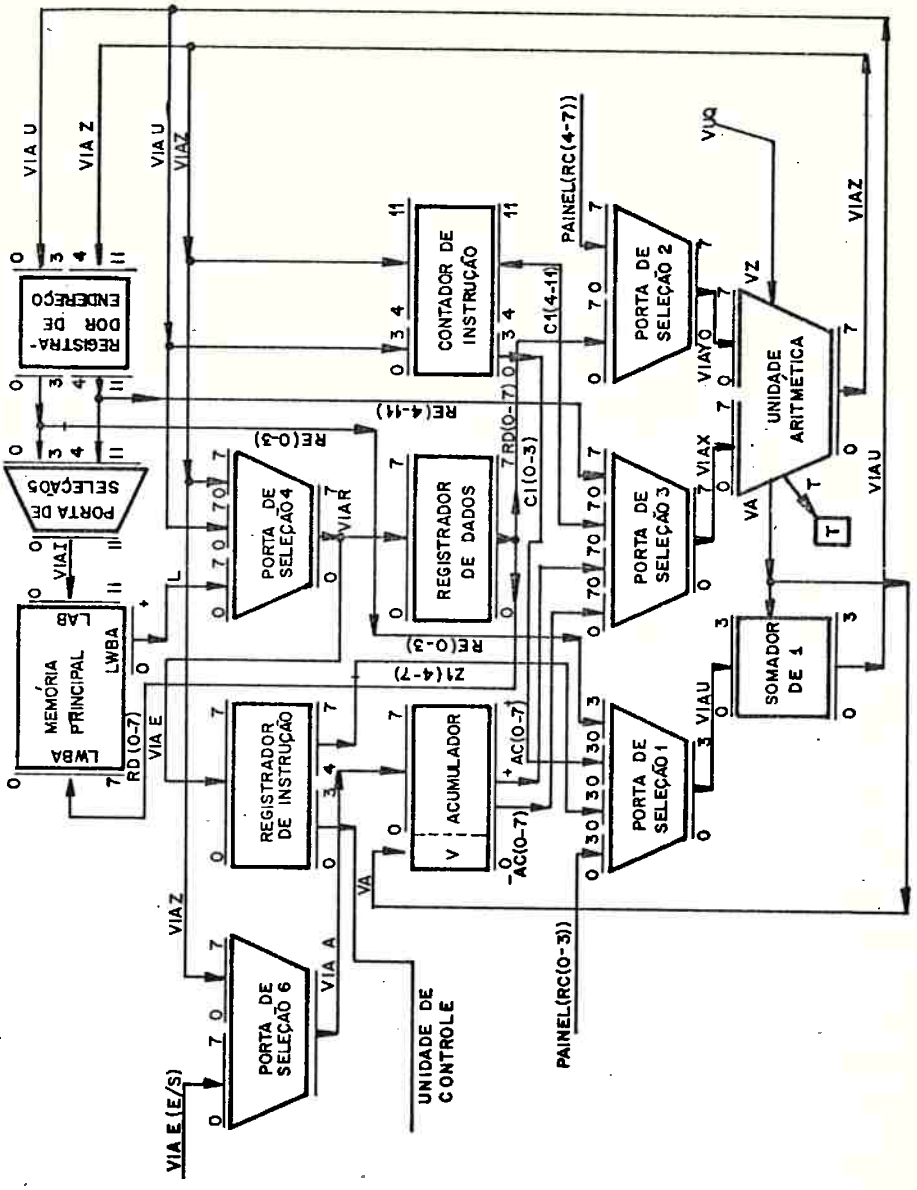


FIGURA_3.5 – FLUXO DE DADOS DO MINICOMPUTADOR PATINHO FEIO

c) dos três bits mais significativos do Registrador de Instruções, nos casos de busca do operando, quando se tratar de instruções com modo de endereçamento indireto.

A necessidade carregar-se nos bits mais significativos do Registrador de Endereços dados de três vias diferentes, torna obrigatória a utilização de uma Porta de Seleção, para selecionar a via de dados correta no momento certo. Como essa Porta de Seleção seleciona o número da página onde se realizará a operação com a memória ela será denominada Porta de Seleção P no novo Fluxo de Dados.

Os conjuntos formados pelo Registrador de Endereços e as Portas de Seleção 5 e P, formam o circuito de endereçamento da Memória Principal, cujo diagrama em blocos se encontra na figura 3.6.

Com a criação da Porta da Seleção P, torna-se necessário implementar-se uma nova via de dados, que será chamada de Via P, que deve conduzir os três bits mais significativos do Registrador de Instruções, sinais RI (0,2), e do Registrador de Dados, sinais RD (0,2), para a referida porta de seleção. A Via P fica composta, então, de seis bits, correspondentes aos sinais RI (0,2) e RD (0,2). Para este fim, não foi possível utilizar-se as vias já existentes, em particular a Via U e a Z, porque, como elas já são utilizadas para enviar dados ao Registrador de Endereços, para partilhá-las, seria necessário a implementação de um circuito de controle, o qual sincronizaria as operações realizadas nessas vias, mas como tal circuito acarretaria muitas alterações no controle do minicomputador em relação ao Patinho Feio, foi optado pela implementação da nova via, que se mostrava uma idéia muito mais simples.

Devido à necessidade, durante a execução da instrução PUL, de carregar-se nos quatro bits mais significativos do Contador de Instruções, sinais CI (0,3), os quatro bits menos

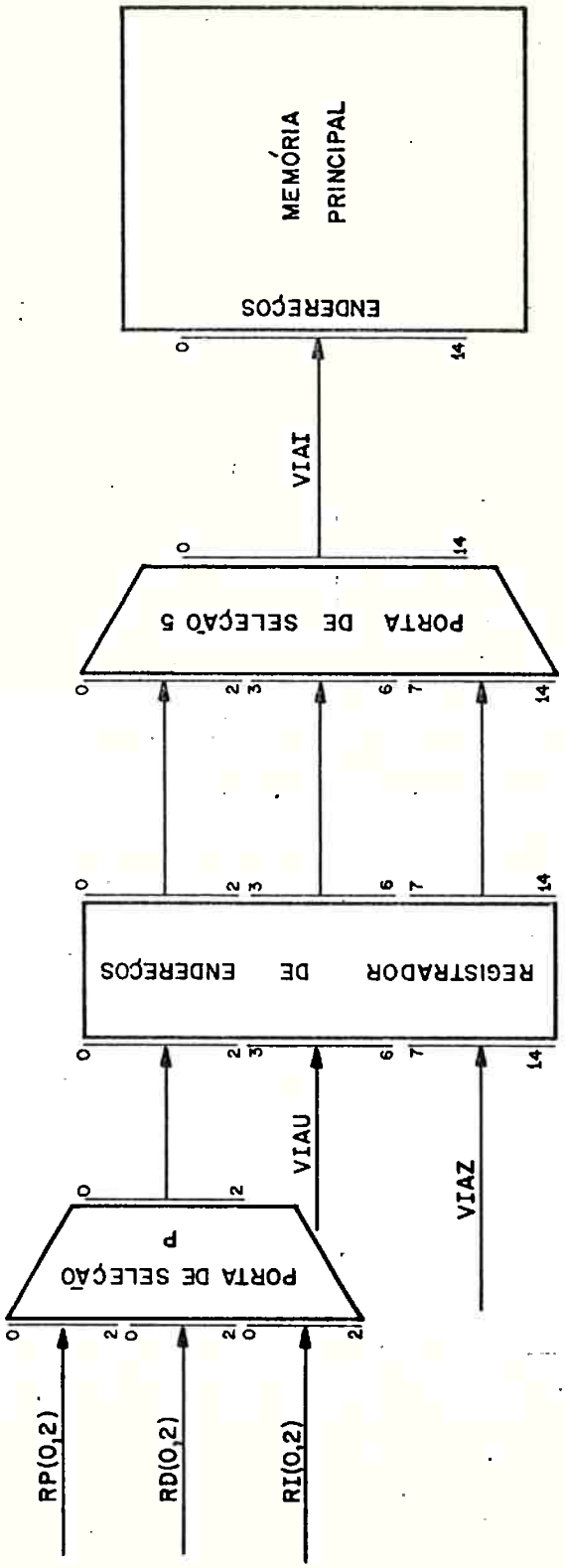


FIGURA_3.6_ CIRCUITO DE ENDEREÇAMENTO DA MEMÓRIA PRINCIPAL.

significativos do Registrador de Dados, sinais RD (4,7), foi necessário implementar-se mais uma via de dados, para que os bits do Registrador de Dados chegassem à Via U, uma vez que esta via é a única a ter acesso aos bits mais significativos do Contador de Instruções.

A solução adotada foi implementar-se uma via de dados que interliga os quatro bits menos significativos do Registrador de Dados com a Porta de Seleção 1, que, conseqüentemente, foi expandida de um módulo de quatro bits e provida dos sinais de controle adequados para realizar a ligação entre a nova via e a Via U, proporcionando assim, a exigência para a execução correta da instrução PUL.

Finalmente, a última modificação a ser feita no Fluxo de Dados, é ocasionada pela necessidade da instrução PUG com modo de endereçamento indireto, armazenar na memória o endereço completo de retorno ao programa principal, ou seja, o número da página e o endereço dentro dela. Daí surge a obrigatoriedade de carregar-se, nos três bits mais significativos do Registrador de Dados, o conteúdo do Registrador de Páginas. Como a seleção da Via de Dados que deve ser conectada ao Registrador de Dados, para ser copiada por este, é feita pela Porta de Seleção 4, logo, os bits provenientes do Registrador de Páginas devem entrar nessa Porta de Seleção.

A Porta de Seleção 4, para atender às novas necessidades, foi expandida de um módulo de quatro bits e provida dos sinais de controle convenientes; dos quatro bits que foram acrescentados, os três mais significativos foram utilizados para a conexão com o Registrador de Páginas, e o restante foi usado para que fosse garantido o conteúdo zero no bit de indireto, necessário à execução correta da instrução PUG.

Em resumo, as cinco modificações, que foram necessárias no Fluxo de Dados do Patinho Feio, para adaptá-lo ao novo minicomputador, são as seguintes:

a) expansão do Registrador de Endereços, de doze para quinze bits, e a conseqüente expansão da Via I e da Porta de Seleção 5;

b) criação da Porta de Seleção P;

c) criação da Via P;

d) expansão da Porta de Seleção 1, de quatro para cinco módulos de quatro bits;

e) expansão da Porta de Seleção 4, de um módulo de quatro bits.

O Fluxo de Dados, já com todas as modificações, é mostrado na figura 3.7.

Realizadas as modificações no Fluxo de Dados do Patinho Feio para adaptá-lo ao novo minicomputador, no item seguinte será revista a carta de micro-operações das instruções, para que seja possível estabelecer, de uma forma organizada, as modificações que serão necessárias nos circuitos de controle do Patinho Feio, para adaptá-lo ao novo minicomputador.

3.3. Alterações na Carta de Micro-operações

A carta de micro-operações do minicomputador Patinho Feio foi alterada pela primeira vez, quando houve a necessidade de implementar-se o modo de endereçamento indireto (2);uma segunda alteração foi necessária quando resolveu-se modificar o modo de endereçamento indireto, que era pré-indexado,para pós-indexado e, finalmente, com a expansão da capacidade de endereçamento do minicomputador, ocorreu a terceira alteração.

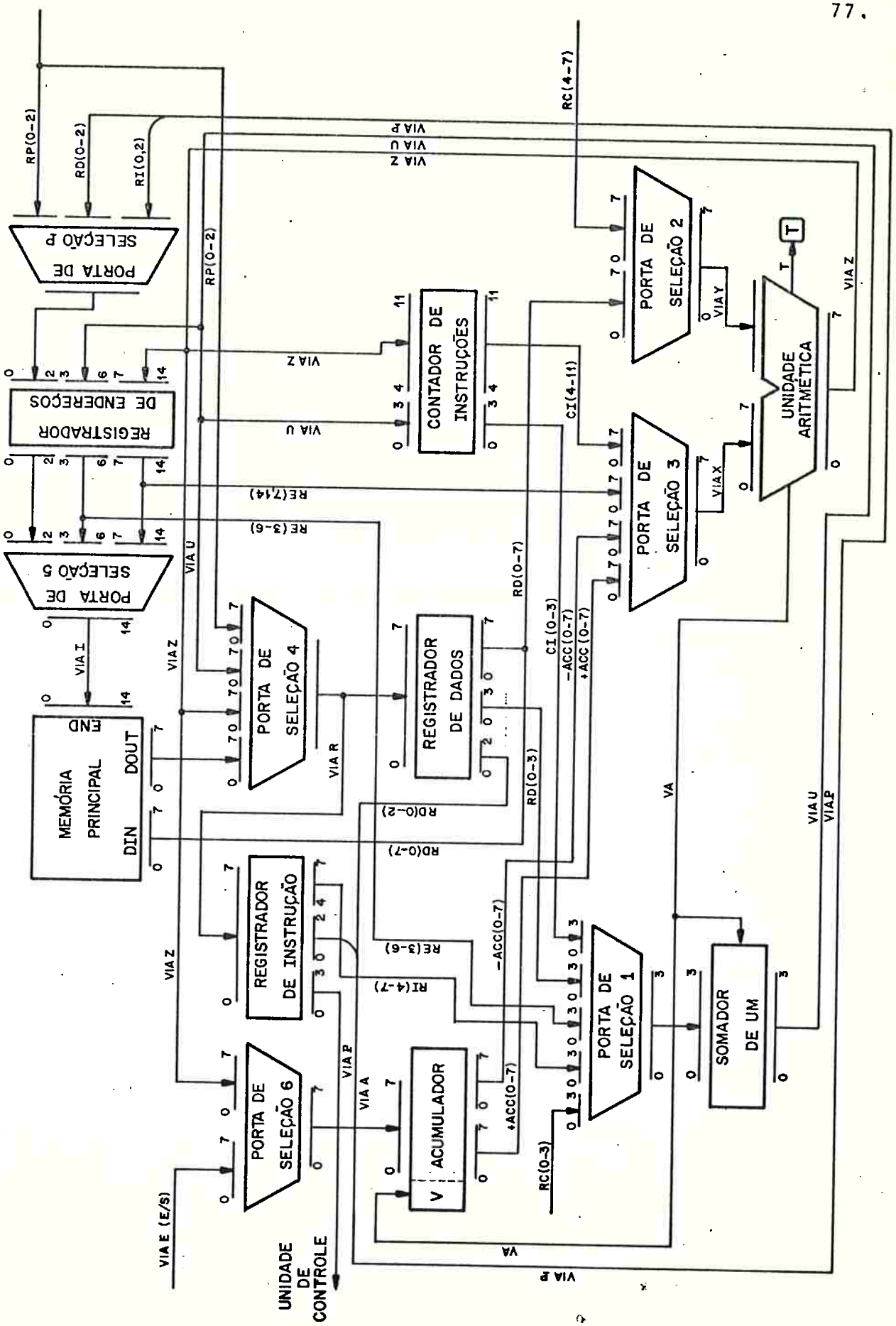


FIGURA 3.7 FLUXO DE DADOS DO NOVO MINICOMPUTADOR

A seguir, será mostrada a carta de micro-operações do minicomputador, enfatizando-se as modificações que foram necessárias para que fosse possível a implementação da expansão da capacidade de endereçamento da memória principal.

a) Instruções: PLA - Pulo Incondicional
PLAX - Pulo Incondicional Indexado

A nova carta de micro-operações para estas instruções está mostrada nas figuras 3.8 e 3.8A, onde pode-se notar que na Fase 1, fase esta utilizada para realizar-se a busca da primeira parte das instruções, as alterações, com relação à carta original do Patinho Feio, foram as seguintes:

- nos tempos de T0 a T5, a operação realizada pela memória era Ler e Restaurar; isso, devido à utilização da memória de núcleos de ferrite, mas, como o novo minicomputador possui memória de semicondutor, que não apresenta leitura destrutiva, não é necessário que se tenha a operação de restauração após a leitura na memória; então, a operação que deve ser realizada na memória, durante esses tempos, é apenas de leitura;

- ao término do tempo T1, o dado lido da memória, o qual a nova memória tem disponível no Registrador de Dados da Memória (RDM), deve ser carregado no Registrador de Instruções (RI); então, para realizar-se essa operação, o conteúdo do RDM deve ser carregado no RI;

- ao término do tempo T6 está, talvez, a modificação mais importante, onde os três bits mais significativos do Registrador de Endereços (RE) são carregados com o conteúdo do Registrador de Páginas (RP). Os demais bits do RE continuam a ser carregados com o conteúdo do Contador de Instruções (CI);

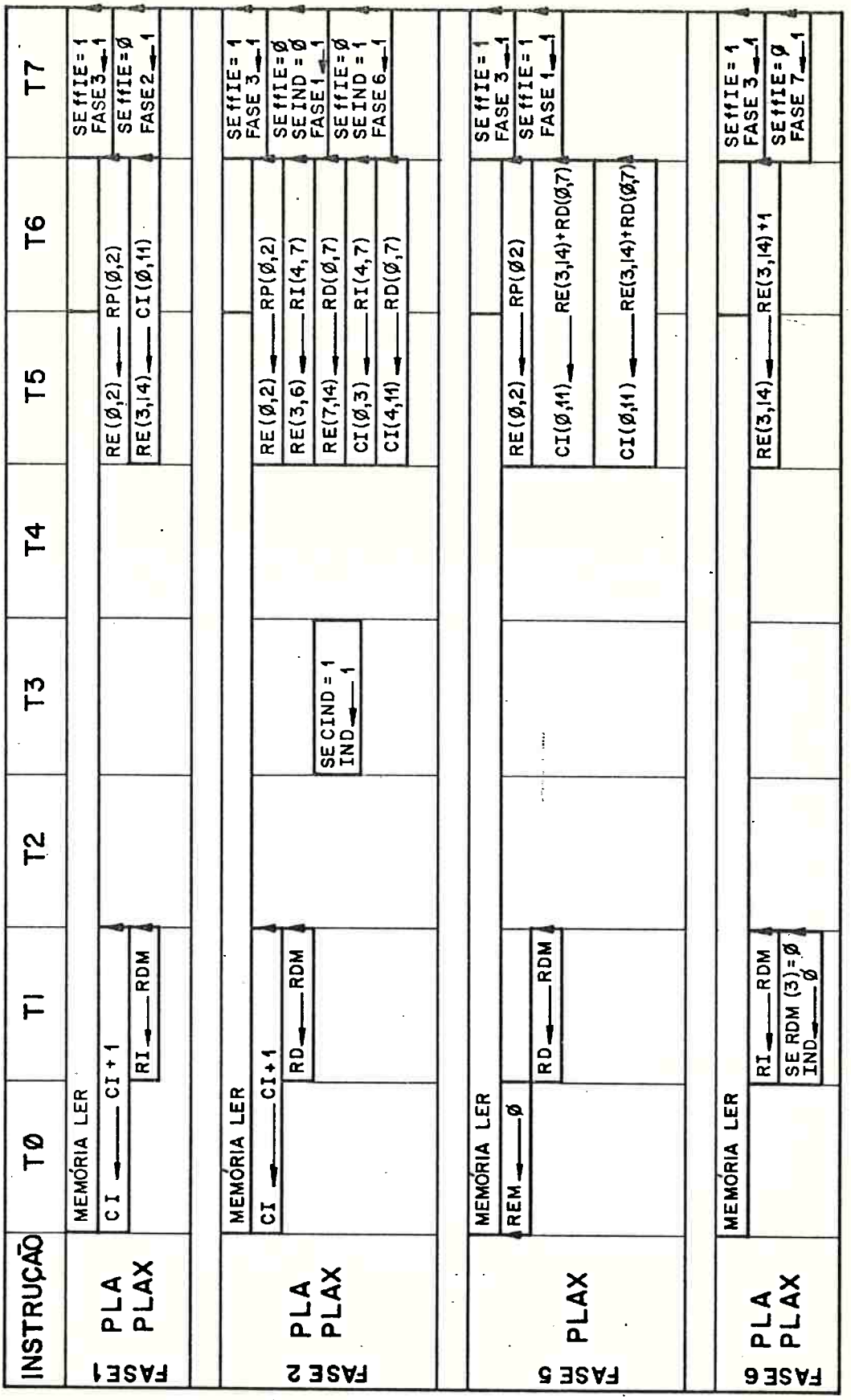


FIGURA 3.8 — CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES PLA E PLAX

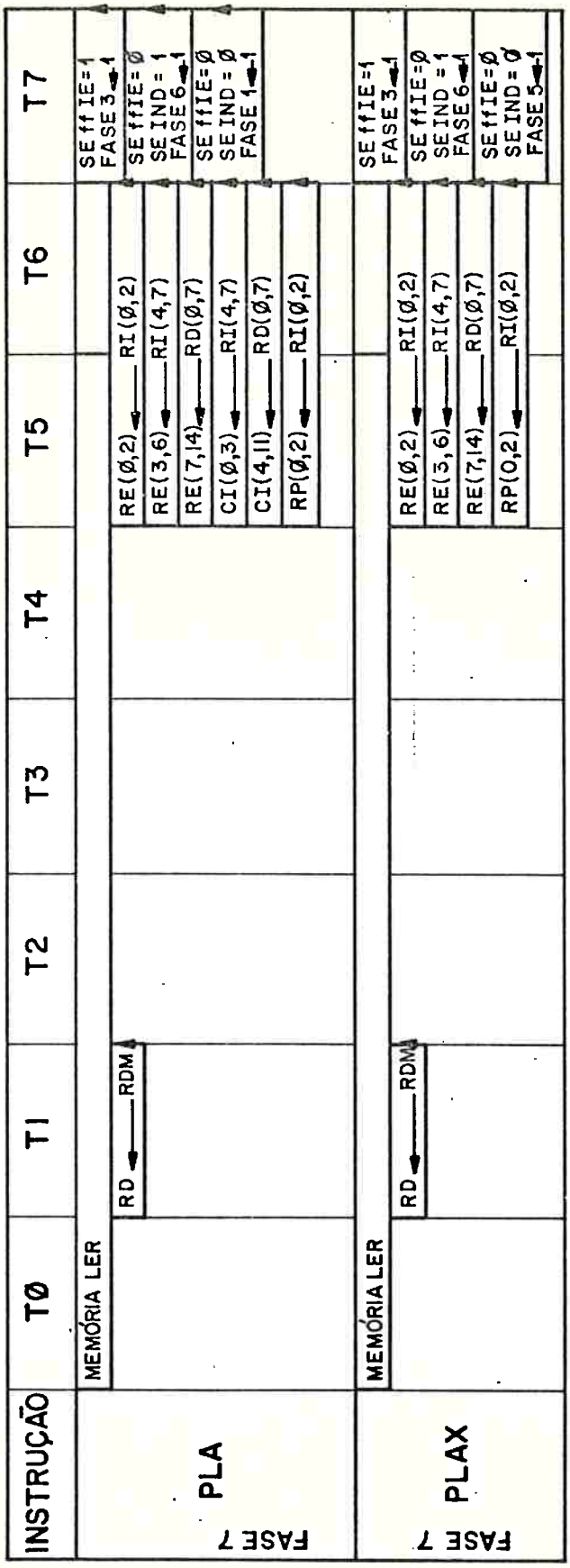


FIGURA 3.8A — CARTA DE MICROOPERAÇÕES DAS INTRUÇÕES PLA E PLAX

- no tempo T7, quando são gerados os sinais que determinam a próxima fase, foi criada uma nova condição para determiná-la, condição essa dada pelo "Flip-Flop" de Interrupção Especial (ffIE) que, quando ligado, indica a ocorrência de uma Interrupção Especial e faz com que seja forçada a Fase 3, como já mencionado no item 3.1.4.

Na Fase 2, onde é realizada a busca da segunda parte das instruções que estão sendo discutidas, e a execução, se a mesma for uma PLA com modo de endereçamento direto, foram feitas as mesmas modificações realizadas na Fase 1, ou seja, a operação da memória nos tempos T0 a T5, a carga do dado lido na memória, através do RDM, no Registrador de Dados (RD), a carga do conteúdo do RP nos três bits mais significativos do RE e o teste do ffIE para a determinação da próxima fase.

Na Fase 2 também é realizado o teste de verificação do modo de endereçamento da instrução; caso seja direto, uma nova Fase 1 é acionada e a busca de outra instrução é iniciada, caso seja indireto, a Fase 6 será acionada. Será considerado, a seguir, que a instrução PLA ou PLAX possui modo de endereçamento indireto, logo, a Fase 6 será acionada e, conseqüentemente, será feita a busca da primeira parte do endereço.

Na Fase 6 valem as mesmas observações feitas com relação à operação de leitura na memória, realizada nos tempos T0 a T5, durante a Fase 1, e quanto ao dado lido na memória, disponível no RDM, que deve ser carregado no RI. Nesta Fase, o teste do ff IE deve, principalmente, detectar se durante a operação de soma, realizada com o conteúdo dos doze bits menos significativos do RE, não houve ocorrência de transbordo, indicando, dessa forma, um Estouro de Página.

Na Fase 7, é feita a busca da segunda parte do endereço do operando da instrução com modo de endereçamento indireto e a execução da PLA. Nesta fase foram necessárias algumas alterações, além das já citadas nas fases anteriores quanto à operação de leitura da memória, que serão descritas a seguir:

- no término do tempo T6, o conteúdo dos dois bits mais significativos do RI, devem ser carregados nos dois bits, também mais significativos do RE;

- também no término do tempo T6, o conteúdo dos dois bits mais significativos do RI devem ser carregados no RP, para que sejam realizadas mudanças de páginas, quando for o caso;

- no tempo T7, o ffIE deve ser testado para que sejam detetadas as interrupções especiais por erro de paridade e por falha de energia, que podem ocorrer a cada leitura no primeiro caso, e a qualquer instante, no segundo caso.

Finalmente, na Fase 5 é efetuado o cálculo do endereço efetivo, no caso da instrução PLAX que possui endereçamento indexado. Nesta fase, como também existe operação de leitura na memória, justamente para a obtenção do Valor do Indice, valem as observações feitas para as fases anteriores, quanto a essa operação. Além dessas modificações, foram realizadas ainda as seguintes:

- no início do tempo T0, o Registrador de Endereços da Memória (REM) deve ser limpo;

- no término do tempo T6, os dois bits mais significativos do RE são carregados com o conteúdo do RP;

- no tempo T7, quando devem ser gerados os sinais que determinarão a próxima fase, o ffIE deve ser testado, principalmente, devido à possibilidade de ocorrência de Estouro de Página durante a operação de soma que determinará o endereço efetivo do pulo.

b) Instruções: CAR - Carrega no Acumulador
CARX - Carrega no Acumulador Indexado
ARM - Armazena na Memória
ARMX - Armazena na Memória Indexado
SOM - Soma
SOMX - Soma Indexado

A carta de micro-operações para estas instruções está mostrada nas figuras 3.9., 3.9A e 3.9B. Como pode-se notar, comparando as figuras 3.8 e 3.9, a Fase 1 das cartas são idênticas, não sendo necessário portanto comentar-se sobre essa fase.

Na Fase 2, a única modificação que se fez necessária, além das relativas às operações de leitura da memória e do teste do ffIE, na determinação da próxima fase, foi carregar se os dois bits mais significativos do RE com o conteúdo do RP, para que o número da página de memória fique especificado para a busca do operando ou do endereço deste, caso o modo de endereçamento seja indireto.

Se o modo de endereçamento for indireto, e não ocorreu nenhuma interrupção especial durante a Fase 2, será acionada a Fase 6, onde é feita a busca da primeira parte do endereço do operando. Para as instruções em questão, as micro-operações da Fase 6 são as mesmas das realizadas para as PLA e PLAX, dispensando-se, deste modo, outros comentários.

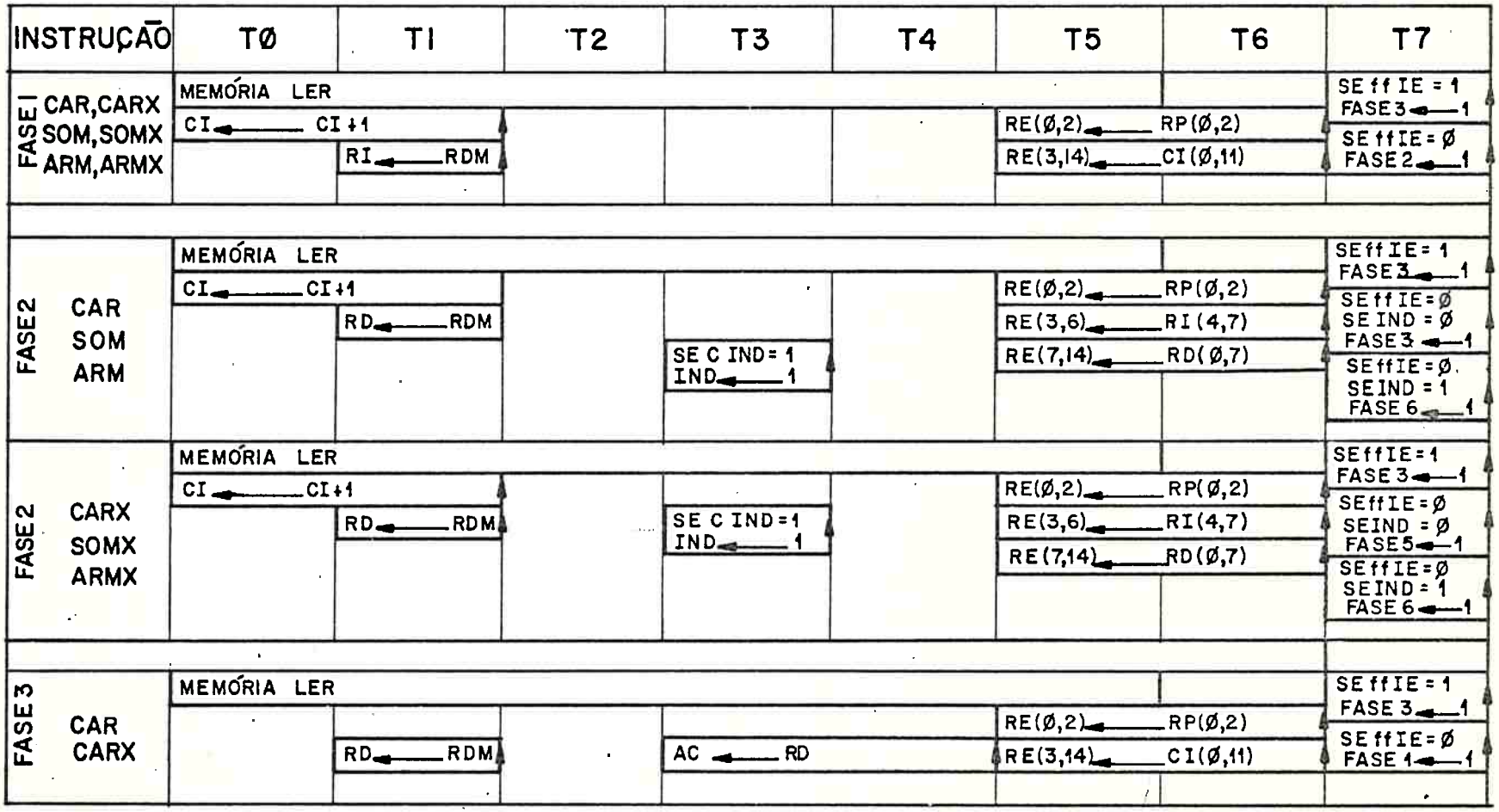


FIGURA 3.9 — MICROOPERAÇÕES DAS INSTRUÇÕES CAR, CARX, SOM, SOMX, ARM E ARMX.

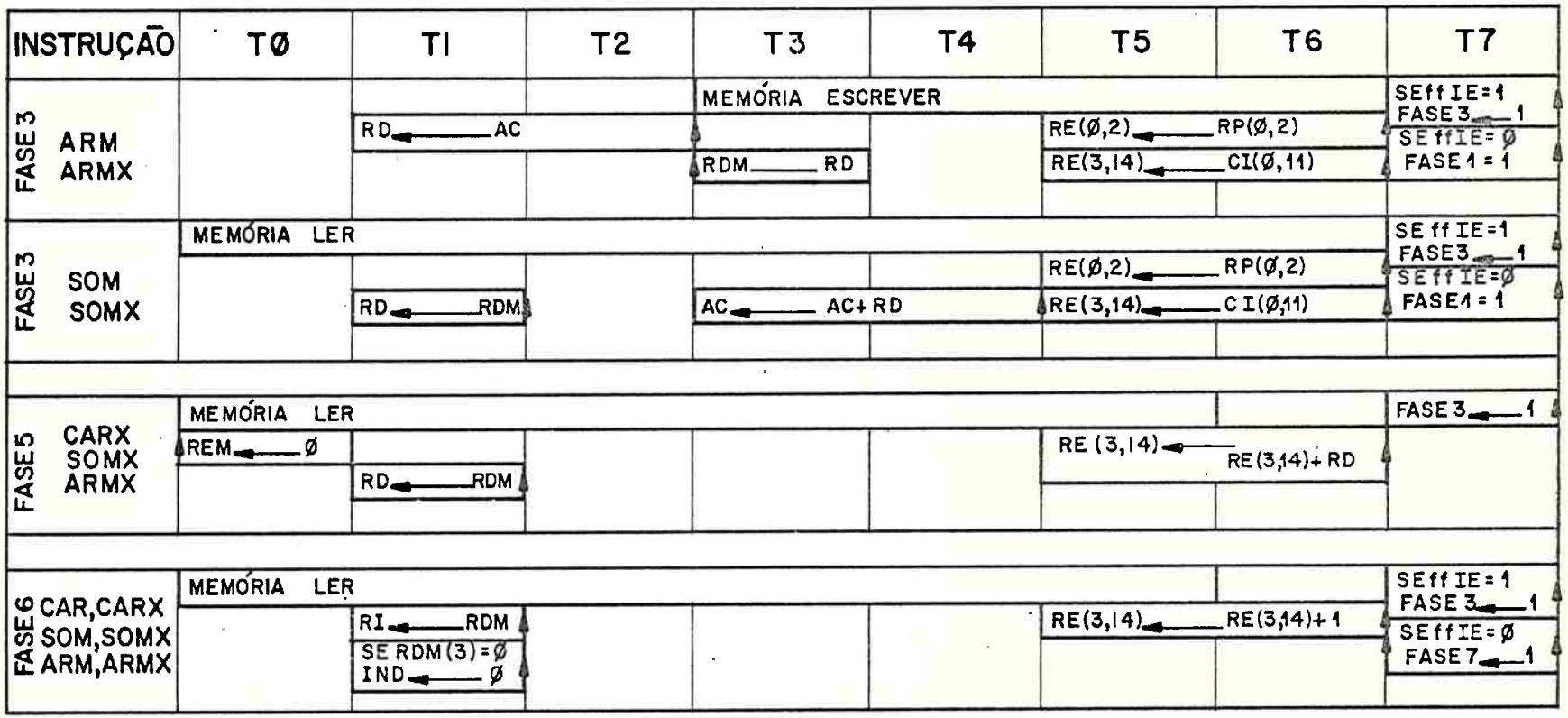


FIGURA 3.9 A — MICROOPERAÇÕES DAS INSTRUÇÕES CAR, CARX, SOM, SOMX, ARM E ARMX.

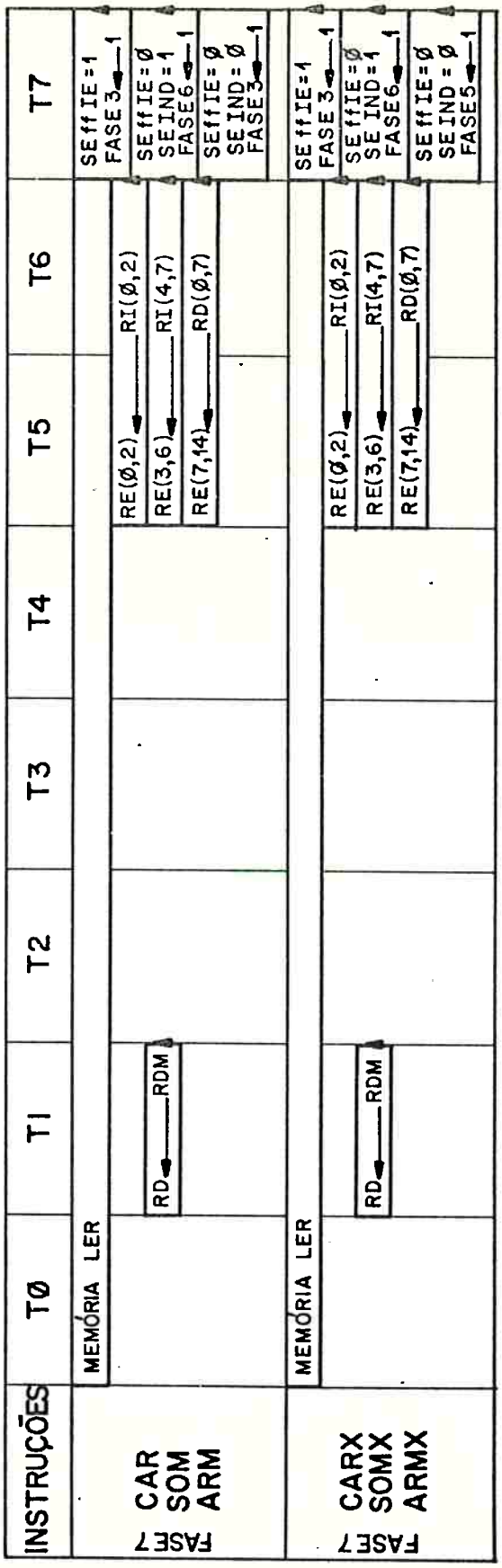


FIGURA 3.9 B — MICROOPERAÇÕES DAS INSTRUÇÕES CAR, CARX, SOM, SOMX, ARM E ARMX

Na Fase 7, onde a busca do endereço do operando é completada, e seu endereço completo é carregado no RE, além das modificações relativas à operação de leitura da memória e do teste do ffIE para determinação da próxima fase, foi necessário utilizar-se uma micro-operação para carregar o conteúdo dos três bits mais significativos do RI nos mesmos bits do RE.

Caso a instrução, que está sendo executada, possua endereçamento indexado, será acionada a Fase 5, onde o conteúdo dos doze bits menos significativos do RE deverá ser somado com o do Registrador de Indice. Nessa fase, além das observações com respeito à leitura na memória, cabe comentar que, na determinação da próxima fase, o ffIE não precisa ser testado, pois de qualquer forma será acionada a Fase 3. Com relação ao RE, somente são modificados seus doze bits menos significativos, e o número da página, que já havia sido carregado nos três bits mais significativos, permanece inalterado.

Na Fase 3, onde a execução propriamente dita, das instruções em questão, é realizada, foram feitas as seguintes alterações na carta de micro-operações:

- durante os tempos de T0 a T5, nas operações de leitura na memória, para as instruções CAR, CARX, SOM e SOMX, as modificações já comentadas anteriormente;

- no tempo T3, para as instruções ARM e ARMX, o dado antes de ser armazenado na memória deve ser carregado do RD para o RDM;

- durante os tempos T0 a T5, para as instruções ARM e ARMX, a micro-operação de "Ler Somente", utilizada pela memória de núcleos de ferrite como preparação para a operação de armazenamento, não é necessária para a memória monolítica, logo, foi substituída, permanecendo apenas a micro-operação de "Memória Escrever";

- no término do tempo T6, onde é realizada a preparação do RE para a busca da próxima instrução, foi necessário carregar-se, nos três bits mais significativos do RE, o conteúdo do RP, para que se determine o número da página de memória onde deve ser feita a busca;

- finalmente, no tempo T7, foi incluída a condição do ffIE para a determinação da próxima fase.

c) Instrução: PUG - Pula e Guarda

A carta de micro-operações desta instrução está mostrada nas figuras 3.10 e 3.10A,como as micro-operações das Fases 1 e 2, são idênticas às das instruções do item b) e, ainda, se o modo de endereçamento for indireto, o mesmo acontece com a Fase 6, sendo, portanto, desnecessário discorrer-se sobre essas fases neste item.

Na Fase 7, onde é feita a busca da segunda parte do endereço, quando em modo de endereçamento indireto, foram necessárias duas importantes modificações, além das realizadas para as operações de leitura na memória e dos testes do ffIE, que estão descritas a seguir:

- no tempo T7, quando são realizados os testes para determinar a próxima fase, se o ffEP=0 e o IND=0 é acionada a Fase 5, onde a instrução será efetivamente executada. O motivo pelo qual a PUG com modo de endereçamento indireto é executada na Fase 5, anteriormente utilizada apenas para o cálculo do endereço efetivo das instruções indexadas, é que, nesse modo de endereçamento, a mesma deve, também, armazenar na memória o número da página onde está localizada, operação esta diferente da que precisa ser realizada quando o modo de endereçamento é direto,onde devem ser armazenados zeros nos bits correspondentes ao número da página, operação que é realizada na Fase 3.

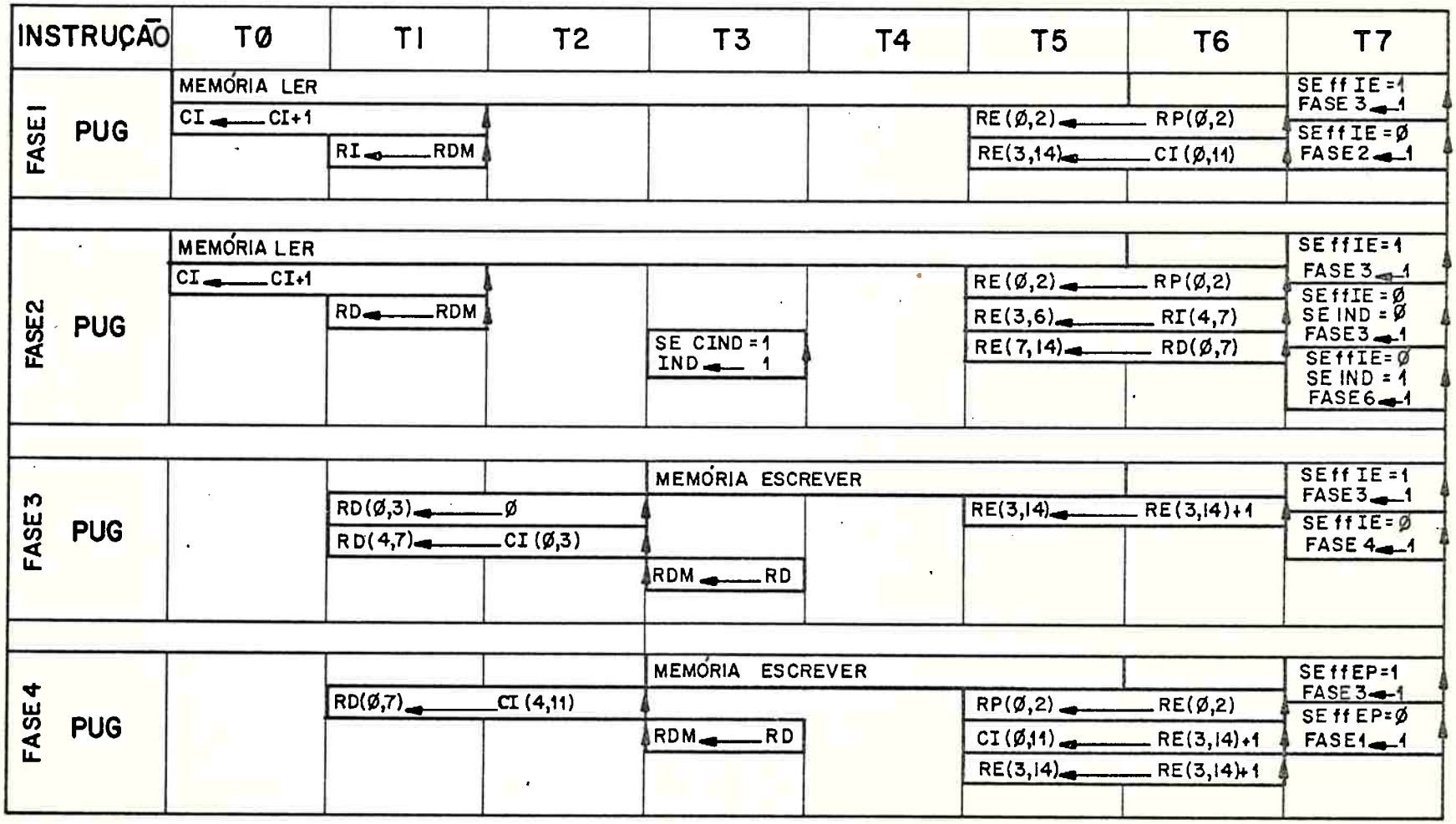


FIGURA 3.10 — CARTA DE MICROOPERAÇÕES DA INSTRUÇÃO PUG

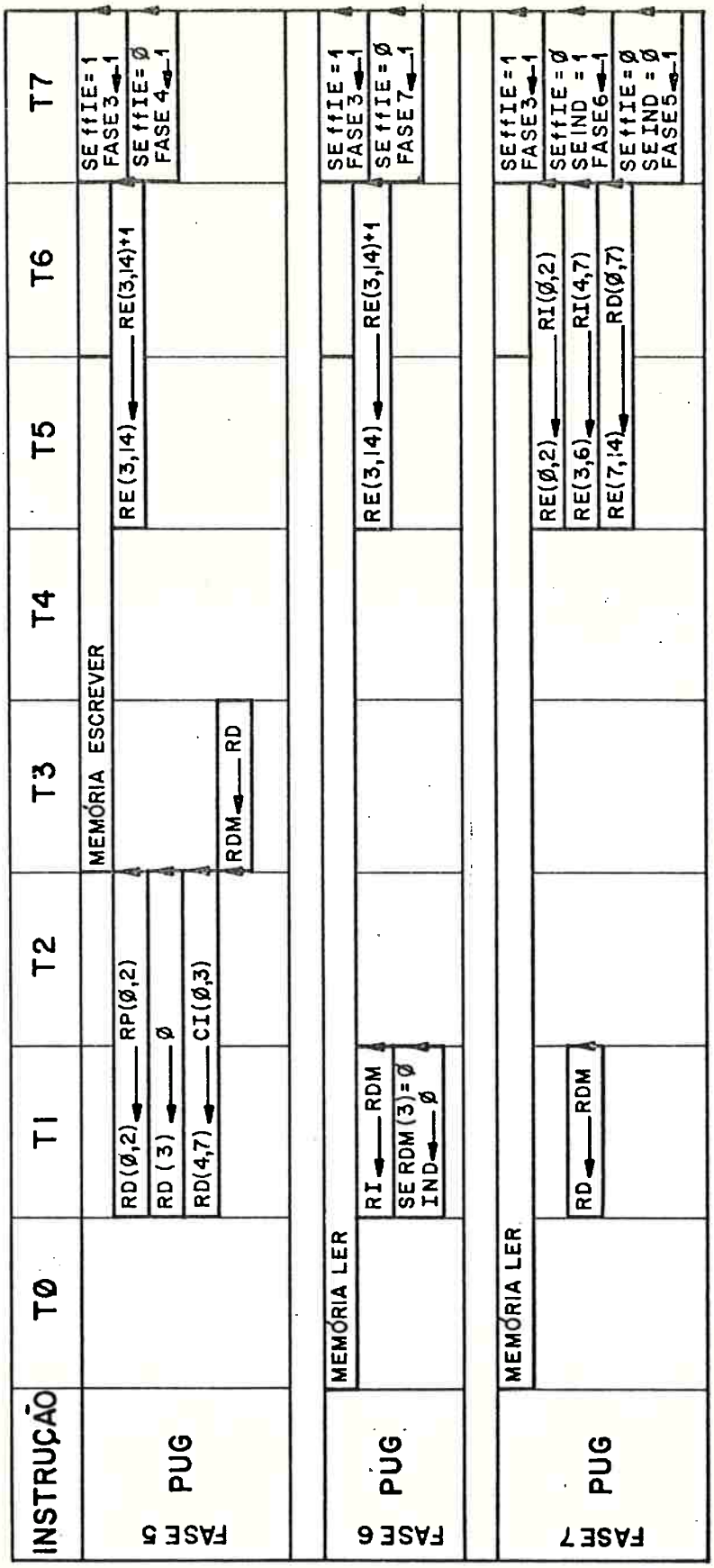


FIGURA 3.10 A — CARTA DE MICROOPERAÇÕES DA INSTRUÇÃO PUG

Foi escolhida a Fase 5, para parte da execução da instrução, porque era a única fase não utilizada pela PUG; devido a essa escolha, a Fase 5 perdeu sua característica de ser utilizada apenas para o cálculo do endereço efetivo das instruções indexadas;

- no término do tempo T6, onde o endereço completo obtido com o endereçamento indireto deve ser carregado no RE, foi acrescentada a carga dos três bits mais significativos do RE com o conteúdo dos três bits mais significativos do RI, para indicar o número da página de memória correspondente.
  Na Fase 5, onde é armazenada na memória a primeira parte do endereço de retorno, foram criadas todas as micro-operações necessárias, as quais são descritas a seguir:

- no término do tempo T2 deve ser carregada, no RD, a parte mais significativa do endereço; para isso, o conteúdo do RP deve ser carregado nos três bits mais significativos do RD; o conteúdo dos quatro bits mais significativos do CI nos quatro menos significativos do RD e,no bit RD (3) zero, para ser satisfeita a premissa ditada no item 3.1;

- no tempo T3, o conteúdo do RD é carregado no RDM, para que seja armazenado na memória;

- durante os tempos T3 a T5, um ciclo de escrita na memória é gerado para que seja armazenada a primeira parte do endereço já à disposição no RDM;

- no término do tempo T6, o RE é carregado com o seu próprio conteúdo adicionado de um, para que este fique posicionado para o armazenamento da segunda parte do endereço, que será realizado durante a Fase 4;

- finalmente, durante o tempo T7, são gerados os sinais para a determinação da próxima fase que, basicamente, é feita por meio de um teste no ffIE, que determinará se será acionada a Fase 3 ou a 4.

Caso a instrução possua modo de endereçamento direto, depois da execução das micro-operações da Fase 2, será acionada a Fase 3, como já foi mencionado anteriormente; esta última possui, para este caso, a mesma função que a Fase 5 para o caso de modo indireto. Na Fase 3 houve necessidade de modificações para a adequação da operação de armazenamento na memória, e para o teste do ffIE na determinação da próxima fase a ser acionada.

Por fim, na Fase 4, onde é armazenada na memória a segunda parte do endereço de retorno e posicionados o CI, o RE e o RP para a realização do pulo, além das modificações pertinentes à operação de armazenamento na memória e do teste do ffIE para a determinação da próxima fase, foi necessário acrescentar-se a carga do RP com o conteúdo dos três bits mais significativos do RE, para que seja determinada a página para a qual o pulo executado se destina.

d) Instrução: SUS - Subtraia ou Salta

A carta de micro-operações da instrução SUS está mostrada nas figuras 3.11 e 3.11A; nessas figuras pode-se observar que as micro-operações referentes às Fases 1 e 2 são idênticas às relativas à PUG, o mesmo acontecendo com a Fase 6, quando o modo de endereçamento é indireto. Como as Fases 1, 2 e 6 desta instrução são idênticas às da PUG, não há necessidade de repetir-se os comentários já existentes no item anterior.

Na Fase 7, a única diferença existente entre as micro-operações da instrução SUS com a PUG, é no tempo T7, onde são gerados os sinais que determinam a próxima fase. Nesse

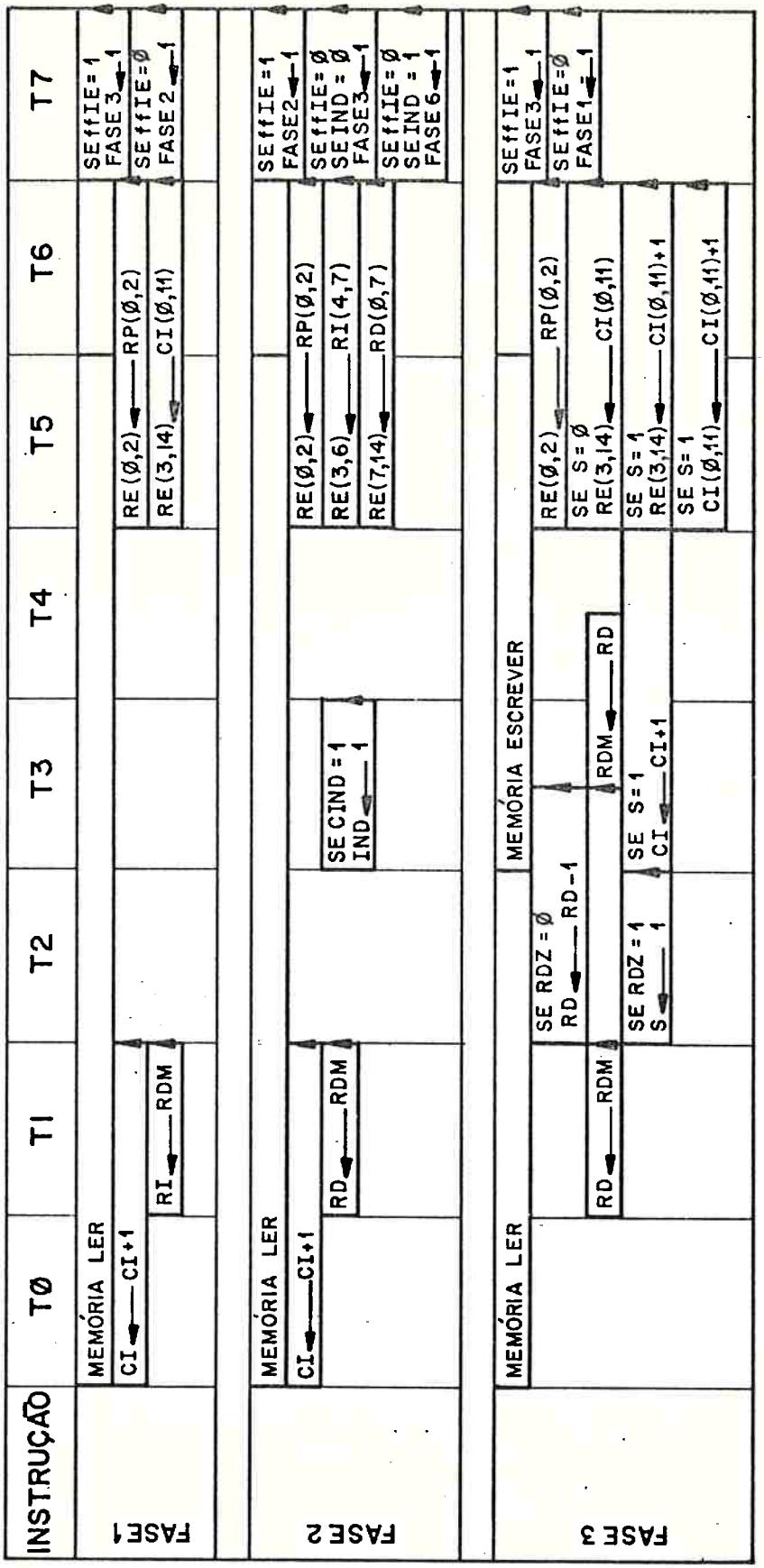


FIGURA 3.11 — CARTA DE MICROOPERAÇÕES DA INSTRUÇÃO SUS

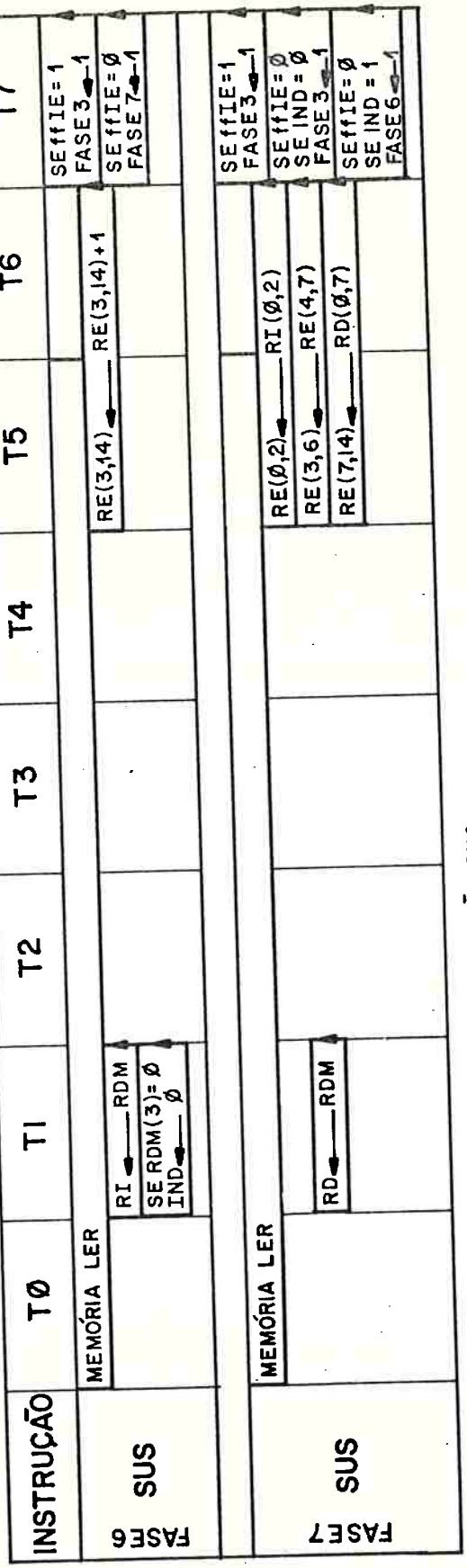


FIGURA 3.11 A — CARTA DE MICROOPERAÇÕES DA INSTRUÇÃO SUS

tempo, quando não houver mais níveis de indireto e não ocorreu nenhuma interrupção especial, deverá ser acionada a Fase 3, onde será realizada a execução propriamente dita da instrução.

Na Fase 3, a carta de micro-operações antiga aproveitava a operação "Ler Somente" para ler o dado a ser testado, operação esta necessária para a realização de qualquer armazenamento na memória de núcleos de ferrite, que era utilizada. Com a memória monolítica, é impossível ter-se a operação "Ler Somente", como já foi comentado anteriormente, e, para obter o dado a ser testado, é necessário uma operação de leitura, que deverá ser seguida de uma de armazenamento, quando o dado já subtraído de um deve ser armazenado na memória. Essas duas operações seguidas, somente são possíveis porque o tempo de ciclo da memória monolítica é muito pequeno, comparado com a de núcleos de ferrite e, com isso, pode-se, facilmente, realizar dois ciclos completos de memória durante uma fase de execução das instruções.

A única alteração necessária na Fase 3, além das relativas às operações de leitura e armazenamento na memória e do teste do ffIE para a determinação da próxima fase, foi a carga dos três bits mais significativos do RE com o conteúdo do RP, para que fique determinada a página da memória onde deve ser realizada a busca da próxima instrução, se for o caso.

e) Instrução: PUL - Pula e Limpa Interrupção

Para que fosse possível a operação da instrução PUL, como especificado anteriormente, a carta de micro-operações dessa instrução teve que ser totalmente modificada, a tal ponto de ser necessário acrescentar-se mais duas fases, ficando agora a instrução com três fases em vez de uma, como era anteriormente. A figura 3.12 mostra a carta de micro-operações da PUL, já com as modificações necessárias.

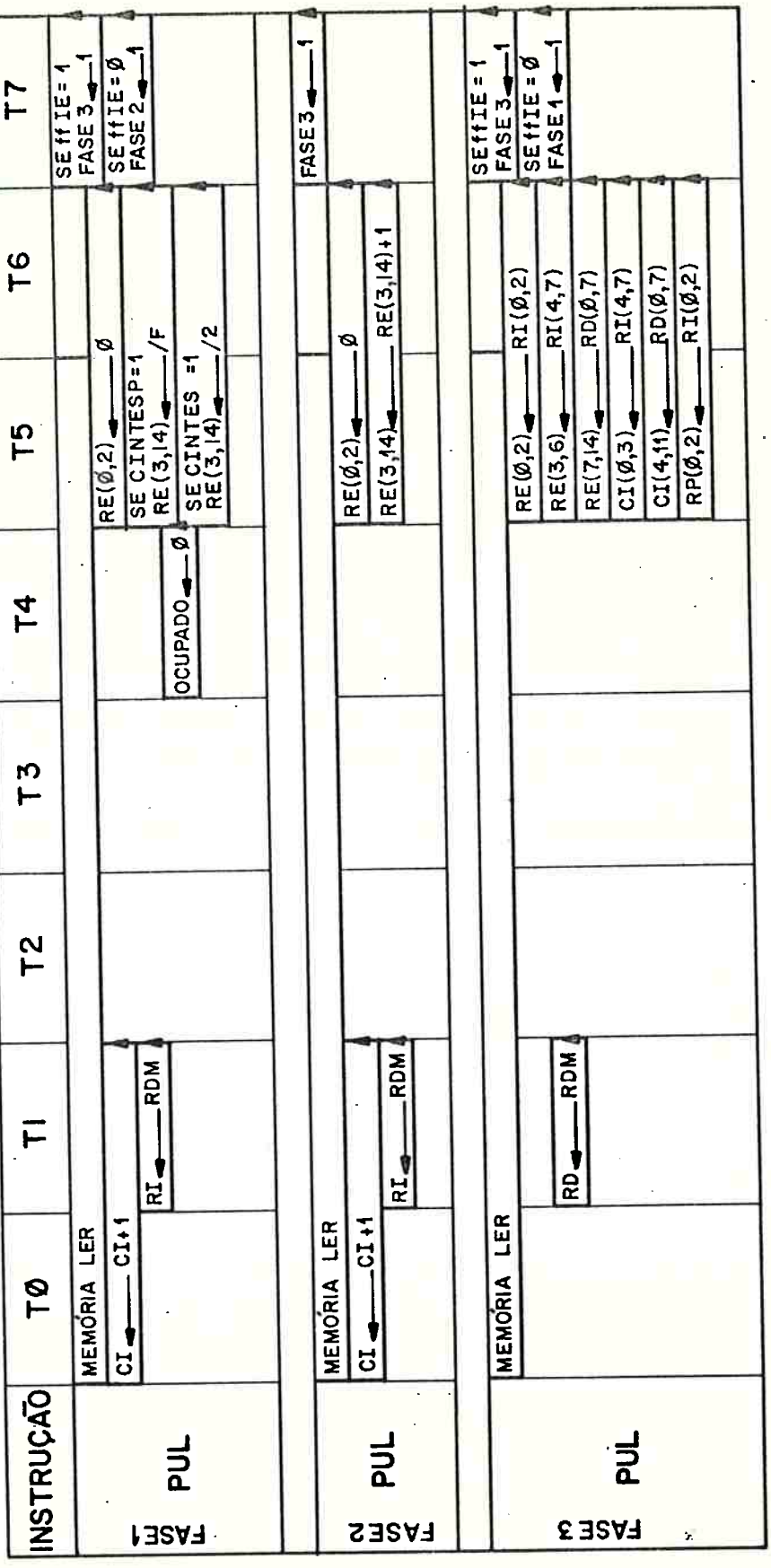


FIGURA 3.12 — CARTA DE MICROOPERAÇÕES DA INSTRUÇÃO PUL

Na Fase 1 é realizada a busca da instrução e a decodificação da mesma, após o que, é limpo o pedido de interrupção , que foi tratado pela rotina que continha a PUL; as micro-operações existentes agora na Fase 1 são as seguintes:

- durante os tempos de T0 a T5, é realizada uma operação de leitura na memória, para que seja feita a busca da instrução;

- ao término do tempo T1, a instrução já disponível no RDM é carregada no RI, de onde é decodificada; concomitantemente, o CI é incrementado, para que esteja pronto para a busca da próxima instrução, quando for necessário;

- ao término do tempo T4, o "flip-flop" que indica a condição de que existe um pedido de interrupção sendo tratado, é limpo; mas, como agora existem dois tipos distintos de interrupção, se a condição for de tratamento de interrupção especial, exceto por Chamada de Supervisor, essa condição será desativada; caso contrário, será desativada a condição das interrupções normais de Entrada e Saída;

- ao término do tempo T6 o RE é carregado com os endereços /2 ou /F da página zero, caso seja retorno de interrupção de Entrada e Saída ou Especial, respectivamente;

- finalmente, no tempo T7, são gerados os sinais que determinarão a próxima fase a ser ativada; caso ocorra uma interrupção especial, isto é, ffIE = 1, será acionada a Fase 3, caso contrário, será a Fase 2.

Na Fase 2 é realizada a busca da parte mais significativa do endereço de retorno, no endereço /2 ou /F da página zero da memória, conforme o caso. Para que fosse possível essa operação, foram criadas as seguintes micro-operações:

- durante os tempos de T0 a T5 é realizada uma operação de leitura no endereço /2 ou /F já posicionado no RE pela Fase 1;

- ao término do tempo T1, a parte mais significativa do endereço, lido na memória e disponível no RDM, é carregada no RI;

- ao término do tempo T6, o RE é incrementado para que fique posicionado para a leitura da parte menos significativa do endereço;

- e, no tempo T7, é acionada a Fase 3; neste caso, o teste do ffIE é irrelevante, pois, de qualquer forma a próxima fase será a três.

Para completar a execução da instrução, na Fase 3 é realizada a busca da segunda parte do endereço de retorno e o pulo para o endereço de retorno de interrupção; as micro-operações criadas para a Fase 3 da PUL são descritas a seguir:

- durante os tempos de T0 a T5 é realizada uma operação de leitura no endereço /3 ou /10, já posicionado no RE pela Fase 2;

- ao término do tempo T1, a parte menos significativa do endereço, lido na memória e disponível no RDM, é carregada no RD;

- ao término do tempo T6, o endereço de retorno completo, contido no RI e RD, é carregado no RE; o CI é carregado com os onze bits menos significativos desse endereço, e o RP é carregado com o conteúdo dos três bits mais significativos do RI, que contêm o endereço da página de retorno;

- e, finalmente, no tempo T7, são gerados os sinais que determinam a próxima fase, onde, se houver ocorrido alguma interrupção especial, é acionada a Fase 3; caso contrário, nova Fase 1 é selecionada para a busca de uma nova instrução.

f) Instruções: TRE - Troca Acumulador com Extensão
TRI - Troca Acumulador com Indice

A carta de micro-operações das instruções TRE e TRI sofreu alterações para a adequação quanto às operações da nova memória, para o teste da existência de interrupções especiais e para a carga do conteúdo do RP nos três bits mais significativos do RE, modificação essa, talvez a mais ampla das já realizadas. Como alterações semelhantes às realizadas nestas instruções já foram comentadas anteriormente, apenas o exame da carta de micro-operações, apresentada na figura 3.13, é suficiente para compreender-se como as operações são executadas.

g) Demais Instruções Longas

As instruções longas, pertencentes ao conjunto de instruções do Patinho Feio, que não foram consideradas nos itens anteriores, utilizam apenas as Fases 1 e 2, e, para essas instruções, as únicas modificações que se fizeram necessárias na Fase 1 são idênticas às das CAR, SOM e ARM, que já foram tratadas anteriormente. Na Fase 2 foram necessárias alterações apenas para a adequação à operação com a nova memória e o teste do ffIE para os casos em que ocorrer alguma interrupção especial, além da carga dos três bits mais significativos do RE com o conteúdo do RP.

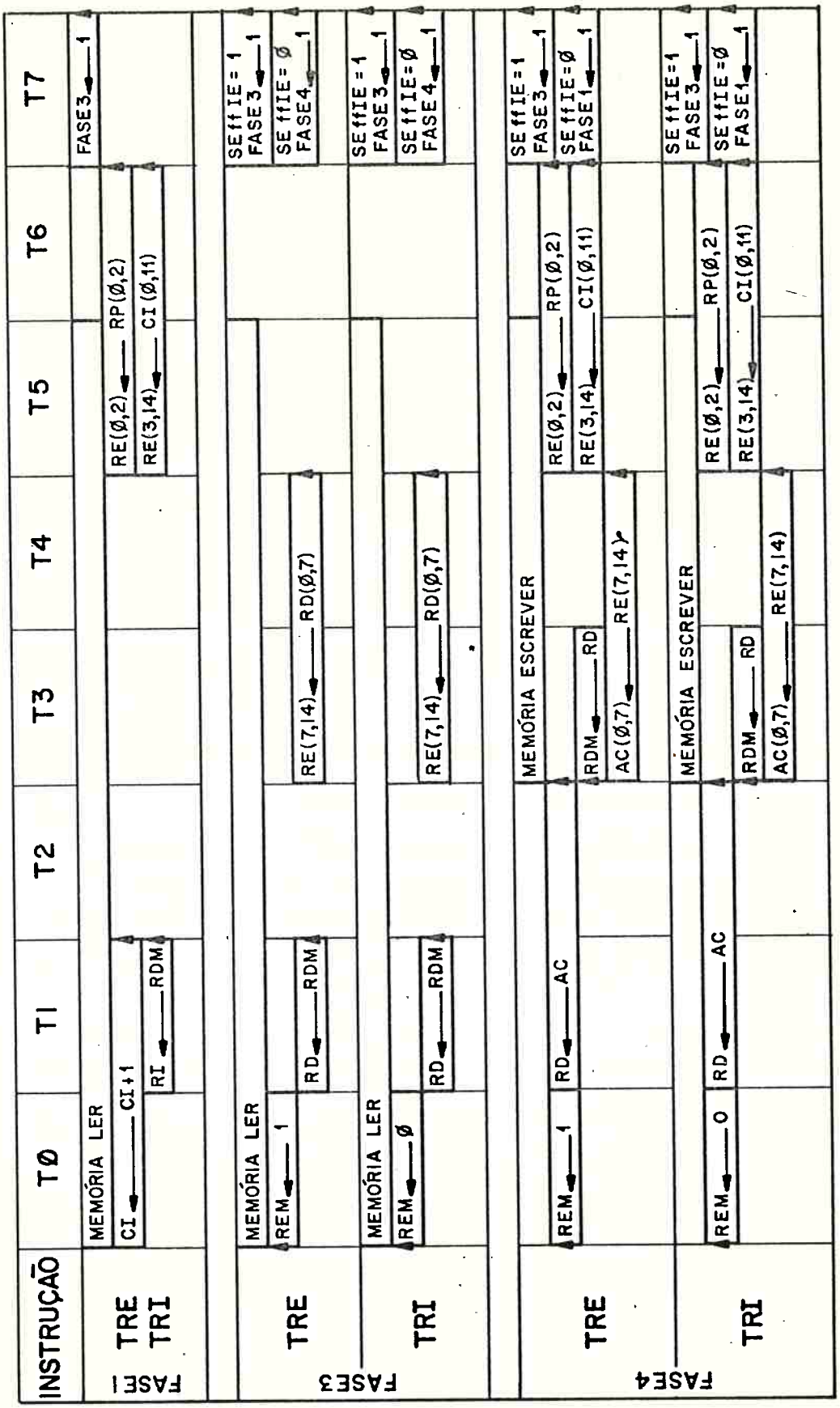


FIGURA 3.13_ CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES TRE E TRI

A carta de micro-operações das instruções longas, que ainda não foram mostradas, está nas figuras 3.14, 3.14A e 3.14B, onde podem ser observadas as alterações que se fizeram necessárias.

h) Instruções Curtas

As instruções curtas utilizam apenas a Fase 1 para a execução de suas operações, com exceção das instruções PUL, TRE e TRI, que já foram discutidas; as únicas alterações que foram necessárias neste caso foram as de adequação à operação da nova memória, o acréscimo do teste do ffIE na determinação da próxima fase e a carga dos três bits mais significativos do RE com o conteúdo do RP, para determinar-se o número da página onde deve ser feita a busca da próxima instrução.

A figura 3.15 mostra a carta de micro-operações das instruções curtas, com exceção das instruções PUL, TRE e TRI; algumas dessas instruções estão em grupos apenas por facilidade gráfica.

3.4. Outras Alterações no "Hardware"

Além da expansão da capacidade de endereçamento do minicomputador, foram feitas mais algumas alterações no "Hardware", para que fosse possível aumentar-se ainda mais a versatilidade do minicomputador. As alterações foram orientadas no sentido de criar-se os seguintes recursos:

a) acesso direto à memória (DMA), para dispositivos periféricos de entrada e saída de alta velocidade, ou entre blocos da própria memória;

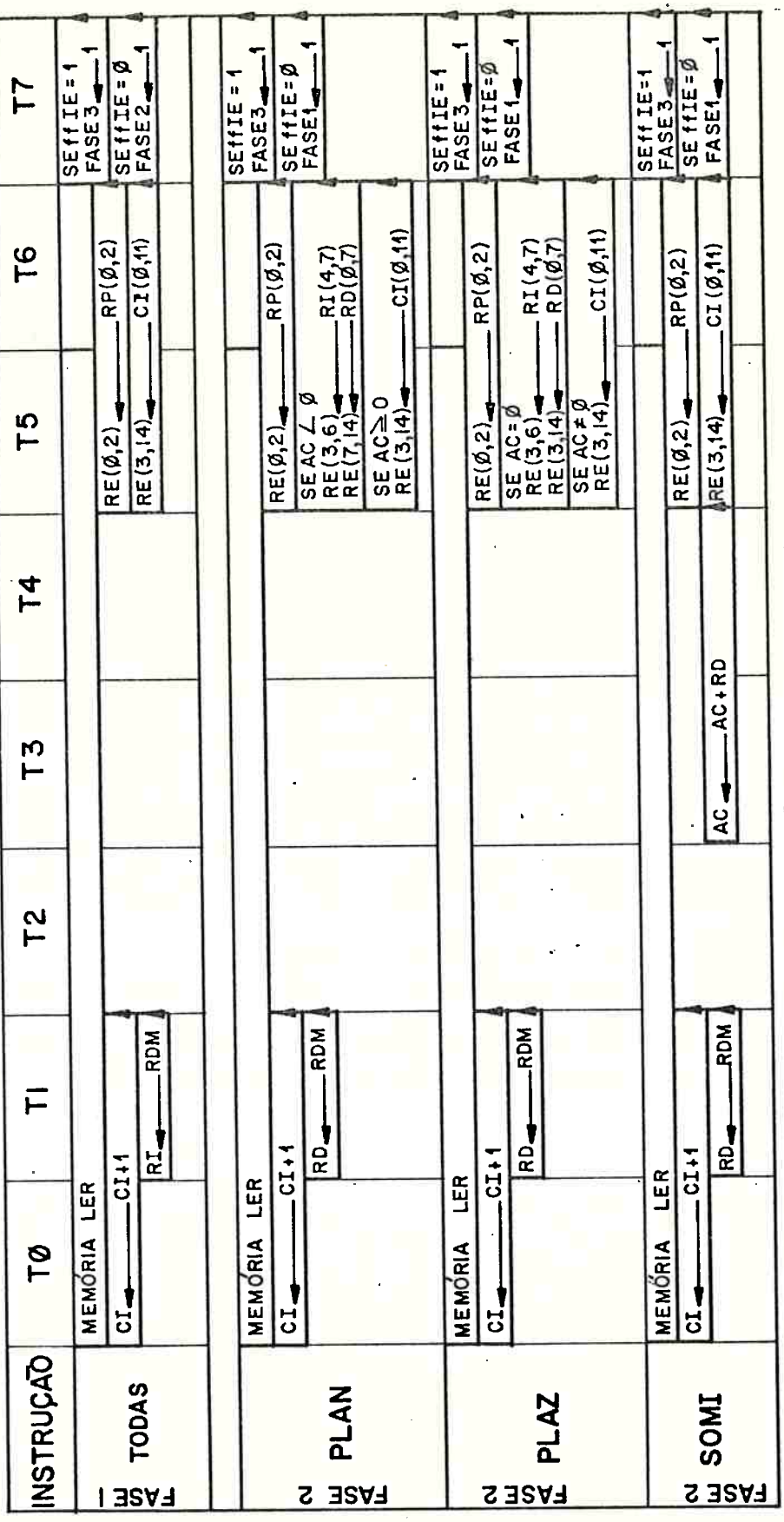


FIGURA 3.14 — CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES LONGAS RESTANTES

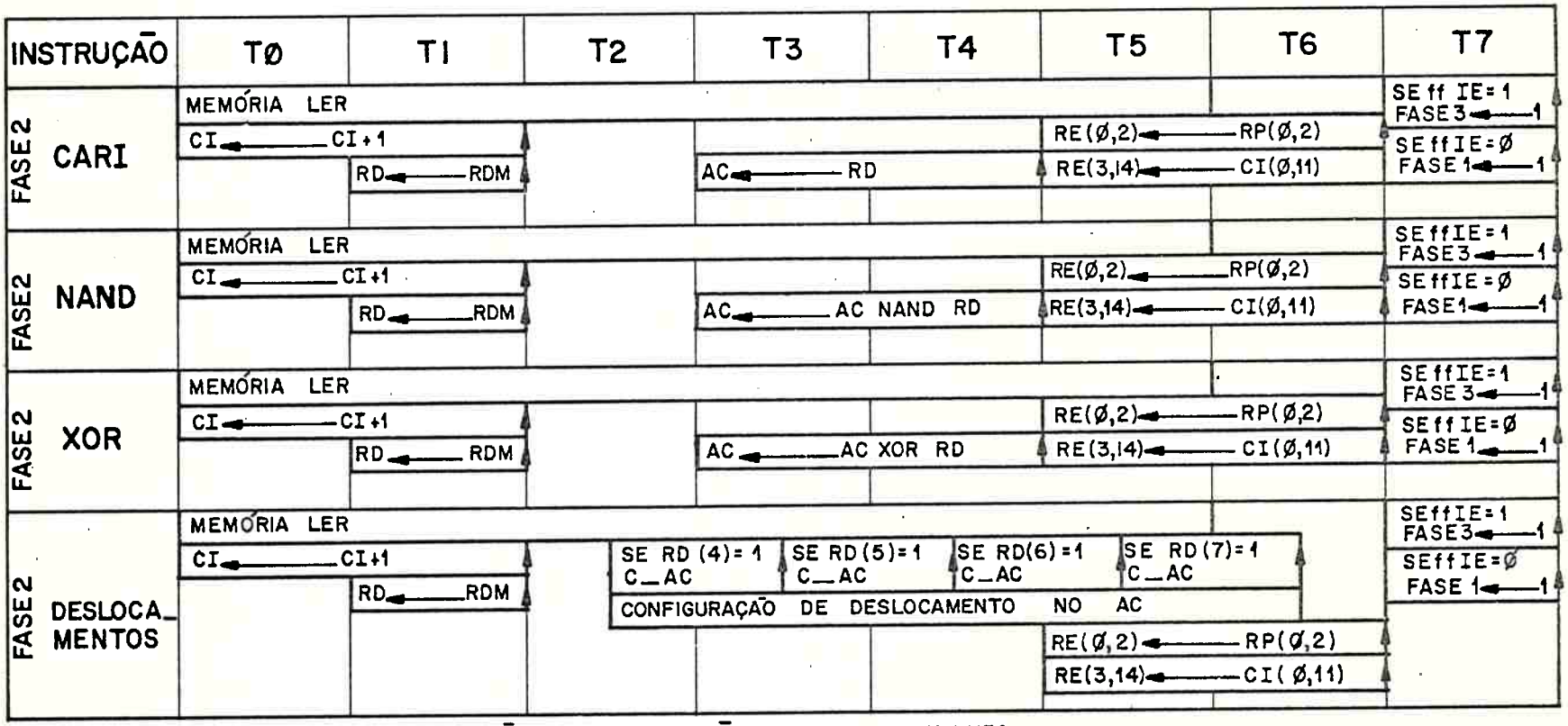


FIGURA 3.14 A — CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES LONGAS RESTANTES

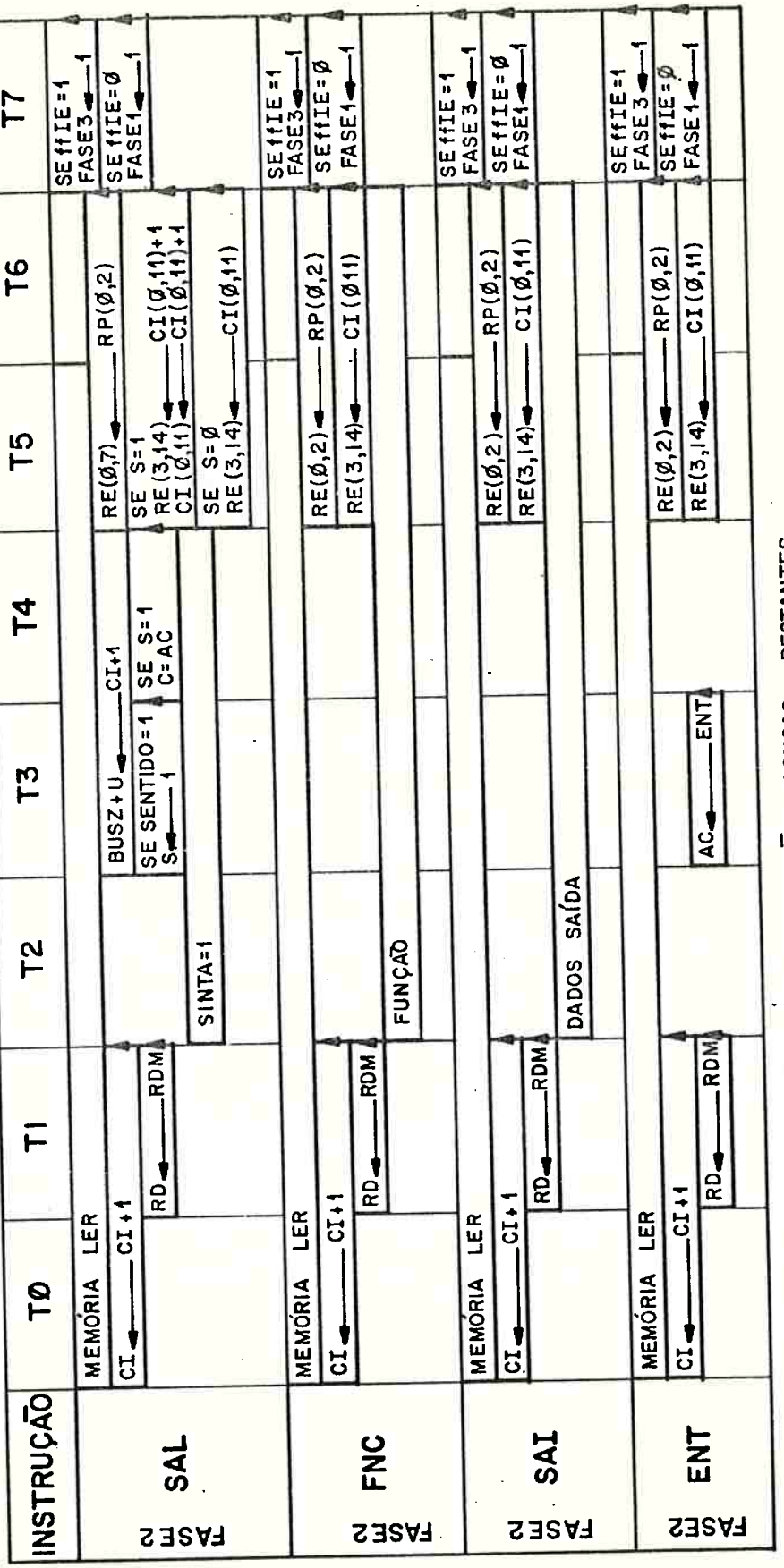


FIGURA 3.14B — CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES LONGAS RESTANTES

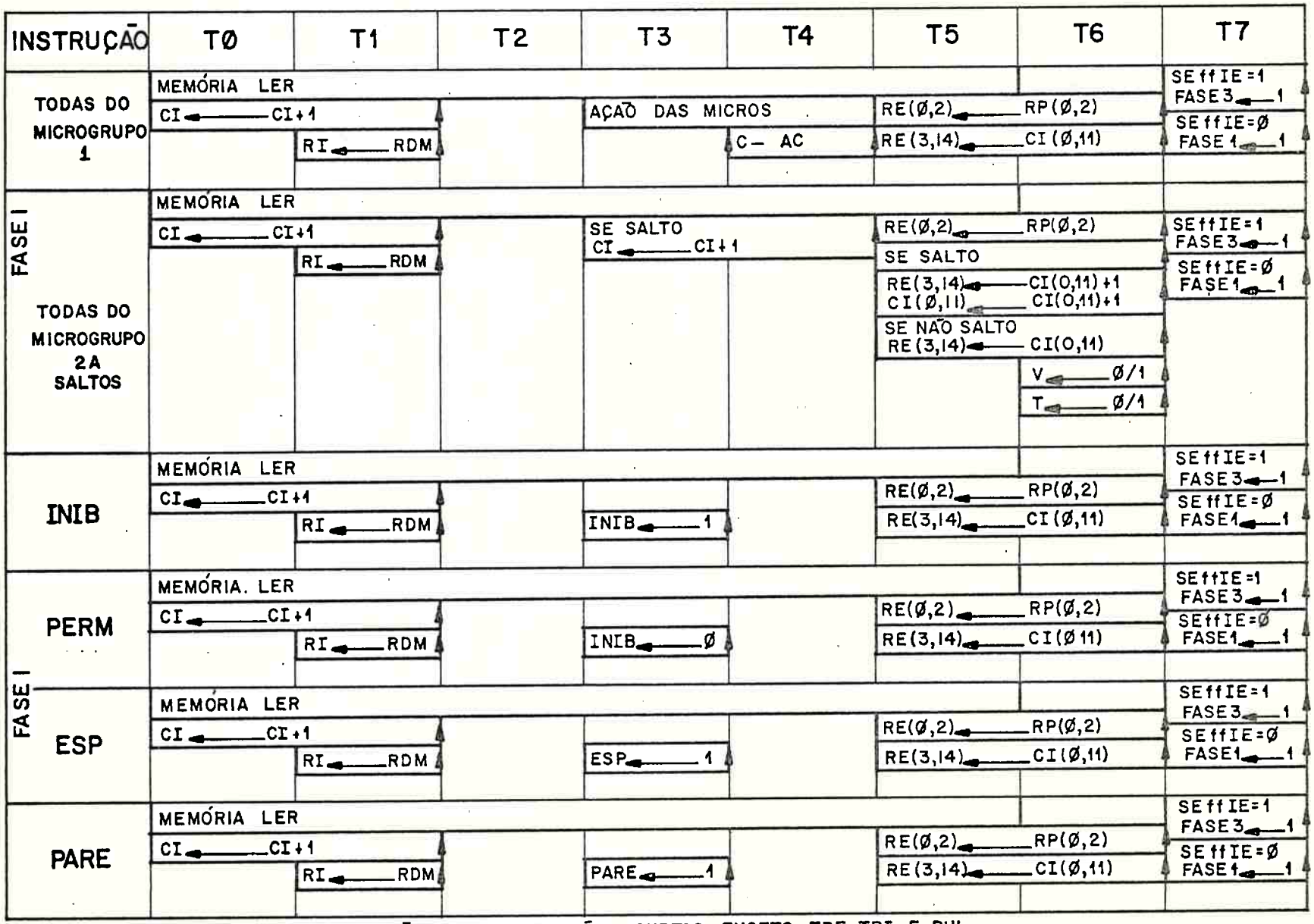


FIGURA 3.15 — CARTA DE MICROOPERAÇÕES DAS INSTRUÇÕES CURTAS, EXCETO TRE, TRI E PUL

b) dois modos de operação: Modo Usuário e Modo Supervisor;

c) privilegiação de algumas instruções que só podem ser executadas em Modo Supervisor;

d) carregador absoluto automático, residente em memória de Leitura Somente.

A seguir, será apresentado cada um dos novos recursos criados para o novo minicomputador.

3.4.1. Acesso Direto à Memória - DMA

O DMA é normalmente utilizado para a transferência de dados entre periféricos de entrada e saída, que possuem alta velocidade com grande capacidade de armazenamento, e a Memória Principal do Computador.

A vantagem em utilizar-se o DMA em lugar das instruções de entrada e saída convencionais está, basicamente, no tempo gasto para a transferência de grandes blocos de dados. Essa transferência é realizada utilizando-se muito poucas instruções o que não acontece quando se utiliza as instruções convencionais, onde, para cada dado a ser transferido, é necessária a execução de uma determinada instrução e o posterior tratamento da operação de entrada e saída,por meio das rotinas de interrupção ou de "wait for flag".

Alguns dos problemas de perda de informações nos dispositivos de armazenamento de massa por "over run" podem ser sanados pela existência do DMA, evitando-se, dessa forma, a necessidade de implementar-se grandes memórias de rascunho nas interfaces de dispositivos como discos e fitas magnéticas, ou até mesmo, leitoras de cartões ou impressoras de alta velocidade.

O circuito de DMA implantado no novo minicomputador , permite ainda a transferência de blocos entre áreas da própria Memória Principal, sem que seja necessário utilizar-se as instruções CAR ou ARM, para cada dado que se deseja transferir.

Para a implementação do DMA são necessários registradores e contadores para o armazenamento do endereço inicial do bloco de memória envolvido na transferência, do número de palavras a serem transferidas, do dado que deverá ser transferido, além de uma lógica responsável pelo pedido de interrupção, quando a transferência estiver completa, e de um caminho e um circuito lógico para acionar a memória.

A interface do Painel do minicomputador já possui a via e a lógica para o acionamento da memória, os quais são utilizados para armazenar na memória o conteúdo das chaves do painel, e para a exposição dos dados da memória nos "displays" e LEDs do mesmo painel; dada a existência desses circuitos, o DMA foi implementado na própria interface do painel, compartilhando os circuitos já existentes com a mesma.

A implementação dos circuitos do DMA na interface do painel trouxe a vantagem de não ser necessária a construção de uma via de dados entre as placas de interface com os periféricos de entrada e saída e a memória, além de não ser necessário duplicar-se os circuitos de acionamento da memória e economizar um endereço de entrada e saída; porém, trouxe a desvantagem de que, quando ocorrer uma interrupção vinda da interface do painel, cujo endereço de entrada e saída é zero, o "software" deverá realizar um teste extra para determinar se essa interrupção é causada pela chave do painel ou pelo DMA.

A figura 3.16. mostra o diagrama de blocos dos circuitos do DMA, e a função de cada um dos blocos é explicada a seguir:

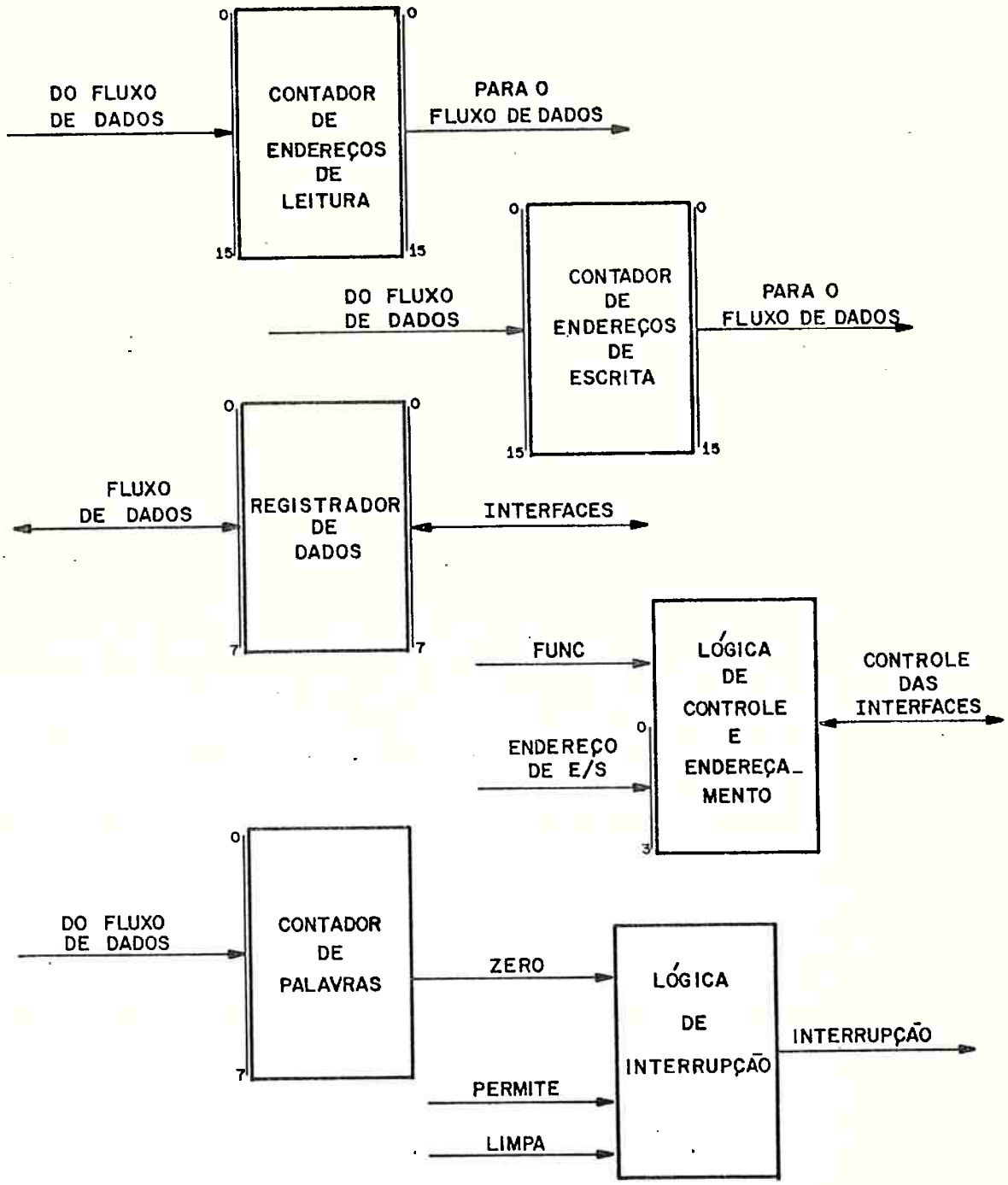


FIGURA 3.16 — DIAGRAMA DE BLOCOS DO DMA .

a) Contador de Palavras: conta o número de palavras que foram transferidas; é, inicialmente, carregado com o número de palavras que contém o bloco a ser transferido e decrementado a cada transferência;

b) Contador de Endereços de Leitura: indica o endereço na Memória Principal onde se encontra a palavra a ser transferida; inicialmente, é carregado com o endereço inicial do bloco e é incrementado a cada transferência;

c) Contador de Endereços de Escrita: indica o endereço da Memória Principal onde a palavra transferida deve ser armazenada; inicialmente, é carregado com o endereço de onde se deseja armazenar a primeira palavra do bloco a ser transferido e é incrementado a cada transferência;

d) Registrador de Dados: onde o dado a ser transferido é carregado, ou com o conteúdo da Memória Principal, ou com o dado procedente do dispositivo periférico, dependendo do caso;

e) Lógica de Controle e Endereçamento: é responsável pelo acionamento das interfaces dos dispositivos de entrada e saída;

f) Lógica de Interrupção: é responsável pelo acionamento do pedido de interrupção, quando o Contador de Palavras chegar a zero, isto é, quando foram transferidas todas as palavras especificadas inicialmente.

Serão descritas, a seguir as três operações possíveis de se realizar através do DMA, ou seja, as operações de escrita ou leitura em dispositivos de entrada e saída, e a transferência de dados de uma parte para outra da Memória Principal.

a) Escrita em um Dispositivo de Entrada e Saída:

O procedimento que se deve utilizar para a realização de operações de saída de dados para um dispositivo de entrada e saída qualquer, conectado ao DMA por meio de sua interface, é o seguinte:

- carregar o Contador de Palavras com o número de palavras que se deseja transferir (máximo 256), realizado através da instrução SAI/06;

- carregar o endereço de entrada e saída do periférico onde o DMA irá operar, realizado através da instrução SAI/07;

- carregar o Contador de Endereços de Leitura com o endereço na Memória Principal da primeira palavra do bloco a ser transferido, realizado em duas etapas pelas instruções SAI/04 e SAI/05, pois esse contador possui dezesseis bits.

A instrução SAI/05 ativa os circuitos do DMA para que a transferência seja iniciada; por esta razão, é necessário que essa instrução seja sempre a última da preparação do DMA para a transferência. Uma vez iniciada a operação, uma palavra é lida na memória e carregada no Registrador de Dados do DMA que, por sua vez, transfere a mesma para os registradores da interface em questão; concomitantemente, o Contador de Endereços é incrementado e o Contador de Palavras decrementado. O ciclo se repete até que o Contador de Palavras chegue a zero, quando é gerado um pedido de interrupção.

O Contador de Endereços do DMA não é testado quanto a possíveis estouros de páginas, mudando de página, automaticamente, quando chegar ao fim a que estiver operando.

b) Leitura de um Dispositivo de Entrada e Saída:

O procedimento necessário para a leitura de um bloco de dados de um dispositivo periférico qualquer, a partir de sua interface, por meio do DMA, é o seguinte:

- carregar o Contador de Palavras com o número de palavras do bloco que se deseja transferir, realizado do mesmo modo que no item anterior;

- carregar o endereço de entrada e saída correspondente ao dispositivo onde o DMA deverá operar, também, realizado do mesmo modo que no item anterior;

- carregar o Contador de Endereços de Escrita com o endereço da Memória Principal, onde se inicia o armazenamento dos dados a serem transferidos; este passo também é realizado em duas etapas, como no caso da leitura, pelas instruções SAI/02 e SAI/03;

- o início da transferência de dados dos registradores da interface para a memória, sempre via Registrador de Dados do DMA, é realizado pela instrução FNC/0,6, que aciona o "flip-flop" de disparo do DMA.

Neste caso, a transferência de dados, uma vez iniciada, somente será interrompida quando o conteúdo do Contador de Palavras for zero, quando ocasionará a geração de um pedido de interrupção. Também neste caso, como no anterior, não há testes quanto ao estouro de páginas, sendo automática a passagem de um página para a outra, quando for necessário.

c) Transferência de Blocos de Dados na Memória Principal:

A utilização do DMA para transferências internas à Memória Principal do minicomputador é semelhante aos casos anteriores,

onde a memória pode ser considerada como os registradores de uma interface ligada ao DMA; para este caso devemos, portanto, utilizar os dois contadores de endereços, como será mostrado no procedimento de utilização do DMA para a transferência de blocos internamente à memória, descrito a seguir:

- carregar o Contador de Palavras com o número de palavras que se deseja transferir;

- carregar o Contador de Endereços de Escrita com o endereço da memória onde se deseja iniciar o armazenamento do bloco a ser transferido;

- carregar como endereço de entrada e saída o endereço da interface de memória, ou seja, /F;

- carregar o Contador de Endereços de Leitura com o endereço de memória correspondente ao início do bloco a ser transferido; a instrução que realiza esta função já dispara os circuitos do DMA para que a transferência seja iniciada.

Quando o conteúdo do Contador de Palavras chegar a zero, como nos itens anteriores, será gerado um pedido de interrupção e a transferência cessará. Neste caso, também não são realizados testes quanto a possíveis estouros de páginas que possam ocorrer na operação do DMA, sendo feita, em qualquer um dos dois Contadores de Endereços, a passagem automática de uma página para outra.

Na tabela da figura 3.17 é apresentado um resumo das instruções utilizadas pelo DMA.

INSTRUÇÃO	DESCRIÇÃO
SAI/02	Carrega os oito bits menos significativos do Contador de Endereços de Escrita com o conteúdo do Acumulador.
SAI/03	Carrega os oito bits mais significativos do Contador de Endereços de Escrita com o conteúdo do Acumulador.
SAI/04	Carrega os oito bits menos significativos do Contador de Endereços de Leitura com o conteúdo do Acumulador.
SAI/05	Carrega os oito bits mais significativos do Contador de Endereços de Leitura com o conteúdo do Acumulador e ativa o DMA para início de transferência de dados da memória para as interfaces.
SAI/06	Carrega o Contador de Palavras com o conteúdo do Acumulador.
SAI/07	Carrega o Endereço de Entrada e Saída do periférico a ser operado via DMA, contido nos quatro bits menos significativos do Acumulador.
FNC/06	Ativa o DMA para início de transferência de dados da interface dos periféricos para a memória principal.
FNC/07	Limpa o controle do DMA.
FNC/08	Limpa interrupção do DMA.
FNC/09	Permite interrupção do DMA.
FNC/0A	Inibe interrupção do DMA.
SAL/02	Salta se DMA está livre.
SAL/03	Salta se não houver interrupção do DMA.

Figura 3.17 - Resumo das Instruções Utilizadas pelo DMA.

3.4.2. Modos de Operação

Com o intuito de deixar o "hardware" do novo minicomputador mais adaptado a um Sistema Operacional Multiprogramado, que se encontra em desenvolvimento, foram criados os dois modos de operação: Supervisor e Usuário. O Modo Supervisor deverá ser utilizado para a execução do Sistema Operacional, que gerenciará os recursos e os programas-usuários em operação no minicomputador, enquanto que o Modo Usuário deverá ser utilizado para a execução dos programas-usuários.

Com a utilização dos modos de operação foi necessário criar-se uma nova instrução que, quando executada, provocasse um chaveamento entre os mesmos; a instrução criada foi a de Chamada de Supervisor (CSV), que passa o controle do minicomputador de Modo Usuário para Modo Supervisor. O código utilizado para essa nova instrução é o D0, código este do grupo das instruções imediatas e que não era utilizado pelo Patinho Feio.

A instrução CSV, cuja carta de micro-operações encontra-se na figura 3.18, que além de chavear o modo de operação para Supervisor, gera um pedido de interrupção especial, como já foi mencionado no item 3.1.4, fazendo com que o endereço de retorno ao programa usuário seja armazenado nos endereços /F e /10 da memória.

Além da utilização das instruções CSV, o controle do minicomputador passará para Modo Supervisor nos seguintes casos:

a) quando for ligada a fonte de alimentação, com a conseqüente geração do sinal Limpa ao Ligar (LAL);

b) quando for acionado o botão de Preparação do Painel;

c) quando ocorrer alguma interrupção, especial ou de entrada e saída.

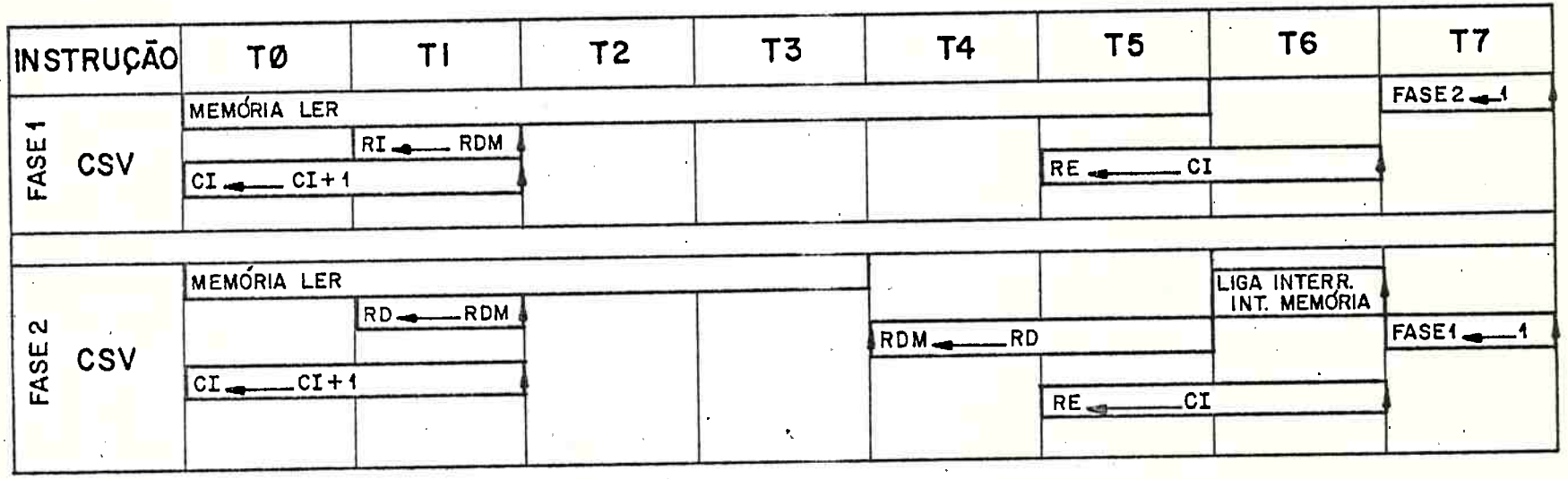


FIGURA 3.18 — CARTA DE MICRO-OPERAÇÕES DA INSTRUÇÃO CVS.;

A operação inversa, ou seja, passar o controle do Modo Supervisor para o Modo Usuário, é realizada pela execução de uma instrução PUL, precedida da função de chaveamento de modo de operação FNC/F,9. A passagem para o Modo Usuário se processa do mesmo modo que um retorno de interrupção especial, ou seja, é realizado um pulo para o endereço contido nas posições /F e /10 da memória, e o "flip-flop" de interrupção especial é limpo; por esse motivo, para realizar-se o primeiro chaveamento de Modo Supervisor para Usuário, é necessário carregar-se, nesses endereços, um conteúdo conveniente.

Os modos de operação são posicionados pelo mesmo "flip-flop" que indica a existência de interrupção por chamada de Supervisor; dessa forma, o modo de operação pode ser testado por instruções do tipo SAL/F, n, as mesmas que são utilizadas para determinar o tipo de interrupção especial que foi pedido.

Com a inclusão dos modos de operação, as instruções de entrada e saída, SAI, ENT, FNC e SAL, e os comandos especiais, PUL, ESP, PERM, INIB e PARE, foram consideradas instruções privilegiadas, isto é, somente podem ser executadas em Modo Supervisor. Caso o programador tente a execução de alguma dessas instruções em Modo Usuário, será gerado um pedido de interrupção especial por instrução inválida.

Como já foi comentado anteriormente se o controle do minicomputador estiver em Modo Supervisor, isto significa que os endereços /F e /10 da memória já devem estar ocupados com o endereço de retorno ao programa usuário; logo, ficará terminantemente proibido o uso da instrução CSV quando em Modo Supervisor, com pena de perder-se o endereço de retorno. Para os outros casos de interrupções especiais, que possam ocorrer quando em Modo Supervisor, valem as considerações feitas no item 3.1.4.

Os circuitos que implementam os modos de operação foram construídos na placa de interface com a memória, devido à proximidade com os circuitos de interrupção especial que já se encontram nessa placa.

3.4.3. Carregador Absoluto Automático

O carregador absoluto é um programa extremamente utilizado, pois é usado sempre que se deseja carregar um programa absoluto; desse modo, é interessante que esse programa permaneça disponível na memória, para que seja executado sempre que necessário, sem que seja necessário carregá-lo a cada vez.

Para conservar o programa residente na Memória Principal do minicomputador, seria preciso que se protegesse a parte da memória onde ele se encontra, além da necessidade de carregá-lo a cada vez que a fonte do computador fosse ligada, pois a memória é volátil.

Para evitar-se os problemas relacionados com a proteção, conseqüentemente perda de um espaço da Memória Principal, e, principalmente,o trabalho de carregar-se o programa sempre que se ligar o computador, o programa do carregador absoluto será gravado em uma memória de apenas leitura (ROM); e, quando fosse necessária sua utilização, em vez da busca das instruções serem realizadas na Memória Principal, são realizadas na ROM, isto é, quando o carregador absoluto estiver sendo executado, a memória ROM é utilizada, nas Fases 1 e 2 para a busca das instruções e a Memória Principal nas demais.

Os circuitos que acionam o carregador absoluto entrarão em operação quando for pressionado o botão relativo ao carregador absoluto automático existente no painel do minicomputador. O sinal gerado pelo botão, colocará o minicomputador em estado de carga, através do acionamento de um "flip-flop",

o qual, também, fará com que a ROM seja acionada nos tempos adequados. Deve-se notar, entretanto, que com a filosofia adotada, a execução do programa se passa como se o mesmo estivesse armazenado na Memória Principal do minicomputador.

A desativação dos circuitos do carregador absoluto automático se processa com a execução de uma instrução PARE que, basicamente, desativa o "flip-flop" mencionado anteriormente, fazendo com que o minicomputador retorne ao seu estado normal.

Os circuitos do carregador foram implementados na placa de interface com a memória, devido a sua íntima relação com os circuitos que controlam a Memória Principal. O diagrama de blocos dos circuitos está mostrado na figura 3.19.

Finalmente, existe, ainda, a possibilidade de acionamento do carregador absoluto automático por "software", através da execução da instrução FNC/F,F que se comportará do mesmo modo que o acionar da chave do painel. Maiores detalhes sobre a implementação desses circuitos serão encontrados no capítulo 4, onde serão analisados detalhadamente os circuitos constantes na placa da interface com a memória.

3.5. Conclusões

Com as alterações descritas neste capítulo, o minicomputador se tornou bastante adequado para o desenvolvimento de um "software" bastante sofisticado, comportando facilmente sistemas operacionais multiprogramados, que serão de grande valia para aplicações didáticas. Além de tornar possível, com a implantação de uma unidade de disco magnético, a implementação de um "Remote Job Entry", com um computador de grande porte, de ótima capacidade e performance, abrindo o campo para estudo de ligações de minicomputadores com computadores de grande porte.

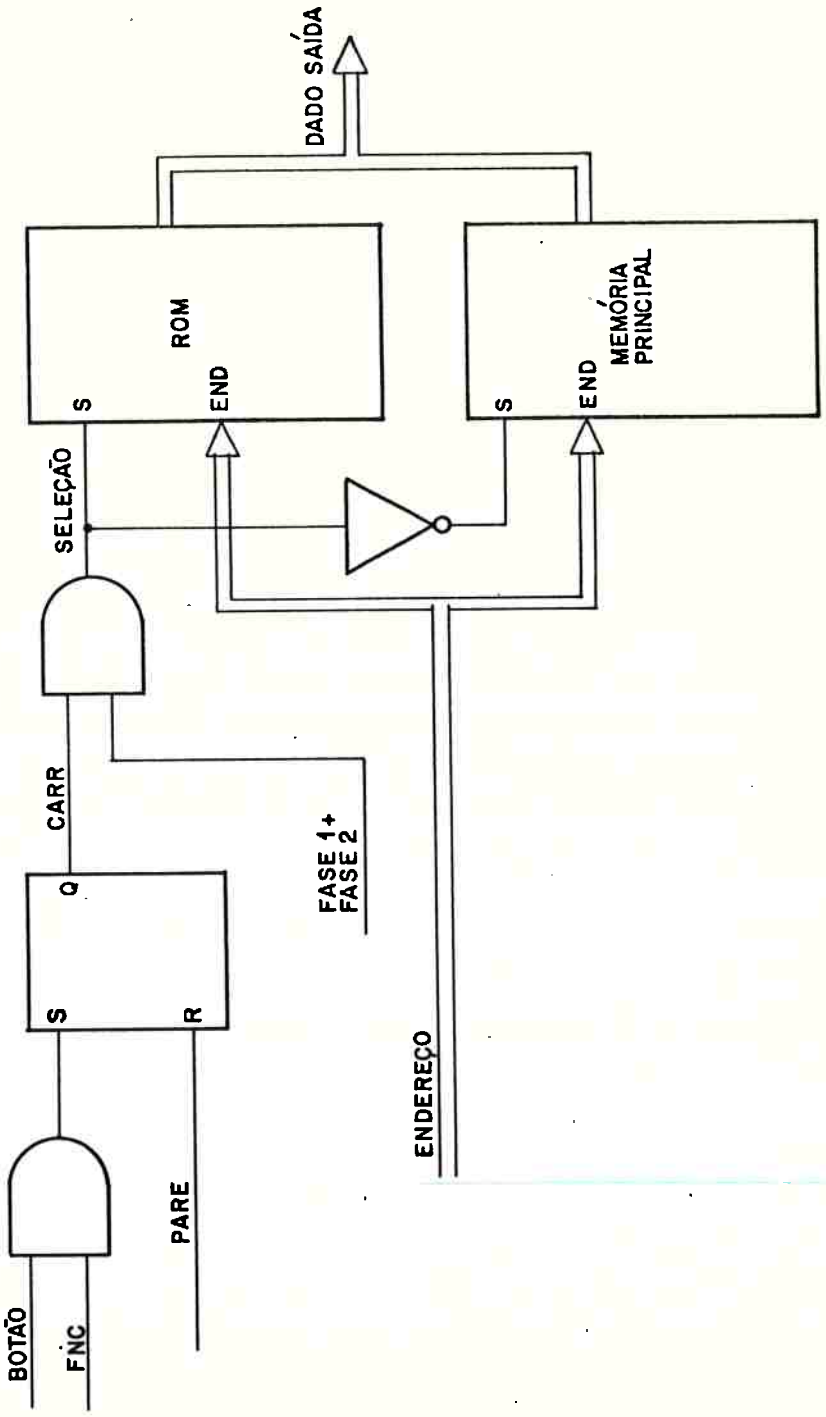


FIGURA 3.19 – DIAGRAMA DE BLOCOS DO CARREGADOR ABSOLUTO AUTOMÁTICO

CAPITULO 4

PROJETO DA MEMÓRIA PRINCIPAL

DA NOVA VERSÃO DO MINICOMPUTADOR PATINHO FEIO

4. PROJETO DA MEMÓRIA PRINCIPAL DA NOVA VERSÃO DO MINICOMPUTADOR PATINHO FEIO

Neste capítulo será apresentado o projeto da Memória Principal da nova versão do minicomputador Patinho Feio, cujos principais requisitos são:

- palavras de oito bits;
- tempo de ciclo máximo de 1600ns;
- tempo de acesso máximo de 500ns;
- capacidade máxima de 32768 palavras (32K);
- deteção de erros por meio de testes de paridade;
- espaço de duas placas na caixa do minicomputador, para a configuração de 32K.

Dos requisitos citados, os três primeiros derivam da própria arquitetura e controle do Patinho Feio; os dois seguintes, baseiam-se nas definições do capítulo anterior, e, finalmente, o último vem das restrições de empacotamento do computador. (42)

O desenvolvimento do projeto da memória foi baseado, inteiramente nos requisitos mostrados anteriormente, devido às suas características, consistiu, basicamente, das quatro etapas seguintes:

a) escolha da pastilha de memória a ser utilizada;

b) projeto do módulo de armazenamento, onde a informação é efetivamente armazenada;

c) projeto do módulo de controle, onde são gerados os sinais de controle para o módulo de armazenamento e realizado o

interfaceamento com o fluxo de dados do minicomputador;

d) implementação e testes

Dado o espaço reservado para a instalação da Memória Principal, a solução adotada para o empacotamento foi acondicionar o módulo de controle em uma placa ligada com a técnica "wire-wrap", que ocupa um espaço de placa, e o módulo de armazenamento em duas placas com fiação impressa, que ocupam meio espaço de placa cada uma.

Fundamenta-se a escolha de placas de fiação impressa, para a implementação do módulo de armazenamento, na baixa imunidade a ruídos que a maioria das pastilhas de memória possui, à necessidade de fontes de alimentação bem desacopladas e à existência de sinais extremamente rápidos, que são geradores de ruídos em potencial.

Como o módulo de armazenamento é composto de duas placas, portanto, cada uma deve ter capacidade de armazenar 16384 palavras, ou seja, 16K "bytes".

A seguir, serão apresentadas, com detalhes, cada uma das quatro etapas em que o projeto foi dividido.

4.1. Escolha da Pastilha de Memória

O número bastante grande de tipos diferentes de pastilhas de memória, existentes no mercado, torna difícil a determinação da pastilha que melhor se adapte a cada caso; por esse motivo, foram utilizados alguns fatores eletivos que ajudaram muito a escolha da pastilha a ser utilizada no projeto da memória. Esses fatores são os seguintes:

a) número de bits de memória, que está intimamente relacionado com a densidade da memória que se deseja construir;

b) facilidade de utilização, ou seja, simplicidade do projeto e da implementação dos circuitos de interfaceamento com a pastilha;

c) potência dissipada em operação, que está relacionada com o dimensionamento das fontes de alimentação que proverão as tensões necessárias para a operação das pastilhas;

d) potência dissipada quando não em operação, que está relacionada com a ventilação necessária à memória e com o dimensionamento das baterias, quando as mesmas forem utilizadas nos casos de falhas de energia;

e) tempos de acesso e de ciclo, que estão relacionados com a velocidade da memória e sempre devem ser menores que os tempos definidos para o sistema de memória, pois há necessidade de compensar-se os atrasos dos circuitos de interfaceamento;

f) custo, que, obviamente, deve ser o menor possível;

g) fornecedores alternativos, que é um fator muito importante para a manutenção e futuras expansões do sistema de memória.

Como a partição já havia sido definida em 16K palavras por placa, que era uma densidade bastante alta em 1976, quando foi realizada esta parte do projeto, resolveu-se iniciar a escolha da pastilha pela densidade de bits, que, por certo, era o fator que se apresentava mais crítico.

As pastilhas que na época eram disponíveis no mercado possuiam densidades que variavam de 64 até 4096 bits por pastilha, e a escolha deveria recair naquela que possibilitasse a implementação de placas com 16K palavras de nove bits (um bit de paridade por "byte"), com dimensões de, aproximadamente, 25 por 25 cm. Nessa placa, utilizando-se as pastilhas de 4096 bits, seriam necessárias 36 pastilhas de memória, que é uma quantidade bastante razoável e proporciona um projeto de "Lay-Out" de fiação impressa simples e imune a ruídos.

Se, ao invés das pastilhas de 4096 bits, fossem utilizadas as de 2048 bits, seriam necessárias 72 pastilhas de memória, o que já torna o projeto do "Lay-Out" um pouco trabalhoso e a imunidade a ruídos deve, com isso, ser bastante comprometida.

Com as pastilhas de 1024 bits, seriam necessárias 144 pastilhas, quantidade que decididamente uma placa com as dimensões já citadas não comportaria.

A facilidade de projeto do "Lay-Out" e a possibilidade da existência de imunidade muito boa a ruídos dirigiu a escolha da pastilha de memória para as de 4096 bits, apesar de na época ser um produto muito novo e, conseqüentemente, pouco testado; porém, como as mais conceituadas indústrias de semicondutor já tinham lançado ou estavam para lançar suas versões no mercado internacional, não havia razões para preocupações.

Um dos pontos mais importantes que influenciam no bom funcionamento do módulo de armazenamento é, justamente, o "Lay-Out" das placas que compõem esse módulo, pois ele deve proporcionar, às pastilhas de memória, boas condições de aterramento e alimentação, e não permitir que ocorram interferências entre as linhas de dados, as de endereço e as de controle, pois a imunidade a ruídos das pastilhas de memória é muito baixa.

As pastilhas de memória com 4096 bits existentes no mercado da época eram manufaturadas com tecnologia MOS canal N, como já mencionado no capítulo 2; possuiam células de armazenamento dinâmicas, com tempos de acesso que variavam de 200ns a 500ns e tempos de ciclo de 400ns a 1000ns, tempos esses, perfeitamente compatíveis com os requisitos para o projeto da Memória Principal do novo minicomputador.

Quanto à potência dissipada, quando em operação, as pastilhas de 4096 bits dissipam, em média, mais que as pastilhas de menor número de bits, mas em compensação quando em repouso, dissipam bem menos. Apenas para ter-se uma ordem de grandeza dos números envolvidos, as pastilhas de 4096 bits dissipam em média 613mW em operação e 15mW em repouso, enquanto que as de densidades menores dissipam 489mW em operação e 63mW em repouso.

Em um cálculo de pior caso para a potência dissipada, seria necessário considerar-se sempre nove pastilhas em operação, que corresponde à palavra acessada, e as outras 27 em repouso; para esse cálculo, utilizando as médias do parágrafo anterior, uma placa de armazenamento com pastilhas de 4096 bits dissiparia 5937mW, enquanto que com pastilhas de densidades menores, dissiparia 6102mW; onde pode-se concluir que, em termos de potência dissipada, as pastilhas, praticamente, se comparam.

Os fabricantes de pastilhas de memória fornecem seus produtos de 4096 bits em três tipos de empacotamento "dual-in-line", com 16, 18 e 22 pinos. A escolha do tipo de empacotamento implicará, diretamente, na complexidade dos circuitos de interfaceamento, pois, as pastilhas de 22 pinos têm doze utilizados para endereçamento, um para o dado de entrada, um para o dado de saída, três para sinais de controle, quatro para as fontes de alimentação e um desconectado; nas de 18 pinos os dados de saída e de entrada são multiplexados no mesmo

pino, além da perda de um sinal de controle; e nas de 16 existem apenas seis pinos para o endereçamento, o que significa que deve-se multiplexar os seis bits mais significativos do endereço com os seus seis bits menos significativos.

O circuito de controle para a pastilha de 22 pinos é o mais simples, pois todos os sinais são diretos, enquanto que para a de 18 pinos existe a necessidade de implementação de uma via bidirecional para o dado de escrita e de leitura, o que implica em um circuito de controle um pouco mais elaborado. Para as pastilhas de 16 pinos, além da necessidade de multiplexação dos endereços, ainda deve-se gerar dois sinais de controle adicionais, correspondentes às entradas CAS e RAS, que indicam para os circuitos da pastilha qual a parte do endereço que está presente nas linhas de endereçamento; isso faz com que o circuito de controle se torne ainda mais elaborado que o das pastilhas de 18 pinos.

O principal motivo para o uso das pastilhas de 16 e 18 pinos é a economia de espaço, pois segundo cálculos realizados com as pastilhas de 18 pinos economiza-se cerca de 45% de espaço, e com as de 16 pinos 56%; porém, como a placa que se utilizará comporta facilmente as 36 pastilhas de memória que perfazem as 16K palavras de nove bits, não existe necessidade de economia de espaço; portanto, optou-se pela pastilha de 22 pinos, que implicava em um circuito de controle mais simples. (1)

A escolha da pastilha de 22 pinos trouxe uma vantagem adicional, que é a existência de um menor número de transições de tensão nas linhas de endereço e de controle da placa de armazenamento, diminuindo a probabilidade de ocorrência de interferências e ruídos entre as mesmas, aumentando, conseqüentemente, a confiabilidade do módulo de armazenamento.

Como a maioria das pastilhas de memória, que existiam no mercado, estavam dentro dos requisitos de tempo impostos para o projeto da memória, não deveriam ocorrer grandes problemas na determinação de uma pastilha com tempos de ciclo e de acesso conveniente mas, como no Patinho Feio um dos vínculos para o aumento de sua velocidade foi o tempo de ciclo da Memória Principal, agora, com a implementação da nova memória, poder-se-ia reduzir o seu ciclo de máquina, pela metade, se a sua memória tivesse 250ns de tempo de acesso e 800ns de ciclo máximo. Com esses tempos, os tipos de pastilhas que poderiam ser utilizados ficam bem reduzidos pois,o máximo tempo de acesso que se pode tolerar, para as pastilhas de memória é de 200ns, ficando, dessa forma, o controle com possibilidade de apenas 50ns de atraso.

As pastilhas com 200ns de tempo de acesso possuem 400 ns de ciclo de leitura ou escrita, tempo este que está perfeitamente de acordo com as últimas especificações.

Finalmente, o preço das pastilhas de memória com as características desejadas, era, praticamente, o mesmo para todos os fabricantes; resolveu-se, então, escolher a pastilha que possuisse o maior mercado; como a Intel era a responsável pela maior parte do mesmo, foi escolhida uma das pastilhas dessa fábrica. A pastilha que preenchia todos os requisitos já citados e discutidos era a tipo 2107B, da fábrica já citada, e a mais moderna na época.

4.2. Descrição da Pastilha

A pastilha de memória tipo 2107B, construída com tecnologia MOS canal N, com tempo de acesso de 200ns e ciclo de ler ou escrever de 400ns, com período máximo de refrescamento de 2ms, possui todas as entradas e saídas,com exceção da entrada de "Chip Enable", susceptíveis a níveis de tensão compatíveis com a tecnologia TTL (Transistor Transistor Logic),que

facilita sobremaneira o seu interfaceamento.

A seguir, será descrito cada um dos sinais presentes nos pinos da pastilha , com suas respectivas funções:

a) Sinais de Endereço - A0 a A11: indicam qual das 4096 células de armazenamento será acionada; o endereço deve ter doze bits de comprimento e estar codificado em binário,com A0 correspondendo ao bit menos significativo e A11 ao mais significativo;

b) Dado de Entrada - DIN: indica o estado do bit a ser armazenado durante a operação de armazenamento; caso a operação seja de leitura, essa entrada pode permanecer em qualquer estado;

c) Dado de Saída - DOUT: contém o dado lido da célula de armazenamento selecionada durante a operação de leitura; esse dado, entretanto, é fornecido invertido com relação ao armazenado na célula em questão; outra particularidade desta saída é que ela possui três estados ("Tri-State") o estado zero e o um convencionais, e um terceiro estado que deixa a saída com alta impedância, enquanto a pastilha não estiver selecionada. Este tipo de saída é muito útil quando se deseja realizar expansões que dependam de interligações de pinos de saída de várias pastilhas, neste caso isto é feito apenas interligando-se as saídas, sem maiores preocupações;

d) "Chip Select" - CS: entrada para o sinal de controle que, quando em nível zero, seleciona a pastilha para operações de leitura e armazenamento e, quando em nível um, inibe a lógica de entrada e saída da mesma;

e) "Chip Enable" - CE; entrada para o sinal de controle responsável pelo disparo do relógio central dos circuitos de controle internos da pastilha; é a única entrada da pastilha, cujos níveis de tensão não são compatíveis com os níveis utilizados pela tecnologia TTL. O sinal presente nesta entrada deve ter níveis de tensão de zero a doze Volts, com tempos de subida menores que 40ns, pois esse tempo influi, diretamente, no nível máximo de tensão aceitável para o estado zero dos sinais de dado de entrada e de endereço;

f) "Write Enable" - WE: entrada para o sinal de controle que seleciona se a operação será de armazenamento ou de leitura, durante o próximo ciclo de memória.

O diagrama de blocos dos circuitos internos à pastilha é mostrado na figura 4.1, onde os seus sinais de endereço, correspondentes aos bits menos significativos, são armazenados e decodificados pelo bloco Registrador/Decodificador de Linhas, selecionando uma das 64 linhas da Matriz de Memória. Os outros seis bits que completam o endereço são armazenados e decodificados pelo bloco Registrador/Decodificador de Colunas, que seleciona uma das 64 colunas da Matriz de Memória; a linha e a coluna selecionadas endereçam uma única célula de armazenamento, onde a operação deverá ser realizada.

A borda de subida do sinal presente na entrada CE dispara o circuito Gerador de Tempos de Controle, responsável pela geração de todos os tempos para o controle interno da pastilha.

Os sinais presentes nas entradas CS, WE e DIN atuam no circuito de entrada e saída, onde o sinal em WE ativa ou não o registrador que receberá o dado que será armazenado na Matriz de Memória. O sinal em CS libera ou não a lógica de entrada e saída da pastilha que, conseqüentemente, posiciona o dado de saída no pino DOUT, ou o conserva no estado de alta impedância.

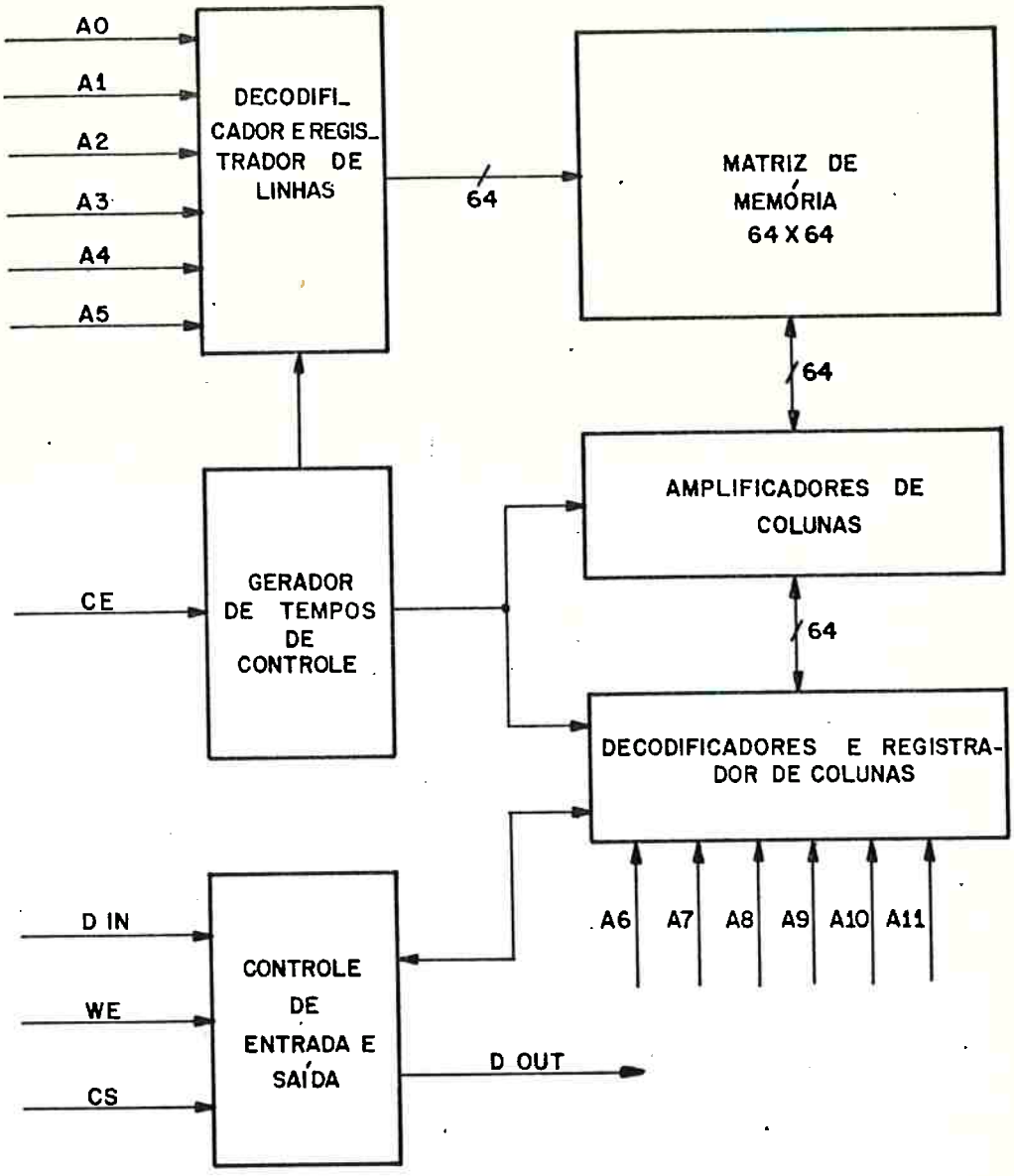


FIGURA — 4.1 — DIAGRAMA DE BLOCOS DA PASTILHA (2107B).

A Matriz de Memória é constituída, basicamente, de células de armazenamento compostas de um transistor de chaveamento e um capacitor responsável pelo armazenamento da informação. A figura 4.2. mostra as células em conjunto com os amplificadores de leitura e parte do circuito de entrada e saída.

Como pode ser verificado na figura 4.2., o capacitor de armazenamento CARM será conectado à linha de leitura, pelo transistor Q2, quando este for ativado pela seleção de linhas. Deve-se observar, entretanto, que cada linha selecionada pelo Decodificador de Linhas conecta 64 capacitores de armazenamento a 64 linhas de leitura distintas. A linha de leitura, entretanto, somente será ligada à linha de entrada e saída quando o transistor Q3 for ativado, o que é feito através do Decodificador de Colunas, que aciona apenas uma das 64 colunas; convém notar que cada coluna está também conectada a 64 transistores Q2.

A seguir, será descrito o princípio de operação da célula de armazenamento utilizada na Matriz de Memória e esquematizada na figura 4.2. Em primeiro lugar, considerar-se-á uma operação de leitura na célula com o capacitor de armazenamento CARM descarregado, isto é, o potencial do ponto A da figura 4.2. está com zero Volts em relação à Terra.

Antes da entrada de controle CE ser acionada, todas as linhas de leitura são conservadas no potencial V' através dos transistores Q1; isto faz com que o capacitor C_E/S, correspondente à capacitância parasita da linha de leitura, fique carregado e apresente uma diferença de potencial V' entre seus terminais.

Após a decodificação do endereço, a coluna selecionada conecta uma linha de leitura com a linha de entrada e saída, através do transistor Q3, e a linha selecionada conecta o CARM com a linha de leitura, através do transistor Q2.

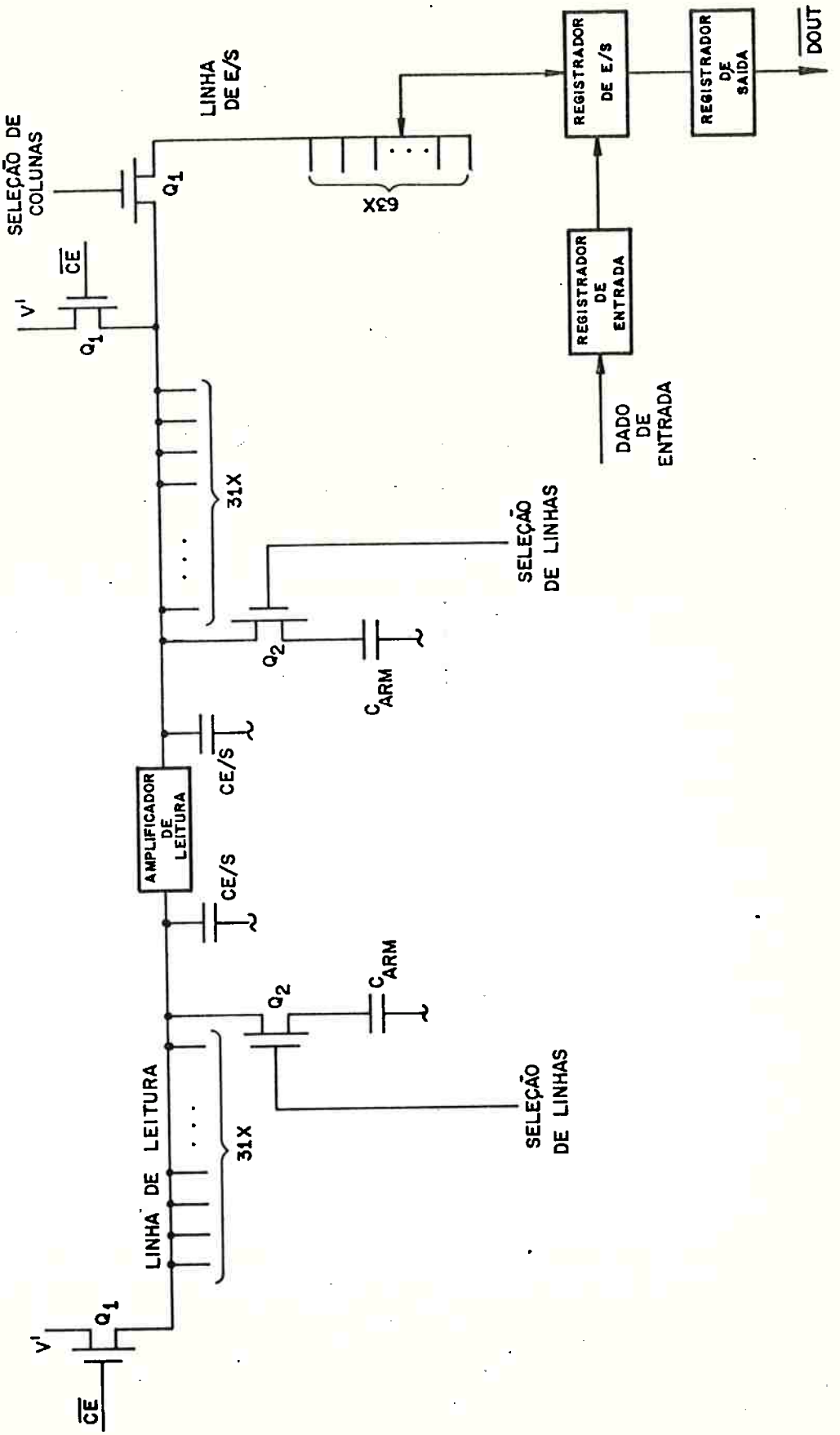


FIGURA 4.2 – CÉLULA DA MATRIZ DE MEMÓRIA DA PASTILHA 2107B

Com a conexão do CARM com a linha de leitura, haverá uma redistribuição de cargas nos capacitores CARM e C_E/S e a tensão na linha de leitura se alterará; como CARM está inicialmente descarregado, a tensão na linha de leitura abaixará e, conseqüentemente, ele será carregado a uma tensão próxima a V', pois C_E/S é muito maior que CARM.

A variação de tensão na linha de leitura que é muito pequena, deve ser sentida pelo amplificador de leitura, que armazena o resultado, transferindo-o para o "Buffer" de Entrada e Saída, através do transistor Q3.

Caso o capacitor CARM estivesse inicialmente carregado, a linha de leitura sofreria um pequeno aumento de tensão, pois a tensão de CARM é maior que V', que também seria detetado e armazenado pelo amplificador de leitura.

A figura 4.3. mostra o gráfico da variação de tensão com relação ao tempo na linha de leitura, quando esta é conectada com o capacitor CARM e o amplificador de leitura acionado.

Como o processo de leitura, descrito anteriormente, é destrutivo, pois altera a carga armazenada no capacitor CARM, deve-se prover a restauração da carga que ele inicialmente continha. A restauração, entretanto, é realizada automaticamente, pelo próprio amplificador de leitura, porque quando este armazena a informação extraída do CARM, a linha de leitura é colocada no potencial de um ou de zero lógico, conforme mostrado no gráfico da figura 4.3., o que leva o capacitor CARM à sua condição inicial de carga.

Todo o processo de restauração da carga dos capacitores é completamente transparente ao usuário, este fato faz com que essas pastilhas sejam, do ponto de vista dos usuários, como de leitura não destrutiva, pois não é necessário projetar-se, no circuito de controle das placas de armazenamento, um módulo que se responsabilize pela restauração das posições de memória lidas.

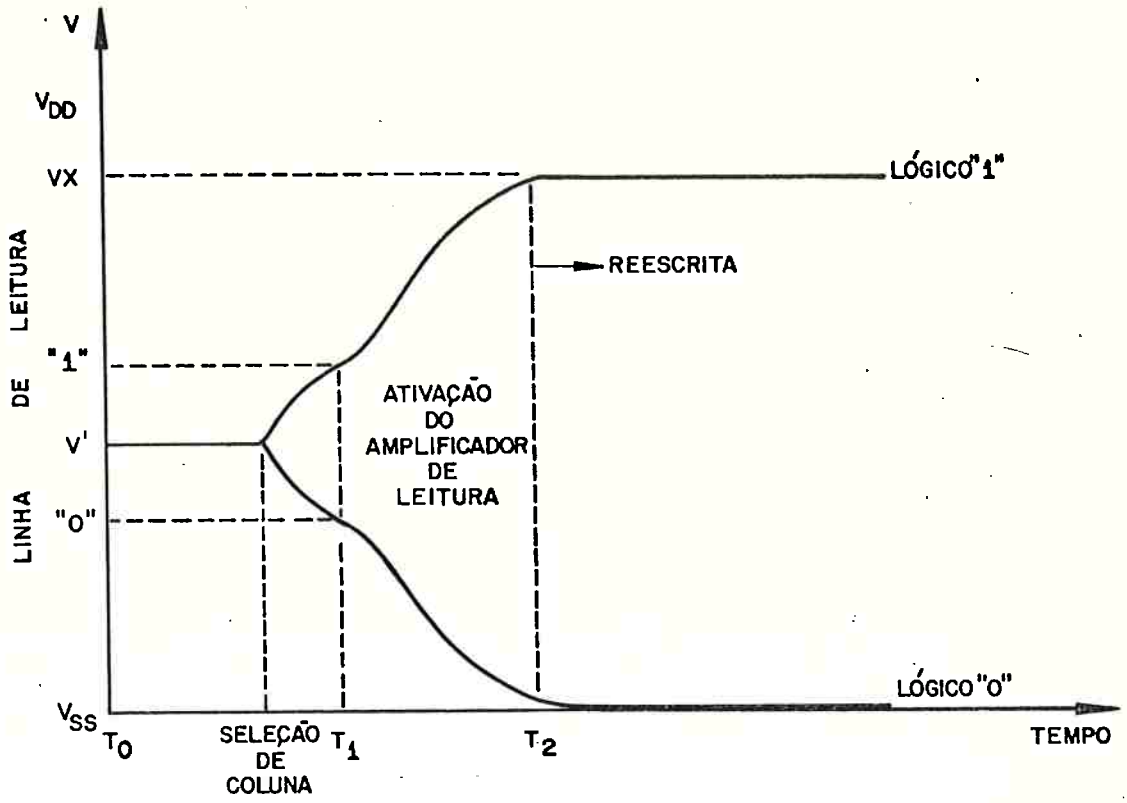


Figura 4.3 - Variação da Tensão nas Linhas de Leitura.

A operação de armazenamento é idêntica à fase de restauração, realizada durante a leitura, ou seja, o amplificador de leitura leva a linha de leitura, selecionada pelo decodificador de colunas, à tensão correspondente ao dado que se deseja armazenar; com isso, quando uma célula é selecionada pelo decodificador de linhas, o capacitor CARM é conectado à linha de leitura e, conseqüentemente, carregado ou descarregado, conforme o caso. Nas operações de armazenamento, o dado é armazenado logicamente invertido, resultando, com isso, a obtenção do dado negado durante as operações de leitura.

As especificações elétricas das pastilhas de memória tipo 2107B podem ser encontradas nos manuais do fabricante, referência (36), mas, quanto às mesmas, são pertinentes as seguintes observações:

a) a corrente da fonte de alimentação V_{DD} (+12V), quando a pastilha não está ativa, é especificada em no máximo 200μA, ou seja, quando o sinal presente na entrada CE estiver em nível lógico zero, cujo máximo de tensão é especificado em 1V; entretanto, se a tensão nessa entrada ultrapassar os 0,6V, os circuitos internos à pastilha podem ficar parcialmente operantes e ocasionar um consumo de potência maior que o especificado pelo manual. Conclui-se que, para sistemas de memória, onde o baixo consumo de potência é importante, deve-se tomar cuidados especiais quanto aos níveis de tensão dos sinais das entradas de controle CE;

b) a tensão máxima aceitável para o nível lógico zero dos sinais que atuam nas entradas, cujas tensões são compatíveis com a tecnologia TTL, é especificado pelas tabelas dos manuais como sendo 0,6V, quando o tempo de subida para o sinal presente na entrada CE é τ = 20ns; entretanto, o valor correto desse nível em função de τ deve ser consultado no gráfico apropriado, onde se nota que quanto menor o tempo de subida, maior será a tensão aceitável, indo de 0,65V para τ = 40ns até 1,25V para τ = 10ns.

É durante os ciclos de refrescamento que as linhas de endereço e de dados sofrem maior influência das transições rápidas dos sinais em CE, pois nesses instantes as fontes estão sendo solicitadas ao máximo e todos os sinais em CE estão em transição; por este motivo é que, geralmente, ao se conseguir que todos os sinais permaneçam dentro dos limites especificados, não deverá haver problemas com os ciclos normais de armazenamento ou leitura;

c) a corrente média a ser fornecida pela fonte V_{DD}(12V), I_{DDAV}, durante as operações de leitura ou armazenamento, é especificada pelos manuais em 54mA para um tempo de ciclo de 400ns, CE ativo durante 230ns e temperatura de 27°C; para

outros valores dos parâmetros citados devem ser consultados os gráficos correspondentes. Observando-se esses gráficos, conclui-se que correntes maiores são necessárias quando se tem pequenos tempos de ciclos e grandes tempos de CE, a baixas temperaturas;

d) os sinais de endereços já devem estar estáveis antes que o sinal atuante em CE inicie a subida, isto é, ultrapasse os 0,6V; caso contrário, os registradores de endereços dos circuitos internos da pastilha de memória irão armazenar dados errados.

e) finalmente, as saídas DOUT, correspondentes ao dado de saída, sempre ficam em nível zero no início dos ciclos de leitura ou armazenamento; este fato torna proibitiva a ligação direta dos sinais de saída das pastilhas de memória com as entradas "set" ou "reset" de "flip-flops" para serem utilizados como registradores de dados de leitura: por esse motivo, deve-se sempre utilizar registradores tipo "latch" (36), (37).

4.3. Projeto do Módulo de Armazenamento

O módulo de armazenamento é responsável pela retenção propriamente dita dos dados. Como já foi citado anteriormente, é composto de duas placas onde estão localizadas as pastilhas de memória, as quais devem ser arranjadas na placa de armazenamento, de forma a constituir palavras de nove bits, com capacidade de endereçamento de 16K palavras.

O endereçamento das 16K palavras é realizado pelos doze bits necessários para as pastilhas de memória e por mais quatro sinais decodificados, fornecidos pelo módulo de controle e que indicam qual conjunto de 4096 palavras será acionado. Dois desses quatro sinais irão atuar na geração dos sinais de controle das entradas CE e os outros dois nos das CS das referidas pastilhas.

O tempo de subida dos sinais de controle, que atuam nas entradas CE, é um fator muito importante para o bom desempenho da placa de armazenamento; por esse motivo, para a geração desse sinal, foi optado pela utilização do circuito integrado tipo 3245, também da Intel, especialmente projetado para uso em projetos de memórias dinâmicas com pastilhas de 4096 bits. O circuito 3245 apresenta várias vantagens sobre os outros circuitos integrados com a mesma função, isto é, a geração dos sinais de controle com níveis de zero e doze Volts, sendo que as principais são as seguintes:

a) utilizam apenas duas fontes de alimentação e os outros tipos usam, normalmente, três;

b) não é necessário o uso de componentes ativos discretos externos à pastilha, enquanto que nos outros tipos é necessário pelo menos um transistor de chaveamento.

A pastilha tipo 3245, cujo diagrama é mostrado na figura 4.4., é composta de quatro conversores controlados pelas entradas C, R, E1 e E2. Esses conversores fornecem sinais com tempos de subida da ordem de 20ns, com carga de nove pastilhas de memória tipo 2107B, desde que as capacitâncias parasitas da fiação utilizada para a distribuição desses sinais sejam baixas, isto é, da ordem de 200pF. Cada entrada I_i aciona a saída O_i correspondente, a qual pode alimentar no máximo nove entradas CE das pastilhas de memória.

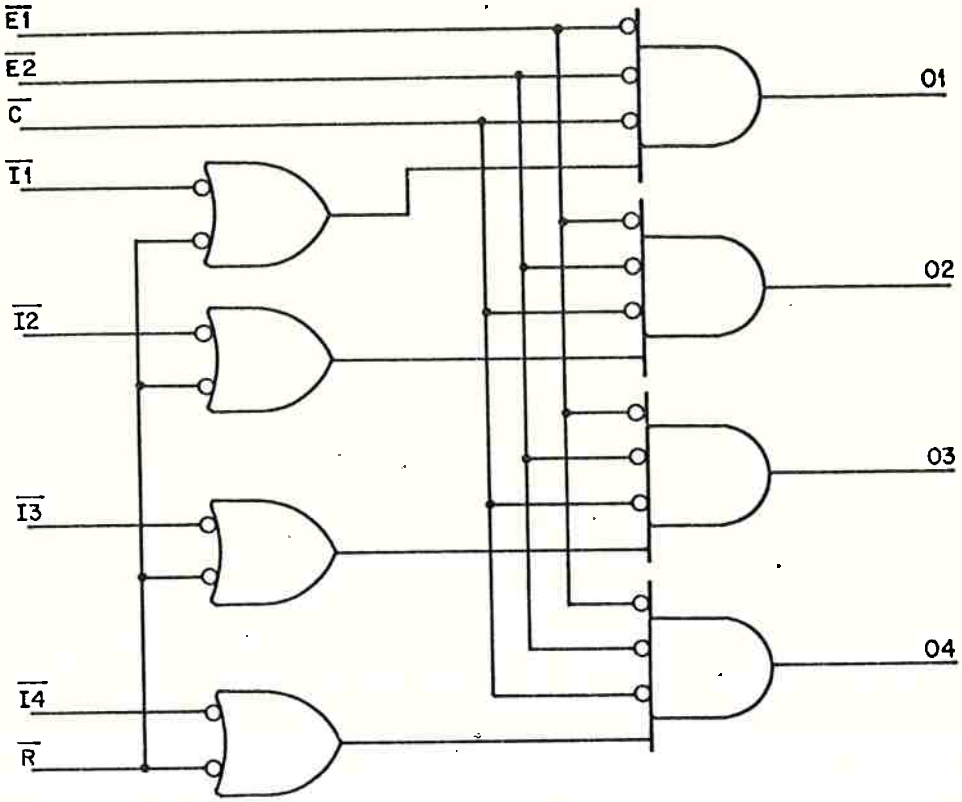


Figura 4.4. - Diagrama do Circuito Integrado Tipo 3245

No projeto da placa de armazenamento, as entradas I_1 e I_2 da pastilha 3245 foram utilizadas para gerar os sinais de CE, utilizados nas pastilhas de memória correspondentes às primeiras 8192 palavras. Foram necessárias duas entradas, porque para as 8192 palavras devem ser acionadas dezoito entradas de controle CE e cada saída O_i pode ser ligada a apenas nove. As outras duas entradas da 3245 foram utilizadas para as pastilhas de memória responsáveis pelos endereços de 8192 a 16384, que também compõem um conjunto de dezoito entradas CE.

Em resumo, as saídas 1 e 2 são ativadas quando o endereço desejado se encontra entre os primeiros 8192 da placa de armazenamento selecionada e as saídas 3 e 4 quando entre os seguintes 8192; este fato é indicado por dois dos sinais de endereçamento, que provêm do módulo de controle já decodificados, e que são ligados nas entradas 1 e 2 e nas 3 e 4, respectivamente.

A entrada de controle C da pastilha 3245 foi utilizada para determinar o tempo que as saídas O_i devem ficar ativas e, conseqüentemente, a duração do sinal de controle presente nas entradas CE das pastilhas de memória, tempo este que é dado por um sinal de controle proveniente do módulo de controle.

Durante os períodos de refrescamento é necessário acionar-se todas as pastilhas de memória ao mesmo tempo, ou seja, todas as saídas O_i da 3245 devem ser ativadas; para tal foi utilizada a entrada de controle R, que possibilita a ativação de todas as saídas da pastilha. Foi ligado nessa entrada o sinal que indica que a memória se encontra em estado de refrescamento.

Devido ao tempo de subida bastante pequeno apresentado pela pastilha 3245, os sinais presentes nas saídas O_i apresentam "Overshoots" e "Undershoots" acentuados e, para atenuá-los até um nível aceitável, foi necessário ligar-se um resistor de 20Ω não indutivo em série com cada saída O_i. O valor desses resistores foi escolhido de forma a obter-se uma atenuação máxima nos picos, sem que se prejudicasse os tempos de subida conseguidos.

Todas as entradas da pastilha de memória que operam com níveis de tensão compatíveis com os da tecnologia TTL, ou seja, os doze de endereço, a Din, a CE e a CS, são acionadas por sinais provenientes de portas "NOT" da família TTL. Essas portas foram utilizadas para que as entradas das pastilhas de memória ficassem isoladas da via de memória, facili

tando-se dessa forma, os futuros trabalhos de manutenção e eliminando-se os ruídos que por ventura apareçam na via.

Cada entrada das pastilhas de memória consome 10μA, portanto, como cada saída TTL fornece 400μA, pode-se utilizar uma porta para acionar até quarenta entradas pertencentes às pastilhas de memória. Devido aos cuidados que se deve tomar com as tensões do nível lógico zero, que não devem ultrapassar os valores dados pelo gráfico do tempo de subida do sinal atuante em CE, como já mencionado anteriormente, foram utilizadas portas "High Speed", que são as mais indicadas para o caso em questão, pois fornecem tensões muito baixas no nível zero. É entretanto, praticamente, proibitivo o uso das pastilhas com tecnologia "Schottky", pois possuem, em média, 100mV a mais que as "High Speed" ou as normais na tensão de nível zero.

Os dezoito sinais, provenientes das saídas DOUT de cada pastilha de memória que responde pelos endereços de 0 a 8191, são conectados aos correspondentes de cada pastilha que responde pelos endereços de 8192 a 16383, por fiação existente na própria placa de armazenamento; por fim, esses dezoito sinais são conectados dois a dois, através de fiações no painel traseiro, para que se tenha efetivamente os nove bits correspondentes ao dado e sua paridade. A interligação direta entre as saídas DOUT foi possível devido à característica "tri-state" das mesmas.

De modo semelhante foi realizada a distribuição dos nove sinais de dados de entrada para as entradas Din das pastilhas de memória, ou seja, os nove sinais são inicialmente distribuídos pelo painel traseiro para os dois conjuntos de pastilhas, o primeiro responsável pelos endereços de 0 a 8191 e o segundo pelos 8192 a 16383, resultando em dezoito sinais que, novamente, são distribuídos pela fiação da placa de armazenamento para cada par de pastilhas de memória.

A distribuição dos sinais de dados pelo painel traseiro, foi necessária devido à necessidade de utilizar-se a mesma placa de armazenamento, tanto para o novo minicomputador como para o G-10, que possui palavras de dezesseis bits; essa distribuição é responsável pela compatibilização do número de bits das palavras na placa de armazenamento.

A figura 4.5. mostra o esquema elétrico simplificado da placa de armazenamento, onde estão evidenciados os sinais de dados, de endereço e de controle. Observando-se essa figura, pode-se notar o esquema de endereçamento utilizado, onde os sinais mais importantes e respectivas funções são listados a seguir:

a) NEND: sinais responsáveis pelo acionamento das entradas de endereço das pastilhas de memória; depois de complementados por portas "NOT" (74H04), são conectados as todas as pastilhas;

b) NE4K: sinal que, por intermédio da pastilha 3245, gera os sinais para atuarem nas entradas de controle CE das pastilhas de memória responsáveis pelos endereços de 0 a 8191, das placas de armazenamento;

c) NE8K: sinal que possui a mesma função do anterior, mas somente atua nas pastilhas de responsáveis pelos endereços de 8192 a 16383 das placas de armazenamento;

d) NCSD: sinal que, após ser complementado por uma porta "NOT", atua nas entradas de controle CS das pastilhas de memória responsáveis pelos endereços de 0 a 4095 e de 8192 a 12287 das placas de armazenamento;

e) NCSE: sinal que possui a mesma função do anterior, mas somente atua nas pastilhas de memória onde o NCSD não está conectado.

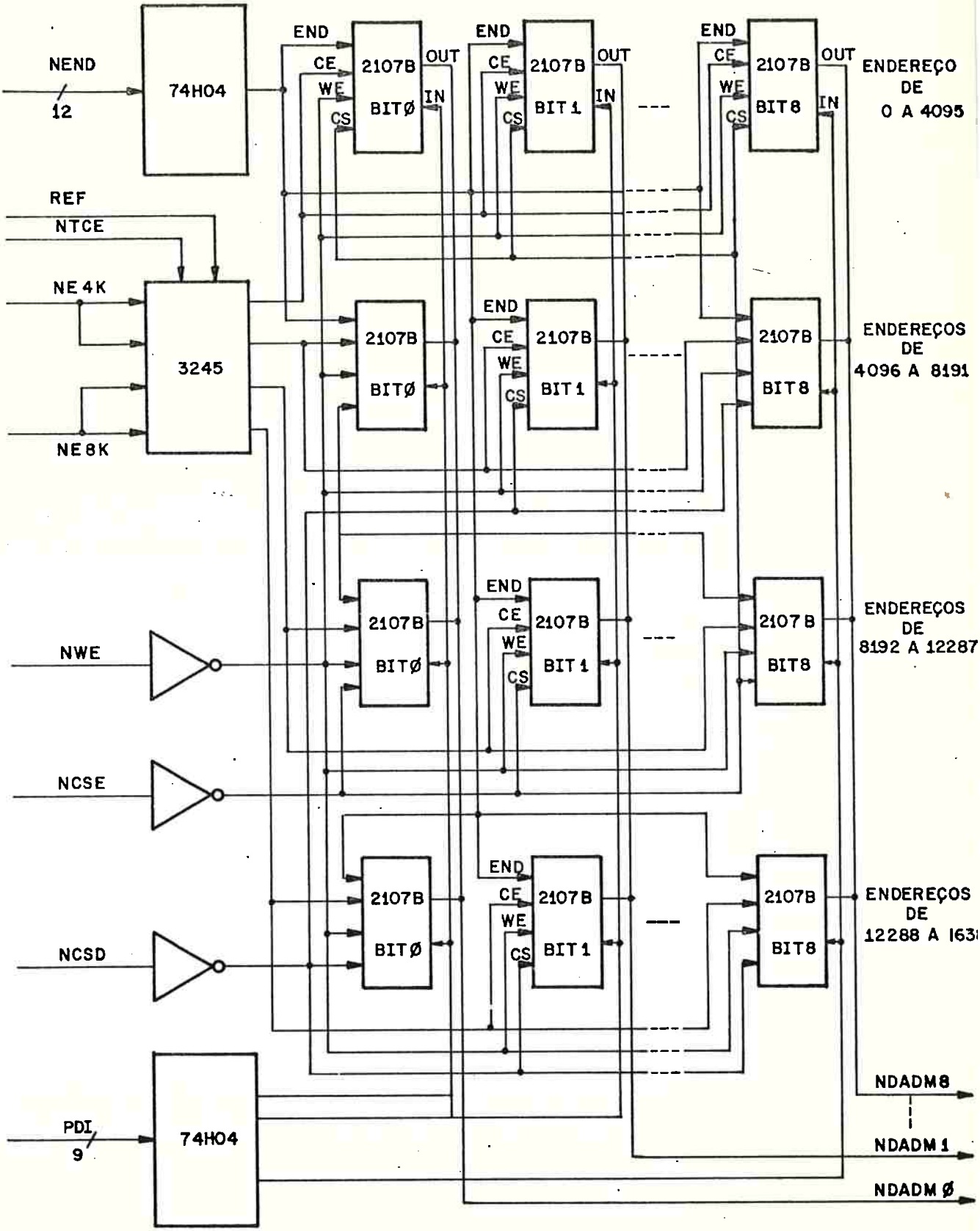


FIGURA 4.5 _ ESQUEMA SIMPLIFICADO DA PLACA DE ARMAZENAMENTO.

Esses quatro últimos sinais dividem, então, a placa de armazenamento em quatro regiões de 4096 palavras, as quais são selecionadas quando os dois sinais que chegam a elas, um NE e outro NCS, estão ativos. A tabela 4.1 mostra como se processa o endereçamento completo da memória por meio desses sinais.

ENDEREÇOS	SINAIS ATIVOS	PLACA DE ARMAZENAMENTO SELECIONADA
0 a 4095	NE4K e NCSD	0
4096 a 8191	NE4K e NCSE	0
8192 a 12287	NE8K e NCSD	0
12288 a 16383	NE8K e NCSE	0
16384 a 20479	NE4K e NCSD	1
20480 a 24575	NE4K e NCSE	1
24576 a 28671	NE8K e NCSD	1
28672 a 32767	NE8K e NCSE	1

Tabela 4.1 - Sinais Atuantes no Endereçamento.

A seleção da placa de armazenamento que deve atuar é feita pela placa de controle que gera os sinais NE4K e NE8K, distintamente, para cada uma delas.

As operações de leitura e armazenamento são selecionadas pelo sinal NWE que, após passar por uma porta "NOT", atua na entrada WE de todas as pastilhas de memória da placa de armazenamento, sendo que os dados de leitura são apresentados pelos sinais NDADM e os de escrita pelos PDI.

4.3.1. Projeto do "Lay-Out" do Circuito Impresso da Placa de Armazenamento

A primeira fase do projeto do "Lay-Out" da placa de armazenamento foi o posicionamento dos circuitos integrados na mesma e chegou-se, depois de algumas experiências, ao mostrado na figura 4.6.

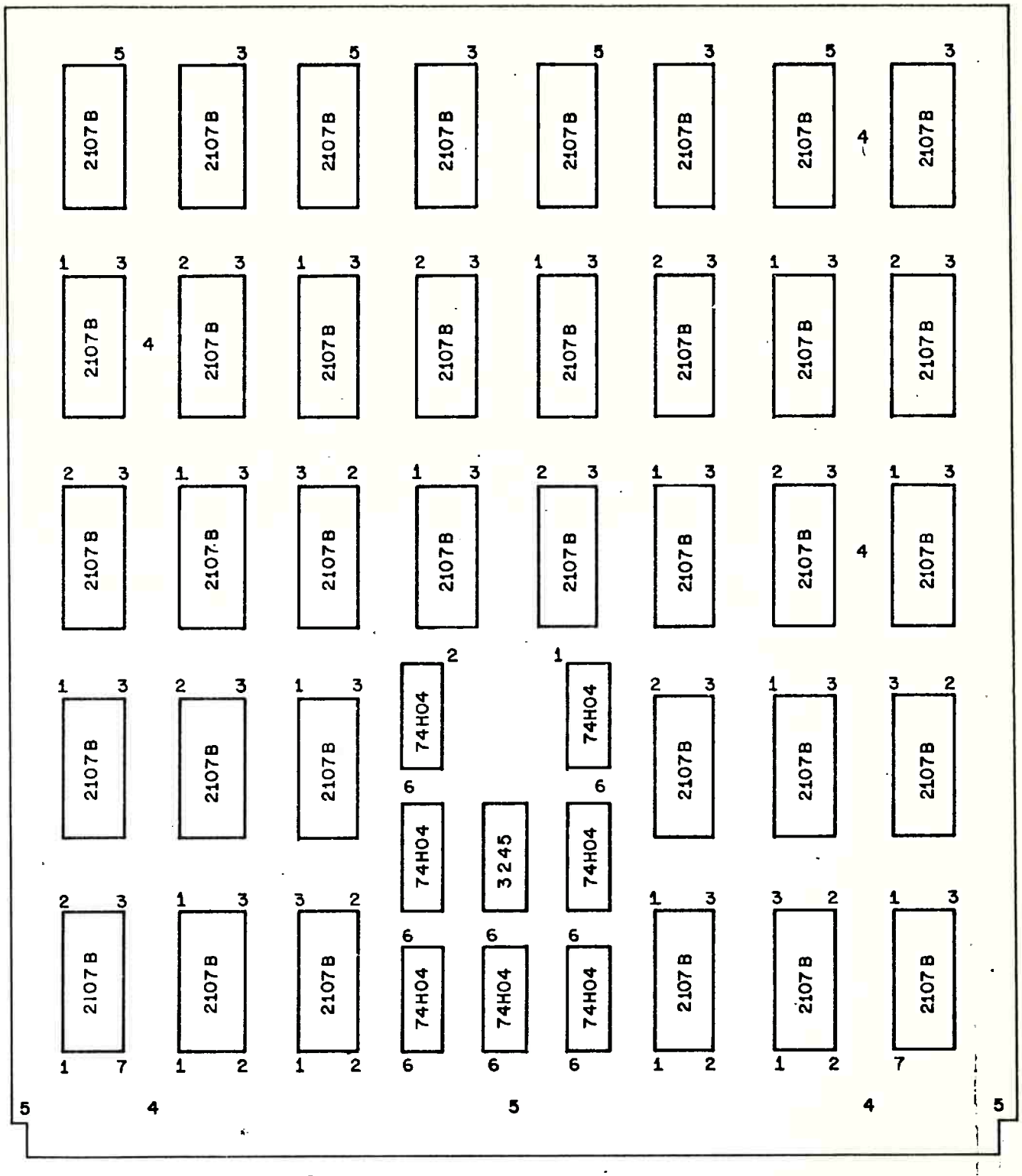
As experiências mostraram que o comprimento das ligações é um fator muito importante para o bom funcionamento da placa de armazenamento; por essa razão é que todos os circuitos geradores de sinais de controle, de dados ou de endereços, estão posicionados próximos à parte central da placa.

Um outro fator importante é o comportamento das tensões de alimentação, junto aos pinos das pastilhas que recebem essas tensões. De forma a minimizar o efeito da distribuição dessas tensões, o "Lay-Out" foi projetado de modo que a cada pino de alimentação das pastilhas de memória, cheguem sempre dois fios, um vertical e outro horizontal, formando uma grade para cada uma das fontes e para o terra; essa distribuição adotada tende a minimizar os inconvenientes causados por fiações muito longas (8).

O desacoplamento das fontes de alimentação deve ser eficiente, a ponto que se possa ter certeza absoluta que as tensões nunca sairão fora das especificações do fabricante, principalmente as fontes de +12V e -5V.

Para o desacoplamento da fonte de +5V foi utilizado um capacitor cerâmico de 0,1μF por pastilha de memória, sete capacitores eletrolíticos de tântalo distribuídos nas proximidades do pente dos conectores e na parte traseira da placa, e um capacitor cerâmico de 0,22μF para cada pastilha com tecnologia bipolar.

Para a fonte de -5V foi usado um capacitor cerâmico de 0,1μF para cada duas pastilhas de memória e dois capacito



onde: 1 - capacitor cerâmico de 1,0μF para a fonte de 12V
2 - capacitor cerâmico de 0,1μF para a fonte de -5V
3 - capacitor cerâmico de 0,1μF para a fonte de +5V
4 - capacitor eletrolítico de tântalo de 22μF para a fonte de 12V
5 - capacitor eletrolítico de tântalo de 6,8μF para a fonte de +5V
6 - capacitor cerâmico de 0,22μF para a fonte de +5V
7 - capacitor eletrolítico de tântalo de 6,8μF para a fonte de -5V

Figura 4.6. - Posicionamento dos Componentes na Placa de Armazenamento

res eletrolíticos de tântalo de 6,8μF colocados próximos ao pente dos conectores.

Finalmente, para a fonte de +12V foi utilizado um capacitor cerâmico de 1,0μF para cada duas pastilhas de memória e mais um capacitor eletrolítico de tântalo de 22μF para cada oito pastilhas de memória.

A figura 4.6. mostra, juntamente com o posicionamento, a posição dos capacitores de desacoplamento dentro da placa de armazenamento.

Não só as fontes de alimentação tiveram o seu traçado em forma gradeada, esse procedimento também foi adotado para os sinais de endereço e de controle, uma vez que a experiência mostrou que era a melhor configuração.

Para evitar-se a indução de ruídos nas linhas vizinhas (Cross-Talk), todas as linhas que conduzem o sinal para as entradas CE das pastilhas de memória foram ladeadas de linhas de terra, de forma a obter-se uma blindagem eletrostática para essas linhas.

4.4. Projeto do Módulo de Controle e Interfaceamento com o Minicomputador

O módulo de controle tem por finalidade receber os sinais de controle, de dados e de endereços dos circuitos de controle e do fluxo de dados do minicomputador, adequá-los e enviá-los ao módulo de armazenamento; e da forma inversa receber dados do módulo de armazenamento e colocá-los à disposição do fluxo de dados do minicomputador. O módulo de controle deve ainda realizar as operações de refrescamento necessárias à operação do módulo de armazenamento.

A figura 4.7. mostra o diagrama de blocos dos circuitos que compõem o módulo de controle.

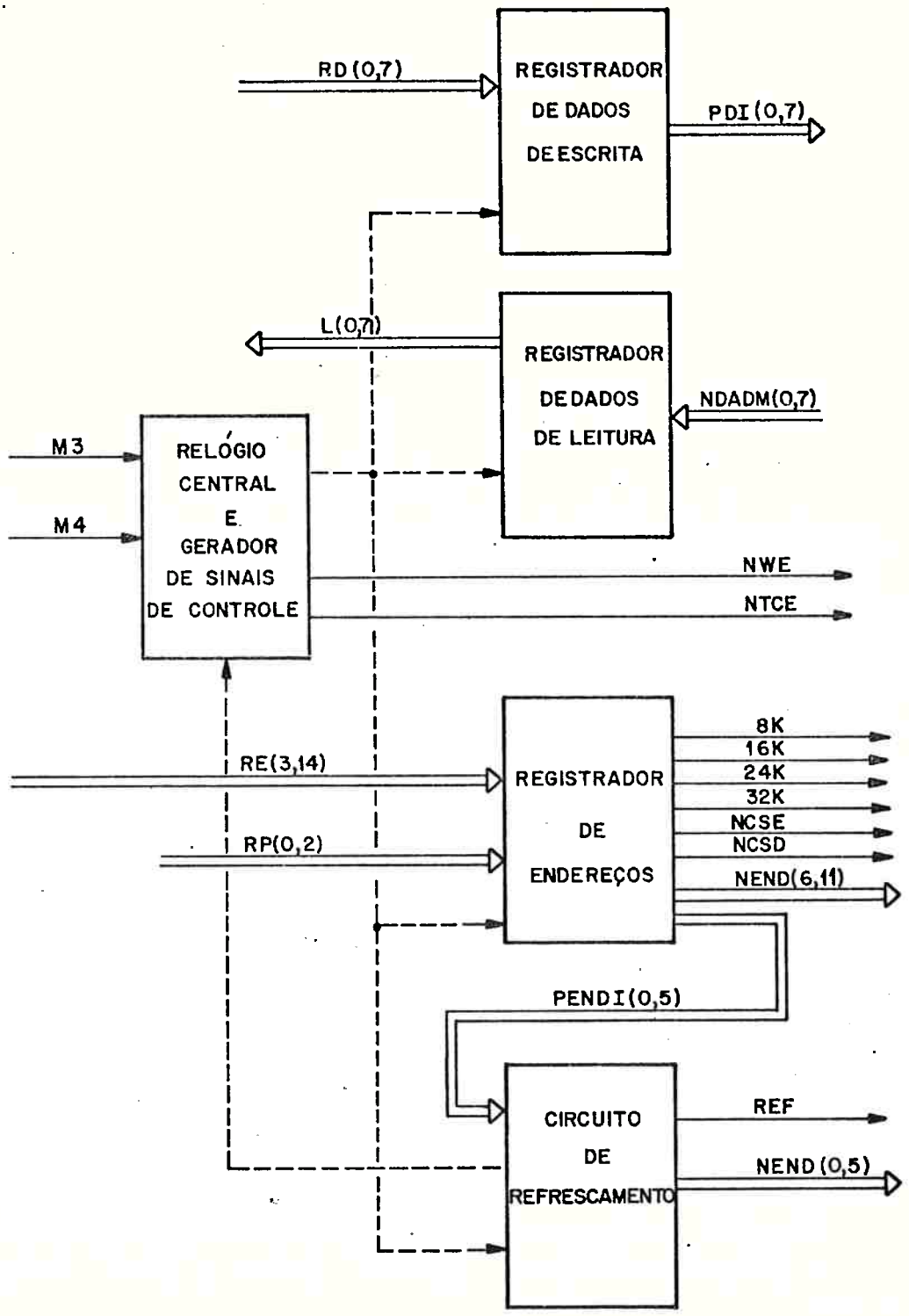


FIGURA_4.7_ DIAGRAMA EM BLOCOS DO MÓDULO DE CONTROLE.

4.4.1. Relógio Central e Gerador de Sinais de Controle

O bloco Relógio Central e Gerador de Sinais de Controle é responsável pela geração de todos os sinais utilizados para controle interno do módulo de controle.

O relógio central é constituído de um oscilador a cristal de 40MHz, um divisor de freqüência módulo 32 e um decodificador de três para oito linhas, que gera todos os pulsos de tensão necessários para os demais circuitos do módulo de controle. Como ilustração, as figuras 4.8 e 4.8A mostram o diagrama lógico e a carta de tempos dos circuitos desse bloco.

O relógio central é disparado pelo sinal PMOC que, quando ativo indica que a memória está em operação, e é gerado pelos sinais M3 e M4, provenientes do controle do minicomputador, ou pelo circuito de refrescamento, quando for necessária tal operação. Com o relógio em operação são gerados os sinais P50NS, P100NS, P200NS e P400NS; os três primeiros atuam em um decodificador que gera os sinais NT0 a NT7, que indicam juntamente com o P400NS, os estados do circuito de controle.

Os principais sinais e suas respectivas funções, gerados pelo Gerador de Sinais de Controle, são descritos a seguir:

a) PMOC: quando ativo, indica que a memória está em operação, sendo proibido, portanto, iniciar-se um novo ciclo;

b) NTCE: indica a duração do sinal que atua nas entradas CE das pastilhas de memória; é, portanto, enviado ao módulo de armazenamento;

c) NTFOP: indica que o ciclo de memória terminou; desativa o sinal PMOC;

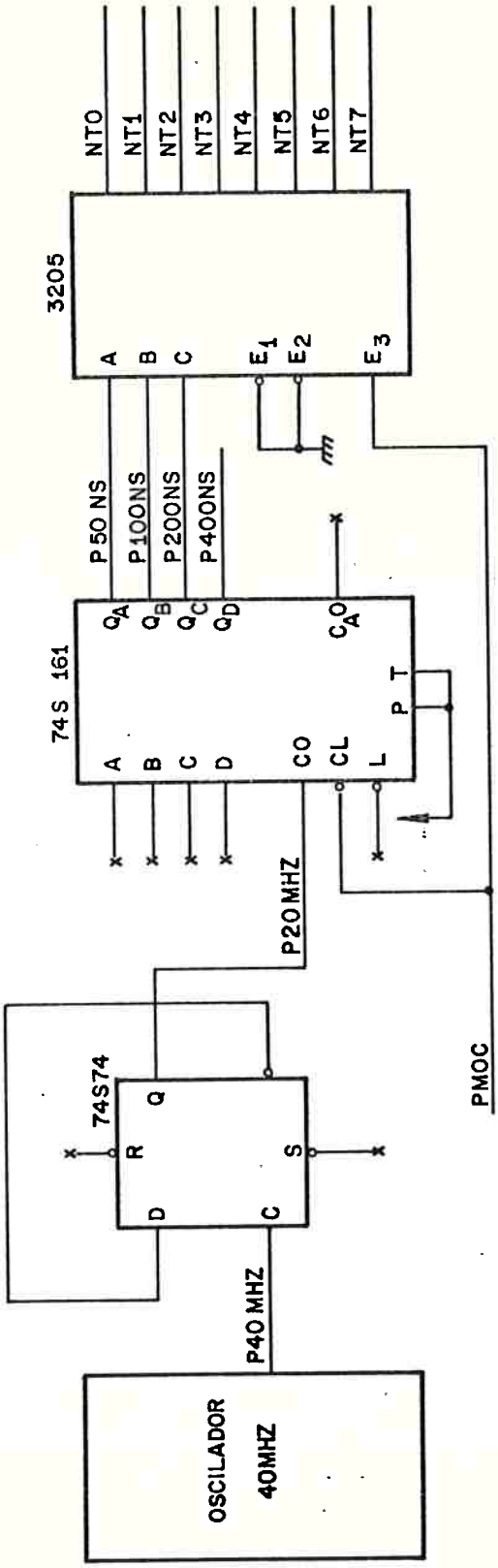


FIGURA – 4.8A – DIAGRAMA LÓGICO DO RELÓGIO CENTRAL.

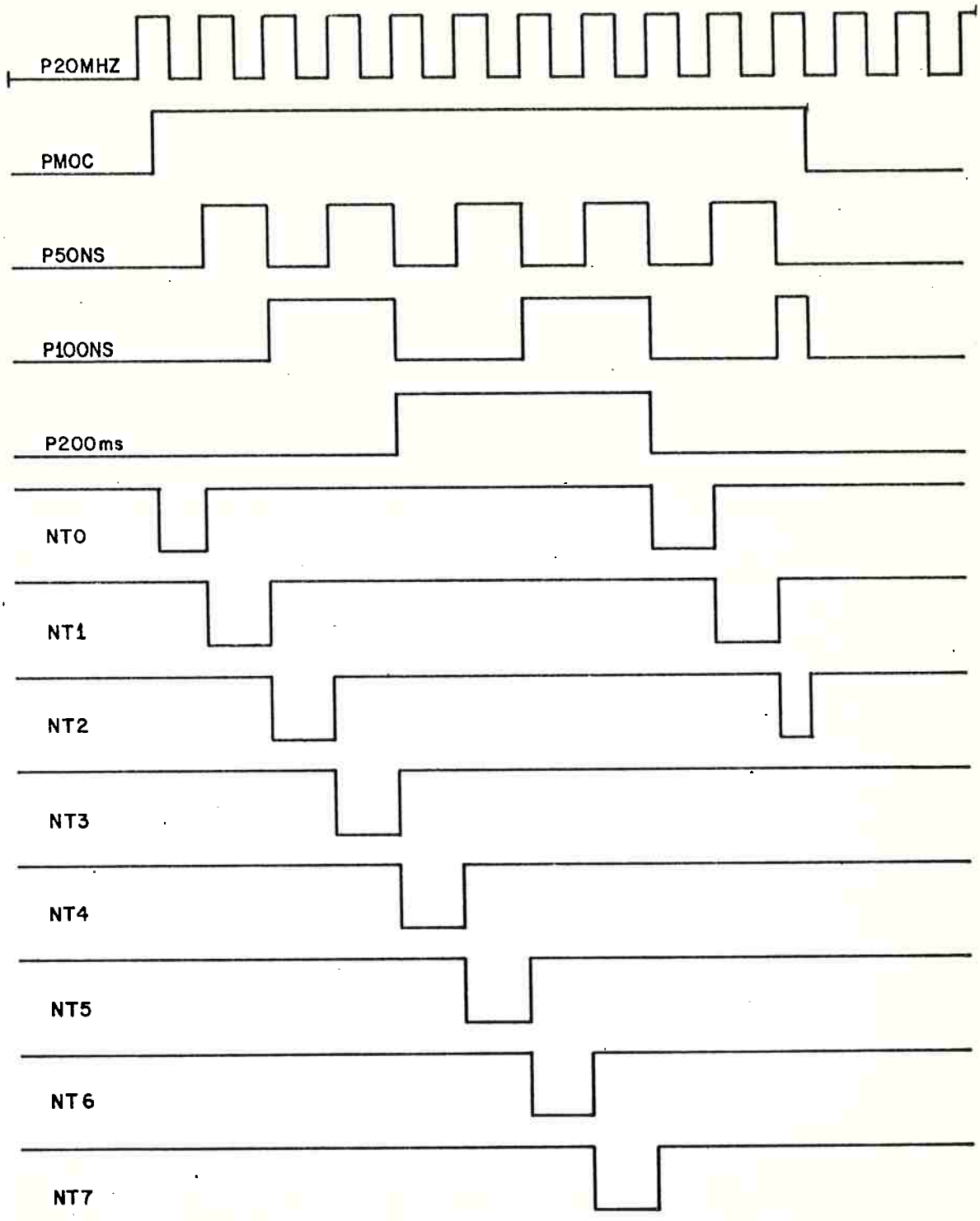


FIGURA 4.8 B – DIAGRAMA DE TEMPOS DO RELÓGIO CENTRAL.

d) NLER: quando ativo, indica que a operação a ser executada pela memória é de leitura; é gerado pelo sinal M4 do controle do minicomputador;

e) NESCR: quanto ativo, indica que a operação a ser executada pela memória é de armazenamento; é gerado pelo sinal M3 do controle do minicomputador;

f) NWE: aciona a entrada "Write Enable" (WR) das pastilhas de memória; é função dos sinais NLER e NESCR e é enviado ao módulo de armazenamento;

g) NLAL: é gerado quando o minicomputador é ligado e utilizado para impor a condição inicial aos circuitos sequenciais do módulo de controle.

Não foi possível utilizar-se o sinal com o mesmo nome e função já existente no controle do minicomputador, porque ele é ativado quando o computador é ligado e quando o botão Preparação é pressionado, o que não deve acontecer no caso da memória, pois fatalmente a memória perderia a seqüência de endereços para o refrescamento, causando a perda de informações já armazenadas na memória.

O diagrama lógico completo do bloco Relógio Central e Gerador de Sinais de Controle pode ser encontrado na documentação do minicomputador em conjunto com os demais subsistemas do módulo de armazenamento e da interface da memória.

4.4.2. Registrador de Dados de Escrita

O bloco Registrador de Dados de Escrita (RDE) tem por função guardar temporariamente os dados provenientes do fluxo de dados do minicomputador, para serem armazenados na memória.

Os sinais provenientes do Registrador de Dados do fluxo de dados, sinais RD0 a RD7, são armazenados no RDE quando o sinal NESCR é ativado. As saídas deste registrador são enviadas ao módulo de armazenamento, depois de passarem por portas "NOT", que possuem a finalidade de isolar as suas saídas da via da memória, sinais PDI0 a PDI7.

4.4.3. Registrador de Dados de Leitura

O bloco Registrador de Dados de Leitura (RDL) é responsável pelo armazenamento dos dados lidos no módulo de armazenamento durante as operações de leitura na memória, de modo a deixá-los disponíveis ao fluxo de dados do minicomputador.

Os dados provenientes do módulo de armazenamento, através dos sinais NDADM0 a NDADM7, são copiados no RDL durante o tempo NT6, se a operação for de leitura na memória; as saídas deste são então transferidas para o fluxo de dados, através de portas "NOT", que as isolam da via de dados do minicomputador, sinais L0 a L7.

O RDL foi implementado com "Latchs" de alta velocidade tipo 3404, fabricados pela Intel e especialmente projetados para serem utilizados como registrador de dados das pastilhas de memória utilizadas na placa de armazenamento.

4.4.4. Registrador de Endereços da Memória

O bloco Registrador de Endereços da Memória (REM) tem por função guardar o endereço, onde irá se processar o próximo ciclo de memória, e gerar e enviar os sinais de endereço correspondentes para o módulo de armazenamento.

O endereço enviado ao Registrador de Endereços do Fluxo de Dados e do Registrador de Páginas, sinais RE3 e RE14 e PF0 a PF2, respectivamente, é armazenado no REM assim que o sinal PMOC é acionado. As saídas do registrador correspondente aos seis bits menos significativos do endereço são enviados para o circuito de refrescamento, sinais PENDI0 a PENDI5, onde serão multiplexados com o endereço de refrescamento; os seis bits seguintes são enviados diretamente para o módulo de armazenamento, através de portas "NOT", utilizadas para isolar as saídas dos "flip-flops" do REM da via da memória.

A saída do REM, correspondente ao bit menos significativo do Registrador de Páginas, irá gerar os sinais NCSD, quando igual a zero, e NCSE, quando igual a um; isto equivale a dizer que se essa saída for igual a zero, serão acionadas as páginas pares da memória, caso contrário, as páginas ímpares serão acionadas. Os sinais NCSE e NCSD são sempre complementares um em relação ao outro, para que em hipótese alguma sejam acionadas duas páginas simultaneamente.

Finalmente, as saídas correspondentes aos dois bits mais singificativos do endereço geram os sinais NE8K, NE16K, NE24K e NE32K, através de um decodificador de três para oito linhas, e que indicam qual conjunto de 8192 endereços deverá operar. Esses sinais são enviados ao módulo de armazenamento, onde os dois primeiros devem ser conectados aos sinais NE4K e NE8K, respectivamente, da primeira placa de armazenamento e os dois últimos aos mesmos sinais da segunda placa.

Ainda no bloco REM, foi implementado o circuito utilizado para a detecção dos endereços do Registrador de Índices e da Extensão do Acumulador, endereços um e zero de qualquer página de memória. Deve haver essa detecção, pois nesses casos, será acionada a página zero, independentemente da que foi endereçada. A detecção é feita por meio de testes nos bits um a onze do endereço, que se forem iguais a zero, é gerado o sinal NZER,

que indica operação com o Índice ou com a Extensão do Acumulador; o sinal NZER, por sua vez, atua no REM de forma a forçar zero nos três bits correspondentes ao endereço das páginas de memória, ficando dessa forma assegurado o acesso ao Índice ou à Extensão.

4.4.5. Circuito de Refrescamento

O bloco Circuito de Refrescamento tem por função realizar o refrescamento de todas as posições da memória, periodicamente, a cada dois milisegundos. Esta operação pode ser realizada de duas maneiras distintas: ou toda a memória de uma única vez, ou apenas uma coluna da matriz das pastilhas de memória por vez. No primeiro caso, a memória seria bloqueada para operações normais, uma vez que as mesmas não podem ser realizadas durante o processo de refrescamento, durante 64 tempos de ciclo, o que corresponde a aproximadamente 32μs a cada 2ms. No segundo caso, a memória seria bloqueada apenas um tempo de ciclo, ou seja, aproximadamente 500ns, a cada 31,50μs.

Para o caso do minicomputador em questão, foi utilizado o segundo método, que se mostrou mais eficiente,porque com a implementação dos circuitos de Acesso Direto à Memória, não seria possível bloquear-se o computador por um tempo tão longo como 32μs, o que, fatalmente, ocasionaria problemas com dispositivos de entrada e saída rápidos; mas com o segundo método, o tempo de 500ns é praticamente desprezível.

O circuito de refrescamento, cujo diagrama lógico é mostrado na figura 4.9., é composto de um oscilador de 128KHz, de um divisor de freqüência módulo quatro, de um contador módulo 64 e de um multiplexador.

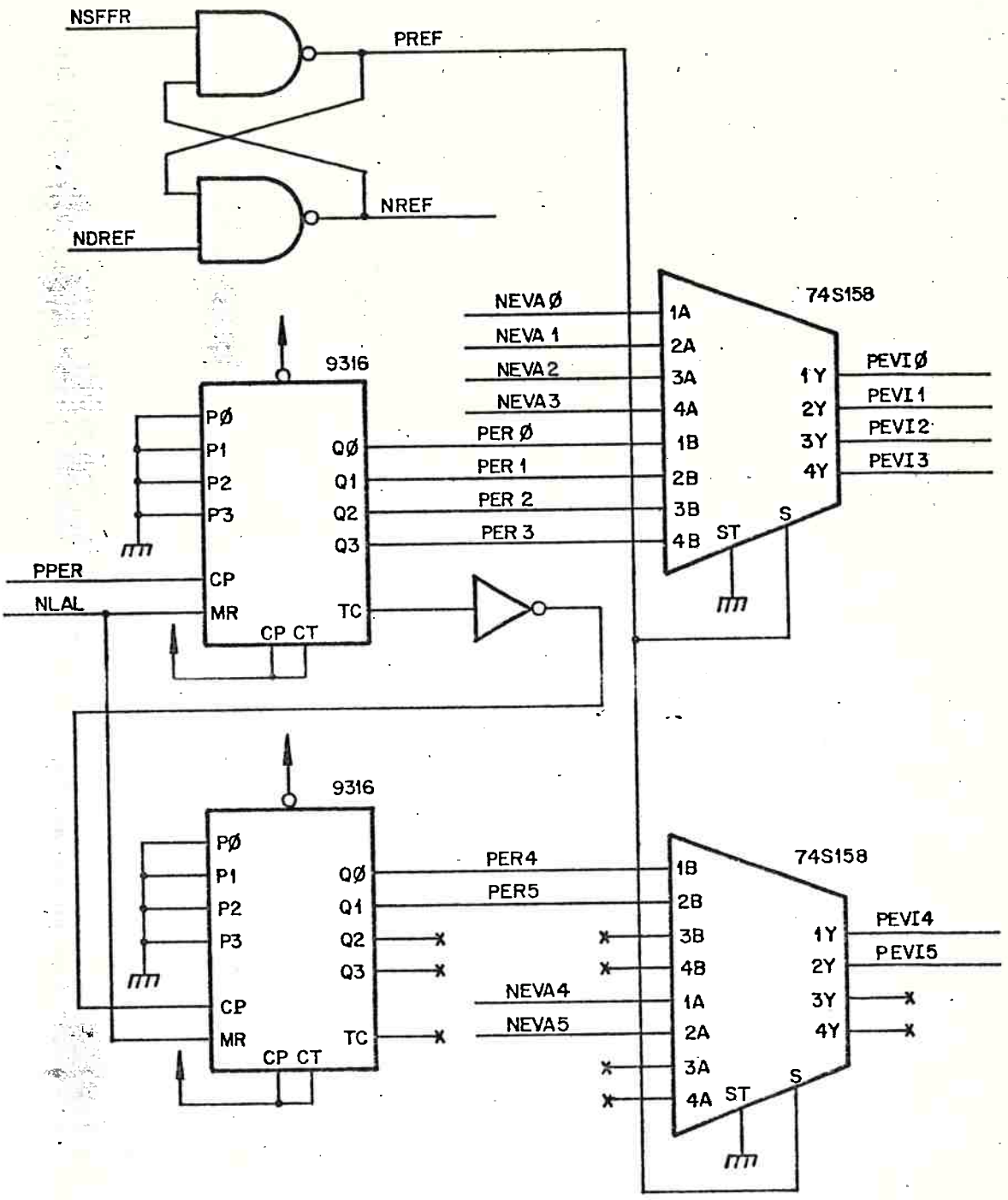


FIGURA_4.9_DIAGRAMA LÓGICO DO CIRCUITO DE REFRESCAMENTO

A saída do oscilador é ligada ao divisor de freqüência que gera o sinal PHREF, indicativo de que um ciclo de refrescamento deve iniciar-se. Com o sinal PHREF ativo e o PMOC não, isto é, a memória não está em operação, o refrescamento deve iniciar-se, para isso é gerado o sinal NREF, o qual aciona um ciclo de memória, para refrescamento de uma coluna, e bloqueia o relógio central do controle do minicomputador.

O sinal PHREF, quando ativo, atua no relógio central do controle do minicomputador, de forma a inibí-lo, e um circuito atrasador faz com que o NREF seja ativado somente depois de certificar-se que um ciclo de memória não havia sido disparado.

O endereço de refrescamento é dado por um contador módulo 64, que indica a coluna da matriz de memória a ser refrescada,e que é incrementado a cada vez que o sinal PHREF é ativado. As saídas do contador são multiplexadas com os seis bits menos significativos do registrador de endereços da memória, e selecionadas pelo sinal NREF; as saídas do multiplexador são, então, enviadas para o módulo de armazenamento, para completar o endereçamento.

No item seguinte, serão descritos os outros circuitos que foram implementados na mesma placa onde se encontra o módulo de controle da memória; esses circuitos, por terem íntima relação com a memória e possuírem características das interfaces de entrada e saída, foram denominados de interface da memória com o endereço de entrada e saída /F.

4.5. Interface da Memória

Os circuitos que compõem a interface da memória, como já mencionado no capítulo anterior, são os seguintes:

- Registrador de Páginas

- Detecção de Instrução Inválida

- Carregador Absoluto

- Proteção de Memória

- Interrupções Especiais

- Seleção da Interface

A seguir serão descritos cada um dos circuitos acima, ressaltando suas funções e sua implementação.

4.5.1. Circuito de Seleção da Interface

Como qualquer interface de entrada e saída do minicomputador Patinho Feio, a interface da memória possui um circuito de seleção que deteta o endereço de entrada e saída /F e, em conseqüência, libera a entrada dos sinais de comando, que deverão acionar os diversos circuitos da interface.

O circuito de seleção, ao detetar o endereço /F, gera o sinal NSEL, que abre as portas "NOR", permitindo que os sinais de comando atuem na interface. Nos casos correspondentes às instruções SAL, será gerado o sinal SENTIDO como resposta das mesmas, e enviado ao controle do minicomputador.

A tabela 4.2. mostra os comandos atuantes na interface da memória e suas respectivas funções.

NÚMERO DO COMANDO	INSTRUÇÃO DE E/S	FUNÇÃO
0	SAI	Carrega o Registrador de Proteção com os dados da Via de Entrada e Saída.
0	ENT	Lê o Registrador de Proteção.
1	FNC	Limpa o Registrador de Proteção.
2	ENT	Lê o Registrador de Páginas.
3	SAL	Testa o "flip-flop" de Interrupção Especial por Estouro de Página.
4	SAL	Testa o "flip-flop" de Interrupção Especial por Violação de Memória.
5	SAL	Testa o "flip-flop" de Interrupção Especial por Instrução Inválida.
6	SAL	Testa o "flip-flop" de Interrupção Especial por Erro de Paridade.
7	SAL	Testa o "flip-flop" de Interrupção Especial por Chamada de Supervisor.
8	SAL	Testa o "flip-flop" de Pedido de Interrupção Especial.
9	FNC	Libera o "flip-flop" de Interrupção por Chamada de Supervisor para que seja limpo.

Tabela 4.2 - Comandos para a Interface da Memória.

4.5.2. Circuito do Registrador de Páginas

O circuito do Registrador de Páginas tem por função armazenar o endereço da página de memória corrente e fornecer esse endereço ao REM, como complemento da palavra de endereço, quando for necessário. Para executar tal função, o circuito foi constituído, basicamente, de um registrador e dois multiplexadores, como pode ser verificado no diagrama lógico.

Como foi especificado no capítulo anterior, o endereço de uma página de memória deve ser armazenado no Registrador de Páginas, durante a execução das instruções PUL, PLA, PLAX e PUG, com módulo de endereçamento indireto. Com essas condições, o sinal de relógio do registrador que armazenará o endereço da página de memória, deverá obedecer à seguinte equação booleana:

$$REL = T7\ (F7 \cdot PLA + F5 \cdot PLAX + F4 \cdot PUG + F3 \cdot PUL)$$

As entradas de dados do registrador foram conectadas às saídas de um multiplexador, que seleciona, para que sejam armazenadas no mesmo, ou as saídas do Registrador de Endereços do Fluxo de Dados, sinais RE0, RE1 e RE2, ou as saídas do Registrador de Instruções do mesmo Fluxo de Dados, sinais RI0, RI1 e RI2.

O endereço da página de memória a ser enviado ao REM deve, entretanto, ser selecionado entre o conteúdo do Registrador de Página e o dos três bits mais significativos do Registrador de Endereços do Fluxo de Dados, para os casos de execução de instruções com modo de endereçamento direto e indireto, respectivamente. Essa seleção é feita por um segundo multiplexador, cujas saídas são conectadas ao REM.

Para tornar possível a leitura do conteúdo do Registrador de Páginas, através da instrução ENT/F2, foi necessário conectar-se as saídas do mesmo à via de entrada e saída , de modo conveniente, para que o conteúdo do Registrador de Páginas fosse armazenado nos três bits mais significativos do Acumulador. A conexão com a via de entrada e saída foi realizada utilizando-se portas com saídas "tri-state", que são ativadas pelo sinal NLEPAG, proporcionando a transferência de dados para a via em questão; o sinal NLEPAG é gerado pelo sinal de comando número dois, quando a interface estiver selecionada.

4.5.3. Circuito de Detecção de Instrução Inválida

O circuito de detecção de instrução inválida tem por função detetar e sinalizar a ocorrência de instruções privilegiadas, quando o minicomputador estiver operando em modo usuário.

O circuito foi implementado utilizando-se, basicamente, portas "AND-OR-INVERTER", onde os sinais gerados pela decodificação das instruções são testados; essas portas são liberadas para executar os testes pelo sinal PFMS que, quando ativo, indica que o minicomputador encontra-se em modo usuário.

Caso ocorra alguma instrução privilegiada em modo usuário, será gerado o sinal NINTIV, correspondente às saídas das portas "AND-OR-INVERTER", que ligará o "flip-flop" de interrupção especial e provocará um pedido de interrupção especial por instrução inválida.

4.5.4. Circuito do Carregador Absoluto

O circuito do carregador absoluto é responsável pelo armazenamento permanente do programa Carregador Absoluto e pelo chaveamento de memórias, durante a sua execução, uma vez que ele está gravado em uma memória de apenas leitura, independente da Memória Principal do minicomputador.

O circuito é composto, basicamente, de duas pastilhas de memória de apenas leitura do tipo PROM de 1024 bits, organizadas em 256 palavras de quatro bits, onde foi gravado o programa em questão, e a lógica de chaveamento.

Quando for necessário o uso do programa Carregador Absoluto, deve-se pressionar o botão CAR, no painel de chaves do minicomputador que, automaticamente, coloca o programa em execução, até que seja executada uma instrução PARE. Com esse modo de operação, o circuito do carregador absoluto pode comportar qualquer programa que será executado até que o mesmo apresente uma instrução PARE.

Ao pressionar-se o botão CAR, o circuito do painel do minicomputador gera o sinal PCARR, o qual atua nas entradas de controle "Chip Select" das PROMs, selecionando-as para operação e desativando a Memória Principal. Esta seleção, entretanto, somente deve acontecer durante as fases de busca das instruções, ou seja, FASE 1 e FASE 2, com exceção da instrução PUL.

Com a ocorrência da instrução PARE, o sinal PCARR é desativado, voltando, conseqüentemente, o minicomputador ao seu estado normal, desselecionando definitivamente as PROMs.

As PROMs, ligadas de modo a formar uma pequena memória de 256 palavras de oito bits, são ligadas em paralelo com a memória principal do computador, isto é, compartilham a mesma via de dados e de endereços e, até mesmo, o Registrador de Dados da Memória; por esta razão não podem, em hipótese alguma, ser ativadas ao mesmo tempo. O sinal NLPROM é responsável por essa função, bloqueando, quando necessário, o sinal de controle PTCE, que irá gerar os sinais de controle para as entradas CE das pastilhas de memória.

4.5.5. Circuito de Proteção de Memória

O circuito de proteção de memória tem a função de testar o endereço da memória nas operações de armazenamento e inibir a operação se o endereço estiver contido dentro de uma página protegida, quando o minicomputador estiver operando em modo usuário. O circuito reconhece as páginas protegidas, por meio da máscara de proteção, armazenada em um registrador.

O circuito de proteção de memória é composto de um registrador de oito bits, onde é armazenada a máscara de proteção, e uma lógica de comparação, implementada com portas de OU EXCLUDENTES.

O registrador pode ser carregado com o conteúdo do Acumulador, por meio da instrução SAI/F0, que gera o sinal PCAPRO, o qual atua na entrada de relógio desse registrador.

O conteúdo do registrador deste circuito, que corresponde à máscara de proteção,pode ser lido pela instrução ENT/F0, que o deixa disponível no Acumulador; para tanto,o conteúdo do registrador deve ser transferido para a via de entrada e saída, o que é realizado por portas com saída "tri state",

comandadas pelo sinal NLEPRO que é gerado pelo comando número zero, quando a operação for de entrada e a interface estiver selecionada.

O registrador de proteção, ainda, pode ser limpo pela instrução FUNC/F1, que provoca a geração do sinal NLIPRO, o qual atua na entrada de controle conveniente do registrador, limpando-o, não sendo, portanto, necessário neste caso, uma operação de saída de dados com o conteúdo do Acumulador em zero.

O bit menos significativo do registrador de proteção, e conseqüentemente da máscara, corresponde à primeira página de memória, o seguinte à segunda página, e assim por diante, até a oitava página. Nas operações de entrada e saída realizadas com esse registrador, o conteúdo do Acumulador deve obedecer a mesma seqüência especificada anteriormente para a máscara de proteção.

Quando o minicomputador estiver operando em modo usuário e for solicitada uma operação de armazenamento na memória com algum endereço especificado em uma página protegida, será gerado um pedido de interrupção especial por violação de memória, pelo acionamento do "flip-flop" correspondente a esse pedido, através do sinal NSPRO, que é ativado nesses casos. O sinal NSPRO ainda atua no circuito de controle da memória, desativando o sinal PMOC e inibindo, dessa forma, a conclusão da operação de armazenamento na memória.

No circuito de comparação são gerados os sinais P4K, P8K, P12K, P16K, P20K, P28K e P32K, os quais indicam a que página pertence o endereço em questão, e que são as saídas de portas "NAND", em cujas entradas estão presentes, ou o sinal NCSD ou o NCSE, com um dos sinais de seleção das placas de armazenamento, sinais N8K, N16K, N24K e N32K.

Os sinais P4K a P32K são, então, comparados com os bits correspondentes da máscara de proteção, por meio de uma porta "AND-OR-INVERTER", cuja saída será ativada nos casos de coincidência do bit da máscara em nível lógico um, com o correspondente sinal de indicação de página endereçada, também em um. A saída da porta em questão gerará o sinal NSPROT, já mencionado anteriormente.

Utilizando-se a filosofia adotada para a proteção de memória, ou seja, com um registrador para a máscara de proteção e as comparações como realizadas, é possível diminuir-se ou aumentar-se o tamanho da área a ser protegida, com o aumento ou a diminuição do comprimento do registrador de proteção, e com o acréscimo ou o decréscimo do número de portas "NAND", geradoras dos sinais indicativos da área onde o endereço está contido, e com a expansão ou não da porta "AND-OR-INVERTER" que realiza as comparações e gera o sinal de violação de memória.

4.5.6. Circuito de Interrupções Especiais

O circuito de interrupções especiais tem por função gerar o pedido de interrupção especial e indicar a causa de tal pedido. Esse circuito é composto, basicamente, de sete "flip-flops", sendo seis utilizados para indicar qual o tipo de interrupção e o outro para a indicação de existência de interrupção especial pendente ou em tratamento.

Cada um dos "flip-flops", que indicam o tipo de interrupção, são acionados pelos sinais gerados pelos circuitos que detetam as respectivas condições de interrupção, e são testados através das instruções SAL descritas na tabela 4.1, para que o "Software" que cuida das interrupções especiais seja acionado convenientemente.

Os "flip-flops" que indicam os tipos de interrupções especiais são limpos pela instrução PUL, com exceção do de modo de operação onde é necessária sua prévia liberação pelo comando número nove, como indicado na tabela 4.1. O circuito de indicação de interrupção especial pendente também é limpo pela instrução PUL, quando no tempo T7 da Fase 3.

4.6. Considerações sobre a Potência Consumida pelo Módulo de Armazenamento

A potência dissipada em cada pastilha de memória irá determinar que capacidade de corrente deve ter a fonte de alimentação, que proverá as tensões necessárias para a operação da memória, bem como quais as condições de ventilação se deverá ter para que não ocorram problemas de operação devido à temperatura. A seguir, será calculada a potência necessária para uma pastilha típica de memória e, a partir desse cálculo, a potência dissipada pelas placas de armazenamento completas.

A potência dissipada por uma pastilha de memória, com os circuitos de entrada e saída inibidos, é dada por:

$$P = V_{DD} \times I_{DD_M} + V_{BB} \cdot I_{BB} \qquad (a)$$

onde:

- P corresponde à potência dissipada.
- V_{DD} corresponde ao valor de tensão da fonte de +12V.
- I_{DD_M} corresponde à corrente média, consumida por uma pastilha de memória, da fonte V_{DD}.
- V_{BB} corresponde ao valor de tensão da fonte de -5V.
- I_{BB} corresponde à corrente da fonte V_{BB}, consumida por uma pastilha de memória.

A fonte de +5V não foi considerada, pois ela alimenta apenas os circuitos de entrada e saída da pastilha e, como estas estão inibidas, a sua dissipação é desprezível.

Com $V_{DD} = +12V$ e $V_{BB} = -5V$, o manual do fabricante fornece $I_{DDM} = 38mA$ e $I_{BB} = 0,1mA$, quando são utilizados tempos de ciclo de 400ns e com os sinais presentes nas entradas CE das pastilhas de memória ativos durante 230ns; valores esses que são aproximadamente iguais aos que estão sendo utilizados no caso da memória do novo minicomputador.

Substituindo os valores dados pelo manual em (a), obtém-se o valor da potência dissipada pela pastilha (P_A), quando em operação, e obtém-se $PA = 456,5mW$.

Para o tempo em que as pastilhas não estão em operação, isto é, com o sinal em CE desativado, a potência dissipada P_D fica em 1,82mW, com $I_{DDM} = 0,11mA$ e $I_{BB} = 0,1mA$, segundo dados do manual do fabricante.

A fonte V_{DD} é a mais solicitada durante as operações da placa de armazenamento e, no pior caso, ela deve fornecer 60mA por pastilha, durante os 250ns em que o sinal em CE fica ativo; isso significa que essa fonte deverá fornecer 4,32A durante esse tempo, para acionar as duas placas de armazenamento.

A corrente média a ser fornecida pela fonte V_{DD}, considerando o pior caso de funcionamento da memória, ou seja, um novo ciclo a cada 400ns, é de aproximadamente 800mA, conforme foi verificado experimentalmente.

As outras duas fontes de alimentação são muito pouco solicitadas, sendo a corrente solicitada de ambas muito pequena, especialmente da fonte de +5V.

4.7. Conclusões

O "Lay-Out" da placa de circuito impresso da placa de armazenamento, realmente, se mostrou bastante importante para o bom funcionamento da memória; pois, com um primeiro projeto de "Lay-Out", onde foram tomados todos os cuidados necessários, após os testes da placa foi constatado que o mesmo não estava satisfatório, apesar da placa em questão operar corretamente.

Com as informações extraídas dos testes da primeira placa de armazenamento foi projetado um novo "Lay-Out" que, após os testes da placa, se mostrou altamente satisfatório.

CAPITULO 5

TESTES ELÉTRICOS DA PLACA DE ARMAZENAMENTO E TESTES DA LÓGICA DE CONTROLE DAS PASTILHAS DE MEMÓRIA

5. TESTES ELÉTRICOS DA PLACA DE ARMAZENAMENTO E TESTES DA LÓGICA DE CONTROLE DAS PASTILHAS DE MEMÓRIA

Com o projeto da memória pronto e a implementação terminada, o próximo passo no desenvolvimento foi testar a correção do projeto lógico do sistema de memória e avaliar o desempenho elétrico da implementação escolhida.

Para se realizar os testes elétricos e a avaliação do desempenho da memória foi necessário primeiramente definir a rotina de testes, para que de uma forma organizada, fossem verificados todos os principais pontos do sistema de memória, de modo à se assegurar o bom desempenho nos circuitos projetados.

5.1. Testes da Placa de Armazenamento

Foi desenvolvido um sistema de testes para facilitar ao máximo a depuração das placas de armazenamento, pois depois dos testes que seriam realizados na primeira versão da placa de armazenamento, ainda havia a possibilidade de se ter que testar uma segunda versão dessa placa e mais uma série da última versão aprovada, para compor os 32 K "bytes" para o novo Patinho Feio e os 128 K "bytes" para o G-10. Esse sistema de testes opera com a placa de armazenamento e mostra os resultados por meio de um painel equipado com um conjunto de chaves, botões e "LED's".

5.1.1. Sistema de Testes das Placas de Armazenamento

O sistema de testes desenvolvido, simula opera

ções na memória em testes, com palavras de oito e dezesseis bits, pois como as placas de armazenamento são as mesmas para os minicomputadores Patinho Feio e G-10, o sistema de testes foi implementado para que fosse possível analisar o comportamento das placas operando com palavras de oito bits ou dezesseis bits.

As funções que o sistema de testes realiza na placa de armazenamento em testes são as seguintes:

a) Escrever uma determinada palavra de 16 bits.

b) Ler uma palavra de 16 bits.

c) Escrever uma determinada palavra de 8 bits.

d) Escrever uma determinada palavra de 16 bits na placa de armazenamento, em seguida ler essa palavra e comparar o seu conteúdo com o da que havia sido escrita anteriormente, e caso não haja coincidência é acionado um aviso de "erro detetado".

O sistema de testes foi projetado de modo que as funções a, b, c e d sejam realizadas uma vez, ou repetitivamente, em um único endereço, ou em endereços consecutivos. Quando desejado, a seqüência de testes pode ser interrompida nos seguintes casos:

a) se ocorrer um erro de paridade, quando estiver selecionada a função b, operando em modo repetitivo;

b) se ocorrer um erro de comparação quando o sistema de testes estiver selecionado na função d, operando em modo repetitivo.

O sistema de testes desenvolvido, cujo diagrama de blocos é mostrado na figura 5.1, consiste, basicamente, de um simulador de operações, de um módulo de controle para a placa de armazenamento, de um painel de chaves e "LED's" e de um espaço para inserção da placa de armazenamento a ser testada. A seguir descreve-se as funções e a implementação de cada um desses blocos.

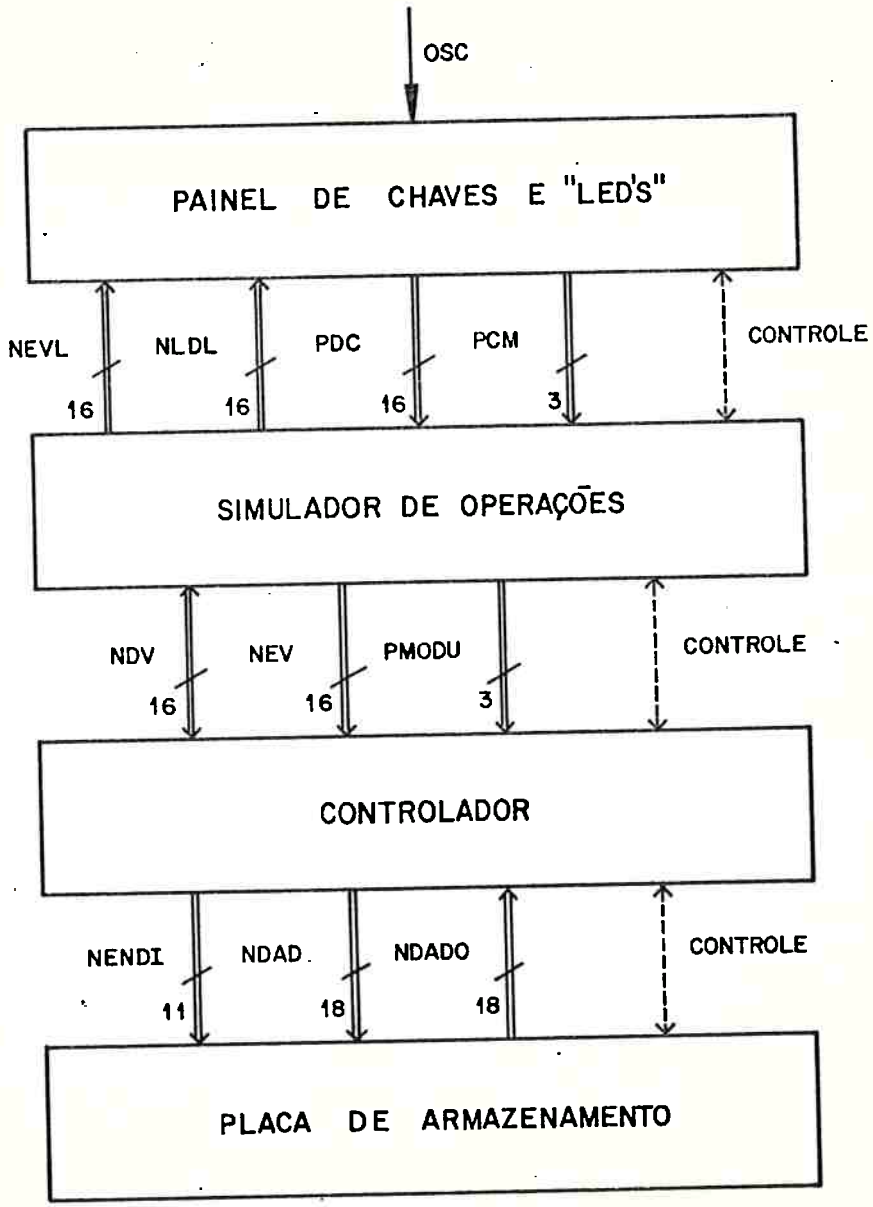


FIGURA 5.1 _ DIAGRAMA DE BLOCOS DO SISTEMA DE TESTES.

5.1.1.1. Painel de Chaves e LED's

O painel de chaves e "LED's" é utilizado para a operação do sistema de testes, e é mostrado esquematicamente na figura 5.2. As funções das chaves e "LED's" do painel são descritos a seguir, baseando-se na nomenclatura utilizada na figura.

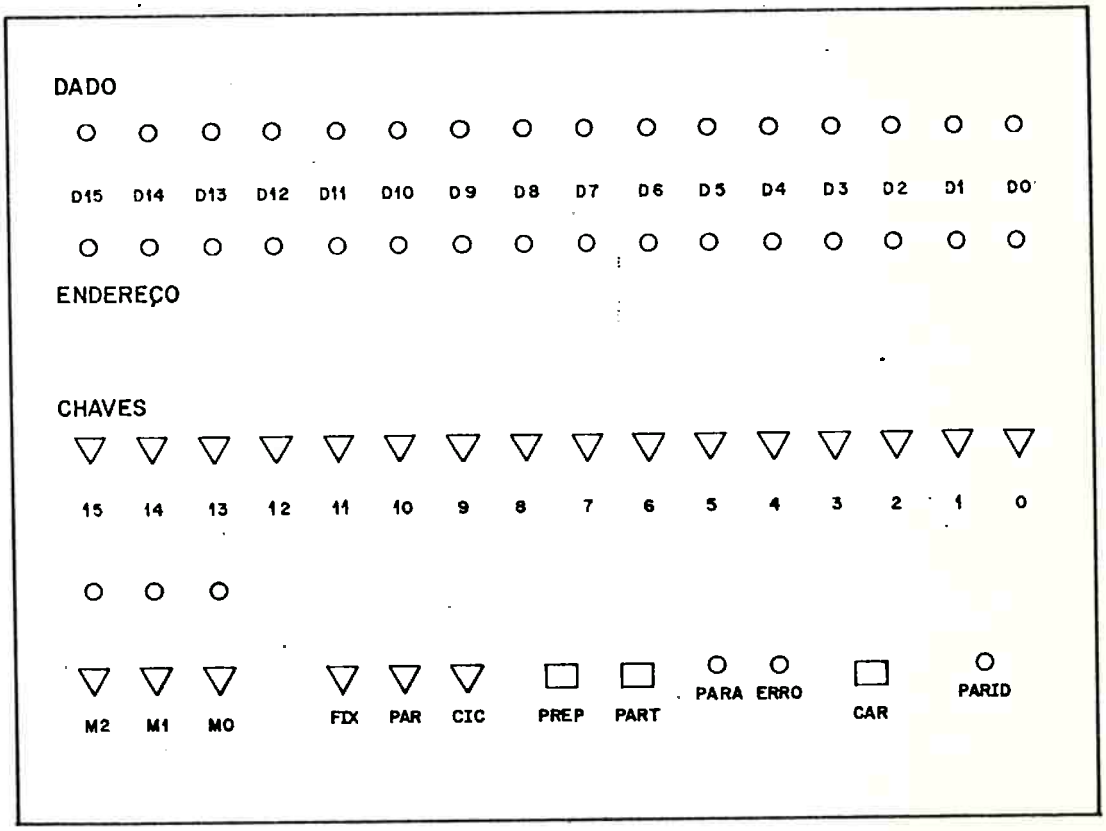


FIGURA 5.2_ PAINEL DE CHAVES E "LED'S" DO SISTEMA DE TESTES.

- Chaves M0, M1 e M2: são utilizadas para selecionar o modo de operação do sistema de testes, ou seja, para selecionar a função a ser realizada na placa de armazenamento, a tabela 5.1. mostra as funções relacionadas com as combinações destas chaves. As combinações que não constam na tabela são reservadas para futuras ampliações no número de funções constantes no sistema de testes;

- Chave FIX: quando ligada, indica que o teste em questão deve ser realizado apenas em um único endereço especificado da placa de armazenamento; caso contrário o mesmo deve ser incrementado a cada início de um novo ciclo do sistema de testes;

M2	M1	M0	Modo de operação
0	0	0	Escrever palavra de 16 bits
0	0	1	Escrever palavra de 8 bits (modifica o conteúdo do byte menos significativo do endereço em questão)
0	1	0	Escrever palavra de 8 bits (modifica conteúdo do byte mais significativo do endereço em questão)
0	1	1	Ler palavra
1	0	0	Escrever palavra de 16 bits, ler esta palavra e comparar

Tabela 5.1. - Modos de operação do sistema de teste

- Chave PAR: quando ligada, indica que a seqüência de testes deve ser interrompida, causando a parada do sistema de teste, se ocorrer um erro de paridade nas operações de leitura, ou se no modo de operação Escrever/Ler/Comparar não houver coincidência entre a palavra escrita na memória e a lida; caso contrário a ocorrência desses eventos

não ocasionam a parada do sistema.

- Chave CICLO ÚNICO: quando ligada, indica que a operação selecionada deve ser realizada por ciclos, isto é, uma operação a cada vez que o botão de partida for pressionado;

- Botão PREP: quando pressionado, posiciona os circuitos do sistema de testes para o início da operação selecionada, posiciona, também, o contador de endereços em zero;

- Botão PART: quando pressionado, dispara os circuitos do sistema de testes, para que o mesmo realize a operação selecionada;

- Botão CAR: quando pressionado, carrega o conteúdo das chaves CHØ a CH15 no contador de endereços, que indica o endereço na placa de armazenamento onde a operação será realizada;

- Chaves CHØ a CH15: o conteúdo dessas 16 chaves indica a palavra que deverá ser escrita na placa de armazenamento, quando o sistema de testes estiver selecionado no modo escrever palavra de 16 bits. Nos casos de escrever palavras de 8 bits, apenas as chaves CØ a C7 são utilizadas, ficando as restantes sem função. O conteúdo destas chaves é utilizado também como endereço, quando usado o botão CAR;

- "LED's" DADOS DØ a D15: mostram o conteúdo das palavras lidas na memória, eles somente são atualizados durante as operações de leitura na placa de armazenamento;

- "LED's" ENDEREÇOS DØ a D15: mostram o conteúdo do contador de endereços, em outras palavras, mostram o endereço da placa de armazenamento onde a operação está sendo realizada;

- "LED's" MØ, M1 e M2: indicam o estado das chaves MØ, M1 e M2 e são utilizados para melhorar a visualização do código da operação que está sendo executada;

- "LED" PARADO: indica se o sistema de testes está parado, quando aceso, ou se está realizando alguma operação, quando apagado;

- "LED" ERRO: quando aceso, indica que ocorreu erro nas comparações durante a execução das operações de Escrever/ /Ler/Comparar; este "LED" somente apagará quando for pressionado o botão PREP;

- "LED" PARIDADE: quando aceso, indica a ocorrência de um erro de paridade durante alguma operação de leitura na placa de armazenamento; este "LED", também permanecerá aceso até que o botão PREP seja pressionado;

- Conector CLOC: conector tipo BNC utilizado para a entrada do sinal de relógio, fornecido por um gerador de pulsos externo. O sinal de relógio é responsável pelo acionamento de todo o controle do sistema de testes, e com a variação da frequência deste sinal, pode-se variar o número de operações por unidade de tempo realizadas na memória, sendo muito útil nas verificações do comportamento das placas de armazenamento para operações muito próximas e, também do comportamento térmico das mesmas.

Com a descrição das funções de cada uma das chaves, botões e "LED's" do painel, a operação do sistema de testes torna-se muito simples, pois os dados, os endereços e a função que está sendo executada são mostrados e comandados por essas chaves e "LED's". O único cuidado especial que se deve tomar é com respeito ao gerador externo, que fornece o sinal de relógio, pois a saída deste deve ser

uma onda quadrada com níveis de tensão compatíveis com a tecnologia TTL.

O painel comunica-se apenas com a placa do simulador de operações, onde os sinais enviados pelo painel à essa placa são correspondentes às operações com as chaves e botões e ao sinal de relógio; os sinais que são enviados para o painel pela placa do simulador são utilizados apenas para alimentar os "LED's" do mesmo.

A figura 5.3. mostra o circuito elétrico do painel de chaves e "LED's".

5.1.1.2. Simulador de Operações

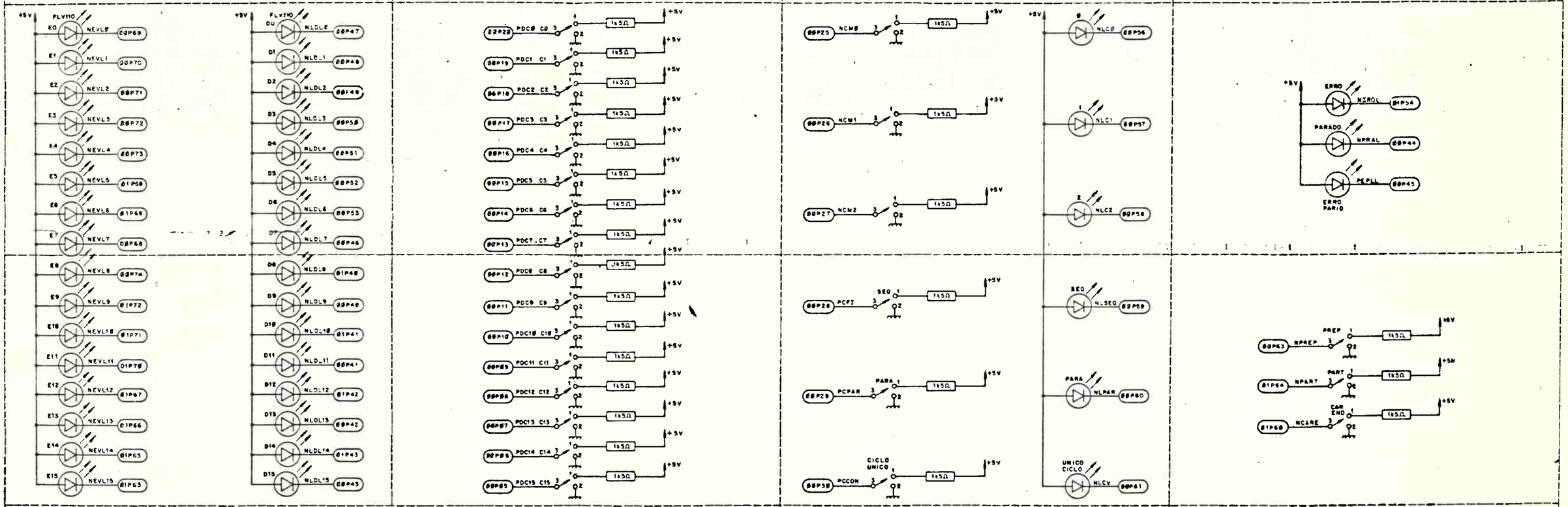
A função dos circuitos do Simulador de Operações do sistema de testes é gerar sinais de controle, de dados e de endereços e enviá-los ao Controlador e ao Painel de Chaves e "LED's". Todos os sinais enviados ao Controlador são gerados a partir das posições das chaves do Painel de Chaves e "LED's" e toda a geração de sinais de tempos necessários aos circuitos deste módulo é feita através do sinal NOMEG, que provém da entrada CLOC do painel.

Os sinais enviados deste simulador para o painel são utilizados por este último apenas para excitar os "LED's", quando os mesmos devem permanecer acesos.

O simulador de Operações está implementado em uma placa com fiação em "wire-wrap", e o diagrama lógico dos seus circuitos é mostrado na figura 5.4. e 5.4A.

5.1.1.3. Controlador

A função do Controlador é gerar os sinais ne



CHAVE

1 — RESISTOR / Vcc (+5V)
2 — TERRA
3 — COMUM

FIGURA 5.3 - PAINEL DE CHAVES E "LED'S"

O	P	DESCRIÇÃO					CODIGO	DESENHO
MATERIAL		BITOLA	ACABAMENTO	UNIDADE	TOL. GERAL LIN ANG.	NUMERO	E2-A1-251	
TITULO: PAINEL TESTE DA MEMÓRIA				NOME ROSA		FL. 1 DE 1		
				APROV.		CODIGO		
				DATA 28/8/76		CONJUNTO		
ESC.	MEGA MEMÓRIA			SUBSTITUIDO		PCOMP-111		
				SUBSTITUTO				

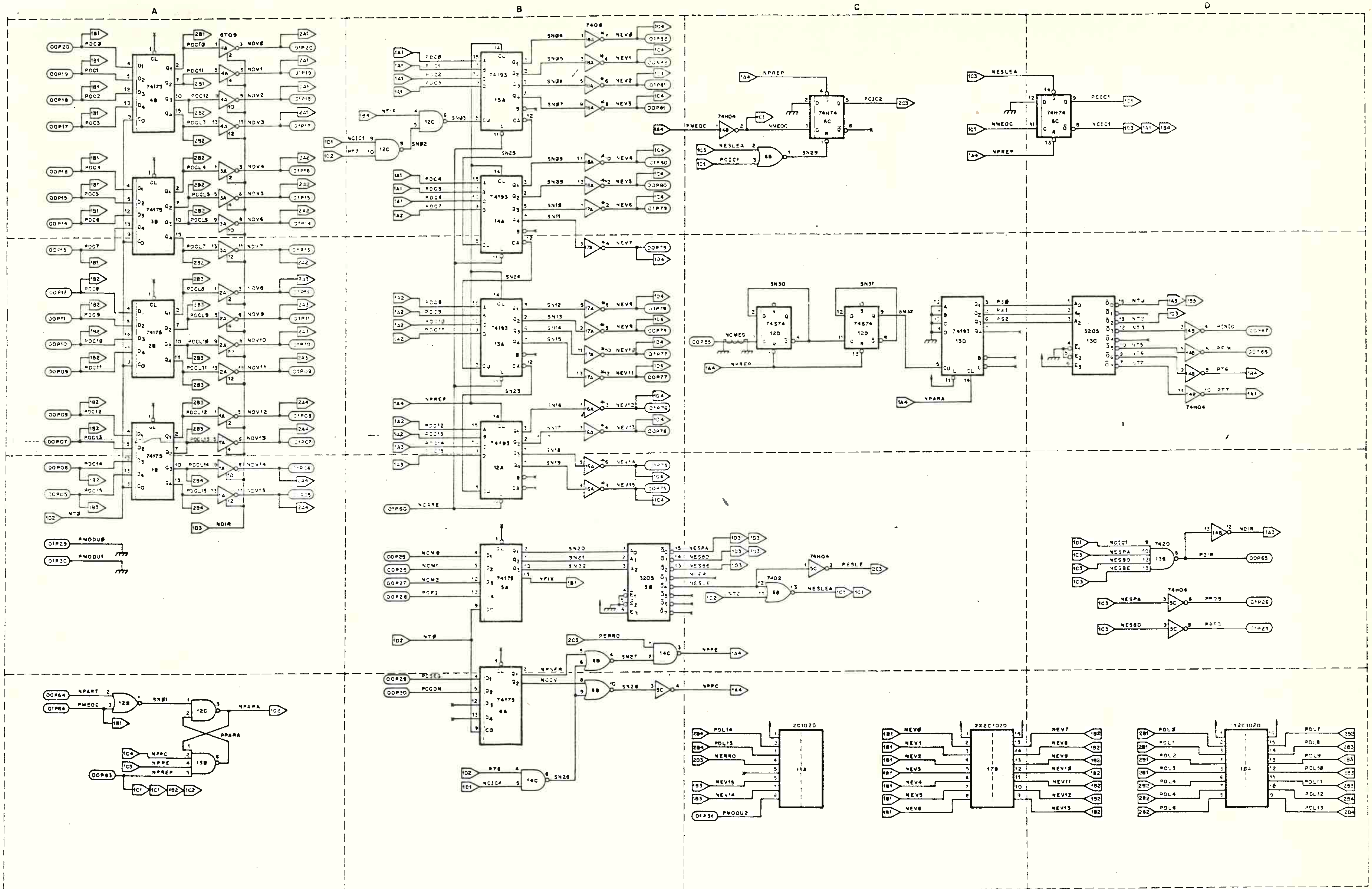


FIGURA 5.4_ SIMULADOR DE OPERAÇÕES

Ø	P	DESCRIÇÃO	CODIGO	DESENHO
MATERIAL	BITOLA ACABAMENTO	UNIDADE	TOL GERAL LIN ANG	NÚMERO E2-A1-244
TITULO: P.T.M — PLACA DE TESTE DA MEMÓRIA		NOME MARLY		FL 1 DE 1
		APROV		CODIGO
		DATA 21/5/76		CONJUNTO
		SUBSTITUIDO		PCOMP-111
		SUBSTITUI		

0	P	DESCRIÇÃO				CÓDIGO	DESENHO
MATERIAL		SIGLA	ACABAMENTO	UNIDADE	TOL. GERAL LIN. ANG.	NÚMERO E2-A1-244	
TÍTULO: P.T.M. — PLACA DE TESTE DA MEMÓRIA				NOME MARLY		FL. 2 DE 2	
				APROV		CÓDIGO	
				DATA 21/5/76		CONJUNTO	
				SUBSTITUÍDO		PCOMP-111	
				SUBSTITUTO			

cessários para o acionamento da placa de armazenamento e receber os sinais de dados da mesma. Os principais circuitos que compõem este módulo são:

- Registrador de Dados de Leitura: responsável pela transferência dos dados lidos na placa de armazenamento para o Simulador de Operações;

- Registrador de Dados de Escrita: responsável pela transferência dos dados do Simulador de Operações para serem armazenados na placa de armazenamento;

- Registrador de Endereços: responsável pela transferência dos sinais de endereço do Simulador de Operações para a placa de armazenamento;

- Circuito de Refrescamento: responsável pelas operações de refrescamento das pastilhas de memória da placa de armazenamento; esse refrescamento é efetuado coluna a coluna, sendo portando necessário um ciclo a cada 31,25μs para realizar essa operação, que é efetuada através de ciclos de leitura com os circuitos de entrada e saída das pastilhas de memória inibidos pelos sinais "chip select";

- Circuito de Controle: responsável pela geração de todos os sinais de controle utilizados pela placa de armazenamento e dos utilizados para informar ao Simulador de Operações o estado em que se encontra o Controlador;

- Circuito de Paridade: responsável pela geração dos bits de paridade a serem armazenados nas operações de escrita e pelo teste desses bits nas operações de leitura, caso ocorra um erro de paridade este fato é sinalizado ao Simulador de Operações.

O circuito de controle é acionado pelo sinal NREL, que é fornecido por um gerador externo, e deve ser uma onda quadrada com freqüência de 40MHz e níveis de tensão compatíveis com a tecnologia TTL.

Os circuitos do Controlador foram implementados em apenas uma placa com fiação em "wire-wrap"; e o diagrama lógico do mesmo está mostrado nas figuras 5.5. e 5.5A.

5.1.1.4. Placa de Armazenamento

Este bloco do sistema de teste corresponde, na realidade, a um conector de borda, onde será encaixada a placa de armazenamento a ser testada. Para cada versão das placas de armazenamento é utilizada uma posição diferente, deixando-se assim, o sistema de testes apto para ser utilizado com qualquer versão das placas de armazenamento.

Atualmente estão interligados os conectores para as duas versões existentes das placas de armazenamento; estando também, previsto o espaço para a fiação correspondente as placas de armazenamento da memória de núcleos de ferrite já existentes, na eventualidade de possíveis manutenções nas placas em operação.

Finalmente, a figura 5.6. mostra a disposição das placas de circuito impresso na gaveta do sistema de testes. Nessa figura pode ser notada a existência de espaços reservados para futuras ampliações do sistema, como por exemplo, o local reservado para a placa de interface,onde será implementado um circuito utilizado para acoplar o sistema de testes a um computador.

A ligação do Sistema de testes a um computador possibilitaria teste e diagnose automática nas placas de armazenamento, facilitando bastante a manutenção corretiva e

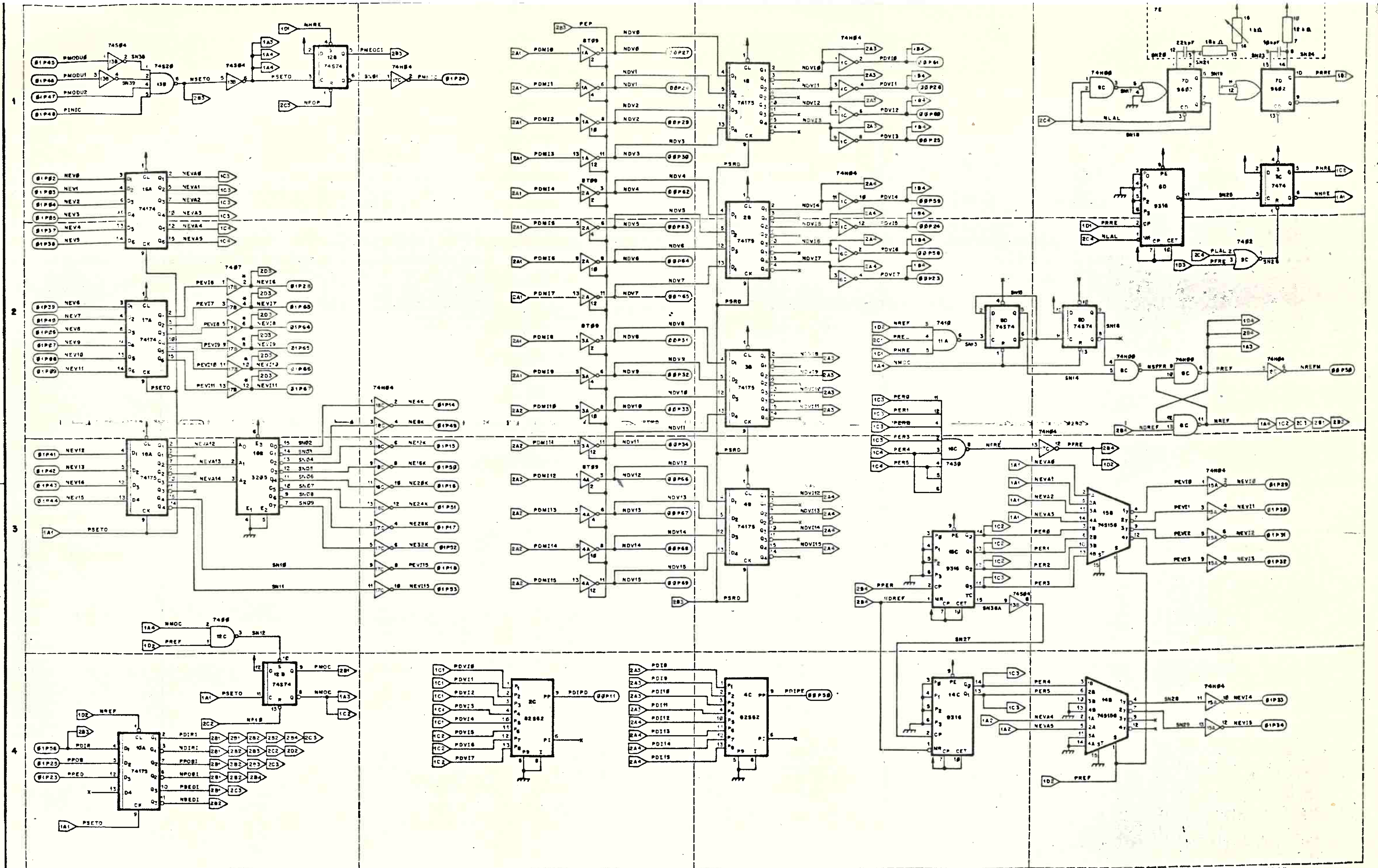


FIGURA 5.5_ CONTROLADOR

O	P	DESCRIÇÃO				CÓDIGO	DESENHO
MATERIAL		BITOLA	ACABAMENTO	UNIDADE	TOL. GERAL LIN. ANG.	NÚMERO E2-A1-242	
TÍTULO P2O-MM-PRÉ				NOME NELSON		FL 1 DE 2	
				APROV		CÓDIGO	
				DATA 4/5/76		CONJUNTO	
ESC.				SUBSTITUIDO		PCOMP-111	
				SUBSTITUI			

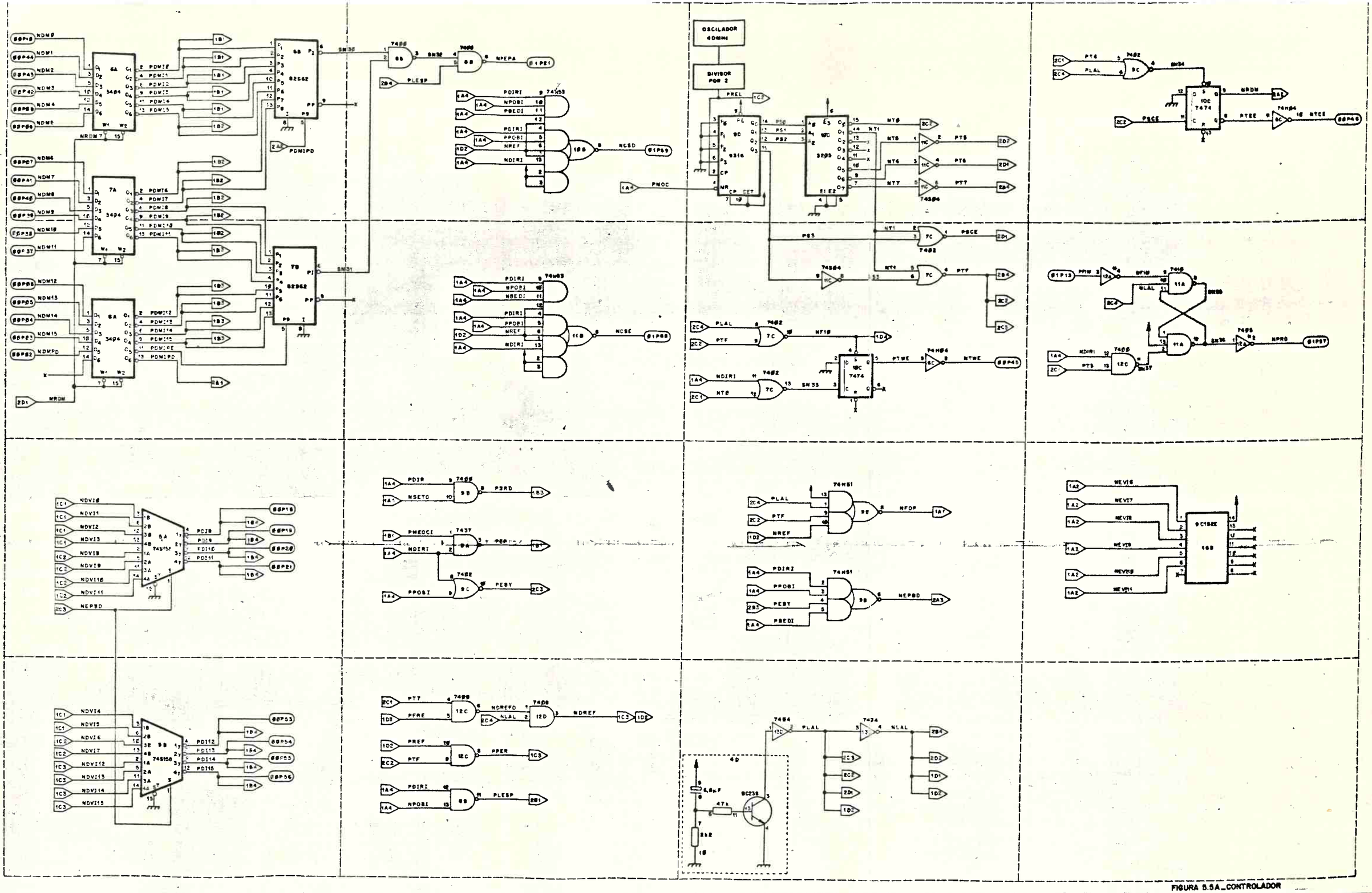


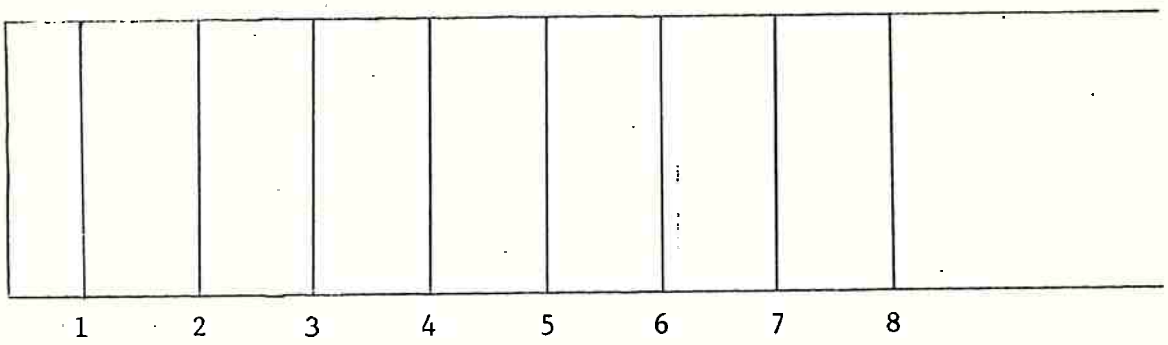
FIGURA 5.5A_CONTROLADOR

D I F	DESCRIÇÃO					CÓDIGO	DESENHO
MATERIAL		BITOLA	ACABAMENTO	UNIDADE	TOL. GERAL LIN. ANG	NÚMERO E2-A1-242	
TITULO P20 – MM – PRE				NOME NELSON		FL 2 DE 2	
				APROV		CÓDIGO	
				DATA 4/8/78		CONJUNTO	
ESC.	USOS			SUBSTITUINDO		PCOMP-111	
				SUBSTITUI			

a depuração de novas placas.

Outra reserva para ampliação futura é o local reservado para a placa de controle da memória de núcleos de ferrite, que deverá ser utilizada quando se desejar testar e diagnosticar os defeitos das placas de armazenamento da mesma.

O simulador de operações fornece o endereço de memória, onde se realizará a operação, em 16 bits, que representa uma capacidade de endereçamento de até 64K palavras, que é um fato importante, pois se poderá testar até oito placas de armazenamento simultaneamente, quando o teste for automático.



1. placa da interface
2. placa do simulador
3. placa do controlador
4. placa do controlador para memória de núcleos
5. reservado para placa de armazenamento de núcleos de ferrite
6. placa de armazenamento primeira versão
7. placa de armazenamento segunda versão

acima de 7 - para futuras versões das placas de armazenamento.

Figura 5.6. - Mapa da Gaveta utilizada pelo Sistema de Testes

5.1.2. Rotina de Testes da Placa de Armazenamento

Utilizando-se uma placa de extensão, insere-se a placa de armazenamento, no espaço apropriado da gaveta do sistema de testes. Neste ponto as pastilhas de memória, ainda, não devem estar colocadas na placa de armazenamento, estando nesta, portanto, montados apenas os circuitos periféricos, das mesmas.

Com a placa de armazenamento acoplada ao sistema de testes, ligam-se as fontes de -5, +5 e +12, preferívelmente nessa ordem, pois deve-se evitar que as outras duas fontes fiquem mais negativas que a de -5V, o que danificaria as pastilhas com tecnologia MOS.

Pressionando-se o botão PREP do painel, seguramente, as únicas operações que estarão sendo realizadas na placa de armazenamento serão as de refrescamento; nesta situação, utilizando-se um osciloscópio, observam-se as formas de onda apresentadas pelas três fontes de alimentação, as quais devem estar de acordo com as especificações do fabricante; a seguir, são verificados, também, com auxílio do osciloscópio, e através da operação Escrever Palavra de 16 Bits do Sistema de Testes, os sinais de endereços, de controle e de dados de entrada, para que sejam detectados os defeitos, que possam existir na placa de circuito impresso, e que poderiam causar danos nas pastilhas de memória.

Após as verificações acima, deve-se colocar as pastilhas de memória na placa de armazenamento, preferívelmente "byte" a "byte".

Já com a placa de armazenamento completa, volta-se a pressionar o botão PREP do painel, para ter-se apenas os sinais correspondentes à operação de refrescamento atuando na placa de armazenamento. Devendo ser observados então, com o auxílio de um osciloscópio, e agora em diversos pontos da placa, o comportamento das fontes de alimentação, para verificar-se se ainda estão de acordo com as especificações do fabricante, nas suas piores condições de funcionamento, que é justamente durante o tempo de refrescamento. Os resultados obtidos devem ser semelhantes aos da figura 5.7., onde verifica-se que os níveis estão dentro das especificações do fabricante que, resumidamente, são:

$V_{DD} = 12 \pm 0,6V$

$V_{CC} = 5 \pm 0,5V$

$V_{BB} = -5 \pm 0,25V$

$V_{SS} = 0V$

Verificadas as tensões de alimentação, o próximo passo é observar-se os sinais de "chip enable"; o que também deve ser feito em vários pontos da placa, com algumas resistências de saída da pastilha conversora de nível (3245) de valores diferentes, de forma a obter-se um bom tempo de subida sem a ocorrência de "overshoots" e "undershoots" excessivos no pulso positivo dos sinais de "chip enable".

A figura 5.8. mostra a forma de onda do sinal de "chip enable", onde se nota um tempo de subida da ordem de 20ns, com o qual o nível máximo de tensão do nível lógico zero se localiza em 900mV, para as entradas de dados e de endereços das pastilhas de memória.

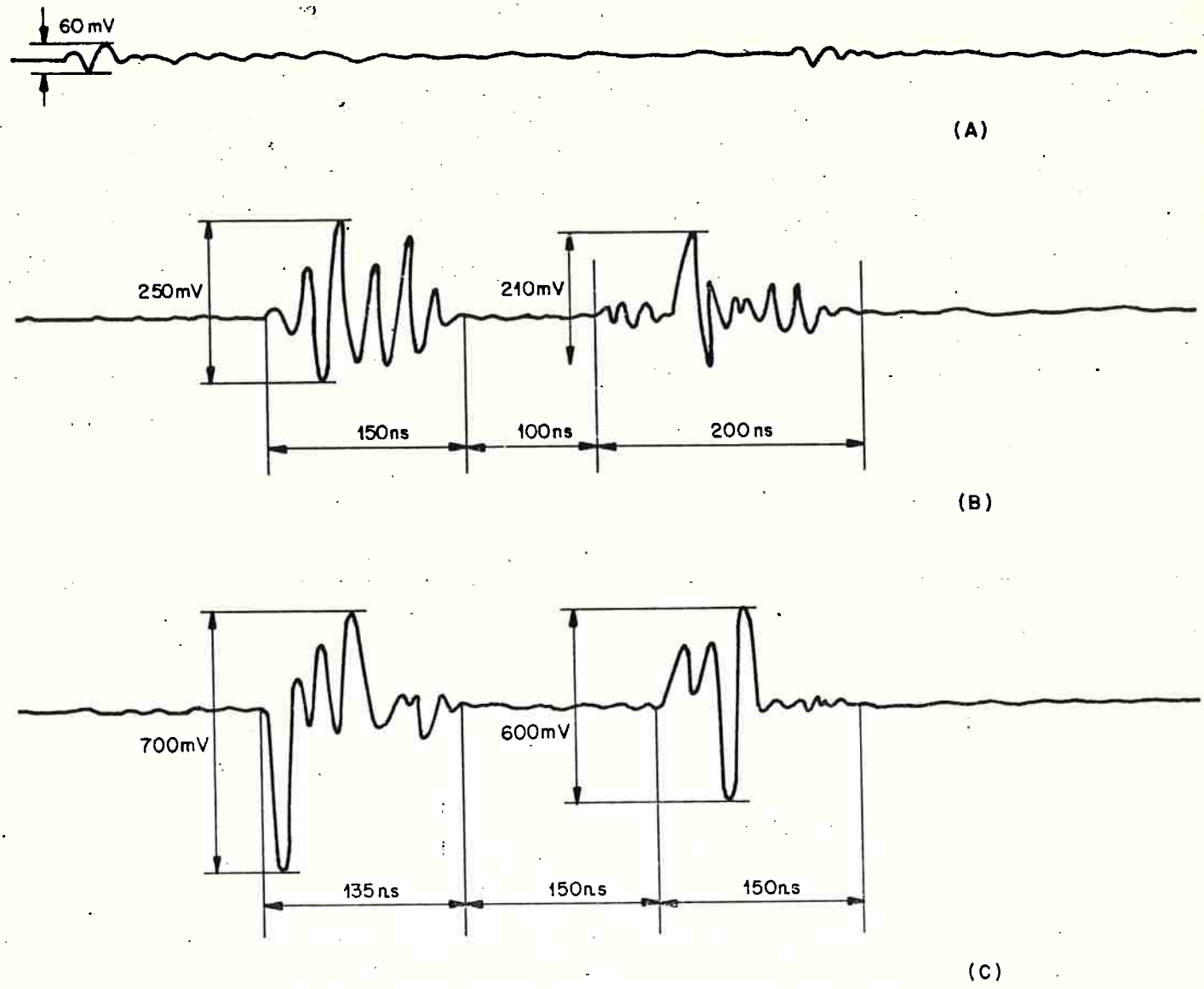


FIGURA 5.7 _ COMPORTAMENTOS DAS FONTES DE ALIMENTAÇÃO (A)_ Vcc , (B)_ Vbb , Vdd .

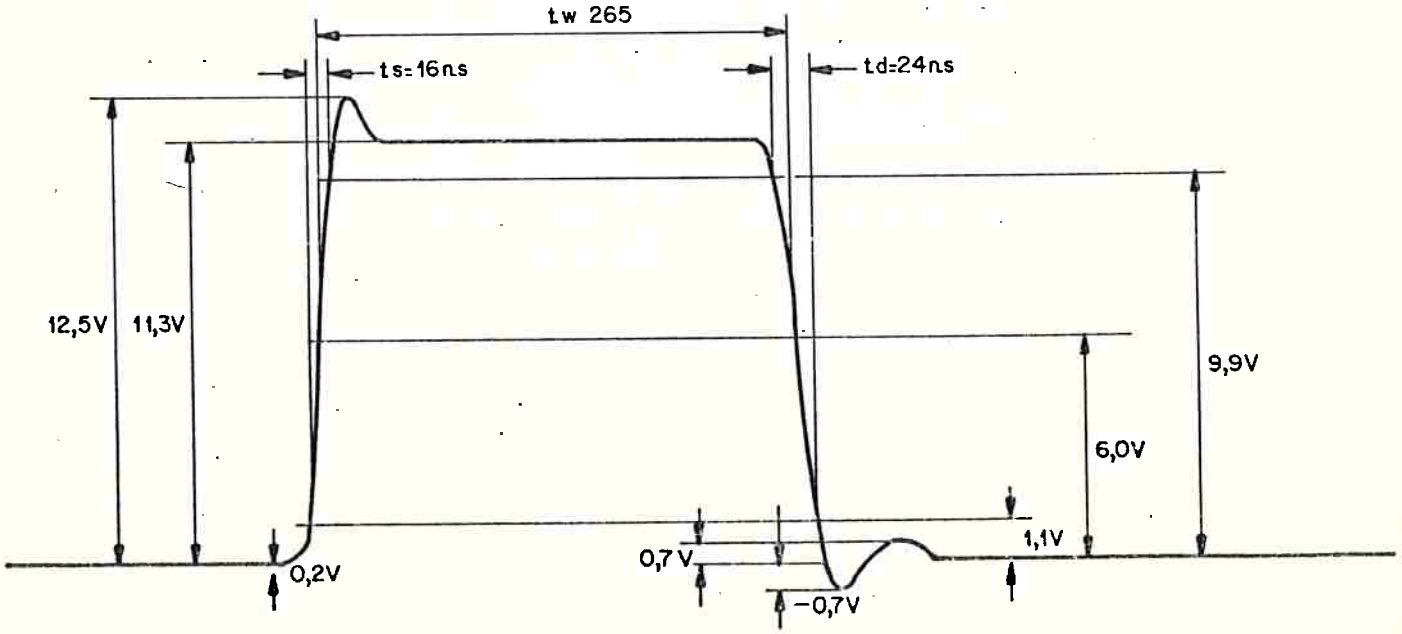


FIGURA 5.8 _ FORMA DE ONDA DO SINAL "CHIP ENABLE"

Após a verificação dos sinais de "chip enable" deve-se passar aos sinais de endereço; para tanto é necessário posicionar o sistema de testes no modo Escrever Palavras de 16 bits em endereços consecutivos e observar-se no osciloscópio as formas de onda desses sinais, sistematicamente, em vários pontos da placa de armazenamento, antes e depois da porta NOT que os isola da via de dados da memória.

Na primeira versão da placa de armazenamento, onde se havia obtido um tempo de subida para os sinais de "chip enable" da ordem de 30ns, constatou-se que em todos os sinais de endereço existia um ruído causado pelo "cross-talk" entre as linhas de "chip enable" e as linhas de endereço; esse ruído elevava em alguns pontos a tensão do nível zero dos sinais a mais de 600mV, que era o máximo permitido.

Este problema foi solucionado através de um novo projeto do "lay out" da placa, onde foram modificadas principalmente as posições das portas NOT, que isolam os sinais de endereço da via da memória, colocando-as no centro da placa de armazenamento, e os sinais de endereço e de "chip enable" foram colocados em lados opostos da placa de armazenamento, tomando-se o cuidado de não os deixar muito próximos. Com essas modificações os sinais de endereço ficaram com os níveis aceitáveis, ou seja, com os níveis de tensão dentro da faixa especificada, além de obter-se um tempo de subida melhor para os sinais de "chip enable".

Após a conclusão da observação dos doze sinais de endereço, devem ser verificados os sinais de dados de entrada.

Com o sistema de testes ainda posicionado no modo de Escrever Palavras de 16 bits em endereços consecuti

vos, operações de escrita estarão sendo realizadas na placa de armazenamento, possibilitando desse modo a verificação dos sinais em questão.

Ainda com a ajuda do osciloscópio deve ser observado o comportamento de cada um dos 16 sinais, para ambos os níveis lógicos, o que é feito alternando-se a posição das chaves de dados de escrita do painel do sistema de testes.

O comportamento dos sinais será considerado aceitável se as tensões correspondentes ao nível lógico zero tiverem máximos menores que 900mV e o nível um com 2,4V no mínimo, para o tempo de subida de 20ns dos sinais de "chip enable", que foi obtido.

Na primeira versão da placa de armazenamento o comportamento dos sinais de dados de entrada não foi satisfatório, pois a tensão de nível zero chegava ao limite máximo permitido para a placa em questão, que era da ordem de 600mV. Para sanar este problema, além das alterações introduzidas no novo "lay out", foram colocadas portas NOT para isolar estes sinais da via da memória, portas estas que não existiam na primeira versão da placa.

Além dos 16 sinais de dados de entrada também devem ser verificados, em ambos os níveis, zero e um, os dois sinais correspondentes aos dois bits paridade que são escritos na placa de armazenamento.

O sinal de "write enable" é verificado, também com auxílio do osciloscópio, alternando-se o modo de operação do sistema de testes entre Escrever Palavras de 16 bits e Ler Palavras, pois desse modo pode-se observar os dois estados desse sinal. Deve-se entretanto, sempre observar a

forma de onda dos sinais em vários pontos da placa de armazenamento; e os níveis de tensão serão considerados satisfatórios se forem menores que 900mV para o nível lógico zero e maiores que 2,4 V para o nível um.

Os sinais de "chip select" devem ser verificadas alternando-se os três modos de operação do Sistema de testes onde são escritos dados na placa de armazenamento.

No modo Escrever Palavras de 16 bits os dois sinais devem permanecer em nível zero, nos modos Escrever Palavras de 8 bits os dois sinais de "chip select" devem ser complementares e sempre durante os ciclos de refrescamento, estes sinais devem permanecer em nível um.Novamente, os níveis de tensão são aceitáveis se forem menores que 900mV para o nível lógico zero e maiores que 2,4V para o um.

Finalmente, os últimos sinais a serem verificados na placa de armazenamento são os sinais de dados de saída das pastilhas de memória,e estando estes de acordo com o previsto, a placa de armazenamento estará em condições de ser testada dinamicamente em todas as funções.

Para verificação dos sinais de saída das pastilhas, deve-se em primeiro lugar armazenar nas mesmas um conteúdo conhecido e em um endereço pré-determinado. Para tal, posiciona-se o sistema de testes em modo Escrever Palavras de 16 bits em um endereço fixo, e coloca-se nas chaves o conteúdo FFFF, ou seja todos os bits em um. Com o sistema de testes em funcionamento verifica-se a forma de onda nos pinos correspondentes ao dado de saída das pastilhas de memória, que deve ter a forma correspondente a da figura 5.9. a; se a saída que está sendo monitorada não obedecer a forma prevista é ou porque a pastilha de memória não está boa, ou porque o circuito impresso está com problemas. Esta

verificação deve ser feita para todos os 16 bits de dados e os dois de paridade.

Após verificar-se os pinos de saída das pastilhas de memória durante a operação de escrita, passa-se o sistema de testes para o modo Ler Palavras e verifica-se novamente os pinos de saída, que devem apresentar aproximadamente formas de onda conforme a figura 5.9.b; caso não seja obtida uma forma de onda semelhante e se todas as entradas da pastilha de memória estiverem de acordo com o previsto, é aconselhável trocar essa pastilha e verificar novamente a sua saída.

Com esse procedimento verifica-se se as pastilhas de memória estão armazenando e lendo corretamente os dados em nível lógico um em um único endereço. Após esta verificação, deve-se proceder do mesmo modo para os dados em nível zero. Para ser possível verificar os sinais em todas as pastilhas é necessário que se altere convenientemente os endereços, por meio das chaves do painel do sistema de testes.

Quando a saída de todas as pastilhas de memória estiverem verificadas, posiciona-se o sistema de testes no modo Ler Palavra nos mesmos endereços onde foram executadas as operações de escrita, e verifica-se novamente as saídas, que agora devem possuir formas de onda semelhantes à da figura 5.9.c. Esta verificação deve ser feita em todas as pastilhas de memória da placa de armazenamento; caso alguma delas não estiver de acordo com a figura é aconselhável trocar-se a pastilha em questão e verificar-se se a saída está de acordo com o previsto.

Ao terminar mais este teste, pode-se concluir que a placa de armazenamento está armazenando e lendo corre

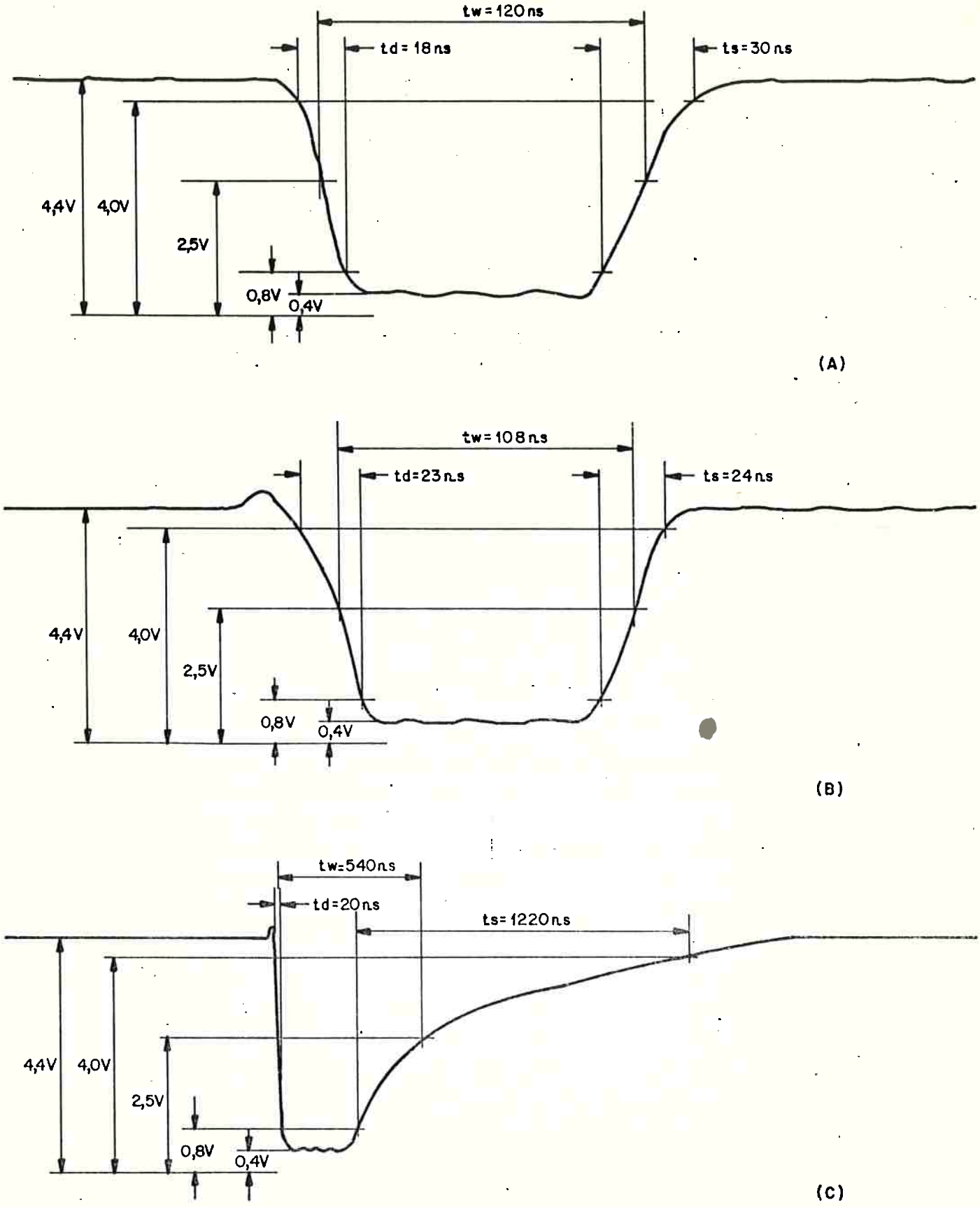


FIGURA 5.9_ FORMA DE ONDA DO SINAL DE SAÍDA.

(A)_ OPERAÇÃO DA ESCRITA
(B)_ OPERAÇÃO DE LEITURA NO NÍVEL "1"
(C)_ OPERAÇÃO DE LEITURA NO NÍVEL "0"

tamente, nos endereços que foram utilizados para os testes, fato este que pode ser observado no painel do sistema de testes, através do "LED's" correspondentes ao dado lido da memória.

O passo seguinte é verificar se a placa de armazenamento está operando corretamente para todos os endereços da mesma; para tanto, o procedimento é idêntico ao descrito anteriormente para um único endereço, somente com a ressalva que se deve posicionar o sistema de testes para operar em endereços consecutivos.

O mau funcionamento das pastilhas de memória são detectados através da observação das formas de ondas dos dados da saída das mesmas, eles devem ser sanados com a substituição das pastilhas defeituosas.

Verificados todos os sinais da placa de armazenamento, em seguida deve-se verificar o comportamento dinâmico da mesma, no que diz respeito às operações de escrita e leitura.

Esse teste é efetuado posicionando-se o sistema de testes no modo Escrever/Ler/Comparar, inicialmente em um único endereço, e verificando-se os "LED's" de dados de leitura se alteram de modo correspondente às alterações das chaves de dados. Caso ocorram discrepâncias entre a posição das chaves e os "LED's" correspondentes, deve-se verificar, novamente, os sinais da placa de armazenamento, especialmente o de "chip enable".

Ao constatar-se que o teste em um único endereço não apresenta problemas, o próximo teste será semelhante ao anterior, mas posicionando-se o sistema de testes para realizar as operações em endereços consecutivos. Neste caso, é interessante observar-se as formas de onda dos sinais da

placa de armazenamento e verificar se as mesmas não apresentam pontos críticos, para várias taxas de operação com a memória, conseguidas com a variação do gerador externo acoplado ao sistema de testes.

Finalmente, após a realização desse último teste, deve-se posicionar o sistema de testes no modo Ler/Escrever/Comparar, em endereços consecutivos e com a chave PAR ligada e ainda, utilizando-se a maior frequência possível no gerador externo, de modo a obter-se um pequeno intervalo entre duas operações consecutivas na placa de armazenamento. Deve-se, então deixar o sistema de testes exercitando a placa de armazenamento durante, aproximadamente, quatro horas. Este teste é efetuado para detetar a ocorrência da chamada "mortalidade infantil" dos circuitos integrados, isto é, ocorrência de falhas nos mesmos durante as primeiras horas de uso.

Decorridas essas quatro horas de testes, se não houver nenhuma falha, a placa de armazenamento, em teste, estará pronta para ser inserida e testada no minicomputador, com probabilidade bastante baixa de apresentar algum mau funcionamento.

Observa-se, entretanto, que quando se tratar de uma nova versão da placa de armazenamento, ainda, deve se verificar a dissipação de calor das pastilhas da placa, que deve estar de acordo com as condições de ventilação do empacotamento da máquina que irá utilizar essa placa. A corrente que a placa de armazenamento drena das fontes de alimentação também é um fator importante, e que deve ser verificado com a placa trabalhando em condições de máximo consumo, ou seja, com ciclos de memória ocorrendo o mais próximo possível.

A seguir, apresenta-se resumidamente a rotina de testes das placas de armazenamento, utilizando o sistema de testes:

- com apenas os circuitos periféricos da placa, verifica-se as tensões de todas as fontes de alimentação;

- posicionar o sistema de testes no modo Escrever Palavras de 16 bits, em endereços consecutivos, ainda apenas com os circuitos periféricos da placa, com o auxílio de um osciloscópio, verificar todos os sinais de endereço e de dados de entrada;

- colocar um "byte" de memória e verificar especialmente o sinal "chip enable", correspondente a esse "byte";

- completar a placa de armazenamento "byte" a "byte", sempre verificando especialmente o sinal "chip enable";

- posicionar o sistema de testes, para o modo Escrever Palavras de 16 bits, em um único endereço, e verificar os sinais de dado de entrada;

- posicionar o sistema de testes para o modo Escrever Palavras de 16 bits, em endereços consecutivos, e verificar os sinais de dado de entrada;

- posicionar o sistema de testes para o modo Ler Palavras de 16 bits, em um único endereço, e verificar os sinais de dados de saída;

- posicionar o sistema de testes para o modo Ler Palavras de 16 bits, em endereços consecutivos, e verificar os sinais de dados de saída;

- posicionar o sistema de testes para o modo Escrever/Ler/Comparar, em um único endereço, e variar o dado de escrita na memória;

- posicionar o sistema de testes para o modo Escrever/Ler/Comparar, em endereços consecutivos, e variar o dado de escrita na memória;

- posicionar o sistema de testes para o modo Escrever/Ler/Comparar, em endereços consecutivos e com a chave PAR acionada, e deixar o sistema em operação durante algumas horas.

Terminada esta sequência de testes da placa de armazenamento, o próximo passo será testá-la no minicomputador que irá utilizá-la, existindo uma probabilidade bastante grande da mesma operar satisfatoriamente já no primeiro teste.

5.2. Testes da Placa de Controle

Para a placa de controle da memória, devido às suas características, o procedimento de teste utilizado é o que normalmente se aplica para as placas de circuitos digitais, ou seja, primeiramente um teste estático dos circuitos da placa e depois um teste dinâmico, já no próprio sistema no qual a mesma irá operar definitivamente.

No teste estático, efetuado em equipamento adequado, são verificados os níveis dos sinais de saída e internos à placa, gerando as entradas da mesma, que são excitadas com níveis de tensão convenientes. Neste teste são verificados, principalmente, os caminhos de dados e a geração dos sinais de controle, sempre estaticamente.

Concluído o teste estático a placa de controle foi inserida no novo minicomputador, onde os circuitos de controle e do fluxo de dados já haviam sido testados, faltando apenas instalar-se a memória para dar-se início aos testes dinâmicos da máquina.

Os testes foram iniciados com o minicomputador no estado parado, isto é, sem realizar nenhuma operação com a memória; neste estado apenas o circuito de refrescamento está em operação e pode-se, então, verificar o funcionamento do mesmo, que deve estar gerando corretamente os sinais de endereço e de "chip enable" utilizados nas operações de refrescamento.

Com o refrescamento operando corretamente o próximo passo foi verificar se a operação de armazenamento na memória estava sendo realizada corretamente e se, nesse caso os bloqueios da CPU, durante as operações de refrescamento não estavam causando algum mau funcionamento na mesma. Este teste foi realizado utilizando-se as operações da chave Armazena do painel do minicomputador e o circuito de partidas automáticas, que fornece pulsos de partida em intervalos de tempo regulares, cuja freqüência pode ser regulada.

Neste teste verificou-se, principalmente, se o Registrador de Dados de Escrita e o Registrador de Endereços estavam copiando corretamente os dados provenientes da CPU, e se os sinais de endereço, de "chip select" e de "write enable" estavam sendo gerados e enviados corretamente para as placas de armazenamento. Estes sinais foram observados nos conectores das placas de armazenamento com auxílio de um osciloscópio, para verificar a existência de ruídos induzidos que pudessem comprometer o bom funcionamento da memória.

Após constatar-se que o comportamento dos sinais estavam de acordo com as especificações, nas operações de armazenamento na memória, o passo seguinte foi testar o circuito de controle para as operações de leitura na mesma. Para a realização desse teste foram utilizadas as operações da chave Exposição do Painel e o circuito de partida automática. Com os ciclos de leitura de memória, realizados repetitivamente, pôde verificar-se, novamente com auxílio de um osciloscópio, o comportamento dos sinais de "write enable" e do relógio do Registrador de Dados de Leitura. Como a placa de armazenamento ainda não estava acoplada ao minicomputador, não foi possível verificar se o registrador em questão estava copiando corretamente os dados provenientes da placa de armazenamento.

Concluído esse último teste, com o comportamento dos sinais considerado satisfatório, a placa de controle de memória encontrava-se em condições de entrar em operação normal e o passo seguinte foi inserir no minicomputador a placa de armazenamaento da memória e testar o seu funcionamento integrado.

5.3. Testes do Sistema de Memória

Os testes do sistema de memória do novo minicomputador foram realizados no próprio minicomputador, com as placas de controle e armazenamento já instaladas no mesmo. Este tipo de teste, como já era esperado, trouxe alguns problemas, pois como os circuitos de controle e do fluxo de dados tinham sido testados apenas estaticamente, quanto ao funcionamento de cada uma das instruções, e com os testes dinâmicos poderiam aparecer alguns problemas causados pelo "timming" dos circuitos, que ainda não haviam sido testados, e que deveriam ser sanados concomitantemente com os testes que seriam feitos no sistema de memória.

O primeiro teste realizado foi verificar, novamente, a geração do refrescamento da memória e, conseqüentemente, se o circuito de controle do minicomputador estava sendo bloqueado corretamente, durante essa operação. Neste teste foram verificados na placa de armazenamento, com o auxílio de uma placa de extensão e um osciloscópio, os sinais de endereço de refrescamento, os de "chip enable", os de "write enable" e os de "chip select". Todo esse teste foi realizado com o minicomputador no estado parado, onde somente o circuito de refrescamento está funcionando.

Constatado o perfeito funcionamento da operação de refrescamento, o passo seguinte foi operar-se com a memória através das chaves de Armazenamento e Exposição do painel do minicomputador, onde por meio das quais pode-se armazenar e ler o conteúdo da memória. Para verificar-se as operações dinamicamente foi utilizada a chave de Partida Automática, que permitiu a observação do comportamento dos sinais de endereço, de dado de entrada, de dado de saída e de controle na própria placa de armazenamento.

Sanados os problemas que surgiram neste último teste, ou seja, quando as operações de armazenamento e exposição pelo painel estavam funcionando perfeitamente, o próximo passo foi tentar a execução de programas simples para um teste final, com a memória que esta sendo instalada. Este é, sem dúvida, o passo mais delicado de todo o teste executado, porque além dos problemas que possívelmente existiriam no sistema de memória, certamente apareceriam os resultantes dos circuitos de controle e do fluxo de dados do minicomputador, muitos dos quais de difícil diagnose, mas o esforço é compensador, pois terminados os testes com a memória, o minicomputador estará, praticamente, com os seus circuitos totalmente depurados.

Após o término desta fase de testes, um programa que consiste do teste intitulado GALPAT (Galloping Patterns) foi implementado e colocado em operação. Este teste é muito bom para detectar interferências e ruídos que por ventura existam entre as linhas de endereço da memória e, além de tudo, é recomendado pelo fabricante das pastilhas de memórias utilizadas na implementação das placas de armazenamento.

O teste GALPAT consiste em armazenar uns e zeros na memória em uma determinada sequência de endereços; o algorítmo utilizado para este teste é descrito a seguir:

- Inicia-se o teste preenchendo toda a memória com palavras cujo conteúdo seja FF ou com palavras 00;

- Escolhe-se um endereço para teste e armazena-se nesse endereço uma palavra, cujo conteúdo seja o complemento da utilizada no início do teste;

- Procede-se a leitura do endereço seguinte ao escolhido para teste e compara-se o conteúdo, que deve ser igual ao escolhido incialmente, caso não houver erro;

- Procede-se novamente a leitura do endereço de teste e verifica-se a ocorrência de erros nesta operação;

- Procede-se a leitura do endereço de teste mais dois e verifica-se o conteúdo, para detectar a ocorrência de erros;

- Procede-se a leitura do endereço de teste novamente e do próximo da sequência iniciada e verifica-se a ocorrência de erros, este procedimento deve ser repetido até que toda a memória tenha sido coberta pelo teste;

- Armazena-se o conteúdo inicial no endereço de teste;

- Escolhe-se outro endereço de teste;

- Repetem-se os passos anteriores até que toda a memória tenha sido testada;

- Complementa-se o conteúdo inicial com o qual a memória foi preenchida e repetem-se os passos anteriores.

Este teste é muito demorado e exige muita atenção do operador, mas realmente detecta os possíveis maus funcionamentos da memória.

A instalação das próximas placas de armazenamento somente deve ser feita após o término dos testes da primeira, e a conclusão de que a mesma está funcionando perfeitamente. A instalação deve ser feita com uma placa de cada vez, sendo que a próxima somente deve ser colocada em operação após terem-se completado os testes da anterior.

Após terem-se completado os testes da memória, procedeu-se à medida dos tempos de acesso e de ciclo que a mesma estava apresentando, sendo os resultados conseguidos os seguintes:

tempo de acesso = 250 ns

tempo de ciclo = 450 ns

Estes tempos foram medidos a partir do aparecimento dos sinais M3 e M4, que são os que requisitam operações na memória, até que o dado lido na memória seja copiado no Registrador de Dados de Leitura no caso do tempo de acesso, e até que a memória esteja pronta para outra operação no caso do tempo de ciclo.

5.4. Conclusões

O desenvolvimento do sistema de testes foi o passo mais importante na depuração das placas de armazenamento da memória monolítica, pois possibilitou a observação criteriosa do comportamento de todos os sinais da placa de armazenamento, em uma situação bastante próxima da que a placa de armazenamento iria operar.

Foi com a ajuda do sistema de testes que foram detetados problemas da primeira versão da placa de armazenamento e verificada qual seria a melhor solução para saná-los, afim de implementar-se uma segunda versão da placa já com certeza que o comportamento desta seria muito melhor.

Quando a placa de armazenamento foi instalada no novo minicomputador e iniciados os testes do sistema de memória, todos os problemas que surgiram foram ou do circuito de controle e do fluxo de dados do minicomputador ou do módulo de controle da interface, deixando evidenciada a eficiência do sistema de testes, e ajudando muito a depuração final do minicomputador, uma vez que existia uma grande confiança na placa de armazenamento.

CAPITULO 6

CONSIDERAÇÕES FINAIS

6. CONSIDERAÇÕES FINAIS

O trabalho desenvolvido, além de cumprir as finalidades descritas no primeiro capítulo deste trabalho, serviu, também, para treinamento dos estagiários do Laboratório de Sistemas Digitais, pois eles foram designados para os trabalhos de documentação e grande parte dos de implementação e testes do novo minicomputador.

Os trabalhos realizados pelos estagiários no novo minicomputador possibilitou-lhes uma visão global sobre o desenvolvimento de sistemas digitais, deixando-os muito bem preparados para a vida profissional como engenheiros.

O desenvolvimento da memória monolítica, cuja placa de armazenamento foi utilizada nos minicomputadores G-10 e no descrito neste trabalho, possibilitou ao grupo experiência na utilização de pastilhas de memória de altas densidades de bits, que estão muito populares atualmente. Além disso, a placa de armazenamento desenvolvida pode ainda ser utilizada, sem modificações, para a construção ou expansão de memórias para os microprocessadores, o que pode ser muito útil nos desenvolvimentos que estão sendo realizados com microprocessadores.

O sistema de testes, desenvolvido para o teste das placas de armazenamento da memória monolítica, pode também ser adaptado para o uso em desenvolvimentos de novos sistemas de memória, projetando-se apenas um novo controlador para o mesmo, conservando desse modo a utilidade do sistema mesmo depois que todas as placas de armazenamento da memória desenvolvida estejam implementadas e testadas.

No novo minicomputador ainda podem ser realizados alguns desenvolvimentos, que podem ser muito úteis para a construção de um "software" mais sofisticado e nas experiências de redes de computadores, entre eles pode-se citar os seguintes:

- Expansão da capacidade de endereçamento de 32K para 64K "bytes", pela extensão do Registrador de Páginas e a implementação de uma função na interface de memória, responsável pela carga e modificação do bit extra do Registrador de Páginas, uma vez que no empacotamento do minicomputador já existe espaço para mais duas placas de armazenamento;

- Projeto e Implementação de uma interface para unidade de disco magnético de alta capacidade, utilizando o canal do DMA e um microprocessador para realizar as funções de preparação dos dados e tratamento da comunicação;

- Projeto e Implementação de interface de comunicação série ou paralela de propósito geral para uso na interligação de computadores.

Finalmente, o desenvolvimento do novo minicomputador ainda não chegou ao fim, restando complementá-lo com o "software" adequado para utilizá-lo nas ligações de computadores, afim que cumpra o seu objetivo.

REFERÊNCIAS BIBLIOGRÁFICAS

REFERÊNCIAS BIBLIOGRÁFICAS

1. ALLAN, R.
   - Semiconductor Memories. IEEE-Spectrum
   Vol. 12, nº 8, p.40-44, Agosto de 1975
   New York, USA

2. ALTMAN, L.
   - Specification of 16K RAM - Memories Beginning to
   Emerge. Electronics
   Vol. 48, nº 26, p.29-31, dezembro de 1975
   New York, USA

3. ALTMAN, L.
   - Preview of ISSCC. Excites Designers. Electronics
   Vol. 48, nº 26, p.50-51, dezembro de 1975
   New York, USA

4. ALTMAN, L.
   - ISSCC Program Promisses to Dazzle. Electronics
   Vol. 50, nº 1, p. 71-72, janeiro de 1977
   New York, USA

5. ALTMAN, L.
   - Memories. It's a User's Paradise: Cheaper RAMs, Reprogramable ROMs, CCDs, and Bubbles Coming Along. Electronics. Vol. 50, nº 2, p.81-96, janeiro de 1977
   New York, USA

6. ALTMAN, L.
   - Memory Types Multiply, Microprocessors Families Grows. Electronics. Vol. 49, nº 22, p.76-82, outubro de 1976
   New York, USA

7. AMERICAN MICROSYSTEMS, INC.
- Guide to Standard MOS Products, 1975
Santa Clara, USA

8. ARMSTRONG, L.
- 4K RAM User Check on Reliability. Electronics.
Vol. 49, nº 5, p.86-94, março de 1976
New York, USA

9. ARMSTRONG, L.
- Big ROMs Begin to Make Waves. Electronics.
Vol. 50, nº 19, p.73-74, setembro de 1977
New York, USA

10. BRUNNER, D.
- Designing Microcomputer Memory Systems with 4K bits
nMOS Memories. Computer Design
Vol. 14, nº 7, p.45-56, julho de 1975
New York, USA

11. COHEN, C. e ALTMAN, L.
- The Gatherning wave of Japanese Technology. Electronics
Vol. 50, nº 12, p.99-122, julho de 1977
New York, USA

12. COHEN, C
Semiconductor Memory in Scope Stores waveforms. Electro
nics. Vol.50, nº 21, p.15E-16E, outubro de 1977
New York, USA

13. COKER, D.
- 16K RAM Easies Memory Design for Mainframes and Micro computers. Electronics
Vol. 50, nº 9, p.115-119, abril de 1977
New York, USA

14. COLE, B.
- 1K CMOS RAMs Flock to Market. Electronics
Vol. 48, nº 26, p.90-91, dezembro de 1975
New York,USA

15. COLE, B.
- Conferees Close in on 16K Standards. Electronics
Vol. 49, nº 18, p.76-77, setembro de 1976
New York, USA

16. COLE, B. e ARMSTRONG, L.
- Intel's 2708 Draws a Crowd. Electronics
Vol. 50, nº 2, p.72-73, janeiro de 1977
New York, USA

17. ELECTRONICS INTERNATIONAL
- 4 Company Effort Yields 65K RAM. Electronics
Vol. 50, nº 9, p.8E, abril de 1977
New York, USA

18. ELECTRONICS NEWSLETTER
- TI Lists First 4K Static RAM Made with I^2L. Electronics
Vol. 49, nº 10, p. 25, maio de 1976
New Yor, USA

19. ELECTRONICS NEWSLETTER
- GI to Introduce 8K Electrically Alterable ROM as Nippon Plans 8K EAROM. Electronics
Vol. 49, nº 18, p.25, setembro de 1976
New York, USA

20. ELECTRONICS NEWSLETTER
- TI Shipping 150ns Version of 4Kilobit RAM. Electronics
Vol. 50, nº 1, p.25-26, janeiro de 1977
New York, USA

21. ELECTRONICS NEWSLETTER
- Nippon to Ship 150ns 16K RAM in April. Electronics
Vol. 50, nº 7, p.25-26, março de 1977
New York, USA

22. ELECTRONICS NEWSLETTER
- Harris Readies 16K PROM Using New Bipolar Technique. Electronics. Vol. 50, nº 9, p.25, abril de 1977
New York, USA

23. ELECTRONICS NEWSLETTER
- Mostek to Show its First Entries in Memory Systems Field. Electronics. Vol. 50, nº 12, p.25, junho de 1977
New York, USA

24. ELECTRONICS NEWSLETTER
- Japanese Firms Aim for 1979 with 65K RAM Design as NTT Develops 65ns 16K RAM. Electronics
Vol. 51, nº 3, p.33-34, fevereiro de 1978
New York, USA

25. ELECTRONICS REVIEW
- 262 Kilobit Fit or a Single Wafer. Electronics
Vol 49, nº 25, p.38-41, dezembro de 1976
New York, USA

26. ELECTRONICS REVIEW
- National Gambles on 4K RAM Pinouts. Electronis
Vol. 49, nº 26, p. 32, dezembro de 1976
New York, USA

27. ELECTRONICS REVIEW
- Bubble Memory Gets NASA Check for Use in Space.
Electronics. Vol. 50, nº 1, p.31-32, janeiro de 1977
New York, USA

28. ELECTRONICS REVIEW
- AMD Sells Samples of 50ns Devices. Electronics
Vol. 50, nº 7, p. 40, março de 1977
New York, USA

29. ELECTRONICS REVIEW
- National Readies 65K Read Only Memory Sets Sights on
262K Device by End of 1978. Electronics.
Vol. 50, nº 8, p.42-44, abril de 1977
New York, USA

30. ELECTRONICS REVIEW
- 65K V MOS ROM Attains High Speed. Electronics
Vol. 50,nº 16, p. 40-41, agosto de 1977
New York, USA

31. FAIRCHILD CAMARA AND INSTRUMENT CORPORATION
- Full Line Condensed Catalog, 1978. Mountain View, USA

32. FREGNI, E.
- Projeto Lógico da Unidade de Controle de um Minicomputador, Tese de Mestrado, EPUSP-DEE, 1972
São Paulo, Brasil

33. FUJITSU AMERICA, INC.
- Fujitsu's 7071/7072 1K ECL RAM. Electronics.
Vol. 50, nº 22, p. 52, outubro de 1977
New York, USA

34. HODGES, D.A.
- Semiconductor Memories, 1972. IEEE Press
New York, USA

35. HUGHES, W.C. e outros
- BEAMOS - A New Electronic Digital Memory.
Proceedings of the 1975 National Computer Conference, 1975
Chicago, USA

36. IEEE COMPUTER SOCIETY
- Testing to Integrate Semiconductor Memories into Computer Mainframes. Digest of Paper, outubro de 1972
New Jersey, USA

37. INTEL CORPORATION
- Component Data Catalog, 1978.
Santa Clara, USA

38. INTEL CORPORATION
- Memory Design Handbook, 1977
Santa Clara , USA

39. INTERNATIONAL NEWSLETTER
- Toshiba Offers 1K Nonvolatile RAM at Core Price.
Electronics. Vol. 49, nº 18, p. 64, setembro de 1976
New York, USA

40. INTERNATIONAL NEWSLETTER
- Toshiba Develops Experimental 64K Charge Coupled RAM.
Electronics. Vol. 49, nº 25, p.55, dezembro de 1976
New York, USA

41. INTERNATIONAL NEWSLETTER
- Costs Drops to Favor New Serial Memories, Study
Predicts. Electronics.
Vol. 50, nº 7, p.55-56, março de 1977
New York, USA

42. JULIUSSEN, Y.E. e outros
- Bubbles Appearing First as Microprocessors Mass
Storage. Electronics
Vol. 50, nº 16, p. 81-86, agosto de 1977
New York, USA

43. LANGDON, G. e FREGNI, E.
- Projeto de Computadores Digitais , 1974
São Paulo, Brasil

44. LE BASS, B.
- 65K ROM Has Typical Access Time of 450ns.Electronics
Vol. 51, nº 1, p. 254, janeiro de 1978
New York, USA

45. LEVEN, P.
- 1K RAM Has 30ns Access Time. Electronics
Vol. 50, nº 8, p.161-162, abril de 1977
New York, USA

46. LEVEN, P.
- 4K and 16K Dynamic RAMs are Interchangeable.
Electronics. Vol.50, nº 8, p.166, abril de 1977
New York, USA

47. LINES, Y.D. e HODGES, A.D.
- Memory Using Diode Coupled Bipolar Transistor Cells
IEEE Solid State Circuits
Vol. SC-5, nº 5, p.186-191, outubro de 1970
New York, USA

48. MASSOLA, A.M.A e outros
- Patinho Feio como RJE do B6700 - IV Seminário sobre Desenvolvimento Integrado de Hardware e Software,p.898-914
Belo Horizonte, Brasil

49. MASSOLA, A.M.A. e MARTUCCI JR., M.
- Projeto de uma Memória Monolítica para o G-10 e Patinho Feio - IV Seminário sobre Desenvolvimento Integrado de Software e Hardware, p.235-249
Belo Horizonte, Brasil.

50. MATTERA, L.
- Reliability Revised: Failure Rate Comparasions are given a Second Look. Electronics Vol. 48, nº 26, p. 83-85, dezembro de 1975 New York, USA

51. MOSTEK MEMORIES
- Memory Data Bood and Designers Guide, 1978 Carrollton, USA

52. NATIONAL SEMICONDUCTOR CORP.
- Memory Data Book, 1977 Sunnyvale, USA

53. NOYCE, R.N.
- Schottky Diode Make IC Scene. Semiconductor Memories, p.74-80, julho de 1969 New York, USA

54. PASCOE, B.
- 2107A/2107B N Channel Silicon Gate MOS 4K RAM. Intel Reliability Report RR-7, setembro de 1975 Santa Clara , USA

55. PANIGRAHI, G.
- Charge- Coupled Memories for Computer Systems. Computer Magazine. Vol. 9, nº 4, p.33-42, abril de 1977 New York, USA

56. PASHLEY, R. e outros
- Speedy RAM. Run Cool with Power-Down Circutry. Electronics. Vol. 50, nº 16, p.103, 107, agosto de 1977 New York, USA

57. POPPENDIECK, M. e DESANTELS, E.J.
- Memory Extension Technique for Minicomputers. Computer Magazine. Vol. 10, nº 5, p.68-75, maio de 1977
New York, USA

58. RAPHAEL, H.
- How to Expand a Microcomputer's Memory. Electronics Vol. 49, nº 26, p.67-69, dezembro de 1976
New York, USA

59. SCHNEIDERMAN, R. e ARMSTRONG, L.
- 4K Static RAMs Give Fast Access. Electronics Vol. 49, nº 10, p. 137-138, maio de 1976
New York, USA

60. SIGNETICS
- Bipolar and MOS Memory Data Manual, 1977
Sunnyvale, USA

61. SPRINGER, Y.
- Designer's Guide to Semiconductor Memory Systems. EDN Magazine. Vol. 19, nº 17, p.49-56, setembro de 1974
Denver, USA

62. STEPHEN, C.
- System Design with Dynamic Memories. Takes Attention to Detail. Electronics
Vol. 51, nº 3, p.109-113, fevereiro de 1978
New York, USA

63. STONE, H.S.
- Introduction to Computer Architecture, 1975
Chicago, USA

64. VADERZ, L.L. e outros
- Silicon Gate Technology. IEEE Spectrum
Vol. 6, nº 10, p.28-35, outubro de 1969
New York, USA

65. VADERZ, L.L. e outros
- Semiconductor Randon Access Memories. IEEE Spectrum
Vol. 8, nº 5, p. 40-48, maio de 1971
New York, USA

66. VADERZ, L.L. e outros
- Electron Bean Auxiliary Memory Offers-Potencial for Mass Storage Users. Computer Design
Vol. 14, nº 8, p. 30-32, agosto de 1975
New York, USA