

RAPHAEL GIL CAMARGO

**AMPLIFICADOR OPERACIONAL DE
TRANSCONDUTÂNCIA PROJETADO COM TFET DE
PORTA TRIPLA OPERANDO EM DIFERENTES
TEMPERATURAS**

São Paulo
2023

RAPHAEL GIL CAMARGO

**AMPLIFICADOR OPERACIONAL DE
TRANSCONDUTÂNCIA PROJETADO COM TFET DE
PORTA TRIPLA OPERANDO EM DIFERENTES
TEMPERATURAS**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Ciências.

Área de Concentração:

Microeletrônica

Orientadora:

Dra. Paula Ghedini Der Agopian

São Paulo
2023

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Camargo, Raphael Gil
AMPLIFICADOR OPERACIONAL DE TRANSCONDUÇÃO
PROJETADO COM TFET DE PORTA TRIPLA OPERANDO EM
DIFERENTES TEMPERATURAS / R. G. Camargo -- versão corr. -- São Paulo,
2023.

79 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São
Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.TFET 2.Amplificador Operacional 3.Lookup Table 4.Verilog-A
5.Circuitos Analógicos I.Universidade de São Paulo. Escola Politécnica.
Departamento de Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

À Prof^a Dr^a Paula Ghedini Der Agopian por suas orientações e por toda dedicação e paciência durante o desenvolvimento desse trabalho.

Ao Prof^o Dr^o João Antonio Martino por todos os ensinamentos desde meus primeiros anos na Escola Politécnica.

A todo o Grupo SOI pelas enriquecedoras colaborações e contribuições, em especial aos meus amigos e colegas Walter Gonzalez, Rodrigo Toledo e Henrique Hilkner.

À Escola Politécnica da Universidade de São Paulo, que forneceu estrutura para o desenvolvimento dessa pesquisa.

À minha esposa que sempre esteve ao meu lado me incentivando e motivando.

Aos meus pais e irmão que sempre me apoiaram em minha jornada acadêmica.

A todos os meus familiares e amigos que fizeram parte dessa trajetória e de alguma forma me auxiliaram a concluir mais essa etapa.

“Do or do not. There is no try”

-- Master Yoda

RESUMO

Camargo, Raphael Gil. Amplificador Operacional de Transcondutância projetado com TFET de porta tripla operando em diferentes temperaturas. 2023. 09. Dissertação de mestrado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2023.

Neste trabalho foi projetado um amplificador operacional de transcondutância (*Operational transconductance amplifier - OTA*) com transistores de tunelamento de porta tripla (FinTFET) operando em diferentes temperaturas. Uma vez que transistores Fin-TúnelFET fabricados em lâmina de Silício Sobre Isolante (*Silicon On Insulator - SOI*) não tem modelo analítico-matemático preciso para softwares de simulação de circuitos, neste trabalho foi utilizada a técnica da '*lookup-table*' (LUT) para desenvolvimento do modelo em linguagem Verilog-A. Nesse processo, inicialmente foram obtidos dados experimentais de um transistor de tunelamento com geometria de um SOI FinFET (FinTFET), que foi a base para as simulações de dispositivo realizada utilizando-se o *software* Sentaurus para desenvolver uma modelagem simulada que representasse de forma fidedigna o comportamento real. Após a criação desse dispositivo simulado e validado, foram criadas as tabelas de valores utilizadas na técnica de '*lookup table*'.

Na segunda etapa, o circuito do amplificador operacional de transcondutância (OTA) de 2 estágios foi projetado utilizando-se os transistores de tunelamento FinTFETs. O circuito OTA é composto por um circuito *bias* (inversor com *feedback*), espelhos de corrente, par diferencial com carga ativa (primeiro estágio) e um amplificador fonte comum (segundo estágio). Inicialmente foi avaliado em temperatura ambiente e depois foram adicionados os efeitos térmicos sobre esse circuito estudado, tendo em vista que os transistores do tipo SOI FinTFET são relativamente novos e há poucos estudos de como circuitos compostos por esses dispositivos reagem com grandes variações de temperatura.

Como resultado, foi observado que o ganho de tensão do circuito OTA proposto pode degradar em altas temperaturas, caso não haja um circuito de polarização com compensação térmica. No caso em estudo, o ganho de tensão caiu de 126,2 dB em 300 K para 113,2 dB em 420 K. Entretanto, com o uso de um circuito de polarização com compensação térmica, o ganho de tensão aumenta ao invés de diminuir, no caso em estudo, o ganho de tensão subiu de 127,88 dB em 300 K para 132,3 dB em 420 K. Com o uso da compensação térmica no circuito de polarização, outras boas características do circuito projetado com TFET também se mantém para as altas temperaturas, como a baixa corrente total consumida (65,2 nA em 420 K), demonstrando que esse circuito pode ser útil para aplicações de baixa frequência (devido ao seu *Gain-Bandwidth product (GBW)* menor do que 100 kHz) que necessitem de grande ganho de tensão e baixa corrente, como por exemplo, amplificação de sinais biológicos.

Palavras-Chave TFET, Amplificador Operacional, *lookup table*, Verilog-A, circuitos integrados analógicos.

ABSTRACT

It was projected in this study an operational transconductance amplifier (OTA) with a triple gate TFET transistors working in different temperatures. Since the Fin-TunnelFET transistors fabricated in Silicon on Isolator (SOI) wafer does not have an accurate mathematical analytical model for circuit simulator softwares, in this study it was used the *lookup-table* (LUT) technique for the model's development in Verilog-A language. In this process, it was firstly obtained experimental data of a tunnelling transistor with SOI FinFET (FinTFET) geometry, which was the base for the device simulations made using the Sentaurus software to develop a simulated modelling that trustworthily represents the real behaviour. After the creation of this simulated and validated device, it was created the value charts utilized in the lookup table technique.

Into the second step, the two staged operational transconductance amplifier (OTA) was projected using the tunneling transistors Fin-TunnelFETs. The OTA circuit is composed of a bias circuit (inversor with feedback), current mirrors, diferential pair with active load (first stage) and a common source amplifier (second stage). It was inically evaluated at room temperature, and then the thermal effects were added upon the studied circuit, considering that the SOI FinTFET transistors are relatively new, and there are few studies regard how circuits composed by these devices react with large temperature variation.

As result, it was observed that the proposed voltage gain of OTA circuit may degrade at high temperatures, if there is no bias circuit with thermal compensation. In the studied case, the voltage gain felt from 126,2 dB at 300 K to 113,2 dB at 420 K. However, with the use of a bias circuit with thermal compensation, the voltage gain increases instead of decreasing, in the studied case, the voltage gain increased 127,88 dB at 300 K to 132,3 dB at 420 K. With the use of thermal compensation in the bias circuit, other good traits of the TFET projected circuit also is mantained for high temperatures, such as the low total current (65,2 nA at 420 K), indicating that this circuit may be useful for low frequency applications (due its GBW lower then 100 kHz) that require high voltage gain and low current, as example, biological signal amplification.

Keywords – TFET, Operational Amplifier, *lookup table*, Verilog-A, Analog Integrated Circuits.

LISTA DE FIGURAS

Figura 1.1 - Processadores Intel X Progressão prevista.	19
Figura 2.1 - Transições envolvidas no processo de geração SRH.	25
Figura 2.2 - Tunelamento assistido por armadilha.	26
Figura 2.3 - Princípio de funcionamento pTFET. a) Visão esquemática de um TFET tipo p com aplicação de tensões na fonte (V_s), na porta (V_g) e no dreno (V_d). b) Perfil de bandas de energia para o estado não conduzindo (linhas em azul) e estado conduzindo (linhas vermelhas) c) Curva $\log(I_d) \times V_g$ típica.	28
Figura 2.4 - Representação esquemática dos transistores MOSFET <i>bulk</i> (A) e SOI MOSFET (B) esquematizando as linhas de campo elétrico entre dreno e fonte na região de canal.	30
Figura 2.5 - A) Transistor SOI FinFET de porta tripla – B) Transistor SOI FinFET de porta dupla.	31
Figura 2.6 - Visão planar FinTFET.	32
Figura 2.7 - Ganho de tensão e banda de um amplificador.	35
Figura 2.8 - Ganho de tensão de um amplificador em função da frequência.	37
Figura 3.1 - Estrutura SOI-FinFET de porta tripla.	38
Figura 3.2 - Estrutura SOI-FinFET de porta tripla na ferramenta <i>Sentaurus Structure editor</i>	40
Figura 3.3 - Estrutura da grade do dispositivo SOI-FinTFET simulado frontal.	41
Figura 3.4 - Estrutura da grade do dispositivo SOI-FinTFET simulado lateral.	42
Figura 3.5 - I_{ds} em função de V_{gs} demonstrando os fenômenos de condução de corrente separados	46
Figura 4.1 - Curvas experimentais de corrente de dreno em função da tensão aplicada à porta para diferentes temperaturas dos transistores pTFET e V_{ds} de -0,9V.	48

Figura 4.2 - Comparação de curvas simuladas e curvas medidas para transistores pTFET em temperaturas de 300K, 360K e 420K e $V_{ds} = -0,9 V$.	49
Figura 4.3 - Curvas I_{ds} em função de V_{gs} do transistor SOI FinTFET em 300 K com V_{ds} variando de -0,01V à -2V.	50
Figura 4.4 - Curvas I_{ds} em função de V_{gs} do transistor SOI FinTFET em 360 K com V_{ds} variando de -0,01V à -2V.	51
Figura 4.5 - Curvas I_{ds} em função de V_{gs} do transistor SOI FinTFET em 420 K com V_{ds} variando de -0,01V à -2V.	51
Figura 4.6 - Comparação de curvas I_{ds} em função de V_{gs} simuladas com o modelo baseado na <i>lookup table</i> para $V_{ds} = -0,9V$.	52
Figura 4.7 - Modelo de transistor com Capacitâncias.	53
Figura 4.8 - Gráfico C_{GG} .	54
Figura 5.1 - Topologia circuito OTA.	55
Figura 5.2 - Gráfico g_m/I_d em função de $ I_d /(W/L)$.	57
Figura 5.3 - Circuito de polarização.	58
Figura 5.4 - Gráfico de corrente do circuito de espelho de corrente em função de N transistores $I_{ds} \times N$.	58
Figura 5.5 - Gráfico de ganho de tensão do circuito amplificador.	61
Figura 5.6 - Gráfico de fase do circuito amplificador.	61
Figura 5.7 - Gráfico de ganho de tensão do circuito amplificador nas temperaturas 300 K, 360 K e 420 K.	63
Figura 5.8 - Gráfico de fase do circuito amplificador nas temperaturas 300 K, 360 K e 420 K.	63
Figura 5.9 - Topologia circuito OTA com circuito de polarização com compensação térmica.	65
Figura 5.10 - Gráfico de ganho do circuito amplificador com circuito de polarização com compensação térmica nas temperaturas 300 K, 360 K e 420 K.	66

Figura 5.11 - Gráfico de fase do circuito amplificador com circuito de polarização com compensação térmica nas temperaturas 300 K, 360 K e 420 K.	66
Figura 5.12 - Corrente de dreno versus tensão de porta do transistor tipo n simulado com deslocamento de V_{th} em tensão V_{ds} de 0,9V. . . .	68
Figura 5.13 - Ganho do circuito OTA em função da temperatura e $V_{tn} - V_{tp} $. .	69
Figura 5.14 - g_{m1} e R_{out1} em função da temperatura e $V_{tn} - V_{tp} $	70
Figura 5.15 - g_m/I_d e Corrente Total em função da temperatura e $V_{tn} - V_{tp} $.	71
Figura 5.16 - GBW e Margem de Fase em função da temperatura e $V_{tn} - V_{tp} $	71

LISTA DE TABELAS

Tabela 3.1 - Parâmetros geométricos SOI-FinTFET	39
Tabela 3.2 - Parâmetros de Dopagem	39
Tabela 3.3 - Materiais do transistor	39
Tabela 5.1 - Parâmetros gerais do projeto.	60
Tabela 5.2 - Dimensões dos Dispositivos.	60
Tabela 5.3 - Comparação OTA SOI FinTFET com OTA SOI MOS FinFET. . .	62
Tabela 5.4 - Análise em temperatura do circuito OTA.	64
Tabela 5.5 - Análise em temperatura OTA com circuito de polarização com compensação em temperatura.	67
Tabela 5.6 - Ganho do circuito OTA em função da temperatura e (unidades em dB).	69

LISTA DE SIGLAS E ABREVIATURAS

<i>BOX</i>	<i>Buried Oxide</i> (Óxido enterrado)
<i>BTBT</i>	<i>Band To Band Tunneling</i> (Tunelamento Banda a Banda)
<i>CI</i>	Circuito Integrado
<i>CMOS</i>	Complementary metal-oxide-semiconductor (Metal-óxido-semicondutor Complementar)
<i>DELTA</i>	<i>Fully Depleted Lean-channel Transistor</i> (Transistor com canal estreito totalmente depletado)
<i>DGMOS</i>	<i>Double-Gate Metal-Oxide-Semiconductor</i> (Transistor de efeito de campo de porta dupla com metal-óxido-semicondutor)
<i>EPUSP</i>	Escola Politécnica da Universidade de São Paulo
<i>EOT</i>	<i>Equivalent Oxide Thickness</i> (Espessura de óxido equivalente)
<i>FDSOI</i>	<i>Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante totalmente depletado)
<i>FET</i>	<i>Field Effect Transistor</i> (Transistor de efeito de campo)
<i>FFT</i>	<i>Fast Fourier Transform</i> (Transformada rápida de Fourier)
<i>FinFET</i>	<i>Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta)
<i>FinTFET</i>	<i>Fin Tunnel Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo com aleta)
<i>GBW</i>	<i>Gain-Bandwidth Product</i> (Produto ganho de tensão-largura de banda)
<i>GP</i>	<i>Ground Plane</i> (Plano de terra)
<i>Imec</i>	<i>Interuniversity Microelectronics Centre</i> (Centro de Microeletrônica Interuniversidades)
<i>InAs</i>	Arseneto de índio
<i>LCR</i>	Indutor (L), Capacitor (C) e Resistor (R)

<i>LSI</i>	Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo
<i>MOS</i>	<i>Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor)
<i>MOSFET</i>	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo metal-óxido-semicondutor)
<i>NFDSOI</i>	<i>Near Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante quase totalmente depletado)
<i>nFinFET</i>	<i>n-channel Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta de canal tipo n)
<i>nMOS</i>	<i>n-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo n)
<i>nMOSFET</i>	<i>n-type Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo metal-óxido-semicondutor com canal tipo n)
<i>OTA</i>	<i>Operational Transconductance Amplificator</i> (Amplificador operacional de transcondutância)
<i>PDSOI</i>	<i>Partially Depleted Silicon-On-Insulator</i> (Silício sobre isolante parcialmente depletado)
<i>pFinFET</i>	<i>p-channel Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta de canal tipo p)
<i>pMOS</i>	<i>p-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo p)
<i>SCE</i>	<i>Short Channel Effects</i> (Efeitos de canal curto)
<i>SPICE</i>	<i>Software Process Improvement and Capability Determination</i>
<i>SOI</i>	<i>Silicon-On-Insulator</i> (Silício sobre isolante)
<i>SRH</i>	Schockley-Read-Hall
<i>TAT</i>	<i>Trap assisted Tunneling</i> (Tunelamento Assistido por Armadilhas)
<i>TFET</i>	<i>Tunnel Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo)
<i>USP</i>	Universidade de São Paulo
<i>WKB</i>	método Wetzell-Kramer-Brillouin

LISTA DE SÍMBOLOS

A_{CM}	Ganho de tensão de modo comum [dB ou V/V]
A_D	Ganho de tensão diferencial [dB ou V/V]
A_V	Ganho de tensão [dB ou V/V]
C	Capacitância [F]
C_C	Capacitância de compensação Miller [C]
C_D	Capacitância de depleção [C]
A_{GG}	Capacitância total de porta do transistor [F]
C_L	Capacitância de carga [C]
$CMRR$	Taxa de rejeição de modo comum [dB]
C_{ox}	Capacitância do óxido de porta [F/cm^2]
e^-	Elétrons
EOT	Espessura equivalente do óxido [nm]
E_C	Nível de energia mais baixo da banda de condução [eV]
$E_{defeito}$	Nível de energia do defeito [eV]
E_F	Nível de energia do Fermi [eV]
E_g	Largura da banda proibida [eV]
E_i	Nível de energia intrínseco [eV]
E_V	Nível energético mais alto da banda de valência [eV]
E_C	Nível energético de condução [eV]
Ge	Germânio

G_m	transcondutância de curto-circuito [S]
g_m	Transcondutância [S]
g_m/I_D	Eficiência do transistor [V^{-1}]
G_{srh}	Taxa de geração de armadilhas
h^+	Lacunas
h	Constante de Planck reduzida [eV.s]
H_{fin}	Altura da aleta de um FinFET [nm]
I_d	Corrente de dreno [A]
I_{ds}	Corrente entre dreno e fonte [A]
I_{off}	Corrente de fuga [A]
I_{PE}	Corrente de alimentação do primeiro estágio [A]
I_{REF}	Corrente de referência [A]
I_{SE}	Corrente de alimentação do segundo estágio [A]
I_{SS}	Corrente de alimentação [A]
k	Constante de Boltzmann [$1,381.10^{-23}$ J]
L	Comprimento de porta [nm]
m^*	Massa efetiva do confinamento do portador na direção transversal [kg]
n	Concentração de elétrons [cm^{-3}]
N_A	Concentração de impurezas aceitadoras [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
Ni_2Si	Siliceto de Níquel
N_{fin}	Números de aletas de um FinFET
p	Concentração de lacunas [cm^{-3}]

q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
R_{out}	Resistência de saída [Ω]
Si	Silício
$Si - poli$	Silício-policristalino
SiO_2	Óxido de Silício
SS	Subthreshold Slope ou Subthreshold Swing (Inclinação de sublimiar) [mV/dec]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [cm]
t_{si}	Espessura do silício [cm]
T_{WKB}	taxa de transmissão de portadores por tunelamento
V_{CM}	Tensão de modo comum [V]
V_d	Tensão de dreno [V]
V_{DD}	Tensão de alimentação [V]
V_{ds}	Tensão entre dreno e fonte [V]
V_{Dsat}	Tensão de dreno de saturação [V]
V_{EA}	Tensão de Early [V]
V_g	Tensão de porta [V]
V_{gs}	Tensão entre porta e fonte [V]
V_{in}	Sinal de entrada [V]
V_{out}	Sinal de saída [V]
V_s	Tensão de fonte [V]
V_{th}	Tensão de limiar [V]

V_{tn}	Tensão de limiar do transistor n [V]
V_{tp}	Tensão de limiar do transistor p [V]
W	Largura de canal do transistor [nm]
W_{eff}	Largura de canal efetiva do transistor [nm]
W_{fin}	Largura de aleta do FinFET [nm]
$\Delta\Phi$	Janela de energia[eV]
ϵ_{OX}	Constante de permissividade do óxido de porta [$F.cm^{-1}$]
ϵ_{SI}	Constante de permissividade do silício [$F.cm^{-1}$]
Ω	Energia necessária para produzir um par elétron-lacuna no óxido [eV]
π	Constante pi [3,1415]
λ	Comprimento de tunelamento [m]
μ	Mobilidade dos portadores de carga [$cm^2/V.s$]
μ_0	Mobilidade dos portadores para baixo campo elétrico [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva dos portadores de carga no canal [$cm^2/V.s$]
ϕ_{MS}	Função trabalho do material de porta em relação ao silício [V]

SUMÁRIO

1	Introdução	19
1.1	Objetivos	21
1.2	Estrutura do Trabalho	22
2	Revisão Bibliográfica	24
2.1	Mecanismos de condução de corrente em TFET	24
2.1.1	Recombinação Shockley-Read-Hall (SRH)	24
2.1.2	Tunelamento Assistido por Armadilhas (TAT)	26
2.1.3	Tunelamento Banda a Banda (BTBT)	27
2.2	Transistores Estrutura SOI FinFET	29
2.2.1	Transistor de Tunelamento Fabricado em Estrutura FinFET	32
2.3	Parâmetros Básicos	32
2.3.1	<i>Threshold Voltage</i> ou Tensão de limiar (V_{th})	32
2.3.2	Inclinação de Sublimiar (SS)	33
2.3.3	Transcondutância (g_m)	34
2.3.4	Eficiência do transistor (g_m/I_d)	34
2.3.5	Tensão de Early (V_{EA})	34
2.3.6	Margem de Fase	35
2.3.7	Capacitor de Compensação (C_c)	36
2.4	Amplificadores Diferenciais	36
3	Materiais e Métodos	38
3.1	Características do Dispositivo	38
3.2	Simulação no <i>Sentaurus</i>	40

3.3 Verilog-A e <i>Lookup Table</i>	46
4 Modelamento dos Dispositivos	48
4.1 Resultados Experimentais e simulados	48
4.2 <i>Lookup table</i> e modelamento do Transistor	52
5 Resultados	55
5.1 Amplificador Operacional de Transcondutância Projetado com TFET . .	55
5.2 Comparação dos resultados em Temperatura	63
5.3 Utilização de Circuito de Polarização com Compensação Térmica . . .	65
5.4 Análise do Espelhamento do Transistor <i>n</i> a partir do <i>p</i>	68
6 Conclusões	73
6.1 Trabalhos Futuros	74
Referências	75
Apêndice A – Modelo Verilog-A TFETs	77

Semicondutor (MOS), os cientistas e empresas começaram a se deparar com algumas barreiras tecnológicas para continuar esse processo de diminuição dos dispositivos, como por exemplo os efeitos de canal curto, efeito de perfuração, degradação de mobilidade e correntes de fuga. Dentre dessas barreiras, algumas estão intrinsecamente relacionadas aos fenômenos físicos que regem o transporte de portadores na tecnologia Metal-Óxido-Semicondutor complementar (CMOS), que é conhecida como mecanismo de transporte de cargas por meio de difusão e deriva (SIVIERI, 2016).

Outra limitação importante da tecnologia CMOS para a evolução dos circuitos integrados, e que está intimamente relacionado ao seu mecanismo de transporte de cargas, é sua dissipação de potência, tendo em vista que o aumento exponencial no número de transistores acarretará um grande aumento do consumo de energia (IONESCU; RIEL, 2011). Uma forma de diminuir a potência dissipada seria a diminuição da tensão de alimentação dos circuitos, entretanto, a tecnologia CMOS mostra limitações nessa redução devido à sua dependência termiônica sobre uma barreira potencial, apresentando seu limite teórico de para inclinação de sublimiar (SS) de 60 mV/dec em temperatura ambiente, o que em última instância, limita a velocidade de chaveamento de Transistor de efeito de campo metal-óxido-semicondutor (MOSFET) e impede uma redução expressiva de sua dissipação de energia.

Dessa forma, para ser possível a redução da potência dissipada, tornou-se importante analisar diferentes tecnologias com diferentes mecanismos de transporte para substituir os transistores MOSFETs. A partir da literatura foram apresentados alguns dispositivos que poderiam atingir uma inclinação de sublimiar (SS) inferior a 60 mV/dec, e uma das alternativas mais promissoras é o Transistor de Tunelamento induzido por efeito de campo (TFET).

O mecanismo de transporte dominante no TFET é, principalmente, o tunelamento entre bandas, que determina se o transistor está conduzindo e o quanto de corrente elétrica está passando por ele. Este mecanismo de transporte possibilita uma maior velocidade na mudança de estado entre ligado e desligado, podendo alcançar um SS menor do que 60 mV/dec, que é o limite dos transistores MOS, sem degradar a corrente de estado desligado.

Alguns grupos já conseguiram desenvolver dispositivos TFET que alcançaram SS menor do que 60mV/dec, como por exemplo Tomioka, Yoshimura e Fukui (2012) que atingiram um SS mínimo de 21 mV/dec usando nanofio com heterojunção de Arseneto de Índio (InAs) e Silício (Si). Entretanto, para facilitar a integração com a tecnologia

MOSFET que é mais difundida e tem os métodos de produção mais baratos, em muitos casos ainda são construídos dispositivos TFET em Si. No entanto é difícil alcançar SS tão baixo com em TFETs de silício (Agopian, Paula Ghedini Der and Martino, Joao A. and Simoen, Eddy and Rooyackers, Rita and Claeys, Cor, 2022). Porém, apesar de não apresentarem boas características digitais, os TFETs de silício apresentaram ganho de tensão intrínseco maiores se comparado com os da tecnologia MOS, o que os faz bons candidatos para circuitos analógicos.

Tendo isso em vista, tornam-se necessários estudos da aplicação destes transistores em circuitos integrados analógicos tanto na temperatura ambiente como para diferentes temperaturas. Já existem alguns estudos experimentais iniciais de aplicações em pequenos circuitos, como por exemplo espelhos de corrente (MARTINO, 2018), entretanto, como se trata de um dispositivo muito novo, e o foco principal de sua utilização foi sempre os circuitos digitais, aplicá-lo em um bloco analógico como o Amplificador de transcondutância de 2 estágios (bloco pertencente à maioria dos circuitos integrados analógicos e de sinais mistos) ainda é um desafio, pois os modelos necessários para estes dispositivos ainda não estão disponíveis.

Uma vez que, simulações de dispositivos em circuitos são realizados usualmente utilizando os modelos analíticos disponíveis para determinada tecnologia, porém, para o caso do TFET, ainda não há um modelo analítico bem estabelecido para ser utilizado, neste trabalho utilizou-se uma técnica que viabiliza a simulação do circuito, método de “*Lookup table*”, no qual utilizamos uma tabela que descreve o comportamento experimental dos transistores reais.

1.1 Objetivos

O objetivo deste trabalho é projetar e analisar um circuito amplificador operacional de transcondutância (OTA) implementado com SOI Túnel-FinTFETs e analisar o efeito da mudança de temperatura (300K, 360K e 420K) neste circuito. Esse estudo tem características inovadoras, pois há poucos estudos de circuitos integrados analógicos que utilizam transistores de tunelamento, baseados em dados experimentais e em temperaturas diferentes elevadas. Há interesse em observar esse intervalo de temperatura, pois ele engloba a maior parte das aplicações de eletrônica.

É esperado que o comportamento do circuito com transistores de tunelamento seja diferente do que um circuito com transistores MOS, uma vez que os principais me-

canismos de transporte de portadores de transistores de tunelamento (Tunelamento Banda-a-Banda (BTBT) e Tunelamento Assistido por Armadilhas (TAT)) são termicamente favorecidos, enquanto nos transistores MOS acontece o contrário.

Neste estudo serão utilizados dados experimentais para aproximar as curvas simuladas e ajustar os parâmetros de simulação. Após obter as curvas relativas aos transistores nas diversas temperaturas, será utilizado o método de *Lookup table* e a linguagem *Verilog-A* para simulação de circuito. Esse estudo permitirá prever o comportamento real do circuito para temperaturas acima da temperatura ambiente, o que pode mostrar resultados interessantes, uma vez que a dependência dos fenômenos de transporte de portadores de carga nos transistores de tunelamento com a temperatura é diferente da apresentada em transistores de tecnologia MOS, que já são bem conhecidos.

1.2 Estrutura do Trabalho

O trabalho está organizado na seguinte estrutura:

Capítulo 1: Introdução – Aborda de forma introdutória o tema que será abordado nesse estudo e as motivações de realizá-lo, bem como os objetivos a serem alcançados e a estrutura do trabalho.

Capítulo 2: Revisão bibliográfica – Apresenta os conceitos básicos que precisam ser compreendidos para o bom entendimento desse trabalho, como as estruturas e mecanismos de transporte existentes nos transistores de Tunelamento. Também explica alguns parâmetros básicos que são utilizados no desenvolvimento dos estudos.

Capítulo 3: Materiais e métodos – Descreve como se deu o desenvolvimento do trabalho, os materiais (*softwares* e técnicas) utilizados para alcançar os resultados obtidos. Será abordado principalmente o processo de aproximação das simulações iniciais dos dados de transistores reais, as simulações de dispositivos realizadas no *software Sentaurus* e o desenvolvimento dos estudos de circuitos utilizando linguagem *Verilog-A*.

Capítulo 4: Simulação dos dispositivos – Será mostrado os resultados obtidos das simulações e análise dos fenômenos observados

Capítulo 5: Parâmetros e circuitos básicos – Será analisado os parâmetros mais importantes dos dispositivos simulados e será apresentado os circuitos simulados

Capítulo 6: Conclusões – Serão apresentados as conclusões obtidas e quais serão os próximos passos do trabalho, apresentando cronogramas para a sua finalização

Capítulo 7: Referências – Serão apresentadas as referências utilizadas no desenvolvimento desse trabalho.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo serão apresentados conceitos básicos sobre Transistores de Tunelamento (TFET), seus mecanismos de transporte de cargas e estruturas verticais de múltiplas portas, que foi a estrutura utilizada neste estudo. Também serão explicados os principais parâmetros elétricos que serão analisados e, por fim, será apresentado o circuito amplificador operacional de transcondutância.

2.1 Mecanismos de condução de corrente em TFET

Tipicamente em um TFET existem outros dois mecanismos de condução de corrente que atuam além do tunelamento entre bandas propriamente dito (denominado *Band to Band Tunneling*, ou BTBT). O primeiro trata-se da recombinação *Shockley-Read-Hall* (também conhecida como SRH), e o segundo é o Tunelamento Assistido por Armadilhas (denominado TAT). Neste capítulo serão apresentados com maiores detalhes esses três mecanismos de condução de corrente, bem como a estrutura de transistores de estrutura vertical de múltiplas portas (FinFETs), parâmetros elétricos básicos desses transistores e o circuito amplificador operacional de transcondutância que será alvo do estudo.

2.1.1 Recombinação Shockley-Read-Hall (SRH)

Na mecânica de condução de corrente conhecida como SRH, a geração de pares elétron-lacuna ocorre devido ao rompimento de ligações covalentes na rede cristalina de um semiconductor através de energia adquirida. O processo de recombinação de portadores também ocorre simultaneamente, no qual os elétrons da banda de valência (no nível energético de valência (E_V)) transitam (direta ou indiretamente) para a banda de condução (no nível energético de condução (E_C)). Quando isso ocorre de forma indireta, o elétron passa por um nível intermediário de energia (chamado de Nível de energia do defeito ($E_{defeito}$)), existente devido a defeitos na rede cristalina, impurezas, armadilhas, entre outros defeitos de fabricação, como ilustra a Figura 2.1.

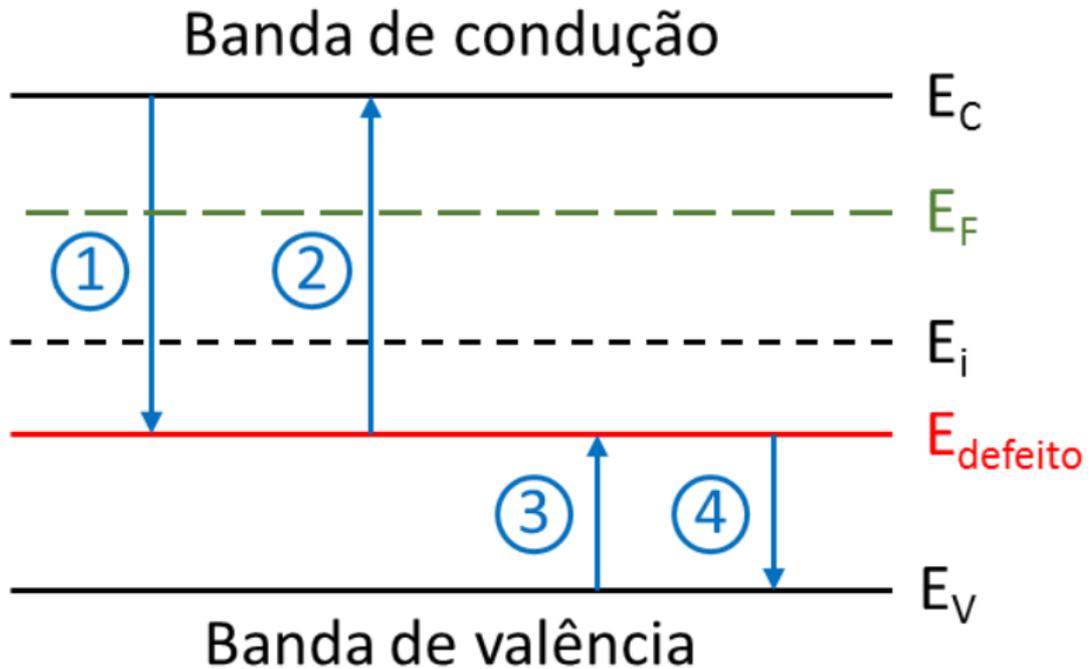


Figura 2.1: Transições envolvidas no processo de geração SRH.

Fonte: Adaptado de (SIVIERI, 2016)

Na Figura 2.1, também é apresentado o nível de energia de Fermi (E_F), e o nível de energia intrínseco do semi-condutor (E_i)

Em um único estado de energia, a taxa de geração de armadilhas (G_{SRH}) é dada pela equação 2.1 (SAH; NOYCE; SHOCKLEY, 1957):

$$G_{SRH} = \frac{pn - n_i^2}{(n + n1)\tau_p + (p + p1)\tau_n} \quad (2.1)$$

Onde:

$$n1 = n_i \cdot \exp\left(\frac{E_{defeito} - E_i}{kT}\right) \quad (2.2)$$

$$p1 = n_i \cdot \exp\left(\frac{E_i - E_{defeito}}{kT}\right) \quad (2.3)$$

Sendo n_i a concentração intrínseca de portadores, p a concentração de lacunas, n a concentração de elétrons e $E_{defeito}$ o nível energético do defeito, τ_p é o tempo de vida máximo da lacuna, τ_n é o tempo de vida máximo do elétron, T é a temperatura e k é a constante de Boltzmann .

O mecanismo de condução de corrente SRH é diretamente responsável pela cor-

rente de fuga I_{off} e é afetada pela temperatura, como é possível concluir pela análise de $n1$ e $p1$. A forma como esse fenômeno é calculado pelo simulador *Sentaurus* será detalhada no capítulo 3.2.

2.1.2 Tunelamento Assistido por Armadilhas (TAT)

No TAT, o nível energético do defeito ($E_{defeito}$) age como um nível intermediário de energia que facilita o tunelamento, como ilustrado na Figura 2.2.

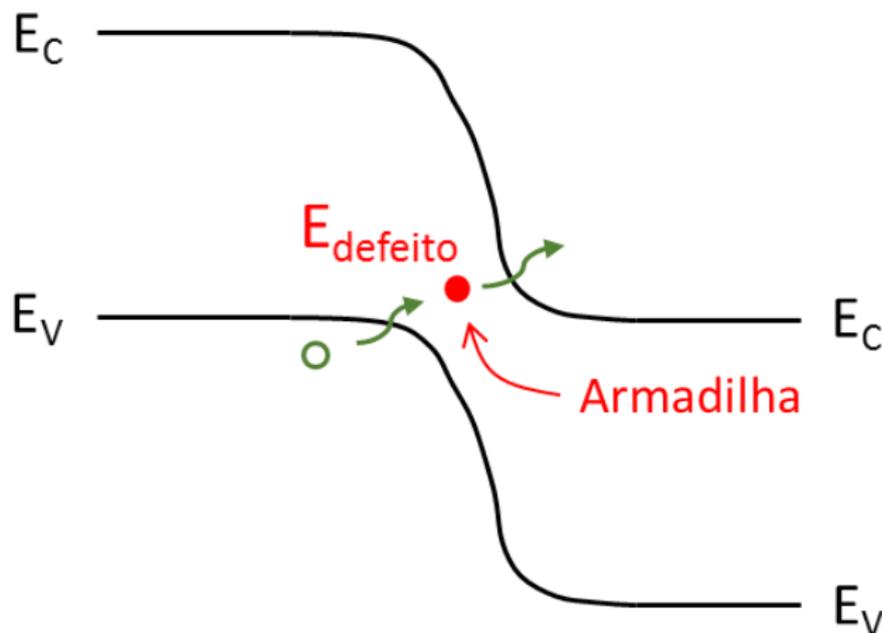


Figura 2.2: Tunelamento assistido por armadilha.

Fonte: Adaptado de (SIVIERI, 2016)

O TAT também é fortemente influenciado pela temperatura (MOOKERJEA et al., 2010). O mecanismo de condução de corrente é o mesmo que o do SRH, acrescido de um fator que depende do campo elétrico da porta (SCHENK, 1992) de forma que a geração de portadores e, portanto, a corrente de dreno aumenta com o aumento do campo elétrico de porta (ou seja, da tensão de V_{gs}). No capítulo 3.2 será apresentado com mais detalhes como esse fenômeno é considerado pelo simulador *Sentaurus*.

O TAT é um dos principais fatores de degradação da inclinação de sublimar (SS), pois apesar de contribuir com a corrente de dreno, tem uma inclinação na curva I_{ds} X V_{gs} consideravelmente maior do que a apresentada pelo BTBT. Duas formas de se

suprimir esse efeito seriam fazendo uma passivação química superficial robusta e um redimensionamento dos óxidos de porta (SIVIERI, 2016).

2.1.3 Tunelamento Banda a Banda (BTBT)

O mecanismo de condução de corrente banda a banda (BTBT) é o mais importante em transistores de tunelamento, entretanto, devido à própria natureza do fenômeno, as correntes de dreno não apresentam os mesmos níveis que as existentes em MOSFETs. Esse tipo de mecanismo foi observado primeiramente por Zener (ZENER, 1934) em 1934. No transistor TFET, o tunelamento que ocorre entre a banda de Valência (E_v) e a de condução (E_c) pode ser controlada pela aplicação de um campo elétrico, variando dessa forma, o comprimento de tunelamento (λ) e a corrente de dreno (I_d).

Na Figura 2.3, adaptada de (IONESCU; RIEL, 2011), pode-se observar uma estrutura semelhante à utilizada nas simulações desse trabalho, na qual é apresentado um *point* pTFET (dispositivo do tipo *p* onde o tunelamento ocorre de maneira pontual). Observa-se que a estrutura é muito semelhante a um diodo PIN com a porta cobrindo a região intrínseca. Nessa estrutura, a fonte tem uma dopagem do tipo *n+* (com excesso de elétrons) e o dreno tem dopagem *p+* (com excesso de lacunas). A região do canal não apresenta nenhuma dopagem ou a dopagem natural da lâmina, sendo considerada a concentração de dopantes intrínseca ao silício (concentração i). No caso do nTFET, as dopagens de fonte e dreno se invertem, sendo a fonte do tipo *p+* e o dreno do tipo *n+*. A região de canal se mantém intrínseca tanto no tipo *p* quanto no tipo *n*.

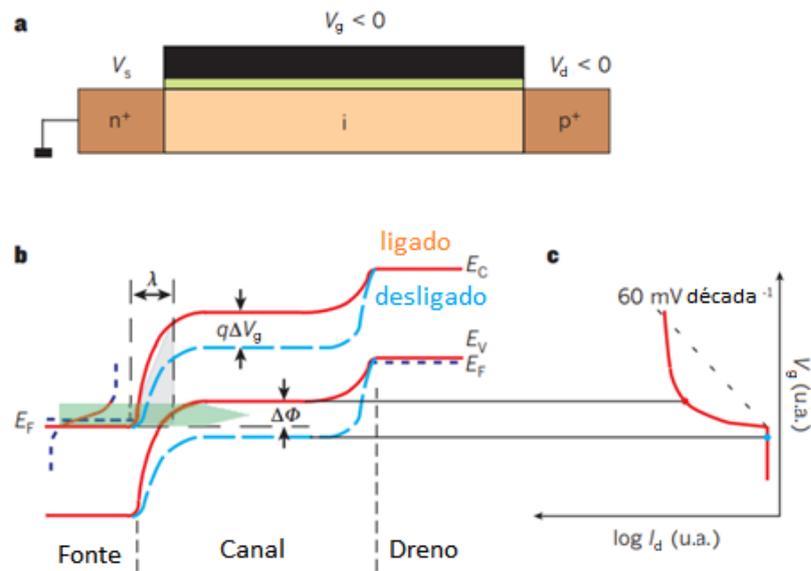


Figura 2.3: Princípio de funcionamento pTFET. a) Visão esquemática de um TFET tipo p com aplicação de tensões na fonte (V_s), na porta (V_g) e no dreno (V_d). b) Perfil de bandas de energia para o estado não conduzindo (linhas em azul) e estado conduzindo (linhas vermelhas) c) Curva $\log(I_d) \times V_g$ típica.

Fonte: Adaptado de (IONESCU; RIEL, 2011)

Como pode-se observar na Figura 2.3.b, no estado desligado do transistor (linha azul), não há sobreposição entre banda de energia de valência (E_v) no canal e banda de energia de condução (E_c) na fonte, impossibilitando a ocorrência do tunelamento direto entre bandas, tendo em vista que não há níveis de energia disponíveis. Isso resulta em uma corrente de fuga (I_{off}) muito baixa para esse tipo de transistor, e é representado na Figura 2.3.c pelo ponto em azul (IONESCU; RIEL, 2011).

Com a diminuição da tensão (V_g) (aumento em módulo), a banda de energia de valência (E_v) do canal desloca-se ($q\Delta V_g$) para cima, diminuindo o "comprimento de tunelamento" (λ) e sobrepondo-se à banda de energia de condução (E_c) na fonte. Dessa forma, o tunelamento pode ocorrer fazendo o transistor entrar em estado ligado. No estado ligado, os elétrons que estão nessa "janela de energia" ($\Delta\Phi$), representada na Figura 2.3.b pela sombra em verde, podem tunelar da banda de condução da fonte para a banda de valência do canal. Com isso, a corrente de dreno sobe de forma abrupta, como observado na Figura 2.3.c (u.a. significa unidades arbitrárias), tendo em vista a característica inicialmente exponencial da diminuição do comprimento de tunelamento. Como consequência, a curva típica de sublimar do TFET se torna uma exponencial no gráfico $\log(I_d)$ em função de V_g .

Essa característica super exponencial ocorre devido à relação entre a probabilidade de tunelamento e a distância de tunelamento, que pode ser descrita pela aproximação WKB (método Wetzal-Kramer-Brillouin), que fornece uma fórmula aproximada para a taxa de transmissão de portadores por tunelamento (T_{WKB}) para uma barreira de energia triangular, como a que pode ser observada na região em cinza na Figura 2.3.b (IONESCU; RIEL, 2011):

$$T_{WKB} \approx \exp\left(\frac{-4\lambda\sqrt{2 \cdot m^* E_g^3}}{3 \cdot q \cdot \hbar(E_g + \Delta\phi)}\right) \quad (2.4)$$

No qual, q é a carga do elétron, m^* é a massa efetiva dos portadores, E_g é o *band-gap* (banda proibida), \hbar é a constante de Plank normalizada, λ é o comprimento de tunelamento (mostrado na Figura 2.3.b) e $\Delta\phi$ é a janela de energia através da qual os elétrons tunelam quando o transistor está conduzindo. Os detalhes de como o fenômeno BTBT é considerado pelo simulador *Sentaurus* são apresentados no capítulo 3.2.

Através dessa fórmula podemos observar a relação super exponencial da corrente de dreno com V_{gs} observada na figura 2.3.c (através de $\Delta\phi$) e podemos observar também que a corrente está fortemente relacionada com o material utilizado, devido ao fato de que m^* e E_g dependem do material (IONESCU; RIEL, 2011).

2.2 Transistores Estrutura SOI FinFET

Com o avanço da tecnologia, cada vez mais tornou-se necessário uma maior capacidade de processamento por parte dos circuitos integrados. Como explicado no capítulo 1, o caminho natural desse desenvolvimento deu-se com a redução das dimensões dos transistores MOSFET que compunham esses circuitos integrados. Entretanto, com a redução significativa das dimensões dos transistores MOSFET convencionais, observou-se fenômenos parasitários que comprometiam o bom funcionamento dos transistores e dos circuitos integrados como um todo.

Um dos principais exemplos de fenômeno parasitários é o efeito de canal curto (*short channel effect*), que ocorre devido ao fato de que a proximidade entre a fonte e o dreno reduz a capacidade da porta controlar o fluxo de corrente na região do canal, causando o mal funcionamento do dispositivo como um todo. Estes efeitos também impedem a utilização do dispositivo clássico de MOSFET para dimensões menores do

que 20 nm (COLINGE et al., 2008).

Uma das alternativas desenvolvidas para minimizar problemas como o efeito de canal curto e possibilitar a redução das dimensões dos transistores MOSFET foi a tecnologia de silício sobre isolante (SOI *Silicon-On-Insulator*), que consiste em fabricar os transistores sobre uma fina camada de isolante, normalmente o próprio óxido do silício (SiO_2). Essa técnica acaba por isolar a região ativa do transistor da região do substrato, promovendo a redução de capacitâncias presentes no dispositivo e, por consequência, possibilitando uma maior velocidade de chaveamento e a fabricação de dispositivos de dimensões menores do que os MOSFETs de estrutura clássica, sem isolamento (*bulk*) (COLINGE et al., 2008).

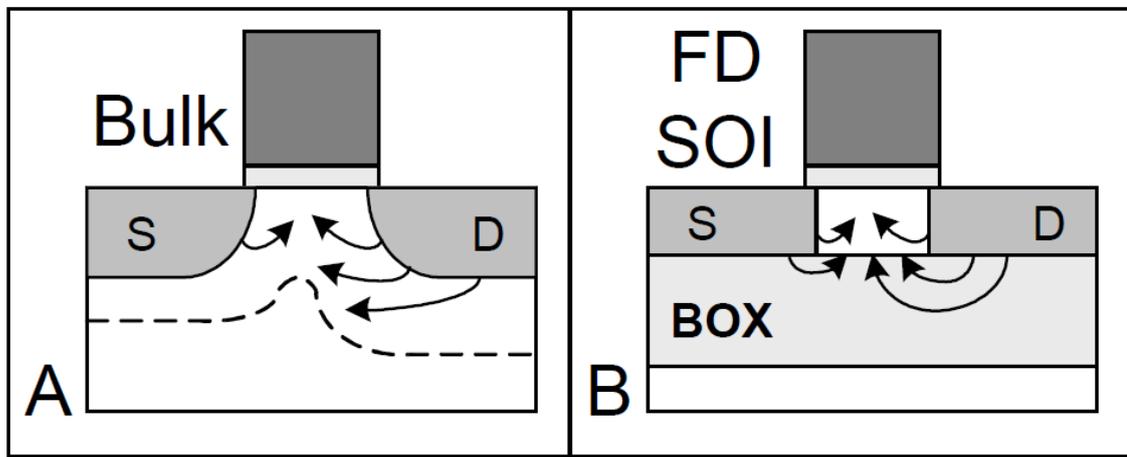


Figura 2.4: Representação esquemática dos transistores MOSFET *bulk* (A) e SOI MOSFET (B) esquematizando as linhas de campo elétrico entre dreno e fonte na região de canal.

Fonte: Adaptado de (COLINGE et al., 2008)

Como é possível observar na Figura 2.4, a principal diferença entre o MOSFET convencional (*bulk*) e o SOI MOSFET está na presença do óxido enterrado (BOX) e na fina espessura da região de canal.

É importante notar que mesmo a estrutura SOI MOSFET planar, como mostrada na Figura 2.4, tem limitações com relação aos efeitos de canal curto, principalmente quando as dimensões se tornam ainda menores. Dessa forma, foi necessário desenvolver outras técnicas e estruturas para que fosse possível desenvolver transistores ainda menores (COLINGE et al., 2008).

Outra tecnologia utilizada para minimizar os efeitos parasitários indesejados e atingir dimensões ainda menores do que as possíveis de se atingir com estruturas SOI MOSFET planares, foi a de transistores com múltiplas portas. O objetivo de tal tecnologia é, através do uso de uma maior quantidade de portas, obter um maior controle

sobre o fluxo de corrente na região de canal.

Dentre as várias possibilidades de transistores de múltiplas portas (portas duplas, triplas e circundantes) (COLINGE et al., 2008), uma que teve bastante importância no desenvolvimento da tecnologia e se tornou comercial a partir de 2011 é a estrutura conhecida como FinFET.

O tipo de dispositivo SOI FinFET trata-se de uma estrutura tridimensional que pode ter duas ou três portas ao redor da região de canal e o dispositivo ainda está isolado do restante do substrato, pois é fabricada sobre uma camada de óxido enterrado, que o caracteriza como SOI. A classificação entre porta dupla ou tripla depende da espessura do dielétrico na região superior. No caso da espessura do dielétrico na região superior (também chamado de *hardmask*) ser maior do que nas laterais, o FinFET é considerado de porta dupla. Caso a espessura seja igual nas três regiões, o FinFET é considerado de porta tripla.

É possível observar na Figura 2.5.A um exemplo da estrutura SOI FinFET de porta tripla e na Figura 2.5.B um exemplo da SOI FinFET de porta dupla.

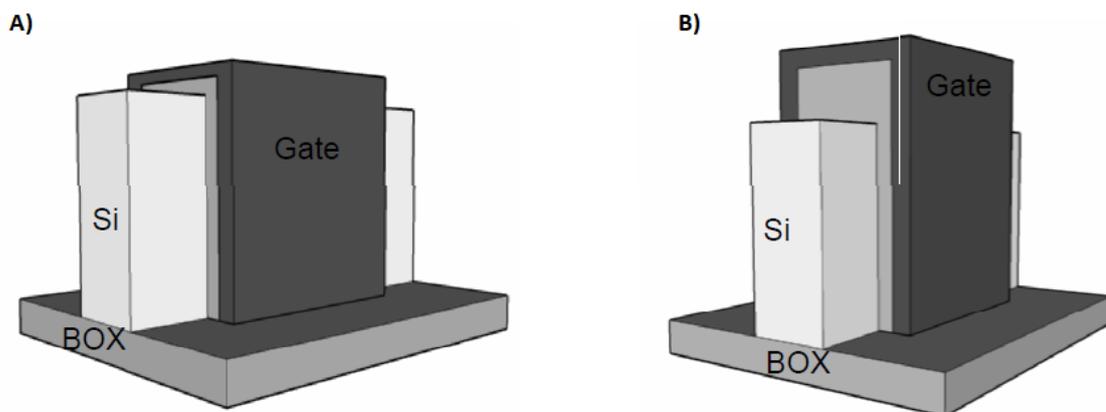


Figura 2.5: A) Transistor SOI FinFET de porta tripla – B) Transistor SOI FinFET de porta dupla.

Fonte: Adaptado de (COLINGE et al., 2008)

Quando comparada com a tecnologia SOI planar, esse transistor apresenta vantagens quanto ao controle eletrostático da porta para com o canal, redução considerável de efeitos de canal curto, melhor comportamento com relação à inclinação de sublimiar e alta densidade de integração, devido à sua estrutura tridimensional que reduz a utilização de espaço (SOUSA, 2021).

2.2.1 Transistor de Tunelamento Fabricado em Estrutura FinFET

O dispositivo estudado, o FinTFET, é um transistor *triple-gate* que tem exatamente a mesma estrutura de um FinFET de tecnologia MOS. Ele pode ser fabricado no mesmo *wafers*, com o mesmo processo e as mesmas condições, mudando apenas a dopagem existente na fonte dos transistores. Na figura 2.6, é possível observar a região do canal com dopagem intrínseca (*i*), a fonte com dopagem N+ e dreno com dopagem P+.

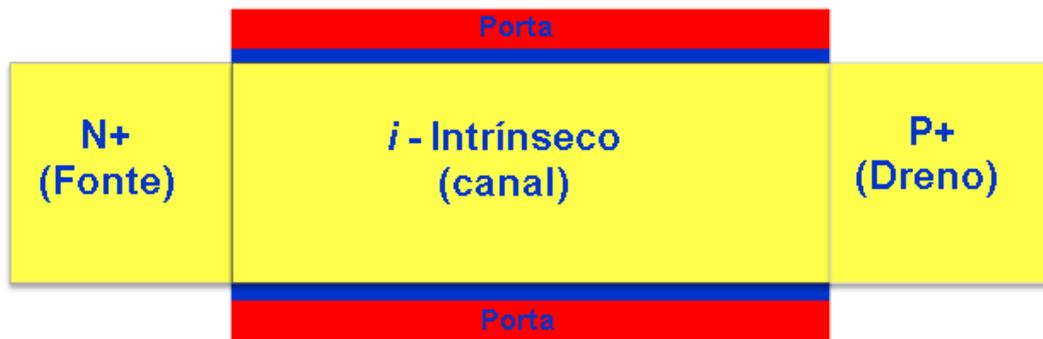


Figura 2.6: Visão planar FinTFET.

Fonte: Adaptado de (RANGEL; AGOPIAN; MARTINO, 2019)

2.3 Parâmetros Básicos

Devido ao fato de se tratar de um transistor tridimensional e utilizar o tunelamento como mecanismo de transporte de portadores, há uma grande dificuldade de se utilizar de modelos analíticos de primeira ordem para este dispositivo, dessa forma, serão apresentados nessa sessão alguns parâmetros básicos de forma a elucidar e auxiliar nas discussões sobre esse dispositivo.

2.3.1 *Threshold Voltage* ou Tensão de limiar (V_{th})

Classicamente, em transistores do tipo MOS, essa tensão é definida como o valor de tensão entre porta e fonte (V_{gs}) no qual forma-se um canal para que portadores possam fluir entre dreno e fonte. A partir do valor de Tensão de limiar (V_{th}) são definidas as três regiões de funcionamento do transistor MOS: Corte, Triodo e Saturação.

Região de Corte: $V_{gs} < V_{th}$, nessa região a corrente entre dreno e fonte (I_{ds}) pode

ser chamada de corrente em estado desligado (I_{off}).

Região de Triodo: $V_{gs} > V_{th}$ e $V_{ds} < V_{gs} - V_{th}$, no qual V_{ds} é a tensão entre dreno e fonte. Nesse estado o canal entre dreno e fonte já está criado, mas o transistor funciona como um resistor controlado pela tensã V_{gs} e a corrente I_{ds} pode ser descrita pelas equações 2.5 e 2.6:

$$I_{ds} = K[2(V_{gs} - V_{th})V_{ds} - V_{ds}^2] \quad (2.5)$$

$$K = \frac{1}{2}\mu \cdot C_{ox} \cdot \frac{W}{L} \quad (2.6)$$

No qual μ é a mobilidade do portador de carga, C_{ox} é a capacitância por unidade de área do óxido, W e L é a unidade de área do óxido.

Região de saturação: $V_{gs} > V_{th}$ e $V_{ds} > V_{gs} - V_{th}$, nessa condição o transistor é considerado ligado e a corrente I_{ds} pode ser chamada de corrente em estado ligado (I_{on}). Para os transistores MOS, a corrente I_{ds} nessa região pode ser descrita pela equação 2.7:

$$I_{ds} = K(V_{gs} - V_{th})^2 \quad (2.7)$$

Para transistores do tipo TFET, que são utilizados nesse estudo, não há descrições analíticas de I_{ds} em função de V_{gs} e nem um cálculo exato para sua tensão de limiar, dessa forma, o termo será utilizado de forma mais ampla significando uma tensão de porta que separa o estado ligado do estado desligado para esse transistor.

2.3.2 Inclinação de Sublimiar (SS)

A Inclinação de sublimiar (SS , do inglês *subthreshold slope*) é o parâmetro que indica o quão rápido um transistor passa do estado desligado para o ligado, ou seja, a velocidade de chaveamento do transistor. Quanto menor é a inclinação, mais rápido o transistor altera seu estado e conseqüentemente mais eficiente ele é. Por definição, a inclinação de sublimiar indica qual a variação na tensão da porta (V_g) é necessária para causar a variação de uma década na corrente de dreno (I_d).

Baseado na definição, esse parâmetro pode ser calculado conforme a equação 2.8, o inverso da derivada do log da corrente de dreno (I_d) em função da tensão de

porta (V_g)(COLINGE, 2004):

$$SS = \frac{dV_g}{d(\log(I_d))} \quad (2.8)$$

2.3.3 Transcondutância (g_m)

A transcondutância (g_m) é o parâmetro que mede a eficiência com que um sinal de tensão aplicado à porta do transistor influencia na corrente de dreno (I_d), ou seja, esse parâmetro mede o controle da porta sobre a corrente de dreno (COLINGE et al., 2008). Na região de saturação, a transcondutância é definida como a razão entre a variação de corrente de dreno (I_d) em relação a tensão de porta (V_g), para tensões de dreno (V_d) maiores do que a tensão de dreno de saturação (V_{dsat}), como mostrado na equação 2.9 (COLINGE, 2004):

$$g_m = \frac{dI_d}{dV_g} \quad (2.9)$$

2.3.4 Eficiência do transistor (g_m/I_d)

O parâmetro de eficiência do transistor (g_m/I_d) mede a quantidade de corrente (I_d) necessária para se obter uma determinada transcondutância (g_m). Dessa forma, o valor desse parâmetro é dado pela razão entre a transcondutância e a corrente de dreno (COLINGE, 2004). Quanto maior for essa razão, pode-se concluir que mais eficiente será o transistor, tendo em vista que para um certo valor de corrente constante, se obtém uma maior transcondutância.

Esse parâmetro é importante na análise e projetos de circuitos integrados analógicos, pois além da performance analógica, serve como uma ferramenta para o dimensionamento de medidas do transistor e por indicar a sua região de operação (SILVEIRA; FLANDRE; JESPERS, 1996).

2.3.5 Tensão de Early (V_{EA})

Em transistores reais, é observado que, quando em região ativa, o aumento da tensão entre os terminais de coletor e emissor (no caso de transistor bipolar de junção (TBJ), no qual se observou primeiramente o fenômeno do efeito Early) ou dreno e fonte (caso MOS), há um aumento na corrente passando por esses terminais. Esse fenômeno é chamado de efeito Early. Ao se prolongar essa reta e cruzá-la com o eixo de corrente 0 A, obtém-se um valor que foi denominado Tensão de Early (V_A). O seu

valor é definido sempre como positivo e é utilizado para se calcular a resistência de saída de transistores (SEDRA; SMITH, 2007).

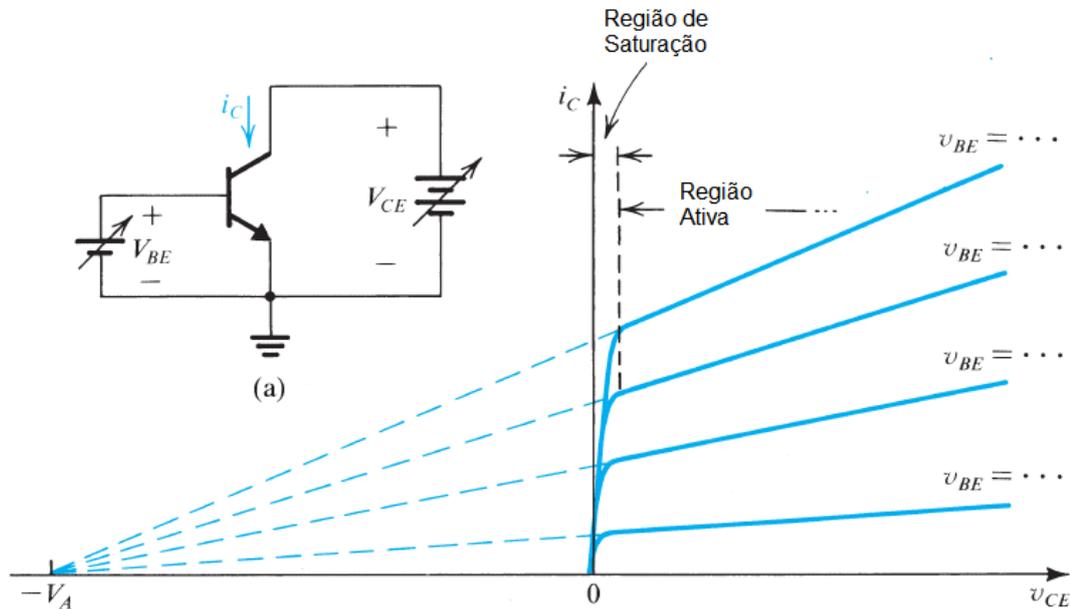


Figura 2.7: Ganho de tensão e banda de um amplificador.

Fonte: Adaptado de (SEDRA; SMITH, 2007)

Na Figura 2.7 temos que i_C é a corrente do coletor do TBJ, V_A é a tensão de Early, V_{BE} é a tensão entre base e emissor do TBJ e V_{CE} é a tensão entre coletor e emissor do TBJ

2.3.6 Margem de Fase

A Margem de Fase (*Phase Margin* ou PM) é um parâmetro importante para a estabilidade de um amplificador. Segundo (RAZAVI, 2005), a Margem de Fase pode ser determinada segundo a equação 2.10:

$$\text{Margem de Fase} = \angle H(\omega_{GX}) + 180^\circ \quad (2.10)$$

No qual ω_{GX} é a frequência de transição de ganho (conhecida também como frequência de *crossover* de ganho), ou seja, a frequência na qual o ganho de tensão do amplificador é 0dB. E $\angle H(\omega_{GX})$ é a fase do amplificador em ganho de tensão unitário.

Segundo o (RAZAVI, 2005), para se obter um circuito estável e com um transiente de curta duração, é exigido uma Margem de Fase de ao menos 60° (e não mais do que 90°)

2.3.7 Capacitor de Compensação (C_c)

A utilização de um Capacitor de compensação (C_c) é uma estratégia para se corrigir a Margem de Fase em busca de se alcançar a estabilidade do amplificador. Segundo (RAZAVI, 2005), pode-se adicionar um capacitor em um amplificador de dois estágios com objetivo de deslocar seu polo principal e dessa forma alcançar uma Margem de Fase adequada para se alcançar critérios de estabilidade.

2.4 Amplificadores Diferenciais

Dentro dos diversos tipos de amplificadores existentes, os amplificadores diferenciais se destacam devido à sua boa razão de amplificação entre sinal e ruído. Isso se deve ao fato de ter uma entrada de sinal positiva (V_{in+}) e outra negativa (V_{in-}), de forma que o sinal amplificado é proveniente da diferença entre as duas entradas. Consequentemente, o sinal amplificado possui maior imunidade a ruídos quando comparado a amplificadores de entrada única, pois um ruído que esteja presente igualmente nas duas entradas, acaba por ser cancelado no processo de amplificação (RAZAVI, 2005).

O amplificador diferencial é caracterizado por possuir dois tipos diferentes de ganho de tensão. Um deles é denominado ganho de tensão em modo comum (A_{CM}), que se trata do ganho quando as duas entradas do amplificador diferencial recebem um mesmo sinal de entrada (V_{in}) em fase. O outro, trata-se do ganho de tensão diferencial (A_D), que é o produto da transcondutância de curto circuito (G_m) pela resistência série de saída do circuito (R_{out}) (RAZAVI, 2005).

O ganho de tensão em modo comum existe devido às não idealidades do circuito amplificador como variações nos parâmetros dos dispositivos que o compõem. Tendo em vista que o ganho de tensão comum é indesejável, a taxa de rejeição de modo comum ($CMRR$) é uma figura de mérito e é calculado em dB, como mostrado na fórmula 2.11:

$$CMRR = 20 \cdot \log\left(\frac{|A_D|}{|A_{CM}|}\right) \quad (2.11)$$

No qual A_D é o ganho de tensão diferencial e A_{CM} é o ganho de tensão de modo comum.

Para amplificadores de dois estágios, como o do estudo em questão, é possível calcular o ganho total do amplificador (A_{vt}) como o produto dos ganhos do primeiro e do segundo estágio, que por sua vez podem ser descritos como o produto da transcondutância (g_m) e da resistência de saída de cada estágio (R_{out}), conforme as equações 2.12 e 2.13 :

$$A_{vt} = A_{v1} \cdot A_{v2} \quad (2.12)$$

$$A_{vt} = g_{m1} \cdot R_{out1} \cdot g_{m2} \cdot R_{out2} \quad (2.13)$$

No qual A_{v1} e A_{v2} são os ganhos do primeiro e segundo estágios, R_{out1} e R_{out2} são as resistências de saída do primeiro e segundo estágios e g_{m1} e g_{m2} são as transcondutâncias dos transistores de saída do primeiro e segundo estágios (descritos na figura 5.1 como M2 e M6), respectivamente.

Outra aplicação para os amplificadores diferenciais é a utilização como realimentação negativa, nesse caso, o ganho de tensão resultante é menor, entretanto são menos sensíveis a desvios provenientes de parâmetros internos dos dispositivos que formam o amplificador. Além de diminuir o ganho de tensão do amplificador, a faixa de frequência de operação aumenta proporcionalmente, de forma que o produto do ganho do amplificador pela largura de banda (GBW) mantém-se constante (SEDRA; SMITH, 2007). O GBW é uma importante figura de mérito para se comparar a velocidade entre circuitos e pode ser obtido pela frequência na qual o ganho é unitário (0 dB), como mostrado na Figura 2.8

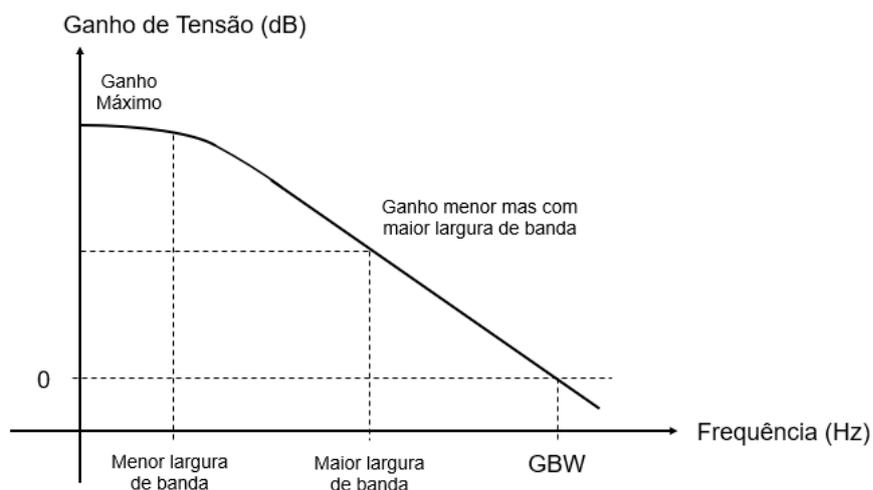


Figura 2.8: Ganho de tensão de um amplificador em função da frequência.

Fonte: Adaptado de (SOUSA, 2021)

3 MATERIAIS E MÉTODOS

Neste capítulo serão apresentadas as características físicas dos dispositivos estudados, bem como as técnicas de simulação e medidas experimentais para calibrar as simulações de dispositivos e de circuitos.

3.1 Características do Dispositivo

A geometria do transistor no qual as medidas foram realizadas e do dispositivo simulado é a SOI-FinTFET de porta tripla, conforme ilustrado na Figura 3.1:

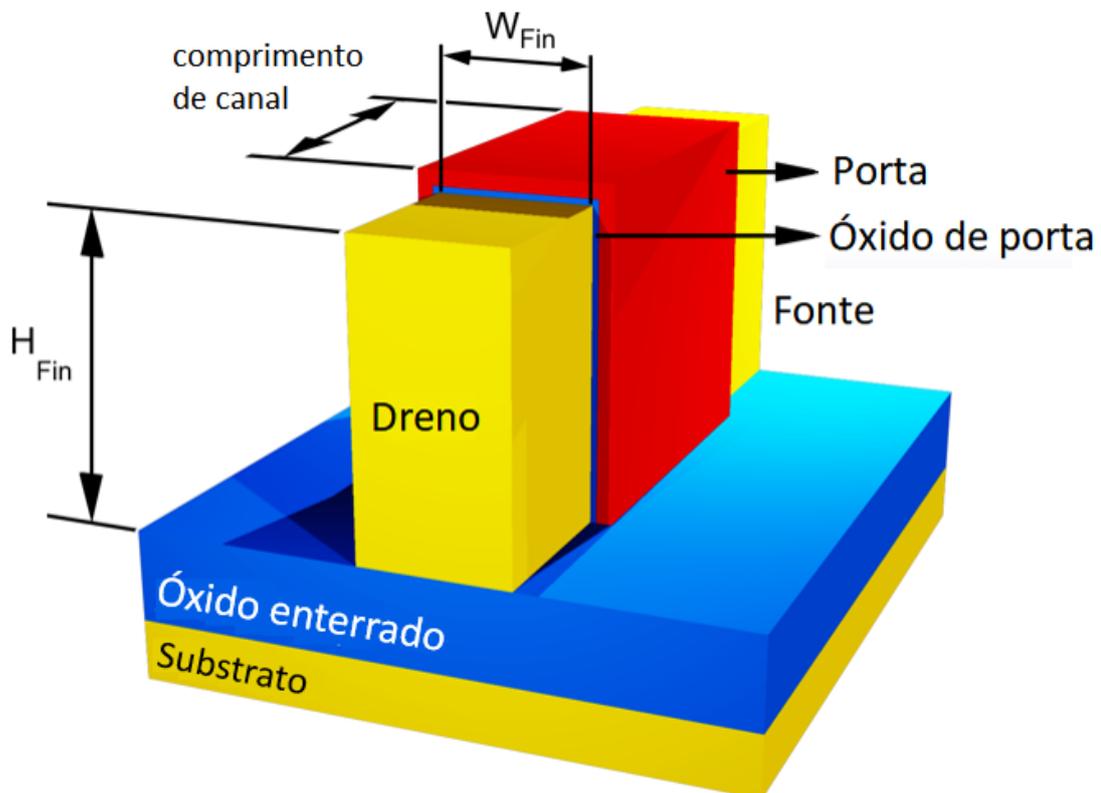


Figura 3.1: Estrutura SOI-FinFET de porta tripla.

Da Figura 3.1 temos que W_{Fin} é a largura do canal, H_{Fin} é a altura do canal e a altura do óxido enterrado será denominada como $H_{oxido\ enterrado}$.

Nas Tabelas 3.1 são apresentados os parâmetros geométricos dos SOI-FinTFET medidos e simulados:

Tabela 3.1: Parâmetros geométricos SOI-FinTFET

Parâmetro	Valor (nm)
W_{Fin}	40
Comprimento do Canal	150
EOT (Espessura equivalente de óxido)	2
H_{Fin}	65
$H_{\text{óxido enterrado}}$	145

Nas Tabelas 3.2 e 3.3 são apresentados os parâmetros de dopagem e materiais do SOI-FinTTFET medidas na lâmina de silício dos componentes reais e utilizados também nas simulações:

Tabela 3.2: Parâmetros de Dopagem

Região	Elemento	Dopagem(cm^{-3})
Canal	Boro	10^{15}
Fonte	Boro	10^{20}
Dreno	Arsênio	10^{20}

Tabela 3.3: Materiais do transistor

Região	Material
Óxido de porta	HfSiON e SiO_2
Óxido enterrado	SiO_2
Metal de Contato	TiN; $\Phi_{MS}=4,76V$

Os valores das medidas apresentados na Tabela 3.1 e os valores das dopagens da tabela 3.2 são os mesmos do transistor real fornecido pelo IMEC. O material HfSiON trata-se do Silicato de háfnio nitretado, e SiO_2 trata-se do dióxido de silício. O valor da função trabalho (Φ_{MS}) foi definido como 4,76V para melhor aproximar as curvas simuladas das medidas experimentais.

3.2 Simulação no *Sentaurus*

O *software Sentaurus* é uma ferramenta que permite a simulação de dispositivos, considerando os diversos fenômenos existentes em dispositivos reais.

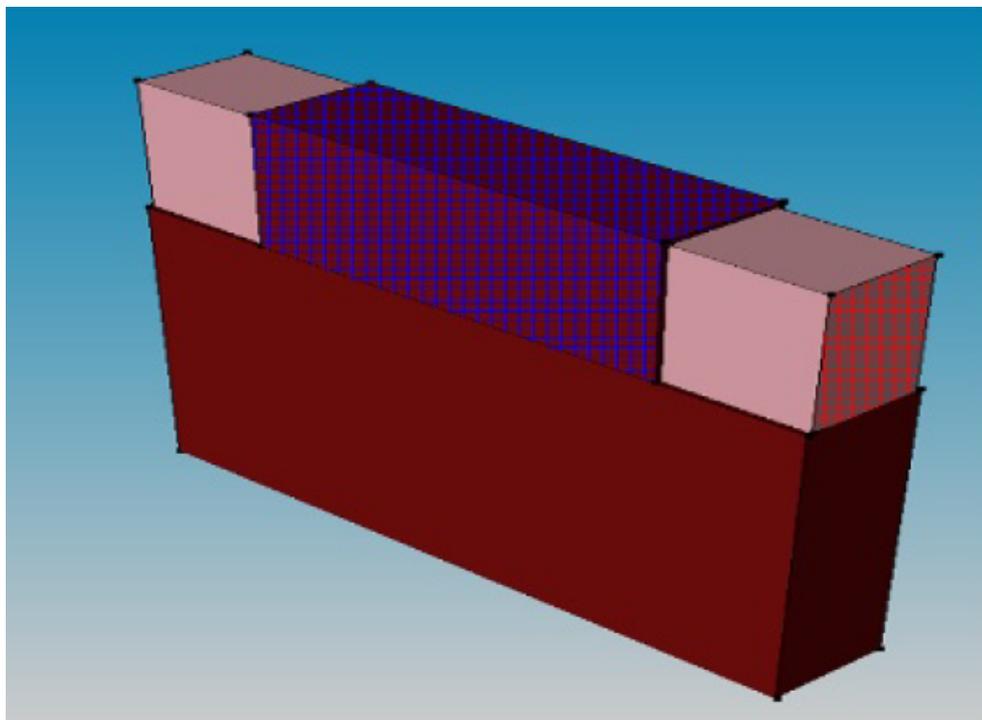


Figura 3.2: Estrutura SOI-FinFET de porta tripla na ferramenta *Sentaurus Structure editor*.

Utilizando a ferramenta do *Sentaurus* chamada *Sentaurus Structure editor*, foi criada uma estrutura idêntica à descrita no capítulo 3.1, mostrada na Figura 3.2. Essa estrutura foi escolhida por existir amostras disponíveis dentro da Escola Politécnica para comparação dos resultados das simulações com os dados reais medidos. Após os ajustes para uma boa aproximação entre os dados simulados e os experimentais, foi possível fazer uma descrição detalhada com passo de tensão reduzido, através de simulação, com objetivo de se criar a *Lookup Table*.

Foram utilizados três parâmetros para ajustar a curva simulada à experimental, e foram os seguintes:

Tempo de vida máximo do elétron (τ_n): Tem valor padrão de 10^{-5} s e foi utilizado 10^{-8} s;

Tempo de vida máximo da lacuna (τ_p): Tem valor padrão de $3 \cdot 10^{-6}$ s e foi utilizado 10^{-8} s;

Função trabalho (Φ_{MS}): Tem valor padrão de 4,68 V e foi ajustado para 4,76 V.

Outros parâmetros que serão citados a seguir nesse capítulo, foram utilizados em seus valores padrão do *software Sentaurus*.

Após a estrutura ser desenvolvida, foi necessário definir a grade de pontos, onde serão calculados os campos elétricos durante a simulação. Essa parte é de extrema importância, pois existem regiões do dispositivo nas quais já se sabe de antemão que haverá maior necessidade de se calcular o campo elétrico em muitos pontos, e outras regiões em que não são necessários tantos pontos. Para o dispositivo em questão (SOIFinTFET), as regiões dentro do canal que são próximas do óxido da porta e as regiões próximas à intersecção fonte/canal são as mais importantes, dessa forma foi necessário fazer uma grade mais refinada nessas regiões.

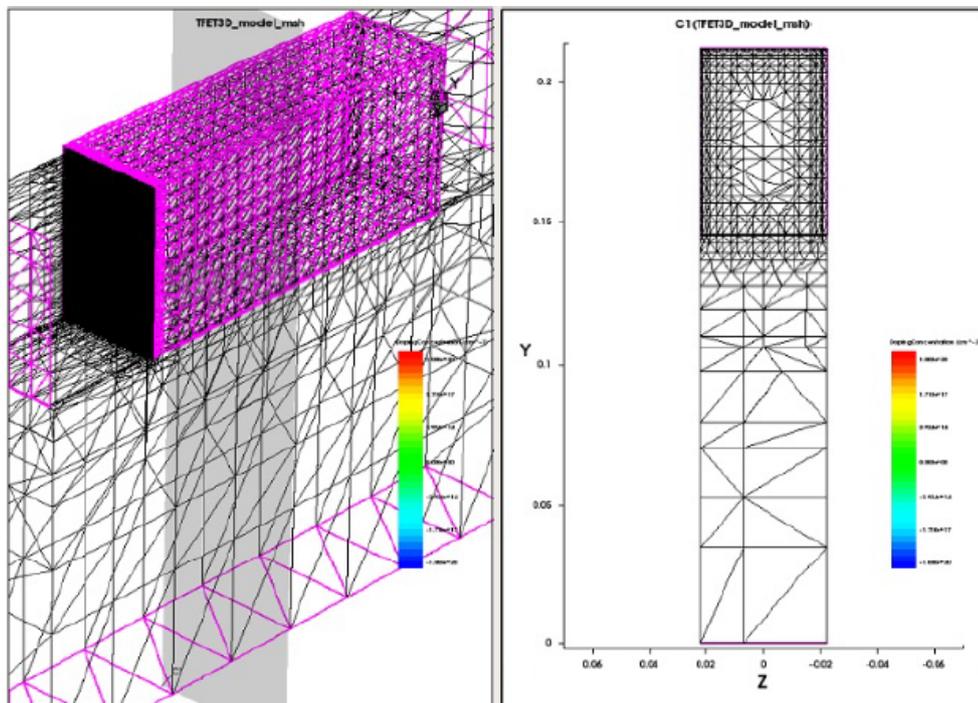


Figura 3.3: Estrutura da grade do dispositivo SOI-FinTFET simulado frontal.

Na Figura 3.3 é possível observar o refinamento mais fino nas regiões do canal próximas ao óxido de porta.

Na Figura 3.4 é possível observar que a grade é muito mais refinada na região de intersecção entre a fonte e o canal. Isso se deve ao fato de que, nesse dispositivo, o fenômeno do tunelamento ocorre quase que em sua totalidade nesta região. Essa grade utilizada para a simulação final tem 186.418 pontos e 34.260 elementos.

Essa quantidade de pontos e elementos foi alcançada de forma iterativa, considerando a comparação dos resultados simulados com os experimentais e o tempo de simulação. Ao utilizar um número muito pequeno de pontos e elementos, o comporta-

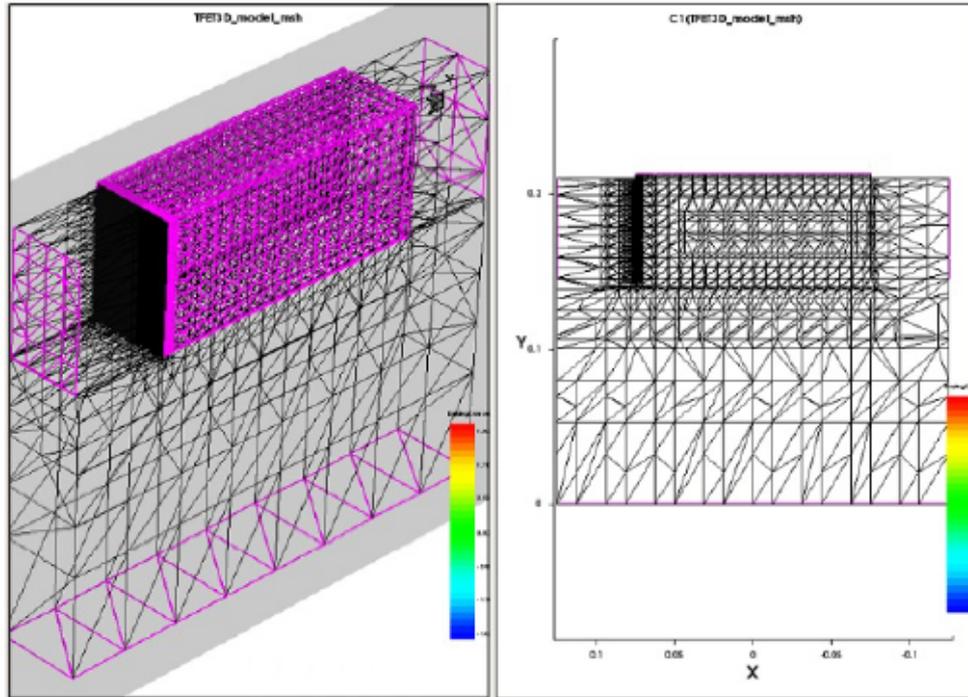


Figura 3.4: Estrutura da grade do dispositivo SOI-FinTFET simulado lateral.

mento das curvas simuladas era consideravelmente diferente dos dados experimentais ou os cálculos não convergiam, e com uma quantidade muito grande, o tempo de simulação tornava o estudo inviável.

Após o dimensionamento da estrutura e da criação da grade, o passo seguinte da simulação é a utilização do programa *Sentaurus Device*. Esse programa é o que de fato faz os cálculos dos campos elétricos e das correntes que passam pelo dispositivo.

Para fazer a simulação mais detalhada, a fim de melhor compreender e controlar os diversos fenômenos que ocorrem no dispositivo (BTBT, TAT, SRH), as simulações foram realizadas separadamente, cada uma com um dos fenômenos ocorrendo. No caso do BTBT e do SRH, esses fenômenos puderam ser simulados de forma isolada. O TAT, conforme explicado no capítulo 2.1, é causado pelo mesmo nível energético intermediário ($E_{defeito}$) que também está presente no SRH, de forma que a densidade de portadores gerados é calculada da mesma forma em ambos, com a diferença de que no TAT é acrescido um termo de enriquecimento de campo (ou seja, proporcional a V_{gs}). Por conta deste termo e da mesma origem dos dois fenômenos, eles não são separáveis, de forma que o TAT é modelado como um SRH fortemente dependente do campo elétrico dentro do simulador *Sentaurus* (GUIDE, 2015).

Para fazer essa separação dos três principais fenômenos físicos que ocorrem no transistor de tunelamento, utilizamos uma parte do código do *Sentaurus Device* cha-

mado Physics, no qual é possível selecionar os fenômenos e princípios de condução que serão de fato utilizados para a simulação. Será explicado em mais detalhes o funcionamento dos fenômenos ativados para cada uma das simulações:

EffectiveIntrinsicDensity(noBandGapNarrowing): o band gap efetivo é calculado como(GUIDE, 2015):

$$E_{geff} = E_g(T) - E_{bgn} \quad (3.1)$$

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{T + \beta} \quad (3.2)$$

No qual $E_g(T)$ é o *bandgap* calculado pelo modelo de dependência térmica e E_{bgn} é o estreitamento de *bandgap*, $E_g(0)$ é o *bandgap* em temperatura de 0 K, α e β são valores definido no documento de parâmetros e foram configurados para, respectivamente, $4,73 \times 10^{-4} \text{ eV/K}$ e 636 K. Utilizando o modelo *noBandGapNarrowing*, o termo E_{bgn} é ignorado.

Para a simulação do BTBT foi ativado o seguinte modelo:

Recombination(Band2Band(Model=NonLocalPath)): Esse princípio de condução considera não só os portadores de carga gerados por tunelamento próximos à superfície da intersecção do canal, mas também os portadores gerados dentro do próprio canal. No *NonLocalPath* o caminho é calculado iterativamente e não só num caminho pré-definido próximo à superfície como o no modelo local. A taxa de geração da corrente relativa ao BTBT pode ser descrita pela equação 3.3 (GUIDE, 2015):

$$R_{net} = A \cdot F^P \cdot \exp\left(-\frac{B}{F}\right) \quad (3.3)$$

No qual, F é a magnitude do campo elétrico e A , P e B tem seus valores definidos no arquivo de parâmetros. O manual do *software Sentaurus* (GUIDE, 2015) descreve dois modelos que utilizam essa equação, entretanto atribuindo diferentes valores para os parâmetros A , P e B .

O primeiro modelo é o de tunelamento banda a banda direto, recomendado para semicondutores de transição direta, como GeAs. Nesse modelo $A = 9,6615 \times 10^{18}$, $P = 2$ e $B = 1,9 \times 10^7 \text{ V/m}$ (GUIDE, 2015).

Para aplicações em semicondutores de transição indireta, como o silício, que é utilizado nesse estudo, o recomendado é a utilização do modelo de tunelamento banda a banda assistido por fônons, no qual $A = 4 \times 10^{14}$, $P = 2,5$ e $B = 1,9 \times 10^7 \text{ V/m}$ (GUIDE,

2015).

Para simulação do SRH foi ativado o seguinte modelo:

Recombination(SRH(Doppingdependence)): Esse princípio de condução considera os fenômenos de difusão e deriva em função dos tempos de vida dos portadores. Esse tempo de vida, por sua vez, é calculado com base nas dopagens do dispositivo; a corrente de recombinação prevista para o fenômeno do SRH é descrita pelo manual do *Sentaurus* (GUIDE, 2015) como mostrado na equação 3.4:

$$R_{net}^{SRH} = \frac{np - n_i^2}{\tau_p(n + n_i \cdot \exp(\frac{E_{trap}}{kT})) + \tau_n(p + n_i \cdot \exp(\frac{-E_{trap}}{kT}))} \quad (3.4)$$

No qual, T é temperatura em Kelvin, τ_p e τ_n são, respectivamente, o tempo de vida das lacunas e dos elétrons, E_{trap} é a diferença entre os níveis de energia da armadilha e de Fermi intrínseco.

Os tempos de vida dos portadores, τ_n e τ_p são definidos no arquivo de parâmetros e foram modificados de forma iterativa para aproximar os dados simulados com os experimentais. O valor definido para as simulações foi de 10^{-8} para ambos os tempos de vida, obtendo os melhores resultados comparativos com os dados experimentais. Para estruturas de silício, o valor padrão para $E_{trap} = 0$.

Para simulação do TAT foi utilizado o seguinte modelo:

Recombination(SRH(NonLocalPath(Lifetime = Schenk)): Esse princípio de condução considera os portadores capturados e emitidos pelas imperfeições existentes. Para cada ponto e cada tipo de portador, o caminho do tunelamento é calculado dinamicamente. Para o cálculo da corrente induzida pelas armadilhas, a taxa de combinação da corrente de SRH é ajustada matematicamente como mostrado na equação 3.5 (MARTINO, 2012):

$$R_{net}^{SRH+TAT} = \frac{np - n_i^2}{\frac{\tau_{p0}}{1+\Gamma_p^{DIRAC}}(n + n_i \cdot \exp(\frac{E_{trap}}{kT})) + \frac{\tau_{n0}}{1+\Gamma_n^{DIRAC}}(p + n_i \cdot \exp(\frac{-E_{trap}}{kT}))} \quad (3.5)$$

Onde Γ_p^{DIRAC} e Γ_n^{DIRAC} são os termos de aumento do campo para poços de Dirac, respectivamente, para lacunas e elétrons. Eles são definidos segundo as equações 3.6 e 3.7:

$$\Gamma_p^{DIRAC} = \frac{\Delta E_p}{kT} \int_0^1 \exp\left(\frac{\Delta E_p}{kT}u - K_p u^{\frac{3}{2}}\right) du \quad (3.6)$$

$$\Gamma_n^{DIRAC} = \frac{\Delta E_n}{kT} \int_0^1 \exp\left(\frac{\Delta E_n}{kT}u - K_n u^{\frac{3}{2}}\right) du \quad (3.7)$$

No qual u é a variável de integração, ΔE_p e ΔE_n são as faixas de energia para as quais há tunelamento, respectivamente, de elétrons e lacunas e K_p e K_n são descritas pelas seguintes equações 3.8 e 3.9 (MARTINO, 2012):

$$K_p = \frac{3}{4} \frac{\sqrt{2 \cdot m_0 \cdot m_{eff} \cdot \Delta E_p}}{3q \cdot \hbar \cdot |E|} \quad (3.8)$$

$$K_n = \frac{3}{4} \frac{\sqrt{2 \cdot m_0 \cdot m_{eff} \cdot \Delta E_n}}{3q \cdot \hbar \cdot |E|} \quad (3.9)$$

No qual m_0 é a massa do elétron em repouso, m_{eff} sua massa efetiva e \hbar é a constante de Planck reduzida.

É possível observar que a corrente de TAT, apresentada na equação 3.5 é implementada matematicamente através de uma correção na equação de recombinação de Shockley-Read-Hall, apresentada na equação 3.4. Como mostrado em 3.6 e 3.7, esse ajuste é feito considerando os incrementos dos campos para lacunas e elétrons, baseado nas faixas de energia onde há tunelamento.

O parâmetro de Temperatura teve importância central nesse estudo, sendo variado para se analisar as diferenças existentes em cada um dos valores escolhidos. Foram escolhidos os valores de 300 K, 360 K e 420 K para esse estudo.

Na figura 3.5 pode-se visualizar em um mesmo gráfico uma simulação para cada um dos fenômenos de condução na temperatura de 300 K. Nesta figura, pode-se observar que o fenômeno de BTBT é responsável pela corrente de I_{on} em tensões de $V_{gs} < 1V$. Também é possível observar como a inclinação do fenômeno do BTBT é muito maior do que a do fenômeno de TAT e, dessa forma, é considerado que o TAT é responsável pela degradação do SS do dispositivo. Observa-se também que a soma dos fenômenos SRH e TAT é responsável pelo valor da corrente I_{off} na região próxima de 0V.

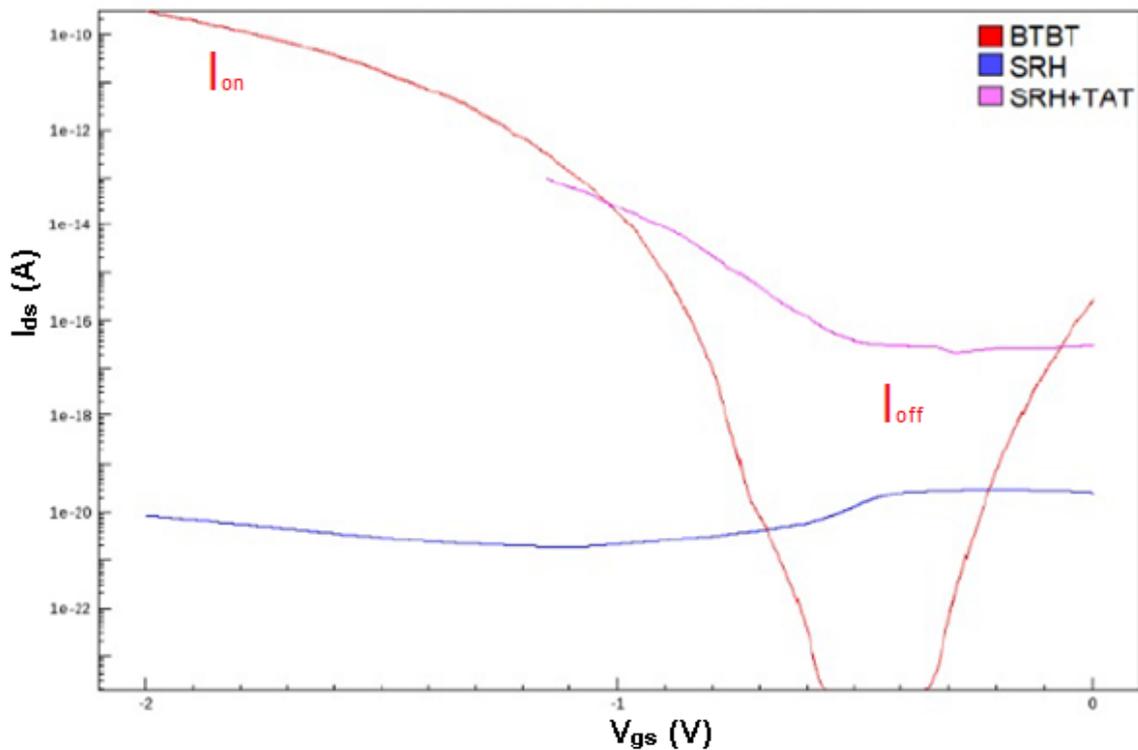


Figura 3.5: I_{ds} em função de V_{gs} demonstrando os fenômenos de condução de corrente separados

3.3 Verilog-A e *Lookup Table*

A linguagem Verilog-A trata-se de uma linguagem derivada do Verilog, mas que tem como objetivo descrever circuitos analógicos. Utilizando essa linguagem, é possível criar módulos que simulam o comportamento de componentes e sistemas. Esses módulos podem ser simples, como componentes passivos, ou sistemas analógicos, que podem ser utilizados como blocos constituintes de sistemas maiores e mais complexos.

A técnica denominada *lookup table*, cuja tradução significa algo semelhante a “tabela de pesquisa”, trata-se da obtenção de uma tabela com parâmetros de entradas e saídas do dispositivo a ser analisado, de forma a ser possível desenvolver uma descrição matemática desse módulo. Essa técnica é recomendada para situações nas quais não há um modelo analítico de primeira ordem para o módulo em questão (ROFOUGARAN; FURMAN; ABIDI, 1988). Na literatura recente, há exemplos da utilização de *lookup table* para análise de, por exemplo, Line-TFET (FILHO et al., 2020), FinFETs (CONTRERAS; CERDEIRA; PAVANELLO, 2012), entre outros.

Apesar de útil, esse método tem algumas limitações, tendo em vista que todos os dispositivos a serem tabelados precisam ter seus parâmetros de entrada e saída medidos ou simulados.

Em suma, utilizando-se da técnica de *lookup table* em Verilog-A é possível se obter uma descrição do dispositivo, baseado em uma tabela construída com dados experimentais ou simulados e, dessa forma, realizar interpolações e (pequenas) extrapolações entre os pontos dessa tabela, permitindo a simulação de circuitos utilizando esses dispositivos.

4 MODELAMENTO DOS DISPOSITIVOS

Inicialmente foram realizadas medidas experimentais de transistores de tunelamento em 3 temperaturas diferentes: 300 K, 360 K e 420 K. Posteriormente foram realizadas simulações dos dispositivos calibradas a partir do comportamento experimental do transistor de tunelamento e apenas depois foram realizadas simulações com passos suficientemente pequenos para criação da *Lookup Table* (LUT).

Uma vez que não existem modelos que descrevem bem o comportamento dos transistores de tunelamento para simulação de circuitos integrados (PDKs), utilizou-se as LUTs e modelou-se o dispositivo utilizando-se linguagem Verilog-A.

4.1 Resultados Experimentais e simulados

Na Figura 4.1, são apresentadas as curvas experimentais de corrente de dreno em função da tensão aplicada à porta para diferentes temperaturas, cujos parâmetros físicos são descritos no capítulo 3.1, com V_{ds} de -0,9V:

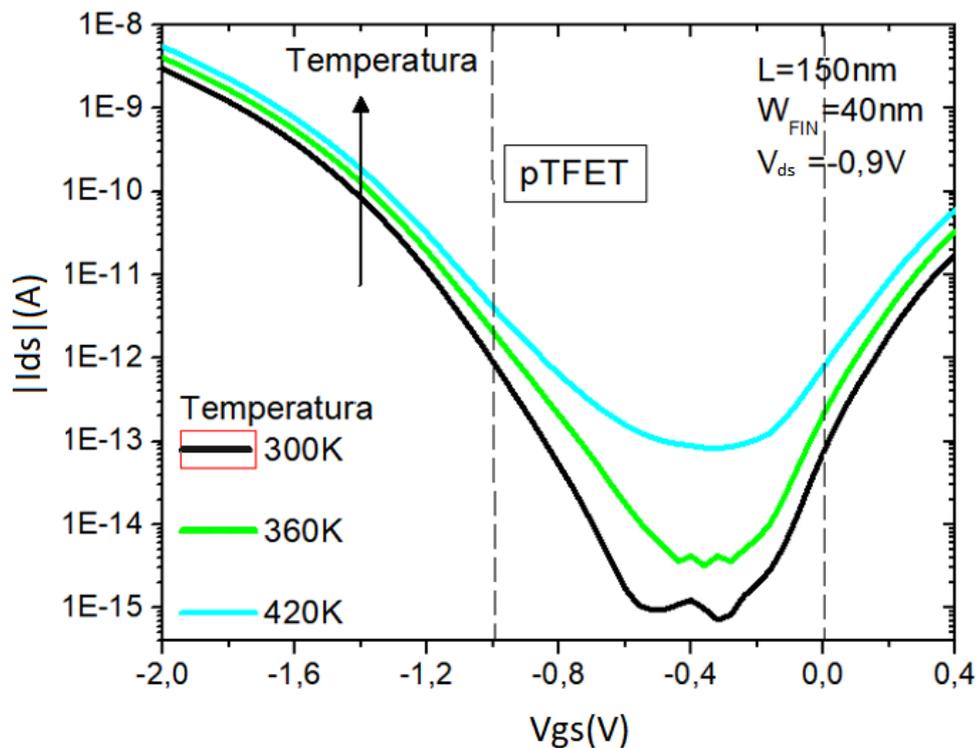


Figura 4.1: Curvas experimentais de corrente de dreno em função da tensão aplicada à porta para diferentes temperaturas dos transistores pTFET e V_{ds} de -0,9V.

A partir das curvas medidas dos transistores, é possível analisar o que ocorre com os diversos fenômenos que são responsáveis pelo transporte de portadores nos transistores de tunelamento, que estão descritos no capítulo 2.

Para tensões de porta entre 0 e -1 V, é possível observar um aumento considerável de corrente com o aumento da temperatura, devido à predominância aos mecanismos de transporte, SRH e TAT, serem fortemente dependentes da temperatura, como é possível observar nas equações 2.1, 2.2 e 2.3.

Conforme a tensão de porta vai se tornando mais negativa, a dependência com relação à temperatura diminui, pois nessa região, o mecanismo de tunelamento direto entre bandas se torna cada vez mais importante e este tem uma dependência menor com a temperatura do que os fenômenos de SRH e TAT, como é possível se observar na equação 2.4 (MARTINO et al., 2015).

Utilizando o *software Sentaurus*, como descrito no capítulo 3.2, foram simuladas as características dos transistores de tunelamento com as mesmas dimensões dos transistores reais. Estas simulações foram calibradas com as curvas experimentais, com o objetivo de representarem de maneira fidedigna os dispositivos reais.

Os resultados das simulações para as temperaturas de 300 K, 360 K e 420 K com $V_{ds} = -0,9 V$ são mostrados na Figura 4.2:

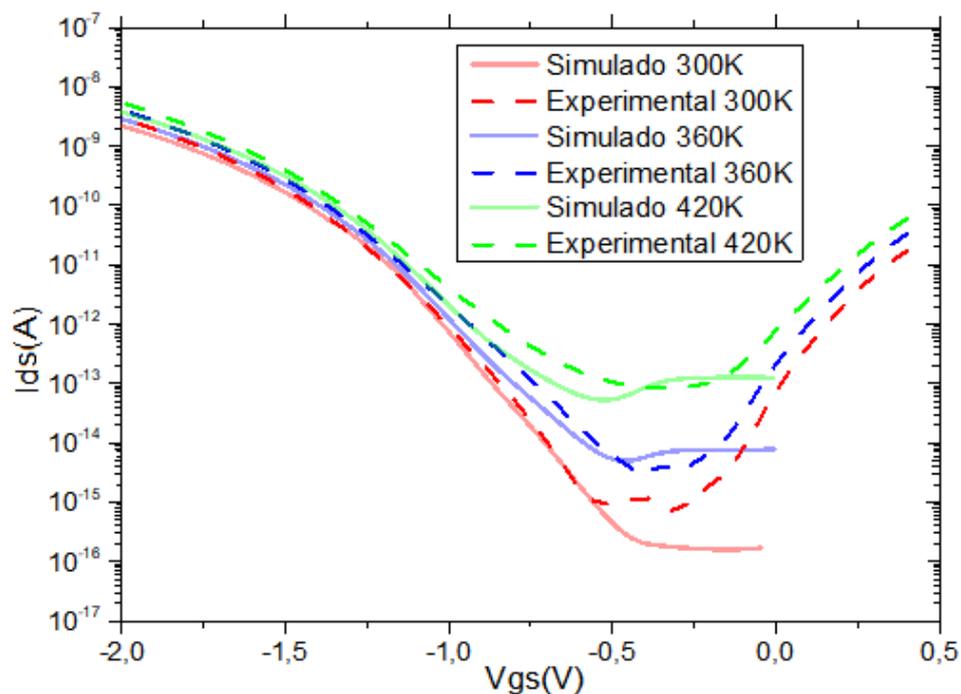


Figura 4.2: Comparação de curvas simuladas e curvas medidas para transistores pTFET em temperaturas de 300K, 360K e 420K e $V_{ds} = -0,9 V$.

A partir da Figura 4.2, é possível observar que as curvas simuladas representam bem os dispositivos experimentais, exceto na região ambipolar que não foi ajustada pois esta região não será utilizada para as LUTs e conseqüentemente nas simulações de circuitos. Após esta calibração, foi possível utilizar as simulações para obter as curvas de transferência $I_{ds} \times V_{gs}$ para outras tensões de V_{ds} . Dessa forma, utilizando o simulador *Sentaurus*, foi possível obter as curvas para os transistores SOI FinTFET simulados em temperaturas de 300K, 360K e 460K (Figuras 4.3; 4.4 e 4.5 respectivamente).

As simulações foram realizadas com variações da tensão de porta (V_{gs}) com passo de 10 mV. As curvas simuladas têm tensões de V_{ds} que variam de -0,01 V a -2 V com passo de 50 mV.

Conforme explicado no capítulo 3.1, os fenômenos de BTBT e SRH+TAT foram simulados separadamente e posteriormente somados para criar as curvas completas relativas ao comportamento do transistor TFET.

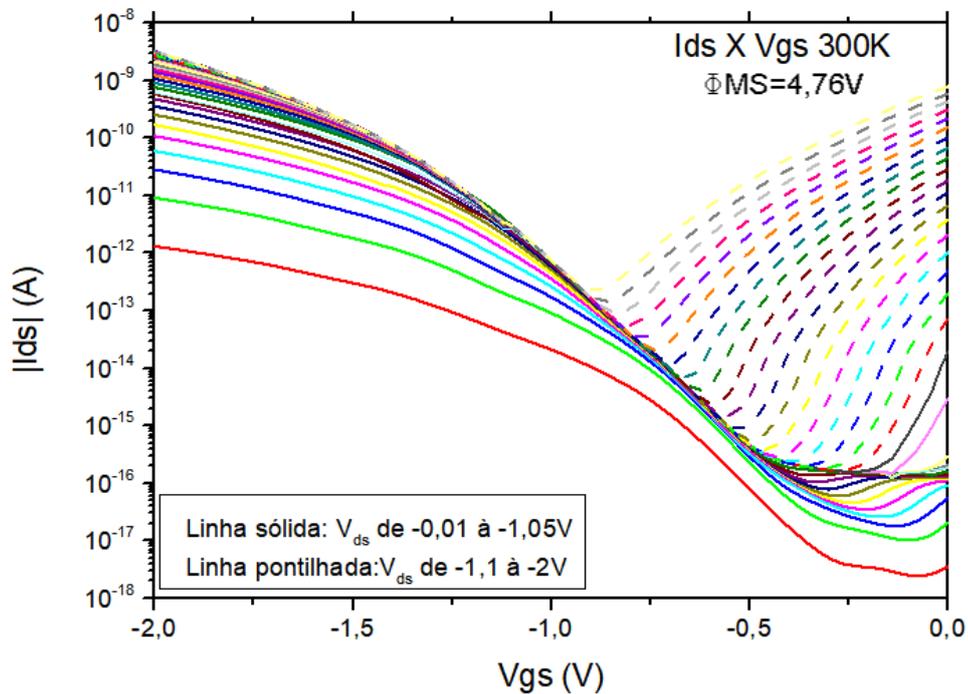


Figura 4.3: Curvas I_{ds} em função de V_{gs} do transistor SOI FinTFET em 300 K com V_{ds} variando de -0,01V à -2V.

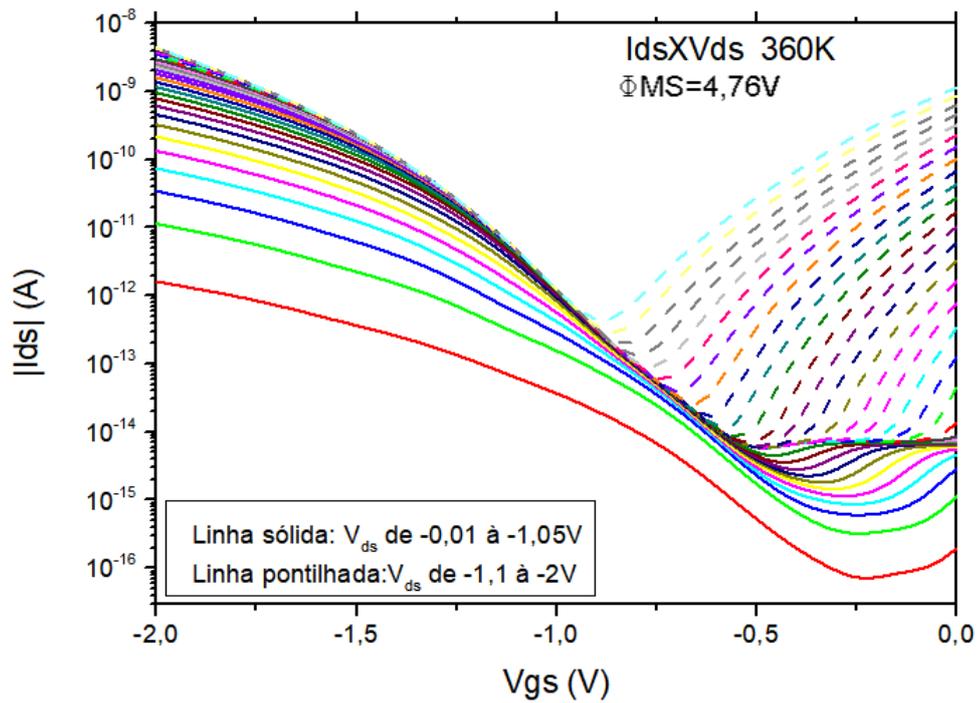


Figura 4.4: Curvas I_{ds} em função de V_{gs} do transistor SOI FinFET em 360 K com V_{ds} variando de -0,01V à -2V.

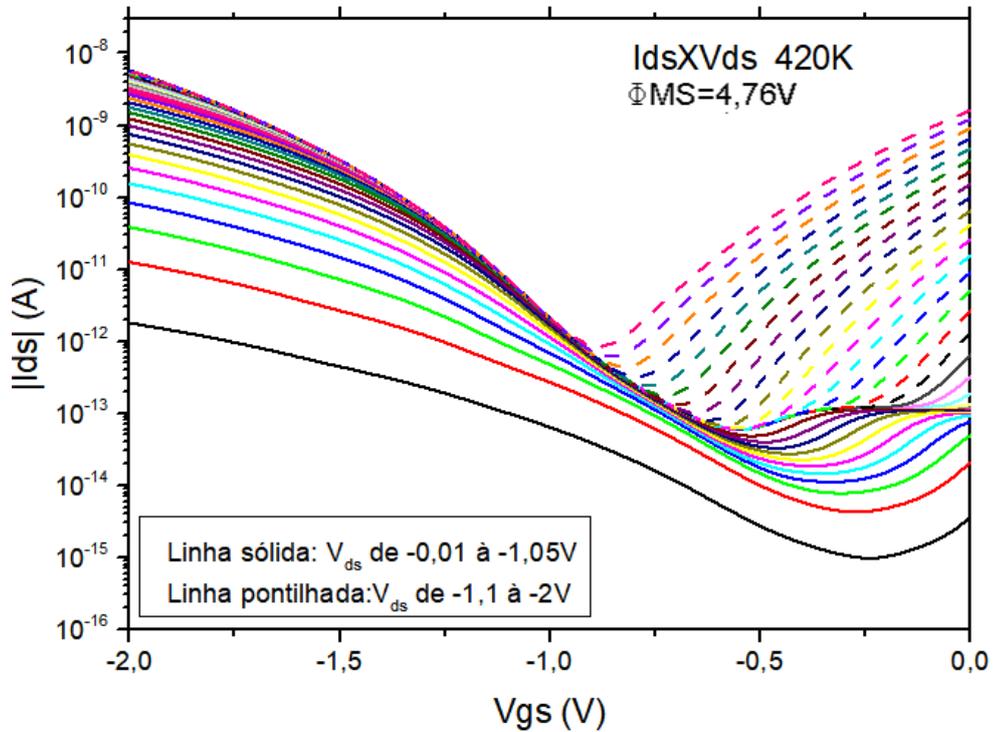


Figura 4.5: Curvas I_{ds} em função de V_{gs} do transistor SOI FinFET em 420 K com V_{ds} variando de -0,01V à -2V.

A partir dos resultados obtidos nas simulações do transistor em diversas tempe-

raturas e com diversas tensões de V_{ds} , é possível gerar as tabelas para utilizar a técnica de *lookup table*. Dessa forma, é possível criar descrições matemáticas para os transistores SOI FinTFET nas temperaturas simuladas e posteriormente utilizar esses componentes em circuitos.

4.2 *Lookup table* e modelamento do Transistor

Após realizar as simulações dos dispositivos SOI pFinTFET e obter as curvas I_{ds} em função de V_{gs} , criou-se as tabelas em função das tensões aplicadas ao transistor (V_{gs} e V_{ds}), chamadas de *lookup table* para se realizar o processo de modelagem matemática, como foi descrito no capítulo 3.3.

Uma vez criada as *lookup tables*, foi utilizada a descrição em linguagem Verilog-A para descrever o funcionamento do transistor (código da descrição no Apêndice A). A comparação do modelo do transistor com as simulações calibradas com os resultados experimentais podem ser observadas na Figura 4.6:

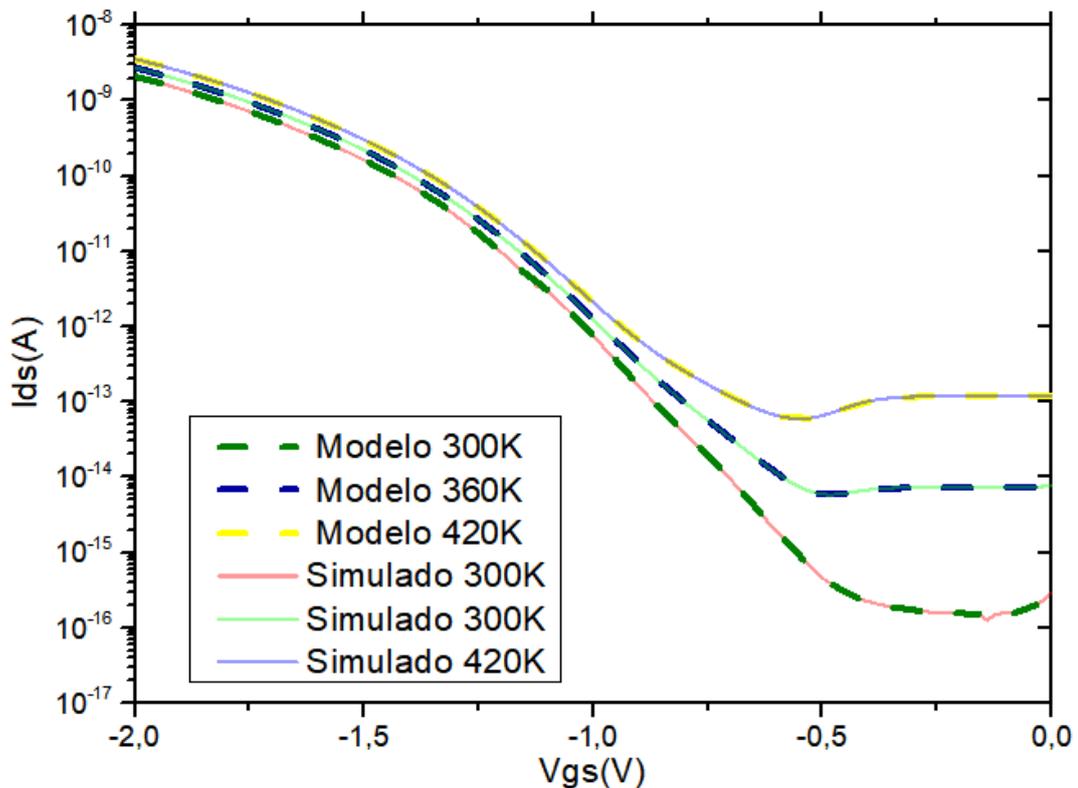


Figura 4.6: Comparação de curvas I_{ds} em função de V_{gs} simuladas com o modelo baseado na *lookup table* para $V_{ds} = -0,9V$.

Como as simulações foram realizadas com um transistor do tipo SOI pFinTFET, para se obter a modelagem em Verilog A do transistor tipo n utilizou-se uma estratégia de espelhamento das curvas de transferência do transistor. Isso foi possível com pequenas modificações no código que podem ser observados no Apêndice A. Essa estratégia de espelhamento já foi realizada em outros estudos do grupo, que utilizou circuitos do tipo OTA de dois estágios (RANGEL; AGOPIAN; MARTINO, 2019). No capítulo 5.4 será explorado mais profundamente os efeitos da utilização de um transistor do tipo n , como um espelhamento da modelagem obtida do transistor p e a hipótese de haver pequenas diferenças na tensão de limiar dos transistores p e n .

Além das tabelas de *lookup table*, para a simulação do dispositivo, também foram utilizadas curvas de capacitância obtidas através de simulações realizadas com a geometria dos transistores em questão nesse estudo, utilizando uma frequência de 1 MHz. As simulações também foram ajustadas com medidas reais (AGOPIAN et al., 2014). Nessa simulação, o transistor foi modelado da forma como está exposto na Figura 4.7, com uma capacitância entre porta e fonte, C_{gs} , e outra capacitância entre a porta e o dreno, C_{gd} .

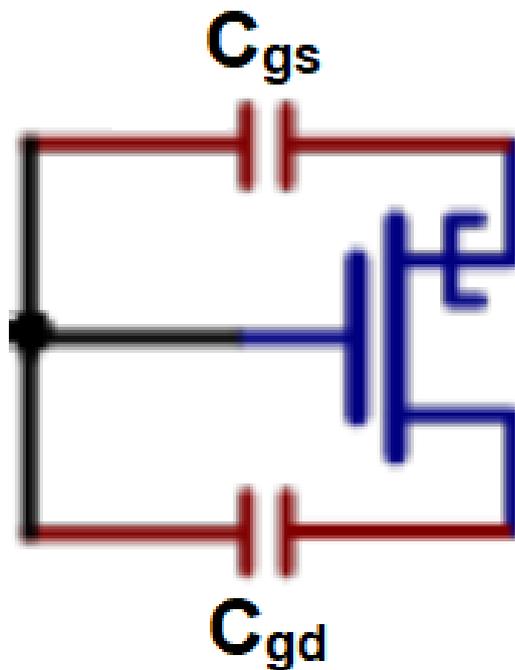


Figura 4.7: Modelo de transistor com Capacitâncias.

Fonte: Adaptado de (RANGEL; AGOPIAN; MARTINO, 2019)

A Figura 4.8. mostra os valores de capacitância medidos, no qual $C_{gg} = C_{gs} + C_{gd}$. É possível observar que C_{gs} e C_{gd} mostram um comportamento complementar dentro do intervalo de operação de V_{gs} , no qual o C_{gd} é dominante na região de saturação, podendo-se negligenciar a contribuição de C_{gs} e ocorrendo o oposto para as regiões de triodo e acumulação.

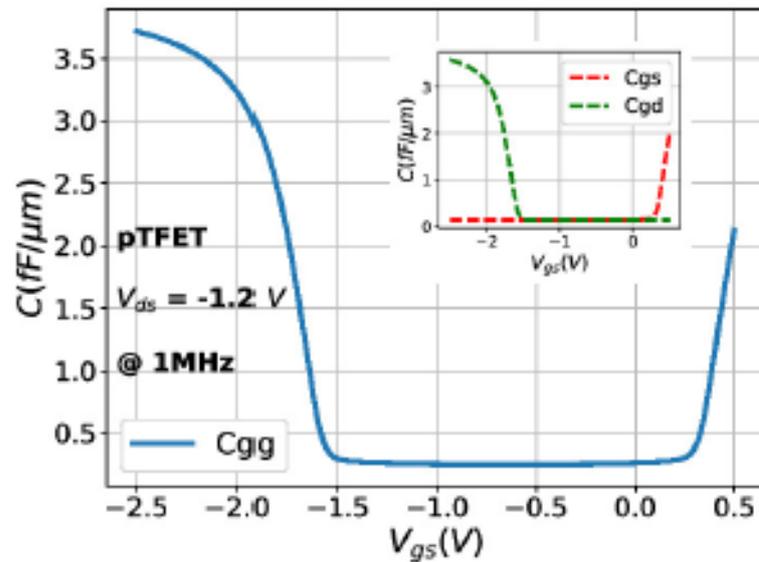


Figura 4.8: Gráfico C_{GG} .

Fonte: Adaptado de (RANGEL; AGOPIAN; MARTINO, 2019)

5 RESULTADOS

Neste capítulo será apresentado o circuito OTA simulado a partir dos dispositivos criados no *software Sentaurus*, utilizando a metodologia descrita nos capítulos anteriores, e seu comportamento em função da variação de temperatura.

5.1 Amplificador Operacional de Transcondutância Projetado com TFET

Após obter as modelagens em Verilog-A dos dispositivos SOI pFinTFET e SOI nFinTFET, iniciou-se os estudos com circuitos OTA, utilizando os dispositivos modelados.

A Figura 5.1 mostra a topologia utilizada. Nela a tensão de alimentação é V_{DD} , tensão de entrada é V_{in} , tensão de saída é V_{out} e capacitor de compensação é C_c .

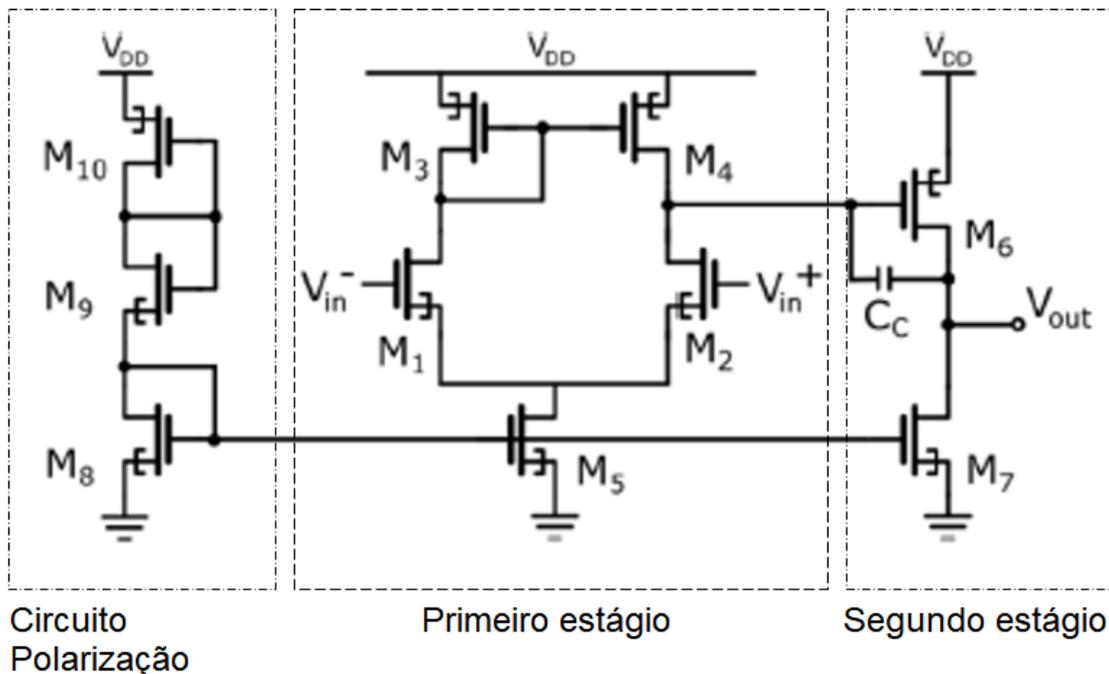


Figura 5.1: Topologia circuito OTA

Fonte: Adaptado de (RANGEL; AGOPIAN; MARTINO, 2020)

Para o projeto desse circuito considerou-se a metodologia que utiliza como parâmetro inicial a eficiência dos transistores (g_m/I_d). Este método foi escolhido pois dessa

forma é possível a comparação de circuitos com tecnologias diferentes em um mesmo regime de condução (SILVEIRA; FLANDRE; JESPERS, 1996).

Foi definido que a tensão de alimentação (V_{DD}) deve ser de 4,5V, com objetivo de se obter cerca de 1,5V recaindo sobre cada um dos transistores do primeiro estágio, que é considerada uma tensão na qual os transistores estão em operação em região de saturação. Também foi definido a tensão de modo comum (V_{CM}) igual a 3,2V. Esses valores foram utilizados considerando estudos anteriores que utilizam dispositivos SOI-FinTFET semelhantes (RANGEL; AGOPIAN; MARTINO, 2019).

Vale notar que o ganho para esse amplificador pode ser considerado da seguinte forma (SEDRA; SMITH, 2007):

$$A_{vt} = A_{v1} \cdot A_{v2} \quad (5.1)$$

$$A_{v1} = g_{m1} \cdot R_{out1} = g_{m1} \cdot (r_{outM2} || r_{outM4}) \quad (5.2)$$

$$A_{v2} = g_{m2} \cdot R_{out2} = g_{m2} \cdot (r_{outM6} || r_{outM7}) \quad (5.3)$$

Onde A_{vt} é o ganho de tensão total do amplificador, A_{v1} , g_{m1} , R_{out1} são, respectivamente, o ganho de tensão, a transcondutância e a resistência de saída do primeiro estágio e A_{v2} , g_{m2} , R_{out2} são, respectivamente, o ganho de tensão, a transcondutância e a resistência de saída do segundo estágio, r_{outMx} é a resistência de saída do transistor 'Mx'. Lembrando que a resistência de saída de um transistor r_{out} pode ser descrita pela equação 5.4 (SEDRA; SMITH, 2007):

$$r_{out} = \frac{V_{EA}}{I_{ds}} \quad (5.4)$$

No qual V_{EA} é a tensão de Early, e I_{ds} a corrente entre dreno e fonte.

Na Figura 5.2, tem-se a curva de eficiência do transistor em função da corrente normalizada pelas dimensões (g_m/I_d em função de $|I_d|/(W/L)$):

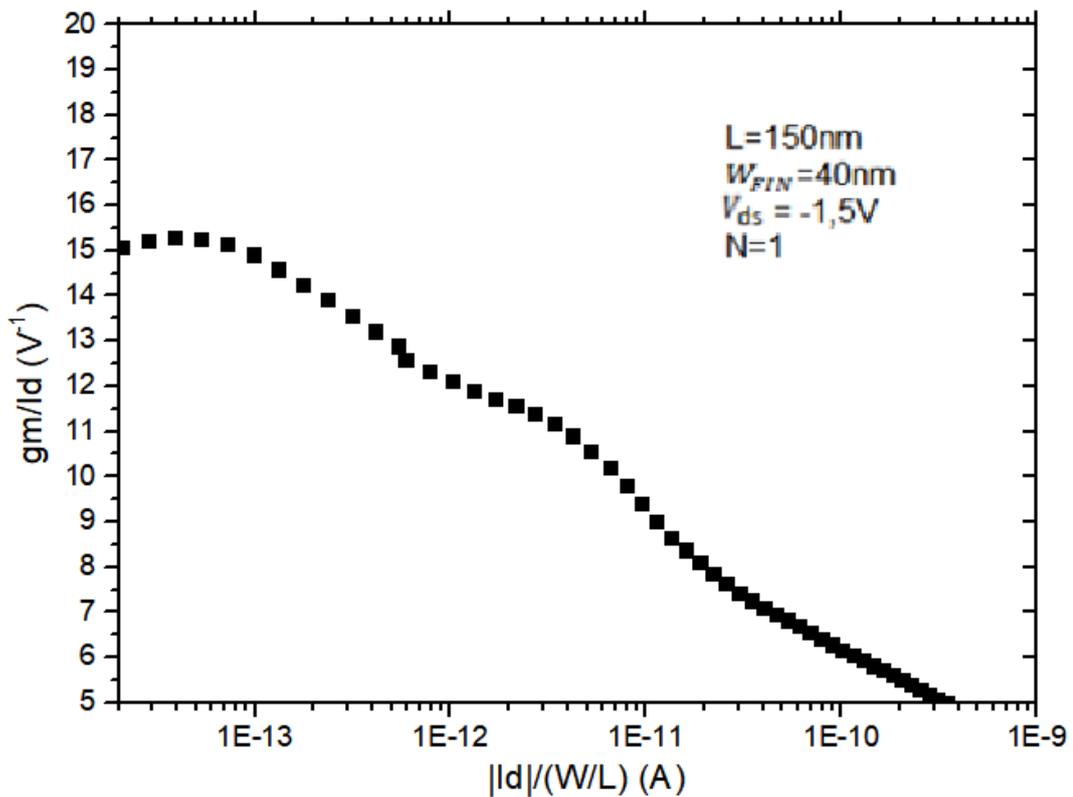


Figura 5.2: Gráfico g_m/I_d em função de $|I_d|/(W/L)$.

Analisando o gráfico $g_m/I_d \times |I_d|/(W/L)$, foi escolhido o g_m/I_d de 6 V^{-1} para que os transistores estejam em inversão forte e para utilizar um valor próximo de outros trabalhos do grupo que utilizam circuitos com mesma topologia (SOUSA, 2021), a fim de possibilitar a comparação dos resultados. Dessa forma, a corrente recomendada é cerca de 100 pA. O valor de g_m/I_d e da corrente podem variar, tendo em vista que se deve utilizar um número inteiro de transistores, o que pode acarretar pequenas divergências com relação ao valor inicial. Com isso, o circuito de polarização do amplificador OTA foi projetado de forma a fornecer essa corrente.

Fazendo uma simulação simples do circuito utilizado para o espelho de corrente, ilustrado na Figura 5.3, utilizando como parâmetro variável o número N de transistores, foi possível obter a quantidade de transistores necessários para se atingir a corrente desejada de 100 pA, ou o mais próximo possível disso, como é mostrado na Figura 5.4:

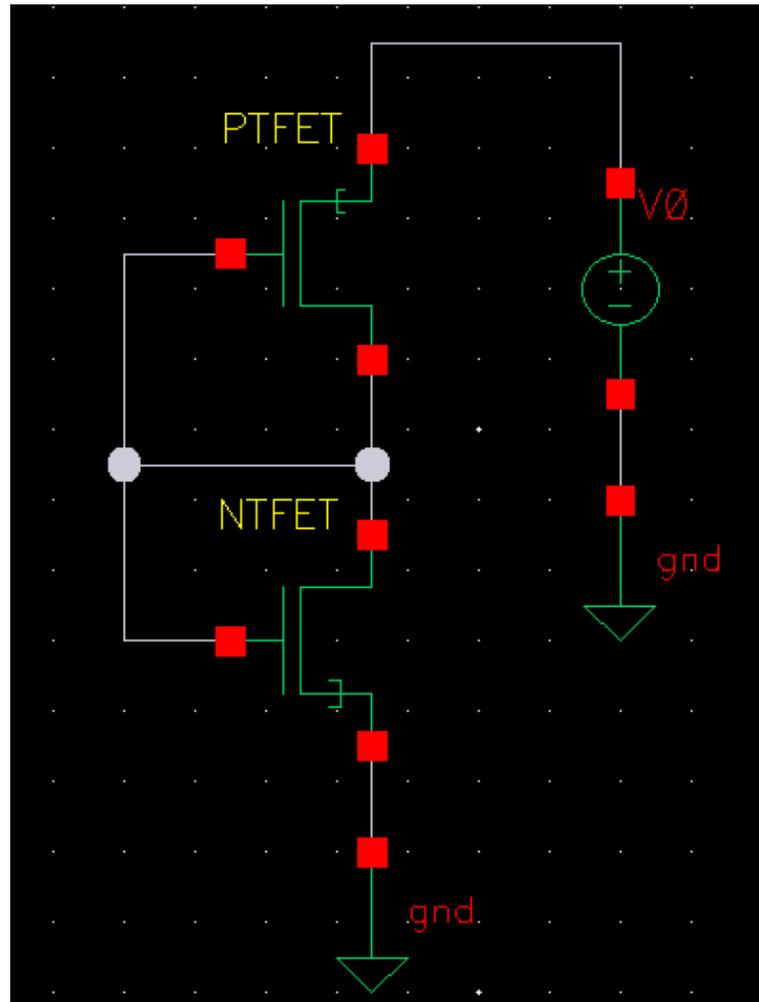


Figura 5.3: Circuito de polarização.

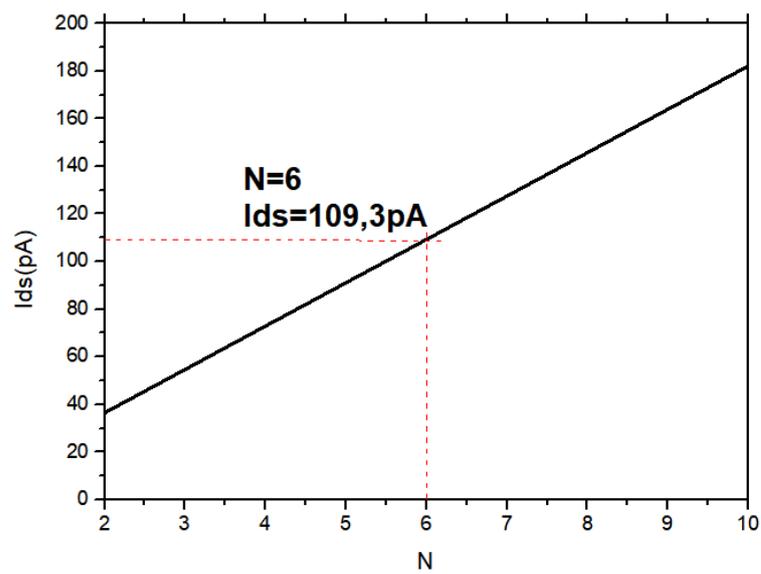


Figura 5.4: Gráfico de corrente do circuito de espelho de corrente em função de N transistores $I_{ds} \times N$.

A partir desse resultado foi definido o circuito de polarização juntamente com o circuito de espelho de corrente, no qual os transistores M9 e M10 (Figura 5.1) devem ter uma quantidade de Fins 6 vezes maior do que o M8, de forma que o espelho de corrente gere aproximadamente 100 pA para os transistores dos outros estágios do amplificador. Foi verificado que, para a corrente gerada por esse circuito de polarização, o valor de g_m/I_d é de $6,3 V^{-1}$.

Dando continuidade ao projeto do amplificador, observou-se os transistores M1, M2, M3 e M4. Foi utilizado como um valor inicial 50 Fins, que representa $W_{efetivo} = 8,5 \mu m$. Esse valor foi escolhido para que haja uma corrente de, ao menos, alguns nano Ampères passando por esses transistores (na situação de 300 K há uma corrente de 5,32 nA passando pelos transistores M1, M3 e M2, M4; e por M5 passa uma corrente de 10,64 nA). Conseqüentemente, o M5 foi definido como tendo 100 Fins, tendo em vista que pela estrutura do primeiro estágio do amplificador, por esse grupo de transistores passa a soma das correntes nos ramos com M1, M3 e M2, M4.

Para os transistores do segundo estágio do amplificador foi considerado a prática comum de escolher o número de Fins 10 vezes maior do que os do primeiro estágio, com objetivo de garantir a estabilidade na realimentação (ALLEN PHILLIP E.; HOLBERG, 2012).

Após definida as dimensões dos transistores, foi adicionado um capacitor de 60 pF para compensação Miller entre os dois estágios de amplificação, para garantir a estabilidade do circuito, com uma margem de fase de no mínimo 60° (RAZAVI, 2005). Também foi adicionado um capacitor de carga na saída do segundo estágio, com objetivo de simular o acoplamento com um circuito subsequente, em um valor 200 fF. Esse valor foi escolhido pois trabalhos com circuitos semelhantes (SOUSA, 2021) utilizam capacitores de carga na mesma ordem de grandeza, dessa forma, para ser possível levantar termos de comparação entre esses amplificadores, foi utilizada uma carga na mesma ordem de grandeza.

Dessa forma, os parâmetros do circuito ficaram como é mostrado nas Tabelas 5.1 e 5.2. Lembrando que o comprimento de canal (L) é 150nm para todos os transistores.

Tabela 5.1: Parâmetros gerais do projeto.

Parâmetros de Projeto	Valor
V_{DD}	4,5 V
V_{CM}	3,2 V
g_m/I_d	6,3 V^{-1}
C_{load}	200 fF
C_c	60 fF

Tabela 5.2: Dimensões dos Dispositivos.

Transistores	N_{fins}	$W_{efetivo}$
M1, M2, M3, M4	50	8,5 μm
M5	100	17 μm
M6, M7	500	85 μm
M9, M10	6	1,02 μm
M8	1	170 nm

A partir dos parâmetros definidos, foi realizada a simulação do circuito de amplificador, primeiramente com temperatura de 300 K. Foi possível obter o seguinte resultado de ganho em frequência e fase para temperatura de 300 K:

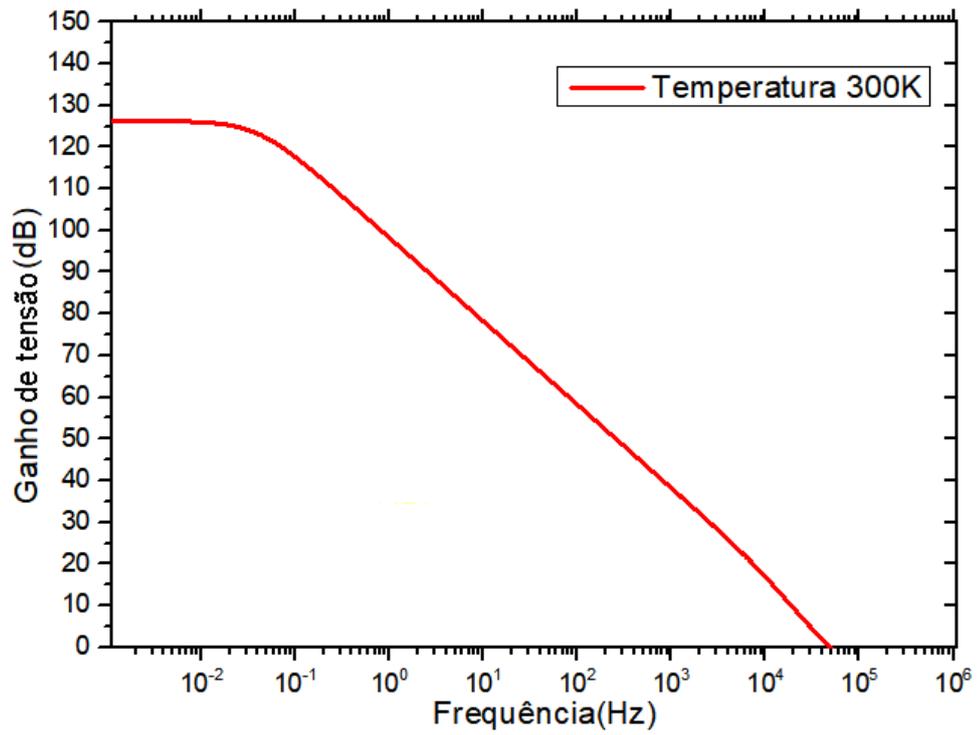


Figura 5.5: Gráfico de ganho de tensão do circuito amplificador.

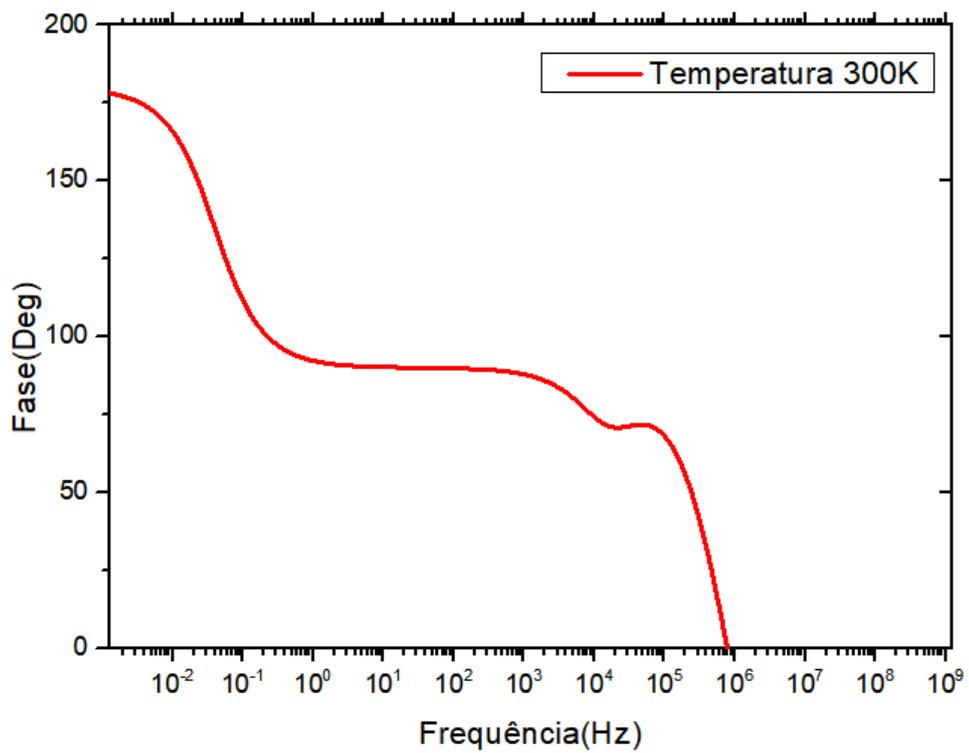


Figura 5.6: Gráfico de fase do circuito amplificador.

Tabela 5.3: Comparação OTA SOI FinTFET com OTA SOI MOS FinFET.

	SOI FinTFET - 300K	SOI MOS FinFET $W_{fin} = 20nm$
V_{DD} (V)	4,5	2,1
Corrente do Circuito (μA)	0,064	438,9
C_{load} (fF)	200	100
C_c (fF)	60	30
Potência (μW)	0,288	912,69
<i>Openloop Gain</i> (dB)	125	60,36
GBW (kHz)	50	880
Margem de Fase ($^\circ$)	72	63,26

Fonte dados SOI MOS FinFET: Adaptado (SOUSA, 2021)

Fazendo a comparação entre o circuito simulado e um circuito OTA construído com transistores de tecnologia MOS com $W_{fin} = 20 nm$, pode-se observar que, mesmo utilizando uma tensão de alimentação maior, a corrente de consumo do circuito com FinTFET é muito menor (mais de 5000 vezes menor), o que torna o circuito com FinTFET muito mais econômico energeticamente. É relevante notar que, o transistor $W_{fin} = 20 nm$ trata-se de um transistor menor e considerado de uma tecnologia mais avançada, em termos de nó tecnológico. Ele foi utilizado como base de comparação por ter uma topologia idêntica (circuito OTA de dois estágios).

Observando a fase dos circuitos, é possível constatar que ambos alcançam o critério de estabilidade, no qual a margem de fase deve estar entre 60° e 90° (RAZAVI, 2005). Analisando os ganhos, é possível notar que o ganho (*Openloop Gain*) do circuito com FinTFET é mais de 65 dB maior, entretanto o GBW é mais de 10 vezes menor. Dessa forma, é possível concluir que o circuito de amplificação OTA utilizando FinTFETs pode ser interessante quando aplicado em situações em que é necessário um alto ganho para sinais de frequências baixas. Um bom exemplo desse tipo de aplicação são sinais biológicos que, devido a sua natureza, costumam necessitar de alta amplificação e ter frequências baixas.

5.2 Comparação dos resultados em Temperatura

Nas figuras 5.7 e 5.8 são mostrados o ganho e fase dos amplificadores para as temperaturas de 300 K, 360 K e 420 K:

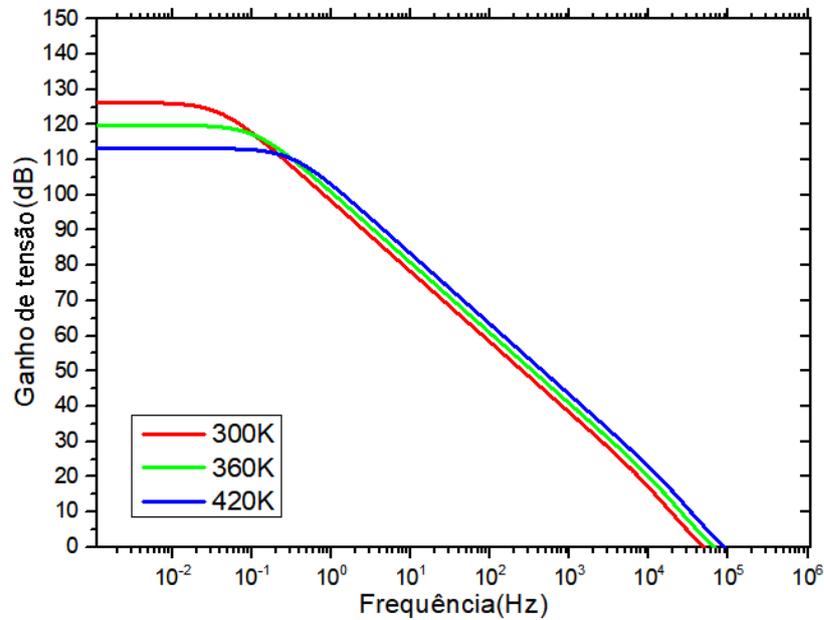


Figura 5.7: Gráfico de ganho de tensão do circuito amplificador nas temperaturas 300 K, 360 K e 420 K.

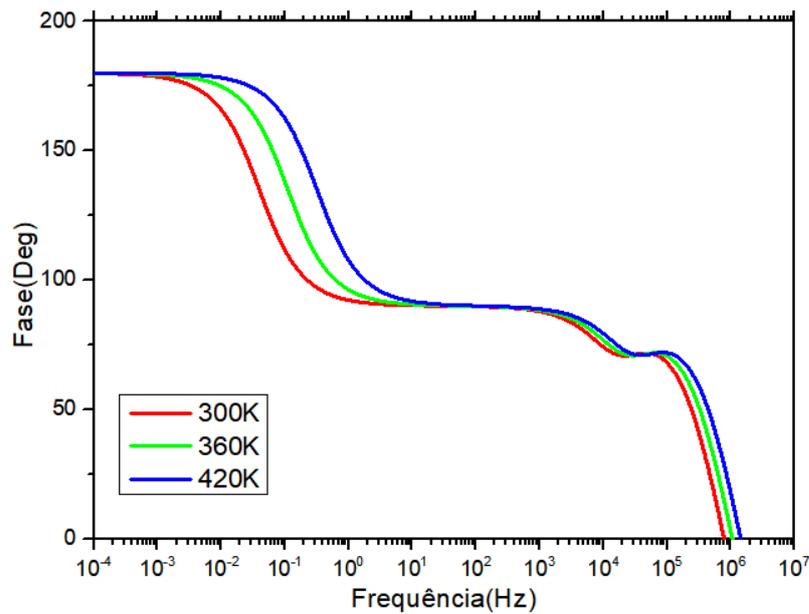


Figura 5.8: Gráfico de fase do circuito amplificador nas temperaturas 300 K, 360 K e 420 K.

Tabela 5.4: Análise em temperatura do circuito OTA.

	300 K	360 K	420 K
Corrente do circuito (nA)	64	88,1	123
Potência (nW)	288,2	396,6	553,8
Ganho em baixa frequência (dB)	126,2	119,8	113,2
g_{m1} (nS)	33,64	45,26	61,03
R_{out1} (G Ω)	11,98	4,194	1,73
g_{m2} (nS)	338,43	457,4	620,81
R_{out2} (G Ω)	15,02	11,31	7,037
GBW (kHz)	50	65	88
g_m/I_d (V $^{-1}$)	6,3	6,17	5,96
Margem de Fase ($^{\circ}$)	71,7	71,8	72

É possível observar na Figura 5.7 e na tabela 5.4 que o ganho (A_{vt}) tem uma queda substancial com o aumento da temperatura (queda de 13 dB de 300 K para 420 K). Com o aumento da temperatura, a corrente de polarização aumenta de 106,5 pA em 300 K para 204,7 pA em 420 K, o que causa a diminuição do g_m/I_d , das resistências de saída do primeiro e do segundo estágio (R_{out1} e R_{out2}) e por consequência o próprio ganho do circuito.

Como explicado nos capítulos 2.4 e 5.1, o ganho do amplificador (A_{vt}) depende diretamente das resistências de saída (R_{out1} e R_{out2}), e essas são inversamente proporcionais à corrente I_{ds} que passam nos transistores de saída dos estágios (M2, M4, M6, M7), portanto, com o aumento da corrente, as resistências de saída caem e consequentemente o ganho.

Vale também notar que altas temperaturas contribuem para a redução do *bandgap* e aumenta a probabilidade de tunelamento e com isso o fenômeno de BTBT se torna mais importante (AGOPIAN et al., 2017).

Pode-se observar que a corrente e a potência aumentam com o aumento da temperatura, isso devido ao fato de que a corrente do transistor de tunelamento aumenta com a temperatura, como citado anteriormente. A frequência de GBW, de forma contrária ao ganho (A_{vt}), aumenta com a elevação da temperatura e isso se deve ao incremento do valor de g_{m1} , uma vez que o GBW é diretamente proporcional à transcondutância de saída em amplificadores de dois estágios. A Margem de Fase varia pouco com o

aumento da temperatura, uma vez que depende principalmente do capacitor de compensação, se mantendo próximo de 72° .

5.3 Utilização de Circuito de Polarização com Compensação Térmica

Considerou-se também a utilização de um circuito de polarização com compensação térmica, com objetivo de analisar qual o comportamento do circuito OTA construído com FinTFETs, no caso da corrente de polarização não variar com o aumento da temperatura.

Nesse caso, o circuito de polarização (mostrado na Figura 5.1) foi substituído por um gerador de corrente, que para o caso das simulações manteria a corrente fixa, independente da temperatura. Corrente foi configurada para 100 pA (I_{REF}). Essa foi uma estratégia para emular um circuito de polarização que seja imune a variação de temperatura.

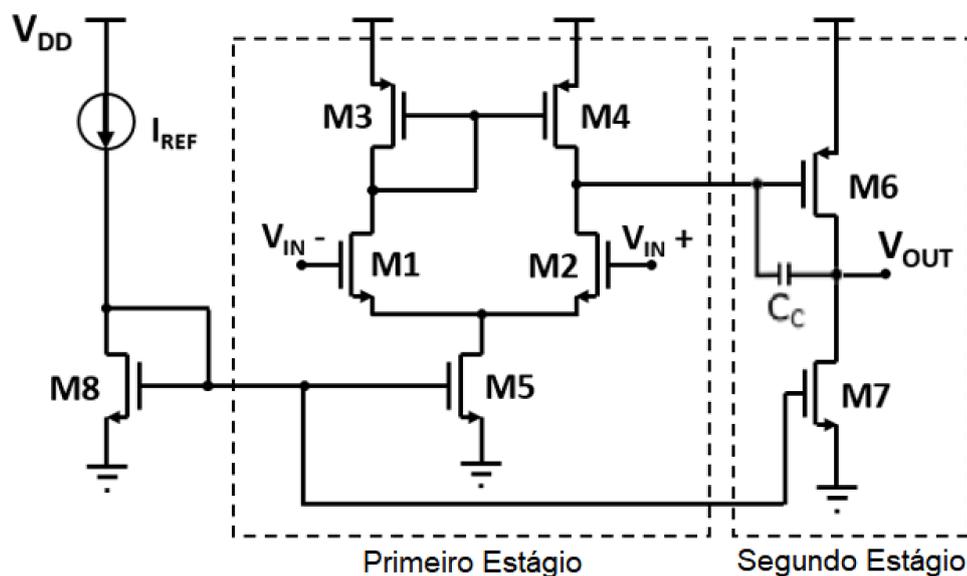


Figura 5.9: Topologia circuito OTA com circuito de polarização com compensação térmica.

Assim como na versão sem o gerador de corrente, V_{DD} , V_{IN} , V_{OUT} e C_c são, respectivamente, tensão de alimentação, tensão de entrada, tensão de saída e capacitor de compensação.

Nas Figuras 5.10 e 5.11 são apresentados o ganho e fase do circuito considerando-se apenas o circuito de polarização compensado em temperatura:

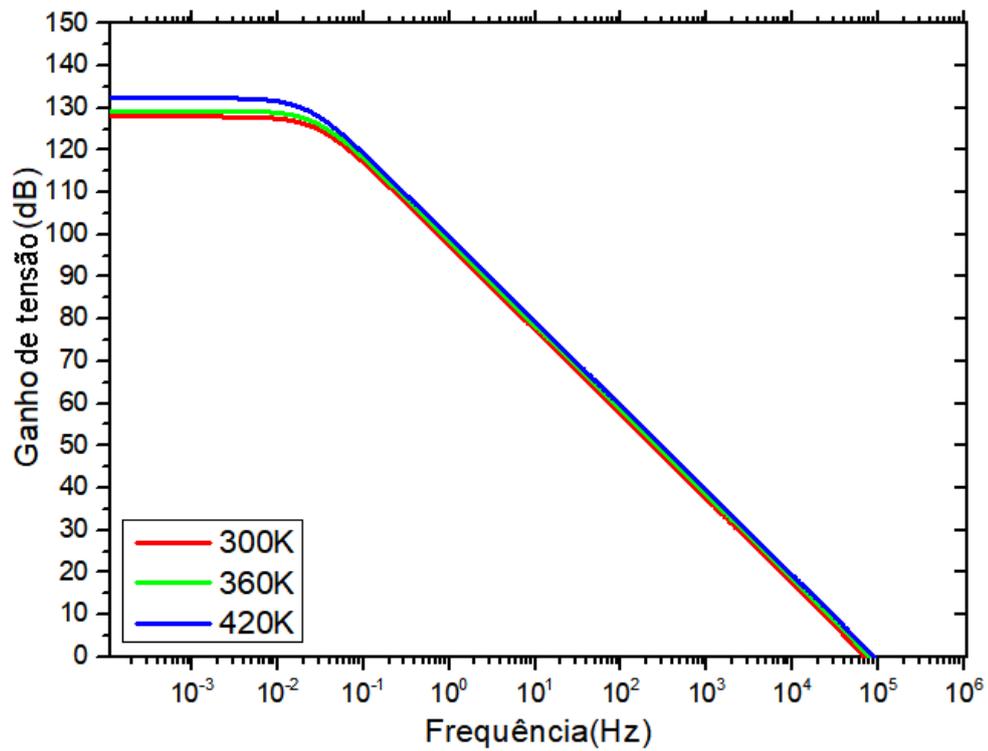


Figura 5.10: Gráfico de ganho do circuito amplificador com circuito de polarização com compensação térmica nas temperaturas 300 K, 360 K e 420 K.

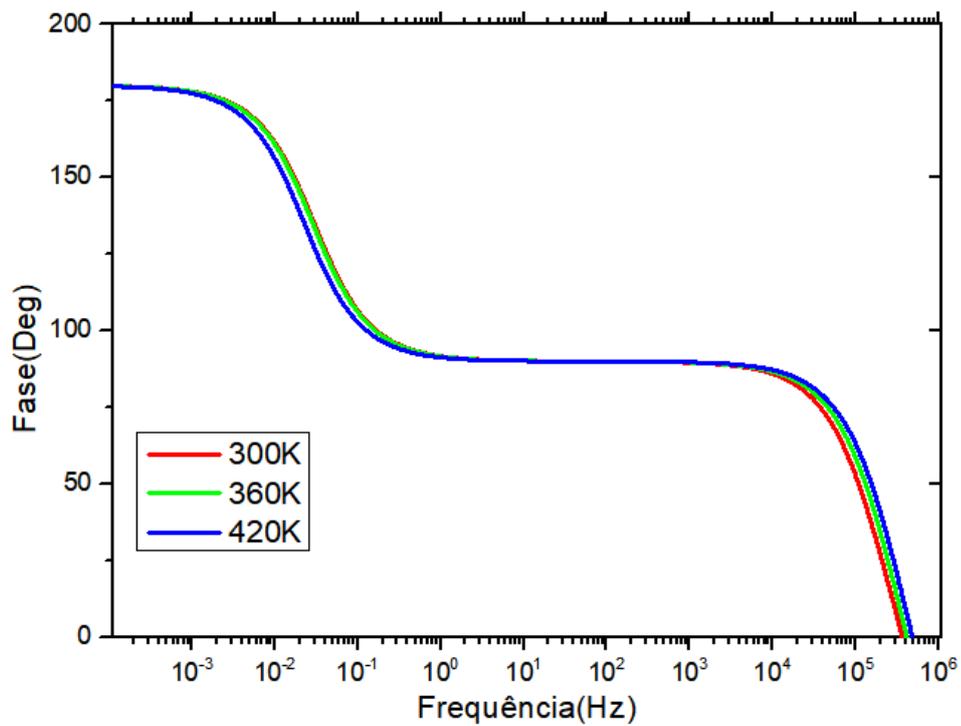


Figura 5.11: Gráfico de fase do circuito amplificador com circuito de polarização com compensação térmica nas temperaturas 300 K, 360 K e 420 K.

Tabela 5.5: Análise em temperatura OTA com circuito de polarização com compensação em temperatura.

	300 K	360 K	420 K
Corrente do circuito (nA)	65,015	65,019	65,02
Potência (nW)	292,568	292,586	292,595
Ganho em baixa frequência (dB)	127,88	129,3	132,3
g_{m1} (nS)	30,3	32,98	35,95
R_{out1} (G Ω)	15,79	16,99	17,8
g_{m2} (nS)	304,24	331,29	361
R_{out2} (G Ω)	17,05	15,71	17,85
GBW (kHz)	68	78	88
g_m/I_d (V $^{-1}$)	6	6,59	7,19
Margem de Fase ($^{\circ}$)	63,5	65	66

É possível observar, através da Figura 5.10, Figura 5.11 e da Tabela 5.5 que, com a utilização de um circuito de polarização com compensação térmica, a corrente e a potência se mantêm estáveis, mesmo com o aumento da temperatura. O ganho em baixa frequência se mantém praticamente o mesmo, aumentando ligeiramente de forma que o mecanismo de condução TAT se torna mais importante, gerando esse pequeno aumento.

Observa-se que as resistências de saída R_{out1} e R_{out2} se mantêm praticamente estáveis, tendo em vista que a corrente, ao contrário do circuito sem a compensação térmica, varia pouco. O aumento observado em A_{vt} se deve ao aumento nas transcondutâncias g_{m1} e g_{m2} .

A frequência de GBW aumenta com o aumento da temperatura, e isso se deve ao aumento das transcondutâncias (g_{m1} e g_{m2}) em decorrência do aumento de corrente. Quanto a margem de fase, bem como no caso sem o circuito de polarização com compensação térmica, varia pouco, mostrando que esse parâmetro é pouco influenciado pela temperatura e corrente do circuito.

5.4 Análise do Espelhamento do Transistor n a partir do p

Como citado no capítulo 5.1, os transistores do tipo n utilizados para a construção do circuito OTA foram gerados através de um espelhamento matemático do transistor tipo p , simulado a partir dos dados experimentais extraídos de um transistor tipo p real, com as mesmas medidas da modelagem construída no *software Sentaurus*, como descrito no capítulo 3.2. Dessa forma, torna-se interessante a análise da hipótese da não simetria entre os transistores p e n , que será abordada nesta sessão.

A abordagem para analisar a simetria (ou assimetria) entre os dois tipos de transistores será através do parâmetro V_{th} (tensão de limiar), de forma que o circuito no qual o transistor do tipo n é o exato espelhamento do transistor do tipo p , será sinalizado como $V_{tn} - |V_{tp}| = 0$, para o caso no qual o V_{th} do tipo n for maior (em modulo), será sinalizado como $V_{tn} - |V_{tp}| > 0$ e o caso no qual o V_{th} do transistor do tipo p é maior, $V_{tn} - |V_{tp}| < 0$. Será analisado valores de $V_{tn} - |V_{tp}|$ entre -0,1V e 0,1V com passo de 0,05V. Na Figura 5.12 é mostrado a curva $I_d \times V_g$ do transistor do tipo n para os diversos valores de $V_{tn} - |V_{tp}|$:

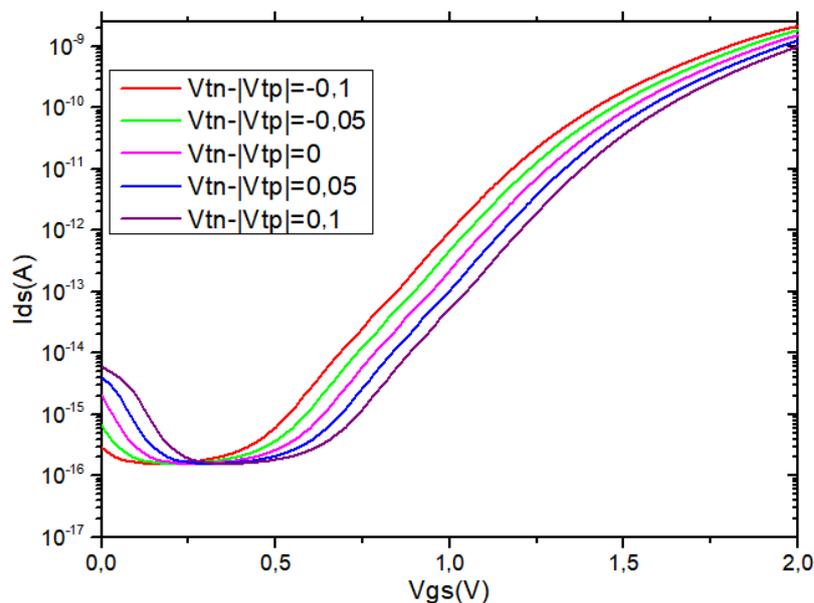


Figura 5.12: Corrente de dreno versus tensão de porta do transistor tipo n simulado com deslocamento de V_{th} em tensão V_{ds} de 0,9V.

O circuito OTA utilizado para a análise do efeito do não espelhamento do transistor tipo n é exatamente o mesmo que foi descrito no capítulo 5.1 (Figura 5.1), entretanto,

variando o fator $V_{tn} - |V_{tp}|$ dos transistores do tipo n .

Na Figura 5.13 são apresentadas as curvas de ganho por frequência do circuito OTA dependendo da temperatura e do $V_{tn} - |V_{tp}|$.

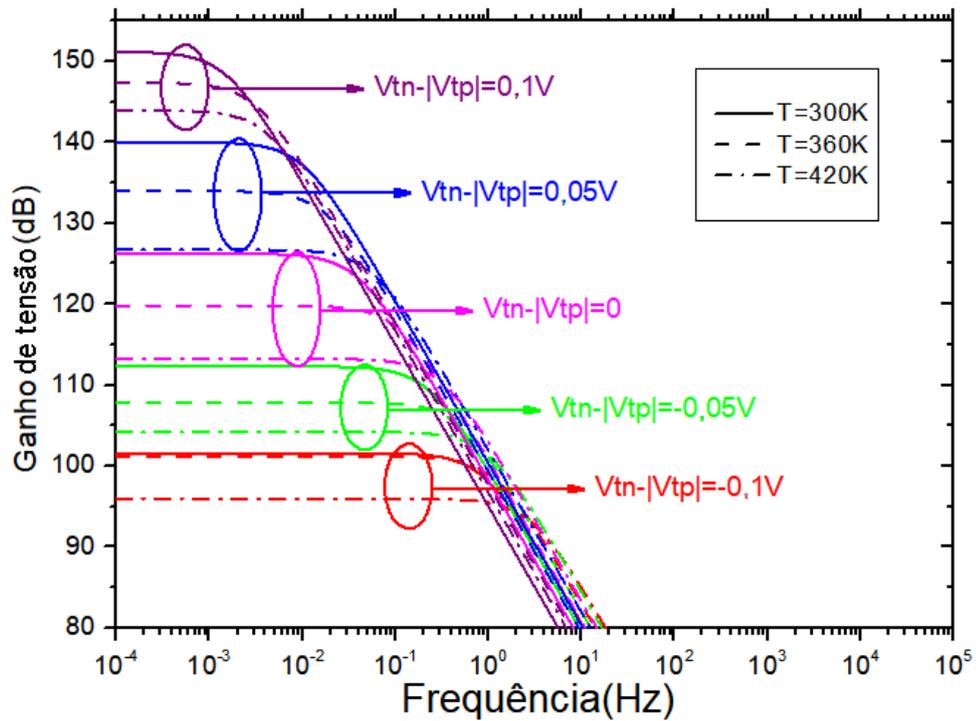


Figura 5.13: Ganho do circuito OTA em função da temperatura e $V_{tn} - |V_{tp}|$.

Tabela 5.6: Ganho do circuito OTA em função da temperatura e (unidades em dB).

	300 K	360 K	420 K
$V_{tn} - V_{tp} = -0,1V$	101,6	101,18	95,94
$V_{tn} - V_{tp} = -0,05V$	112,31	107,84	104,2
$V_{tn} - V_{tp} = 0V$	126,2	119,82	113,24
$V_{tn} - V_{tp} = 0,05V$	140	133,98	126,73
$V_{tn} - V_{tp} = 0,1V$	151,15	147,35	143,93

É possível observar que, a exemplo do que ocorreu no capítulo 5.1, no circuito OTA sem o circuito de polarização com compensação térmica, com o aumento da temperatura, o ganho diminui, devido principalmente a queda no R_{out1} e do g_m/I_d , como foi mostrado no capítulo 5.1 e será apresentado a seguir.

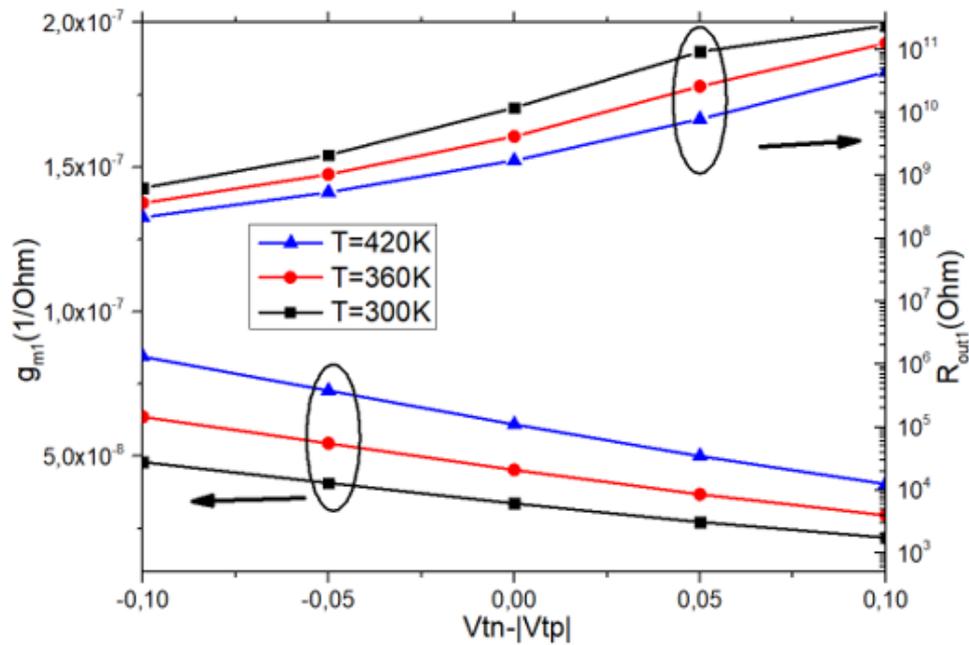


Figura 5.14: g_{m1} e R_{out1} em função da temperatura e $V_{tn} - |V_{tp}|$.

Observa-se também que, com o aumento do descasamento entre os transistores ($V_{tn} - |V_{tp}|$), há o aumento do ganho, e isso se deve ao aumento substancial do R_{out1} . Apesar de g_{m1} diminuir, o aumento de R_{out1} acaba tendo maior impacto no ganho (A_{vt}). Como é mostrado na Figura 5.12, para uma mesma situação de V_{gs} , quanto maior o $V_{tn} - |V_{tp}|$, menor a corrente I_{ds} , dessa forma, o R_{out1} , que é inversamente proporcional a corrente I_{ds} no transistor M2 e M4, aumenta.

Na Figura 5.15, é mostrado que a corrente total consumida diminui com o aumento de $V_{tn} - |V_{tp}|$, pois, como explicado anteriormente, para uma mesma condição de V_{gs} para o transistor do tipo n , quanto maior $V_{tn} - |V_{tp}|$, menor I_{ds} (apresentado na figura 5.12). Também por conta dessa diminuição na corrente há o aumento em g_m/I_d mostrado na Figura 5.15.

Para o GBW, observa-se na Figura 5.16, que ele varia menos em função de $V_{tn} - |V_{tp}|$ do que em função da temperatura, isso se deve ao fato de que o valor de g_{m1} varia pouco em função de $V_{tn} - |V_{tp}|$ e g_{m1} se mantém inalterado por M7 se tratar de um transistor do tipo p .

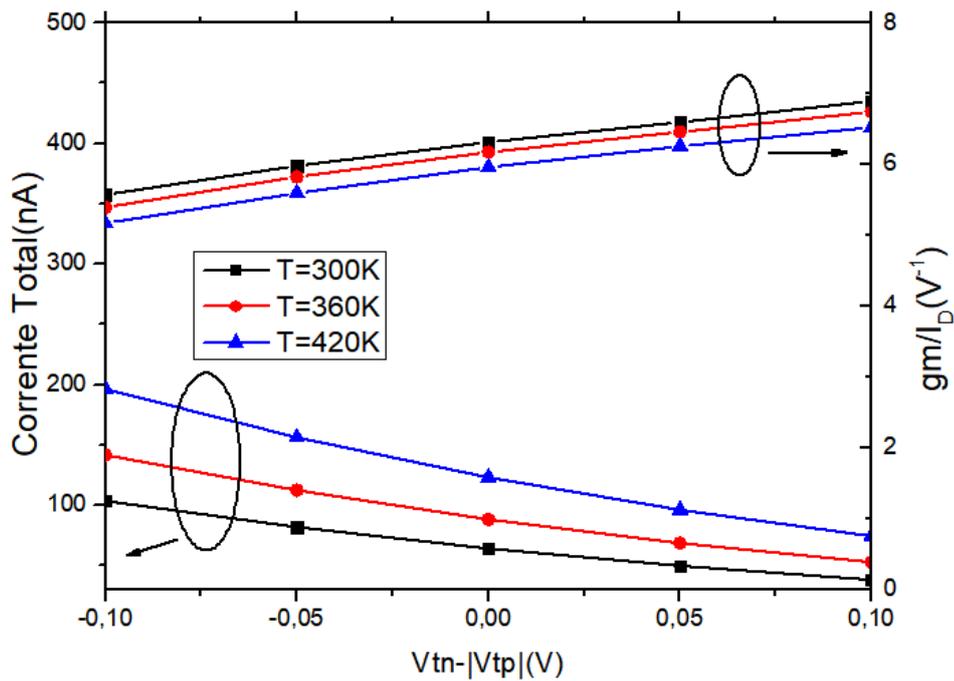


Figura 5.15: g_m/I_d e Corrente Total em função da temperatura e $V_{tn} - |V_{tp}|$

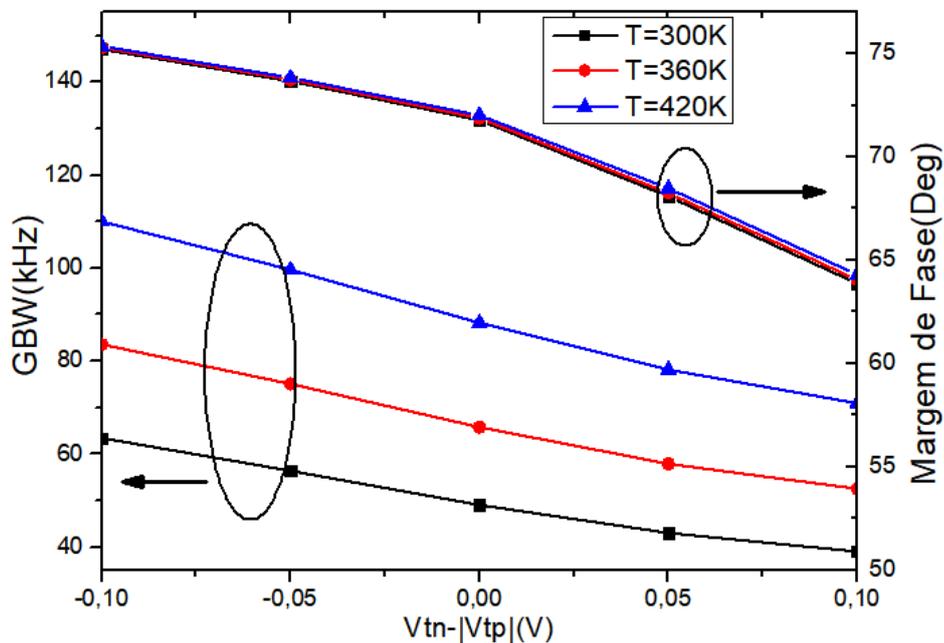


Figura 5.16: GBW e Margem de Fase em função da temperatura e $V_{tn} - |V_{tp}|$

Assim, é possível observar que o descasamento de até 0,1 V entre as tensões de limiar dos transistores p e n dentro do circuito OTA estudado pode ter impacto maior até do que a variação de temperatura para certos parâmetros, como por exemplo no ganho, que chega a variar ± 25 dB com o descasamento. Para outros parâmetros, como

por exemplo o GBW, o impacto da temperatura observado é maior do que o causado pelo descasamento. Para estudos futuros que utilizem metodologias semelhantes, é recomendado a modelagem de um transistor do tipo n , ao invés do espelhamento do transistor p , para que resultados mais acurados sejam obtidos.

6 CONCLUSÕES

O circuito OTA é um bloco básico na construção de projetos analógicos, o seu design utilizando transistores TFET tem apresentado resultados promissores para aplicações de baixas frequências e alto ganho. Nesse trabalho foi possível observar seu comportamento para altas temperaturas, chegando a 420 K.

Para a temperatura ambiente, comparou-se o circuito OTA projetado com TFETs a um de mesma topologia, mas utilizando transistores MOS de 20 nm (SOUSA, 2021). Vale notar que transistores MOS de 20 nm, por se tratar de um transistor de dimensões menores do que os TFET em questão, tem uma tecnologia de manufatura mais moderna. A partir da comparação, observou-se que o OTA com TFET tem resultados melhores de ganho em baixa frequência (125 dB do TFET contra 60,36dB do MOS) e menor potência dissipada (0,288 uW do TFET contra 921,69 uW do MOS), entretanto o GBW do circuito com MOS é maior do que do circuito com TFET (50 kHz para o TFET e 880 kHz para o MOS).

Foi possível observar que, caso não seja utilizado um circuito para manter a corrente de polarização, com o aumento da temperatura, o ganho cai de 126,2 dB em 300 K para 113,3 dB em 420 K. Isso se deve, principalmente ao aumento da corrente que por consequência faz cair a resistência de saída dos dois estágios do amplificador. Por outro lado, no caso de ser utilizado um circuito de polarização com compensação térmica, o ganho aumenta de 127,88 dB em 300 K para 132,3 dB em 420 K. Também é possível observar que em altas temperaturas o circuito mantém suas características de baixas correntes de consumo, com o uso do circuito de polarização com compensação térmica, a corrente se mantém em 65 nA.

Nesse trabalho também se avaliou o impacto da assimetria entre as curvas de $I_{ds} \times V_{gs}$ dos transistores do tipo p e n , tomando a tensão de limiar (V_{th}) como termo comparativo, analisou-se a variação de $V_{tn} - |V_{tp}| = -0,1 V$ até $V_{tn} - |V_{tp}| = 0,1 V$ em passos de 0,05 V. A partir dessa análise, foi possível observar que essa assimetria tem impacto considerável no desempenho do circuito OTA, que para a temperatura de 300 K pode ter seu ganho variando de 101,6dB para $V_{tn} - |V_{tp}| = -0,1 V$ até 151,15dB para $V_{tn} - |V_{tp}| = 0,1 V$ o que significa aproximadamente $\pm 20\%$ em relação a situação simétrica (126,6 dB para $V_{tn} - |V_{tp}| = 0 V$). A corrente total do circuito varia, na situação de temperatura de 300 K, de 103,5 nA no caso $V_{tn} - |V_{tp}| = -0,1 V$ para 38 nA no

caso $V_{tn} - |V_{tp}| = 0,1 V$ o que representa uma variação de mais de 40% do valor da corrente no caso simétrico (64 nA no caso $V_{tn} - |V_{tp}| = 0 V$)

6.1 Trabalhos Futuros

Para continuidade desse trabalho é possível se estudar o comportamento do circuito OTA projetado com transistores TFET em temperaturas menores de 300 K, como por exemplo 240 K e 180 K. Essa análise deve trazer resultados interessantes, tendo em vista que há poucos trabalhos que utilizam dados experimentais para explorar o funcionamento desse tipo de circuito em temperaturas diferentes da temperatura ambiente. É possível também realizar o mesmo processo de modelagem realizado nesse trabalho para o transistor do tipo p , para o transistor do tipo n , usando dados experimentais, com objetivo de aprimorar a análise do circuito OTA e evitar a necessidade do espelhamento para construção dos transistores do tipo n .

Outro caminho de continuidade para esse trabalho é a utilização do processo realizado nesse estudo para analisar outros blocos analógicos, uma vez que foi observado que transistores TFET tem características interessantes para aplicações analógicas de baixa frequência. Pode-se estudar circuitos de reguladores LDO (*Low Drop Out*) por se tratar de um bloco amplamente utilizado em circuitos analógicos. Também é possível se analisar a aplicação do processo executado nesse trabalho para se observar o comportamento do filtro Gm-C. Em ambos os casos, os circuitos podem se beneficiar das características de baixa corrente e alta resistência de saída dos transistores TFET.

REFERÊNCIAS

- AGOPIAN, P. et al. Unity gain frequency on finfet and tfet devices. In: IEEE. *2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)*. [S.l.], 2014. p. 1–4.
- AGOPIAN, P. G. D. et al. Study of line-tfet analog performance comparing with other tfet and mosfet architectures. *Solid-State Electronics*, Elsevier, v. 128, p. 43–47, 2017.
- Agopian, Paula Ghedini Der and Martino, Joao A. and Simoen, Eddy and Rooyackers, Rita and Claeys, Cor. Tunnel-FET evolution and applications for analog circuits. *JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS*, 17, n. 2, p. 7, 2022. ISSN 1807-1953. Disponível em: <<http://dx.doi.org/10.29292/jics.v17i2.63>>
- ALLEN PHILLIP E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. [S.l.]: New York, NY 10016: Oxford University Press, Inc., 2012.
- COLINGE, J.-P. *Silicon-on-Insulator Technology: Materials to VLSI: Materials to VLSI*. [S.l.]: Springer Science & Business Media, 2004.
- COLINGE, J.-P. et al. *FinFETs and Other Multi-Gate Transistors*. [S.l.]: Springer, 2008. v. 73.
- CONTRERAS, E.; CERDEIRA, A.; PAVANELLO, M. A. Simulation of miller opamp analog circuit with finfet transistors. In: IEEE. *2012 8th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)*. [S.l.], 2012. p. 1–4.
- FILHO, W. G. et al. Analog design with line-tfet device experimental data: from device to circuit level. *Semiconductor Science and Technology*, IOP Publishing, v. 35, n. 5, p. 055025, 2020.
- GUIDE, S. D. U. Sentaurus device user guide. version k-2015.06. *Inc, June*, 2015.
- IONESCU, A.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. *Nature*, v. 479, p. 329–37, 11 2011.
- MARTINO, M. D. V. *Estudo de transistores de tunelamento controlados por efeito de campo*. 2012.
- MARTINO, M. D. V. *Transistores de tunelamento induzido por efeito de campo aplicados a circuitos básicos*. Tese (Doutorado) — Universidade de São Paulo, 2018.
- MARTINO, M. D. V. et al. Analog performance of vertical nanowire tfets as a function of temperature and transport mechanism. *Solid-State Electronics*, Elsevier, v. 112, p. 51–55, 2015.
- MOOKERJEA, S. et al. Temperature-dependent i– v characteristics of a vertical in0.53ga0.47as tunnel fet. *IEEE Electron Device Letters*, IEEE, v. 31, n. 6, p. 564–566, 2010.

MOORE, G. Cramming more components onto integrated circuits, reprinted from electronics, volume 38, number 8, april 19, 1965, pp.114 ff. *Solid-State Circuits Newsletter, IEEE*, v. 11, p. 33 – 35, 10 2006.

RANGEL, R.; AGOPIAN, P.; MARTINO, J. Experimental silicon tunnel-fet device model applied to design a gm-c filter. *Semiconductor Science and Technology*, IOP Publishing, v. 35, n. 9, p. 095029, 2020.

RANGEL, R.; AGOPIAN, P.; MARTINO, J. A. Performance evaluation of tunnel-fet basic amplifier circuits. In: IEEE. *2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS)*. [S.l.], 2019. p. 21–24.

RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: Tsinghua University Press Co., Ltd., 2005.

ROFOUGARAN, A.; FURMAN, B.; ABIDI, A. Accurate analog modeling of short channel fets based o table lookup. In: IEEE. *Proceedings of the IEEE 1988 Custom Integrated Circuits Conference*. [S.l.], 1988. p. 13–1.

SAH, C. tang; NOYCE, R. N.; SHOCKLEY, W. Carrier generation and recombination in p-n junctions and p-n junction characteristics. *Proceedings of the IRE*, v. 45, p. 1228–1243, 1957. Disponível em: <<https://api.semanticscholar.org/CorpusID:51671894>>.

SCHENK, A. A model for the field and temperature dependence of shockley-read-hall lifetimes in silicon. *Solid-State Electronics*, Elsevier, v. 35, n. 11, p. 1585–1596, 1992.

SEDRA, A. S.; SMITH, K. C. *Microelectronic circuits*. [S.l.]: Pearson Prentice Hall, 2007.

SILVEIRA, F.; FLANDRE, D.; JESPER, P. G. A g/sub m//i/sub d/based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. *IEEE journal of solid-state circuits*, IEEE, v. 31, n. 9, p. 1314–1319, 1996.

SIVIERI, V. D. B. *Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio*. Tese (Doutorado) — Universidade de São Paulo, 2016.

SOUSA, B. R. d. *Estudo do efeito da radiação em um amplificador operacional de transcondutância implementado com SOI FinFETs*. Tese (Doutorado) — Universidade de São Paulo, 2021.

ZENER, C. A theory of the electrical breakdown of solid dielectrics. *Proceedings of the Royal Society of London. Series A, Containing Papers of a Mathematical and Physical Character*, The Royal Society London, v. 145, n. 855, p. 523–529, 1934.

APÊNDICE A – MODELO VERILOG-A TFETS

Modelo Verilog-A P-FinFET

```
// VerilogA for TFET, PTFET, veriloga
#include "constants.vams"
#include "disciplines.vams"
module PTFET(D, G, S);
  inout D;
  electrical D;
  inout G;
  electrical G;
  inout S;
  electrical S;

  parameter real n = 1; //Numero de nanofios
  parameter real T = 300; //Temperatura
  real CGD;
  real CGS;
  real ID;

  analog begin
  case(1)
  (T==300):
    ID = (n/5)*($table_model (V(D,S), V(G,S), "lookuptable_300k.tbl", "1CL,1CL;1")); //
Tabela de ID
  (T==360):
```

```

    ID = (n/5)*($table_model (V(D,S), V(G,S), "lookuptable_360k.tbl", "1CL,1CL;1")); //
Tabela de ID

    (T==420):

    ID = (n/5)*($table_model (V(D,S), V(G,S), "lookuptable_420k.tbl", "1CL,1CL;1")); //
Tabela de ID

    endcase

    I(S,D) <+ ID;

    CGD = (n/208.3)*($table_model (V(G,S), "CV_TFET.tbl", "1CL;1")); // Tabela de Cgg
    I(G,D)<+ ddt(V(G,D))*CGD;

    CGS = (n/208.3)*($table_model (V(G,S), "CV_TFET_FinFET_Cgs.tbl", "1CL;1"));
    I(G,S)<+ ddt(V(G,S))*CGS;

    end

    endmodule

```

Modelo Verilog-A N-FinFET

```

// VerilogA for TFET, NTFET, veriloga

`include "constants.vams"

`include "disciplines.vams"

module NTFET(D, G, S);

inout D;

electrical D;

inout G;

electrical G;

inout S;

electrical S;

parameter real n = 1; //Numero de nanofios

parameter real T = 300; //Temperatura

```

```

real ID;

real CGS;

real CGD;

analog begin

case(1)

(T==300):

ID = (n/5)*($table_model (V(S,D), V(S,G), "lookuptable_300k.tbl", "1CL,1CL;1")); //
Tabela de ID

(T==360):

ID = (n/5)*($table_model (V(S,D), V(S,G), "lookuptable_360k.tbl", "1CL,1CL;1")); //
Tabela de ID

(T==420):

ID = (n/5)*($table_model (V(S,D), V(S,G), "lookuptable_420k.tbl", "1CL,1CL;1")); //
Tabela de ID

endcase

I(D,S) <+ ID;

CGD = (n/208.3)*($table_model (V(S,G), "CV_TFET.tbl", "1CL;1")); // Tabela de Cgg

I(G,D)<+ ddt(V(G,D))*CGD;

CGS = (n/208.3)*($table_model (V(S,G), "CV_TFET_FinFET_Cgs.tbl", "1CL;1"));

I(G,S)<+ ddt(V(G,S))*CGS;

end

endmodule

```