

CARLOS AUGUSTO BERGFELD MORI

Projeto e fabricação de um ^{BE}SOI Túnel-FET
como elemento biossensor

São Paulo
2023

CARLOS AUGUSTO BERGFELD MORI

Projeto e fabricação de um ^{BE}SOI Túnel-FET
como elemento biossensor

Versão Corrigida

Tese de doutorado apresentada à Escola
Politécnica da Universidade de São
Paulo para obtenção do título de Doutor em
Ciências.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino
Coorientadora: Prof^a. Dra. Paula Ghedini Der
Agopian

São Paulo

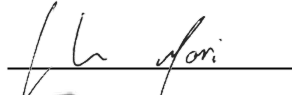
2023

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

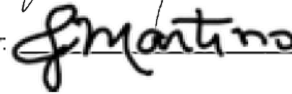
Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 22 de novembro de 2023

Assinatura do autor:



Assinatura do orientador:



Catálogo-na-publicação

Mori, Carlos Augusto Bergfeld
Projeto e fabricação de um BESOI Túnel-FET como elemento biossensor
/ C. A. B. Mori -- versão corr. -- São Paulo, 2023.
126 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo.
Departamento de Engenharia de Sistemas Eletrônicos.

1. Transistores 2. Tecnologia SOI 3. BESOI Túnel-FET 4. Biossensor
I. Universidade de São Paulo. Escola Politécnica. Departamento de
Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

Ao Prof. Dr. Martino, pelo auxílio e orientação ao longo do desenvolvimento dos estudos.

À Prof.^a Dra. Paula, pelas contribuições à estruturação, elaboração e compreensão do trabalho.

Ao Ricardo Rangel, pelas discussões e contribuições na fabricação e caracterização dos dispositivos.

Ao grupo SOI, pelas interações e colaborações fundamentais no desenvolvimento deste projeto.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pela concessão da bolsa de doutorado, processo nº 2017/26489-7, e pelo apoio financeiro para a execução desta pesquisa.

Ao Laboratório de Sistemas Integráveis do Departamento de Engenharia de Sistemas Eletrônicos da Escola Politécnica da Universidade de São Paulo, pela disponibilização da sua infraestrutura e laboratórios para pesquisa.

RESUMO

MORI, Carlos Augusto Bergfeld. **Projeto e fabricação de um ^{BE}SOI Túnel-FET como elemento biossensor**. 2023. 126. Tese de doutorado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2023.

Biossensores têm um papel fundamental na melhoria da qualidade e extensão de vida de uma sociedade, sendo de grande importância para acompanhar em tempo real o desenvolvimento de doenças e até prevenir ameaças biológicas de alto risco. Esta tese de doutorado propõe, de forma inédita, a fabricação, caracterização elétrica e aplicação como biossensor de um novo dispositivo, o transistor *back-enhanced Silicon-On-Insulator* de tunelamento induzido por efeito de campo (^{BE}SOI Túnel-FET). Inicialmente, são realizadas simulações que verificam a viabilidade da estrutura proposta, mostrando sua capacidade de operar como Túnel-FET de canal tipo p ou como MOSFET de canal tipo n, a depender apenas das polarizações aplicadas. Segue-se para a fabricação propriamente dita dos dispositivos, com máscaras especialmente projetadas, resultando em transistores de 290 μm de comprimento e 210 μm de largura, com óxido de porta de aproximadamente 10 nm de espessura. Em seguida, faz-se a caracterização elétrica destes transistores, observando-se correntes de centenas de microampères, tensão de limiar variando linearmente de 2 V a -2 V em função da polarização de substrato, e inclinação de sublimiar de aproximadamente 100 mV/dec para a operação como nMOS. Para operação como pTFET, obtém-se correntes da ordem centenas de nanoampères, devendo-se destacar a ausência do efeito ambipolar parasitário, comum em transistores de efeito de tunelamento. Além disso, apresentam-se também testes de sua aplicação como elemento biossensor, sendo observada uma relação linear entre concentração de glicose e corrente de dreno. Por fim, resultados de estudos de ruído em bioFETs, isto é, finFETs modificados sem metal de porta e com a superfície exposta de óxido funcionalizada para operação como biossensores, fabricados no imec, Bélgica, são apresentados, tendo como principal resultado uma relação sinal-ruído máxima da ordem de cinco vezes quando a porta é polarizada em torno da tensão de limiar, possibilitando sua aplicação como biossensor capaz de detectar moléculas específicas de DNA.

Palavras-chave: transistores, SOI, ^{BE}SOI, Túnel-FET, biossensor, bioFET.

ABSTRACT

MORI, Carlos Augusto Bergfeld. **Projeto e fabricação de um BE SOI Túnel-FET como elemento biossensor.** 2023. 126. Tese de doutorado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2023.

Biosensors play a fundamental role on the improvement of life expectancy and its quality in a society, being extremely important to monitor in real time the development of diseases and even to prevent high-risk biological threats. This doctoral thesis proposes for the first time the fabrication, electrical characterization, and application as a biosensor of a new device, a back-enhanced Silicon-On-Insulator tunneling field-effect transistor (^{BE}SOI Tunnel-FET). First, simulations are performed, which verify the viability of the proposed structure, showing that it can operate as a p-type channel Tunnel-FET or an n-type channel MOSFET, depending only on the voltages applied. From the characteristics and behaviors observed during simulations, the work proceeds to the fabrication of the devices, using a set of masks specifically designed for this project, resulting in 290 μm long and 210 μm wide transistors, with an oxide thickness of 10 nm. Next, their electrical characterization is performed, resulting in currents of hundreds of microamperes, with threshold voltage varying from 2 V to -2 V, depending on the substrate bias, and subthreshold swing of approximately 100 mV/dec for the nMOS operation. While functioning as a pTFET, currents of hundreds of nanoamperes are observed, with the highlight that there's no parasitic ambipolar effect, usually present in tunnel effect transistors. Besides that, tests of its application as a biosensor are performed, showing a linear relation between glucose concentration and drain current. Finally, results of the studies regarding the noise in bioFETs, that is, modified finFETs without gate metal with their exposed oxide surfaces functionalized for operation as biosensors, fabricated at imec, Belgium, are presented, having as main result a maximal signal to noise ratio of approximately five times when the devices' gates are biased around the threshold voltage, enabling their application as biosensors capable of detecting specific DNA molecules.

Keywords: transistors, SOI, ^{BE}SOI, Tunnel-FET, biosensor, bioFET.

LISTA DE FIGURAS

Figura 2.1 – Transistor SOI.....	25
Figura 2.2 – Distribuição esquemática das linhas de campo elétrico em transistores (A) de corpo; (B) SOI.	25
Figura 2.3 – Corrente de dreno obtida ao se variar as polarizações de porta e substrato para um dispositivo FDSOI tipo n.	28
Figura 2.4 – Relação de capacitâncias entre porta e substrato em um dispositivo FDSOI.....	30
Figura 2.5 – Representação esquemática do ^{BE} SOI MOSFET.....	30
Figura 2.6 – Diagrama de bandas do ^{BE} SOI MOSFET operando como tipo p conduzindo (a), e cortado (b). Tipo n conduzindo (c), e cortado (d).	31
Figura 2.7 – Esboço da situação com barreira de potencial (a) representando energia média da partícula; (b) solução da equação de onda.	35
Figura 2.8 – Diagrama de bandas de material semiconductor (a) intrínseco; (b) tipo n; (c) tipo p.....	37
Figura 2.9 – Estrutura de um transistor TFET (a) simétrico; (b) com subposição de dreno.....	38
Figura 2.10 – Diagrama de bandas na junção entre região tipo p e canal (a) sem polarização positiva de porta (b) com polarização de porta elevada.	39
Figura 3.1 – Estrutura esquemática do transistor proposto somente com dopagem de fonte.....	41
Figura 3.2 – Curva de capacitância versus tensão no capacitor MOS.....	45
Figura 3.3 – Tipos de ruído comumente presentes em dispositivos semicondutores e resultado da sua sobreposição.	48
Figura 3.4 – (a) Seção longitudinal do canal do dispositivo FET fabricado; (b) imagem por microscopia eletrônica de varredura por transmissão da seção transversal do dispositivo.	51
Figura 3.5 – (a) Imagem da montagem elétrica; (b) representação da montagem elétrica ilustrando o caminho do fluxo da solução e o contato eletrolítico de Ag/AgCl de porta.....	51

Figura 4.1 – Curvas de corrente de dreno versus tensão de porta para múltiplas polarizações de substrato do (a) ^{BE} SOI pTFET; (b) pTFET convencional autoalinhado.	53
Figura 4.2 – Diagrama de bandas do ^{BE} SOI pTFET da primeira e da segunda interface próximo à junção fonte-canal.	55
Figura 4.3 – Taxa de geração de banda para banda no ^{BE} SOI pTFET na região do canal próxima à junção de fonte.....	56
Figura 4.4 – Corte bidimensional do dispositivo, apresentando a taxa de geração de banda para banda, no caso do dispositivo polarizado com $V_{GB} = -2$ V e $V_{GF} = -3$ V.	57
Figura 4.5 – Densidade de corrente no ^{BE} SOI pTFET na região do canal próxima à junção de fonte.....	58
Figura 4.6 – Corte bidimensional do dispositivo, apresentando a taxa de geração de banda para banda, no caso do dispositivo polarizado com $V_{GB} = -4$ V e $V_{GF} = 2$ V... ..	59
Figura 4.7 – Representação esquemática do ^{BE} SOI pTFET para polarizações negativas de substrato e tunelamento ocorrendo (a) na fonte e (b) no dreno.	60
Figura 4.8 – Influência do comprimento de porta na operação com polarização de substrato negativa do ^{BE} SOI pTFET.....	60
Figura 4.9 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de substrato.	61
Figura 4.10 – Representação esquemática do ^{BE} SOI TFET operando de forma análoga a um diodo com polarização de porta (a) negativa e (b) positiva.	62
Figura 4.11 – Representação esquemática do ^{BE} SOI TFET operado de forma análoga a um nMOS com polarização de porta (a) abaixo e (b) acima da tensão de limiar. ...	63
Figura 4.12 – Tensão de limiar da primeira interface em função do potencial na segunda para transistores FDSOI MOSFET.	63
Figura 4.13 – Seção transversal do ^{BE} SOI apresentando (a) representação esquemática do dispositivo operando para altas polarizações de substrato e (b) a densidade de corrente em um corte do dispositivo simulado.	64
Figura 4.14 – Corrente de dreno em função da tensão de porta para múltiplas tensões de dreno.	65
Figura 4.15 – Efeito da variação do comprimento da região não dopada na corrente.	66
Figura 4.16 – Curvas de corrente versus tensão de porta para múltiplos comprimentos de canal em (a) escala logarítmica e (b) escala linear.	67

Figura 5.1 – Curvas de capacitância em função da tensão aplicada no capacitor para as lâminas (a) L1 e (b) L2.....	70
Figura 5.2 – Curvas de corrente em função da tensão nos capacitores (a) de L1; (b) de L2.....	71
Figura 5.3 – Observação do início da ruptura do óxido em um capacitor de L2.	72
Figura 5.4 – Sobreposição de todas as máscaras utilizadas para o projeto completo.	75
Figura 5.5 – Dois transistores ao final do processo de fabricação.....	78
Figura 5.6 – Lâmina após deposição do SU-8.....	79
Figura 6.1 – Curvas de corrente em versus tensão dos dispositivos fabricados variando a tensão de substrato de 25 V a -25 V e tensão de dreno de 0,1 V em escala (a) linear e (b) logarítmica.....	80
Figura 6.2 – Curvas de corrente em versus tensão dos dispositivos fabricados variando a tensão de substrato de 25 V a -25 V e tensão de dreno de 1 V em escala (a) linear e (b) logarítmica.....	80
Figura 6.3 – (a)Tensão de limiar e (b) inclinação de sublimiar em função da tensão de substrato.	81
Figura 6.4 – Curvas de corrente versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 25 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V..	82
Figura 6.5 – Curvas de corrente em escala logarítmica versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 25 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V.	84
Figura 6.6 – Representação esquemática da ocorrência de canais laterais parasitários de condução de corrente em um corte transversal nos transistores fabricados.	84
Figura 6.7 – Representação esquemática das condições de polarização que permitem a formação do transistor bipolar parasitário próximo às bordas laterais dos dispositivos.	85
Figura 6.8 – Curvas de corrente em escala logarítmica versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 15 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V.	86
Figura 6.9 – Segunda derivada da corrente em função da tensão de porta de múltiplos dispositivos.	87

Figura 6.10 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de dreno com GOx, para tensão de substrato de (a) +25 V e (b) -25 V.	88
Figura 6.11 – Representação esquemática do modelo proposto para a condução de sublimiar após a deposição de GOx.....	91
Figura 6.12 – Representação esquemática do modelo adaptado para a condução de sublimiar após a deposição de GOx.....	92
Figura 6.13 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de dreno com GOx, para tensão de substrato de +25 V.	93
Figura 6.14 – Corrente de dreno em função (a) da tensão de porta para múltiplas concentrações de glicose e (b) da concentração de glicose para uma tensão de porta fixa.....	94
Figura 6.15 – Corrente de dreno em função da tensão de porta para múltiplas concentrações de glicose em escala (a) linear e (b) logarítmica.....	95
Figura 7.1 – Corrente de dreno em função da tensão de porta para comprimento de canal e largura de aleta de (a) 70 nm e 20 nm; (b) 50 nm e 13 nm, respectivamente.	97
Figura 7.2 – Distribuição da (a) tensão de limiar e (b) inclinação de sublimiar em função do comprimento de canal para dispositivos com e sem monocamada automontada e diferentes larguras de aleta.....	97
Figura 7.3 – Distribuição da transcondutância máxima para vários comprimentos de canal e tensões de dreno. As linhas vermelhas indicam a mediana e as azuis o 25° e 75° percentil.	98
Figura 7.4 – Resistência série em função da largura de aleta e tensão de dreno. As linhas vermelhas indicam a mediana e as azuis o 25° e 75° percentil.	99
Figura 7.5 – (a) Medidas experimentais e modelo com resistência série variável de corrente versus sobretensão de condução para diferentes comprimentos de canal. (b) Resistência série medida em função da sobretensão de condução e valores calculados a partir do ajuste de corrente de dreno.....	99
Figura 7.6 – Representação simplificada do mecanismo de captura/liberação de cargas.	101
Figura 7.7 – Representação esquemática do modelo de pequenos sinais do transistor com resistências série.....	102

Figura 7.8 – (a) Densidade espectral de potência da corrente de dreno normalizada em função da frequência para diferentes polarizações e comprimentos de canal. (b) Expoente da frequência em função do comprimento de canal para diferentes polarizações.....	104
Figura 7.9 – (a) Densidade espectral de potência da corrente de dreno normalizada em função da sobretensão de condução a 1 Hz para diferentes polarizações e comprimentos de canal. (b) Densidade de armadilhas obtida pelo ajuste de S_{Id}	105
Figura 7.10 – Valor eficaz do ruído de tensão referido à porta em função (a) da sobretensão de condução e (b) do comprimento de canal.	107
Figura 7.11 – Corrente de dreno em função da sobretensão de condução para múltiplos comprimentos de canal antes e após a inserção de DNA.	108
Figura 7.12 – Sinal de tensão gerado pelas moléculas de DNA acopladas aos dispositivos em função da sobretensão de condução para múltiplos comprimentos de canal.	109
Figura 7.13 – Densidade espectral de potência do ruído de corrente de dreno normalizada em função da frequência com e sem DNA.	110
Figura 7.14 – Densidade espectral de potência do ruído de corrente de dreno normalizada em função da sobretensão de condução com e sem DNA.	110
Figura 7.15 – Valor eficaz do ruído de tensão referido à porta normalizada com DNA em função (a) da sobretensão de condução e (b) do comprimento de porta.....	111
Figura 7.16 – Relação sinal ruído em função (a) da sobretensão de condução e (b) do comprimento de porta.	112
Figura A.1 – Projeto da máscara para realização da dopagem	123
Figura A.2 – Projeto da máscara para definição da região ativa	123
Figura A.3 – Projeto da máscara para abertura de contatos.	124
Figura A.4 – Projeto da máscara para definição das regiões de alumínio	124

LISTA DE SIGLAS

BE ² SOI	Silício sobre isolante com formação de fonte e dreno induzida pela segunda interface <i>(Back-Enhanced Silicon-On-Insulator)</i>
BOE	Solução de corrosão de óxido de silício tamponada <i>(Buffered Oxide Etch)</i>
BTBT	Tunelamento de banda para banda <i>(Band-to-Band Tunneling)</i>
BOX	Óxido enterrado <i>(Buried Oxide)</i>
CI	Circuito Integrado
CMF	Flutuações correlacionadas de mobilidade <i>(Correlated Mobility Fluctuations)</i>
CNF	Flutuações do número de portadores <i>(Carrier Number Fluctuations)</i>
DNA	Ácido desoxirribonucleico <i>(Deoxyribonucleic Acid)</i>
FD	Totalmente depletado <i>(Fully Depleted)</i>
FET	Transistor de efeito de campo <i>(Field Effect Transistor)</i>
GA	Glutaraldeído
GOx	Glicose Oxidase
MOS	Metal-Óxido-Semicondutor
PBS	Solução tamponada de fosfato <i>(Phosphate Buffered Solution)</i>
PD	Parcialmente depletado <i>(Partially Depleted)</i>
PSD	Densidade espectral de potência <i>(Power Spectral Density)</i>

SAM	Monocamada automontada (<i>Self-Assembled Monolayer</i>)
SCE	Efeitos de canal curto (<i>Short-Channel Effects</i>)
SNR	Relação sinal ruído (<i>Signal to Noise Ratio</i>)
SOI	Silício sobre isolante (<i>Silicon-On-Insulator</i>)
SRH	Shockley-Read-Hall
TAT	Tunelamento assistido por armadilhas (<i>Trap Assisted Tunneling</i>)
TCAD	Tecnologia de projeto assistido por computador (<i>Technology Computer-Aided Design</i>)
TFET	Transistor de tunelamento induzido por efeito de campo (<i>Tunneling Field Effect Transistor</i>)
UTBB	Corpo e óxido enterrado ultra finos (<i>Ultra-Thin Body and Buried oxide</i>)

LISTA DE SÍMBOLOS

$C_{it,1}$	Capacitância de armadilhas na primeira interface por unidade de área (F/m^2)
$C_{it,2}$	Capacitância de armadilhas na segunda interface por unidade de área (F/m^2)
$C_{ox,1}$	Capacitância do óxido da primeira interface por unidade de área (F/m^2)
$C_{ox,2}$	Capacitância do óxido da segunda interface por unidade de área (F/m^2)
C_{Si}	Capacitância do filme de silício por unidade de área (F/m^2)
E_C	Nível de energia da banda de condução (eV)
E_F	Nível de energia de Fermi (eV)
E_V	Nível de energia da banda de valência (eV)
f	Frequência (Hz)
f_1	Frequência inferior da banda (Hz)
f_2	Frequência superior da banda (Hz)
g_m	Transcondutância (A/V)
$g_{m,int}$	Transcondutância interna em relação à resistência série (A/V)
$g_{m,ext}$	Transcondutância externa em relação à resistência série (A/V)
I_D	Corrente de dreno (A)
I_{off}	Corrente de estado desligado (A)
I_{on}	Corrente de estado ligado (A)
k	Constante de Boltzmann ($eV.K^{-1}$)
L	Comprimento de porta (m)
L_{GD}	Comprimento de subposição entre porta e dreno (m)
L_{GS}	Comprimento de subposição entre porta e fonte (m)
$n_{i,eff}$	Densidade volumétrica efetiva de portadores livres no semiconductor intrínseco (m^{-3})
N_t	Densidade de armadilhas ($m^{-3}.V^{-1}$)

q	Carga fundamental (C)
Q_{depl}	Carga de depleção (C)
Q_{ox}	Cargas no óxido (C)
t_{BOX}	Espessura de óxido enterrado (m)
t_{ox}	Espessura do óxido de porta (m)
t_{Si}	Espessura do filme de silício (m)
R_{ch}	Resistência do canal (Ω)
R_{ser}	Resistência série (Ω)
SS	Inclinação de sublimiar (V/dec)
V_B	Tensão de substrato (V)
V_D	Tensão de dreno (V)
V_{DS}	Diferença de tensão entre dreno e fonte (V)
V_{FB}	Tensão de banda plana (V)
V_G	Tensão de porta (V)
V_{GB}	Diferença de tensão entre substrato e fonte (V)
V_{GF}	Diferença de tensão entre porta e fonte (V)
V_S	Tensão de fonte (V)
V_T	Tensão de limiar (V)
V_{T1}	Tensão de limiar da primeira interface (V)
V_{T2}	Tensão de limiar da segunda interface (V)
W	Largura de porta (m)
$X_{d,\text{máx}}$	Largura máxima de depleção (m)
α	Constante da variação da tensão de limiar com a tensão de substrato (adimensional)
α_C	Coeficiente de espalhamento Coulomb (V.s.C ⁻¹)
α_H	Parâmetro de Hooge (adimensional)
β	Expoente da frequência (adimensional)
γ	Constante de efeito de corpo (adimensional)
Γ_{TAT}	Fator de correção do tempo de vida dos portadores em função do TAT (adimensional)

ϕ_F	Potencial de Fermi (V)
ϕ_{S1}	Potencial de superfície da primeira interface (V)
ϕ_{S2}	Potencial de superfície da segunda interface (V)
Φ_{MS}	Diferença de função trabalho entre metal e semiconductor (V)
η	Coeficiente de ajuste da inclinação de sublimar (adimensional)
τ_n	Tempo de vida dos portadores tipo n (s)
τ_p	Tempo de vida dos portadores tipo p (s)

SUMÁRIO

1	INTRODUÇÃO	19
1.1	OBJETIVOS.....	21
1.2	ESTRUTURA DO TRABALHO.....	21
2	FUNDAMENTAÇÃO TEÓRICA	23
2.1	BIOSSENSORES.....	23
2.2	TECNOLOGIA SILÍCIO SOBRE ISOLANTE.....	24
2.2.1	Tensão de limiar.....	26
2.2.2	Efeito de corpo.....	29
2.3	OS TRANSISTORES ^{BE} SOI.....	30
2.4	TRANSISTORES DE TUNELAMENTO POR EFEITO DE CAMPO.....	33
2.4.1	Tunelamento.....	33
2.4.2	Fundamentos de semicondutores.....	36
2.4.3	Princípio de operação do transistor de tunelamento.....	37
3	MATERIAIS E MÉTODOS	41
3.1	AMBIENTE DE SIMULAÇÕES NUMÉRICAS.....	41
3.2	TÉCNICAS DE CARACTERIZAÇÃO ELÉTRICA.....	44
3.2.1	Espessura de óxido.....	44
3.2.2	Tensão de limiar.....	46
3.2.3	Inclinação de sublimiar.....	47
3.2.4	Medidas de ruído.....	47
3.3	DISPOSITIVOS FINFET OPERANDO COMO BIOSSENSORES.....	50
4	SIMULAÇÕES DA OPERAÇÃO DO UTBB ^{BE}SOI COM DOPAGEM DE FONTE	52
4.1	OPERAÇÃO COMO PTFET.....	52
4.2	OPERAÇÃO COMO NMOSFET.....	61
5	FABRICAÇÃO DOS TRANSISTORES ^{BE}SOI TÚNEL-FET	69

5.1	FABRICAÇÃO DE CAPACITORES.....	69
5.2	ESTIMATIVA DAS ESPESSURAS DE ÓXIDO	70
5.3	MEDIDAS DE CORRENTE DE FUGA	71
5.4	FABRICAÇÃO DOS TRANSISTORES ^{BE} SOI TÚNEL-FET	72
6	CARACTERIZAÇÃO ELÉTRICA DO ^{BE}SOI TÚNEL-FET	80
6.1	COMPORTAMENTO ELÉTRICO DO ^{BE} SOI TÚNEL-FET APÓS DEPOSIÇÃO DE GLICOSE OXIDASE	88
6.2	APLICAÇÃO DO ^{BE} SOI TÚNEL-FET COMO BIOSENSOR.....	93
7	ESTUDO SOBRE BIOSSENSORES DE DNA.....	96
7.1	CARACTERIZAÇÃO ELÉTRICA BÁSICA	96
7.2	MODELO DE RUÍDO.....	100
7.2.1	Resistência série	102
7.2.2	Relação sinal-ruído	105
7.3	MEDIDAS COM DNA	108
8	CONCLUSÕES	113
8.1	PROPOSTAS DE TRABALHOS FUTUROS	116
	PUBLICAÇÕES GERADAS	117
	BIBLIOGRAFIA	118
	ANEXO A – FOTOMÁSCARAS	123
	ANEXO B – DEDUÇÃO DA INCLINAÇÃO DE SUBLIMIAR CONSIDERANDO ARMADILHAS DE INTERFACE NO ^{BE}SOI TÚNEL-FET	125

1 INTRODUÇÃO

Em meados da década de 60, Moore publicou seu célebre artigo a respeito da tendência de crescimento exponencial do número de transistores por circuito integrado (CI) (MOORE, 1965), e, apesar de a princípio ser apenas uma observação empírica do mercado de sua época, logo se tornou um padrão da indústria, que foi capaz de se manter dentro dessa taxa por aproximadamente 50 anos. Entretanto, desde o começo da década de 2010, este ritmo tem diminuído na indústria, como por exemplo a Intel, que se manteve no mesmo nó tecnológico de 14 nm de 2014 (INTEL) até a introdução no mercado dos seus primeiros processadores com tecnologia de 10 nm em 2019 (HOLLISTER, 2019). Esta dificuldade atual em reduzir as dimensões dos transistores ocorre não somente pelos desafios tecnológicos, mas também econômicos, uma vez que custos de desenvolvimento e fabricação têm ultrapassado os bilhões de dólares (TSMC, 2017), além de observar-se um aumento no custo por transistor em tecnologias mais avançadas (MAO, 2023), reduzindo os incentivos para uma continuidade do escalamento dos dispositivos. Atualmente, não há um consenso sobre o fim da lei de Moore (TIBKEN, 2019) - (SIMONITE, 2019), mas, independentemente deste fato, a pesquisa em micro e nanoeletrônica prossegue, adaptando-se para diferentes usos, e não mais somente para o desenvolvimento de nós tecnológicos menores e uma capacidade de processamento mais elevada. Como exemplo, atualmente o imec, na Bélgica, um dos principais centros de pesquisa em eletrônica no mundo, apresenta pesquisas em áreas como tecnologia vestível (em inglês, “*wearable technology*”), fotônica, inteligência artificial, Internet das Coisas (em inglês, “*Internet of Things*”, ou IoT), biossensores, entre outras (IMEC, 2019).

Dentro deste contexto, um dos candidatos para melhorar o desempenho de CIs, sem necessariamente ter dimensões reduzidas, são os transistores de tunelamento por efeito de campo (em inglês, “*Tunneling Field Effect Transistor*”, ou TFET). Sua principal vantagem em relação aos transistores de efeito de campo Metal-Óxido-Semicondutor (MOSFET) é a sua capacidade teórica de uma maior velocidade de chaveamento. Isto ocorre porque os TFETs não possuem a mesma restrição teórica de 60 mV/dec dos MOSFETs referente à sua inclinação de sublimiar, devido ao diferente princípio de condução (IONESCU, 2011). Assim, para transistores de mesmas dimensões e que, portanto, ocupam uma mesma área de silício, é possível obter um melhor desempenho. Além disso, seus valores de corrente reduzidos, apesar

de inicialmente comprometerem a velocidade de operação de circuitos operando com estes dispositivos, podem ser úteis dentro do contexto de baixa potência requisitada atualmente pelas diversas aplicações embarcadas previamente mencionadas.

Outro dispositivo ainda em fase de estudos e que se destaca por ser uma proposta vinda do meio acadêmico brasileiro é o ^{BE}SOI MOSFET (do inglês, “*Back-Enhanced Silicon-On-Insulator*”) (RANGEL, 2015). É o primeiro transistor reconfigurável projetado e fabricado no Brasil, cuja patente foi submetida em 2015 e concedida em 2023 (Martino e Rangel, 2023). Sua principal vantagem em relação aos transistores SOI convencionais é a sua reconfigurabilidade, isto é, a depender da polarização aplicada no substrato, o mesmo dispositivo é capaz de se comportar tanto como canal tipo n ou tipo p. Conseqüentemente, com essa flexibilização na operação, torna-se possível o uso de uma mesma área de silício para desempenhar diversas funções, permitindo, portanto, o aumento do desempenho do sistema como um todo sem a necessidade de redução das dimensões de cada transistor (MIKOLAJICK et al., 2021). Outro fator que favorece esse dispositivo é a sua maior simplicidade de fabricação em relação a processos tradicionais, uma vez que, por não possuir etapas de dopagem, requer apenas 3 etapas de fotolitografia (RANGEL, 2015), e é, portanto, mais rapidamente concluído.

De acordo com a definição da União Internacional de Química Pura e Aplicada (IUPAC), pode-se dizer que um biossensor é um elemento capaz de detectar um determinado composto químico e traduzir esta informação em um sinal elétrico, óptico ou térmico (IUPAC, 1997). A partir desta definição, é possível propor alguns mecanismos básicos para que um dispositivo seja capaz de operar como um biossensor, como o exemplo apresentado por Balasubramanian (2006). Uma vez que não há a necessidade de utilizar-se dos nós tecnológicos mais avançados, pode-se aproveitar da facilidade de fabricação em larga escala de componentes microeletrônicos a um baixo custo; considerando ainda o interesse que há no meio médico em um monitoramento constante das mais diversas grandezas (como por exemplo sódio, potássio, glicose, entre outros) de forma a oferecer um tratamento adequado às necessidades individuais de cada paciente, bem como na possibilidade de sistemas autônomos e de pequenas dimensões para a dosagem e aplicação de medicamentos (GRAY, 2018), a escolha de transistores como elementos biossensores parece adequada.

Considerando as tecnologias disponíveis, e o grande potencial nas aplicações na área de biossensores, propõe-se neste trabalho o desenvolvimento teórico e prático de um transistor de tunelamento a partir da tecnologia $^{\text{BE}}\text{SOI}$, visando uma possível aplicação como biossensor. Através de simulações numéricas computacionais, será verificado o funcionamento do UTBB $^{\text{BE}}\text{SOI}$ (do inglês, “*Ultra-Thin Body and Buried oxide*”), a princípio capaz de operar de forma melhor do que o $^{\text{BE}}\text{SOI}$, porém, com etapas de fabricação que impossibilitam a sua fabricação em um ambiente de laboratório universitário. Além disso, a fim de se entender melhor efeitos de funcionalização de superfície, isto é, modificações feitas para que o biossensor seja seletivo em relação ao material que ele detecta, este trabalho também apresenta um capítulo dedicado ao estudo da relação sinal ruído em biossensores de DNA, os bioFETs fabricados no imec, Bélgica. Essencialmente, os bioFETs utilizam a mesma estrutura de aletas que os FinFETs, porém sem o metal de porta, de tal forma que o próprio líquido contendo a amostra a ser mensurada fique em contato com o óxido de porta e seja polarizado, como já feito em ISFETs (do inglês, “*Ion-Sensitive Field Effect Transistor*”).

1.1 OBJETIVOS

O primeiro objetivo deste trabalho é o desenvolvimento de um transistor $^{\text{BE}}\text{SOI}$ capaz de operar através do mecanismo de tunelamento, iniciando com simulações numéricas e seguindo para a fabricação do dispositivo.

Uma vez fabricados e caracterizados os $^{\text{BE}}\text{SOI}$ TFETs, tem-se como segundo objetivo o estudo da operação destes transistores como biossensores, de modo a determinar se são apropriados para uso neste contexto.

O terceiro e último objetivo a ser atingido é o estudo do sinal elétrico gerado quando ocorre o acoplamento da biomolécula de interesse à superfície do biossensor, levando-se em conta as características intrínsecas de ruído do dispositivo. Para este item em particular, serão utilizados bioFETs detectando moléculas de DNA.

1.2 ESTRUTURA DO TRABALHO

O trabalho foi estruturado de forma a apresentar oito capítulos:

- a) Capítulo 1 – Introdução: apresenta a motivação histórica para o desenvolvimento desse trabalho e os objetivos estabelecidos;
- b) Capítulo 2 – Fundamentação teórica: a partir da revisão da bibliografia, apresenta os principais conceitos necessários para o desenvolvimento deste trabalho;
- c) Capítulo 3 – Materiais e métodos: descreve detalhadamente as estruturas propostas para simulação e fabricação, bem como os métodos de simulação utilizados;
- d) Capítulo 4 – Simulações da Operação do UTBB ^{BE}SOI com dopagem de fonte: através de simulações numéricas, apresenta análises preliminares a respeito do comportamento esperado do dispositivo;
- e) Capítulo 5 – Fabricação do ^{BE}SOI Túnel-FET: apresenta os métodos empregados para a fabricação do dispositivo a ser estudado;
- f) Capítulo 6 – Caracterização elétrica do ^{BE}SOI Túnel-FET: são extraídos os principais parâmetros e feitas análises de comportamento dos dispositivos fabricados, incluindo sua operação como biossensor;
- g) Capítulo 7 – Estudo sobre biossensores de DNA: relata a caracterização elétrica básica e análise de comportamento de ruído em transistores FinFET fabricados no imec, visando sua aplicação como biossensores de DNA;
- h) Capítulo 8 – Conclusões: síntese dos resultados obtidos e propostas para a sequência do trabalho

2 FUNDAMENTAÇÃO TEÓRICA

Para que seja possível a proposta de um novo dispositivo, inicialmente será realizada uma revisão das tecnologias atualmente disponíveis e que apresentam alguma relação com o tema, de forma a permitir um embasamento teórico para que se possam elaborar hipóteses a respeito do funcionamento do ^{BE}SOI TFET.

Neste capítulo, primeiramente será feita uma discussão sobre biossensores, a fim de definir melhor quais aspectos deste amplo tema serão abordados ao longo do trabalho. A seguir, será apresentada a tecnologia de silício sobre isolante, com destaque para os dispositivos que operam totalmente depletados, uma vez que este trabalho visa o uso de camadas de silício e óxido enterrado finas. Na sequência, será discutido o transistor ^{BE}SOI MOSFET, e qual o estado atual do seu desenvolvimento, de forma a entender as possíveis consequências de se utilizar a polarização da segunda interface não somente para a indução do canal, mas também para a indução de uma região de dreno. Haverá também uma revisão a respeito da operação de transistores de efeito de tunelamento, que deverá ser o principal mecanismo de condução no dispositivo proposto. Por fim, algumas técnicas de caracterização elétrica a serem empregadas neste trabalho também serão apresentadas.

2.1 BIOSSENSORES

A partir da definição da IUPAC para biossensores, surgem duas questões imediatas para que seja possível propor um biossensor: primeira, como garantir a sua seletividade ao composto bioquímico de interesse; segunda, como traduzir a concentração deste composto em termos de um sinal que possa ser mais facilmente tratado. Malhotra e Pandey (2017) justamente apresentam estas questões como definições adicionais, decompondo um biossensor em dois elementos básicos: os biorreceptores, que são componentes biológicos imobilizados responsáveis por identificar o composto de interesse; e os transdutores, que convertem o sinal bioquímico em elétrico, a partir da reação da biomolécula com o biorreceptor. Em particular, esta transdução da grandeza biológica em sinal elétrico é, na maioria dos casos, mediada por um dentre três mecanismos: ótico, piezoelétrico ou eletroquímico.

Além disso, como discutido em Malhotra e Pandey (2017), é interessante também que um biossensor seja, entre outras características: pequeno e

biocompatível, permitindo seu uso para monitoração invasiva em diagnósticos clínicos; acurado, preciso e de alta sensibilidade de forma reprodutível, com larga região linear para diferentes concentrações. Dentro dessas descrições, processos de fabricação de microeletrônica se apresentam como bons candidatos, garantindo tanto a miniaturização como alta precisão. Além disso, o uso de tecnologias de semicondutores como transdutores eletroquímicos já é bem descrito na literatura, desde a proposição inicial dos ISFETs por Bergveld (1970), até o uso de transistores avançados como FinFETs modificados para operação como biossensores, também chamados de bioFETs (SANTERMANS et al., 2020).

Sobre o mecanismo de transdução em dispositivos FET, existem duas diferentes abordagens possíveis: uma por mudança da permissividade elétrica do meio (KANUNGO, 2018); e outra por carga elétrica (DEMELAS, 2013). Apesar da diferença no mecanismo físico envolvido, ambos os métodos agem sobre a mesma variável, que é a tensão de limiar dos transistores. A partir da medida dessa variação da tensão de limiar em relação a um valor de referência, é possível estimar a concentração do composto a ser analisado, configurando dessa forma a operação como biossensor.

2.2 TECNOLOGIA SILÍCIO SOBRE ISOLANTE

Durante o processo de diminuição das dimensões dos transistores, uma das tecnologias desenvolvidas para atenuar os efeitos de canal curto (em inglês, “*Short-Channel Effects*”, ou SCE) foi a silício sobre isolante (em inglês, “*Silicon on Insulator*”, ou SOI). Na Figura 2.1 faz-se uma representação esquemática da estrutura de um transistor SOI, com indicação dos contatos elétricos externos e de algumas das suas principais dimensões físicas, a saber: L é o comprimento de porta, W é a largura de porta, t_{ox} é a espessura do óxido de porta, t_{si} é a espessura do filme de silício, t_{BOX} é a espessura do óxido enterrado (em inglês, “*Buried Oxide*”, ou BOX).

A introdução de uma camada de óxido enterrado, contanto que utilizando t_{BOX} e t_{si} adequadas, permite a redução da influência do campo elétrico de dreno nas cargas do canal em comparação com os transistores tradicionais de corpo (COLINGE, 2008), conforme ilustrado na Figura 2.2, implicando, portanto, na diminuição dos SCE.

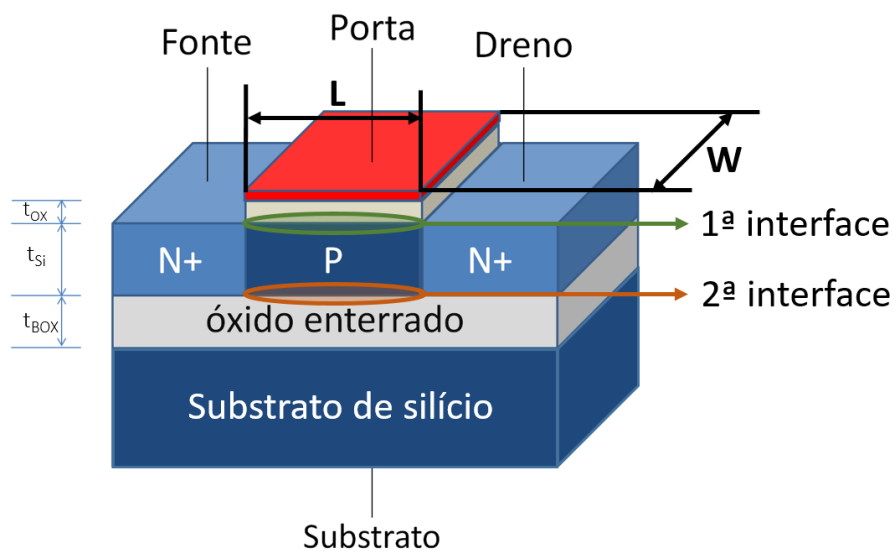


Figura 2.1 – Transistor SOI

Fonte: adaptado de Almeida (2012).

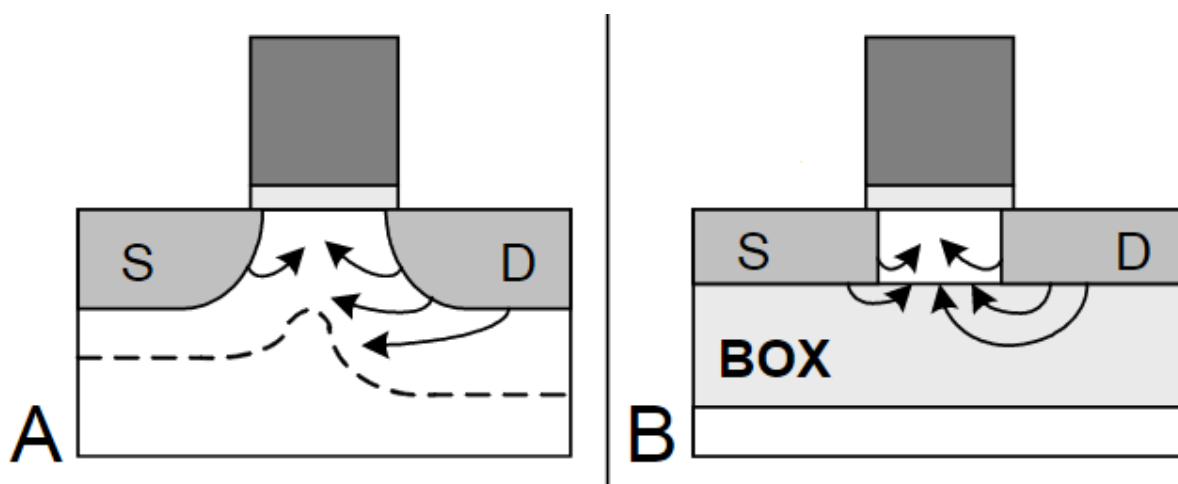


Figura 2.2 – Distribuição esquemática das linhas de campo elétrico em transistores (A) de corpo; (B) SOI.

Fonte: adaptado de Colinge, 2008.

Uma consequência da adição do óxido enterrado é a atuação do substrato como uma segunda porta para o dispositivo; assim, convencionou-se a adoção do termo primeira interface para a região entre óxido de porta e silício, e segunda interface para a região entre silício e BOX. Deve-se notar ainda que, a depender da relação entre a espessura do filme de silício e a largura da depleção da primeira interface, é possível definir duas diferentes formas de operação do dispositivo: os parcialmente depletados (PDSOI, do inglês *“Partially Depleted”*) e os totalmente depletados (em inglês, *“Fully Depleted”*, ou FDSOI). Caso a largura máxima de

depleção ($x_{d,m\acute{a}x}$), calculada a partir da dopagem e potencial de Fermi (ϕ_F) do silício (MARTINO, 2003), seja menor do que metade de t_{Si} , ele será considerado um PDSOI, e, caso seja maior do que t_{Si} , ele será um FDSOI. Existe ainda um terceiro tipo de dispositivo, os quase totalmente depletados (em inglês, “Nearly Fully Depleted”, ou NFDSOI), que se encaixa no caso intermediário, isto é, quando $x_{d,m\acute{a}x} < t_{Si} < 2x_{d,m\acute{a}x}$. Na prática, entretanto, ele pode ser compreendido como um PDSOI, caso a polarização aplicada no substrato seja insuficiente para que as depleções da primeira e segunda interface interajam, enquanto ele atuará como um FDSOI caso contrário. Destaca-se ainda que, apesar destas definições, mesmo para $x_{d,m\acute{a}x} < t_{Si}$, é possível que, caso um potencial suficientemente elevado em módulo seja aplicado ao substrato, crie-se uma fina camada de inversão ou acumulação na segunda interface; não obstante, este dispositivo não deixará de ser considerado um FDSOI. Por fim, deve-se notar que, como $x_{d,m\acute{a}x}$ está diretamente relacionada com ϕ_F , há uma correlação entre $x_{d,m\acute{a}x}$ e temperatura, é possível que um dispositivo PDSOI passe a se comportar como FDSOI e vice-versa, dependendo de condições de temperatura. Entretanto, contanto que t_{Si} seja suficientemente fino (da ordem de dezenas de nanômetros, por exemplo), é possível evitar esta dependência com a temperatura dentro de uma faixa suficientemente ampla (COLINGE, 2004).

Tendo em vista o foco deste trabalho, nos próximos itens serão estudadas mais a fundo apenas as características dos FDSOI, uma vez que, para se possibilitar o uso de uma estrutura ^{BE}SOI, é necessário que haja a interação da depleção da primeira e da segunda interface, algo que, por definição, não é possível nos PDSOI.

2.2.1 Tensão de limiar

Tradicionalmente define-se como tensão de limiar (V_T) a condição de polarização que deve ser aplicada à porta de um transistor MOS para que a formação da camada de condução entre fonte e dreno ocorra, permitindo assim a passagem de corrente. Nos transistores de corpo, primeiramente obtém-se a tensão de porta em função do potencial de superfície a partir da equação de Poisson, considerando a aproximação de depleção, ou seja, para transistores tipo n, $\rho \approx q \cdot N_a$, onde ρ é a densidade volumétrica de cargas, q é a carga fundamental e N_a é a densidade de impurezas aceitadoras. A partir desta expressão, e sabendo que, ao iniciar a inversão, o potencial de superfície deve ser $2\phi_F$, é possível obter a tensão de limiar. Para

dispositivos FDSOI é possível utilizar um processo análogo, porém, como existem neste caso duas interfaces, é necessário considerar não somente que existem duas tensões de limiar, uma para a primeira (V_{T1}) e outra para a segunda (V_{T2}) interface, mas também que cada uma destas possui relação com os potenciais da primeira (ϕ_{S1}) e segunda (ϕ_{S2}) interface devido à depleção se estender por toda camada de silício. Assim, aplicando o método descrito e como demonstrado em (COLINGE, 2004), é possível obter as relações entre tensão na porta (V_{GF}) e tensão no substrato (V_{GB}) com os potenciais das superfícies como visto em (1) e (2).

$$V_{GF} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{S1}}{C_{ox1}} \quad (1),$$

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox2}} \cdot \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}} \quad (2).$$

De forma geral, os índices 1 e 2 representam grandezas relacionadas a primeira e segunda interface, respectivamente; portanto: Φ_{MS1} é a diferença de função trabalho entre metal de porta e silício do canal, Φ_{MS2} é a diferença de função trabalho entre o substrato e silício do canal, Q_{ox1} é a densidade de carga no óxido de porta, Q_{ox2} é a densidade de carga no óxido enterrado, C_{ox1} é a capacitância do óxido de porta por unidade de área, C_{ox2} é a capacitância do óxido enterrado por unidade de área, C_{Si} é a capacitância da camada de silício por unidade de área (dada por ϵ_{Si}/t_{Si}), Q_{depl} são as cargas de depleção por unidade de área (dadas por $-q \cdot N_a \cdot t_{Si}$), Q_{S1} e Q_{S2} são as densidades de carga na primeira interface e segunda interface, respectivamente, devido à acumulação ou inversão. Deve-se destacar ainda que, caso t_{Si} seja muito fino, pode não ser possível desprezar a espessura das camadas de inversão e acumulação, que devem então ser descontadas de t_{Si} .

Assumindo que, para uma interface estar no limiar de inversão, é necessário que seu potencial seja $2\phi_F$, fica evidente de (1) e (2) que é possível estabelecer uma relação entre a tensão de limiar de uma interface com a polarização aplicada na outra. Como deduzido em Colinge (2004), tem-se que V_{T1} pode apresentar três expressões diferentes, dependendo do estado da segunda interface, como visto em (3), (4) e (5).

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (3),$$

$$V_{T1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (4),$$

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si}+C_{ox2})} (V_{GB} - V_{GB,acc}) \quad (5),$$

onde os índices $acc2$, $inv2$ e $depl2$ indicam se a segunda interface está em acumulação, inversão ou depleção, respectivamente. As consequências desta dependência da tensão de limiar de uma interface com o estado da outra na corrente total do dispositivo podem ser esquematizadas conforme apresentado na Figura 2.3.

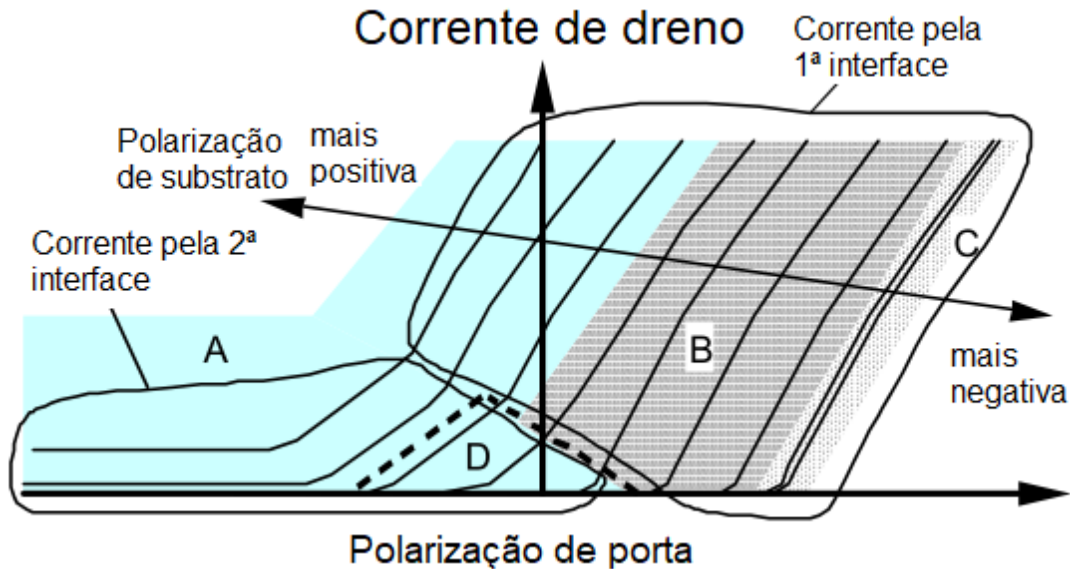


Figura 2.3 – Corrente de dreno obtida ao se variar as polarizações de porta e substrato para um dispositivo FDSOI tipo n.

Fonte: adaptado de Colinge (2004).

Para melhor compreender a Figura 2.3, existem quatro subdivisões nela, separando os diferentes efeitos que ocorrem em ambas as interfaces. Na região A, destaca-se a corrente pela segunda interface, que ocorre porque, para um V_{GB} suficientemente elevado, independentemente da tensão V_{GF} , a segunda interface estará sempre invertida, portanto, mesmo para V_{GF} muito negativo, a corrente de dreno não é desprezível. Na região B, o comportamento aproximadamente linear da corrente com a tensão de porta indica que ocorre condução pela primeira interface, de modo similar a um transistor de corpo. Conforme se reduz V_{GB} , diminui a corrente total, inicialmente pelo desligamento da segunda interface, e posteriormente devido ao aumento de V_{T1} provocado pela variação de ϕ_{S2} . A partir de uma tensão V_{GB} suficientemente negativa, ϕ_{S2} permanecerá aproximadamente fixo em zero, resultando em poucas variações de V_{T1} ; conseqüentemente, obtém-se a característica de corrente observada na região C, em que se observa pouca variação com V_{GB} . Finalmente, a região D apresenta um cenário em que nem V_{GF} , nem V_{GB} estão suficientemente elevadas em módulo de forma a garantir que ϕ_{S1} e ϕ_{S2} estejam fixos

em 0 ou $2\phi_F$. Neste caso, o aumento de V_{GF} irá diminuir V_{T2} , fazendo com que a segunda interface passe a conduzir antes que a primeira atinja a inversão.

2.2.2 Efeito de corpo

O efeito de corpo é tradicionalmente representado em dispositivos de corpo como sendo uma constante (γ) que relaciona a influência da polarização de substrato com a tensão de limiar (MARTINO, 2003). No caso dos FDSOI, obter esta constante torna-se elementar a partir das relações de tensão e potencial de superfície previamente encontradas. Utilizando as equações (1) e (2), e considerando as situações extremas de ϕ_{S2} como sendo fixas em 0 para V_{GB} suficientemente negativo e $2\phi_F$ para V_{GB} suficientemente positivo, fica evidente que a tensão de limiar da primeira interface (V_{T1}) se torna independente de V_{GB} . Portanto, a única região em que V_{GB} é capaz de afetar diretamente V_{T1} é enquanto ϕ_{S2} varia entre 0 e $2\phi_F$. Derivando (1) e (2) em função de V_{GB} e considerando que, nesta condição, não há variação nas cargas nas interfaces (ambas depletadas, com a primeira no limiar da inversão) obtém-se a equação (6).

$$\frac{dV_{T1}}{dV_{GB}} = -\frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \equiv \alpha \quad (6),$$

onde se define α como a constante linear que relaciona V_{T1} e V_{GB} , diferenciando-a do γ no caso de dispositivos de corpo, uma vez que a última não se refere a uma relação linear.

Uma interpretação para esta constante α pode ser dada a partir análise das capacitâncias vistas a partir da primeira interface, onde se forma a camada de inversão. Uma representação do arranjo de capacitâncias e interfaces é apresentado na Figura 2.4. Dessa forma, entre primeira interface e substrato existe a associação em série das capacitâncias C_{Si} e C_{ox2} , enquanto entre porta e primeira interface existe a capacitância C_{ox1} . Ao se variar V_{GB} , ocorre uma variação nas cargas de inversão através do capacitor $C_{Si} // C_{ox2}$; por outro lado, essa variação nas cargas implica em uma necessidade de alteração em V_{GF} para se atingir o limiar, levando em consideração C_{ox1} , o que resulta na constante α , obtida diretamente das capacitâncias.

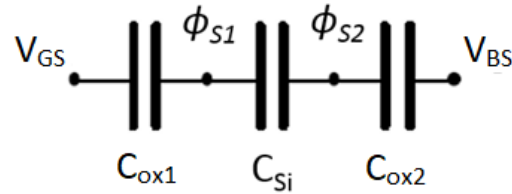


Figura 2.4 – Relação de capacitâncias entre porta e substrato em um dispositivo FDSOI.

2.3 OS TRANSISTORES ^{BE}SOI

Como inicialmente proposto, conforme patente submetida em 2015 e concedida em 2023 (Martino e Rangel, 2023) e publicado por Rangel (2015) a principal diferença do ^{BE}SOI em relação ao SOI MOSFET em sua fabricação é a ausência das etapas de dopagem de fonte e dreno. Um exemplo esquemático deste transistor é apresentado na Figura 2.5. Um cuidado especial com ^{BE}SOI MOSFET precisa ser tomado com relação ao contato entre o eletrodo de fonte/dreno e o canal de silício para que tanto elétrons como lacunas possam fluir adequadamente.

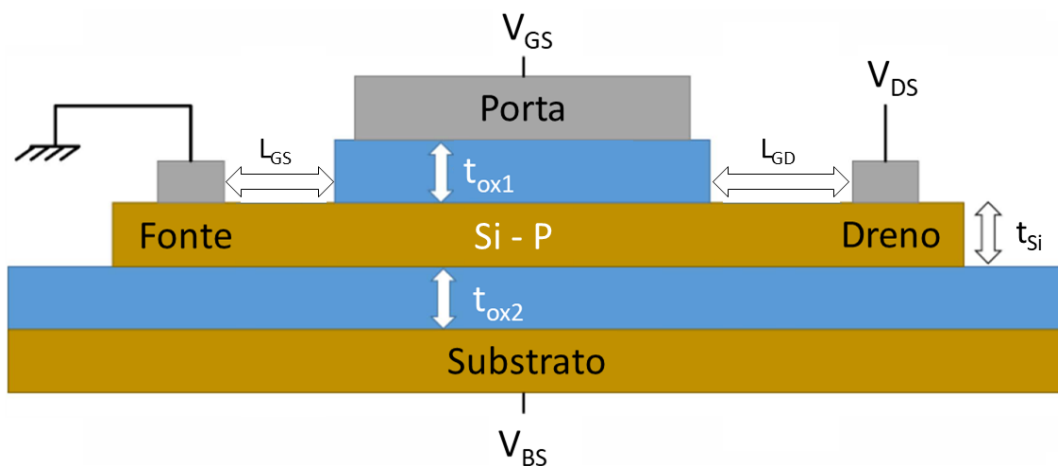


Figura 2.5 – Representação esquemática do ^{BE}SOI MOSFET

Fonte: adaptado de Rangel (2015).

Além das dimensões previamente definidas para transistores SOI, duas novas distâncias são apresentadas na Figura 2.5: a distância entre porta e contato de fonte (L_{GS}), e entre porta e contato de dreno (L_{GD}). Diferentemente de outros transistores sem junção (COLINGE, 2009), este dispositivo planar utiliza a polarização de substrato para gerar um canal contínuo de portadores entre os contatos externos de fonte e dreno ao invés de uma alta dopagem ao longo do dispositivo, isto é, toda a extensão entre contatos de fonte e dreno apresenta apenas a baixa dopagem natural da lâmina ($N_a \approx 10^{15} \text{ cm}^{-3}$). Uma importante vantagem obtida com este processo é a possibilidade de, como demonstrado por Yojo (2018), fazer com que este canal seja

tanto de lacunas (aplicando-se V_{GB} suficientemente negativo) como de elétrons (caso V_{GB} seja suficientemente positivo), ou seja, um mesmo ^{BE}SOI MOSFET pode ser eletricamente reconfigurado para atuar como transistor tipo p ou n, criando uma ampla possibilidade de usos. Para melhor entender a operação deste transistor, quatro diferentes condições de polarização são estudadas mais detalhadamente a partir dos diagramas de bandas vistos a partir de um corte ao longo do canal, junto à segunda interface, como apresentado na Figura 2.6.

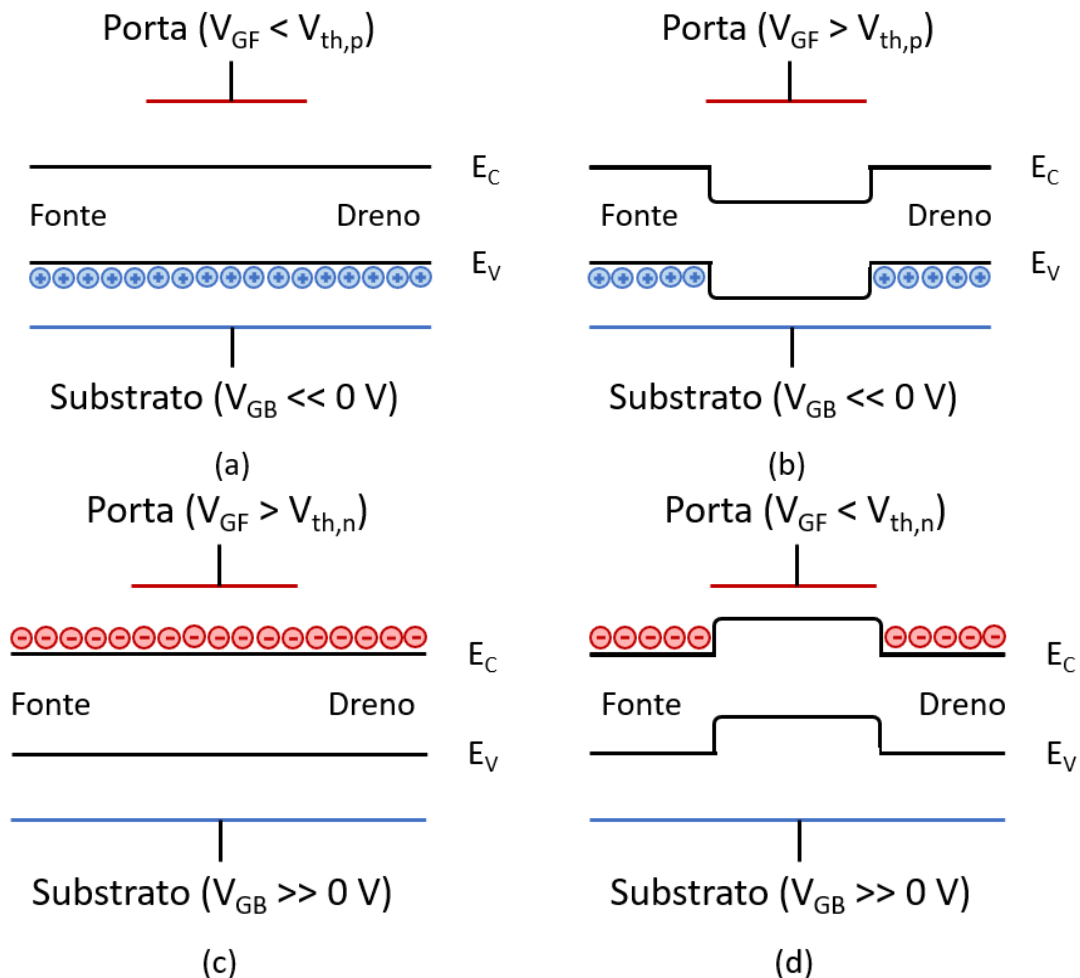


Figura 2.6 – Diagrama de bandas do ^{BE}SOI MOSFET operando como tipo p conduzindo (a), e cortado (b). Tipo n conduzindo (c), e cortado (d).

Fonte: adaptado de Rangel (2015).

Inicialmente, considera-se a situação em que é aplicada uma tensão fortemente negativa ao substrato, de forma a garantir que a segunda interface esteja em acumulação, e assume-se que V_{GF} seja suficiente para manter a primeira interface também acumulada (Figura 2.6(a)). Nesta condição $\phi_{s1} \approx 0$ V e $\phi_{s2} \approx 0$ V; portanto, variações em V_{GF} , contanto que não alterem a condição da primeira interface, permitem a passagem de corrente entre fonte e dreno. Entretanto, como pode ser

observado da equação (2), para que ϕ_{S2} seja mantido em 0 V enquanto ϕ_{S1} aumenta, é necessário diminuir a tensão aplicada no substrato. Isto significa que, a partir de um dado ponto enquanto se aumenta V_{GF} , a região da segunda interface sob efeito de V_{GF} deixa de estar acumulada e surge uma barreira de potencial (Figura 2.6(b)), pois a tensão V_{GB} necessária para mantê-la acumulada passa a ser mais negativa do que aquela inicialmente aplicada, suposta constante. Assim, para este dispositivo operando como um transistor tipo p, considerando que seu uso seja com V_{GB} fixo e V_{GF} variando, pode-se definir uma única tensão de limiar ($V_{T,p}$), referente à porta, a partir das equações (1) e (2), considerando $\phi_{S2} \approx 0$ V. Nota-se que, neste caso, haverá dependência entre o valor de V_{GB} adotado e $V_{T,p}$; entretanto, como a condução se dá pela segunda interface neste dispositivo, o efeito de corpo resultante será diferente do obtido em (6), pois a associação de capacitâncias é dada a partir da segunda interface. Como demonstrado por Yojo (2018), pode-se deduzir de (1) e (2) que para o ^{BE}SOI é válida a equação (7).

$$\alpha = -\frac{dV_{T,p}}{dV_{GB}} = \frac{C_{ox2}}{\left(\frac{1}{C_{ox1}} + \frac{1}{C_{Si}}\right)^{-1}} \quad (7).$$

Analogamente, quando se aplica V_{GB} suficientemente positivo, de modo a assegurar a inversão na segunda interface, e considerando V_{GF} que garanta a inversão da primeira interface, o potencial de ambas as interfaces permanece aproximadamente fixo em $2\phi_F$ e há um canal direto de elétrons entre fonte e dreno (Figura 2.6(c)). Ao reduzir V_{GF} , atinge-se o ponto em que a primeira interface deixa de estar em inversão; a partir de então, variações em V_{GF} afetam de forma inversamente proporcional a tensão de limiar da segunda interface até que a primeira interface entre em acumulação. Assim, reduzir V_{GF} fará com que a segunda interface entre em depleção na região sob a porta, cortando o canal e criando uma barreira de potencial, eliminando, portanto, a corrente, como indicado na Figura 2.6(d). Novamente é possível definir uma única tensão de limiar para o dispositivo quando operando como tipo n ($V_{T,n}$), considerando que V_{GB} será mantido fixo e V_{GF} será variado, bastando adotar $\phi_{S2} \approx 2\phi_F$ em (1) e (2). Como no caso do dispositivo tipo p, haverá dependência entre $V_{T,n}$ e V_{GB} , e, como a condução se dá primariamente pela segunda interface, ocorre um efeito de corpo similar, o que resultará na mesma expressão de α obtida em (7).

2.4 TRANSISTORES DE TUNELAMENTO POR EFEITO DE CAMPO

O efeito de tunelamento quântico, apesar de inicialmente considerado indesejável, por permitir que cargas confinadas dentro de um poço de potencial sejam capazes de escapar, passou a ser considerado como um possível mecanismo central de condução para transistores avançados, uma vez que permite, em teoria, a obtenção de uma inclinação de sublimiar inferior ao limite de 60 mV/dec dos MOSFETs tradicionais. Assim, será feita uma breve revisão sobre o efeito em si, e em seguida será apresentada a forma como ele é manipulado dentro de dispositivos semicondutores.

2.4.1 Tunelamento

Dos conceitos de mecânica quântica, sabe-se que, para uma partícula dentro da escala atômica, é impossível realizar uma medida absolutamente precisa de sua posição e momento linear simultaneamente. Esta noção vem diretamente do princípio da incerteza de Heisenberg (STREETMAN, 2009), e conseqüentemente, usa-se uma abordagem estatística, avaliando-se as funções de densidade de probabilidade e seus valores esperados para descrever a posição de um elétron, por exemplo. Baseado na abordagem de Streetman, serão utilizados três postulados: (I) um sistema quântico pode ser descrito por uma função de onda $\Psi(x, y, z, t)$ de valores complexos, e, assim como suas derivadas espaciais, contínua e finita; (II) para estabelecer uma relação com as grandezas clássicas de momento linear e energia, utilizam-se os operadores $\frac{\hbar}{j} \frac{\partial}{\partial x}$ e $-\frac{\hbar}{j} \frac{\partial}{\partial t}$, respectivamente (alternando as dimensões adequadamente), sendo \hbar a constante de Planck reduzida e $j^2 = -1$; (III) a probabilidade de encontrar uma partícula de função Ψ em um dado volume $dx dy dz$ é $\Psi^* \Psi dx dy dz$, sendo esta probabilidade normalizada de forma que

$$\int_{-\infty}^{\infty} \Psi^* \Psi dx dy dz = 1 \quad (8),$$

e, além disso, o valor médio de uma variável Q , representado por $\langle Q \rangle$ e de operador Q_{op} definido no postulado (II) será dado por

$$\langle Q \rangle = \int_{-\infty}^{\infty} \Psi^* Q_{op} \Psi dx dy dz \quad (9).$$

A partir destes postulados, é possível reescrever a equação clássica de energia de uma partícula (dada por $\frac{1}{2m}p^2 + V = E$, isto é energia cinética mais potencial é igual a energia total, onde m é a massa da partícula, p seu momento linear, V a sua energia potencial e E a sua energia total) em termos quânticos, obtendo-se assim a equação de Schrödinger em três dimensões (utilizando a notação $\nabla^2\Psi = \frac{\partial^2\Psi}{\partial x^2} + \frac{\partial^2\Psi}{\partial y^2} + \frac{\partial^2\Psi}{\partial z^2}$)

$$-\frac{\hbar}{2m}\nabla^2\Psi + V\Psi = -\frac{\hbar}{j}\frac{\partial\Psi}{\partial t} \quad (10).$$

Nota-se que a função de onda é definida como espacialmente e temporalmente dependente ao mesmo tempo. Para fins de análise, é interessante realizar a separação destas variáveis; assim, assumindo que não haja relação entre elas, e, considerando o caso unidimensional, pode-se escrever $\Psi(x, t) = \psi(x) \cdot \phi(t)$. Portanto, pode-se separar (10) em uma equação temporalmente dependente (11) e espacialmente dependente (12), utilizando-se a constante de separação E para representar a energia da partícula para soluções particulares.

$$\frac{d\phi(t)}{dt} + \frac{jE}{\hbar}\phi(t) = 0 \quad (11),$$

$$\frac{d^2\psi(x)}{dx^2} + \frac{2m}{\hbar^2}(E - V(x))\psi(x) = 0 \quad (12).$$

A partir de (12), busca-se definir o que acontece com uma partícula quando confinada dentro de um poço de potencial finito, isto é, definir a forma da sua função densidade de probabilidade, dada por $|\psi|^2$, assumindo-se as seguintes condições: $V(x < 0) = 0$ (região I), $V(0 \leq x \leq L) = V_0$ (região II), e $V(x > L) = 0$ (região III), e que a energia média da partícula seja $E < V_0$. Para melhor visualizar este problema, o potencial em função da posição é esboçado na Figura 2.7(a).

A partir de (12) e considerando os valores de $V(x)$ impostos, verifica-se que a solução para a equação de onda em cada uma das regiões é dada por

$$\psi_I(x) = Ae^{+ik_n x} + Be^{-ik_n x} \quad (13),$$

$$\psi_{II}(x) = Ce^{+\beta_n x} + De^{-\beta_n x} \quad (14),$$

$$\psi_{III}(x) = Fe^{+ik_n x} + Ge^{-ik_n x} \quad (15),$$

onde $k_n = \sqrt{2mE}/\hbar$ é o número de onda e $\beta = \sqrt{2m(V_0 - E)}/\hbar$ é um número real, uma vez que, por hipótese, $V_0 > E$.

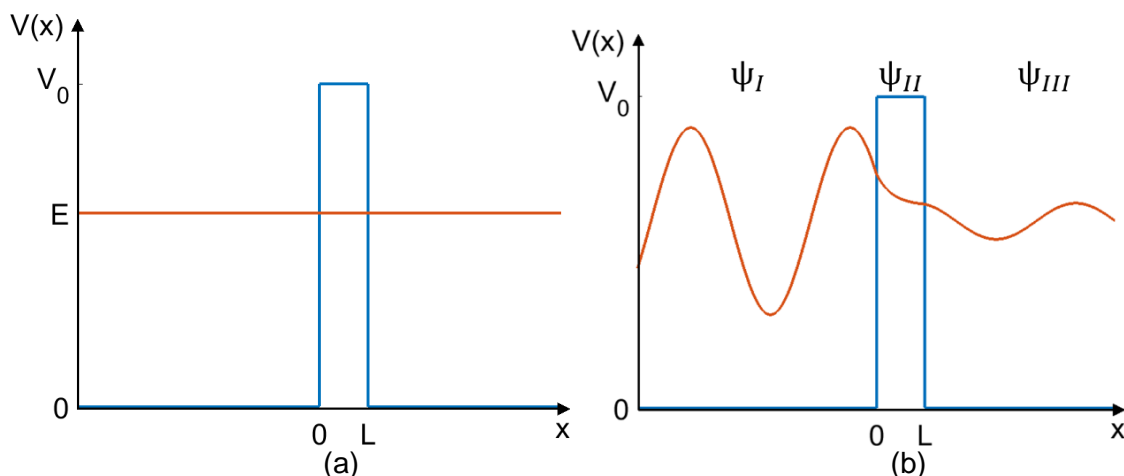


Figura 2.7 – Esboço da situação com barreira de potencial (a) representando energia média da partícula; (b) solução da equação de onda.

Além destes parâmetros, são introduzidas também as constantes A, B, C, D, F e G, relacionadas às intensidades de cada onda. Particularmente, considerando a movimentação no sentido crescente de x , sabe-se que a onda na região I possui uma componente incidente e uma refletida, representadas por $Ae^{+ik_n x}$ e $Be^{-ik_n x}$, respectivamente. Por outro lado, na região III, não há reflexão; conseqüentemente, não há onda se propagando no sentido negativo, e, portanto, $G = 0$. Além disso, verifica-se que, na região II, o comportamento da função de onda é de uma exponencial decrescente, amortecida pelo parâmetro β_n .

Finalmente, a partir das condições de contorno (continuidade de ψ e de sua primeira derivada nas interfaces), é possível determinar o coeficiente de transmissão T , isto é, a probabilidade de que a partícula incidente de um lado da barreira seja capaz de transpô-la. Como calculado em Griffiths (2004), utilizando as hipóteses aqui apresentadas, este coeficiente é dado por

$$T = \frac{1}{1 + \frac{V_0^2 \sinh^2(\beta L_b)}{4E(V_0 - E)}} \quad (16).$$

Portanto, como pode ser verificado de (16), mesmo para $E < V_0$, existe uma probabilidade não-nula de que uma partícula, ao encontrar uma barreira de potencial, seja capaz de atravessá-la, dependendo exponencialmente da espessura desta barreira (L_b) e inversamente da sua altura (V_0). A este efeito de transmissão de uma partícula através de uma barreira de potencial classicamente intransponível, dá-se o nome de tunelamento quântico.

2.4.2 Fundamentos de semicondutores

Resumindo o que é apresentado em Streetman (2009) para encaixar-se ao escopo deste trabalho, tem-se da teoria quântica que, no nível atômico, a energia não é descrita de forma contínua, mas sim quantizada, isto é, apresentando níveis discretos. Como consequência, tem-se que os elétrons ocupam orbitais bem determinados ao redor do núcleo dos átomos, sendo necessárias quantidades discretas de energia para fazer com que os elétrons saltem de um nível orbital menos a um mais energético. Ao construir um cristal composto por diversos átomos, a princípio ocorreria a sobreposição destes níveis discretos; entretanto, devido ao princípio de exclusão de Pauli, dois elétrons não podem possuir exatamente o mesmo estado quântico. Consequentemente, ao se juntar a grande quantidade de átomos necessária para compor um cristal, observa-se uma distribuição efetivamente contínua de estados que podem ser ocupados por elétrons, de modo a garantir que não ocorra uma sobreposição de estados quânticos. Por definição, em materiais semicondutores há uma separação energética clara entre as bandas de condução e de valência, conhecida como banda proibida. A temperatura de 0 K, todos os elétrons permanecem idealmente na banda de valência; contudo, ao aumentar a temperatura, energia é fornecida a estes elétrons, fazendo com que alguns tenham energia suficiente para atravessar a banda proibida. Ao fazer isto, tem-se o que é conhecido como geração de um par elétron-lacuna, ou seja, uma carga negativa passa a estar disponível na banda de condução, enquanto uma lacuna se forma na banda de valência. Nota-se que esta lacuna poderá ser preenchida por outro elétron da banda de valência, o qual deixará também uma lacuna no espaço antes ocupado por ele. Caso seja aplicado um campo elétrico neste material, haverá o movimento ordenado desta lacuna da região de maior potencial para a de menor potencial, fazendo, portanto, que ela seja considerada como uma carga positiva livre para se deslocar pelo cristal, análoga à carga livre negativa disponível na banda de valência. Portanto, à temperatura ambiente, um semicondutor possui alguns portadores de carga livres para que ele seja capaz de conduzir uma pequena corrente elétrica caso seja aplicada uma diferença de potencial elétrico nele.

Para se aumentar esta corrente em materiais semicondutores, um procedimento comum é dopá-lo, isto é, acrescentar materiais aceitadores (com três elétrons na banda de valência) ou doadores (com cinco elétrons na banda de valência)

à rede cristalina. Ao fazer isto, ocorre um aumento no número de cargas totais disponíveis para condução (lacunas no caso de materiais aceitadores e elétrons no caso de materiais doadores), efetivamente aumentando a condutividade do material, e conseqüentemente deslocando o nível energético médio dos portadores (também conhecido como nível de Fermi, E_F). Tradicionalmente, ao dopar com materiais aceitadores, diz-se que o semiconductor é tipo p, enquanto que para a dopagem com materiais doadores, diz-se que o semiconductor é tipo n. Em um semiconductor não dopado, este nível médio encontra-se no centro da banda proibida, pois há tantos portadores negativos na banda de condução quanto positivos na banda de valência. Entretanto, ao acrescentar um excesso de portadores de um tipo ou de outro devido ao processo de dopagem, ocorre o deslocamento deste nível energético, expressado em termos de potencial como o potencial de Fermi (ϕ_F), conforme ilustrado na Figura 2.8.

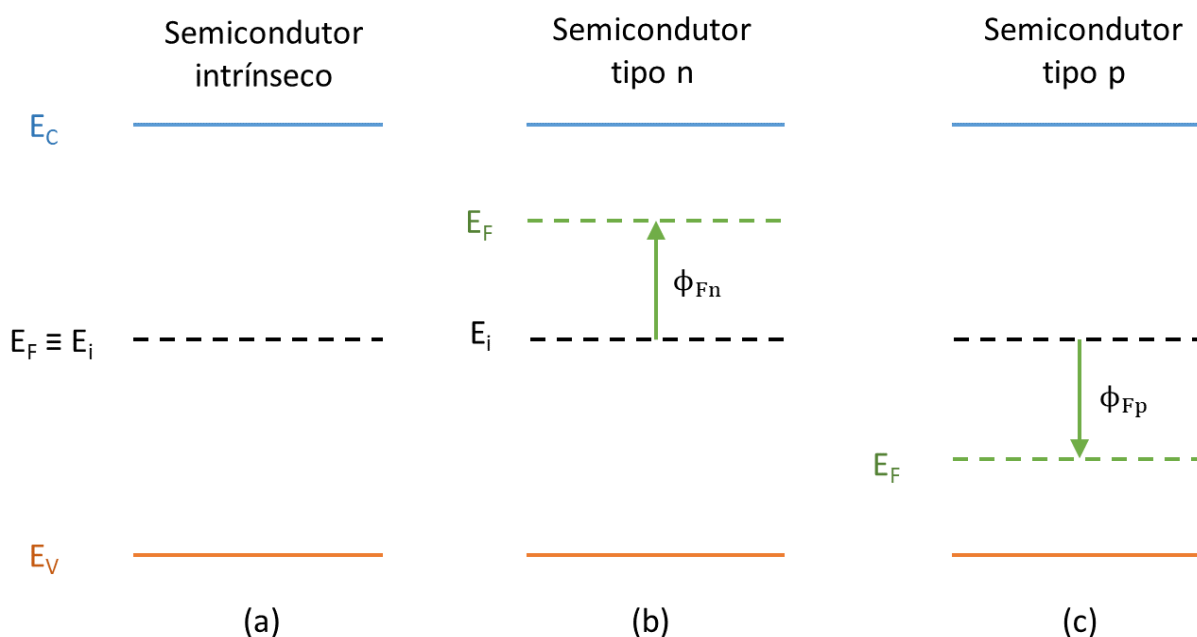


Figura 2.8 – Diagrama de bandas de material semiconductor (a) intrínseco; (b) tipo n; (c) tipo p.

2.4.3 Princípio de operação do transistor de tunelamento

Primeiramente, define-se a estrutura tradicional do TFET como composta por duas regiões com dopagens opostas (ou seja, uma tipo n e outra tipo p), chamadas de fonte e dreno (qual a relação entre estes nomes e o tipo da dopagem será discutida

adiante), separadas por uma região de semiconductor intrínseco (ou de baixa dopagem). Sobre a região intrínseca é crescido um óxido isolante e posteriormente é depositado um metal para agir como eletrodo de porta. A partir desta descrição, tem-se a estrutura apresentada na Figura 2.9(a). Uma alternativa muito empregada na fabricação dos TFETs é o uso de uma região de subposição, L_{UD} , isto é, uma região de silício intrínseco que não é coberta pelo metal de porta, como apresentado na Figura 2.9(b).

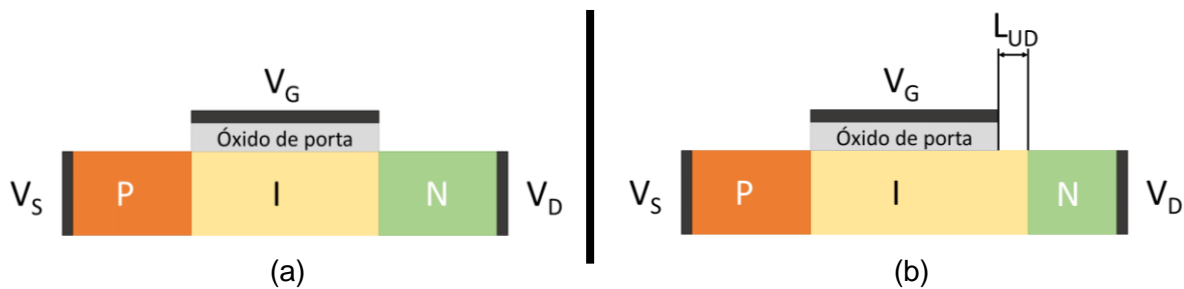


Figura 2.9 – Estrutura de um transistor TFET (a) simétrico; (b) com subposição de dreno.

Para compreender a operação deste dispositivo em função das tensões aplicadas na porta, assume-se que a tensão de fonte (V_S) seja o referencial ($V_S = 0$ V), e que a tensão de dreno (V_D) seja positiva. Neste cenário, desprezando inicialmente a diferença de função entre metal de porta e semiconductor, e considerando que a tensão de porta (V_G) seja suficientemente baixa, não será observada uma corrente expressiva, pois o mecanismo predominante de geração de portadores no canal será o Shockley-Read-Hall (SRH). Este mecanismo independe do campo elétrico, mas possui uma forte dependência com a temperatura (AGOPIAN, 2012), uma vez que está relacionado à transmissão tanto direta como indireta (isto é, com o auxílio de defeitos da rede cristalina ou impurezas que criam níveis energéticos intermediários na banda proibida) de elétrons entre bandas (STREETMAN, 2009) em um sentido do nível menos para o mais energético no diagrama de bandas.

Entretanto, ao se aplicar um V_G suficientemente positivo, ocorre o deslocamento das bandas na região do canal para um nível energético inferior, conforme ilustrado na Figura 2.10(b). Este deslocamento das bandas faz com que surja um excesso de elétrons junto à interface abaixo do contato de porta, efetivamente estendendo a região tipo n até a junção de fonte. Nesta junção, classicamente não haveria corrente, uma vez que o potencial aplicado na porta age no sentido de aumentar a barreira existente entre o canal de portadores e a fonte, evitando o trânsito livre de portadores ao longo das bandas de condução e valência.

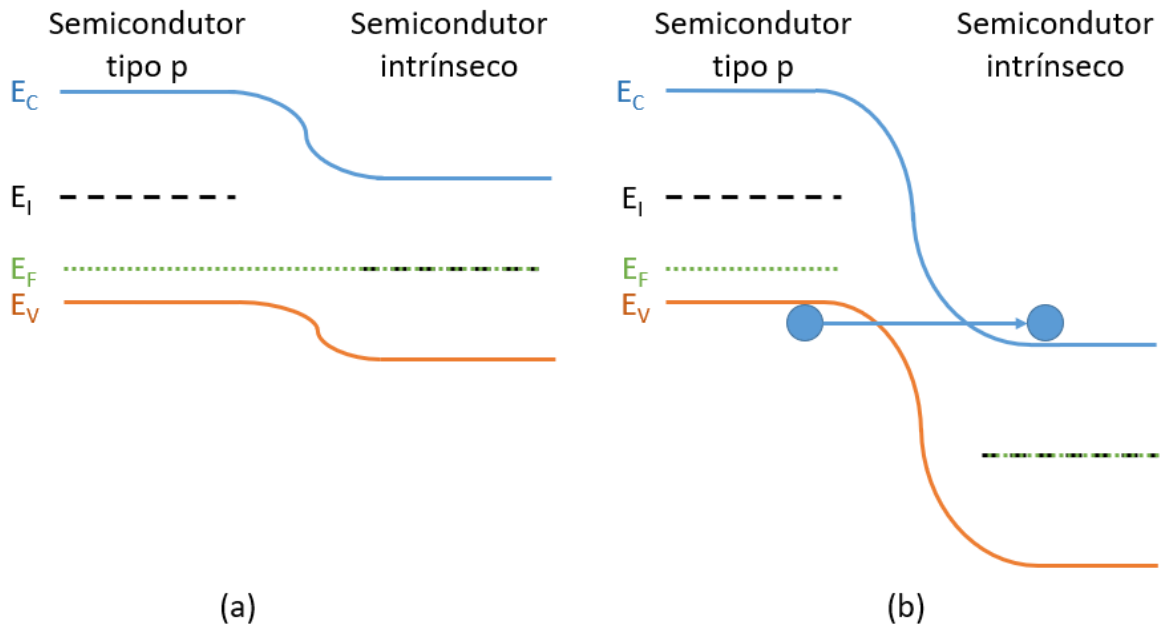


Figura 2.10 – Diagrama de bandas na junção entre região tipo p e canal (a) sem polarização positiva de porta (b) com polarização de porta elevada.

Entretanto, apesar do aumento na altura, nesta região ocorre também o afinamento da barreira entre bandas, e, como descrito por (16), existe uma relação exponencial entre probabilidade de transmissão e espessura. Assim, lembrando que a movimentação das lacunas na fonte se deve ao deslocamento de elétrons no sentido oposto através da camada de valência, é possível ocorrer o tunelamento de elétrons da valência na região tipo p para a condução na região do canal como indicado na Figura 2.10(b), permitindo, portanto, a existência de uma corrente de dreno. Este mecanismo de condução é conhecido como tunelamento de banda para banda, BTBT (do inglês, “*band-to-band tunneling*”). Deve-se destacar ainda que, para materiais como o silício, em que o tunelamento indireto predomina (AGOPIAN, 2018), em níveis intermediários de tensão de porta, ocorre o chamado tunelamento assistido por armadilhas (TAT, do inglês, “*trap assisted tunneling*”), ou seja, a existência de níveis energéticos dentro da banda proibida, chamados de armadilhas, permite que portadores transitem entre bandas com menos energia. Apesar de assemelhar-se ao SRH, o TAT é favorecido pelo campo elétrico, uma vez que leva em consideração caminhos de tunelamento que não sejam necessariamente no sentido de menos para mais energia em uma posição constante no diagrama de bandas (SCHENK, 1992).

Deve-se notar ainda que, devido à simetria deste dispositivo, para a mesma condição de polarização de dreno, mas com uma polarização negativa de porta, pode haver uma corrente de dreno também, com o tunelamento de portadores ocorrendo agora na junção do tipo n, uma vez que ocorre um deslocamento das bandas análogo

porém invertido em relação ao caso anterior. Esse fenômeno de operação para tensões de porta tanto positivas como negativas é conhecido como efeito ambipolar, sendo a princípio uma característica indesejada na operação destes dispositivos. Uma proposta convencional para contornar esse problema é o uso de uma região de subposição (do inglês, "*underlap*") entre dreno e porta (VERHULST, 2007), isto é, uma região sem dopagem intencional e de comprimento L_{UD} , como representado na Figura 2.9(b). Ao se criar essa região, aumenta-se a espessura da barreira de potencial, resultando em uma forte redução da corrente em um dos sentidos do potencial de porta, sem afetar significativamente a corrente no outro sentido.

3 MATERIAIS E MÉTODOS

Primeiramente, define-se o transistor a ser utilizado ao longo deste trabalho como sendo baseado em uma estrutura SOI com camadas de silício e óxido enterrado ultrafinas, também conhecido como UTBB SOI (em inglês, “*Ultra-Thin Body and Buried oxide*”). Além disso, considera-se a aplicação de uma dopagem assimétrica e auto alinhada com a porta deste dispositivo para a região de fonte, enquanto a região de dreno terá apenas a dopagem natural da lâmina. Uma representação esquemática do UTBB ^{BE}SOI MOSFET é apresentada na Figura 3.1

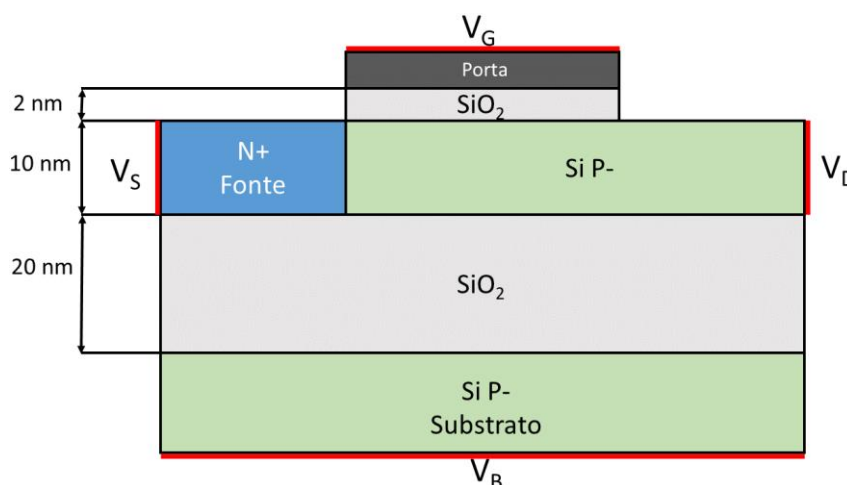


Figura 3.1 – Estrutura esquemática do transistor proposto somente com dopagem de fonte.

Fonte: adaptado de Mori (2019a).

A fim de avaliar o modo de funcionamento deste dispositivo, tanto simulações numéricas como medidas experimentais feitas nos transistores fabricados ao longo deste trabalho serão executadas. Para as simulações, serão utilizadas as ferramentas do “*Technology Computer-Aided Design*” (TCAD) da Synopsys, como o Sentaurus Device e Sentaurus Structure Editor, enquanto as etapas experimentais serão realizadas utilizando a infraestrutura do Laboratório de Sistemas Integráveis da Universidade de São Paulo, contando com uma sala limpa para a fabricação de dispositivos e com equipamentos de caracterização elétrica de dispositivos semicondutores como o B1500 da Keysight.

3.1 AMBIENTE DE SIMULAÇÕES NUMÉRICAS

O TCAD da Synopsys oferece diversas ferramentas que permitem realizar simulações desde os processos de fabricação, até caracterização elétrica das estruturas simuladas. Além disso, há também a possibilidade de encadear todos os

processos através do Sentaurus Workbench, de tal forma que em uma única plataforma se simula todo o processo de fabricação e caracterização de um dispositivo.

Inicialmente, para verificar o funcionamento de uma versão idealizada do dispositivo, um modelo é construído através do Sentaurus Structure Editor, no qual é possível descrever geometricamente as diferentes partes da estrutura. Além de definir os contornos do dispositivo e os diferentes materiais empregados, faz-se ainda neste programa a definição de uma grade para que seja possível a sua simulação elétrica, que é feita no Sentaurus Device. Nesta ferramenta, são definidas todas as condições de contorno, modelos físicos e parâmetros de ajuste a serem empregados durante as simulações, sendo necessário obter-se um equilíbrio entre complexidade da simulação e impacto efetivo dos modelos utilizados; ou seja, apesar de sempre ser possível o uso de modelos mais completos no sentido físico, dependendo das condições de polarização e dimensões do dispositivo, pode ser mais interessante o uso de modelos mais simples, mas que apresentam resultados numéricos similares a um custo computacional expressivamente menor. Dentro dessa mentalidade, em uma primeira abordagem, afora os modelos básicos do simulador, foram acrescentados apenas modelos que simulassem os principais efeitos quânticos na interface entre fonte e canal, ou seja, o tunelamento assistido por armadilhas e o tunelamento direto entre bandas, descritos a seguir de acordo com a abordagem do manual da Synopsys (2016).

Uma forma de modelar o TAT no Sentaurus Device é entendê-lo como sendo uma variante dos efeitos de recombinação como descritos pelo modelo Shockley-Read-Hall, sintetizados por

$$R_{net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p \left(n + n_{i,eff} \cdot \exp\left(\frac{E_{trap}}{kT}\right) \right) + \tau_n \left(p + n_{i,eff} \cdot \exp\left(-\frac{E_{trap}}{kT}\right) \right)} \quad (17),$$

sendo R_{net}^{SRH} a taxa de recombinação líquida do modelo SRH, n e p as densidades volumétricas de portadores tipo n e p , respectivamente, $n_{i,eff}$ a densidade volumétrica efetiva de portadores livres no semiconductor intrínseco, τ_p e τ_n os tempos de vida dos portadores tipo p e n , respectivamente, E_{trap} a diferença energética entre nível do defeito e nível intrínseco, k a constante de Boltzmann, e T a temperatura.

Para implementar de fato o TAT através do modelo apresentado em (17), deve-se levar em conta o efeito do campo elétrico na taxa de recombinação, o que pode ser

feito através do modelo de Hurkx para o TAT, sendo obtido ao se dividir o tempo de vida dos portadores por um fator $(1 + \Gamma_{tat})$, com Γ_{tat} dado por

$$\Gamma_{tat} = \int_0^{\tilde{E}_n} \exp\left(u - \frac{2E_0\sqrt{u^3}}{3E}\right) du \quad (18),$$

sendo E o campo elétrico, E_0 uma grandeza dependente da massa de tunelamento dos portadores e da temperatura, e \tilde{E}_n calculado a partir da temperatura, energia do bandgap e E_{trap} . Uma vantagem para este modelo é a facilidade do seu ajuste a partir de um único parâmetro, a massa de tunelamento, permitindo dessa forma obter de forma eficiente aproximações de primeira ordem deste efeito.

Para a modelagem do BTBT, é utilizado um modelo não-local, isto é, o caminho do portador não é determinado ponto a ponto através da grade pré-definida durante a definição do dispositivo, mas sim utilizando uma grade secundária, uma vez que o tunelamento direto entre bandas resultará em um deslocamento de portadores que não necessariamente seguirá a lei da continuidade entre nós. Particularmente, no caso do modelo adotado no Sentaurus Device, esta grade exclusivamente considerada para o tunelamento é determinada dinamicamente, baseada em um conjunto de pressupostos, descritos a seguir: o caminho de tunelamento inicia-se na banda de valência de uma região onde o modelo está ativo; este caminho é uma linha reta e de direção oposta ao gradiente da banda de valência da posição inicial; a energia de tunelamento é igual a energia da banda de valência da posição inicial e é igual a energia da banda de condução mais o deslocamento de banda na posição final; se o caminho encontrar com uma interface semiconductor-isolante, ele sofre reflexão especular; e o caminho se encerra na banda de condução. A partir destes pressupostos e das expressões que descrevem as taxas líquidas de recombinação de lacunas e elétrons no início e fim do caminho de tunelamento, respectivamente, obtém-se o valor total de portadores gerados em função do BTBT. No limite do campo elétrico uniforme, contudo, as expressões complexas utilizadas para obter as taxas de recombinação podem ser simplificadas para o modelo de Kane

$$R_{net}^{BTBT} = A \left(\frac{E}{E_0}\right)^P \exp\left(\frac{B}{E}\right) \quad (19),$$

sendo E o campo elétrico, $E_0 = 1$ V/cm, P um fator de ajuste que diferencia processos de tunelamento direto e assistido por fônons, A e B constantes que podem tanto ser fornecidas diretamente como parâmetros de entrada, como também podem ser calculadas a partir das massas efetivas dos portadores nas camadas de valência e

condução, um fator de degeneração e a razão entre um potencial de deformação e a densidade de massa.

Contudo, apesar da similaridade entre a equação (19) e modelos mais simplificados também oferecidos pelo Sentaurus Device para a simulação do BTBT, deve-se notar que nenhum destes outros modelos mais simples leva em consideração o caminho de tunelamento, simplesmente calculando as taxas de recombinação nas regiões próximas às interfaces, o que potencialmente resulta em uma superestimação do efeito de tunelamento, e conseqüentemente em uma maior corrente total.

3.2 TÉCNICAS DE CARACTERIZAÇÃO ELÉTRICA

Após a fabricação dos dispositivos, a partir das suas medidas de corrente e tensão, por exemplo, alguns parâmetros de mérito podem ser extraídos de forma a determinar o seu modo de operação. Aqui serão abordadas as formas de se obter os parâmetros a serem estudados ao longo do trabalho, como por exemplo a espessura do óxido de porta.

3.2.1 Espessura de óxido

Para a caracterização de um processo, utilizam-se muitas vezes estruturas mais simples do que o transistor MOS, de modo a permitir a investigação separada de certos parâmetros. Uma destas estruturas é o capacitor MOS, que permite obter valores de certas características físicas do dispositivo físico, como por exemplo a espessura de óxido. Para obtê-la, inicialmente é feita uma medida de capacitância em função da tensão aplicada ao capacitor, como indicado na Figura 3.2 (MARTINO, 2003).

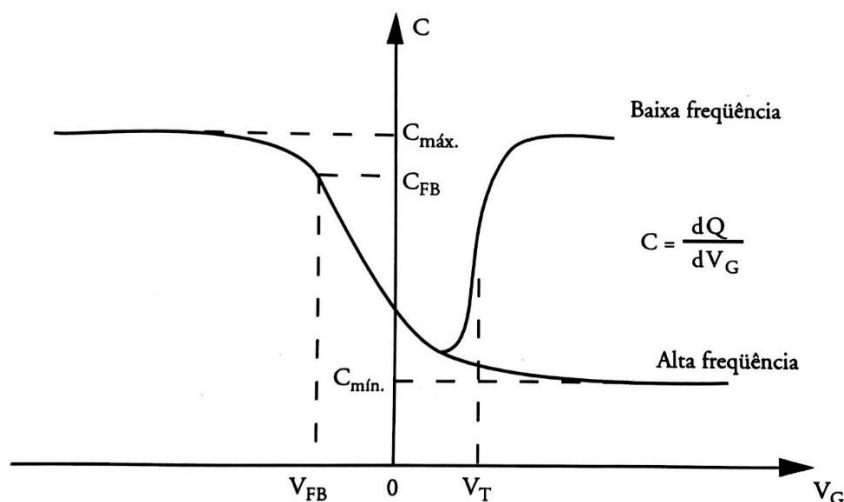


Figura 3.2 – Curva de capacitância versus tensão no capacitor MOS.

Fonte: Martino (2003).

Dois comportamentos distintos podem ser observados em torno da tensão de limiar, dependendo da frequência da medida. Resumidamente, em baixa frequência, há tempo para que portadores minoritários sejam gerados, fazendo com que variações de tensão no metal sejam correspondidas pelas cargas de inversão. Considerando que, nesta análise, capacitância do óxido esteja em série com a associação paralelo de capacitâncias das camadas de inversão e depleção, e, como a espessura de inversão é extremamente fina (da ordem de poucos nanômetros), pode-se considerar que a capacitância inversão é muito maior e predomina na associação paralelo, e por sua vez, na associação série de capacitâncias, faz com que a capacitância de óxido predomine, retornando ao valor observado quando o dispositivo estava em acumulação. Por outro lado, em altas frequências, somente cargas majoritárias tem tempo de responder a variações de tensão sobre o metal, resultando em uma alteração somente das cargas de depleção. Como consequência, a capacitância medida neste caso será reduzida, pois prevalecerá a associação série entre capacitâncias de óxido e de depleção, uma vez que não há influência da capacitância de inversão.

Assim, a partir do valor máximo de capacitância obtido para curvas tanto em alta como em baixa frequência, pode-se extrair a espessura do óxido (t_{ox}) diretamente

$$t_{ox} = \frac{\epsilon_{ox} \cdot A}{C_{máx}} \quad (20),$$

onde ϵ_{ox} é a permissividade do óxido de silício (cerca de $34 \cdot 10^{-14}$ F/cm), A é a área do capacitor e $C_{máx}$ é a máxima capacitância medida.

3.2.2 Tensão de limiar

A obtenção da tensão de limiar em dispositivos MOS é um assunto extenso e que apresenta uma série de dificuldades em dispositivos modernos, em função dos diferentes efeitos de degradação da mobilidade e resistência série, por exemplo. Para uma discussão mais extensa sobre o assunto, recomenda-se o artigo de revisão do tema de Ortiz-Conde (2013), no qual se apresenta uma série de métodos diferentes para a extração da tensão de limiar tanto em saturação como em operação linear. Para os fins deste trabalho, optou-se por empregar o método da segunda derivada, também apresentado neste artigo, buscando otimizar-se a implementação, dada a vasta quantidade de dados a serem tratados, sem, contudo, ter-se uma perda na qualidade dos resultados. Este método apresenta boa imunidade à resistência série e pode ser implementado computacionalmente de forma bastante simples, sendo necessário somente o cuidado de utilizar-se métodos adequados de filtragem para garantir a leitura correta dos resultados, uma vez que métodos derivativos são altamente susceptíveis a ruído.

O método pode ser entendido a partir do modelo de primeira ordem do transistor MOS, em que, para tensões de porta abaixo do limiar o transistor não conduz, isto é, $I_D(V_{GF} < V_T) = 0$, e acima, ele conduz de forma linear com V_{GF} , ou seja, $I_D(V_{GF} \geq V_T) = a \cdot (V_{GF} - V_T) + b$. Derivando-se a corrente I_D , se tem uma função degrau em torno de V_T , e derivando novamente obtém-se uma função delta de Dirac em V_T . Como dispositivos reais apresentam um comportamento contínuo, na prática o que se observa ao aplicar a segunda derivada não é um valor infinito, mas sim um pico centrado na tensão de limiar. Portanto, a extração deste parâmetro em todos os pontos desta tese será dada pelo seguinte roteiro: medida da corrente I_D em função de V_{GF} ; cálculo da segunda derivada; filtragem dos resultados; localização do pico, sendo o respectivo valor V_{GF} associado a ele o próprio valor de V_T .

Uma última vantagem a ser pontuada deste método e que é de relevância para este trabalho é que, em dispositivos com modos de condução mais complexos e eventuais transistores parasitários embutidos, pode haver mais de um pico ao se aplicar este método, contanto que não haja a coincidência da tensão de limiar do dispositivo principal com a tensão de limiar dos transistores parasitários.

3.2.3 Inclinação de sublimiar

A extração da inclinação de sublimiar (SS, do inglês, *Subthreshold Swing*) é, a princípio, razoavelmente simples, uma vez que, por definição, basta tomar a regressão da região linear obtida no gráfico em escala monologarítmica da corrente de dreno em função da tensão de porta (MARTINO, 2003). Porém, novamente levando-se em consideração a grande quantidade de dados a serem tratados junto com a necessidade de se estabelecer curva a curva qual a melhor região para se fazer a extrapolação linear tornam este método impraticável. Entretanto, se feito o gráfico da própria definição de $SS = dV_{GF}/d\log(I_D)$ em função de V_{GF} , tem-se de imediato o valor de SS como sendo um patamar mínimo desta função. Novamente por se tratar de um método derivativo ele apresenta alta sensibilidade aos ruídos de medida, porém com a filtragem adequada dos dados, ele apresenta resultados satisfatórios em comparação com o método tradicional, e será portanto empregado.

3.2.4 Medidas de ruído

Para os fins deste trabalho, toda a revisão teórica sobre ruído presente em Boudier (2017) é suficiente e será utilizada como referência extensivamente ao longo deste subitem. Por se tratar de uma grandeza que varia de forma aleatória no domínio do tempo, a flutuação de corrente causada pelo ruído é normalmente apresentada como uma densidade espectral de potência (PSD, do inglês, *Power Spectral Density*). Os equipamentos utilizados para tanto devem ser bem isolados eletricamente, de modo a eliminar eventuais interferências externas, e os contatos devem ser feitos de forma a minimizar o ruído gerado por eles, garantindo assim que a medida feita diga respeito apenas ao fenômeno que ocorre no dispositivo semiconductor. A caracterização do tipo de ruído propriamente dito pode então ser feita a partir da comparação entre os resultados obtidos da PSD em função da frequência, normalmente apresentada em um gráfico di-logarítmico, como será feito para todas as análises neste trabalho. Como apresentado por Boudier, existem a princípio três tipos de ruído que podem se somar, a saber: ruído branco (de intensidade constante ao longo da frequência); ruído *flicker* ou $1/f$ (cuja intensidade varia linearmente com a frequência); e o ruído Lorentziano (que apresenta intensidade constante até uma frequência de corte, a partir da qual ela cai de acordo com $1/f^2$). A Figura 3.3 ilustra

estas três componentes de ruído separadamente, bem como o resultado de sua somatória.

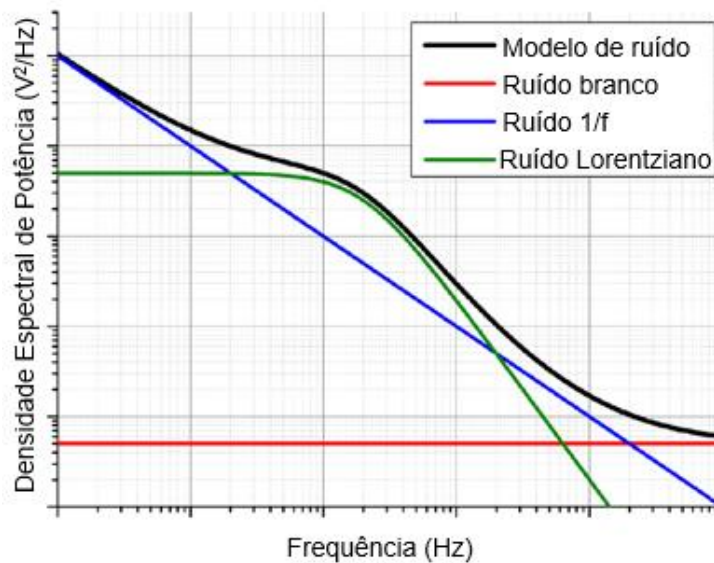


Figura 3.3 – Tipos de ruído comumente presentes em dispositivos semicondutores e resultado da sua sobreposição.

Fonte: adaptado de Boudier (2017).

O ruído Lorentziano está associado ao processo de geração e recombinação de portadores devido às armadilhas presentes tanto no óxido como na região de depleção do canal, gerando possivelmente também uma série de mudanças correlatas, como na mobilidade de portadores, coeficiente de espalhamento, campo elétrico e barreira de potencial. A cada i -ésima armadilha relaciona-se uma frequência característica $f_{0,i}$ (associada à dobra no gráfico da PSD entre região constante e de inclinação $1/f^2$) e um nível A_i (associado ao patamar no gráfico da PSD), e deve-se observar que um mesmo dispositivo pode apresentar várias armadilhas; matematicamente, estas grandezas estão relacionados com o ruído referenciado à tensão de porta (S_{Vg}) através da expressão

$$S_{Vg,Lor_i} = \frac{A_i}{1 + \left(\frac{f}{f_{0,i}}\right)^2} \quad (21).$$

Assim, a forma mais simples para identificar todas as frequências (e, portanto, armadilhas) presentes no espectro é avaliar o produto da frequência com a densidade espectral de potência. Ao fazer isto, obtém-se um máximo em torno da frequência $f_{0,i}$ (pois a região constante torna-se crescente e linear em f , enquanto que a região $1/f^2$ se torna decrescente e também linear em f), melhorando a precisão na sua identificação.

O ruído 1/f pode ser relacionado com dois fenômenos físicos distintos: a flutuação no número de portadores devido ao processo de captura/liberação de cargas do óxido de porta de acordo com o modelo de McWhorter (modelo ΔN) (MCWHORTER, 1957); e a flutuação na mobilidade devido ao espalhamento de fônons de acordo com o modelo de Hooge (modelo $\Delta\mu$) (HOOGE, 1976). Além destes modelos, é possível também que o ruído se adeque a uma combinação de ambos os efeitos, resultando no modelo de flutuação do número de portadores com variações correlacionadas na mobilidade, que assume que os portadores capturados no óxido podem induzir flutuações na mobilidade (modelo $\Delta N + \Delta\mu$) (HUNG, 1990). Identificar qual processo físico se encontra por trás deste tipo de ruído é importante para que se faça adequadamente a caracterização da densidade de armadilhas no óxido (normalmente apresentado como N_t/γ , sendo γ um parâmetro associado à distância de atenuação de tunelamento para o óxido de porta, cerca de 1 \AA^{-1} para interface Si/SiO₂), e uma forma para isto é notar que estes processos apresentam diferentes dependências com a sobretensão de condução ($V_{GT} = V_{GF} - V_T$). As equações relacionadas a ΔN , $\Delta\mu$ e $\Delta N + \Delta\mu$ são dadas, respectivamente, por

$$S_{V_g} = S_{V_{fb}} = \frac{kTq^2N_t(E_f)}{f^\beta WLC_{ox}^2\gamma} \quad (22),$$

$$S_{V_g} = \frac{q\alpha_H}{f^\beta WLC_{ox}} V_{GT} \quad (23),$$

$$S_{V_g} = S_{V_{fb}} (1 \pm \alpha_C \mu_{eff} C_{ox} V_{GT})^2 \quad (24),$$

onde a densidade de armadilhas N_t é dada em função do nível de quasi-Fermi, k é a constante de Boltzmann, T é a temperatura, q é a carga fundamental, f é a frequência, β é o coeficiente da frequência, W é a largura e L é o comprimento de porta, C_{ox} é a capacitância de porta, α_H é o parâmetro de Hooge, α_C é o coeficiente de espalhamento Coulomb e μ_{eff} é a mobilidade efetiva.

Por fim, o ruído branco pode ter duas origens, uma relacionada ao ruído térmico, devido à movimentação térmica dos portadores ao longo da rede cristalina, descrito em termos do ruído referido à tensão de porta simplesmente por

$$S_{V_g} = 4kTR \quad (25),$$

onde R é a resistência do material. Outra possível origem é o ruído de disparo, dado em relação à corrente de dreno S_{I_d} , e dependente da corrente média I que flui pelo material, descrita por

$$S_{I_d} = 2qI \quad (26).$$

3.3 DISPOSITIVOS FINFET OPERANDO COMO BIOSENSORES

Parte do trabalho desta tese de doutorado foi desenvolvida em conjunto com o imec (Bélgica), que possui uma linha de pesquisa em biossensores utilizando dispositivos FinFET, também chamados nesta aplicação de bioFETs. Estes dispositivos foram fornecidos já fabricados, sendo o foco deste trabalho a sua caracterização elétrica, com ênfase maior na análise de ruído, elemento central para se determinar os limites de detecção alcançáveis utilizando esta tecnologia.

Resumidamente, os bioFETs foram fabricados seguindo os seguintes passos:

- Formação das aletas;
- Implantação e recozimento;
- Crescimento do dielétrico de porta de 2,3 nm de SiON;
- Formação do silício amorfo sacrificial de porta
- Implantação e recozimento;
- Passivação de SiO₂ e Si₃N₄;
- Formação de interconexões locais;
- Passivação;
- Formação de interconexões globais;
- Passivação de SiO₂ e Si₃N₄;
- Abertura de cavidade/remoção do silício amorfo sacrificial.

Na Figura 3.4 são apresentados um esquema com a seção longitudinal dos dispositivos fabricados, bem como uma imagem feita por microscopia eletrônica de varredura da sua seção transversal. Todos os dispositivos apresentam altura de aleta (H_{fin}) de 19 nm, largura de aleta (W_{fin}) variando entre 10 nm e 40 nm, e comprimento de canal (L) entre 50 nm e 1 μ m.

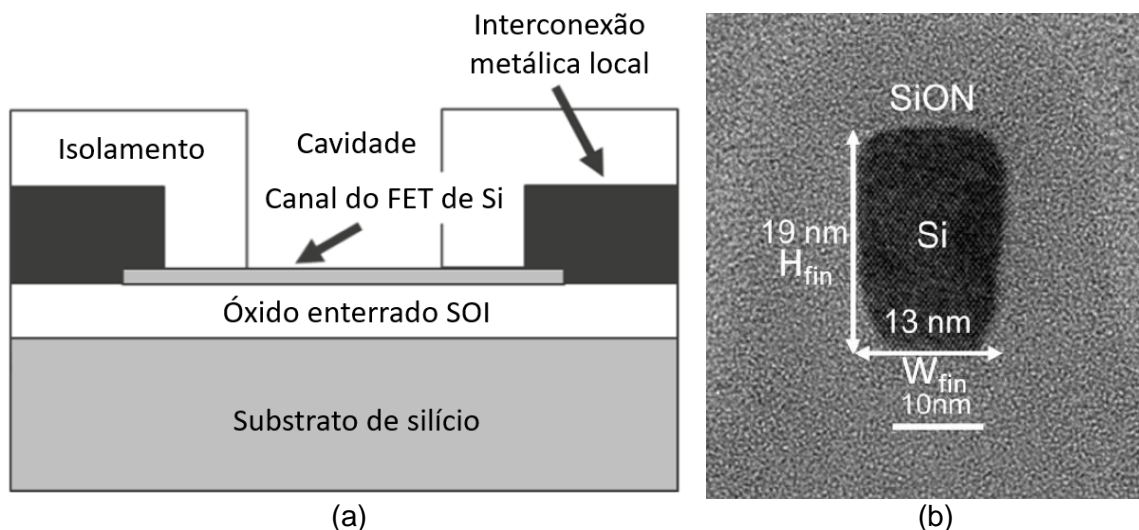


Figura 3.4 – (a) Seção longitudinal do canal do dispositivo FET fabricado; (b) imagem por microscopia eletrônica de varredura por transmissão da seção transversal do dispositivo.

Fonte: adaptado de Santermans (2020).

Como fica evidente do processo de fabricação destes dispositivos, eles não possuem um metal de porta, sendo o dielétrico exposto ao ambiente. Para medidas com DNA, este dispositivo terá o seu dielétrico de porta recoberto por uma monocamada automontada (SAM, do inglês, *Self-Assembled Monolayer*) de 11-azidoundeciltrimetoxisilana, depositada em fase de vapor a 145°C (VOS, 2018), camada esta necessária para que ocorra o acoplamento do DNA na superfície do dispositivo. Na prática, um eletrodo imerso na solução a ser analisada agirá como contato de porta, de acordo com a montagem apresentada na Figura 3.5.

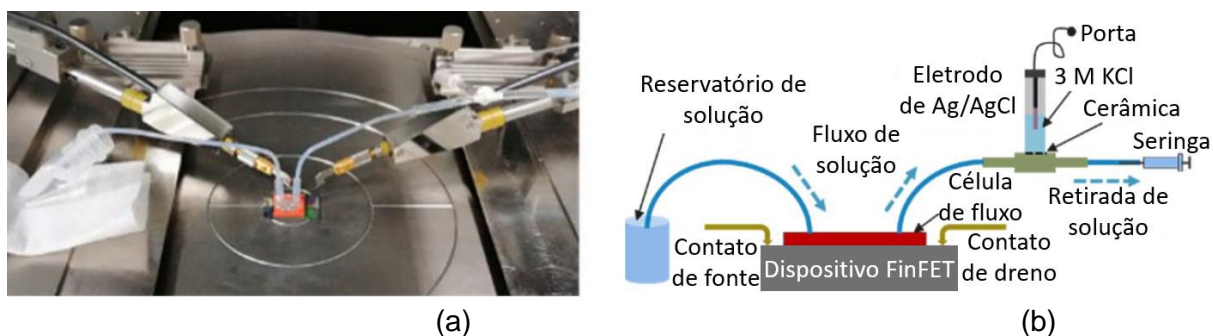


Figura 3.5 – (a) Imagem da montagem elétrica; (b) representação da montagem elétrica ilustrando o caminho do fluxo da solução e o contato eletrolítico de Ag/AgCl de porta.

Fonte: adaptado de Santermans (2020).

4 SIMULAÇÕES DA OPERAÇÃO DO UTBB^{BE}SOI COM DOPAGEM DE FONTE

Inicialmente, deve-se destacar que a estrutura proposta na Figura 3.1 é projetada para operar como um transistor com princípio de funcionamento similar ao BE^{BE}SOI, pois, sem a dopagem de dreno, sua capacidade de condução de corrente passa a ser totalmente dependente da aplicação de uma polarização de substrato, caso contrário não haverá um canal completo de portadores entre os contatos de fonte e dreno. Uma consequência é que, dada a dopagem da região de fonte desse transistor, é possível obter duas estruturas diferentes com as devidas polarizações: uma “simétrica” (fonte e dreno apresentando excesso de portadores de mesmo tipo) e outra “assimétrica” (fonte e dreno apresentando excesso de portadores de tipos diferentes). Assim, a intenção principal deste capítulo é justamente explorar estas duas diferentes configurações do dispositivo. Para uma primeira análise, será adotada uma dopagem tipo n para a fonte, resultando, portanto, em dois possíveis casos: a operação como pTFET quando aplicada uma tensão negativa no substrato; e como nMOSFET quando aplicada uma tensão positiva no substrato. Para uma exploração ampla dos efeitos físicos predominantes nesses dispositivos, serão feitas simulações numéricas utilizando o simulador Sentaurus, da Synopsys.

4.1 OPERAÇÃO COMO PTFET

Primeiramente, são apresentadas na Figura 4.1(a) as curvas de corrente versus tensão de porta do transistor proposto, operando com diferentes polarizações de substrato. Para comparação, as curvas de um transistor de mesmas dimensões, porém, com a dopagem tipo p autoalinhada no dreno são apresentadas na Figura 4.1(b).

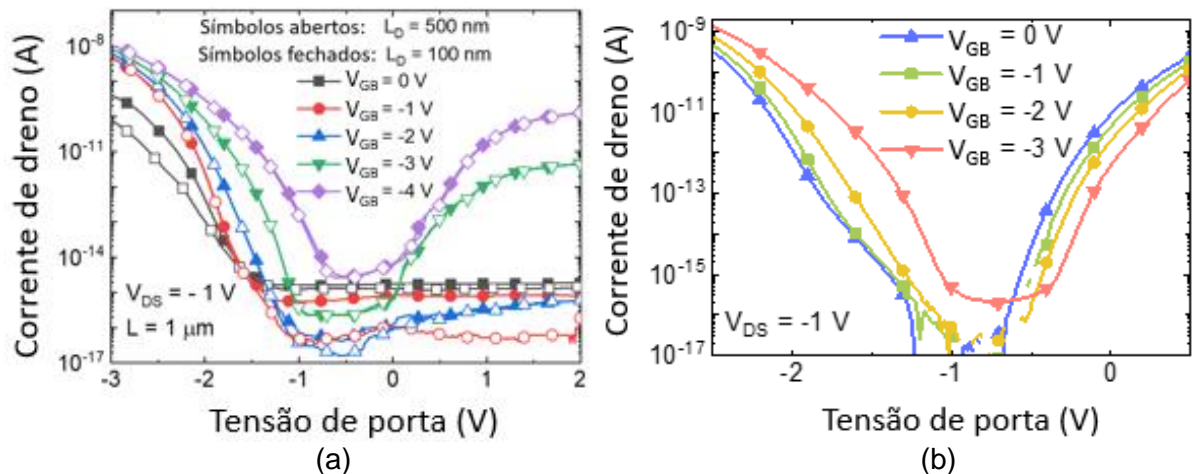


Figura 4.1 – Curvas de corrente de dreno versus tensão de porta para múltiplas polarizações de substrato do (a) ^{BE}SOI pTFET; (b) pTFET convencional autoalinhado.

Fonte: Adaptado de Mori (2021) e Mori (2019a).

A primeira característica importante no dispositivo proposto é a ausência do efeito ambipolar em condições adequadas de polarização, isto é, a aplicação de tensões positivas na porta não resulta em um aumento da corrente, como pode ser observado para o pTFET convencional para $V_{GF} > -1$ V e $V_{GB} > -3$ V. Este fenômeno pode ser compreendido como um caso extremo da extensão de subposição do dispositivo, ou seja, como não há dopagem de dreno, pode-se entender que a subposição se estende da porta até o contato de dreno. Como estudado por Lee (2013), a resistência de tunelamento, isto é, a relação entre tensão aplicada e corrente gerada na junção de fonte reversamente polarizada, é elevada; portanto, outros elementos que compõe a resistência série de TFETs, como a resistência da região de subposição, são essencialmente desprezíveis. Entretanto, naquele estudo foram considerados somente comprimentos de subposição de algumas dezenas de nanômetros, enquanto nas simulações deste trabalho considerou-se um comprimento da ordem de centenas de nanômetros, portanto, é de se esperar uma influência maior da subposição na corrente de estado ligado, I_{on} . De fato, quando se aplica $V_{GB} = 0$ V, nota-se que o ^{BE}SOI pTFET apresenta I_{on} cerca de uma ordem de grandeza abaixo do TFET convencional.

Deve-se destacar aqui uma mudança de comportamento significativa entre o ^{BE}SOI TFET e o ^{BE}SOI MOSFET: ao se aplicar uma diferença de potencial nula entre fonte e substrato, no caso do MOSFET não há corrente significativa de estado ligado, ao contrário do que ocorre no TFET. Por outro lado, quando se aplicam polarizações não-nulas ao substrato, observa-se um comportamento de corrente idêntico entre os

dispositivos ^{BE}SOI e os convencionais, indicando que a resistência série total do ^{BE}SOI TFET é completamente dominada pela resistência de tunelamento nesse caso. Esta afirmação é corroborada a partir de um cálculo de ordens de grandeza: por um lado, assumindo que a resistência de tunelamento esteja efetivamente dominando a corrente total, teríamos que seu valor mínimo seria dado por $V_{DS}/I_{on} \approx 1 \text{ G}\Omega$; por outro lado, considerando a dopagem natural da lâmina (ou seja, 10^{15} cm^{-3} de dopante tipo p), tem-se que a sua resistividade é de aproximadamente $1,5 \cdot 10^5 \Omega \cdot \mu\text{m}$, portanto para uma região de $0,5 \mu\text{m}$ de comprimento por 10 nm de profundidade (lembrando ainda que as simulações são apenas bidimensionais, isto é, normalizadas para uma largura de $1 \mu\text{m}$), tem-se que $R_{ser} = 1,5 \cdot 10^5 \Omega \cdot \mu\text{m} \cdot 0,5 \mu\text{m} / (10 \cdot 10^{-3} \mu\text{m} \cdot 1 \mu\text{m}) = 7,5 \text{ M}\Omega$. Ou seja, pode-se afirmar que há uma diferença de pelo menos duas ordens de grandeza entre a resistência de tunelamento e a resistência série no caso aqui avaliado dentro do ambiente de simulações, e que, portanto, a resistência série é bem menos significativa que a de tunelamento mesmo quando os dispositivos estão operando em estado ligado.

Ainda destas curvas de corrente pode-se extrair um valor para a inclinação da região de sublimiar, a fim de se obter um parâmetro de comparação com outros dispositivos. No melhor caso, isto é, para $V_{GB} = -3 \text{ V}$ foi obtido um valor mínimo da ordem de 110 mV/dec ; contudo, é importante notar que para outras polarizações e, se forem considerados intervalos maiores fora de uma pequena região de maior inclinação, valores acima de 250 mV/dec podem ser observados, o que, dado o fato de esses transistores serem inteiramente de silício, está de acordo com a literatura (AGOPIAN, 2018). Vale destacar que, ao se diminuir V_{GB} para -4 V , obtém-se um SS mínimo maior do que no caso em que $V_{GB} = -3 \text{ V}$, fato este decorrente da maior corrente mínima observada, que é por sua vez relacionada a uma maior corrente de efeito ambipolar.

A partir dessa primeira análise do comportamento das correntes, contudo, não se tem ainda o entendimento de um aspecto crucial para a operação deste dispositivo: em qual interface ocorre o tunelamento. Dada a fina espessura do filme de silício, pode-se dizer que este é um FDSOI, ou seja, dependendo das combinações de polarização, é possível que alterações de V_{GF} afetem diretamente o comportamento das cargas na segunda interface, permitindo, em tese, que comece um tunelamento entre bandas. Uma forma de visualizar se há possibilidade de tunelamento em ambas as interfaces é através dos diagramas de bandas próximos à junção entre fonte e

canal, obtidos ao se fazer cortes ao longo do canal, cerca de 2 nm distantes das interfaces entre os óxidos e o filme de silício do canal, como apresentado na Figura 4.2.

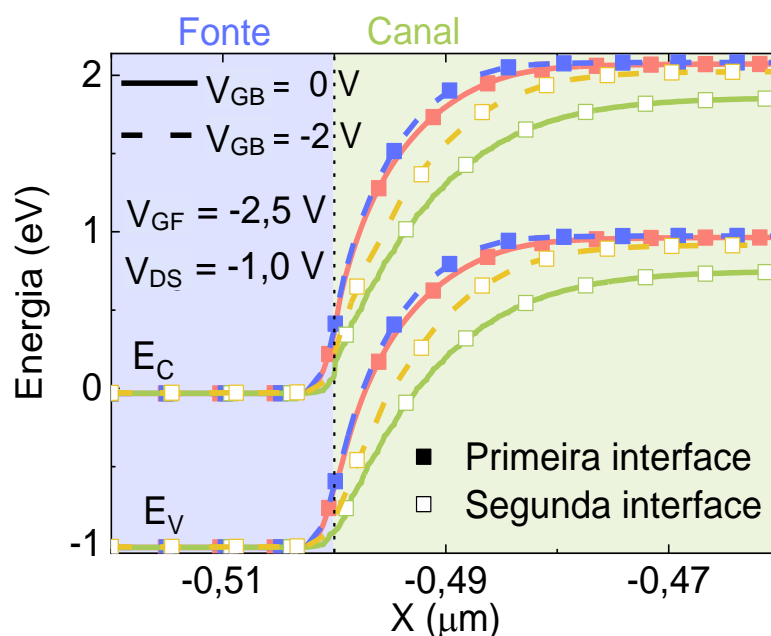


Figura 4.2 – Diagrama de bandas do ^{BE}SOI pTFET da primeira e da segunda interface próximo à junção fonte-canal.

Fonte: Adaptado de Mori (2019a).

Para as condições de tensão de porta e de dreno impostas, primeiramente se observa que a polarização de substrato apresenta pouca influência nas bandas da primeira interface, indicando que ela se encontra fortemente acumulada. Verifica-se, neste caso, uma distância mínima da ordem de 3,5 nm entre bandas de condução e valência. Já para a segunda interface observa-se um encurvamento mais significativo das bandas, favorecendo o tunelamento para a tensão mais negativa; entretanto, mesmo com $V_{GB} = -2\text{ V}$, a distância mínima observada entre bandas foi de 7 nm, indicando, portanto, que o tunelamento pela segunda interface é significativamente menos expressivo. Para avaliar a influência da diferença nas distâncias mínimas entre bandas, pode-se avaliar diretamente a taxa de geração de banda para banda, isto é, a densidade de portadores gerados por segundo no canal devido ao tunelamento entre bandas da fonte para o canal, em um gráfico como o apresentado na Figura 4.3.

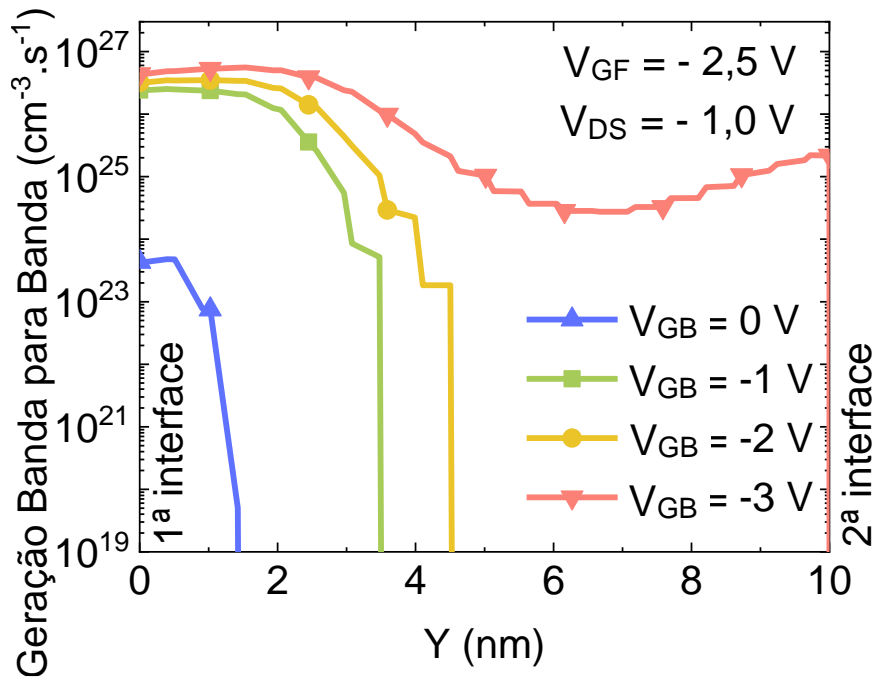


Figura 4.3 – Taxa de geração de banda para banda no ^{BE}SOI pTFET na região do canal próxima à junção de fonte.

Fonte: adaptado de Mori (2019a).

Para observar a taxa de geração, fez-se um corte ao longo da espessura do canal, a 4 nm de distância da junção da fonte, permitindo desta forma avaliar-se o tunelamento não somente nas interfaces, mas também ao longo do filme de silício. A escolha desta distância para o corte se dá em função da forma como o próprio simulador trata o tunelamento com o seu modelo não-local, que fica mais evidente na Figura 4.4, onde se verifica que o tunelamento próximo a segunda interface ocorre apenas a partir de uma certa distância da junção. Apesar da pequena alteração observada no diagrama de bandas da primeira interface ao se variar a polarização de substrato, nota-se que foi suficiente para alterar significativamente a taxa de geração nessa região. Para as polarizações intermediárias (V_{GB} entre -1 V e -2 V), tem-se então o aumento da taxa de geração na primeira interface, além de um aumento na profundidade em que ocorre a taxa de geração mais elevada. Para ilustrar de forma mais clara como ocorre a distribuição do tunelamento ao longo do canal, é apresentado na Figura 4.4 um corte bidimensional do dispositivo simulado com a taxa de geração de banda para banda, polarizado com $V_{GB} = -2$ V e $V_{GF} = -3$ V.

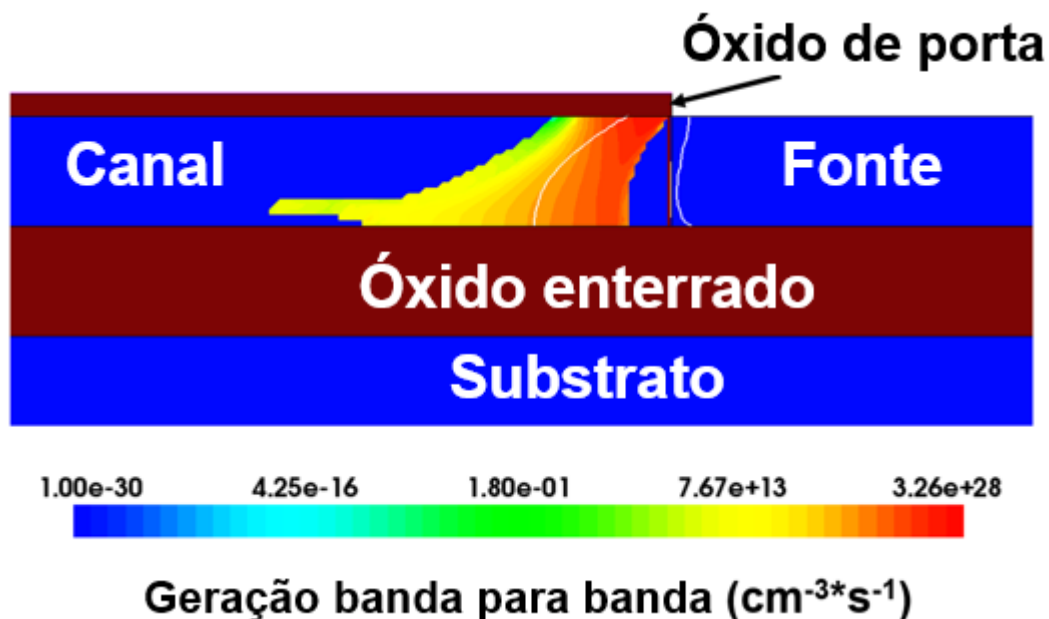


Figura 4.4 – Corte bidimensional do dispositivo, apresentando a taxa de geração de banda para banda, no caso do dispositivo polarizado com $V_{\text{GB}} = -2 \text{ V}$ e $V_{\text{GF}} = -3 \text{ V}$.

Fonte: adaptado de Mori (2020).

Destaca-se, contudo, o fato de que a polarização de substrato mínima utilizada na Figura 4.3 permitiu um aumento expressivo da taxa de geração na segunda interface, indicando que, para esta polarização em particular, deve haver uma densidade de corrente mais intensa nesta interface. Para confirmar essa hipótese, apresenta-se na Figura 4.5 a densidade de corrente no canal obtida em função da profundidade no filme de silício, a partir do mesmo corte a 4 nm da junção de fonte.

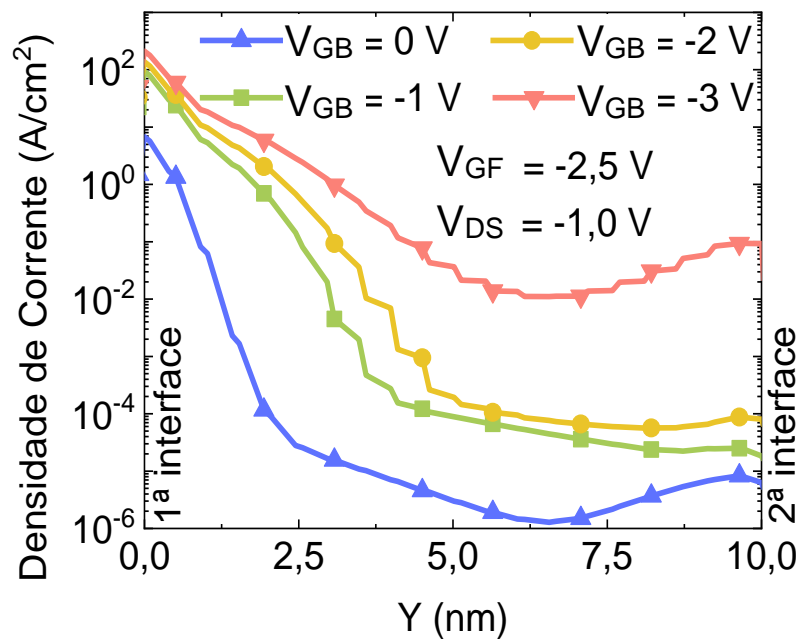


Figura 4.5 – Densidade de corrente no ^{BE}FSOI pTFET na região do canal próxima à junção de fonte.

Fonte: adaptado de Mori (2019a).

Observa-se, de fato, um aumento de aproximadamente cinco ordens de grandeza da densidade de corrente na segunda interface quando se varia V_{GB} entre 0 V e -3 V, com um salto particularmente pronunciado entre -2 V e -3 V, fato este que, em conjunção com o aumento da taxa de geração de banda para a banda nessa circunstância, indica uma maior relevância da corrente de tunelamento pela segunda interface, ainda que a corrente da primeira continue sendo a predominante. Outra conclusão que se pode obter a partir dessas curvas é que, para tensões de substrato maiores que -3 V, o TAT ainda é predominante na segunda interface. Tal fato decorre de se observar alguma corrente ainda pela segunda interface, mesmo sem haver a ocorrência de tunelamento BTBT, como indicado na Figura 4.3 e na Figura 4.4, justificando dessa forma a diferença observada nas curvas de corrente da Figura 4.1, em particular para V_{GF} entre -1 V e -2 V. Claramente, quando o BTBT passa a ser o mecanismo de tunelamento predominante na segunda interface, isto é, para $V_{GB} \leq -3$ V, tem-se o aumento expressivo de corrente neste intervalo de tensões V_{GF} , pois esta interface conduz uma quantia significativamente maior de corrente. Entretanto, ao reduzir mais V_{GF} , devido à menor espessura do óxido de porta em relação ao óxido enterrado, tem-se o maior encurvamento das bandas na primeira interface em comparação às bandas da segunda, resultando em uma corrente várias ordens de grandeza maior na primeira do que na segunda interface.

Finalmente, vale ressaltar que é possível a ocorrência de um efeito ambipolar dependendo das condições de polarização aplicadas aos dispositivos, ainda que menos intenso do que em um dispositivo TFET convencional, conforme apresentado na Figura 4.1. Esta condição particular se dá devido à formação de uma região de acumulação na região de dreno ao se aplicar um potencial suficientemente negativo na segunda interface (menor ou igual a -3 V) e de uma região de inversão na região do canal ao se aplicar um potencial suficientemente positivo na primeira interface (acima da sua tensão de limiar). Esta combinação de polarizações resulta na ocorrência de tunelamento entre a primeira e a segunda interface na região de dreno, como pode ser visto no corte bidimensional do dispositivo simulado apresentado na Figura 4.6.

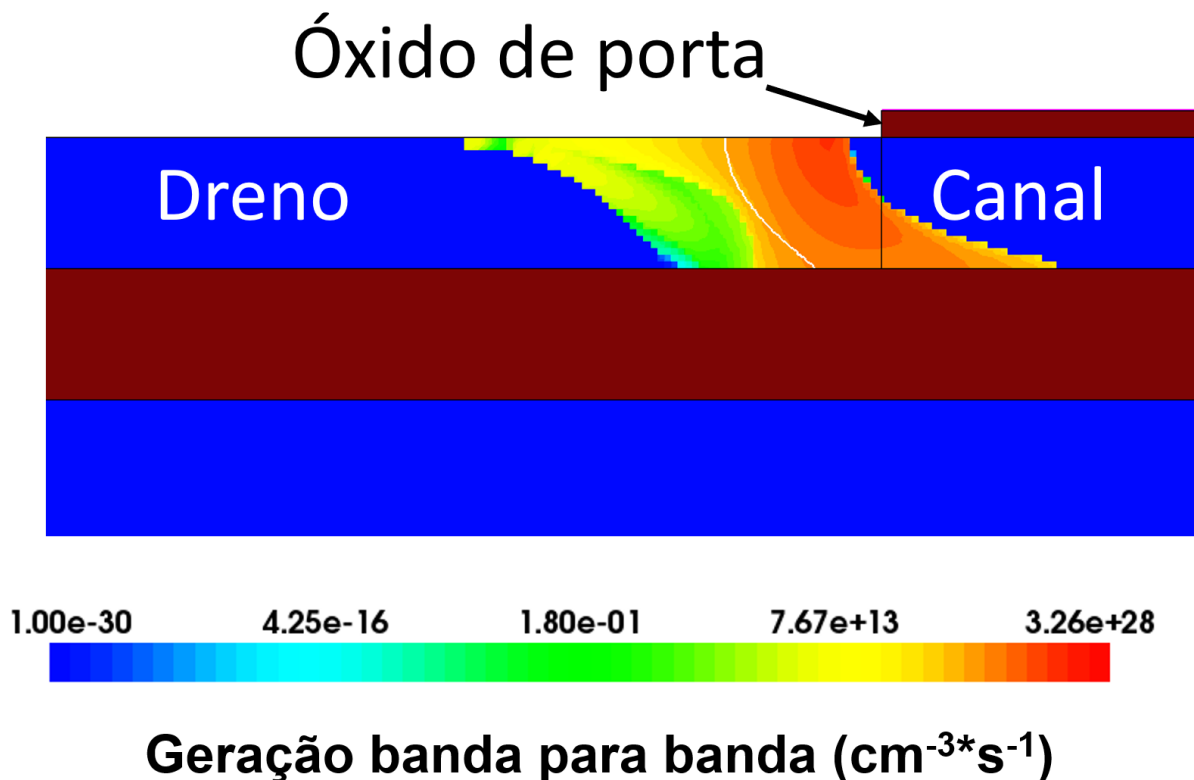


Figura 4.6 – Corte bidimensional do dispositivo, apresentando a taxa de geração de banda para banda, no caso do dispositivo polarizado com $V_{GB} = -4 \text{ V}$ e $V_{GF} = 2 \text{ V}$.

Assim, é possível reduzir a operação do dispositivo com corrente de estado ligado dentro de dois modos básicos de operação, a depender da região onde ocorre o tunelamento de banda para banda, conforme esquematizado na Figura 4.7.

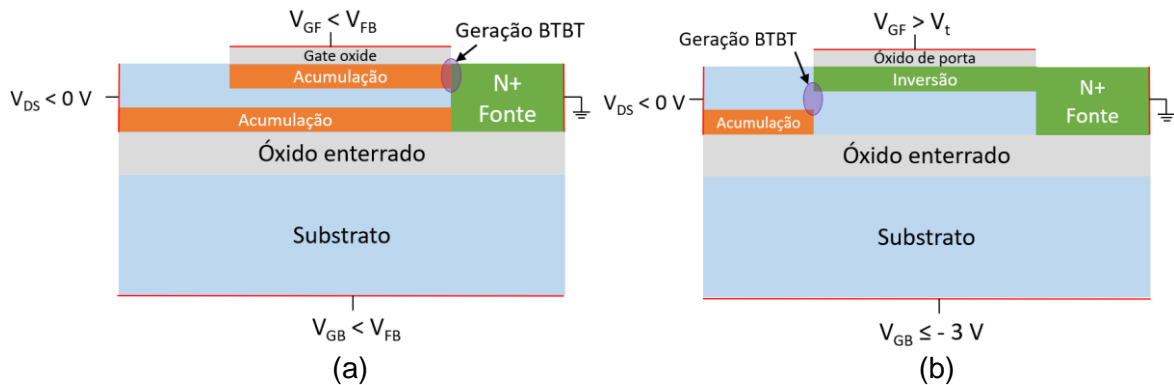


Figura 4.7 – Representação esquemática do ^{BE}SOI pTFET para polarizações negativas de substrato e tunelamento ocorrendo (a) na fonte e (b) no dreno.

Fonte: adaptado de Mori (2021).

Uma última consideração a ser feita sobre os dispositivos simulados com polarizações negativas de substrato é que não há um efeito significativo de se variar o comprimento de porta, como esperado de um transistor de tunelamento por efeito de campo. Este resultado é apresentado na Figura 4.8.

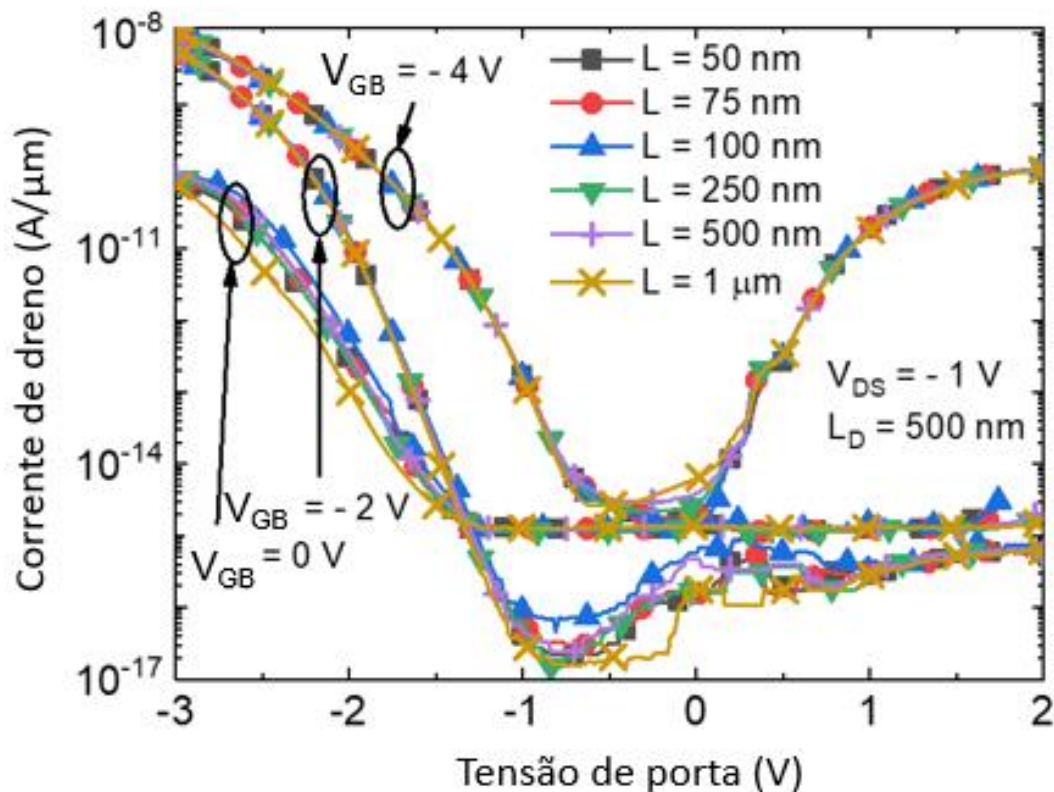


Figura 4.8 – Influência do comprimento de porta na operação com polarização de substrato negativa do ^{BE}SOI pTFET.

Fonte: Adaptado de Mori (2021).

4.2 OPERAÇÃO COMO NMOSFET

Como previamente mencionado, é esperado que, ao se aplicar uma polarização positiva no substrato, o ^{BE}SOI com dopagem de fonte apresente um comportamento similar a um nMOSFET. Para verificar tal afirmação, são apresentadas as curvas de corrente versus tensão de porta na Figura 4.9.

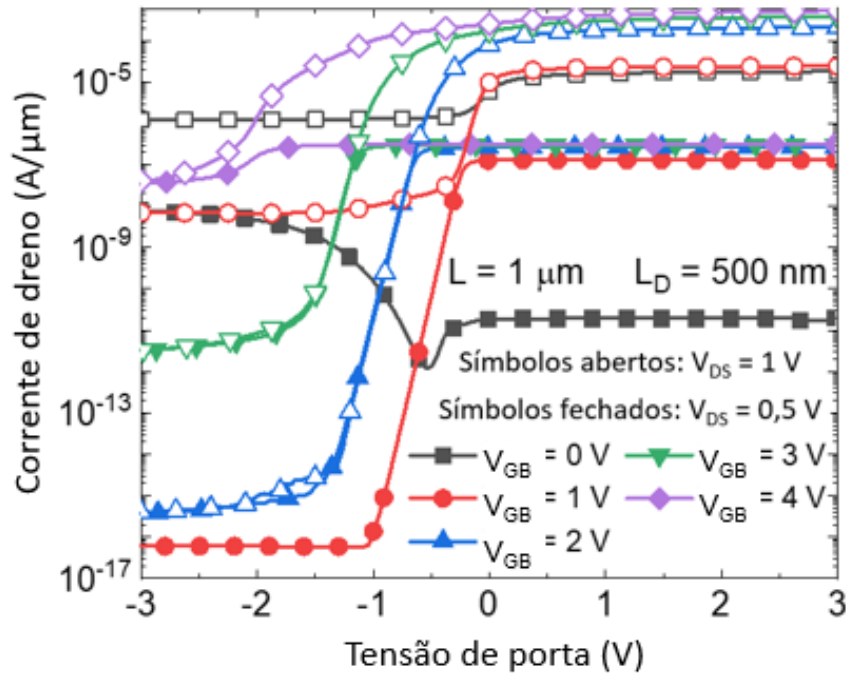


Figura 4.9 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de substrato.

Fonte: adaptado de Mori (2021).

Inicialmente, analisando quando V_{DS} = 0,5 V na Figura 4.9, é possível observar uma variedade de comportamentos distintos da corrente em função da polarização de substrato. Para V_{GB} = 0 V e V_{GF} < -0,5 V tem-se um comportamento similar ao pTFET, pois, para esta polarização de substrato, ainda não há formação do canal de elétrons entre fonte e dreno. Por outro lado, para V_{GF} > -0,5 V, a corrente de dreno rapidamente estabiliza em torno de 10 pA, indicando que, neste caso, apesar de haver a preocupação de polarizar o diodo inerente a estrutura diretamente, ele ainda está reversamente polarizado. Ademais, por não ser a condição de polarização de substrato pretendida para a operação como nMOS, não se trata de um caso crítico. Vale destacar ainda que a diferença nos níveis de corrente entre as condições de polarização de porta se dá devido ao tipo da junção PN formada, isto é, quando V_{GF} < 0 V, forma-se uma camada forte de acumulação sob a porta em contato com a

região N+ de fonte dopada, enquanto, para $V_{GF} > 0$ V, tem-se a formação de uma camada de inversão forte sob a porta em contato com a região não dopada, que se encontra em acumulação fraca (isto é, potencial de superfície da segunda interface está entre 0 V e o potencial de Fermi ϕ_F), resultando em uma junção com menor corrente. Estes comportamentos são esquematizados na Figura 4.10.

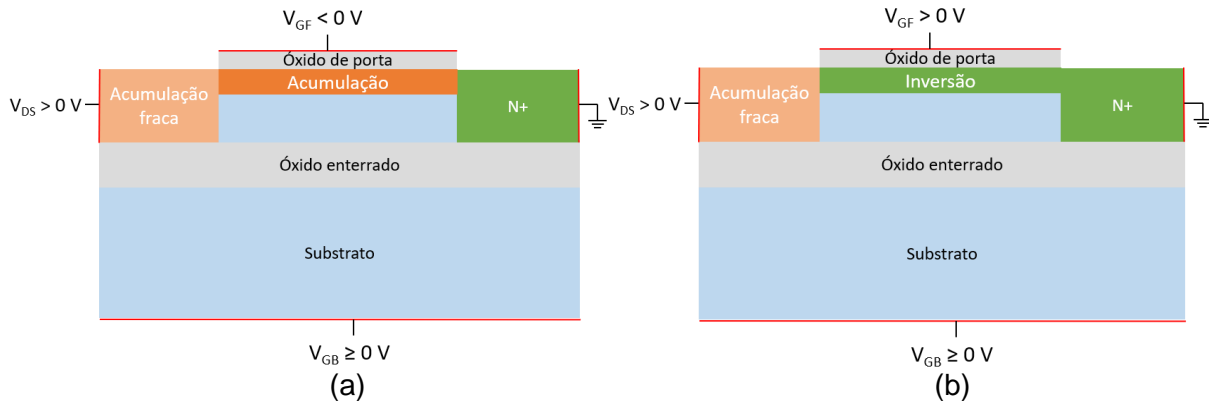


Figura 4.10 – Representação esquemática do ^{BE}SOI TFET operando de forma análoga a um diodo com polarização de porta (a) negativa e (b) positiva.

Fonte: adaptado de Mori (2021).

Por outro lado, ao se elevar V_{GB} para valores entre 1 V e 2 V, atinge-se a operação esperada, isto é, aplicando-se V_{GF} suficientemente negativo o dispositivo apresenta uma corrente de estado desligado (I_{off}) oito ordens de grandeza abaixo de I_{on} , indicando que a polarização de porta é capaz de cortar a inversão da segunda interface. Por apresentarem comportamento similar ao nMOS convencional, é possível ainda estimar valores para as inclinações de sublimiar e tensão de limiar destas curvas, obtendo-se para $V_{GB} = 1$ V valores de aproximadamente 83 mV/dec e -0,46 V, respectivamente, e, para $V_{GB} = 2$ V, valores da ordem de 88 mV/dec e -0,9 V, respectivamente. Este comportamento e valores extraídos são similares aos do ^{BE}SOI MOSFET convencional, que apresenta primariamente uma corrente pela segunda interface, e transição de estado ligado/desligado controlado pela depleção gerada pela polarização de porta. Uma representação esquemática deste comportamento é dada na Figura 4.11.

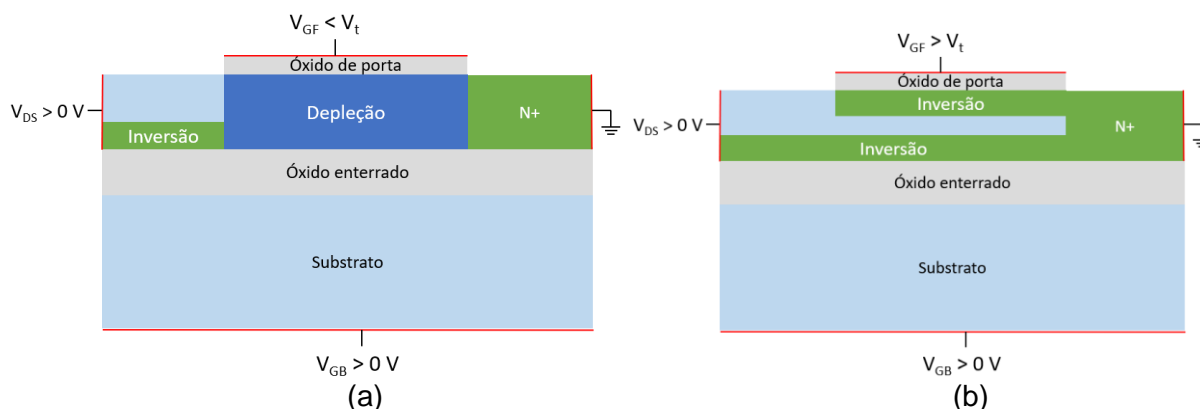


Figura 4.11 – Representação esquemática do ^{BE}SOI TFET operado de forma análoga a um nMOS com polarização de porta (a) abaixo e (b) acima da tensão de limiar.

Fonte: adaptado de Mori (2021).

Por fim, para polarizações a partir de 3 V no substrato já é possível notar a elevação de I_{off} , indicando que, mesmo para valores fortemente negativos de V_{GF} , não é possível cortar completamente o canal pela segunda interface, sendo que, no caso extremo quando $V_{GB} = 4$ V, praticamente não há alteração na corrente total do dispositivo. Para melhor compreender este fenômeno, pode-se utilizar a relação entre tensão de limiar de uma interface em função do potencial aplicado na outra em transistores FDSOI, conforme apresentado na Figura 4.12.

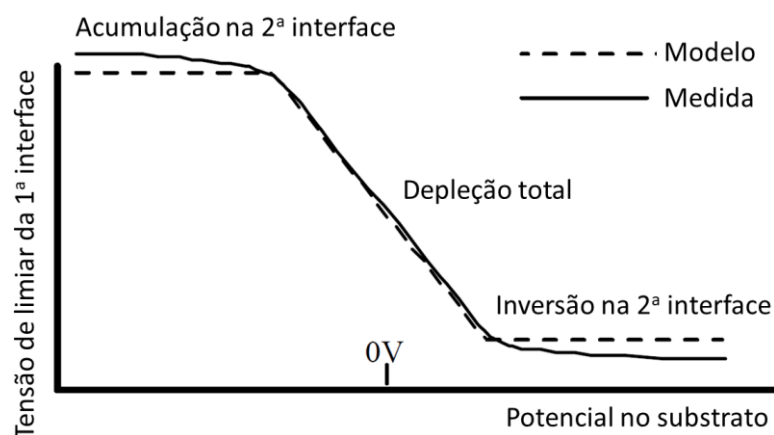


Figura 4.12 – Tensão de limiar da primeira interface em função do potencial na segunda para transistores FDSOI MOSFET.

Fonte: adaptado de Colinge (2004).

Apesar de se referir à tensão de limiar da primeira em função do potencial na segunda interface, uma curva similar seria observada no caso análogo, isto é, variando-se o potencial na primeira e observando a tensão de limiar da segunda. Esse fato, como já discutido na seção 2.2.2, é consequência de o potencial da interface ser

considerado limitado dentro do intervalo entre 0 V e $2\phi_F$, independente da polarização aplicada na porta (no caso da primeira) ou no substrato (no caso da segunda). Assim, torna-se evidente na Figura 4.9 que a tensão de limiar da segunda interface varia menos que 1 V em função de V_{GF} , uma vez que é possível cortar a corrente reduzindo V_{GF} nesta condição, até aproximadamente 4 V, quando a corrente se torna alta e independente de V_{GF} . Portanto, pode-se considerar que as maiores variações de corrente nesse dispositivo são devido à alteração do estado da segunda interface induzida pela variação do potencial da primeira, o que configura o comportamento como um transistor ^{BE}SOI MOSFET. Para demonstrar mais claramente este efeito, são apresentados um esquema do dispositivo operando nesta condição, bem como a densidade de corrente de elétrons em um corte do dispositivo simulado com alta polarização de substrato na Figura 4.13.

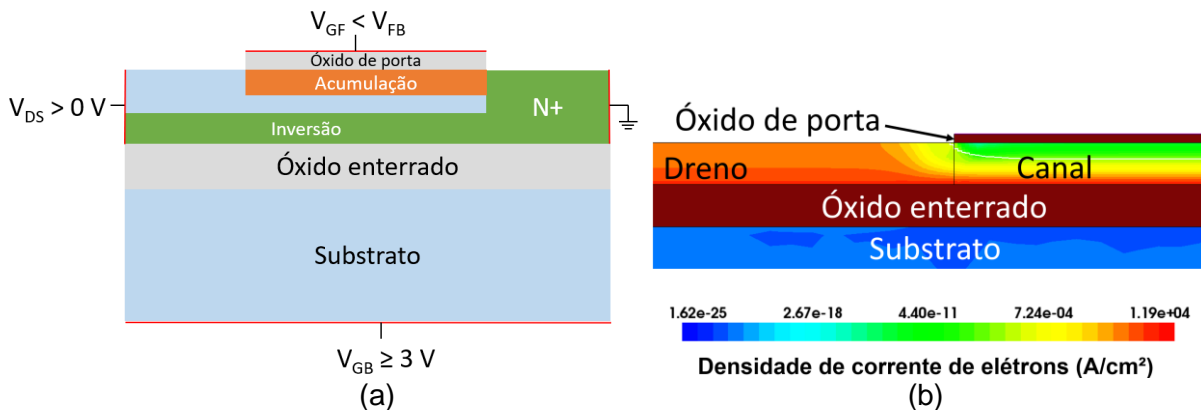


Figura 4.13 – Seção transversal do ^{BE}SOI apresentando (a) representação esquemática do dispositivo operando para altas polarizações de substrato e (b) a densidade de corrente em um corte do dispositivo simulado.

Fonte: adaptado de Mori (2021).

Ao elevar a tensão de dreno para 1 V, ainda na Figura 4.9, surgem diferentes comportamentos em algumas das condições de polarização de substrato. Para V_{GB} igual a 0 V e 1 V, observa-se o comportamento do diodo diretamente polarizado, sendo que, para V_{GF} positivo, tem-se a extensão da região tipo n de fonte, e, portanto, como a polarização de substrato age no mesmo sentido quando $V_{GB} = 1 V$, tem-se um nível de corrente ligeiramente superior em relação a $V_{GB} = 0 V$. Por outro lado, o oposto ocorre quando V_{GF} é negativo, ou seja, para o maior valor de V_{GB} há uma concorrência entre os potenciais de ambas as interfaces, resultando na diminuição da corrente total em relação ao V_{GB} nulo. Deve-se destacar ainda que, devido ao aumento da polarização de dreno, aumenta-se a depleção próxima à região de contato, que se comporta como um diodo Schottky reversamente polarizado uma vez que o silício

apresenta apenas a dopagem natural da lâmina, dificultando a inversão da segunda interface em relação ao caso em que $V_{DS} = 0,5 \text{ V}$, o que resulta no comportamento de diodo ao invés do transistor previamente observado. Já para $V_{GB} = 2 \text{ V}$, observa-se novamente o comportamento desejado do nMOS operando de forma similar ao que foi anteriormente visto, com uma razão I_{on}/I_{off} ainda mais elevada, da ordem de 10^{12} , com inclinação de sublimiar sem grandes variações, isto é, cerca de 88 mV/dec , porém, tensão de limiar mais elevada, com valor de aproximadamente $-0,63 \text{ V}$. Esta variação se dá principalmente pela presença de uma limitação na corrente no caso em que $V_{DS} = 0,5 \text{ V}$, uma vez que ambas as curvas de corrente apresentam comportamentos similares na região de sublimiar. Uma possível causa para este efeito é a junção entre silício e alumínio, que, para valores de V_{DS} abaixo de um certo limiar, pode acabar limitando a corrente máxima por formar um diodo Schottky, criando uma falsa tensão de limiar antes que o dispositivo, de fato, atinja esta condição. Por fim, para V_{GB} entre 3 V e 4 V , observa-se a mesma tendência de aumento de I_{off} , causada pela incapacidade do potencial de porta de cortar a segunda interface.

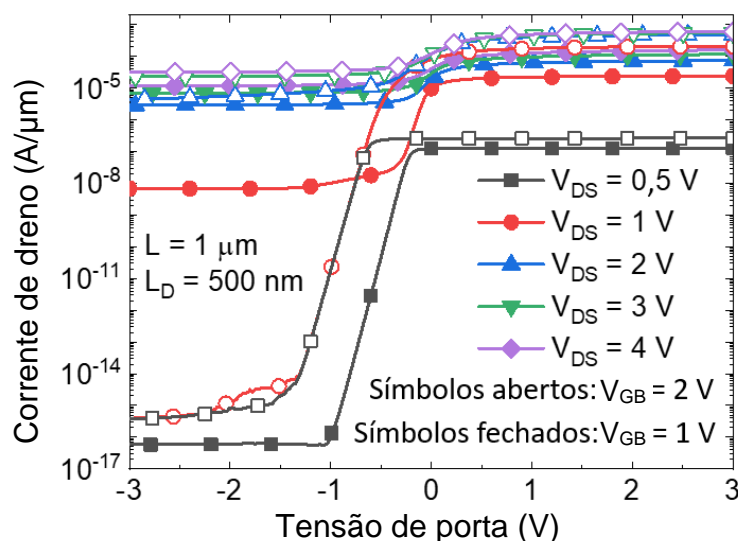


Figura 4.14 – Corrente de dreno em função da tensão de porta para múltiplas tensões de dreno.

Fonte: adaptado de Mori (2021).

Na Figura 4.14 é levantado o comportamento da corrente de dreno em função da tensão de porta ao se variar o potencial aplicado no dreno para duas diferentes polarizações de substrato, e observa-se que, para $V_{DS} > 1 \text{ V}$, independente das demais tensões aplicadas, o dispositivo sempre conduz um alto nível de corrente, apresentando apenas uma pequena transição entre dois patamares bem definidos em torno de $V_{GF} = 0 \text{ V}$. Esta transição ocorre porque, apesar de a segunda interface

comandar o comportamento do transistor, quando a tensão de porta diminui, permitindo o desligamento da segunda interface, tem-se a formação do diodo como na Figura 4.10(a); porém, como a tensão de dreno é mais elevada neste caso, ela acaba fazendo com que a região não dopada seja depletada, resultando no alto valor de corrente observado devido ao comportamento como diodo. Esta explicação é corroborada ao se observar que, para $V_{DS} = 1\text{ V}$ e $V_{GB} = 1\text{ V}$, o dispositivo apresenta uma alta corrente de estado desligado, indicando a presença do comportamento de diodo e, portanto, um predomínio da tensão de dreno sobre a região não dopada; porém, ao variar V_{GB} para 2 V , ele retorna ao estado desligado no mesmo nível que para $V_{DS} = 0,5\text{ V}$, ou seja, com a segunda interface sendo desligada como no transistor $^{\text{BE}}\text{SOI MOSFET}$ e com predomínio de V_{GB} sobre V_{DS} na região não dopada.

Uma vez compreendido o funcionamento elétrico do dispositivo, serão feitas algumas considerações sobre a influência da variação de algumas de suas dimensões físicas. Primeiramente, na Figura 4.15 avalia-se o efeito da variação do comprimento da região não dopada.

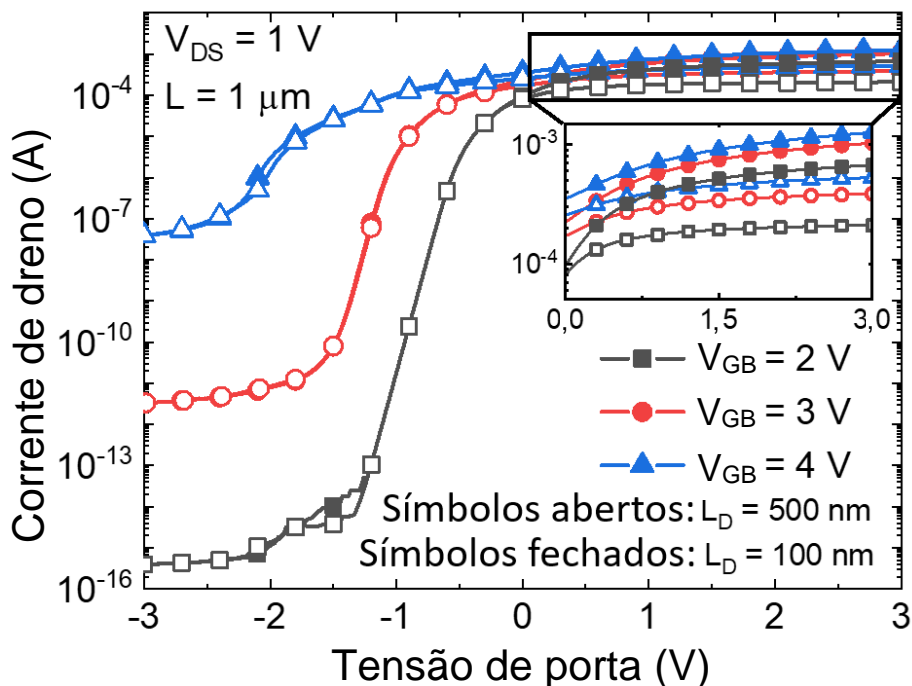


Figura 4.15 – Efeito da variação do comprimento da região não dopada na corrente.

Fonte: adaptado de Mori (2021).

Como esperado, há pouca influência do comprimento de dreno no estado desligado do dispositivo, uma vez que, para as condições de polarização consideradas, ele se encontra dentro da faixa de operação em que predomina o

comportamento como nMOS, com a polarização de substrato mais elevada impedindo o desligamento do dispositivo. Por outro lado, na região de estado ligado ($V_{GF} > 0$ V), nota-se uma influência significativa que é o aumento expressivo da corrente para o menor comprimento de região não dopada. Este é um resultado esperado, uma vez que esta região se comporta como uma resistência em série com o dispositivo, e, portanto, como reduzir o seu comprimento reduz a sua resistividade, tem-se o ganho observado de corrente. Nota-se ainda que este aumento é menos significativo quando se consideram tensões mais elevadas no substrato, uma vez que a inversão de portadores na segunda interface se torna mais expressiva, amenizando dessa forma a resistência série.

Por fim, avalia-se o comportamento da corrente de dreno dos dispositivos em função da tensão de porta para alguns comprimentos de canal na Figura 4.16.

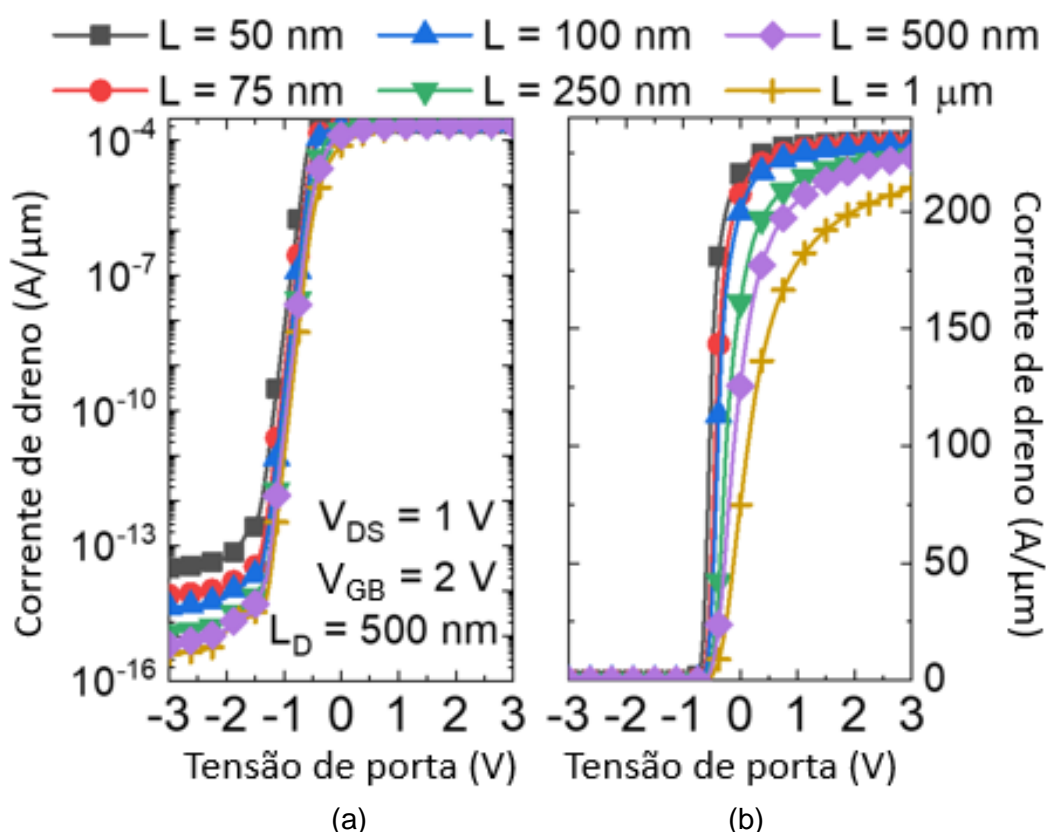


Figura 4.16 – Curvas de corrente versus tensão de porta para múltiplos comprimentos de canal em (a) escala logarítmica e (b) escala linear.

Fonte: adaptado de Mori (2021).

Novamente, nota-se que existe um predomínio significativo da resistência série nestes dispositivos, uma vez que o aumento da corrente de estado ligado é muito menor do que o esperado. De fato, de 1 μ m para 500 nm seria idealmente esperado um aumento de duas vezes na corrente total (isto é, de ~ 200 μ A/ μ m para ~ 400 μ A/ μ m),

muito superior ao efetivamente observado de ~12,5% (para ~225 $\mu\text{A}/\mu\text{m}$). Nota-se ainda que, a partir de 100 nm, começam a aparecer efeitos de canal curto, como o aumento da corrente de estado desligado devido à perda de controle da porta sobre as cargas no canal, e aumento da inclinação de sublimiar. Porém, apesar do início destes efeitos, até a dimensão estudada de 50 nm não se observa uma degradação significativa a ponto de prejudicar a operação do dispositivo, indicando que, em primeira análise, do ponto de vista de escalonamento, mais importante que o comprimento de porta do ^{BE}SOI TFET é o comprimento da sua região não dopada.

5 FABRICAÇÃO DOS TRANSISTORES ^{BE}SOI TÚNEL-FET

Levando em consideração a aplicação do transistor ^{BE}SOI como TFET, torna-se essencial a criação de um óxido de porta suficientemente fino, de forma a permitir um maior encurvamento das bandas para menores variações de tensão, resultando em uma melhor transição entre estados ligado e desligado. Assim, antes de iniciar a fabricação do transistor completo, com dopagem de fonte e contatos de fonte e dreno, fabrica-se apenas o capacitor, de modo a permitir uma verificação mais rápida e direta da espessura e qualidade dos óxidos obtidos.

5.1 FABRICAÇÃO DE CAPACITORES

Para essa etapa, foram empregadas somente lâminas de silício “*bulk*”, isto é, sem a camada de óxido enterrado, evitando assim o problema da associação em série de dois capacitores, permitindo dessa forma testes elétricos diretos para auxiliar na caracterização do óxido crescido.

O processo utilizado para essa etapa de testes é idêntico ao descrito para o crescimento do óxido de porta por Rangel (2013), consistindo essencialmente da limpeza da lâmina para eliminação de impurezas tanto orgânicas quanto inorgânicas, bem como de qualquer óxido residual formado devido à exposição ao ar, e a oxidação no forno com fluxo de oxigênio a 850°C durante 10 minutos. Além deste processo, que deve resultar em um óxido de aproximadamente 4,5 nm de acordo com o trabalho em que se baseou esta fabricação, fez-se também um teste com outra lâmina, seguindo os mesmos passos de limpeza, porém modificando o tempo no forno de dez para cinco minutos, que deve resultar em um óxido mais fino. Para diferenciar as lâminas utilizadas em ambos os processos, será adotada a nomenclatura L1 para a lâmina que permaneceu no forno por cinco minutos, e L2 para aquela que permaneceu dez minutos. Na sequência, fez-se a metalização com alumínio em ambas as faces das lâminas, seguida por uma etapa de litografia, para definir a área dos capacitores a serem estudados (cerca de 300 µm por 300 µm). Uma vez concluídas as etapas de processo, duas diferentes técnicas de medida foram empregadas para caracterizar os óxidos fabricados: medidas de capacitância em alta frequência para determinação da espessura dos óxidos, e medidas de corrente em função da tensão, de modo a determinar a tensão de ruptura e analisar as correntes de fuga nestes óxidos.

5.2 ESTIMATIVA DAS ESPESSURAS DE ÓXIDO

Para este experimento, foram realizadas medidas de alta frequência em cinco capacitores diferentes em cada uma das lâminas, variando-se a polarização do capacitor de 2 V até -3,5 V (primeira medida) e, em seguida, retornando a 2 V (segunda medida) resultando nas curvas apresentadas na Figura 5.1.

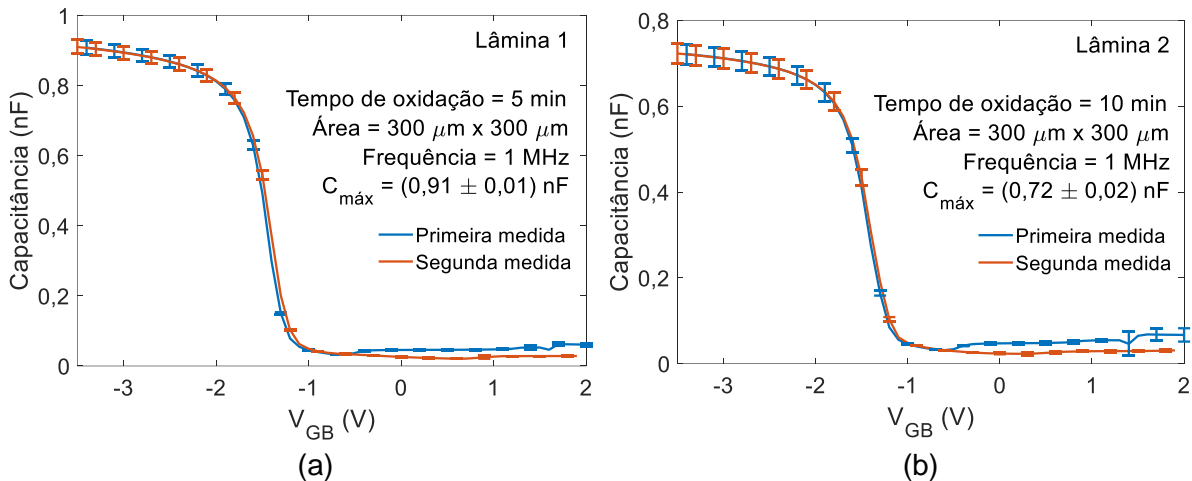


Figura 5.1 – Curvas de capacitância em função da tensão aplicada no capacitor para as lâminas (a) L1 e (b) L2.

Fonte: o autor.

A partir dos valores de capacitância máxima, é possível extrair diretamente as espessuras dos óxidos obtidos em cada caso utilizando a equação (20), que resulta em $t_{ox} = (3,50 \pm 0,04)$ nm para L1, e $t_{ox} = (4,43 \pm 0,12)$ nm para L2. Ambos os valores são razoáveis e estão dentro do esperado do processo, sendo que L2 se aproxima, dentro das margens de erro, dos valores obtidos por Rangel (2013), enquanto L1, por permanecer um tempo menor no forno, apresenta um óxido de menor espessura.

Nota-se ainda a ocorrência de uma pequena elevação da capacitância na região de capacitância mínima ao se iniciar as medidas em 2 V que, por sua vez, é eliminada quando a tensão é variada do valor mínimo ao máximo. O aumento da capacitância mínima ocorre devido ao efeito da injeção lateral de portadores, como já descrito por Martino (2003), uma vez que estes dispositivos não foram fabricados com anéis de guarda, capazes de eliminar este efeito indesejado quando adequadamente polarizados.

5.3 MEDIDAS DE CORRENTE DE FUGA

Para concluir os testes com os capacitores, foram realizadas medidas de corrente em função da tensão aplicada em alguns capacitores de mesmas dimensões, porém, de chips diferentes de ambas as lâminas, resultando nas curvas observadas na Figura 5.2.

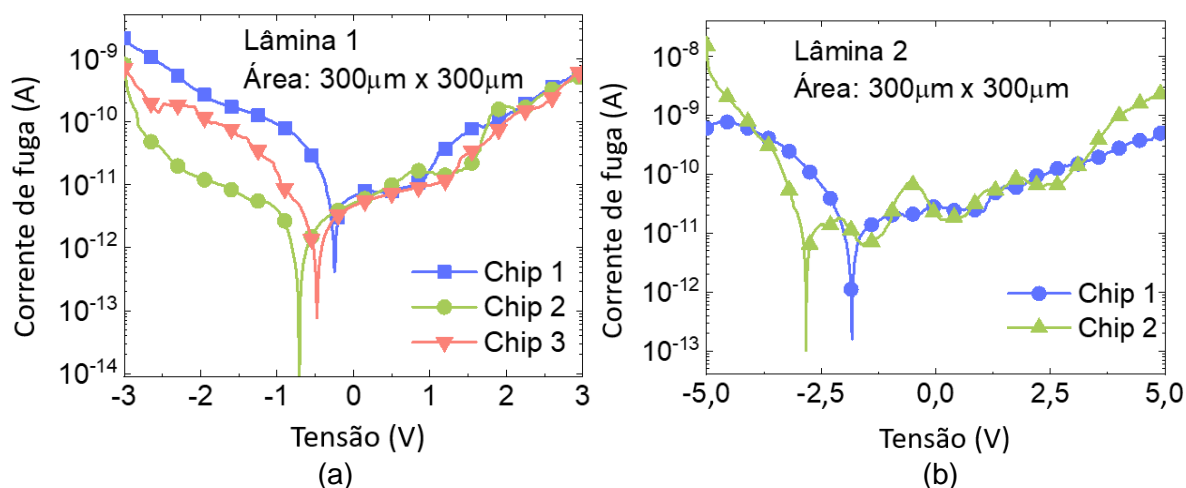


Figura 5.2 – Curvas de corrente em função da tensão nos capacitores (a) de L1; (b) de L2.

Como pode ser observado, apesar da área significativa dos capacitores e da reduzida espessura dos óxidos fabricados, a corrente de fuga permanece controlada, dentro de uma faixa de nanoampères para as tensões mais elevadas. Nota-se também uma tendência a correntes mais elevadas para polarizações negativas, pois, como o substrato é tipo p, para que haja corrente com tensões positivas, é necessário que os portadores capazes de atravessar o óxido consigam também superar as camadas de inversão e depleção no silício. Por fim, destaca-se que, por serem capacitores de grandes áreas, é natural a variabilidade observada nos níveis de corrente, uma vez que estão mais sujeitos a diferentes tipos de efeitos indesejados (tais como cargas no óxido e armadilhas de interface, potencializadas por se tratar de um óxido fino) do que dispositivos de menores dimensões.

Além da variabilidade na corrente em dispositivos de uma mesma lâmina, outro fenômeno que pode ocorrer é a variabilidade da tensão de ruptura. Para ilustrar este conceito, na Figura 5.3 são apresentadas as curvas de duas medidas consecutivas realizadas em um mesmo capacitor de L2, que permitem a visualização do início do fenômeno de ruptura.

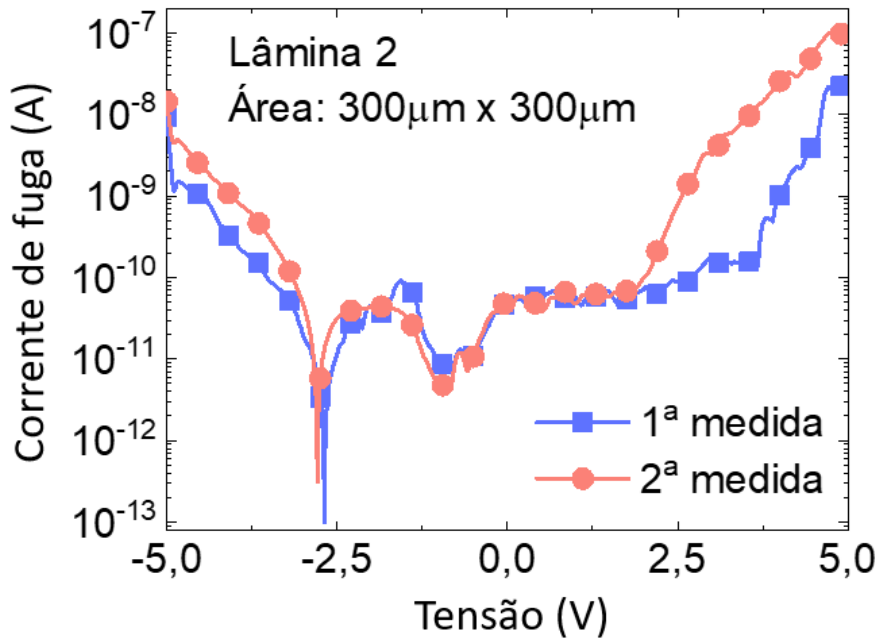


Figura 5.3 – Observação do início da ruptura do óxido em um capacitor de L2.

A elevação abrupta da corrente observada na primeira medida a partir dos 3,5 V, e o subsequente adiantamento desta elevação para aproximadamente 2 V durante a segunda medida indicam que o capacitor medido já iniciou o seu processo de ruptura do óxido. Se comparado com os dados apresentados na Figura 5.2(b) para dois diferentes capacitores da mesma lâmina, em que não é observado este mesmo aumento abrupto de corrente, fica evidente a flutuação na tensão de ruptura em um mesmo processo. Portanto, tendo em vista que os níveis de corrente observados na Figura 5.2 podem ser da mesma ordem de grandeza que uma eventual corrente de tunelamento, e visando obter medidas reproduzíveis que não danifiquem os dispositivos estudados, para o processo de fabricação dos ^{BE}SOI Túnel-FET será empregado, por segurança, um tempo de oxidação de 14 minutos, que deve, em primeira aproximação, resultar em um óxido de porta da ordem de 8 nm.

5.4 FABRICAÇÃO DOS TRANSISTORES ^{BE}SOI TÚNEL-FET

Antes de iniciar o processamento propriamente dito, foram realizadas medidas de interferometria nas quatro lâminas SOI virgens a serem utilizadas, a fim de verificar se todas estavam em conformidade com as especificações do fabricante (100 nm de espessura do filme de silício e 200 nm de óxido enterrado). Para isso, foram tomados cinco pontos em cada amostra, em cada uma das quatro lâminas, enumeradas de L1 a L4. Os resultados das medidas, bem como os valores médios são apresentados na Tabela 5.1 e na Tabela 5.2.

Tabela 5.1 – Medidas das espessuras do filme de silício nas lâminas virgens

t _{Si} (nm)	1	2	3	4	5	Média
L1	100,9	100,6	100,1	97,0	98,9	99,5
L2	99,9	100,6	100,5	99,9	100,5	100,3
L3	98,5	94,5	94,4	102,2	95,9	97,1
L4	100,6	100,3	100,2	101,3	100,4	100,6

Tabela 5.2 – Medidas das espessuras do óxido enterrado nas lâminas virgens

t _{BOX} (nm)	1	2	3	4	5	Média
L1	199,5	199,6	199,5	199,4	199,4	199,5
L2	199,6	199,5	199,6	199,4	199,4	199,5
L3	199,4	199,3	199,3	199,3	199,3	199,3
L4	199,6	199,6	199,6	199,4	199,6	199,6

Após verificar que as lâminas estavam de acordo com as especificações, procedeu-se para o processo de limpeza RCA, a fim de eliminar eventuais contaminantes e impurezas na superfície das lâminas, antes de proceder para a primeira oxidação. Este processo de limpeza é esquematizado na Tabela 5.3.

Tabela 5.3 – Resumo do processo de limpeza química.

Processo	Soluções	Tempo
Enxágue	Água deionizada	5 min
Remoção metais+materiais orgânicos	1NH ₄ OH + 2H ₂ O ₂ +8H ₂ O (a 80°C)	10 min
Enxágue	Água deionizada	5 min
Remoção alcalinos+ions metálicos	1HCl+4H ₂ O	10 min
Enxágue	Água deionizada	5 min
Remoção óxido nativo	1HF+100H ₂ O	5 s
Enxágue	Água deionizada	5 min

Imediatamente após a conclusão do último enxágue, as lâminas foram levadas ao forno para realizar a oxidação de afinamento do filme de silício, etapa necessária para garantir que exista interação entre os campos elétricos aplicados na primeira e na segunda interface, assegurando assim a operação dos dispositivos fabricados como ^{BE}SOI. Para tanto, considerou-se inicialmente uma espessura alvo de 20 nm de

filme de silício; mas como ainda há uma etapa adicional para crescimento do óxido de porta, projetado para ter 8 nm, deixou-se uma folga durante esta primeira etapa de oxidação. Para uma espessura de 27 nm de espessura do filme de silício, chegou-se a uma espessura de 158 nm para este primeiro óxido, a qual pode ser obtida levando as lâminas ao forno de oxidação seca por 80 minutos a 1150°C e com fluxo de 2,0 litros/min de O₂ (mais 5 minutos de entrada e 5 minutos de saída com fluxo de 2,4 litros/min de N₂). Ao término dessa etapa, as espessuras foram novamente medidas por interferometria, resultando na Tabela 5.4 e na Tabela 5.5.

Tabela 5.4 – Medidas das espessuras do filme de silício após primeira oxidação

t _{si} (nm)	1	2	3	4	5	Média
L1	26,2	26,9	28,2	28,9	29,4	27,9
L2	29,0	28,8	28,5	28,2	30,0	28,9
L3	25,9	21,8	23,9	27,2	24,0	24,4
L4	27,7	27,1	28,6	29,3	30,0	28,5

Tabela 5.5 – Medidas das espessuras do óxido crescido após primeira oxidação

t _{ox} (nm)	1	2	3	4	5	Média
L1	159,0	159,4	158,1	156,2	155,2	157,6
L2	155,8	157,5	157,1	158,3	156,6	157,1
L3	159,2	160,7	161,6	161,2	159,1	160,4
L4	158,7	160,8	158,2	155,7	154,7	157,6

Uma vez feita a oxidação, seguiu-se para a fotolitografia para definição das regiões de dopagem. A máscara foi fabricada utilizando fotolito, de acordo com o projeto completo ilustrado na Figura 5.4, observando-se que o resiste a ser utilizado será negativo, protegendo as áreas não expostas. As máscaras individuais podem ser encontradas no Apêndice A. Dentro da precisão que se tem para a fabricação neste processo, foram projetados transistores com comprimento e largura de máscara de 290 µm por 210 µm, respectivamente.

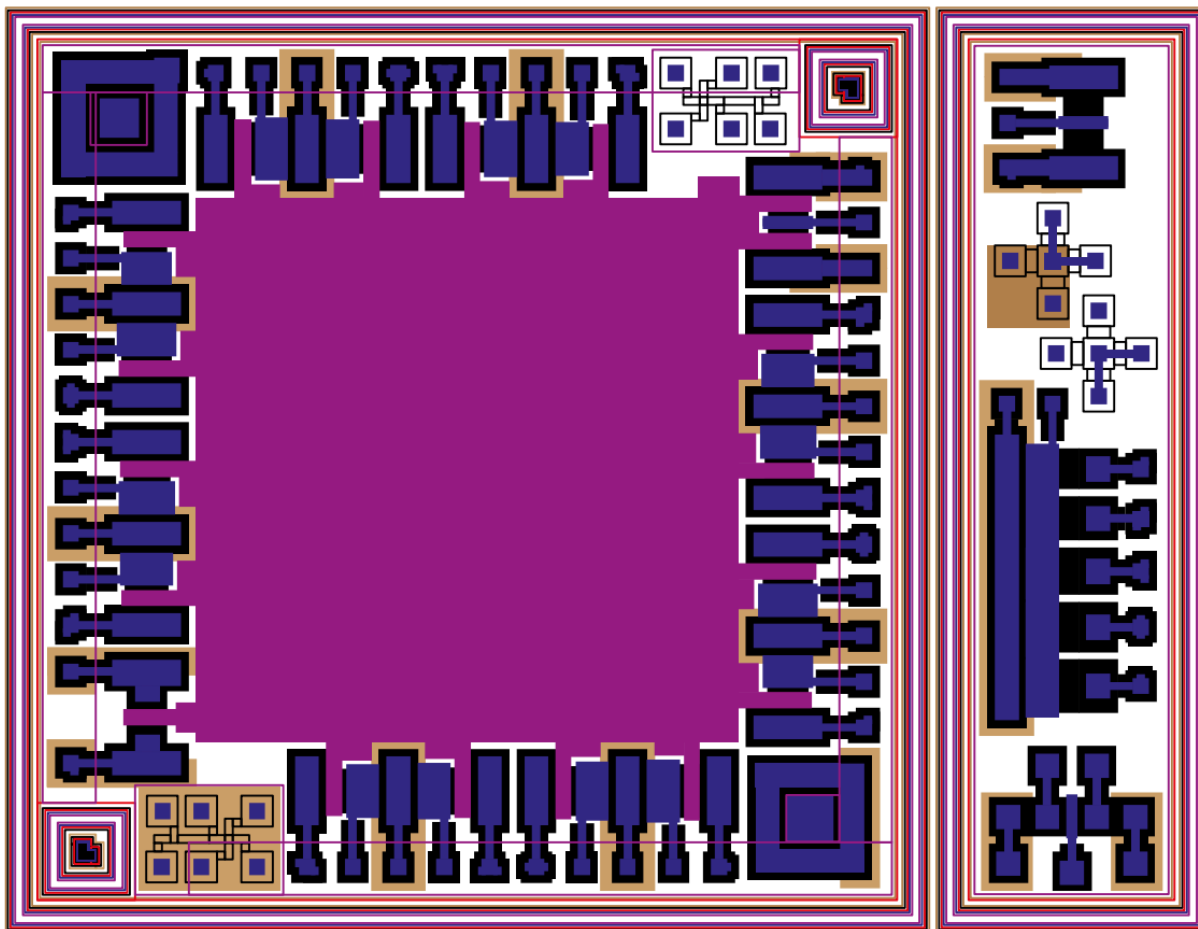


Figura 5.4 – Sobreposição de todas as máscaras utilizadas para o projeto completo.

O procedimento de litografia a dotado se deu da seguinte forma:

- Deposição do AZ1518 sobre as lâminas na *spinner* a 3500 rpm por 40 segundos;
- Pré-cura no *hot-plate* a 100°C por 50 segundos;
- Exposição à luz UV por 22 segundos;
- Revelação utilizando MIF3000 diluído em água na proporção 4:1 por 1 minuto;
- Pós-cura no *hot-plate* a 115°C por 90 segundos.

Antes de realizar a implantação iônica de fonte, foi necessário remover o óxido da região a ser implantada; porém, como o perfil de implantação de dopantes segue uma distribuição normal, não é ideal remover completamente o óxido crescido, mas sim apenas parte dele. Através de simulações numéricas unidimensionais utilizando o TCAD Sentaurus, verificou-se que uma espessura de óxido de 50 nm garante o pico próximo à superfície do silício, considerando a implantação de fósforo com energia de 30 keV e dose de 10^{16} cm^{-2} . Para remoção deste óxido foi utilizada uma solução tamponada de corrosão de silício, conhecida como BOE (da sigla em inglês, *Buffered Oxide Etch*). Esta solução possui uma taxa de corrosão nominal de aproximadamente

1,18 nm/s, portanto, para corroer aproximadamente 110 nm de óxido seriam necessários 93 s. Porém, após realizar a corrosão na L1 e verificar a espessura resultante, notou-se que a taxa real obtida foi de cerca de 1 nm/s, aumentando o tempo necessário para cerca de 105 s, tempo este que foi adotado da L2 em diante. As espessuras resultantes são apresentadas na Tabela 5.6.

Tabela 5.6 – Espessura do óxido após afinamento

t_{ox} (nm)	1	2	3	4	5	Médias
L1	61,6	61,2	62,4	61,3	64,7	62,2
L2	45,4	46,0	48,8	46,8	49,6	47,3
L3	50,8	45,4	51,5	53,4	50,5	50,3
L4	53,3	45,3	46,3	48,4	48,0	48,3

Após este afinamento, todas as lâminas foram implantadas com fósforo com energia de 30 keV e dose de 10^{16} cm⁻². Em seguida, removeu-se o fotorresiste utilizando a mesma solução de amônia empregada na limpeza RCA, uma vez que apenas acetona e álcool isopropílico não foram suficientes para esta remoção. Uma vez concluída esta etapa, usou-se o BOE novamente para remover o óxido sobre todas as lâminas, e prosseguiu-se para a definição da região ativa. Para tanto, mais uma etapa de fotolitografia foi realizada, seguindo o mesmo procedimento anteriormente descrito.

Para a definição da região ativa propriamente dita, foi utilizada a corrosão do silício cristalino por plasma, com gás SF₆, fluxo de 26 SCCM, 68 mtorr de pressão, potência de 100 W, com uma polarização em corrente contínua de -141 V, por 60 segundos. Verificou-se através do interferômetro que o silício foi completamente removido fora das regiões ativas, de acordo com o projetado, sem atacar significativamente o óxido enterrado exposto. Concluiu-se então esta etapa removendo o fotorresiste, mergulhando-se as lâminas por 10 minutos em acetona e posteriormente em álcool isopropílico por mais 10 minutos, ambos aquecidos a cerca de 56°C.

Subsequentemente, foi necessário realizar a oxidação de porta; portanto, para garantir a melhor qualidade possível deste óxido, foi executada mais uma etapa de limpeza RCA completa, e imediatamente levaram-se as lâminas ao forno de oxidação seca, mantendo os fluxos de gases previamente descritos, porém, alterando a temperatura do forno para 900°C e mantendo as lâminas nele por 14 minutos. Optou-

se pelo crescimento de um óxido de porta mais espesso do que previamente feito na seção 5.1, pois como os dispositivos ainda passariam por uma etapa de sinterização dos contatos ao final, seria possível que o alumínio depositado sobre óxido acabasse atravessando-o, inutilizando dessa forma os transistores. Seguindo este procedimento, foram obtidas as espessuras apresentadas na Tabela 5.7.

Tabela 5.7 – Espessura dos óxidos de porta

t_{ox} (nm)	1	2	3	4	5	Média
L1	10,3	9,8	12,4	11,3	12,3	11,2
L2	11,3	12,5	13,0	9,3	12,9	11,8
L3	7,1	8,9	11,7	10,3	7,2	9,0
L4	9,3	8,9	8,9	10,7	11,4	9,8

Uma vez concluída a oxidação de porta, seguiu-se imediatamente para a metalização das lâminas utilizando a evaporadora, como mais uma medida para garantir a máxima integridade do óxido de porta. Para essa etapa, utilizou-se um filamento de tungstênio, uma massa total de alumínio de 200 mg, e uma pressão de 10^{-5} mbar. Concluída a metalização, realizou-se mais uma etapa de fotolitografia com os mesmos parâmetros anteriormente descritos, com uma máscara para abertura dos contatos.

Antes de realizar a metalização dos contatos, porém, é necessário remover o alumínio depositado para proteção do óxido de porta, bem como o óxido crescido nas regiões de contato ao se fazer o óxido de porta. Para a corrosão do alumínio, é utilizada uma solução de ácido fosfórico ($175 \text{ H}_3\text{PO}_4 + 70 \text{ H}_2\text{O} + 15 \text{ HNO}_3$) aquecida a 40°C , na qual as lâminas foram imersas por cerca de 3 minutos. Em seguida, foi realizado um mergulho de cerca de 10 segundos em BOE para remover por completo o óxido, utilizou-se novamente o processo de remoção do resiste com acetona e álcool isopropílico, e então repetiu-se o mesmo procedimento de metalização anteriormente empregado.

Para a definição das regiões de alumínio, uma nova etapa de litografia novamente com os mesmos parâmetros anteriormente descritos foi realizada, seguida por mais uma remoção de alumínio utilizando a solução de ácido fosfórico.

Em sequência, foi utilizado o AZ1518 para proteger a frente da lâmina, de modo a permitir a sua imersão em BOE para remover o óxido nativo do verso, e então foi

feita a metalização do verso da lâmina, seguida pela remoção do resiste utilizando acetona e isopropanol. Por fim, as lâminas foram levadas ao forno de sinterização por cerca de 2 minutos a 420°C, concluindo assim as etapas de fabricação dos dispositivos. A Figura 5.5 apresenta dois transistores com fonte dopada compartilhada obtidos ao término do processo.

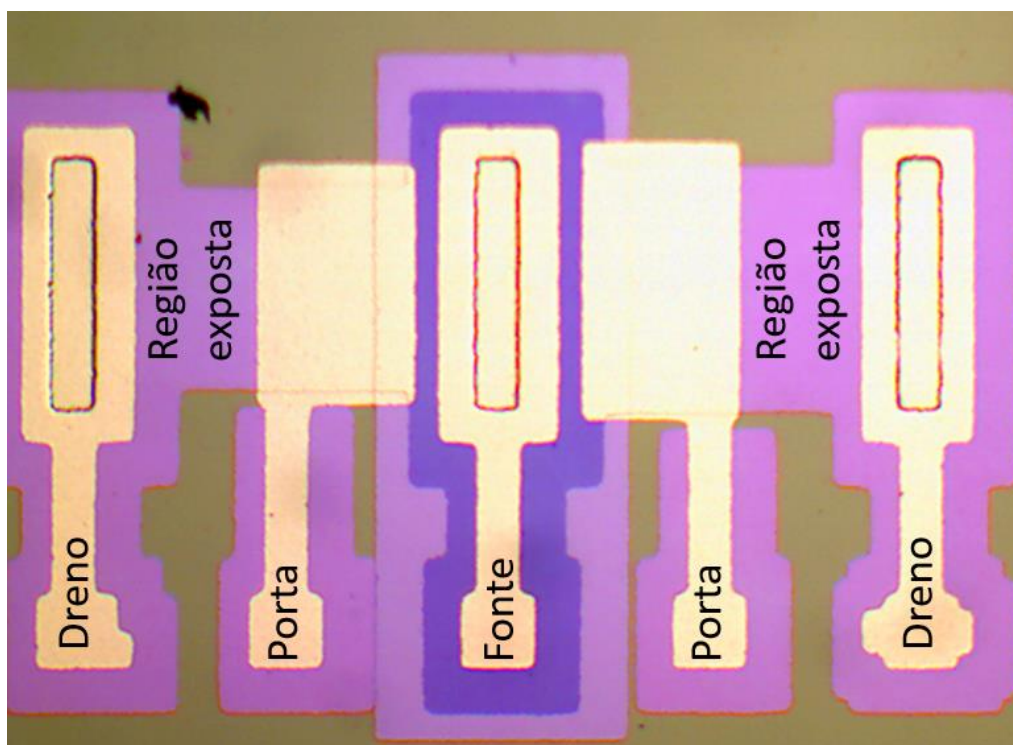


Figura 5.5 – Dois transistores ao final do processo de fabricação

Apesar de concluída a microfabricação dos dispositivos, para seu teste como biossensores ainda é necessário garantir que o líquido de interesse fique contido sobre a região sensível dos dispositivos, isto é, a região não dopada exposta entre porta e contatos de fonte/dreno. Para isso, pode-se utilizar o fotorresiste SU-8, que permite a deposição de uma camada mais espessa sobre a lâmina, e, portanto, contém um maior volume de líquido, simplificando dessa forma o processo de deposição da gota de solução. Destaca-se que, ao contrário das máscaras anteriores, esta é projetada para um resiste positivo, isto é, a área protegida será removida, enquanto a exposta permanecerá sobre a lâmina.

Para a deposição do SU-8 utilizou-se o seguinte procedimento:

- Deposição do SU-8 sobre as lâminas na *spinner* a 2000 rpm por 40 segundos;
- Pré-cura no *hot-plate* a 65°C por 18 minutos e então a 95°C por 45 minutos;
- Exposição à luz UV por 27 segundos;

- Cura pós-exposição no *hot-plate*: 65°C por 1 minuto, 95°C por 11 minutos, resfriar 5°C/min até 65°C;
- Desligar *hot-plate* e aguardar 10 minutos;
- Revelação por 12 min;
- Enxague em isopropanol.

Ao término deste processo, tem-se efetivamente a formação de pequenos reservatórios centrais em cada *die*, como ilustrado na Figura 5.6, com microcanais permitindo que o líquido entre em contato com os transistores apenas na região entre terminal de porta e o terminal de fonte/dreno da região não-dopada.

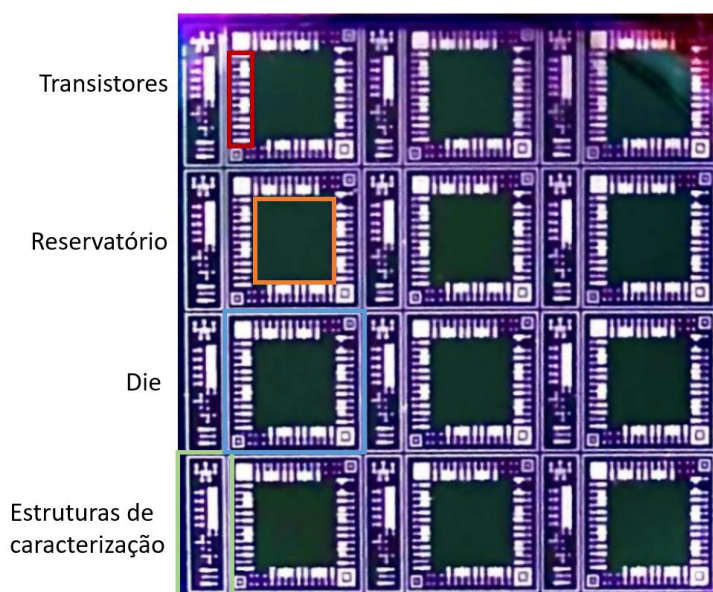


Figura 5.6 – Lâmina após deposição do SU-8

A última etapa sobre as lâminas é a deposição da Glicose Oxidase (GOx) dentro dos reservatórios de cada *die*. Para isso, primeiramente faz-se a preparação das soluções de enzima e glutaraldeído (GA, responsável pela fixação das enzimas sobre o óxido de silício) para então depositá-las, de acordo com os seguintes passos:

- Preparação de solução tamponada de fosfato (PBS) em concentração 100 mM, dissolvendo 25 tabletes em 500 mL de água DI;
- Ajuste do pH do PBS para 6.5 utilizando 650 µL de HCl;
- Preparação da solução de enzima, misturando de 10 mg de GOx, 10 mg de albumina sérica bovina (BSA), 100 µL de glicerol e 900 µL de PBS;
- Preparação da solução de GA 5%, misturando 200 µL de GA 25% com 800 µL de PBS
- Pingar 3 µL da solução enzimática, e então 6 µL da solução de GA 5% nos reservatórios.

6 CARACTERIZAÇÃO ELÉTRICA DO BE-SOI TÚNEL-FET

Primeiramente, foram levantadas as curvas características da corrente de dreno em função da tensão aplicada na porta antes da deposição de GOx, a fim de verificar se os dispositivos estavam operando adequadamente. Além da polarização de porta, variou-se a tensão aplicada no substrato de 25 V a -25 V e foram analisadas duas condições de polarização de dreno, primeiramente aplicando-se 0,1 V, conforme apresentado na Figura 6.1, e posteriormente 1 V, resultando nas curvas da Figura 6.2.

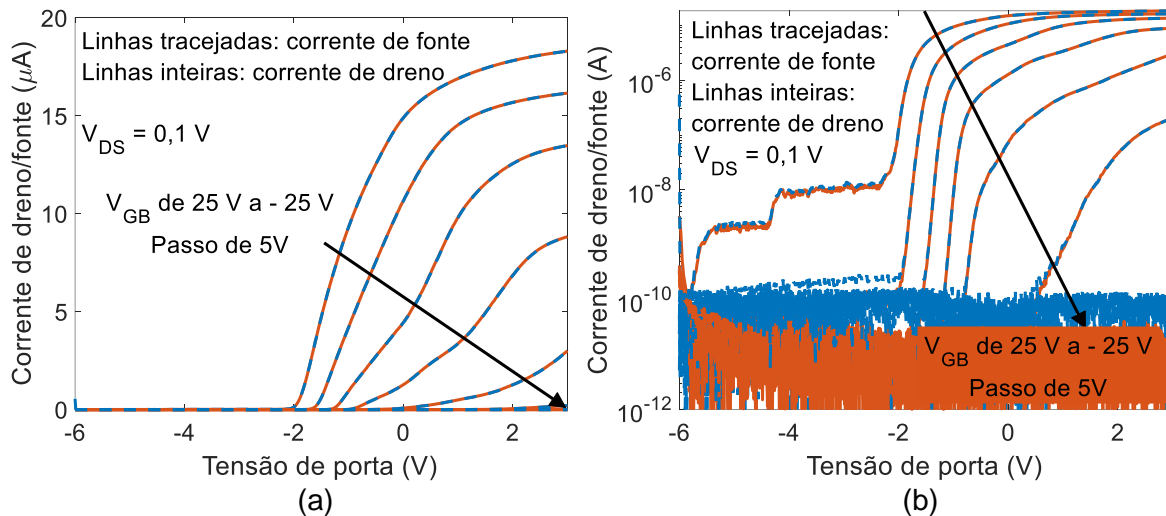


Figura 6.1 – Curvas de corrente em versus tensão dos dispositivos fabricados variando a tensão de substrato de 25 V a -25 V e tensão de dreno de 0,1 V em escala (a) linear e (b) logarítmica.

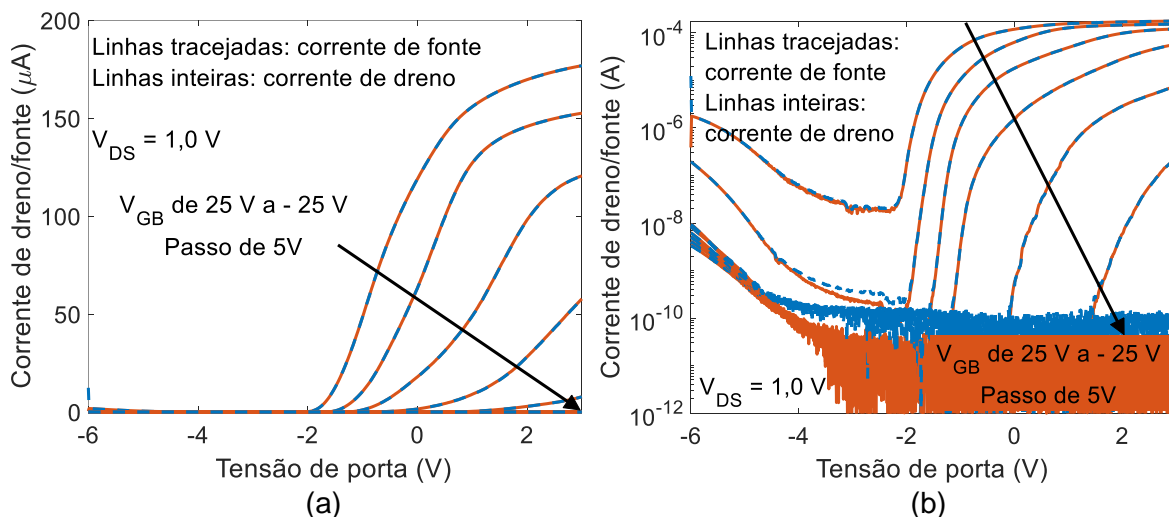


Figura 6.2 – Curvas de corrente em versus tensão dos dispositivos fabricados variando a tensão de substrato de 25 V a -25 V e tensão de dreno de 1 V em escala (a) linear e (b) logarítmica.

Pode-se notar que, apesar das não-idealidades, os dispositivos apresentam de forma geral um comportamento similar ao desejado, isto é: quando tensões positivas de substrato são aplicadas, eles se comportam como nMOSFETs, e para tensões de

substrato suficientemente negativas com V_{DS} elevado o bastante (em módulo), observa-se um comportamento esperado para um pTFET. Para aprofundar a análise, inicialmente serão avaliados dois parâmetros fundamentais para a operação como nMOS, a tensão de limiar e a inclinação de sublimiar, apresentadas na Figura 6.3.

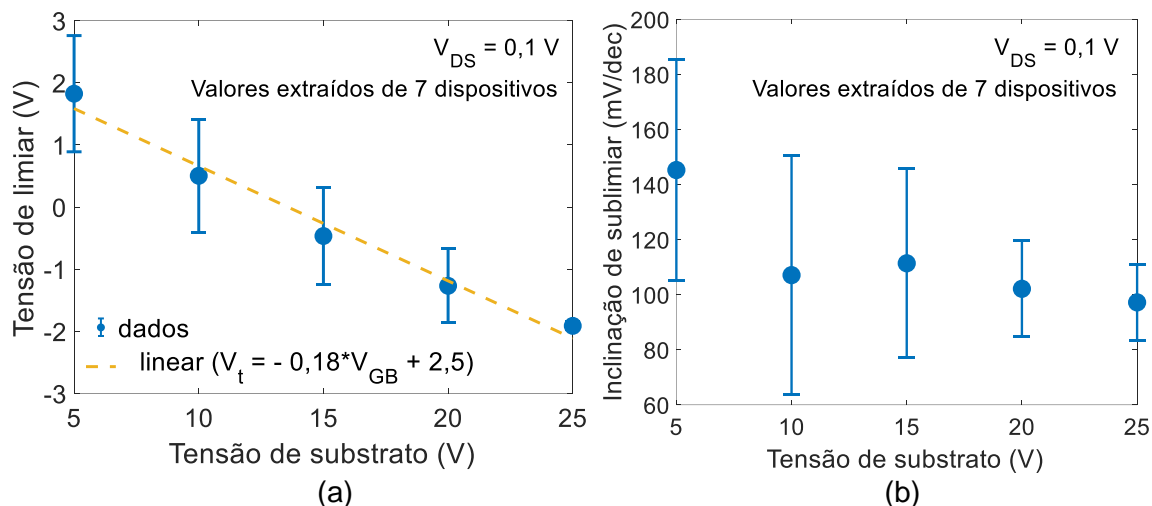


Figura 6.3 – (a) Tensão de limiar e (b) inclinação de sublimiar em função da tensão de substrato.

Analisando a tensão de limiar, alguns comportamentos atípicos são observados, como o valor elevado de α (cerca de 0,18) se comparado com os resultados das equações (6) e (7) (cerca de 0,053 e 0,088, respectivamente, utilizando os parâmetros estimados a partir do capítulo de fabricação), e a mudança no comportamento do desvio padrão para tensões de substrato mais elevadas, chegando a se tornar desprezível quando $V_{GB} = 25$ V. No caso da inclinação de sublimiar, o fenômeno mais destoante são os próprios valores extraídos, em torno de 100 mV/dec, resultado este significativamente superior ao observado em dispositivos ^{BE}SOI, de aproximadamente 80 mV/dec (RANGEL e MARTINO, 2015), como esperado de dispositivos SOI de modo depleção. Além disso, nota-se novamente uma aparente dependência entre tensão aplicada ao substrato e desvio padrão, ainda que não tão acentuada quanto no caso da tensão de limiar. Uma possível explicação seria um grau elevado de armadilhas de interface, justificado pelo pouco tempo gasto no forno de sinterização. Caso esta hipótese esteja correta, seria possível utilizar uma expressão de primeira ordem para estimar a densidade de estados de interface necessária para se obter o efeito observado. Utilizando a fórmula deduzida no Anexo B, assumindo que a capacitância de armadilhas na segunda interface seja muito menor que a capacitância do óxido enterrado (ou seja, $C_{it2} \ll C_{ox2}$), obtém-se a densidade de armadilhas na primeira interface $N_{it1} = 6,38 * 10^{11} \text{ cm}^{-2} \text{ V}^{-1}$, valor este dentro de uma

faixa de valores possíveis de acordo com a literatura (COLINGE, 2004). Com isto, é possível corrigir o valor esperado da inclinação de sublimiar de 80 mV/dec utilizando o fator de corpo extraído a partir da tensão de limiar, resultando em $1,18 \cdot 80 = 94,4$ mV/dec, de acordo com o que foi observado experimentalmente, exceto para a condição de 5 V aplicados ao substrato. Porém, o aumento nesta região pode estar relacionado à aproximação da condição limite de operação como nMOS, isto é, a polarização de substrato deixa de ser suficiente para formar uma camada de inversão suficientemente forte na segunda interface, degradando o comportamento do transistor. Porém, apesar de explicar de forma satisfatória os valores médios obtidos, a hipótese de um alto nível de armadilhas de interface não é suficiente para explicar a dependência do desvio padrão com a tensão de substrato; portanto, faz-se necessária a formulação de uma nova hipótese que justifique este fenômeno.

Um outro efeito observado tanto na Figura 6.1(b) como na Figura 6.2(b) é a presença de patamares de corrente na região de sublimiar, porém apenas para uma alta tensão de substrato (de pelo menos 25 V). Por se tratar de uma região em que eventuais defeitos de um dispositivo específico podem se manifestar mais claramente, e tendo em vista a necessidade de formular uma nova hipótese para justificar a observação de uma dependência entre variabilidade de parâmetros e tensão de substrato, será feita aqui uma análise da variabilidade entre dispositivos, através dos gráficos apresentando a média em comparação com os sete transistores medidos, como apresentado na Figura 6.4 para escala linear, na Figura 6.5 para escala logarítmica.

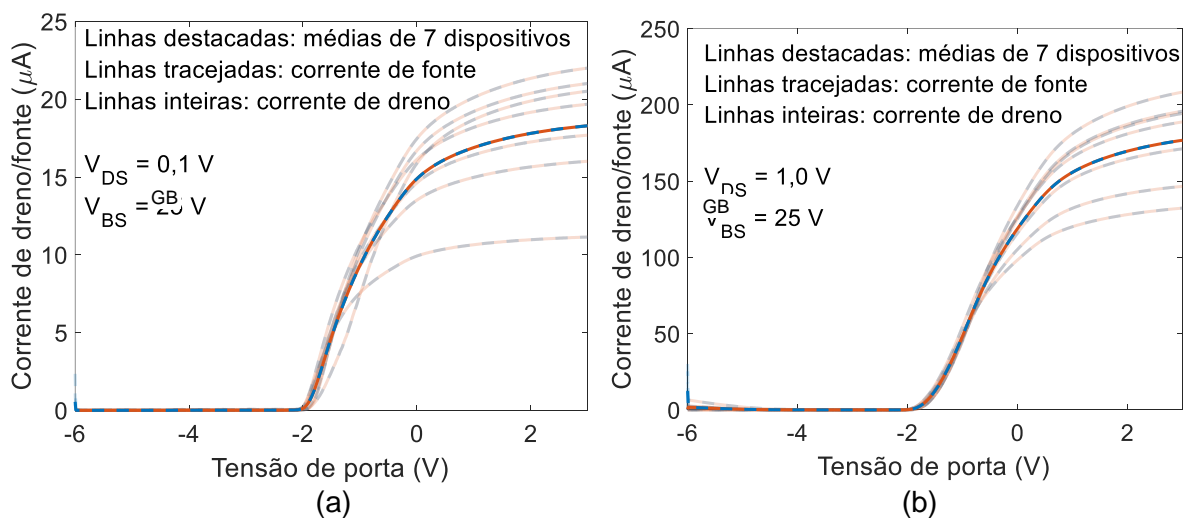


Figura 6.4 – Curvas de corrente versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 25 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V.

Destaca-se que, apesar da significativa variabilidade de corrente entre dispositivos em um único *die* (ultrapassando o dobro do valor máximo de corrente em certos transistores), é possível notar uma clara tendência de comportamento como um transistor nMOS, ainda que degradado para polarizações mais positivas de porta. Este comportamento já fora previsto nas simulações no capítulo 4, e está diretamente relacionado à resistência série. Nota-se ainda que, apesar das variações de corrente, a tensão de limiar apresenta pouca variabilidade entre dispositivos, com um valor médio de $-1,92 \pm 0,06$ V como indicado na Figura 6.3(a). A Figura 6.5 apresenta as mesmas curvas, porém em escala logarítmica, mostrando a baixa variabilidade também na inclinação de sublimiar, com um valor médio de 105 ± 17 mV/dec, conforme as extrações apresentadas na Figura 6.3(b).

Aqui, evidencia-se também a presença de alguns patamares de corrente antes de se atingir o estado desligado de cada dispositivo quando $V_{DS} = 0,1$ V. Considerando que este tipo de patamar não se forma para polarizações de substrato menores que 25 V, ele pode ser explicado pela eventual existência de transistores laterais parasitários dentro das estruturas fabricadas. Analisando-se a Figura 5.5, é possível notar que o metal de porta se estende para além da largura do canal de silício, e com uma assimetria entre os lados opostos devido à extensão do metal de porta para formação da região de contato. A Figura 6.6 apresenta uma versão esquemática de um corte transversal ao canal dos transistores fabricados, indicando em verde as regiões onde, potencialmente, pode ocorrer um acúmulo de elétrons devido às polarizações aplicadas, resultando nos transistores de efeito de campo parasitários laterais como descritos por Colinge (2004).

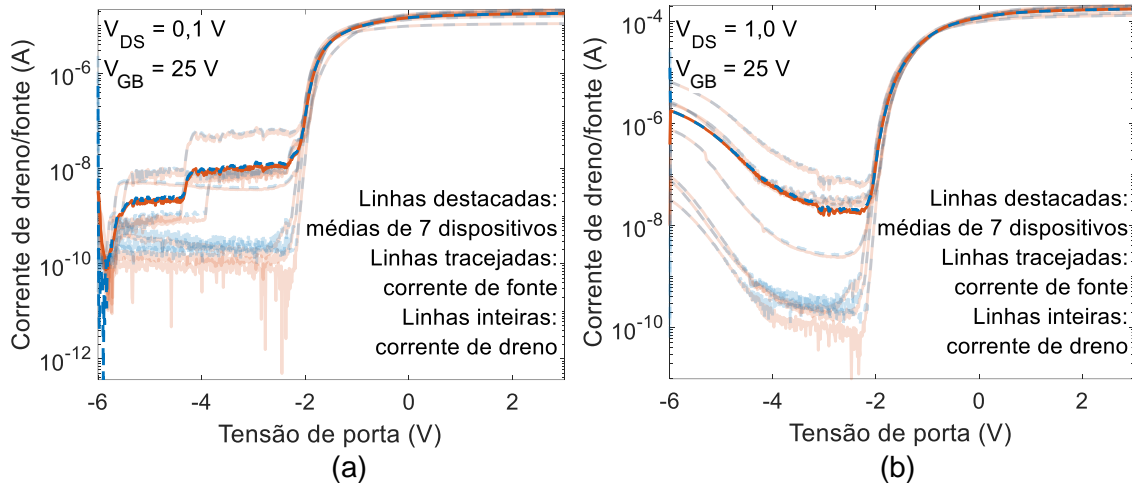


Figura 6.5 – Curvas de corrente em escala logarítmica versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 25 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V.

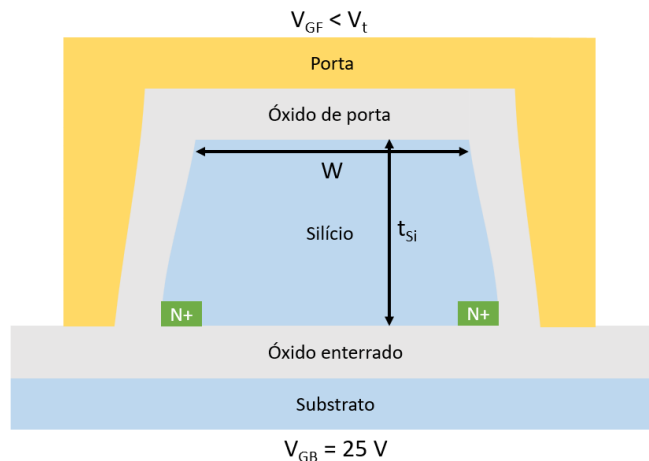


Figura 6.6 – Representação esquemática da ocorrência de canais laterais parasitários de condução de corrente em um corte transversal nos transistores fabricados.

Este mesmo comportamento também se apresenta para algumas curvas quando $V_{DS} = 1$ V, contudo, soma-se a ele uma componente adicional de corrente, remanescente de um efeito ambipolar. Para todos os dispositivos se observa uma elevação substancial de corrente no intervalo de -6 V a -4 V de V_{GF} , contudo, no caso dos dispositivos que apresentam o patamar, esta mesma elevação de corrente se dá algumas ordens de grandeza acima do que as observadas nos dispositivos sem o patamar. Para o caso sem patamar, a explicação esperada para este fenômeno seria a ocorrência de efeitos de tunelamento entre junção N+ e a região de acumulação sob a porta, sendo então a polarização entre dreno e fonte suficiente para disparar o diodo formado pela acumulação sob a porta e a região de inversão da segunda interface no limite entre região de porta e região não dopada, de forma análoga ao que foi observado para as simulações do Capítulo 4, em particular ao caso apresentado na

Figura 4.7(b). Já para o caso com patamar, nota-se que se atinge um nível significativamente mais elevado de corrente, efeito este que não pode ser simplesmente explicado como uma soma da corrente dos dispositivos sem patamar com o nível de corrente dos patamares de cada dispositivo (10^{-7} de corrente máxima de tunelamento + 10^{-7} de corrente dos patamares < 10^{-6} de corrente total). Uma possível explicação para este fenômeno seria a formação de um transistor bipolar parasitário em função das polarizações aplicadas, conforme ilustrado na Figura 6.7. Como previamente explicado, os patamares de corrente podem decorrer da geometria dos dispositivos, resultando em uma região de inversão ao longo das laterais na segunda interface. Combinando-se este fenômeno, a acumulação na primeira interface, e o estrangulamento do canal parasitário pela polarização elevada de dreno, tem-se a formação das regiões de base (acumulação), emissor (inversão) e coletor (junção N+) de um transistor bipolar. Neste modelo, a base seria alimentada inicialmente pela própria corrente de tunelamento, permitindo que o aumento de cargas na região de acumulação resulte na polarização direta entre base-emissor, causando a relativamente elevada corrente observada. Ressalta-se que, apesar do valor elevado, esta corrente ainda é cerca de duas ordens de grandeza inferior à corrente do transistor principal, como seria esperado, dado que a largura do transistor parasitário deve ser significativamente inferior do que a do principal.

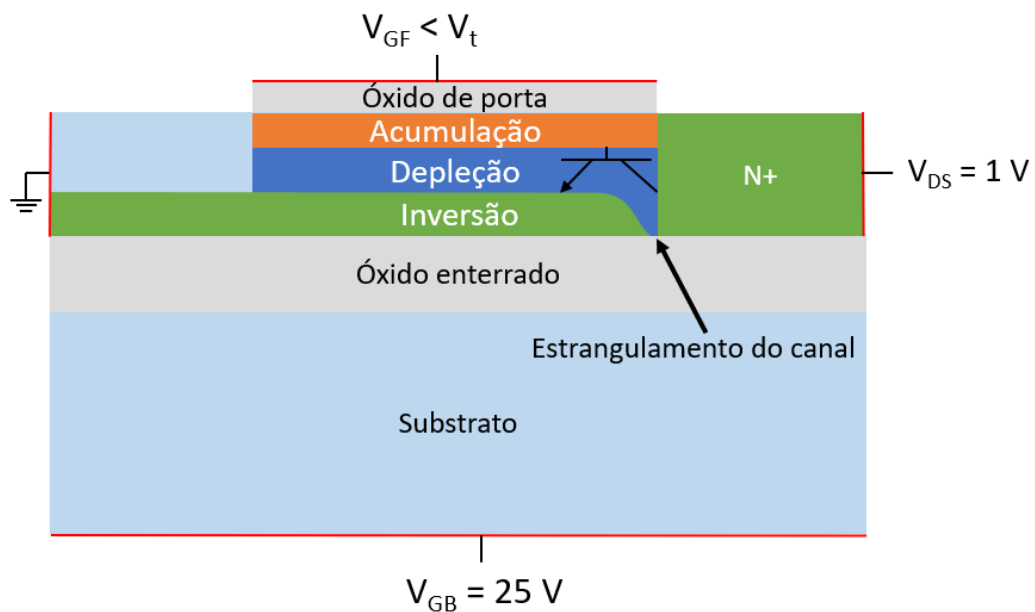


Figura 6.7 – Representação esquemática das condições de polarização que permitem a formação do transistor bipolar parasitário próximo às bordas laterais dos dispositivos.

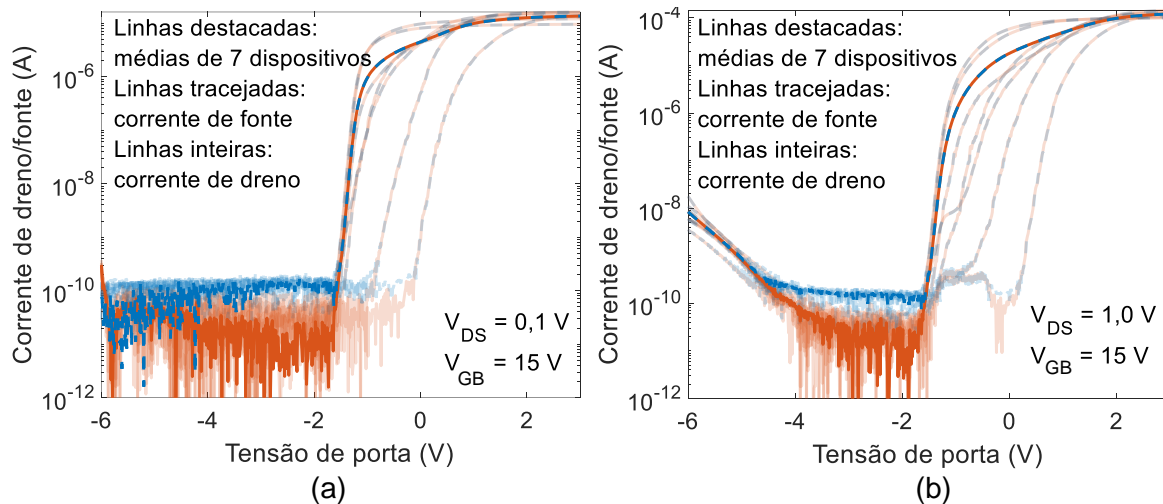


Figura 6.8 – Curvas de corrente em escala logarítmica versus tensão de porta dos dispositivos fabricados aplicando tensão de substrato de 15 V e tensão de dreno de (a) 0,1 V e (b) 1,0 V.

Para corroborar as hipóteses apresentadas, uma nova análise foi feita para a região de sublimiar dos mesmos dispositivos, porém aplicando-se uma polarização de substrato de 15 V, como ilustrado na Figura 6.8. Como já indicado na Figura 6.3(a), o que se observa é um aumento da tensão de limiar, combinada com um maior espalhamento dos seus valores. Considerando-se que os transistores laterais parasitários devem apresentar justamente uma alta variabilidade devido à sua natureza não intencional de projeto, bem como um acoplamento de capacitâncias significativamente diferente, é de se esperar que as suas tensões de limiar variem de forma diferente do que a tensão de limiar do transistor principal em função da polarização de substrato. Conseqüentemente, o que pode causar a maior variabilidade observada nas correntes de sublimiar é justamente a sobreposição das correntes de sublimiar dos transistores parasitários com as correntes dos dispositivos principais, e a separação destas correntes se torna possível apenas para tensões de substrato iguais ou superiores a 25 V, quando ocorre a total separação das correntes, resultando nos patamares previamente observados. De fato, a explicação dos transistores laterais encontra mais uma evidência no próprio método de extração da tensão de limiar, uma vez que, para alguns dispositivos, mais de um pico é observado, como ilustrado na Figura 6.9. Este segundo pico significa que há mais do que apenas um transistor passando do sublimiar para a condução, fato este que se encaixa na hipótese dos transistores laterais parasitários.

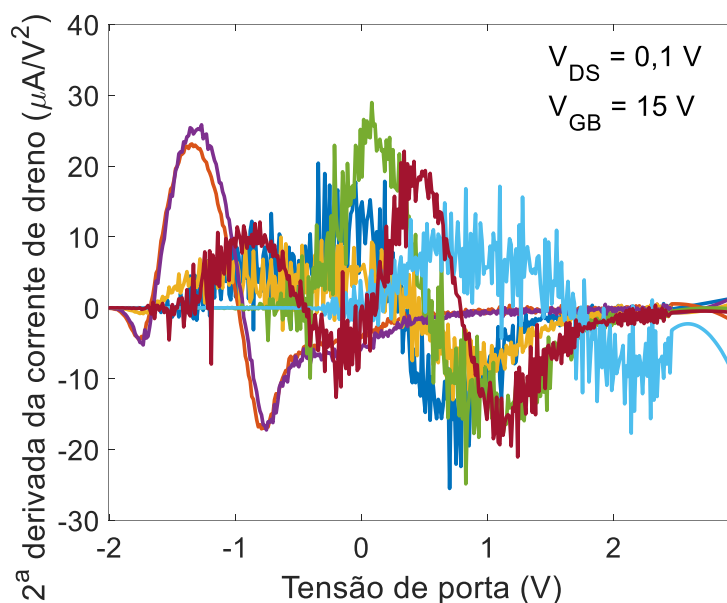


Figura 6.9 – Segunda derivada da corrente em função da tensão de porta de múltiplos dispositivos.

Todas as análises feitas até este ponto dizem respeito primariamente à operação do ^{BE}SOI Túnel-FET operando como nMOSFET, porém, é importante ressaltar que a operação como pTFET também foi atingida, sendo possível observar a elevação significativa de corrente entre -6 V e -4 V de tensão de porta em todas as condições de polarização de substrato na Figura 6.2. Vale destacar também que, devido às limitações impostas por se tratar de um processo universitário, o mecanismo de condução que governa a corrente de tunelamento dos dispositivos fabricados é o TAT, e não o BTBT, resultando na pior inclinação de sublimiar e baixo nível de corrente. Contudo, evidentemente trata-se de uma corrente de tunelamento entre fonte e dreno, e não de uma eventual corrente de fuga de porta ou substrato, indicando que ao menos no nível de prova de conceito, o dispositivo fabricado apresenta o comportamento tanto como nMOSFET como pTFET, tal qual o ^{BE}SOI Túnel-FET originalmente proposto. Uma ressalva importante a ser feita é que, independentemente da polarização de substrato, sempre há presença do comportamento de pTFET para a mesma faixa de tensões negativas de porta, diferentemente do que era inicialmente esperado. Por independer do substrato, fica evidente que o fenômeno de tunelamento se limita à primeira interface, como seria esperado; porém, o fato de essa corrente aparecer com mesma intensidade quando se tem polarizações positivas de substrato (e portanto uma região de inversão na região não dopada) indica que a passagem da corrente na região não dopada deve ocorrer não através da segunda interface, como projetado, mas sim através da

primeira, que, mesmo estando depletada ou fracamente acumulada, ainda deve apresentar uma resistência total inferior à resistência de tunelamento. Assim, modificações feitas na superfície dessa região podem levar a mudanças significativas no comportamento dos dispositivos; portanto, uma forma de validar-se esta hipótese seria através da observação do comportamento de sublimiar após a deposição da Glicose Oxidase, como será feito a seguir.

6.1 COMPORTAMENTO ELÉTRICO DO ^{BE}SOI TÚNEL-FET APÓS DEPOSIÇÃO DE GLICOSE OXIDASE

Primeiramente, após a deposição de GOx sobre a região não dopada dos dispositivos fabricados, foi feito um novo estudo do comportamento de sublimiar para diferentes polarizações de dreno e duas polarizações de substrato, uma para garantir o comportamento como nMOSFET (+25 V) e outra para garantir o comportamento isolado como pTFET (-25 V). As curvas obtidas para um dispositivo são apresentadas na Figura 6.10.

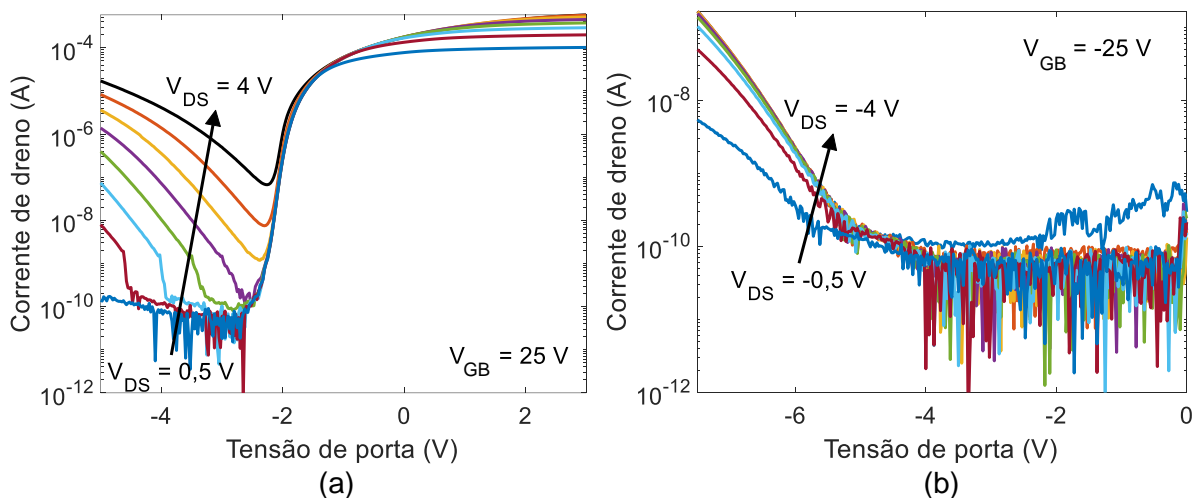


Figura 6.10 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de dreno com GOx, para tensão de substrato de (a) +25 V e (b) -25 V.

Como pode-se observar, variar a polarização de dreno resulta em dois comportamentos absolutamente distintos na região de sublimiar, a depender da polarização de substrato. Para a polarização negativa, observa-se um leve acréscimo na corrente de tunelamento, saturando rapidamente para V_{DS} mais negativo que -1 V. Se comparado com o comportamento anterior à deposição de GOx, a única mudança expressiva observada foi o deslocamento do ponto de início da condução, isto é, anteriormente era possível observar a condução a partir de -4 V de V_{GF} , enquanto

após a deposição só é observada alguma corrente a partir de -6 V. Como se trata de um fenômeno relacionado à deposição de GOx sobre a primeira interface da região não dopada, duas alternativas são possíveis: uma é que a combinação Gox+GA seja positivamente carregada, fazendo com que a segunda interface na região não dopada passe da acumulação devido à polarização de substrato para a depleção, resultando em um aumento da resistência série expressivo a ponto de ela ser capaz de se sobrepôr à resistência de tunelamento; outra é que a composição Gox+GA seja negativamente carregada, gerando uma acumulação na primeira interface, que por sua vez resultaria em uma redução da resistência série total e que, portanto, faria com que a condução dependesse apenas da resistência de tunelamento. Destas alternativas, a única possível dada a diminuição da tensão de porta necessária para se ter corrente de tunelamento é a primeira, ou seja, a carga total adicionada deve ser positiva. Para esta linha de pensamento, foi assumido que a corrente flui da primeira interface para a segunda ao longo da região de porta, e então segue majoritariamente pela segunda interface ao longo da região não dopada; porém, uma outra possibilidade seria de que a corrente flui inteiramente pela primeira interface tanto sob a porta como na região não dopada. Contudo, independentemente do caminho da corrente, a conclusão sobre a polaridade da GOx não seria alterada, uma vez que cargas positivas também dificultariam a corrente de lacunas na primeira interface, sendo necessário um campo de espraiamento a partir da porta mais negativo para contrabalancear as cargas adicionadas.

Analisando o comportamento do dispositivo quando a tensão de substrato é positiva, nota-se uma nova tendência não observada previamente: ocorre uma limitação na capacidade de desligamento do nMOS intimamente relacionada com a tensão de dreno, aparentando indicar a existência de um efeito ambipolar. Contudo, os níveis de corrente apresentados são muito acima dos esperados de um efeito de tunelamento, e, como já observado, a tensão de dreno apresenta pouca influência sobre o tunelamento, diferentemente do que ocorre na Figura 6.10(a). Assim sendo, um efeito que poderia explicar este fenômeno seria a existência de um transistor bipolar parasitário similar ao descrito antes da deposição de GOx. Neste caso, porém, a sua ativação não depende dos transistores laterais parasitários, mas sim de um efeito similar ao de corpo flutuante observado primariamente em dispositivos SOI parcialmente depletados; entretanto, deve-se notar que ele também pode ocorrer em dispositivos SOI totalmente depletados caso estejam polarizados em acumulação em

uma de suas interfaces (COLINGE, 2004). Para o caso do dispositivo aqui em análise, sabe-se que, pela sua espessura (da ordem de 20 nm), ele deve se comportar como totalmente depletado, enquanto as polarizações aplicadas na região de sublimiar fazem com que a primeira interface esteja acumulada, e a segunda esteja em depleção na região sob a porta. Contudo, ao se aplicar tensões progressivamente mais elevadas no dreno, começa a ocorrer a ionização por impacto próximo à junção. Enquanto elétrons são absorvidos pelo dreno, as lacunas se acumulam na região de menor potencial da estrutura como um todo. Em um dispositivo SOI convencional, tal região é a depleção sob a porta, onde o acúmulo de lacunas eleva localmente o potencial, e conseqüentemente diminui a tensão de limiar da primeira interface. Com isto, aumenta-se a corrente total na junção, aumentando a ionização por impacto e entrando em um ciclo de realimentação positiva. Aqui, duas ressalvas devem ser feitas: primeira, a condução no ^{BE}SOI TFET se dá pela segunda interface, portanto o acúmulo de cargas positivas na depleção reduz a tensão de limiar da segunda interface, eventualmente possibilitando a condução através dela; segunda, por se tratar de um dispositivo de filme fino, existe pouco volume para esta concentração de cargas na região de depleção, logo é possível que o efeito de realimentação positiva seja cortado antes que o dispositivo atinja o que seria o seu nível máximo de corrente, uma vez que a densidade de cargas pode ser suficientemente elevada ao ponto de causar a polarização direta entre região de acúmulo de lacunas e a região de inversão na parte não dopada do dispositivo.

Antes da deposição da GOx, não há indícios de ionização por impacto nas curvas de corrente analisadas em nenhum dispositivo com V_{DS} de 1 V, valor este que, como observado na Figura 6.10(a), é suficiente para iniciar esta ionização; por outro lado, após a deposição observa-se claramente este efeito através de uma elevação abrupta de corrente, ainda que em uma escala e intervalo reduzidos. Como deduzido no caso em que o dispositivo operava como pTFET, as cargas sobre a região não dopada devem ser de natureza positiva; portanto, combinando-se com a inversão da segunda interface devido ao potencial aplicado para a operação como nMOSFET, o resultado deve ser que a primeira interface se encontra em a inversão. Somando-se estes fatos, é possível explicar como o acréscimo de cargas na região não dopada pode provocar o aparecimento de um fenômeno que ocorre primariamente na interface entre região dopada e canal: antes da deposição de GOx, a primeira interface da região não dopada encontrava-se em depleção, e portanto o campo elétrico entre

fonte e dreno garantia que todas as cargas geradas pela ionização por impacto seriam escoadas para a fonte através da primeira interface; após a deposição de GOx, a primeira interface passa a estar em inversão, impossibilitando a passagem das lacunas geradas pela ionização, fazendo com que elas se acumulem no filme de silício sob o canal, região essa de menor potencial. Deste ponto, duas explicações distintas são possíveis: a primeira é que o acúmulo de cargas positivas gera um aumento local de potencial, polarizando diretamente a “junção” PN eletricamente induzida (deve-se notar que não se trata de uma junção no sentido tradicional, mas sim de uma interface entre regiões com excesso de cargas opostas em silício), fazendo então com que a primeira interface passe a se comportar como um transistor bipolar de junção operando em modo ativo, onde a corrente de base é suprida pela ionização por impacto, como indicado na Figura 6.11; a segunda é que a distribuição de potenciais faz com que as lacunas acabem ficando acumuladas sob a porta, sem conseguir transpor a barreira para fonte, reduzindo a tensão de limiar da segunda interface até atingir-se o ponto em que ocorre novamente a formação de canal, devendo-se notar que, neste caso, é possível a ocorrência do ciclo de realimentação positiva previamente descrito. Esta segunda proposta de funcionamento é esquematizada na Figura 6.12.

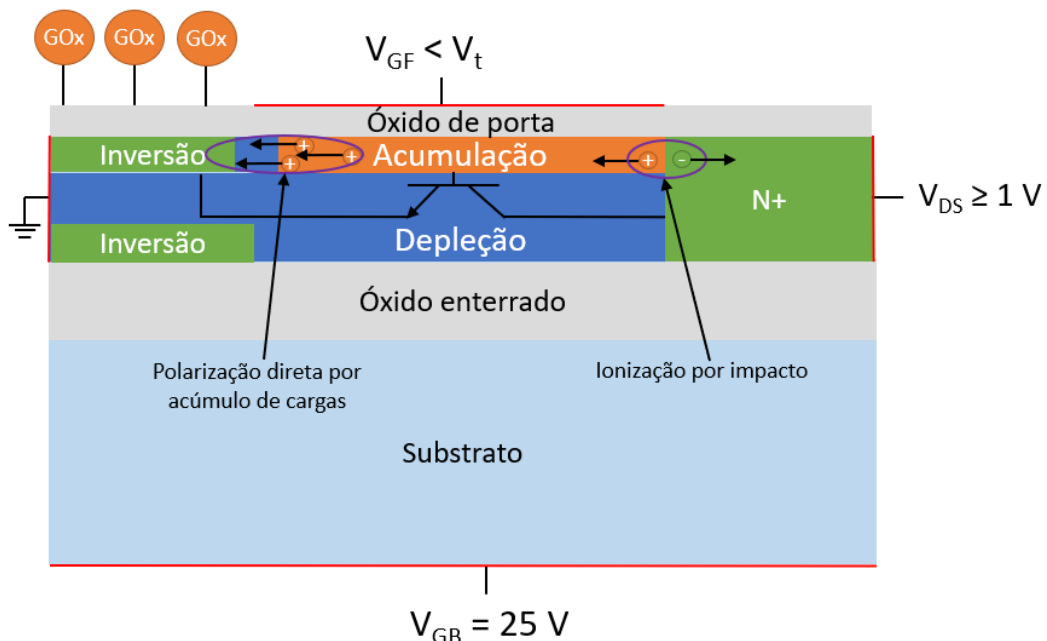


Figura 6.11 – Representação esquemática do modelo proposto para a condução de sublimar após a deposição de GOx.

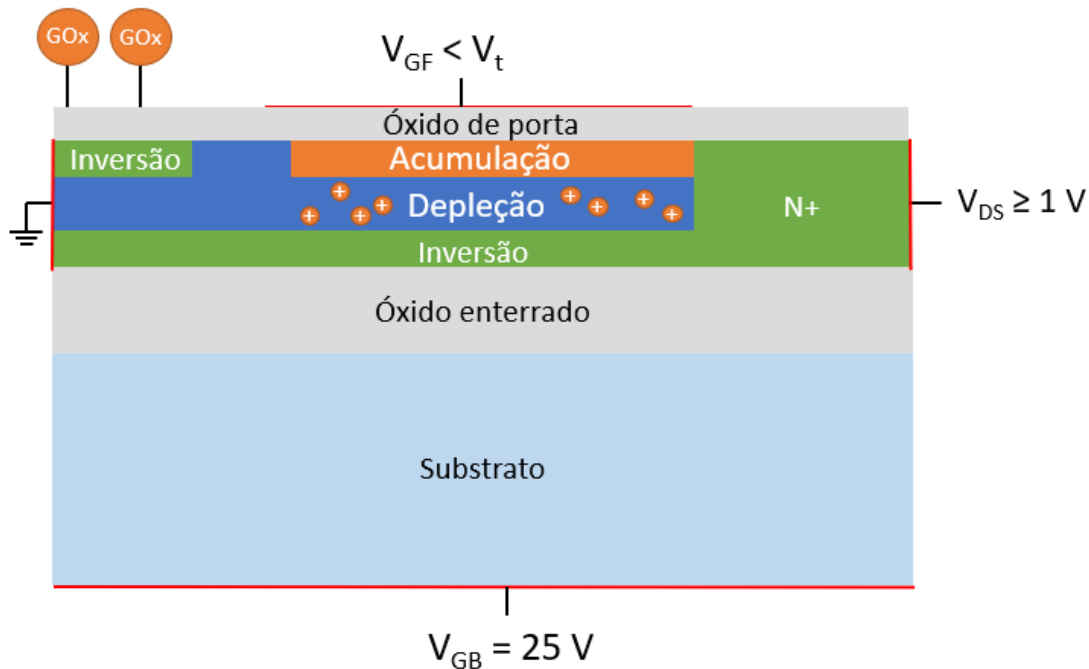


Figura 6.12 – Representação esquemática do modelo adaptado para a condução de sublimar após a deposição de GOx.

Com estas ferramentas, pode-se finalmente explicar por completo a Figura 6.10(a) a partir da Figura 6.11: primeiramente, para a polarização de 0,5 V de dreno, não se observa anomalia alguma em sublimar, como esperado, já que para tensões baixas de dreno não deve ocorrer uma ionização por impacto significativa; para tensões de dreno entre 1 V e 2 V, é possível observar um princípio de elevação abrupta do nível de corrente, devido ao acúmulo de lacunas reduzindo a tensão de limiar da segunda interface e iniciando o processo de realimentação positiva, porém logo ele é superado por uma outra corrente, de inclinação menos abrupta, que ocorre devido à polarização direta da “junção” PN eletricamente induzida entre canal e região não dopada; finalmente, para V_{DS} de 2,5 V e acima, observa-se apenas o aumento suave de corrente para tensões de porta mais negativas, indicando que a ionização por impacto é elevada a ponto de gerar cargas o suficiente para polarizar diretamente a primeira interface entre região não dopada e porta.

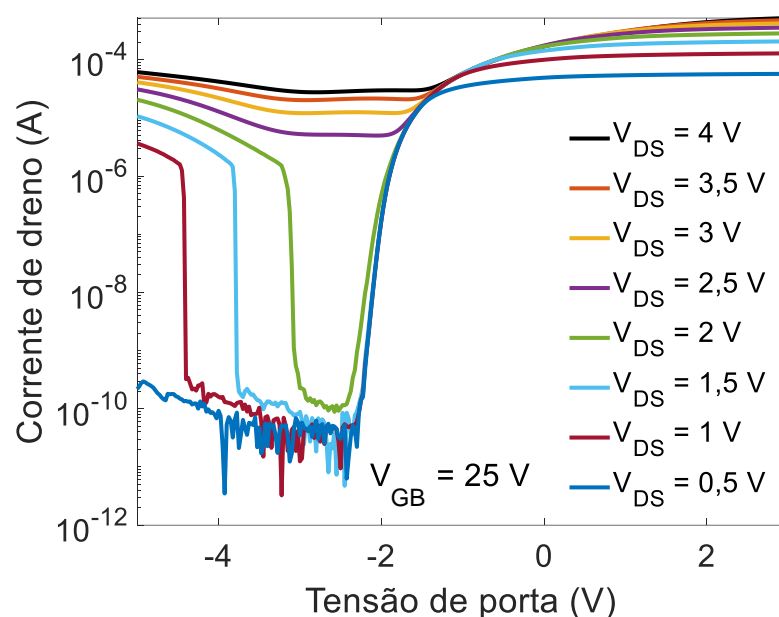


Figura 6.13 – Corrente de dreno em função da tensão de porta para múltiplas polarizações de dreno com GOx, para tensão de substrato de +25 V.

Dada a susceptibilidade do processo aqui empregado a variações, é possível encontrar em uma mesma lâmina dispositivos que se comportem de acordo com o modelo proposto na Figura 6.12. Um exemplo deste caso é apresentado na Figura 6.13, em que o fenômeno de elevação abrupta de corrente é muito mais pronunciado. Apesar de ter um resultado significativamente diferente no comportamento das curvas de corrente, pode-se entender que pequenas variações de processo causem isto, como, por exemplo, um aumento na distância de isolamento entre metal de porta e abertura da região não dopada para deposição de GOx em relação ao dispositivo previamente apresentado. Isto aumentaria a região de depleção entre a inversão sob a GOx e a acumulação sob a porta, dificultando a polarização direta da primeira interface. Neste caso, as cargas se acumulam no filme de silício, reduzindo a tensão de limiar da segunda interface até permitir condução através dela, como indicado na Figura 6.12.

6.2 APLICAÇÃO DO ^{BE}SOI TÚNEL-FET COMO BIOSSENSOR

Por fim, para averiguar o comportamento como biossensor, foi desenvolvido um protocolo para realizar as medidas nos transistores. Primeiramente, pinga-se a gota de solução a ser avaliada no reservatório central. Em seguida, são baixadas as pontas de prova nos terminais de fonte e dreno do dispositivo a ser medido, aplicando-se uma tensão de -5 V em ambos, mantendo-se o substrato aterrado. Além disso, um

fio de platina aterrado é posto em contato com a solução, próximo à posição onde se encontra o transistor. Esta configuração é mantida polarizada por cerca de 5 minutos, a fim de garantir que a GOx tenha tempo para catalisar a reação de quebra da glicose, gerando peróxido de hidrogênio, o qual deve ser decomposto pela reação eletroquímica que ocorre na superfície do semiconductor polarizado, gerando por sua vez cargas elétricas que devem alterar o comportamento do transistor. Ao término dos 5 minutos, a gota é removida, faz-se um enxágue do reservatório com água DI, e prossegue-se com a medida das curvas de corrente de dreno em função da tensão de porta dos dispositivos. Aplicando-se este protocolo, foram obtidas as curvas apresentadas na Figura 6.14.

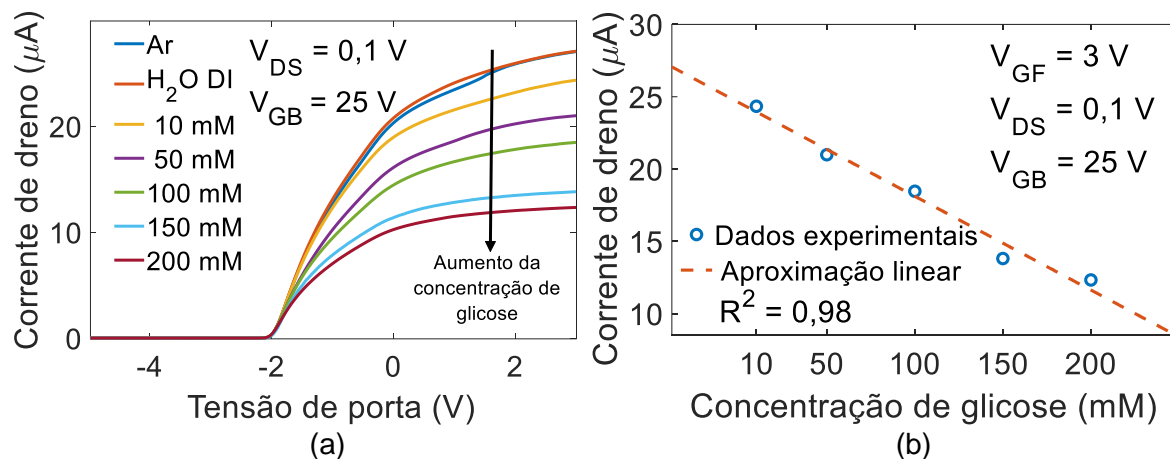


Figura 6.14 – Corrente de dreno em função (a) da tensão de porta para múltiplas concentrações de glicose e (b) da concentração de glicose para uma tensão de porta fixa.

Na Figura 6.14(a), pode-se observar que a corrente de dreno para uma dada polarização fixa possui correlação direta com a concentração, sendo que uma maior concentração de glicose implica em uma menor corrente de dreno, devido a uma maior degradação em função da resistência da região não dopada. Para justificar este aumento de resistividade, pode-se considerar que cargas negativas foram acopladas ao óxido sobre a região não dopada, efetivamente atraindo lacunas e repelindo elétrons na interface entre óxido e silício na região não dopada, alterando o comportamento de resistência série para o de uma “junção” PN reversamente polarizada entre região não dopada (tendendo a ser tipo P em função das cargas eletrostáticas) e o canal (tendendo a ser tipo N em função da polarização de porta) mais a região dopada com fósforo. Uma reação que permitiria explicar esse fenômeno seria uma de quebra do peróxido de hidrogênio em duas moléculas OH^- , a partir do fornecimento de elétrons providos do silício durante a etapa de polarização aplicada

com a gota sobre o dispositivo. A fim de corroborar esta hipótese, tem-se o exemplo das curvas de corrente de um outro dispositivo na Figura 6.15.

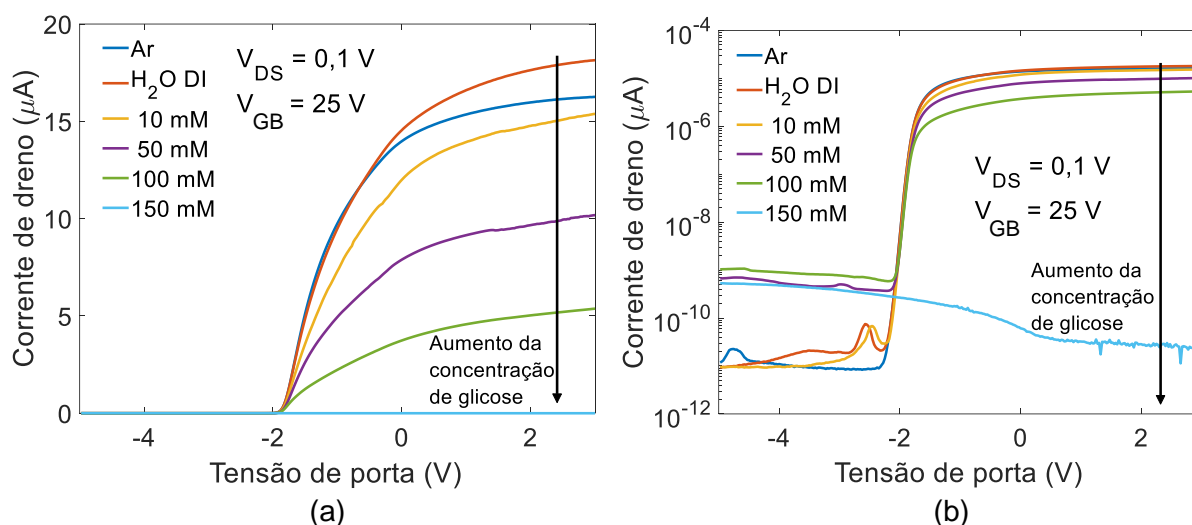


Figura 6.15 – Corrente de dreno em função da tensão de porta para múltiplas concentrações de glicose em escala (a) linear e (b) logarítmica.

A curva para concentração de 150 mM, especialmente em escala logarítmica, evidencia que o dispositivo deixa de operar como um transistor nMOS, passando a apresentar uma corrente negligenciável dentro da faixa de tensões que deveriam corresponder ao estado ligado do dispositivo. Este fato aponta para a formação de uma “junção” PN que está reversamente polarizada, pois indica a existência apenas de uma corrente de fuga, e não mais de um transistor operando em estado ligado com a sua corrente degradada pela resistência série. Nota-se ainda que esta corrente apresenta uma leve dependência com a tensão de porta para valores negativos, uma vez que, nessa faixa de valores, se acumulam portadores tipo p sob a porta, alterando o comportamento da “junção” PN formada.

7 ESTUDO SOBRE BIOSSENSORES DE DNA

Uma vez concluídos os estudos sobre o ^{BE}SOI Túnel-FET operando como biossensor, parte-se para a descrição do trabalho realizado em conjunto com o imec, na Bélgica, no qual outro tipo de biossensor foi avaliado, um FinFET tipo P de porta líquida, isto é: um dispositivo tridimensional em que sobre o óxido de porta não é depositado metal algum; ao invés, utiliza-se um eletrólito (no caso, PBS) e um eletrodo de referência (de Ag/AgCl) para se polarizar a porta, como apresentado no Capítulo 3. No presente capítulo, serão apresentadas as características elétricas deste dispositivo, um modelo de ruído adaptado para a alta resistência série observada nele, e o resultado da análise da relação entre sinal medido (moléculas de DNA fixadas à superfície de porta) e ruído gerado pela composição semiconductor mais eletrólito e carga relacionada ao DNA.

7.1 CARACTERIZAÇÃO ELÉTRICA BÁSICA

Inicialmente, são apresentadas as características de corrente de dreno versus tensão de porta na Figura 7.1 para duas diferentes geometrias de canal, mostrando que, apesar dos dispositivos serem polarizados através de uma solução eletrolítica em série com o dielétrico de porta, eles apresentam um comportamento similar aos transistores convencionais, inclusive apresentando alguma degradação de corrente para maiores tensões de porta, como esperado de dispositivos com canais mais curtos ou com elevada resistência série. Para definir melhor as características de operação dos dispositivos a serem estudados, são apresentadas a tensão de limiar e inclinação de sublimiar em função do comprimento de canal na Figura 7.2. A boa qualidade dos dispositivos fabricados é demonstrada através da inclinação de sublimiar que, antes da deposição da monocamada automontada, apresenta valores próximos ao ideal (cerca de 65 mV/dec) para todos os dispositivos, exceto o de menor comprimento (50 nm), para o qual efeitos de canal curto começam a ser relevantes, degradando a inclinação para valores que chegam a se aproximar dos 200 mV/dec. Este fato é reforçado pelo impacto observado da largura de aleta (W_{fin}), uma vez que, o dispositivo com largura de 20 nm apresenta uma degradação significativamente maior que o de 10 nm, resultado este esperado devido ao melhor acoplamento eletrostático atingido

no mais estreito. Um efeito similar pode ser notado na tensão de limiar, enfatizando a presença de efeitos de canal curto.

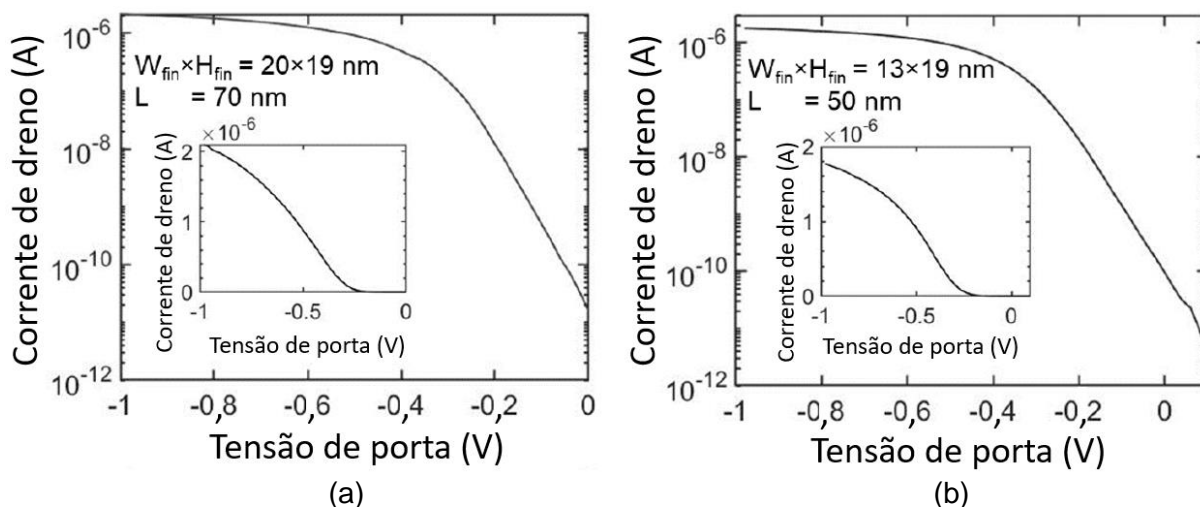


Figura 7.1 – Corrente de dreno em função da tensão de porta para comprimento de canal e largura de aleta de (a) 70 nm e 20 nm; (b) 50 nm e 13 nm, respectivamente.

Fonte: adaptado de Santermans (2020).

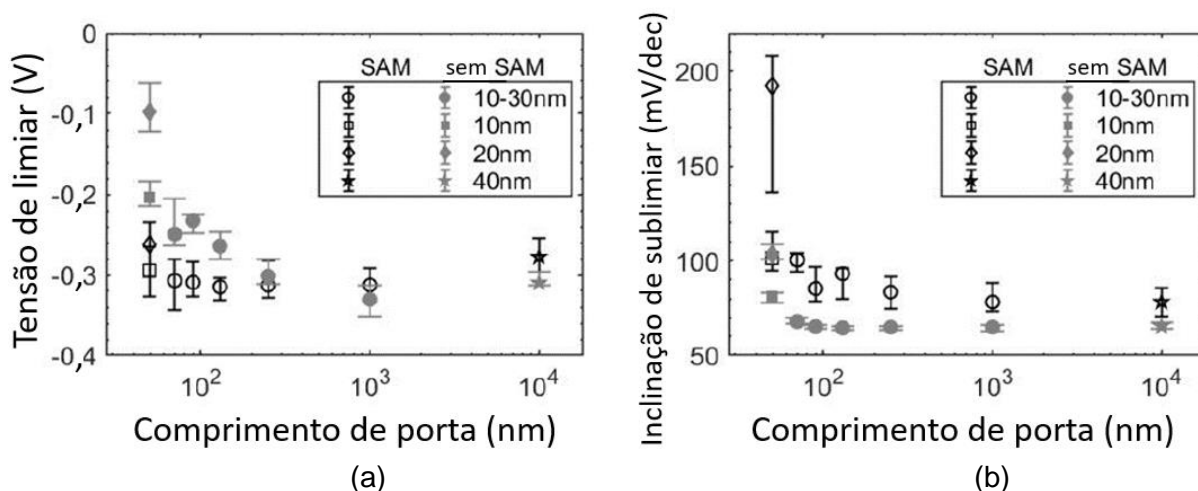


Figura 7.2 – Distribuição da (a) tensão de limiar e (b) inclinação de sublimiar em função do comprimento de canal para dispositivos com e sem monocamada automontada e diferentes larguras de aleta

Fonte: adaptado de Santermans (2020).

Deve-se notar ainda que a deposição da monocamada, necessária para os experimentos de detecção a serem apresentados, degrada de forma expressiva a inclinação de sublimiar (no pior caso chegando a 200 mV/dec para o dispositivo mais curto, mas em média representando um aumento de cerca de 20 mV/dec dos valores originais), ao passo que a tensão de limiar aparenta se tornar mais imune aos efeitos de canal curto. Uma possível explicação para este fenômeno é que o acréscimo da SAM (do inglês, “*Self-Assembled Monolayer*”) piore o acoplamento capacitivo,

causando a degradação observada na inclinação de sublimiar, porém adicione cargas que contrabalanceiam o aumento da tensão de limiar provocado pelos efeitos de canal curto.

Além dos dois parâmetros previamente citados, foram extraídos também os valores de transcondutância máxima e resistência série em função da sobretensão de condução ($V_{GT} = V_{GF} - V_T$), apresentados na Figura 7.3 e na Figura 7.4, respectivamente. De ambos os gráficos, pode-se concluir que a degradação da transcondutância máxima observada para os dispositivos de menor comprimento se deve à resistência série elevada. Além disso, como a extração da transcondutância máxima foi feita para os dispositivos de largura de aleta mínima, deve-se observar também que existe uma aparente dependência entre o valor extraído da resistência série e a polarização de dreno aplicada que não aparenta ocorrer para os dispositivos mais largos, indicando uma possível limitação do modelo considerado para se fazer a extração em si.

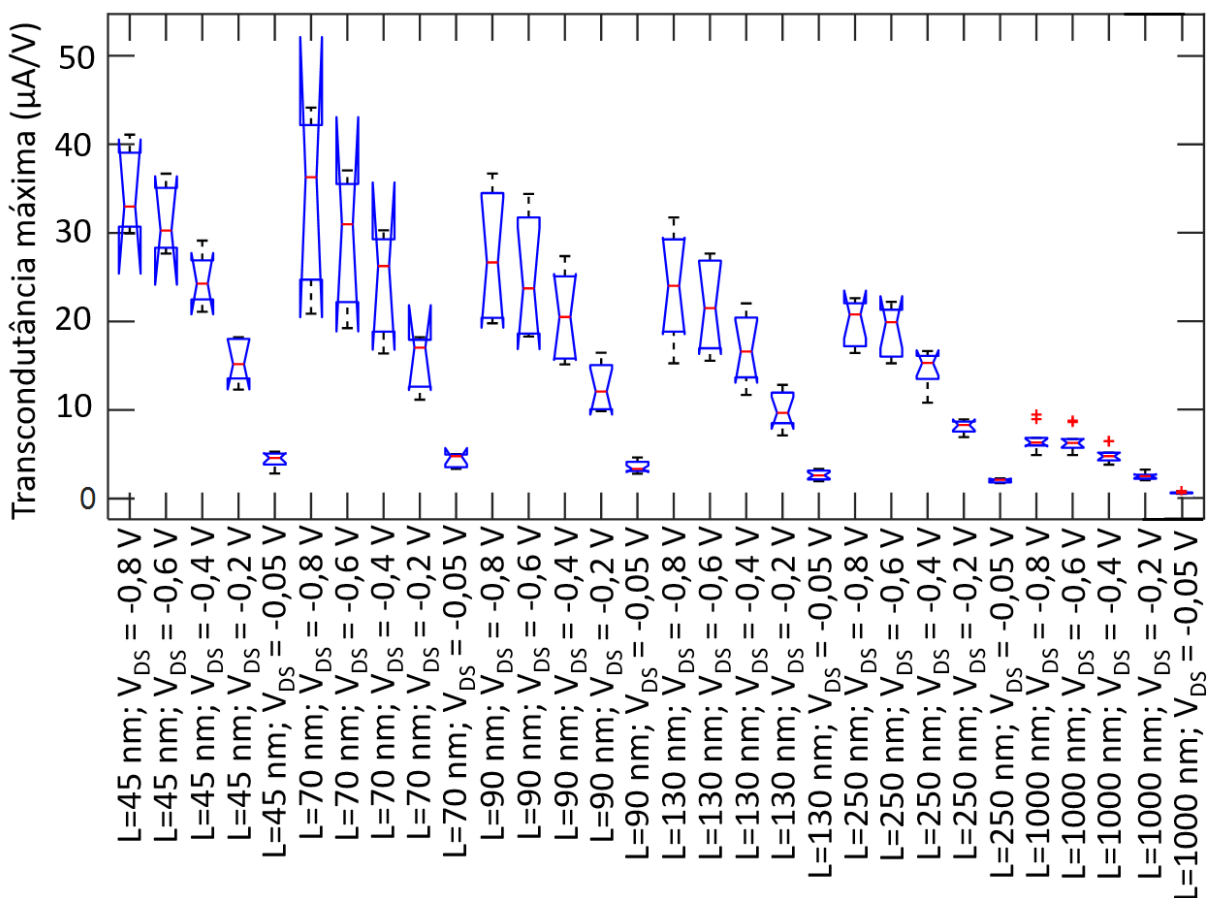


Figura 7.3 – Distribuição da transcondutância máxima para vários comprimentos de canal e tensões de dreno. As linhas vermelhas indicam a mediana e as azuis o 25º e 75º percentil.

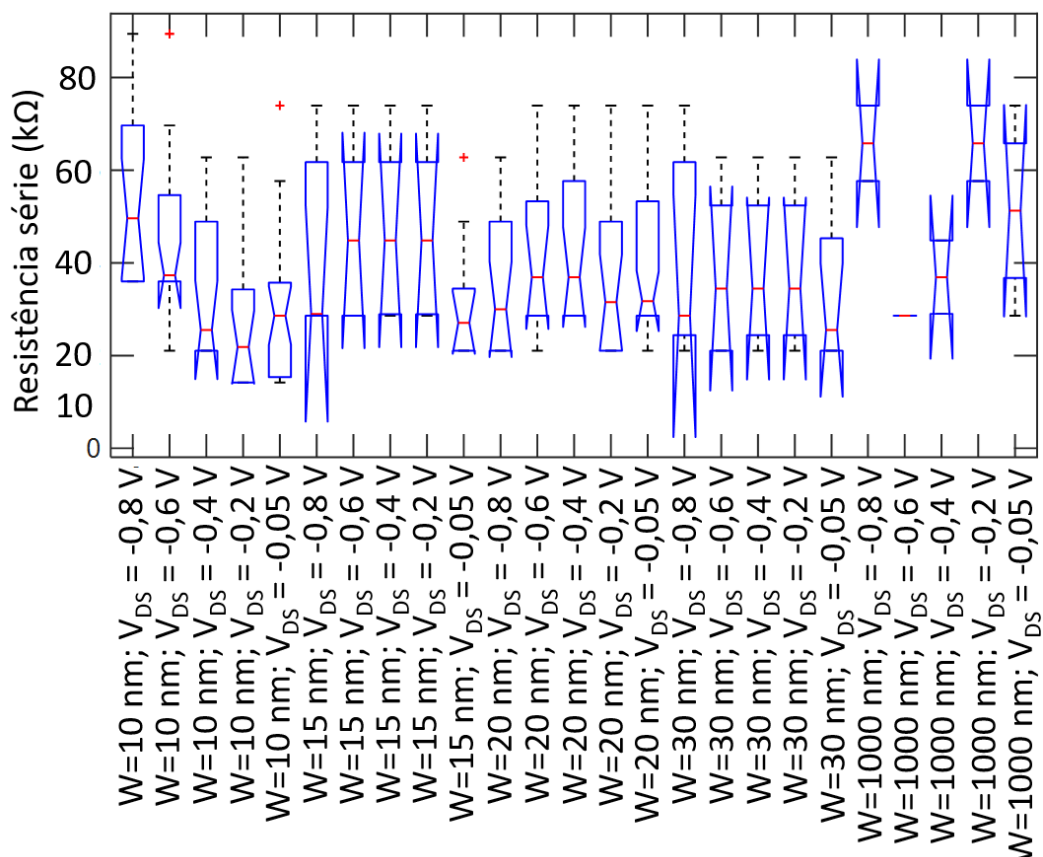


Figura 7.4 – Resistência série em função da largura de aleta e tensão de dreno. As linhas vermelhas indicam a mediana e as azuis o 25º e 75º percentil.

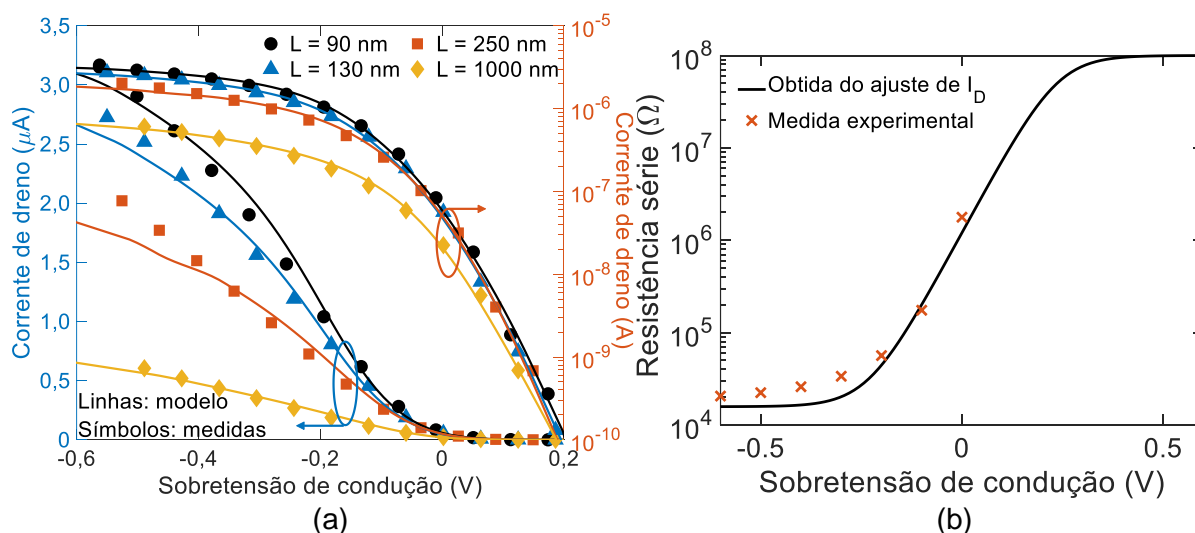


Figura 7.5 – (a) Medidas experimentais e modelo com resistência série variável de corrente versus sobretensão de condução para diferentes comprimentos de canal. (b) Resistência série medida em função da sobretensão de condução e valores calculados a partir do ajuste de corrente de dreno.

Fonte: adaptado de Mori (2022).

Além de medir experimentalmente as correntes, foi feita uma modelagem de primeira ordem a fim de parametrizar melhor o comportamento destes dispositivos, com os resultados apresentados na Figura 7.5. Para a modelagem da corrente, foi adotado um modelo contínuo de corrente de sublimiar a estado ligado descrito por

$$I_D(V_{GS}) = \eta kT \mu_0 C_{ox} \frac{W}{L} V_{DS} \ln \left(1 + e^{\frac{V_{GS} - V_T}{\eta kT}} \right) \quad (27),$$

onde η é o coeficiente de ajuste de sublimiar. Para esta modelagem, considerou-se a espessura efetiva equivalente a 2 nm de SiO₂, largura efetiva W como sendo a soma da largura de aleta mais duas vezes a sua altura, resultando em 80 nm, e os valores de máscara de comprimento de canal. Foi considerada simetria da resistência série de fonte e dreno, restando, portanto, apenas três parâmetros de ajuste: a mobilidade μ_0 , a resistência série R_S e o fator η . Deve-se notar que (27) se torna uma equação transcendental em I_D quando se considera a resistência série, por isso não se buscou uma solução analítica para o problema, sendo realizado o ajuste iterativamente apenas.

7.2 MODELO DE RUÍDO

Como sugerido pela literatura (BEDNER, 2014; CLÉMENT, 2011; GAO, 2021), o ruído de baixa frequência em bioFETs aparenta ser primariamente do tipo $1/f^\beta$, com o expoente de frequência $\beta \sim 1$. Dentro do escopo deste trabalho, considerou-se que tanto as flutuações de mobilidade como de número de portadores agem sobre os dispositivos, que será demonstrada uma hipótese razoável capaz de explicar os resultados experimentais e, para fins de notação, será utilizado ao longo deste capítulo o símbolo δ para se referir a grandezas relacionadas ao ruído no tempo e S para as respectivas transformadas no domínio da frequência. Por um lado, assume-se que flutuações no número de portadores (CNF, do inglês, *Carrier Number Fluctuations*) são mudanças do número de portadores capturados em armadilhas no óxido de porta (δq_{ox}), que, por sua vez, induzem uma mudança na corrente total dos dispositivos ($\delta i_{ch} = i_{ch,1} - i_{ch,2}$, onde $i_{ch,1}$ e $i_{ch,2}$ são as correntes no canal antes e depois da captura, respectivamente). Por outro, considera-se que flutuações na mobilidade são correlatas (CMF, do inglês, *Correlated Mobility Fluctuations*), isto é, podem estar relacionadas ao espalhamento Coulomb originado das cargas capturadas no óxido (HUNG, 1990). O mecanismo de armadilhamento é ilustrado na Figura 7.6.

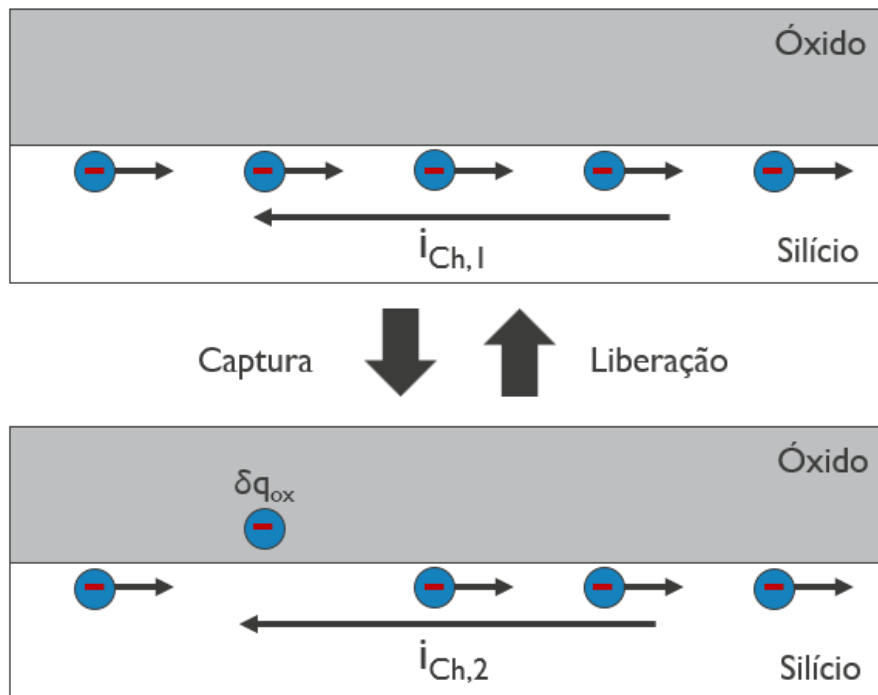


Figura 7.6 – Representação simplificada do mecanismo de captura/liberação de cargas.

A conexão entre δi_{ch} e δq_{ox} é mediada através de flutuações na tensão de banda plana (δv_{fb}) e na mobilidade ($\delta \mu$). Relaciona-se a tensão de banda plana (V_{FB}) com a tensão de limiar por

$$V_T = V_{FB} + 2\phi_f - \frac{Q_{depl}}{C_{ox}} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} + 2\phi_f - \frac{Q_{depl}}{C_{ox}} \quad (28),$$

permitindo assim se obter $dV_T/dQ_{ox} = -1/C_{ox}$ e $\delta v_{fb} = -\delta q_{ox}/C_{ox}$. Além disso, neste contexto pode-se relacionar a transcondutância e $dI_{Ch}/dV_{FB} = dI_{Ch}/dV_T$, notando-se que $g_m = dI_{Ch}/dV_{GF} = -dI_{Ch}/dV_{FB}$ (GHIBAUDO, 1989). Destas considerações, pode-se escrever

$$\delta i_{ch} = \frac{dI_{Ch}}{dQ_{ox}} \delta Q_{ox} = \left(\frac{dI_{Ch}}{dV_T} \frac{dV_T}{dQ_{ox}} + \frac{dI_{Ch}}{d\mu} \frac{d\mu}{dQ_{ox}} \right) \delta Q_{ox} = -g_m \delta v_{fb} \quad (29).$$

Esta expressão permite a interpretação usual de que δv_{fb} pode ser substituído por uma fonte de ruído oposta na porta (δv_g), devido à aproximação de pequenos sinais $\delta v_g = \delta i_{ch}/g_m$. Contudo, deve-se destacar que δv_g e sua respectiva densidade espectral de potência (PSD, do inglês, *Power Spectral Density*), S_{v_g} , não representam diretamente a origem física do ruído, e, conseqüentemente, podem não ser necessariamente as mais precisas ferramentas para análise de ruído quando a resistência série deve ser considerada.

7.2.1 Resistência série

A introdução da resistência série para análise de ruído foi previamente feita por Boudier (2017), porém, em seu trabalho, Boudier não considera que existem duas definições possíveis para a transcondutância: uma interna, definida como $g_{m,int} = \partial I_{ch} / \partial V_{GS}'$, e uma externa, definida como $g_{m,int} = \partial I_{ch} / \partial V_{GS}$. Uma definição mais clara de nós internos e externos é dada na Figura 7.7.

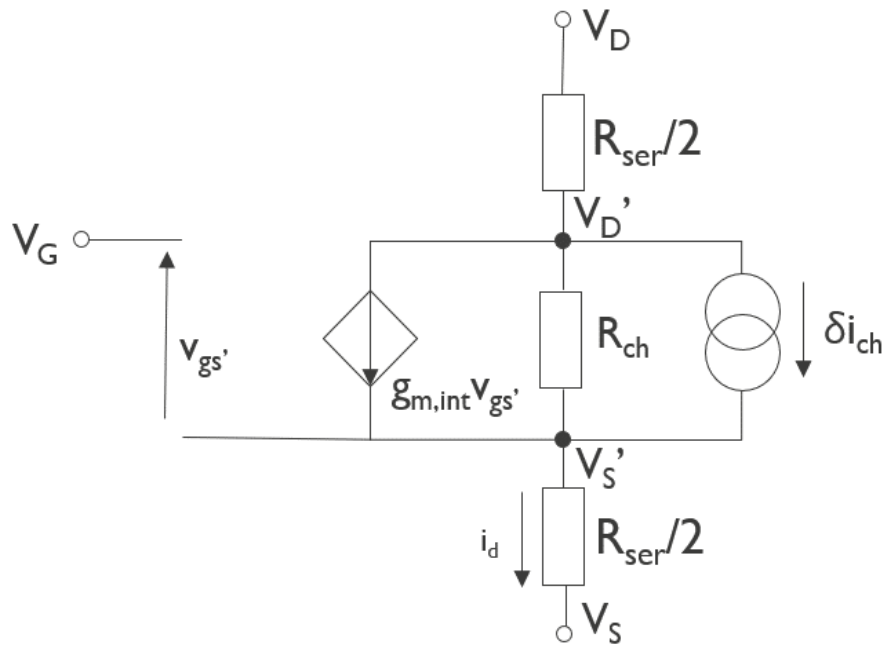


Figura 7.7 – Representação esquemática do modelo de pequenos sinais do transistor com resistências série.

Deve-se notar que, neste contexto, a transcondutância serve como uma aproximação linear da corrente no canal de pequenos sinais e modulada pela porta; portanto, a definição interna é a mais adequada para o modelo. Também incluso neste modelo está a resistência de canal (R_{ch}), obtida experimentalmente da resistência total vista entre fonte e dreno ($R_{tot} = v_{DS}/i_D$) da expressão $R_{ch} = R_{tot} - R_{ser}$. Por fim, uma fonte de ruído de corrente δi_{ch} é considerada em paralelo com a transcondutância no modelo de pequenos sinais, e pode-se fazer um argumento similar ao feito para ela sem resistência série a fim de estabelecer a sua relação com o ruído de banda plana, notando-se apenas que g_m deve ser substituído por $g_{m,int}$. Fazendo-se uma comparação direta entre o circuito com fonte de ruído de tensão de porta e com fonte de ruído de corrente de dreno, tem-se

$$g_{m,int}(\delta v_g - v_{s's}) + \frac{v_{d's'}}{R_{ch}} = g_{m,int} v_{gs}' + \frac{v_{d's'}}{R_{ch}} + \delta i_{ch}. \quad (30)$$

Como para esta análise interessa apenas o ruído, $v_{gs} = 0$, e, portanto,

$$\delta i_{ch} = g_{m,int} \delta v_g = -g_{m,int} \delta v_{fb} \Rightarrow S_{Vg} = S_{Vfb} \quad (31).$$

Assim, apesar da conveniência de se calcular $S_{Vg} = S_{Id}/g_m^2$, este não é o valor mais correto quando a resistência série é significativa, uma vez que a transcondutância extraída diretamente do dispositivo é a externa, e não a interna. Contudo, pode-se calcular a relação direta entre os valores internos e externos de transcondutância

$$g_{m,ext} = \frac{\partial I_{Ch}}{\partial V_{GS}} = \frac{\partial I_{Ch}}{\partial V_{GS'}} \frac{\partial V_{GS'}}{\partial V_{GS}} = g_{m,int} \frac{\partial(V_{GS} - V_{S'S})}{\partial V_{GS}} = g_{m,int} \left(1 - \frac{\partial(I_d R_{ser}/2)}{\partial V_{GS}} \right) \cong g_{m,int} \left(1 - \frac{g_{m,ext} R_{ser}}{2} \right)$$

$$g_{m,int} = \frac{g_{m,ext}}{1 - R_{ser} g_{m,ext}/2} \quad (32).$$

Destaca-se que a aproximação usada assume que a variação da resistência série com V_{GS} é desprezível, ou que ao multiplicá-la pela corrente I_d obtém-se um valor negligenciável. Como será demonstrado na seção experimental, esta aproximação não interfere com os resultados da modelagem, mesmo quando a variação da resistência série com a tensão de porta não é desprezível. Ademais, como demonstrado por Boudier, a quantidade mensurável δi_{d0} (o ruído de corrente de dreno quando não se aplica nenhum sinal de corrente alternada à porta) é diferente do ruído gerado internamente δi_{ch} ; além disso, assumindo que o ruído gerado pelas resistências série seja desprezível em relação ao ruído de corrente do canal, pode-se escrever

$$\delta i_{d0} = g_{m,int} v_{gs'} + \frac{v_{d'd}}{R_{ch}} + \delta i_{ch}.$$

Substituindo $g_{m,int}$ usando (32)

$$\delta i_{d0} = \frac{g_{m,ext}(v_{gs} - v_{s's})}{1 - R_{ser} g_{m,ext}/2} + \frac{(v_{d'd} - v_{s's})}{R_{ch}} + \delta i_{ch},$$

e observando que $v_g = v_d = v_s = 0$, tem-se

$$v_{s's} = -v_{d'd} = \delta i_{d0} R_{ser}/2,$$

que resulta em

$$\delta i_{d0} = \frac{\frac{g_{m,ext} R_{ch} R_{ser} \delta i_{d0}}{2} - (1 - R_{ser} g_{m,ext}/2) R_{ser} \delta i_{d0}}{R_{ch}(1 - R_{ser} g_{m,ext}/2)} + \delta i_{ch},$$

podendo ser rearranjada para se separar δi_{d0} e δi_{ch}

$$\frac{(1 - R_{ser} g_{m,ext}/2) R_{ch} + (1 + R_{ch} g_{m,ext}/2 - R_{ser} g_{m,ext}/2) R_{ser}}{R_{ch}(1 - R_{ser} g_{m,ext}/2)} \delta i_{d0} = \delta i_{ch}.$$

Reorganizando os termos, obtém-se

$$\delta i_{d0} = \frac{(R_{tot} - R_{ser})(1 - R_{ser} g_{m,ext}/2)}{R_{tot} - R_{ser}^2 g_{m,ext}/2} \delta i_{ch} \quad (33).$$

Combinando (31), (32) e (33)

$$\delta i_{d0} = -\frac{(R_{tot}-R_{ser})(1-R_{ser}g_{m,ext}/2)}{R_{tot}-R_{ser}^2g_{m,ext}/2} \frac{g_{m,ext}}{1-R_{ser}g_{m,ext}/2} \delta v_{fb} = -\frac{(R_{tot}-R_{ser})g_{m,ext}}{R_{tot}-R_{ser}^2g_{m,ext}/2} \delta v_{fb} \quad (34),$$

e finalmente aplicando a PSD na expressão resultante, sendo $S_{v_{fb}} = \frac{q^2 k T N_t (E_f)}{f \beta W L C_{ox}^2 \gamma}$ (BOUDIER, 2017), tem-se

$$S_{Id0} = \left(\frac{R_{tot}-R_{ser}}{R_{tot}-R_{ser}^2g_{m,ext}/2} \right)^2 g_{m,ext}^2 \frac{q^2 k T N_t (E_f)}{f \beta W L C_{ox}^2 \gamma} \quad (35),$$

onde q é a carga fundamental ($\sim 1,6 \cdot 10^{-19}$ C), N_t é a densidade de armadilhas (expressa como função do nível de quasi-Fermi E_f), f é a frequência, β é o expoente da frequência e γ é o coeficiente de atenuação da função de onda do elétron no óxido. A equação (35) deve ser entendida como um ajuste da expressão originalmente proposta por Boudier, adicionando o termo relacionado a resistência série no denominador. Novamente destaca-se que S_{V_g} neste caso não será simplesmente $S_{Id}/g_{m,ext}^2$, o que garantirá a manutenção da dependência de S_{V_g} com o inverso da área de porta.

A partir dos valores extraídos anteriormente das características em corrente contínua dos bioFETs, é possível estimar β e N_t/γ a partir das medidas experimentais da densidade espectral de potência da corrente de dreno, como demonstrado na Figura 7.8 e na Figura 7.9, respectivamente.

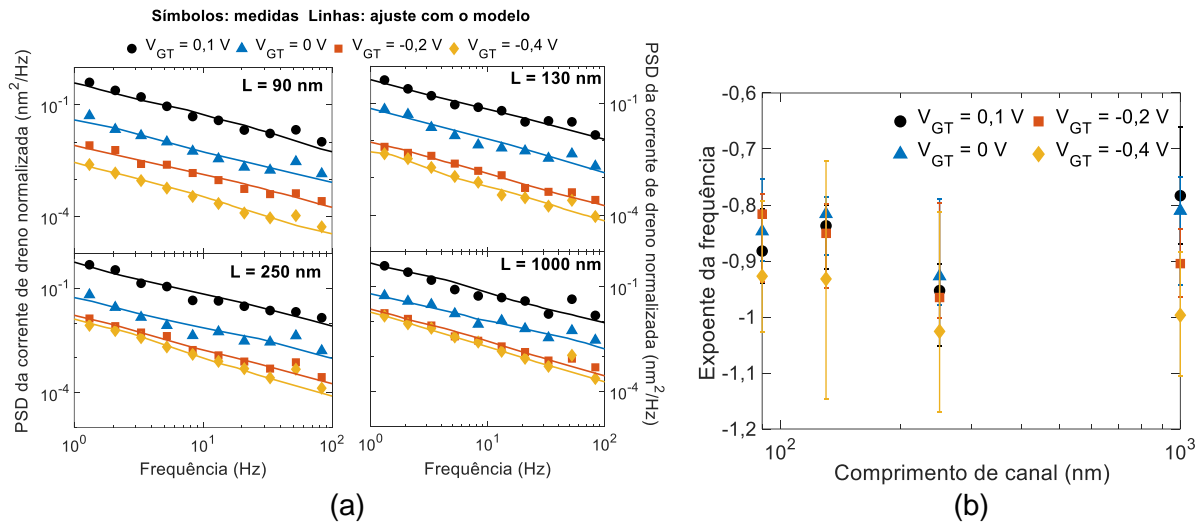


Figura 7.8 – (a) Densidade espectral de potência da corrente de dreno normalizada em função da frequência para diferentes polarizações e comprimentos de canal. (b) Expoente da frequência em função do comprimento de canal para diferentes polarizações.

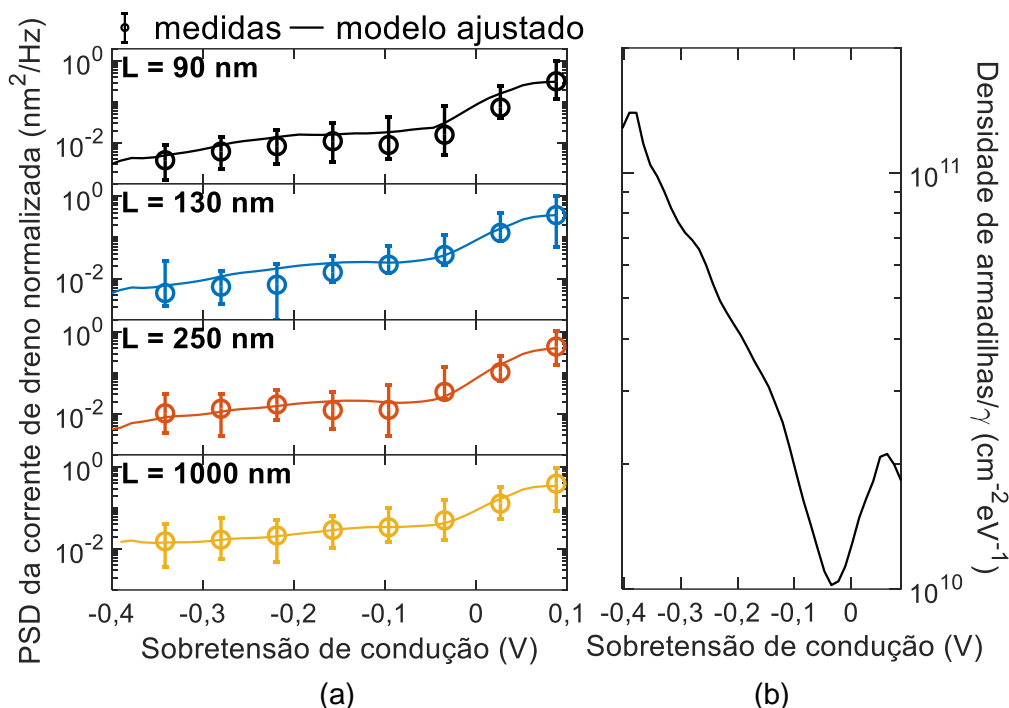


Figura 7.9 – (a) Densidade espectral de potência da corrente de dreno normalizada em função da sobretensão de condução a 1 Hz para diferentes polarizações e comprimentos de canal. (b) Densidade de armadilhas obtida pelo ajuste de S_{Id} .

7.2.2 Relação sinal-ruído

Dentro do contexto de bioFETs, a definição usual da relação sinal ruído (SNR, do inglês, *Signal to Noise Ratio*) é dada por $SNR = g_m / \sqrt{\int_{f_1}^{f_2} S_{Id} df}$ (RAJAN, 2011; RAJAN, 2014), onde f_1 e f_2 são as frequências que definem a largura de banda. Esta definição é utilizada como uma SNR dependente exclusivamente das características do dispositivo, sendo referenciada como a razão obtida por volt de sinal na porta. Tal definição apresenta dois problemas: primeiramente, aparenta ser incoerente chamar de relação sinal-ruído uma grandeza que não considera sinal algum na expressão; segundo, como foi demonstrado, o uso de g_m deve ser feito com cautela quando a resistência série é significativa. Este último pode ser resolvido a partir da reavaliação da corrente de dreno quando se considera a presença de um sinal na porta. Assumindo que as biomoléculas eletricamente carregadas com carga Q_{bio} se liguem aos receptores sobre o óxido de porta gerando um sinal de tensão $v_{bio} = Q_{bio}/C_{ox}$ na porta (isto é, $v_{gs} = v_{bio}$), pode-se escrever

$$i_d = g_{m,int}(v_{bio} - v_{s's'}) + \frac{v_{d's'}}{R_{ch}} + \delta i_{ch}.$$

Então, notando-se que

$$v_{s's} = -v_{d'd} = i_d R_{ser}/2,$$

e utilizando (32) e (33), a corrente de canal pode ser reescrita como

$$i_d = \frac{g_{m,ext} \left(v_{bio} - \frac{R_{ser} i_d}{2} \right)}{1 - \frac{R_{ser} g_{m,ext}}{2}} - \frac{R_{ser} i_d}{(R_{tot} - R_{ser})} + \frac{\left(R_{tot} - \frac{R_{ser}^2 g_{m,ext}}{2} \right) \delta i_{d0}}{(R_{tot} - R_{ser}) \left(1 - \frac{R_{ser} g_{m,ext}}{2} \right)},$$

que por sua vez pode ser rearranjada para separar a corrente total de dreno do sinal biológico e do ruído

$$i_d + \frac{R_{ser} i_d}{R_{tot} - R_{ser}} + \frac{g_{m,ext} R_{ser} i_d}{1 - \frac{R_{ser} g_{m,ext}}{2}} = \frac{g_{m,ext} v_{bio}}{\left(1 - \frac{R_{ser} g_{m,ext}}{2} \right)} - \frac{\left(R_{tot} - \frac{R_{ser}^2 g_{m,ext}}{2} \right) \delta i_{d0}}{(R_{tot} - R_{ser}) \left(1 - \frac{R_{ser} g_{m,ext}}{2} \right)}.$$

Simplificando o lado esquerdo, obtém-se

$$i_d + \frac{\left(R_{ser} - R_{ser}^2 g_{m,ext}/2 + R_{tot} R_{ser} g_{m,ext}/2 - R_{ser}^2 g_{m,ext} \right) i_d}{(R_{tot} - R_{ser}) \left(1 - R_{ser} g_{m,ext}/2 \right)} = \frac{\left(R_{tot} - R_{ser}^2 g_{m,ext}/2 \right)}{(R_{tot} - R_{ser}) \left(1 - R_{ser} g_{m,ext}/2 \right)} i_d,$$

que, combinada e simplificada com o lado direito, resulta em

$$i_d = \frac{R_{tot} - R_{ser}}{R_{tot} - R_{ser}^2 g_{m,ext}/2} g_{m,ext} v_{bio} + \delta i_{d0} \quad (36).$$

A expressão (36) permite separar claramente as contribuições de sinal e ruído na corrente de dreno, e definindo $i_{bio} = i_d - \delta i_{d0}$ como sendo a diferença de corrente induzida no canal pela biomolécula exclusivamente (isto é, desprezando-se o ruído), pode-se obter a relação sinal ruído como sendo

$$SNR = \frac{i_{bio}}{\delta i_{d0}} = \frac{i_d - \delta i_{d0}}{\delta i_{d0}} = \frac{R_{tot} - R_{ser}}{R_{tot} - R_{ser}^2 g_{m,ext}/2} \frac{g_{m,ext} v_{bio}}{\delta i_{d0}} \quad (37),$$

expressão essa que permite calcular diretamente a SNR a partir dos parâmetros extraídos do dispositivo por unidade de sinal aplicado v_{bio} . Ela também pode ser mais simplificada utilizando-se (32)

$$SNR = \frac{\frac{R_{tot} - R_{ser}}{R_{tot} - R_{ser}^2 g_{m,ext}/2} g_{m,ext} v_{bio}}{\frac{(R_{tot} - R_{ser}) \left(1 - R_{ser} g_{m,ext}/2 \right) \delta i_{ch}}{R_{tot} - R_{ser}^2 g_{m,ext}}} = - \frac{v_{bio}}{\delta v_g} \quad (38),$$

que, embora não seja necessariamente a forma mais prática de se calcular a partir dos parâmetros extraídos (exigindo a extração de N/γ , ao contrário de (37)), é uma expressão importante, pois demonstra que a SNR não possui dependência alguma com a resistência série, lembrando que o ruído referido à porta depende exclusivamente do ruído de banda plana e que v_{bio} é, por definição, dependente apenas da carga da biomolécula e da capacitância de porta. Naturalmente esse seria um resultado esperado, uma vez que tanto o ruído como o sinal são fenômenos relacionados às superfícies do óxido, e, portanto, devem ser afetados de forma similar pela resistência série.

Dada esta independência, quando não há presença de sinal biológico, como no caso da Figura 7.10 e como apresentado por Rajan (2014), o mais correto e simples é referir-se ao valor eficaz do ruído de tensão referido à porta dentro da banda de interesse, ao invés de chamar o inverso desta grandeza de SNR. Portanto, considerando-se que δi_{do} nada mais é do que o valor eficaz do ruído de corrente (que pode ser calculado a partir da sua PSD medida como sendo $\delta i_{do} = \sqrt{\int_{f_1}^{f_2} S_{I_{do}} df}$, para a banda de frequência f_1 a f_2), pode-se calcular a SNR utilizando (37) após extrair apenas a resistência série e a transcondutância, além do ruído propriamente dito.

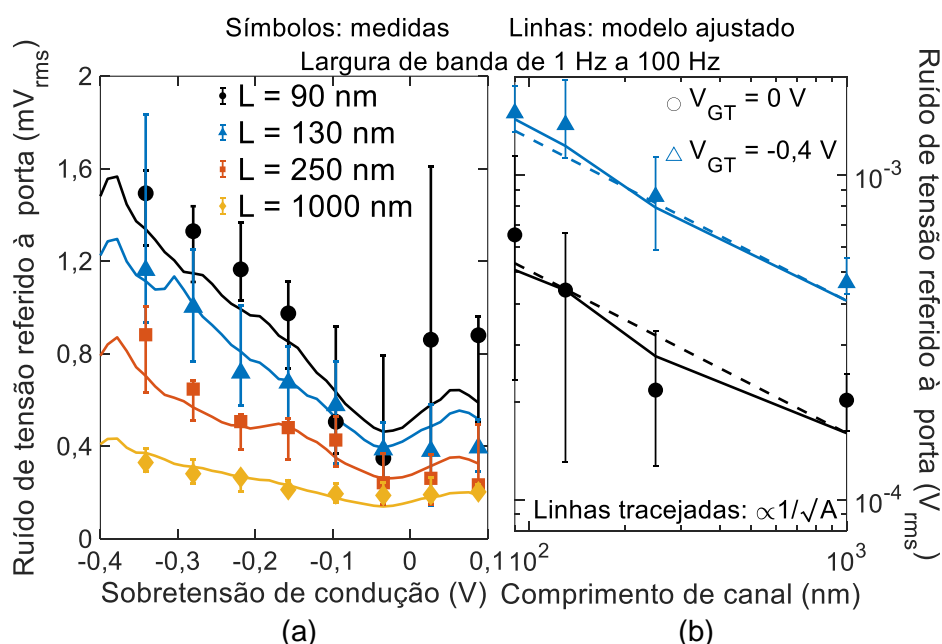


Figura 7.10 – Valor eficaz do ruído de tensão referido à porta em função (a) da sobretensão de condução e (b) do comprimento de canal.

Por fim, a partir de (31), (34) e da PSD do ruído de corrente, é possível obter os gráficos apresentados na Figura 7.10, em que é apresentado o valor eficaz do ruído de tensão referido à porta, tanto em função da sobretensão de condução como também do comprimento de canal, usando os parâmetros extraídos previamente para fazer o ajuste do modelo. Duas considerações importantes podem ser extraídas desta figura em particular: primeira, o nível de ruído referido à porta tem o seu nível mínimo quando a porta está polarizada em torno da tensão de limiar, sendo este, portanto, o ponto ideal para polarização tendo em vista a aplicação como biossensor, uma vez que, para se obter a melhor detecção, busca-se maximizar a relação sinal-ruído; e segunda, como previsto a partir da dedução teórica, observa-se que o ruído referido à porta segue a proporcionalidade com o inverso da raiz quadrada da área em valor eficaz (ou simplesmente proporcional à área em termos da PSD).

7.3 MEDIDAS COM DNA

Primeiramente, foram medidas as curvas características de corrente de dreno versus sobretensão de condução dos dispositivos antes e depois do acoplamento de moléculas de DNA de fita simples (ssDNA, do inglês, *single stranded DNA*) para três diferentes comprimentos de porta, como mostrado na Figura 7.11. Deve-se notar que os dispositivos aqui utilizados, ao contrário da seção anterior, apresentam a monocamada automontada para que ocorra o acoplamento do DNA à superfície dos dispositivos, e, portanto, apresentam características elétricas ligeiramente diferentes.

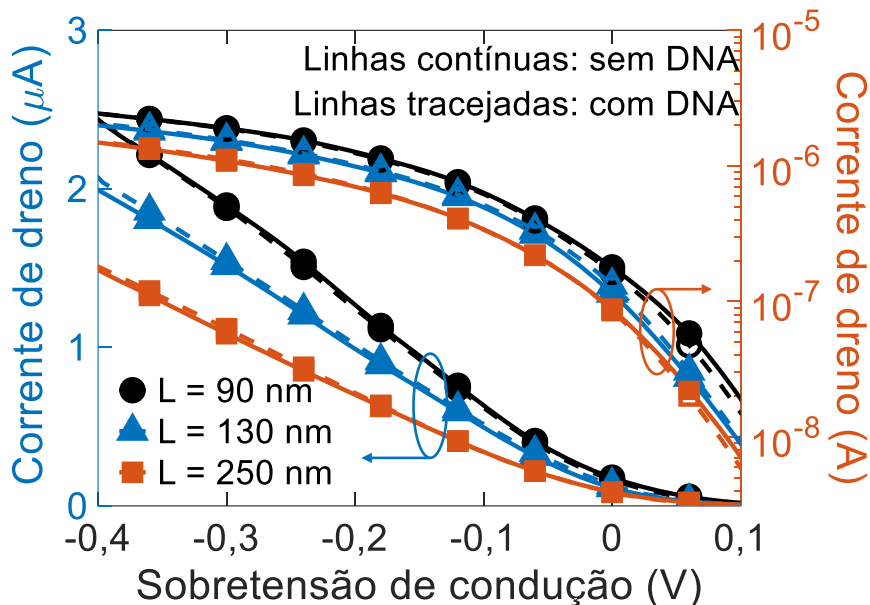


Figura 7.11 – Corrente de dreno em função da sobretensão de condução para múltiplos comprimentos de canal antes e após a inserção de DNA.

Fonte: adaptado de Mori (2022).

Para estimar o sinal gerado pelas moléculas de ssDNA, emprega-se um método de corrente constante: o sinal de tensão é dado pela diferença entre tensões de porta necessárias para se obter um dado nível de corrente antes e após a inserção de DNA. Executando esta operação para múltiplos pontos de polarização, obtém-se as curvas apresentadas na Figura 7.12. Os resultados obtidos neste experimento indicam a ocorrência de uma deposição não-uniforme de DNA ao longo do comprimento de porta dos dispositivos, uma vez que, se houvesse uma única molécula, se esperaria observar uma dependência mais acentuada (seguindo a tendência $1/L$, pois, assumindo que uma carga q da biomolécula gere uma variação de corrente I_D , podemos escrever $dI_D/dq = dI_D/dV_{GF} \cdot dV_{GF}/dq = g_m/C_{ox} \propto 1/L$),

enquanto, se a deposição fosse uniforme, seria esperado que não houvesse dependência com o comprimento de porta (MÄNNIK, 2008).

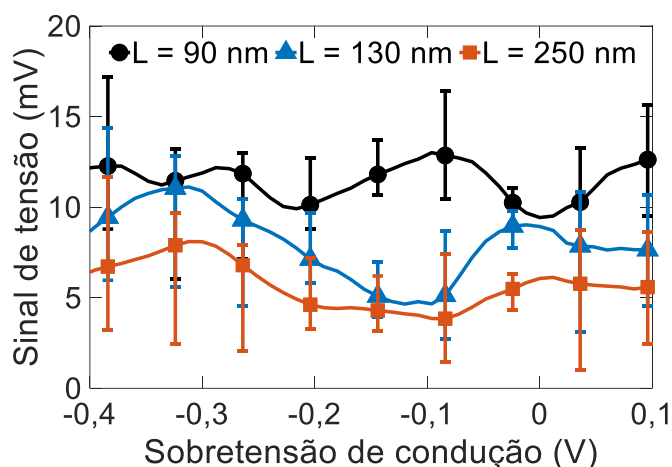


Figura 7.12 – Sinal de tensão gerado pelas moléculas de DNA acopladas aos dispositivos em função da sobretensão de condução para múltiplos comprimentos de canal.

Fonte: adaptado de Mori (2022).

Uma vez extraído o sinal biológico, é necessário avaliar o ruído do dispositivo, seguindo a sequência apresentada na seção 7.2.2. Além disso, a fim de avaliar o impacto do ruído introduzido pelas biomoléculas, a Figura 7.13 e a Figura 7.14 apresentam a PSD do ruído de corrente antes e após a inserção do DNA, a primeira em função da frequência e a segunda em função da sobretensão de condução, demonstrando que, efetivamente, a parcela de ruído introduzida pelo DNA é desprezível ante o ruído dos bioFETs, independentemente tanto da frequência, como da sobretensão de condução e dos diferentes comprimentos de porta considerados.

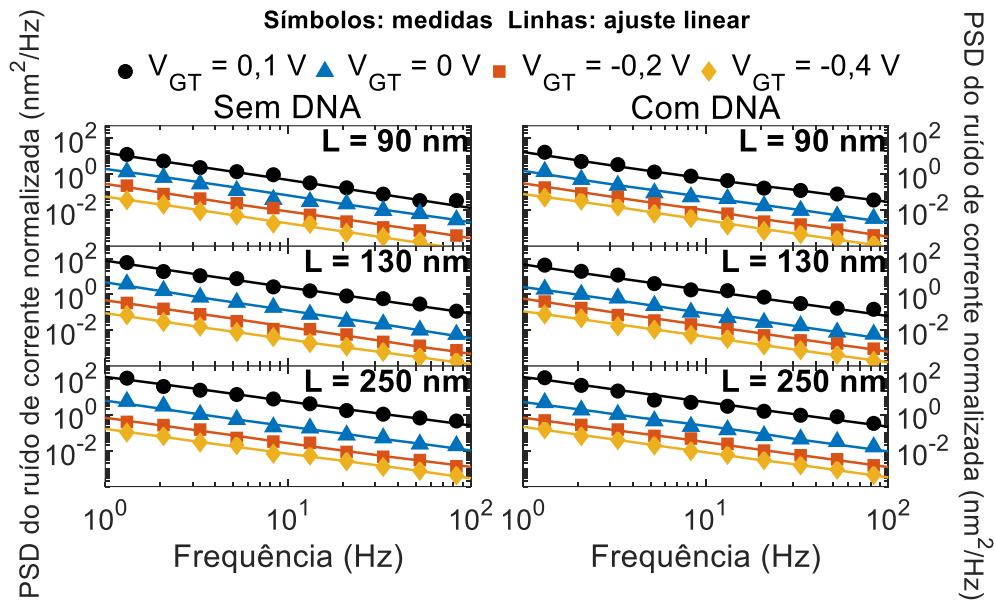


Figura 7.13 – Densidade espectral de potência do ruído de corrente de dreno normalizada em função da frequência com e sem DNA.

Fonte: adaptado de Mori (2022).

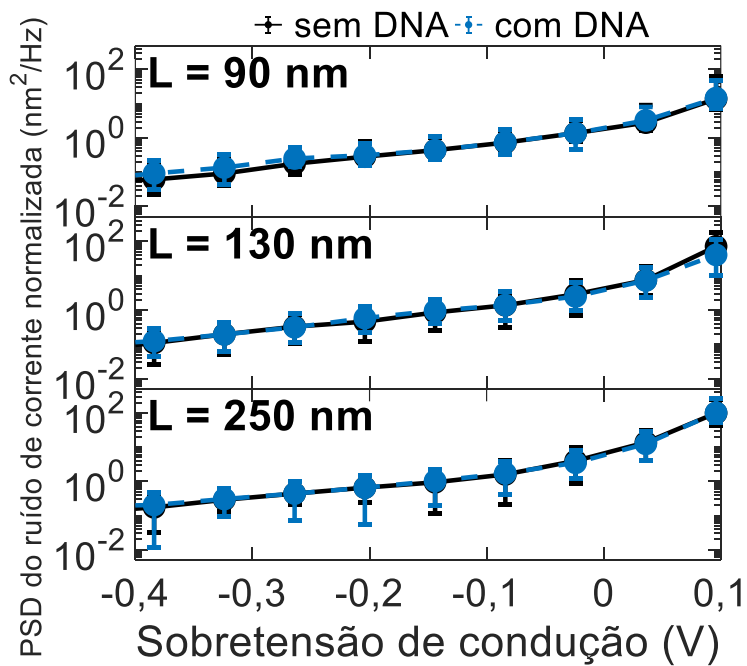


Figura 7.14 – Densidade espectral de potência do ruído de corrente de dreno normalizada em função da sobretensão de condução com e sem DNA.

Fonte: adaptado de Mori (2022).

Convertendo-se os valores de ruído de corrente em ruído de tensão utilizando (34) com os valores eficazes calculados na faixa de 1 Hz a 100 Hz, observa-se que a diferença do ruído antes e após a inserção de DNA encontra-se abaixo de $1 \text{ mV}_{\text{rms}}$,

estando dentro da ordem de grandeza da própria incerteza de medição. Portanto, por motivos de simplicidade e sem perda de informações, será considerado a partir deste ponto apenas o ruído medido após a inserção de DNA. Assim sendo, são apresentados na Figura 7.15 os valores eficazes do ruído de tensão referido à porta em função da sobretensão de condução e do comprimento de porta. Dada a equivalência observada antes e após o acoplamento do DNA, a Figura 7.15(a) apenas reforça que, do ponto de vista do ruído, o melhor ponto de polarização para se ter a detecção ótima ocorre para polarizações de porta em torno da tensão de limiar, independentemente da presença do DNA. Já a Figura 7.15(b) apresenta um resultado muito importante: quando polarizados em torno da tensão de limiar, os bioFETs aqui estudados apresentam uma dependência desprezível em relação ao comprimento de porta, ao contrário da dependência tradicional com o inverso da raiz quadrada da área observada em polarizações mais negativas.

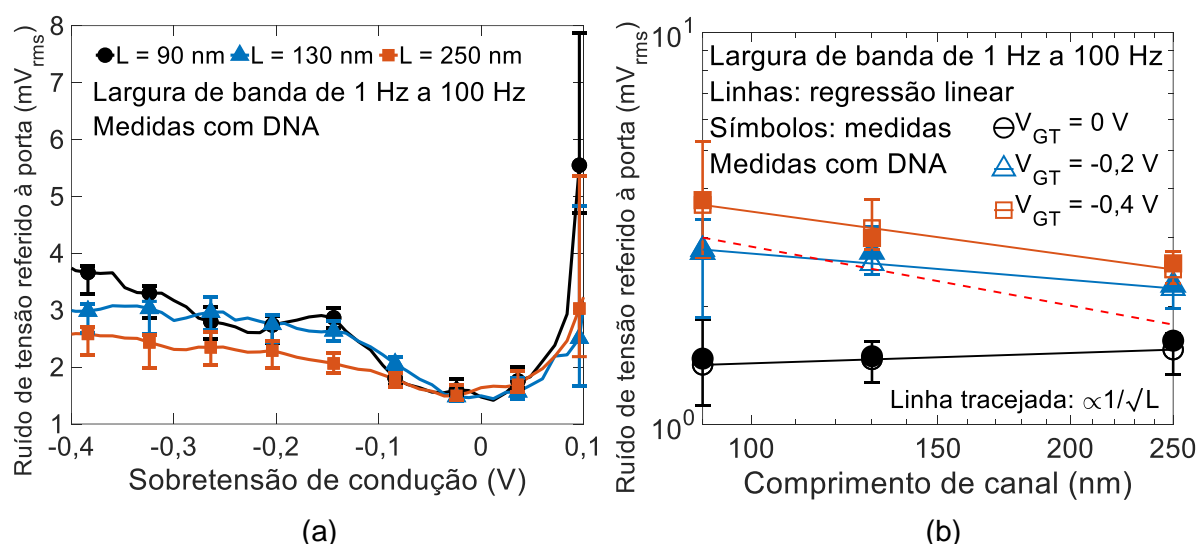


Figura 7.15 – Valor eficaz do ruído de tensão referido à porta normalizada com DNA em função (a) da sobretensão de condução e (b) do comprimento de porta.

Fonte: adaptado de Mori (2022).

Dado o rápido aumento do ruído de tensão para V_{GT} positivo, pode-se inferir a ocorrência de uma mudança no principal mecanismo de ruído em torno da tensão de limiar. Abaixo de -0,1 V, o ruído depende fracamente da sobretensão de condução, sugerindo que o modelo de flutuação do número de portadores seja predominante, enquanto para valores positivos passa a ser mais relevante o fenômeno de flutuação correlata da mobilidade, dada a dependência forte com V_{GT} . Tal hipótese permite a descrição completa dos fenômenos observados através do modelo unificado proposto por Hung (1990).

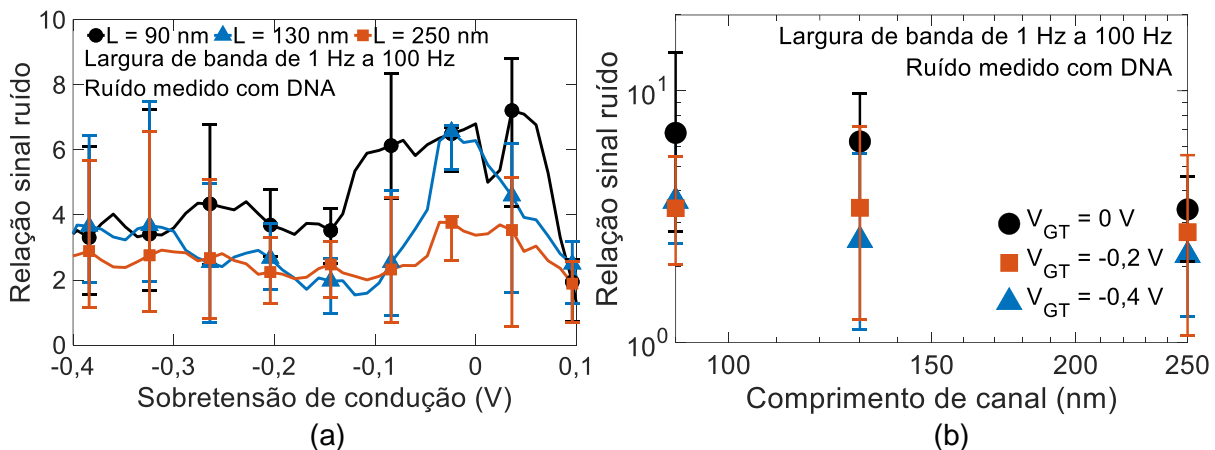


Figura 7.16 – Relação sinal ruído em função (a) da sobretensão de condução e (b) do comprimento de porta.

Fonte: adaptado de Mori (2022).

Finalmente, com tensões de sinal e ruído bem definidas, pode-se calcular a relação entre ambas, como apresentado na Figura 7.16 em função da sobretensão de condução e do comprimento de porta. A partir delas conclui-se então que: do ponto de vista da relação sinal ruído, o melhor ponto de polarização de porta é também em torno da tensão de limiar, dado que o sinal independe desta polarização, enquanto o ruído tem seu ponto mínimo nela, resultando em SNR \sim 6 como o valor máximo obtido; além disso, nota-se também que a dependência da relação sinal ruído com o comprimento de canal para estes dispositivos é, dentro das faixas de erro, praticamente desprezível.

8 CONCLUSÕES

Neste trabalho, apresentou-se pela primeira vez o desenvolvimento de um transistor de efeito de campo construído em um substrato SOI capaz de operar como um MOS convencional, ou como um transistor de tunelamento por efeito de campo, sendo essa seleção do modo de operação determinada pela polarização aplicada ao substrato. Para se obter este efeito, a única modificação realizada em relação a uma estrutura SOI MOSFET convencional é a remoção da dopagem de dreno. Desta forma, através da polarização de substrato pode-se realizar a dopagem elétrica da região de dreno, o que permite a sua variação entre tipo p e tipo n.

Ao longo do capítulo 4, discutiu-se detalhadamente a operação em cada caso, sendo avaliadas as características de tensão e corrente do dispositivo operando nas diferentes condições de polarização de substrato. Inicialmente avaliou-se seu comportamento como um pTFET, sendo realizada a comparação com um dispositivo de mesmas características geométricas, porém que apresentava dopagem de dreno tipo p. Verificou-se que, apesar do canal de lacunas formado entre contato de dreno e junção de fonte, o tunelamento em si ocorria somente na primeira interface, uma vez que o óxido de porta utilizado era mais fino que o óxido enterrado, fazendo com que o encurvamento de bandas na primeira interface fosse muito mais expressivo, resultando em um menor comprimento de tunelamento, permitindo a ocorrência do tunelamento de banda para banda. Para a operação como nMOS, foi observada uma relação de compromisso entre as tensões aplicadas em todos os terminais do dispositivo. Caso a tensão de dreno seja suficientemente alta de modo a polarizar diretamente o diodo inerente à estrutura, torna-se necessária a elevação da tensão de substrato para se observar o comportamento de transistor ao se variar a tensão de porta. Por outro lado, caso a polarização de substrato seja excessivamente alta, a polarização de porta se torna incapaz de eliminar completamente a condução através da segunda interface, fazendo com que aumente a corrente de estado desligado do dispositivo, conseqüentemente piorando sua operação enquanto transistor. Entretanto, foi demonstrado pelas simulações que é possível se atingir uma condição ideal de polarização, permitindo o comportamento adequado do transistor nMOS.

O capítulo 5 apresentou os resultados de fabricação obtidos, inicialmente apresentando o crescimento e caracterização de óxidos suficientemente finos (da ordem de unidade a dezena de nanômetros), de modo a garantir uma corrente

apreciável de tunelamento (acima de unidades de nanoampères para o estado ligado). Através de medidas de capacitância, foi possível estimar a espessura dos filmes de óxido fabricados em dois processos distintos, sendo obtidos valores de aproximadamente 3,5 nm e 4,4 nm. Subsequentemente, foram realizadas medidas de corrente de fuga nos capacitores fabricados, sendo observadas correntes máximas da ordem de nanoampères em dispositivos de grandes áreas (300 μm por 300 μm), indicando que, dentro das faixas de tensão adotadas, e para transistores com áreas devidamente ajustadas, é possível obter condições adequadas para que a corrente de porta não interfira no comportamento dos transistores. Em seguida, procedeu-se com o processo usual de fabricação de transistores SOI, passando por processos de limpeza, crescimento de óxidos, implantação iônica, deposição de metais, entre outros, sendo os principais diferenciais do processo descrito a mudança na máscara de implantação, permitindo apenas que um lado do transistor fosse dopado, e a deposição de SU-8, com a intenção de formar um reservatório para a realização de experimentos com líquidos sobre os dispositivos fabricados sem a ocorrência de curtos-circuitos entre os terminais. Ao final, obtiveram-se dispositivos de 290 μm de comprimento por 210 μm de largura, com uma espessura de óxido de porta de aproximadamente 10 nm.

No capítulo 6, foram apresentados os resultados da caracterização elétrica dos dispositivos fabricados, primeiramente analisando-se o seu comportamento em função da polarização de substrato, obtendo-se então as suas tensões de limiar (variando de -2 V a 2 V para uma variação na tensão de substrato de 5 V a 25 V) e inclinações de sublimiar (obtendo na média um valor de aproximadamente 100 mV/dec). A partir deste conjunto de dados, iniciou-se uma investigação mais profunda a respeito da física de operação dos transistores, levando em consideração fenômenos observados de variabilidade entre dispositivos, em particular na região de sublimiar, e concluiu-se que efeitos de transistores laterais parasitários poderiam ser os principais responsáveis pelas anomalias observadas. Verificou-se ainda que, apesar de não idealidades em função das limitações técnicas, os transistores fabricados foram capazes de operar tanto como nMOSFETs como pTFETs, indicando o cumprimento do primeiro objetivo deste trabalho. Em sequência, foi feita a avaliação do funcionamento do dispositivo após a deposição da enzima Glicose Oxidase sobre a região não dopada, observando-se uma mudança de comportamento em especial na região de sublimiar do transistor operando como nMOS, observando o surgimento

de um efeito similar ao disparo de um transistor bipolar de junção parasitário em uma estrutura SOI. Por fim, foi avaliado o comportamento do ^{BE}SOI Túnel-FET enquanto um potencial sensor de glicose, e verificou-se um comportamento aproximadamente linear de variação de corrente de estado ligado ($R^2 = 0,98$), com a ressalva de que, para determinadas condições de concentração de glicose, pode ocorrer a parada completa da operação do dispositivo. A partir dos testes realizados, mesmo que não tenham sido realizados de forma exaustiva devido à grande extensão do trabalho, é possível afirmar que este transistor tem potencial para aplicação como biossensor, cumprindo desta forma o segundo objetivo desta tese.

Por fim, no capítulo 7 há uma mudança de dispositivo sob análise, porém sem perda do escopo deste trabalho, uma vez que se estudou um transistor FinFET tipo p enquanto elemento biossensor. Iniciou-se fazendo a mesma análise das características elétricas básicas dos transistores fabricados no imec (Bélgica), porém, observou-se que estes transistores apresentaram uma elevada resistência série, da ordem de dezenas de kilohms. Em seguida, foi elaborado um modelo de primeira ordem sobre o ruído nestes dispositivos, levando-se em consideração o efeito da resistência série. Concluiu-se que algumas correções seriam necessárias em relação ao que se encontrou na literatura sobre o tema, principalmente no que diz respeito à interpretação do ruído de tensão referido à porta. Foi avaliado também o eventual impacto da resistência série ao se calcular a relação sinal ruído, porém, como foi demonstrado, apesar de precisar considerá-la para alguns cálculos, ela não impacta o valor final da relação. Em seguida foram feitas medidas com DNA acoplado à superfície dos bioFETs, as quais permitiram verificar sutis mudanças nos níveis de corrente medidos; por outro lado, a análise de ruído não apontou mudança alguma após o acoplamento, indicando a prevalência dos efeitos na superfície óxido-semicondutor. Analisando-se a relação sinal ruído das medidas, verificou-se que o ponto ótimo de polarização de porta seria em torno da tensão de limiar (cerca de -0,3 V), minimizando o ruído sem prejudicar o sinal da biomolécula, resultando em uma razão sinal ruído de aproximadamente cinco vezes. Para estes dispositivos, verificou-se também que não houve impacto significativo do comprimento de porta na relação sinal ruído, indicando a necessidade de melhorias no processo de acoplamento do DNA. Porém, para todos os fins, a obtenção de uma relação sinal ruído de aproximadamente seis vezes permite confirmar a viabilidade dos dispositivos

testados como biossensores de DNA, concluindo o terceiro e último objetivo desta tese.

8.1 PROPOSTAS DE TRABALHOS FUTUROS

Para dar continuidade ao trabalho desenvolvido nesta tese, algumas sugestões são apresentadas nas frentes de simulação, fabricação e caracterização. Primeiramente, refazer as simulações a partir dos dados experimentais obtidos nesta tese, mirando a melhor compreensão dos fenômenos físicos observados durante a caracterização. Após isto, pode-se também fazer a simulação utilizando a mesma estrutura, porém com materiais diferentes, como por exemplo óxidos de alta constante dielétrica (*high-k*), a fim de melhorar o comportamento como transistor de tunelamento. Do ponto de vista de fabricação, algumas novas abordagens seriam possíveis, como fabricar o transistor complementar (pMOS/nTFET), utilizando uma dopagem tipo p, ou tentar a fabricação em um substrato UTBB. Outra linha de pesquisa pode ser desenvolvida também visando uma melhor integração entre os dispositivos microeletrônicos fabricados com a microfluídica necessária para que as soluções de interesse sejam entregues de uma forma mais controlada e precisa aos transistores. Por fim, para a caracterização, sugere-se a expansão do trabalho com outros tipos de soluções, a fim de testar as capacidades dos dispositivos aqui fabricados como outros tipos de biossensores, tais como sensor de potássio ou outros íons de interesse.

PUBLICAÇÕES GERADAS

MORI, C. A. B.; AGOPIAN, P. G. D.; MARTINO, J. A. **Proposal of a p-type Back-Enhanced Tunnel Field Effect Transistor**. Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon. Grenoble: 2019. p. 1-3.

MORI, C. A. B.; AGOPIAN, P. G. D.; MARTINO, J. A. **Application of UTBB BESOI Tunnel-FET as a Dual-Technology Transistor**. 34th Symposium on Microelectronics Technology and Devices (SBMicro). São Paulo: 2019. p. 1-4.

MORI, C. A. B.; AGOPIAN, P. G. D.; MARTINO, J. A. **Optimization of the Dual-Technology Back-Enhanced Field Effect Transistor**. Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon. Caen: 2020. p. 1-4.

SANTERMANS, S.; BARGE, D.; HELLINGS, G.; MORI, C. A. B.; MIGACZ, K. J.; RIP, J.; SPAMPINATO, V.; VOS, R.; DU BOIS, B.; CHAUDHURI, A. R.; FIORENTINO, G.; MARTINO, J. A.; HEYNS, M.; SEVERI, S.; VAN ROY, W.; MARTENS, K. **50 nm Gate Length FinFET Biosensor & the Outlook for Single-Molecule Detection**. 2020 IEEE International Electron Devices Meeting (IEDM). San Francisco: 2020, p. 35.4.1-35.4.4.

MORI, C. A. B.; AGOPIAN, P. G. D.; MARTINO, J. A. Study of the UTBB^{BESOI} Tunnel-FET working as a dual-technology transistor. **Journal of Integrated Circuits and Systems**. v. 16, n. 2, p 1-6, Agosto 2021.

MORI, C. A. B.; MARTENS, K.; SIMOEN, E.; DORPE, P. V.; D AGOPIAN, P. G. D.; MARTINO, J. A. Signal to noise ratio in nanoscale bioFETs. **Solid-State Electronics**. v. 194, p. 1-4, Agosto 2022.

BIBLIOGRAFIA

- AGOPIAN, P. G. D. et al. Temperature impact on the tunnel fet off-state current components. **Solid-State electronics**. v. 78, p. 141-146, Dezembro 2012.
- AGOPIAN, P. G. D. et al. **Opposite trends between digital and analog performance for different TFET technologies**. 2018 China Semiconductor Technology International Conference (CSTIC). Shanghai: 2018. p. 1-4
- ALMEIDA, L. M. Conceitos básicos sobre a tecnologia SOI. In: ALMEIDA, L. M. **Estudo de célula de memória dinâmica de apenas um transistor SOI de óxido enterrado ultrafino**. São Paulo: [s.n.], 2012. Cap. 2, p. 16-43.
- BALASUBRAMANIAN, K.; BURGHARD, M. Biosensors based on carbon nanotubes. **Analytical and Bioanalytical Chemistry**, v. 385, p. 452-468, Junho 2006.
- BEDNER, K. et al. Investigation of the dominant 1/f noise source in silicon nanowire sensors. **Sensors and Actuators, B: Chemical**. v. 191, p. 270–275, Maio 2014.
- BERGVELD, P. Development of an Ion-Sensitive Solid-State Device for Neurophysiological Measurements. **IEEE Transactions on Biomedical Eng.** v. BME-17, n. 1, pp. 70–71, 1970
- BOUDIER, D. et al. Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs: Part I: Theory and methodology. **Solid-State Electronics**. v. 128, p. 102–108, Fevereiro 2017
- CLÉMENT, N. et al. A silicon nanowire ion-sensitive field-effect transistor with elementary charge sensitivity. **Applied Physics Letters**. v. 98, no. 1, p. 1-3, Janeiro 2011.
- COLINGE, J. -P. The SOI MOSFET: from Single Gate to Multigate. In: _____(ED.) **FinFETs and other Multi-Gate Transistors**. 1ª. ed. Nova Iorque: Springer, 2008. Cap. 1, p. 1-48.
- COLINGE, J. -P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3ª. ed. Nova Iorque: Springer, 2004.
- COLINGE, J. -P. et al. **SOI gated resistor: CMOS without junctions**. IEEE International SOI Conference. Foster City, CA: 2009. p. 1-2.

DEMELAS, M. et al. Charge sensing by organic charge-modulated field effect transistors: application to the detection of bio-related effects. **J Mater Chem B**. v. 1, n. 31, p. 3811-3819, Agosto 2013.

GAO, W.; MAO, Y.; CHUI, C. O. On Noise Performance of Dual-Gated Silicon FET Biosensors with Schottky Contacts. **IEEE Transactions on Electron Devices**. v. 68, n. 6, p. 2965–2970, Junho 2021.

GHIBAUDO, G. On the theory of carrier number fluctuations in MOS devices. **Solid-State Electronics**. v. 32, n. 7, p. 563–565, Julho 1989.

GRAY, M. et al. Implantable biosensors and their contribution to the future of precision medicine. **The Veterinary Journal**, v. 239, p. 21– 29, Setembro 2018.

GRIFFITHS, D. J. **Introduction to Quantum Mechanics**. 2^a. Ed. Pearson Prentice Hall, 2004.

HOOGE F. N. 1/f noise. **Physica**, v. 83B, n.1, p. 14-23, Maio 1976.

HOLLISTER, S. Intel's 10th Gen, 10nm Ice Lake CPUs: everything you need to know. **The Verge**, 2019. Disponível em: <<https://www.theverge.com/2019/5/28/18639317/intel-10nm-10th-gen-core-ice-lake-cpu-processor-laptop-launch-thunderbolt-3-sunny-cove>>. Acesso em 01 de out. de 2019.

HUNG, K. K.; KO, P. K.; HU, C.; CHENG, Y. C. A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors. **IEEE Transactions on Electron Devices**. v. 37, n. 3, p. 654–665, Março 1990.

IMEC. **Imec R&D**, nano electronics and digital technologies, 2019. Página inicial. Disponível em: <[https:// www.imec-int.com/en/home](https://www.imec-int.com/en/home)>. Acesso em 30 de jul. de 2019.

INTEL. Intel 14 nm Technology. Disponível em:<<https://www.intel.com.br/content/www/br/pt/silicon-innovations/intel-14nm-technology.html>>. Acesso em 01 de out. de 2019.

IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, v. 479, p. 329-337, Novembro 2011.

IUPAC. **Compendium of Chemical Terminology**, 2nd ed. (the "Gold Book"). Compiled by A. D. McNaught and A. Wilkinson. Blackwell Scientific Publications, Oxford (1997).

- KANUNGO, S. **Introduction to dielectrically modulated biological field effect transistor**. 2018 International Symposium on Devices, Circuits and Systems (ISDCS). India: 2018.
- LEE, S. J. et al. Simulation study on effect of drain underlap in gate-all-around tunneling field-effect transistors. **Current Applied Physics**. v. 13, n. 6, p. 1143-1149. Agosto 2013.
- MÄNNIK, J.; HELLER, I.; JANSSENS, A. M.; LEMAY, S. G.; DEKKER, C. Charge Noise in Liquid-Gated Single-Wall Carbon Nanotube Transistors. **Nano Letters**. v. 8 p. 685–688. Janeiro 2008.
- MALHOTRA, B. D.; PANDEY C. M. **Biosensors: Fundamentals and applications**. [s.l.] Smithers Rapra Technology, 2017.
- MAO, L. Moore's Law. Disponível em: < <https://leimao.github.io/blog/Moore-Law/>>. Acesso em 25 de out. 2023.
- MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização elétrica de tecnologia e dispositivos MOS**. 1ª. ed. São Paulo: Pioneira Thomson Learning, 2003.
- MARTINO, J.A.; RANGEL, R.C. Método de Fabricação de Transistor. BR 102015020974-6. Depósito: 28 ago. 2015. Concessão: em 23 mai. 2023.
- MCWHORTER A. L. **Semiconductor surface physics**. Pennsylvania: Pennsylvania University Press, 1957.
- MIKOLAJICK, T., et al. 20 Years of reconfigurable field-effect transistors: From concepts to future applications. **Solid-State Electronics**. v.186, n. 108036, p. 1-4. Dezembro 2021.
- MOORE, G. E. Cramming more components onto integrated circuits. **Electronics**, v. 38, n. 8, p. 114-117, Abril 1965.
- ORTIZ-CONDE, A. et al. Revisiting MOSFET threshold voltage extraction methods. **Microelectronics Reliability**. v. 53, n. 1, p. 90-104, 2013.
- RANGEL, R. C. et al. **Fully Electron-Beam Lithography SOI FINFET**. 28th Symposium on Microelectronics Technology and Devices (SBMicro). Curitiba: 2013. p. 1-4.
- RANGEL, R. C.; MARTINO, J. A. **Back Enhanced (BE) SOI pMOSFET**. 30th Symposium on Microelectronics Technology and Devices (SBMicro). Salvador: 2015. p. 1-4.

RAJAN, N. K.; ROUTENBERG, D. A.; REED, M. A.; Optimal signal-to-noise ratio for silicon nanowire biochemical sensors. **Applied Physics Letters**. v. 98, n. 26, Junho 2011.

RAJAN, N. K.; BROWER, K.; DUAN, X.; REED, M. A. Limit of detection of field effect transistor biosensors: Effects of surface modification and size dependence. **Applied Physics Letters**. v. 104, n. 8, Fevereiro 2014.

SANTERMANS, S.; et al. 50 nm gate length FinFET biosensor & the outlook for single-molecule detection. 2020 IEEE International Electron Devices Meeting (IEDM). São Francisco: 2020. p. 35.4.1-35.4.4.

SCHENK, A. A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon. **Solid-State Electronics**. v. 35. p. 1585-1596, Novembro 1992.

SIMONITE, T. Intel's New Chip Wizard Has a Plan to Bring Back the Magic. **Wired**, 2019. Disponível em: <<https://www.wired.com/story/intels-new-chip-wizard-plan-bring-back-magic/>>. Acesso em 01 de out. de 2019.

STREETMAN, B. G.; BANERJEE, S. K. **Solid State Electronic Devices**. PHI Learning Private Limited, 2009.

SYNOPTIS. **Sentaurus Device User Guide**, Versão L-2016.03, 2016.

TIBKEN, S. CES 2019: Moore's Law is dead, says Nvidia's CEO. **CNET**, 2019. Disponível em <<https://www.cnet.com/news/moores-law-is-dead-nvidias-ceo-jensen-huang-says-at-ces-2019/>>. Acesso em 01 de out. de 2019.

TSMC says latest chip plant will cost around \$20 bln. **Reuters**, 2017. Disponível em: <<https://www.reuters.com/article/tsmc-investment/tsmc-says-latest-chip-plant-will-cost-around-20-bln-idUSL3N1O737Z>>. Acesso em 01 de out. de 2019.

VERHULST, A. S.; VANDENBERGHE, W. G.; MAEX, K.; GROESENEKEN, G. Tunnel field-effect transistor without gate-drain overlap. **Applied Physics Letters**. v. 91, n. 5, p. 053102. Julho 2007.

VOS, R. et al. Chemical vapor deposition of azidoalkylsilane monolayer films. **Langmuir**. v. 34, n. 4, p. 1400-1409. Janeiro 2018.

YOJO, L. S. Estudo, caracterização elétrica e modelagem de transistores BE (Back Enhanced) SOI MOSFET. Escola Politécnica da Universidade de São Paulo. São Paulo, p. 99. 2018.

ANEXO A – FOTOMÁSCARAS

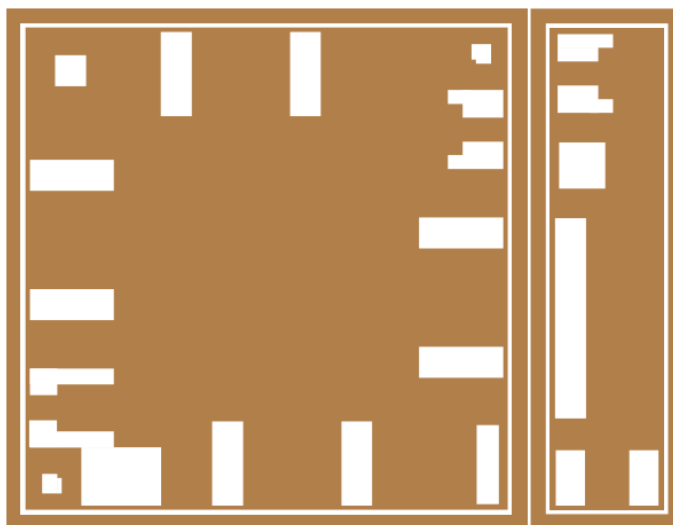


Figura A.1 – Projeto da máscara para realização da dopagem

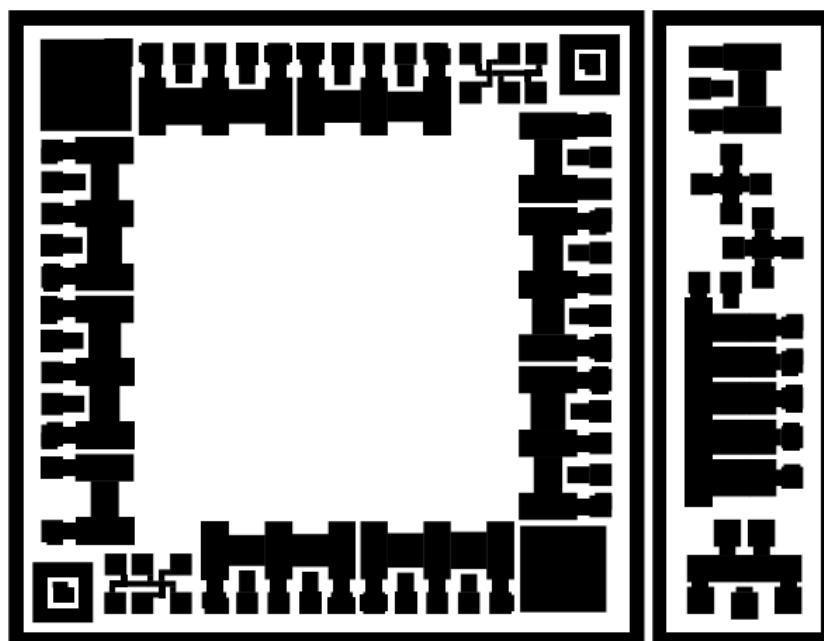


Figura A.2 – Projeto da máscara para definição da região ativa

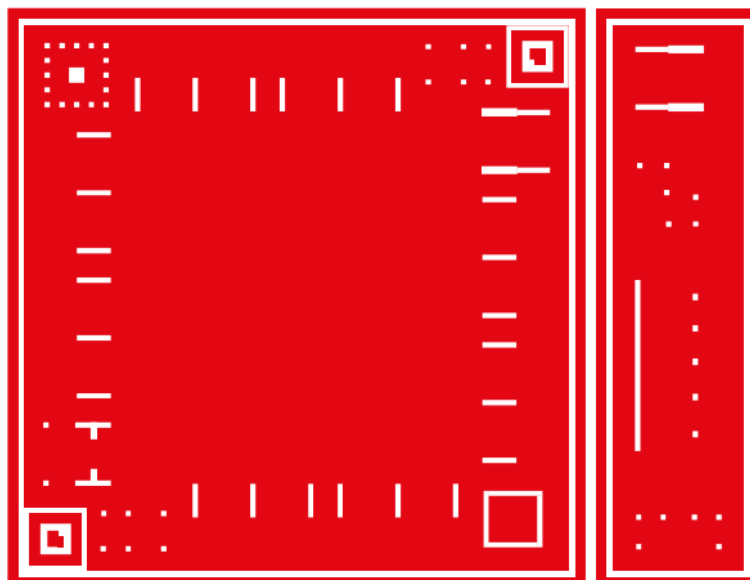


Figura A.3 – Projeto da máscara para abertura de contatos.

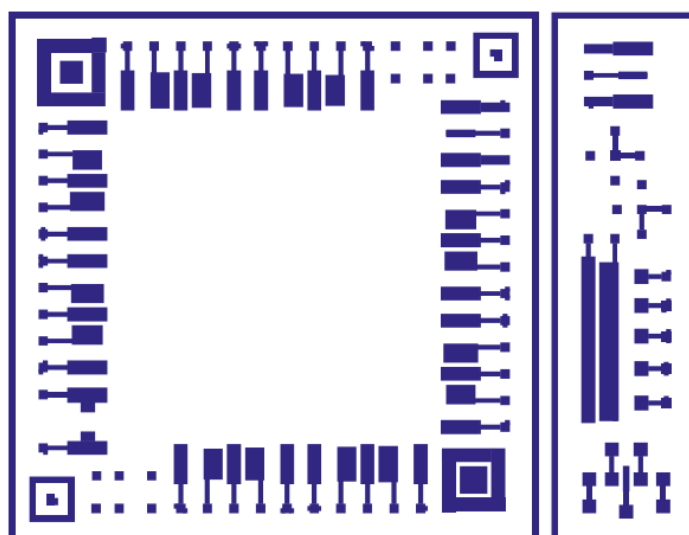


Figura A.4 – Projeto da máscara para definição das regiões de alumínio

ANEXO B – DEDUÇÃO DA INCLINAÇÃO DE SUBLIMIAR CONSIDERANDO ARMADILHAS DE INTERFACE NO BE-SOI TÚNEL-FET

Para calcular o fator de corpo, parte-se da definição da inclinação de sublimiar

$$S = \frac{dV_{GS}}{d \log(I_D)} = \frac{\ln(10)}{\frac{d \ln(I_D)}{dV_G}} = \frac{\ln(10)}{\frac{1}{I_D} \frac{dI_D}{dV_{GS}}} = \frac{\ln(10)}{\frac{1}{I_D} \frac{dI_D}{d\phi_{S2}} \frac{d\phi_{S2}}{dV_{GS}}}$$

E, tomando a expressão de corrente de sublimiar considerando a passagem de corrente através da segunda interface adaptada a partir de Colinge (2004)

$$I_D = \mu_n \frac{W}{L} q \left(\frac{kT}{q} \right)^2 \frac{n_i^2}{N_a} \left[1 - \exp\left(-\frac{qV_{DS}}{kT}\right) \right] \frac{\exp\left(\frac{q\phi_{S2}}{kT}\right)}{-d\phi_{S2}/dx}$$

Temos que

$$S = \frac{\ln(10)}{\left[\frac{q}{kT} \frac{d}{d\phi_{S2}} \left(\frac{-d\phi_{S2}}{dx} \right) \right] \frac{d\phi_{S2}}{dV_{GS}}}$$

Considerando $\frac{d}{d\phi_{S2}} \left(\frac{-d\phi_{S2}}{dx} \right) \ll \frac{q}{kT}$, chegamos à expressão

$$S = \frac{kT}{q} \ln(10) \cdot \frac{dV_{GS}}{d\phi_{S2}}$$

Modificando as equações (1) e (2) para incluir os termos capacitivos correspondentes às armadilhas de interface na primeira e na segunda interface (denominados C_{it1} e C_{it2} , respectivamente) e desprezando as cargas de primeira e segunda interface (pois se trata da região de operação de sublimiar), obtemos

$$V_{GF} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}} + \frac{C_{it1}}{C_{ox1}} \right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl}}{C_{ox1}}$$

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox2}} \cdot \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl}}{C_{ox2}}$$

Substituindo ϕ_{S1} de uma equação na outra, obtemos

$$V_{GS} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \frac{\left(1 + \frac{C_{Si}}{C_{ox1}} + \frac{C_{it1}}{C_{ox1}} \right) \left(\Phi_{MS2} - V_{BS} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl}}{C_{ox2}} \right) - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl}}{C_{ox1}}}$$

E derivando

$$\frac{dV_{GS}}{d\phi_{S2}} = \frac{\left(1 + \frac{C_{Si}}{C_{ox1}} + \frac{C_{it1}}{C_{ox1}} \right) \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) - \frac{C_{Si}}{C_{ox1}}}{\frac{C_{Si}}{C_{ox2}}} =$$

$$\frac{C_{ox2} C_{ox1} + C_{Si} + C_{it1}}{C_{Si}} \frac{C_{ox2} + C_{Si} + C_{it2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox1}} =$$

$$\begin{aligned} & \frac{C_{ox1} + C_{Si} + C_{it1}}{C_{Si}} \frac{C_{ox2} + C_{Si} + C_{it2}}{C_{ox1}} - \frac{C_{Si}}{C_{ox1}} = \\ & \frac{C_{ox1}C_{ox2} + C_{ox1}C_{Si} + C_{ox1}C_{it2} + C_{ox2}C_{Si} + C_{Si}C_{it2} + C_{ox2}C_{it1} + C_{Si}C_{it1} + C_{it1}C_{it2}}{C_{Si}C_{ox1}} = \\ & 1 + \frac{C_{ox2} + C_{it2}}{C_{Si}} + \frac{C_{ox2} + C_{it2} + C_{it1}}{C_{ox1}} + \frac{C_{it1}(C_{ox2} + C_{it2})}{C_{Si}C_{ox1}} = \\ & 1 + \frac{C_{it1}}{C_{ox1}} + (C_{ox2} + C_{it2}) \left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right) + \frac{C_{it1}(C_{ox2} + C_{it2})}{C_{Si}C_{ox1}} = \\ & 1 + \frac{C_{it1}C_{ox2}}{C_{Si}C_{ox1}} \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) + (C_{ox2} + C_{it2}) \left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right) = \\ & 1 + \frac{C_{it1}C_{ox2}}{C_{Si}C_{ox1}} \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) + \frac{C_{ox2} + C_{it2}}{\left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right)^{-1}} \end{aligned}$$

Portanto,

$$S = \frac{kT}{q} \ln(10) \left[1 + \frac{C_{it1}C_{ox2}}{C_{Si}C_{ox1}} \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) + \frac{C_{ox2} + C_{it2}}{\left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right)^{-1}} \right]$$

Deve-se notar ainda que a expressão obtida coincide com a proposta por Yojo (2018) para o fator α , se ignoradas as armadilhas de interface, isto é

$$\alpha = \frac{C_{it1}C_{ox2}}{C_{Si}C_{ox1}} \left(1 + \frac{C_{Si}}{C_{ox2}} + \frac{C_{it2}}{C_{ox2}} \right) + \frac{C_{ox2} + C_{it2}}{\left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right)^{-1}} \Rightarrow \alpha|_{C_{it1}=C_{it2}=0} = \frac{C_{ox2}}{\left(\frac{1}{C_{Si}} + \frac{1}{C_{ox1}} \right)^{-1}}$$