JÚLIA CRISTINA SOARES SOUSA

Projeto de um amplificador operacional de transcondutância de dois estágios utilizando transistores de estruturas de nanofolha de silício

São Paulo 2022 JÚLIA CRISTINA SOARES SOUSA

Projeto de um amplificador operacional de transcondutância de dois estágios utilizando transistores de estruturas de nanofolha de silício

VERSÃO CORRIGIDA

Dissertação de mestrado apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos para a obtenção do título de Mestre em Ciências.

São Paulo 2022

JÚLIA CRISTINA SOARES SOUSA

Projeto de um amplificador operacional de transcondutância de dois estágios utilizando transistores de estruturas de nanofolha de silício

VERSÃO CORRIGIDA

Dissertação de mestrado apresentado à Escola Politécnica da Universidade de São Paulo como parte dos requisitos para a obtenção do título de Mestre em Ciências.

Área de concentração: Microeletrônica.

Orientadora: Prof^a. Dra. Paula Ghedini Der Agopian Coorientador: Prof. Dr. João Antonio Martino

São Paulo 2022 Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisad responsabilidade única do	lo e corrigido em autor e com a an	relação à versão original, sob uência de seu orientador.
São Paulo, <u>18</u> de _	maio	de <u>2022</u>
Assinatura do autor:	Qu'lia C.	S. Soura
Assinatura do orientado	: Houlaghia	i Diagopian

Catalogação-na-publicação

Sousa, Julia

Projeto de um amplificador operacional de transcondutância de dois estágios utilizando transistores de estruturas de nanofolha de silício / J. Sousa -- versão corr. -- São Paulo, 2022. 90 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Nanofolha de Porta ao Redor 2.Amplificador Operacional de Transcondutância 3.MOSFET 4.gm/ID I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

À minha orientadora, Prof.^a Dra. Paula, e meu co-orientador, Prof. Dr. Martino. O processo de escrita de um trabalho como este depende mais da preparação feita até se chegar ao ponto em tomar a decisão da escrita, do que da decisão em si. Agradeço a dedicação semanal, contínua, ao papel de orientadores e a paciência e diligência que tiveram desde o início.

Aos meus colegas do grupo SOI e de mestrado: Welder, Bruna, Vanessa, Alexandro, Joao Victor, Henrique, André, Fabricio, Amanda e Luciana, e ao meu antigo tutor do programa CI Brasil, Roberto Rangel. Agradeço a ajuda durante as etapas de aulas e de pesquisa, tanto acadêmica quanto os momentos de descontração, ainda que à distância.

Aos meus familiares e namorado, que me acolheram novamente na minha cidade natal durante a pandemia e me deram o apoio necessário para que eu pudesse trabalhar remotamente.

For fim, à USP e ao CNPq, por disponibilizar a infraestrutura e meios financeiros que permitiram o andamento deste trabalho.

Tentar prever o futuro é um trabalho ingrato. Porém, cada vez mais é algo que precisamos fazer, pois o mundo vem mudando cada vez mais rápido e precisamos ter alguma ideia de como vai ser o futuro – já que teremos que viver nele, provavelmente na semana que vem. (Douglas Adams, 1999)

RESUMO

SOUSA, Júlia Cristina Soares. Projeto de um amplificador operacional de transcondutância de dois estágios utilizando transistores de estruturas de nanofolha de silício. 2021. Dissertação de mestrado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2021.

Os transistores de efeito de campo de Metal-Óxido-Semicondutor (Metal-Oxide-Semiconductor Field Effect Transistor - MOSFET) vem sendo evoluídos desde a década de 70, com a adição de muitas soluções de engenharia para mitigar os efeitos de canal curto. O advento das lâminas de Silício-Sobre-Isolante (SOI), técnicas de tensionamento do silício, uso de dielétricos High-K e dispositivos de múltiplas portas (Multiple Gate FETs - MuGFETs) foram algumas das soluções implementadas para permitir a redução das dimensões e melhoria da operação ao longo do tempo. Dentre os MuGFETs, destacam-se o FETs de aleta (FinFET), que vem sendo amplamente utilizado comercialmente desde a década passada, e os mais avançados transistores de nanofolhas de porta ao redor (Gate-All-Around Nanosheet - GAA-NSH). Neste trabalho estudou-se dispositivos GAA-NSH, levantando suas características analógicas e aplicando-os num projeto de amplificador de transcondutância de dois estágios (OTA). Os dispositivos foram fabricados no imec e caracterizados eletricamente e a partir das curvas experimentais, uma Lookup Table (LUT) foi criada, com as tensões, correntes, e demais parâmetros analógicos extraídos para a avaliação do projeto do OTA. Uma LUT foi criada para cada uma das temperaturas estudadas, a 25 °C, 100 °C e 200 °C. Utilizando a metodologia de projeto de g_m/I_D, o OTA foi projetado, utilizando o mesmo valor de gm/lp para os transistores que compunham o caminho de sinal, de 5V⁻¹, 8V⁻¹ e 11 V⁻¹. O GAA-NSH apresentou resultados que corroboram o comportamento esperado para um MOSFET em termos de tradeoffs entre o ganho de tensão do dispositivo, o produto ganho-banda (GBW) e potência elétrica consumida, com um crescimento do ganho de tensão proporcionalmente ao gm/ID (65,6 dB a 89,1 dB), enquanto apresenta um decrescimento do GBW (496,7 MHz a 255,9 MHz). O projeto do GAA-NSH apresenta uma melhora de características elétricas em comparação ao do

FinFET, por apresentar um maior ganho de tensão para o mesmo gm/lo e número de aletas (71,8 dB contra 67,61 dB), enquanto utiliza menos corrente no segundo estágio e consome menos potência (544,5 µW contra 1,41 mW). O GAA-NSH também é menor que o FinFET em dimensões, tendo uma largura de aleta menor (15nm contra 20nm) e comprimento de canal menor (100nm contra 150nm), enquanto apresenta menor influência de efeitos de canal curto. Quando comparado aos transistores de tunelamento (TFET), podemos notar que o GAA-NSH apresenta uma grande vantagem em termos de freguência de operação (GBW de 361,3 MHz contra 718kHz), mas ao custo de um grande consumo de potência (544,5 µW contra 9 µW) e menor ganho de tensão (71,8 dB contra 88 dB). O GAA-NSH se mostrou uma tecnologia superior em termos de performance analógica em relação ao seu antecessor evolutivo (FinFET), porém é mais apropriada para utilização em situações que exigem alto ganho e alta frequência de operação. Por fim, a análise em temperatura demonstrou que, em uma análise para polarização de tensão de porta anterior à região invariante com a temperatura (Zero Temperature Coefficient – ZTC), obtém-se valores mais altos de tensão dreno-fonte (VDs) e tensão de overdrive (VOV = VGS - VT) em relação à temperatura ambiente, porém mais baixos de tensão de porta-fonte (VGS). O ganho de tensão do circuito sofre uma grande degradação com o aumento de temperatura (72,3 dB para 60,5 dB), uma consequência da diminuição do ganho intrínseco do transistor (gm/gDs). O GBW diminui levemente devido à queda do ganho (796 MHz para 661 MHz), o que é levemente compensado pelo deslocamento do polo dominante do OTA para frequências mais altas.

Palavras-chave: Nanofolha de Porta ao Redor. Amplificador Operacional de Transcondutância. MOSFET. gm/ID.

ABSTRACT

SOUSA, Júlia Cristina Soares. Project of a two-stage operational transconductance amplifier using gate-all-around silicon nanosheets. 2021. Dissertação de mestrado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2021.

The Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET) devices have been evolving since the 70's, with many added engineering solutions to decrease the short channel effects. The usage of Silicon-On-Insulator (SOI) substrates, silicon straining, and multiple gate FETs (MuGFETs) were some of the implemented solutions to allow the decreasing dimensions and improvement of electrical operation. Between the MuGFETs we can highlight the FinFETs, which were broadly commercially used on the past decade, and the more recent gateall-around nanosheet transistors (GAA-NSH). This work studies GAA-NSH devices, by discussing their analog characteristics and testing them on a twostage operational transconductance amplifier (OTA) project. The imec fabricated devices had their DC electric characteristic curves measured. From the experimental curves, a lookup table (LUT) was created for the voltages, currents and other analog parameters extracted in order to evaluate the OTA performance. A LUT was created for each studied temperature, at 25 °C, 100 °C and 200 °C. Using the gm/Ip project design method, the OTA was designed using the same g_m/I_D values for the signal path transistors, of 5V⁻¹, 8V⁻¹ and 11 V⁻¹. The GAA-NSH presented the expected tradeoffs of MOSFET devices, between amplifier voltage gain, frequency behavior and power consumption, with an increase of voltage gain proportional to gm/lp (65,6 dB to 89,1 dB), while the Gain Bandwidth Product (GBW) decreases (496,7 MHz to 255,9 MHz). The GAA-NSH project presents an improvement of electrical characteristics in comparison to the FinFET project, presenting a larger voltage gain for the same gm/ID and number of fins (71,8 dB vs. 67,61 dB), while utilizing less current for the second stage and less power consumption (544,5 µW vs. 1,41 mW). The GAA-NSH is also smaller

than the FinFET in dimensions, with smaller fin width (15nm vs. 20nm) and channel length (100nm vs. 150nm), while showing a comparable performance in terms of SCE influence. When compared to the TFET technology, the GAA-NSH presents a large advantage in terms of operation frequency (GBW of 361,3 MHz vs. 718kHz), but at the cost of a large power consumption (544,5 μ W vs. 9 μ W) and smaller voltage gains (71,8 dB vs. 88 dB). Finally, the GAA-NSH presents improvement in terms of analog performance when compared to its evolution predecessor (FinFET), however, it is better suited for situations that demand both high gains and bandwidth. Finally, temperature analysis shows that the currents and voltages variations, when polarized previously to the zero temperature coefficient region (ZTC), results in a circuit with increased drain-source voltage (V_{DS}) and overdrive voltage $(V_{OV} = V_{GS} - V_T)$, but lower gate-source (V_{GS}) values. The opposite variation between Vov and Vgs is a consequence of the accentuated decrease of threshold voltage (V_T) with temperature. The circuit voltage gain shows a large degradation (72,3 dB to 60,5 dB), due to the decreasing of intrinsic gain (g_m/g_{DS}) of the transistor. This degradation is due to the variation of the g_m/I_D and Vov polarization, that places gm/gps on a region that rapidly decreases with temperature. GBW decreases a bit due to the gain decreasing (796 MHz to 661 MHz), which is slightly compensated for by the main pole shifting to higher frequencies.

Keywords: Gate-all-around Nanosheet. Operational Transconductance Amplifier. MOSFET. gm/ID.

Lista de ilustrações

- Figura 1 Taxa de produção semanal de wafers para as tecnologias CMOS e bipolar, demonstrados no primeiro quadrimestre (quarter) de cada ano (1994 a 2008).
- Figura 2 Algumas estruturas de transistores MOSFET. Da esquerda para a direita, o FET Planar, o FinFET, e os dispositivos de porta ao redor com canal de nanofio e nanofolhas.
- Figura 3 Escalamento exponencial do número de transistores em processadores comerciais ao longo dos anos.
- Figura 4 Diminuição da sobreposição da região de depleção para fonte e dreno devido à utilização de uma lâmina SOI.
- Figura 5 Melhor controle eletrostático do canal devido à presença de múltiplas portas (D), em comparação a tecnologias anteriores (A-C).
- Figura 6 Esquemático de um transistor do tipo FinFET.
- Figura 7 Redução da área ocupada em layout por MOSFETS em função da evolução dos nós tecnológicos. Os dispositivos de menor área ocupada são os de nanofolhas e nanofios previstos para os nós tecnológicos de 5nm e 3nm.
- Figura 8 Tipos de dispositivos de nanofios e nanofolhas. A. Diferença entre os dispositivos laterais e os dispositivos verticais. B. TEM de dispositivos laterais apresentando as diferenças entre nanofios (à esquerda) e nanofolhas (à direita).
- Figura 9 Comparação de frequência de operação vs. Potência consumida para um oscilador em anel, feita entre um dispositivo com 4 nanofolhas empilhadas e dispositivos FinFET em diferentes escalas de integração (7nm N7; 5nm N5; 3nm N3).
- Figura 10 Método gráfico de extração para a tensão Early a partir da curva I_D×V_{DS}.
- Figura 11 Comportamento da mobilidade com a variação da temperatura, e principal mecanismo de variação por região de temperatura.
- Figura 12 Comportamento da tensão de limiar em função da temperatura para o transistor de nanofolha de silício.

- Figura 13 Curvas I_D×V_{GS} para diferentes temperaturas e V_{DS} = 25 mV, e identificação da região V_{ZTC}.
- Figura 14 Comportamento da a) transcondutância, b) ganho intrínseco, c) g_m/I_D, d) frequência de ganho unitário com a variação da temperatura.
- Figura 15 Comportamento do ganho intrínseco para amostras fabricadas de transistores GAA-NSH do A) tipo n e B) tipo p em função da temperatura.
- Figura 16 Esquemático 3D do dispositivo GAA-NSH.
- Figura 17 Processo de obtenção, preparação e utilização de dados experimentais do dispositivo GAA-NSH.
- Figura 18 Representação visual do modelo Verilog-A implementado para o GAA-NSH.
- Figura 19 Representação dos vários parâmetros de projetos para um amplificador e suas interligações.
- Figura 20 Curvas de corrente para o GAA-NSH do tipo n (GAA-NSH-NMOS) e tipo p (GAA-NSH-PMOS), (A) em função da tensão de portafonte e (B) em função de diferentes tensões de dreno-fonte. Os transistores utilizados tem dimensões de Weff/L = 2288nm/100nm.
- Figura 21 Curvas de eficiência do transistor em função da corrente normalizada para GAA-NSH dos tipos NMOS e PMOS.
- Figura 22 Curvas de capacitância de porta em função da tensão de porta para GAA-NSH dos tipos NMOS e PMOS.
- Figura 23 Tradeoff entre f_T (A) e produto $f_T * g_m/I_D$ (B) em função de g_m/I_D para GAA-NSH dos tipos NMOS e PMOS.
- Figura 24 Topologia para o amplificador operacional de transcondutância de dois estágios (OTA).
- Figura 25 Valores de eficiência do transistor para diferentes correntes após o dimensionamento.
- Figura 26 Diagrama de Bode de ganho e fase do OTA para as diferentes eficiências escolhidas.

- Figura 27 Curvas I_D×V_{DS} para os transistores de nanofolha do tipo NMOS (A) e PMOS (B) parametrizados em diferentes V_{GS}, nas temperaturas de 25 °C, 100 °C e 200 °C.
- Figura 28 Variação de g_m/I_D em função da temperatura para transistores de nanofolha do tipo NMOS (A) e PMOS (B) a 25 °C, 100 °C e 200 °C.
- Figura 29 Diagrama de bode com a resposta em frequência do OTA nas temperaturas de 25 °C, 100 °C e 200 °C.

Lista de tabelas

Tabela 1	Dimensionamento para os GAA-NSH do amplificador.
Tabela 2	Performance do OTA para diferentes polarizações
Tabela 3	<i>Tradeoff</i> entre a margem de fase e o GBW devido ao ajuste da capacitância Miller.
Tabela 4	Performance do GAA-NSH em um circuito OTA quando comparado com outros nós tecnológicos.
Tabela 5	Parâmetros analógicos e geométricos para os transistores FinFET e GAA-NSH.
Tabela 6	Dimensionamento dos GAA-NSH para o design com V_{DD} = 1,5 V
Tabela 7	Variação da tensão de limiar com a temperatura
Tabela 8	Performance do OTA para diferentes temperaturas

Lista de siglas e abreviações

5G	Protocolo de Comunicações Móveis 5G
3DNAND	Memória Flash Empilhada verticalmente de arquitetura NAND
CMOS	Metal-Óxido-Semicondutor Complementar (Complementary Metal- Oxide-Semiconductor)
cmWave	Espectro de Frequência Eletromagnética da ordem de centímetros (~ 6GHz a 30GHz)
DG	Porta Dupla (<i>Double Gate</i>)
DIBL	Redução da Barreira Induzida pelo Dreno (<i>Drain-Induced Barrier</i> Lowering)
EI	Integridade eletrostática (Electrostatic Integrity)
EOT	Espessura Efetiva de Óxido (<i>Effective Oxide Thickness</i>)
FET	Transistor de Efeito de Campo (Field Effect Transistor)
FDSOI	Transistor SOI totalmente depletado (Fully Depleted Silicon On Insulator transistor)
FinFET	Transistor de Efeito de Campo Fin (Fin Field Effect Transistor)
Ga	Gálio
GaAs	Arseneto de Gálio
GAA-NSH	Transistor de Nanofolha de Porta ao Redor (Gate All Around Nanosheet)
GBW	Produto Ganho Banda (Gain-Bandwidth Product)
imec	Interuniversity Microelectronics Centre
InGaAs	Arseneto de Índio e Gálio
IoT	Internet das coisas (Internet of Things)
LUT	Lookup Table
mmWave	Espectro de Frequência Eletromagnética da ordem de milímetros (~ 30GHz a 300GHz)

MOS	Metal-Óxido-Semicondutor (Metal-Oxide-Semiconductor)
MOSFET	Transistor de Efeito de campo MOS
MoS ₂	Dissulfeto de Molibdênio
MuGFET	Transistor de Efeito de Campo de Múltiplas Portas (<i>Multiple Gate Field</i> Effect Transistor)
N3	Nós tecnológicos de 3nm
N5	Nós tecnológicos de 5nm
N7	Nós tecnológicos de 7nm
NSH-NMOS	Nanofolha Metal-Óxido-Semicondutor tipo N (<i>Nanosheet N-type Metal-Oxide</i> -Semiconductor)
NSH-PMOS	Nanofolha Metal-Óxido-Semicondutor tipo P (<i>Nanosheet P-type Metal-Oxide</i> -Semiconductor)
ΟΤΑ	Amplificador Operacional de Transcondutância (Operational Transconductance Amplifier)
PA	Amplificador de Potência (Power Amplifier)
RF	Radiofrequência
SCE	Efeito de Canal Curto (Short Channel Effect)
SOI	Silício-Sobre-Isolante (Silicon-On-Insulator)
T/R	Transmissor/Receptor
ТСАТ	Transistor de vetor de células de terabit (Terabit Cell Array Transistor)
TEM	Microscopia por transmissão de elétrons (<i>Transmission Electron Microscopy</i>)
TFET	Transistor de Tunelamento
TSMC	Taiwan Semiconductor Manufacturing Company
UBW	Largura de Banda em Ganho unitário (Unity Gain Bandwidth)

Lista de símbolos

Av	Ganho intrínseco do transistor [dB]
Avpe	Ganho intrínseco de tensão do primeiro estágio do amplificador [dB]
A _{Vse}	Ganho intrínseco de tensão do segundo estágio do amplificador [dB]
Cc	Capacitância de compensação (miller) [F]
CL	Capacitância de carga [F]
Cox	Capacitância de óxido de porta por unidade de área [F.cm ⁻²]
C _{dep}	Capacitância da região de depleção do transistor bulk [F.cm ⁻²]
Csi	Capacitância da região de filme de silício do transistor SOI [F.cm ⁻²]
C _{gg}	Capacitância total de porta [F]
Cgg	Capacitância total de porta normalizada por aleta [F.cm ⁻²]
Cgs	Capacitância entre porta e fonte [F.cm ⁻²]
Cgd	Capacitância entre porta e dreno [F.cm ⁻²]
f⊤	Frequência de ganho unitário [Hz]
gds	Condutância de saída [S]
g m	Transcondutância [S]
g _m /I _D	Eficiência do transistor [V ⁻¹]
H _{FIN}	Altura da aleta do FinFET de porta tripla [nm]
H _{NSH}	Altura da aleta da nanofolha [nm]
D	Corrente elétrica de fonte para o dreno [A]
I⊳/(W/L)	Corrente elétrica normalizada por dimensões do transistor [A]
lss	Corrente da fonte de referência [A]
Ipe	Corrente espelhada para o primeiro estágio do OTA [A]
l _{se}	Corrente espelhada para o segundo estágio do OTA [A]
k	Constante de Boltzmann [m ² kg s ⁻² K ⁻¹]
К	Constante tecnológica do transistor MOS [A.V ⁻²]
L	Comprimento de canal [nm]
n	Fator de corpo
Pout	Pólo da saída do segundo estágio do amplificador [??]
PM	Margem de Fase [deg]
q	Carga do portador [C]
Qdep	Carga da região de depleção [C]
r _o	Impedância de saída [Ω]
Rout1	Impedância de saída do primeiro estágio do amplificador [Ω]
SS	Inverso da inclinação de sublimiar [mV/dec]
Т	Temperatura [K]
Vdd	Tensão elétrica de alimentação [V]

Vds	Tensão elétrica entre dreno e fonte [V]
VEA	Tensão elétrica Early [V]
Vfb	Tensão elétrica de faixa plana [V]
Vgs	Tensão elétrica entre fonte e porta [V]
VT	Tensão elétrica de limiar [V]
Vθ	Tensão Térmica [V]
W	Largura de dispositivo planar [nm]
Weff	Largura efetiva da nanofolha [nm]
WFIN	Largura da aleta do FinFET de porta tripla [nm]
λ	Modulação do comprimento de canal [V-1]
Φ _F	Potencial de Fermi do semicondutor [V]
Φ _{MS}	Diferença da função trabalho entre metal de porta e camada de silício [V]
Ψs	Potencial de superfície [V]

SUMÁRIO

1. Introdução	20
1.1. Objetivos	24
1.2. Estrutura do trabalho	24
2. Revisão bibliográfica	26
2.1. Histórico de Evolução dos Dispositivos MOSFET	26
2.2. O Dispositivos de porta ao redor (Gate-All-Arround)	32
2.3. Parâmetros relevantes para o projeto de circuitos analógicos	35
2.3.1 Tensão de limiar (V⊤)	36
2.3.2 Fator de corpo / idealidade (n) e inverso da inclinação de sublimiar	ſ
(SS) 37	
2.3.3 Transcondutância (g _m)	38
2.3.4 Condutância de saída (g⊳s) e impedância de saída (r₀)	39
2.3.5 Tensão Early (V _{EA})	40
2.3.6 Eficiência do transistor (gm/Iɒ)	41
2.3.7 Frequência de ganho unitário (f⊤) e produto ganho banda (GBW)	42
2.3.8 Ganho intrínseco (gm/gɒs)	43
2.4. Efeitos da temperatura	44
2.4.1 Degradação da mobilidade (μ) de portadores	44
2.4.2 Variação da tensão de limiar	46
2.4.3 Polarização invariante com a temperatura (Vzτc)	47
2.4.4 Efeito da temperatura nas figuras de mérito analógicas do MOS	49
3. Materiais e métodos	51
3.1. MOSFET Nanofolha de porta ao redor	51
3.2. Método de simulação	53
3.3. Método de projeto do amplificador: gm/ld	56
4. Projeto do amplificador operacional de transcondutância	59
4.1 Análise do transistor com estrutura de nanofolha de Silício	59
4.2. Projeto do OTA em temperatura ambiente	64
4.3. Projeto do OTA em altas temperaturas	75
5. Conclusões e trabalhos futuros	82
Publicações geradas	85
Referências Bibliográficas	86

1. INTRODUÇÃO

A integração de circuitos em grande escala para a tecnologia Metal-Oxido-Semicondutor Complementar (*Complymentary MOS* - CMOS) é o principal objetivo da indústria de semicondutores. Dispositivos de dimensões menores permitem maior capacidade de processamento em áreas reduzidas, menor uso de corrente por dispositivo e diminuição de capacitâncias parasitas. As áreas de aplicação para a tecnologia CMOS variam entre lógica digital em sua vasta maioria, e aplicações analógicas nas áreas de sensores, conversores e circuitos elétricos de radiofrequência (RF). Todas essas aplicações combinadas culminam em produtos finais complexos que utilizam vários sensores, *transceivers*, antenas, células de memória e de processamento lógico (Oliveira & Goes, 2012). A tecnologia CMOS apresenta a vantagem dessa integração em um único *wafer*, se tornando a principal tecnologia para aplicações comerciais. A **Error! Reference source not found.** apresenta as produções de *wafers* para as tecnologias CMOS e bipolar.



Error! Reference source not found. — Taxa de produção semanal de wafers para as tecnologias CMOS e bipolar, demonstrados no primeiro quadrimestre (*quarter*) de cada ano (1994 a 2008).

Fonte: Adaptado de Oliveira (2012)

As tecnologias CMOS avançadas são primordiais para projetos de circuitos integrados contendo células de memória e processamento lógico de alta velocidade e alta performance, sendo essa sua principal área de aplicação. Utilizando nós tecnológicos CMOS de 20nm, é possível construir células de memória em estrutura tridimensional altamente integradas com taxas de transferência de dados na faixa de Gigabytes por segundo por pino (Lee, 2020). A tecnologia moderna de células do tipo 3DNAND utiliza transistores em arranjo TCAT (*Terabit Cell Array Transistor*), na qual se constrói transistores empilhados verticalmente e conectados em série (Kim, 2017). Diminuir a distância vertical de células TCAT enquanto se mantém uma baixa interferência entre os dados armazenados é um dos desafios da indústria de semicondutores para o aumento da capacidade de armazenamento de dados por área de projeto. A evolução dos processadores e lógicas digitais é exponencial, seguindo a Lei de Moore (Moore G. E., 1965), e se beneficia das reduções da tensão de alimentação (V_{DD}), corrente de estado ligado, e tempos de propagação (Oliveira & Goes, 2012).

De forma geral, a utilização da tecnologia CMOS para aplicações de circuitos integrados digitais é consideravelmente mais avançada que em aplicações analógicas. A otimização de circuitos RF e analógicos fabricados em tecnologia CMOS é de grande interesse comercial, principalmente nas áreas de telefonia móvel, comunicações 5G, *internet* das coisas (IoT) (Nordrum & Clark, 2017). A utilização de tecnologia CMOS para células receptoras/transmissoras (T/R) de sinais em radiofrequência demonstra menores vantagens quando comparadas a dispositivos que utilizam materiais III-V, apresentando uma maior potência elétrica entregue na saída e podendo potencialmente operar em frequências mais altas (Lie, Mayeda, Li, & Lopez, 2016) (Lie, Tsay, Hall, Nukala, & Lopez, 2016). Os circuitos CMOS apresentam, entretanto, melhor capacidade de integração com sistemas de controle digitais e a perspectiva de produtos finais mais baratos.

As dificuldades de aumento de integração e redução das dimensões surgem ao diminuir a tensão de alimentação (V_{DD}) e tensão de limiar (V_T) em passo linear, enquanto reduz-se o comprimento de canal do transistor (L) em escala exponencial. Ao reduzir as dimensões de transistores planares, os efeitos de canal curto (*Short Channel Effects* – SCE) atrapalham a operação do transistor quando polarizados em saturação, o que é bastante comum em circuitos integrados analógicos. O efeito de *drain induced barrier lowering* (DIBL) é um exemplo de SCE, e se torna bastante significativo devido aos altos valores de tensão entre fonte-dreno (V_{DS}) sobre um canal curto. Outro exemplo de SCE é a degradação da condutância de saída do dispositivo (g_{DS}) e gerando uma piora na sua figura de mérito de ganho intrínseco (g_m/g_{DS}), o que piora, por exemplo, a resposta em *feedback* de um amplificador projetado com transistores polarizados em saturação (Binkley, 2007) (Pekarik, 2004). A redução das dimensões também geram outros SCE indesejados como os de fuga de corrente pela porta e substrato.

O advento da tecnologia Silício-Sobre-Isolante (SOI) e de transistores de múltiplas portas reduziu bastante os efeitos de canal curto: através da redução da influência do substrato na região ativa do transistor, a redução das regiões de depleção entre fonte e dreno, e o aumento do controle eletrostático da porta ao canal. A consequência da redução dos SCEs e das correntes de fuga é um dispositivo com uma melhor relação entre corrente de estado ligado e desligado (IoN/IOFF), maior idealidade para a inclinação de sublimiar (SS), e melhoria para figuras de mérito analógicas devido à redução de g_{DS} e melhora do acoplamento entre porta e canal (Colinge, 2008).

Os dispositivos de porta ao redor, como os nanofios e nanofolhas, são excelentes candidatos para a construção de circuitos integrados digitais e células de memória, devido à sua maior integração, menor fuga de corrente através do substrato e melhor resposta eletrostática em geral, o que pode ser comprovado na literatura (Veloso, 2020) (Veloso, 2021). A Figura 2 apresenta os dispositivos MOSFET planar e FinFET, e também os transistores de nanofolha de porta ao redor (*gate-all-around nanosheet*, GAA-NSH).



Figura 2 – Algumas estruturas de transistores MOSFET. Da esquerda para a direita, o FET Planar, o FinFET, e os dispositivos de porta ao redor com canal de nanofio e nanofolhas. Fonte: Adaptado de IEEE Spectrum (2021).

Esse trabalho avalia a performance e viabilidade desses dispositivos em circuitos integrados analógicos, que se beneficiam bastante da melhoria desses parâmetros e consequentemente das figuras de mérito analógicas, viabilizando o seu uso para circuitos analógicos fabricados em nós tecnológicos avançados.

O circuito analógico escolhido foi o amplificador operacional de transcondutância (OTA). O OTA é uma célula que gera um ganho de corrente a partir de uma diferença de tensão aplicada ao par diferencial de entrada do circuito. A corrente de saída pode ser transformada em tensão utilizando uma carga que confere uma impedância de saída, comumente um transistor funcionando como fonte de corrente ou carga diodo (Razavi, 2016).

As topologias de entrada diferencial são bastante utilizadas em *design* analógico por proporcionar imunidade a ruídos de modo comum, que afetam igualmente ambas as entradas do par diferencial, como chaveamentos de circuitos integrados adjacentes e ruídos, enquanto também aumentam a excursão de saída (Razavi, 2016).

A fim de avaliar sua performance e também comparar o transistor de nanofolha com outras tecnologia, um amplificador operacional de transcondutância de dois estágios é projetado. O amplificador operacional é uma célula elementar para projetos de circuitos integrados analógicos, que pode ser adaptada para filtros, sistemas com *feedback* e *buffers*. A topologia escolhida é bastante comum na literatura (Baker, 2010) (Razavi, 2016).

Por fim, o circuito também é analisado em altas temperaturas para se observar as variações causadas pela degradação da mobilidade e alteração da tensão de limiar (VT) nas principais figuras de mérito do circuito.

1.1. OBJETIVOS

Esse trabalho tem por objetivo avaliar a performance analógica de um dispositivo de nanofolha de porta ao redor (*gate-all-around nanosheet*, GAA-NSH) a partir do projeto de um amplificador operacional de transcondutância de dois estágios. Avaliar as figuras de mérito dos GAA-NSH com os nós tecnológicos antecessores, como o FET de aletas (FinFET) e também novas tecnologias emergentes, como o FET de tunelamento (TFET). Avaliar também o comportamento desses parâmetros com a variação de temperatura, e a relação entre as variações observadas a nível de dispositivo e a nível de circuito. Para esta análise utilizou-se medidas experimentais de um dispositivo fabricado no imec, Bélgica e simulações em Verilog-A, realizadas no ambiente Cadence Virtuoso, em temperaturas diferentes.

Sabendo-se que os dispositivos CMOS são afetados pela temperatura a ponto de alterar significativamente as especificações obtidas a nível de circuito. A variação das especificações que depende, entre vários fatores, do posicionamento da polarização em relação à região invariante com a temperatura (V_{ZTC}), a variação das polarizações de cada transistor dentro do circuito, e a variação do desempenho analógico com a polarização e temperatura foram avaliadas.

1.2. ESTRUTURA DO TRABALHO

O trabalho foi estruturado de forma a apresentar cinco capítulos, descritos a seguir:

- a) Capítulo 1 Introdução: motivação deste trabalho, seus objetivos, e estruturação;
- b) Capítulo 2 Revisão bibliográfica: um histórico da evolução dos dispositivos de efeito de campo MOS (MOSFET), a família de dispositivos de porta ao redor, um resumo dos parâmetros de design analógico que serão analisados, e um resumo dos efeitos observados devido à variação de temperatura;

- c) Capítulo 3 Materiais e métodos: descrição do dispositivo estudado, o método de simulação e a metodologia de projeto para o amplificador operacional;
- d) Capítulo 4 Resultados e análise: Análise dos parâmetros analógicos do dispositivo, decisões de projeto e análise da performance do amplificador projetado a temperatura ambiente e em altas temperaturas;
- e) Capítulo 5 Conclusões: resumo dos resultados do trabalho.

2. REVISÃO BIBLIOGRÁFICA

Essa sessão apresentará uma revisão bibliográfica acerca dos dispositivos MOS de efeito de campo (MOSFET), englobando seu mecanismo de condução básico, os desafios para redução das dimensões, principais efeitos de canal curto e evolução da estrutura do dispositivo. O dispositivo de porta ao redor é então apresentado. Para realizar o projeto de circuito integrado analógico, uma revisão das principais figuras de mérito e parâmetros de projeto é apresentada, bem como suas variações em temperatura.

2.1. HISTÓRICO DE EVOLUÇÃO DOS DISPOSITIVOS MOSFET

A lei de Moore é uma observação empírica realizada por Gordon Moore, que mostrou que o número de transistores em um circuito integrado dobraria a cada dois anos. Enquanto os dispositivos reduziam suas dimensões, aumentava sua capacidade computacional, diminuía o custo por unidade de transistor e o consumo de potência (Moore G. E., 1965) (Roser & Ritchie, 2013). Essa projeção, feita na década de 60, se transformou no objetivo e direcionamento de esforços de pesquisa e desenvolvimento da indústria de semicondutores, que vem mantendo tal padrão de crescimento exponencial há 50 anos. A Figura 3 apresenta um gráfico semi logarítmico que mostra o número aproximado de transistores em vários processadores de uso comercial ao longo dos anos.

Inicialmente, aumentar a escala de integração de transistores significava diminuir o comprimento de canal de um dispositivo MOSFET planar, construído sob um substrato dopado do tipo p ou n (BULK), com implantes de fonte e dreno dopados com o portador oposto ao substrato (Colinge, 2005).

Os dispositivos em estudo possuem mecanismo de condução por efeito de campo, e por isso são denominados transistores de efeito de campo (*Field effect transistor* – FET). O mecanismo clássico de condução do transistor MOSFET ocorre através do transporte de portadores através de um canal de silício polarizado, entre os terminais de fonte e dreno do dispositivo. A porta do transistor, separada do canal por um material dielétrico, é polarizada, o que altera o nível de concentração de portadores na superfície do canal. A partir de uma certa polarização, classicamente chamada de tensão de limiar (V_T), o tipo de

portador presente no canal é invertido, permitindo a passagem de portadores a partir de uma tensão entre fonte e dreno (V_{DS}) (Baker, 2010).



Figura 3 — Escalamento exponencial do número de transistores em processadores comerciais ao longo dos anos. Fonte: Adaptado de Roser & Ritchie (2013)

Os transistores mais utilizados na maioria das aplicações são os de modo enriquecimento, no qual as regiões de fonte e dreno possuem dopagens opostas à região de canal (Martino, Pavanello, & Verdonk, 2003). A implantação de fonte e dreno do tipo n em um substrato tipo p (ou vice-versa) acarreta na formação de uma região de depleção entre as duas dopagens, tal como acontece em um diodo (Colinge, 2005). Para os primeiros nós tecnológicos, as dimensões da região de depleção entre canal-dreno e canal-fonte eram desprezíveis em comparação ao comprimento de canal. Porém, o encurtamento do comprimento de canal resulta em uma maior influência das regiões de depleção destas junções no controle de cargas do canal pela porta do dispositivo, e consequentemente, a diminuição do controle da tensão de porta sobre o canal (Foty, 1997), acarretando várias alterações no comportamento do dispositivo chamadas de efeitos de canal curto (SCE). Além dos SCEs, a tecnologia MOSFET convencional apresenta problemas de *latchup* devido a presença de uma estrutura de tiristor parasitário (Colinge, 2004) e, de forma geral, sofrem com efeitos de capacitâncias parasitárias. Com o surgimento da tecnologia SOI, onde a região ativa do transistor é isolada do restante do substrato pelo óxido enterrado, houve uma redução das dimensões das regiões de depleção geradas nas junções de fonte e dreno, diminui-se as capacitâncias entre substrato e canal, e, também se eliminou a presença do tiristor parasitário (Colinge, 2004).

A Figura 4 mostra como a inserção de um dielétrico abaixo do silício auxilia na diminuição dos efeitos de canal curto. A região de depleção de fonte e dreno é separada da região de cargas controladas pelo canal visualmente através das linhas pontilhadas. Nota-se a grande redução dessa região de depleção utilizando o óxido enterrado, representado pelo comprimento *d*.



Figura 4 — Diminuição da sobreposição da região de depleção para fonte e dreno devido à utilização de uma lâmina SOI. Fonte: adaptado de Colinge (2004)

A utilização de lâminas SOI possibilitou a continuidade da redução das dimensões do comprimento de canal até o nó tecnológico de 32nm (Intel, 2021).

A partir deste nó tecnológico, os efeitos de canal curto, que resultam em perda do controle eletrostático do canal pela tensão aplicada à porta do dispositivo, voltam a ser significativos mesmo para a tecnologia SOI. Um exemplo destes efeitos é a grande influência do efeito de DIBL (*drain induced barrier lowering*) sobre valores cada vez menores de V_T (Colinge, 2008). O efeito de DIBL caracteriza-se por uma redução da tensão de limiar do transistor devido à maior influência da tensão de dreno no controle de cargas do canal curto, o que insere um efeito de segunda ordem dependente da tensão fonte-dreno (V_{DS}) do dispositivo na sua equação de corrente.

Uma importante solução encontrada pela comunidade científica foi a introdução de MOSFETs de múltiplas portas, começando com os dispositivos de dupla porta (*Double Gate* - DG), que contribuíram para o aumento da integridade eletrostática (EI) apresentada pela porta, permitindo um melhor controle das linhas de campo elétrico que estão presentes no canal. A Figura 5 demonstra o maior nível de idealidade entre um MOSFET DG (D) e MOSFETs planares de tecnologias anteriores, como a BULK planar (A), SOI (B) e SOI com plano de aterramento (C).



Figura 5 — Melhor controle eletrostático do canal pela polarização de porta devido à presença de múltiplas portas (D), em comparação a tecnologias anteriores (A-C). Fonte: adaptado de Colinge (2008)

Os MOSFETs de múltiplas portas (MugFETs) são comumente divididos em porta dupla, tripla e porta ao redor (quatro portas). Um maior número de portas cria um maior campo elétrico no canal e melhora ainda mais o acoplamento eletrostático e a idealidade do circuito (Colinge, 2008).

Além da redução de efeitos de canal curto pelo aumento do número de portas, outras otimizações foram adicionadas às estruturas de dimensões cada vez menores, como o uso de dielétricos de alta constante (*High-K*) (Cheng, 1999) e tensionamento mecânico de canal para aumento da mobilidade (Fitzgerald, 2003) (Thompson, 2002).

Dentre os MugFETs, os dispositivos FinFET recebem principal destaque por serem amplamente utilizados na indústria por companhias como a TSMC (TSMC, 2019) e Samsung (Samsung , 2018), representando os mais modernos nós tecnológicos comerciais atualmente. Os FinFETs são dispositivos de porta dupla ou tripla, construídos com uma aleta de silício que se projeta da lâmina (em inglês, *fin* significa aleta), e possui a porta construída em torno do canal num arranjo tridimensional, como pode ser visto na Figura 6. A construção vertical da porta facilitou a fabricação em larga escala do dispositivo, por não necessitar da construção de uma porta no óxido enterrado, como no exemplo de transistor DG. Os FinFETs apresentam características de dispositivos SOI ultrafinos verticalmente, devido à grande proximidade das portas laterais. A distribuição de potencial elétricos de superfície (Hisamoto, 1989), e resultando em excelentes características elétricas para canais extremamente curtos.





Esse arranjo permitiu o avanço da escala de integração até os nós sub 7nm, a partir dos quais outros dispositivos começaram a apresentar performances superiores aos FinFETs. Dispositivos de nanofios e nanofolhas passam a apresentar melhor performance para correntes de fuga (Veloso, 2016) e maior frequência de operação em osciladores em anel (Veloso, 2020) e células de memória quando integradas em uma mesma lâmina com FinFETs (Huynh-Bao, 2019) (Veloso, 2020).

A redução das dimensões de porta e canal além dos dispositivos de porta ao redor depende de extensiva pesquisa acerca de efeitos quânticos, que começam a se sobrepor aos mecanismos tradicionais de condução dos transistores de nós avançados. Apesar de estudados e observados há bastante tempo (Takagahara & Takeda, 1992), a influência dos efeitos quânticos para dimensões acima de 5nm é pequena, e começa a se mostrar relevante apenas recentemente. Efeitos de confinamento quântico afetam a capacitância de porta dos dispositivos e alteram características fundamentais, como a tensão de limiar e o número de portadores do canal (Sperling, 2018). Os estudos de novos materiais começam a demonstrar as possibilidades de romper a barreira de integração de 1nm, apesar de tais dispositivos apresentarem um comportamento pouco competitivo por hora. Pode-se destacar o uso de novos materiais como nanotubos de carbono para formar o canal de transistores planares (Desai, 2016) e o uso do material Dissulfeto de Molibdênio (MoS₂) para construir um FinFET cujo canal é uma única camada atômica (Chen, Sun, & Liu, 2020). O uso de materiais mais tradicionais como o Gálio (Ga), Arseneto de Gálio (GaAs), Arseneto de Índio e Gálio (InGaAs) e outros compostos III-V podem ser interessantes para aplicações RF (Parvais, 2018).

2.2. O DISPOSITIVOS DE PORTA AO REDOR (GATE-ALL-AROUND)

Os dispositivos de porta ao redor possuem o máximo de acoplamento eletrostático possível para transistores MOS (Ye, Ernst, & Khare, 2019) (Moore, 2019) e representam o maior passo evolutivo possível para a otimização do controle das cargas no canal. A **Error! Reference source not found.** apresenta a evolução da estrutura dos dispositivos e seus respectivos nós tecnológicos, desde os transistores planares até os nanofios/nanofolhas que poderão ser adotados comercialmente no futuro próximo (Moore, 2021) (Cutress, 2021) (TSMC, 2021).



Error! Reference source not found. — Redução da área ocupada em layout por MOSFETS em função da evolução dos nós tecnológicos. Os dispositivos de menor área 32

ocupada são os de nanofolhas e nanofios previstos para os nós tecnológicos de 5nm e 3nm. Fonte: adaptado de imec (2018)

Os FinFETs foram utilizados comercialmente até os nós tecnológicos de 7nm, a partir dos quais novos dispositivos MOSFET passam a apresentar maiores vantagens de integração. Os FinFETs possuem dificuldades de integração para nós tecnológicos menores ou iguais a 5nm, pois diminuem sua performance elétrica quando há diminuição da altura da aleta e do espaçamento entre elas (Kushwaha, 2020).

Os dispositivos de porta ao redor apresentam um excelente acoplamento eletrostático entre porta e canal para dimensões de comprimento de dispositivo por aleta abaixo de 15nm, garantindo a conservação das figuras de mérito de *design* analógico, como o ganho intrínseco e eficiência do transistor para dimensões de largura de canal ainda menores que as praticadas nos FinFETs (Parvais, 2018). Os dispositivos de porta ao redor podem ainda atingir uma maior largura efetiva de porta por área ocupada através do empilhamento de nanofolhas (Veloso, 2016). As nanofolhas empilhadas podem ainda ser conectadas em paralelo entre si, aumentando a capacidade de condução de corrente. É possível, entretanto, alterar a fabricação para conectar as nanofolhas em cascata (série), o que demonstra resultados promissores em termos de ganho intrínseco e frequência de ganho unitário (Yoon & Baek, 2020).

A diminuição das dimensões permite que as nanofolhas atinjam maiores frequências de trabalho devido à diminuição de parasitarismos (Kushwaha, 2020), desde que o espaçamento entre as nanofolhas empilhadas seja dimensionado de forma adequada (Quanto menor o espaçamento, menores são as capacitâncias entre as folhas). A diminuição do espaçamento entre as nanofolhas apresenta vantagens em termos de imunidade a ruído 1/f, enquanto possui valores comparáveis de tensão de limiar, fuga de corrente e transcondutância (Veloso, 2019). A diminuição de camadas de metal para um layout mais compacto e a utilização de trilhas de metal enterradas também está sendo estudado para uma maior integração em *layout* e aumento da frequência de operação (Mertens, 2017).

Os dispositivos de nanofolhas podem ser fabricados horizontal ou verticalmente, como observado na Figura 8-A. Os dispositivos construídos

33

horizontalmente (laterais) possuem seu comprimento de canal disposto paralelamente ao substrato, que pode ser BULK ou SOI. A Figura 8-B apresenta a diferença conceitual entre nanofios e nanofolhas através de uma fotografia retirada por microscopia eletrônica de transmissão (TEM, em inglês). As nanofolhas apresentam uma maior largura em comparação aos nanofios, e dessa forma, possuem uma maior capacidade de corrente por possuir uma largura efetiva maior.



Figura 8 — Tipos de dispositivos de nanofios e nanofolhas. A. Diferença entre os dispositivos laterais e os dispositivos verticais. B. TEM de dispositivos laterais apresentando as diferenças entre nanofios (à esquerda) e nanofolhas (à direita) Fonte: adaptado de Veloso (2018) e Veloso (2020).

A Figura 9 apresenta um comparativo de performance e consumo de potência para transistores FinFETs dos nós de 7nm (N7), 5nm (N5) e 3nm (N3), e transistores de nanofolha. O circuito integrado em questão é o oscilador em anel, bastante comum para avaliar a frequência de operação esperada de uma tecnologia para aplicações digitais. Os pontos representam um aumento de V_{DD}

de 0,5V a 0,85V, para o qual observa-se um aumento da frequência de operação do oscilador e do seu consumo em potência. Comparativamente, as nanofolhas N3 apresentam vantagens em relação aos FinFETs N3, visto que conseguem entregar maiores frequências de oscilação para uma mesma tensão de alimentação (V_{DD}). Pode-se também utilizar a performance aumentada para desenvolver sistemas digitais que operam na mesma frequência, mas com V_{DD} reduzido (Veloso, 2020).



Figura 9 — Comparação de frequência de operação vs. Potência consumida para um oscilador em anel, feita entre um dispositivo com 4 nanofolhas empilhadas e dispositivos FinFET em diferentes escalas de integração (7nm – N7; 5nm – N5; 3nm – N3). Fonte: adaptado de Veloso (2020).

Os dispositivos verticais se projetam da lâmina, e conseguem uma melhoria de 30% em termos de integração em comparação aos dispositivos horizontais. Esses dispositivos apresentam uma interessante aplicabilidade em células de memória (Huynh-Bao, 2019). Esse trabalho, entretanto, focará em dispositivos de nanofolha horizontais, pois esta é mais apropriada para substituir os FinFETs devido às semelhanças entre os processos de fabricação de ambos (Veloso, 2016).

2.3. PARÂMETROS RELEVANTES PARA O PROJETO DE CIRCUITOS ANALÓGICOS

Após apresentar alguns comparativos de performance para os dispositivos de porta ao redor relevantes para as aplicações digitais, analógicas

e RF, nesta sessão apresentamos uma revisão dos parâmetros elétricos utilizados para projetar um amplificador operacional de transcondutância de 2 estágios.

2.3.1 Tensão de limiar (VT)

A tensão de limiar de um transistor MOS, classicamente, é a tensão que ativa o fluxo de portadores através do canal do transistor, de tal forma que a dopagem da região de inversão formada é igual à dopagem inicial do canal (Baker, 2010).

Para melhor explicar o conceito, pode-se aplicá-lo em um transistor MOS de tipo n (NMOS) modo inversão, que possui terminais de fonte e dreno com implantação do tipo n de alta dopagem, e um canal de tipo p. Ao aplicar uma baixa tensão na porta do dispositivo, incialmente repele-se os portadores móveis próximos ao canal, criando-se uma região de depleção, desprovida de cargas. O substrato do dispositivo n é do tipo p, portanto, os portadores predominantes são lacunas. A seguir, a tensão na porta pode ser elevada de tal forma que o tipo de portador livre presente no canal é invertido, agora com predominância de elétrons, e um canal entre fonte e dreno, de tipo n, é criado. A inversão do tipo de cargas ocorre quando o material semicondutor recebe a aplicação de uma tensão de superfície (ψ_s) e sofre um deslocamento dos seus níveis de quase-Fermi de forma a ultrapassar o nível intrínseco do material, que passa a se comportar com a dopagem oposta (Streetman & Banerjee, 2016).

O processo de inversão é gradual, visto que a concentração de portadores aumenta a partir do cruzamento do nível intrínseco, portanto, mesmo abaixo da tensão de limiar há presença de corrente, ainda que baixa. A tensão de limiar é considerada quando a concentração de portadores da região invertida atinge a mesma do material dopado originalmente (Razavi, 2016), o que equivale a um deslocamento de aproximadamente duas vezes o nível de Fermi ($2^*\Phi_F$) no diagrama de bandas. Dessa forma, V_T é definido pela eq. (1):

$$V_T = \Phi_{MS} + 2.\,\Phi_F + \frac{Q_{dep}}{c_{ox}} \tag{1}$$

onde Φ_{MS} é a função trabalho entre a porta e o semicondutor do canal, $2^*\Phi_F$ é o descolamento da tensão de superfície, que é equivalente ao dobro do nível de
Fermi, Q_{dep} é a carga de depleção no canal, e C_{ox} é a capacitância do oxido de porta por unidade de área. Essa equação clássica precisa ser reajustada para transistores de múltiplas portas, nos quais se observa que ψ_s precisa ser maior que 2* Φ_F , e também o aumento de V_T devido à presença de sub-bandas de condução para dispositivos construídos de filmes muito finos como os transistores SOI totalmente depletados – FDSOI (*Fully Depleted Silicon On Insulator transistor*) (Colinge, 2008).

Na prática, existem diferentes métodos para se extrair a tensão de limiar, a partir da curva de corrente em função da tensão entre porta e fonte (I_D×V_{GS}) do transistor. Um dos métodos muito utilizado é o método da segunda derivada (Terao, 1991).

De um ponto de vista de projetos, VT é um valor predefinido pela tecnologia utilizada e se torna bastante relevante ao definir os limites máximo e mínimo de excursão de um sinal em um dado nó do circuito que mantém todos os transistores polarizados em saturação. Determina-se dessa forma a tensão de alimentação (VDD) mínima viável para o projeto. Menores valores de VT permitem uma operação em saturação para menores valores de tensão fontedreno (VDS) e o uso de tensões mais baixas de operação (Razavi, 2016).

2.3.2 Fator de corpo / idealidade (n) e inverso da inclinação de sublimiar (SS)

O fator de corpo de um transistor é a medida da razão entre a capacitância entre porta e canal (C_{ox}) e a capacitância entre canal e o substrato. Para dispositivos construídos sem isolamento ao substrato (BULK), essa é a capacitância da região de depleção (c_{dep}) e o fator de corpo é dado pela eq. (2) (Colinge, 2005):

$$n = 1 + \frac{C_{dep}}{C_{ox}}$$
(2)

Para uma lâmina SOI completamente depletada (FDSOI), temos uma capacitância ainda menor devido à presença de um filme fino, cuja capacitância é c_{Si} e uma interface para o substrato (c_{0x2}), obtendo um fator de idealidade ainda menor, como descrito pela eq. (3):

$$n = 1 + \frac{C_{\rm si}||C_{\rm 0x2}}{C_{\rm 0x1}}$$
(3)

37

O fator de idealidade é um importante indicativo da qualidade de acoplamento eletrostático entre a porta e o canal. Ele está associado a melhora de muitos parâmetros utilizados para caracterizar eletricamente uma tecnologia, como a eficiência do transistor (Razavi, 2016) e o inverso da inclinação de sublimiar (Colinge, 2005). É possível também identificar a melhoria de características de operação DC de um circuito, como diminuir a tensão de alimentação requerida (Sousa, Martino, & Agopian, 2021).

Para transistores do tipo MOS, o inverso da inclinação de sublimiar é descrita pela eq. (4), na qual pode se observar a dependência do fator de idealidade. Essa inclinação de sublimiar (SS) também aumenta com a temperatura (T). O aumento de SS indica uma maior variação necessária de V_{GS} para alterar exponencialmente a corrente do circuito, e uma resposta mais lenta em circuitos de chaveamento (Razavi, 2016).

$$SS = \frac{dV_{GS}}{dlog(I_{DS})} = \frac{kT}{q} \times n \times ln(10)$$
(4)

onde kT/q é a tensão térmica. Para uma influência nula de outras capacitâncias que não a de porta, temos $c_{dep} = 0$ para o MOS BULK, ou $c_{ox2} = 0$ para o MOS FDSOI, e o fator de corpo se torna ideal, n = 1. Nesse caso temos o menor valor teórico para inclinação de sublimiar (SS = 60mV/dec em temperatura ambiente) (Colinge, 2005).

2.3.3 Transcondutância (g_m)

A transcondutância do transistor MOS é uma função definida pela variação da corrente de saída do dreno à fonte (I_D) em função da tensão de entrada na porta do dispositivo (V_{GS}). A transcondutância se diferencia da condutância do transistor (comumente chamada de condutância de saída) devido à separação entre a tensão aplicada nos terminais onde a corrente é medida, que seria a tensão entre dreno e fonte (V_{DS}) e a tensão de entrada da função (V_{GS}), que não contribui com correntes para os terminais de fonte e dreno. A medida da transcondutância define, portanto, a sensibilidade dos terminais de dreno e fonte apenas ao acoplamento eletrostático da tensão de porta.

A transcondutância é definida pela eq. (5):

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$
(5)

Ou seja, uma alta transcondutância acarreta uma grande variação de corrente na saída do sistema (o dreno do dispositivo), para uma pequena variação de tensão na entrada (a tensão entre porta e fonte). É desejável que o g_m de um transistor MOSFET seja alto quando o mesmo é utilizado como estágio de entrada de uma topologia de amplificador com entrada em fonte comum ou seguidor de fonte por exemplo, ou quando a sua porta é conectada ao dreno (topologia de carga ativa) (Razavi, 2016). O valor da transcondutância é afetado pela dimensão do dispositivo, e sofre redução devido a efeitos de canal curto.

A equação da transcondutância é bastante dependente da equação de corrente clássica dos transistores MOSFET, e, portanto, varia de acordo com a região de operação do transistor, inversão forte e inversão fraca. Para a operação em saturação, a equação de corrente em inversão forte possui uma dependência com o quadrado de V_{GS} (I_D \propto V_{GS}²). A equação para a transcondutância é definida pela eq. (6):

$$g_m = \frac{I_D}{2*(V_{GS} - V_T)} \tag{6}$$

Na região de sublimiar, a corrente I_D tem uma dependência exponencial em relação a V_{GS} ($I_D \propto exp(V_{GS})$). Nesse caso, a transcondutância é dada pela eq. (7):

$$g_m = \frac{I_D}{nV_{\theta}}$$
(7)

onde V_{θ} é a tensão térmica (kT/q). Nota-se que em inversão forte, a corrente depende primariamente da polarização do circuito, enquanto em inversão fraca temos uma forte dependência de parâmetros de fabricação e temperatura.

2.3.4 Condutância de saída (g_{DS}) e impedância de saída (r_o)

A condutância de saída é a medida da variação da corrente de dreno em função da tensão entre dreno e fonte (V_{DS}), como expresso na eq. (8):

$$g_{DS} = \frac{\partial I_D}{\partial V_{DS}} \tag{8}$$

Ela representa, portanto, o inverso da impedância equivalente vista a partir do dreno de um transistor, como descrito na eq (9):

39

$$r_o = \frac{1}{g_{DS}} \tag{9}$$

Devido à influência da tensão de porta no controle de corrente I_D, a condutância de saída também varia em função de V_{GS}, portanto, sua medida depende de um valor de V_{GS} constante. Idealmente, a corrente do transistor se comportaria de forma independente a V_{DS}, possuindo r_o infinito. Uma corrente de saída independente de V_{DS} significaria que o transistor é completamente livre do efeito de modulação de canal, que é um efeito de canal curto (Razavi, 2016). A condutância de saída não nula, portanto, reduz a idealidade do comportamento do transistor como fonte de corrente controlada por tensão, reduzindo o ganho de tensão de topologias de amplificadores.

2.3.5 Tensão Early (VEA)

A tensão Early estima o efeito de modulação do comprimento de canal de um transistor, estando, portanto, relacionado à condutância de saída. É extraída a partir da extrapolação da inclinação da região de operação em saturação da curva I_D×V_Ds, como exemplificado na Figura 10. Idealmente, um transistor possuiria uma curva I_D×V_Ds completamente plana e paralela ao eixo de V_Ds em saturação, o que geraria um V_{EA} infinito (Colinge, 2005).

Assim como a condutância de saída, a tensão Early é uma medida da imunidade do transistor a variações de V_{DS}, e, portanto, é um indicativo de susceptibilidade do transistor a efeitos de canal curto.



Figura 10 — Método gráfico de extração para a tensão Early a partir da curva I_D×V_{DS}. Fonte: adaptado de Colinge (2002).

2.3.6 Eficiência do transistor (g_m/l_D)

A figura de eficiência do transistor indica quanta transcondutância o dispositivo consegue entregar por consumo de corrente. É desejado, de forma geral, que o transistor possua um grande fator de amplificação enquanto consome pouca potência (Silveira, Flandre, & Jespers, 1996).

Na prática, modificar o ponto de operação de modo a aumentar eficiência do transistor inclui vários *tradeoffs* que devem ser levados em consideração para um projeto aplicado, principalmente acerca do dimensionamento dos dispositivos e resposta em frequência para pequenos sinais (Colinge, 2004).

A eficiência é dada pela razão entre a transcondutância e corrente, como expresso na eq. (10) (Razavi, 2016):

$$\frac{\mathbf{g}_m}{\mathbf{I}_D} = \frac{\partial \mathbf{I}_D}{\partial \mathbf{V}_{GS}} \times \frac{1}{I_D} = \frac{\partial \ln \left(I_D \right)}{\partial \mathbf{V}_{GS}} \tag{10}$$

Para um transistor MOSFET, no mecanismo de condução em inversão forte, a corrente de saturação é dada pela eq. (11):

$$I_D = K(V_{GS} - V_T)^2$$
(11)

Dessa forma, a eficiência do transistor é dada pela eq (12):

$$\frac{g_m}{I_D} = \frac{\partial (\ln(k) + 2\ln(V_{GS} - V_T))}{\partial V_{GS}} = \frac{2}{V_{GS} - V_T}$$
(12)

Para a região de inversão fraca, a corrente é descrita por uma função exponencial, como expresso na eq. (13):

$$I_D = I_0 e^{\frac{V_{GS}}{nV_{\theta}}} \tag{13}$$

No qual n é o fator de idealidade, e V₀ é a tensão térmica (kT/q). Assim, a eficiência do transistor resulta no descrito na equação (14):

$$\frac{g_m}{I_D} = \frac{\partial (\ln(I_0) + \frac{V_{GS}}{nV_{\theta}})}{\partial V_{GS}} = \frac{1}{nV_{\theta}}$$
(14)

Portanto, espera-se que a curva de g_m/I_D de um MOSFET seja um patamar para a região de inversão fraca, que ocorre para valores muito baixos de $V_{OV} = V_{GS} - V_T$. O comportamento para a região de inversão forte passa a ser uma hipérbole. Entre as duas regiões há a região de inversão moderada, no qual há contribuição dos dois mecanismos de condução.

Pode-se observar a dependência do fator de idealidade e da temperatura para a inversão fraca. Para um dispositivo com o menor fator de idealidade (n =

1) e em temperatura ambiente, temos o maior valor teórico de g_m/I_D de aproximadamente 39 V⁻¹. O aumento de temperatura reduz os valores máximos de g_m/I_D , e o efeito é mais evidente para a região moderada e fraca do transistor.

Ambas as equações para g_m/I_D não apresentam nenhuma dependência das dimensões do transistor, sendo dependentes da sua polarização (em inversão forte) ou de características intrínsecas à tecnologia (em inversão fraca). Dessa forma, a eficiência do transistor é um excelente ponto de partida para determinar o ponto de operação e as dimensões de um transistor MOSFET.

2.3.7 Frequência de ganho unitário (f_T) e produto ganho banda (GBW)

A frequência de ganho unitário é uma medida aproximada para determinar até que frequência máxima em que um transistor pode operar. É definida como a frequência no qual o ganho de tensão em pequenos sinais do transistor do tipo FET é unitário (Silveira, Flandre, & Jespers, 1996). É dado pela equação (15):

$$f_T = \frac{g_m}{2\pi c_{gg}} \tag{15}$$

No qual cgg representa a capacitância total vista pela porta em direção ao substrato.

A medida da frequência de ganho unitário, na prática, não é alcançada a nível de circuito devido à adição de capacitâncias a partir da conexão entre fonte e dreno de vários dispositivos conectados a um certo nó, além de capacitâncias de carga e de compensação.

O produto ganho banda (*Gain Bandwidth Product* – GBW) é uma medida da máxima largura de banda utilizável a um certo nível de ganho de tensão em um circuito. Para um ganho unitário (0 dB), o GBW é numericamente equivalente a largura de banda unitária (*Unity Gain Bandwidth* – UBW). Para amplificadores operacionais é comum observar uma atenuação de ganho constante em dB, o que resulta em um GBW constante para toda a faixa operação em malha fechada. Dessa forma, a real frequência onde o ganho de tensão é unitário na operação de um amplificador é comumente dada pela equação (16):

$$GBW = \frac{g_m}{2\pi C_L} \tag{16}$$

No qual C_L é a capacitância total de carregamento do nó que define o pólo dominante do circuito (Sedra & Smith, 1997). Entretanto, a nível de dispositivo, 42

f⊤ é uma figura de mérito comum informada por fabricantes de circuitos integrados e é utilizada como comparação de performance entre diferentes tecnologias.

A determinação de GBW depende do posicionamento dos polos do circuito. Em circuitos integrados analógicos, os polos são em sua grande maioria nós com capacitâncias e resistências equivalentes (nó RC), gerados pela impedância equivalente dos transistores em um dado nó e suas capacitâncias parasitas. Para um amplificador, o polo dominante é comumente localizado no nó de saída, devido às capacitâncias parasitas serem menores que uma capacitância de carga em várias ordens de grandeza, além de projetos para amplificadores de alto ganho maximizarem a impedância de saída.

Por fim, o posicionamento dos polos e o ganho de tensão do circuito estão conectados a estabilidade do amplificador operando em realimentação (*feedback*). Para que o amplificador opere sem instabilidades, o atraso de sinal causado pelo circuito deve ser tal que a realimentação seja negativa, portanto, o sistema deve possuir uma margem para a fase do sinal de no máximo 180° (critério de Barkhausen), como descrito na equação (17) (Razavi, 2016):

$$PM = 180 + \phi \tag{17}$$

Em que PM é a margem de fase, e Φ é o deslocamento de fase entre a saída e o ponto de retorno do circuito. O tempo de assentamento do circuito varia conforme o valor de PM, sendo que um PM de 60° é considerado um valor "ótimo", que equilibra a resposta transiente do circuito e a sua estabilidade (Razavi, 2016).

2.3.8 Ganho intrínseco (gm/gDs)

O ganho intrínseco de um transistor é a razão entre a transcondutância e a condutância de saída de um transistor. Pode-se definir através da eq. (18):

$$\frac{g_m}{g_{ds}} = \frac{\partial I_D}{\partial V_{GS}} \times \frac{\partial V_{DS}}{\partial I_D} = \frac{\partial V_{DS}}{\partial V_{GS}}$$
(18)

Portanto, é a medida da variação da tensão no dreno em função de uma variação na tensão de porta. O ganho intrínseco é um bom indicativo do possível ganho de tensão de um amplificador, mas não permite um cálculo direto do mesmo, visto que um transistor nem sempre contribui para o ganho com a

transcondutância e a impedância de saída simultaneamente (Silveira, Flandre, & Jespers, 1996).

Como comentado anteriormente, o ganho intrínseco do transistor seria idealmente infinito caso a condutância de saída fosse nula. Para operação em saturação, é possível escrever uma aproximação para o ganho intrínseco como na eq. (19):

$$A_{\rm V} = \frac{g_m}{g_{DS}} \cong \frac{g_{\rm m}}{I_{\rm D}} |V_{\rm EA}| \tag{19}$$

O que demonstra o relacionamento entre a eficiência do transistor e o ganho de tensão do dispositivo, e a limitação da tensão Early para o mesmo.

2.4. EFEITOS DA TEMPERATURA

Os transistores MOS apresentam variação de comportamento com a temperatura, principalmente pelos efeitos da degradação da mobilidade de portadores e variação da tensão de limiar. O estudo da variação de corrente com a temperatura para diferentes polarizações de tensões de porta demonstra a existência de um ponto invariante com a temperatura. Por fim, o comportamento da curva de corrente pode ser utilizado para identificar como os demais parâmetros analógicos se comportam.

2.4.1 Degradação da mobilidade (µ) de portadores

A mobilidade de portadores no canal é uma medida da velocidade média de deriva dos portadores em função de um campo elétrico lateral aplicado entre dois terminais (Streetman & Banerjee, 2016), sendo medida como na equação (20):

$$\mu = \frac{v_{med,x}}{E_x} \tag{20}$$

Em que E_x representa o campo elétrico e v_{med,x}, a velocidade em média dos portadores. Assim, representa a facilidade com a qual os portadores podem se mover no material.

A mobilidade de portadores (µ) do canal do transistor é um parâmetro muito influente na sua curva de corrente. Em inversão forte, as equações de corrente são diretamente proporcionais a mobilidade, como na equação (21):

$$I_{\rm D} = \mu_{n,p} C_{ox} \times \mathbf{P} \tag{21}$$

Em que $\mu_{n,p}$ é a mobilidade de portadores, de elétrons (μ_n) ou lacunas (μ_p). P representa a influência das polarizações de porta e dreno, que variam conforme a região de operação, quer seja saturação ou tríodo. O cálculo da mobilidade para um dado material depende da disposição do cristal do material estudado, sendo dependente da massa efetiva e do tempo médio de colisão das partículas (Streetman & Banerjee, 2016).

A degradação da mobilidade com a temperatura, portanto, é um fator bastante influente na variação de corrente observada. Os principais fatores de influência na mobilidade são a vibração do cristal de lattice, que diminui a mobilidade com aumento de temperatura numa proporção de $\mu \propto T^{-3/2}$, e a variação de concentração de dopantes e impurezas no silício com a temperatura, que diminui com diminuição de temperaturas numa proporção de $\mu \propto T^{3/2}$ (Streetman & Banerjee, 2016) (Colinge, 2005). A contribuição de ambos os efeitos é sobreposta utilizando soma harmônica, e como consequência, a mobilidade tende a diminuir com o aumento ou diminuição de temperatura. De forma prática, a contribuição de cada termo é resumida em uma proporção $\mu \propto T^{-k}$, em que k é um valor empírico que varia entre 1,2 e 2,0 (Tsividis, 2011). A Figura 11 apresenta, em linhas gerais, o comportamento descrito para a mobilidade.



Figura 11 — Comportamento da mobilidade com a variação da temperatura, indicando o principal mecanismo de variação por região de temperatura. Fonte: adaptado de Streetman (2016).

2.4.2 Variação da tensão de limiar

A variação de temperatura altera as propriedades intrínsecas do silício, como o valor de *bandgap*, o número de portadores intrínsecos (n_i) e nível de Fermi (Φ_F), que impactam os parâmetros de cálculo $\Phi_F e \Phi_{MS}$ da tensão de limiar (V_T), apresentados na eq. (1).

O bandgap (Eg) não apresenta uma variação considerável para uma faixa de temperatura de 200 °C (Prijić, Dimitrijev, & Stojadinović, 1991), e pode ser tomado como constante. O nível de Fermi, entretanto, pode ser descrito como uma função da concentração de portadores e da tensão térmica, demonstrado na equação (22):

$$\Phi_{\rm F} = \frac{kT}{q} \ln \left(\frac{N_{p,n}}{n_i} \right) \tag{22}$$

O comportamento de Φ_{MS} varia conforme o material e dopagem de porta, e é similar ao comportamento para Φ_F . O cálculo da dopagem de portadores (que também influencia a variação da mobilidade, como visto na sessão 2.4.2) varia conforme a equação (23) (Streetman & Banerjee, 2016) (Prijić, Dimitrijev, & Stojadinović, 1991):

$$n_i = AT^{3/2} e^{\left(\frac{E_g}{2KT}\right)} \tag{23}$$

Em que A é uma constante independente da temperatura. Pode-se observar que a dependência entre temperatura, Φ_F e n_i é bastante complexa, possuindo contribuições lineares, exponenciais e logarítmicas, e exige iterações para calcular o valor final.

O cálculo exato de dV_T/dT demonstra majoritariamente uma proporcionalidade inversa à temperatura (Prijić, Dimitrijev, & Stojadinović, 1991), e em modelos simplificados, o estudo da variação de V_T considera uma derivada constante e comportamento linear (Tsividis, 2011). De fato, para os transistores de nanofolha de silício, o comportamento de V_T se mostrou aproximadamente linear com o aumento de temperatura, como pode ser visto na Figura 12 (Perina, 2021).



Figura 12 — Comportamento da tensão de limiar em função da temperatura para o transistor de nanofolha de silício. Fonte: adaptado de Perina (2021).

2.4.3 Polarização invariante com a temperatura (Vztc)

O efeito da variação da mobilidade e da tensão de limiar com a temperatura pode ser visto na curva de corrente do transistor. O aumento de temperatura diminui os valores da tensão de limiar (V_T) e mobilidade de portadores ($\mu_{n,p}$). A variação de V_T é observada no deslocamento para a esquerda na curva de corrente em função da tensão de porta (I_{D×}V_{GS}). O

transistor passa a estado ativado para tensões menores de V_{GS}, o que resulta em aumento de corrente com a temperatura para um dado valor de V_{GS}. Esse efeito pode ser visto na Figura 13 (Camillo, 2011). Pode-se também observar o efeito da degradação da mobilidade, que influencia principalmente os altos valores de V_{GS}, no qual se pode observar a redução do valor da corrente com o aumento de temperatura.



Figura 13 — Curvas $I_D \times V_{GS}$ para diferentes temperaturas e V_{DS} = 25 mV, e identificação da região V_{ZTC} . Fonte: adaptado de Camillo (2011).

Ambos os efeitos se compensam na região de polarização invariante com a temperatura (ZTC, *zero temperature coefficient*), na qual obtém-se variação zero da corrente em função da temperatura, como descrito na equação (24):

$$\left. \frac{dI_D}{dT} \right|_{V_{GS}=V_{ZTC}} = 0 \tag{24}$$

A região de ZTC determina a faixa de polarizações para a qual a corrente se torna praticamente constante, e pode ser explorada para tal em designs robustos em temperatura. As curvas de corrente $I_D \times V_{DS}$ apresentam, portanto, uma tendência de crescimento se $V_{GS} < V_{ZTC}$ e de decrescimento caso $V_{GS} >$ V_{ZTC} . Um efeito similar é observado ao estudar os demais parâmetros analógicos do transistor MOS.

2.4.4 Efeito da temperatura nas figuras de mérito analógicas do MOS

A transcondutância do transistor MOS é calculada a partir da derivada da corrente, portanto o comportamento de dg_m/dT segue a mesma tendência observada para a corrente, com aumento antes de V_{ZTC} e redução após V_{ZTC}. O comportamento do ganho intrínseco e frequência de ganho unitário, dependentes da transcondutância, segue a mesma tendência. A Figura 14 mostra as tendências de comportamento para g_m, g_m/g_d e f_T (Saha, Bhowmick, & Baishya, 2018) (Saha, Bhowmick, & Baishya, 2021).



Figura 14 — Comportamento da a) transcondutância, b) ganho intrínseco, c) frequência de ganho unitário com a variação da temperatura. Fonte: adaptado de Saha (2021).

Em concordância com o comportamento em torno da região ZTC, observa-se uma compensação para g_m , g_m/g_d e f_T entre as tensões de porta V₁ < V_{ZTC} < V₂. g_m e f_T possuem um ponto de invariância em V_{ZTC}, enquanto a curva para o ganho intrínseco apresenta o ponto de invariância deslocado para valores menores que V_{ZTC}. Por fim, o comportamento de g_m/I_D sempre apresenta redução de valores com a temperatura devido à dependência das figuras de mérito na região de inversão fraca à tensão térmica, como descrito na equação (14), enquanto que a região de inversão forte apresenta pouca dependência à temperatura (Saha, Bhowmick, & Baishya, 2018).

Para a região de $V_{GS} > V_{ZTC}$ temos diminuição de todas as figuras de mérito apresentadas próximo aos seus valores máximos, o que gera uma piora para a maior faixa de polarizações do transistor. Para o transistor de nanofolha de silício, entretanto, uma compensação entre o comportamento para a condutância de saída e a transcondutância é obtida e o ganho intrínseco possui certa imunidade à variações de temperatura (Perina, 2020), como pode ser visto na Figura 14.



Figura 15 — Comportamento do ganho intrínseco para amostras fabricadas de transistores GAA-NSH do A) tipo n e B) tipo p em função da temperatura.

3. MATERIAIS E MÉTODOS

Essa seção apresentará as características do dispositivo utilizado, o MOSFET de nanofolha de porta ao redor (GAA-NSH), e as técnicas de caracterização utilizadas para os seus parâmetros elétricos, seguido do método de simulação utilizando modelagem em Verilog-A a partir de *lookup tables* (LUT), essas levantadas a partir da caracterização dos GAA-NSH fabricados.

3.1. MOSFET NANOFOLHA DE PORTA AO REDOR

Os dispositivos GAA-NSH foram fabricados no imec, em Leuven, Bélgica. A Figura 15 apresenta um esquemático do dispositivo.





Os GAA-NSH estudados possuem duas nanofolhas empilhadas verticalmente, envoltas em material dielétrico e metal de porta. A espessura do material metálico de porta é de 7,5 nm, e para o dielétrico de porta são utilizados materiais de alta constante dielétrica (*High-K*) (Veloso, 2016). Uma camada fina de SiO₂ é utilizada para interface enquanto o HfO₂ é o principal componente do dielétrico, resultando numa espessura efetiva de óxido (EOT) de 0,9nm. Os dispositivos de porta ao redor horizontais são fabricados de forma semelhante aos FinFETS, no qual há crescimento de uma aleta vertical a partir do material

de substrato, com etapas adicionais de inserção de material sacrificial entre as nanofolhas e subsequente remoção desse material (Veloso, 2016). As nanofolhas são desconectadas do substrato, ao contrário do que se observa em dispositivos MOS planares e FinFETs. Portanto, as tensões aplicadas ao substrato e ruídos, para os GAA-NSH, são pouco influentes.

A nanofolha possui uma altura (H_{NSH}) de 11 nm, e largura (W_{NSH}) de 15 nm, portanto o perímetro por folha e a largura efetiva é 52 nm. A largura efetiva de canal (W_{eff}) é de 104 nm para uma aleta, sendo o equivalente ao perímetro das duas nanofolhas empilhadas, ou 2×2×(W_{NSH} + H_{NSH}). Obtém-se, assim, um W_{eff} de 104nm para largura de aleta (W_{NSH}) de 15nm.O empilhamento vertical, como comentado previamente, permite uma optimização de W_{eff} por unidade de área (Veloso, 2020). O comprimento do canal dos dispositivos obtidos a partir do processo de fabricação (L) varia de 28 nm a 200 nm, logo, é necessária a conexão de vários dispositivos em série caso seja necessário utilizar comprimentos maiores de canal. A tensão de limiar do dispositivo a 25°C é aproximadamente 220 mV para NMOS, com pouca variabilidade entre diferentes comprimentos de canal. V_T varia entre 300 mV e 400 mV para PMOS, aumentando conforme o comprimento de canal, o que pode ser verificado na Figura 12.

As curvas de corrente de dreno utilizadas para criar o modelo baseado em tabela experimental (*Lookup Table*) foram medidas no Laboratório de sistemas integráveis (LSI), na universidade de São Paulo. As medidas foram realizadas utilizando um analisador B1500A da Keysight. As curvas foram obtidas em função da tensão porta-fonte e tensão de dreno-fonte ($I_D \times V_{GS}$ e $I_D \times$ V_{DS}) a partir de seis dispositivos NMOS e PMOS fabricados com 22 aletas (W_{eff} = 2288 nm) e L de 100 nm. As curvas $I_D \times V_{GS}$ foram extraídas realizando uma varredura de -0,5 V a 1 V com passo de tensão de 10 mV para V_{GS}, e uma varredura de 0 V a 1 V com passo de 50 mV para V_{DS}. De forma análoga, as curvas $I_D \times V_{DS}$ foram construídas com uma varredura de -0,5 V a 1 V e passo de 10 mV para V_{DS}, e varredura de 0 V a 1 V com passo de 50 mV para V_{GS}.

As curvas de capacitância em função da tensão de porta ($C_{gg} \times V_G$) foram extraídas utilizando um Medidor LCR E4980A da Agilent. Os transistores utilizados foram GAA-NSH NMOS e PMOS com 22 aletas (W_{eff} = 2288 nm), e de

comprimento de canal de aproximadamente 1 μ m. Foi realizada com uma varredura DC de -0,51 V a 1,05 V e um passo de 15 mV para V_{GS}, com excursão de um pequeno sinal senoidal de frequência 100kHz.

A partir das curvas de corrente, a transcondutância (g_m) e eficiência do transistor (g_m/I_D) foram definidas aplicando a primeira derivada nas curvas I_D × V_{GS}, e dividindo o resultado pela corrente, respectivamente. Foram estimadas ainda a condutância de saída para operação em saturação (g_{DS}), através da primeira derivada da curva I_D × V_{DS}, e a tensão Early (V_{EA}), através do método gráfico descrito na subseção 2.3.5. Os valores de g_{DS} e V_{EA} obtidos foram utilizados para toda a região de operação em saturação.

O mesmo procedimento foi utilizado para obter as curvas de corrente às temperaturas de 100 °C e 200 °C. A curva de capacitância apresentou uma pequena variação entre as medidas e por isso, a capacitância à temperatura ambiente foi utilizada para o estudo em altas temperaturas.

O método de LUT reproduz em simulação as curvas experimentais do transistor e o impacto dos efeitos de segunda ordem na corrente, o que permite a análise do comportamento do dispositivo a nível de circuito sem modelos matemáticos complexos. Para analisar o comportamento das tensões, correntes e figuras de mérito analógicas serão utilizadas como suporte as equações matemáticas do modelo MOS convencional, que podem ser encontradas na literatura (Colinge, 2005) (Baker, 2010) (Razavi, 2016), além do método de gm/ID (Silveira, Flandre, & Jespers, 1996), que permite o uso das curvas de figuras de mérito experimentais para estudar as tendencias de crescimento e decrescimento entre os parâmetros.

3.2. MÉTODO DE SIMULAÇÃO

A Figura 17 mostra um resumo da metodologia de extração, preparação de dados e simulação desse projeto.

As curvas de corrente e parâmetros elétricos extraídos foram utilizadas para modelar o GAA-NSH em Verilog-A via *lookup table* (LUT). O método de modelagem por LUT utiliza vetores de parâmetros definidos experimentalmente através de medições do sistema a ser modelado, e realiza interpolações e extrapolações desses valores de entrada para atender aos valores numéricos

53

em uma simulação. Dessa forma, para os transistores GAA-NSH, temos uma função de multivariáveis (do tipo f(x,y)) para a corrente em função das tensões V_{GS} e V_{DS}, do tipo I_{DS}(V_{GS},V_{DS}), e funções para capacitância de porta entre fonte e dreno do tipo C_{gs}(V_{GS}) e C_{gd}(V_{GS}). As medidas realizadas, descritas na sessão 3.1, são utilizadas para substituir o modelamento matemático dessas funções.



Figura 17 — Processo de obtenção, preparação e utilização de dados experimentais do dispositivo GAA-NSH.

A LUT obtida reproduz efeitos de segunda ordem derivados da física de semicondutores por trás do modelo MOSFET e também da geometria do dispositivo sem necessitar de uma modelagem matemática complexa, acelerando o trabalho de caracterização de novas tecnologias. Os parâmetros de projeto analógicos apresentados na sessão 2.3. e 2.4. são extraídos das curvas de corrente experimentais e apresentados nos resultados para avaliar o projeto, porém, não são utilizados para o cálculo das polarizações do circuito. A variação de temperatura entre 25 °C, 100 °C e 200 °C é obtida utilizando três LUT para cada temperatura diferente.

Os valores das curvas de corrente medidos para o GAA-NSH foram normalizados para L de 100nm e uma aleta. Uma LUT contendo vetores de V_{DS}, V_{GS}, I_D, g_m e g_m/I_D foi então criada.

A Figura 18 apresenta o modelo MOSFET implementado em Verilog-A a partir da LUT, para ambos os tipos de transistores. Os terminais modelados são porta, fonte e dreno, bem como as capacitâncias entre a porta e fonte (c_{gs}) e porta e dreno (c_{gd}). O terminal de substrato, que seria esperado para MOS de nós tecnológicos anteriores, não é modelado devido ao acoplamento negligível entre o canal e o substrato.

O modelo elétrico utiliza as tensões V_{GS} e V_{DS} para definir a corrente I_{DS}. Os parâmetros de tensão e corrente são definidos nos terminais porta, dreno e fonte do modelo, sendo assim valores de entrada e saída que irão interagir com outros elementos conectados ao dispositivo. Os valores de g_m, g_m/I_D, g_{DS} e V_{EA} são internos ao modelo e serão utilizados para projetar as dimensões do transistor no circuito integrado e avaliar a sua performance.



Figura 18 — Representação visual do modelo Verilog-A implementado para o GAA-NSH.

O comportamento em frequência é modelado utilizando a capacitância de porta medida e normalizada para L = 100 nm e uma aleta. A capacitância de porta é então dividida em capacitância entre porta e fonte (c_{gs}) e entre porta e dreno (c_{gd}). O transistor será projetado de forma que todos os dispositivos estejam operando em saturação, portanto as capacitâncias foram distribuídas de forma que $c_{gs} = 2/3 c_{gg}$ (Razavi, 2016). O modelo é simplificado e não considera o efeito da capacitância de *overlap*, o que torna a capacitância entre porta e dreno nula nesse caso. Uma LUT com vetores de V_{GS}, c_{gs} e c_{gd} foi criada.

As simulações utilizando o modelo Verilog-A foram realizadas utilizando o simulador SPECTRE dentro do ambiente Cadence Virtuoso. O modelo utiliza interpolação linear e extrapolação do tipo "*Clamp*", ou seja, em regiões externas ao conjunto de medidas o modelo irá "segurar" ou repetir o valor mais próximo, que são as extremidades do conjunto de medidas. As simulações do circuito integrado são categorizadas em "DC" e "AC". A primeira realiza um estudo do comportamento do amplificador em frequência zero e considerando o estado de resposta estável (*steady state*) para as variações de tensão. A segunda realiza um estudo do comportamento e resposta em frequência do circuito integrado, também considerando *steady state*. As curvas de capacitância são utilizadas para a análise AC e não impactam a análise DC do circuito.

3.3. MÉTODO DE PROJETO DO AMPLIFICADOR: gm/ld

O OTA será projetado utilizando o método g_m/I_D, que utiliza a relação entre a eficiência do transistor e a corrente normalizada, (I_D/(W_{eff}/L)) para definir as dimensões do transistor. A normalização da corrente é obtida a partir da corrente medida em um transistor (I_D) por suas dimensões definidas (W_{eff}/L). Os parâmetros de g_m/I_D e I_D/(W_{eff}/L) são independentes das dimensões do dispositivo, sendo dependentes principalmente de características comuns a todos os transistores de mesmo tipo em uma tecnologia (Silveira, Flandre, & Jespers, 1996), e representam bem o desempenho do transistor em aplicações analógicas.

O método é mais preciso que a utilização das equações quadráticas, que permitem apenas estimar as dimensões dos transistores no projeto, e exigem reiterações para alcançar um resultado desejado. Além disso, projetos que utilizam baixas correntes são mal representados pelo modelo quadrático, que não representa o mecanismo de condução dessa região.

Num projeto de amplificador, o dimensionamento dos transistores e por consequência seus parâmetros analógicos são determinados pela sua especificação de operação, que depende da aplicação final do circuito. As especificações, como as de excursão de entrada e saída, potência entregue na saída, o ganho de tensão em malha aberta (Avo), produto ganho banda (GBW) e margem de fase (PM), definirão as polarizações DC e resposta em pequenos sinais do circuito, o que permitirá o cálculo de parâmetros de dispositivo que compõem as equações dessas especificações, como gm, fr e corrente de operação. A partir da definição de gm/lo pode-se definir a corrente normalizada

utilizando a curva experimental do GAA-NSH e então definir as dimensões do dispositivo a partir de um comprimento de canal estabelecido. O objetivo do trabalho é, entretanto, estudar a performance do dispositivo para circuitos integrados analógicos, e, portanto, o projeto irá partir de uma escolha de eficiência e obter as especificações de projeto.

A escolha da transcondutância define o ganho intrínseco e a frequência de ganho unitário de operação do dispositivo. A relação entre g_m e os demais parâmetros é demonstrada nas equações (15) e (19). O ganho intrínseco, como comentado anteriormente, reflete diretamente no ganho de tensão final do circuito, e f_T é uma grandeza que depende fortemente dos elementos parasitários do transistor (capacitâncias) e é uma figura de mérito que sugere uma maior ou menor largura de banda.

A transcondutância, sendo a derivada da corrente, varia conforme as dimensões do dispositivo, corrente, e as tensões de polarização de porta e dreno. As tensões V_{GS} e V_{DS} são utilizadas para realizar a extração desse parâmetro a partir das curvas de corrente de um transistor. Em um projeto de amplificador integrado, entretanto, é comum ao projetista escolher as dimensões dos transistores e corrente de polarização do circuito, e as tensões de polarização são definidas para cada nó a partir da especificação de tensão de alimentação e equações de corrente.

Portanto, é importante analisar os *tradeoffs* entre corrente e tamanho dos dispositivos, que irá alterar o ponto de polarização do circuito e várias das suas especificações. Para transistores MOSFET, fixadas as tensões V_{GS} e V_{DS}, maiores larguras de canal e correntes aumentam g_m, e deve-se levar em consideração as especificações do circuito para realizar o *tradeoff* apropriado para o projeto. Uma baixa corrente exigirá dimensões maiores, o que poderá acarretar perdas em área, aumento de capacitâncias parasitas e piora da margem de fase e estabilidade. Maiores correntes aumentam o consumo de potência, diminuem o ganho de tensão e exigem fontes e estruturas de dissipação de calor mais elaboradas (Silveira, Flandre, & Jespers, 1996).

Os *tradeoffs* entre as especificações de projetos de circuitos integrados analógicos são muitos e estão interligados, como visualizado na Figura 19. Qualquer ajuste de parâmetro visando uma melhora para uma especificação impactam as demais, e, portanto, uma visão de conjunto é bastante importante.

57

Proporções entre parâmetros analógicos, como o comportamento de g_m/I_D e g_m/g_{ds} em função das tensões e correntes do projeto, indicam as tendências de crescimento e decrescimento entre o ganho de tensão, consumo de potência e resposta em frequência, que serão as principais especificações analisadas neste trabalho.

A proporção entre g_m/I_D é, portanto, um excelente ponto de partida para o design e equilibra algumas preocupações e *tradeoffs* que surgem ao projetar um amplificador.



Figura 19 — Representação dos vários parâmetros de projetos para um amplificador e suas interligações. Fonte: adaptado de Razavi (2016).

4. PROJETO DO AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA

Serão apresentados os resultados do modelo Verilog-A a partir das medições experimentais, escolhas de projeto para o amplificador operacional de transcondutância (OTA) e a performance do circuito.

4.1 ANÁLISE DO TRANSISTOR COM ESTRUTURA DE NANOFOLHA DE SILÍCIO

A Error! Reference source not found. mostra algumas curvas de corrente de dreno em função das tensões V_{GS} e V_{DS}, na qual pode-se observar uma sobreposição perfeita entre os dados experimentais e a simulação do modelo. As curvas validam a eficácia do método de simulação por LUT para o GAA-NSH. Os resultados obtidos a partir da medição de seis dispositivos apresentaram uma variação entre elas inferior a 1%.

O gráfico apresenta os resultados para um transistor de 22 aletas, cujas dimensões de largura efetiva de canal (W_{eff}) são 22 x 104nm = 2288nm, para o qual o dispositivo pode atingir uma capacidade de corrente da ordem de unidades de miliamperes para o nmos, ou centenas de microamperes para o pmos, próximo de sua tensão máxima. A tensão de limiar dos dispositivos, apresentada anteriormente, é de 0,21V para o nmos e -0,35V para o pmos. O projeto utilizará transistores em saturação e portanto é necessário um $|V_{GS} - V_T| < |V_{DS}|$, que é a condição necessária para garantir a saturação de um MOSFET (Razavi, 2016). Para um $V_{OV} = V_{GS} - V_T \approx 0.7 V$, que utilizaria o aproximadamente o V_{GS} máximo, pode-se definir um V_{DD} mínimo necessário de 2.1 V.

A corrente de dreno medida foi normalizada pelo número de aletas, resultando numa corrente máxima de aproximadamente 54 µA/aleta para o NMOS e 22 µA/aleta para o PMOS, este último é levemente menor devido a menor mobilidade de lacunas. Esse valor de corrente normalizada polariza o dispositivo em inversão forte com baixo g_m/I_D. É importante levar essa limitação em consideração ao projetar circuitos integrados e evitar regiões fora do conjunto de medidas.



Error! Reference source not found. — Curvas de corrente para o GAA-NSH do tipo n (GAA-NSH-NMOS) e tipo p (GAA-NSH-PMOS), (A) em função da tensão de porta-fonte e (B) em função de diferentes tensões de dreno-fonte. Os transistores utilizados tem dimensões de W_{eff}/L = 2288nm/100nm.

A Figura 21 apresenta as curvas da eficiência do transistor (g_m/I_D) em função da corrente normalizada ($I_D/(W_{eff}/L)$) para duas tensões de dreno diferentes. Os dispositivos do tipo MOSFET possuem uma curva de g_m/I_D que apresenta tendência de decrescimento para um crescimento de valores de corrente e de Vov. Esse comportamento observado é uma consequência da transição entre as regiões de inversão forte para a de inversão fraca, cujo comportamento é descrito pelas equações (12) e (14), respectivamente. Em inversão forte, temos gm/ID inversamente proporcional à Vov e à $I_D/(W_{eff}/L)$,

enquanto na região de inversão fraca, temos um patamar que só depende da temperatura e parâmetros da tecnologia. A curva apresenta, portanto, um *tradeoff* entre a eficiência do transistor e a corrente normalizada, que está correlacionado com outros *tradeoffs* entre figuras de mérito analógicas, que serão posteriormente apresentadas. Como comentado na sessão 3.3, esses *tradeoffs* acarretam em várias escolhas de projeto que equilibram parâmetros de projeto, como as dimensões do dispositivo (que podem ser definidas a partir de uma especificação de corrente e de corrente normalizada), estabilidade e consumo de potência.

As nanofolhas NMOS e PMOS apresentam valor máximo de g_m/I_D em torno de 35 V⁻¹ em temperatura ambiente, o que indica um excelente acoplamento de porta para a tecnologia e um fator de corpo próximo da idealidade, de aproximadamente n = 1,1, o que pode ser encontrado também em outros dispositivos de múltiplas portas (Parvais, 2018) e em SOI ultrafinos (UTBB) (Silveira, Flandre, & Jespers, 1996). Um dispositivo MOSFET com fator de corpo ideal (n = 1,0) apresentaria um g_m/I_D máximo de aproximadamente 39 V⁻¹ a 25°C.



Figura 21 — Curvas de eficiência do transistor em função da corrente normalizada para GAA-NSH dos tipos NMOS e PMOS.

A região de inversão fraca da curva é indicada pela presença do patamar máximo, presente nas regiões de menor corrente normalizada e maior g_m/I_D,

devido à predominância da condução exponencial da região de sublimiar. A equação (14) descreve o comportamento aproximado da curva nessa região. A região de inversão forte ocorre para valores baixos de g_m/I_D e altos de I_D/(W_{eff}/L), onde, dependendo do valor de V_{DS}, pode-se ter uma operação em saturação ou triodo. Para a região de saturação predomina-se a equação de corrente quadrática do transistor e um comportamento para g_m/I_D conforme descrito na equação (12), uma curva hiperbólica. Para valores muito baixos de g_m/I_D em inversão forte o transistor tende a operar em triodo devido ao alto V_{DS} necessário para atender à condição de saturação (V_{DS} > V_{OV}), portanto valores muito baixos de g_m/I_D exigem circuitos integrados com valores mais altos de V_{DD}. A região moderada apresenta uma transição entre os comportamentos de patamar da inversão forte e inverso de V_{OV} da inversão forte.

A Figura 22 apresenta a curva de capacitância de porta total obtida a partir da varredura de V_{GS}. O dispositivo tem uma capacitância bastante baixa, o que exigiu uma área de porta maior utilizando um L \approx 1µm. O comprimento de canal citado é um valor aproximado (L de máscara) devido a imprecisões de fabricação do GAA-NSH. Ainda assim, permite o estudo da resposta em frequência das nanofolhas.



Figura 22 — Curvas de capacitância de porta em função da tensão de porta para GAA-NSH dos tipos NMOS e PMOS.

Utilizando curva de capacitância, podemos calcular a frequência de ganho unitário e o produto $f_T * g_m/I_D$. A Figura 23 mostra como essas grandezas se relacionam com a eficiência do transistor.



Figura 23 — *Tradeoff* entre f_T (A) e produto $f_T * g_m/I_D$ (B) em função de g_m/I_D para GAA-NSH dos tipos NMOS e PMOS.

Observa-se na Figura 23-A a relação inversa entre $f_T e g_m/I_D$ encontrada para o GAA-NSH, que é característica de transistores MOSFETS. Sendo f_T uma medida de ganho que considera apenas as capacitâncias parasitárias intrínsecas a um único dispositivo, considera-se que o circuito pode operar com

ganho de tensão em uma frequência consideravelmente menor (Sedra & Smith, 1997). Deve-se notar que f_T é proporcional à transcondutância e, que também varia com a tensão V_{DS}, e, portanto, f_T diminui para transistores em cascata polarizados sob um V_{DD} limitado. O aumento de dimensões, e consequentemente da capacitância, também diminui a frequência prática alcançada em um design.

O valor máximo de f_T, para dimensões W/L = 104/100 nm/nm, e V_{DS} = 700 mV, é de cerca de 50 GHz para NMOS e 25 GHz para PMOS. Esse valor é menor quando comparado com alguns outros encontrados na literatura para várias tecnologias (Parvais, 2018) (Shinomura, 2011) (Subramanian, 2010) (Singh, 2018), pois f_T geralmente é calculado utilizando grandes dimensões de W/L, valores de V_{DS} altos e comprimentos de canais menores para diminuir as capacitâncias de porta. A curva apresentada tem por objetivo demonstrar melhor a polarização encontrada no design, em detrimento a explorar os limites máximos da tecnologia.

A Figura 23-B apresenta o produto entre a frequência de ganho unitário e a eficiência do transistor. O ponto de correlação máxima, ou seja, de melhor equilíbrio entre g_m/I_D e fT é entre 12 V⁻¹ e 15 V⁻¹. Um design que preza por uma melhor resposta em frequência e ganhos menores é realizado à esquerda dessa região, e para ganhos altos e menores bandas, à direita do ponto máximo.



4.2. PROJETO DO OTA EM TEMPERATURA AMBIENTE

Figura 24 — Topologia para o amplificador operacional de transcondutância de dois estágios (OTA).

A topologia do amplificador operacional de transcondutância de dois estágios a ser projetado é apresentada na Figura 24. O OTA foi escolhido como circuito de estudo devido à sua importância como bloco de construção em circuitos maiores em projetos analógicos e de sinais mistos. Amplificadores de alto ganho podem ser utilizados em malha fechada com um *feedback* para construir filtros ativos, referencias de tensão e corrente, circuitos de *feedback* em modo comum e conversores, entre vários outros (Razavi, 2016).

Para esse projeto, foram escolhidos alguns pontos de polarização na região de inversão forte do GAA-NSH: 5 V⁻¹, 8 V⁻¹ e 11 V⁻¹. Esses valores de gm/ID cobrem a região de inversão forte desde o início até o ponto de maior produto ganho banda, apresentando uma grande variação para fr * gm/lp. Isso irá facilitar a correlação entre tradeoffs obtidos a nível de dispositivo e a nível de circuito e tornar os resultados mais didáticos. Nessa região, o comportamento da corrente do transistor é majoritariamente uma dependência em Vov². A partir da Figura 21, pode-se observar a correlação entre gm/lD e a corrente normalizada por aleta. Ao definir um comprimento de canal para todos os transistores do projeto (L = 100 nm), obtém-se curvas de eficiência do transistor em função da densidade de corrente (g_m/I_D ×I_D/W), utilizadas para associar a eficiência do transistor com suas dimensões. Para a região de inversão forte, os valores de ID/W correspondem a um único valor de Vov como consequência da equação de corrente: $I_D/W \propto V_{OV^2}$. Dessa forma, a definição de g_m/I_D para um L definido permite o dimensionamento a partir da densidade de corrente e por consequência a definição da tensão de porta dos transistores.

As variações de g_m/I_D foram obtidas realizando um dimensionamento dos transistores e variando a corrente I_{ss}. Esses valores de eficiência são aplicados ao par diferencial de entrada NMOS, M_{1,2}, à carga do tipo espelho de corrente PMOS M_{3,4} e ao transistor PMOS M₆ que atua como amplificador de fonte comum no segundo estágio do OTA.

A partir da corrente I_{SS}, é possível definir a polarização de M₈ devido às relações entre corrente, largura de canal e g_m/I_D. A Figura 25 apresenta os g_m/I_D obtidos para cada transistor do primeiro estágio em função da corrente I_{SS} após o dimensionamento do circuito. As cópias de corrente para M₇ e M₅ polarizam os transistores no mesmo g_m/I_D porque a cópia de corrente é proporcional à largura de canal e a proporção I_D/W é mantida. Os transistores M₁ a M₄ e M₆ são

65

polarizados com a cópia de corrente e dimensionados a partir da medição de g_m/I_D individualmente em cada transistor, utilizando a mesma curva de (g_m/I_D ×I_D/W).



Figura 25 — Valores de eficiência do transistor para diferentes correntes após o dimensionamento.

É importante ressaltar que, em projetos aplicados, não é necessário que todos os transistores se encontrem na mesma região de polarização, sendo mais importante pesar as diferenças entre as capacidades de resposta em frequência do PMOS e NMOS, bem como às suas diferenças de contribuição para o ganho do circuito. Nesse caso, o circuito é feito com o intuito de caracterizar a performance dos dispositivos, portanto adotar essa convenção facilita monitorar como os parâmetros analógicos se alteram para diferentes polarizações.

O ganho de tensão do primeiro estágio do amplificador pode ser estimado pela eq. (25):

$$A_{vpe} = g_{m1,2} \times R_{out} \tag{25}$$

Ou seja, o produto entre a transcondutância do par de entrada e a impedância no nó de saída entre M₄ e M₂, dada pela eq. (26):

$$R_{out1} = \frac{1}{g_{ds2} + g_{ds4}}$$
(26)

Portanto, além da cópia de corrente, a condutância de saída dos transistores M_{3,4} apresentam uma contribuição importante para o ganho do circuito.

O segundo estágio é uma topologia de fonte comum com carga ativa e o ganho de tensão é aproximadamente definido pela eq. (27):

$$A_{vse} = \frac{g_{m6}}{g_{ds6} + g_{ds7}}$$
(27)

A corrente do estágio de saída é definida a partir da cópia de corrente da carga espelho do estágio anterior (M_{3,4}) para o transistor M₆. O transistor M₇ é polarizado a partir da cópia de corrente dos transistores M_{5,8}. Dessa forma, os transistores M_{3,4} e M₆ possuem o mesmo V_{ov}, e consequentemente o mesmo g_m/I_D. O mesmo é obtido para M_{5,7,8}. A definição do modo comum de saída é uma consequência do ajuste das tensões de V_{DS} em dependência de g_{ds}-1, portanto, o ajuste das dimensões dos transistores no ramo de saída impacta bastante o modo comum de saída. O transistor M₇ é utilizado para ajustar a tensão do modo comum de saída.

Por fim, o ganho de tensão total do circuito é dado pela eq. (28):

$$A_{v} = A_{vpe} \times A_{vse} \tag{28}$$

Os transistores responsáveis pela polarização de corrente do OTA, M₅, M₇ e M₈, são polarizados em inversão forte e em saturação, com um g_m/I_D menor que 5 V⁻¹. Dessa forma, o mecanismo de condução de corrente é quadrático e a cópia de corrente é proporcional à tensão V_{GS} dos dispositivos e às suas dimensões. Além disso, para garantir uma boa cópia de corrente para o primeiro estágio (I_{pe}) e para o segundo estágio (I_{se}), é interessante que V_{DS8} = V_{DS5} = V_{DS7}. Dessa forma, o efeito de modulação de canal, que aumenta a corrente na região de saturação a partir de um parâmetro λ , terá menor influência no valor final da polarização de corrente.

Valores menores de g_m/I_D são correlacionados a altos valores de I_D/W . Definidas as correntes I_{SS} , como apresentado na Figura 25, pode-se definir o valor de W. Foram utilizadas as dimensões mínimas de transistor em M₈ (uma aleta) para minimizar W e maximizar I_D/W . Para que I_{SS} representasse a corrente passando por cada dispositivo do primeiro estágio ($I_{pe} = 2 I_{SS}$), o transistor M₅ possui o dobro do tamanho de M₈.

Para o primeiro estágio, os transistores M₁ a M₄ foram dimensionados para ter o mesmo g_m/I_D quando polarizados pela mesma corrente. Observando a curva da Figura 21 podemos notar que, para uma certa corrente normalizada (I_D/W/L), o transistor NMOS atinge maiores valores de g_m/I_D. Dessa forma, a

corrente normalizada para o PMOS precisa ser menor, o que pode ser alcançado aumentando o W/L dos transistores. Os transistores $M_{1,2}$ foram dimensionados empiricamente com 5 aletas e $M_{3,4}$, com 10 aletas.

O gráfico da Figura 25, que apresenta o resultado da normalização dos dispositivos em termos de eficiência do transistor, demonstra que os transistores do tipo n e tipo p possuem uma boa concordância de valores de eficiência do transistor para uma grande faixa de correntes. As curvas com menores valores de g_m/I_D representam os transistores do espelho de corrente M_8 e M_5 , que permanecem na região de inversão forte para toda a faixa de operação. Como comentado anteriormente, os transistores NMOS suportam uma corrente máxima de 54 µA/aleta, e, portanto, os W/L de $M_{5,7,8}$ devem ser dobrados para o projeto que polarizam M_1 a M_4 em um $g_m/I_D = 5$. No gráfico, a mudança de número de aletas fica evidente para as correntes de 60 µA a 71 µA. A diminuição da corrente normalizada polariza os transistores em g_m/I_D mais altos.

Para o segundo estágio, a corrente I_{SE} foi definida de forma que I_{SE} = 6 I_{SS}. Para isso, (W/L)_{M6} é dimensionado para ser seis vezes maior que (W/L)_{M3}. Aumentar a corrente do segundo estágio aumenta a sua transcondutância e consequentemente A_{vse}. A razão de 6x foi escolhida por balancear o número de aletas (área de projeto), corrente consumida e resultados em termos de ganho e GBW, o que diminuiu o consumo de corrente do projeto como um todo em comparação a literatura (Sousa, 2021), enquanto ainda obtinha-se um maior ganho de tensão. O W/L do transistor M7 é também dimensionado 6 vezes maior que o W/L de M8. A Tabela 1 sumariza o tamanho de todos os transistores do projeto.

_	Número de aletas		
Transistor	g m/I _D = 5	g _m /I _D = 11 g _m /I _D = 8	
M _{1,2}	5		
M _{3,4}	10		
M5	4	2	
M ₆	60		
M7	12	6	
M ₈	2	1	
Comprimer	100 nm		
Largura de canal por aleta		104 nm	

Tabela 1 – Dimensionamento para os GAA-NSH do amplificador.

A partir da Figura 25 podemos escolher as correntes I_{ss} necessárias para polarizar os transistores com a eficiência desejada. Para um $g_m/I_D = 5 V^{-1}$, é necessária uma corrente de cerca de 71 µA, que não é mostrada no gráfico.

O circuito também possui uma capacitância de compensação miller (C_c), utilizada para introduzir um polo dominante que corrigirá a margem de fase (PM) do amplificador para aproximadamente 60°, um valor que equilibra a velocidade de resposta do amplificador e a atenuação de *overshoots*. Simulações iniciais do circuito apresentam uma margem de fase de cerca de 0° com um GBW acima de 1.3GHz, o que tornaria o circuito instável. A capacitância de compensação foi definida empiricamente em 100fF, e variá-la gera um *tradeoff* entre a margem de fase (PM) do circuito e o seu GBW. Esse *tradeoff* pode ser empiricamente observado na Tabela 2. Um ajuste de C_C pode balancear as necessidades de resposta em frequência e atenuação da resposta transitória.

O GBW do circuito, nesse caso, pode ser estimado pela eq. (29):

$$GBW = \frac{g_{m1,2}}{2\pi C_c} \tag{29}$$

O projeto do amplificador utiliza dimensões fixas, e, escolhido C_c, a variação do GBW é principalmente consequência do reajuste de g_m devido à variação de corrente.

	Capacitância Miller (Cc)				
	30fF	50fF	80fF		
g _m /I _D = 5 V ⁻¹					
GBW	1,32 GHZ	927 MHZ	634 MHZ		
PM	39°	51°	61°		
gm/I _D = 8 V ⁻¹					
GBW	948 MHZ	690 MHZ	476 MHZ		
РМ	39°	49°	58°		
g _m /I _D = 11 V ⁻¹					
GBW	673 MHZ	472 MHZ	323 MHZ		
РМ	39°	49°	58°		

Tabela 2 – *Tradeoff* entre a margem de fase e o GBW devido ao ajuste da capacitância Miller.

A capacitância de carga (C_L) simula uma possível impedância para o bloco subsequente. A partir da Figura 22 podemos notar que as capacitâncias para o GAA-NSH chegam em dezenas de femto Farads quando utilizando um grande comprimento de canal e número de aletas. Escalando para uma aleta e L = 100nm, as capacitâncias de porta se encontram na ordem de décimos de femto Farads. Dessa forma, espera-se uma capacitância muito baixa para um circuito integrado subsequente da mesma tecnologia. A capacitância de carga escolhida 200fF) é comparativamente alta quando comparada com essa implementação, e o segundo polo localizado na saída do circuito, que é bastante influenciado por esse valor, pode ser estimado pela eq. (30):

$$p_{out}^{-1} = 1 + s \frac{c_L}{g_{ds6} + g_{ds7}}$$
(30)

A Tabela 3 apresenta a performance do circuito para as condições apresentadas, e a Figura 26 apresenta a sua resposta em frequência. A partir dos resultados podemos observar que os *tradeoffs* entre eficiência, potência, ganho e GBW corroboram os comportamentos observados para as características analógicas do GAA-NSH, discutidos na sessão 4.1.

Para $g_m/I_D = 5 V^{-1}$ o amplificador necessita do maior consumo de potência e entrega o melhor produto ganho banda, mas menores ganhos de tensão. O resultado para o ganho está relacionado ao comportamento de aumento do ganho intrínseco do transistor (g_m/g_{ds}) para um aumento de g_m/I_D , enquanto f_T diminui. Dessa forma, o projeto com eficiência de 11 V⁻¹ apresenta maior ganho, menor consumo de potência e menor GBW, enquanto o projeto de 8 V⁻¹ se equilibra entre essas especificações.

Especificação	Eficiência do Transistor - gm/ID				
	5 V ⁻¹	8 V ⁻¹	11 V ⁻¹		
V _{DD}	2,1 V				
CL	200 fF				
Cc	100 fF				
lss	71 µA	32 µA	15 µA		
Potência	1,205 mW	544,5 µW	259,5 μW		
Av	65,6 dB	71,8 dB	89,1 dB		
Avpe	26,2 dB	33,6 dB	40,6 dB		
GBW	496,7 MHZ	361,3 MHZ	255,9 MHZ		
PM	64°	63°	63°		

Tabela 3 – Performance do OTA para diferentes polarizações.



Figura 26 — Diagrama de Bode de ganho de tensão e fase do OTA para as diferentes eficiências escolhidas.

Quanto à estabilidade do circuito, todos possuem PM próxima a 60°, um equilíbrio entre velocidade de resposta e instabilidades no transitório inicial. No diagrama de bode pode-se observar que o polo dominante (capacitância C_c) varia entre 10 kHz e 100 kHz, e o segundo polo (capacitância C_L) se encontra depois do ganho unitário, em cerca de 520 MHz. As curvas de ganho, como consequência, decaem com 20 dB/década.

A Tabela 4 apresenta a performance do projeto em 8 V⁻¹ com projetos de OTA de dois estágios que utilizam diferentes nós tecnológicos: FinFET (Sousa, 2021) e TunnelFET (Nogueira, 2020). A comparação fixa os dispositivos em um $g_m/I_D = 8 V^{-1}$, com o TFET é polarizado próximo a essa região, em 7 V⁻¹.
Especificação	Dispositivos			
	FinFET [59]	TFET [60]	GAA-NSH	
Vdd	2,1 V	4,5 V	2,1 V	
CL	*	30 fF	200 fF	
Cc	*	100 fF	100 fF	
g _m /I _D	8 V ⁻¹	7 V ⁻¹	8 V ⁻¹	
Potência	1,41 mW	9 µW	544,5 μW	
Ipe	61 µA	200 nA	64 µA	
Av	67,61 dB	88 dB	71,8 dB	
GBW	*	718 kHz	361,3 MHz	
PM	*	63°	63°	

Tabela 4 – Performance do GAA-NSH em um circuito OTA quando comparado com outros nós tecnológicos.

* Dado não disponível

Pode-se observar uma melhora para o ganho e consumo de potência do GAA-NSH em relação ao FinFET, que é o dispositivo MOSFET que o precede na escala de integração. Comparando com nós tecnológicos MOS ainda mais antigos, como os de MOSFET planares (Colinge, 2008), observamos ainda que dispositivos modernos apresentam uma drástica melhora de performance em termos de ganho e GBW, que se apresenta mais de 10 vezes maior. O GAA-NSH se beneficia das capacitâncias reduzidas e da influência negligível das capacitâncias ao substrato. Utilizando o GAA-NSH é possível projetar um amplificador com alto gm/ID, que ainda apresenta características satisfatórias de resposta em frequência e um baixo consumo relativo para MOSFETS.

Em comparação ao TFET, o GAA-NSH apresenta um GBW quase 3 décadas maior, porém um ganho menor e um consumo de potência drasticamente maior. O TFET é uma alternativa ao GAA-NSH, podendo ser aplicado em situações de extrema baixa potência em que especificações de frequência sejam relaxadas.

A Tabela 5 apresenta um comparativo entre parâmetros de design analógico e dimensões para os dispositivos FinFET e GAA-NSH.

Tabela 5 – Parâmetros analógicos e geométricos para os transistores FinFET e GAA-NSH.

Dorâmotro	Dispositivos				
Parametro	FinFET [59]	GAA-NSH			
Parâmetros Analógicos					
g m1,2	243 µS	261 µS			
G ds3,4	3,5 µS	3.2 µS			
Vea1,2	10,52 V	11,4 V			
Geometria dos Dispositivos					
WFIN	20 nm	15 nm			
Aletas para M _{1,2}	5	5			
Aletas para M _{3,4}	7	10			
Aletas para M ₆	70	60			
L	150 nm	100 nm			

O projeto do dispositivo FinFET utiliza uma cópia de corrente para o segundo estágio tal que $I_{se} = 10 * I_{pe}$, enquanto o projeto com GAA-NSH utiliza $I_{se} = 6 * I_{pe}$, o que diminui a transcondutância e ganho do nó de saída, mas também otimiza a área e o consumo de potência do circuito. Analisando a Tabela 4, podemos notar que o aumento de ganho para o GAA-NSH se dá principalmente devido à maior transcondutância de entrada do dispositivo, enquanto a condutância de saída é praticamente a mesma.

O GAA-NSH também apresenta uma tensão Early levemente maior do que o FinFET, o que sugere uma maior imunidade ao efeito de modulação de canal, e, portanto, o GAA-NSH sofre menos de efeitos de canal curto e possui um acoplamento eletrostático melhor. O GAA-NSH também é menor em dimensões (comprimento de canal e largura de aletas), e, portanto, permite um design mais compacto para os números de aletas similares utilizados pelos dois projetos.

4.3. PROJETO DO OTA EM ALTAS TEMPERATURAS

Um novo projeto foi feito para análise do comportamento do GAA-NSH em um OTA, nas temperaturas de 25 °C, 100 °C e 200 °C. Para esse projeto, um V_{DD} de 1,5V foi escolhido, um g_m/I_D inicial de 8 V⁻¹ foi mantido e a capacitância de carga foi reduzida, o que desloca os polos no nó de saída para maiores frequências e aumenta GBW obtido no projeto. A corrente de polarização do circuito também é fixa, assim como as dimensões dos transistores.

A menor tensão V_{DD} escolhida é praticável por causa das tensões de limiar baixas para os transistores PMOS e NMOS, como apresentado previamente na Figura 12, o que permite um design com menor consumo de potência. O dimensionamento apresentado na Tabela 1, entretanto, deve ser reajustado para reacomodar as menores faixas valores para V_{DS}, o que possivelmente requer um V_{OV} um pouco menor e g_m/I_D um pouco maior. A Tabela 6 apresenta o dimensionamento para o novo projeto.

Transistor	M 1,2	Мз,4	M 5	M ₆	M 7	M8
Número de aletas	5	10	8	65	24	8
Geometria do Dispositivo						
Comprimento de ca	nal (L)	100 nm				
Largura por aleta (Weff)		104 nm				

Tabela 6 – Dimensionamento dos GAA-NSH para o design com V_{DD} = 1,5 V

Em comparação ao projeto anterior, teremos o mesmo tamanho para o par de entrada M_{1,2} e carga do primeiro estágio M_{3,4}, é possível manter os mesmos valores de V_{OV} para os transistores do primeiro estágio devido ao projeto de V_{DD} a 2,1 V ser pouco exigente em termos de polarização V_{DS}, sendo fácil manter a condição de saturação dos transistores. No segundo estágio, o transistor em fonte comum M₆ foi levemente aumentado para posicionar o modo comum de saída em uma tensão mais baixa, em torno de 1 V. Para acomodar um g_m/I_D próximo ao projeto anterior, o *budget* de V_{DS} para o espelho de corrente foi reduzido, o que requer diminuir o V_{GS} dos transistores de nanofolha para manter a operação em saturação, e aumentar o g_m/I_D. Essa escolha de projeto

aumenta o erro da cópia de corrente e pode amplificar erros derivados de fontes de correntes pouco robustas com a temperatura (Gielen & Rutenbar, 2000). Para reduzir possíveis erros, é comum adotar uma cópia de corrente de 1x entre M₅ e M₈, que foi adotada nesse projeto. Os tamanhos dos dispositivos foram dobrados quando comparados ao projeto com V_{DD} de 2,1 e g_m/I_D de 5 V⁻¹.

A operação do OTA nas diferentes temperaturas de 25 °C, 100 °C e 200 °C será impactada pelo comportamento das curvas de corrente do GAA-NSH, como apresentado na Figura 27.

É possível observar claramente na Figura 27 o posicionamento de cada polarização V_{GS} em relação ao V_{ZTC} dos GAA-NSH. Para o NMOS, o V_{ZTC} ocorre para aproximadamente V_{GS} = 0,5 V, podendo ser visto no gráfico. Para o PMOS, ocorre em aproximadamente V_{GS} = 0,7 V, e a mudança de comportamento de corrente pode ser visualizada na inversão da tendência de diminuição dos valores com a temperatura para um aumento de corrente em V_{GS} mais baixos.

O uso de V_{DD} = 1,5 V posiciona as tensões de porta em faixas de 0,4 V \sim 0,5 V e, portanto, o comportamento de aumento de corrente será o principal a ser observado nesse projeto.



Figura 27 — Curvas $I_D \times V_{DS}$ para os transistores de nanofolha do tipo NMOS (A) e PMOS (B) parametrizados em diferentes V_{GS} , nas temperaturas de 25 °C, 100 °C e 200 °C.

Para uma corrente fixa, a polarização V_{GS} < V_{ZTC} resulta em uma diminuição de V_{DS} = V_{GS} para aumento de temperatura para o transistor de entrada do espelho de corrente (M₈) e carga ativa PMOS (M_{3,4}). Por consequência, o V_{DS} do transistor de cópia de corrente do primeiro estágio (M₅) sofre um aumento de V_{DS} e a tensão V_{GS} do par de entrada (M_{1,2}) é reduzida.

A Tabela 7 apresenta a variação (redução) da tensão de limiar com o aumento da temperatura. Esta redução se deve a redução do potencial de Fermi.

	Tensão de Limiar (V⊤)			
	25 ℃	100 ⁰C	200 ℃	
NMOS-NSH	0,21 V	0,18 V	0,13 V	
PMOS-NSH	-0,35 V	-0,3 V	-0,26 V	

Tabela 7 – Variação da tensão de limiar com a temperatura

Focando novamente no projeto, apesar de ter sido observada a redução de V_{GS} para todos os transistores do projeto, a redução da tensão de limiar é mais acentuada, e, portanto, observa-se um aumento de V_{OV} para os transistores do circuito. O aumento de V_{OV} é acompanhado de uma diminuição de g_m/I_D na região de inversão forte. Para um projeto com corrente fixa, o aumento de temperatura significa uma variação do ponto de polarização do circuito, tendendo a valores menores de g_m/I_D e ganho, e maiores de GBW.

A variação da eficiência do transistor com a temperatura pode ser observada na Figura 28. Como esperado, a região de inversão fraca é bastante impactada pela variação de temperatura, enquanto a região de inversão forte varia consideravelmente menos. O comportamento é validado através das equações (12) e (14). Em inversão fraca, temos uma dependência de gm/I_D com o inverso da temperatura (gm/I_D \propto 1/T), e essa dependência torna a região muito sensível a variações. Para a inversão forte, temos uma dependência de 1/V_{GS}-V_T, sendo a variação de gm/I_D uma consequência principal da variação da tensão de limiar com a temperatura.

No projeto do OTA, temos uma polarização utilizando corrente fixa com flutuação de tensões, logo, mantêm-se a corrente normalizada e densidade de corrente por largura de canal para a faixa de temperatura estudada. Portanto, será observada uma diminuição de g_m/I_D principalmente como consequência da degradação esperada com a temperatura. O projeto, portanto, apresentará pioras para figuras de mérito analógicas devido ao pior acoplamento eletrostático do dispositivo.



Figura 28 — Variação de g_m/I_D em função da temperatura para transistores de nanofolha do tipo NMOS (A) e PMOS (B) a 25 °C, 100 °C e 200 °C.

A Tabela 8 apresenta os resultados de performance do OTA para as diferentes temperaturas estudadas, e a Figura 29 apresenta o diagrama de bode com as respostas em frequência para cada caso. Os *tradeoffs* entre g_m/I_D, GBW, ganho e consumo de potência são diferentes do observado para a temperatura ambiente.

	Temperatura		
	25 ℃	100 °C	200 °C
V _{DD}	1,5 V		
Vin,cm	0,75 V		
Vgs (M _{1,2})	0,406 V	0,393 V	0,377 V
Vov (M _{1,2})	0,196 V	0,213 V	0,247 V
gm/ID (M1,2)	8,5 V ⁻¹	7,7 V ⁻¹	6,8 V ⁻¹
g _m /I _D (M ₆)	8,8 V ⁻¹	7,8 V ⁻¹	6,8 V ⁻¹
CL	100 fF		
Cc	45 fF		
Corrente ref. (Iss)	60 µA		
Potência	370,8 µW	373,7 μW	376,5 µW
Ganho	72,3 dB	66,7 dB	60,5 dB
GBW	796 MHz	747 MHz	661 MHz
PM	60°	63°	73º

Tabela 8 – Performance do OTA para diferentes temperaturas

Pode-se observar, para o par de entrada, o comportamento descrito anteriormente de diminuição de V_{GS} e aumento de V_{OV}. A degradação de g_m/I_D também é verificada, e a proporção entre g_m/I_D e V_{OV} é mantida. Pode-se notar que o consumo de potência apresenta uma pequena variação devido à corrente de referência fixa, e essa variação é consequência do erro de cópia no espelho de corrente para o primeiro e o segundo estágios.

O ganho apresenta bastante degradação, o que está associado à piora das figuras de ganho intrínseco em relação a um dado valor de g_m/I_D. Pode-se dizer que g_m/g_{ds} para um g_m/I_D fixado é menor a 200 °C do que a 25 °C, como consequência da diminuição dos valores máximos alcançáveis e do leve deslocamento do V_{OV} para valores maiores. A degradação de ganho em função da temperatura para uma corrente fixa é mais agressiva do que a variação do ganho em uma temperatura fixa devido à variação de polarização. O GBW do circuito também apresenta degradação, embora reduzida, devido à pequena compensação entre a diminuição de g_m/I_D, o que desloca o polo dominante para frequências mais altas, e piora do ganho intrínseco. Como o GBW é um produto

entre o ganho e a banda, é esperado que a diminuição do ganho reduza o GBW, visto que o aumento de temperatura causa degradação da resposta em frequência esperada.



Figura 29 — Diagrama de bode com a resposta em frequência do OTA nas temperaturas de 25 °C, 100 °C e 200 °C.

O diagrama de bode para as três temperaturas estudadas apresenta visualmente a degradação do ganho e diminuição do GBW. Devido à alteração de polarização com a temperatura, pode-se observar o *tradeoff* presente entre a variação de GBW e margem de fase (PM), melhor descrito na Tabela 2. A partir das curvas de fase é possível observar o deslocamento do polo dominante (localizado aproximadamente em fase = 135°) para frequências mais altas com o aumento de temperatura, uma consequência da variação da impedância de saída com o aumento de temperatura.

Para a região anterior a ZTC, a transcondutância aumenta com a temperatura, porém, o ganho intrínseco (g_m/g_{DS}) decresce. Portanto, há um aumento da condutância de saída (g_{DS}), e consequentemente da impedância do nó de saída do OTA. O polo dominante desse circuito, descrito pela equação (30), depende da capacitância e da impedância de saída. A capacitância se mantém constante com a temperatura, enquanto a redução da impedância de saída contribui para maiores frequências no polo dominante.

5. CONCLUSÕES

Os dispositivos de nanofolha de porta ao redor (GAA-NSH) são os candidatos mais prováveis a serem adotados amplamente em nós tecnológicos avançados. São MOSFETs de múltiplas portas, onde o canal é completamente envolto pelo dielétrico de porta, o que maximiza o acoplamento entre porta e canal enquanto minimiza o fator de corpo (n), e aumenta a densidade de corrente efetiva por área.

Existem estudos avaliando a sua performance para aplicações digitais, entretanto, nesse trabalho os GAA-NSH apresentados e estudados focando em suas características relevantes para o projeto de circuitos integrados analógicos. O dispositivo é um transistor com dimensões pequenas e fator de corpo (n) próximo ao ideal, apresentando uma figura de eficiência (gm/ID) bem próxima do máximo teórico para transistores do tipo MOSFET. A frequência de ganho unitário (fT) do dispositivo é de 50GHz para W/L pequenos, devido às capacitâncias de porta serem muito pequenas, da ordem de décimos de femto Farads.

O potencial para aplicações analógicas deste dispositivo foi avaliado através do projeto de um amplificador operacional de transcondutância (OTA) de dois estágios. A simulação para o circuito utilizou o método de *lookup table*, que utiliza medidas experimentais feitas a partir do transistor fabricado para criar vetores de referência de tensão e corrente. O método se provou bastante eficaz por reproduzir as características do dispositivo e efeitos complexos de segunda ordem de forma prática e sem a necessidade de utilizar modelos matemáticos complexos, que requerem parametrização das curvas de corrente através de inúmeros parâmetros.

De forma geral, os dispositivos GAA-NSH apresentam-se como uma excelente opção para designs que requerem alto ganho e alto espectro de frequências, entregando uma performance melhor em relação a MOSFETS de tecnologias anteriores, enquanto que, para aplicações que processam sinais em baixa frequência, não é tão vantajoso quanto o TFET, que se mostra mais interessante por apresentar um maior ganho e drasticamente menor consumo de potência. O GAA-NSH apresenta melhores valores para parâmetros

82

analógicos e maior imunidade a efeitos de canal curto do que o FinFET, enquanto possui dimensões menores.

O projeto de amplificador foi refeito para ser analisado em diferentes temperaturas considerando dimensões e corrente constantes. O amplificador teve o V_{DD} e capacitâncias de compensação e carga reduzidas em comparação ao projeto anterior, sendo necessário um redimensionamento dos transistores do espelho de corrente para diminuir os V_{DS} e V_{GS} utilizados. A diminuição do V_{DD} de 2,1 V para 1,5 V foi uma adaptação simples devido ao V_T dos GAA-NSH serem pequenos para o V_{DD} do projeto anterior. É possível ainda explorar tensões ainda menores e observar os *tradeoffs* entre potência consumida, velocidade e estabilidade, enquanto se testa os limites de aplicação para amplificadores analógicos.

As variações de temperatura afetam os parâmetros analógicos do dispositivo, que apresentam um comportamento de degradação após a região ZTC, devido a redução da mobilidade dos portadores, e um comportamento de melhoria antes da região ZTC. A eficiência do transistor, gm/l_D apresenta sempre um comportamento de degradação com a temperatura. A análise do comportamento do amplificador com a temperatura, entretanto, se mostrou um pouco mais complexa devido às variações combinadas de ponto de polarização, tensões V_{DS} e V_{GS} e degradação de parâmetros analógicos. Observa-se uma degradação do ganho intrínseco e GBW. A tensão V_{GS} diminui, mas a tensão de limiar reduz mais rapidamente e por isso V_{OV} aumenta com a temperatura, causando um comportamento de degradação para gm/l_D e o ganho do circuito. O GBW acaba reduzindo apesar do deslocamento do pólo dominante para frequências mais altas, devido à grande diminuição no ganho.

Pode-se afirmar, dessa forma, que o aumento da temperatura degrada as principais características esperadas de um amplificador operacional projetado com transistores GAA-NSH. Existem algumas técnicas de projetos de topologias robustas que podem reduzir e manter o ganho através de uma grande faixa de temperaturas, como topologias *Gm-cell* com *feedback* positivo e o uso de circuitos bandgap para garantir a invariância de tensões e correntes no circuito.

Por fim, o estudo do dispositivo GAA-NSH pode ser bastante beneficiado da fabricação de um circuito completo, bem como a obtenção de várias amostras, o que permitiria o estudo da variação estatística do comportamento do

83

dispositivo em diferentes condições de variação de processo, o estudo de *mismatch*, e também o estudo da influência de efeitos observados apenas a nível de layout. A utilização do método de lookup table é uma forma de extração, na qual o dispositivo fabricado é reproduzido fielmente a partir de curvas experimentais, entretanto, a fabricação de um circuito poderia expor outros efeitos relacionados à implementação de roteamentos, componentes passivos, efeitos de proximidade e fugas de corrente.

PUBLICAÇÕES GERADAS

Publicações em revistas

1 - SOUSA, J. C.S., PERINA, W. F., RANGEL, R., SIMOEN, E., VELOSO, A., MARTINO, J. A., AGOPIAN, P. G.D. **Design of operational transconductance amplifier with Gate-All-Around Nanosheet MOSFET using experimental data from room temperature to 200 °C. Solid-State Electronics, Volume 189, 2022. doi: 10.1016/j.sse.2022.108238.**

Publicações em congressos

1 - SOUSA, J. C. S., MARTINO, J. A., and AGOPIAN, P. G. D. Simple Analytical Modelling of an Electronically Tunable Potentiometer and Body Factor Influence. 2021 IEEE Latin America Electron Devices Conference (LAEDC), 2021, pp. 1-4, doi: 10.1109/LAEDC51812.2021.9437909.

2 - SOUSA, J. C. S., PERINA, W. F., MARTINO, J. A., AGOPIAN, P. G. D. Design of a Gate-All-Around Stacked Nanosheet Differential Amplifier under Different Bias Conditions. SBMicro 2021.

3 - SOUSA, J. C. S., PERINA, W. F., SIMOEN, E., VELOSO, A., MARTINO, J. A., AGOPIAN, P. G. D. Operational Transconductance Amplifier Design with Gate-All-Around Nanosheet MOSFET using Experimental Lookup Table Approach. EUROSOI-ULIS 2021.

REFERÊNCIAS BIBLIOGRÁFICAS

- Oliveira, J. P; Goes, J., Parametric Analog Signal Amplification Applied to Nanoscale CMOS Technologies. New York (NY): Springer, 2012. ISBN: ISBN: 978-1-4614-1671-5
- [2] J. -W. Lee et al., A 1.8 Gb/s/pin 16Tb NAND Flash Memory Multi-Chip Package with F-Chip of Toggle 4.0 Specification for High Performance and High Capacity Storage Systems, 2020 IEEE Symposium on VLSI Circuits, 2020, pp. 1-2, doi: 10.1109/VLSICircuits18222.2020.9163052.
- [3] H. Kim, S. Ahn, Y. G. Shin, K. Lee and E. Jung, Evolution of NAND Flash Memory: From 2D to 3D as a Storage Market Leader, 2017 IEEE International Memory Workshop (IMW), 2017, pp. 1-4, doi: 10.1109/IMW.2017.7939081.
- [4] G. E. Moore, Cramming More Components Onto Integrated Circuits, in Proceedings of the IEEE, vol. 86, no. 1, pp. 82-85, Jan. 1998, doi: 10.1109/JPROC.1998.658762.Fdsfds
- [5] Nordrum, A.; Clark, K. Everything You Need to Know About 5G. IEEE Spectrum, 2017. Acessado em: 9 de julho de 2021. Disponível em: https://spectrum.ieee.org/video/telecom/wireless/everything-you-need-toknow-about-5g
- [6] Lie, D. Y. C.; Mayeda, J. C.; Li, Y.; Lopez, J. A Review of 5G Power Amplifier Design at cm-Wave and mm-Wave Frequencies. Wireless Communications and Mobile Computing. Hindawi, 2018. DOI: 10.1155/2018/6793814.
- [7] D. Y. C. Lie, J. Tsay, T. Hall, T. Nukala and J. Lopez, High-efficiency silicon RF power amplifier design current status and future outlook, 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2016, pp. 1-4, doi: 10.1109/RFIT.2016.7578181.
- [8] Binkley, D. M., Tradeoffs and Optimization in Analog CMOS Design, 2007 14th International Conference on Mixed Design of Integrated Circuits and Systems, 2007, pp. 47-60, doi: 10.1109/MIXDES.2007.4286119.
- [9] J. Pekarik et al., RFCMOS technology from 0.25 µm to 65nm: the state of the art, Proceedings of the IEEE 2004 Custom Integrated Circuits Conference (IEEE Cat. No.04CH37571), 2004, pp. 217-224, doi: 10.1109/CICC.2004.1358782.
- [10] A. Veloso et al., Nanowire & Nanosheet Fets for Advanced Ultra-Scaled, High-Density Logic and Memory Applications, 2020 China Semiconductor Technology International Conference (CSTIC), 2020, pp. 1-4, doi: 10.1109/CSTIC49141.2020.9282487.
- [11] A. Veloso et al., Nanosheet FETs and their Potential for Enabling Continued Moore's Law Scaling, 2021 5th IEEE Electron Devices

Technology & Manufacturing Conference (EDTM), 2021, pp. 1-3, doi: 10.1109/EDTM50988.2021.9420942.

- [12] Razavi, B. **Design of Analog CMOS Integrated Circuits.** 2nd edition. McGraw-Hill Education, 2016.
- [13] Roser, M; Ritchie, H. **Technological Progress**. *Published online at OurWorldInData.org*. Retrieved from: 'https://ourworldindata.org/technological-progress' [Online Resource]
- [14] Colinge J. P. Physics of Semiconductor Devices. 1st. New York (NY): Springer US, 2005
- [15] Baker, R. J. CMOS: Circuit Design, Layout, and Simulation. 3rd Edition. New Jersey (NY): IEEE press, 2010
- [16] Martino, J. A., Pavanello, M. A., Verdonk, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS. São Paulo: Thomson Learning, 2003. ISBN: 85-221-0347-X.
- [17] Foty, D. **MOSFET Modeling With SPICE: Principles and Practice.** Pearson, 1997.
- [18] Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd. New York (NY): Springer US, 2004.
- [19] Redefining Compute Through Process and Packaging. Intel, 2021. Disponível: https://www.intel.com/content/www/us/en/silicon-innovations/6pillars/process.html
- [20] Colinge J. P. FinFET and Other Multi-Gate Transistors. 1st. New York (NY): Springer US, 2008
- [21] B. Cheng et. Al. Impact of high-gate dielectrics and metal gate electrodes on sub-100 nm MOSFETs, IEEE Trans. Electron Devices, vol. 46, no. 7, pp. 1537–1543, Jul. 1999.
- [22] Fitzgerald, Eugene A.; Lee, Minjoo L.; Leitz, Christopher W.; Antoniadis, Dimitri A. MOSFET Channel Engineering using Strained Si, SiGe, and Ge Channels. MIT Advanced Materials for Micro- and Nano-Systems (AMMNS), 2003. Available: http://hdl.handle.net/1721.1/3726
- [23] S. Thompson et al., A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 /spl mu/m/sup 2/ SRAM cell. Digest. International Electron Devices Meeting, 2002, pp. 61-64, doi: 10.1109/IEDM.2002.1175779.
- [24] Taiwan Semiconductor Manufacturing Company. **7nm technology**. 2019. Accessed: Jun. 13, 2021. [Online]. Available: https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_7nm
- [25] Samsung Newsroom. Samsung Electronics Starts Production of EUVbased 7nm LPP Process, 2018. Accessed: Jun. 13, 2021. [Online]. Available: https://news.samsung.com/global/samsung-electronics-startsproduction-of-euv-based-7nm-lpp-process
- [26] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, A fully depleted leanchannel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET,

International Technical Digest on Electron Devices Meeting, 1989, pp. 833-836, doi: 10.1109/IEDM.1989.74182.

- [27] Anabela Veloso et al. Gate-All-Around Nanowire FETs vs. Triple-Gate FinFETs: On Gate Integrity and Device Characteristics. 2016 ECS Trans. 72 85
- [28] Anabela Veloso *et al.* Gate-All-Around Nanowire & Nanosheet FETs for Advanced, Ultra-Scaled Technologies. 2020 ECS Trans. 97 3
- [29] T. Huynh-Bao et al., Process, Circuit and System Co-optimization of Wafer Level Co-Integrated FinFET with Vertical Nanosheet Selector for STT-MRAM Applications, 2019 56th ACM/IEEE Design Automation Conference (DAC), 2019, pp. 1-6.
- [30] Takagahara, T. & Takeda, K. Theory of the quantum confinement effect on excitons in quantum dots of indirect-gap materials. Phys. Rev. B 46, 15578–15581 (1992).
- [31] Sperling, E. Quantum Effects At 7/5nm And Beyond. Semiconductor Engineering, 2018. Accessed: Jun. 15, 2021. [Online]. Available: https://semiengineering.com/quantum-effects-at-7-5nm/
- [32] Desai, S. B. et al. **MoS2 transistors with 1-nanometer gate lengths**. Science 354, 99–102 (2016).
- [33] Chen, ML., Sun, X., Liu, H. et al. A FinFET with one atomic layer channel. Nat Commun 11, 1205 (2020). https://doi.org/10.1038/s41467-020-15096-0
- [34] B. Parvais et al., Scaling CMOS beyond Si FinFET: an analog/RF perspective, 2018 48th European Solid-State Device Research Conference (ESSDERC), 2018, pp. 158-161, doi: 10.1109/ESSDERC.2018.8486857.
- [35] Ye, P. D; Ernst, T.; Khare, M. V. **The Nanosheet Transistor Is the Next** (and Maybe Last) Step in Moore's Law. IEEE Spectrum, 2019. Accessed: Jun 30, 2021. [Online]. https://spectrum.ieee.org/semiconductors/devices/the-nanosheettransistor-is-the-next-and-maybe-last-step-in-moores-law
- [36] Moore, S. K. Another Step Toward the End of Moore's Law. IEEE Spectrum, 2019. Accessed: Jun 30, 2021. [Online]. https://spectrum.ieee.org/semiconductors/devices/another-step-towardthe-end-of-moores-law
- [37] Moore, S. K. Samsung's 3-nm Tech Shows Nanosheet Transistor Advantage, IEEE Spectrum, 2021. [Online]. Available: https://spectrum.ieee.org/nanoclast/semiconductors/memory/samsungs-3nm-tech-shows-nanosheet-transistor-advantage
- [38] Cutress, I. IBM Creates First 2nm Chip. Anandtech, 2021. Accessed: Jul 8, 2021. [Online]. Available: https://www.anandtech.com/show/16656/ibmcreates-first-2nm-chip

- [39] Taiwan Semiconductor Manufacturing Company, **3nm technology**, 2021. Accessed: Jun. 26, 2021. [Online]. Available: https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_3nm
- [40] P. Kushwaha et. Al., Design Optimization Techniques in Nanosheet Transistor for RF Applications, in IEEE Transactions on Electron Devices, vol. 67, no. 10, pp. 4515-4520, Oct. 2020, doi: 10.1109/TED.2020.3019022.
- [41] J. -S. Yoon and R. -H. Baek, A Novel Sub-5-nm Node Dual-Workfunction Folded Cascode Nanosheet FETs for Low Power Mobile Applications, in IEEE Access, vol. 8, pp. 196975-196978, 2020, doi: 10.1109/ACCESS.2020.3034572.
- [42] Veloso, A.; et al. Scaled, Novel Effective Workfunction Metal Gate Stacks for Advanced Low-VT, Gate-All-Around Vertically Stacked Nanosheet FETs with Reduced Vertical Distance between Sheets. Solid State Devices and Materials. Proceedings. 2019, p. 559 – 560.
- [43] H. Mertens et al., Vertically stacked gate-all-around Si nanowire transistors: Key Process Optimizations and Ring Oscillator Demonstration, 2017 IEEE International Electron Devices Meeting (IEDM), 2017, pp. 37.4.1-37.4.4, doi: 10.1109/IEDM.2017.8268511.
- [44] Streetman, B. G.; Banerjee, S. K. **Solid State Electronic Devices**. 7th edition, Pearson, 2016.
- [45] Terao, A. et. Al. Measurement of threshold voltages of Thin-Film Accumulation-Mode SOI MOSFETS. V. 12, p. 682. New York, NY: IEEE Electron Device Letters, 1991.
- [46] J. C. S. Sousa, J. A. Martino and P. G. D. Agopian, Simple Analytical Modelling of an Electronically Tunable Potentiometer and Body Factor Influence, 2021 IEEE Latin America Electron Devices Conference (LAEDC), 2021, pp. 1-4, doi: 10.1109/LAEDC51812.2021.9437909.
- [47] F. Silveira, D. Flandre and P. G. A. Jespers, A g_m/l_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA, in IEEE Journal of Solid-State Circuits, vol. 31, no. 9, pp. 1314-1319, Sept. 1996, doi: 10.1109/4.535416.
- [48] Sedra, A. S.; Smith, C. K.; Microelectronic Circuits. 4th edition. Oxford University Press, 1997.
- [49] Tsividis, Y. P. **Operation and modeling of the MOS transistor.** 3rd. New York, Oxford University Press, 2011.
- [50] Prijić, Z.D. Dimitrijev, S.S. Stojadinović, N.D. Analysis of temperature dependence of CMOS transistors' threshold voltage, Microelectronics Reliability, Volume 31, Issue 1, 1991, pp. 33-37, DOI: 10.1016/0026-2714(91)90342-5.
- [51] Perina W F, et. Al, Intrinsic voltage gain of stacked GAA nanosheet MOSFETs operating at high temperatures, ECS Trans. 97 65. Doi: 10.1149/09705.0065ecst

- [52] Camillo, L. M. Estudo do ponto invariante com a temperatura ("zero temperature coefficient") em transistores soi mosfet fabricados com tecnologia ultra-submicrométrica. Tese de Doutorado – EPUSP, São Paulo:s. n., 2011. Vol. Único.
- [53] Saha, R., Bhowmick, B. & Baishya, S. Temperature effect on RF/analog and linearity parameters in DMG FinFET. Appl. Phys. A 124, 642 (2018). doi: 10.1007/s00339-018-2068-5
- [54] Saha, R., Bhowmick, B. & Baishya, S. RF/analog and linearity performance evaluation of a Step-FinFET under variation of temperature. *In:* Tripathi, S.L., Alvi, P.A., & Subramaniam, U. Electrical and Electronic Devices, Circuits and Materials: Design and Applications. CRC Press, 2021.
- [55] Perina W F, Silva V C P, Martino J A, Der Agopian P G D, Simoen E and Veloso A. 2020. Intrinsic voltage gain of stacked GAA nanosheet MOSFETs operating at high temperatures. ECS Trans. 97 65. Doi: 10.1149/09705.0065ecst
- [56] Shinomura, H. A Study on High-Frequency Performance in MOSFETs Scaling. 2011. Tese (Doutorado) Tokyo Institute of Technology.
- [57] V. Subramanian et al., Identifying the Bottlenecks to the RF Performance of FinFETs, 2010 23rd International Conference on VLSI Design, 2010, pp. 111-116, doi: 10.1109/VLSI.Design.2010.19.
- [58] J. Singh et al., 14-nm FinFET Technology for Analog and RF Applications, in IEEE Transactions on Electron Devices, vol. 65, no. 1, pp. 31-37, Jan. 2018, doi: 10.1109/TED.2017.2776838.
- [59] Bruna Ramos de Sousa et al. Voltage gain improvement of the operational transconductance amplifier designed with silicon-oninsulator fin field effect transistor after being exposed to protonirradiation. 2021 Semicond. Sci. Technol. 36 035001
- [60] A. d. M. Nogueira et al., Operational Transconductance Amplifier Designed with SiGe-source Nanowire Tunnel-FET using Experimental Lookup Table Model, 2020 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), 2020, pp. 1-5, doi: 10.1109/EUROSOI-ULIS49407.2020.9365287.
- [61] G. G. E. Gielen & R. A. Rutenbar. Computer-aided design of analog and mixed-signal integrated circuits. *In*: Proceedings of the IEEE, vol. 88, no. 12, pp. 1825-1854, Dec. 2000, doi: 10.1109/5.899053.