

**RODRIGO DO NASCIMENTO TOLÊDO**

**Regulador linear de baixa queda de tensão projetado com TFETs  
fabricados em nanofios de silício**

São Paulo

2024

**RODRIGO DO NASCIMENTO TOLÊDO**

**Regulador linear de baixa queda de tensão projetado com TFETs  
fabricados em nanofios de silício**

**Versão Corrigida**

Dissertação de mestrado apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos para a obtenção do título de Mestre em Ciências.

Área de concentração: Microeletrônica.

Orientadora: Prof Dr<sup>a</sup>.Paula Ghedini Der Agopian  
Coorientador: Prof. Dr. João Antonio Martino

São Paulo

2024

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 04 de Março de 2024

Assinatura do autor: Rodrigo do Nascimento Tolêdo

Assinatura do orientador: Yaulaghadii Dulopiani

#### Catlogação-na-publicação

Tolêdo, Rodrigo

Regulador linear de baixa queda de tensão projetado com TFETs fabricados em nanofios de silício / R. Tolêdo -- versão corr. -- São Paulo, 2024. 103 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Nanofios 2.TFET 3.Verilog-A 4.regulador linear 5.circuitos integrados analógicos I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

## **AGRADECIMENTOS**

Aos meus avós Erenilda Dias do Nascimento, Valdemira de Luna Souza Tolêdo (in memoriam), Edval Alves Tolêdo (in memoriam) e Valdemiro Gabriel do Nascimento, que sempre me colocaram em primeiro lugar, que sempre zelaram por mim, que sempre me inspiraram e sempre serão minha inspiração nos estudos e na vida.

## RESUMO

Transistores de tunelamento (TFETs) têm como principal motivação de pesquisa a possibilidade de atingir uma inclinação de sublimiar abaixo do limite teórico dos transistores de efeito de campo (MOSFET) de 60 mV/déc à temperatura ambiente. Além dessa característica, TFETs têm baixa condutância de saída e baixa corrente de estado ligado, resultando em um maior ganho intrínseco de tensão se comparado com o MOSFET e baixa dissipação de potência, se tornando interessante para a aplicação em circuitos integrados analógicos. O regulador linear de baixa queda de tensão (LDO) é um dos principais blocos funcionais de um sistema de gerenciamento de potência, esse circuito deve ser projetado para um baixo consumo de potência. Nesse trabalho, são apresentados projetos de reguladores LDO utilizando TFETs com modelo baseado em medidas experimentais. O modelo do transistor foi construído a partir de medidas experimentais precisas adicionadas em *lookup tables* (LUTs) e implementado usando linguagem Verilog-A. Foram implementados modelos de corrente e capacitância de três dispositivos em nanofios verticais TFET, com fonte composta por Si (Si-TFET), fonte composta por liga de SiGe (SiGe-TFET) e composta por Ge (Ge-TFET). Também foi implementado o modelo do dispositivo MOSFET fabricado em nanofios de Si. Em todos os estudos, os transistores do amplificador foram polarizados com o mesmo  $g_m/I_D$ , também para os reguladores operando nas mesmas condições de corrente ( $I_L$ ) e capacitância ( $C_L$ ) de carga, com tensão de *dropout* de 300 mV. Na comparação dos reguladores projetados com os diferentes dispositivos, onde foram definidos  $I_L = 1 \mu\text{A}$  e  $C_L = 1 \text{pF}$ , foi observado que todos os reguladores LDO projetados com TFET são compensados sem a necessidade de um capacitor de compensação. O circuito projetado com Si-TFET sofre degradação na resposta em frequência devido ao baixo nível de corrente dos dispositivos. O regulador LDO projetado com SiGe-TFET apresentou o maior ganho de malha (60 dB), com um consumo de corrente de 21 nA e o Ge-TFET melhores valores de GBW (70 KHz) e PSR (-52 dB em baixas frequências) dissipando 43 nA. O SiGe-TFET foi utilizado para comparar com um regulador LDO projetado com uma tecnologia MOSFET convencional (TSMC 180 nm), o estudo foi realizado para duas condições de polarização para cargas de  $I_L = 10 \mu\text{A}$  com  $C_L = 10 \text{pF}$  e  $I_L = 100 \mu\text{A}$  com  $C_L = 100 \text{pF}$ . Foi demonstrado que o regulador LDO projetado com SiGe-TFET apresenta melhores resultados quando operando com corrente de carga mais baixa, com ganho

de malha de 57 dB dissipando 1,5 nA. O transistor de potência apresenta baixa resistência de saída devido a tensão de estado ligado do TFET, que por ser alta, força o dispositivo a operar na região linear, degradando os parâmetros do regulador LDO. Esse efeito foi predominante para condição de corrente de carga de 100  $\mu$ A. A variabilidade de processo foi considerada utilizando medidas de diferentes SiGe-TFET com mesmas características presentes na mesma pastilha de silício. Avaliando os resultados de reguladores LDO projetados com as novas medidas, foi observado que os parâmetros do LDO não sofrem grande variação, a variação no ganho de malha foi de 10 dB. Uma solução apresentada para tornar possível o projeto de um regulador para corrente de carga mais alta, com o transistor de potência operando em saturação, foi utilizar uma tecnologia TFET-MOSFET híbrida, onde reguladores LDO foram projetados usando as medidas do SiGe-TFET e MOSFET em nanofios que foram fabricados no mesmo fluxo de processos verticais. Devido a diferença na tensão de estado ligado dos dispositivos, dois reguladores LDO híbridos foram projetados. No regulador LDO  $\Delta V$ -Híbrido, um deslocamento de tensão foi aplicado no código Verilog-A para os transistores ficarem com a mesma tensão aplicada entre porta e fonte. No regulador LDO LS-Híbrido, um estágio com um deslocador de nível foi usado sem alterar as medições. Para esse projeto foi selecionado  $I_L = 1$  mA e  $C_L = 1$  nF. O regulador LDO  $\Delta V$ -Híbrido apresentou maior ganho de malha (62 dB) e menor consumo de potência (7 nA). Foi demonstrado que a utilização da tecnologia híbrida, resulta em reguladores com ultra baixo consumo de potência e alto ganho de malha como apresentado em reguladores LDO projetados com TFET e resposta em frequência similar à do MOSFET.

Palavras-chave: Nanofios, TFET, Verilog-A, regulador linear, circuitos integrados analógicos.

## ABSTRACT

The main motivation for researches in Tunnel Field-Effect Transistors (TFETs) is that it can reach a subthreshold slope lower than the field-effect transistor (MOSFET) theoretical limit of 60 mV/dec at room temperature. TFETs also shows low output conductance and low drain current, resulting in circuits with higher voltage gain and lower power consumption if compared to MOSFET. The low-dropout voltage regulator (LDO) is an important block in a power management system, which should be designed with low power consumption. This work presents the design of LDOs using TFETs modeled by experimental data. The transistor model was obtained with accurate experimental measures added to lookup tables (LUTs) implemented using Verilog-A language. Current and capacitance models for three vertical nanowires TFETs were implemented. TFETs with a silicon source (Si-TFET), a source composed by an SiGe alloy (SiGe-TFET) and a source composed by germanium (Ge-TFET). A model for a MOSFET fabricated in Si nanowires was also implemented. In all studies, the amplifier transistors were biased for the same  $g_m/I_D$ , also for LDOs operating at the same load current ( $I_L$ ) and capacitance ( $C_L$ ), with a 300-mV dropout voltage. The comparison of LDOs using the different nanowire devices was performed for  $I_L = 1 \mu\text{A}$  and  $C_L = 1 \text{ pF}$ , it was observed that all LDOs designed with TFET reach stability without the need of a compensation capacitor. The frequency response for the circuit designed with Si-TFET is degraded due to the low current level of the devices. The LDO designed with SiGe-TFET showed the highest loop gain (60 dB), consuming a quiescent current of 21 nA and the Ge-TFET had the best GBW (70 KHz) and PSR (-52 dB at low frequencies), dissipating 43 nA. The LDO with SiGe-TFET was used to compare with a regulator designed with a MOSFET established technology (TSMC 180 nm), in which two different bias conditions were defined,  $I_L = 10 \mu\text{A}/C_L = 10 \text{ pF}$  and  $I_L = 100 \mu\text{A}/C_L = 100 \text{ pF}$ . It was demonstrated that the SiGe-TFET LDO have best results while operating at low load current, with a loop gain of 57 dB and a quiescent current of 1.5 nA. The power transistor has low output resistance due to the high onset voltage present at the tunneling transistors, which forces the device to operate in the linear region, degrading the LDO parameters, this effect was predominant with the LDO operating with 100  $\mu\text{A}$  load current. The process variability was also considered using measures for SiGe-TFET with same characteristics but in different dies. Evaluating the results for LDOs designed with the new measures, it was observed that the SiGe-TFET

LDO parameters do not have a high variation, the loop gain variation was 10 dB. A solution to make it possible the design of an LDO with higher load current and with the power transistor operating in the saturation region, was to use a hybrid TFET-MOSFET technology, taking the nanowire MOSFET and SiGe-TFET measures, since the devices were fabricated in the same vertical process flow. Due to the different onset voltages, two hybrid LDOs were designed. In the Hybrid- $\Delta V$  LDO, a voltage shift was implemented in the Verilog-A code to make the devices have the same onset gate to source voltage. For the Hybrid-LS LDO, a level-shift stage was used without changing the measures. For this study, it was selected  $I_L = 10 \mu\text{A}$  and  $C_L = 10 \text{ pF}$ . The Hybrid- $\Delta V$  LDO presented the highest gain (62 dB) and lowest current consumption (7 nA). It was observed that the use of a TFET-MOSFET hybrid technology enables LDOs with ultra-low power consumption and high loop gain, that are presented on TFET circuits and with a frequency response equivalent of MOSFET circuits.

Keywords: nanowire, TFET, Verilog-A, linear regulator, analog integrated circuits.

## LISTA DE FIGURAS

Figura 1.1 - Tensão de alimentação e de limiar em função da geração tecnológica de transistores CMOS de alto desempenho. Fonte: (IRDS, 2022; PANDIT; MANDAL; PATRA, 2014). .....	21
Figura 1.2 – Característica de transferência de transistores MOSFET com diferentes tensões de limiar e de uma chave ideal. ....	22
Figura 1.3 – Resultado de simulações avançadas da inclinação de sublimiar em função do ano/comprimento de canal relacionado às demandas da IRDS para diferentes tecnologias. Fonte: Adaptado de (BALESTRA, 2019). ....	24
Figura 2.1 – Estrutura básica e diagrama de bandas de energia do corte transversal do dispositivo ligado e desligado para o MOSFET à esquerda e TFET à direita. ....	28
Figura 2.2 – Tunelamento através de uma barreira de potencial. ....	29
Figura 2.3 – Diagrama de bandas de energia para um TFET tipo N, onde a região sombreada representa a aproximação da barreira de potencial. ....	30
Figura 2.4 – Diagrama de bandas do corte transversal do TFET sem a presença do tunelamento entre bandas. Em vermelho, (1) e (2), é representado geração de portadores de carga através do efeito SRH. Em azul (3), é destacado o tunelamento assistido por armadilhas (TAT).....	31
Figura 2.5 – Curva típica das características de transferência do TFET, destacando os mecanismos de condução.....	32
Figura 2.6 – Corrente de dreno em escala logarítmica em função da tensão na porta para dispositivos com diferentes larguras de subposição da porta sobre o dreno, onde está sendo destacada a subposição para um nTFET. ....	33
Figura 2.7– Corrente de dreno em função da tensão entre dreno em fonte com a tensão entre porta e fonte parametrizada para um TFET e um MOSFET.....	34
Figura 2.8 – Concentração de elétrons em função da distância lateral do corte transversal de um TFET, onde são mostradas curvas para diferentes valores de $V_{DS}$ . O dispositivo entra em saturação quando há uma queda abrupta na concentração de elétrons no canal. ....	35
Figura 2.9 – Representação da influência das linhas de campo proveniente da tensão de dreno em MOSFETs de (a) porta única e (b) porta dupla. ....	36

Figura 2.10 – Dispositivos MOSFET com diferentes configurações de portas. (a) MOSFET planar de porta única. (b) FinFET de porta dupla. (c) Nanofio vertical. (d) Nanofolha.....	36
Figura 2.11– Representação de transistores em nanofio em paralelo. ....	38
Figura 2.12 – Diagrama de bandas de energia de um transistor de tunelamento com camada de SiGe na junção fonte/canal.....	39
Figura 2.13 – Diagrama de um sistema de gerenciamento de potência integrado típico. ....	40
Figura 2.14 – Topologia típica de um Regulador LDO. ....	41
Figura 2.15 – Representação da rejeição do <i>ripple</i> presente na fonte $V_{DD}$ em um regulador LDO.....	43
Figura 2.16 – Resposta típica de um regulador LDO quando aplicado um transiente de carga. ....	43
Figura 2.17 – (a) Topologia do Regulador LDO com indicação do ponto de quebra da realimentação. (b) Modelo equivalente de pequenos sinais do regulador LDO em malha aberta. ....	44
Figura 3.1 – Amplificador fonte comum alimentado por fonte de corrente. ....	47
Figura 3.2 – Resposta em frequência do amplificador fonte comum apresentado....	49
Figura 3.3 – Virtuoso Schematic Editor <sup>®</sup> . Fonte: (CADENCE, 2022).....	51
Figura 3.4 – Virtuoso Analog Design Environment L <sup>®</sup> . Fonte: (CADENCE, 2022) ....	52
Figura 3.5 – Fluxograma da simulação de circuitos com dispositivos modelados a partir de medições experimentais nos <i>softwares</i> da Cadence.....	52
Figura 3.6 – Imagem TEM de um transistor em nanofios fabricado utilizado nesse trabalho. ....	53
Figura 3.7 – Esquemático dos transistores em nanofios (a) TFET e (b) MOSFET utilizados nesse trabalho. ....	54
Figura 3.8 – Modelo de circuito equivalente para os dispositivos medidos. ....	55
Figura 3.9 – Características de saída e de transferência dos TFETs medidos. Nas curvas da característica de transferência, as linhas vermelha e preta se sobrepõem. ....	57
Figura 3.10 – Características de saída e de transferência do nanofio MOSFET.....	58
Figura 3.11 – Capacitâncias medidas do Si-TFET. ....	58
Figura 3.12 – Capacitâncias medidas do SiGe-TFET. ....	59
Figura 3.13 – Capacitâncias medidas do nanofio MOSFET.....	60

Figura 3.14 – Eficiência do transistor em função da corrente de dreno normalizada pela quantidade de nanofios e pelas dimensões.....	60
Figura 4.1 – Símbolos para o (a) nTFET e o (b) pTFET usados nos diagramas de circuitos. ....	61
Figura 4.2 – Topologia do regulador LDO implementado.....	62
Figura 4.3 – Ganho de malha e fase em função da frequência para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. ....	67
Figura 4.4 – Margem de fase em função da capacitância de carga A capacitância de carga máxima que garante 60 graus de margem fase é indicada para cada regulador. ....	68
Figura 4.5 – Rejeição de fonte em função da frequência para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. ....	68
Figura 4.6 – Transiente de linha para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. A tensão de alimentação ( $V_{DD}$ ) dos reguladores projetados com TFET (de A à C) foram submetidos à um degrau de 1,4 V, enquanto que para o MOSFET LDO a resposta foi avaliada para um degrau de 0,7 V.....	69
Figura 4.7 – Transiente de carga para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. A corrente de carga $I_L$ varia de 1 $\mu$ A para 10 $\mu$ A...	70
Figura 4.8 – Gráfico de $g_m/I_D$ em função da corrente de dreno do transistor nMOSFET da tecnologia TSMC de 0,18 $\mu$ m. ....	72
Figura 4.9 – Resposta em frequência em malha aberta para os reguladores LDO-TFET e LDO-MOSFET.....	76
Figura 4.10 – Rejeição de Fonte em função da frequência para os reguladores LDO-TFET e LDO-MOSFET.....	78
Figura 4.11 – Corrente de dreno em função da tensão $V_{DS}$ para dispositivos SiGe-TFET em nanofios com mesmas características na mesma lâmina. ....	79
Figura 4.12 – Topologia do regulador LDO híbrido. ....	82
Figura 4.13 – Corrente de dreno normalizada em função da tensão $V_{GS}$ para o SiGe-TFET com (lilás) e sem (azul) o deslocamento de tensão ( $\Delta V$ ). $V_{GS0}$ é a tensão entre porta e fonte da LUT sem o deslocamento aplicado. ....	83
Figura 4.14 – Implementação de um estágio com um deslocador de nível ( <i>level shifter</i> ). Um seguidor de fonte é usado para realizar o deslocamento de tensão ( $V_{LS}$ ) polarizado pela corrente $I_{LS}$ .....	84

Figura 4.15 – Regulador LDO projetado usando um estágio com deslocador de nível (LDO LS-Híbrido). .....	84
Figura 4.16 – Ganho de Malha (A) e fase (B) para os reguladores LDO híbridos.....	88
Figura 4.17 – Rejeição de fonte em função da frequência para os reguladores híbridos fornecendo a corrente de carga mínima (A) e máxima (B).....	88
Figura 4.18 – Resposta ao transiente de carga dos reguladores LDO: A – MOSFET, B – TFET, C – $\Delta V$ -Híbrido e D – LS-Híbrido. O pulso de corrente é aplicado da corrente de carga mínima para máxima. ....	89
Figura 4.19 – Resposta da tensão de saída à um pulso de 500 mV aplicado em $V_{DD}$ para todos reguladores LDO: A – MOSFET, B – TFET, C – $\Delta V$ -Híbrido e D – LS-Híbrido.....	90

## LISTA DE TABELAS

Tabela 3.1 – Exemplo de uma LUT usada para simulação de circuitos.....	50
Tabela 3.2 – Dimensões físicas dos dispositivos fabricados em nanofio. ....	54
Tabela 4.1 – Número de nanofios em paralelo para o projeto dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. ....	64
Tabela 4.2 – Parâmetros dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO.....	65
Tabela 4.3 – Resultados dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO para $V_{DO} = 300$ mV, $I_L = 1$ $\mu$ A e $C_L = 10$ pF. ....	66
Tabela 4.4 – Número de nanofios em paralelo dos transistores do LDO-TFET.....	71
Tabela 4.5 – Dimensionamento dos transistores do LDO-MOSFET.....	72
Tabela 4.6 – Parâmetros dos reguladores LDO-TFET e LDO-MOSFET.....	73
Tabela 4.7 – Resultados simulados e extraídos por simulação dos reguladores LDO-TFET e LDO-MOSFET.....	74
Tabela 4.8 – Especificações obtidas na comparação com tecnologia MOSFET convencional. ....	76
Tabela 4.9 – Ganho do estágio de $M_P$ dos reguladores LDO-TFET e LDO-MOSFET. ....	77
Tabela 4.10 – Polos calculados a partir dos parâmetros dos reguladores LDO-TFET e LDO-MOSFET.....	77
Tabela 4.11 – Parâmetro do regulador LDO-TFET projetado com SiGe-TFET considerando todas as amostras.....	80
Tabela 4.12 – Especificações do regulador LDO-TFET considerando todas as amostras. São mostrados os resultados médio, melhor e pior.....	80
Tabela 4.13 – Parâmetros dos reguladores LDO híbridos para corrente carga mínima/máxima.....	86
Tabela 4.14 – Resultados dos reguladores LDO híbridos para corrente carga mínima/máxima. Para a regulação de carga, é mostrada a variação da tensão de saída para a corrente de carga variando do seu valor mínimo para o máximo.....	87
Tabela 4.15 – Resultados da análise transiente dos reguladores híbridos. ....	89

## LISTA DE ABREVIações E SIGLAS

ADE	<i>Analog Design Environment</i>
AE	Amplificador de Erro
LUT	Lookup Table
BTBT	Tunelamento entre bandas ( <i>Band-To-Band Tunneling</i> )
CI	Circuito Integrado
CMOS	Metal-Óxido-Semicondutor Complementar ( <i>Complementary Metal-Oxide-Semiconductor</i> )
EDA	<i>Electronic Design Automation</i>
FDSOI	Transistor em silício sobre isolante completamente depletado ( <i>Fully-Depleted Silicon On Insulator transistor</i> )
FET	Transistor sob efeito de campo ( <i>Field-Effect Transistor</i> )
FinFET	Transistor de Efeito de Campo <i>Fin</i> ( <i>Fin Field Effect Transistor</i> )
GAA	Porta ao redor ( <i>Gate All Around</i> )
GBW	Produto Ganho Banda ( <i>Gain-Bandwidth Product</i> )
Ge	Germânio
imec	Interuniversity Microelectronics Centre
IoT	Internet das coisas (Internet of Things)
IRDS	<i>International Roadmap for Devices and Systems</i>
ITRS	<i>International Technology Roadmap for Semiconductors</i>
LDO	Baixa queda de tensão ( <i>Low-DropOut</i> )
LUT	Lookup Table
MOS	Metal-Óxido-Semicondutor ( <i>Metal-Oxide-Semiconductor</i> )
MOSFET	Transistor de Efeito de campo MOS
PDK	<i>Process Design Kit</i>
PSR	Rejeição de Fonte ( <i>Power Supply Rejection</i> )
Si	Silício

SiGe	Lita de Silício-Germânio
SOI	Silício-Sobre-Isolante ( <i>Silicon-On-Insulator</i> )
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
SRH	Recombinação ( <i>Shockley-Read-Hall</i> )
TAT	Tunelamento assistido por armadilhas ( <i>Trap-Assisted Tunneling</i> )
TFET	Transistor de Tunelamento
TSMC	Taiwan Semiconductor Manufacturing Company

## LISTA DE SÍMBOLOS

$A_{AE}$	Ganho de tensão do amplificador de erro [dB]
$A_D$	Ganho de tensão do amplificador diferencial [dB]
$A_i$	Ganho intrínseco de tensão [dB]
$A_M$	Ganho de tensão de malha aberta [dB]
$A_{MA}$	Ganho de tensão de malha aberta [dB]
$A_{MP}$	Ganho de tensão do estágio do transistor de potência [dB]
$C$	Capacitância [F]
$C_C$	Capacitância de compensação (miller) [F]
$C_{GD}$	Capacitância entre porta e dreno [F]
$C_{GG}$	Capacitância total de porta [F]
$C_{GS}$	Capacitância entre porta e fonte [F]
$C_L$	Capacitância de carga [F]
$d$	Diâmetro de um nanofio [nm]
$E_C$	Limite inferior da banda de condução [eV]
$E_F$	Nível de Fermi [eV]
$E_G$	Largura da faixa de banda proibida [eV]
$E_r$	Nível energético da armadilha [eV]
$E_V$	Limite superior da banda de valência [eV]
$f$	Frequência [Hz]
$f_p$	Frequência do polo [Hz]
$g_m$	Transcondutância [S]
$g_m/I_D$	Eficiência do transistor [ $V^{-1}$ ]
$I_{DS}$	Corrente elétrica de fonte para o dreno [A]
$I_{IN}$	Corrente elétrica de entrada [A]
$I_L$	Corrente da carga [A]
$I_{OFF}$	Corrente de estado desligado [A]
$I_{ON}$	Corrente de estado ligado [A]
$k$	Constante de Boltzmann [ $m^2 \text{ kg s}^{-2} \text{ K}^{-1}$ ]
$L$	Comprimento de canal de um MOSFET [nm]
$L_{CH}$	Comprimento de canal de um TFET [nm]
$L_G$	Comprimento da porta [nm]
$L_{OV}$	Comprimento da sobreposição da porta sobre a fonte [nm]
$L_{UN}$	Comprimento da subposição da porta sob o dreno [nm]
$m^*$	Massa equivalente de tunelamento [kg]
$nw$	Número de nanofios
$p_A$	Frequência do polo dominante em Hertz [Hz]
$p_B$	Frequência do polo não-dominante em Hertz [Hz]
$P_D$	Potência dinâmica [W]
$P_E$	Potência estática [W]
$P_{IN}$	Potência de entrada [W]

$P_{OUT}$	Potência de saída [W]
$P_T$	Potência total [W]
$q$	Carga do portador [C]
$R$	Raio de um nanofio [nm]
$R_{AE}$	Resistência de saída do AE [ $\Omega$ ]
$r_{ds}$	Resistência de saída do transistor de potência [ $\Omega$ ]
$R_L$	Resistência de carga [ $\Omega$ ]
$R_{OUT}$	Resistência de saída do regulador LDO [ $\Omega$ ]
$s$	Frequência complexa [Hz]
$SS$	Inverso da inclinação de sublimiar [mV/dec]
$T$	Temperatura [K]
$t_s$	Tempo de assentamento (s)
$t_{OX}$	Espessura do óxido [nm]
$T_P$	Probabilidade de tunelamento
$t_s$	Espessura do silício [nm]
$V_A$	Tensão elétrica de Early [V]
$V_{DD}$	Tensão elétrica de alimentação [V]
$V_{DO}$	Tensão elétrica de <i>dropout</i> do regulador LDO [V]
$V_{DS}$	Tensão elétrica entre dreno e fonte [V]
$V_{FB}$	Tensão elétrica de realimentação do regulador LDO [V]
$V_{GS}$	Tensão elétrica entre fonte e porta [V]
$V_{IN}$	Tensão elétrica de entrada [V]
$V_{OUT}$	Tensão elétrica de saída [V]
$V_{REF}$	Tensão de referência [V]
$V_{TH}$	Tensão elétrica de limiar [V]
$W$	Largura de dispositivo planar [nm]
$W_{eff}$	Largura efetiva do nanofio [nm]
$\omega_{PA}$	Frequência do polo dominante [rad/s]
$\omega_{PB}$	Frequência do polo não-dominante [rad/s]
$\beta$	Fator de realimentação
$\Delta\Phi$	Janela de tunelamento [eV]
$\epsilon_{OX}$	Constante de permissividade do óxido [F/cm]
$\epsilon_{Si}$	Constante de permissividade do silício [F/cm]
$\kappa$	Fator de escalamento de Dennard
$\lambda$	Comprimento de tunelamento [nm]
$\Phi_S$	Potencial de Fermi de superfície [V]
$\hbar$	Constante de Planck [eV/Hz]

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>19</b>
1.1	OBJETIVOS.....	25
1.2	ESTRUTURA DO TRABALHO .....	25
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>27</b>
2.1	TRANSISTOR DE TUNELAMENTO DE EFEITO DE CAMPO.....	27
2.1.1	Modos de condução .....	29
2.1.2	Efeito ambipolar .....	32
2.1.3	Característica de saída .....	33
2.1.4	Transistores em nanofios .....	35
2.1.5	Diferentes composições de Fonte .....	38
2.2	REGULADORES LINEARES.....	40
2.2.2	Especificações de reguladores lineares .....	41
2.2.3	Estabilidade de reguladores lineares .....	44
<b>3</b>	<b>MATERIAIS E MÉTODOS.....</b>	<b>47</b>
3.1	EFICIÊNCIA DO TRANSISTOR .....	47
3.2	MODELAGEM COM LOOKUP TABLE .....	49
3.3	VIRTUOSO ANALOG DESIGN ENVIRONMENT .....	51
3.4	DESCRIÇÃO DOS DISPOSITIVOS UTILIZADOS .....	53
<b>4</b>	<b>IMPLEMENTAÇÃO E RESULTADOS .....</b>	<b>61</b>
4.1	TOPOLOGIA.....	61
4.2	REGULADOR LDO PROJETADO COM TFETS FABRICADOS EM NANOFIOS DE SILÍCIO .....	63
4.2.1	Projeto utilizando TFETs com diferentes composições de fonte .....	64
4.2.2	Comparação com uma tecnologia MOSFET convencional .....	70
4.2.3	Influência da variabilidade de processo .....	78

4.3	REGULADOR LDO HÍBRIDO PROJETADO COM TECNOLOGIAS MOSFET E TFET FABRICADOS EM ESTRUTURA DE NANOFIOS.....	80
4.3.1.	Regulador LDO $\Delta V$ -Híbrido.....	81
4.3.2.	Regulador LDO LS-Híbrido.....	83
4.3.3.	Análise e resultados.....	85
<b>5</b>	<b>CONSIDERAÇÕES FINAIS.....</b>	<b>91</b>
	<b>REFERÊNCIAS.....</b>	<b>94</b>
	<b>APÊNDICE A – MODELO VERILOG-A DO SIGE-TFET.....</b>	<b>101</b>
	<b>APÊNDICE B - PUBLICAÇÕES GERADAS.....</b>	<b>102</b>

## 1 INTRODUÇÃO

O mercado da indústria de semicondutor foi de \$425,96 bilhões de dólares americanos em 2020, espera-se que em 2028 este mercado atinja \$803,15 bilhões de dólares americanos. A maior procura por produtos eletrônicos, a implementação da internet das coisas (IOT-*Internet Of Things*) e da inteligência artificial são os principais motivos para o aumento esperado para este mercado (FORTUNE BUSINESS INSIGHTS, 2021).

O transistor é o principal dispositivo presente em circuitos integrados que são blocos funcionais usados implementar os sistemas eletrônicos, assim, avanços tecnológicos nos transistores torna possível a implementação de tecnologias mais complexas. Os transistores de efeito de campo (FET-*Field-Effect Transistor*) baseados em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) são os mais utilizados (SEDRA; SMITH, 2015). A redução nas dimensões físicas do MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) está diretamente associada a possibilidade de fabricar sistemas eletrônicos mais complexos. Reduzindo suas dimensões físicas, há a possibilidade de obter uma maior quantidade de transistores em uma mesma área de chip, permitindo que os dados sejam processados em maior quantidade e menor tempo. Os benefícios do escalamento dos transistores podem ser observados a partir do escalamento de Dennard, que tem como premissa manter os campos elétricos em todo dispositivo constante. Sendo assim, se reduzimos todas as dimensões do transistor por  $\kappa$ , a velocidade do dispositivo é aumentada pelo fator  $\kappa$  e a potência dissipada por  $\kappa^2$  (DENNARD *et al.*, 1974). Dessa forma a densidade de potência, definida como a potência dissipada em um circuito integrado por unidade de área, fica constante.

O escalamento de Dennard chegou ao fim devido aos efeitos de canal curto e também porque há dificuldade em diminuir sua tensão de limiar. Diversas técnicas foram empregadas para permitir a redução na dimensão física destes dispositivos, como tensionamento mecânico para aumentar a mobilidade (HOYT *et al.*, 2002), isolantes com alta constante dielétrica (LEE *et al.*, 2003) e implementação da tecnologia silício sobre isolante (SOI – *Silicon-On-Insulator*) (COLINGE, 2004).

Uma das técnicas adotadas para melhorar o acoplamento eletrostático, e conseqüentemente as características do transistor, é utilizar múltiplas portas, sendo

os MOSFETs de porta ao redor (GAA – *Gate All Around*) a evolução natural desta técnica, atualmente a IBM (International Business Machines Corporation) anunciou o primeiro chip com tecnologia de 2 nm (IBM, 2021) com dispositivos GAA-MOSFET.

Com o fim do escalamento de Dennard, a densidade de potência tende a aumentar, aumentando a temperatura do CI (circuito integrado) e conseqüentemente aumentando o consumo de potência estática (BORKAR, 1999). A potência total dissipada ( $P_T$ ) em um sistema digital é encontrada pela soma da potência estática ( $P_E$ ) mais a potência dinâmica ( $P_D$ ), de acordo com as Equações (1.1), (1.2) e (1.3) (WESTE; HARRIS, 2011), em que  $V_{DD}$  é a tensão de alimentação,  $I_{OFF}$  é a corrente de estado deligado,  $C$  é a capacitância equivalente de carga que o circuito deve carregar e descarregar e  $f$  é a frequência de chaveamento. Perceba que para diminuir a potência total dissipada, pode-se diminuir  $V_{DD}$ , por isso com a evolução dos nós tecnológicos, a tensão de alimentação da tecnologia CMOS é cada vez menor, como ilustrado na Figura 1.1 que une os dados dos relatórios da ITRS (*International Technology Roadmap for Semiconductors*) e do IRDS (*International Roadmap for Devices and Systems*). Esses relatórios fornecem previsões das características dos futuros nós tecnológicos, incluindo as características elétricas dos dispositivos (IRDS, 2022). Na Figura 1.1 também são indicadas as tecnologias dos transistores utilizados a partir do nó de 22 nm, onde inicialmente são utilizados dispositivos FinFET que são dispositivos FET tridimensionais que possuem uma aleta vertical e a tecnologia SOI com transistores totalmente depletados FDSOI (*Fully Depleted Silicon On Insulator*), depois são previstos transistores GAA-MOSFET. É importante ressaltar que antigamente, a dimensão informada na tecnologia representava a dimensão da máscara associada ao comprimento de canal, porém atualmente representa apenas uma indicação de que esta tecnologia apresenta características superiores à sua predecessora (MOORE, 2020).

Também ilustrado na Figura 1.1, é possível perceber que a tensão de limiar ( $V_{TH}$ ) dos dispositivos diminui, mas sofre pouca alteração a partir do nó tecnológico de 22 nm, assim a diferença de tensão  $V_{DD}-V_{TH}$  diminui. Como a tensão  $V_{DD}$  deve ser maior que  $V_{TH}$  para operação normal dos dispositivos em um circuito integrado, torna-se necessário reduzir seu valor. Para entender a dificuldade de reduzir  $V_{TH}$  em tecnologias CMOS é necessário analisar o parâmetro inclinação de sublimiar (SS).

$$P_E = I_{OFF}V_{DD} \quad (1.1)$$

$$P_T = P_E + P_D \quad (1.2)$$

$$P_D = CfV_{DD}^2 \quad (1.3)$$

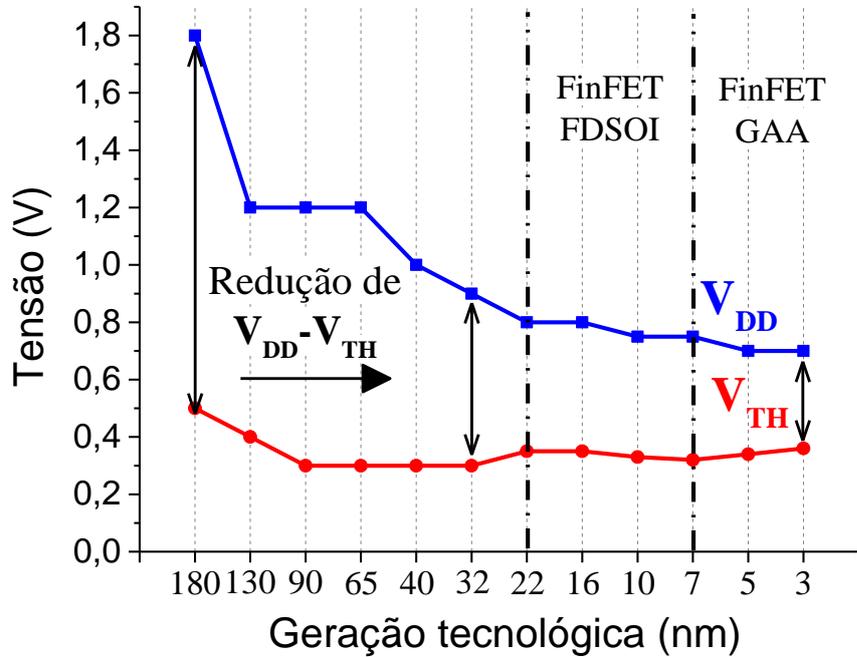


Figura 1.1 - Tensão de alimentação e de limiar em função da geração tecnológica de transistores CMOS de alto desempenho.

Fonte: (IRDS, 2022; PANDIT; MANDAL; PATRA, 2014).

A inclinação de sublimiar, apresentada na Equação (1.4), indica a variação na tensão de porta ( $\partial V_{GS}$ ) necessária para a corrente de dreno chavear do estado desligado para o ligado, onde a variação na corrente de dreno é computada em escala logarítmica ( $\partial \log(I_{DS})$ ) (COLINGE, 2004).

$$SS = \frac{\partial V_{GS}}{\partial \log(I_{DS})} = \frac{\partial V_{GS}}{\partial \Phi_S} \frac{\partial \Phi_S}{\partial \log(I_{DS})} \quad (1.4)$$

Utilizando a regra da cadeia, para analisar o SS, pode-se dividir em dois termos. O termo  $\partial V_{GS}/\partial \Phi_S$  está relacionado ao acoplamento eletrostático entre a porta e o canal, idealmente, o melhor resultado é quando este termo é igual a um,  $\Phi_S$  é o potencial elétrico na superfície do Si. A quantidade de portas ao redor e o óxido de porta são parâmetros que podem melhorar o acoplamento para obter  $\partial V_{GS}/\partial \Phi_S = 1$ . O segundo termo,  $\partial \Phi_S/\partial \log(I_{DS})$ , depende do princípio de condução do dispositivo. Os MOSFETs operam sob emissão termiônica de portadores, e a forma de condução é dominada por difusão na região de inversão fraca. Na Equação (1.5) é mostrado que

este termo varia apenas com a temperatura  $T$ , onde  $k = 8,62 \times 10^{-5} \text{ eV/K}$  e  $q$  é a carga do elétron. Considerando  $\partial V_{GS}/\partial \Phi_S = 1$ , em temperatura ambiente, o MOSFET está limitado à uma inclinação de sublimiar  $SS = 60 \text{ mV/déc.}$  Como essa limitação na  $SS$ , ao diminuir a tensão de limiar, a corrente de estado desligado aumenta.

$$\frac{\partial \Phi_S}{\partial \log \log (I_{DS})} = \frac{kT}{q} \ln(10) \quad (1.5)$$

Para ilustrar esse efeito, na Figura 1.2 são apresentados os resultados de simulação da corrente de dreno em função da tensão entre porta e fonte de dispositivos nMOSFET com dimensões iguais utilizando o *Process Design Kit* (PDK) da tecnologia TSMC de  $0,18 \mu\text{m}$  (CR018), que possui dispositivos com diferentes tensões de limiar.

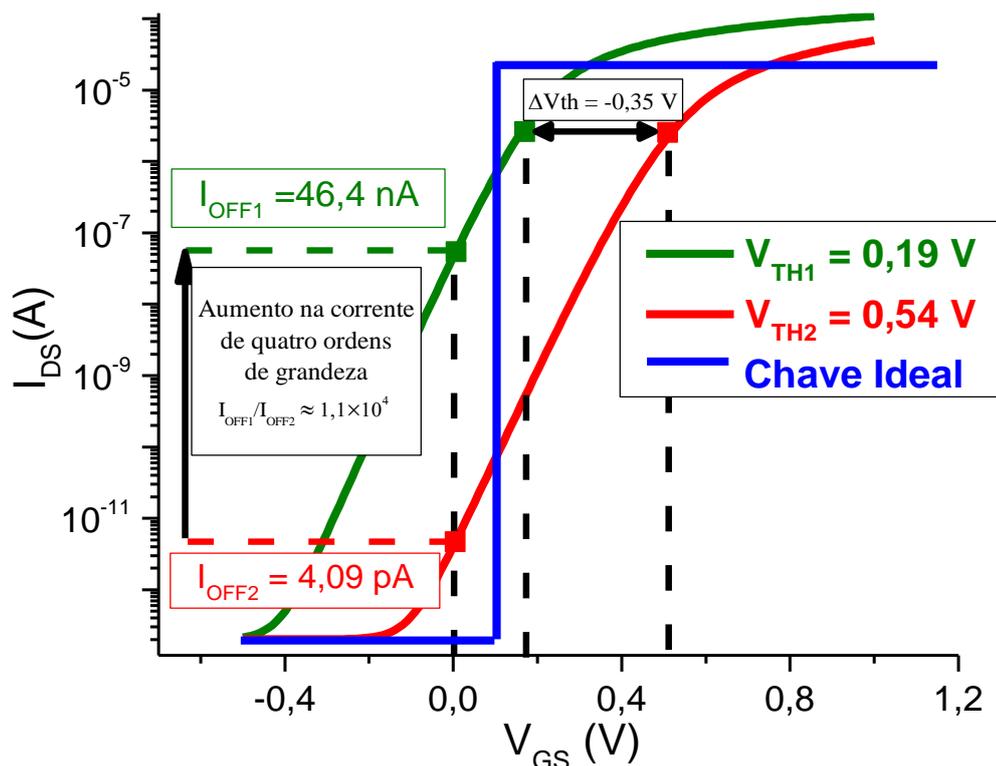


Figura 1.2 – Característica de transferência de transistores MOSFET com diferentes tensões de limiar e de uma chave ideal.

Observe que devido a região de sublimiar que apresenta um inclinação constante, ao reduzirmos a tensão de limiar em  $350 \text{ mV}$ , a corrente de estado desligado ( $I_{OFF}$ ) aumenta cerca de quatro ordens de grandeza, na Equação (1.6) é

possível relacionar estes parâmetros, onde  $I_{ON}$  é a corrente de estado ligado do dispositivo, nessa equação é possível notar que para  $I_{ON}$  e  $SS$  constantes, ao diminuir  $V_{TH}$  a corrente  $I_{OFF}$  aumenta em escala exponencial, por esse motivo há uma limitação na redução da tensão de limiar em tecnologia CMOS e por isso as tecnologias que podem ser adotadas nos próximos anos demonstram alto consumo de potência estática (BALESTRA, 2013).

$$\frac{I_{ON}}{I_{OFF}} = 10^{\frac{V_{TH}}{SS}} \quad (1.6)$$

Devido a limitação na inclinação de sublimiar de dispositivos em tecnologia CMOS, existem estudos de transistores com diferentes princípios de condução, que podem apresentar  $SS$  menor do que 60 mV/déc.

A Figura 1.3 é um gráfico de resultados de simulações da inclinação de sublimiar de dispositivos avançados em função do comprimento de canal e ano relativos às demandas do IRDS. Observe na Figura 1.3, que para inclinações de sublimiar próximas de 60 mV/déc, para tecnologia MOSFET, os melhores resultados são apresentados para transistores de porta ao redor em nanofios com diâmetro de 3 nm, indicados por NW-3 nm em azul turquesa na figura. Como indicado pelas demandas do IRDS, destacado em verde, ao fim da próxima década, dispositivos com inclinação de sublimiar abaixo de 60 mV/dec são necessários e assim, um tipo de transistor que possibilita esta característica é o transistor de tunelamento (TFET- *Tunnel Field-Effect Transistor*). Diferente do MOSFET, que a emissão de portadores é dada pela emissão termiônica que gera correntes de difusão e deriva, no TFET a emissão é dada por tunelamento entre bandas (IONESCU; RIEL, 2011). Na Figura 1.3, observe que diferentes estruturas TFET apresentam as menores inclinações de sublimiar, elas estão destacadas em verde. Apesar da baixa inclinação, ainda não foi demonstrado um dispositivo TFET que alcança conjuntamente uma baixa  $SS$  e alto  $I_{ON}$ , necessários para competir com a tecnologia CMOS (BALESTRA, 2019).

Além do estudo do TFET relacionado ao chaveamento, os estudos de seus parâmetros analógicos demonstraram que o dispositivo tem uma condutância de saída menor que os MOSFETs, cerca de quatro ordens de grandeza menor quando comparadas estruturas FinFETs (AGOPIAN, Paula *et al.*, 2013), o que por sua vez resultou em uma melhoria do ganho intrínseco de tensão.

Devido à baixa condutância de saída e o baixo consumo de potência encontrados em transistores de tunelamento, diversos trabalhos apresentam o projeto de circuitos analógicos através de dados simulados (BARBONI; SINISCALCHI; SENSAL-RODRIGUEZ, 2015; C. -N. CHANG *et al.*, 2017) ou obtidos experimentalmente (DE MORAES NOGUEIRA; DER AGOPIAN; MARTINO, 2020; MARTINO, Marcio D.V.; MARTINO; AGOPIAN, 2016, 2015). Trabalhos realizados com dados simulados, apresentam idealidades que tornam os circuitos com resultados otimizados, possibilitando dispositivos ideias com inclinação de sublimar muito baixa e a possibilidade de utilizar circuitos com tensões de alimentação baixas. Os trabalhos realizados através de dados experimentais demonstraram amplificadores com alto ganho de tensão e ultra baixo consumo de potência, porém com a necessidade de utilizar tensões de alimentação acima de 4 V para TFET em nanofios. A vantagem de utilizar dados experimentais é a inclusão das não-idealidades dos TFETs.

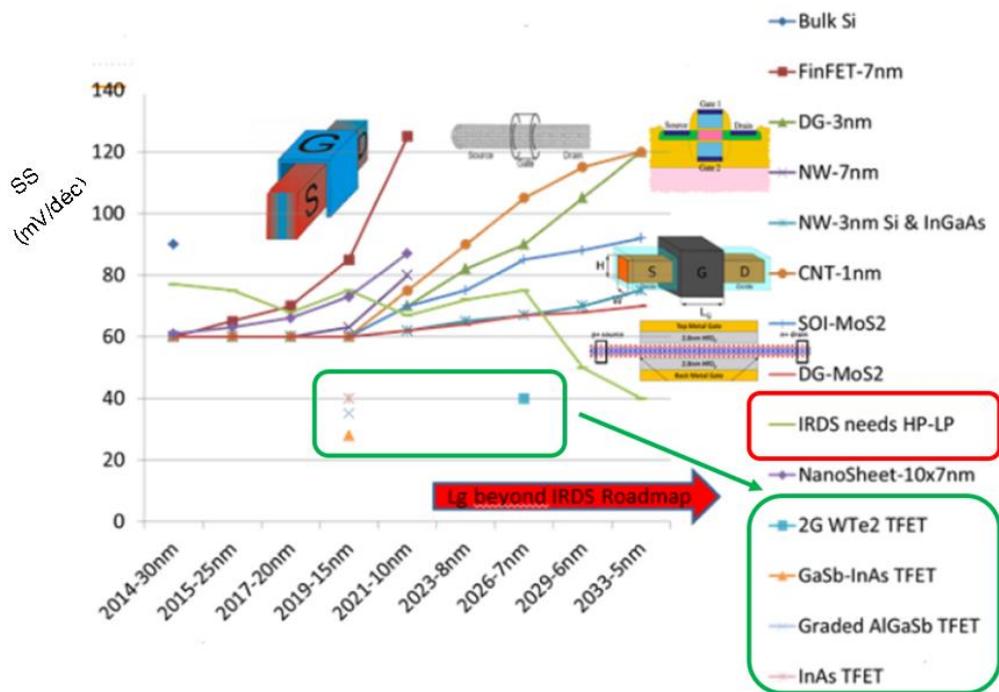


Figura 1.3 – Resultado de simulações avançadas da inclinação de sublimar em função do ano/comprimento de canal relacionado às demandas da IRDS para diferentes tecnologias.

Fonte: Adaptado de (BALESTRA, 2019).

Como não há modelo de corrente de dreno para o TFET, uma forma de prever os resultados de circuitos analógicos é usar dados experimentais para fazer o

modelamento dos dispositivos através de *lookup tables* (LUTs), implementada em Verilog-A (RANGEL; AGOPIAN; MARTINO, 2018). A partir dos resultados promissores obtidos por RANGEL; AGOPIAN; MARTINO, 2018, foram avaliados Amplificadores Operacionais de Transcondutância de dois estágios projetados com TFETs fabricados em nanofios de silício, onde foi observado que amplificadores de transcondutância com transistores de tunelamento em nanofios apresentam maior ganho de tensão e um consumo de potência três ordens de grandeza menor se comparados a transistores em nanofios MOSFET, apesar da faixa de frequência em que o amplificador funciona ser menor (NOGUEIRA, 2020).

## 1.1 OBJETIVOS

O objetivo deste trabalho foi projetar reguladores lineares de baixa queda de tensão projetados com transistores de tunelamento e MOSFETs, ambos fabricados em nanofios de silício, seguindo o mesmo fluxo de processo. A análise do comportamento dos transistores quando aplicados a este circuito foi comparativa e avaliam o potencial de aplicação dos TFETs em aplicações de ultra baixa potência.

## 1.2 ESTRUTURA DO TRABALHO

O trabalho foi estruturado de forma a apresentar cinco capítulos, descritos a seguir:

Capítulo 1 – INTRODUÇÃO: este capítulo apresenta a motivação para a escolha do tema e os objetivos desse trabalho;

Capítulo 2 – FUNDAMENTAÇÃO TEÓRICA: neste capítulo são apresentados os conceitos fundamentais para desenvolvimento do trabalho, com relação aos transistores de tunelamento e reguladores lineares;

Capítulo 3 – MATERIAIS E MÉTODOS: este capítulo descreve as características dos dispositivos estudados e as ferramentas utilizadas no desenvolvimento do trabalho;

Capítulo 4 – IMPLEMENTAÇÃO E RESULTADOS: este capítulo apresenta a implementação dos reguladores projetados. Primeiramente são comparados os resultados dos reguladores projetados usando TFETs com diferentes composições de fonte, depois é incluída a comparação com uma tecnologia MOSFET convencional e o efeito da variabilidade de processo. Finalmente, são mostrados os resultados de reguladores LDO híbridos, que utilizam no mesmo circuito, transistores com os dados medidos de dispositivos TFET e MOSFET.

Capítulo 5 – CONSIDERAÇÕES FINAIS: este capítulo sumariza as conclusões obtidas a partir dos resultados desse trabalho.

## 2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo será apresentado o modo de funcionamento de transistores de tunelamento, suas principais características e alguns métodos para melhorá-las, também são discutidos a utilização de circuitos analógicos com esses dispositivos. Na sequência, é apresentado o regulador linear como circuito, são discutidos e equacionados suas especificações e o método de compensação.

### 2.1 TRANSISTOR DE TUNELAMENTO DE EFEITO DE CAMPO

Com o objetivo de criar um dispositivo com baixa inclinação de sublimiar, existem dois termos que podem ser minimizados, como já ilustrado na Equação (1.4), aquele que depende do acoplamento eletrostático do dispositivo ( $\partial V_{GS}/\partial \Phi_S$ ) e o que depende do princípio de condução ( $\partial \Phi_S/\partial \log(I_{DS})$ ). Devido ao princípio de condução do MOSFET ser de difusão/deriva, sabe-se que há uma limitação de 60 mV/dec na inclinação de sublimiar. Transistores de tunelamento, no entanto, como apresentam diferentes mecanismos de condução não apresentam essa limitação.

A estrutura básica do TFET se assemelha aquela do MOSFET, com a diferença da fonte ser dopada com dopante de tipo ao contrário do dreno, por esse motivo é possível fabricar os dois dispositivos em uma mesma lâmina de silício. No dispositivo tipo N, a fonte no MOSFET apresenta dopagem N+ enquanto que no TFET é P+, como ilustrado na Figura 2.1. Desta forma, o TFET tem como base a estrutura do diodo PIN. Normalmente, o diodo PIN é polarizado inversamente e sua corrente de dreno é controlada pela emissão de portadores na região intrínseca (SZE; NG, 2007). No TFET, uma estrutura MOS é formada no canal intrínseco e a tensão aplicada a esta porta modula a corrente de dreno (IONESCU; RIEL, 2011).

Quando aplicada uma tensão positiva na porta de ambos dispositivos, as bandas de condução da região do canal descem. No MOSFET, elétrons que estão na fonte se deslocam para o canal e por fim para o dreno, através de processos de difusão e deriva (TSIVIDIS; MCANDREW, 2011), já no TFET, quando a banda de valência da fonte fica acima da banda de condução do canal, forma-se uma janela de tunelamento, e se o comprimento entre elas, conhecido como comprimento de tunelamento, for pequeno o suficiente, acontece o tunelamento entre bandas, a junção canal/fonte no TFET é conhecida como junção túnel.

Qualitativamente, o tunelamento é um fenômeno quântico no qual uma partícula tem uma probabilidade diferente de zero de atravessar uma barreira de potencial, mesmo não tendo energia suficiente para superá-la, este fenômeno não acontece em partículas clássicas (KUMAR; VISHNOI; PANDEY, 2017).

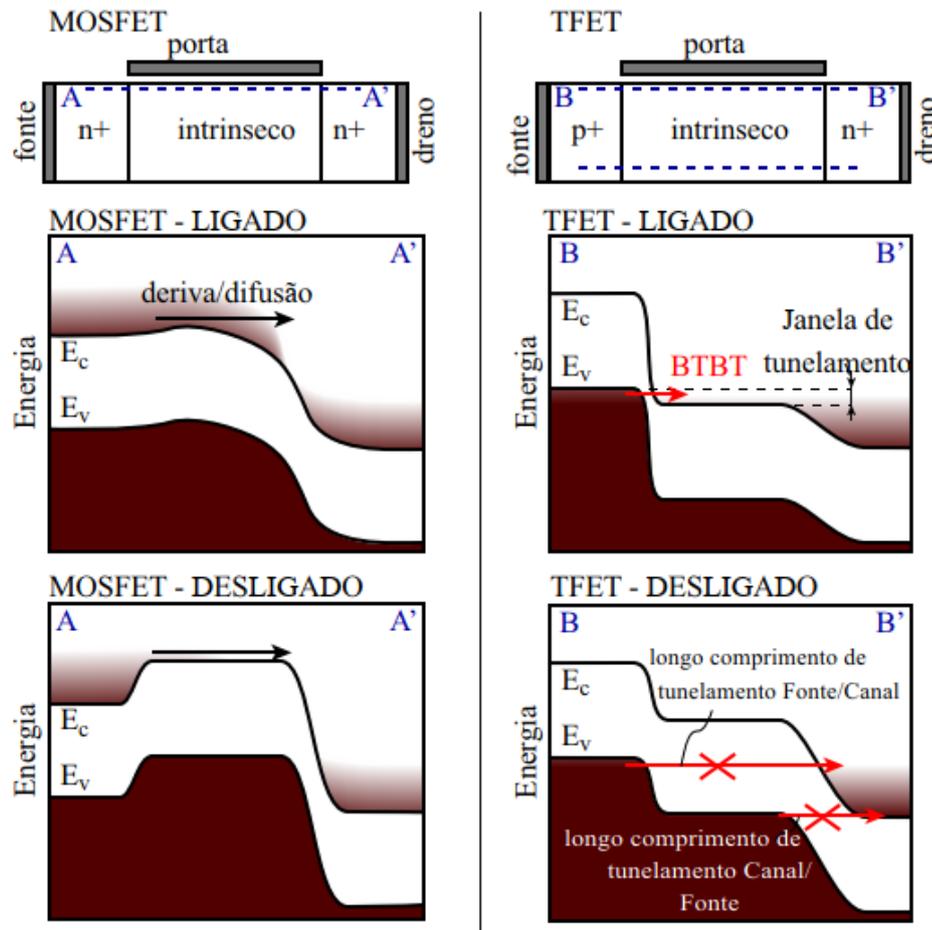


Figura 2.1 – Estrutura básica e diagrama de bandas de energia do corte transversal do dispositivo ligado e desligado para o MOSFET à esquerda e TFET à direita.

Fonte: Adaptado de (SMETS, 2016).

Observando a Figura 2.2, sendo uma partícula quântica também uma onda, resolvendo as equações de Schrödinger para uma partícula incidente (Região 1) em uma barreira de potencial retangular (Região 2), existe uma probabilidade diferente de zero da partícula aparecer na Região 3 que depende da diferença de energia entre a barreira e a partícula, e da largura da barreira de potencial. Este é o fenômeno que dá origem ao Efeito Zener, que para uma junção PN altamente dopada, existe uma tensão reversa em que a corrente aumenta consideravelmente devido à quebra de ligações covalentes (STREETMAN; SANJAY; BANERJEE, 2016).

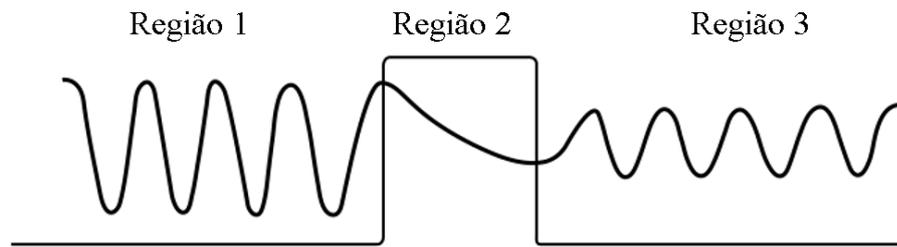


Figura 2.2 – Tunelamento através de uma barreira de potencial.

Fonte: Adaptado de (KUMAR; VISHNOI; PANDEY, 2017).

Para o dispositivo desligado, com uma tensão de porta igual a zero, a corrente de dreno no MOSFET acontece devido à difusão de portadores já que há um excesso de elétrons na fonte do dispositivo. No TFET, como há escassez de elétrons na fonte e devido à alta largura de tunelamento, como é ilustrado na Figura 2.2, não haverá corrente de dreno e por isso, o dispositivo possui uma corrente de estado desligado muito baixa. Como existe um aumento abrupto na corrente do dispositivo desligado para o ligado, a inclinação de sublimar em TFETs pode ser atingir valores muito baixos.

Transistores de tunelamento podem ser fabricados em silício, semicondutores do grupo III-IV e outros materiais. O principal problema no TFET de silício está associado à baixa corrente de dreno no estado ligado, por isso semicondutores do grupo III-IV foram propostos. Como os TFETs ainda apresentam altos valores de inclinação de sublimar devido ao tunelamento por armadilhas, para melhorar as características do dispositivo, diferentes técnicas são propostas com relação à sua geometria, posição da porta, material da fonte, entre outras (IONESCU; RIEL, 2011).

### 2.1.1 Modos de condução

Na prática, o tunelamento entre bandas é o efeito dominante apenas para tensões relativamente elevadas na porta do TFET de Silício, para tensões muito baixas a condução acontece por Geração-Recombinação Schokley-Reed-Hall (SRH) e para tensões moderadas, o efeito predominante é o tunelamento por armadilhas (*TAT-Trap-Assisted Tunneling*).

**Tunelamento entre bandas (BTBT):** No TFET, a barreira de potencial pode ser aproximada por um triângulo, como pode ser observado na área sombreada da Figura 2.3, desta forma é possível calcular probabilidade de tunelamento  $T_P$  através da aproximação Wentzel–Kramer–Brillouin (WKB), como ilustrado na Equação (2.1). A probabilidade de tunelamento está diretamente relacionada à corrente no dispositivo (IONESCU; RIEL, 2011).

$$T_P \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}\sqrt{E_G}}{3q\hbar(E_G + \Delta\Phi)}\right) \quad (2.1)$$

Na Equação (2.1),  $\lambda$  é o comprimento de tunelamento,  $m^*$  é a massa efetiva do elétron,  $E_G$  é a largura da banda proibida do material,  $\Delta\Phi$  é a janela de tunelamento,  $q$  é a carga de um elétron e  $\hbar$  é a constante de Planck. Como  $\lambda$  e  $\Delta\Phi$  depende de  $V_{GS}$ , essa dupla dependência dentro do exponencial faz com que exista um aumento abrupto na corrente do dispositivo, resultando em uma baixa inclinação de sublimiar.

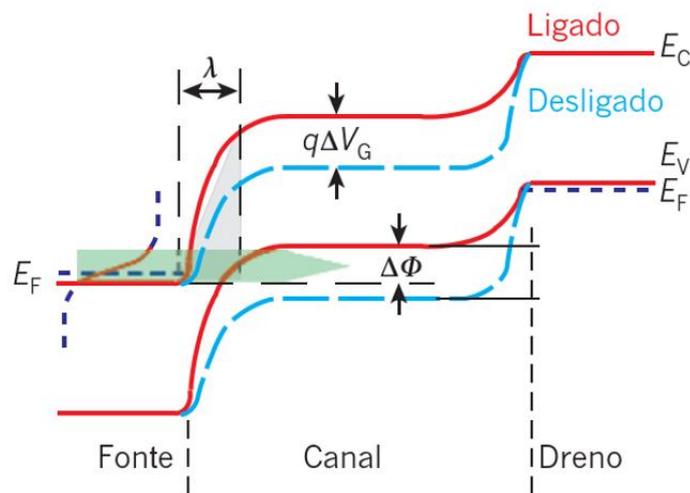


Figura 2.3 – Diagrama de bandas de energia para um TFET tipo N, onde a região sombreada representa a aproximação da barreira de potencial.

Fonte: Adaptado de (IONESCU; RIEL, 2011).

**Geração-Recombinação Schokley-Reed-Hall (SRH):** Elétrons podem ganhar energia térmica o suficiente para ir para um nível de energia mais alto, quando isto acontece, um par elétron-lacuna fica livre por um dado intervalo de tempo até recombinar. O elétron se desloca pelo material até encontrar uma lacuna e recombinando. Considerando a Figura 2.4, que é uma representação do diagrama de bandas de energia do corte transversal de um TFET, onde não há tunelamento entre bandas já que o nível de valência na fonte não está acima do nível de condução do

canal. A geração SRH ocorre quando um elétron na banda de condução ganha energia térmica, saindo do nível de armadilha ( $E_r$ ) para a banda de condução ( $E_c$ ), gerando um elétron livre, como representado por (1) na Figura 2.4. Também, um elétron pode ganhar energia térmica e sair da banda de valência ( $E_v$ ) para  $E_r$ , deixando uma lacuna livre. O nível de armadilha  $E_r$  aparece na maioria dos semicondutores devido, por exemplo, a defeitos na interface do silício com o óxido de porta. Em equilíbrio térmico, esses pares elétron-lacuna gerados são equilibrados pela recombinação, porém para junção entre fonte e canal, reversamente polarizada, os portadores serão acelerados antes de ocorrer recombinação, esta componente da corrente degrada a corrente de estado desligado do dispositivo.

**Tunelamento assistido por armadilhas (TAT):** Quando  $E_v$  do lado da fonte de um TFET está mais alto que  $E_r$  no canal, elétrons da fonte podem tunelar para o nível de energia da armadilha do canal, e depois podem ser excitados termicamente para banda de condução podendo conduzir corrente, por isso esse efeito enriquece a componente SRH, como ilustrado na Figura 2.4 em azul.

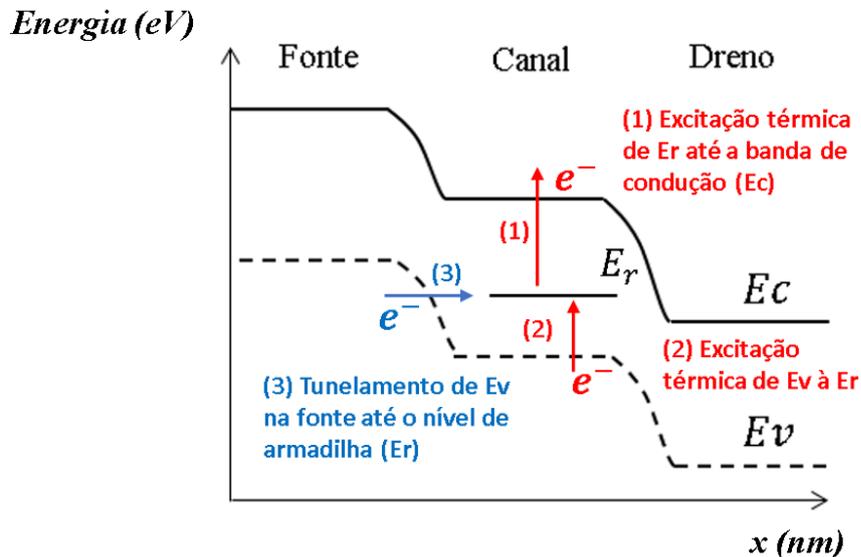


Figura 2.4 – Diagrama de bandas do corte transversal do TFET sem a presença do tunelamento entre bandas. Em vermelho, (1) e (2), é representado geração de portadores de carga através do efeito SRH. Em azul (3), é destacado o tunelamento assistido por armadilhas (TAT).

A componente de corrente de dreno gerada pelo mecanismo de TAT degrada a inclinação de sublimar do dispositivo, já que idealmente, o aumento na corrente deveria ocorrer apenas com o transistor ligado, através do tunelamento entre bandas.

Esta componente de corrente pode ser reduzida através de uma boa interface do semiconductor com o óxido de porta, diminuindo a concentração de armadilhas na interface (VANDOOREN *et al.*, 2013).

Uma curva típica da corrente de dreno em função da tensão aplicada na porta para dispositivos TFET é ilustrada na Figura 2.5. Na figura são indicadas as diferentes componentes da corrente em um transistor de tunelamento, extraídas por (SIVIERI, 2016) através de simulação de um nTFET. Considerando apenas a componente BTBT, a corrente de estado de desligado e a SS pode atingir valores mais baixos, porém o tunelamento entre bandas é o mecanismo predominante apenas para tensões acima de  $V_{GS} = 1$  V, para tensões menores a SS é degradada pelas componentes SRH e TAT.

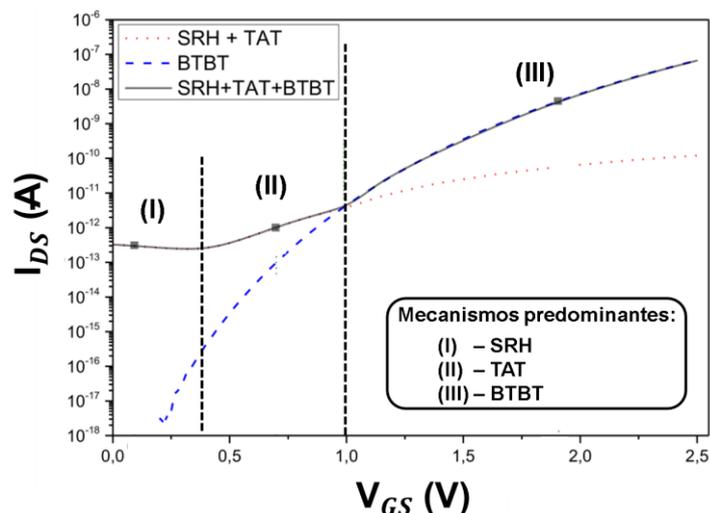


Figura 2.5 – Curva típica das características de transferência do TFET, destacando os mecanismos de condução.

Fonte: Adaptado de (SIVIERI, 2016).

### 2.1.2 Efeito ambipolar

Um dos fatores principais que faz aumentar a corrente de dreno de estado desligado é o efeito ambipolar. Como o tunelamento em uma estrutura pode ocorrer tanto do lado tipo N quanto tipo P, um nTFET (transistor de tunelamento com fonte tipo P) pode apresentar alta corrente quando deveria estar no estado desligado dependendo da tensão de porta aplicada. Considere o nTFET com porta auto

alinhada, presente na Figura 2.6, ao diminuir  $V_{GS}$  partindo de uma tensão positiva, a corrente de dreno diminui tendendo a desligar o transistor, no entanto, haverá uma tensão que faz com que ocorra tunelamento na junção canal/dreno e a corrente de dreno volte a subir. Como essa corrente ambipolar está relacionada a tensão reversa aplicada à junção canal/fonte, quanto maior a tensão entre dreno e fonte ( $V_{DS}$ ), maior a tensão entre porta e fonte ( $V_{GS}$ ) em que a corrente de dreno volta a subir.

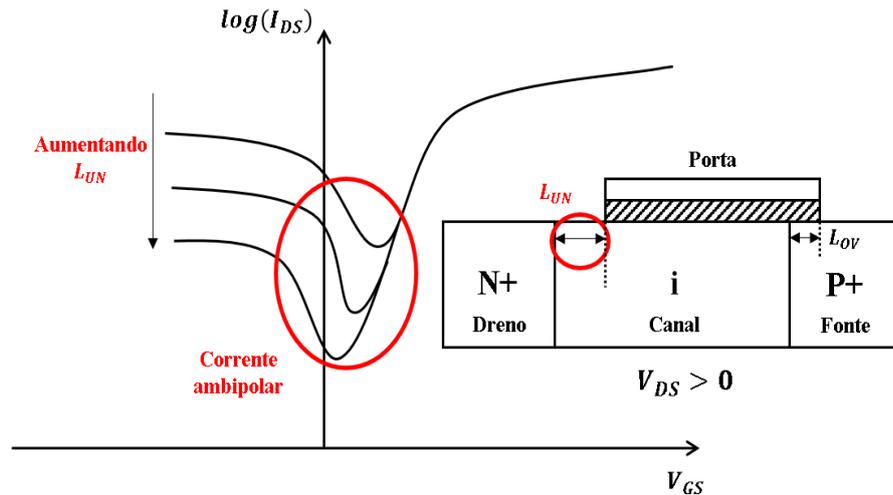


Figura 2.6 – Corrente de dreno em escala logarítmica em função da tensão na porta para dispositivos com diferentes larguras de subposição da porta sobre o dreno, onde está sendo destacada a subposição para um nTFET.

Uma forma de diminuir o efeito ambipolar é através da subposição da porta sob o dreno (VERHULST *et al.*, 2007), ou seja, aumentando a dimensão  $L_{UN}$  da Figura 2.6. Isso é possível pois o acoplamento da porta com a junção canal/dreno reduz, diminuindo a sobreposição das bandas. Na mesma figura é possível observar que há uma sobreposição do canal sobre a fonte  $L_{OV}$ , como a corrente de dreno é afetada apenas pela junção canal/fonte, a sobreposição da porta sobre a fonte aumenta o acoplamento na junção túnel, melhorando algumas de suas características, porém não é necessário aumentar  $L_{OV}$ , sendo suficiente apenas haver a sobreposição (LIU; CHENG, 2020).

### 2.1.3 Característica de saída

Na Figura 2.7 é demonstrada a característica de saída típica de um MOSFET e de um TFET para dispositivos do tipo N. O TFET entra em saturação para uma tensão  $V_{DS}$  maior do que a do MOSFET. Também é possível observar que a inclinação

da curva para o TFET em saturação é menor do que a do MOSFET, indicando uma maior resistência de saída.

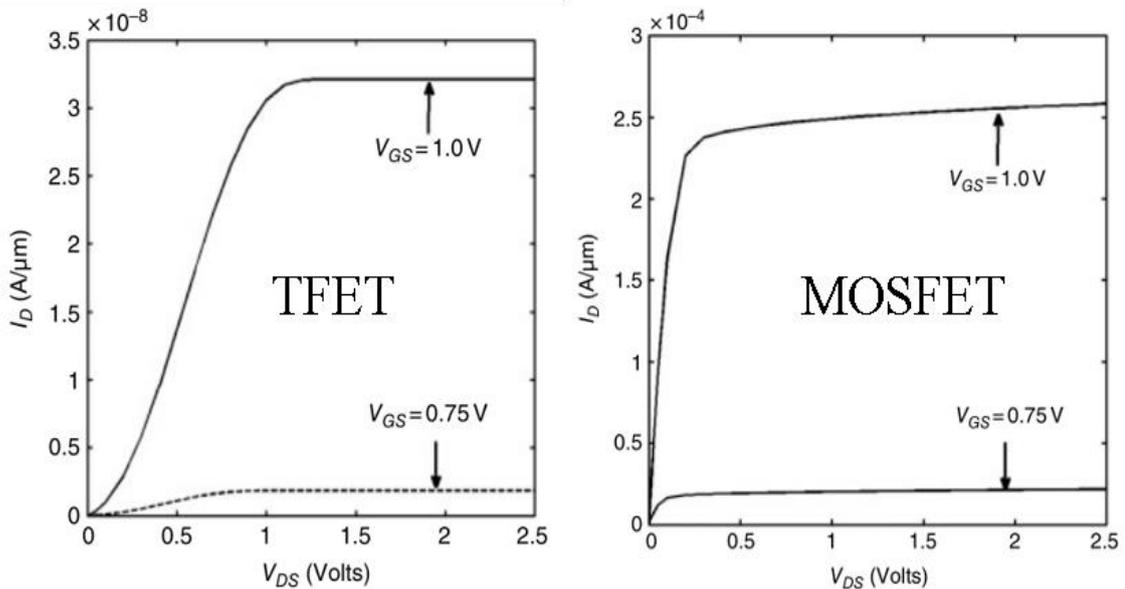


Figura 2.7– Corrente de dreno ( $I_D$ ) em função da tensão entre dreno em fonte com a tensão entre porta e fonte parametrizada para um TFET e um MOSFET.

Fonte: Adaptado de (KUMAR; VISHNOI; PANDEY, 2017)

Em dispositivos TFET, com para baixos valores de  $V_{DS}$ , há uma alta população de elétrons no canal, que apresenta alta condutividade, conseqüentemente grande parte da tensão  $V_{DS}$  cai sobre a junção túnel (fonte-canal), diminuindo o comprimento de tunelamento e assim, a corrente de dreno sobe rapidamente. Para tensões  $V_{DS}$  moderadas, a condutividade do canal diminui já que mais elétrons são puxados para o dreno, assim  $I_D$  deixa de crescer rapidamente. Finalmente, quando  $V_{DS}$  for alto o suficiente, a população de elétrons no canal fica baixa e assim o transistor entra em saturação. Esse efeito é ilustrado na Figura 2.8, onde é mostrado que, ao aumentar  $V_{DS}$ , existe um valor em que a concentração de elétrons do canal diminui ordens de grandeza. Como a condutividade do canal é muito baixa, a queda da tensão  $V_{DS}$  ocorre predominantemente sobre a junção canal-dreno, não afetando a junção túnel e, por este motivo, a resistência de saída em TFETs é alta (MALLIK; CHATTOPADHYAY, 2011). No MOSFET, como a fonte é tipo N, há uma grande população de elétrons perto da fonte, e assim, a resistência de saída é dada pela posição do estrangulamento do canal. Devido a esta diferenças fundamentais, a saturação no TFET ocorre para uma tensão de dreno maior.

Como a corrente de dreno é definida na junção túnel do TFET, ela não varia com o comprimento do canal, essa característica resulta em uma alta resistência de saída, e assim uma baixa condutância de saída. Foi demonstrado experimentalmente que transistores de tunelamento apresentam uma condutância de saída de cerca de cinco ordens de grandeza menor do que o MOSFET, quando considerados dispositivos de porta tripla fabricados no mesmo substrato (DER AGOPIAN, Paula Ghedini *et al.*, 2013), o que torna o ganho intrínseco de tensão maior mesmo com uma transcondutância mais baixa.

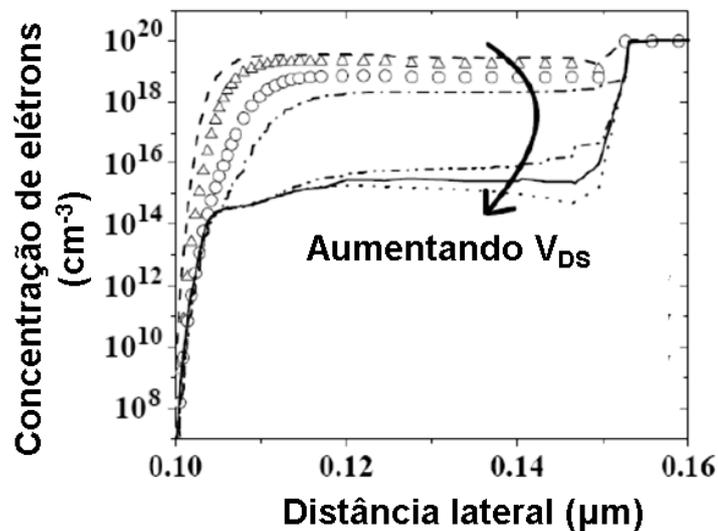


Figura 2.8 – Concentração de elétrons na superfície do Si em função da distância lateral do corte transversal de um TFET, onde são mostradas curvas para diferentes valores de  $V_{DS}$ . O dispositivo entra em saturação quando há uma queda abrupta na concentração de elétrons no canal.

Fonte: Adaptado de (MALLIK; CHATTOPADHYAY, 2011).

#### 2.1.4 Transistores em nanofios

O acoplamento eletrostático aumenta de acordo com a quantidade de portas que controlam as cargas no canal, observe na Figura 2.9, que as linhas de campo provenientes da tensão de dreno têm menor controle sobre o canal em dispositivos de porta dupla.

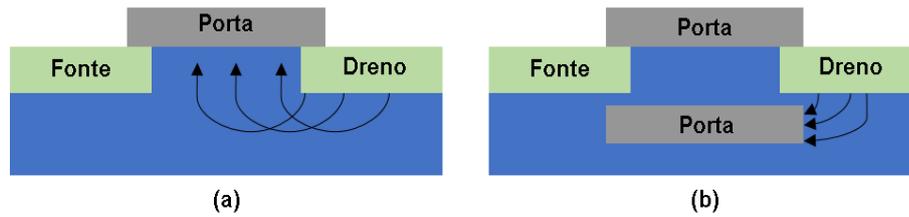


Figura 2.9 – Representação da influência das linhas de campo elétrico proveniente da tensão de dreno em MOSFETs de (a) porta única e (b) porta dupla.

Na Figura 2.10, estão ilustradas estruturas simplificadas de MOSFETs com diferentes configurações de porta, onde são ilustrados transistores de porta única, estruturas FinFET de porta dupla e estruturas de porta toda ao redor, onde são apresentados dispositivos de nanofio vertical e nanofolhas. A corrente em FinFETs flui nas duas paredes laterais, já nos dispositivos em nanofios, a corrente flui no perímetro do cilindro. Transistores de porta toda ao redor são a evolução natural para melhorar o acoplamento eletrostático e deixar o termo  $\partial V_{GS}/\partial \Phi_S$  da Equação (1.4) próximo de um.

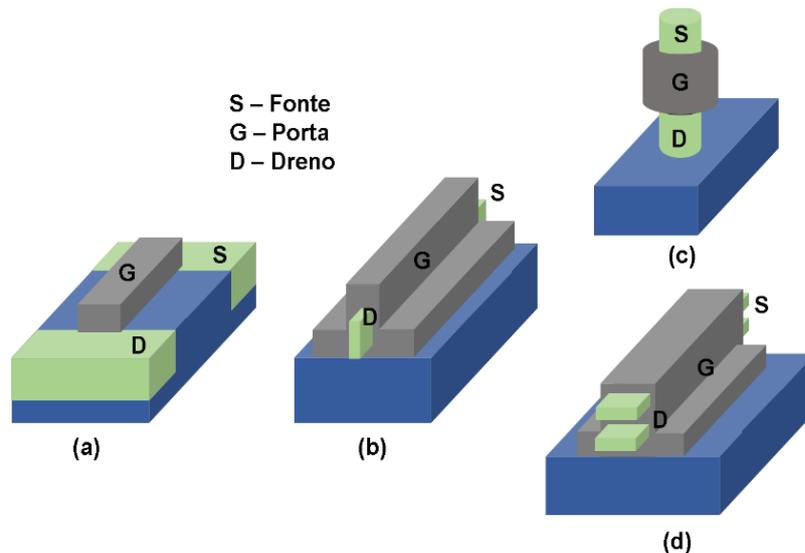


Figura 2.10 – Dispositivos MOSFET com diferentes configurações de portas. (a) MOSFET planar de porta única. (b) FinFET de porta dupla. (c) Nanofio vertical. (d) Nanofolha. O substrato é representado em azul.

Considerando que a carga na região de depleção é constante e igual a  $qNa$ , onde  $N_a$  é a concentração de dopantes aceitadores no substrato, pode-se resolver a Equação de Poisson (Equação (2.2)) em três dimensões para avaliar o acoplamento eletrostático do dispositivo, através do seu potencial  $\Phi$ .

Na Equação (2.2),  $\nabla^2$  é o operador laplaciano que representa a segunda derivada vetorial e  $\epsilon_s$  é a permissividade do semiconductor.

$$\nabla^2 \phi = \frac{qNa}{\epsilon_s} \quad (2.2)$$

Considerando o eixo x como a direção do comprimento de canal, ou seja, a distância do canal ao dreno, é possível transformar a Equação (2.2) em uma equação de uma única dimensão, de acordo com a Equação (2.3) (COLINGE; GREER, 2016), para resolver o perfil de potencial para diferentes configurações de porta.

$$\frac{\partial^2 \phi(x)}{\partial x^2} = \frac{\phi(x)}{\lambda_n^2} \quad (2.3)$$

Na Equação (2.3),  $\lambda_n$  representa o comprimento natural que depende da geometria do transistor, este parâmetro indica a extensão do campo elétrico proveniente do dreno e fonte sobre o canal, nele que está contido os efeitos de canal curto provenientes dos campos nas direções y e z de forma aproximada. Para que um transistor esteja livre dos efeitos de canal curto, é necessário que o comprimento do canal seja maior do que  $6 \lambda_n$ , assim para obter um melhor acoplamento eletrostático este comprimento deve ser reduzido.

Em um MOSFET planar baseado em tecnologia SOI, o comprimento natural é calculado através da Equação (2.4), onde  $\epsilon_{ox}$  é a permissividade do óxido,  $t_s$  é a espessura do semiconductor e  $t_{ox}$  é a espessura do óxido. Para o FinFET de porta dupla, o comprimento natural é encontrado através da Equação (2.5). Um MOSFET em nanofio, o comprimento é encontrado com a Equação (2.6), em que R é o raio do nanofio. Como dispositivos nanofios possuem menor  $\lambda_n$ , eles apresentam o melhor acoplamento eletrostático.

$$\lambda_n = \sqrt{\frac{\epsilon_s}{\epsilon_{ox}} t_s t_{ox}} \quad (2.4)$$

$$\lambda_n = \sqrt{\frac{\epsilon_s}{2\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} t_s}{4\epsilon_s t_{ox}}\right) t_s t_{ox}} \quad (2.5)$$

$$\lambda_n = \sqrt{\frac{2\epsilon_s R^2 \ln\left(1 + \frac{t_{ox}}{R}\right) + \epsilon_{ox} R^2}{4\epsilon_{ox}}} \quad (2.6)$$

Os transistores em nanofio também podem ser fabricados de forma horizontal ou vertical. Na Figura 2.11 é ilustrada uma configuração para dispositivos em nanofios verticais em paralelo onde todas portas, drenos e fontes estão conectados, porém a conexão não é ilustrada. A largura efetiva é calculada de acordo com a Equação (2.7), onde  $nw$  é a quantidade de nanofio em paralelo e  $d$  é o diâmetro. Assim é possível se obter uma maior largura efetiva por unidade de área, essa é uma de transistores em três dimensões.

$$W_{EQ} = nw \times d \times \pi \quad (2.7)$$

Uma forma de melhorar as características de transistores de tunelamento é utilizar estruturas em nanofio. Nanofios verticais facilitam a fabricação do TFET devido a desassociação da fonte e dreno na fabricação (KWONG *et al.*, 2012).

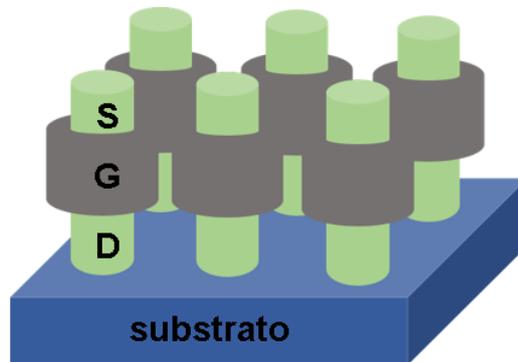


Figura 2.11– Representação de transistores em nanofio em paralelo. Para cada nanofio, S é a fonte, G é a porta e D é o dreno.

### 2.1.5 Diferentes composições de Fonte

Além da sobreposição da porta na fonte e da utilização de estruturas avançadas para aumentar o acoplamento eletrostático, como transistores em nanofios verticais, é possível aumentar a corrente de estado ligado de transistores de tunelamento em silício através do uso de estruturas com heterojunção (VERHULST *et al.*, 2008).

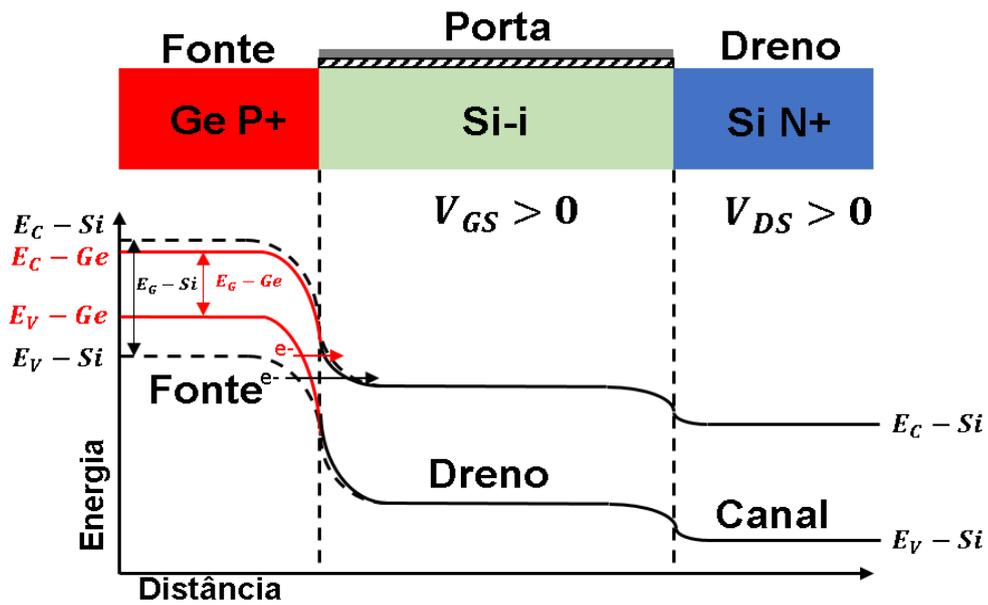


Figura 2.12 – Diagrama de bandas de energia de um transistor de tunelamento com camada de SiGe na junção fonte/canal.

Fonte: Adaptado de (BHUWALKA; SCHULZE; EISELE, 2004).

Como o tunelamento entre bandas ocorre na junção fonte/canal, utilizar um material de menor banda proibida na fonte do dispositivo, diminui o comprimento de tunelamento ( $\lambda$ ), e assim, de acordo com a Equação (2.1), a probabilidade de tunelamento aumenta. Na Figura 2.12 é ilustrado um transistor nTFET ligado e seu diagrama de bandas de energia, é possível observar que a distância entre  $E_C$  no canal e  $E_V$  na fonte é menor para fonte com germânio (Ge), o que resulta em um menor  $\lambda$ . A liga  $\text{Si}_{1-x}\text{Ge}_x$  possui  $E_G$  com valores entre a banda proibida do Si (1,12 eV) e Ge (0,67 eV), assim é possível utilizá-la como material de fonte para alcançar o aumento na corrente de estado ligado.

Com relação aos parâmetros analógicos, devido ao aumento na corrente, foi demonstrado que a utilização de SiGe na fonte, aumenta a transcondutância do TFET e a condutância de saída. A depender do aumento da transcondutância com relação a condutância de saída, é possível obter dispositivos com ganho intrínseco de tensão maior (AGOPIAN, Paula G.D. *et al.*, 2015).

## 2.2 REGULADORES LINEARES

Reguladores lineares são circuitos básicos no sistema de gerenciamento de potência em circuitos integrados, devido ao fato de que os circuitos em um sistema podem operar com diferentes tensões de alimentação e geralmente são alimentados por uma única bateria, é necessário utilizar sistemas para fornecer a tensão e corrente adequada para cada bloco funcional. O diagrama de um sistema de gerenciamento de potência integrado típico pode ser observado na Figura 2.13.

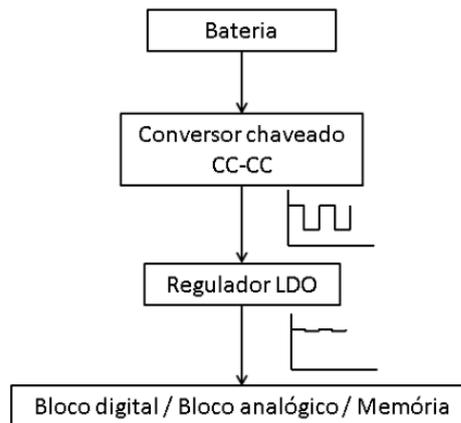


Figura 2.13 – Diagrama de um sistema de gerenciamento de potência integrado típico.

Primeiramente, conversores chaveados podem ser usados para converter a tensão da bateria para uma tensão mais baixa, de acordo com o bloco funcional. Como a tensão na saída de conversores chaveados apresenta alto *ripple*, é necessário utilizar um regulador linear, representado por “Regulador LDO”, para suprimir o *ripple* e fornecer uma tensão estável adequada para os blocos funcionais que estão representados por memórias, blocos digitais e analógicos (RINCON-MORA, 2009).

A topologia típica de um regulador linear está ilustrada na Figura 2.14. Para manter a tensão na saída ( $V_{OUT}$ ) constante quando há alterações na corrente de carga ou na tensão de alimentação ( $V_{DD}$ ), o amplificador de erro (AE), amplifica a diferença entre uma tensão de referência ( $V_{REF}$ ) e a tensão realimentada ( $V_{FB}$ ), fornecida através da malha de realimentação formada pelos resistores  $R_1$  e  $R_2$ , para modular a condutividade do transistor de potência ( $M_P$ ), responsável por fornecer a corrente de carga ( $I_L$ ). Na Figura 2.14,  $C_L$  representa a capacitância total no nó de saída.

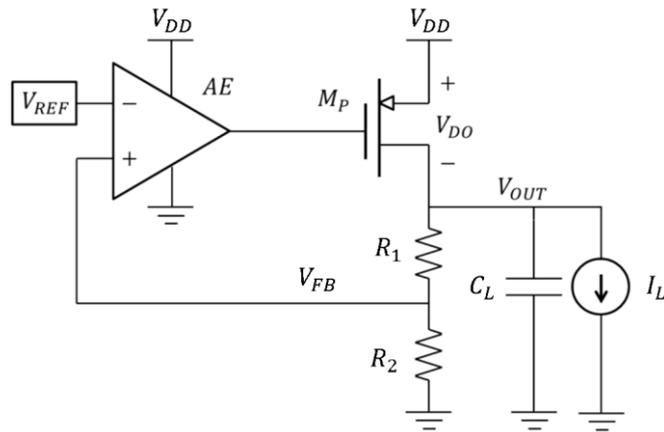


Figura 2.14 – Topologia típica de um Regulador LDO.

Considerando o amplificador de erro (AE) um amplificador operacional ideal, pode-se encontrar a tensão na saída, sabendo que as tensões nas entradas inversora e não-inversora devem ser iguais, assim:

$$V_{FB} = V_{REF} \quad (2.8)$$

A relação entre  $V_{OUT}$  e  $V_{FB}$  é determinada pelo divisor de tensão formado pela malha de realimentação, assim:

$$V_{FB} = V_{OUT} \left( \frac{R_2}{R_1 + R_2} \right) \quad (2.9)$$

Definindo o fator de realimentação  $\beta$  de acordo com a Equação (2.10), a tensão na saída é encontrada com as Equações (2.8), (2.9) e (2.10), dada pela Equação (2.11).

$$\beta = \frac{R_1 + R_2}{R_2} \quad (2.10)$$

$$V_{OUT} = \beta V_{REF} \quad (2.11)$$

## 2.2.2 Especificações de reguladores lineares

As principais especificações de reguladores lineares são a tensão de dropout  $V_{DO}$ , a corrente quiescente  $I_Q$ , a eficiência  $\eta$ , as regulações de carga e de linha e rejeição de fonte. A seguir, elas são discutidas e equacionadas.

**Tensão de dropout:** A tensão de *dropout* ( $V_{DO}$ ) é a diferença entre a tensão de alimentação mínima que mantém a saída regulada e da tensão de saída, dada pela Equação (2.12), para  $V_{DO} < 0,5$  V, o regulador linear é definido como regulador de

baixa queda de tensão (*low-dropout*), ou regulador LDO já que a queda de tensão é baixa.

$$V_{DO} = V_{DDmin} - V_{OUT} \quad (2.12)$$

**Corrente quiescente:** A corrente quiescente ( $I_Q$ ) é a corrente consumida pelo regulador para fornecer corretamente a corrente de carga, ela é definida pela Equação (2.13), onde  $I_{IN}$  é a corrente fornecida por  $V_{DD}$ . No regulador LDO da Figura 2.14,  $I_Q$  é a corrente consumida pelo *AE* e pela malha de realimentação.

$$I_Q = I_{IN} - I_L \quad (2.13)$$

**Eficiência:** A eficiência é a relação entre a potência consumida pela carga  $P_{OUT}$  e a fornecida pela fonte de entrada  $P_{IN}$ , é dada pela Equação (2.14). Pode-se perceber que para obter máxima eficiência, deve-se reduzir  $V_{DO}$  e  $I_Q$ .

$$\frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT}I_L}{V_{DD}I_{IN}} = \frac{(V_{DD} - V_{DO})I_L}{V_{DD}(I_L + I_Q)} \quad (2.14)$$

**Regulação de carga:** A regulação de carga indica a variação de  $V_{OUT}$  em relação a variação de  $I_{OUT}$ . Como indicado na Equação (2.15), o regulador LDO deve ter um alto ganho do amplificador de erro ( $A_D$ ) e transcondutância do transistor de potência ( $g_m$ ), para ser obtida uma boa regulação de carga.

$$\frac{\Delta V_{OUT}}{\Delta I_L} \approx -\frac{1}{g_m A_D \beta} \quad (2.15)$$

**Regulação de linha:** A regulação de linha indica a variação na tensão de saída ( $\Delta V_{OUT}$ ) em relação a variação da tensão de alimentação ( $\Delta V_{DD}$ ), este parâmetro é definido pelo ganho de malha ( $A_M$ ), definido a seguir, como indicado na Equação (2.16).

$$\frac{\Delta V_{OUT}}{\Delta V_{DD}} \approx -\frac{1}{A_M} \quad (2.16)$$

**Rejeição de Fonte:** O regulador LDO deve ser capaz de suprimir o *ripple* presente em  $V_{DD}$ , como ilustrado na Figura 2.15, o parâmetro que mensura a rejeição do *ripple* da fonte é chamado rejeição de fonte, ou PSR (*Power Supply Rejection*). Este é um parâmetro caracterizado em função da frequência, em baixa frequência, este parâmetro é igual a regulação de linha, porém como indicado na Equação (2.17), a PSR é fornecida em decibéis. Como indicado na Figura 2.15, uma rejeição maior, ou seja, mais negativa, torna a magnitude da oscilação na saída mais baixa, assim em

um gráfico da PSR em função da frequência, é desejado que o regulador LDO tenha uma rejeição com valores mais negativos para as frequências desejadas.

$$PSR = 20 \log \frac{V_{OUT}}{V_{DD}} \quad (2.17)$$

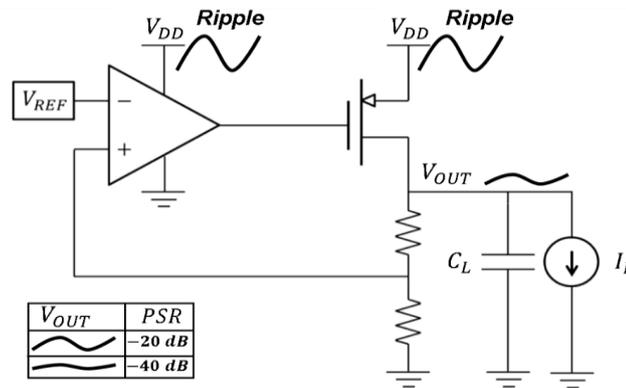


Figura 2.15 – Representação da rejeição do *ripple* presente na fonte  $V_{DD}$  em um regulador LDO.

**Resposta à transientes:** O regulador deve ser capaz de manter a tensão de saída regulada quando são aplicadas variações bruscas em  $V_{DD}$  (transiente de linha) e  $I_L$  (transiente de carga), os parâmetros analisados são a variação na tensão de saída ( $\Delta V$ ) e tempo de assentamento ( $t_s$ ). Como ilustrado na Figura 2.16, quando é aplicada uma variação abrupta na corrente de carga de um valor mínimo ( $I_{Lmin}$ ) até um valor máximo ( $I_{Lmax}$ ), a tensão de saída do regulador varia, melhores resultados são obtidos para queda ou subida na tensão de saída ( $\Delta V$ ) mais baixos, e para  $V_{OUT}$  voltando ao seu valor nominal mais rápido, ou seja, menor  $t_s$ . A variação na tensão de saída pode ser representada a partir de  $\Delta V/V_{OUT}$ .

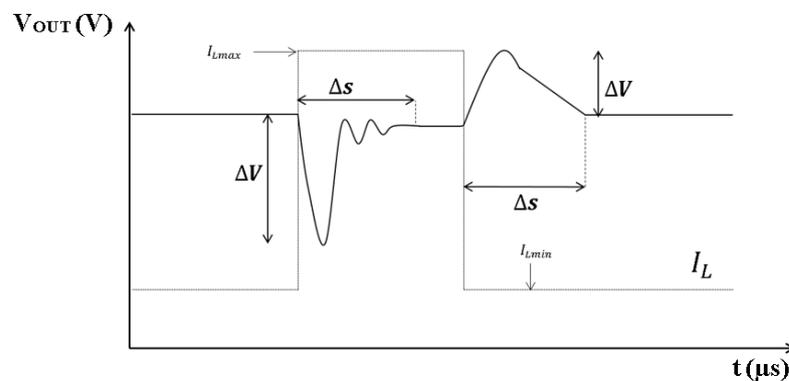


Figura 2.16 – Resposta típica de um regulador LDO quando aplicado um transiente de carga.

### 2.2.3 Estabilidade de reguladores lineares

Como o regulador LDO é um sistema realimentado, a análise de estabilidade do sistema deve ser realizada, assim, considerando a Figura 2.17, em que está indicado o ponto onde a realimentação é quebrada e o modelo equivalente do regulador LDO em malha aberta, onde  $R_{AE}$  é a resistência de saída do amplificador de erro,  $C_{GS}$  e  $C_{GD}$  são as capacitâncias porta/fonte e porta/dreno do transistor de potência, respectivamente,  $g_m$  e  $r_{ds}$  são a transcondutância e a resistência de saída de pequenos sinais do transistor de potência, é a resistência equivalente na saída do LDO em malha aberta, calculada de acordo com a Equação (2.18).

$$R_{OUT} = (R_1 + R_2) // r_{ds} // R_L \quad (2.18)$$

Onde  $R_L = V_{OUT} / I_{OUT}$  é a resistência da carga. A tensão  $V_X$  usada no modelo, é a tensão de saída do AE em aberto, assim, é calculada de acordo com a Equação (2.19).

$$V_X = A_D V_{IN} \quad (2.19)$$

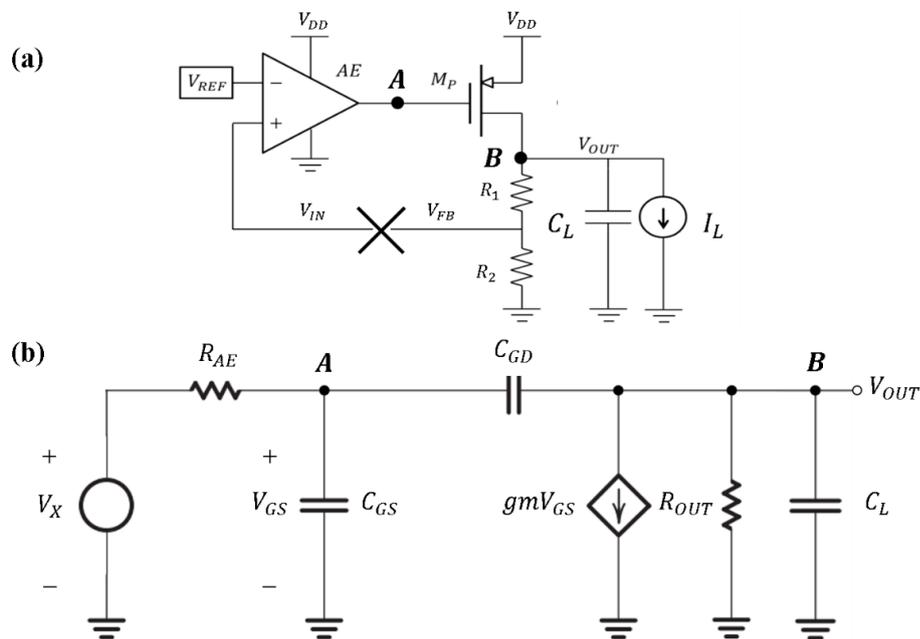


Figura 2.17 – (a) Topologia do Regulador LDO com indicação do ponto de quebra da realimentação. (b) Modelo equivalente de pequenos sinais do regulador LDO em malha aberta.

Nesse modelo é considerado que o polo localizado no nó da quebra de realimentação e os polos internos do amplificador de erro estão localizados em altas

frequências e são desconsiderados. Isso é possível porque a capacitância de carga e as capacitâncias de  $M_P$  são mais altas que as capacitâncias dos transistores usados no AE.

Para encontrar o ganho de tensão em malha aberta em baixa frequência, basta retirar os capacitores do circuito equivalente, assim o ganho de malha aberta  $A_{MA}$  é encontrado de acordo com a Equação (2.20), assim, para encontrar o ganho de malha  $A_M$ , deve-se multiplicar o ganho de malha aberta pelo fator de realimentação  $\beta$ , como indicado na Equação (2.21).

$$A_{MA} = \frac{V_{OUT}}{V_{IN}} = A_D \frac{V_{OUT}}{V_X} = -gmR_{OUT}A_D \quad (2.20)$$

$$A_M = A_{MA}\beta = -gmR_{OUT}A_D\beta \quad (2.21)$$

Nessa topologia, o regulador apresenta dois polos, formados a partir do nó da porta de  $M_P$  ( $w_{PA}$ ) e do nó de saída ( $w_{PB}$ ), indicados pelos nós A e B na Figura 2.17. Considerado a influência dos capacitores para encontrar  $A_{MA}$  em função da frequência  $s$ , o resultado é dado na Equação (2.22).

$$A_{MA}(s) = -\frac{gmR_{OUT}A_D \left(1 - \frac{sC_{GD}}{g_m}\right)}{1 + sa + s^2b} \quad (2.22)$$

Os parâmetros  $a$  e  $b$  são dados pelas equações (2.23) e (2.24), respectivamente.

$$a = (C_L + C_{GD})R_{OUT} + (C_{GS} + C_{GD})R_{AE} + g_mR_{AE}R_{OUT}C_{GD} \quad (2.23)$$

$$b = R_{AE}R_{OUT}(C_{GS}C_L + C_{GS}C_{GD} + C_{OUT}C_{GD}) \quad (2.24)$$

A partir da Equação (2.22) pode-se estimar as equações para os dois polos considerando que eles são reais e estão localizados em frequências distantes, dessa forma é possível encontrá-los sabendo que o denominador de um sistema de segunda ordem é dado pela Equação (2.25) (CARUSONE; JOHNS; MARTIN, 2012).

$$D(s) = \left(1 + \frac{s}{w_{PA}}\right)\left(1 + \frac{s}{w_{PB}}\right) = 1 + s\left(\frac{1}{w_{PA}} + \frac{1}{w_{PB}}\right) + \frac{s^2}{w_{PA}w_{PB}} \quad (2.25)$$

Considerando  $w_{PA}$  como polo dominante ( $w_{PA} \ll w_{PB}$ ), a Equação (2.25) pode ser aproximada de acordo com a Equação (2.26).

$$D(s) \approx 1 + \frac{s}{w_{PA}} + \frac{s^2}{w_{PA}w_{PB}} \quad (2.26)$$

Assim, comparando as Equações (2.22) e (2.26), é possível encontrar os polos, dados pelas Equações (2.27) e (2.28).

$$w_{PA} = \frac{1}{(C_L + C_{GD})R_{OUT} + (C_{GS} + C_{GD})R_{AE} + g_m R_{AE} R_{OUT} C_{GD}} \quad (2.27)$$

$$w_{PA} \approx \frac{1}{R_{AE} g_m R_{OUT} C_{GD}}$$

$$w_{PB} = \frac{g_m C_{GD}}{C_{GS} C_{OUT} + C_{OUT} C_{GD} + C_{GS} C_{GD}} \quad (2.28)$$

As aproximações realizadas na Equação (2.27) são possíveis porque:

A capacitância  $C_{GD}$  pode ser alta devido já que  $M_P$  tem uma dimensão grande para fornecer a corrente de carga que, sendo mais alta que as outras correntes no circuito, torna  $M_P$  maior que os outros transistores usados. A capacitância  $C_{GD}$  é multiplicada pelo ganho do segundo estágio ( $g_m R_{OUT}$ ) devido ao Teorema de Miller (RAZAVI, 2014), tornando sua influência predominante.

Para  $w_{PA}$  se tornar o polo dominante, tipicamente é colocado um capacitor em paralelo a  $C_{GD}$ , aumentando assim a capacitância entre esses nós. Como essa capacitância sofre a influência do Teorema de Miller, é possível a utilização de capacitores menores. Reguladores LDO que utilizam  $w_{PA}$  como polo dominante, são classificados como reguladores LDO *capacitor-less* e permitem total integração do circuito. Nesses reguladores LDO *capacitor-less*, a estabilidade é analisada quando o circuito opera com corrente de carga mínima. Nessa condição, o polo  $w_{PB}$  está localizado em frequências mais baixas, próximo ao polo dominante, causando a pior situação na análise de estabilidade. A transcondutância do transistor de potência ( $g_m$ ) é menor quando  $M_P$  está fornecendo a corrente de carga mínima, diminuindo  $w_{PB}$ , de acordo com a Equação (2.28) (TORRES *et al.*, 2014).

O ganho de malha aberta apresentado na Equação (2.22) apresenta um zero do lado direito do plano de frequência complexa (plano  $s$ ), para garantir estabilidade é necessário que esse zero esteja localizado em uma frequência acima da frequência de 0 dB.

### 3 MATERIAIS E MÉTODOS

Neste capítulo do trabalho primeiramente é introduzido a metodologia de projeto utilizada, que consiste na técnica de projeto  $g_m/I_D$ . Depois, são descritas as ferramentas utilizadas para construir o modelo. Também são apresentados os dispositivos usados nesse trabalho, junto com a validação do modelo através de seus parâmetros.

#### 3.1 EFICIÊNCIA DO TRANSISTOR

Para entender a importância do parâmetro  $g_m/I_D$ , ou eficiência do transistor, primeiramente considere o circuito ilustrado na Figura 3.1, que se trata de um amplificador fonte comum, formado pelo transistor M polarizado por uma fonte de corrente ideal  $I_D$  e uma capacitância equivalente C no nó de saída.

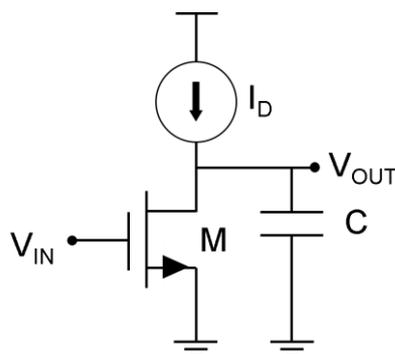


Figura 3.1 – Amplificador fonte comum alimentado por fonte de corrente.

Como a carga é uma fonte de corrente ideal, o ganho de tensão dessa topologia é igual ao ganho intrínseco do transistor M, encontrado com a Equação (3.1), em que  $g_m$  e  $r_{ds}$  são a transcondutância e a resistência de saída de pequenos sinais do transistor M.

$$A_i = g_m r_{ds} = \frac{g_m}{I_D} \times V_E \quad (3.1)$$

A resistência  $r_{ds}$  é tipicamente modelada pela Equação (3.2), assim a Equação (3.1) pode ser rescrita como mostrado. Na Equação (3.2),  $V_E$  é chamada de tensão de Early, geralmente esse parâmetro varia para diferentes polarizações, porém vamos considera-lo constante para explicar a técnica de projeto.

$$r_{ds} = \frac{V_E}{I_D} \quad (3.2)$$

O polo gerado na saída do circuito da Figura 3.1 é dado pela Equação (3.3), com essa equação, o produto ganho-largura de banda GBW do amplificador pode ser calculado, como mostrado na Equação (3.4).

$$f_p = \frac{1}{2\pi r_{ds} C} = \frac{I_D}{2\pi V_E C} \quad (3.3)$$

$$GBW = A_i f_p = \frac{g_m V_E}{I_D} \frac{I_D}{2\pi V_E C} = \frac{g_m}{2\pi C} \quad (3.4)$$

Através dos parâmetros dos circuitos encontrados, é possível perceber que a partir das especificações de projetos, com GBW e capacitância C definidos, deve-se primeiramente determinar a transcondutância necessária para que seja possível fazer o projeto, através da Equação (3.4). A partir da transcondutância, é definido o comprimento de canal considerando o ganho intrínseco. Geralmente, para tecnologia MOSFET, o comprimento utilizado no projeto de circuitos analógicos é maior do que o mínimo disponível na tecnologia, onde é considerado o ganho intrínseco mínimo (GRAY; MEYER, 1982).

Agora, o parâmetro conhecido como eficiência do transistor  $g_m/I_D$  é definido considerando que:

- Para valores altos de  $g_m/I_D$ , o dispositivo está operando em inversão fraca, já que em MOSFETs, a corrente nessa condição de operação é baixa e tem uma dependência exponencial com  $V_{GS}$ , resultando em uma transcondutância alta;
- Para valores baixos de  $g_m/I_D$ , o MOSFET está operando em inversão forte.

Perceba também, que  $g_m/I_D$  define a localização do polo e o ganho do amplificador. O gráfico do ganho de tensão em decibéis em função da frequência em escala logarítmica está ilustrado na Figura 3.2, Com GBW definido, a reta vermelha não muda de posição, alterar  $g_m/I_D$  muda o ganho de tensão e a frequência do polo do circuito. A partir do patamar definido pelo ganho de tensão, a resposta fica constante até encontrar a reta vermelha e cair 20 dB/déc. Assim, para valores altos de  $g_m/I_D$  o ganho de tensão é maior e para valores baixos, o polo  $f_p$  fica localizado em frequências mais altas.

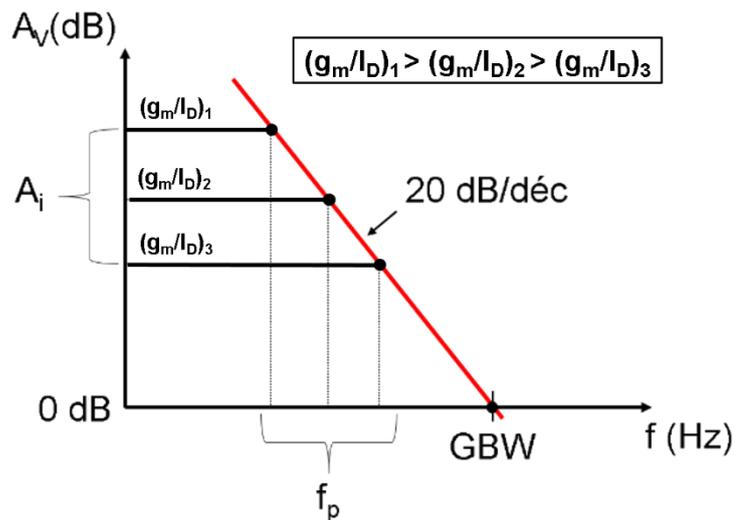


Figura 3.2 – Resposta em frequência do amplificador fonte comum apresentado.

Também é importante perceber que a inclinação de sublimar e a eficiência do transistor estão relacionados de acordo com a Equação (3.5), assim, para inclinação de sublimar mais baixas, em inversão fraca altos valores de  $g_m/I_D$  podem ser alcançados.

$$\frac{g_m}{I_D} = \frac{\frac{\partial I_D}{\partial V_G}}{I_D} = \frac{\partial \ln(I_D)}{\partial V_G} = \ln(10) \frac{\partial \log(I_D)}{\partial V_G} = \frac{\ln(10)}{SS} \quad (3.5)$$

É possível fazer a comparação de circuitos projetados com transistores de diferentes tecnologias no mesmo valor de  $g_m/I_D$ , já que dessa forma, os transistores estão projetados na mesma condição de condução, desconsiderando assim, os diferentes parâmetros de cada nó tecnológico, como a tensão de limiar (SILVEIRA; FLANDRE; JESPERS, 1996).

### 3.2 MODELAGEM COM LOOKUP TABLE

Uma *lookup table* (LUT) é uma tabela de pesquisa que pode ser utilizada para modelar circuitos (ROFOUGARAN; FURMAN; ABIDI, 1988), sua estrutura básica está ilustrada na Tabela 3.1. Um dispositivo pode ser modelado a partir de medições de suas correntes e tensões medidas (SHIMA *et al.*, 1982), criando assim uma tabela com três colunas, com valores da corrente de dreno medida e as tensões  $V_{GS}$  e  $V_{DS}$  correspondentes.

Utilizando um simulador de circuitos, as correntes e tensões são encontradas a partir de uma pesquisa feita na tabela a partir dos parâmetros de entrada. Como

esse modelo não é contínuo, uma interpolação linear pode ser realizada para os valores não presentes na tabela, assim, o simulador pode solucionar o circuito para qualquer polarização. É importante ter em mente que para esta interpolação não afetar o modelo, os pontos consecutivos da tabela devem ser bem próximos (passos de medida muito pequenos).

Tabela 3.1 – Exemplo de uma LUT usada para simulação de circuitos.

$V_{GS}$	$V_{DS}$	$I_D$
$V_{GS1}$	$V_{DS1}$	$I_{D1}$
$V_{GS1}$	$V_{DS2}$	$I_{D2}$
...	...	...
$V_{GS2}$	$V_{DS1}$	$I_{DN}$
$V_{GS2}$	$V_{DS2}$	$I_{DM}$

Com uma LUT criada a partir de dados experimentais, o modelo foi criado utilizando a linguagem de descrição de *hardware* analógico Verilog-A. Assim como a linguagem Verilog que é utilizada para descrever o comportamento de circuitos digitais, com a linguagem Verilog-A é possível implementar o comportamento de circuitos analógicos, assim, com a linguagem é possível modelar desde resistores a circuitos mais complexos como o circuito de *bandgap* (FITZPATRICK; MILLER, 1998). No modelo utilizado por este trabalho, a única variável adicionada ao código que tem relação com a dimensão dos dispositivos é a quantidade de transistores em paralelo.

O método da LUT é muito utilizado para projetar circuitos analógicos de nós tecnológicos que não possuem ainda modelos matemáticos para simulação, sendo assim, é possível modelar esses dispositivos com medidas experimentais ou simuladas e depois realizar o projeto. Diversos trabalhos apresentam esta técnica para projetar circuitos com transistores de tunelamento (BARBONI; SINISCALCHI; SENSALÉ-RODRIGUEZ, 2015; C. -N. CHANG *et al.*, 2017; DE MORAES NOGUEIRA; DER AGOPIAN; MARTINO, 2020; MARTINO, Marcio D.V.; MARTINO; AGOPIAN, 2015).

### 3.3 VIRTUOSO ANALOG DESIGN ENVIRONMENT

O Virtuoso *Analog Design Environment* (ADE)<sup>®</sup> é um produto da Cadence<sup>®</sup>, principal empresa que fornece produtos para fazer o design de sistemas eletrônicos. A ferramenta Virtuoso ADE<sup>®</sup> é uma ferramenta que faz parte da categoria de *softwares* EDA (*Electronic Design Automation*), nessa ferramenta é possível explorar, analisar e verificar projeto de circuitos integrados analógicos para garantir as especificações do projeto através de simulações. Através da ferramenta Virtuoso Schematic Editor<sup>®</sup>, ilustrado na Figura 3.3, também é uma ferramenta da Cadence<sup>®</sup>, nela é possível fazer o projeto do circuito à nível de esquemático, como ilustrado na Figura 3.3, os modelos utilizados nos componentes são predefinidos através de:

- bibliotecas fornecidas pela ferramenta;
- *Process Design Kits* (PDKs), que são arquivos fornecidos pelos fabricantes que modelam um processo tecnológico para as ferramentas de projeto de circuito integrado;
- arquivos criados a partir de uma linguagem de modelagem comportamental, como a linguagem Verilog-A.

A ferramenta Virtuoso ADE<sup>®</sup> é integrada ao *Spectre<sup>®</sup> Circuit Simulator*, simulador de circuitos que fornece simulações SPICE (*Simulation Program with Integrated Circuit Emphasis*) de alta precisão para projetos de circuitos analógicos antes e depois do leiaute.

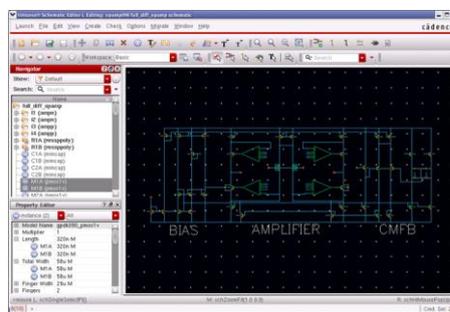


Figura 3.3 – Virtuoso Schematic Editor<sup>®</sup>.

Fonte: (CADENCE, 2022)

A ferramenta Virtuoso ADE<sup>®</sup> é dividida em versões L, XL e GXL. A versão ADE L fornece capacidade de realizar e visualizar simulações transiente, varredura em

frequência, varredura em corrente contínua e outras, a ferramenta fornece interface gráfica (Figura 3.4) e as funcionalidades necessárias para extrair os parâmetros de circuitos analógicos. As versões ADE XL e GXL aumentam as possibilidades de simulação do ADE L, tornando possível realizar análises estatísticas de Monte Carlo, análises de *mismatch* e outras.

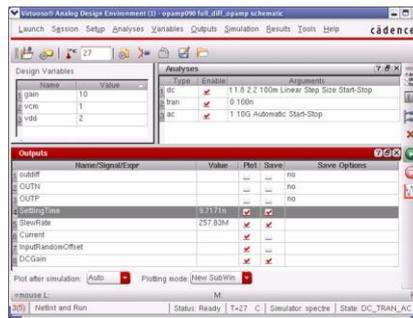


Figura 3.4 – Virtuoso Analog Design Environment L®.

Fonte: (CADENCE, 2022)

Na Figura 3.5 é possível observar o fluxograma utilizado na simulação de circuitos projetados com dispositivos modelados com dados experimentais. Para realizar esse tipo de simulação nas ferramentas da Cadence, primeiramente, é criado o código em Verilog-A, que modela o dispositivo a partir da LUT com dados medidos experimentalmente, junto com esse código é criado um símbolo do dispositivo para que ele possa ser utilizado no esquemático, onde o circuito é montado. Depois, as análises necessárias são configuradas no Virtuoso ADE L que utiliza o Spectre para calcular os parâmetros do circuito projetado e assim, é possível visualizar os resultados.

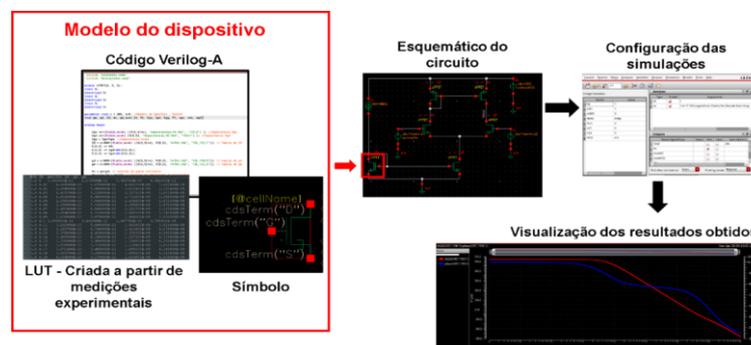


Figura 3.5 – Fluxograma da simulação de circuitos com dispositivos modelados a partir de medições experimentais nos softwares da Cadence.

### 3.4 DESCRIÇÃO DOS DISPOSITIVOS UTILIZADOS

Os dispositivos utilizados nesse trabalho são nanofios verticais, com fabricação no imec, Bélgica. Os transistores foram fabricados em uma mesma lâmina de silício altamente dopada com arsênio, com crescimento epitaxial do canal e da fonte. Detalhes sobre o processo de fabricação podem ser analisados em ROOYACKERS et al. (2013) e em VANDOOREN et al. (2013, 2012). Na Figura 3.6, é possível observar uma imagem dos nanofios fabricados.

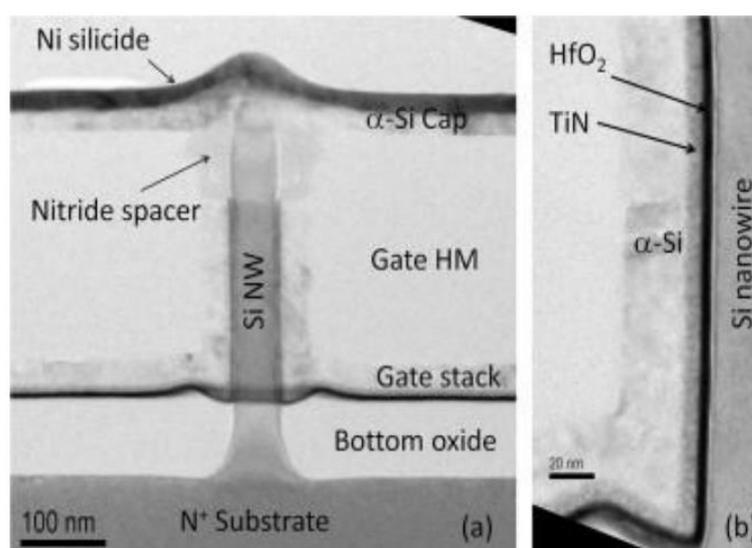


Figura 3.6 – Imagem TEM de um transistor em nanofios fabricado utilizado nesse trabalho.

Fonte: (VANDOOREN *et al.*, 2012).

Os transistores em nanofios utilizados nesse trabalho são do tipo N, como pode ser observado no esquemático da Figura 3.7. Os dispositivos do tipo P foram modelados de forma espelhada a partir das medições realizadas para os dispositivos tipo N. Primeiramente, é possível notar que para o TFET, a fonte é dopada com material tipo P e para o MOSFET com tipo N, além disso, os transistores TFET possuem sobreposição da porta sobre a fonte e subposição da porta no dreno, enquanto os MOSFETs são auto-alinhados. No esquemático do TFET, uma parte da porta foi retirada apenas para mostrar a posição da porta no dispositivo.

As dimensões destacadas na Figura 3.7, podem ser observadas na Tabela 3.2, onde  $L_{UN}$  é a subposição da porta sob o dreno,  $L_{OV}$  é a sobreposição sobre a fonte,  $L_{CH}$  é o comprimento do canal e  $L_G$  é o comprimento da porta, como para o MOSFET, a porta está alinhada com o canal, apenas o comprimento de canal é usado como

parâmetro, os dois dispositivos possuem óxido de porta formado por 1 nm de  $\text{SiO}_2$  + 3 nm de  $\text{HfO}_2$ .

Os dispositivos TFET usados para construir a LUT possuem diferentes composição de fonte. Três diferentes materiais de fonte foram utilizados, TFETs com fonte de silício (Si-TFET), com fonte formado por uma liga de 27% de SiGe com 73% de Si (SiGe-TFET), e com fonte de Ge (Ge-TFET). No canal e dreno, apenas silício é utilizado. Os dispositivos MOSFET possuem estrutura completamente composta por silício.

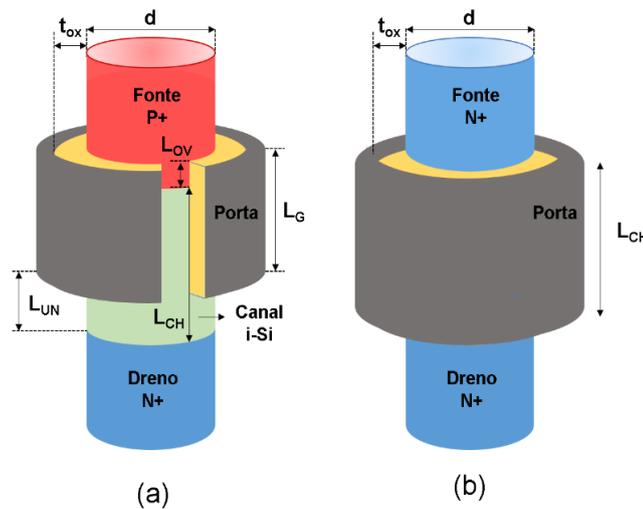


Figura 3.7 – Esquemático dos transistores em nanofios (a) TFET e (b) MOSFET utilizados nesse trabalho.

Tabela 3.2 – Dimensões físicas dos dispositivos fabricados em nanofio.

Parâmetro	TFETs	MOSFET
$L_{CH}$	220 nm	220 nm
$L_{UN}$	100 nm	-
$L_{ov}$	30 nm	-
$L_G$	150 nm	-

Para construir a LUT da corrente entre dreno e fonte, o número de nanofios e o diâmetro dos dispositivos varia. O diâmetro  $d$  dos nanofios MOSFET é de 120 nm, o diâmetro dos TFETs é 200 nm. Para aumentar o acoplamento eletrostático dos dispositivos MOSFET em nanofios, é utilizado um diâmetro menor, como o TFET não sofre com efeitos de canal curto, não é necessário utilizar diâmetros menores. Com relação ao número de nanofios utilizados na medição de cada transistores, o

dispositivo Si-TFET tem 400 nanofios enquanto que os outros dispositivos possuem 100 nanofios. Como a corrente em transistores de tunelamento de silício é baixa, uma maior quantidade de dispositivos em paralelos foi escolhida.

Para fazer a medição das capacitâncias, foi utilizado uma maior quantidade de nanofios em paralelo para aumentar a capacitância total, possibilitando sua medição. Foram usados dispositivos com 4050 nanofios para o Si-TFET, 2400 para o SiGe-TFET e 400 para o MOSFET. Como não estava disponível transistores Ge-TFET com uma grande quantidade de nanofios, foi utilizada a medida do SiGe-TFET. Já que a composição da fonte é o único parâmetro diferente entre os dispositivos, a capacitância total possui valores similares com relação aos transistores SiGe-TFET e o Ge-TFET (NOGUEIRA, 2020).

Os transistores já foram extensivamente estudados e os resultados com os principais parâmetros podem ser observados em BORDALLO, C. et al., 2016; BORDALLO, Caio et al., 2015 e em MARTINO, Marcio et al., 2015.

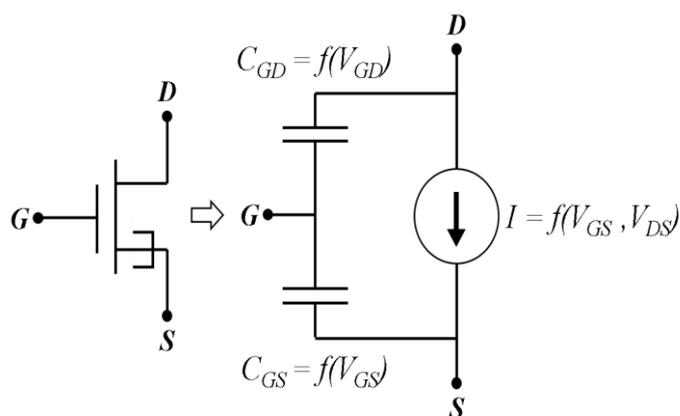


Figura 3.8 – Modelo de circuito equivalente para os dispositivos medidos.

As medições e validação do modelo criado foi realizado por NOGUEIRA, 2020. Para a medição da corrente dos dispositivos foi utilizado o analisador de dispositivos semicondutores B1500A da Keysight Technologies e para medir as capacitâncias foi utilizado o medidor de LCR de precisão E4980A, também da Keysight.

O circuito equivalente usado no modelo está ilustrado na Figura 3.8, onde a fonte de corrente modela a corrente de dreno e depende das tensões de polarização. Também são utilizadas medidas de capacitâncias para modelar a capacitância entre dreno e porta ( $C_{GD}$ ), e porta e fonte ( $C_{GS}$ ), como ilustrado na Figura 3.8, as capacitâncias variam de acordo com a tensão entre os seus terminais.

**Tabela de corrente:** Para os dispositivos TFET, foram realizadas medições de corrente com  $V_D$  variando de 0 V à 2 V com passo de 10 mV e para  $V_G$  variando de 1 V à 2 V com passo de 50 mV. Devido à baixa corrente para tensões de porta abaixo de 1 V, as medições apresentam muito ruído assim, o modelo foi construído apenas para valores de tensão maiores.

Quando analisadas as características de saída dos dispositivos TFET, foi observada a presença de uma condutância de saída negativa. Devido à baixa condutância de saída desses dispositivos, o ruído de medição resulta em resultados não reais, assim foi necessário utilizar um algoritmo para corrigir esse problema, descrito em (NOGUEIRA, 2020).

Na Figura 3.9, estão ilustradas as características de transferência e de saída dos dispositivos TFET, observe que o nível de corrente aumenta com o aumento da composição de Ge na fonte, esse resultado é esperado já que a utilização de um material com menor banda proibida, aumenta a probabilidade de tunelamento. Na Figura 3.9, é possível observar que o modelo é válido.

É importante destacar que devido a tensão de estado ligado dos TFETs, o transistor de potência dos reguladores será forçado a operar na região linear. Isso acontece porque em reguladores LDO, é esperado uma baixa queda de tensão desse dispositivo, da ordem de  $V_{DO} = 200$  mV, com a alta tensão de estado ligado, para operar em saturação seria necessário  $V_{DO} > 1$  V. Mesmo operando na região linear, devido ao alto ganho de tensão presente em amplificadores com TFET, ainda é possível projetar reguladores com bom desempenho.

Para os dispositivos MOSFET, a corrente de dreno foi medida com  $V_D$  e  $V_G$  variando de 0 V à 1,5 V, com passo de 10 mV para a tensão de dreno e 50 mV para a tensão de fonte. O limite de 1,5 V foi estabelecido porque para tensões acima deste valor, o efeito da resistência série é predominante. Na Figura 3.10, é possível observar as características de saída e de transferências do MOSFET medido. Se comparado com as curvas dos TFETs, é possível observar na característica de saída que o MOSFET apresenta uma condutância de saída maior, também é notável que a corrente no MOSFET é muito mais alta. Observa-se que há boa concordância entre os dados medidos e o modelo.

**Tabelas de capacitância:** Para os dispositivos TFET, foram realizadas medições de capacitância com  $V_G$  variando de -1 V à 1,25 V com passo de 50 mV.

Para tensões acima de 1,25 V a medição é afetada pela corrente de porta e assim, foi observado um comportamento não esperado para as capacitâncias e por isso a partir desse valor, foi utilizada a extrapolação dos dados. Para os TFETs, as medidas foram realizadas com  $V_S = V_D = 0$  V, e a partir de um sinal senoidal de 10 KHz, a capacitância de porta  $C_{GG}$ , a capacitância entre porta e dreno  $C_{GD}$  e a capacitância entre porta e fonte  $C_{GS}$  foram extraídas.

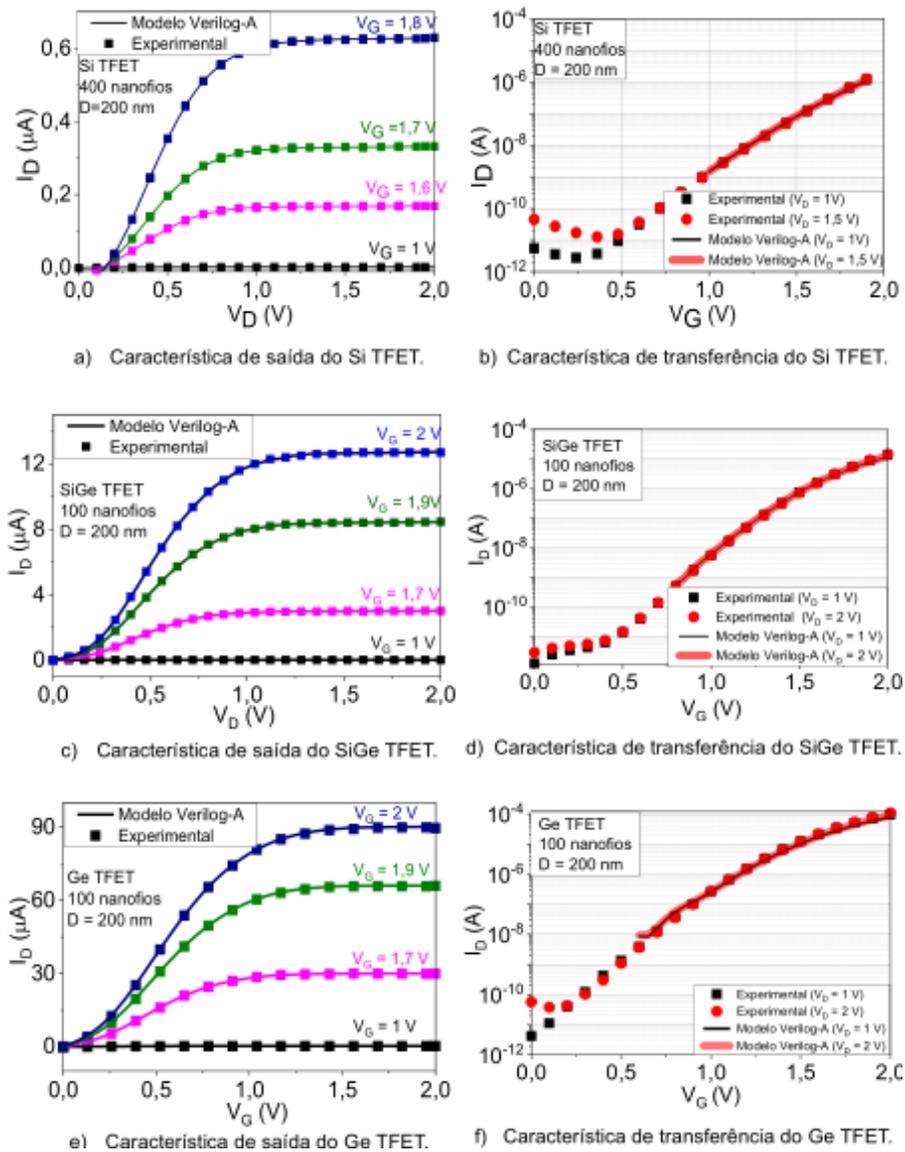


Figura 3.9 – Características de saída e de transferência dos TFETs medidos. Nas curvas da característica de transferência, as linhas vermelha e preta se sobrepõem.

Fonte: (NOGUEIRA, 2020).

Na Figura 3.11, estão ilustradas as curvas obtidas para o Si-TFET, observe que a capacitância  $C_{GG}$  é dividida entre as capacitâncias  $C_{GS}$  e  $C_{GD}$  para as diferentes polarizações. Para uma tensão de porta muito positiva, o canal é formado por elétrons

e assim há um curto entre o canal e o dreno que é do tipo N, assim  $C_{GD}$  é a capacitância predominante nessa região. Para tensões muito negativas, como o canal é formado por lacunas, há um curto entre o canal e a fonte do tipo P, tornando a capacitância  $C_{GS}$  predominante.

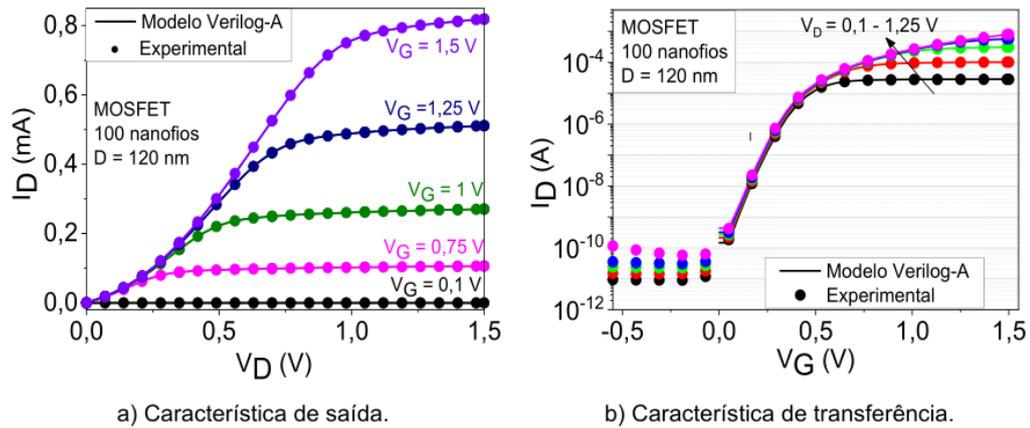


Figura 3.10 – Características de saída e de transferência do nanofio MOSFET.

Fonte: (NOGUEIRA, 2020).

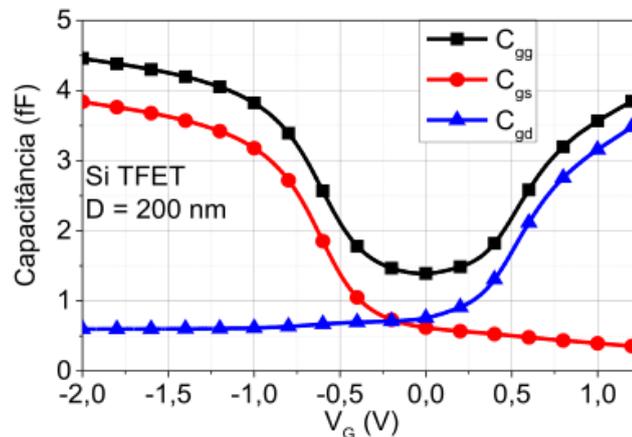


Figura 3.11 – Capacitâncias medidas do Si-TFET.

Fonte: (NOGUEIRA, 2020).

Na Figura 3.12, estão ilustradas as curvas obtidas para o SiGe-TFET. Esta curva também foi utilizada para modelar o Ge-TFET, pois como já mencionado, não havia dispositivos com uma grande quantidade de nanofios disponível e como há apenas alteração na composição da fonte, pode-se utilizar essas curvas de capacitâncias para os dois dispositivos (NOGUEIRA, 2020).

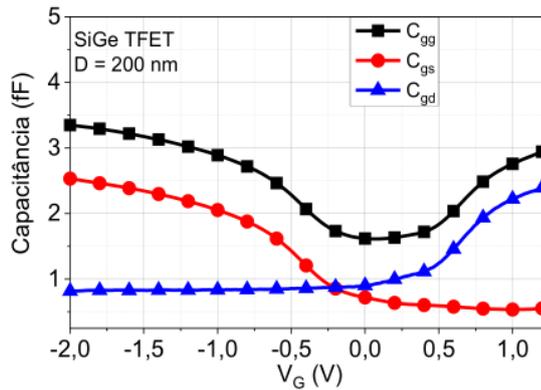


Figura 3.12 – Capacitâncias medidas do SiGe-TFET.

Fonte: (NOGUEIRA, 2020).

Para o nanofio MOSFET, foi utilizado um dispositivo com 200 nm de diâmetro e, como na tabela de corrente foram utilizados dispositivos com diâmetro de 120 nm, foi considerado que a capacitância por unidade de área é constante. As medições de  $C_{GG}$  foram realizadas para  $V_G$  variando de -1 V à 1,5 V com passo de 50 mV. Como na saturação pode-se considerar  $C_{GD} = 0$  F e  $C_{GS} = 2/3 C_{GG}$  (CARUSONE; JOHNS; MARTIN, 2012), apenas a capacitância total de porta foi medida e no modelo foi incluída apenas a capacitância entre porta e fonte, de acordo com essas considerações. A capacitância do MOSFET é maior que a dos TFETs porque a porta é maior nesses dispositivos já que não possuem subposição no dreno, como pode ser observado no resultado ilustrado na Figura 3.13.

Todos os dispositivos apresentam variação de capacitância com a tensão de dreno desprezível, por esse motivo, no modelo de capacitância foi desconsiderada a influência da tensão de dreno (NOGUEIRA, 2020).

A eficiência do transistor foi extraída a partir do modelo Verilog-A. Normalmente, a curva da eficiência do transistor ( $g_m/I_D$ ) é dada em função da corrente normalizada por  $I_D/(W/L)$ , para que seja possível encontrar a largura do dispositivo a partir da polarização definida, como já discutido neste capítulo. Porém, como o único grau de liberdade de projeto desses dispositivos é a quantidade de nanofios em paralelo, na Figura 3.15, são apresentados os gráficos da eficiência do transistor em função da corrente normalizadas pelas dimensões e pela quantidade de nanofios. Para encontrar a largura equivalente dos nanofios, foi utilizada a Equação (2.7).

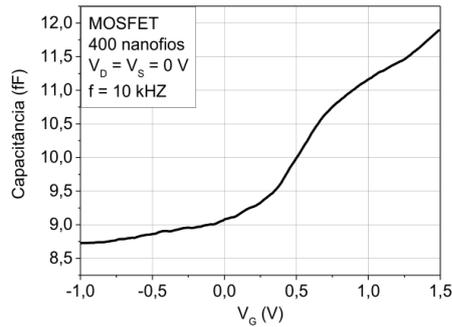


Figura 3.13 – Capacitâncias medidas do nanofio MOSFET.

Fonte: (NOGUEIRA, 2020).

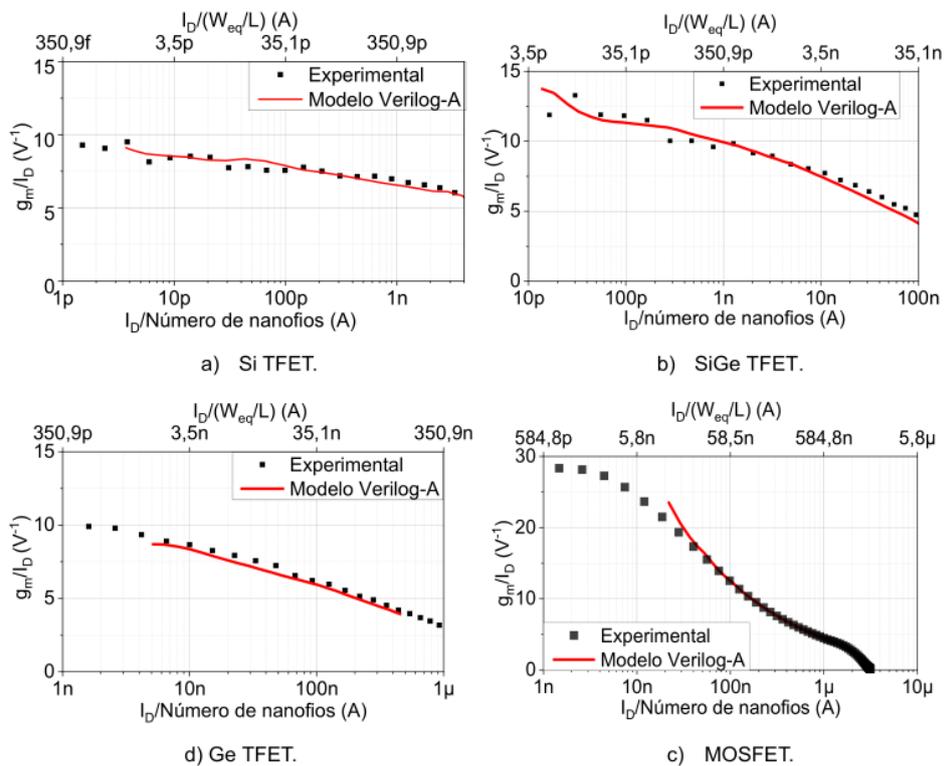


Figura 3.14 – Eficiência do transistor em função da corrente de dreno normalizada pela quantidade de nanofios e pelas dimensões.

Fonte: (NOGUEIRA, 2020).

Pode-se observar na Figura 3.14, que a eficiência do transistor TFET atingem valores baixos, isso acontece porque esses dispositivos apresentam uma inclinação de sublimiar alta de aproximadamente 200 mV/déc. A degradação nesse parâmetro acontece devido à grande quantidade de armadilhas de interface presentes no dispositivo (VANDOOREN *et al.*, 2012), O MOSFET apresenta a curva esperada. Nessa figura também é possível notar que o modelo descreve corretamente os valores obtidos por medição.

## 4 IMPLEMENTAÇÃO E RESULTADOS

Nesse capítulo, é descrita toda implementação do projeto dos reguladores, com relação a definição do dimensionamento dos dispositivos e condições de polarização, depois são apresentados e discutidos os resultados utilizando as especificações apresentadas na subseção 2.2. O código Verilog-A com a descrição SiGe-TFET pode ser observado no Apêndice A. Tendo em vista que os outros dispositivos possuem códigos Verilog-A similares e como o SiGe-TFET foi usado na maioria dos resultados, apenas o seu código foi apresentado.

Na subseção 4.1, após a apresentação da topologia dos reguladores utilizada neste trabalho, será descrito o projeto de reguladores LDO utilizando MOSFET e TFETs em nanofios com diferentes composições de fonte na subseção 4.2.1. Neste estudo é mostrado que o regulador LDO projetado com SiGe-TFET apresenta um alto ganho de malha consumindo baixa corrente, assim a comparação entre reguladores projetados com SiGe-TFET e MOSFET convencional é discutida na subseção 4.2.2. Na subseção 4.2.3, a variabilidade de processo *die-to-die* é analisada utilizando medidas do SiGe-TFET. Na subseção 4.3 é realizado o estudo do regulador LDO projetado com tecnologias MOSFET e TFET em nanofios no mesmo circuito, chamado de LDO híbrido. Ele é apresentado como uma solução para o projeto de reguladores LDO com corrente de carga mais alta.

### 4.1 TOPOLOGIA

O símbolo utilizado em diagramas de circuito para o nTFET e pTFET nesse trabalho estão ilustrados na Figura 4.1, percebe-se que há uma marcação na fonte indicando a junção túnel.

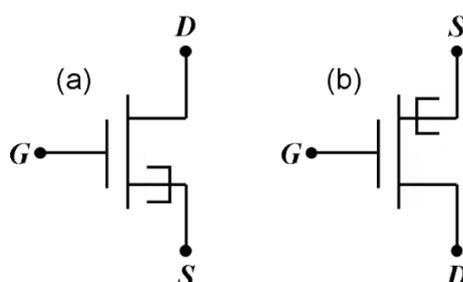


Figura 4.1 – Símbolos para o (a) nTFET e o (b) pTFET usados nos diagramas de circuitos.

A topologia escolhida pra implementar os reguladores LDO está ilustrada na Figura 4.2, ela foi selecionada por utilizar um amplificador de erro simples, formado unicamente por um amplificador diferencial de um único estágio através dos transistores  $M_1$  à  $M_4$ , o amplificador é alimentado através do espelho de corrente formado pelos transistores  $M_5$  e  $M_6$  que copia a corrente de polarização  $I_B$ .  $M_P$  é o transistor de potência que fornece a corrente de carga  $I_L$ , a malha de realimentação é formada pelos resistores  $R_1$  e  $R_2$  e a carga é modelada por  $R_L$  e  $C_L$ . O capacitor  $C_C$  é utilizado para colocar o polo localizado na porta de  $M_P$  em baixa frequência e compensar o sistema.

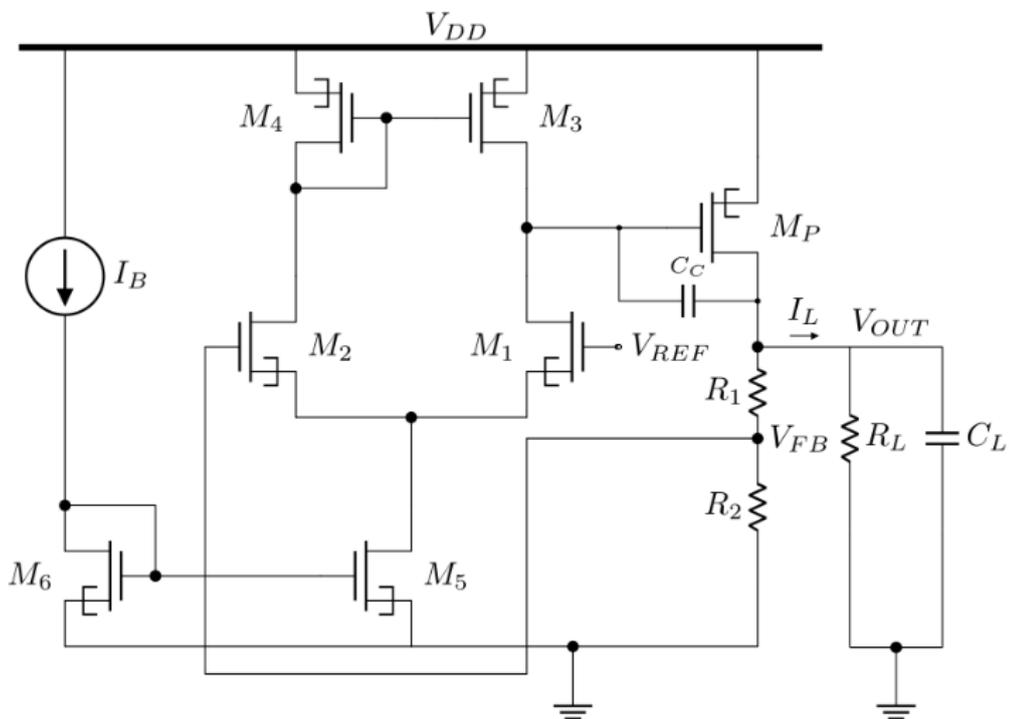


Figura 4.2 – Topologia do regulador LDO implementado.

É possível observar na característica de saída dos dispositivos TFET mostrada na Figura 3.9, que é necessária uma tensão  $V_{DS} > 1$  V para que os transistores estejam saturados, como na topologia da Figura 4.2 existe um máximo de três transistores entre  $V_{DD}$  e o terra, uma tensão de alimentação de 3.6 V foi utilizada nos projetos com TFETs, dando uma margem de 200 mV para que cada transistor opere na região de saturação, nos projetos com MOSFETs é utilizado  $V_{DD} = 1.8$  V já que os dispositivos utilizados neste trabalho são capazes de operar com tensões mais baixas. O valor da tensão de *dropout* ( $V_{DO}$ ) foi definido para ser 300 mV em todos os projetos por ser um valor observado usualmente em reguladores LDO (RINCON-MORA, 2009), para esses valores de  $V_{DD}$ . Como esta tensão é igual a tensão  $V_{DS}$  de  $M_P$  é esperado que

nos reguladores projetados com TFET, este dispositivo opere sempre na região linear já que eles possuem uma tensão de saturação mais alta, o que degrada o ganho de malha e conseqüentemente alguns parâmetros como a PSR, porém como será observado, devido ao alto ganho intrínseco apresentado em TFETs, o ganho do amplificador diferencial pode compensar esta degradação.

Para os  $R_1$  e  $R_2$  foram utilizados resistores ideais que fornecem o  $\beta$  desejado sem alterar os resultados dos projetos, isso pode ser feito porque tipicamente, é possível utilizar transistores ligados como diodo projetados de forma a minimizar o consumo de corrente e de área de silício (ZHANG; TANG, 2017). Assim, para  $R_1$  e  $R_2$  foi definido um valor alto o suficiente para ter uma influência desprezível na resistência de saída do regulador LDO,  $R_{OUT}$  da Equação (2.18), mas não alto o suficiente para que levar o polo presente em  $V_{FB}$  para frequências mais baixas onde o ganho fica acima de 0 dB.

No fluxo usual de projeto de analógico, as dimensões são escolhidas para garantir as especificações de projeto, como o ganho, e melhorar os atributos, como minimizar o consumo de potência (JESPER; MURMANN, 2017), neste trabalho, as dimensões serão escolhidas para poder realizar a comparação das especificações dos projetos com diferentes tecnologias. É interessante lembrar da característica do TFET que devido a corrente de dreno depender principalmente do tunelamento que acontece na junção canal/fonte, ela é independente do comprimento do canal, diferente do MOSFET onde é possível diminuir a corrente de dreno, aumentando o comprimento do canal, como explicado na subseção 2.1.

## 4.2 REGULADOR LDO PROJETADO COM TFETS FABRICADOS EM NANOFIOS DE SILÍCIO

Nesta seção é apresentado o projeto e análise de reguladores projetados com os TFETs apresentados na subseção 3.4, onde é feita a comparação entre reguladores projetados para cada tecnologia TFET e também com reguladores projetados com MOSFET em nanofios e MOSFET convencional. Por fim, é mostrado o resultado de um simples estudo de variabilidade de processo *die-to-die* do regulador LDO projeto com o SiGe-TFET.

#### 4.2.1 Projeto utilizando TFETs com diferentes composições de fonte

Utilizando a topologia da Figura 4.2 e as medidas dos dispositivos apresentados na Seção 3.4, quatro reguladores LDO são projetos com os dispositivos em nanofios TFETs com fontes de Si (Si-TFET LDO), SiGe (SiGe-TFET LDO), Ge (Ge-TFET LDO) e MOSFET (MOSFET LDO).

Para poder comparar os reguladores com diferentes dispositivos, todos os dispositivos do amplificador diferencial são polarizados com  $g_m/I_D = 8 \text{ V}^{-1}$ . O valor de  $g_m/I_D$  foi escolhido simplesmente para garantir que todos os dispositivos estivessem no estado ligado e de acordo com os valores possíveis, ilustrados na Figura 3.14. Como o Si-TFET opera com baixos valores de corrente, a carga foi definida para ser  $I_L = 1 \text{ }\mu\text{A}$  e  $C_L = 10 \text{ pF}$ .

Para dimensionar os dispositivos, é considerado a menor quantidade de transistores em paralelo no amplificador diferencial para minimizar o consumo de potência. Também, devido ao fato de que o diâmetro do MOSFET (120 nm) é menor que o dos TFET (200 nm), para que os transistores operem com a mesma largura equivalente, Equação (2.7), um número maior de dispositivos em paralelo é utilizado no projeto do MOSFET LDO, na Tabela 4.1 é possível observar a quantidade de nanofios em paralelo utilizada em cada transistor.

A dimensão de  $M_P$  foi definida para fornecer a corrente  $I_L$ , com tensão de porta igual a tensão de saída do amplificador diferencial quando  $V_{FB} = V_{REF}$ , desta forma é possível comparar as dimensões com a capacidade de corrente dos dispositivos de diferentes tecnologias. Na Tabela 4.1 é possível observar que a quantidade de nanofios em paralelo para  $M_P$  diminui com o aumento da composição de Ge na fonte, já que a capacidade de corrente do dispositivo também aumenta. Uma largura equivalente maior foi utilizada no espelho de corrente do SiGe-TFET LDO pois durante o projeto foi observado que seria necessário baixar a tensão de saturação de  $M_5$ .

Tabela 4.1 – Número de nanofios em paralelo para o projeto dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO.

Transistor	Si-TFET	SiGe-TFET	Ge-TFET	MOSFET
$M_{1-2}$	3	3	3	5
$M_{3-4}$	3	3	3	5
$M_5$	6	12	6	10
$M_6$	3	6	3	5
$M_P$	$15 \times 10^3$	414	166	4

Para explicar os resultados dos reguladores LDO, alguns parâmetros foram extraídos e podem ser vistos na Tabela 4.2, com esses parâmetros é possível explicar os resultados dos reguladores de acordo com as equações apresentadas na subseção 2.2. A transcondutância do transistor de passagem  $g_{m(MP)}$  é da mesma ordem de grandeza em todos os projetos principalmente devido ao fato da corrente de carga ser igual. No entanto, é possível observar que a resistência de saída  $r_{ds(MP)}$  é maior para o MOSFET, como é esperado já que para os dispositivos medidos não é possível utilizar um TFET em  $M_P$  operando em saturação devido a sua maior tensão de saturação. É importante destacar que caso fosse possível que  $M_P$  opere em saturação,  $r_{ds(MP)}$  seria mais alto em reguladores projetados com TFET.

O ganho de tensão do amplificador diferencial ( $A_D$ ) é maior nos reguladores projetados com TFET. Essa característica é esperada já que transistores de tunelamento possuem alta resistência de saída, como explicado na subseção 2.1.3. As capacitâncias de porta/fonte ( $C_{GS(MP)}$ ) e porta/dreno ( $C_{GD(MP)}$ ) são proporcionais a quantidade de nanofios utilizada em  $M_P$ . Definido na Seção 2.2, o fator de realimentação  $\beta$  é dado por  $V_{FB}/V_{OUT}$ , definido pelos resistores  $R_1$  e  $R_2$ .

Tabela 4.2 – Parâmetros dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO.

<b>Tecnologia</b>	<b>Si-TFET</b>	<b>SiGe-TFET</b>	<b>Ge-TFET</b>	<b>MOSFET</b>
<b><math>g_{m(MP)}</math> (<math>\mu S</math>)</b>	6.64	5.70	7.56	7.62
<b><math>r_{ds(MP)}</math> (<math>K\Omega</math>)</b>	171	182	234	2072
<b><math>A_D</math> (dB)</b>	43	60	52	27
<b><math>R_D</math> (<math>M\Omega</math>)</b>	7705	636	556	9
<b><math>C_{GS(MP)}</math> (fF)</b>	53,30	234	92	25
<b><math>C_{GD(MP)}</math> (pF)</b>	52,20	0,99	0,35	0
<b><math>\beta</math></b>	0,73	0,73	0,73	0,8

Os resultados podem ser observados na Tabela 4.3. É possível notar que o Si-TFET LDO possui a menor corrente quiescente ( $I_Q$ ) resultando na maior eficiência, esse resultado é esperado já que a adição de Ge aumenta a corrente de polarização necessária para que os transistores operem com  $g_m/I_D = 8 V^{-1}$ . Para o MOSFET LDO, a eficiência é baixa porque a corrente de polarização é da mesma ordem de grandeza do que a corrente de carga.

A regulação de carga é melhor para o SiGe-TFET LDO (0,25 mV/ $\mu A$ ) devido ao maior ganho de tensão do amplificador diferencial (60 dB), de acordo com a Equação

(2.15). A regulação de linha dos reguladores LDO projetados com TFETs é degradada devido ao menor  $r_{ds(MP)}$  e atinge resultados próximos do MOSFET LDO, porém o Ge-TFET LDO ainda possui o melhor resultado (2,6 mV/V).

Tabela 4.3 – Resultados dos reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO para  $V_{DO} = 300$  mV,  $I_L = 1$   $\mu$ A e  $C_L = 10$  pF.

Tecnologia		Si-TFET	SiGe-TFET	Ge-TFET	MOSFET
$V_{OUT}$ (V)		3,3	3,3	3,3	1,5
$I_q$ (nA)		0,3	21,2	42,9	1468,5
Eficiência		91,6 %	89,7 %	87,9 %	32,4 %
Regulação de Carga (mV/ $\mu$ A)		1,40	0,25	0,58	7,37
Regulação de Linha (mV/V)		13,3	8,7	2,6	3,4
Ganho de Malha (dB)		41,2	56,7	51,1	41,4
GBW (Hz)		2	7000	70000	52500
$C_c$		-	-	-	5 pF
Transiente de Linha	$\Delta V(\%)$	39	18	33	40
	$t_s$	90 ms	7.5 ms	30 $\mu$ s	25 $\mu$ s
Transiente de Carga	$\Delta V(\%)$	7,6	9,1	8	32
	$t_s$	0.5 s	80 $\mu$ s	15 $\mu$ s	8 $\mu$ s

O ganho de malha e a fase dos reguladores em função da frequência podem ser observados na Figura 4.3. Pode ser observado que o SiGe-TFET LDO tem o maior ganho de tensão, seguido pelo Ge-TFET LDO o que pode ser explicado pelos maiores  $A_D$ . Como já explicado, o ganho do segundo estágio ( $g_{m(MP)}R_{OUT}$ ) é menor para os reguladores projetados com TFET, devido ao menor  $r_{ds(MP)}$ . O polo dominante, que pode ser encontrado pela Equação (2.27), onde  $R_{AE}$  para esse projeto é representado por  $R_D$ , fica em uma frequência baixa para o Si-TFET LDO por possuir o maior  $R_D$  e  $C_{GD(MP)}$  o que degrada sua resposta em frequência possuindo o menor GBW (2 Hz).

Nos reguladores projetados com TFET, devido ao maior  $R_D$ , o polo dominante fica em uma frequência que garante uma margem de fase de pelo menos 60 graus sem a necessidade do capacitor de compensação,  $C_c$  da Figura 4.2, para a capacitância de carga escolhida. Para o MOSFET LDO, um capacitor de 5 pF foi necessário. Mesmo com o polo dominante em uma frequência mais baixa, o GBW do SiGe-TFET LDO e Ge-TFET LDO são da mesma ordem de grandeza do MOSFET LDO devido ao alto ganho de malha em baixas frequências.

A margem de fase em função da capacitância de carga foi extraída para os reguladores projetados com TFET, o resultado pode ser observado na Figura 4.4. Nessa figura, a capacitância de carga máxima que garante que os reguladores

operem com margem de fase de 60 graus é destacada e como esperado, o Si-TFET LDO pode operar com  $C_L = 650$  nF sem a necessidade de um  $C_C$  devido à alta capacitância  $C_{GD(MP)}$  associada ao alto número de nanofios utilizado neste regulador e ao maior valor de  $R_D$ , deixando seu polo dominante em frequências baixas.

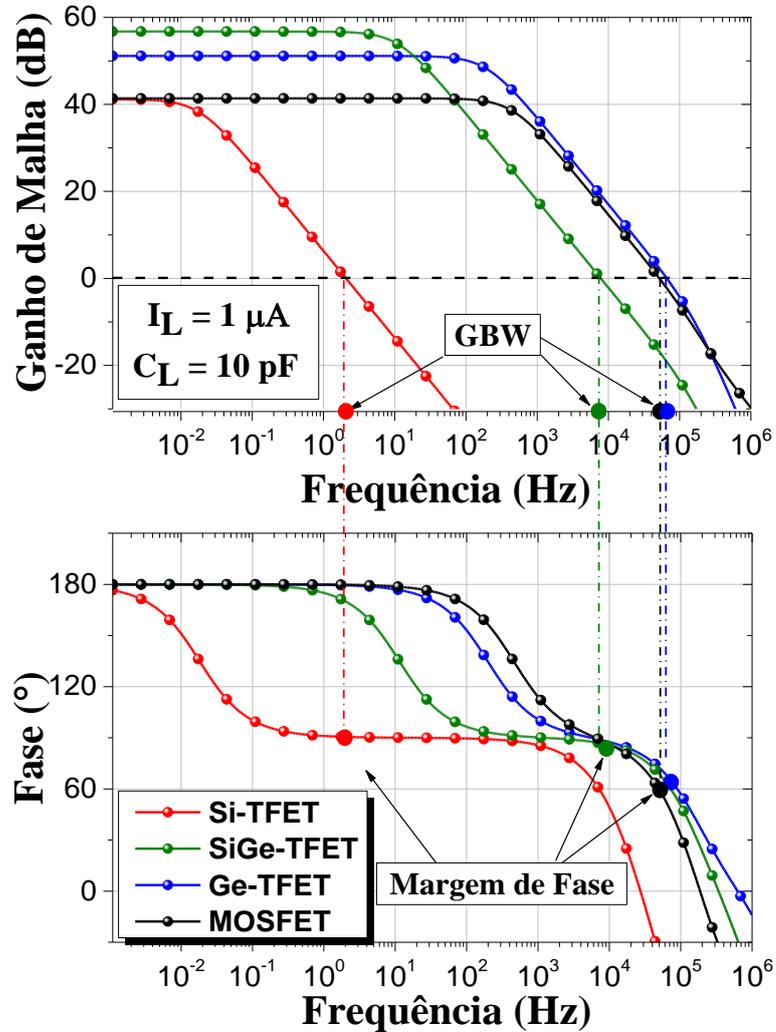


Figura 4.3 – Ganho de malha e fase em função da frequência para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO.

A rejeição de fonte, ou PSR (*Power Supply Rejection*) dos reguladores, definida na subseção 2.2, é ilustrada na Figura 4.5 em função da frequência. Na figura é possível observar que o Si-TFET LDO tem a pior PSR devido a degradação de sua resposta em frequência para a capacitância de carga definida. Também é possível notar que o Ge-TFET LDO tem a melhor PSR em todo o espectro de frequência. A PSR do SiGe-TFET LDO é degradada devido ao *ripple* que passa pelo amplificador

diferencial para a porta de  $M_P$  (Gupta et al., 2004). Devido ao maior valor de  $r_{ds(MP)}$  no MOSFET LDO, a PSR tem comportamento semelhante a resposta do Ge-TFET LDO.

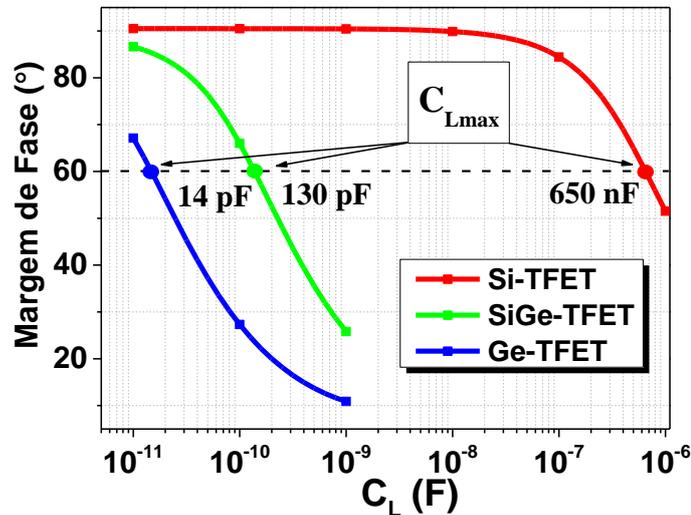


Figura 4.4 – Margem de fase em função da capacitância de carga A capacitância de carga máxima que garante 60 graus de margem fase é indicada para cada regulador.

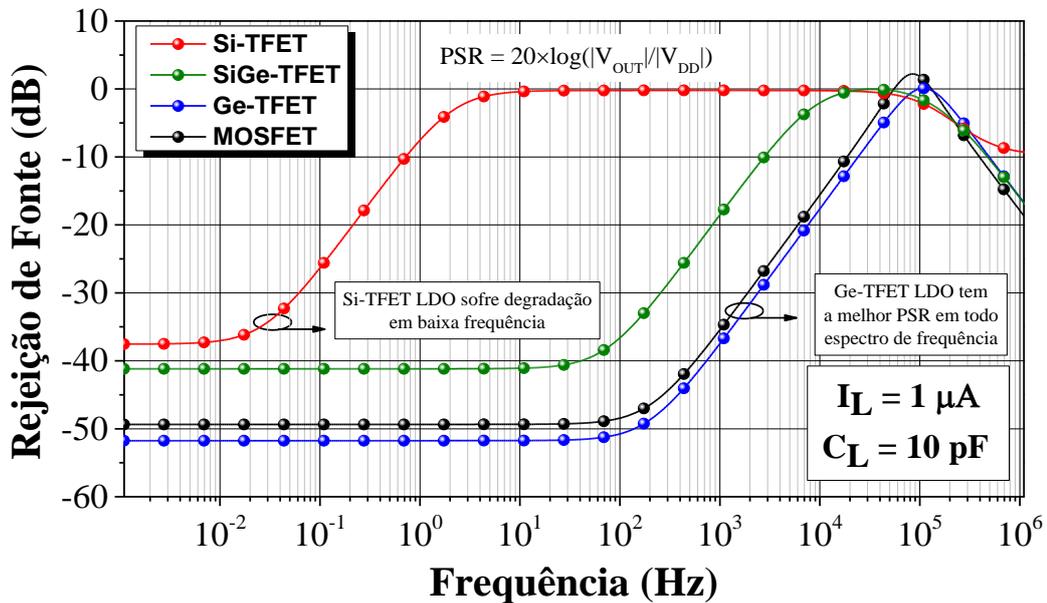


Figura 4.5 – Rejeição de fonte em função da frequência para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO.

Com  $V_{DD}$  variando de 3,6 V à 5 V para os reguladores projetados com TFET e de 1,8 V à 2,5 V para o MOSFET LDO, a resposta ao transiente de linha foi avaliada, o sobrevalor de tensão ( $\Delta V$ ) e tempo de assentamento ( $t_s$ ) estão indicados na Tabela 4.3. Com a mesma capacitância de

carga, todos os reguladores possuem  $\Delta V$  da mesma ordem de grandeza com o SiGe-TFET LDO apresentando o melhor resultado (18 %). Já que  $t_s$  é inversamente proporcional à GBW, o Si-TFET LDO possui a resposta mais lenta. Apesar de ter o maior GBW, no Ge-TFET LDO, o *slew-rate* do amplificador diferencial é menor devido às altas capacitâncias de  $M_P$  e menor  $I_B$ , fazendo com que seu tempo de assentamento seja 5  $\mu s$  menor do que o MOSFET LDO.

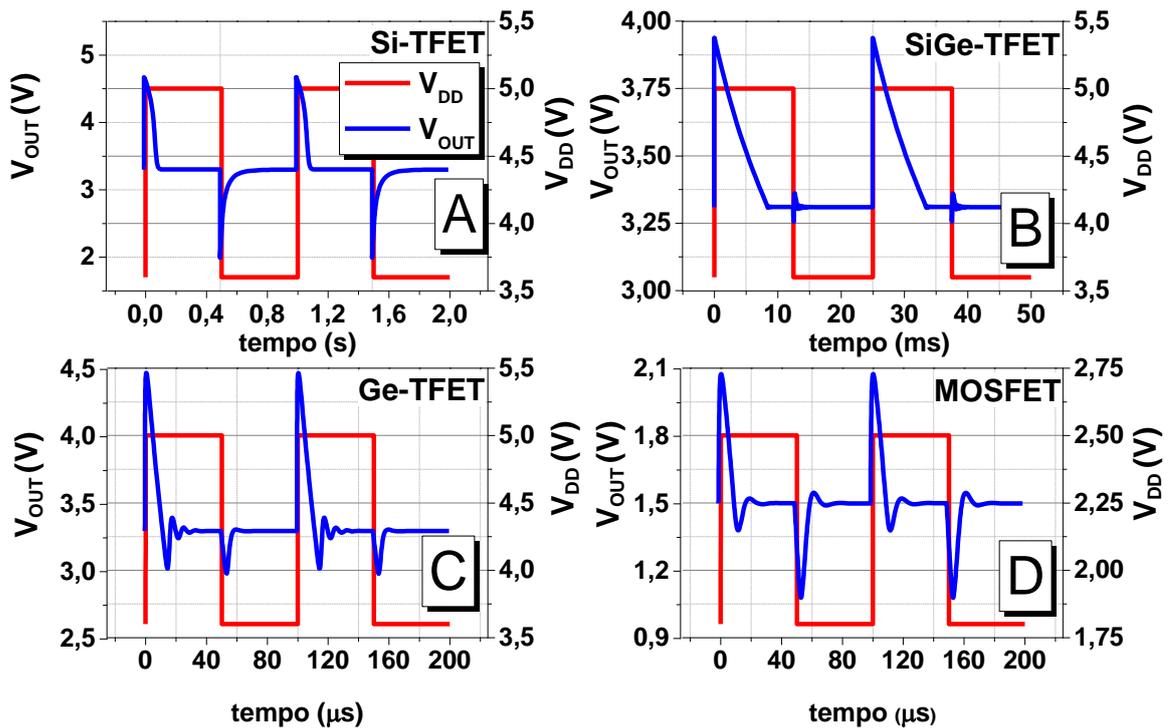


Figura 4.6 – Transiente de linha para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. A tensão de alimentação ( $V_{DD}$ ) dos reguladores projetados com TFET (de A à C) foram submetidos à um degrau de 1,4 V, enquanto que para o MOSFET LDO a resposta foi avaliada para um degrau de 0,7 V.

A resposta dos reguladores à uma variação transiente na carga de 1  $\mu A$  à 10  $\mu A$  pode ser observada na Figura 4.7. Primeiramente é possível observar que no MOSFET LDO, a tensão de saída decai para 1,3 V quando  $I_L = 10 \mu A$ , isso acontece devido a menor regulação de carga e degradação do ganho para corrente alta. O ganho de malha fica menor quando  $I_L = 10 \mu A$  porque a tensão na porta de  $M_P$  fica baixa fazendo com que transistores do amplificador diferencial operem em triodo, utilizar um  $M_P$  com um maior número de nanofios pode suprimir esse problema, já que a variação na porta seria menor. Na Tabela 4.3, são indicados o sobrevalor da tensão

e o tempo de assentamento. O MOSFET LDO tem o maior sobrevalor de tensão devido ao fato de que sua tensão de saída é 1,5 V, mas o valor absoluto é igual em todos os reguladores. O tempo de assentamento segue a mesma tendência do transiente de linha, com o MOSFET LDO obtendo a resposta mais rápida e o Si-TFET LDO com a resposta mais lenta.

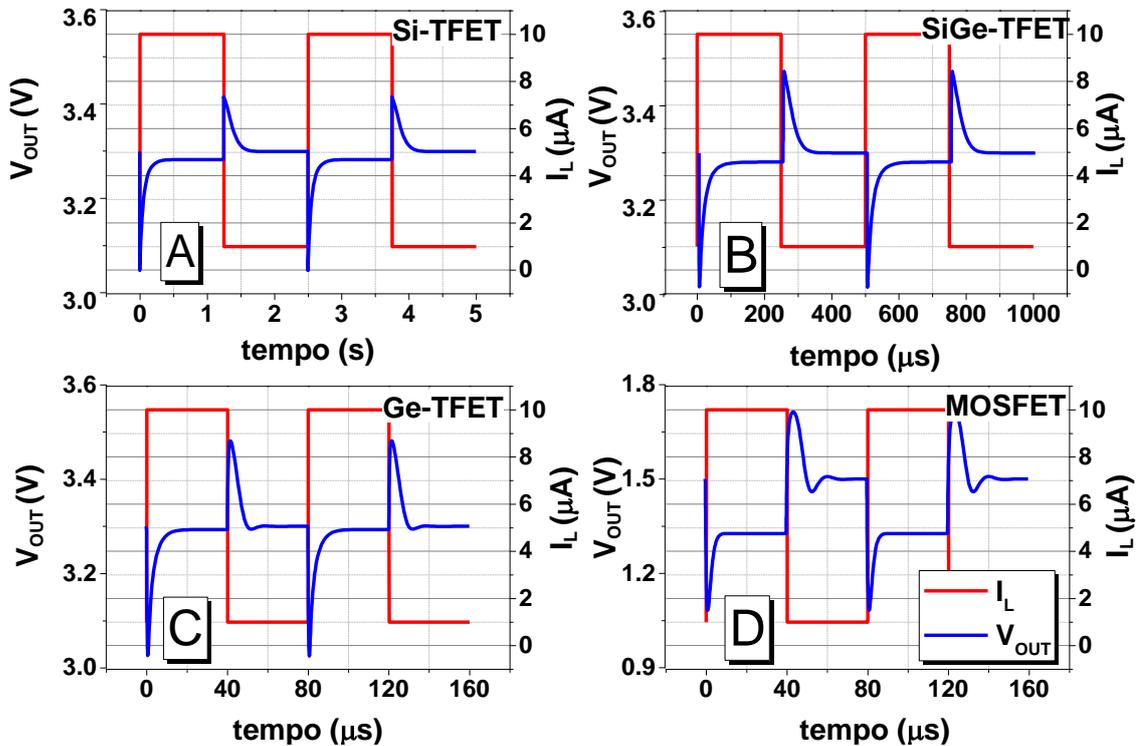


Figura 4.7 – Transiente de carga para os reguladores Si-TFET LDO, SiGe-TFET LDO, Ge-TFET LDO e MOSFET LDO. A corrente de carga  $I_L$  varia de 1  $\mu\text{A}$  para 10  $\mu\text{A}$ .

#### 4.2.2 Comparação com uma tecnologia MOSFET convencional

Na análise dos reguladores projetados usando TFETs com diferentes composições de fonte foi possível observar que os reguladores SiGe-TFET LDO e Ge-TFET LDO apresentaram os melhores resultados, com baixo consumo de potência, alto ganho de tensão e GBW similar ou melhor do que o MOSFET LDO. Para comparação de um regulador projetado com TFET com uma tecnologia MOSFET convencional foi escolhido o TFET em nanofios com fonte composta por SiGe. A comparação é realizada utilizando o PDK (*Process Design Kit*) CR018 da TSMC, esta tecnologia de 0,18  $\mu\text{m}$  foi escolhida devido a disponibilidade e pelo fato de ser uma tecnologia comercial bem consolidada. Nessa seção, o regulador projetado com o

SiGe-TFET é chamado simplesmente de LDO-TFET, enquanto o projetado com MOSFET convencional é chamado de LDO-MOSFET. A mesma topologia da Figura 4.2 foi utilizada. O cálculo dos resultados a partir dos parâmetros dos reguladores de acordo com as equações da subseção 2.2 também é realizado com intuito de validar a análise.

Duas condições de polarização foram selecionadas de acordo com a curva de  $g_m/I_D$  do SiGe-TFET e a sua capacidade de corrente:  $g_m/I_D = 7 \text{ V}^{-1}$  com  $I_L = 100 \text{ } \mu\text{A}$  e  $C_L = 100 \text{ pF}$ ;  $g_m/I_D = 10,5 \text{ V}^{-1}$  com  $I_L = 10 \text{ } \mu\text{A}$  e  $C_L = 10 \text{ pF}$ . Os valores foram escolhidos de acordo com a faixa de  $g_m/I_D$  do SiGe-TFET, apresentados na Figura 3.14. Com esses valores é esperado que a componente de corrente BTBT seja maior para  $g_m/I_D = 7 \text{ V}^{-1}$  do que  $g_m/I_D = 10,5 \text{ V}^{-1}$ . Nesses projetos a corrente de carga e capacitâncias foram aumentadas devido a maior capacidade de corrente do SiGe-TFET em comparação com o Si-TFET. Como já explicado, para o LDO-TFET, foi definido  $V_{DD} = 3,6 \text{ V}$  e para o LDO-MOSFET  $V_{DD} = 1,8 \text{ V}$ .

Para minimizar a corrente, também foi utilizado apenas um nanofio para cada transistor do amplificador diferencial. No projeto do espelho de corrente, foi necessário utilizar uma maior quantidade de transistores em paralelo para a polarização de  $g_m/I_D = 7 \text{ V}^{-1}$  para garantir que  $M_5$  opere em saturação. Para  $g_m/I_D = 10,5 \text{ V}^{-1}$ , não foi necessário aumentar a quantidade de dispositivos em paralelo. Nas duas polarizações, foi definido  $V_{REF} = 2,4 \text{ V}$ , pois é suficiente para garantir saturação em  $M_5$  e deixar a queda de tensão simétrica nos transistores do amplificador diferencial. Para o transistor de potência  $M_P$ , foi encontrado o número de nanofios que fornece a corrente de carga com  $V_{GS(M_P)} = V_{GS(M_4)}$ , como explicado no projeto anterior.

Na Tabela 4.4, é possível observar a quantidade de nanofios em paralelo para cada transistor nas duas condições de polarização. Como pode ser observado, foi necessário um alto número de nanofios para  $M_P$  fornecer a corrente de carga.

Tabela 4.4 – Número de nanofios em paralelo dos transistores do LDO-TFET.

Transistor	$g_m/I_D = 7 \text{ V}^{-1}$	$g_m/I_D = 10,5 \text{ V}^{-1}$
	n	n
$M_{1-2}$	1	1
$M_{3-4}$	1	1
$M_5$	56	2
$M_6$	28	1
$M_P$	$23,5 \times 10^3$	$34,1 \times 10^3$

No LDO-MOSFET, para aumentar a resistência de saída foi definido comprimento de canal igual à 1  $\mu\text{m}$  para os transistores do amplificador diferencial do e do espelho de corrente. Para o transistor de potência, foi definido comprimento de canal mínimo, igual à 180 nm, maximizando sua capacidade de corrente. A largura foi definida para ser 1  $\mu\text{m}$  em todos os transistores. Assim, através da curva de  $g_m/I_D$  do MOSFET tipo N, Figura 4.4, foi encontrada a corrente por transistor e finalmente, foi definido o número de transistores em paralelo para projetar o amplificador diferencial.

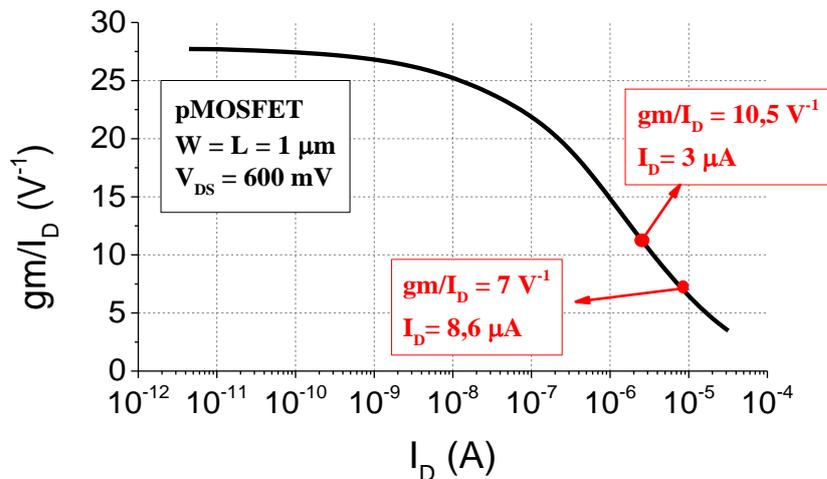


Figura 4.8 – Gráfico de  $g_m/I_D$  em função da corrente de dreno do transistor nMOSFET da tecnologia TSMC de 0,18  $\mu\text{m}$ .

. Como transistores tipo P possuem menor mobilidade, foi necessário colocar quatro vezes o número de transistores usados em  $M_1$  nos transistores  $M_3$  e  $M_4$ . Foi definido  $V_{REF} = 1,2 \text{ V}$ , para deixar a queda de tensão simétrica nos três transistores do amplificador diferencial. A quantidade de transistores em paralelo de  $M_P$  foi encontrada da mesma forma dos outros projetos. Para  $g_m/I_D = 10,5 \text{ V}^{-1}$ , foi necessário utilizar uma largura maior para fornecer a corrente de carga, pois seria necessário utilizar 3,3 transistores em paralelo, o que não é possível. Na Tabela 4.5 é possível observar as dimensões utilizadas para cada transistor do projeto.

Tabela 4.5 – Dimensionamento dos transistores do LDO-MOSFET.

Transistor	$g_m/I_D = 7 \text{ V}^{-1}$			$g_m/I_D = 10,5 \text{ V}^{-1}$		
	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	n	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	n
$M_{1-2}$	1	1	1	1	1	1
$M_{3-4}$	1	1	4	1	1	4
$M_5$	1	1	2	1	1	2
$M_6$	1	1	1	1	1	1
$M_P$	1	0,18	11	1,1	0,18	3

Para compensar o circuito, no LDO MOSFET, foi necessário adicionar uma capacitância de compensação de 15 pF para deixar o circuito com uma margem de fase de 60 graus.

Tabela 4.6 – Parâmetros dos reguladores LDO-TFET e LDO-MOSFET.

Parâmetro	$g_m/I_D = 7 \text{ V}^{-1}$		$g_m/I_D = 10,5 \text{ V}^{-1}$	
	TFET	MOSFET	TFET	MOSFET
$g_{m(MP)} (\mu\text{S})$	479	824	103	85
$r_{ds(MP)} (\text{K}\Omega)$	1,75	19,76	28,16	188,67
$A_D (\text{dB})$	43,5	34,7	49,3	37,4
$R_D$	1,6 G $\Omega$	877,4 K $\Omega$	45,3 G $\Omega$	2,35 M $\Omega$
$C_{GS(MP)}$	13 pF	12 fF	19 pF	1 fF
$C_{GD(MP)}$	54 pF	5 fF	72 pF	0,5 fF
$C_c (\text{pF})$	-	15	-	15
$\beta$	0,73	0,8	0,73	0,8

Os principais parâmetros dos reguladores LDO projetados estão indicados na Tabela 4.6. Perceba que a resistência de saída do amplificador diferencial  $R_D$  é cinco ordens de grandeza maior no regulador com TFET se comparado ao circuito com MOSFET. A resistência de saída de um amplificador diferencial é encontrada de acordo com a Equação (4.1) (SEDRA; SMITH, 2015), onde  $r_{ds}$  é a resistência de saída de pequenos sinais do transistor indicado entre parênteses. Como já discutido na anteriormente,  $r_{ds}$  em transistores de tunelamento é alta se comparado a MOSFET, por isso circuitos com TFET apresentam  $R_D$  mais alto.

$$R_D = r_{ds(M1)} // r_{ds(M3)} \quad (4.1)$$

O ganho do amplificador diferencial pode ser calculado de acordo com a Equação (4.2), devido à alta  $R_D$  dos reguladores com TFET, o ganho  $A_D$  nesses circuitos é cerca de 10 dB mais alto, mesmo com transcondutância do par diferencial menor.

$$A_D = g_{m(M1)} R_D \quad (4.2)$$

Para as capacitâncias de carga consideradas, o regulador LDO com TFET fica compensado sem a necessidade de um capacitor de compensação devido à alta resistência de saída do amplificador diferencial  $R_D$  e capacitância  $C_{GD(MP)}$ . Para compensar o regulador LDO com MOSFET, foi adicionada uma capacitância de compensação de 15 pF, indicado na Tabela 4.6.

Devido à alta corrente conduzida por  $M_P$  para os dois dispositivos, suas transcondutâncias apresentam valores similares. É possível observar que  $r_{ds(MP)}$  é cerca de uma ordem de grandeza menor nos reguladores com TFET devido ao fato desse transistor operar na região linear como já explicado.

Através das equações fornecidas na subseção 2.2 e dos parâmetros da Tabela 4.6, as especificações dos reguladores foram calculadas e comparadas com os valores encontrados por simulação, o resultado pode ser observado na Tabela 4.7.

Tabela 4.7 – Resultados simulados e extraídos por simulação dos reguladores LDO-TFET e LDO-MOSFET.

Parâmetro	$g_m/I_D = 7 \text{ V}^{-1}$				$g_m/I_D = 10,5 \text{ V}^{-1}$			
	TFET		MOSFET		TFET		MOSFET	
Tecnologia	TFET	MOSFET	TFET	MOSFET	TFET	MOSFET	TFET	MOSFET
C – Calculado S – Simulado	C	S	C	S	C	S	C	S
Regulação de Carga (V/A)	19,1	18,9	27,8	26,4	43,9	45,6	197,5	197,1
Regulação de Linha (mV/V)	11,5	12,3	3,3	2,3	1,8	1,3	2,4	1,1
$A_M$ (dB)	38,8	38,8	49,7	50,2	55,1	56,6	52,5	52,5
GBW	$8 \times 10^{-3}$	$8 \times 10^{-3}$	461	416	$7 \times 10^{-3}$	$7 \times 10^{-3}$	235	250

O produto ganho-largura de banda, GBW na Tabela 4.7, foi encontrado considerando que o sistema possui o polo dominante  $w_{PA}$ , assim é possível calcular GBW de acordo com a Equação (4.3), onde  $p_A$  é o polo dominante  $w_{PA}$  em hertz.

$$GBW = A_M p_A \quad (4.3)$$

. É possível perceber que as equações da subseção 2.2 descrevem corretamente o comportamento do regulador já que os valores calculados são próximos dos simulados. Na regulação de linha, apesar de ser da mesma ordem de grandeza, os resultados são diferentes, isso acontece pois no seu cálculo, não é considerado o caminho do *ripple* em  $V_{DD}$  pelo amplificador diferencial (GUPTA; RINCÓN-MORA; RAHA, 2004).

As especificações dos reguladores LDO-TFET e LDO-MOSFET estão indicadas na Tabela 4.8. É possível observar que a corrente quiescente pelo LDO-TFET é muito menor, se comparado ao LDO-MOSFET, esse resultado é esperado, já que outros trabalhos demonstraram que a potência consumida por circuitos analógicos com TFET é muito mais baixa se comparada com a implementação com MOSFET. Por causa desse baixo consumo de corrente, a eficiência do LDO-TFET é muito mais alta nas duas polarizações.

Nas duas polarizações, o LDO-TFET apresenta melhores resultados para regulação de carga, isso acontece porque o amplificador projetado com TFET, apresenta ganho de tensão muito maior que o projetado com MOSFET.

Para polarização de  $g_m/I_D = 7 \text{ V}^{-1}$ , a regulação de linha encontrada é maior no LDO-TFET, este parâmetro é degradado no LDO-TFET porque o ganho do segundo estágio  $A_{MP}$ , que pode ser calculado a partir da Equação (4.4), é degradado. Isso acontece porque não é possível projetar  $M_P$  na saturação, degradando sua resistência de saída. Para  $g_m/I_D = 10,5 \text{ V}^{-1}$ , a degradação devido à  $A_{MP}$  no LDO-TFET é compensada pelo alto ganho do amplificador diferencial, tornando seu resultado mais próximo do LDO-MOSFET.

A resposta em frequência do ganho de malha dos reguladores projetados está ilustrada na Figura 4.9. Devido à alta resistência de saída do amplificador diferencial e da alta capacitância de  $M_P$  no LDO-TFET, o polo  $p_A$  está localizado em uma frequência muito mais baixa do que o LDO-MOSFET nas duas polarizações, degradando o produto ganho-largura de banda GBW que resulta em uma frequência muito menor.

No LDO-TFET, o ganho de malha para  $g_m/I_D = 10,5 \text{ V}^{-1}$  é maior do que o LDO-MOSFET e menor para  $g_m/I_D = 7 \text{ V}^{-1}$ . Apesar de amplificadores com TFET apresentarem maiores ganhos, a degradação do ganho de malha no LDO-MOSFET

acontece devido ao baixo ganho do estágio do transistor de potência  $A_{MP}$ , calculado através da Equação (4.4).

Tabela 4.8 – Especificações obtidas na comparação com tecnologia MOSFET convencional.

Parâmetro	$g_m/I_D = 7 \text{ V}^{-1}$		$g_m/I_D = 10,5 \text{ V}^{-1}$	
	TFET	MOSFET	TFET	MOSFET
$V_{OUT} \text{ (V)}$	3,3 V		1,5 V	
$I_L \text{ (}\mu\text{A)}$	10		100	
$C_L \text{ (pF)}$	10		100	
$I_Q$	42 nA	25,8 $\mu\text{A}$	1,53 nA	9 $\mu\text{A}$
Eficiência	91,6 %	68,1%	91,6%	45,1 %
Regulação de Carga (V/A)	18,9	26,4	45,6	197,1
Regulação de Linha (mV/V)	12,3	2,3	1,3	1,1
Ganho de Malha (dB)	38,8	50,2	56,6	52,5
GBW (Hz)	80	$416,3 \times 10^3$	7,5	$250 \times 10^3$

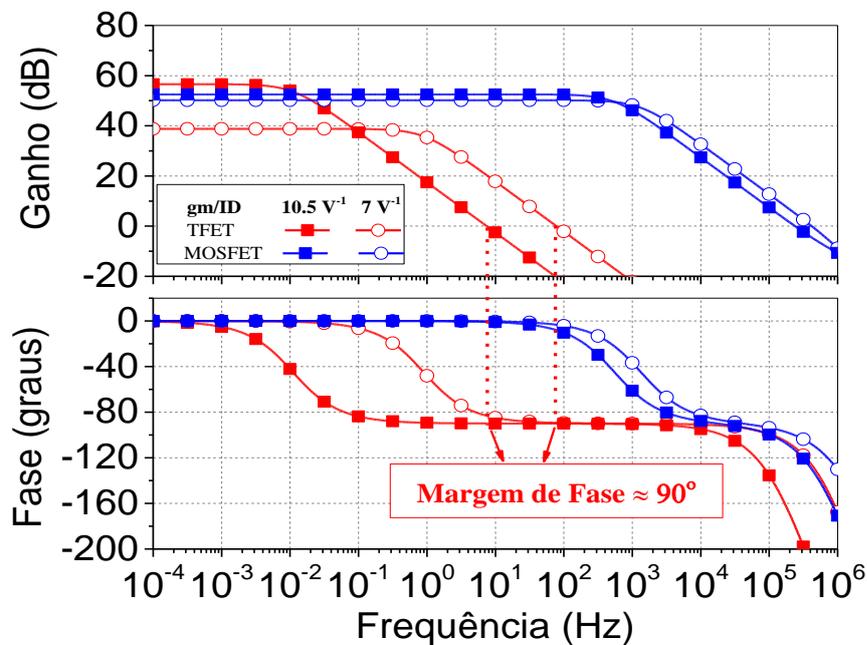


Figura 4.9 – Resposta em frequência em malha aberta para os reguladores LDO-TFET e LDO-MOSFET.

$$A_{MP} = g_m R_{OUT} \quad (4.4)$$

Como pode ser observado na Tabela 4.9, para  $g_m/I_D = 7 \text{ V}^{-1}$  o ganho de malha sofre maior degradação devido a  $A_{MP}$ , principalmente por causa do baixo  $r_{ds}$ , já que este parâmetro está incluído em  $R_{OUT}$ , como indicado na Equação (2.18).

Tabela 4.9 – Ganho do estágio de  $M_P$  dos reguladores LDO-TFET e LDO-MOSFET.

Parâmetro	$g_m/I_D = 7 \text{ V}^{-1}$		$g_m/I_D = 10,5 \text{ V}^{-1}$	
	TFET	MOSFET	TFET	MOSFET
<b><math>A_{MP}</math> (dB)</b>	-4,7	15,5	7,3	15,1

O polo de entrada do regulador  $p_A$  e o da saída,  $p_B$ , foram ser calculados através das equações (2.27) e (2.28). Os resultados para as duas polarizações, estão indicados na Tabela 4.10, onde  $p_B$  é o polo não dominante dado em hertz. Na Figura 4.9, é possível observar que a degradação na fase acontece para frequências acima de 100 KHz. Como para o LDO-TFET,  $p_B$  está localizado em uma frequência muito maior que  $p_A$ , o circuito suporta uma capacitância de carga  $C_L$  maior sem degradação da margem de fase.

Tabela 4.10 – Polos calculados a partir dos parâmetros dos reguladores LDO-TFET e LDO-MOSFET.

Parâmetro	$g_m/I_D = 7 \text{ V}^{-1}$		$g_m/I_D = 10,5 \text{ V}^{-1}$	
	TFET	MOSFET	TFET	MOSFET
<b><math>p_A</math></b>	0,9 Hz	1,5 KHz	12,46 mHz	55,5 Hz
<b><math>p_B</math></b>	4,8 MHz	8,2 MHz	10,3 MHz	8,5 MHz

A rejeição de fonte dos reguladores está ilustrada na Figura 4.10, como a regulação de linha reflete na rejeição de fonte em baixas frequências, os resultados são iguais com o LDO-MOSFET apresentando melhores resultados. Para frequências mais altas, a degradação da PSR acontece por causa da baixa frequência de  $p_A$  e por isso, no LDO-TFET a rejeição de fonte apresenta resultados piores.

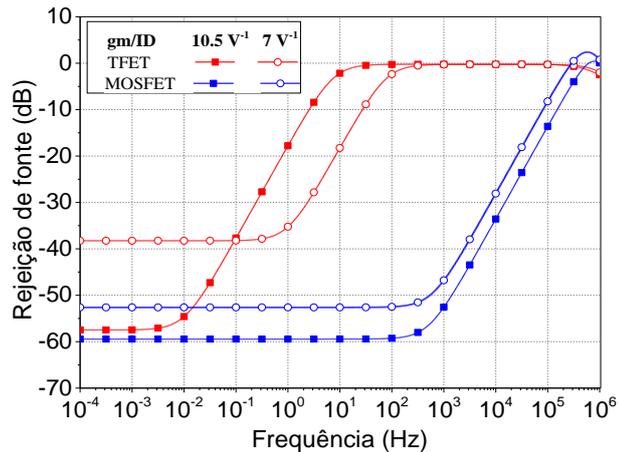


Figura 4.10 – Rejeição de Fonte em função da frequência para os reguladores LDO-TFET e LDO-MOSFET.

O ultra baixo consumo de potência apresentado pelo LDO-TFET é interessante para aplicações de RFID, onde no contexto de internet das coisas, cada chip terá que operar com pouca potência disponível. Ainda, circuitos integrados analógicos com TFET não necessitam topologias complexas com técnicas de baixo consumo (Hou Z et al., 2023), já que ele é atingido com topologias simples.

#### 4.2.3 Influência da variabilidade de processo

Uma das principais preocupações em circuitos integrados é a variabilidade de processo, principalmente em tecnologias avançadas. A variabilidade de processo causa mudanças nos parâmetros dos dispositivos como variações na tensão de estado ligado e nos níveis de corrente que levam a flutuações no desempenho do circuito, assim a análise da variabilidade de processo é mandatória no projeto de circuitos integrados para alcançar altos rendimentos em sua fabricação (Yoon et al., 2020). Algumas fontes de variações aleatórias de processo em transistores de tunelamento são a flutuação aleatória de dopantes e da função trabalho (Debnath & Baishya, 2022).

Para realizar uma simples análise da variabilidade *die-to-die*, cinco dispositivos SiGe-TFET em nanofios com as mesmas características descritas na subseção 3.4 foram medidos na mesma lâmina. Os transistores foram modelados utilizando o mesmo método com LUTs sem considerar a variação nas capacitâncias. Com esses modelos, o mesmo projeto realizado para  $g_m/I_D = 7 \text{ V}^{-1}$  no LDO-TFET foi implementado

para cada dispositivo medido, mantendo a mesma corrente de polarização e dimensão dos transistores.

A característica de saída para os dispositivos medidos com  $V_{GS} = 1,55 \text{ V}$  pode ser observada na Figura 4.11, onde são diferenciados pelas letras de A à E, a amostra E é aquela utilizada nos projetos anteriores. Na figura, a corrente de dreno foi dividida pela largura equivalente, dada pela Equação (2.7). Foi observado uma variação de cerca de 40% para o SiGe-TFET operando em saturação.

Os parâmetros dos reguladores foram extraídos para cada projeto, na Tabela 4.11, é possível observar o valor médio, junto com os maiores e menores resultados obtidos para cada parâmetro. Como pode ser observado, não há uma variação significativa em nos parâmetros do transistor de potência  $M_P$ , porém é possível notar que para os parâmetros do amplificador diferencial, o projeto realizado anteriormente possui os menores valores, com as outras medidas,  $A_D$  pode chegar a 54,9 dB em comparação à 43,5 dB encontrado no LDO-TFET projetado anteriormente. A pequena variação nos parâmetros pode ser explicada pela fonte de corrente ideal utilizada em  $I_B$  da Figura 4.2.

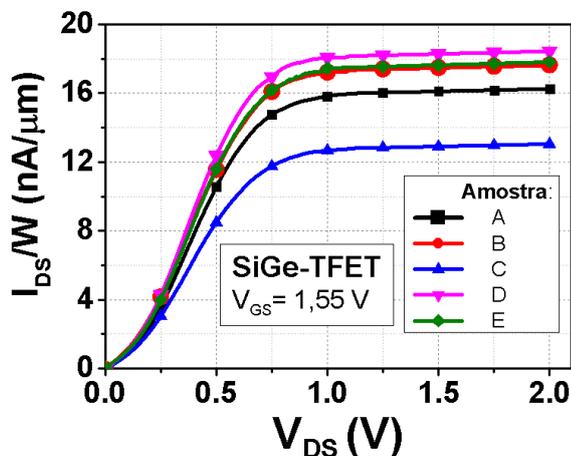


Figura 4.11 – Corrente de dreno em função da tensão  $V_{DS}$  para dispositivos SiGe-TFET em nanofios com mesmas características na mesma lâmina.

Na Tabela 4.12, são mostradas o resultado médio, melhor e pior para as especificações dos projetos com as diferentes amostras. Comparando com os resultados do LDO-MOSFET apresentado anteriormente, é possível observar que o LDO-TFET apresenta melhores resultados nos piores casos para todos os parâmetros, porém ainda com GBW mais baixo. Apesar do projeto ser realizado considerando medidas de apenas cinco dispositivos, é possível afirmar que a alta resistência de saída presente nos transistores de tunelamento ainda é garantida

mesmo com a variação nos níveis de corrente dadas pelas medidas de dispositivos em diferentes *dies*.

Tabela 4.11 – Parâmetro do regulador LDO-TFET projetado com SiGe-TFET considerando todas as amostras.

Parâmetro	Média	Maior	Menor
$g_{m(MP)}$ ( $\mu S$ )	481	570	433
$r_{ds(MP)}$ ( $K\Omega$ )	1,7	1.8	1,6
$A_D$ (dB)	47,2	54,9	43,5
$R_D$ ( $M\Omega$ )	2946	6370	1700

Tabela 4.12 – Especificações do regulador LDO-TFET considerando todas as amostras. São mostrados os resultados médio, melhor e pior.

Especificação	Média	Melhor	Pior
Regulação de Carga (V/A)	13,3	5,7	18,9
Regulação de Linha (mV/V)	7,6	1,9	12,0
Ganho de Malha (dB)	42,2	49,0	38,8
GBW (Hz)	74	78	67

#### 4.3 REGULADOR LDO HÍBRIDO PROJETADO COM TECNOLOGIAS MOSFET E TFET FABRICADOS EM ESTRUTURA DE NANOFIOS

Projetos analógicos com transistores de tunelamento resultam em amplificadores com alto ganho de tensão e baixo consumo de potência. Porém devido à baixa capacidade de corrente, parâmetros como a resposta em frequência e a capacidade de conduzir altas correntes de carga são degradados, como mostrado nos resultados anteriores.

Para superar essas limitações, pesquisas em tecnologias híbridas TFET-MOSFET estão sendo desenvolvidas. Com relação a fabricação, uma tecnologia híbrida III-V TFET-MOSFET foi desenvolvida em uma plataforma de silício (Convertino et al., 2021), o estudo mostra uma inclinação de sublimiar de 43 mV/dec para o TFET e 62 mV/dec para o MOSFET em temperatura ambiente. Com relação ao projeto de

circuitos integrados, circuitos híbridos que utilizam dispositivos modelados por simulação de tecnologias híbridas TFET-MOSFET foram estudados. Os resultados mostram sistemas com baixo consumo de potência para a mesma resposta dinâmicas de projetos com MOSFET (C. -N. Chang et al., 2017; Wang et al., 2021).

Foi observado que nos reguladores LDO projetados com TFET, que devido à baixa capacidade de corrente do dispositivo, a corrente de carga fica limitada e o transistor de potência  $M_P$  precisa ter uma grande largura equivalente o que aumenta sua capacitância. Assim, é interessante projetar um regulador LDO com amplificador que utiliza TFETs, para fornecer alto ganho de tensão e baixo consumo de corrente, e o transistor de potência projetado com MOSFET para entregar a alta corrente de carga. O dispositivo em nanofios SiGe-TFET e MOSFET serão utilizados para o projeto de um regulador híbrido, é importante lembrar que ambos dispositivos foram fabricados no mesmo fluxo de processos vertical.

Como os dispositivos operam com diferentes tensões de estado ligado, duas soluções são propostas para tornar o projeto do regulador LDO híbrido possível, elas serão discutidas a seguir e comparadas com um regulador LDO projetado apenas o MOSFETs e outro utilizando apenas TFETs. Nesses projetos, foi definida uma corrente de carga mínima de 100  $\mu\text{A}$  e máxima de 1 mA com  $V_{DO} = 300 \text{ mV}$  e  $C_L = 1 \text{ nF}$ . Esses valores foram escolhidos para destacar a vantagem de usar um dispositivo com maior capacidade de corrente no transistor de potência  $M_P$ . Os transistores do amplificador diferencial foram polarizados para  $g_m/I_D = 9,5 \text{ V}^{-1}$ , para aproveitar o maior ganho intrínseco do SiGe-TFET e minimizar o consumo de corrente.

#### **4.3.1. Regulador LDO $\Delta V$ -Híbrido**

A topologia do regulador LDO  $\Delta V$ -Híbrido pode ser observada na Figura 4.12. Comparando com a topologia utilizadas nos projetos anteriores (Figura 4.2), é possível notar que no regulador híbrido, o transistor de potência  $M_P$  é implementado com um MOSFET e que no lugar dos resistores ideais, transistores conectados como diodos ( $D_1$  até  $D_3$ ) foram utilizados para projetar a malha de realimentação. Com essa mudança o consumo de corrente nessa malha é considerado no resultado final da corrente quiescente. A capacitância de compensação  $C_C$  foi incluída para garantir uma margem de fase de 60 graus quando o regulador LDO opera na corrente mínima.

A diferença nas tensões dos dois dispositivos força o MOSFET  $M_P$  a operar em triodo com alta tensão  $V_{SG}$  e  $V_{SD} = 300$  mV o que degrada o ganho de tensão, tornando esse projeto inviável. Para implementar o regulador LDO da Figura 4.12, os dispositivos TFET e MOSFET devem possuir tensão de estado ligado similares, uma solução pode ser realizada através da engenharia da função trabalho. Mudar a função trabalho do TFET irá deslocar a curva  $I_D \times V_{GS}$  sem afetar as inclinações e consequentemente as características de pequenos sinais do dispositivo (Bhuwalka et al., 2005). Assim, no código Verilog-A, um deslocamento de tensão de 830 mV foi implementado para diminuir a tensão de ligado do SiGe-TFET, a curva de transferência antes e depois do deslocamento pode ser observada na Figura 4.13.

Com esse modelo, é possível usar o MOSFET em  $M_P$  para fornecer a alta corrente de carga e ainda operando em saturação para aumentar o ganho de malha. Como a tensão de estado ligado do TFET foi deslocada, a tensão de alimentação definida foi  $V_{DD} = 1,8$  V, assim  $V_{OUT} = 1,5$  V. Para minimizar o consumo de potência, o número mínimo de transistores foram usados para o amplificador diferencial e a malha de realimentação, assim dois nanofios foram usados em  $M_5$  e apenas um nanofio foi usado nos outros transistores. Para o transistor de potência que utiliza o MOSFET em nanofios, 1000 dispositivos em paralelo foram utilizados. Este valor foi utilizado nos outros projetos, ele foi escolhido com base na capacidade de corrente do MOSFET em nanofios e da corrente de carga máxima. Para assegurar uma margem de fase de 60 graus com  $I_L = 100$   $\mu$ A, foi necessário  $C_C = 2,5$  pF.

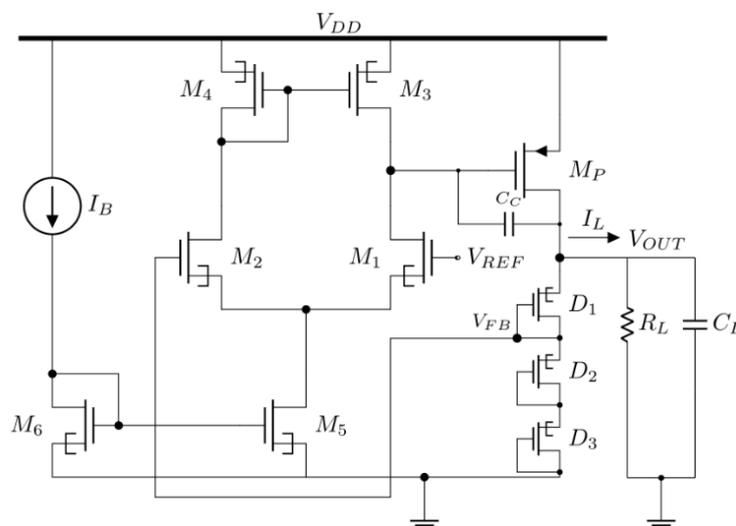


Figura 4.12 – Topologia do regulador LDO híbrido.

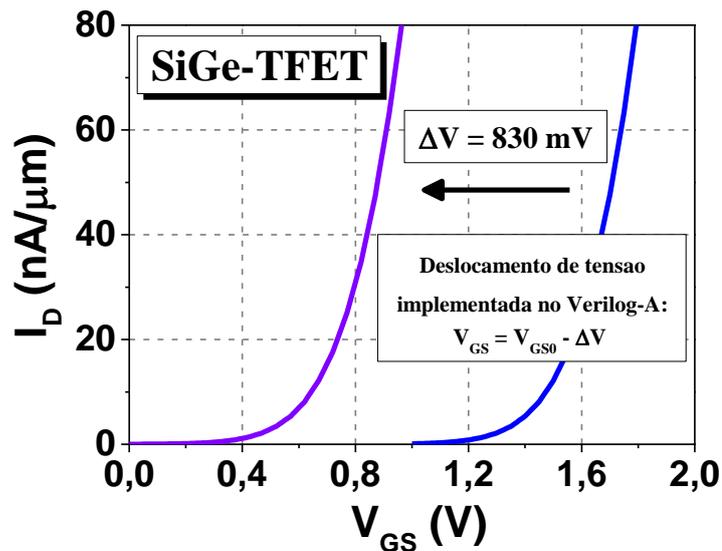


Figura 4.13 – Corrente de dreno normalizada em função da tensão  $V_{GS}$  para o SiGe-TFET com (lilás) e sem (azul) o deslocamento de tensão ( $\Delta V$ ).  $V_{GS0}$  é a tensão entre porta e fonte da LUT sem o deslocamento aplicado.

#### 4.3.2. Regulador LDO LS-Híbrido

Outra solução para implementar um regulador LDO híbrido é utilizar um estágio com um deslocador de nível (*level shifter*) entre o amplificador diferencial e o transistor de potência. Dessa forma é possível analisar o comportamento de um LDO híbrido sem alterar as medidas dos dispositivos.

Um deslocador de nível pode ser projetado com a configuração de um amplificador seguidor de fonte, como ilustrado na Figura 4.14. O deslocamento de tensão ( $V_{LS}$ ) é realizado através da queda de tensão entre porta e fonte do dispositivo TFET tipo P.

A topologia do regulador LDO LS-Híbrido pode ser observada na Figura 4.15, como o amplificador diferencial é projetado com SiGe-TFET sem alteração nas medidas, é utilizado  $V_{OUT} = 3,3$  V e conseqüentemente  $V_{DD} = 3,6$  V. É possível perceber que na entrada do amplificador diferencial, transistores do tipo P estão sendo usados. Caso fosse mantido transistores do tipo N no par diferencial, seria necessário  $V_{LS} = 830$  mV, que é menor que a tensão de estado ligado do SiGe-TFET, impossibilitando o projeto. Com transistores do tipo P no par diferencial, é necessário  $V_{LS} = 1,76$  V, tornando possível utilizar o estágio com o deslocador de nível formado pelos transistores  $M_7$  e  $M_8$ . O transistor TFET  $M_8$  implementa a fonte de corrente  $I_{LS}$

da Figura 4.14. A resistência de saída de um amplificador fonte comum é baixa (Razavi, 2014), por isso o polo dominante do regulador LDO LS-Híbrido é formado na saída do amplificador diferencial, no nó indicado por  $V_1$ , onde o capacitor de compensação ( $C_C$ ) é utilizado para garantir a margem de fase de 60 graus.

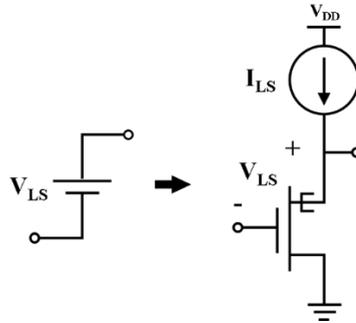


Figura 4.14 – Implementação de um estágio com um deslocador de nível (*level shifter*). Um seguidor de fonte é usado para realizar o deslocamento de tensão ( $V_{LS}$ ) polarizado pela corrente  $I_{LS}$ .

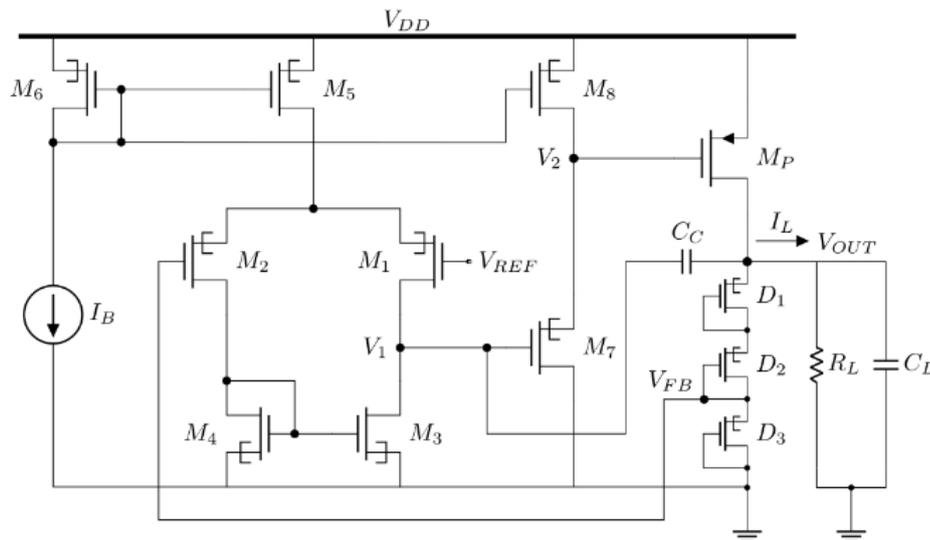


Figura 4.15 – Regulador LDO projetado usando um estágio com deslocador de nível (LDO LS-Híbrido).

Assim como no regulador LDO  $\Delta V$ -Híbrido, nos dispositivos  $M_1$  até  $M_4$  e  $M_6$ , é utilizado um nanofio, em  $M_5$  é utilizado dois dispositivos em paralelo e o transistor de potência possui 1000 nanofios em paralelo. Considerando os transistores do estágio com o deslocador de nível, um nanofio foi utilizado em  $M_7$  para minimizar o consumo de corrente, para o transistor  $M_8$  foi necessário utilizar 35 nanofios em paralelo já que  $V_{SG}$  desse dispositivo é menor que  $V_{LS}$ . Um capacitor de 1 pF foi utilizado para compensar o circuito.

### 4.3.3. Análise e resultados

Para poder destacar as vantagens de utilizar uma tecnologia híbrida TFET-MOSFET, mais dois reguladores foram projetados, um utilizando apenas as medidas do transistor TFET em nanofios e outro utilizando apenas as medidas do MOSFET. A topologia utilizada é aquela da Figura 4.12, porém apenas com transistores de mesma tecnologia.

Para o regulador LDO TFET, a mesma quantidade de transistores do regulador LDO  $\Delta V$ -Híbrido foi utilizada para o amplificador diferencial e espelho de corrente, para o transistor de potência, 100000 nanofios em paralelo foram utilizados. Essa quantidade de dispositivos ocupa muita área, o que certamente é um problema em um projeto de circuitos integrados analógicos, porém devido à baixa capacidade de corrente do TFET, ela é necessária para fornecer 1 mA de corrente de carga, e assim podemos utilizar esse projeto para fins de comparação com os reguladores LDO híbridos. Devido a maior tensão de operação dos transistores SiGe-TFET medidos, foi definido  $V_{OUT} = 3,3$  V, e conseqüentemente  $V_{DD} = 3,6$  V. Com a alta capacitância de  $M_P$ , não é necessário utilizar  $C_C$  para atender aos critérios de estabilidade definidos.

No regulador MOSFET LDO, também foi utilizada a mesma quantidade de nanofios em paralelo para os transistores MOSFET do amplificador diferencial e espelho de corrente, no transistor de potência foi utilizado 1000 nanofios, assim como nos projetos dos reguladores híbridos. Já que são utilizadas apenas as medidas do MOSFET em nanofios, foi definido  $V_{OUT} = 1,5$  V e  $V_{DD} = 1,8$  V.

Os parâmetros dos reguladores LDO descritos anteriormente podem ser observados na Tabela 4.13, onde são apresentados os resultados para os reguladores operando com corrente de carga mínima e máxima.

A transcondutância de  $M_P$  apresenta comportamento semelhante em todos os projetos, como já explicado, isso acontece principalmente porque esse parâmetro é diretamente proporcional à corrente de carga. O uso de um dispositivo MOSFET em  $M_P$  resultou em um maior  $r_{ds(MP)}$  para os reguladores operando com corrente de carga mínima o que resulta em um maior ganho de tensão do estágio de potência ( $A_{MP}$ ). Como a tensão de saturação é menor, é possível projetar o dispositivo para operar em saturação na corrente mínima. Com o aumento da corrente de carga, o dispositivo MOSFET entra em na região de triodo, por isso a resistência de saída de  $M_P$  diminui.

Como esperado, os reguladores que utilizam TFETs no amplificador diferencial apresentam maior ganho de tensão ( $A_D$ ) e resistência de saída ( $R_D$ ) devido à alta resistência de saída presente em transistores de tunelamento. A resistência de saída  $R_D$  não apenas aumenta  $A_D$ , como também torna possível utilizar um  $C_C$  menor. Assim, é possível observar que o regulador com MOSFET precisa de uma capacitância muito maior do que os projetos híbridos. A grande quantidade de transistores em paralelo usados no LDO TFET garante a estabilidade do circuito devido às suas altas capacitâncias. Pode ser observado nas que a tensão de realimentação  $V_{FB}$  é dada pela queda de tensão em  $D_3$  para o LDO LS-Híbrido (Figura 4.15) e nos outros projetos  $V_{FB}$  é dada pela queda de tensão  $D_2$  e  $D_3$  (Figura 4.12). Já que os transistores do par diferencial do regulador LS-Híbrido são do tipo P, é necessário que a tensão de referência  $V_{REF}$  seja mais baixa, e assim o fator de realimentação  $\beta$  é menor para esse projeto.

Os resultados encontrados estão sumarizados na Tabela 4.14. Como esperado, a corrente quiescente ( $I_Q$ ) é menor para os reguladores que utilizam MOSFET apenas no transistor de potência, o regulador TFET e o  $\Delta V$ -Híbrido apresentam os melhores resultados. O regulador LDO LS-Híbrido apresenta um maior consumo de corrente devido ao estágio com o deslocador de nível. Os reguladores com amplificadores projetados usando transistores de tunelamento possuem os maiores ganhos de tensão. O regulador LDO LS-Híbrido apresenta uma regulação de carga maior devido ao ganho de tensão do estágio com o deslocador de nível, apesar de ser projetado para fornecer ganho de tensão unitário, esse estágio apresenta um ganho de tensão de -0.4 dB para o regulador LS-Híbrido operando com a carga de 1mA e -2.7 dB para 100  $\mu$ A.

Tabela 4.13 – Parâmetros dos reguladores LDO híbridos para corrente carga mínima/máxima.

LDO	MOSFET	TFET	$\Delta V$ -Híbrido	LS-Híbrido
$g_{m(MP)}$ (mS)	1,0/3,0	0,8/4,0	1,0/2,2	1,0/2,3
$r_{ds(MP)}$ (K $\Omega$ )	19,4/0,5	2,0/0,2	19,5/0,4	19,5/0,4
$A_{MP}$ (dB)	18,6/0,6	3,5/-3,9	18,7/-3,8	21,9/-2,4
$A_D$ (dB)	28,9/28,5	47,4/47,3	47,3/46,8	47,4/47,3
$R_D$ (G $\Omega$ )	0,12/0,15	14,7/14,6	14,6/13,9	14,7/14,6
$C_C$ (pF)	100,0	-	2,5	1,0
$\beta$	0,67	0,67	0,67	0,33

Tabela 4.14 – Resultados dos reguladores LDO híbridos para corrente carga mínima/máxima. Para a regulação de carga, é mostrada a variação da tensão de saída para a corrente de carga variando do seu valor mínimo para o máximo.

<b>LDO</b>	<b>MOSFET</b>	<b>TFET</b>	<b><math>\Delta V</math>-Híbrido</b>	<b>LS-Híbrido</b>
<b><math>I_q</math> (nA)</b>	774/762	5/5	7/7	49/63
<b>Regulação de carga (mV/mA)</b>	23	3	3	6
<b>Ganho de Malha (dB)</b>	41,0/25,6	47,4/39,9	62,0/40,0	56,9/34,9
<b>GBW (Hz)</b>	1092/900	4/2	400/102	700/342

Nos reguladores híbridos, devido ao maior  $A_{MP}$  e  $A_D$ , os reguladores híbridos apresentam os maiores ganho de malha com GBW próximo do regulador LDO projetado apenas com MOSFET mesmo operando com menor consumo de corrente. Como a análise de estabilidade para essa topologia deve ser feita para quando o circuito fornece a corrente de carga mínima, a resposta em frequência dos circuitos, para  $I_L = 100 \mu A$ , é mostrada na Figura 4.16. O ganho de malha em baixa frequência para o regulador LDO LS-Híbrido (56,9 dB) é menor que aquele apresentado pelo regulador LDO  $\Delta V$ -Híbrido (62,0 dB) devido ao ganho de tensão do estágio com o deslocador de nível que degrada esse parâmetro.

A rejeição de fonte (PSR) dos reguladores pode ser observada na Figura 4.17, onde são mostrados os resultados para corrente de carga máxima e mínima. O regulador LDO  $\Delta V$ -Híbrido apresenta os melhores resultados em baixa frequência e uma resposta semelhante aos reguladores LDO LS-Híbrido e MOSFET em frequências mais altas. A topologia do regulador LDO LS-Híbrido utiliza dispositivos do tipo p no par diferencial, por isso a PSR é degradada em baixa frequência (Gupta et al., 2004) mas ainda apresenta uma rejeição maior que o regulador LDO projetado apenas com MOSFET em frequência mais baixas, para  $I_L = 1 \text{ mA}$ .

A análise transiente dos reguladores foi realizada aplicando um degrau de tensão de 500 mV em  $V_{DD}$  para o transiente de linha e um degrau entre as correntes de carga mínima e máxima, o tempo de assentamento ( $t_s$ ), a queda e a elevação da tensão de saída estão sumarizados na Tabela 4.15. A resposta ao transiente de carga pode ser observado na Figura 4.18. Devido ao maior consumo de corrente apresentado pelo regulador LDO projetado apenas com MOSFET, ele possui melhores resultados em todos os parâmetros, enquanto o regulador LDO projetado com TFET tem resposta ordens de grandeza mais lenta que os outros circuitos. Os reguladores híbridos possuem tempos de assentamento da mesma ordem de

grandeza daquele que utiliza apenas MOSFET, isso acontece devido a GBW desses circuitos serem da mesma ordem de grandeza.

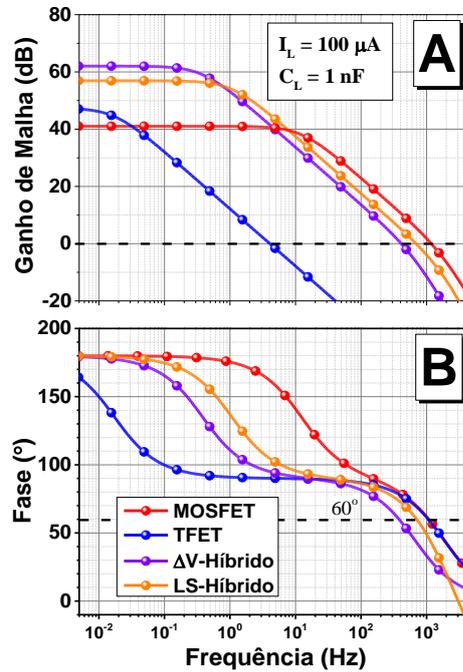


Figura 4.16 – Ganho de Malha (A) e fase (B) para os reguladores LDO híbridos

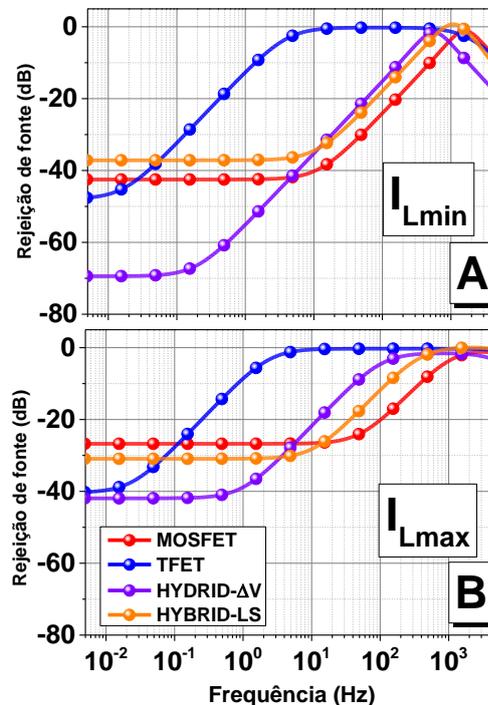


Figura 4.17 – Rejeição de fonte em função da frequência para os reguladores híbridos fornecendo a corrente de carga mínima (A) e máxima (B).

Comparando os reguladores híbridos, o regulador LDO LS-Híbrido apresenta melhores resultados devido ao estágio com o deslocador de nível, que auxilia a

resposta do circuito quando a corrente de carga varia rapidamente, por isso ele possui uma melhora de 380 mV na queda de tensão e 900  $\mu$ s mais rápido. Sendo um estágio de seguidor de fonte, que possui baixa impedância de saída, uma maior corrente é fornecida para conduzir as capacitâncias de  $M_P$  mais rápido.

A resposta ao transiente de linha dos reguladores está ilustrada na Figura 4.19, ela está associada aos resultados da rejeição de fonte e do GBW dos reguladores, assim os reguladores híbridos apresentam melhores resultados que o regulador LDO que utiliza apenas TFET e valores similares ao projetado com MOSFETs, com tempos de assentamento menores devido ao menor GBW.

Tabela 4.15 – Resultados da análise transiente dos reguladores híbridos.

Análise	LDO	MOSFET	TFET	$\Delta V$ -Híbrido	LS-Híbrido
Transiente de carga	Elevação (V)	0,20	0,19	0,26	0,25
	Queda (V)	0,23	0,26	0,76	0,38
	$t_s$ (ms)	0,9	270	3,1	1,6
Transiente de linha	Elevação (V)	0,36	0,53	0,37	0,46
	Queda (V)	0,23	0,48	0,28	0,23
	$t_s$ (ms)	0,6	290	2,7	1,8

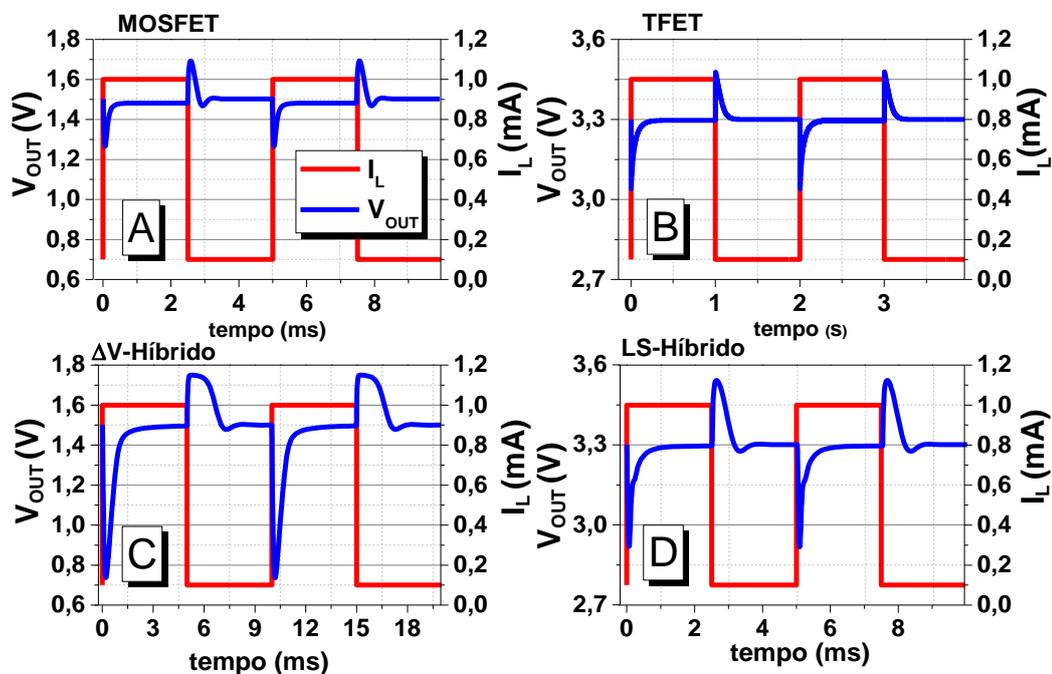


Figura 4.18 – Resposta ao transiente de carga dos reguladores LDO: A – MOSFET, B – TFET, C –  $\Delta V$ -Híbrido e D – LS-Híbrido. O pulso de corrente é aplicado da corrente de carga mínima para máxima.

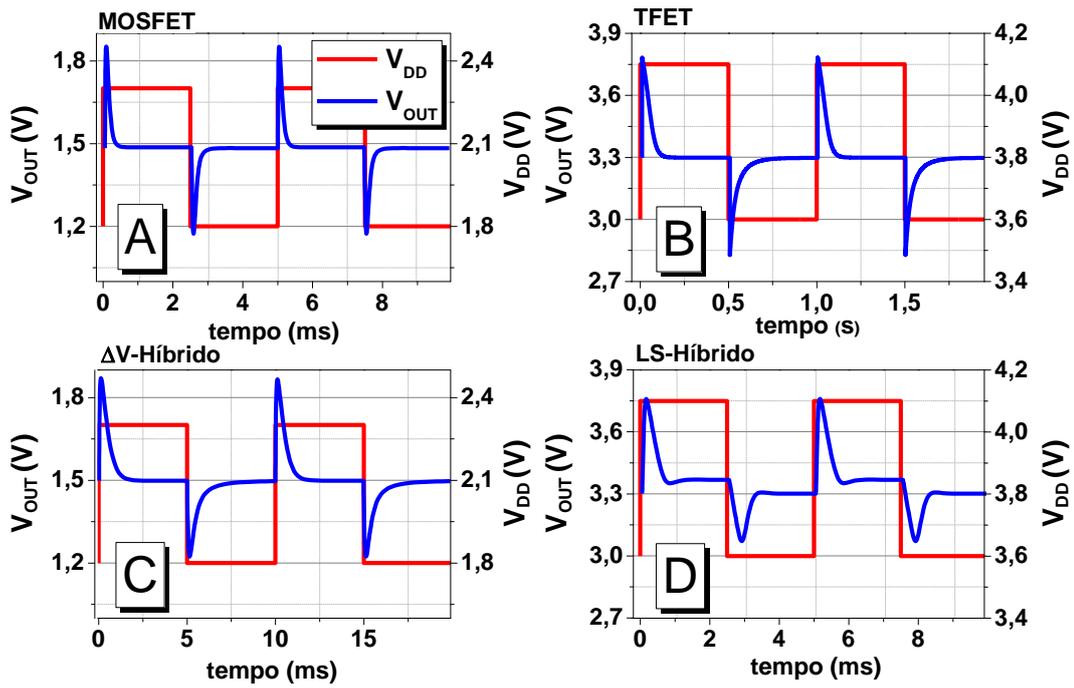


Figura 4.19 – Resposta da tensão de saída à um pulso de 500 mV aplicado em  $V_{DD}$  para todos reguladores LDO: A – MOSFET, B – TFET, C –  $\Delta V$ -Híbrido e D – LS-Híbrido.

## 5 CONSIDERAÇÕES FINAIS

Neste trabalho, foi apresentada a metodologia de projeto de um regulador linear com baixa queda de tensão (LDO) a partir de medidas de transistores em nanofios TFET com diferentes composições de fonte.

Nesse estudo, o potencial do TFET foi avaliado quando usado para projetar reguladores LDO, que é um dos principais circuitos presentes em circuitos integrados de gerenciamento de potência. Para poder comparar os reguladores, os transistores do amplificador foram projetados com mesmo  $g_m/I_D$ , operando com mesma tensão de *dropout*, corrente e capacitância de carga.

Inicialmente, foi feito um estudo comparativo de reguladores LDO projetados usando transistores de tunelamento com diferentes materiais de fonte e transistores MOSFETs, tanto os transistores de tunelamento como os MOSFETs medidos foram fabricados em nanofios de silício. Nesse estudo foi observado que a inclusão de Ge na composição de fonte dos TFETs melhora o circuito, onde é obtida melhor resposta em frequência, com GBW cinco ordens de grandeza maior quando comparados ao obtido com TFET com fonte de Si. Os reguladores projetados com TFET de Si são melhores para aplicações de baixa corrente de carga. Devido à baixa corrente de estado ligado, os reguladores com TFET apresentaram um consumo de corrente quiescente pelo menos duas ordens de grandeza menor que o regulador LDO projetado com MOSFET em nanofios. Foi mostrado também que com a maior tensão de estado ligado dos transistores de tunelamento medidos, não é possível projetar o transistor de potência do regulador para operar em saturação, o que degrada o ganho de malha do circuito. Mesmo com esse efeito, os maiores ganhos de malha foram obtidos nos reguladores LDO com fonte de SiGe (56,7 dB) e Ge (51,1 dB), o que resultou nas melhores regulações de linha e de carga. Também foi observado na análise de estabilidade, que os reguladores LDO com TFETs não necessitam de um capacitor de compensação extra para ter uma margem de fase de 60 graus.

O regulador LDO projetado utilizando TFETs com fonte de SiGe apresentou um bom compromisso com relação a corrente de carga, ganho de malha e GBW, assim esse dispositivo foi utilizado nos próximos estudos. Na comparação entre reguladores LDO projetados com o SiGe-TFET e uma tecnologia convencional de 180 nm, foi observado que o regulador LDO projetado com SiGe-TFET apresenta melhores resultados operando com  $g_m/I_D = 10,5 \text{ V}^{-1}$ ,  $I_L = 10 \text{ }\mu\text{A}$  e  $C_L = 10 \text{ pF}$ , comparando com

com  $g_m/I_D = 7 \text{ V}^{-1}$ ,  $I_L = 100 \text{ } \mu\text{A}$  e  $C_L = 100 \text{ pF}$ . Devido a menor capacidade de corrente, o alto número de nanofios utilizado no transistor de potência que é obrigado a operar na região linear, diminui o ganho de malha do sistema e suas altas capacitâncias degradam GBW. Para as condições que incluem  $g_m/I_D = 10,5 \text{ V}^{-1}$ , o regulador LDO projetado com SiGe-TFET apresenta melhores resultados em baixa frequência, com ganho de malha de 56,6 dB, porém ainda com GBW de 7,5 Hz, no regulador projetado com MOSFET convencional foi obtido 52,5 dB e GBW = 250 KHz. Nessa comparação, também não foi necessário utilizar um capacitor de compensação no regulador LDO projetado com SiGe-TFET. No simples estudo da variabilidade de processo, mais quatro medições foram feitas, utilizando dispositivos em nanofios SiGe-TFET com mesmas características da medida anterior em diferentes *dies*. Assim, para as condições que incluem  $g_m/I_D = 7 \text{ V}^{-1}$ , mais quatro reguladores LDO foram projetados, um para cada novo dispositivo medido. Nos resultados foi observado que o alto ganho de tensão presente em amplificadores com TFET se manteve, com uma diferença de 10 dB entre o pior e melhor caso, porém ainda com baixo GBW, que é 80 Hz no melhor caso.

Uma solução apresentada para suprimir a degradação nos reguladores LDO devido à baixa capacidade de corrente nos dispositivos TFET foi utilizar uma tecnologia TFET-MOSFET híbrida. Como os dispositivos TFET e MOSFET em nanofios seguem o mesmo fluxo de processos verticais, as medidas do SiGe-TFET LDO e do MOSFET em nanofios foram utilizadas para projetar reguladores LDO híbridos, onde o MOSFET em nanofios é usado no projeto do transistor de potência e o SiGe-TFET é usado nos outros blocos. Como os dispositivos possuem diferentes tensões de estado ligado, duas soluções foram projetadas. No regulador LDO  $\Delta V$ -Híbrido, um deslocamento de tensão foi inserido no modelo do transistor SiGe-TFET para baixar sua tensão de estado ligado, por isso foi possível utilizar uma tensão de alimentação de 1,8 V nesse circuito. No regulador LDO LS-Híbrido, foi adicionado um estágio com um deslocador de nível, sem alterar as medidas, assim foi necessário  $V_{DD} = 3,6 \text{ V}$ . Quando comparados a reguladores projetados apenas com TFET e apenas com MOSFET, foi mostrado que os reguladores LDO híbridos podem fornecer uma alta corrente de carga (1 mA), com baixo consumo de corrente, principalmente para o regulador LDO  $\Delta V$ -Híbrido, que apresentou uma corrente quiescente de 7 nA. Também, devido ao alto ganho do amplificador projetado com TFET e a possibilidade

de usar MOSFET no transistor de potência operando em saturação, o ganho de malha dos reguladores híbridos pode chegar à 62 dB, no caso do regulador LDO  $\Delta V$ -Híbrido e 57 dB para o regulador LDO LS-Híbrido, sendo maior que o projeto que utiliza apenas TFET (47 dB) e apenas MOSFET (41 dB). Esse resultado é alcançado ainda com GBW da mesma ordem de grandeza do circuito projetado com MOSFETs. O regulador LDO  $\Delta V$ -Híbrido apresentou PSR melhor ou similar que a resposta dos outros projetos. Também foi mostrado que a alta resistência de saída do amplificador projetado com transistores de tunelamento permitiu que os reguladores LDO híbridos fossem compensados com  $C_C$  duas ordens de grandeza menor que o projeto com MOSFET, para  $C_L = 1$  nF.

A sequência natural deste trabalho, pode ser a fabricação dos reguladores apresentados, já que mesmo utilizando medidas reais dos dispositivos, diversos efeitos podem degradar os resultados, como a inclusão de capacitâncias e resistências parasitas presentes no silício. Outra continuação interessante, é realizar estudos da variabilidade de processo nas tecnologias apresentadas, com medidas de uma grande quantidade de dispositivos, para aumentar a confiabilidade dos resultados apresentados em circuitos, principalmente devido à baixa corrente de operação que podem degradar a similaridade entre os dispositivos.

Diante dos resultados apresentados, foi observado que reguladores LDO projetados com TFET são indicados para aplicações com baixa corrente de carga pois eles apresentam ultra baixo consumo de potência e facilidade na compensação, porém apresentam GBW limitado. O baixo consumo de potência torna o TFET ideal para aplicações em circuitos de RFID, que necessitam de correntes de operação baixas. Reguladores lineares com TFET atingem o ultra baixo consumo de potência sem a necessidade de técnicas de projeto complexas. A possibilidade de utilizar uma tecnologia TFET-MOSFET híbrida resolve esses problemas, possibilitando aplicações para correntes mais altas, ainda fornecendo baixa corrente quiescente, alto ganho de malha e bom GBW.

Os artigos publicados e apresentados sobre este trabalho foram inseridos no Apêndice B.

## REFERÊNCIAS

AGOPIAN, Paula G.D.; MARTINO, Marcio D.V.; SANTOS, Sara D.Dos; NEVES, Felipe S.; MARTINO, Joao Antonio; ROOYACKERS, Rita; VANDOOREN, Anne; SIMOEN, Eddy; THEAN, Aaron Voon Yew; CLAEYS, Cor. Influence of the source composition on the analog performance parameters of vertical nanowire-TFETs. **IEEE Transactions on Electron Devices**, vol. 62, no. 1, p. 16–22, 1 Jan. 2015.

AGOPIAN, Paula; MARTINO, João Antonio; ROOYACKERS, Rita; VANDOOREN, Anne; SIMOEN, Eddy; CLAEYS, Cor. Experimental comparison between trigate p-TFET and p-FinFET analog performance as a function of temperature. **IEEE Transactions on Electron Devices**, vol. 60, no. 8, p. 2493–2497, 2013.

BALESTRA, Francis. Challenges for high performance and very low power operation at the end of the Roadmap. **Solid-State Electronics**, vol. 155, p. 27–31, 1 May 2019.

BARBONI, Leonardo; SINISCALCHI, Mariana; SENSALÉ-RODRIGUEZ, Berardi. TFET-based circuit design using the transconductance generation efficiency gm/Id method. **IEEE Journal of the Electron Devices Society**, vol. 3, no. 3, p. 208–216, 1 May 2015.

BORDALLO, Caio; MARTINO, Joao A.; AGOPIAN, Paula G.D.; ROOYACKERS, R.; VANDOOREN, A.; THEAN, A.; SIMOEN, Eddy; CLAEYS, Cor. Analysis of analog parameters in NW-TFETs with Si and SiGe source composition at high temperatures. 15 Oct. 2015. **SBMicro 2015 - 30th Symposium on Microelectronics Technology and Devices** [...]. Salvador: Institute of Electrical and Electronics Engineers Inc., 15 Oct. 2015.

BORDALLO, C.; SIVIERI, V. B.; MARTINO, J. A.; AGOPIAN, P. G.D.; ROOYACKERS, R.; VANDOOREN, A.; SIMOEN, E.; THEAN, A.; CLAEYS, C. Influence of the Ge amount at source on transistor efficiency of vertical gate all around TFET for different conduction regimes. 24 Mar. 2016. **2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon, EUROSOI-ULIS 2016** [...]. Vienna: Institute of Electrical and Electronics Engineers Inc., 24 Mar. 2016. p. 242–245.

BORKAR, S. Design challenges of technology scaling. **IEEE Micro**, vol. 19, no. 4, p. 23–29, 1999. <https://doi.org/10.1109/40.782564>.

CADENCE. Cadence Design Systems, Inc. 2022. Available at: <https://www.cadence.com>. Accessed on: 9 Feb. 2022.

CARUSONE, Tony Chan; JOHNS, David; MARTIN, Kenneth. **Analog Integrated Circuit Design**. Second. [S. l.]: John Wiley & Sons, Inc., 2012.

C. -N. CHANG; Y. -N. CHEN; P. -T. HUANG, P. Su; C. -T. CHUANG. Exploration and evaluation of low-dropout linear voltage regulator with FinFET, TFET and hybrid TFET-FinFET implementations. 2017. **2017 IEEE International Symposium on Circuits and Systems (ISCAS)** [...]. Baltimore: IEEE, 2017.

COLINGE, Jean-Pierre. **Silicon-on-Insulator Technology: Materials to VLSI**. Boston: Springer US, 2004.

COLINGE, Jean-Pierre; GREER, James C. **Nanowire Transistors Physics of Devices and Materials in One Dimension**. Cambridge: Cambridge University Press, 2016.

CONVERTINO, Clarissa; ZOTA, Cezar B.; SCHMID, Heinz; CAIMI, Daniele; CZORNOMAZ, Lukas; IONESCU, Adrian M.; MOSELUND, Kirsten E. A hybrid III–V tunnel FET and MOSFET technology platform integrated on silicon. **Nature Electronics**, vol. 4, no. 2, p. 162–170, 1 Feb. 2021.

DE MORAES NOGUEIRA, Alexandro; DER AGOPIAN, Paula Ghedini; MARTINO, Joao Antonio. Operational transconductance amplifier designed with nanowire tunnel-FET with Si, SiGe and Ge sources using experimental data. **Semiconductor Science and Technology**, vol. 35, no. 9, 1 Sep. 2020.

DENNARD, Robert H.; GAENSSLEN, Fritz H.; YU, Hwa Nien; RIDEOUT, V. Leo; BASSOUS, Ernest; LEBLANC, Andre R. Design of Ion-Implanted MOSFET's With Very Small Physical Dimensions. **IEEE Journal of Solid-State Circuits**, vol. 9, no. 5, p. 256–268, 1974.

DER AGOPIAN, Paula Ghedini; MARTINO, João Antonio; ROOYACKERS, Rita; VANDOOREN, Anne; SIMOEN, Eddy; CLAEYS, Cor. Experimental comparison between trigate p-TFET and p-FinFET analog performance as a function of temperature. **IEEE Transactions on Electron Devices**, vol. 60, no. 8, p. 2493–2497, 2013.

FITZPATRICK, Dan; MILLER, Ira. **ANALOG BEHAVIORAL MODELING WITH THE VERILOG-A LANGUAGE**. Boston: Kluwer Academic Publishers, 1998.

FORTUNE BUSINESS INSIGHTS. Semiconductor Market Size, Share & COVID 19 Impact Analysis. 14 Dec. 2021. Available at: <https://www.fortunebusinessinsights.com/semiconductor-market-102365>. Accessed on: 13 Dec. 2021.

GRAY, Paul R.; MEYER, Robert G. MOS Operational Amplifier Design-A Tutorial Overview. **IEEE Journal of Solid-State Circuits**, vol. 17, no. 6, p. 969–982, 1982.

GUPTA, Vishal; RINCÓN-MORA, Gabriel A.; RAHA, Prasun. Analysis and design of monolithic, high PSR, linear regulators for SoC applications. 2004. **Proceedings - IEEE International SOC Conference [...]**. Santa Clara: IEEE, 2004. p. 311–315.

HOYT, J. L.; NAYFEH, H. M.; EGUCHI, S.; ABERG, I.; XIA, G.; DRAKE, T.; FITZGERALD, E. A.; ANTONIADIS, D. A. Strained silicon MOSFET technology. **Technical Digest - International Electron Devices Meeting**, , p. 23–26, 2002.

IBM. IBM divulga primeiro chip com tecnologia de 2 Nanômetros do mundo, abrindo uma nova fronteira para semicondutores. 6 May 2021. Available at: <https://www.ibm.com/blogs/ibm-comunica/primeiro-chip-com-2-nanometros/>. Accessed on: 12 Dec. 2021.

IONESCU, Adrian M.; RIEL, Heike. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, vol. 479, no. 7373, p. 329–337, 17 Nov. 2011.

IRDS. What Is the IRDS™? 2022. Available at: <https://irds.ieee.org/>. Accessed on: 28 Mar. 2022.

JESPERS, Paul. **The gm/ID Methodology, A Sizing Tool for Low-voltage Analog CMOS Circuits**. Boston: Springer US, 2010. <https://doi.org/10.1007/978-0-387-47101-3>.

JESPERS, Paul; MURMANN, Boris. **SYSTEMATIC DESIGN OF ANALOG CMOS CIRCUITS Using Pre-Computed Lookup Tables**. Cambridge: Cambridge University Press, 2017.

KUMAR, Mamidala Jagadesh; VISHNOI, Rajat; PANDEY, Pratyush. **Tunnel field-effect transistors (TFET) : modelling and simulations**. [S. l.]: Wiley, 2017.

KWONG, D.-L.; LI, X.; SUN, Y.; RAMANATHAN, G.; CHEN, Z. X.; WONG, S. M.; LI, Y.; SHEN, N. S.; BUDDHARAJU, K.; YU, Y. H.; LEE, S. J.; SINGH, N.; LO, G. Q. Vertical Silicon Nanowire Platform for Low Power Electronics and Clean Energy Applications. **Journal of Nanotechnology**, vol. 2012, p. 1–21, 2012.

LANUZZA, Marco; STRANGIO, Sebastiano; CRUPI, Felice; PALESTRI, Pierpaolo; ESSENI, David. Mixed Tunnel-FET/MOSFET Level Shifters: A New Proposal to Extend the Tunnel-FET Application Domain. **IEEE Transactions on Electron Devices**, vol. 62, no. 12, p. 3973–3979, 1 Dec. 2015.

LEE, Jack C.; CHO, H. J.; KATNG, C. S.; RHEE, S.; KIM, Y. H.; CHOI, R.; KANG, C. Y.; CHOI, C.; ABKAR, M. High-K Dielectrics and MOSFET Characteristics. 2003. **Technical Digest - International Electron Devices Meeting** [...]. Washington: IEEE, 2003. p. 95–98.

LIU, Keng Ming; CHENG, Ching Ping. Investigation on the Effects of Gate-Source Overlap/Underlap and Source Doping Gradient of n-Type Si Cylindrical Gate-All-Around Tunnel Field-Effect Transistors. **IEEE Transactions on Nanotechnology**, vol. 19, p. 382–389, 2020.

MALLIK, Abhijit; CHATTOPADHYAY, Avik. Drain-dependence of tunnel field-effect transistor characteristics: The role of the channel. **IEEE Transactions on Electron Devices**, vol. 58, no. 12, p. 4250–4257, Dec. 2011.

MARTINO, Marcio D.V.; MARTINO, Joao A.; AGOPIAN, Paula G.D. Analysis of TFET and FinFET differential pairs with active load from 300K to 450K. 23 Mar. 2016. **2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon, EUROSOI-ULIS 2016** [...]. Vienna: Institute of Electrical and Electronics Engineers Inc., 23 Mar. 2016. p. 246–249.

MARTINO, Marcio D.V.; MARTINO, Joao A.; AGOPIAN, Paula G.D. Performance comparison between TFET and FinFET differential pair. 13 Oct. 2015. **SBMicro 2015 - 30th Symposium on Microelectronics Technology and Devices** [...]. Salvador: Institute of Electrical and Electronics Engineers Inc., 13 Oct. 2015.

MARTINO, Marcio; NEVES, Felipe; GHEDINI DER AGOPIAN, Paula; MARTINO, João Antonio; VANDOOREN, Anne; ROOYACKERS, Rita; SIMOEN, Eddy; THEAN, Aaron; CLAEYS, Cor. Analog performance of vertical nanowire TFETs as a function of temperature and transport mechanism. **Solid-State Electronics**, vol. 112, p. 51–55, 2015.

NOGUEIRA, Alexandro. **Estudo de Amplificadores Operacionais de Transcondutância Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas de Nanofios**. 2020. São Paulo, 2020.

RANGEL, R. S.; AGOPIAN, P. G. D.; MARTINO, J.A. A Tunnel-FET device model based on Verilog-A applied to circuit simulation. Aug. 2018. **2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro)** [...]. Bento Gonçalves: IEEE, Aug. 2018.

RAZAVI, Behzad. **Fundamentals of Microelectronics**. 2nd ed. [S. l.]: Wiley, 2014.

RINCON-MORA, Gabriel. **Analog IC Design with Low-dropout Regulators (LDOs)**. [S. l.]: MCGRAW-HILL Professional, 2009. Available at: [www.digitalengineeringlibrary.com](http://www.digitalengineeringlibrary.com).

ROFOUGARAN, A.R.; FURMAN, B.; ABIDI, A.A. Accurate analog modeling of short channel FETs based on table lookup. 1988. **Proceedings of the IEEE 1988 Custom Integrated Circuits Conference** [...]. Rochester: IEEE, 1988. p. 13.1/1-13.1/4.

ROOYACKERS, R.; VANDOOREN, A.; VERHULST, A. S.; WALKE, A.; DEVRIENDT, K.; LOCOROTONDO, S.; DEMAND, M.; BRYCE, G.; LOO, R.; HIKAVYY, A.; VANDEWEYER, T.; HUYGHEBAERT, C.; COLLAERT, N.; THEAN, A. A new complementary hetero-junction vertical Tunnel-FET integration scheme. 2013. **Technical Digest - International Electron Devices Meeting, IEDM** [...]. Washington: IEEE, 2013.

SEDRA, Adel; SMITH, Kenneth. **Microelectronic Circuits**. 7th ed. Oxford: OXFORD UNIVERSITY PRESS, 2015.

SHIMA, Takeshi; SUGAWARA, Tsutomu; MORIYAMA, Seijiro; YAMADA, Hisashi. Three-Dimensional Table Look-Up MOSFET Model for Precise Circuit Simulation. **IEEE Journal of Solid-State Circuits**, vol. 17, no. 3, p. 449–454, 1982.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G.A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, vol. 31, no. 9, p. 1314–1319, Sep. 1996.

SIVIERI, Victor. **Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio**. 2016. São Paulo, 2016.

SMETS, Quentin. **Calibration of models for III-V TFET performance prediction**. 2016. 2016.

STREETMAN, Ben G; SANJAY, •; BANERJEE, Kumar. **Solid State Electronic Devices**. 7th ed. [S. l.]: Pearson Education Limited, 2016.

SZE, S. M.; NG, Kwok Kwok. **Physics of semiconductor devices**. 3rd ed. [S. l.]: Wiley-Interscience, 2007.

TORRES, Joselyn; EL-NOZAH, Mohamed; AMER, Ahmed; GOPALRAJU, Seenu; ABDULLAH, Reza; ENTESARI, Kamran; SANCHEZ-SINENCIO, Edgar. Low drop-out voltage regulators: Capacitor-less architecture comparison. **IEEE Circuits and Systems Magazine**, vol. 14, no. 2, p. 6–26, 2014.

TSIVIDIS, Yannis; MCANDREW, Colin. **Operation and Modeling of the MOS Transistor**. 3rd ed. [S. l.]: OXFORD UNIVERSITY PRESS, 2011.

VANDOOREN, A.; LEONELLI, D.; ROOYACKERS, R.; ARSTILA, K.; GROESENEKEN, G.; HUYGHEBAERT, C. Impact of process and geometrical parameters on the electrical characteristics of vertical nanowire silicon n-TFETs. **Solid-State Electronics**, vol. 72, p. 82–87, Jun. 2012.

VANDOOREN, A.; LEONELLI, D.; ROOYACKERS, R.; HIKAVYY, A.; DEVRIENDT, K.; DEMAND, M.; LOO, R.; GROESENEKEN, G.; HUYGHEBAERT, C. Analysis of trap-assisted tunneling in vertical Si homo-junction and SiGe hetero-junction Tunnel-FETs. **Solid-State Electronics**, vol. 83, p. 50–55, 2013.

VERHULST, Anne S.; VANDENBERGHE, William G.; MAEX, Karen; GROESENEKEN, Guido. Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization. **Journal of Applied Physics**, vol. 104, no. 6, 15 Sep. 2008.

VERHULST, Anne S.; VANDENBERGHE, William G.; MAEX, Karen; GROESENEKEN, Guido. Tunnel field-effect transistor without gate-drain overlap. **Applied Physics Letters**, vol. 91, no. 5, 2007.

WANG, Zhixuan; YE, Le; HUANG, Qianqian; DU, Kaixuan; TAN, Zhichao; WANG, Yangyuan; HUANG, Ru. Ultra-Low-Power and Performance-Improved Logic Circuit Using Hybrid TFET-MOSFET Standard Cells Topologies and Optimized Digital Front-End Process. **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 68, no. 3, p. 1160–1170, 1 Mar. 2021.

WESTE, Neil; HARRIS, David. **CMOS VLSI Design. A Circuits and Systems Perspective**. 4th ed. Boston: Addison-Wesley, 2011.

ZHANG, Hongguang; TANG, Zhangwen. A 318 nA quiescent current 0–10mA output transient enhanced low-dropout regulator applied in energy harvest system. Nov. 2017. **2017 2nd IEEE International Conference on Integrated Circuits and Microsystems (ICICM)** [...]. [S. l.]: IEEE, Nov. 2017. p. 141–146.

Z. Hou, W. Xiao, W. Zhou and A. Wang, A Low Voltage and Ultra-low Power Reference Circuit for Passive UHF RFID Tag Chip. **2023 5th International Conference on Circuits and Systems (ICCS)**, Huzhou, China, 2023, pp. 49-54.

## APÊNDICE A – MODELO VERILOG-A DO SIGE-TFET

Código Verilog-A usado para o modelo do SiGe-TFET.

```
// VerilogA for TFET, nTFET_SiGe, veriloga

`include "constants.vams"
`include "disciplines.vams"

module nTFET_SiGe(D, G, S);
inout D; electrical D;
inout G; electrical G;
inout S; electrical S;

parameter real n = 100, dv = 0, ca = 0; //n:Numero de nanofios , dv: desvio de Vt, ca: Seleciona uma das 5
medidas realizadas

real gm, gd, ID, Av, gm_over_Id, VE, Cgs, Cgd, Cgg, ft, vgs, vds, vgd;

analog begin

    Cgs = n*(Stable_model ((V(G,S)+dv), "Capacitancia.tbl", "1CC;1")); //Capacitncia Cgs
    Cgd = n*(Stable_model (V(G,D), "Capacitancia.tbl", "1CC;2")); //Capacitncia Cgd
    Cgg = Cgs+Cgd; //Capacitncia total

    case(1)

        (ca == 0): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "ID_TFET_SiGe_27.tbl", "1CL,1CL;1")); //
Tabela de ID

        (ca == 1): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "LUT_variability_NW.tbl", "1CL,1CL;1")); //
Tabela de ID

        (ca == 2): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "LUT_variability_NW.tbl", "1CL,1CL;2")); //
Tabela de ID

        (ca == 3): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "LUT_variability_NW.tbl", "1CL,1CL;3")); //
Tabela de ID

        (ca == 4): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "LUT_variability_NW.tbl", "1CL,1CL;4")); //
Tabela de ID

        (ca == 5): ID = n/100*(Stable_model ((V(G,S)+dv), V(D,S)+dv, "LUT_variability_NW.tbl", "1CL,1CL;5")); //
Tabela de ID

    endcase

    I(D,S) <+ ID;
    I(G,D) <+ Cgd*ddt(V(G,D)+dv);
    I(G,S) <+ Cgs*ddt(V(G,S));

    gd = n/100*(Stable_model ((V(G,S))+dv, V(D,S)+dv, "ID_TFET_SiGe_27.tbl", "1CL,1SS;3")); // tabela de gd
    gm = n/100*(Stable_model ((V(G,S))+dv, V(D,S)+dv, "ID_TFET_SiGe_27.tbl", "1SL,1CL;4")); // tabela de
gm

    Av = gm/gd; // calculo do ganho intrnseco
    gm_over_Id = gm/ID; // Calculo da eficiencia do transistor
    VE = ID/gd; // Calculo da tensao Early
    ft = gm/(M_TWO_PI *Cgg); // Calculo de fT
    vgs = V(G,S)+dv;
    vds = V(D,S)+dv;
    vgd = V(G,S)-V(D,S);
end

endmodule
```

## APÊNDICE B - PUBLICAÇÕES GERADAS

### Periódicos:

TOLÊDO, R. do N.; SILVA, W. de L.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; MARTINO, J. A.; AGOPIAN, P. G. D. Comparison between Low-Dropout Voltage Regulators Designed with Line and Nanowire Tunnel Field Effect Transistors using Experimental Data. **Solid State Electronics (SSE)**, v.192, 2022.

SILVA, W. de L.; TOLÊDO, R. do N.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; MARTINO, J. A.; AGOPIAN, P. G. D. Comparison of low-dropout voltage regulators designed with line and nanowire tunnel-FET experimental data including a simple process variability analysis. **Solid State Electronics (SSE)**, v. 202, 2023.

TOLÊDO, R. do N.; MARTINO, J. A.; AGOPIAN, P. G.D. “Low-Dropout Voltage Regulator Designed with Nanowire TFET with Different Source Composition Experimental Data”. **Journal of Integrated Circuits and Systems (JICS)**, v. 18, 2023.

TOLÊDO, R. do N.; MARTINO, J. A.; AGOPIAN, P. G.D. “Low-Dropout Voltage Regulator Designed with Nanowire TFET with Different Source Composition Experimental Data”. **Semiconductor Science and Technology (SST)**, v. 38, 2023.

### Congresso:

TOLÊDO, R. do N.; SILVA, W. de L.; GONÇALEZ FILHO, W.; NOGUEIRA, A. de M.; MARTINO, J. A.; AGOPIAN, P. G. D., “**Comparison between Low-Dropout Voltage Regulators Designed with Line and Nanowire Tunnel Field Effect Transistors using Experimental Data**”, 8th Joint International EuroSOI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULIS) 2022, 2022.

TOLÊDO, R. do N.; MARTINO, J. A.; AGOPIAN, P. G. D. **Nanowire TFET with different Source Compositions applied to Low-Dropout Voltage Regulator**. 2022 36<sup>th</sup> Symposium on Microelectronics Technology and Devices (SBMicro). Anais...In: 2019 34th SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO). São Paulo.