

UNIVERSIDADE DE SÃO PAULO  
ESCOLA POLITÉCNICA

HENRIQUE LANFREDI CARVALHO

**Proposta de um Transistor <sup>BE</sup>SOI MOSFET com Contatos  
Duplos de Alumínio em Dreno/Fonte**

São Paulo  
2023

HENRIQUE LANFREDI CARVALHO

**Versão Revisada**

**Proposta de um Transistor <sup>BE</sup>SOI MOSFET com  
Contatos Duplos de Alumínio em Dreno/Fonte**

Dissertação de mestrado apresentada à  
Escola Politécnica da Universidade de São  
Paulo para obtenção do título de Mestre em  
Ciências.

Área de Concentração: Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino.

Coorientador: Prof. Dr. Ricardo Cardoso  
Rangel.

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 15 de maio de 2023

Assinatura do autor: Henrique L. Carvalho

Assinatura do orientador: J. Martins

#### Catálogo-na-publicação

Carvalho, Henrique

Proposta de um Transistor BESOI MOSFET com Contatos Duplos de Alumínio em Dreno/Fonte / H. Carvalho -- versão corr. -- São Paulo, 2023. 94 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.BESOI MOSFET I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

## **AGRADECIMENTOS**

Agradeço ao Prof. Dr João Antonio Martino pela orientação, pelo incentivo e conhecimento passado ao longo do trabalho

Agradeço todos os colegas do Grupo SOI, sempre dispostos a ajudar. Em especial agradeço ao Ricardo Rangel e Katia Sasaki pelas discussões que contribuíram com o trabalho.

A meus amigos e familiares que me apoiaram e me incentivaram, em especial ao meu irmão e ao muya.

Agradeço a Universidade de São Paulo (USP) por disponibilizar sua infraestrutura e laboratórios.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Código Financiamento 88887.606526/2021-00.

*“A verdadeira sabedoria é reconhecer nossa própria ignorância.  
(The true Wisdom is in recognizing our own ignorance)”  
(Sócrates)*

## RESUMO

Neste trabalho é estudado o transistor reconfigurável <sup>BE</sup>SOI MOSFET (“*Back Enhanced Silicon-On-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor*”) de contatos de Dreno/Fonte de alumínio com e sem a etapa final de sinterização, e proposto um novo transistor com duplo contato de alumínio (Double Aluminum Contact) DAC <sup>BE</sup>SOI MOSFET, que tem potencial de apresentar níveis maiores de corrente de dreno.

O dispositivo planar <sup>BE</sup>SOI MOSFET original foi desenvolvido e fabricado no Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP) não requerendo nenhum processo de dopagem intencional. O dispositivo pode operar como pMOSFET (condução de lacunas) ou nMOSFET (condução de elétrons) através da polarização adequada da porta de programação ( $V_{PG}$  – “*Programming Gate Voltage*”). Aplicando-se polarizações apropriadas na porta de programação é possível formar um canal de lacunas ( $V_{PG} < 0$ ) ou elétrons ( $V_{PG} > 0$ ) na segunda interface do transistor, criando a possibilidade de condução de corrente na proximidade da segunda interface entre os contatos de Dreno e Fonte. Foram realizadas medidas elétricas dos transistores de contato alumínio sinterizado e não sinterizado, para assim verificar e compreender seu funcionamento. O transistor que sofreu o processo térmico de sinterização adquiriu características de contato ôhmico para lacunas, que favoreceu abruptamente seu funcionamento como <sup>BE</sup>SOI pMOSFET e, conseqüentemente, dificultando sua operação como <sup>BE</sup>SOI nMOSFET. Na ausência do processo de sinterização dos contatos a formação da junção Schottky predominou, resultando em uma baixa barreira de potencial para condução de elétrons, favorecendo assim o funcionamento do <sup>BE</sup>SOI nMOSFET

Por meio de simulações numéricas, dados como a densidade de portadores na região de estudo e seu diagrama de bandas de energia, possibilitou a comprovação da formação da junção Schottky e Ôhmica e os respectivos comportamentos das correntes elétricas para lacunas (<sup>BE</sup>SOI pMOSFET) e elétrons (<sup>BE</sup>SOI nMOSFET) dos transistores medidos experimentalmente. A partir dos resultados gerados através das simulações, foi possível também propor um transistor reconfigurável com contato duplo de alumínio DAC <sup>BE</sup>SOI MOSFET, resultando em um incremento de 300% e

900% para seus modos pMOSFET e nMOSFET, respectivamente, em comparação a sua versão anterior.

Palavras-chaves: Transistor SOI, <sup>BE</sup>SOI MOSFET, Junção Schottky, Contato Ôhmico, Duplo contato de alumínio.

## ABSTRACT

In this work is studied the reconfigurable <sup>BE</sup>SOI MOSFET (“Back Enhanced Silicon-On-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor”) transistor made of aluminum Drain/Source contacts with and without the final sintering step, and proposed a new Dual Aluminum Contact DAC <sup>BE</sup>SOI MOSFET, which has the potential to exhibit higher levels of drain current. The original <sup>BE</sup>SOI MOSFET planar device was developed and fabricated at the Laboratory of Integrated Systems of the University of São Paulo (LSI-USP) without doping process.

The device can operate as a pMOSFET (hole conduction) or nMOSFET (electron conduction) through of the programming gate voltage ( $V_{PG}$ ). Applying appropriate polarizations in the programming gate, it is possible to create a channel of holes ( $V_{PG} < 0$ ) or electrons ( $V_{PG} > 0$ ) in the back interface of the transistor, creating the possibility of conducting current in the proximity of the back interface between the contacts of Drain and Source. Electrical measurements of the sintered and non-sintered aluminum contact transistors were carried out, in order to verify and understand their operation. The transistor with sintering process acquired ohmic contact characteristics for gaps, which abruptly favored its operation as a <sup>BE</sup>SOI pMOSFET and consequently hindered its operation as a <sup>BE</sup>SOI nMOSFET. In the absence of the contact sintering process, the formation of the Schottky junction predominated, resulting in a low potential barrier for electron conduction, thus favoring the operation of the <sup>BE</sup>SOI nMOSFET

Through numerical simulations, data such as the density of carriers in the study region and its diagram of energy bands, it enabled the confirmation of the formation of the Schottky and Ohmic junction and the respective behaviors of the electric currents for holes (<sup>BE</sup>SOI pMOSFET) and electrons (<sup>BE</sup>SOI nMOSFET) of the experimentally measured transistors. From the results generated through the simulations, it was also possible to propose a reconfigurable transistor with dual aluminum contact DAC <sup>BE</sup>SOI MOSFET, resulting in an increase of 300% and 900% for its pMOSFET and nMOSFET modes respectively compared to its previous version.

Key Words: SOI Transistor, <sup>BE</sup>SOI MOSFET, Schottky junction, Ohmic junction, Double Aluminum contact.



## LISTA DE ILUSTRAÇÕES

Figura 1-1 - Número de transistores em processadores ao longo dos anos.....	19
Figura 1-2 - Perfil Transistor nMOSFET.....	20
Figura 2-1 - Lâmina de silício sobre isolante (Silicon-On-Insulator - SOI).....	24
Figura 2-2 - Representação esquemática da seção transversal de um CMOS obtido nas tecnologias MOS convencional (a), PD SOI (b) e FD SOI (c). ....	25
Figura 2-3 - Diagrama de bandas de energia no corpo do silício para canal totalmente depletado (a) e parcialmente depletado (b), na condição de inversão fraca na segunda interface. ....	27
Figura 2-4 - Transistores MOS reconfiguráveis, para controle simultâneo (a) e controle independente das junções (b). ....	32
Figura 2-5 - Diagrama de bandas de energia para transistores reconfiguráveis de controle simultâneo (a) e controle independente (b). ....	33
Figura 2-6 - Célula NAND (a) e NOR (b) de quatro transistores reconfiguráveis. ....	34
Figura 2-7 - Célula NAND/NOR de 6 transistores reconfiguráveis controlada através de polarização ( $V_{Select}$ ). ....	34
Figura 2-8 - Célula NAND ou NOR camuflada CMOS ( $V_{Select}$ ).....	35
Figura 2-9 - Perfil do transistor <sup>BE</sup> SOI MOSFET.....	36
Figura 2-10 - Diagrama de bandas de energia no modo de operação do transistor <sup>BE</sup> SOI MOSFET, nas situações de segunda interface acumulada (a) (b) e invertida (c) (d) e depleção da primeira interface (b) (d). ....	38
Figura 2-11 - Apresenta uma cascata de seis transistores <sup>BE</sup> SOI MOSFET .....	39
Figura 2-12 - Curva de transferência da primeira versão do transistor <sup>BE</sup> SOI nMOSFET. ....	40
Figura 2-13 - Foto da segunda versão do transistor BESOI MOSFET. ....	41
Figura 2-14 - Curva de transferência da segunda versão do transistor <sup>BE</sup> SOI pMOSFET (a) e <sup>BE</sup> SOI nMOSFET (b). ....	41
Figura 2-15 - Curva de transferência da terceira versão do transistor <sup>BE</sup> SOI nMOSFET. ....	42
Figura 2-16 - Nível de energia em função do espaçamento interatômico. ....	43
Figura 2-17 - Modelo de bandas de energia para semicondutores dopados. ....	45

Figura 2-18 - Formação da junção metal semiconductor-n (Schottky), antes do contato (a), após o contato em equilíbrio térmico (b). .....	47
Figura 2-19 - Formação da junção metal semiconductor-p (Schottky), antes do contato (a), junção metalúrgica (b). .....	47
Figura 2-20 - Formação das junções ôhmicas entre metal e semiconductor n (a) (b) e p (c) (d), antes (a) (c) e depois do contato (b) (d). .....	49
Figura 3-1 - Processo de fabricação <sup>BE</sup> SOI MOSFET não sinterizado. ....	52
Figura 3-2 - Foto dos transistores <sup>BE</sup> SOI MOSFET com contatos não sinterizados (a) e sinterizados (b). .....	52
Figura 3-3 - Métodos de extração de parâmetros de tensão de limiar pela extrapolação linear (esquerda) e segunda derivada (direita). .....	53
Figura 4-1 - Perfil das amostras de transistores <sup>BE</sup> SOI MOSFET com contatos de dreno e fonte sinterizado (a) e não sinterizado (b), utilizadas neste trabalho. ....	56
Figura 4-2 - Curva experimental de transferência da primeira versão do transistor <sup>BE</sup> SOI pMOSFET com contatos de alumínio sinterizado. ....	57
Figura 4-3 - Tensão de limiar ( $V_{TP}$ ) em função da polarização da porta de programação ( $V_{PG}$ ). .....	58
Figura 4-4 - Curva de transferência do transistor <sup>BE</sup> SOI nMOSFET não sinterizado para diferentes polarizações da porta de programação ( $V_{PG}$ ). ....	59
Figura 4-5 - Tensão de limiar ( $V_{TN}$ ) em função da polarização da porta de programação ( $V_{PG}$ ). .....	61
Figura 4-6 – Perfil dos transistores <sup>BE</sup> SOI MOSFET na situação de contatos sinterizado (a) e não sinterizado (b) usados nas simulações. ....	64
Figura 4-7 - Curva de transferência do transistor <sup>BE</sup> SOI pMOSFET simulado com contatos de dreno e fonte sinterizado para várias polarizações da porta de programação ( $V_{PG}$ ). ....	65
Figura 4-8 - Tensão de limiar ( $V_{TP}$ ) em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup> SOI pMOSFET simulado com contato sinterizado. ....	66
Figura 4-9 - Curva de transferência do <sup>BE</sup> SOI nMOSFET simulado com contatos de dreno e fonte não sinterizado para diferentes polarizações de porta de programação ( $V_{PG}$ ). .....	67
Figura 4-10 - Fator de acoplamento capacitivo do transistor <sup>BE</sup> SOI MOSFET com contato de alumínio não sinterizado, simulado e experimental. ....	68

Figura 4-11 - Densidade de carga em função da profundidade do silício ( $t_{Si}$ ), para o transistor sinterizado apresentado na Figura 4-6 (a). .....	70
Figura 4-12 - Diagrama de bandas de energia abaixo da junção de fonte, para o transistor para o transistor. ....	71
Figura 4-13 - Densidade de carga em função da profundidade do silício ( $t_{Si}$ ), para o corte na Figura 4-4 (b). ....	72
Figura 4-14 - Diagrama de bandas de energia abaixo da junção de fonte, para o transistor <sup>BE</sup> SOI MOSFET com contato sinterizado. ....	73
Figura 4-15 - Perfil do transistor <sup>BE</sup> SOI MOSFET com contato duplo de alumínio. ...	74
Figura 4-16 - Densidade de carga em função da profundidade do silício, para diferentes espessuras de transistores. ....	75
Figura 4-17 - Curva de transferência do transistor <sup>BE</sup> SOI nMOSFET com contato duplo de alumínio, com espessura de silício de 30nm, para diferentes polarizações de porta de programação. ....	76
Figura 4-18 - Perfil do transistor com duplo contatos de alumínio DAC <sup>BE</sup> SOI MOSFET otimizado. ....	76
Figura 4-19 - Curva de transferência do transistor DAC <sup>BE</sup> SOI MOSFET. ....	77
Figura 4-20 Curva de transferência para o transistor <sup>BE</sup> SOI MOSFET com contato duplo de Alumínio (a) e contato de níquel (b). ....	78

## LISTA DE TABELAS

Tabela 4-1 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ).....	57
Tabela 4-2 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ).....	60
Tabela 4-3 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup> SOI pMOSFET simulado com contatos sinterizado. ....	65
Tabela 4-4 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup> SOI nMOSFET simulado com contatos não sinterizado. ....	65

## LISTA DE ABREVIATURAS E SIGLAS

BE	Enriquecido pelo substrato ( <i>“Back Enhanced”</i> ).
<sup>BE</sup> SOI nMOSFET	Transistor SOI nMOSFET Enriquecido pelo substrato.
<sup>BE</sup> SOI pMOSFET	Transistor SOI pMOSFET Enriquecido pelo substrato.
BOE	Solução tampão para corrosão de óxido ( <i>“Buffered Oxide Etch”</i> ).
CG	Porta de controle ( <i>“Control Gate”</i> )
CMOS	Metal-Óxido-Semicondutor complementar ( <i>“Complementary Metal-Oxide-Semiconductor”</i> ).
DAC	Duplo contato de alumínio ( <i>“Double Aluminun contact”</i> )
FD	Totalmente Depletado ( <i>“Fully Depleted”</i> ).
FET	Transistor de Efeito de Campo ( <i>“Field Effect Transistor”</i> ).
LSI	Laboratório de Sistemas Integráveis.
MOS	Metal-Óxido-Semicondutor ( <i>“Metal-Oxide-Semiconductor”</i> )
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor ( <i>“Metal Oxide Semiconductor Field-Effect Transistor”</i> ).
nMOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor com canal tipo n ( <i>“n-channel Metal-Oxide-Semiconductor-Field-Effect Transistor”</i> ).
PD	Parcialmente Depletado ( <i>“Partially Depleted”</i> ).
PG	Porta de Programação ( <i>“Programming Gate”</i> )
pMOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor com canal tipo p ( <i>“p-channel Metal-Oxide-Semiconductor-Field-Effect Transistor”</i> ).
RFET	Transistor de Efeito de Campo Reconfigurável ( <i>“Reconfigurable Field Effect Transistor”</i> ).
SMART	Tecnologia de análise e relatórios de autocontrole ( <i>“Self-Monitoring Analysis and Reporting Technology”</i> ).
SOI	Silício-Sobre-Isolante ( <i>“Silicon-On-Insulator”</i> ).
TCAD	Tecnologia de design assistido por computador.

TFET	Transistores de Tunelamento por Efeito de Campo ( <i>Tunnel Field Effect Transistor</i> ).
USP	Universidade de São Paulo.
UTBB	Canal e óxido enterrado ultrafinos ( <i>Ultra-Thin Body and Burried Oxide</i> ).
W/A	Com tratamento térmico ( <i>With Annealing</i> ).
Wo/A	Sem tratamento térmico ( <i>Without Annealing</i> ).

## LISTA DE SÍMBOLOS

$C_{BOX}$	Capacitância do óxido enterrado por unidade de área (F/cm <sup>2</sup> ).
$C_D$	Capacitância da região de depleção do dreno por unidade de área (F/cm <sup>2</sup> ).
$C_{OX1}$	Capacitância do óxido de porta por unidade de área (F/cm <sup>2</sup> ).
$C_{Si}$	Capacitância do silício por unidade de área (F/cm <sup>2</sup> ).
$D$	Dreno do transistor.
$D_{Sin}$	Dreno do transistor sinterizado.
$E_a$	Nível de energia das impurezas aceitadoras (eV).
$E_C$	Nível mínimo de energia da banda de condução (eV).
$E_d$	Nível de energia das impurezas doadoras (eV).
$E_F$	Nível de Fermi do semiconductor (eV).
$E_{fn}$	Nível de Fermi para semicondutores P.
$E_{fp}$	Nível de Fermi para semicondutores N.
$E_G$	Banda proibida (eV).
$E_i$	Nível de energia intrínseco do semiconductor (eV).
$E_V$	Nível máximo de energia da banda de valência (eV).
$F$	Fonte do transistor.
$F_{Sin}$	Fonte do transistor sinterizado.
$I_D$	Corrente de dreno (A).
$K$	Constante de Boltzmann (eV/K).
$L$	Comprimento de canal (μm).
$n$	Fator de corpo.
$N_a$	Concentração de dopantes aceitadores (cm <sup>-3</sup> ).
$n_i$	Concentração intrínseca de portadores (cm <sup>-3</sup> ).
$q$	Carga elementar do elétron (C).
$q\phi_{Bn}$	Barreira de energia para elétrons injetados no metal (eV).
$q\psi_{bi}$	Barreira de energia para elétrons injetados no semiconductor (eV).
$Q_{depl}$	Densidade de carga em depleção na camada de silício (C/cm <sup>2</sup> ).
$Q_{inv}$	Densidade de carga invertidas na camada de silício (C/cm <sup>2</sup> ).

$Q_{ox1}$	Densidade de cargas fixas no óxido de porta na primeira interface (C/cm <sup>2</sup> ).
$Q_{ox2}$	Densidade de cargas fixas no óxido enterrado na segunda interface (C/cm <sup>2</sup> ).
$T$	Temperatura (K).
$t_{BOX}$	Espessura do óxido enterrado (cm).
$t_{ox}$	Espessura do óxido de porta (cm).
$t_{si}$	Espessura da camada de silício (cm).
$t_{Sicont}$	Espessura da camada de silício no contato (cm)
$V_{CG}$	Tensão de porta de controle (V).
$V_{DS}$	Tensão entre dreno e fonte (V).
$V_{FB1}$	Tensão de faixa plana aplicada na porta (V).
$V_{GB}$	Tensão de substrato para SOI MOSFET (V).
$V_{GB,Ac2}$	Tensão de Substrato para segunda interface acumulada (V).
$V_{GF}$	Tensão de porta para SOI MOSFET (V).
$V_{PG}$	Tensão na porta de programação (V).
$V_T$	Tensão de limiar (V).
$V_{T,ac2}$	Tensão de limiar para segunda interface acumulada (V).
$V_{T,depl2}$	Tensão de limiar para segunda interface depletada (V)
$V_{T,inv2}$	Tensão de limiar para segunda interface invertida (V).
$V_{Tn}$	Tensão de limiar do RFET funcionando como nMOS (V).
$V_{Tp}$	Tensão de limiar do RFET funcionando como pMOS (V).
$W$	Largura do canal ( $\mu$ m).
$W_D$	Largura da região de depleção da junção schottky (cm).
$x_{dmáx}$	Região de depleção máxima (cm).
$\mu_n$	Mobilidade para elétrons (cm <sup>2</sup> /V.s).
$\mu_p$	Mobilidade para lacunas (cm <sup>2</sup> /V.s).
$\alpha_{BE}$	Fator de acoplamento capacitivo do <sup>BE</sup> SOI MOSFET
$\alpha_{bulk}$	Fator de acoplamento capacitivo para o transistor MOS convencional
$\alpha_{FD,ac2}$	Fator de acoplamento capacitivo para SOI FD com a segunda interface em acumulação.
$\alpha_{FD,depl2}$	Fator de acoplamento capacitivo para SOI FD com a segunda interface em depleção.
$\epsilon_{ox1}$	Permissividade do óxido de porta(F/cm).



$\epsilon_{ox2}$	Permissividade do óxido enterrado (F/cm).
$\epsilon_{Si}$	Permissividade do silício (F/cm).
$\phi_{BN}$	Altura da barreira de potencial para elétrons (eV).
$\phi_{BP}$	Altura da barreira de potencial para lacunas (eV).
$\phi_F$	Potencial de Fermi (eV).
$\phi_M$	Função trabalho do metal (eV).
$\phi_{MS1}$	Diferença de função trabalho entre metal e semicondutor (eV).
$\phi_{MS2}$	Diferença de função trabalho entre canal e substrato (eV).
$\phi_{Si}$	Função trabalho do semicondutor.
$\phi_{S1}$	Potencial de superfície na primeira interface (eV).
$\phi_{S2}$	Potencial de superfície na segunda interface (eV).
$\chi$	Afinidade eletrônica (eV).

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>19</b>
1.1	Histórico e motivação	19
1.2	Objetivos	22
1.3	Estruturação do trabalho	22
<b>2</b>	<b>REVISÕES BIBLIOGRÁFICAS</b>	<b>24</b>
2.1	Tecnologia silício sobre isolante (SOI)	24
2.1.1	Classificação	26
2.1.2	Tensão de Limiar	27
2.1.3	Inclinação de Sublimiar	30
2.2	Transistores de efeito de campo reconfiguráveis (RFET)	31
2.2.1	Transistor reconfigurável <sup>BE</sup> SOI MOSFET	35
2.2.2	Princípios de operação do <sup>BE</sup> SOI MOSFET	37
2.2.3	Primeira versão do <sup>BE</sup> SOI MOSFET	39
2.2.4	Segunda versão do <sup>BE</sup> SOI MOSFET	40
2.2.5	Terceira versão do <sup>BE</sup> SOI MOSFET	41
2.3	Junções Metal-Semicondutor (Schottky)	42
2.3.1	Bandas de Energia	43
2.3.2	Formação da Junção Schottky	46
2.3.3	Junção Ôhmica (Metal-Semicondutor)	48
<b>3</b>	<b>MATERIAIS E MÉTODOS</b>	<b>50</b>
3.1	Transistores <sup>BE</sup> SOI MOSFET	50
3.1.1	Sequência de fabricação	50
3.2	Simulações	53
3.3	Medidas experimentais	54

<b>4 TRANSISTORES <sup>BE</sup>SOI MOSFET COM CONTATOS DE ALUMÍNIO EM DRENO/FONTE.....</b>	<b>56</b>
<b>4.1 Medidas experimentais.....</b>	<b>56</b>
4.1.1 <sup>BE</sup> SOI MOSFET sinterizado.....	57
4.1.2 <sup>BE</sup> SOI MOSFET não sinterizado .....	59
4.1.3 Conclusões e análises parciais. ....	61
<b>4.2 Simulações dos transistores <sup>BE</sup>SOI MOSFET de alumínio.....</b>	<b>62</b>
4.2.1 Simulação de processo .....	62
4.2.2 Simulações dos dispositivos e modelos físicos empregados. .....	63
4.2.3 Simulação do transistor <sup>BE</sup> SOI MOSFET sinterizado. ....	67
4.2.4 Simulação do transistor <sup>BE</sup> SOI MOSFET não sinterizado. ...	67
4.2.5 Conclusões parciais. ....	68
<b>4.3 Resultados e análises dos dispositivos simulados .....</b>	<b>69</b>
<b>4.4 <sup>BE</sup>SOI MOSFET de contato duplo de alumínio.....</b>	<b>74</b>
<b>5 CONCLUSÃO. ....</b>	<b>79</b>
<b>5.1 Trabalhos Futuros. ....</b>	<b>80</b>
<b>PUBLICAÇÕES ACEITAS.....</b>	<b>81</b>
<b>REFERÊNCIAS.....</b>	<b>82</b>
<b>APÊNDICE A .....</b>	<b>85</b>
<b>APÊNDICE B. ....</b>	<b>86</b>
<b>APÊNDICE C. ....</b>	<b>88</b>
<b>APÊNDICE D. ....</b>	<b>90</b>

## 1. INTRODUÇÃO

Esse capítulo apresenta um breve histórico da evolução dos circuitos integrados e da microeletrônica, expondo tendências tecnológicas observadas no passado e futuras aplicações tecnológicas, além de uma introdução sobre transistores reconfiguráveis. Em seguida são apresentados os objetivos e a organização do texto.

### 1.1 Histórico e motivação

A partir da proposta do primeiro circuito Integrado em 1959 (Kilby, 1959) e o surgimento do primeiro transistor MOSFET (“Metal-Oxide-Semiconductor Field-Effect-Transistor”) em 1960, o Dr. Gordon Moore observou que a quantidade de transistores presentes em um circuito integrado composto por transistores MOS dobrava a cada 12 meses, posteriormente essa tendência foi corrigida para 18 a 24 meses (LUNDSTROM, 2003), e é atualmente conhecida como “Lei de Moore” (MOORE, 1965). Empresas para serem competitivas precisavam, no mínimo, seguir esta lei no mercado de semicondutores. A Figura 1-1 apresenta a tendência da “Lei de Moore” ao longo dos anos.

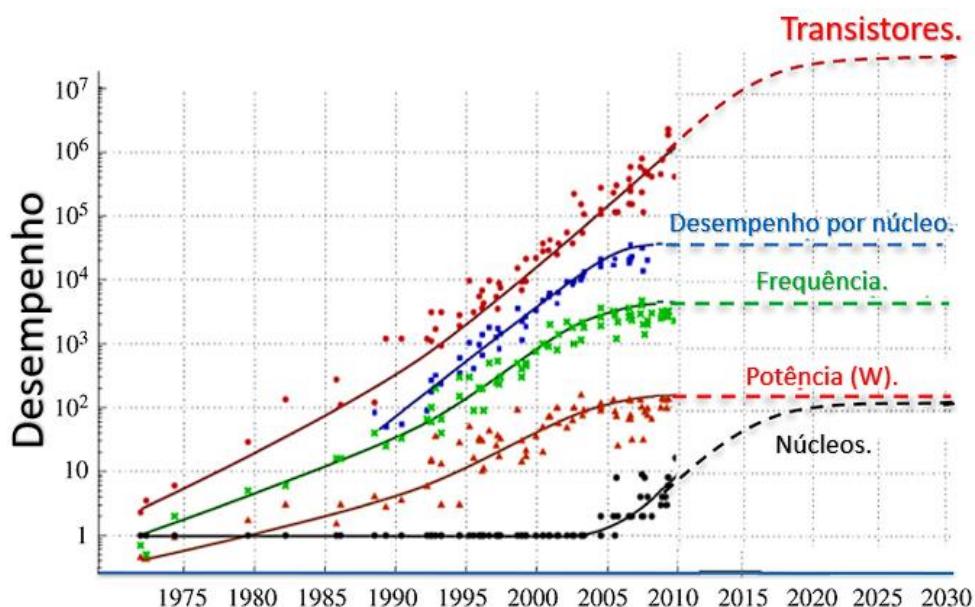


Figura 1- 1 - Número de transistores em microprocessadores ao longo dos anos.

Fonte: The future of computing beyond Moore's Law Phil. Trans. R. Soc. A.

O aumento exponencial da quantidade de transistores MOS integrados possibilitou diversas tecnologias atuais como as tecnologias SMART (*Self-Monitoring Analysis and Reporting Technology*) em celulares móveis e televisores. Além de impactar a cultura humana nos meios de telecomunicações na criação da telefonia móvel, internet e a digitalização de imagens, é desafiador não se beneficiar das décadas de evolução dos processos microeletrônicos (RANGEL, 2014).

A estrutura de porta presente nos transistores MOSFET é composta por uma porta tipicamente metálica (Alumínio, silício policristalino dopado, TiN etc), um óxido isolante como óxido de silício ou óxidos com altas constantes dielétricas (High-K), e um semicondutor (Si, Ge, SiGe etc). Dependendo da polarização aplicada na porta é criado um canal de portadores majoritários (acumulação) ou minoritários (inversão) na região de interface do semicondutor com o óxido de porta. O canal criado no modo inversão possibilita a condução de corrente entre dreno e fonte do transistor MOS modo enriquecimento. A Figura 1-2 mostra o perfil de um transistor nMOSFET convencional, onde o substrato é tipo P e as regiões de fonte e dreno são do tipo N.

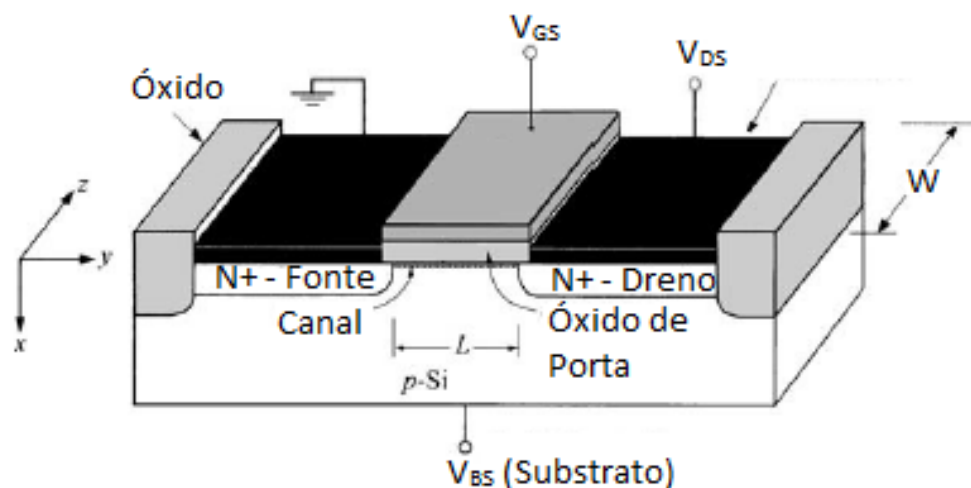


Figura 1-2 - Perfil de um nMOSFET.

Fonte: Adaptado de (SZE; KWOK, 2007).

Com a redução das dimensões (Largura -  $W$  e Comprimento -  $L$ ) dos transistores MOSFETs convencionais (bulk), tornou-se possível implementar mais circuitos para o processamento de informações e funcionalidades em um microprocessador, assim reduzindo o custo por transistor fabricado. Entretanto, diversos efeitos degradantes impossibilitaram o escalamento contínuo das dimensões

dos transistores MOSFET básicos, como os efeitos de canal curto e canal estreito. Diversas estruturas foram propostas para eliminar ou atenuar estes efeitos indesejados como a utilização da tecnologia de silício sobre isolante (SOI – “*Silicon-On-Insulator*”) e a utilização de transistores de múltiplas portas (FinFETs) melhorando o controle das cargas no canal (COLINGE, 2004).

Na tecnologia SOI os transistores são construídos em uma camada fina de silício sobre uma camada de óxido, denominada óxido enterrado, que separa o substrato da camada de silício. A camada de óxido sobre o substrato (óxido enterrado) promove um isolamento elétrico do substrato e dos outros dispositivos integrados. Alguns dos benefícios inerentes a utilização da tecnologia SOI são as menores correntes de fuga, menor variação de  $V_T$  (tensão de limiar) com a temperatura, maior resistência à radiação de dose única, a ausência do efeito tiristor parasitário (“*Latch-up*”) existentes na tecnologia CMOS convencional (CMOS – “*Complementary MOS*”) (COLINGE, 2004).

Apesar da mudança na tecnologia para construção de transistores MOSFETs, a contínua redução das dimensões para largura, comprimento e as espessuras atingiu a ordem de nanômetros, surgindo dificuldade no processo de dopagem dos transistores, onde uma pequena variação na distribuição dos dopantes nos dispositivos se torna problemático (flutuação de dopantes) (ASENOV, 1998). Para contornar novamente os efeitos decorrentes da contínua redução das dimensões foram propostos novos transistores, como transistores reconfiguráveis de nanofio de silício (HEINZIG, 2012) e transistores de nano folhas onde o canal não é intencionalmente dopado. Outras tecnologias emergentes também apareceram como transistores de tunelamento (TFET – “*Tunnel Field Effect Transistor*”) (IONESCU et al., 2011), utilização do spin do elétron para processamento de dados (ZUTIÉ et al., 2004). Além de transição de materiais, como utilização de germânio, materiais III/V, nano tubos de carbono e transistores baseados em grafeno, que podem proporcionar novas evoluções tecnológicas, porém o uso desses materiais apresenta dificuldades devido ao alto custo de fabricação dos dispositivos. (HEYNS et al., 2011) (GRAHAM et al., 2005) (LEMME et al., 2011).

Os transistores reconfiguráveis permitem a mudança de seu modo de operação, de nMOSFET para pMOSFET e vice-versa. A permutação entre seus modos de

operação é concebida através da polarização de sua porta de programação ( $V_{PG}$  – “*Programming Gate Voltage*”), e a corrente é controlada por meio da polarização da porta de controle ( $V_{CG}$  – “*Control Gate Voltage*”). Uma proposta de transistor reconfigurável SOI planar foi projetado e fabricado no LSI/PSI/USP em 2015, chamado de  $^{BE}$ SOI MOSFET (“*Back Enhanced*” SOI MOSFET) (RANGEL et al., 2015). No entanto, o nível de corrente de dreno para elétrons ( $^{BE}$ SOI nMOSFET) é baixa, assim apresentando um baixo fator de simetria.

As melhorias dos níveis de corrente de dreno tanto de elétrons como de lacunas de um  $^{BE}$ SOI MOSFET será o alvo desta dissertação.

## 1.2 Objetivos

O trabalho tem como objetivo estudar os tipos das junções Schottky formadas entre os contatos alumínio (fonte e dreno) e a região de silício abaixo dos contatos nos transistores  $^{BE}$ SOI MOSFET, com e sem o processo de térmico de sinterização em sua fabricação. O estudo é realizado através de medidas experimentais nos transistores disponíveis no Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP) e justificando seu funcionamento por meio de simulações numéricas bidimensionais. A partir destes resultados é proposto um novo transistor reconfigurável, com duplo contato de alumínio (“*Dual Aluminum Contact*”) que será chamado de DAC  $^{BE}$ SOI MOSFET visando a melhoria do desempenho.

## 1.3 Estruturação do trabalho

Este trabalho está dividido em cinco capítulos

Capítulo 1 – Introdução: Esse capítulo apresenta um breve histórico da evolução da dos circuitos integrados, expondo tendências tecnológicas observadas no passado e futuras aplicações tecnológicas, além de uma introdução sobre transistores reconfiguráveis  $^{BE}$ SOI.

Capítulo 2 – Revisão Bibliográfica: Este capítulo tratará dos principais conceitos utilizados no trabalho, como tecnologia SOI, transistores reconfiguráveis (RFET) e a junções metal semicondutor (Schottky).

Capítulo 3 – Materiais e Métodos: Este capítulo apresenta as características gerais do dispositivo, como sua fabricação, os equipamentos utilizados na medida elétrica, e os métodos de extração de parâmetros e considerações no simulador Sentaurus TCAD.

Capítulo 4 – Transistores <sup>BE</sup>SOI MOSFET com contatos de alumínio em Dreno/Fonte: Apresenta e discute as análises e resultados obtidos do estudo do transistor <sup>BE</sup>SOI com contatos de alumínio. Estando dividido em quatro partes, a análise e resultados do experimento realizado, considerações iniciais de simulação e ajuste experimental simulado, resultados simulados obtidos e proposta e otimização do transistor <sup>BE</sup>SOI MOSFET com duplo contato de alumínio.

Capítulo 5 – Conclusões: Apresenta as conclusões obtidas no trabalho.



## 2. REVISÕES BIBLIOGRÁFICAS.

Este capítulo apresenta os principais conceitos utilizados no trabalho, como a tecnologia SOI, transistores reconfiguráveis (RFET) e junções Schottky.

### 2.1 Tecnologia silício sobre isolante (SOI).

A tecnologia silício sobre isolante (SOI - “*Silicon-On-Insulator*”) consiste na fabricação de transistores MOS em lâminas SOI. A lâmina SOI se diferencia pela presença da camada de isolante (óxido enterrado) que separa a região ativa (camada fina de silício) do substrato. A Figura 2-1 apresenta o desenho esquemático da lâmina SOI.

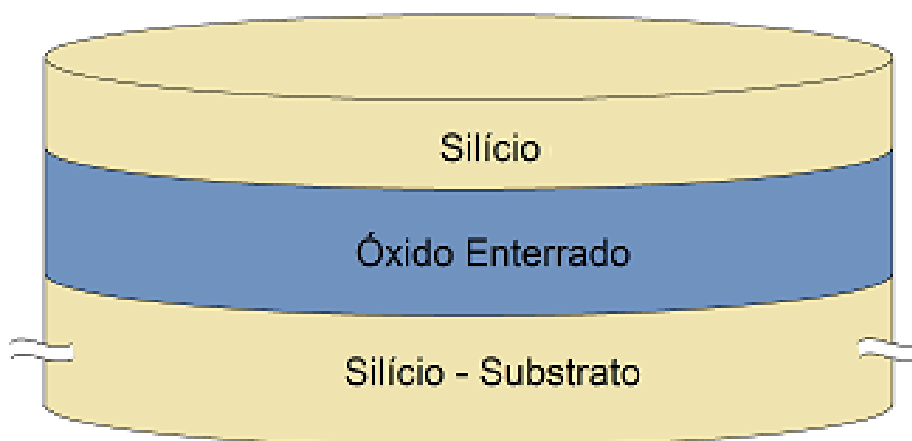


Figura 2-1 - Lâmina de silício sobre isolante (Silicon-On-Insulator - SOI).

Os dispositivos fabricados na tecnologia SOI localizam-se na região de silício superior ao óxido, isolados eletricamente do substrato e outros dispositivos presentes na lâmina. Os transistores MOSFET implementados na lâmina SOI apresentam uma série de vantagens quando comparados aos MOSFET convencionais que são implementados diretamente em lâminas de silício (bulk) (COLINGE, 2004).

A implementação da tecnologia SOI na fabricação de circuitos integrados possibilitou a redução das dimensões dos transistores, assim como a redução ou

eliminação de alguns efeitos parasitários, como a redução de capacitância de junção e a eliminação do efeito tiristor parasitário (“*Latch-up*”) presentes nos circuitos CMOS convencionais (COLINGE, 2004). A Figura 2-2 mostra esquematicamente transistores fabricados nas tecnologias MOS convencionais (a), PD SOI (parcialmente depletados) (b) e FD SOI (totalmente depletados) (c).

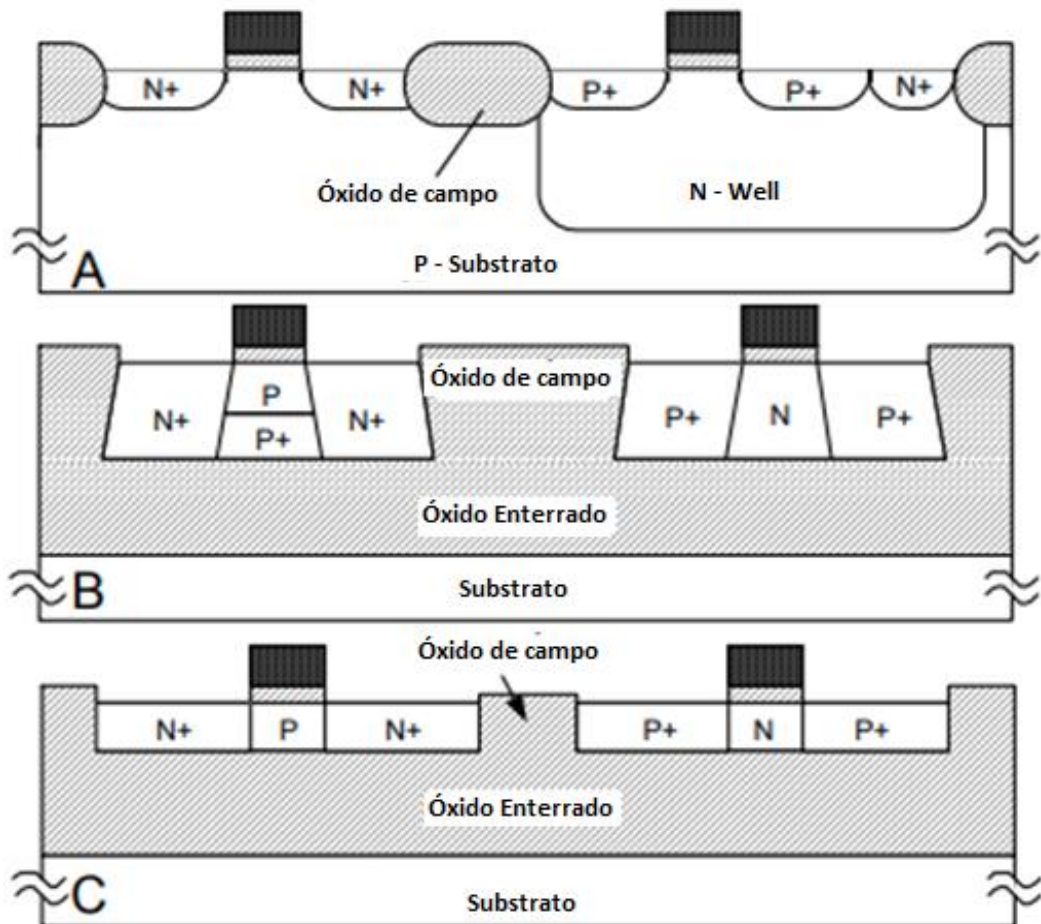


Figura 2-2 – Representação esquemática da seção transversal de um CMOS obtido nas tecnologias MOS convencional (a), PD SOI (b) e FD SOI (c).

Fonte: Adaptado de (COLINGE, 2004).

A tecnologia SOI apresenta uma série de vantagens como maior facilidade de fabricação como, a não necessidade de criação de cavidades para circuitos CMOS, menor inclinação de sublimar, maior resistência a radiação e maior transcondutância (COLINGE, 2004).

### 2.1.1 Classificação.

As propriedades inerentes dos transistores SOI MOSFET dependem da espessura, da concentração de dopantes da camada de silício e da temperatura. Portanto é possível fabricar dois tipos de transistores: com canal totalmente depletado (FD SOI – “Fully Depleted” SOI) e com canal parcialmente depletado (PD SOI – “Partially Depleted” SOI). No caso de transistores FD SOI a espessura da camada de silício ( $t_{si}$ ) é menor que a região de depleção máxima ( $x_{dmáx}$ ). Para o PD SOI a espessura da camada de silício (canal do transistor) deve ser maior que duas vezes a região de depleção máxima ( $x_{dmáx}$ ), assim o canal do transistor nunca ficará inteiramente depletado. A largura máxima de depleção ( $x_{dmáx}$ ) é dado por (2-1) (COLINGE, 2004).

$$x_{dmáx} = \sqrt{\frac{4\varepsilon_{si}\phi_F}{qN_a}} \quad (2-1)$$

onde  $\varepsilon_{si}$  é a permissividade do silício, ( $q$ ) é a carga elementar do elétron,  $N_a$  a concentração de dopantes do canal e  $\phi_F$  é o potencial de Fermi, que é dado pela expressão (2-2).

$$\phi_F = \frac{KT}{q} \ln(N_a/n_i) \quad (2-2)$$

onde  $K$  é a constante de Boltzmann,  $T$  a temperatura e  $n_i$  é a concentração intrínseca de portadores para o semiconductor.

Para transistores SOI FD tem-se a condição da espessura do silício ( $t_{si}$ ) menor que  $x_{dmáx}$ , possibilitando a interação entre interface primeira e segunda interfaces. Para a condição de parcialmente depletado a espessura do silício é o dobro de  $x_{dmáx}$ , tornando as interfaces independentes e separadas por uma região neutra. A Figura 2-3 mostra o diagrama de bandas de energia na camada de silício para canal totalmente depletado (a) e parcialmente depletado (b).

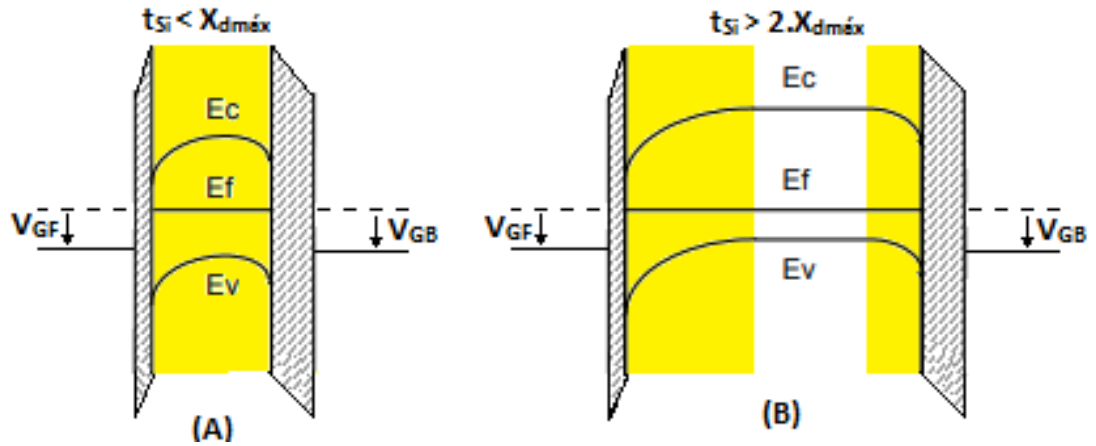


Figura 2- 3 - Diagrama de bandas de energia no corpo do silício para canal totalmente depletado (a) e parcialmente depletado (b), na condição de inversão fraca na segunda interface.

Fonte: Adaptado de (COLINGE, 2004).

Onde  $V_{GF}$  é o potencial aplicado na porta frontal do transistor SOI,  $V_{GB}$  o potencial aplicado na interface traseira do transistor.

### 2.1.2 Tensão de Limiar.

Para os transistores PD SOI MOSFET ( $t_{Si} > 2.x_{dmáx}$ ) a Figura 2-3B mostra o desacoplamento eletrostático entre as interfaces, onde as regiões de depleção provenientes de ambas as interfaces estão separadas por uma região neutra. Assim independentes das polarizações de  $V_{GB}$  e  $V_{FG}$  haverá o desacoplamento, tornando a tensão de limiar dos transistores PD SOI MOSFET constantes, em função da polarização do substrato. A tensão de limiar para os transistores PD SOI MOSFET é semelhante a transistores MOS convencionais, sendo dado pela expressão (2-3).

$$V_T = V_{FB1} + 2\phi_F + \frac{qN_a x_{dmáx}}{C_{OX1}} \quad (2-3)$$

onde  $V_T$  é a tensão de limiar do transistor,  $C_{ox1}$  é a capacitância do óxido de porta por unidade de área e  $V_{FB1}$  é tensão de faixa plana aplicada na porta, onde as respectivas expressões são apresentadas em (2-4) e (2-5).

$$C_{OX1} = \frac{\varepsilon_{ox1}}{t_{ox}} \quad (2-4)$$

$$V_{FB1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} \quad (2-5)$$

onde  $\varepsilon_{ox1}$  é a permissividade do óxido de porta,  $t_{ox}$  é a espessura do óxido de porta,  $\phi_{MS1}$  é a diferença de função trabalho entre metal de porta e semiconductor e  $Q_{ox1}$  é a densidade efetiva de cargas no óxido de porta.

Para os transistores FD SOI, a tensão de limiar dependerá da condição da segunda interface. Para tal o modelo Lim & Fossum (LIM; FOSSUM, 1983) descreve o modelo analítico através as expressões (2-6) e (2-7).

$$V_{GF} = \phi_{MS1} - \frac{Q_{OX1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \phi_{S2} - \frac{\frac{1}{2Q_{depl}} + Q_{inv1}}{C_{ox1}} \quad (2-6)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{OX2}}{C_{BOX}} + \left(1 + \frac{C_{Si}}{C_{BOX}}\right) \phi_{S2} - \frac{C_{Si}}{C_{BOX}} \phi_{S1} - \frac{\frac{1}{2Q_{depl}} + Q_{S2}}{C_{BOX}} \quad (2-7)$$

onde  $C_{Si}$  é a capacitância do silício por unidade de área,  $\phi_{S1}$  é o potencial de superfície na primeira interface,  $\phi_{S2}$  é o potencial de superfície na segunda interface,  $Q_{depl}$  é a carga de depleção do silício por unidade de área,  $Q_{inv1}$  é a carga de inversão por unidade de área,  $\phi_{MS1}$  é a diferença de função trabalho entre substrato e canal,  $C_{BOX}$  é a capacitância por unidade de área do óxido enterrado e  $Q_{ox2}$  é a densidade efetiva de cargas no óxido enterrado,  $Q_{S2}$  é a densidade de carga na segunda interface,  $\varepsilon_{ox2}$  é a permissividade do óxido enterrado e  $t_{BOX}$  é a espessura do óxido enterrado.

$$C_{BOX} = \frac{\varepsilon_{ox2}}{t_{BOX}} \quad (2-8)$$

Assim os casos de segunda interface em modo inversão, depleção e acumulação são apresentados na sequência.

1) Segunda interface invertida.

Nesse caso é considerado:  $\phi_{S2} = 2\phi_F$ , carga de inversão  $Q_{inv} = 0$  (limiar de inversão) e  $\phi_{S1} = 2\phi_F$ . Assim substituindo as condições em (2-6) e (2-7) é obtido a expressão da tensão de limiar para o transistor SOI FD nMOSFET com segunda interface invertida ( $V_{T,inv2}$ ) (2-9).

$$V_{T,inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{ox1}} + 2\phi_F + \frac{Q_{depl}}{2C_{ox1}} \quad (2-9)$$

2) Segunda interface acumulada.

Para o caso de segunda interface acumulada é considerado:  $\phi_{S2} = 0$ , carga de inversão  $Q_{inv} = 0$  e  $\phi_{S1} = 2\phi_F$ . Substituindo nas equações (2-6) e (2-7) é obtido a expressão para a tensão de limiar com segunda interface acumulada ( $V_{T,ac2}$ ) (2-10).

$$V_{T,ac2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F + \frac{Q_{depl}}{2C_{ox1}} \quad (2-10)$$

3) Segunda interface depletada.

No caso de segunda interface depletada: o potencial de superfície na segunda interface está no intervalo de  $0 < \phi_{S2} < 2\phi_F$ ,  $\phi_{S1} = 2\phi_F$  e  $Q_{inv} = 0$ . Substituindo os valores em (2-7) e (2-8) tem-se a expressão da tensão de limiar para segunda interface depletada ( $V_{T,depl2}$ ) expresso por (2-11).

$$V_{T,depl2} = V_{T,ac2} - \frac{C_{Si}Q_{BOX}}{C_{ox1}(C_{Si}+Q_{BOX})} (V_{GB} - V_{GB,ac2}) \quad (2-11)$$

onde  $V_{GB,ac2}$  é apresentado pela equação (2.12).

$$V_{GB,ac2} = \phi_{MS2} - \frac{Q_{OX2}}{C_{BOX}} + \left( \frac{C_{Si}}{C_{BOX}} \right) 2\phi_F - \frac{Q_{depl}}{2C_{BOX}} \quad (2-12)$$

### 2.1.3 Inclinação de Sublimiar.

A inclinação de sublimiar é definida pela expressão (2-13) aplicada na região de sublimiar. Esse parâmetro define a rapidez com que o transistor transita entre seu estado ligado e desligado. Desprezando as capacitâncias provenientes de armadilhas de interface, a inclinação de sublimiar é dada por (2-14).

$$SS = \frac{dV_{GF}}{d(\log I_D)} [mV/dec] \quad (2-13)$$

$$SS = n \frac{KT}{q} \ln(10) \quad (2-14)$$

onde  $n$  é o fator de corpo do transistor, que é calculado através da equação (2-15), onde o parâmetro  $\alpha$  é o fator calculado através da razão capacitiva observada no canal. Para transistores MOSFET convencionais o fator de acoplamento capacitivo ( $\alpha$ ) é dado por (2-16). Em transistores FD SOI o fator de acoplamento capacitivo é obtido através da razão da capacitância entre canal e substrato pela capacitância entre canal e porta. No caso da segunda interface se encontrar em acumulação é dado por (2-17) e no caso da segunda interface se encontrar em depleção, é dado por (2-18) (COLINGE, 2004).

$$n = 1 + \alpha \quad (2-15)$$

$$\alpha_{bulk} = \frac{C_D}{C_{OX}} = \frac{\epsilon_{Si}}{x_{dm\acute{a}x} C_{OX}} \quad (2-16)$$

$$\alpha_{FD,ac2} = \frac{C_{Si}}{C_{OX1}} = \frac{\epsilon_{Si}}{t_{Si}C_{OX1}} \quad (2-17)$$

$$\alpha_{FD,depl2} = \frac{C_{Si}C_{BOX}}{C_{OX}(C_{Si}+C_{BOX})} \quad (2-18)$$

Como consequência das associações capacitivas os transistores FD SOI MOSFET com segunda interface depletada apresentam fator de corpo ( $n$ ) menores que transistores do tipo MOS convencional ( $n_{FD,Depl} < n_{bulk} < n_{FD,Acc}$ ), tornando os transistores FD SOI MOSFET com segunda interface depletada mais rápidos na comutação entre estado ligado e desligado (COLINGE, 2004).

Para transistores PD SOI devido seu desacoplamento com a segunda interface não há efeito de variação da tensão de limiar com a polarização do substrato ( $V_{GB}$ ). Contudo, para transistores totalmente depletado a variação da tensão de limiar conforme a polarização de  $V_{GB}$  é dada conforme as expressões (2-19), (2-20) e (2-21), para, respectivamente, segunda interface invertida, acumulada e depletada (COLINGE, 2004).

$$\frac{dV_{T,Ac2}}{dV_{GB}} = 0 \quad (2-19)$$

$$\frac{dV_{T,inv2}}{dV_{GB}} = 0 \quad (2-20)$$

$$\frac{dV_{T,deple2}}{dV_{GB}} = -\frac{C_{Si}C_{BOX}}{C_{OX1}(C_{Si}+C_{BOX})} = \frac{\epsilon_{Si}C_{BOX}}{C_{OX1}(t_{Si}C_{OX2} + \epsilon_{Si})} = -\alpha \quad (2-21)$$

## 2.2 Transistores de efeito de campo reconfiguráveis (RFET).

Os transistores de efeito de campo do tipo reconfigurável (RFET – “*Reconfigurable Field Effect Transistors*”) são tendências emergentes que podem possibilitar novos nós tecnológicos, para sequencia futura da lei de Moore. Os transistores reconfiguráveis possibilitam, a transição de seu modo de operação, de transistores nMOSFET para pMOSFET e vice-versa. A permutação entre seus modos de operação é concebida através da polarização de sua porta de programação ( $V_{PG}$  –



“Programming Gate Voltage”), e a corrente é controlada por meio da polarização da porta de controle ( $V_{CG}$  – “Control Gate Voltage”). Os RFETs apresentam duas estruturas principais, que são mostradas na Figura 2-4. As estruturas (a) tem o controle simultâneo das barreiras Schottky controlando o tipo de portador injetado no canal do transistor, através da porta de programação ( $V_{PG}$ ). Para os transistores reconfiguráveis de portas independentes (b) tem-se o controle independente das regiões, assim o controle o portador injetado através da junção Schottky são independentes. Para ambos os casos a modulação do canal é controlada através da porta de controle ( $V_{CG}$ ).

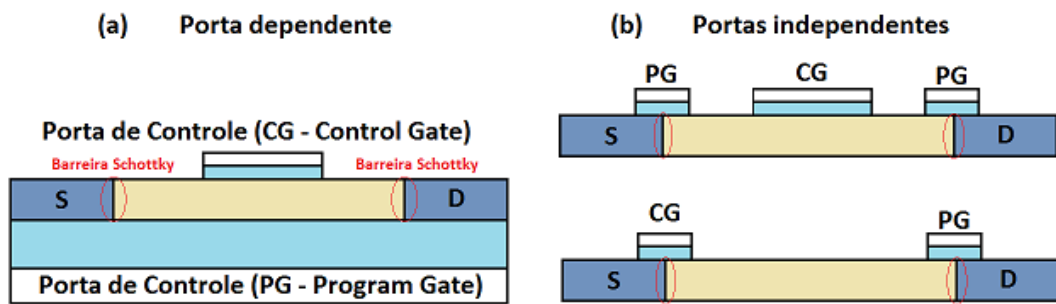


Figura 2-4 - Transistores MOS reconfiguráveis, para controle simultâneo (a) e controle independente das junções (b).

Fonte: Adaptado de (MIKOLAJICK; et al, 2017).

A injeção de corrente para os casos anteriores é apresentada na sequência pela Figura 2-5, que mostra esquematicamente o diagrama de bandas de energia para os diferentes modos de operação nas estruturas anteriores. Para os transistores reconfiguráveis de controle simultâneo (a) a polarização da porta de programação controla ambas as junções, e simultaneamente o tipo de canal formado para o funcionamento como nMOSFET ( $V_{PG} > 0$ ) e pMOSFET ( $V_{PG} < 0$ ), assim o diagrama de bandas de energia ao longo do canal curva-se de forma a se aproximar do nível de condução (nMOSFET) ou valência (pMOSFET). Através da polarização da porta de controle ( $V_{CG}$ ) tem-se o controle das cargas do canal sob a região de porta, com finalidade de modulação de canal. A injeção de portadores através da junção Schottky para transistores reconfiguráveis (b) é controlada por portas independentes, nomeadas como porta de controle (CG) e programação (PG), semelhantemente ao caso anterior seu funcionamento como nMOSFET é concebido por  $V_{PG} > 0$  e

pMOSFET  $V_{PG} < 0$ , sendo controlados através da polarização da porta de controle. Assim os portadores ultrapassam as barreiras de potencial e são acelerados em direção ao contato de fonte, por intermédio da polarização ( $V_{DS}$ ).

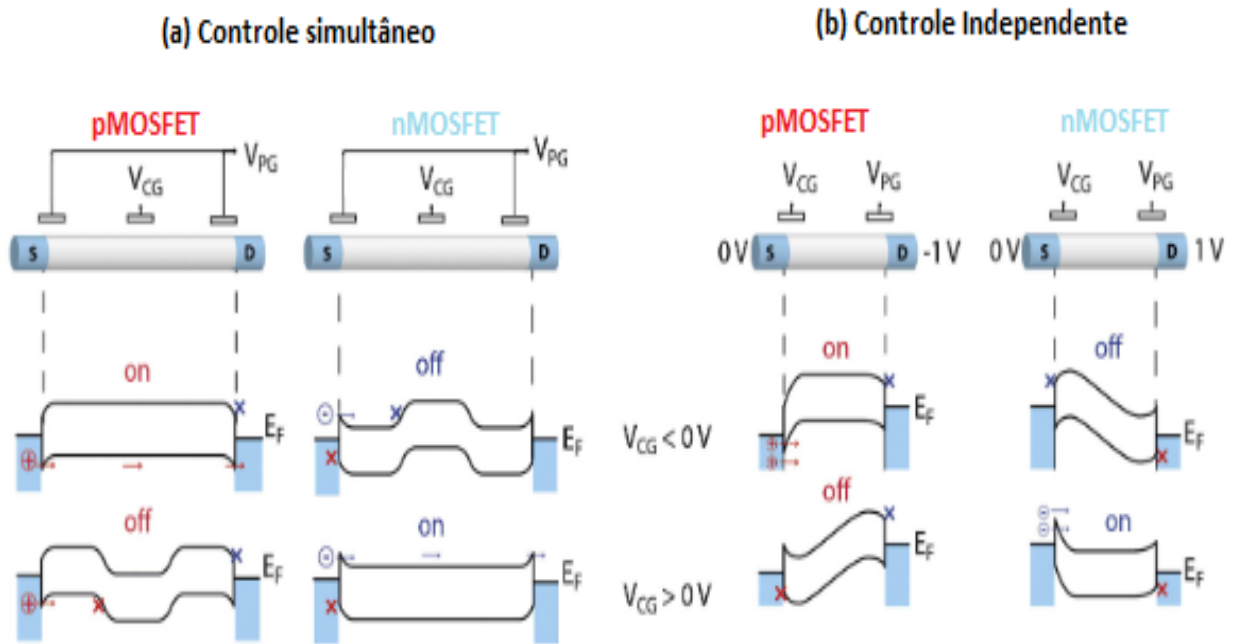


Figura 2-5 - Diagrama de bandas de energia para transistores reconfiguráveis de controle simultâneo (a) e controle independente (b).

Fonte: Adaptado de (MIKOLAJICK; et al, 2017).

Assim como as outras tecnologias emergentes, os transistores de efeito de campo do tipo reconfigurável apresentam dificuldades em sua implementação, entre elas, uma é tornar os níveis de correntes para elétrons e lacunas simétricos, para tal a escolha dos materiais de contatos é essencial. A diferença entre as barreiras de potencial para elétrons e lacunas dos diferentes materiais de contatos tornam a injeção de portadores assimétrica, assim a escolha de materiais de contato em grande parte é baseada em materiais com funções trabalho próximas a metade de banda do silício, como o siliceto de níquel ( $NiSi_2$ ) (MIKOLAJICK; et al., 2017).

Alguns benefícios intrínsecos da utilização dos transistores reconfiguráveis (RFET) são: miniaturização de circuitos digitais complexos, possibilidade construção de portas lógicas permutáveis NAND/NOR (MIKOLAJICK; et al., 2017) e segurança de *hardware* para proteção de intelectual (IP – “*Intellectual Property*”) de circuitos através de camuflados (YU BI; et al., 2014). A Figura 2-6 apresenta as portas NAND

(a) e NOR (b) reconfiguráveis implementados com quatro transistores RFETs, que ao inverter as polarizações da porta de programação juntamente com a alimentação do circuito é obtido a mudança de função lógica do circuito. A inversão de alimentação do circuito pode ser obtida através da inserção de um inversor, a Figura 2-7 mostra uma célula esquemática NAND/NOR de seis transistores, que possibilita a troca de operação através da polarização de um terminal ( $V_{SELECT}$ ).

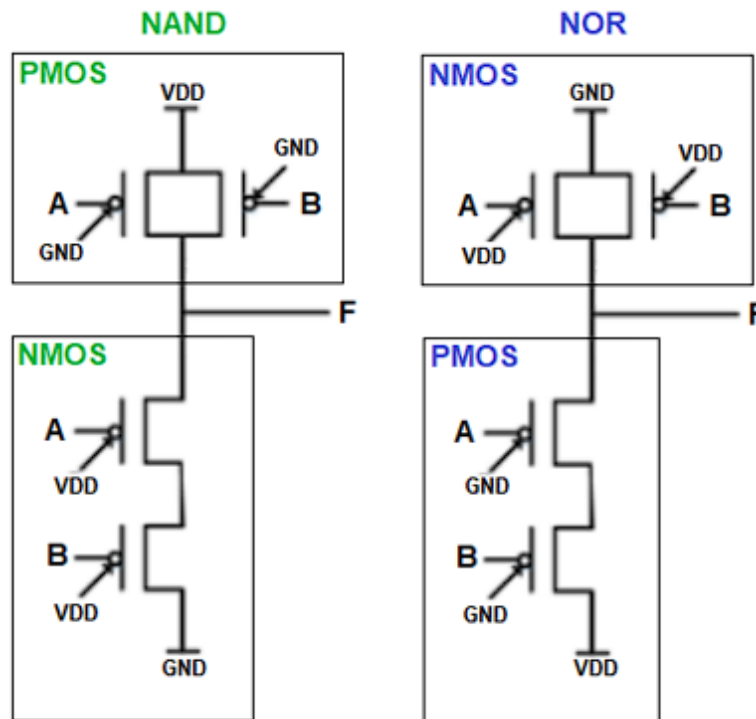


Figura 2-6 - - Célula NAND (a) e NOR (b) de quatro transistores reconfiguráveis.

Fonte: Adaptado de (YU BI; et al, 2014).

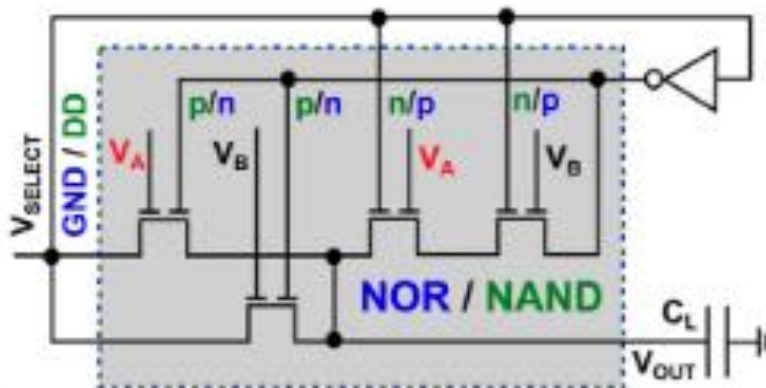


Figura 2-7 - Célula NAND/NOR de 6 transistores reconfiguráveis controlada através de polarização ( $V_{Select}$ ).

Fonte: Adaptado de (TROMMER; et al, 2014).

A camuflagem é um dos métodos utilizados para segurança de hardware de um circuito, que retarda ou até impede que invasores adquiram conhecimento do circuito observado, através de métodos de engenharia reversa. A Figura 2-8 mostra a implementação de um circuito camuflado MOSFET convencional, onde a presença de contatos falsos e verdadeiros, entre as camadas, possibilitam ao circuito um funcionamento fixo entre NAND ou NOR. Devido ao alto consumo de área de projeto raramente circuitos camuflados baseados na tecnologia CMOS convencional são implementados (YU BI; et al., 2014), porém a implementação de reconfiguráveis possibilitam implementação de circuitos camuflados intrinsecamente, onde a camuflagem é obtida através da polarização da porta de programação.

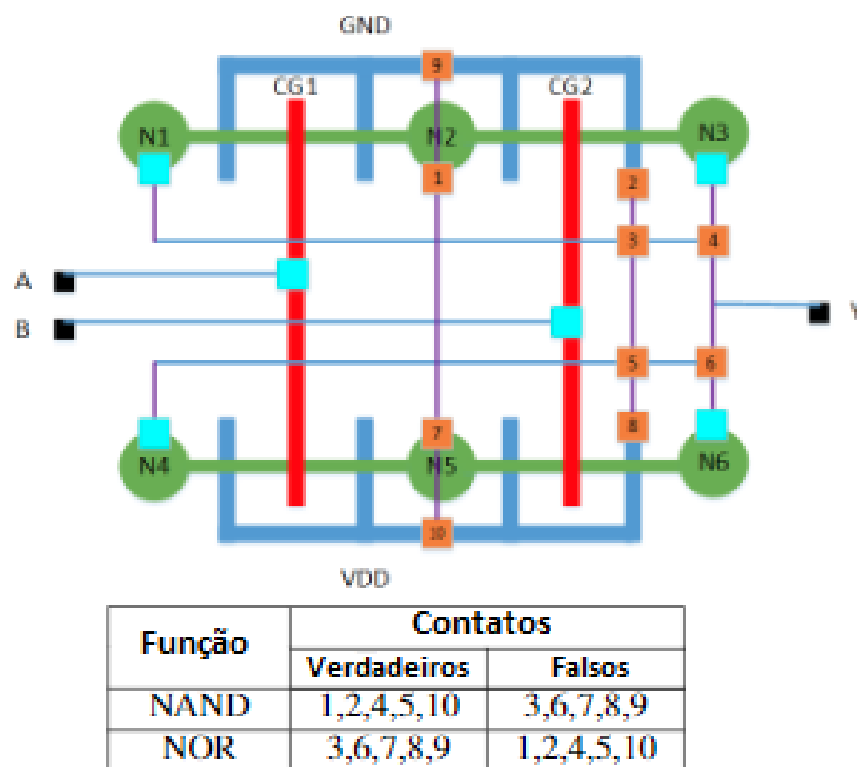


Figura 2-8 - Célula NAND ou NOR camuflada CMOS ( $V_{Select}$ ).

Fonte: Adaptado de (YU BI; et al, 2014).

### 2.2.1 Transistor reconfigurável <sup>BE</sup>SOI MOSFET.

O <sup>BE</sup>SOI MOSFET é um transistor planar construído sobre a lâmina SOI com porta metálica, desenvolvido e fabricado no Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP), sob a patente (MARTINO; RANGEL, 2015).

Sua estrutura dispensa dopagens de fonte e dreno, facilitando seu processo de fabricação (RANGEL, 2015). A presença da porta de programação e a ausência de dopantes na região de fonte e dreno possibilitam seu funcionamento como transistor reconfigurável, tornando possível a condução de lacunas (<sup>BE</sup>SOI pMOSFET) ou elétrons (<sup>BE</sup>SOI nMOSFET) através do canal na segunda interface do transistor dependendo da polarização da porta de programação. Seu funcionamento baseia-se na polarização da porta de programação (PG - “Programming Gate”) que no caso do <sup>BE</sup>SOI MOSFET é o substrato, possibilitando a formação de cargas no canal. Para indução de cargas positivas tem-se  $V_{PG} \ll 0$  V (<sup>BE</sup>SOI pMOSFET) e cargas negativas  $V_{PG} \gg 0$  V (<sup>BE</sup>SOI nMOSFET). A Figura 2-9 mostra esquematicamente o perfil de um <sup>BE</sup>SOI MOSFET.

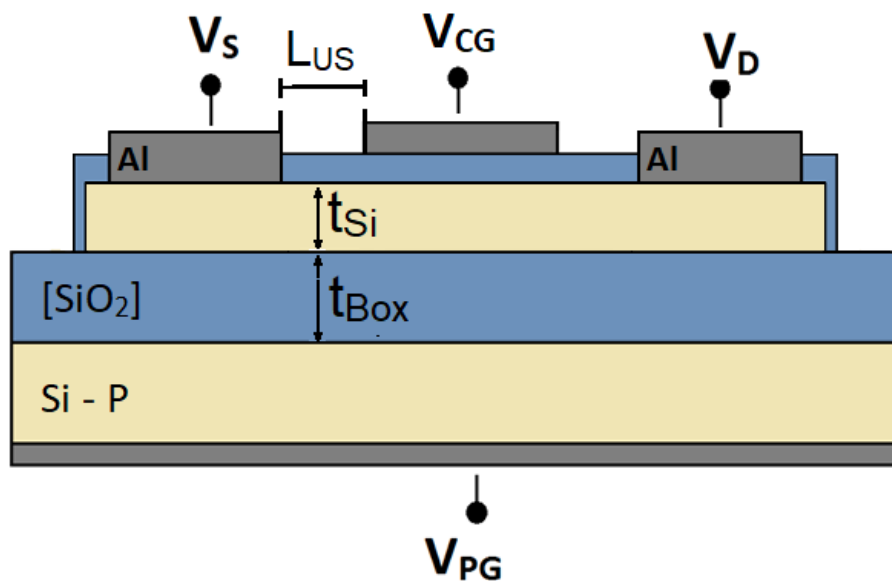


Figura 2-9 - Perfil do transistor <sup>BE</sup>SOI MOSFET.

O <sup>BE</sup>SOI MOSFET é construído sobre lâmina SOI sem dopagem intencional, ou seja, o canal contém dopantes aceitadores naturais provenientes da lâmina SOI ( $10^{15}$   $\text{cm}^{-3}$ ). Em sua fabricação não há processos de dopagem, portanto, o ajuste da tensão de limiar deve ser controlado através do campo elétrico na segunda interface ( $V_{PG}$ ) conforme foi apresentado anteriormente. A região de subposição entre porta e contatos de fonte/dreno (“*underlap*”) pode ser usada como região sensível tornando possível a implementação deste transistor como sensor biológico (YOJO; et al., 2017a) (YOJO; et al., 2017b) ou de luz ultravioleta (PADOVESE; et al., 2018). Como

mostrado na Figura 2-9, a porta de controle (CG – “Control Gate”) controla a modulação do canal de forma a cortar ou permitir a passagem de corrente na segunda interface.

Diferentemente dos FD SOI nMOSFET convencionais os transistores <sup>BE</sup>SOI MOSFET por não disporem de dopantes nas regiões de fonte e dreno, a injeção de portadores no canal (elétrons e lacunas) é realizada através de junções Schottky, como consequência, os níveis de corrente em seus modos de operação dependem diretamente das alturas de barreiras para elétrons ( $\phi_{BN}$ ) e lacunas ( $\phi_{BP}$ ).

### 2.2.2 Princípios de operação do <sup>BE</sup>SOI MOSFET

O princípio de operação desses transistores é baseado através da corrente na segunda interface. A Figura 2-10 exemplifica os modos de operação para segunda interface acumulada ( $V_{PG} \ll 0$ ) (a, b) e invertida ( $V_{PG} \gg 0$ ) (c, d), para a situação da primeira interface acumulada ( $V_{CG} < V_{Tp}$ ) (a), depletada ( $V_{CG} > V_{Tp}$ ) (b), invertida ( $V_{CG} > V_{Tn}$ ) (c), depletada ( $V_{CG} < V_{Tn}$ ) (d). Para sua operação como <sup>BE</sup>SOI pMOSFET a acumulação da segunda interface cria um canal de lacunas, assim para a condição da primeira interface acumulada tem-se canal na primeira interface abaixo da porta de controle (CG) e conseqüentemente, corrente para tensão entre dreno e fonte negativa ( $V_{DS} < 0$ ) (a). Para primeira interface depletada não há canal formado na segunda interface abaixo da porta de controle (CG) e conseqüentemente não há corrente (b). Semelhantemente para segunda interface invertida, existe canal formado para condução de corrente se  $V_{CG} > V_{Tn}$  e ausência de corrente para a primeira interface depletada em  $V_{CG} < V_{Tn}$ . As polarizações de inversão e acumulação na segunda interface dependem das espessuras de óxido enterrado e sua respectiva carga efetiva, para lâminas SOI tradicionais ( $t_{BOX} = 200$  nm) tem-se acumulação para  $V_{PG} < -15$  V e inversão  $V_{PG} > 15$  V.

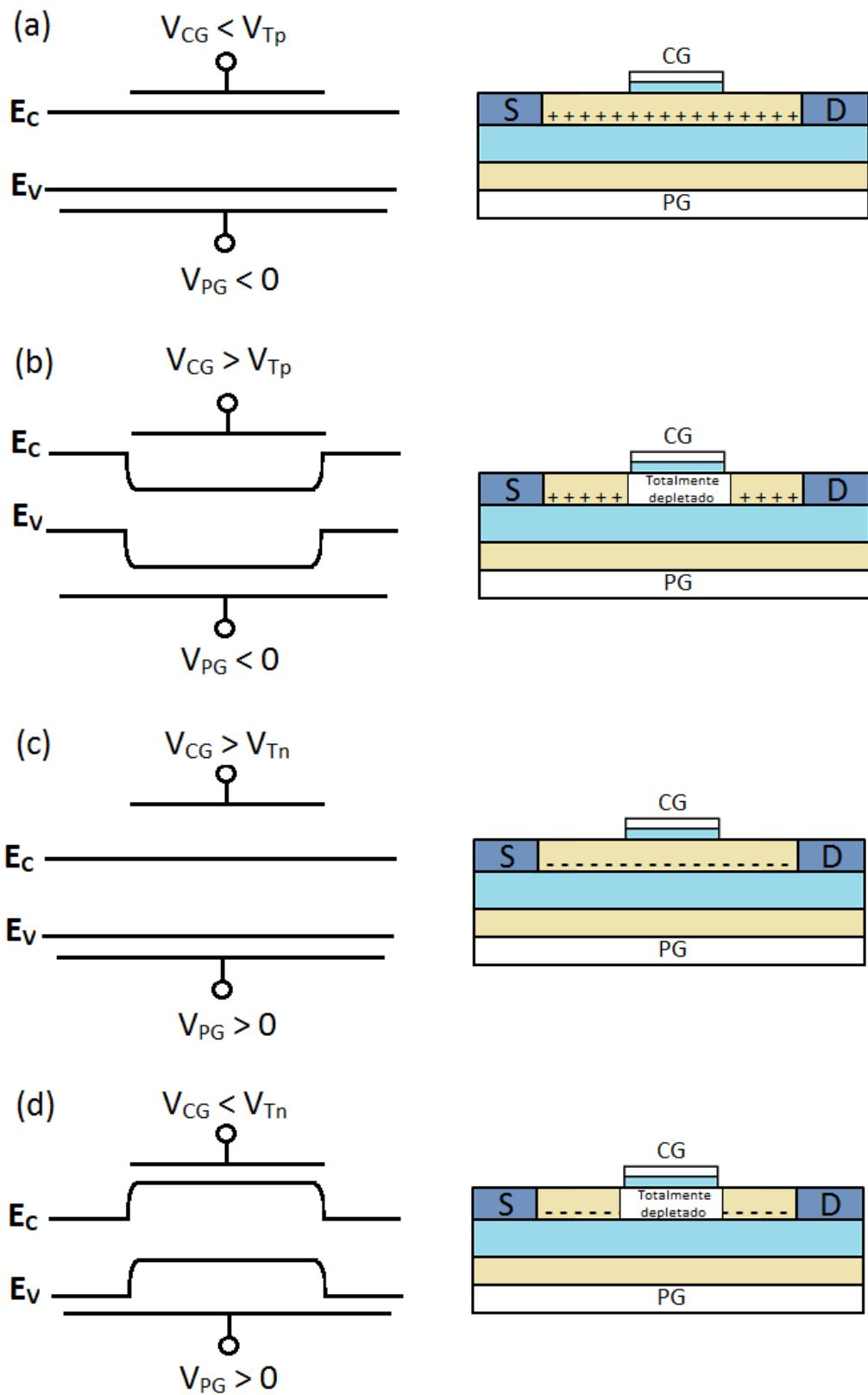


Figura 2-10 - Diagrama de bandas de energia no modo de operação do transistor <sup>BE</sup>SOI MOSFET, nas situações de segunda interface acumulada (a) (b) e invertida (c) (d) e depleção da primeira interface (b) (d).

Fonte: Adaptado de (RANGEL; MARTINO, 2015).

### 2.2.3 Primeira versão do <sup>BE</sup>SOI MOSFET

A primeira versão do transistor <sup>BE</sup>SOI MOSFET foi fabricado com contatos de alumínio, seguindo todas as etapas descritas no capítulo 3, incluindo o processo de sinterização dos contatos. Seguindo dimensões para óxido de porta de 15 nm ( $t_{ox}$ ), óxido enterrado de 200 nm ( $t_{BOX}$ ) e aproximadamente 23 nm de espessura de silício no canal ( $t_{Si}$ ) (RANGEL; MARTINO, 2015). A Figura 2-11 mostra uma cascata de 6 transistores <sup>BE</sup>SOI MOSFET sinterizado com contatos de dreno e fonte de alumínio. A curva de transferência ( $I_{DS} \times V_{GC}$ ) é mostrada na Figura 2-12.

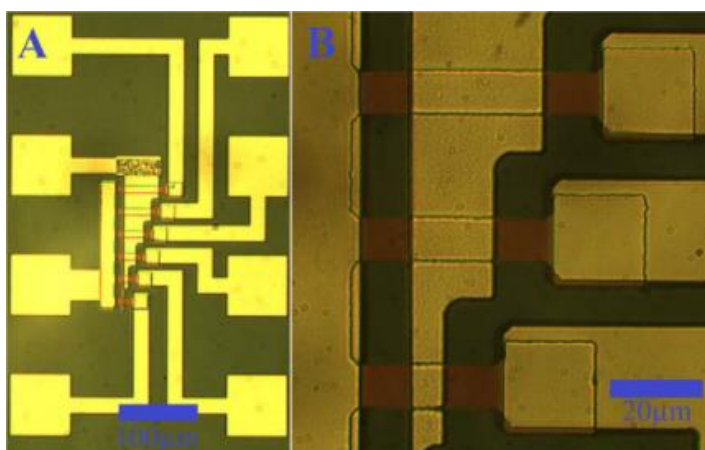


Figura 2-11 - Apresenta uma cascata de seis transistores <sup>BE</sup>SOI MOSFET

Fonte: (RANGEL; MARTINO, 2015).

A curva do transistor polarizado para acumulação na segunda interface (<sup>BE</sup>SOI pMOSFET) apresenta valor apreciável para lacunas, sendo variável conforme a polarização da porta de programação ( $V_{PG}$ ). O acoplamento entre as interfaces torna a tensão de limiar do transistor também variável conforme  $V_{PG}$ , como descrito anteriormente. Entretanto, o processo de sinterização do alumínio sobre o silício tende a formação de um contato ôhmico para lacunas (SZE, 2006) (STREETMAN et al., 2007), como consequência da junção ôhmica a injeção de elétrons no canal do transistor é prejudicada em modo <sup>BE</sup>SOI nMOSFET. Assim o transistor <sup>BE</sup>SOI nMOSFET sinterizado de contados de alumínio tende a correntes extremamente baixas, que impossibilitam sua medição. Nessa versão foi observado que a junção metal-semicondutor de fonte/dreno são influentes nos níveis de corrente do transistor.



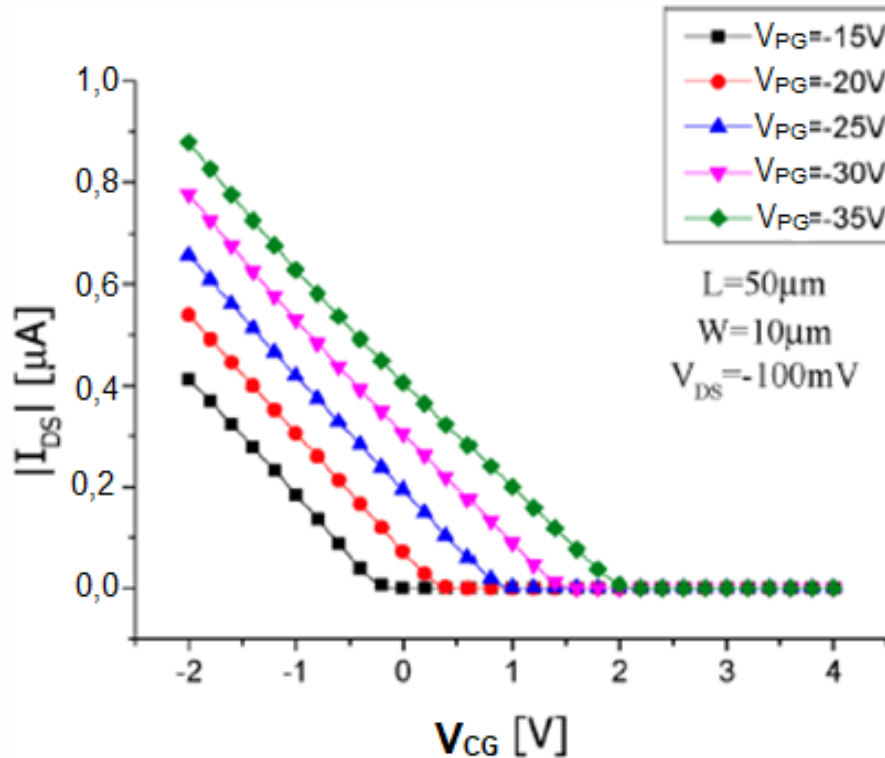


Figura 2-12 Curva de transferência da primeira versão do transistor <sup>BE</sup>SOI nMOSFET.

Fonte: (RANGEL; MARTINO, 2015).

#### 2.2.4 Segunda versão do <sup>BE</sup>SOI MOSFET

Para a segunda versão do transistor <sup>BE</sup>SOI MOSFET (Figura 2-13), seu processo de fabricação seguiu utilizando níquel como material de contanto, formando após a sinterização dos contatos o siliceto de níquel (NiSi<sub>2</sub>) (YOJO, 2022), possuindo uma função trabalho próxima a metade de banda proibida do silício, tornando as barreiras de potencial para elétrons e lacunas próximas, aproximando os níveis de corrente para a operação <sup>BE</sup>SOI pMOSFET e <sup>BE</sup>SOI nMOSFET. Apesar do aumento do nível de corrente em modo <sup>BE</sup>SOI nMOSFET devido a redução da barreira de potencial para elétrons ( $\phi_{Bn}$ ), o aumento da barreira Schottky para lacunas ( $\phi_{Bp}$ ) diminui a corrente para lacunas em comparação com sua versão anterior (YOJO, 2022). A Figura 2-14 mostra os níveis de corrente para a segunda versão do transistor <sup>BE</sup>SOI MOSFET, nos modos <sup>BE</sup>SOI pMOSFET (a) e <sup>BE</sup>SOI nMOSFET (b).

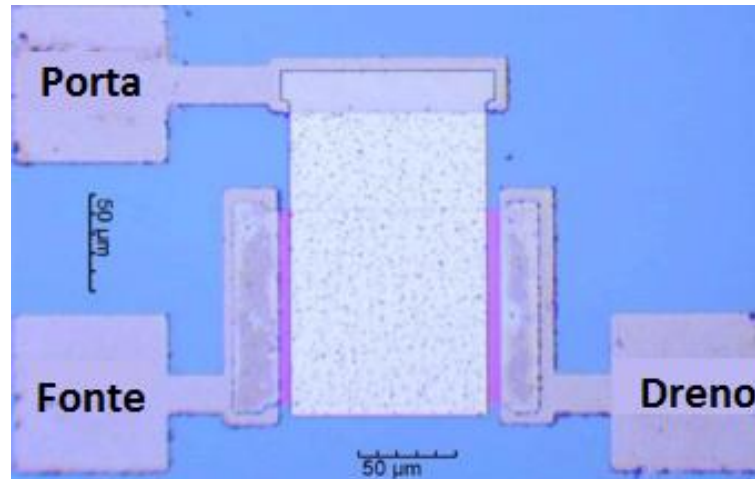


Figura 2-13 - Foto da segunda versão do transistor BESOI MOSFET.

Fonte: Adaptado de (YOJO et al., 2017).

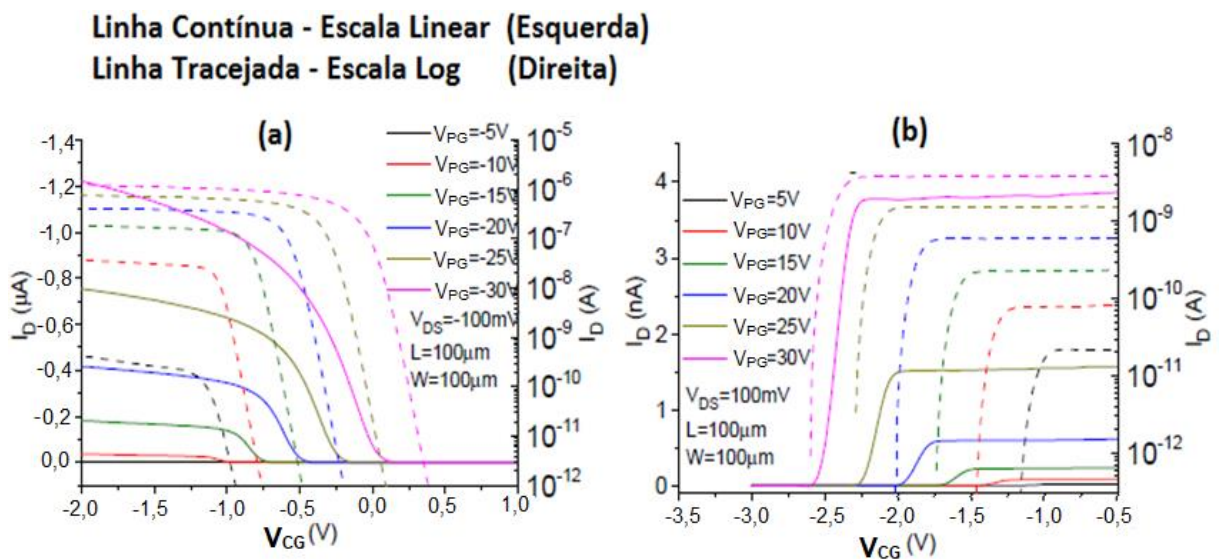


Figura 2-14 - Curva de transferência da segunda versão do transistor <sup>BE</sup>SOI pMOSFET (a) e <sup>BE</sup>SOI nMOSFET.

Fonte: Adaptado de (YOJO et al., 2017).

### 2.2.5 Terceira versão do <sup>BE</sup>SOI MOSFET

A terceira versão do transistor <sup>BE</sup>SOI MOSFET foi construída a partir de uma lâmina SOI UTBB (UTBB – “Ultra-Thin Body and Box”), contendo aproximadamente as espessuras de: óxido de porta de 10 nm ( $t_{ox}$ ), óxido enterrado de 25 nm ( $t_{box}$ ) e camada de silício de aproximadamente de 9 nm ( $t_{si}$ ) (SASAKI et al., 2019). Essa versão possibilitou a redução das tensões de porta de programação para inversão e

acumulação da segunda interface do transistor, pois a camada fina de óxido enterrado possibilita um maior campo elétrico na segunda interface, assim facilitando a formação do canal de elétrons ou lacunas.

A Figura 2-15 mostra a curva de transferência da terceira versão do transistor <sup>BE</sup>SOI MOSFET fabricada utilizando contato de alumínio. Como consequência da utilização do alumínio sinterizado com contatos de dreno e fonte, o transistor não adquire corrente significativa para elétrons em modo <sup>BE</sup>SOI nMOSFET. Entretanto, a versão possibilitou níveis de corrente do <sup>BE</sup>SOI pMOSFET próximas a primeira versão com tensões na porta de programação bem menores (SASAKI et al., 2019).

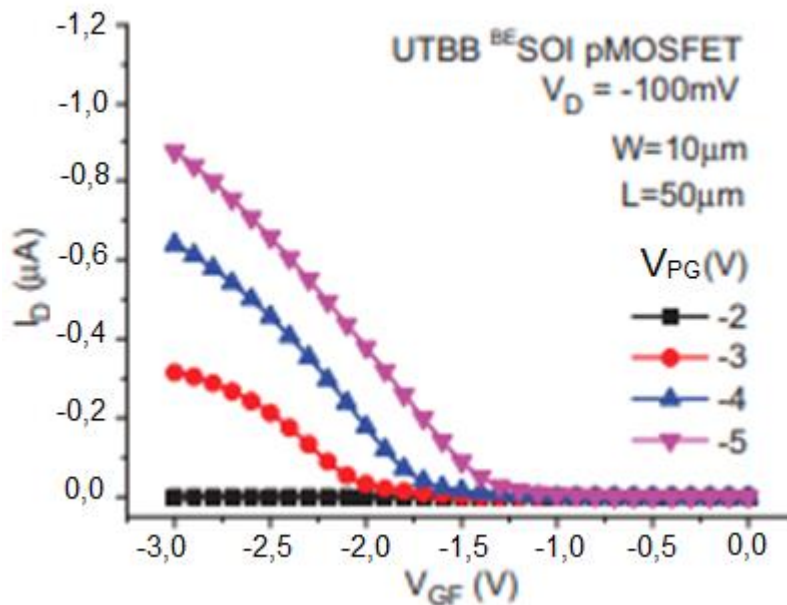


Figura 2-15 - Curva de transferência da terceira versão do transistor <sup>BE</sup>SOI nMOSFET.

Fonte: Adaptado de (SASAKI et al., 2019).

### 2.3 Junções Metal-Semicondutor (Schottky).

Uma junção Schottky é formado através do contato entre metal e semicondutor, a junção forma uma barreira de energia na interface do semicondutor. A barreira de energia formada nessa interface controla o nível corrente na estrutura e sua capacitância. Esse item aborda a formação da junção metal-semicondutor (Schottky), através de diagramas de bandas de energia.

### 2.3.1 Bandas de Energia.

Quando considerado um sólido, formado por diversos átomos, os níveis de energia descritos para átomos únicos sofrem influência dos átomos vizinho próximos. Os níveis de energia se estreitam formando bandas de energia (CALLISTER et al., 2016). A Figura 2-16 mostra o nível de energia em função do espaçamento interatômico, onde a região de interesse para sólidos é no espaço de equilíbrio interatômico, para tal região os níveis de energia permitidos são distribuídos em bandas denominadas valência ( $E_v$ ), proibida ( $E_G$ ) e condução ( $E_c$ ). Para definir as características de condução dos materiais é necessário analisar o preenchimento das bandas.

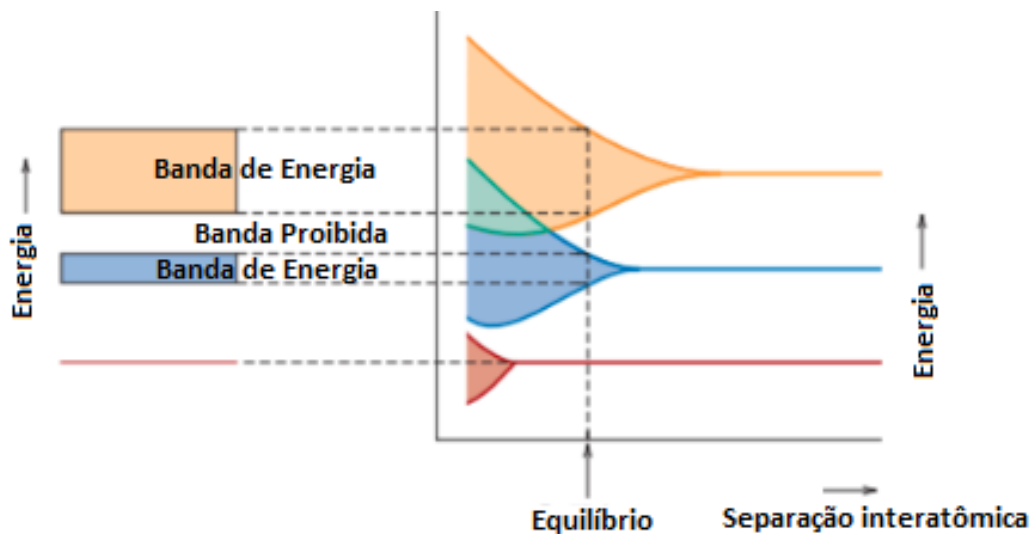


Figura 2-16 - Nível de energia em função do espaçamento interatômico.

Fonte: Adaptado de (CALLISTER et al., 2016).

As características elétricas dos materiais são divididas em: Os Condutores são materiais que facilitam a aceleração de elétrons sob intermédio de um campo elétrico, promovendo um alto fluxo de corrente e, conseqüentemente, adquirem baixa resistividade, para tal as bandas de condução e valência devem estar parcialmente preenchidas (REZENDE, 1996) (SZE et al., 2007) (STREETMAN et al., 2015). Os Isolantes são materiais que não conduzem corrente elétrica, assim os cristais contém a última banda (Valência) completamente cheia ( $T = 0$  K) contém grande banda proibida, que dificulta a transição de um elétron entre as bandas, a banda de valência

está completa e condução vazia, e elevada energia de banda proibida (REZENDE, 1996) (SZE et al., 2007). Os semicondutores, que adquirem na ausência de energia térmica ( $T = 0$  K) bandas de valência completamente cheia e condução vazia, como isolantes, entretanto, ao adquirir energia térmica suficientes elétrons presentes na banda de valência podem ultrapassar a fina banda proibida ( $E_G = 1,1$  eV [Si]), criando elétrons livre na banda de condução e estados vazios na banda de condução (lacunas) (REZENDE, 1996) (SZE et al., 2007).

As lacunas são portadores que se movimentam de forma substitucional com elétrons na banda de valência dos cristais, tais portadores se locomovem na direção do campo elétrico, opostamente aos elétrons na banda de condução, contendo carga inversa aos elétrons e mobilidades para lacunas ( $\mu_p$  [ $\text{cm}^2/\text{V}\cdot\text{s}$ ]) e elétrons ( $\mu_n$  [ $\text{cm}^2/\text{V}\cdot\text{s}$ ]) diferentes. Os semicondutores que contém números de elétrons e lacunas disponíveis para condução de corrente igualitárias são denominados intrínsecos. Assim para os semicondutores intrínsecos adquirem concentrações de portadores como Equação (2-22), para quaisquer energias térmicas.

Propositalmente pode-se favorecer um dos tipos de portadores introduzindo impurezas ao cristal semiconductor, como elementos aceitadores como Boro favorecendo a presença majoritária de lacunas (Semiconductor tipo-p), ou elementos doadores como Fósforo e Arsénio favorecendo elétrons (Semiconductor tipo-n), tornando as concentrações de portadores desuniformes como (2-23) e (2-24), sendo denominados semicondutores extrínsecos (REZENDE, 1996) (SZE et al., 2007) (STREETMAN et al., 2015).

$$n_i = p = n \quad (2-22)$$

onde  $p$  é a concentração de lacunas por unidade de volume na banda valência,  $n$  é a concentração de elétrons por unidade de volume do semiconductor puro e  $n_i$  é a concentração intrínseca de portadores.

A Figura 2-17 mostra esquematicamente o modelo de bandas de energia para dopantes em semicondutores. Para o semiconductor tipo p o nível aceitador está

próximo a banda de valência, portanto, uma baixa excitação térmica permite a transição dos elétrons da banda de valência para o nível aceitador ( $E_a$ ), criando estados disponíveis para condução na banda de valência (CALLISTER et al., 2016). Semelhantemente para o semicondutor tipo n que contém a banda de condução vazia, uma baixa excitação térmica possibilita a transição dos elétrons no nível doado ( $E_d$ ) para a banda de condução (CALLISTER et al., 2016). Conseqüentemente, em temperatura ambiente as concentrações intrínsecas são diferentes para lacunas (2-23) e elétrons (2-24), devido à proximidade dos níveis das impurezas com as bandas do semicondutor.

$$p \gg n \quad (2-23)$$

$$p \ll n \quad (2-24)$$

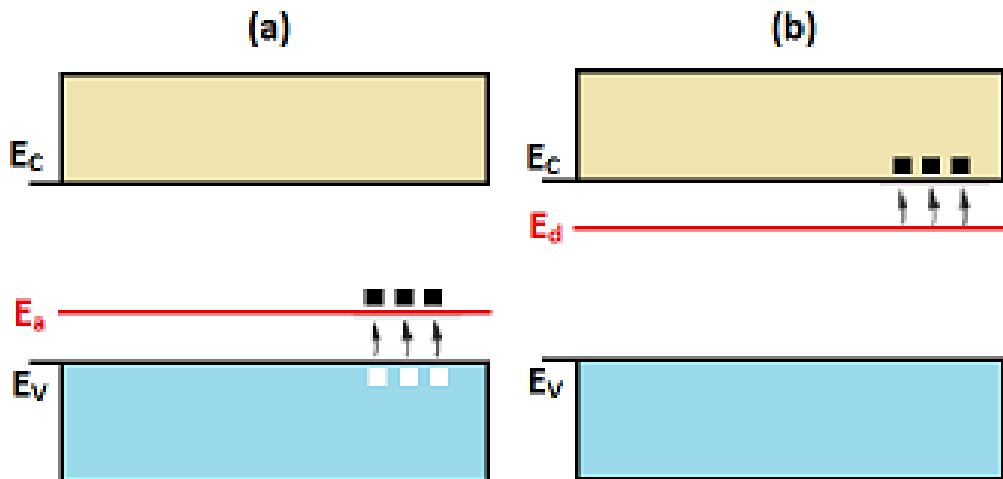


Figura 2-17 - Modelo de bandas de energia para semicondutores dopados.

Fonte: Adaptado de (CALLISTER et al., 2016).

Para semicondutores em equilíbrio térmico é definido o nível de Fermi como o nível de energia onde a probabilidade de ocupação é 0,5 (2-25) (REZENDE, 1996) (SZE et al., 2007). Em semicondutores intrínsecos o nível de Fermi localiza-se aproximadamente no meio da banda proibida ( $(E_c - E_v) / 2$ ). Para semicondutores do

tipo-p o nível de Fermi é calculado como (2-26) e para semicondutores tipo-n (2-27) (SZE et al., 2007).

$$f(E) = \frac{1}{1+e^{(E-E_F)/KT}} \quad (2-25)$$

$$E_{Fp} = E_i - KT \ln(N_a/n_i) \quad (2-26)$$

$$E_{Fn} = E_i + KT \ln(N_d/n_i) \quad (2-27)$$

Onde  $E_i$  é o nível de energia intrínseco,  $K$  é a constante de Boltzmann,  $n_i$  é a concentração intrínseca de portadores,  $N_a$  é a concentração de dopantes aceitadores,  $N_d$  é a concentração de dopantes doadores e  $T$  a temperatura em Kelvin.

### 2.3.2 Formação da Junção Schottky.

A função trabalho ( $\phi_M$ ) é definida como a diferença entre o nível de vácuo e o nível de Fermi do metal, conhecido como energia mínima para a foto emissão. A Figura 2-18 mostra o diagrama de bandas para metal e semiconductor tipo n antes do contato (a), e após o contato em equilíbrio térmico (b). Quando um metal com função trabalho ( $\phi_M$ ) entra em contato com um semiconductor tipo n com função trabalho ( $\phi_S$ ) haverá transporte de carga de forma a igualar os níveis de Fermi em ambos os materiais. Para nivelar os níveis de Fermi na interface da junção na situação de  $\phi_M > \phi_S$ , a energia média dos elétrons deve ser reduzida e relação ao metal. Para tal situação haverá uma migração dos elétrons do semiconductor para o metal, que curvará as bandas de condução e valência, representando a redução da energia média dos elétrons na interface com silício (REZENDE, 1996) (SZE et al., 2007). Na interface do semiconductor tipo n é formada uma região de depleção ( $W_d$ ) dada por (2-28), devido aos íons doadores não compensados na região de depleção corresponde à carga negativa no metal (STREETMAN et al., 2015).

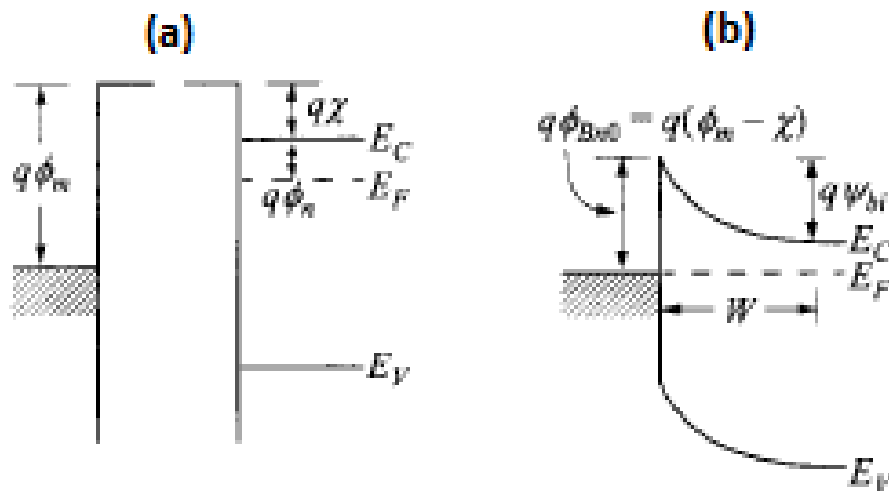


Figura 2-18 - Formação a junção metal semiconductor-n (Schottky), antes do contato (a), após o contato em equilíbrio térmico (b).

Fonte: Adaptado de (SZE et al., 2007).

$$W_D = \sqrt{\frac{2\epsilon_{Si}}{qN_D} (\psi_{bi} - V - \frac{KT}{q})} \quad (2-28)$$

onde  $q\psi_{bi(n)}$  é a altura da barreira de potencial para elétrons injetados no metal,  $q\phi_{Bn0}$  é a barreira de potencial para elétrons injetados no semiconductor e  $q\chi$  é a afinidade eletrônica dos elétrons. A Figura 2-19 mostra a formação da barreira Schottky para semicondutores tipo p, no caso de  $\phi_M < \phi_{Si}$  ( $E_{Fm} > E_{Fp}$ ).

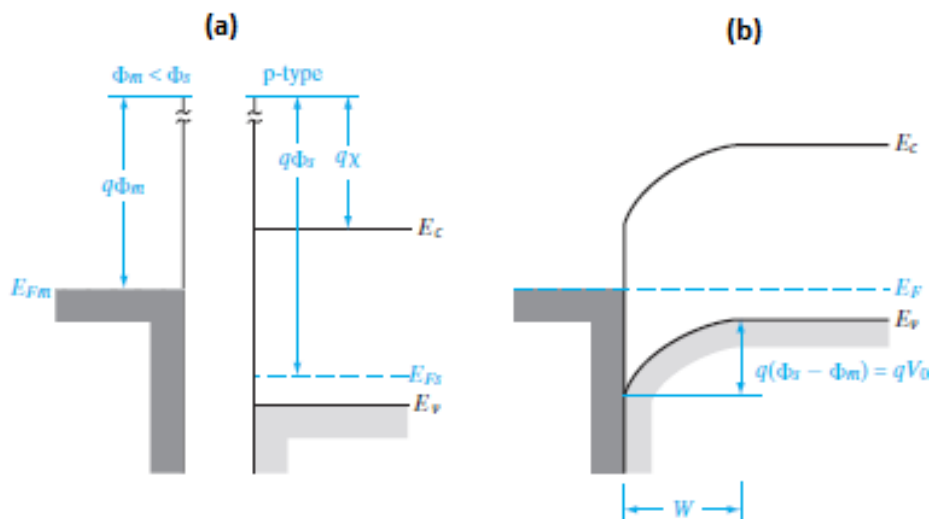


Figura 2-19 - Formação a junção metal semiconductor-p (Schottky), antes do contato (a), junção metalúrgica (b).

Fonte: Adaptado de (STREETMAN et al., 2015).



### 2.3.3 Junção Ôhmica (Metal-Semicondutor)

Em alguns casos, contatos entre metal e semicondutores requisitam contatos ôhmicos em ambas as direções, como nos contatos de dreno e fonte de transistores MOSFET. Para o caso de contatos semicondutores do tipo n junções entre metal e semicondutor com  $\phi_M < \phi_{Si}$ , ocorre a transferência de elétrons do metal para a interface do semicondutor, criando uma barreira de baixa para elétrons entre metal e semicondutor e semicondutor metal. Semelhantemente é possível criar uma junção de baixas barreiras para lacunas em semicondutores do tipo p ( $\phi_M > \phi_{Si}$ ), ocorrendo um acúmulo de portadores majoritários na interface da junção. O método usual para formação de contatos ôhmicos é a realização de uma dopagem forte na região de contato. Assim, se existir uma barreira de potencial na junção a largura de depleção é pequena, possibilitando tunelamento de portadores pela barreira (SZE et al., 2007) (STREETMAN et al., 2015). O contato de um metal com semicondutor tipo p para formação de um contato ôhmico requer uma dopagem alta de elementos aceitadores na interface da junção, essa dopagem superficial para o caso de alumínio como contato, é formada no processo de tratamento térmico dos contatos (sinterização) após a deposição do alumínio sobre o silício (SZE et al., 2007) (STREETMAN et al., 2015). A Figura 2-20 mostra a formação dos contatos ôhmicos antes (a) (c) e depois do contato (b) (d), para semicondutores do tipo n (a) (b) e p (c) (d).

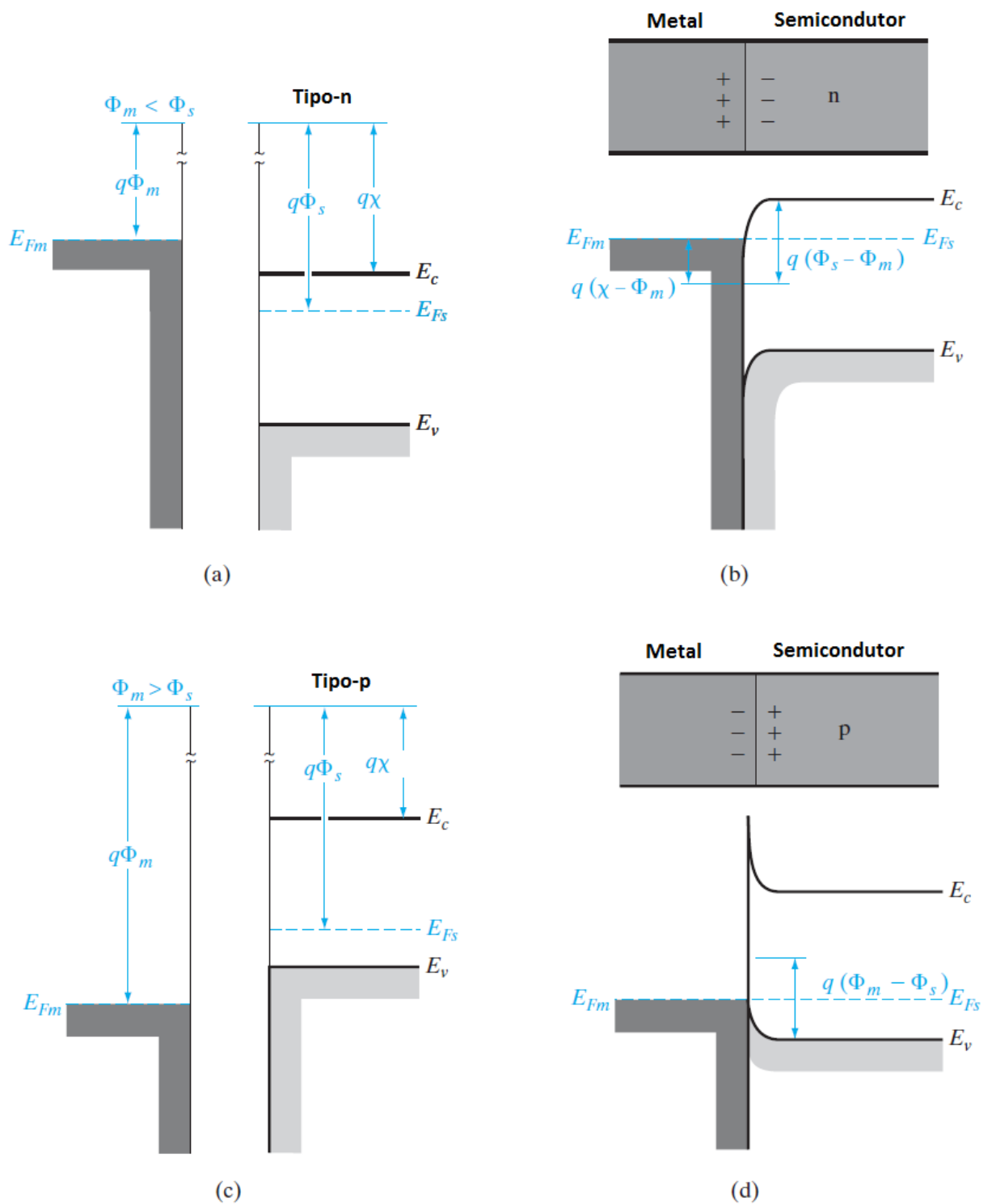


Figura 2-20 - Formação das junções ôhmicas entre metal e semicondutor n (a) (b) e p (c) (d), antes (a) (c) e depois do contato (b) (d).

Fonte: (STREETMAN et al., 2015).

### 3 MATERIAIS E MÉTODOS

Neste capítulo é apresentado as características gerais do dispositivo <sup>BE</sup>SOI MOSFET, sua fabricação, os equipamentos utilizados na medida elétrica, os métodos de extração de parâmetros e considerações no simulador Sentaurus TCAD.

#### 3.1 Transistores <sup>BE</sup>SOI MOSFET.

Os transistores <sup>BE</sup>SOI são transistores reconfiguráveis do tipo MOSFET (Metal Oxido Semiconductor *Field Effect transistor*) construídos sobre uma lâmina de silício sobre isolante (SOI) (Silicon-On-Insulator). Estes transistores foram constituídos com portas e contatos de alumínio, na qual, uma das lâminas, os contatos não sofreram o processo de sinterização após sua deposição, pois é factível que o processo de sinterização impossibilite a formação da junção Schottky. Com isso é possível verificar o comportamento do transistor <sup>BE</sup>SOI MOSFET sinterizado e não sinterizado, através de medidas elétricas e simulações no Sentaurus TCAD baseadas na análise dos resultados experimentais.

As lâminas utilizadas no presente trabalho foram disponibilizadas pelo Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP). Na qual surgiram de trabalhos como (RANGEL et al., 2015) (YOJO, 2022).

##### 3.1.1 Sequência de fabricação

Duas lâminas foram previamente fabricadas (RANGEL et al, 2015) (YOJO, 2022), ambas se originando de duas lâminas SOI com dopagens naturais do tipo P ( $10^{15} \text{ cm}^{-3}$ ) com espessuras iniciais de 200nm e 100nm para, respectivamente, óxido enterrado e silício. Ambas as lâminas seguem sequências básicas de processos de fabricação semelhantes, mas em condições diferentes, resultando em divergências nas espessuras de óxido de porta ( $t_{ox}$ ) e silício ( $t_{si}$ ). A sequência dos processos para a fabricação da amostra de Y2 (não sinterizado) resumida é discutida a seguir, e pode

ser obtida em detalhes em (YOJO, 2022). As etapas de fabricação da amostra Al2 estão presentes no Apêndice A, ou em maiores detalhes em (RANGEL et al., 2015).

1. Limpeza química (Figura 3-1 (a)).
  - Remoção de contaminantes orgânicos, metais e óxidos na superfície.
2. Oxidação térmica seca para ajuste inicial da espessura do silício (afinamento), possibilitando um melhor acoplamento eletrostático das portas.
3. Primeira fotolitografia para definição da região ativa.
4. Corrosão do óxido por BOE (*'Buffered Oxide Etch'*).
5. Corrosão do silício por plasma ( $\text{SF}_6$ ).
6. Remoção do fotoresiste.
7. Remoção do óxido sobre o silício.
8. Limpeza química (Figura 3-1 (b)).
  - Remoção de contaminantes orgânicos, metais e óxidos na superfície.
9. Oxidação térmica seca para ajuste da espessura do silício e crescimento do óxido de porta.
10. Deposição de alumínio por evaporação (Figura 3-1 (c)).
11. Segunda fotolitografia, para abertura de contatos de fonte e dreno (Figura 3-1 (d)).
12. Corrosão do alumínio.
13. Corrosão do óxido de silício (Figura 3-1 (e)).
14. Deposição de alumínio.
15. Terceira fotolitografia, para definição de eletrodos (Figura 3-1 (f)).
16. Corrosão do Alumínio e deposição no verso (Figura 3-1 (g)).

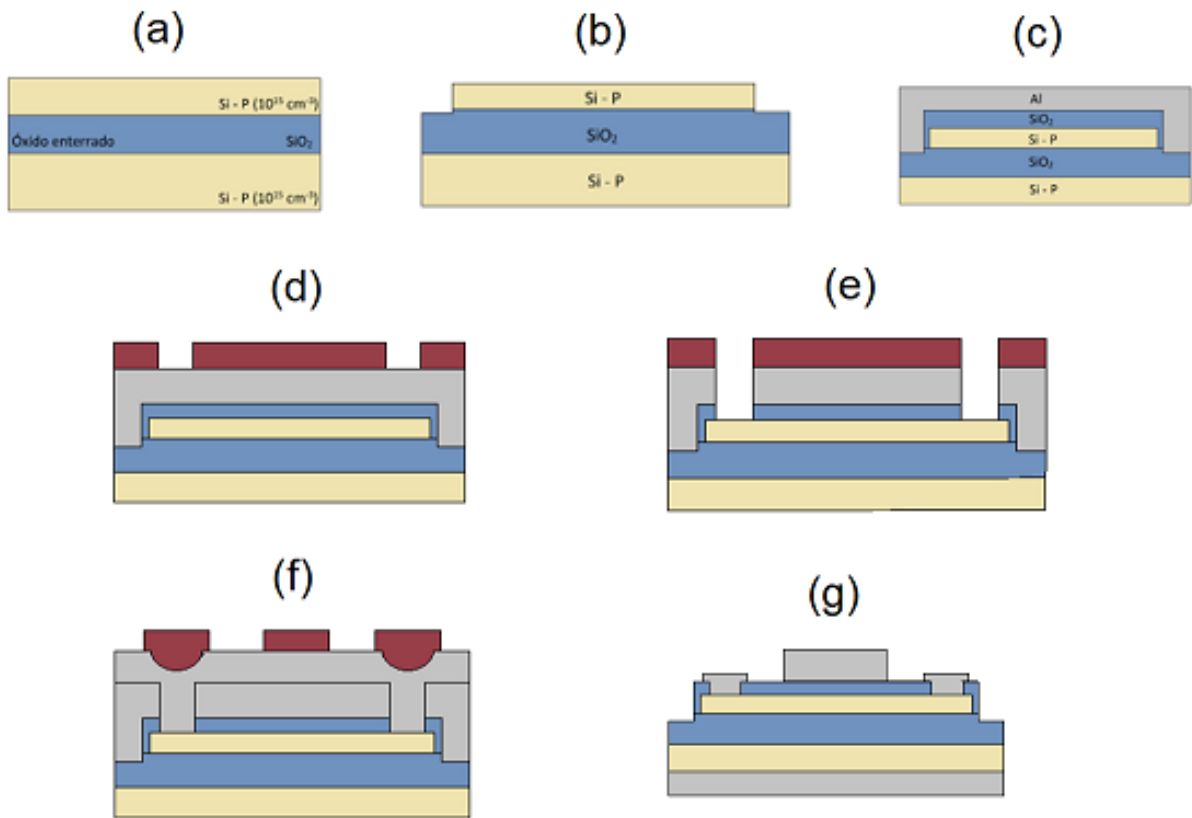


Figura 3-1 – Processo de fabricação  $\text{BE}^{\text{SOI}}$  MOSFET não sinterizado.

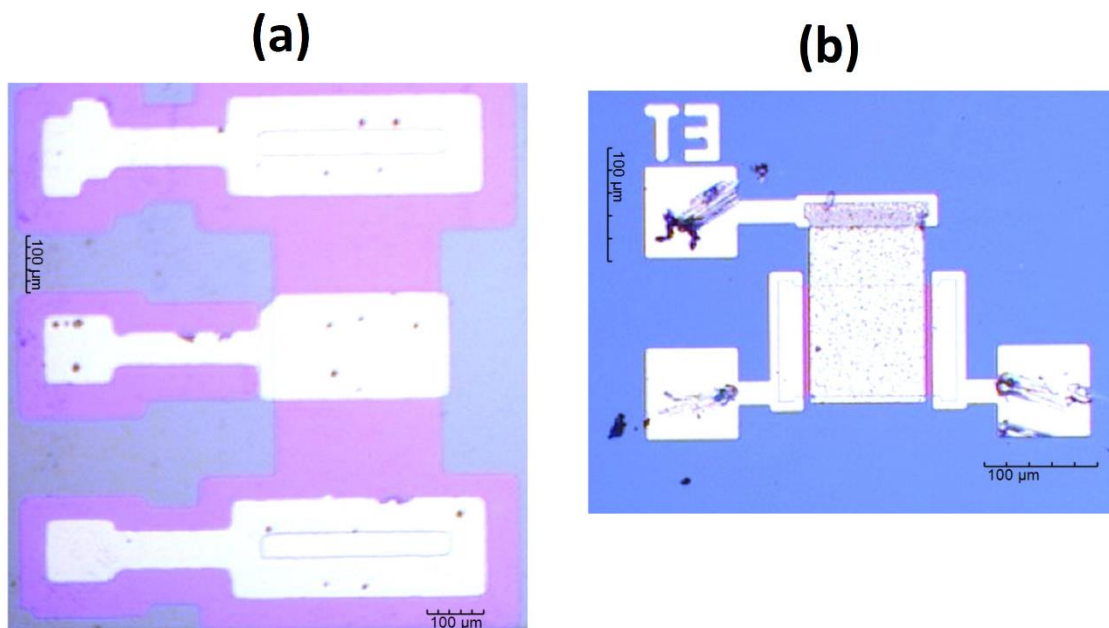


Figura 3-2 - Foto dos transistores  $\text{BE}^{\text{SOI}}$  MOSFET com contatos não sinterizados (a) e sinterizados (b).

### **3.2 Simulações.**

O simulador de estruturas é uma ferramenta que pode ajudar o entendimento de fenômenos físicos, ele pode ser utilizado para projetar estruturas através de perfis de dopagens, ou simular estruturas de através processos como implantações, difusões, corrosões, litografias, oxidações e etc. Uma das grandes vantagens de se utilizar simuladores é prever e estudar o comportamento de estruturas de uma, duas e três dimensões, sem a necessidade de longos processos de fabricação.

Para que haja uma relação intimamente forte entre o simulador e a fabricação, os parâmetros mais importantes são: a densidade de pontos na estrutura (Malha) (Apêndice B), os modelos físicos utilizados (Apêndice C). A malha de simulação é o local onde será pontualmente realizada as simulações numéricas, logo uma alta densidade de pontos em uma simulação facilita a convergência numérica o que torna uma simulação realística, porém ao aumentar incontrolavelmente a densidade de pontos pode-se tornar a simulação extremamente lenta. O código fonte utilizado para obtenção da estrutura descrita na fabricação está disponível no Apêndice B, na qual detalha os processos e a malha de simulação, juntamente o programa para a obtenção dos dados e modelos utilizados no simulador estão disponíveis no Apêndice C, e parâmetros de simulação para os modelos estão descritos no Apêndice D.

As criações das estruturas simuladas foram geradas através de simulações dos processos discutidos no capítulo 3.1. Assim as estruturas simuladas seguem as mesmas relações de espessuras e processos, onde o processo de sinterização é realizado apenas uma das simulações. Posteriormente com a estrutura gerada é possível verificar as características elétricas através do simulador de dispositivo e especificar modelos físicos para que haja convergência com os experimentos.

Alguns dos modelos físicos empregados considera a mobilidade constante, tunelamento de portadores através da barreira, recombinação Shockley-Read-Hall e densidade intrínseca efetiva (SYNOPTICS INC, 2018)a e os parâmetros empregados na simulação estão presentes no Apêndice C. Os modelos de junções de dreno/fonte Schottky/Ôhmica são definidas diretamente pelo simulador (SYNOPTICS INC, 2018)a.

### 3.3 Medidas experimentais

Os procedimentos experimentais foram realizados no Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP), sendo disponibilizados as amostras de lâminas e o sistema de caracterização elétrica de dispositivos semicondutores Agilent HP4156, que possibilita a polarização dos dispositivos e a realização de medidas elétricas precisas. As medidas elétricas para estudo dos transistores <sup>BE</sup>SOI MOSFET seguem apresentados na sequência:

- <sup>BE</sup>SOI pMOSFET: com polarizações na porta de controle entre -3 e 3 V para passos de 10 mV, e polarização de porta de programação entre -15 e -30 V com passo de -5 V para cada curva  $I_{DS} \times V_{CG}$ .
- <sup>BE</sup>SOI nMOSFET: seguem com polarizações entre -5 e -1 V com passos de -10mV para porta de controle, e polarização de porta de programação entre 15 e 30 V para passo de 5 V para cada curva  $I_{DS} \times V_{CG}$ .
- As faixas de polarização para as simulações seguem valores semelhantes aos aplicados para os casos <sup>BE</sup>SOI pMOSFET e <sup>BE</sup>SOI nMOSFET.

Por meio das medidas elétricas descritas anteriormente o método de extração de parâmetro para tensão de limiar ( $V_T$ ) é o valor de  $V_{CG}$  correspondente ao pico da segunda derivada da curva de transferência do transistor ( $I_{DS} \times V_G$ ) ("Transconductance-toCurrent-Ratio"), esse método é imune à presença de resistência série (Ortiz-Conde; et al, 2013). A Figura 3-3 mostra a diferença entre os métodos de extração de extrapolação linear e segunda derivada.

O Fator de acoplamento capacitivo ( $\alpha_{BE}$ ) pode ser extraído experimentalmente através da inclinação da curva  $V_T \times V_{PG}$ , conforme indicado na Equação (3-1) (RANGEL; MARTINO, 2015).

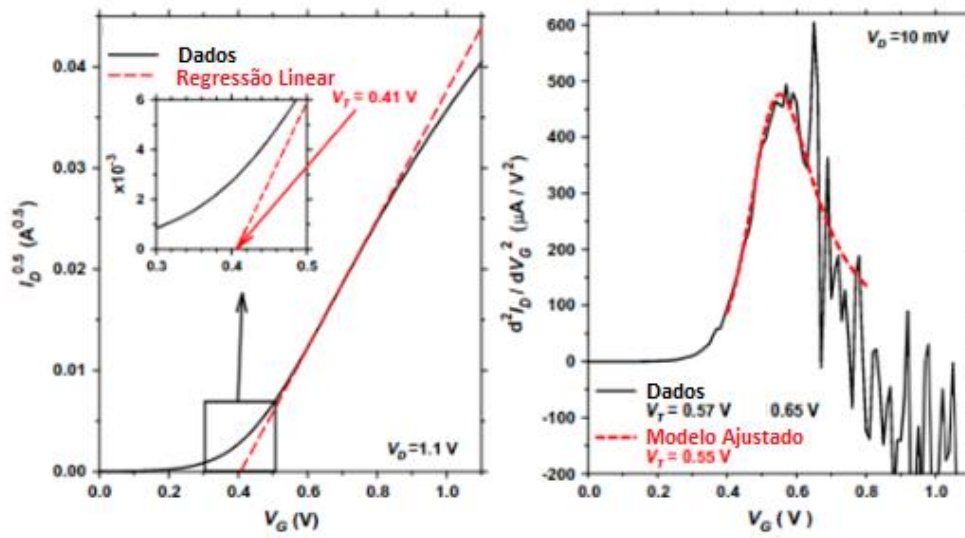


Figura 3.1.13 - Métodos de extração de parâmetros de tensão de limiar para extrapolação linear (esquerda) e segunda derivada (direita).

Fonte: (Ortiz-Conde; et al, 2013).

$$\frac{dV_T}{dV_{PG}} = -\frac{C_{OXB}}{\left(\frac{1}{C_{OXF}} + \frac{1}{C_{Si}}\right)^{-1}} = -\alpha_{BE} \quad (3-1)$$



## 4. TRANSISTORES <sup>BE</sup>SOI MOSFET COM CONTATOS DE ALUMÍNIO EM DRENO/FONTE.

Neste capítulo, é apresentado e discutido as análises e resultados obtidos do estudo do transistor <sup>BE</sup>SOI MOSFET com contatos de alumínio. Este capítulo está dividido em quatro partes, a análise e resultados do experimento realizado, considerações iniciais de simulação, resultados simulados e proposta do transistor de duplo contato de alumínio.

### 4.1 Medidas experimentais

Neste subcapítulo será tratado do experimento realizado nas amostras disponíveis, sendo inicialmente apresentado a primeira versão do transistor <sup>BE</sup>SOI MOSFET sinterizado que possui espessuras de silício de aproximadamente 23 nm ( $t_{Si}$ ) e sua espessura de óxido de porta ( $SiO_2$ ) de aproximadamente 15 nm ( $t_{ox}$ ) com óxido enterrado de 200 nm ( $t_{Box}$ ) com contatos de dreno/fonte alumínio sinterizado. Em seguida será analisado o transistor <sup>BE</sup>SOI MOSFET não sinterizado com espessuras de 10 nm ( $t_{Si}$ ), 25 nm ( $t_{ox}$ ) aproximadamente e 200 nm ( $t_{Box}$ ). A Figura 4-1 apresenta as amostras dos transistores <sup>BE</sup>SOI MOSFET para contatos de dreno e fonte sinterizado (a) e não sinterizado (b).

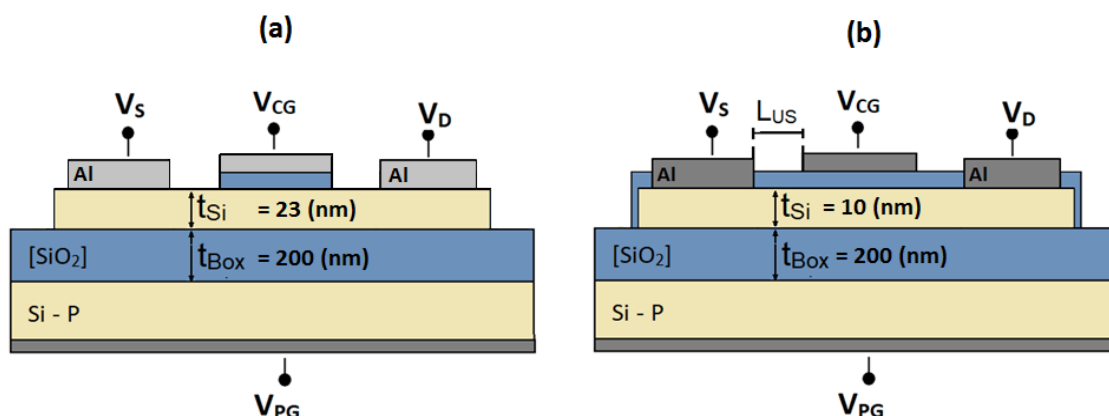


Figura 4-1 - Perfil das amostras de transistores <sup>BE</sup>SOI MOSFET com contatos de dreno e fonte sinterizado (a) e não sinterizado (b), utilizadas neste trabalho.

#### 4.1.1 <sup>BE</sup>SOI MOSFET sinterizado

Primeiro foi conduzido medidas elétricas na primeira versão do transistor <sup>BE</sup>SOI MOSFET com contatos de alumínio sinterizado através de curvas de transferências características de transistores ( $I_{DS} \times V_{CG}$ ) para diversas polarizações de porta de programação.

A curva de transferência do transistor <sup>BE</sup>SOI MOSFET para sua primeira versão é apresentado pela Figura 4-2. Para tal a varredura da polarização de porta de controle ( $V_{CG}$ ) iniciou-se em -3 V e finalizou em 3 V, com passo de 10 mV e tensão de dreno  $|V_D| = 0,1$  V, para a polarização de porta de programação inicial de -30 V a -15 V. O transistor utilizado possui um comprimento de 50  $\mu\text{m}$  (L) e largura de 10  $\mu\text{m}$  (W). A Tabela 4-1 apresenta as tensões de limiar obtidas através do método de segunda derivada para o respectivo transistor em suas polarizações.

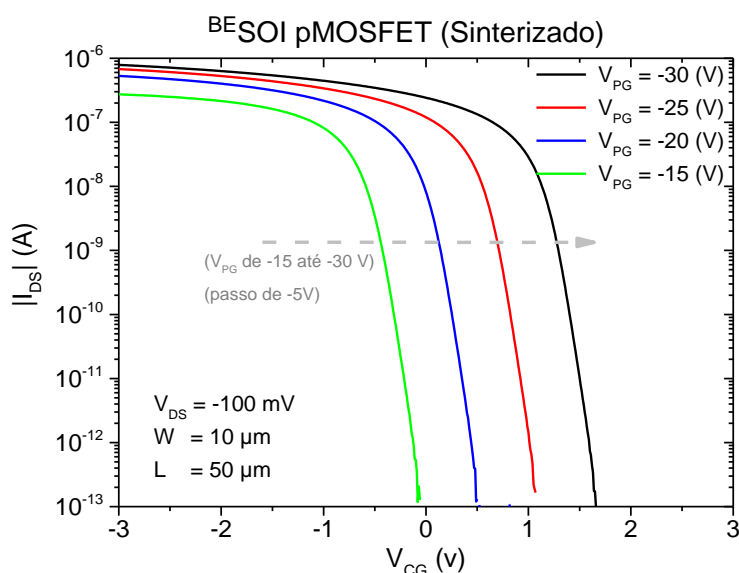


Figura 4- 2 - Curva experimental de transferência da primeira versão do transistor <sup>BE</sup>SOI pMOSFET com contatos de alumínio sinterizado.

Tabela 4-1 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ).

$V_{PG}$	-30 V	-25 V	-20 V	-15 V
$V_{Tp}$	1,17 V	0,65 V	0,08 V	-0,50 V

Nota-se que com a diminuição da polarização de porta de programação ( $V_{PG}$  mais negativa) há uma maior corrente de lacunas, isto ocorre devido ao maior campo elétrico na região de segunda interface ocorrendo uma maior atração de lacunas. Conseqüentemente uma maior dificuldade para a porta de controle ( $V_{CG}$ ) depletar a

região e cortar o transistor e, portanto, há uma variação de  $V_T$  conforme a alteração de  $V_{PG}$ . Para a primeira versão do transistor  $^{BE}SOI$  nMOSFET não foi possível obter uma corrente expressiva para elétrons, este efeito será discutido posteriormente.

A partir dos resultados iniciais obtidos do transistor  $^{BE}SOI$  pMOSFET, é possível extrair parâmetros como seu fator de acoplamento capacitivo experimental, através da inclinação da reta de  $V_T$  conforme a variação de valores na porta de programação. A Figura 4-3 apresenta a curva de tensão de limiar em função da polarização da porta de programação ( $V_{Tp}$  x  $V_{PG}$ ).

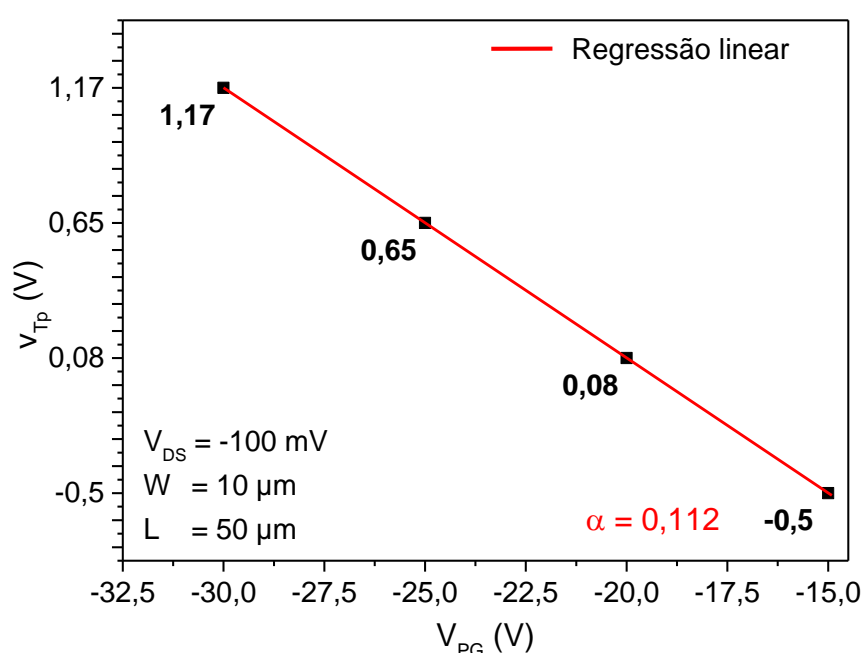


Figura 4- 3 - Tensão de limiar ( $V_{Tp}$ ) em função da polarização da porta de programação ( $V_{PG}$ ).

O fator de acoplamento capacitivo ( $dV_T/dV_{PG}=-\alpha$ ) é um valor positivo. Para o transistor  $^{BE}SOI$  pMOSFET sinterizado o fator de acoplamento capacitivo ( $\alpha$ ) experimentalmente é 0,112, comparativamente o fator de acoplamento capacitivo teórico é dado conforme a Equação (3-1), resultando em 0,113. Com os fatores de acoplamento capacitivos teórico e experimentais próximos é factível que os transistores  $^{BE}SOI$  MOSFET de primeira versão medidos adquirem características semelhantes ao apresentado em outros trabalhos (RANGEL; MARTINO, 2015), como, circulação de corrente pela segunda interface.

#### 4.1.2 <sup>BE</sup>SOI MOSFET não sinterizado

Inicialmente para os transistores <sup>BE</sup>SOI MOSFET com contatos de alumínio na qual não sofreu processo de sinterização, as medidas experimentais conduzidas seguem através de curvas de transferências ( $I_D \times V_{CG}$ ), para várias polarizações na porta de programação. O processo de fabricação dos transistores neste caso resultou em uma elevada carga no óxido, pois, o processo de sinterização além de promover uma interação na região de contatos de dreno e fonte, reduzem também a carga do óxido de porta devido a presença de (H) durante a sinterização.

A Figura 4-4 apresenta a curva de transferência do transistor <sup>BE</sup>SOI nMOSFET não sinterizado. Para tal foi fixado uma polarização de dreno  $|V_D| = 0,1$  V e variando a polarização da porta de controle entre -1 a -5 V e porta de controle 15 a 30 V, com passo de -10 mV e 5 V, respectivamente. O transistor utilizado contém um comprimento de canal de 260  $\mu\text{m}$  (L) e largura 200  $\mu\text{m}$  (W). Em seguida é extraído as tensões de limiar para as respectivas polarizações, sendo apresentada na Tabela 4-2. Devido a elevada carga no óxido a curva de transferência para  $V_{PG} = 30$  V, será descartada, prevenindo o rompimento do óxido de porta.

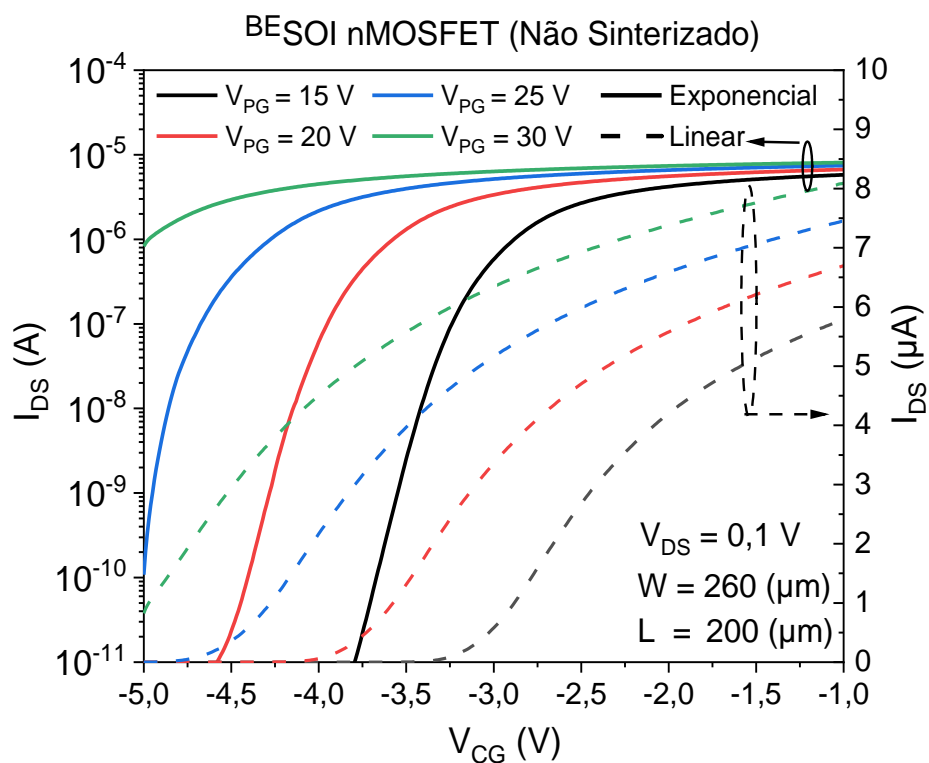


Figura 4- 4 - Curva de transferência do transistor <sup>BE</sup>SOI nMOSFET não sinterizado para diferentes polarizações da porta de programação ( $V_{PG}$ ).

Tabela 4-2 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ).

$V_{PG}$	15 V	20 V	25 V
$V_{Tn}$	- 3,17 V	- 3,84 V	- 4,47 V

O  $^{BE}SOI$  nMOSFET não sinterizado tende a deslocamento negativo da tensão de limiar, conforme o maior campo elétrico na segunda interface proveniente da polarização da porta de programação ( $V_{PG}$ ), dificultando assim o crescimento da região de depleção proveniente da polarização da porta de controle ( $V_{CG}$ ). Durante as medidas experimentais foi observado que o transistor  $^{BE}SOI$  nMOSFET não sinterizado não apresentou uma corrente de lacunas, em seu modo de operação como  $^{BE}SOI$  pMOSFET. Portanto, foi obtido um comportamento inverso do transistor  $^{BE}SOI$  pMOSFET de primeira versão apresentado anteriormente no Capítulo 4.1.1.

Como anteriormente é possível obter o fator de acoplamento capacitivo através da Equação (3-1) obtendo uma boa aproximação das relações de espessuras entre o esperado inicialmente do processo e o transistor resultante. Essa análise se torna importante posteriormente para convergências da simulação bidimensionais. A Figura 4-5 apresenta a extração do fator de acoplamento capacitivo através da curva de tensão em função da polarização de porta de programação, para os casos de contatos não sintetizados. Assim como apresentado no capítulo 3, o fator de acoplamento capacitivo ( $\alpha_{BE}$ ) experimental para o transistor  $^{BE}SOI$  MOSFET não sinterizado é 0,13 e o cálculo teórico do fator de acoplamento capacitivo ( $\alpha=0,131$ ), com a proximidade dos valores teóricos e experimentais, os transistores  $^{BE}SOI$  MOSFET na qual não sofreu o processo térmico de sinterizado adquirem relações de espessuras próximas ao relatado em sua fabricação.

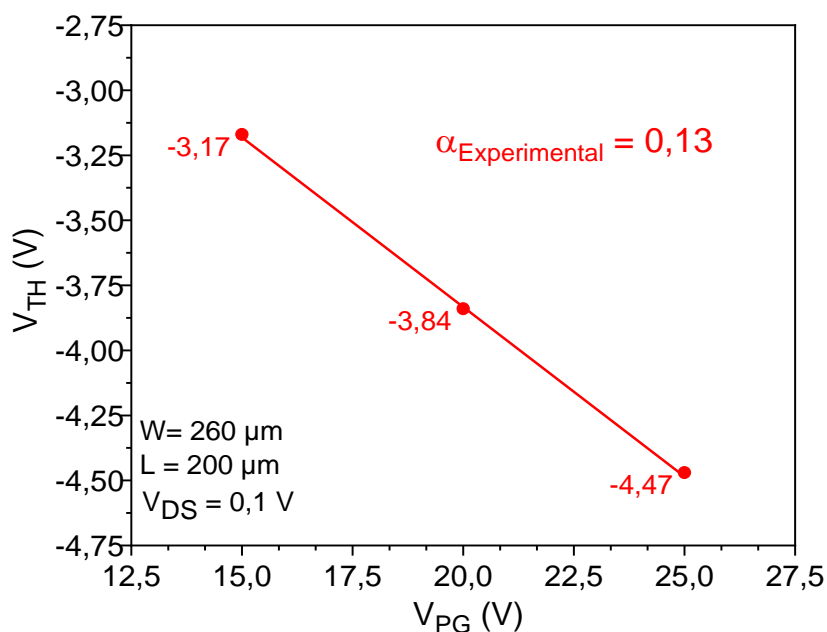


Figura 4-5 - Tensão de limiar ( $V_{TH}$ ) em função da polarização da porta de programação ( $V_{PG}$ ).

#### 4.1.3 Conclusões e análises parciais

Até o momento foi tratado dos transistores  $^{BE}SOI$  MOSFET fabricados com contatos de dreno e fonte alumínio, sinterizado e não sinterizado. Apesar de adquirirem características estruturais diferentes como: largura, comprimento, espessuras de silício e óxido de porta, nota-se que há uma nítida diferença entre as correntes de elétrons ( $V_{PG} \gg 0$ ) e lacunas ( $V_{PG} \ll 0$ ) entre ambos os transistores fabricados. Para os transistores de contatos sinterizado há uma corrente de lacunas em estado ligado ordem de grandezas maiores em relação a corrente de elétrons. Entretanto para o transistor não sinterizado a situação é inversa, sendo a corrente de elétrons ordens de grandezas maiores de lacunas, essa característica será discutida e investigada posteriormente através de simulações.

Os fatores de acoplamento capacitivo dos transistores caracterizados servirão de base para ter uma boa aproximação das espessuras reais do dispositivo, assim serão utilizados para ajustar as relações de espessuras nos simuladores de processos.

## **4.2 Simulações dos transistores <sup>BE</sup>SOI MOSFET de alumínio**

Neste subcapítulo serão apresentados os métodos e resultados das simulações utilizando as ferramentas Sentaurus Process (SYNOPTSYS INC., 2018) e Sentaurus Device (SYNOPTSYS INC., 2018). Apresentado as considerações iniciais para as simulações dos processos empregados nas lâminas, seguidamente considerações dos modelos utilizados e seus principais parâmetros extraídos, simulação dos transistores sinterizado e não sinterizado analisados experimentalmente e finalmente análises e conclusões parciais resultantes das simulações.

### **4.2.1 Simulação de processo**

Inicialmente para que as simulações utilizando as ferramentas Sentaurus Process [SYNOPTSYS INC., 2018] e Sentaurus Device [SYNOPTSYS INC., 2018] tornem-se verdadeiramente confiáveis e viáveis, é necessário definir uma malha com uma densidade de pontos intermediária. Além disso é desejável que as estruturas simuladas serem menores que as estruturas fabricadas, desde que não ocorram efeitos de segunda ordem.

Desejando simulações precisas e rápidas é adotado uma grade de elevada concentrações de pontos nas regiões de interesse e principais para o funcionamento correto das simulações de processos e do dispositivo gerado, como:

- Regiões de primeira a segunda interface do silício abaixo dos contatos dreno e fonte.
- Região de primeira interface com porta de controle (CG)
- Região de segunda interface com porta de programação (PG)

Com a definição de uma malha suficiente para que haja uma boa aproximação das simulações, é possível criar um roteiro da simulação da estrutura por processo de um transistor <sup>BE</sup>SOI MOSFET apresentado no Apêndice A, que seguem as etapas discutidas no capítulo 3.

#### 4.2.2 Simulações dos dispositivos e modelos físicos empregados.

Além da geração de uma estrutura própria para simulação, há uma necessidade de se escolher os modelos físicos a serem considerados. Alguns dos modelos predefinidos considerados são de mobilidade constante, tunelamento de barreira e recombinação de SRH, todos os modelos físicos inicialmente empregados na simulação estão apresentados Apêndice B.

É definido para os transistores <sup>BE</sup>SOI MOSFET sintetizados um contato definido ôhmico para as junções de dreno e fonte de alumínio. O processo de sinterização ou tratamento térmico do alumínio sobre o silício provoca a formação de uma junção ôhmica, pois o alumínio é um metal trivalente podendo dopar superficialmente o silício. Nos transistores <sup>BE</sup>SOI MOSFET não sintetizados é considerado uma junção tipicamente Schottky nos eletrodos de dreno e fonte de alumínio. Apesar do processo de sinterização dos contatos de dreno e fonte de alumínio afetarem principalmente a formação da junção Schottky, esse processo também provoca uma diminuição da carga efetiva no óxido de porta.

As simulações de ambos os transistores <sup>BE</sup>SOI MOSFET são bidimensionais, e seguem as mesmas relações de espessura entre as simulações. Tornando as simulações propícias para que sejam investigados os fenômenos que tornaram os níveis de correntes para elétrons e lacunas oposto, em relação as estruturas caracterizadas. Porém, com as relações de comprimento iguais para as simulações, diferentemente da estrutura caracterizada, há possibilidade de não convergência dos níveis de correntes em estado ligado (On) e desligado (Off), entre as estruturas simuladas e caracterizadas. Contudo as espessuras de óxido de porta ( $t_{ox}$ ), camada de silício ( $t_{si}$ ), óxido enterrado ( $t_{BOX}$ ) e suas respectivas cargas e concentrações de impurezas seguem ordens próximas aos transistores fabricados, tornando as simulações próximas o suficiente para a investigar o fenômeno que causa as características opostas dos transistores. A Figura 4-7 apresenta um esquemático das estruturas simuladas utilizando Sentaurus Process, para o transistor sinterizado (a) e não sinterizado (b). As seguintes simulações seguem polarizações próximas as utilizadas experimentalmente.



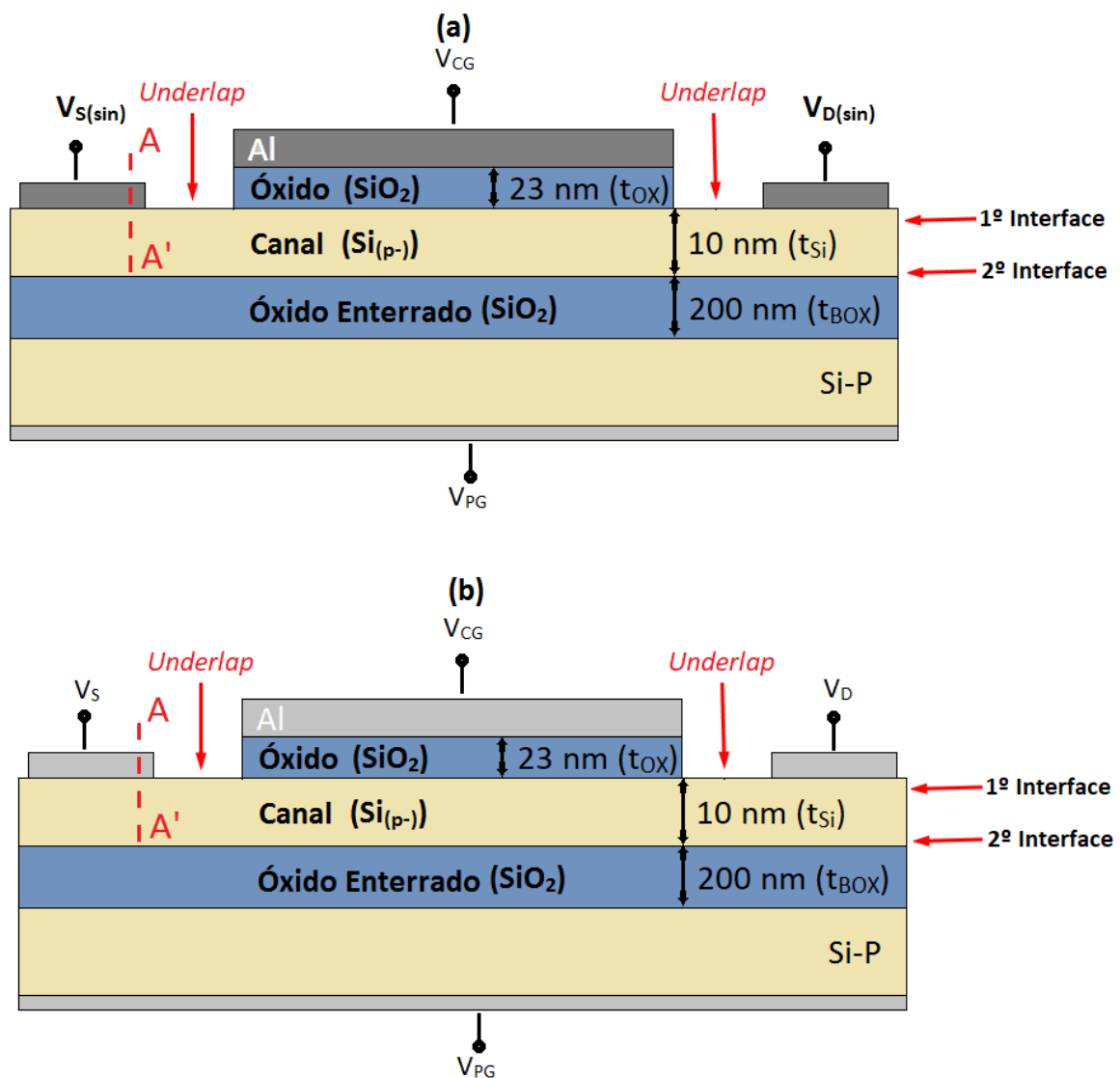


Figura 4-6 – Perfil dos transistores <sup>BE</sup>SOI MOSFET na situação de contatos sinterizado (a) e não sinterizado (b) usados nas simulações.

#### 4.2.3 Simulação do transistor <sup>BE</sup>SOI MOSFET sinterizado.

Para a simulação do transistor <sup>BE</sup>SOI MOSFET com contatos sintetizados foi considerado a estrutura simulada através do processo descrito no anteriormente sendo observado esquematicamente na Figura 4-6 (a). Será seguido o mesmo roteiro de extração dos parâmetros experimentalmente, pontando as proximidades obtidas entre os transistores fabricados e simulados. Assim a curva simulada da corrente de dreno por micrometro de largura ( $I_{DS} [A/\mu m]$ ) em função da tensão aplicada na porta

de controle ( $V_{CG}$ ) para algumas polarizações de porta de programação ( $V_{PG}$ ) é apresentada pela Figura 4-7 seguintes.

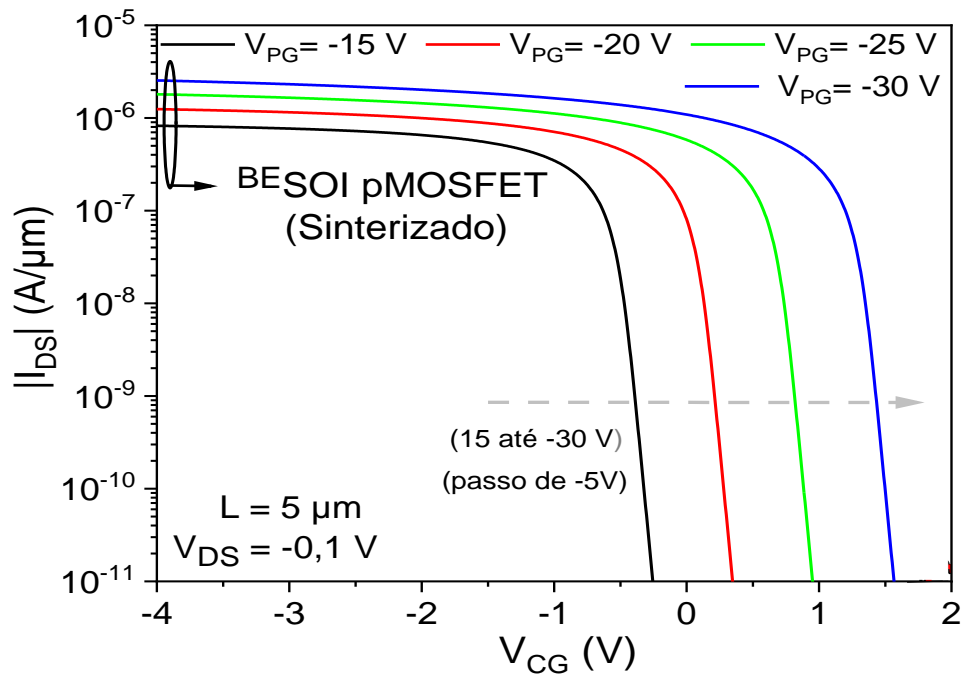


Figura 4-7 - Curva de transferência do transistor <sup>BE</sup>SOI pMOSFET simulado com contatos de dreno e fonte sinterizado para várias polarizações da porta de programação ( $V_{PG}$ ).

Conforme ao observado anteriormente na Figura 4-7 a tendência de adquirir uma corrente para lacunas significativa é similarmente observada na simulação do dispositivo, da mesma forma há uma baixa corrente de elétrons para o transistor <sup>BE</sup>SOI nMOSFET sinterizado. Similarmente ao experimental é identificável que conforme a diminuição progressiva da polarização da porta de programação ( $V_{PG}$ ) há uma maior dificuldade para cortar a corrente do transistor através da tensão aplicada na porta de controle ( $V_{CG}$ ), o que torna a tensão de limiar ( $V_T$ ) dependente da polarização da porta de programação ( $V_{PG}$ ). A Tabela 4.3 apresenta as respectivas tensões de limiar obtidas da simulação do transistor sinterizado.

Tabela 4-3 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup>SOI pMOSFET simulado com contatos sinterizado.

$V_{PG}$	-30 V	-25 V	-20 V	-15 V
$V_{Tp}$	1,45 V	0,80 V	0,25 V	-0,45 V

Com as tensões de limiar obtidas para as polarizações de porta de programação simuladas, é possível obter o fator de acoplamento capacitivo do transistor simulado e o comparar com o transistor utilizado experimentalmente para que seja possível. Na Figura 4-8 mostra o fator de acoplamento capacitivo ( $\alpha$ ) simulado obtido através da curva de tensão de limiar ( $V_T$ ) em função da polarização da porta de programação ( $V_{PG}$ ).

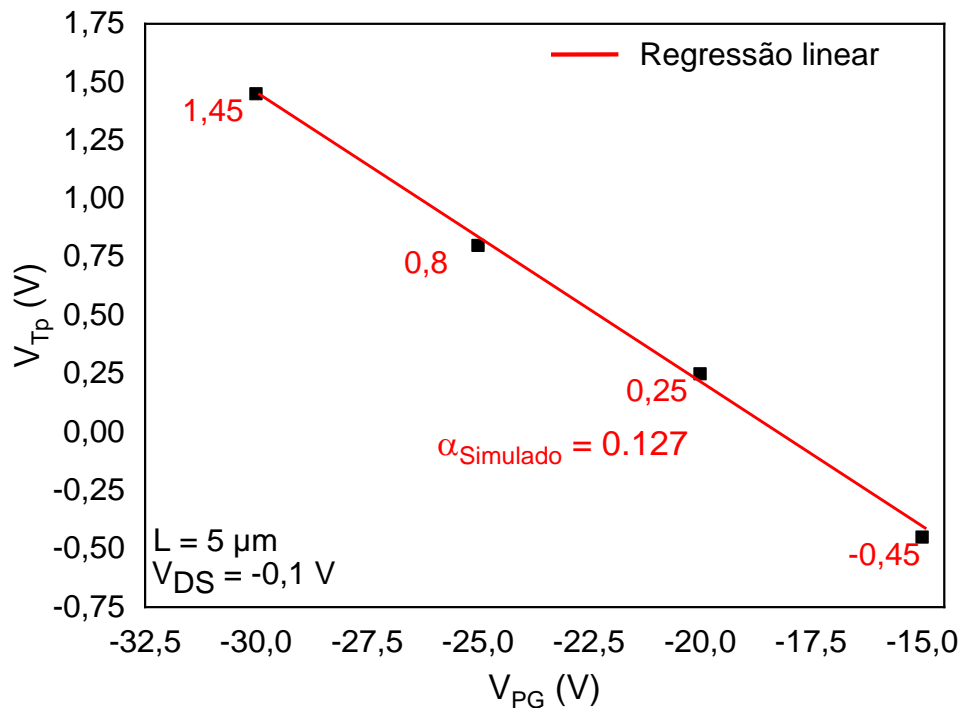


Figura 4-8 - Tensão de limiar ( $V_{TP}$ ) em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup>SOI pMOSFET simulado com contato sinterizado.

A Figura 4-8 mostra os fatores de acoplamento capacitivo estão próximos, o que torna possível uma boa aproximação das relações das espessuras dos dispositivos simulado e caracterizado. Com ajustes da carga efetiva no óxido de porta é possível também ajustar a tensão de limiar do transistor simulado. Assim tratando-se do transistor <sup>BE</sup>SOI MOSFET sinterizado com contatos de dreno e fonte de alumínio tem-se aproximações suficientes das curvas de transferência e de seu fator de acoplamento capacitivo.

#### 4.2.4 Simulação do transistor <sup>BE</sup>SOI MOSFET não sinterizado.

Se tratando do transistor <sup>BE</sup>SOI MOSFET com contatos de alumínio não sinterizado, por ser o primeiro transistor de elevada corrente para elétrons será necessário um ajuste adequado de suas características. A partir de dados extraídos das simulações preliminares, foram ajustados até alcançar um resultado adequado. Um exemplo da estrutura gerada através do processo de fabricação segue conforme a Figura 4-6 (b).

A curva de transferência do transistor não sinterizado é apresentado na sequencia pela Figura 4-9. Na qual apresenta um ajuste aceitável e exploratório da carga no óxido de porta (Apêndice B), sendo nitidamente percebível através da tensão de limiar baixa que o transistor adquire uma elevada carga no óxido de porta. Para tal transistor simulado a Tabela 4-4.

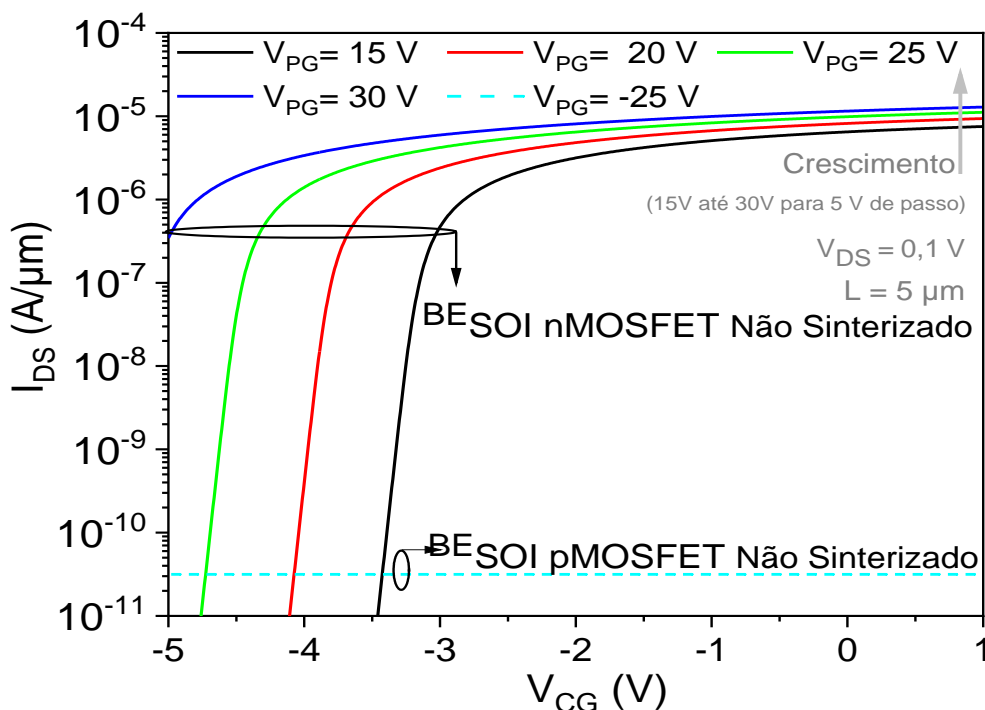


Figura 4-9 - Curva de transferência do <sup>BE</sup>SOI nMOSFET simulado com contatos de dreno e fonte não sinterizado para diferentes polarizações de porta de programação ( $V_{PG}$ ).

Tabela 4-4 - Tensão de limiar obtida em função da polarização da porta de programação ( $V_{PG}$ ), para o transistor <sup>BE</sup>SOI MOSFET simulado com contatos não sinterizado.

$V_{PG}$	25	20	15
$V_{Tn}$	-4,47 V	-3,84 V	-3,17

A Figura 4-9 similarmente ao transistor caracterizado adquire as mesmas tendências, sendo o acréscimo da polarização da porta de programação torna-se uma dificuldade para a tensão de porta de controle a depletar o canal. Para as simulações a ajustadas a Figura 4-10 apresenta o fator de acoplamento capacitivo dos transistores <sup>BE</sup>SOI nMOSFET não sinterizado simulados e caracterizados. Assim para os transistores de contatos não sinterizado tem-se relações de espessuras próximas ao relatado na fabricação.

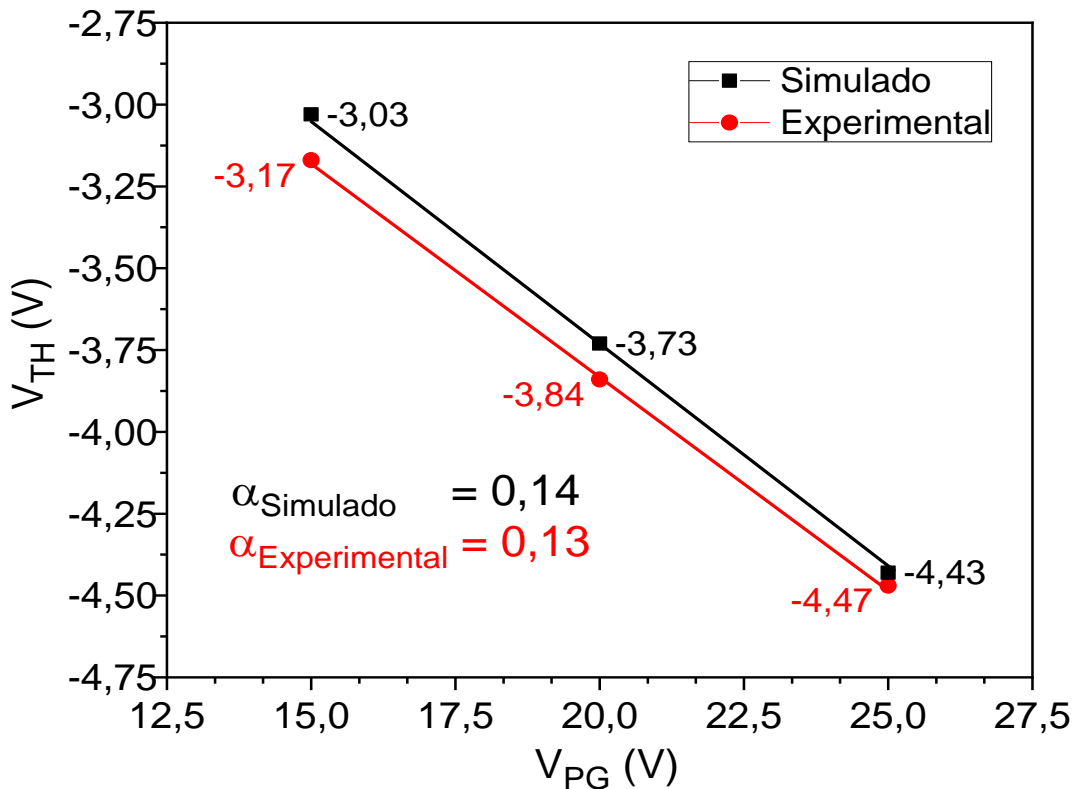


Figura 4-10 - Fator de acoplamento capacitivo do transistor <sup>BE</sup>SOI MOSFET com contato de alumínio não sinterizado, simulado e experimental.

#### 4.2.5 Conclusões parciais.

Neste subcapítulo foi tratado das simulações dos transistores de <sup>BE</sup>SOI MOSFET fabricados com contatos de alumínio, para os casos de ausência e presença do processo de sinterização. Notou-se que as simulações envolvendo os processos dos dispositivos se tornaram próximas às características obtidas experimentalmente, tal como os níveis de correntes para elétrons e lacunas diferentes entre ambos os

processos de fabricação. Além disso é notado que o transistor não sinterizado provavelmente adquire uma maior carga no óxido de porta, devido à ausência do processo térmico de sinterização. Assim para ambos os dispositivos simulados atingiram características suficientes a sua versão fabricada, tornando possível que seja investigado os fenômenos que causaram a inversão do funcionamento do transistor. Sendo que o transistor sinterizado adquire uma corrente alta para lacunas, porém baixa para elétrons diferentemente do transistor não sinterizado que contém uma elevada corrente para elétrons e baixa corrente para lacunas.

### 4.3 Resultados e análises dos dispositivos simulados

A ferramenta de simulação possibilita uma análise detalhada dos diversos parâmetros, como os níveis de energias no semiconductor e as concentrações de portadores, através de cortes na estrutura bidimensional em polarizações definidas (Apêndice B). Dos diversos parâmetros obtidos através da simulação será analisado nesse capítulo principalmente os níveis de energia de valência ( $E_V$ ), condução ( $E_C$ ) e quase Fermi ( $E_F$ ), além da densidade dos portadores presentes no silício. Para tal deve ser considerado a região de interesse para realizar os cortes, para os transistores reconfiguráveis a região de maior interesse são as regiões de fonte e dreno, que possibilitam a injeção de elétrons ou lacunas através das junções Schottky dependendo de seu modo de operação. Assim para análise das características dos transistores <sup>BE</sup>SOI MOSFET de alumínio com contatos sinterizado e não sinterizado é considerado o corte no perfil abaixo do contato de fonte, para o contato de dreno segue características semelhantes, já que o transistor é simétrico. A Figura 4-6 apresenta os perfis dos transistores simulados e seus respectivos cortes, para o caso sinterizado (a) e não sinterizado (b).

Apesar de ambos os transistores adquirirem espessuras na camada de silício diferentes, as análises serão expostas em função da mesma profundidade de canal. A Figura 4-11 mostra a densidade de carga em função da espessura do silício para o caso de contatos sinterizado, na situação de funcionamento como <sup>BE</sup>SOI pMOSFET em algumas polarizações aplicadas na porta de programação.

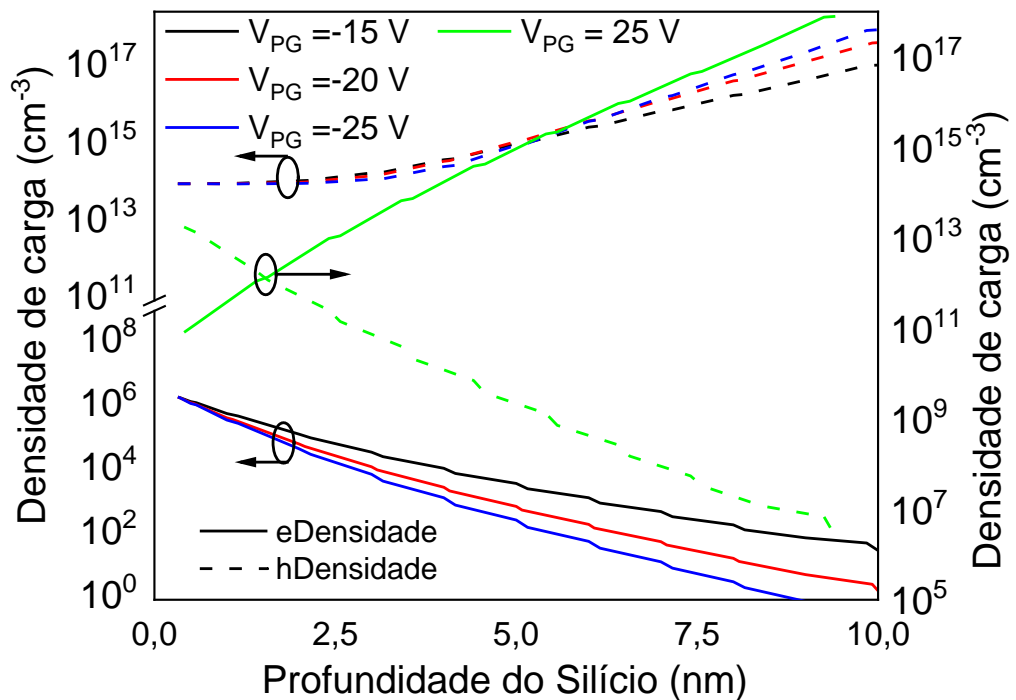


Figura 4-11 - Densidade de carga em função da profundidade do silício ( $t_{Si}$ ), para o transistor sinterizado apresentado na Figura 4-6 (a).

Nota-se que conforme a menor tensão aplicada na porta de programação a região de segunda interface (próximo à 10 nm) atrai uma maior concentração de lacunas de forma a acumular a segunda interface. Diferentemente a primeira interface no contato de metal e semiconductor tende de ser aproximadamente invariante a tensão aplicada na porta de programação ( $V_{PG}$ ), se comportando, aproximadamente, a um tipo de contato Schottky denominado ôhmico, como apresentado no capítulo 2.

Na situação de inversão da segunda interface ( $V_{PG} \gg 0$ ), o fenômeno que controla a densidade de portadores na região de proximidade do óxido enterrado é a polarização da porta de programação ( $V_{PG}$ ), nesses casos é criado um canal de elétrons ao longo do comprimento do canal, que poderia possibilitar o transporte de corrente. Porém semelhante a situação anterior a densidade de portadores na região da primeira interface é ainda majoritariamente controlada pela junção ôhmica. Promovendo na primeira interface uma densidade de lacunas superior a densidade de elétrons, assim inibindo a passagem de grande parte da corrente elétrica entre o contato de alumínio e o canal na segunda interface de elétrons do transistor. Em função desse comportamento é observado nas simulações e caracterizações realizadas a corrente para o transistor  $^{BE}SOI$  nMOSFET sinterizado com contatos de dreno e fonte de alumínio é baixa em relação a corrente de lacunas.

A Figura 4.12 mostra o diagrama de bandas para o corte anterior, nos modos de operação do transistor em tipo p ( $V_{PG} \ll 0$ ) e n ( $V_{PG} \gg 0$ ). O nível de quasi Fermi descreve apropriadamente a distribuição a população dos elétrons ( $E_{eQuasiFermi}$ ) ou lacunas ( $E_{hQuasiFermi}$ ) disponíveis nas bandas de condução ( $E_C$ ) e valência ( $E_V$ ). Assim para a operação da segunda interface em modo de acumulação, há uma maior concentração de lacunas disponíveis para condução na banda de valência, na proximidade do óxido enterrado. Observa-se também uma aproximação da banda de valência com o nível de quasi Fermi para lacunas, conforme a diminuição da polarização da porta de programação, e é observável uma variação positiva na densidade de lacunas na região. Esse fenômeno pode ser também visualizado na Figura 4-12 onde próximo da segunda interface a densidade de portadores não é constante em função da polarização da porta de programação. A primeira interface adquire um comportamento independente da polarização da porta de programação, sendo a distribuição de lacunas baixa em relação a segunda interface, porém muito maior que a de elétrons.

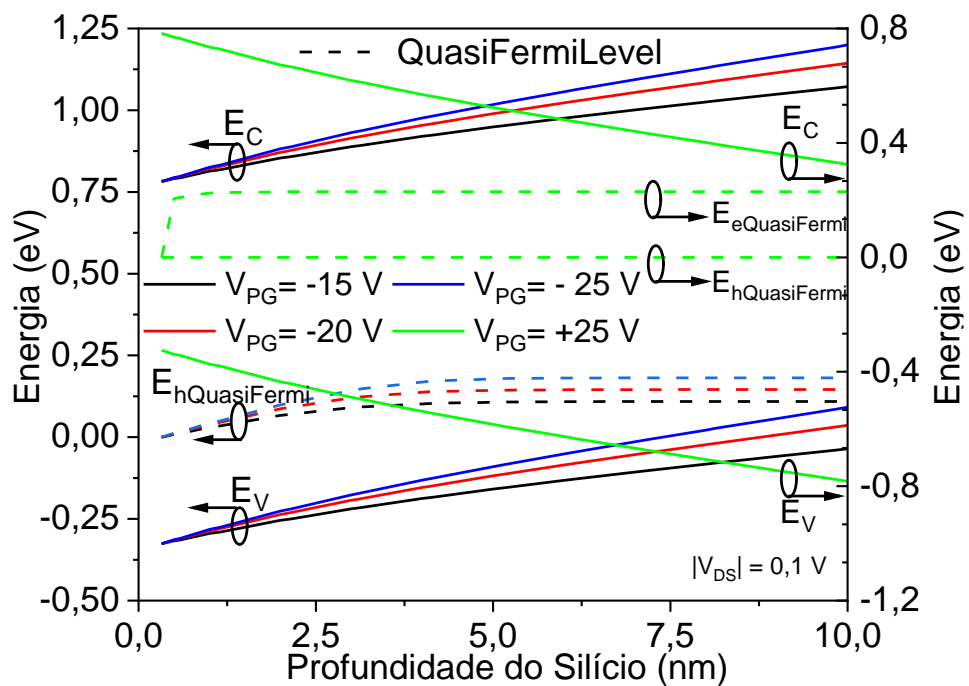


Figura 4- 12 - Diagrama de bandas de energia abaixo da junção de fonte, para o transistor: para o transistor.

Analogamente para a situação de inversão da segunda interface ( $V_{PG} \gg 0$ ), tem-se o controle majoritário da junção ôhmica na região da primeira interface, que torna a distribuição muito maior para lacunas comparada a de elétrons. Contudo a



polarização da porta de programação controla a distribuição de portadores na segunda interface invertendo a segunda interface, assim o nível de quase Fermi para elétrons se torna próxima ao nível de condução.

A Figura 4-13 mostra a densidade de carga para o transistor <sup>BE</sup>SOI MOSFET não sinterizado no corte A-A' conforme a Figura 4-6 (b). Para a situação de inversão da interface ( $V_{PG} \gg 0$ ) é encontrada uma elevada densidade de elétrons ao longo da profundidade do canal, que possibilita o fluxo de corrente entre a primeira e a segunda interface. A primeira interface apresenta uma elevada concentração de elétrons pois o contato metal semiconductor na ausência do processo térmico de sinterização, torna essa junção Schottky, que promove uma migração dos elétrons presentes no metal para a interface do semiconductor. Próximo a segunda interface o controle da densidade de portadores é controlada pela polarização da porta de programação. Para a aplicação do transistor em modo tipo p ( $V_{PG} \ll 0$ ), o transistor adquire características semelhantes na primeira interface, que é definida pela junção Schottky. A polarização da porta de programação tende a formar um canal de lacunas na segunda interface, porém é uma densidade de lacunas é baixa, pois a profundidade do silício é fina o suficiente para a junção Schottky afetar a região.

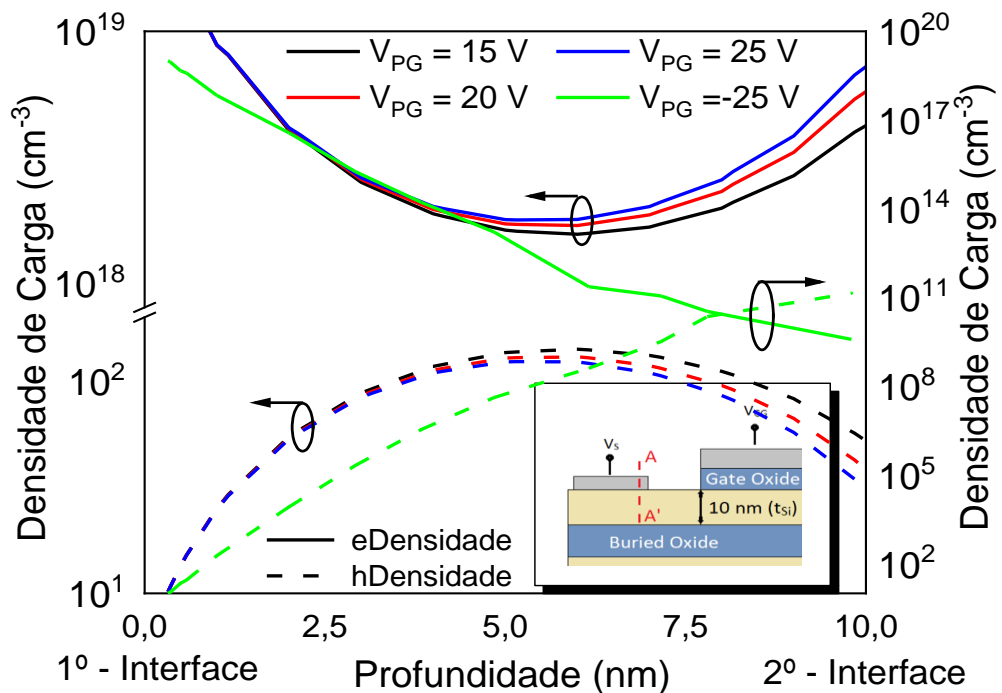


Figura 4-13 - Densidade de carga em função da profundidade do silício ( $t_{\text{Si}}$ ), para o corte na Figura 4-6 (b).

A Figura 4-14 apresenta os diagramas de bandas no corte do transistor não sinterizado. Para a situação de <sup>BE</sup>SOI nMOSFET a região da primeira interface segue tendências de junções Schottky com silício-p, ao longo da profundidade tem-se um distanciamento da banda de condução com o nível  $E_{e\text{QuasiFermi}}$ , diminuindo a densidade de elétrons ao longo da profundidade do silício. Até o campo elétrico proveniente da polarização da porta de programação se torne mais intenso, dopando eletrostaticamente a região de segunda interface e tornando a densidade de portadores nessa região variável com o campo elétrico. Semelhantemente para o transistor <sup>BE</sup>SOI pMOSFET a primeira interface da junção adquire a característica Schottky, e próximo à segunda interface há uma baixa distribuição de lacunas. O encontro dos portadores opostos cria uma região de depleção que impede a corrente de lacunas entre o metal e a segunda interface do semiconductor.

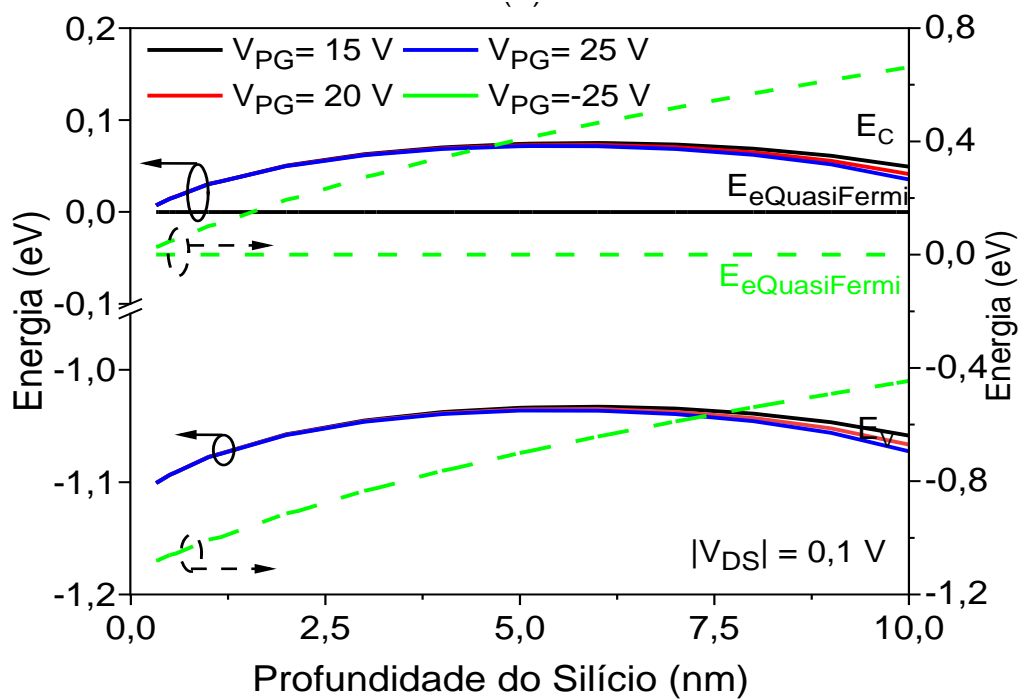


Figura 4-14 - Diagrama de bandas de energia abaixo da junção de fonte, para o transistor <sup>BE</sup>SOI MOSFET com contato sinterizado.

#### 4.4 Proposta de um <sup>BE</sup>SOI MOSFET de contato duplo de alumínio

Muitos transistores reconfiguráveis (RFET) contêm contatos de dreno/fonte de siliceto de níquel (NiSi), ou outros contatos de materiais de meia banda, que promovem uma simetria nos níveis de corrente, porém, o uso desses materiais diminui a injeção de corrente nas junções (NAVARRO et al., 2022). Esse capítulo aborda a utilização de ambos os transistores relatados de contato de alumínio para criação e otimização de um transistor <sup>BE</sup>SOI MOSFET de duplo contato de alumínio. A Figura 4-15 mostra o perfil do transistor <sup>BE</sup>SOI MOSFET de duplo contato proposto.

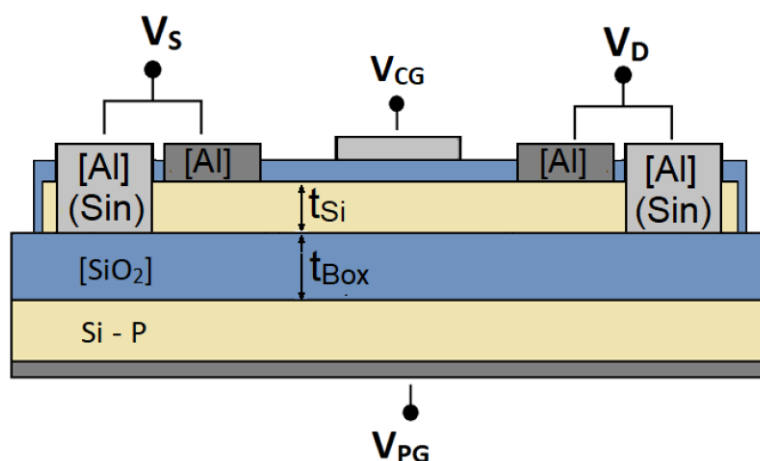


Figura 4-15 – Perfil do transistor <sup>BE</sup>SOI MOSFET com contato duplo de alumínio.

Semelhantemente a transistores simétricos de dupla-dopagem (*Dual-Doping*) (NAVARRO et al., 2022), que propõem dopagens N+ e P+ abaixo do contato possibilitando um acréscimo de corrente, devido a mudança de mecanismos de condução majoritária nos contatos de emissão termiônica para emissão de campo (NAVARRO et al., 2022). Em função da presença de regiões de Dreno/Fonte dopadas essa tecnologia torna-se para processos livre de dopantes (*Free-Doping*) (NAVARRO et al., 2022) (NAVARRO et al., 2020). Espera-se que o transistor de duplos contatos de alumínio (sinterizado e não sinterizado) adquira um incremento no nível de corrente, devido a diminuição da barreira Schottky para os portadores. Assim os elétrons são conduzidos pelos contatos interiores de alumínio não sinterizado que adquirem uma baixa barreira para sua condução (Capítulo 4) e as lacunas são conduzidas através dos contatos de alumínio sinterizado exteriores, devido seu

contato ôhmico para lacunas (Capítulo 4). Entretanto a condução de lacunas ( $V_{PG} \ll 0$ ) no transistor de duplo contato deve transitar abaixo dos contatos interiores (não sinterizado). Conforme observado na Figura 4-16 para  $V_{PG} = -25$  V e um  $t_{Si} = 10$  nm não é possível formar um canal acumulado abaixo do contato próxima a região de segunda interface (10nm), pois há uma grande influência da junção. Para que o transistor adquira uma densidade de lacunas elevada próximo a segunda interface abaixo do contato, assim adquirindo uma condutividade maior na região, é necessário que o transistor deve adquirir uma espessura de silício ( $t_{Si}$ ) maior. A Figura 4-16 mostra a densidade de carga em função da profundidade do silício abaixo do contato interior, para diferentes  $t_{Si}$  em modo de acumulação da segunda interface ( $V_{PG} = -25$  V).

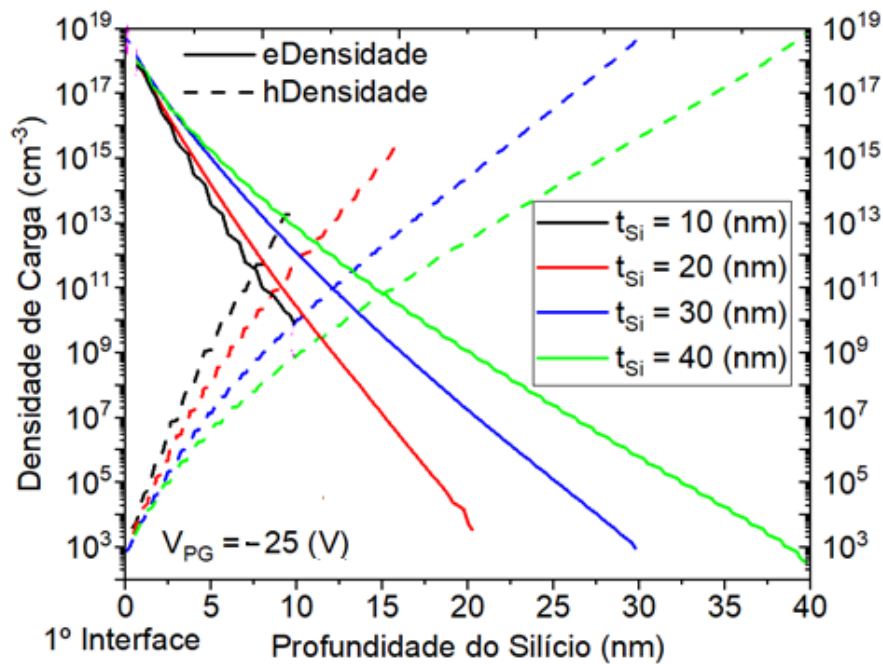


Figura 4-16 - Densidade de carga em função da profundidade do silício, para diferentes espessuras de transistores.

Observa-se que a concentração próxima a segunda interface aumenta em função do aumento da espessura do silício, devido a menor influência da junção Schottky sob a segunda interface. Tornando praticável acumular um canal abaixo do contanto para espessuras superiores a 30nm. Contudo, o aumento da espessura do silício na estrutura provoca um incremento na corrente de estado desligado do transistor, devido ao menor controle eletrostático da porta de controle sobre as cargas

no canal próximas segunda interface, devido ao forte campo elétrico da porta de programação, um efeito similar é descrito em transistores FD SOI (COLINGE, 2004). A Figura 4-17 apresenta a curva  $I_{DS} \times V_{CG}$  para um transistor  $^{BE}SOI$  MOSFET com  $t_{Si} = 30$  nm. O incremento de  $t_{Si}$  na região de porta torna-se impraticável. Desejando-se um maior controle sobre o canal na segunda interface é necessárias alterações em sua estrutura, a Figura 4-18 mostra o novo perfil do transistor de duplo contato de alumínio otimizado. Em virtude da nova estrutura há uma nova definição de espessura de silício no contato ( $t_{Si(cont)}$ ). A estrutura do novo transistor é apresentada na Figura 4-18.

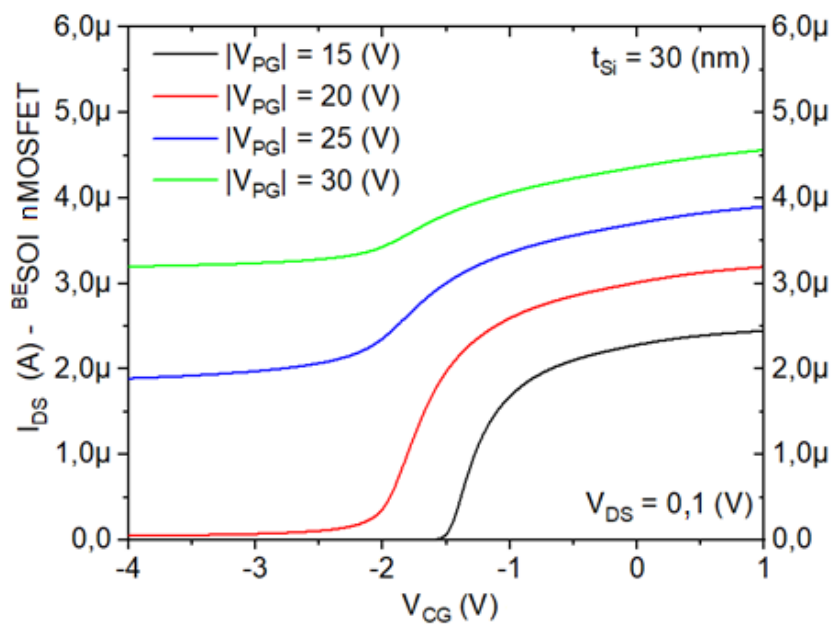


Figura 4-17 – Curva de transferência do transistor  $^{BE}SOI$  nMOSFET com contato duplo de alumínio, com espessura de silício de 30nm, para diferentes polarizações de porta de programação.

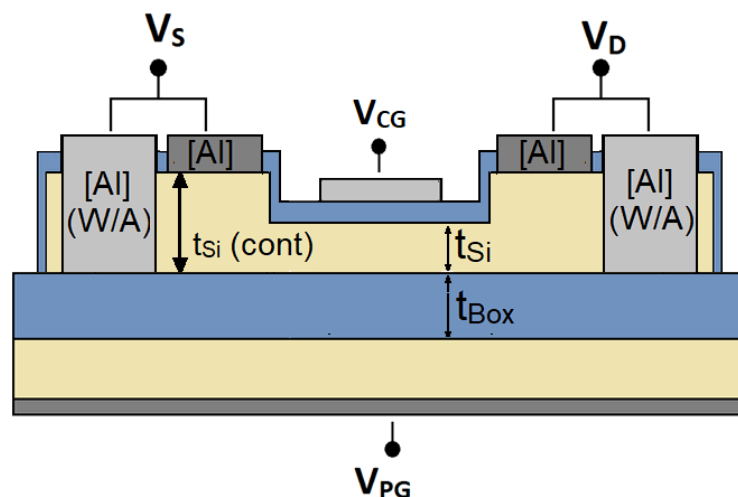


Figura 4-18 –Perfil do transistor com contatos duplo de alumínio DAC  $^{BE}SOI$  MOSFET otimizado.

A Figura 4-19 mostra a curva de transferência do novo transistor para diferentes  $t_{Si_{cont}}$ , e  $t_{Si} = 10\text{nm}$ . É observado que o incremento da espessura do silício no contato aumenta diferentemente a corrente de estado ligado do transistor  $^{BE}SOI$  pMOSFET, devido ao menor efeito do contato interior sobre a segunda interface. Entretanto o incremento de  $t_{Si_{cont}}$  também diminui a corrente do transistor  $^{BE}SOI$  nMOSFET, devido ao aumento da resistência entre primeira e segunda interface.

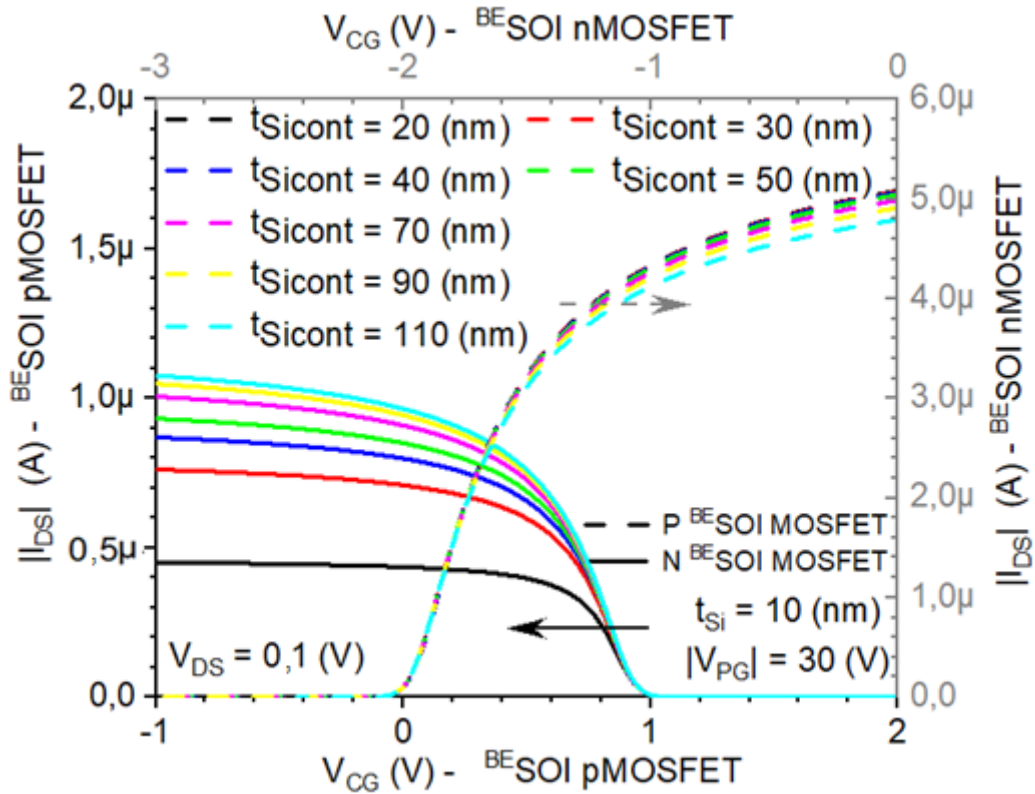


Figura 4-19 – Curva de transferência do transistor DAC  $^{BE}SOI$  MOSFET.

A Figura 4-20 apresenta a curva de transferência simulada do transistor  $^{BE}SOI$  MOSFET nas situações de contato duplo de alumínio (a) e contatos de níquel (b). Apesar do desbalanceamento entre os níveis de corrente para elétrons e lacunas no transistor de duplo contato, o uso de alumínio sinterizado e não sinterizado como contatos de Dreno/Fonte proporciona um incremento no nível de corrente do transistor, em relação ao transistor  $^{BE}SOI$  MOSFET de níquel. O incremento no nível na corrente obtido para elétrons ( $^{BE}SOI$  nMOSFET) foi 900%, e lacuna ( $^{BE}SOI$  pMOSFET) é próximo a 300%.

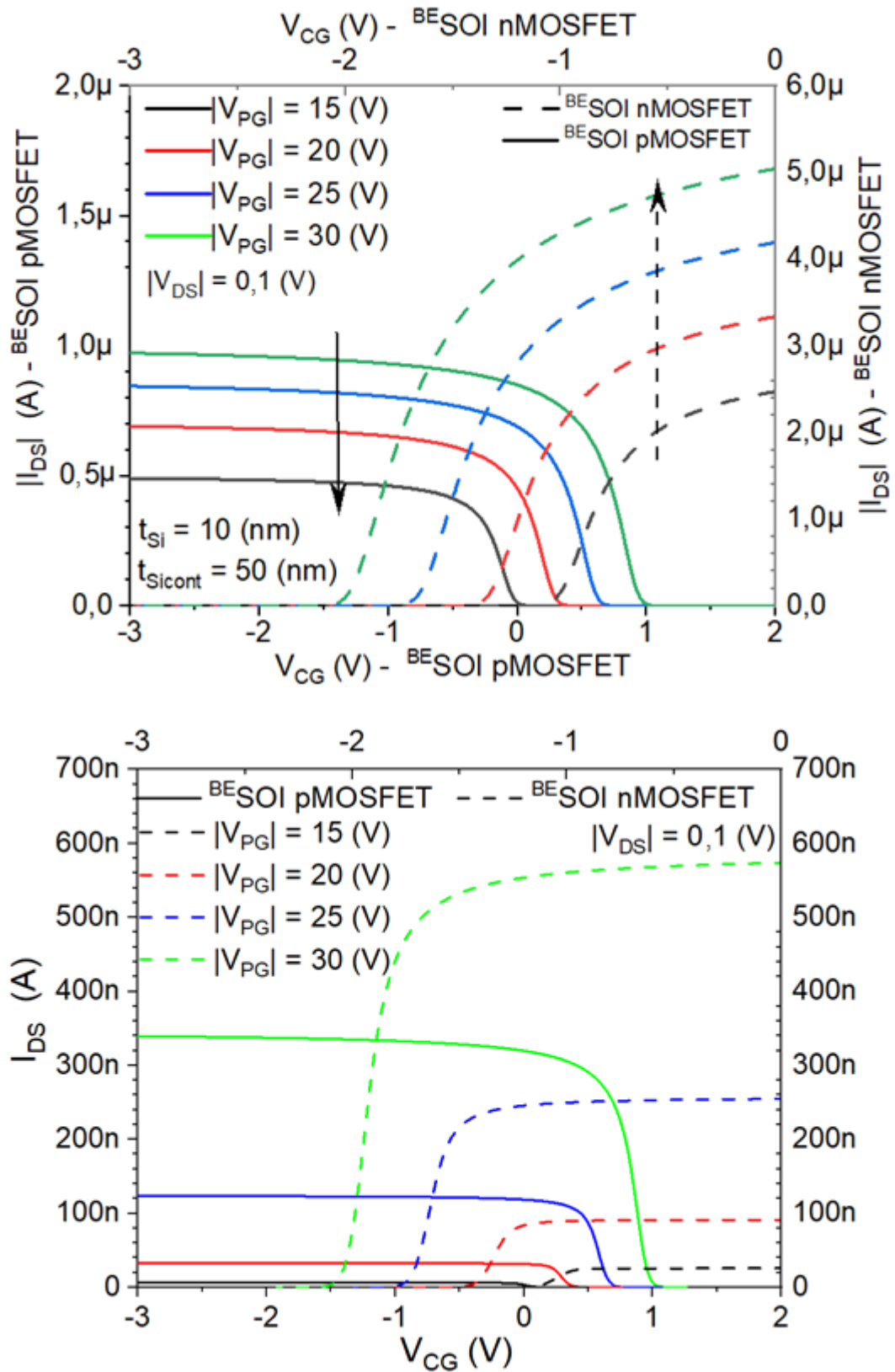


Figura 4-20 – Curva de transferência para o transistor  $^{BE}SOI$  MOSFET com contato duplo de Alumínio (a) e contato de níquel (b).

## 5 CONCLUSÃO.

Nesse trabalho foi realizado a caracterização elétrica do transistor <sup>BE</sup>SOI MOSFET fabricado com contatos de Dreno/Fonte de alumínio na situação de presença e ausência do processo térmico de sinterização, além de simulações numéricas que comprovaram o comportamento da região de junção do transistor.

As duas versões do transistor se provaram eficientes para a condução de um tipo de portador, sendo o transistor sinterizado eficiente na condução de lacunas para o transistor funcionando com <sup>BE</sup>SOI pMOSFET e não sinterizado eficiente para elétrons (<sup>BE</sup>SOI nMOSFET). Entretanto, para a condução dos transistores W/A <sup>BE</sup>SOI nMOSFET (W/A – “*With Annealing*”) e Wo/A <sup>BE</sup>SOI pMOSFET (Wo/A – “*Without Annealing*”) a corrente é extremamente baixa devido a elevada barreira de potencial para os portadores, ou elevada concentração de portadores oposto na interface do contato. Com suas características inversas utilizando ambos contatos de alumínio, foi proposto um novo tipo de transistor que proporciona um maior nível de corrente comparado a transistores <sup>BE</sup>SOI MOSFET com junções Schottky de NiSi, formados a partir do processo de silicidação do contato de níquel.

Diferentemente de transistores reconfiguráveis de dupla-dopagem impraticáveis em tecnologias livres de dopantes, o transistor DAC <sup>BE</sup>SOI MOSFET não necessita de processos de dopagem. Porém, sua arquitetura de contatos em série necessita de uma diferença de espessuras no corpo de transistor ( $t_{SiCont} > 30$  nm e  $t_{Si} < 25$  nm), que, respectivamente, torna possível uma condução de lacunas abaixo do contato interior e um maior controle da porta de controle sobre as cargas no canal próximas a segunda interface. Semelhantemente a transistores reconfiguráveis de dupla-dopagem (DD-RFET), o transistor <sup>BE</sup>SOI MOSFET de duplo contato de alumínio (DAC), obteve um incremento de corrente de 300% para seu modo pMOSFET e 900% para seu modo nMOSFET, devido sua característica ôhmica nos contatos externos (alumínio sinterizado) e internos (alumínio não sinterizado), respectivamente, para lacunas e elétrons.



## 5.1 Trabalhos Futuros

Para trabalhos futuros é justificável avaliar a aplicação de duplos contatos de alumínio em paralelo, assim pode ser viável a obtenção de simetria de corrente entre lacunas e elétrons, através das relações de largura ( $W$ ), entre contato sinterizado e não sinterizado. Além de possibilitar a ausência da necessidade de espessuras de silício nos contatos ( $t_{\text{SiCont}}$ ) diferentes a espessura de silício ( $t_{\text{Si}}$ ). Assim pode haver maiores níveis de corrente, devido as menores resistências entre primeira e segunda interface (menor  $t_{\text{SiCont}}$ ) para sua operação como  $^{\text{BE}}\text{SOI}$  nMOSFET, e pMOSFET devido à ausência da influência do contato interno. Como segunda proposta é factível a verificação do uso do transistor DAC  $^{\text{BE}}\text{SOI}$  MOSFET, partindo de um substrato SOI N de baixa dopagem ( $10^{15}$ ), assim possivelmente haverá um melhor e mais superior contato interior (não sinterizado) possibilitando maiores correntes para elétrons, e menor influência do contato interior na corrente de lacunas dividido ao contato mais superficial.

## **PUBLICAÇÕES ACEITAS**

Congresso Internacional:

- 1) CARVALHO, H. L.; RANGEL, R. C.; SASAKI, K. R. A.; YOJO, L. S.; AGOPIAN. P. G. D; MARTINO, J. A., Al Source-Drain Schottky contact enabling N-type (Back Enhanced) <sup>BE</sup>SOI MOSFET. In: SBMICRO 2022.
- 2) CARVALHO, H. L; RANGEL, R. C.; SASAKI, K. R. A.; YOJO, L. S.; AGOPIAN. P. G. D; MARTINO, J. A., Improved RFET performance using Dual-Aluminum-Contact (DAC). In: ECS 2023.

## REFERÊNCIAS

ASENOV, A. Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub0.1 um MOSFET's: A 3-D "Atomistic" Simulation Study IEEE TRANSACTIONS ON ELECTRON DEVICES.

CALLISTER, Jr. W. D., et al. Ciência e Engenharia de Materiais, 9ed, 2016.

COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3rded. Springer, 2004.

GRAHAM, A. P. et al., How do carbon nanotubes fit into the semiconductor roadmap? , Appl. Phys. 2005

HEINZIG, A. et al. Reconfigurable silicon nanowire transistors. Nano Letters, v. 12, n. 1, p. 119-124, 11 jan. 2012.

HEYNS, M. et al., Advancing CMOS beyond the Si roadmap with Ge and III/V devices IEEE Int. Electron Devices Meeting (IEDM) (5–7 December) (IEEE)

IONESCU, A. M., RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches Nature, 479, 2011.

LEMME, M. C., ECHTERMEYER, T. J., Baus, M., Kurz, H., Graphene field-effect device, IEEE Electron Device Lett, 2007.

LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-Insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, v. 1, n. 11, p. 1751-1777, 2014.

LUNDSTROM, M., Moore's Law Forever?, Science, V 299, I 5604 p. 210-211, 2003.

MARTINO, J. A.; RANGEL, R. C. Transistor com formação de dreno e fonte induzida por efeito de campo elétrico e seu método de fabricação, Patente INPI: BR 10 2015 020974 6 A2, 2015.

MIKOLAJICK, T.; et al., The RFET- a reconfigurable nanowire transistor and its application to novel electronic circuits and systems. Semiconductor Science and Technology, v. 32, n. 3.2017

MOORE, G. E. Cramming More Components onto Integrated Circuits. Electronics, p. 114-117, 1956.

NAVARRO. C, et al. Dual PN Source/Drain Reconfigurable FET for Fast and Low-Voltage Reprogrammable Logic. 2020

NAVARRO. C, et al., Performance of FDSOI double-gate dual-doped reconfigurable FETs, Solid-State Electronics, 2022.

PADOVESE, J. A. et al. Back Enhanced SOI MOSFET as Light Sensor. 33<sup>rd</sup> Symposium on Microelectronics Technology and Devices (SBMICRO). Anais...2018.

RANGEL, R. C., Sequência simples de fabricação de transistores SOI MOSFET. São Paulo: Tese de Mestrado apresentado à Escola Politécnica da USP, 2014.

RANGEL, R. C.; MARTINO, J. A. Back Enhanced (BE) SOI pMOSFET, Microelectronics Technology and Devices (SBMicro), 2015.

REZENDE S. M., A Física de Materiais e Dispositivos Eletrônicos, 1996.

ROSER, M.; RITCHIE, H., Technological Progress. Our World in Data, 2013.

STREETMAN, BEN G., et al., Solid State Electronic Devices, 7<sup>rd</sup>, 2007.

SYNOPTIS INC. Sentaurus Device User Guide version O-2018.06,2018.

SYNOPTIS INC. Sentaurus Process User Guide version O-2018.06,2018.

SZE S. M.; KWOK K. NG, Physics of Semiconductor Devices 3<sup>rd</sup>, 2006.

TROMMER, J. et al., Reconfigurable nanowire transistors with multiple independent gates for efficient and programmable combinational circuits Design, IEEE, 2016.

YOJO, L. S. et al., Back Enhanced (BE) SOI MOSFET under non-conventional bias conditions. Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), 2017.

YOJO, L. S. et al., Influence of biological element permittivity on BE (Back Enhanced) SOI MOSFETs. 33<sup>rd</sup> Symposium on Microelectronics Technology and Devices (SBMICRO), 2018.

YOJO, L. S. et al., Optimization of Source/Drain Schottky Barrier Height on BE SOI MOSFET. ECS Transactions, 2018

YOJO, L. S. et al., Reconfigurable Back Enhanced (BE) SOI MOSFET used to build a logic inverter. SBMICRO 2017 – 32rd Symposium on Microelectronics Technology and Devices, 2017.

YOJO, L. S.; Otimização de transistores BESOI MOSFET como plataforma para aplicação em biossensores. São Paulo: Tese de Doutorado apresentado à Escola Politécnica da USP, 2022.

YU BI, Leveraging Emerging Technology for Hardware Security - Case Study on Silicon Nanowire FETs and Graphene SymFETs, IEEE 23rd Asian Test Symposium, 2014.

ŽUTIĆI, FABIAN J., SARMA S. D., Spintronics: fundamentals and applications Rev. Mod. Phys, 2004.

## APÊNDICE A

Processo de fabricação simplificado da amostra Al2.

1. Limpeza química inicial.
2. Oxidação térmica para ajuste da camada inicial de silício 100nm.
3. Primeira litografia.
4. Corrosão do óxido BOE (Buffered Oxide Etch).
5. Corrosão do silício por plasma.
6. Remoção do fotoresiste.
7. Remoção do Óxido-1.
8. Limpeza química.
9. Oxidação térmica seca.
10. Deposição de alumínio por evaporação.
11. Segunda litografia para definição de porta e comprimento de canal.
12. Terceira fotolitografia para definição de contatos de fonte e dreno.
13. Deposição de metal de contato de fonte e dreno.
14. Remoção do resiste e "lift-off".
15. Sinterização (Apenas lâmina 1).

## APÊNDICE B.

Exemplo de código de geração de estrutura para o Sentaurus Process:

```
AdvancedCalibration 2016.03  
pdbSet Compute All.Poisson 1
```

### #####DEFINIÇÃO DA GRADE

#### #####Grade (Malha)[x]

```
line x location=-20.0<nm> spacing=1.0<nm> tag=top  
line x location=-11.0<nm> spacing=0.5<nm>  
line x location=-7.0<nm> spacing=0.5<nm>  
line x location=-1.0<nm> spacing=0.25<nm>  
line x location=0.0<nm> spacing=10.0<nm> tag=boxtop  
line x location=12.5<nm> spacing=0.01<um>  
line x location=200.0<nm> spacing=0.01<um> tag=boxbottom  
line x location=1.0<um> spacing=0.5<um> tag=bottom
```

#### #####Grade (Malha)[y]

```
line y location=0.0<nm> spacing=15.0<nm> tag=left  
line y location=0.5<nm> spacing=50.0<nm>  
line y location=1.2<um> spacing=0.5<nm>  
line y location=1.4<um> spacing=15.0<nm>  
line y location=3.0<um> spacing=35.0<nm>  
line y location=4.0<um> spacing=55.0<nm>  
line y location=5.0<um> spacing=75.0<nm>  
line y location=6.0<um> spacing=55.0<nm>  
line y location=7.0<um> spacing=35.0<nm>  
line y location=8.6<um> spacing=0.25<nm>  
line y location=8.9<um> spacing=10.0<nm>  
line y location=9.5<um> spacing=10.0<nm> tag=right
```

#### ##### Regiões

```
region silicon xlo=top xhi=boxtop ylo=left yhi=right  
region oxide xlo=boxtop xhi=boxbottom ylo=left yhi=right  
region silicon xlo=boxbottom xhi=bottom ylo=left yhi=right  
init concentration=1.0e15<cm-3> field=boron wafer.orient=100  
struct tdr=1-laminaUTBB_BESOIteste  
struct smesh=1-laminaUTBB_BESOIteste
```

#### ##### ETAPA 1

```
##### Oxidação térmica (para 47min de oxidação a 900C, tsi=8nm e tox=15nm)  
#inserção no forno  
gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>  
diffuse temperature=25<C> time=5<min> ramprate=175<C/min> gas_flow=N2
```

```

#oxidação
gas_flow name=O2 pressure=1<atm> flowO2=2<l/min>
diffuse temperature=900<C> time=47<min> gas_flow=O2
#tratamento térmico (para garantir a oxidação de todo oxigênio à mesma temperatura)
gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>
diffuse temperature=900<C> time=5<min> gas_flow=N2
struct tdr=2-UTBB_oxidacaoTSIcompleta
struct smesh=2-UTBB_oxidacaoTSIcompleta

##### ETAPA 2

##### Corrosão do SiO2 sobre o silício
etch material= {Oxide} type=anisotropic time=20<s> rate= 1.45<nm/s>
struct tdr=3-UTBB_corrosao_oxidacaoTSI
struct smesh=3-UTBB_corrosao_oxidacaoTSI

##### ETAPA 3

##### Primeira litografia (definição do W)
# corrosão do óxido fora da máscara (BOE)
mask name=silicio_mask left=0.5<um> right=9.5<um>
etch material= {Oxide} type=anisotropic time=10<s> rate= 1.45<nm/s> mask=silicio_mask
# corrosão do Si fora da máscara (RIE)
etch material= {Silicon} type=anisotropic time=5<min> rate= 5.5<nm/min>
mask=silicio_mask
# corrosão do óxido abaixo da máscara (BOE)
etch material= {Oxide} type=anisotropic time=12<s> rate= 1.45<nm/s>
struct tdr=4-UTBB_litografia1_W
struct smesh=4-UTBB_litografia1_W

##### ETAPA 4

##### Formação do óxido de porta
#inserção no forno
gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>
#diffuse temperature=25<C> time=5<min> ramprate=175<C/min> gas_flow=N2
#oxidação
gas_flow name=O2 pressure=1<atm> flowO2=2<l/min>
diffuse temperature=1000<C> time=18<min> gas_flow=O2
#tratamento térmico (para garantir a oxidação de todo oxigênio à mesma temperatura)
gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>
#diffuse temperature=900<C> time=5<min> gas_flow=N2
#saída do forno
gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>
#diffuse temperature=900<C> time=4<min> ramprate=-205<C/min> gas_flow=N2
struct tdr=5-UTBB_oxidacaoTOX
struct smesh=5-UTBB_oxidacaoTOX

##### ETAPA 5 qr2f4wqe

```



```

##### Deposição do alumínio de porta (400nm)
deposit material= {Aluminum} type=anisotropic time=1 rate= {0.4}
struct tdr=6-UTBB_deposicaoALporta
struct smesh=6-UTBB_deposicaoALporta

##### ETAPA 6 q4fwrq

##### Segunda litografia (definição do L)
#corrosão do Al
mask name=gate_mask left=2.5<um> right=7.5<um>
etch material= {Aluminum} type=anisotropic time=1 rate= {0.45} mask=gate_mask
etch material= {Oxide} type=anisotropic time=20<s> rate= 1.45<nm/s> mask=gate_mask
struct tdr=7-UTBB_litografia2_L_Al
struct smesh=7-UTBB_litografia2_L_Al

##### ETAPA 7

##### Terceira litografia (fotorresiste)
mask name=photoresistsource_mask left=0.0<um> right=0.65<um> negative
photo thickness=1<um> mask=photoresistsource_mask
struct tdr=8-UTBB_litografia4_fotorresisteSource
struct smesh=8-UTBB_litografia4_fotorresisteSource
mask name=photoresistgate_mask left=1.25<um> right=8.75<um> negative
photo thickness=1<um> mask=photoresistgate_mask
struct tdr=8-UTBB_litografia4_fotorresisteGate
struct smesh=8-UTBB_litografia4_fotorresisteGate
mask name=photoresistdrain_mask left=9.35<um> right=10.0<um> negative
photo thickness=1<um> mask=photoresistdrain_mask
struct tdr=8-UTBB_litografia4_fotorresisteDrain
struct smesh=8-UTBB_litografia4_fotorresisteDrain
struct tdr=8-UTBB_litografia4_fotorresiste
struct smesh=8-UTBB_litografia4_fotorresiste

##### ETAPA 8

##### Deposição de níquel (40nm) + alumínio (70nm)
#deposit material= {Nickel} type=anisotropic time=1 rate= {0.04}
deposit material= {Aluminum} type=anisotropic time=1 rate= {0.11}
struct tdr=9-UTBB_deposicaoAlfontedreno
struct smesh=9-UTBB_deposicaoAlfontedreno

##### ETAPA 9

##### Lift-off do níquel
strip PhotoResist
struct tdr=10
struct smesh=10-Lift-off

##### ETAPA 10

```

```

##### Sinterização
#inserção no forno
#gas_flow name=N2 pressure=1<atm> flowN2=2<l/min>
#diffuse temperature=25<C> time=5<min> ramprate=95<C/min> gas_flow=N2
#sinterização
#diffuse temperature=400<C> time=1<s> gas_flow=N2
#saída do forno
#diffuse temperature=500<C> time=5<min> ramprate=-95<C/min> gas_flow=N2
#struct tdr=11-UTBB_sinterizacaoNi_1s_400C
#struct smesh=11-UTBB_sinterizacaoNi_1s_400C

# Definindo os eletrodos
contact name=source y=1.0 x=-0.1 point Aluminum
contact name=gate y=5.0 x=-0.1 point Aluminum
contact name=drain y=9.0 x=-0.1 point Aluminum
contact name=substrate bottom
struct tdr=Nome_2
struct smesh=Nome_2

```

## APÊNDICE C.

Exemplo de código para simulação do dispositivo no Sentarus Device.

```
File {
* input files:
Grid = "Estrutura_fps.tdr"
Doping= "Estrutura_fps.tdr"
Parameters= "parameter.par"
* output files:
* Plot = "N15tdr.tdr"
Current = "N15plt.plt"
Output = "N15des.log"
}
Electrode {
{ Name="source" Voltage=0.000 Schottky workfunction=4.21}
{ Name="drain" Voltage=0.100 Schottky workfunction=4.21}
{ Name="substrate" Voltage=15.000 }
{ Name="gate" Voltage=2.000 Barrier=-0.89}
}
Physics (RegionInterface="Oxide_1.4/Silicon_1"){
Charge ((Conc=8.e11))
}
Physics (RegionInterface="Oxide_1.1/Silicon_1"){
Charge ((Conc=5.e10))
}
Physics {
Mobility(ConstantMobility)
eBarrierTunneling "NLM_drain"
hBarrierTunneling "NLM_drain"
eBarrierTunneling "NLM_source"
hBarrierTunneling "NLM_source"
Recombination(SRH(DopingDep))
EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
Temperature = 300
}
Plot {
eDensity hDensity eCurrent/vector hCurrent/vector Current/vector
Potential SpaceCharge ElectricField/vector
eMobility hMobility eVelocity hVelocity
Doping DonorConcentration AcceptorConcentration
eBarrierTunneling hBarrierTunneling
ConductionBandEnergy ValenceBandEnergy eQuasiFermiEnergy
```

```

hQuasiFermiEnergy
}
Math {
  Extrapolate
  RelErrControl
  iterations=100
  Number_Of_Threads = maximum
  Nonlocal "NLM_drain" (Electrode="drain" Length=10e-7)
  Nonlocal "NLM_source" (Electrode="source" Length=10e-7)
}
Solve {
  #-initial solution:
  Poisson
  Coupled { Poisson Electron Hole }
  #-ramp gate:
  Quasistationary ( InitialStep= 0.005 Maxstep= 0.001 Minstep= 0.001
  Goal{ Name="gate" Voltage=-5 }
  )
  {
  Coupled { Poisson Electron Hole}
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=2V"
  when ( Contact="gate" Voltage=2))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=1"
  when ( Contact="gate" Voltage=1))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=0V"
  when ( Contact="gate" Voltage=0))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-1"
  when ( Contact="gate" Voltage=-1))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-2"
  when ( Contact="gate" Voltage=-2))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-3v5"
  when ( Contact="gate" Voltage=-3.5))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-4V"
  when ( Contact="gate" Voltage=-4))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-4v5"
  when ( Contact="gate" Voltage=-4.5))
  Plot( FilePrefix="n15IDVG_BOX25_TSI5_TOX8_VG=-5V"
  when ( Contact="gate" Voltage=-5))}
  }
}

```

## APÊNDICE D.

Exemplo de arquivo de parâmetros dos materiais para o simulador (parameter.par).

```
#Material="Aluminum" {
#   Bandgap
#   { * For conductors Band Gap is zero and the following parameters
are used:
#       WorkFunction    = 4.21   # [eV]
#       FermiEnergy     = 11.7   # [eV]
#       * for backward compatibility Chi0 could be used to define the
work function.
#   }
#}

Electrode="gate" {
    Bandgap
    { * For conductors Band Gap is zero and the following parameters
are used:
        WorkFunction    = 4.1    # [eV]
*       FermiEnergy     = 11.7   # [eV]
        * for backward compatibility Chi0 could be used to define the
work function.
    }
}

Electrode="source" {
    Bandgap
    { * For conductors Band Gap is zero and the following parameters
are used:
        WorkFunction    = 4.7    # [eV]
*       FermiEnergy     = 11.7   # [eV]
        * for backward compatibility Chi0 could be used to define the
work function.
    }
}

Electrode="drain" {
    Bandgap
    { * For conductors Band Gap is zero and the following parameters
are used:
        WorkFunction    = 4.7    # [eV]
*       FermiEnergy     = 11.7   # [eV]
        * for backward compatibility Chi0 could be used to define the
work function.
    }
}

material = "Silicon" {
    BarrierTunneling {
*       mt = 0.12, 0.4
    }
}
```

```

*          mt = 0.1, 0.1
          mt = 0.04, 0.012
    }

    DopingDependence: {
      * For doping dependent mobility model three formulas
      * can be used. Formula1 is based on Masetti et al.
approximation.
      * Formula2 uses approximation, suggested by Arora.
        formula= 1 , 1      # [1]
      * If formula=1, model suggested by Masetti et al. is used:
      *  $\mu_{dop} = \mu_{min1} \exp(-Pc/N) + (\mu_{const} -$ 
mumin2)/(1+(N/Cr)^alpha)
      *
          -  $\mu_1/(1+(Cs/N)^beta)$ 
      * with  $\mu_{const}$  from ConstantMobility
        mumin1 = 52.2 ,      44.9 # [cm^2/Vs]
        mumin2 = 52.2 ,      0.0000e+00 # [cm^2/Vs]
         $\mu_1$  = 43.4 ,      29 # [cm^2/Vs]
        Pc = 0.0000e+00 , 9.2300e+16 # [cm^3]
        Cr = 9.6800e+16 , 2.2300e+17 # [cm^3]
        Cs = 3.4300e+20 , 6.1000e+20 # [cm^3]
        alpha = 0.68 ,      0.719 # [1]
        beta = 2 , 2 # [1]
    }

    EnormalDependence {
      *  $\mu_{Enorm}^{-1} = \mu_{ac}^{-1} + \mu_{sr}^{-1}$  with:
      *  $\mu_{ac} = B / Enorm + C (T/T0)^{-k} ((N+N2)/N0)^{\lambda} /$ 
Enorm^(1/3)
      *  $\mu_{sr}^{-1} = Enorm^{(A+\alpha*n/(N+N1)^{\nu})} / \delta +$ 
Enorm^3 / eta
      * EnormalDependence is added with factor  $\exp(-l/l_{crit})$ ,
where l is
      * the distance to the nearest point of
semiconductor/insulator interface.
      * Factor is equal to 1 if  $l_{crit} > 100$ .
        B = 4.7500e+07 , 9.9250e+06 # [cm/s]
        C = 5.8000e+02 , 2.9470e+03 #
[cm^(5/3)/(V^(2/3)s)]
        N0 = 1 , 1 # [cm^(-3)]
        N2 = 1 , 1 # [cm^(-3)]
        lambda = 0.125 , 0.0317 # [1]
        k = 1 , 1 # [1]
        delta = 5.8200e+14 , 2.0546e+14 # [V/s]
        A = 2 , 2 # [1]
        alpha = 0.0000e+00 , 0.0000e+00 # [1]
        aother = 0.0000e+00 , 0.0000e+00 # [1]
        N1 = 1 , 1 # [cm^(-3)]
        nu = 1 , 1 # [1]
        eta = 5.8200e+30 , 2.0546e+30 # [V^2/cm*s]
        l_crit = 1.0000e-06 , 1.0000e-06 # [cm]
    }

    HighFieldDependence: {
      * Caughey-Thomas model:
      *  $\mu_{highfield} = (\alpha+1)\mu_{lowfield} /$ 
      *  $(\alpha + (1 + (\alpha+1)\mu_{lowfield}*E/vsat)^{\beta})^{1/\beta}$ 

```

```

* beta = beta0 (T/T0)^betaexp.
beta0 = 1.109 ,      1.213 # [1]
betaexp= 0.66 ,      0.17 # [1]
alpha = 0.0000e+00 , 0.0000e+00 # [1]

* Smoothing parameter for HydroHighField Caughey-Thomas
model:
* if T1 < Tc < (1+K_dT)*T1, then smoothing between low
field mobility
* and HydroHighField mobility is used.
K_dT = 0.2 , 0.2 # [1]
* Transferred-Electron Effect:
* mu_highfield =
(mu_lowfield+(vsat/E)*(E/E0_TrEf)^4)/(1+(E/E0_TrEf)^4)
E0_TrEf= 4.0000e+03 , 4.0000e+03 # [1]
Ksmooth_TrEf = 1 , 1 # [1]

* For vsat either Formula1 or Formula2 can be used.
Vsat_Formula = 1 , 1 # [1]
* Formula1 for saturation velocity:
* vsat = vsat0 (T/T0)^(-Vsatexp)
* (Parameter Vsat_Formula has to be not equal to 2)
vsat0 = 1.0700e+07 , 8.3700e+06 # [1]
vsatexp= 0.87 , 0.52 # [1]
}

Band2BandTunneling {
* Band2Band(E1) : A1*E*exp(-B1/E)
A1 = 1.1000e+27 # [1/cm^2/sec/V]
B1 = 2.1300e+07 # [V/cm]
}
}

```