

**DAVID ALEJANDRO REYES GONZALEZ**

**PROJETO DE UM CONVERSOR  
ANALÓGICO-DIGITAL PARA UM RECEPTOR  
UWB APLICADO NA DETECÇÃO DE CÂNCER  
DE MAMA EM TECNOLOGIA CMOS.**

São Paulo  
2021

**DAVID ALEJANDRO REYES GONZALEZ**

**PROJETO DE UM CONVERSOR  
ANALÓGICO-DIGITAL PARA UM RECEPTOR  
UWB APLICADO NA DETECÇÃO DE CÂNCER  
DE MAMA EM TECNOLOGIA CMOS.**

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Ciências.

São Paulo  
2021

DAVID ALEJANDRO REYES GONZALEZ

**PROJETO DE UM CONVERSOR  
ANALÓGICO-DIGITAL PARA UM RECEPTOR  
UWB APLICADO NA DETECÇÃO DE CÂNCER  
DE MAMA EM TECNOLOGIA CMOS.**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Ciências.

Área de Concentração:

Microeletrônica

Orientador:

Prof. Dr. Wilhelmus Adrianus Maria Van Noije

São Paulo  
2021

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, SP, Brasil, 16 de fevereiro 2022.

---

Assinatura do Autor

---

Assinatura do Orientador

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

#### Catálogo-na-publicação

Gonzalez, David Alejandro Reyes  
Projeto de um Conversor Analógico-Digital para um Receptor UWB  
Aplicado na Detecção de Câncer de Mama em tecnologia CMOS. / D. A. R.  
Gonzalez -- São Paulo, 2021.  
118 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Conversores A/D 2.Circuitos Integrados CMOS 3.Detecção de Câncer de Mama 4.Microeletrônica I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

*A elas, que sempre as levo no meu  
coração: à minha mãe e à minha  
avó no céu.*

# AGRADECIMENTOS

Agradeço a Deus por sempre ter me abençoado e cuidado. À pessoa mais especial e maravilhosa que eu já conheci, além do que é a mais importante na minha vida, à senhora Graciela Reyes Gonzalez, minha mãe. Muito obrigado mãe por ser aquela mulher batalhadora que está sempre em todo momento para mim. Você é a razão pela que hoje eu sou o que sou, e no futuro, o que possa chegar a ser.

À minha família pelo apoio no meu processo de formação e por sempre me dar força nos momentos mais difíceis nesta experiência. Aos meus tios: Gonzalo Reyes Gonzalez e Carmen Rosa Reyes Gonzalez, por acreditar nas minhas capacidades e me apoiar para vir ao Brasil.

Ao meu orientador, professor Doutor Wilhelmus Adrianus Maria Van Noijs pelo apoio e a oportunidade de desenvolver meu mestrado na Universidade de São Paulo (USP). À Escola Politécnica da USP (EPUSP) pela bolsa de estudos concedida que foi obtida do projeto SAMPA e atendeu o suporte econômico para desenvolver o meu mestrado. Ao IMEC (centro de pesquisa na Bélgica) pela fabricação do *chip*.

Um especial agradecimento ao professor Hugo Daniel Hernández Herrera por sempre acreditar nas minhas capacidades, pela oportunidade de desenvolver meu mestrado na USP e pelo apoio no desenvolvimento do meu trabalho de mestrado.

Aos meus amigos do grupo de pesquisa *OnChip* da *Universidad Industrial de Santander* (UIS), Colômbia. Ao Luis Eduardo Rueda Guerrero, meu orientador da minha graduação, por me compartilhar seus conhecimentos na área de circuitos integrados, bem como pelo seu apoio e ajuda na viagem ao Brasil. Ao meu amigo e professor, o Héctor Iván Gómez, por sempre acreditar nas minhas capacidades e por me permitir trabalhar com ele no projeto de ICs visando arrumar boas e novas oportunidades.

Aos meus amigos do Laboratório de Sistemas Integráveis (LSI) da USP, Brasil. Por sempre ter a melhor disposição para me ajudar em todo momento, agradeço à Silvana Leonor da Silva, ao Dionisio de Carvalho e ao Tarciso Martins. Ao Bruno Cavalcante de Souza Sanches pela amizade e por ter me emprestado a bicicleta para eu poder ir à USP e assim facilitar minha vida.

Ao pessoal da casa onde morei e compartilhei bons momentos: o senhor Adauto, a senhora Flora, Alisson, Thiago, Matheus. Ao Julián Sierra pela amizade e ajuda na chegada ao Brasil. A todo o pessoal da rua onde morei em São Paulo-SP pela amizade. Pelo carinho, aos meus amigos: o Gabriel Rodrigues, o Carlos Freitas e a Elisabete Carriel. A todas as pessoas, amigas e amigos, tanto na Colômbia como no Brasil, que já conheci em diferentes oportunidades por ter me acompanhado nos diferentes cenários da minha vida.

À USP pela oportunidade que me forneceu para me formar e desenvolver meu trabalho de mestrado. Ao Brasil e seu maravilhoso povo, por me receber e às vezes me fazer sentir como se estivesse na minha amada Colômbia.

Grato.

# RESUMO

Este trabalho apresenta o projeto de um Conversor Analógico-Digital (*ADC*) de 11 bits, 20-MS/s, para ser utilizado em um receptor de banda ultra larga (*UWB*) aplicado na detecção de câncer de mama em tecnologia *CMOS* de 180 nm.

A arquitetura do *ADC* escolhida da literatura é do tipo Registrador de Aproximações Sucessivas (*SAR*). Essa arquitetura foi selecionada porque é eficiente em termos de energia em comparação com outras arquiteturas para o objetivo de projeto que foi definido: um *ADC* com uma *SNDR* maior a 62 dB operando numa frequência de amostragem de 20-MS/s. Uma arquitetura diferencial para o *ADC* foi implementada para obter melhor rejeição das perturbações em modo comum. O protótipo do circuito *ADC* é composto por um circuito de rastreamento e retenção (*T&H*), um Conversor Digital-Analógico (*DAC*) capacitivo, um comparador dinâmico e o circuito lógico que implementa o algoritmo *SAR*. O esquema de chaveamento *Merged Capacitor* foi implementado, portanto, o *DAC* capacitivo diferencial serve tanto para armazenar amostras do sinal de entrada nas placas superiores dos capacitores quanto para gerar as tensões de referência no processo de conversão Analógico-Digital. Além disso, o *ADC* de 11 bits leva vantagem de usar *DACs* de 10 bits, economizando energia e área. Uma operação assíncrona foi selecionada para eliminar a necessidade de um relógio externo de alta frequência. Para melhorar a linearidade, uma célula de atraso no gerador do relógio assíncrono foi desenvolvida, permitindo um maior tempo de estabilização para o *DAC* capacitivo.

O *ADC* projetado ocupa 0,1 mm<sup>2</sup> e os resultados de simulação *post-layout* mostram que o circuito atinge um número efetivo de bits (*ENOB*) de 10,73 bits para um tom de entrada equivalente à frequência de Nyquist operando a uma frequência de amostragem de 20-MS/s. O consumo de potência é de 2,89-mW fornecido por uma fonte de alimentação de 1,8-V, atingindo assim nas figuras de mérito de *Schreier* ( $FoM_S$ ) e de Walden ( $FoM_W$ ), 162 dB e 84-fJ/conv.-step, respectivamente. Operando a 20-MS/s, 1,8-V, a *DNL* é +0,32/-0,29 *LSB* e a *INL* é igual a +0,33/-0,26 *LSB*.

Testes experimentais do protótipo foram realizados a fim caracterizar o desempenho do *ADC* projetado. Destes testes, foram detectados problemas de não-linearidade no sinal de saída do *ADC*. Esses problemas na fase experimental do projeto foram analisados e uma hipótese foi levantada para explicá-los. Apoiados em análises teóricas e de simulação, se encontrou que os problemas de não-linearidade podem ter ocorrido devido ao efeito indutivo parasita dos *wire bond* do pacote do *chip*.

**Palavras-Chave** – *ADC*, *UWB*, detecção do câncer de mama, *CMOS*, Microeletrônica, Projeto *VLSI*.



# ABSTRACT

This work presents the design of an 11 bits, 20-MS/s, Analog-to-Digital Converter (ADC) for an ultra-wideband (UWB) receiver applied in breast cancer detection in 180 nm CMOS technology.

The architecture taken from the literature is known as successive approximation register (SAR). This architecture was selected because it is more efficient in energy terms compared to other architectures in order to achieve the design target of this project: a 20-MS/s ADC with a SNDR higher than 62 dB. A differential architecture was chosen to achieve a better common-mode disturbance rejection. The prototype ADC comprises a sample and hold circuit, a capacitive digital-to-analog converter (DAC), a dynamic comparator, and the logic control circuit which implements the SAR algorithm. Merged capacitor switching procedure was implemented, therefore, the differential DAC capacitor network serves both to a top-plate sampling of the input signal and subtracts the reference in the conversion process. Furthermore, the 11 bit ADC takes advantage of using 10 bit DACs, saving power and area. An asynchronous operation was selected to eliminate the need for an external high-frequency clock. To improve the linearity, a delay cell inside the asynchronous clock generator is implemented, allowing a larger settling time for the capacitive DAC.

The designed ADC occupies  $0.1 \text{ mm}^2$  and post-layout simulation results show that it achieves an ENOB of 10.73 bit at a sampling rate of 20 MS/s and an input tone at Nyquist rate. The power consumption is 2.89 mW at 1.8 V supply, thus achieving the figure of merits of Schreier ( $\text{FoM}_S$ ) and Walden ( $\text{FoM}_W$ ), 162 dB and 84 fJ/conv.-step, respectively. At 20-MS/s, 1,8-V, the DNL is +0,32/-0,29 LSB and the INL is equal to +0,33/-0,26 LSB.

Experimental measurements were carried out to determine the performance of the designed ADC. From these tests, non-linearity issues were detected on the output signal of the ADC. These problems in the experimental phase of the design were analyzed, and a hypothesis was proposed to explain them. Based on theoretical and simulation analysis, it was found which the non-linearity issues may have happened owing to the parasitic inductive effect of the wire bonded chip.

**Keywords** – ADC, UWB, Breast Cancer Detection, CMOS, Microelectronic, VLSI Design.

# LISTA DE FIGURAS

1	Sistema <i>UWB</i> para detectar o câncer de mama com base na técnica <i>MI</i> . . . . .	25
2	Convenção de notação usada nesta dissertação (adotada de [10]). . . . .	26
3	Exemplo da conversão de um sinal analógico (curva azul) na sua representação digital de $N=3$ bits (pontos vermelhos). . . . .	29
4	(a) Característica entrada-saída de um ADC ideal de 3 bits; (b) Erro de quantização do <i>ADC</i> . . . . .	30
5	Compromisso entre os principais parâmetros de desempenho no projeto do <i>ADC</i> . . . . .	32
6	Energia contra linearidade de alguns conversores do estado da arte [18]. . . . .	33
7	Esquemático e diagrama no tempo de um <i>SAR ADC</i> de 3 bits. . . . .	34
8	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento convencional. . . . .	38
9	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento <i>split-capacitor</i> . . . . .	39
10	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento <i>energy-saving</i> . . . . .	40
11	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento <i>monotonic</i> . . . . .	40
12	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento <i>merged-capacitor</i> . . . . .	41
13	Implementação diferencial para uma arquitetura <i>SAR ADC</i> de 3 bits com chaveamento <i>charge-average</i> . . . . .	42
14	Implementação do circuito <i>T&amp;H</i> . . . . .	43
15	(a) Circuito <i>T&amp;H</i> implementado com chave <i>NMOS</i> ; (b) Circuito equivalente em modo rastreamento. . . . .	44
16	Circuito para a análise do tempo de estabilização do <i>T&amp;H</i> . . . . .	45

17	Circuito para análise de injeção de carga. A carga procura o caminho de impedância mais baixa, $R_{in}$ é a resistência de entrada equivalente da fonte do sinal. . . . .	46
18	Circuito para a análise do efeito do <i>clock feedthrough</i> . . . . .	47
19	Circuito para análise do efeito <i>feedthrough</i> em modo retenção. . . . .	48
20	<i>DAC</i> capacitivo de N bits. . . . .	48
21	(a) Distribuição <i>Gaussiana</i> do capacitor unitário em uma matriz de capacitores; (b) Efeito do <i>mismatch</i> nos capacitores do <i>DAC</i> na curva de transferência de um <i>SAR ADC</i> de 11 bits, com $V_{REF}=1,8$ V. . . . .	50
22	Comparador dinâmico. . . . .	52
23	Ruído <i>kickback</i> no comparador dinâmico. . . . .	52
24	<i>Offset</i> no comparador dinâmico. . . . .	53
25	Metaestabilidade no comparador. . . . .	54
26	Diagramas de tempo da operação: (a) síncrona; (b) assíncrona. . . . .	56
27	Arquitetura assíncrona <i>SAR ADC</i> desenvolvida. . . . .	58
28	Exemplo do esquema de chaveamento <i>Merged Capacitor</i> de um <i>ADC</i> de 3 bits. . . . .	59
29	Tensões de saída do <i>DAC</i> diferencial durante o processo de conversão. . . . .	60
30	Esquemático da chave de amostragem aplicando a técnica <i>bootstrap</i> . . . . .	61
31	Implementação da técnica <i>bootstrap</i> operando no modo (a) retenção; (b) rastreamento. . . . .	62
32	<i>ENOB</i> do <i>T&amp;H</i> em função do capacitor de amostragem. . . . .	63
33	<i>SNDR</i> do <i>T&amp;H</i> como função das larguras das chaves de amostragem. . . . .	63
34	Circuito amostrador diferencial implementado com chaves <i>dummy</i> para o cancelamento do efeito <i>feedthrough</i> em modo rastreamento [46]. . . . .	65
35	Capacitância de saída do <i>DAC</i> . . . . .	66
36	Estratégia de centróide comum parcial implementada para os <i>DACs</i> . . . . .	69
37	Simulação de Monte-Carlo da linearidade do <i>DAC</i> . . . . .	72

38	Comparador dinâmico de dois estágios implementado . . . . .	72
39	Diagrama de tempo da operação dinâmica do comparador. . . . .	73
40	Simulação do <i>Offset</i> do comparador implementado. . . . .	75
41	(a) <i>Latch</i> ; (b) modelo de pequenos sinais do <i>latch</i> . . . . .	76
42	(a) Esquemático do algoritmo <i>SAR</i> ; (b) diagrama de tempo do controle principal. . . . .	81
43	(a) Implementação da célula para efetuar o controle do <i>DAC</i> e o registro de saída do <i>MSB</i> da lógica <i>SAR</i> ; (b) Diagrama de tempo do controle do <i>DAC</i> . . . . .	82
44	Esquemático e diagrama de tempo da geração do relógio assíncrono. . . . .	84
45	<i>Layout</i> do <i>ADC</i> projetado. . . . .	86
46	Diagrama de blocos da configuração para o teste em simulação do <i>ADC</i> projetado. . . . .	87
47	<i>ENOB</i> do <i>T&amp;H</i> em função de $R_{in}$ . . . . .	88
48	Medições da <i>DNL</i> e <i>INL</i> em 20 MS/s e 1,8 V. . . . .	89
49	Espectro da <i>FFT</i> (1024 amostras) do sinal de saída do conversor para um tom de entrada de 3 MHz com uma frequência de amostragem de 20 MS/s. . . . .	90
50	<i>SFDR</i> e <i>SNDR</i> obtida em simulação em função da frequência de entrada. . . . .	91
51	Medida da faixa dinâmica. . . . .	91
52	Microfotografia do <i>chip</i> de teste com visão ampliada do <i>ADC</i> projetado. . . . .	95
53	<i>Layout</i> da placa de teste projetada. . . . .	96
54	Distribuição e roteamento dos componentes na placa. . . . .	97
55	Fluxo de corrente na placa. . . . .	98
56	Montagem de teste para o <i>ADC</i> . . . . .	99
57	Sinal de saída experimental do <i>ADC</i> para um tom de entrada de 40 kHz e uma frequência de amostragem de 20 MS/s. . . . .	100
58	Comparação de resultados experimentais e de simulação. . . . .	101

59	Ruído gerado nas tensões de alimentação do conversor geram não linearidade. Esse efeito não desejado na implementação física do <i>ADC</i> é mais pronunciado quando a tensão amostrada está perto dos picos do sinal de entrada diferencial . . . . .	102
60	<i>DAC</i> com capacitor ponte com (a) todos os capacitores do lado <i>MSB</i> ligados ao terra e todos os capacitores do lado <i>LSB</i> ligados ao $V_{DD}$ ; (b) todos os capacitores do lado <i>LSB</i> conectados ao terra e todos os capacitores do lado <i>MSB</i> conectados ao $V_{DD}$ . . . . .	102
61	O ruído gerado nas tensões de alimentação tem uma menor influência quando a tensão amostrada pelo <i>ADC</i> é um valor perto da metade da escala do sinal de entrada. . . . .	104
62	Diagrama de blocos para estudar por simulações, os problemas de não linearidade encontrados nas medidas experimentais. . . . .	105
63	Simulação do <i>ADC</i> projetado para um tom de entrada de 40 kHz e uma frequência de amostragem de 20 MS/s, considerando o efeito indutivo dos <i>wire bonds</i> somente nas tensões de alimentação do circuito <i>DAC</i> (sinal azul).106	106
64	Espectro da <i>FFT</i> do sinal de saída experimental do <i>ADC</i> para um tom de entrada de 40 kHz com uma frequência de amostragem de 20 MS/s e uma tensão de alimentação nominal de 1,8 V. . . . .	107
65	Distribuição do consumo experimental de potência do <i>ADC</i> quando está operando em uma frequência de amostragem de 20 MS/s e uma tensão de alimentação de 1,8 V. . . . .	108
66	Medidas experimentais da <i>DNL</i> e <i>INL</i> quando o conversor está operando em uma frequência de amostragem de 20 MS/s e uma tensão de alimentação nominal de 1,8V. . . . .	108
67	Visão de alto nível do <i>flip-flop</i> utilizado na lógica . . . . .	117
68	Esquemático do <i>flip-flop</i> utilizado na lógica . . . . .	117
69	<i>Layout</i> do circuito <i>T&amp;E</i> . . . . .	118
70	<i>Layout</i> do circuito <i>DAC</i> diferencial. . . . .	118
71	<i>Layout</i> da lógica assíncrona <i>SAR</i> . . . . .	118
72	<i>Layout</i> do comparador dinâmico. . . . .	119

73	<i>Layout do chip de teste.</i>	119
----	---------------------------------	-----

# LISTA DE TABELAS

1	Principais especificações de projeto do <i>ADC</i> . . . . .	25
2	Desempenho de alguns esquemas de chaveamento para implementação do algoritmo <i>SAR</i> . . . . .	37
3	Valores dos capacitores e os seus valores normalizados com base à vista extraída do <i>DAC</i> . . . . .	68
4	Dimensões dos transistores do circuito comparador projetado. . . . .	80
5	Resumo e comparação de desempenho do <i>ADC</i> em nível de simulação pós- <i>layout</i> . . . . .	92

## LISTA DE SIGLAS

<b>AC</b>	Corrente Alternada
<b>ADC</b>	Conversor Analógico-Digital
<b>BER</b>	Taxa de Erro de Bit
<b>CMOS</b>	<i>Complementary Metal-Oxide-Semiconductor</i>
<b>DAC</b>	Conversor Digital-Analógico
<b>DC</b>	Corrente Contínua
<b>DNL</b>	Não-Linearidade Diferencial
<b>DRC</b>	Verificação de Regras de Projeto
<b>DSP</b>	Processamento Digital de Sinal
<b>ENOB</b>	Número Efetivo de Bits
<b>ERBW</b>	Largura de Banda de um Conversor Analógico-Digital
<b>ERF</b>	Função de Erro
<b>ETS</b>	Amostragem em Tempo Equivalente
<b>FFT</b>	Transformada rápida de Fourier
<b>FoM</b>	Figura de Mérito
<b>FS</b>	Escala Completa
<b>IMEC</b>	<i>Interuniversitair Micro-Electronica Centrum VZW</i>
<b>INCA</b>	Instituto Nacional de Câncer
<b>INL</b>	Não-Linearidade Integral
<b>LCK</b>	Lei de Corrente de Kirchhoff
<b>LNA</b>	Amplificador de Baixo Ruído
<b>LSB</b>	Bit Menos Significativo
<b>LSI</b>	Laboratório de Sistemas Integráveis
<b>MI</b>	Geração de Imagens por Micro-ondas
<b>MIM</b>	<i>Metal-Insulator-Metal</i>
<b>MOM</b>	<i>Metal-Oxide-Metal</i>
<b>MOS</b>	Metal-Óxido-Semicondutor
<b>MOS-CAP</b>	Metal-Óxido-Semicondutor - Capacitivo
<b>MOSFET</b>	Transistor de Efeito de Campo Metal-Óxido-Semicondutor
<b>MRI</b>	Ressonância Magnética
<b>MSB</b>	Bit Mais Significativo
<b>NMOS</b>	Transistor de Efeito de Campo Metal-Óxido-Semicondutor de canal n
<b>PDK</b>	<i>Kit</i> de Projeto do Processo
<b>PET</b>	Tomografia por Emissão de Pósitrons
<b>PMOS</b>	Transistor de Efeito de Campo Metal-Óxido-Semicondutor de canal p
<b>PVT</b>	Variações de Processo, Tensão de alimentação e Temperatura
<b>QFN</b>	<i>Quad Flat No leads</i>



<b>RC</b>	Resistivo-Capacitivo
<b>SAR</b>	Registrador de Aproximações Sucessivas
<b>SNDR</b>	Relação Sinal-Ruído e Distorção
<b>SNR</b>	Relação Sinal-Ruído
<b>S&amp;H</b>	Amostragem e Retenção
<b><math>S\overline{\varepsilon}_q^2R</math></b>	Relação Sinal-Ruído de Quantização
<b>TSMC</b>	<i>Taiwan Semiconductor Manufacturing Company</i>
<b>T&amp;H</b>	Rastreamento e Retenção
<b>USP</b>	Universidade de São Paulo
<b>UWB</b>	Banda Ultra Larga
<b>VGA</b>	Amplificador de Ganho Variável

# LISTA DE SÍMBOLOS

$f_s$	Frequência de amostragem
$T_s$	Período de amostragem
$V_{REF}$	Tensão de referência
$N$	Número de bits
$\Delta$	Passo de Quantização - Bit menos significativo
$\varepsilon_q$	Erro de quantização
$\varepsilon_q^2$	Potência do ruído de quantização
$P_s$	Potência de um sinal senoidal puro a escala completa
$T_{ss}$	Período de um sinal senoidal
$t$	Variável tempo
$\omega$	Frequência de oscilação em radianos de um sinal senoidal
$FoM_w$	Figura de Mérito de Walden
$FoM_s$	Figura de Mérito de Schreier
$P_{ADC}$	Potência consumida por um ADC
$clk_{IN}$	Relógio de referência de um <i>SAR ADC</i> convencional
$v_{IN}$	Tensão de entrada analógica de um <i>SAR ADC</i> convencional
$v_X$	Tensão nas placas superiores dos capacitores de um <i>SAR ADC</i> convencional
$b$	Saída digital do ADC
$Q_{amostragem}$	Carga armazenada na fase amostragem de um <i>SAR ADC</i> convencional
$Q_{MSB}$	Carga armazenada na fase de decisão do <i>MSB</i> de um <i>SAR ADC</i> convencional
$Q_{MSB-1}$	Carga armazenada na fase de decisão do <i>MSB-1</i> de um <i>SAR ADC</i> convencional
$Q_{LSB}$	Carga armazenada na fase de decisão do <i>LSB</i> de um <i>SAR ADC</i> convencional
$V_{DD}$	Tensão de alimentação
$C_s$	Capacitor de amostragem
$M_s$	Chave de amostragem
$clk_S$	Relógio de amostragem
$v_{OUT}$	Tensão de saída
$R_s$	Resistência da chave de amostragem
$\mu_n$	mobilidade do elétron no canal n
$C_{ox}$	Capacitância do óxido de porta por unidade de área
$W$	Largura efetiva do transistor
$L$	Comprimento efetivo do canal do transistor
$W/L$	Relação de aspecto do transistor

$V_{GS}$	Tensão de polarização entre os terminais de porta e fonte do transistor
$V_{th}$	Tensão limiar do transistor com efeito corpo
$V_{th0}$	Tensão limiar do transistor sem efeito corpo
$\gamma_b$	Coefficiente do efeito corpo
$\Phi_F$	Tensão de Fermi
$V_{SB}$	Tensão de polarização entre os terminais de fonte e corpo do transistor
$f_{-3dB}$	Frequência de corte
$\overline{V}_n^2$	Ruído térmico na entrada do $T\&H$
$K_B$	Constante de Boltzmann
$T_k$	Valor absoluto da temperatura em Kelvin
$BW$	Largura de banda do espectro do ruído térmico
$\overline{V}_{n,out}^2$	Potência de ruído total na saída do $T\&H$
$f$	Variável frequência
$Q_{ch}$	Carga acumulada no canal do transistor
$C_{ov}$	Capacitância formada entre o material da porta e as difusões dos terminais de dreno e fonte do transistor
$C_{ds}$	Capacitância parasitária entre os terminais de dreno e fonte do transistor
$C-C_u$	Capacitor unitário
$D_{N-1}$	Palavra digital de N bits
$C_n$	Valor nominal de um capacitor do nó do processo
$K_c$	Parâmetro de densidade de um capacitor
$A$	Área de um capacitor
$\Delta C_n/C_n$	Variação relativa de $C_n$
$\sigma(\Delta C_n/C_n)$	Desvio padrão da variação relativa de $C_n$
$K_\sigma$	Constante que descreve a variação aleatória do valor de $C_n$
$L_c$	Comprimento do capacitor
$W_c$	Largura do capacitor
$t_d$	Espessura do dielétrico do capacitor
$\mu_c$	Valor médio do capacitor C
$\sigma_c$	Desvio padrão do valor médio do capacitor C
$clk_C$	Relógio do comparador
$v_{IC_{P,N}}$	Sinais de entrada do comparador
$v_{OC_{P,N}}$	Sinais de saída do comparador
$\Delta V_{th1,2}$	<i>Mismatch</i> entre as tensões de limiar dos transistores de entrada do comparador
$S_{1,2}$	Dimensões dos transistores de entrada do comparador

$\Delta S_{1,2}$	<i>Mismatch</i> entre as dimensões dos transistores de entrada do comparador
$R$	Resistência vista pelos drenos dos transistores de entrada do comparador
$\Delta R$	<i>Mismatch</i> de $R$
$\overline{V}_{n,in}^2$	Ruído térmico referido à entrada do comparador
$\gamma$	Fator do ruído térmico
$C_{X,Y}$	Capacitâncias vistas nos drenos dos transistores de entrada do comparador
$P_1$	Probabilidade de obter um “1” lógico na saída do comparador
$A_p$	Ganho do estágio de pré-amplificação do comparador
$\tau$	Constante de tempo na fase de regeneração do <i>latch</i>
$v_{DP,N}$	Tensões de saída do <i>DAC</i> com capacitor ponte
$V_{CM}$	Tensão de modo comum
$C_b$	Capacitor <i>bootstrap</i>
$F_{in}$	Frequência de entrada
$FoM_{T\&H}$	Figura de mérito do circuito <i>T&amp;H</i>
$\Delta v_P$	Erro de pedestal
$\tau_{est}$	Constante de tempo do circuito <i>T&amp;H</i>
$Z_o$	Impedância de saída do <i>DAC</i> com capacitor ponte
$s$	Variável no domínio complexo
$C_{MSB}$	Capacitor equivalente dos <i>MSB</i>
$C_{LSB}$	Capacitor equivalente dos <i>LSB</i>
$C_{sp}$	Capacitor ponte do <i>DAC</i> projetado
$V_{DAC}$	Tensão analógica de saída do <i>DAC</i> com capacitor ponte
$N_{DAC}$	Número de bits do <i>DAC</i> com capacitor ponte
$\sigma_{DNL_{max}}$	Desvio padrão da <i>DNL</i> do <i>DAC</i> no chaveamento do <i>MSB</i>
$\sigma_{INL_{max}}$	Desvio padrão da <i>INL</i> do <i>DAC</i> no chaveamento do <i>MSB</i>
$\mu_{SNDR_{DAC}}$	Valor médio da <i>SNDR</i> do <i>DAC</i>
$\sigma_{SNDR_{DAC}}$	Desvio padrão da <i>SNDR</i> do <i>DAC</i>
$V_{OFFSET}$	Tensão de <i>offset</i> do comparador
$\mu$	Valor médio do <i>offset</i> do comparador
$\sigma$	Desvio padrão do <i>offset</i> do comparador
$g_m$	Transcondutância do transistor
$G_m$	Transcondutância de um inversor <i>CMOS</i>
$C_o$	Capacitância de carga do <i>latch</i>
$R_o$	Resistência de saída do <i>latch</i>
$A_o$	Ganho intrínseco de um inversor <i>CMOS</i>
$\tau_o$	Constante de tempo no nó de saída de um inversor <i>CMOS</i>
$\tau_{latch}$	Constante de tempo do <i>latch</i>
$R_{in}$	Resistência da fonte do sinal de entrada
$v_{OT}$	Sinal de saída do <i>DAC</i> ideal (teste de simulação)
$v_{OTE}$	Sinal de saída do <i>DAC</i> ideal (teste experimental)

$L_w$	Indutância do <i>wire bond</i>
$\Delta v_{DD}$	Mudança na tensão de alimentação devido ao efeito indutivo do <i>wire bond</i>
$\Delta v_{LSB}$	Mudança na tensão das placas superiores dos capacitores dos <i>LSB</i> devido ao efeito indutivo do <i>wire bond</i>
$\Delta v_{ODL}$	Mudança na tensão de saída do <i>DAC</i> injetada através dos capacitores <i>LSB</i> devido ao ruído em $V_{REF}$
$\Delta v_{ODM}$	Mudança na tensão de saída do <i>DAC</i> injetada através dos capacitores <i>MSB</i> devido ao ruído em $V_{REF}$
$R_a$	Resistor de amortecimento

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>23</b>
1.1	Motivação . . . . .	23
1.2	Objetivos . . . . .	25
1.3	Convenção de notação . . . . .	26
1.4	Organização do documento . . . . .	27
<b>2</b>	<b>FUNDAMENTOS TEÓRICOS</b>	<b>28</b>
2.1	Conversão Analógico-Digital . . . . .	28
2.1.1	Figuras de Mérito dos ADC . . . . .	31
2.2	Seleção da Arquitetura e topologia . . . . .	33
2.2.1	Estado da arte do conversor <i>SAR</i> . . . . .	34
2.3	Considerações de Projeto . . . . .	42
2.3.1	Circuito de rastreamento e retenção ( <i>T&amp;H</i> ) . . . . .	43
2.3.1.1	Resistência finita da chave . . . . .	43
2.3.1.2	Largura de banda . . . . .	44
2.3.1.3	Tempo de estabilização . . . . .	45
2.3.1.4	Ruído térmico . . . . .	45
2.3.1.5	Injeção de carga . . . . .	46
2.3.1.6	<i>Clock feedthrough</i> . . . . .	47
2.3.1.7	<i>Feedthrough</i> em modo retenção . . . . .	47
2.3.2	Conversor Digital-Analógico ( <i>DAC</i> ) . . . . .	47
2.3.2.1	Erros em <i>SAR ADCs</i> devido ao <i>mismatch</i> nos capacitores . . . . .	50
2.3.3	Comparador . . . . .	51
2.3.3.1	Ruído <i>Kickback</i> . . . . .	52

2.3.3.2	<i>Offset</i>	52
2.3.3.3	Ruído térmico	53
2.3.3.4	Metaestabilidade	54
2.3.4	A lógica <i>SAR</i>	55
<b>3</b>	<b>IMPLEMENTAÇÃO DO ADC</b>	<b>57</b>
3.1	Arquitetura do ADC	57
3.2	Implementação dos circuitos	59
3.2.1	Chaves de amostragem	60
3.2.1.1	Dimensionamento	62
3.2.2	DAC capacitivo com capacitor ponte	66
3.2.3	Comparador Dinâmico de dois estágios	72
3.2.3.1	Dimensionamento	74
3.2.4	Lógica assíncrona <i>SAR</i>	80
3.2.4.1	Geração do relógio assíncrono	83
3.3	Considerações do Layout	84
3.4	Resultados de simulação pós- <i>layout</i>	87
3.4.1	Resultados dos parâmetros estáticos	88
3.4.2	Resultados dos parâmetros dinâmicos	89
3.4.3	Comparação com trabalhos do estado da arte	92
<b>4</b>	<b>RESULTADOS EXPERIMENTAIS</b>	<b>94</b>
4.1	Descrição do chip de teste fabricado	94
4.2	Projeto da placa de teste	95
4.3	Procedimento experimental	99
4.4	Testes experimentais	99
<b>5</b>	<b>CONCLUSÕES E RECOMENDAÇÕES PARA TRABALHOS FUTU-</b>	

ROS	110
Referências	112
Apêndice A – Circuito <i>Flip-flop</i> da lógica	117
Apêndice B – <i>Layouts</i>	118



# 1 INTRODUÇÃO

Neste capítulo é apresentada a motivação dessa pesquisa, assim como é mostrado e explicado o sistema global onde vai ser utilizado o Conversor Analógico-Digital (*Analog to Digital Converter* — *ADC*) desenvolvido. Além disso, são expostos os objetivos que foram definidos para este trabalho de mestrado e é fornecida uma visão geral dos demais capítulos que compõem essa dissertação.

## 1.1 Motivação

O câncer de mama é atualmente o câncer mais comum em mulheres em escala global [1]. No Brasil, é o câncer mais frequente no sexo feminino, correspondendo a 29,7% do número de novos casos segundo o Instituto Nacional de Câncer-INCA [2]. A alta incidência de novos casos representa um grave problema de saúde pública pela mortalidade desse tipo de doença. A detecção precoce de um tumor e a intervenção médica oportuna podem proporcionar uma oportunidade maior de sobrevivência de longo prazo das pacientes, pois evita que o tumor se espalhe para outros tecidos ou órgãos, processo conhecido como metástase.

Diferentes modalidades de exame têm sido utilizadas nos últimos anos para fazer diagnósticos na mama a fim de detectar um tumor. O método mais comum para a revisão e detecção desse câncer via imagens é a mamografia, onde se obtém uma imagem de cada mama usando raio-X. Uma das suas principais vantagens é sua alta resolução, que pode ser até de  $50 \mu m$ , proporcionando uma caracterização precisa da mama. Porém, a mamografia tem limitações consideráveis, como sua alta taxa de erros nas mulheres com mama densa, impondo dificuldade para tirar conclusões confiáveis [3]. Além disso, nos exames de raio-x precisa-se comprimir as mamas gerando incômodo para a paciente. Outros métodos conhecidos para fazer diagnóstico da mama são a ressonância magnética (*Magnetic Resonance Imaging*<sup>1</sup> — *MRI*), tomografia por emissão de pósitrons (*Positron Emission Tomography* — *PET*) e ultrassom. Estes métodos também tem suas limitações

e desvantagens. Por exemplo, os equipamentos para fazer o diagnóstico via *MRI* ou *PET* têm um alto valor de aquisição. Além disso, os profissionais necessários para sua manipulação devem ter um alto grau de capacitação, aumentando o custo do exame. O diagnóstico por ultrassom ou ecografia tem dificuldade em fazer a detecção precoce do câncer de mama devido a sua baixa resolução (não é confiável para tumores menores a 1,0 cm). Exceto o método ultrassom e *MRI*, os demais métodos idealmente devem ser evitados devido a utilização de radiações ionizantes que podem pôr em risco a saúde da paciente [4].

O mais desejável no momento de realizar diagnósticos da mama então seria utilizar um equipamento de alta resolução, seguro, de baixo custo, com fácil acesso para os médicos e cômodo para a paciente. Usar um método baseado em geração de imagens da mama via micro-ondas (*Microwave Imaging — MI*) [5] é uma boa solução para fazer avaliação do câncer de mama, atingindo muitas das necessidades já mencionadas [6]. O método é atrativo porque se pode obter imagens com alta resolução, aumentando a confiabilidade nos diagnósticos e oferecendo um potencial muito alto para fazer a detecção precoce do câncer de mama. Além disso, esse método protege o bem-estar das pacientes com o fato de evitar radiação ionizante [7].

A partir dos argumentos anteriores, está em desenvolvimento um radar de banda ultra larga (*Ultra-Wideband - UWB*) de baixo custo baseado em técnicas de geração de imagens médicas usando *MI* para a detecção precoce do câncer de mama. A proposta vem ao encontro do fato que hoje existe um número limitado de mamógrafos, e para detectar o câncer de mama também não se tem no Brasil o número suficiente de profissionais capacitados na manipulação destes equipamentos. Na figura 1 observa-se o diagrama de blocos do transceptor *UWB* que está em desenvolvimento, para a obtenção da imagem da mama baseado na técnica *MI*.

Neste circuito um transmissor irradia pulsos gaussianos de banda ultra larga através de uma antena. No estágio de recepção, outra antena recebe o sinal irradiado e este é amplificado por um amplificador de baixo ruído (*Low Noise Amplifier — LNA*) e amostrado pelo bloco de amostragem e retenção (*Sample and Hold — S&H*) baseado na técnica de amostragem em tempo equivalente (*Equivalent Time Sampling — ETS*). Um amplificador de ganho variável (*Variable Gain Amplifier — VGA*) [8] fornece um ótimo mapeamento na faixa de entrada do *ADC*. O bloco *S&H-ETS* relaxa o requerimento de frequência de amostragem para o *ADC*. A saída do *ADC* é processada digitalmente (*Digital Signal Processing-DSP*) para criar imagens de energia da mama e através de

---

<sup>1</sup>Neste documento para fazer diferença dos termos em inglês, estes serão escritos em letra itálica.

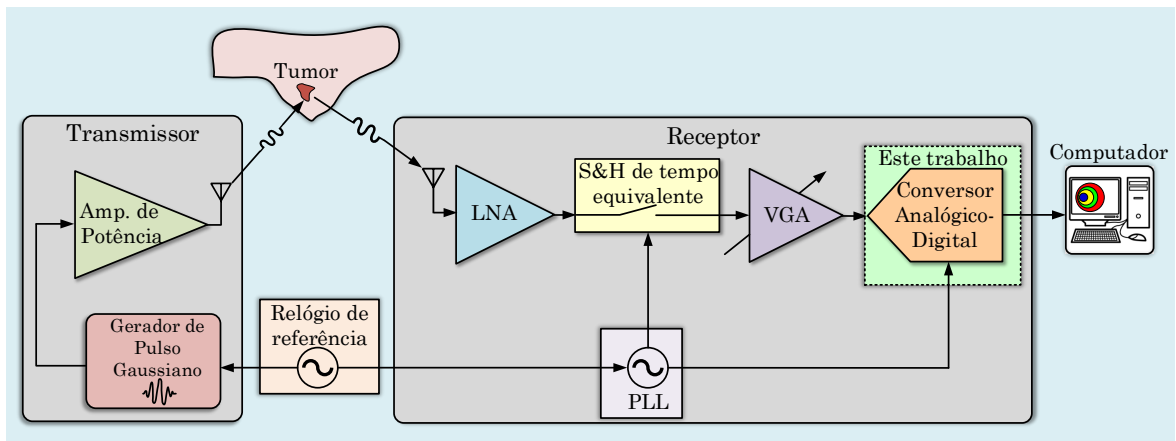


Figura 1: Sistema *UWB* para detectar o câncer de mama com base na técnica *MI*.

um algoritmo confocal, se houver, a posição e tamanho do tumor são encontrados.

Assim, será projetado e testado um transceptor (transmissor e receptor) integrado em tecnologia *CMOS* para micro-ondas aplicado em *MI*, incluindo o desenvolvimento e teste de um arranjo de antenas *UWB* otimizadas para esta aplicação. O projeto do radar *UWB* considera também o desenvolvimento do *software* que irá transformar os dados adquiridos do receptor em imagens que serão usadas pelos médicos [9]. Este trabalho de mestrado propõe o projeto do *ADC* que será integrado no estágio de recepção do transceptor *UWB*. As especificações preliminares do circuito são resumidas na Tabela 1. Estas especificações foram definidas com base no trabalho em andamento dos outros pesquisadores envolvidos no projeto global.

Tabela 1: Principais especificações de projeto do *ADC*.

Parâmetro	Especificação
Nó do processo	180 nm da <i>TSMC</i>
Fonte de alimentação	1,8 V
área	Mínima possível
Consumo de potência	Mínimo possível
Máxima frequência de amostragem ( $f_{s,máx}$ )	20 MS/s
SNDR	>62 [dB]

## 1.2 Objetivos

O objetivo principal deste trabalho é desenvolver um *ADC* para ser utilizado em um transceptor *UWB* em tecnologia *CMOS*, aplicado na detecção de câncer de mama. Assim, os objetivos específicos visando atingir o objetivo principal são:

- Selecionar a arquitetura do *ADC* com base no estudo do estado da arte e um levantamento bibliográfico.
- Projetar o circuito *ADC* com base na topologia escolhida e realizar simulações sobre o esquemático incluindo variações de processo, tensão de alimentação e temperatura (*PVT*).
- Elaborar o *layout* do *ADC* projetado, e realizar simulações *post-layout* avaliando a funcionalidade do bloco com a influência dos elementos parasitários.
- Enviar para fabricação, implementar e fazer o teste do *ADC*.

### 1.3 Convenção de notação

A convenção de notação para a terminologia usada nessa dissertação, é adotada do livro [10] sendo definida como segue. Grandezas instantâneas totais são definidas por símbolos minúsculos com índices maiúsculos, como  $i_{IN}(t)$ ,  $v_{OUT}(t)$ . Grandezas invariantes no tempo (*DC*), são indicadas por letras maiúsculas e índices maiúsculos, por exemplo,  $V_{DD}$ ,  $I_{REF}$ . Além disso, grandezas de sinais incrementais são indicadas por símbolos minúsculos com índices minúsculos, isto é,  $i_d(t)$ ,  $v_g(t)$ . A Figura 2 mostra um exemplo dessas convenções.

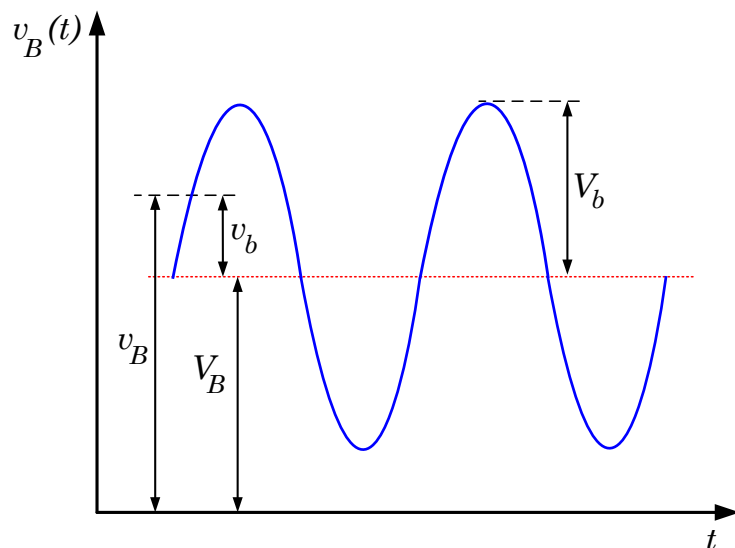


Figura 2: Convenção de notação usada nesta dissertação (adotada de [10]).

Finalmente, se o sinal for senoidal, a sua amplitude é definida por uma letra maiúscula com um índice minúsculo, por exemplo,  $V_b$  como se observa na Figura 2.

## 1.4 Organização do documento

Essa dissertação mostra o estudo e projeto de um *ADC* para ser integrado em um receptor *UWB* aplicado na detecção de câncer de mama e é um resultado das atividades de pesquisa e estudos na área de microeletrônica realizados pelo autor no Laboratório de Sistemas Integráveis — LSI da Universidade de São Paulo — USP entre os anos 2019 e 2021. A pesquisa durante esse período deixou a seguinte publicação na conferência *International Midwest Symposium on Circuits and Systems (MWSCAS)*:

- **Reyes, D.**, Martins, T., Hernandez, H., Van Noije, W. (2020, August). A 10.75-ENOB 20 MS/s SAR ADC for an UWB Transceiver Applied in Breast Cancer Detection in 180 nm CMOS. In 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS). Springfield, MA, USA. (pp. 357-360). IEEE. [11].

O presente documento é organizado como segue. Já apresentada a introdução, no capítulo 2 são revisados fundamentos teóricos do processo de conversão analógico-digital, incluindo a seleção da arquitetura e topologia do *ADC*. Ademais, se realiza um estudo das principais considerações de projeto de cada circuito que compõe o *ADC* com base na arquitetura e topologia escolhida. No capítulo 3 se apresenta a arquitetura implementada e o projeto ao nível de transistor dos circuitos que compõem o *ADC*. Resultados de simulação pós-*layout* também são mostrados. No capítulo 4, é mostrado o *chip* fabricado, são revisadas considerações do projeto da placa de teste e são discutidos resultados experimentais realizados do protótipo. No capítulo 5 conclusões do trabalho são apresentadas e recomendações para trabalhos futuros são sugeridas.

## 2 FUNDAMENTOS TEÓRICOS

Neste capítulo é dada uma introdução ao processo de conversão analógico-digital [12–14]. Além disso, são realizadas as escolhas da arquitetura e topologia do conversor com base no estudo do estado da arte dos *ADCs*. Finalmente, baseado na arquitetura e topologia escolhida, se faz um estudo das considerações que o projetista deve ter para atingir as especificações já definidas com base em levantamento bibliográfico [12–14].

### 2.1 Conversão Analógico-Digital

O processo onde sinais analógicos são representados no seu equivalente código digital é definido como conversão analógico-digital. Atualmente, com o crescimento agressivo na demanda do processamento de sinais e dados em diferentes aplicações, os sistemas de conversão são muito importantes porque permitem fazer a conexão entre o mundo analógico e o mundo digital. Particularmente, o dispositivo que permite fazer a conversão analógico-digital é conhecido como *ADC*. A Figura 3 mostra um exemplo do processo de conversão analógico-digital.

Por um lado, o sinal analógico de entrada ao *ADC*, é contínuo em amplitude e tempo. Por outro lado, o sinal de saída do *ADC*, é discreto tanto em amplitude como no tempo. Para realizar o processo de conversão analógico-digital, duas funções devem ser executadas pelo *ADC*: amostragem e quantização. Amostragem é o processo de obter amostras do sinal de entrada em valores de tempo discretos. A taxa ou frequência de amostragem ( $f_s$ ) determina o intervalo de tempo ( $T_s$ ) entre duas amostras consecutivas. A expressão (2.1) mostra a relação entre estas duas variáveis.

$$T_s = \frac{1}{f_s} \quad (2.1)$$

Para ser possível a reconstrução do sinal processado,  $f_s$  deve obedecer à regra imposta pelo teorema de *Nyquist* [15]. Esta regra define que  $f_s$  seja no mínimo igual a duas vezes

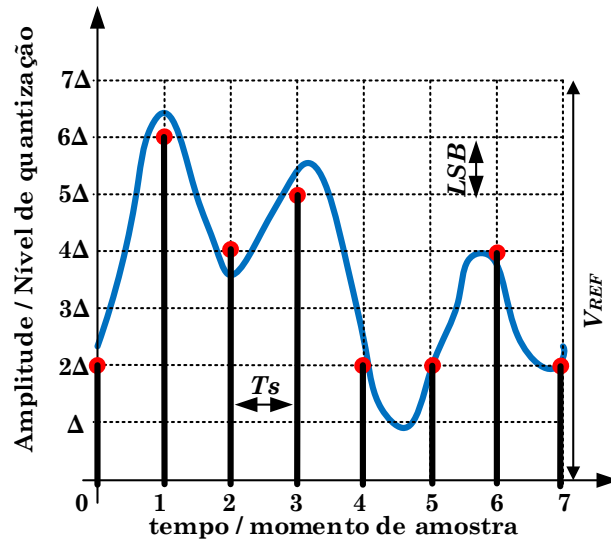


Figura 3: Exemplo da conversão de um sinal analógico (curva azul) na sua representação digital de  $N=3$  bits (pontos vermelhos).

maior que a frequência do sinal amostrado.

De outro modo, uma vez obtidas amostras do sinal de entrada, o *ADC* atribui uma palavra digital a cada amostra com base a uma tensão de referência ( $V_{REF}$ ). Este processo é chamado quantização. A saída digital do *ADC* é definida só para um número finito de códigos dado pelo comprimento da palavra digital. Este comprimento é conhecido como a resolução do conversor (quer dizer, o número de bits  $N$  do conversor). O mínimo valor analógico na entrada que produz uma mudança na saída do *ADC* é definido como passo de quantização e é equivalente ao bit menos significativo (*Least Significant Bit-LSB*) do conversor. Este é dado por

$$\Delta = \frac{V_{REF}}{2^{N-1}} \quad (2.2)$$

Devido à finita resolução do *ADC*, o erro devido ao processo de quantização limita a precisão<sup>2</sup> do conversor. Esta limitação no processo de conversão analógico-digital é definida como erro de quantização ( $\varepsilon_q$ ) e pode-se encontrar como a diferença entre o sinal de entrada original e o sinal na saída do *ADC*. Por exemplo, se um *ADC* ideal de 3 bits é excitado na sua entrada com um sinal tipo rampa, o comportamento da saída digital como função da entrada analógica é mostrado na Figura 4a). Nese caso, o sinal de entrada analógico é aproximado ao nível de quantização mais próximo gerando-se o erro devido ao processo de quantização. Na Figura 4b) se mostra o comportamento do erro de quantização como função da entrada analógica.

<sup>2</sup>A precisão define-se como o erro total com que o conversor pode converter um valor analógico na sua

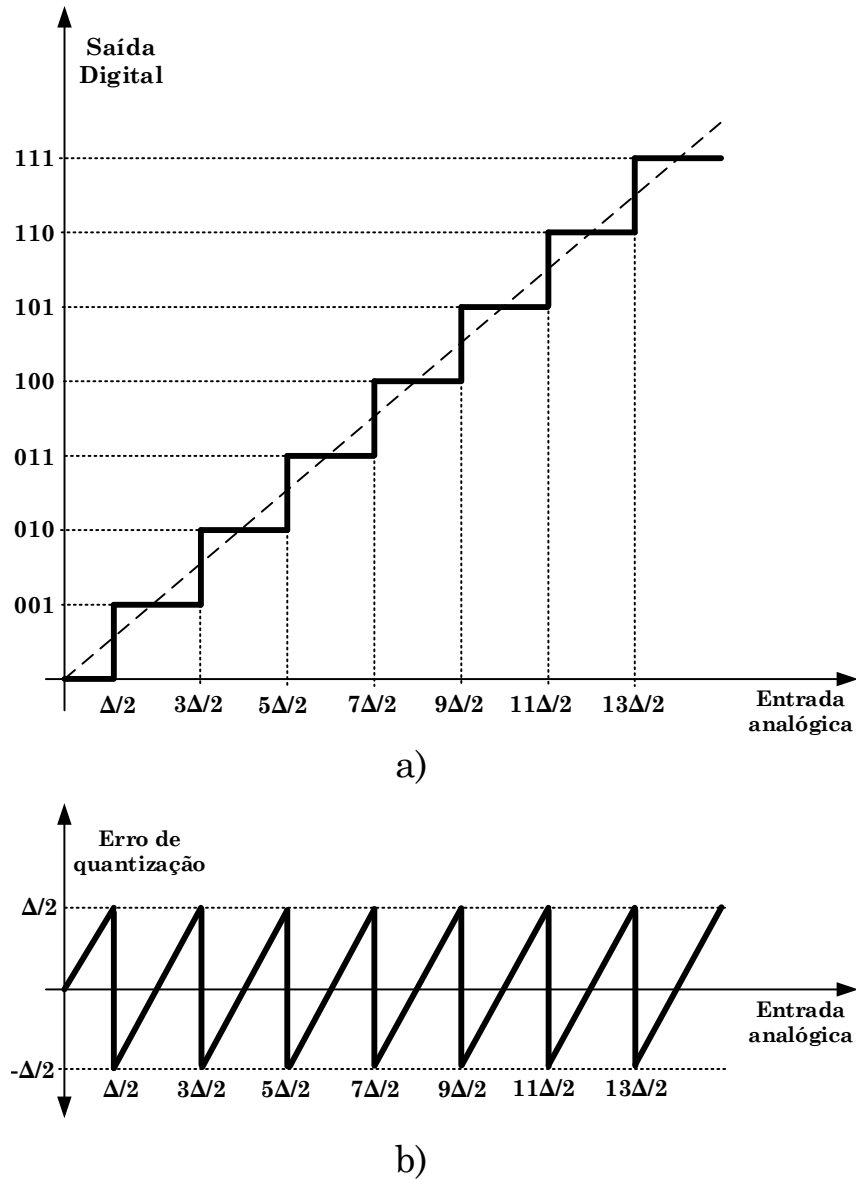


Figura 4: (a) Característica entrada-saída de um ADC ideal de 3 bits; (b) Erro de quantização do *ADC*.

O efeito desse erro pode ser diminuído com o aumento da resolução. Assumindo que este erro é uma função aleatória não-correlacionada distribuída uniformemente entre  $-\frac{\Delta}{2}$  e  $\frac{\Delta}{2}$ , e é independente da entrada, o efeito do  $\varepsilon_q$  pode ser modelado como ruído adicionado na saída do conversor. Este ruído recebe o nome de ruído de quantização. Este erro limita a relação sinal-ruído (*Signal to Noise Ratio-SNR*) do *ADC*. A potência do ruído de quantização se pode encontrar como segue

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} \varepsilon_q^2 d\varepsilon_q = \frac{\varepsilon_q^3}{3\Delta} \Big|_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} = \frac{\Delta^2}{12} \quad (2.3)$$

entrada, incluindo todas as diferentes fontes de erro (quantização, ruído, distorção, etc).



Para realizar o cálculo da relação Sinal-Ruído de quantização (*Signal to quantization noise ratio-S $\overline{\varepsilon}_q^2R$* ), é utilizado como entrada um sinal senoidal puro percorrendo toda a faixa de entrada (*Full Scale-FS*) com potência  $P_s$ . Esta é dada por

$$P_s = \frac{1}{T_{ss}} \int_0^{T_{ss}} \left( \frac{V_{REF}}{2} \right)^2 \sin^2(\omega t) dt = \frac{V_{REF}^2}{8} = \frac{V_{FS}^2}{8} \quad (2.4)$$

onde:  $T_{ss}$  é o período do sinal senoidal,  $t$  é a variável de integração (o tempo),  $\omega$  é a frequência de oscilação em radianos do sinal, e  $V_{FS}$  é o nível total de tensão da faixa de entrada. Juntando os resultados das equações (2.2), (2.3) e (2.4), a  $S\overline{\varepsilon}_q^2R$  pode ser escrita como

$$S\overline{\varepsilon}_q^2R = \frac{P_s}{\varepsilon_q^2} = \frac{\frac{V_{REF}^2}{8}}{\frac{\Delta^2}{12}} = \frac{3}{2} 2^{2N} \quad (2.5)$$

Que pode ser expressa em decibéis (dB) como

$$S\overline{\varepsilon}_q^2R(dB) = 10 \log \frac{3}{2} 2^{2N} = 6,02N + 1,76(dB) \quad (2.6)$$

A equação (2.6) é obtida com base no modelo do erro de quantização já mencionado e é uma aproximação válida para resoluções maiores a 4 bits. No caso ideal que o processo de conversão analógico-digital não seja perturbado por alguma fonte de ruído, a máxima  $SNR$  que pode atingir uma palavra digital de  $N$  bits em uma largura de banda  $\frac{f_s}{2}$  é  $6,02N+1,76$  (dB). Observe que o processo de quantização limita o rendimento do  $ADC$  em termos de linearidade.

### 2.1.1 Figuras de Mérito dos ADC

Devido à sua implementação física, o  $ADC$  sofre de imperfeições gerando um desvio do seu comportamento ideal. Além da limitação em linearidade do  $ADC$  devido ao processo de quantização, limitações em parâmetros de desempenho como: largura de banda, velocidade, consumo de potência, tensão de alimentação, resolução, área, faixa dinâmica, entre outros, são apresentadas no momento de projetar um  $ADC$ . Como vai se explicar no desenvolvimento do projeto e é mostrado na Figura 5, os parâmetros já mencionados dependem uns dos outros, fazendo o projeto do  $ADC$  um problema multidimensional. Ademais, o nó do processo no que for implementado o conversor limita a sua velocidade, linearidade e consumo de potência. Porém, para reduzir a complexidade do problema,

estes últimos três parâmetros foram o ponto de partida para a escolha da arquitetura do conversor como será explicado na próxima seção.

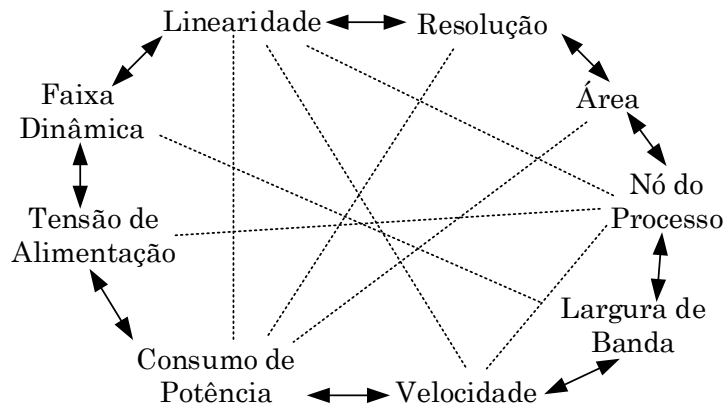


Figura 5: Compromisso entre os principais parâmetros de desempenho no projeto do *ADC*.

Um método para agrupar em uma única quantidade numérica os parâmetros de projeto de um *ADC* tais como velocidade, linearidade e consumo de potência, é utilizar uma figura de mérito (*Figure of Merit-FoM*). Principalmente, uma *FoM* permite encontrar a eficiência dos conversores, mostrando a posição da pesquisa atual, bem como exibindo as tendências em andamento no desenvolvimento dos *ADCs*. Duas figuras de mérito muito adotadas na literatura são a de *Walden* ( $FoM_w$ ) [16] e de *Schreier* ( $FoM_s$ ) [17]. A primeira descreve a energia necessária para cada período de conversão a fim de fornecer informação da eficiência energética do conversor. Esta é definida como

$$FoM_w = \frac{P_{ADC}}{2^{ENOB} \times \min(f_s, 2ERBW)} \left( \frac{fJ}{conv. - step} \right) \quad (2.7)$$

onde:  $P_{ADC}$  é a potência consumida pelo conversor operando à frequência de amostragem  $f_s$ ,  $ENOB$  é o número efetivo de bits do conversor<sup>3</sup> e  $ERBW$  é a largura de banda do conversor<sup>4</sup>. A máxima  $ERBW$  medida é limitada pelo teorema do *Nyquist* à metade da  $f_s$ . Uma baixa  $FoM_w$  indica que o conversor usa menos energia no processo de conversão analógico-digital, portanto é melhor.

A seguir, a  $FoM_s$  é dada por

$$FoM_s = SNDR + 10 \log_{10} \left( \frac{ERBW}{P_{ADC}} \right) (dB) \quad (2.8)$$

Principalmente, a expressão (2.8) considera linearidade, velocidade e consumo de potência do *ADC*. Em geral, e como será explicado mais tarde, para obter um melhor desempenho (por exemplo, diminuir o efeito do ruído térmico em um circuito), se requer

valores de capacitores proporcionalmente mais altos, que precisam ser carregados com correntes proporcionalmente maiores, portanto aumentando o consumo de potência. Por exemplo, assumindo uma  $ERBW$  constante, para ganhar 6 dB na  $SNDR$  da expressão (2.8), precisa se aumentar 4 vezes o consumo de potência.

## 2.2 Seleção da Arquitetura e topologia

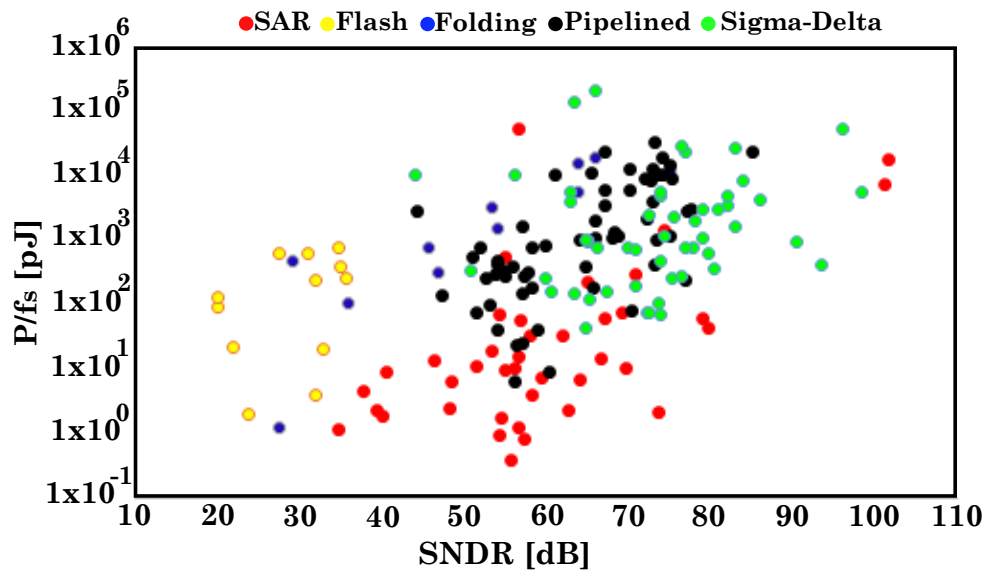


Figura 6: Energia contra linearidade de alguns conversores do estado da arte [18].

Na prática, diferentes arquiteturas de conversores são expostas e estudadas na literatura. As mais comuns são: *Successive approximation register (SAR)*, *Flash*, *Folding*, *Pipelined* e *Sigma-Delta*. Cada uma tem suas vantagens e desvantagens devido às suas limitações na implementação. Algumas arquiteturas são ideais para aplicações de alta velocidade, enquanto outras são ótimas para obter maior linearidade ou menor consumo de potência. Na Figura 6, mostram-se os resultados em termos de energia<sup>5</sup> e linearidade de uma coleção de trabalhos do estado da arte apresentados nos últimos anos de diferentes arquiteturas de conversores (dados obtidos de [18]). Só projetos implementados em tecnologia *CMOS* foram considerados. Com base na Figura 6, conclui-se que a arquitetura *SAR* é a solução mais eficiente em termos de energia para o objetivo de projeto que se quer atingir: um *ADC* com uma  $SNDR$  maior a 62 dB operando numa frequência de amostragem de 20 MS/s. Na seguinte seção, a implementação típica da arquitetura *SAR* será explicada. Ficará claro que a arquitetura *SAR* dificilmente pode combinar alta

<sup>3</sup>O número efetivo de bits ( $ENOB$ ) é a relação sinal/ruído e distorção (*Signal to Noise and Distortion Ratio-SNDR*) expressada em bits.

<sup>4</sup>A largura de banda (*Effective Resolution Bandwidth-ERBW*) é a frequência do sinal de entrada onde o  $ENOB$  do *ADC* irá cair 0,5 bits em relação ao valor do  $ENOB$  testado em baixa frequência.

velocidade com alta resolução. Posteriormente, diferentes técnicas para implementar o algoritmo *SAR* propostas nos últimos anos na literatura serão revisadas.

### 2.2.1 Estado da arte do conversor *SAR*

A primeira especificação que define um conversor é a sua arquitetura. O algoritmo de conversão com que o *ADC* realiza o processo de conversão analógico-digital normalmente define a arquitetura do *ADC*. Particularmente, o conversor *SAR* implementa um algoritmo baseado em aproximações sucessivas para encontrar a palavra digital que melhor descreve à entrada analógica. Devido que a arquitetura *SAR* foi a escolhida, a compreensão do funcionamento da implementação do circuito típico é útil.

A Figura 7 mostra o esquemático e o diagrama no tempo de um *SAR ADC* de 3 bit baseado no princípio de distribuição de carga [19, 20]. Este é composto por um conversor Digital-Analógico (*Digital-to-Analog Converter-DAC*) capacitivo, um comparador e o circuito que implementa a lógica *SAR*. Uma explicação detalhada de cada circuito será apresentada na seção 2.3. O relógio  $clk_{IN}$  serve como referência para cada operação que realiza o conversor.

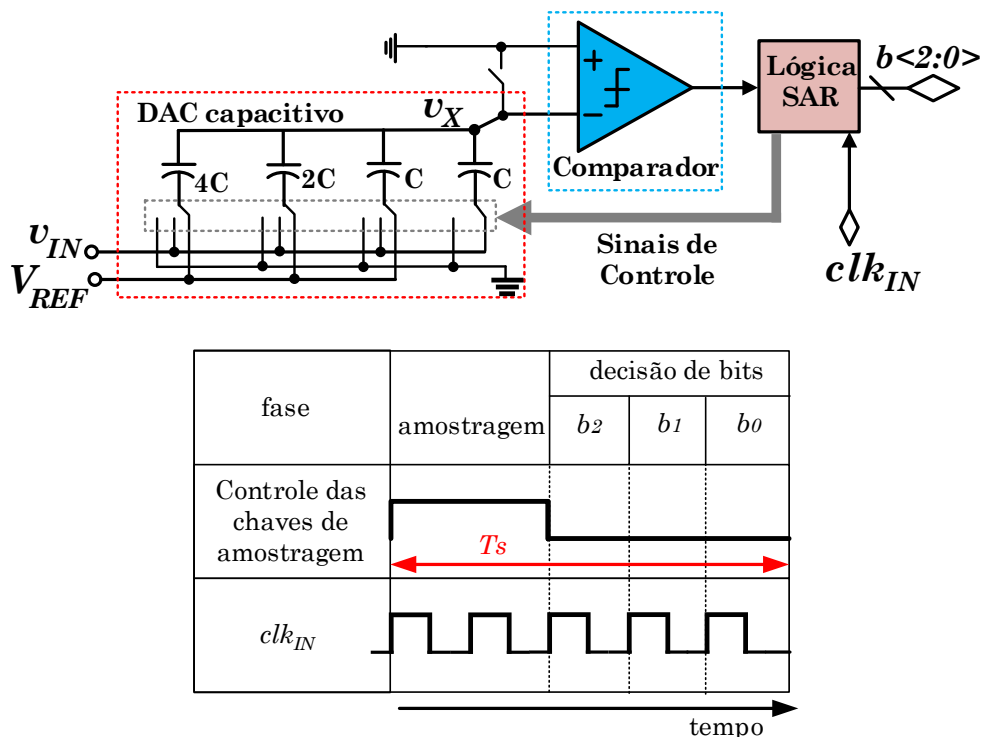


Figura 7: Esquemático e diagrama no tempo de um *SAR ADC* de 3 bits.

O conversor opera em duas fases: amostragem e decisão de bits. Na fase de amostra-

<sup>5</sup>Energia é o consumo de potência  $P$  dividido pela frequência de amostragem  $f_s$ .

gem, a tensão de entrada analógica ( $v_{IN}$ ) é conectada às placas inferiores dos capacitores do *DAC* através de chaves de amostragem *CMOS*, e as placas superiores (nó  $v_X$  no esquemático) são conectadas a terra.

A carga armazenada na fase de amostragem no *DAC* é igual a

$$Q_{amostragem} = (4C + 2C + C + C)v_{IN} = 8Cv_{IN} \quad (2.9)$$

Quando a fase de amostragem terminar (borda de descida do sinal *controle das chaves de amostragem* na Figura 7), as chaves de amostragem desconectam o sinal de entrada do *DAC* enquanto a chave que conecta  $v_X$  a terra deixa de conduzir iniciando a fase de decisão de bits. Para a avaliação do bit mais significativo (*Most Significant Bit-MSB*), a placa inferior do capacitor com ponderação  $4C$  é conectada à tensão de referência  $V_{REF}$  enquanto as placas inferiores dos demais capacitores são conectadas à terra. A carga nos capacitores pode-se encontrar como

$$Q_{MSB} = 4C(V_{REF} - v_X) + (2C + C + C)(0 - v_X) = 4CV_{REF} - 8Cv_X \quad (2.10)$$

Com base no princípio de conservação da carga,  $Q_{MSB}$  é igual a  $Q_{amostragem}$ . Juntado os resultados obtidos nas equações 2.10 e 2.9 se obtém  $v_X$  como

$$v_X = \frac{V_{REF}}{2} - v_{IN} \quad (2.11)$$

O valor de  $v_X$  é amplificado por meio do comparador. Se  $v_X < 0$ , o resultado desta comparação é “1” e é “0” se  $v_X > 0$ . Supondo que  $v_X < 0$ , “1” é armazenado no bit *MSB* ( $b_2$ ). Para avaliar  $b_1$ , a placa inferior do capacitor  $4C$  é mantida em  $V_{REF}$ , a tensão da placa inferior do capacitor  $2C$  comuta de terra para  $V_{REF}$  e as placas inferiores dos demais capacitores se mantêm conectadas a terra. Neste caso, a carga nos capacitores é

$$Q_{MSB-1} = (4C + 2C)(V_{REF} - v_X) + (C + C)(0 - v_X) = 6CV_{REF} - 8Cv_X \quad (2.12)$$

De novo,  $Q_{MSB-1}$  é igual a  $Q_{amostragem}$ , porém  $v_X$  vai mudar para

$$v_X = \frac{3V_{REF}}{4} - v_{IN} \quad (2.13)$$

O comparador agora vai decidir se  $\frac{3V_{REF}}{4} < v_{IN}$ . Se esta condição for válida, o resultado desta comparação é “1”, pelo contrário é “0”. Supondo que a condição anterior não é validada pelo comparador, então “0” é armazenado no bit  $b_1$ . Para a avaliação do *LSB* ( $b_0$ ) da palavra digital de saída do conversor, a placa inferior do capacitor  $4C$  é mantida em  $V_{REF}$ , a tensão da placa inferior do capacitor  $2C$  comuta de  $V_{REF}$  para terra, devido ao resultado obtido no bit  $b_1$ , e a tensão na placa inferior do capacitor  $C$  comuta de terra para  $V_{REF}$ . Assim a carga nos capacitores será

$$Q_{LSB} = (4C + C)(V_{REF} - v_X) + (2C + C)(0 - v_X) = 5CV_{REF} - 8Cv_X \quad (2.14)$$

Portanto, o comparador vai decidir se

$$\frac{5V_{REF}}{8} < v_{IN} \quad (2.15)$$

Assumindo que a condição (2.15) é validada pelo comparador, “1” vai se armazenar em  $b_0$ . Finalmente, a palavra digital na saída do conversor é 101. Além do tempo requerido para a obtenção da amostra, o algoritmo *SAR* requer  $N$  passos para encontrar uma palavra digital de  $N$ -bits, quer dizer, na medida que aumenta o número de bits do conversor *SAR*, o tempo requerido para a decisão dos bits também o faz. Dessa maneira, a arquitetura *SAR* dificilmente pode combinar alta velocidade com alta resolução. Isso confirma que a arquitetura *SAR* é eficiente para resoluções intermediárias como foi mostrado na Figura 6.

A arquitetura *SAR* tem sido muito estudada nos últimos anos pela indústria e pesquisadores. Os principais escopos nas pesquisas são desenvolver novas técnicas e otimizações, devido à sua alta eficiência no processo de conversão. Baixo consumo de potência em resoluções e velocidades médias são suas principais vantagens. É muito difícil expor todos os avanços, estudos e melhorias feitas nos últimos anos na arquitetura *SAR* e isso está fora do escopo deste trabalho de mestrado, mas algumas técnicas expostas em trabalhos recentes foram revisadas.

A limitação principal dessa topologia é a relação exponencial entre o número de bits do *ADC* e o número de capacitores para implementar o *DAC* capacitivo. Para cada bit extra de resolução do *ADC*, precisa-se do dobro de área para o *DAC*. Como vai ser explicado na próxima seção, uma capacitância equivalente no *DAC* muito grande limita a largura de banda (velocidade) do conversor, além de aumentar consideravelmente

o consumo de potência. Visando diminuir a área do *DAC*, diferentes estruturas *SAR* têm sido apresentadas tais como: o *DAC* C-2C [21], *DAC* com capacitor ponte [22], *DACs* híbridos, resistivo-capacitivo (RC) [23, 24], ou MOSFET-capacitivo (MOS-CAP) [25]. Dessa forma, além de reduzir a área total ocupada, essas estruturas permitem ter um tempo de estabilização para o *DAC* maior e um menor consumo de energia do conversor.

Para reduzir ainda mais o consumo de energia, diferentes esquemas de chaveamento no *DAC* para a decisão dos  $N$  bits do *ADC* têm sido desenvolvidos para implementar o algoritmo *SAR*, pois o esquema convencional é pouco eficiente. A tabela 2 mostra uma comparação das características de alguns dos esquemas de chaveamento propostos na literatura, tendo como referência o chaveamento convencional. Embora este esquema de chaveamento consiga executar o algoritmo *SAR* corretamente, a sua implementação é ineficiente devido ao desperdício de energia durante o processo de conversão analógico-digital.

Tabela 2: Desempenho de alguns esquemas de chaveamento para implementação do algoritmo *SAR*.

Esquema de chaveamento	Total de capacitores	Total de chaves	Tensão de modo comum	Energia de chaveamento <sup>6</sup>	Tipo de amostragem	Número de tensões de referência
Convencional [19, 20]	$2^N$	$2^{N+1}$	constante	100%	<i>bottom-plate</i>	1
<i>Split-capacitor</i> [27]	$2^N$	$2^{N+2}$	constante	62%	<i>bottom-plate</i>	1
<i>Energy-Saving</i> [28]	$2^N$	$2^{N+2}$	constante	43%	<i>bottom-plate</i>	1
<i>Monotonic</i> [29]	$2^{N-1}$	$2^N$	variável	18%	<i>top-plate</i>	1
<i>Merged-Capacitor</i> [30]	$2^{N-1}$	$2^N$	constante	6%	<i>top-plate</i>	2
<i>Charge-average</i> [31]	$2^{N-1}$	$2^{N+1}$	constante	4%	<i>top-plate</i>	1

A Figura 8 mostra a implementação diferencial da arquitetura *SAR* com chaveamento convencional. O funcionamento do circuito segue o mesmo princípio de conservação da carga que foi explicado anteriormente. A implementação do chaveamento convencional é pouco eficiente em termos de energia principalmente por duas razões. Por um lado, na fase da decisão dos bits, o consumo de energia nas transições de carga e descarga dos capacitores não é equilibrado. Por outro lado, a maior quantidade de energia é consumida carregando os capacitores de maior ponderação do *DAC*, quer dizer, nas decisões dos primeiros bits. O consumo de energia médio de um *SAR ADC* de  $N$  bits aplicando o esquema de chaveamento convencional é dado por [26]

$$E_{conv} = \xi \sum_{i=1}^N 2^{N+1-2i} (2^i - 1) C V_{REF}^2 \quad (2.16)$$

<sup>6</sup>Nessa coluna são reportados os consumos de energia médio dos esquemas de chaveamento revisados da literatura neste trabalho. Por simplicidade, cada valor reportado nessa coluna é normalizado em função da expressão encontrada em 2.16.

onde  $\xi$  é um parâmetro que depende do esquema de chaveamento implementado. No caso do chaveamento convencional,  $\xi=1$  (impondo um valor de energia médio normalizado em porcentagem igual a 100%) [19, 20]. Na fase de amostragem dessa implementação, o sinal de entrada diferencial ( $v_{IN+}-v_{IN-}$ ) é ligado às placas inferiores dos capacitores dos *DACs*, enquanto as placas superiores (nós  $v_{X+}$  e  $v_{X-}$ ) são ligadas a uma tensão de modo comum ( $V_{CM}$ ). Por causa disso, a tensão de modo comum no comparador é igual a  $V_{CM}$  e constante na fase da decisão dos bits.

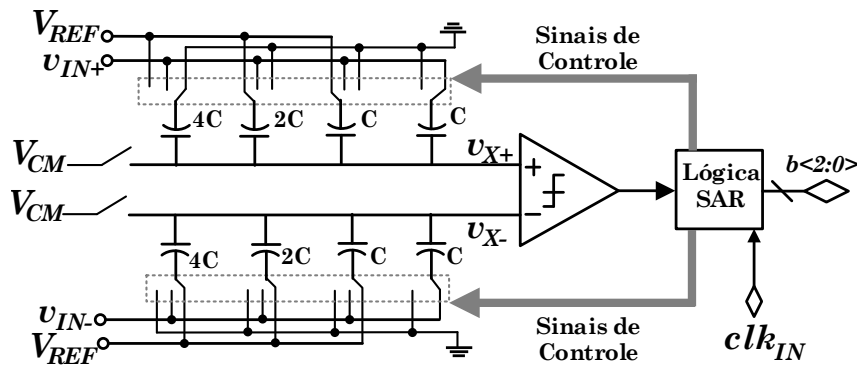


Figura 8: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento convencional.

Em [27], é proposto o esquema de chaveamento *split-capacitor* que reduz o consumo de energia no chaveamento em um percentual de 38% (nesse caso,  $\xi=0.62$  na equação 2.16) comparado ao chaveamento convencional. Essa redução de energia é atingida equilibrando o consumo de energia nas transições de carga e descarga dos capacitores e diminuindo a energia consumida nas decisões dos primeiros bits ao dividir o capacitor de maior ponderação nos *DACs* ( $4C$  na Figura 8) em sub-*DACs* ( $2C-C-C$ ), como é mostrado na Figura 9. Conseqüentemente, são requeridos o dobro de chaves para executar o chaveamento no *DAC* e o algoritmo para implementar a lógica *SAR* é mais complexo. O processo de amostragem é semelhante ao da implementação do chaveamento convencional.

O trabalho [28] propõe o chaveamento chamado de *energy-saving*. Dessa maneira, o consumo de energia médio, devido ao chaveamento no *DAC*, é diminuído em um percentual de 57% (usando o resultado da equação 2.16, nesse caso,  $\xi=0.43$ ), tendo como referência o chaveamento convencional. A fim de reduzir o consumo de energia durante as transições na decisão dos bits, diferente do [27], nesse esquema não é dividido o capacitor *MSB* do *DAC*, mas sim o capacitor *MSB-1*, como é mostrado na Figura 10. Ademais, para diminuir o consumo de energia na primeira transição do chaveamento, todas as placas inferiores dos capacitores que compõem o *DAC* são descarregadas a terra. Conseqüentemente, nessa transição o *DAC* não consome energia. O sinal de entrada diferencial é ligado às placas inferiores dos capacitores do *DAC*, enquanto as placas superiores são



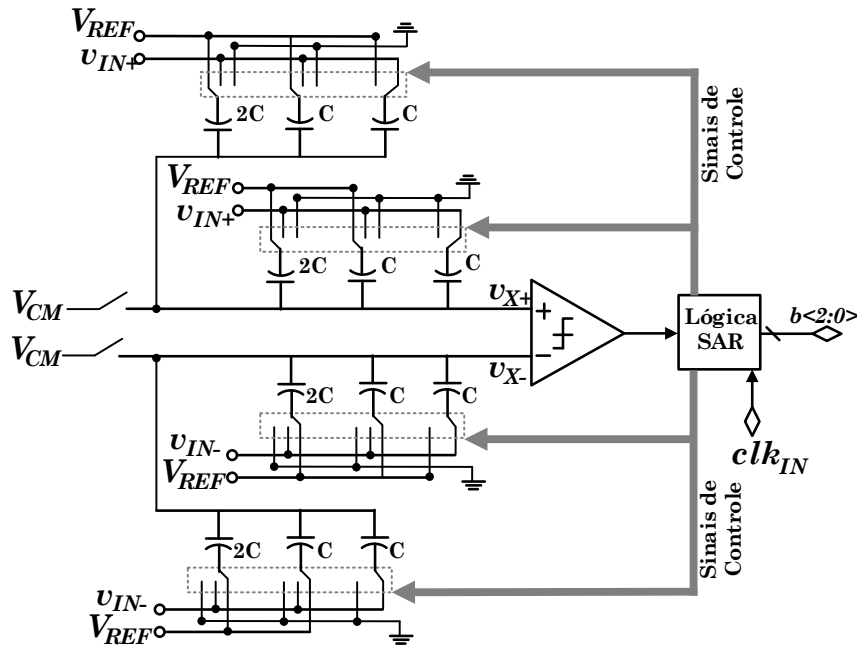


Figura 9: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento *split-capacitor*.

ligadas à tensão de alimentação ( $V_{DD}$ ) na fase de amostragem. Nesse caso, devido à implementação do chaveamento, a tensão de modo comum no comparador é constante e converge para  $V_{DD}/2$  na fase da decisão dos bits.

Até agora, todos os trabalhos citados, que propõem algum esquema de chaveamento, ligam o sinal de entrada às placas inferiores dos capacitores que compõem o *DAC* na fase de amostragem. Esta técnica é conhecida como *bottom-plate sampling*. De outra forma, em [29], é implementada a técnica *top-plate sampling*. Esse tipo de chaveamento é chamado de *Monotonic*. Nesse caso, na fase de amostragem, o sinal diferencial de entrada analógico é ligado às placas superiores (nós  $v_{X+}-v_{X-}$  na Figura 11) dos capacitores que compõem o *DAC* diferencial, enquanto as placas inferiores são ligadas a  $V_{REF}$ . Particularmente em tal caso, o *MSB*, na saída do conversor, é encontrado sem fazer chaveamento nos *DACs*, porque as tensões armazenadas nas placas superiores de cada *DAC* na fase de amostragem são comparadas diretamente começando a fase de decisão dos bits. Graças a isso e ao chaveamento monotônico, comparado ao convencional, esse esquema consegue diminuir o consumo de energia médio, devido ao chaveamento no *DAC*, em uma porcentagem até de 82% (nesse caso,  $\xi=0.18$  na equação 2.16), além de que a área dos *DACs* diminui pela metade. Devido à implementação do chaveamento, nesse caso, a tensão de modo comum no comparador é variável e converge para terra na fase da decisão dos bits. Isso gera não linearidade pela dependência entre o *offset* do comparador e os valores armazenados da tensão de entrada no *DAC*.

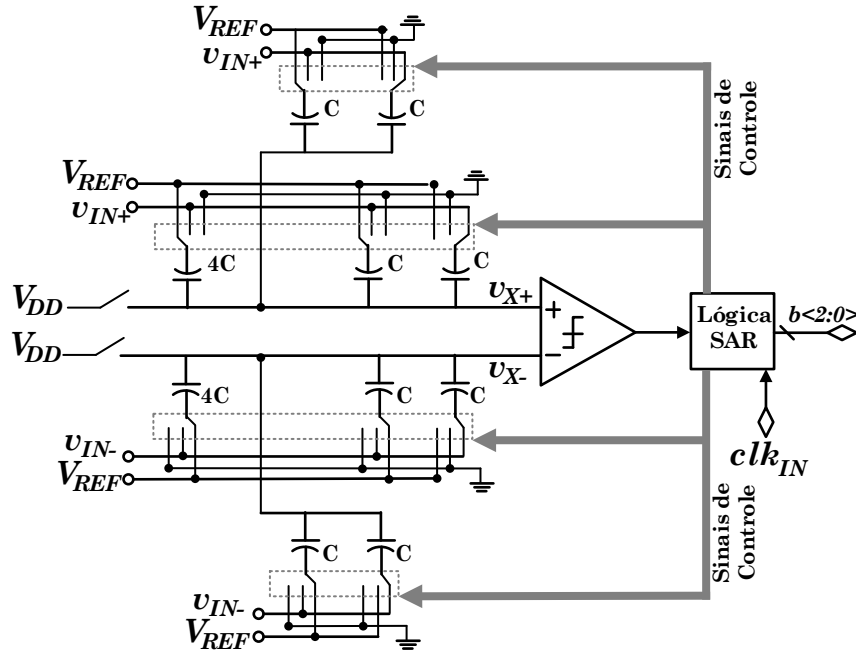


Figura 10: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento *energy-saving*.

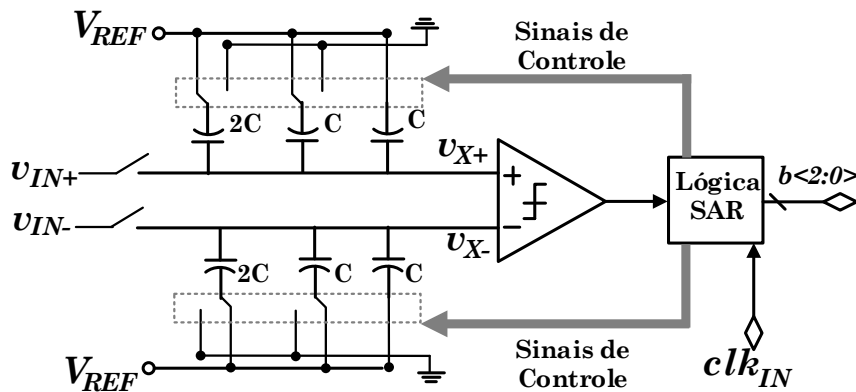


Figura 11: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento *monotonic*.

Como uma solução para isso e para reduzir a energia média que consome o *DAC*, em [30], é proposto o esquema de chaveamento *merged-capacitor*. A Figura 12 mostra a implementação desse esquema de chaveamento. Da mesma forma que o esquema anterior, a tensão de entrada diferencial é aplicada nas placas superiores dos capacitores do *DAC*, porém, as placas inferiores são ligadas a uma tensão  $V_{CM}$  na fase de amostragem. Assim, a tensão de modo comum no comparador é constante e igual a  $V_{CM}$  na fase da decisão dos bits. Ademais, comparado a [29], uma redução em até 12% (nesse caso,  $\xi=0.06$  na equação 2.16), de energia média que consome o *DAC* pode ser alcançada.

O esquema de chaveamento *charge-average* é proposto em [31]. Nesse caso, suponha a implementação mostrada na Figura 13. Nesse trabalho, várias estratégias já apresentadas

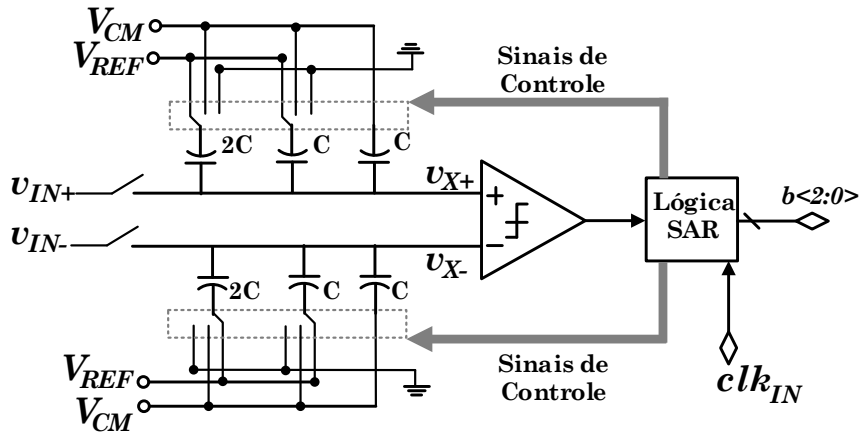


Figura 12: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento *merged-capacitor*.

nos trabalhos anteriores são utilizadas. Por um lado, é utilizada a técnica *top-plate sampling* e aproveita-se a vantagem de usar *DACs* de  $N-1$  bits para implementar o *ADC* de  $N$  bits, semelhante aos trabalhos [29, 30]. Por outro lado, os capacitores de maior ponderação nos *DACs* são divididos em sub-*DACs* semelhante a [27]. A diferença dos demais esquemas de chaveamento apresentados até agora, em [31] não são carregados (ou descarregados) diretamente todos os capacitores por meio da fonte de alimentação em toda a fase de decisão dos bits. Isso é atingido fazendo chaveamento entre as placas inferiores dos capacitores que compõem cada *DAC* da estrutura diferencial e, assim, a carga é distribuída para encontrar a palavra digital por meio do algoritmo *SAR*. Como consequência disso, o consumo de energia devido ao chaveamento no circuito *DAC* é reduzido em um percentual de 96% ( $\xi=0.04$ ) em comparação ao esquema de chaveamento convencional e não é necessária uma tensão de referência extra. Por outro lado, mais chaves para ligar (ou desligar) as placas inferiores dos capacitores que compõem cada *DAC* da estrutura diferencial são necessárias, aumentando a complexidade da implementação da lógica *SAR*.

Observe que todos os esforços para atingir boa eficiência em termos de energia no chaveamento do *DAC* acarrega penalidades no projeto, tais como: capacitores, chaves e tensões de referência extras no *DAC*, mudança na tensão de modo comum do comparador (que se traduz em não linearidade na saída do conversor), complexidade na implementação da lógica, entre outras. Com base no antes dito, a topologia escolhida para implementar a arquitetura *SAR* neste trabalho é baseada no esquema *merged-capacitor*. Embora uma tensão de referência extra seja necessária no *DAC*, esse tipo de chaveamento é eficiente para atingir algumas das principais especificações do projeto definidas: mínimo consumo de área e potência, e bom desempenho em termos de velocidade e linearidade. Além

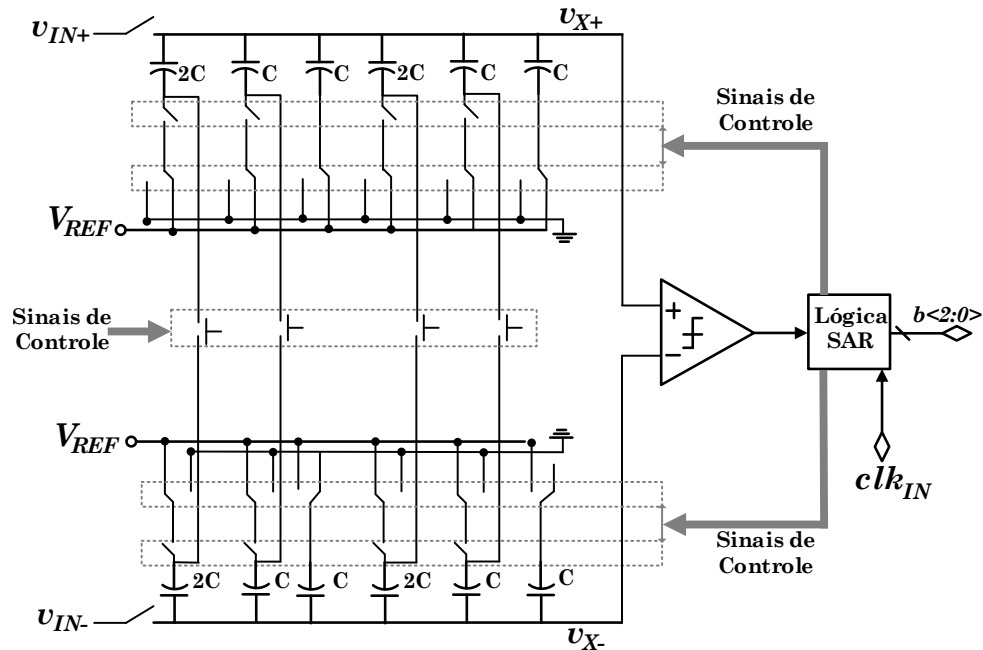


Figura 13: Implementação diferencial para uma arquitetura *SAR ADC* de 3 bits com chaveamento *charge-average*.

disso, devido à semelhança entre esse esquema e o *monotonic*, a implementação da lógica proposta nesse último pode ser aproveitada diminuindo a complexidade do projeto que se quer desenvolver. Com ajuda da expressão (2.6), para atingir 62 dB na linearidade do *ADC* só considerando a degradação devido ao erro do processo de quantização, a especificação mínima no número efetivo de bits para o conversor deve ser 10. Todavia, para permitir alguma degradação na implementação do *ADC* devido às diferentes fontes de ruído e distorção, uma resolução de 11 bits foi selecionada.

Seguindo, as principais considerações no projeto dos circuitos que compõem a topologia escolhida foram revisadas da literatura e são apresentadas.

## 2.3 Considerações de Projeto

Conforme explicado na seção 2.1 do atual capítulo, no processo de conversão analógico-digital, duas funções são realizadas: amostragem e quantização. Para um conversor *SAR*, o processo de amostragem é feito pelo circuito de rastreamento e retenção (*Track and Hold — T&H*). Por outro lado, o processo de quantização é realizado pelo circuito *DAC* e o circuito comparador. O circuito lógico do conversor implementa o algoritmo *SAR*, controla os circuitos já mencionados e entrega a palavra digital na saída do *ADC*. Nesta seção, análises e considerações do projeto de cada circuito são revisadas.

### 2.3.1 Circuito de rastreamento e retenção ( $T\&H$ )

A Figura 14 mostra a implementação típica do circuito  $T\&H$ . Este é composto por uma capacitância de amostragem ( $C_s$ ) e uma chave de amostragem ( $CH_s$ ) controlada por um sinal de relógio ( $clk_S$ ), operando numa certa frequência de amostragem ( $f_s$ ). O circuito  $T\&H$  tem dois modos de operação: rastreamento e retenção. Em modo rastreamento, a chave conduz ( $clk_S=V_{DD}$ ) e a tensão de saída ( $v_{OUT}$ ) segue à tensão de entrada ( $v_{IN}$ ). No instante da borda de descida de  $clk_S$ , o valor da tensão da amostra é obtido. Em modo retenção, a chave deixa de conduzir ( $clk_S=0$ ) e o valor da tensão da amostra obtida fica armazenada como carga no  $C_s$  até uma nova borda de subida de  $clk_S$  acontecer. Dependendo da arquitetura,  $CH_s$  pode ser fisicamente implementada por dispositivos  $PMOS$ ,  $NMOS$  ou  $CMOS$ . Por outro lado, na arquitetura  $SAR$ ,  $C_s$  é composto pelo  $DAC$  capacitivo. Devido à implementação física, as chaves  $MOS$  sofrem várias imperfeições. A seguir, serão analisadas as considerações de projeto mais importantes com base em uma implementação de chave  $NMOS$ . Na sub-seção 2.3.2 o estudo das considerações de projeto do  $DAC$  capacitivo serão explicadas.

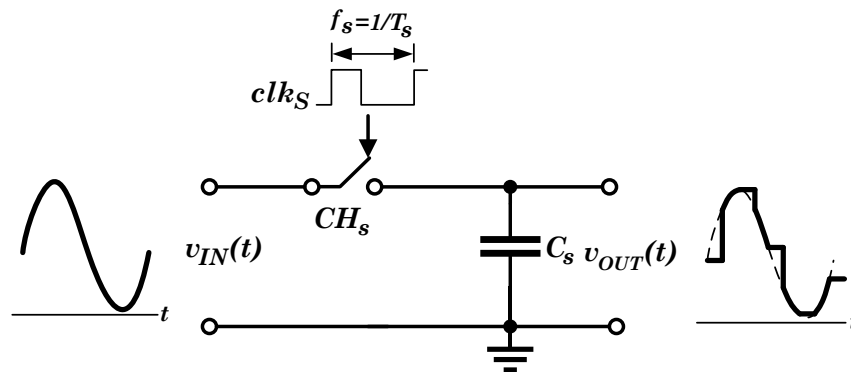


Figura 14: Implementação do circuito  $T\&H$ .

#### 2.3.1.1 Resistência finita da chave

Quando o transistor  $NMOS$  é usado como chave no circuito  $T\&H$  (consulte à Figura 15a) e opera em modo rastreamento (a tensão na porta da chave é igual a  $V_{DD}$  e a tensão entre dreno e fonte é pequena), a resistência entre dreno e fonte devido à implementação física é igual a

$$R_s = \frac{1}{\mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{th})} \quad (2.17)$$

onde:  $\mu_n$  é a mobilidade do elétron no canal,  $C_{ox}$  é a capacitância do óxido de porta

por unidade de área,  $W$  e  $L$  são a largura e comprimentos efetivos do dispositivo respectivamente,  $v_{GS}$  é a tensão entre os terminais de porta e fonte e  $V_{th}$  é a tensão de limiar do transistor. A expressão (2.17) mostra que o valor resistência da chave  $R_s$  depende da diferença de tensão  $v_{GS} - V_{th}$ . Por um lado, no modo de rastreo a tensão  $v_{GS}$  é igual a  $V_{DD} - v_{IN}$ , portanto  $R_s$  depende do nível de tensão de entrada, causando distorção no sinal de saída do  $T\&H$ . Por outro lado, a tensão de limiar do transistor  $NMOS$  é dada por

$$V_{th} = V_{th0} + \gamma_b \left( \sqrt{|2\Phi_F + v_{SB}|} - \sqrt{|2\Phi_F|} \right) \quad (2.18)$$

onde:  $V_{th0}$  é a tensão de limiar do transistor sem efeito corpo,  $\gamma_b$  é um coeficiente do efeito corpo,  $\Phi_F$  é o potencial de Fermi e  $v_{SB}$  é a diferença de tensão entre os terminais de fonte e corpo do transistor  $NMOS$  [32]. A expressão (2.18) mostra que  $V_{th}$  depende de  $v_{SB}$ . No caso da implementação do circuito  $T\&H$  da Figura 15a,  $v_{SB}$  é igual a  $v_{IN}$ . Juntando as expressões (2.17) e (2.18), se pode concluir que devido ao efeito corpo,  $R_s$  varia em função do nível de tensão de entrada, causando distorção no sinal de saída do  $T\&H$ <sup>7</sup>.

Além disso, para níveis de tensão de entrada maior do que  $V_{DD} - V_{th}$ , a resistência da chave será infinita, portanto, limitando a faixa dinâmica na entrada do conversor.

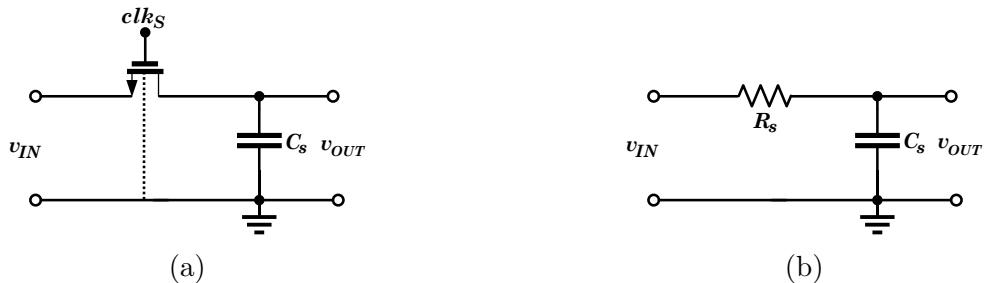


Figura 15: (a) Circuito  $T\&H$  implementado com chave  $NMOS$ ; (b) Circuito equivalente em modo rastreamento.

### 2.3.1.2 Largura de banda

No modo rastreo, o circuito  $T\&H$  forma uma rede  $RC$  como se mostra na Figura 15b. A frequência de corte da rede  $RC$  é dada por

$$f_{-3dB} = \frac{1}{2\pi R_s C_s} \quad (2.19)$$

<sup>7</sup>Neste documento, salvo seja indicado o contrário, é assumido que os terminais de corpo dos transistores  $PMOS$  e  $NMOS$  são ligados a  $V_{DD}$  e terra, respectivamente.

A equação (2.19) define que o circuito  $T\&H$  limita a largura de banda do conversor. Idealmente, obedecendo ao teorema de *Nyquist*, a largura de banda do  $T\&H$  deve ser maior a  $\frac{f_s}{2}$ . Se o  $T\&H$  for projetado com pouca largura de banda (menor a  $\frac{f_s}{2}$ ), o sinal amostrado sofrerá atenuação diminuindo o  $ERBW$  do conversor.

### 2.3.1.3 Tempo de estabilização

O tempo de estabilização no circuito  $T\&H$  operando em modo de rastreamento pode ser analisado aplicando à entrada do circuito um pulso do tipo *Heaviside* de escala completa como se mostra na Figura 16. O sinal de saída no tempo pode ser expresso como

$$v_{OUT}(t) = (V_{DD} - V_{th})(1 - e^{-\frac{t}{R_s C_s}}) \quad (2.20)$$

Se o sinal na entrada no  $T\&H$  muda instantaneamente, seria desejável que sua saída também o fizesse. Porém, pela limitada largura de banda do circuito, o sinal de saída precisa de suficiente tempo para se estabilizar. Para ter suficiente tempo para o sinal de saída no  $T\&H$  se estabilizar, o tempo em modo rastreamento do circuito pode ser maior. Assim, o tempo de estabilização no circuito  $T\&H$  limita a máxima velocidade de operação do conversor.

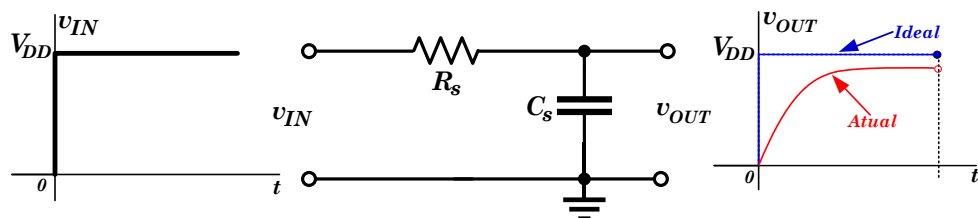


Figura 16: Circuito para a análise do tempo de estabilização do  $T\&H$ .

### 2.3.1.4 Ruído térmico

Ruído térmico gerado pela chave perturbará o sinal de saída através da rede  $RC$ . Este é igual a

$$\overline{V}_n^2 = 4K_B T_k R_s BW \quad (2.21)$$

onde  $K_B$  é a constante de Boltzmann,  $T_k$  é o valor absoluto da temperatura em Kelvin e  $BW$  é a largura de banda do espectro do ruído térmico. A quantidade média de ruído gerada no sinal de saída através do capacitor de amostragem  $C_s$  pode ser encontrada

integrando a sua versão filtrada através da rede  $RC$  em todas as frequências do ruído térmico gerado pela chave, isso dá

$$\overline{V}_{n,out}^2 = \int_0^\infty \frac{4K_B T_k R_s}{1 + (2\pi f R_s C_s)^2} df = \frac{K_B T_k}{C_s} \quad (2.22)$$

A equação (2.22) mostra que o ruído médio gerado na saída do circuito não depende do valor de  $R_s$ , mas é determinado pela capacitância de amostragem  $C_s$ . Intuitivamente, isso ocorre porque se, por um lado, para valores maiores de  $R_s$  o ruído térmico gerado pela chave é maior. Por outro lado, a largura de banda do circuito diminui na mesma proporção.

### 2.3.1.5 Injeção de carga

A carga na camada de inversão armazenada no canal condutivo quando a chave funciona no modo de rastreamento, causará uma queda de tensão no sinal de saída porque, quando a chave é desligada, essa carga abandona o canal e fluirá para o dreno e a fonte da chave. Em condições de inversão forte, a carga acumulada pode ser expressa aproximadamente como

$$Q_{ch} \approx C_{ox} W L (v_{GS} - V_{th}) \quad (2.23)$$

Esse efeito muda o valor da tensão armazenada em  $C_s$  e gera distorção na saída do  $T\&H$  porque depende do nível de tensão de entrada. Além disso, a carga injetada nos terminais de dreno e fonte depende das impedâncias vistas nesses nós e do tempo de borda descendente do  $clk_S$  [33], veja a Figura 17.

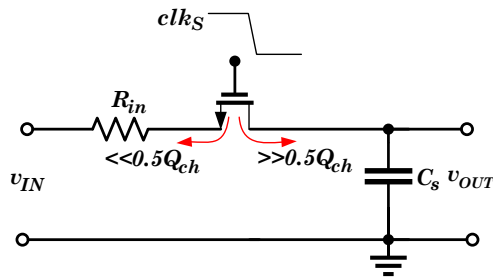


Figura 17: Circuito para análise de injeção de carga. A carga procura o caminho de impedância mais baixa,  $R_{in}$  é a resistência de entrada equivalente da fonte do sinal.



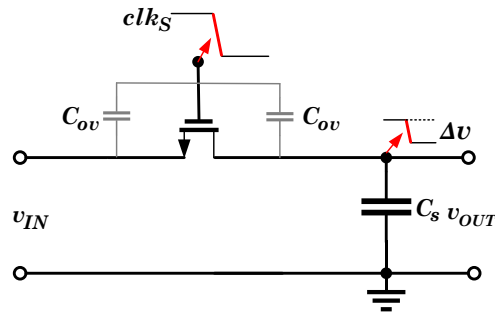


Figura 18: Circuito para a análise do efeito do *clock feedthrough*.

### 2.3.1.6 *Clock feedthrough*

A capacitância formada entre o material da porta e as difusões dos terminais de dreno e fonte, causará um acoplamento dos componentes de alta frequência de  $clk_S$  gerando uma queda de tensão na saída do circuito *T&H* quando a chave corta. Este efeito é conhecido como *Clock feedthrough* e é ilustrado na Figura 18. A queda de tensão em  $C_s$  devido ao efeito do *Clock feedthrough* pode ser expressa como

$$\Delta v = \frac{-C_{ov}}{C_{ov} + C_s} V_{DD} \quad (2.24)$$

A equação (2.24) mostra que  $\Delta v$  é independente do nível do sinal de entrada, assumindo que  $C_{ov}$  é constante. Em uma primeira aproximação, este efeito não contribui com distorção, mas gera uma tensão de *offset* que é cancelada em uma implementação diferencial do circuito.

### 2.3.1.7 *Feedthrough* em modo retenção

Quando a chave está desligada, os nós de entrada e saída do circuito *T&H* são acoplados através de uma pequena capacitância parasitária ( $C_{ds}$ ) entre os terminais de dreno e fonte da chave de amostragem. Mostrado na Figura 19, componentes de alta frequência do sinal de entrada  $v_{IN}$  são injetados via  $C_{ds}$  no nó de saída  $v_{OUT}$ . Este efeito é conhecido como *feedthrough* em modo retenção e corrompe o processo de conversão analógico-digital, principalmente quando o processo de quantização é realizado.

## 2.3.2 Conversor Digital-Analógico (*DAC*)

Amostras do sinal de entrada são obtidas por meio do circuito *T&H* como já foi dito antes. Essas amostras são convertidas para os códigos digitais que melhor as representam

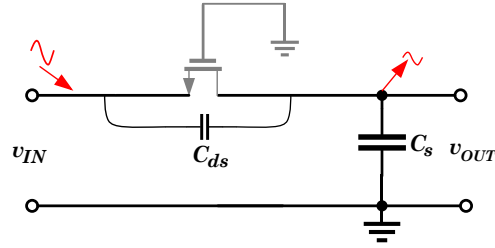


Figura 19: Circuito para análise do efeito *feedthrough* em modo retenção.

por meio do algoritmo *SAR* baseado em um conjunto de tensões de referência com ponderações binárias geradas através de um *DAC* capacitivo. O *DAC* é o dispositivo que converte códigos digitais na sua entrada em valores analógicos (tensões ou correntes) na sua saída.

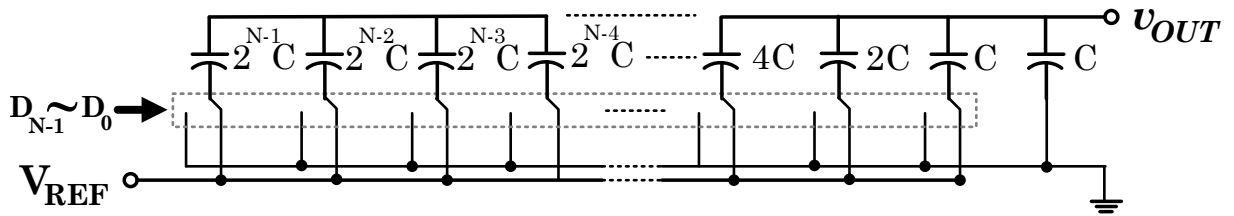


Figura 20: *DAC* capacitivo de  $N$  bits.

A Figura 20 mostra a implementação típica de um *DAC* capacitivo de  $N$  bits. Esse é composto por  $2^N$  capacitores e chaves que ligam as placas inferiores dos capacitores a  $V_{REF}$  (através de transistores *PMOS*) ou terra (através de transistores *NMOS*). Os capacitores usados são múltiplos de dois de um capacitor unitário ( $C$ ).

Para encontrar a expressão da relação entrada-saída do *DAC* da Figura 20, suponha que como resposta de uma palavra digital de  $N$  bits ( $D_{N-1} \sim D_0$ ), as placas inferiores de um total de  $M$  capacitores são ligados à tensão de referência ( $V_{REF}$ ) e as demais a terra. Como consequência disso, a tensão analógica de saída ( $v_{OUT}$ ) do *DAC* pode escrever-se como:

$$v_{OUT} = \frac{MV_{REF}}{2^N} \quad (2.25)$$

Obtida a expressão (2.25) pode concluir-se que  $v_{OUT}$  depende do número  $M$  de capacitores ligados a  $V_{REF}$ . De outro modo, pode estender-se (2.25) para:

$$v_{OUT} = \frac{(2^{N-1}CD_{N-1} + 2^{N-2}CD_{N-2} + \dots + 2^1CD_1 + 2^0CD_0)V_{REF}}{2^N C} \quad (2.26)$$

Devido à implementação física do *DAC* capacitivo, a expressão (2.26) sofre mudanças não desejadas. Por um lado, como foi revisado acima, similarmente ao caso da chave de amostragem, ruído térmico gerado pelas chaves de controle ligadas nas placas inferiores dos capacitores do *DAC* e ruído em  $V_{REF}$  podem acoplar-se em  $v_{OUT}$  como as suas versões filtradas. Por outro lado, as mudanças instantâneas nos códigos de entrada devem causar uma mudança instantânea em  $v_{OUT}$ , porém, devido à resistência finita entre dreno e fonte das chaves, será formada uma rede *RC*, limitando a máxima velocidade de operação do *DAC*. Nesse caso, o comportamento de  $v_{OUT}$  será exponencial, similar ao mostrado na Figura 2.20. Além disso, quando os capacitores são fabricados, esses sofrem variações nas suas características elétricas, nas suas dimensões e na espessura da camada do dielétrico. Essas variações são aleatórias e independentes do tempo. O desvio aleatório dos parâmetros físicos e elétricos dos capacitores projetados para serem idênticos é conhecido como *mismatch*.

Geralmente em um processo *CMOS*, supõe-se que o valor de um capacitor é uma variável aleatória e segue uma distribuição *Gaussiana* [12, 34]. Em geral, um capacitor  $C_n$  é modelado como [26]

$$C_n = K_c A \quad (2.27)$$

$$\sigma \left( \frac{\Delta C_n}{C_n} \right) = \frac{K_\sigma}{\sqrt{A}} \quad (2.28)$$

onde:  $K_c$  é o parâmetro de densidade do capacitor,  $A$  é a área do capacitor,  $\sigma (\Delta C_n / C_n)$  é o desvio padrão da variação relativa do  $C_n$  e  $K_\sigma$  é uma constante que descreve a variação aleatória do valor de  $C_n$ . Desse modo, espera-se que quando a área do capacitor aumente, sua variação relativa  $\Delta C_n / C_n$  diminuirá. Para esclarecer o antes dito, suponha dois capacitores projetados para ser idênticos. Devido às variações randômicas nas dimensões, o valor dos capacitores têm uma variação relativa que pode escrever-se como:

$$\frac{\Delta C_n}{C_n} = \frac{\Delta L_c}{L_c} + \frac{\Delta W_c}{W_c} - \frac{\Delta t_d}{t_d} \quad (2.29)$$

onde:  $\frac{\Delta L_c}{L_c}$ ,  $\frac{\Delta W_c}{W_c}$  e  $\frac{\Delta t_d}{t_d}$  são as variações relativas entre o comprimento, largura e a espessura do dielétrico dos capacitores, respectivamente. Para diminuir as variações relativas entre capacitores projetados como iguais, as dimensões  $W_c$  e  $L_c$  dos capacitores podem ser aumentadas, mas o  $t_d$  não uma vez que é imposto pelo nó tecnológico.

### 2.3.2.1 Erros em *SAR ADCs* devido ao *mismatch* nos capacitores

Na implementação da Figura 20 devido ao *mismatch*, a relação entre os capacitores encontrada na expressão (2.26) sofre desvios. O maior desvio do comportamento ideal da tensão de saída do *DAC*, ocorre na transição do capacitor de maior ponderação ( $2^{N-1}C$ ) ou *MSB* do *DAC* (0111...1 a 1000...0). Intuitivamente, isso acontece devido a que todos os desvios devido ao *mismatch* em cada capacitor que compõe o *DAC* são acumulados. Para entender este fenômeno, na Figura 21a é representado de modo visual as variações devido ao *mismatch* em uma matriz de capacitores. Idealmente, todos os capacitores devem ter uma cor similar à azul-cobalto, mas pelo efeito do *mismatch* mudam a cor aleatoriamente entre azul piscina e azul-marinho. Em tal caso, o capacitor unitário ( $C$ ) pode ser modelado como [35]

$$C = \mu_c + \sigma_c \quad (2.30)$$

onde  $\mu_c$  e  $\sigma_c$  são a média e o desvio padrão da distribuição *Gaussiana* da Figura 21a, respectivamente.

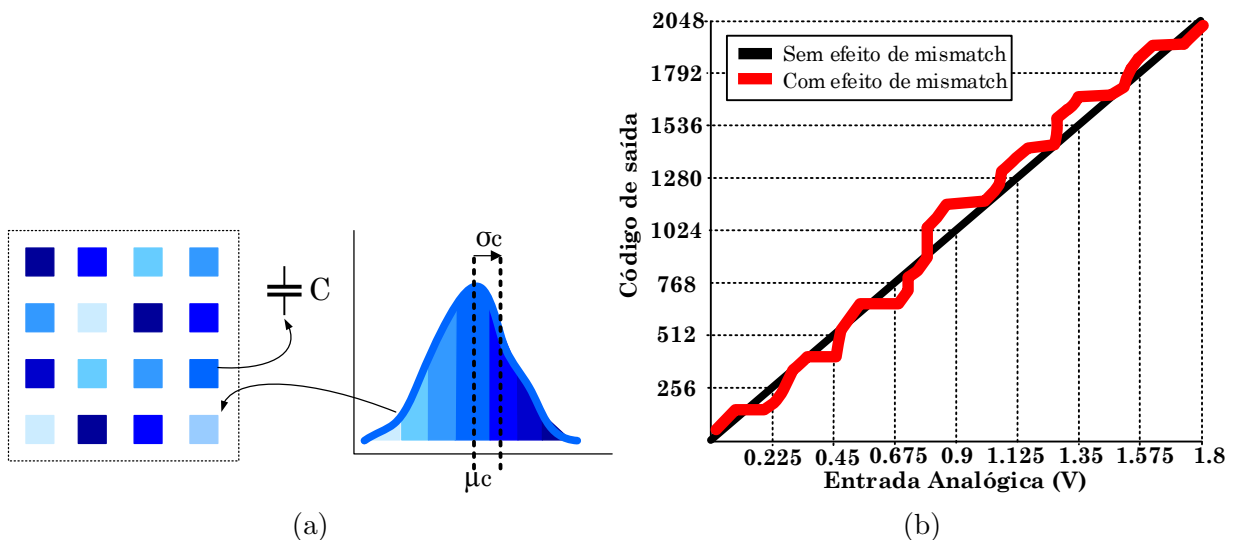


Figura 21: (a) Distribuição *Gaussiana* do capacitor unitário em uma matriz de capacitores; (b) Efeito do *mismatch* nos capacitores do *DAC* na curva de transferência de um *SAR ADC* de 11 bits, com  $V_{REF}=1,8$  V.

Na integração do conversor *SAR*, se os capacitores do *DAC* não tiveram *mismatch*, a característica da saída como função da entrada assemelha-se a uma linha reta como é mostrado na Figura 21b. Isso é devido a que todas as tensões de referência geradas pelo *DAC* são idealmente perfeitas, quer dizer, que as ponderações da expressão (2.26) são espaçadas uniformemente em potências de dois ( $C, 2C, 4C, \dots, 2^{N-1}C$ ). Assim, os níveis de

quantização para o *ADC* têm o mesmo tamanho, que idealmente é o passo de quantização  $\Delta$ . Porém, quando o efeito de *mismatch* está presente nos capacitores do *DAC*, a curva de transferência entrada-saída do *SAR ADC* sofre desvios do seu comportamento ideal. De fato, as tensões de referência já não estão mais uniformemente espaçadas, portanto, os passos de quantização vão diferir de  $\Delta$ . Como é mostrado na Figura 21b, a curva vermelha tem desvios nas direções horizontal e vertical do plano. Por um lado, no caso dos desvios horizontais indicam que para diferentes valores de entrada analógicas vão se obter os mesmos códigos digitais na saída. Assim, parte da faixa das tensões analógicas de entrada é perdida. Em outras palavras, o *ADC* não tem comportamento monotônico<sup>8</sup>. Por outro lado, quando a curva de transferência tem desvios na direção vertical, implica que alguns códigos digitais não aparecem na saída. Finalmente, erros de *mismatch* nos capacitores do *DAC* também estão presentes devido aos efeitos de gradientes no processo de fabricação e temperatura, entre outros. Estratégias no *layout* no projeto do *DAC* tais como centroide comum e o uso de elementos *dummy* podem reduzir a influência no desempenho do *ADC* desses tipos de erros.

### 2.3.3 Comparador

A função principal do comparador é amplificar as suas entradas diferenciais de tensão analógicas e gerar uma decisão digital nas suas saídas. Na Figura 22 mostra-se um exemplo da implementação de um comparador dinâmico [36]. O comparador compreende um estágio pré-amplificador (transistores  $M_1$  e  $M_2$ ), um estágio de *latch* (transistores  $M_3$ - $M_6$ ) e tem dois modos de operação: *reset* e regeneração. Quando o sinal de relógio  $clk_C$  está em nível baixo,  $M_t$  está na região de corte e assim, não flui corrente pelo circuito. Ao mesmo tempo, as chaves  $S_1$ - $S_2$  e  $S_3$ - $S_4$  forçam os nós  $v_X$ - $v_Y$  e  $v_{OCN}$ - $v_{OCP}$  a  $V_{DD}$ . Quando o sinal de relógio  $clk_C$  vai para o nível alto, os nós  $v_X$ - $v_Y$  e  $v_{OCN}$ - $v_{OCP}$  são desligados de  $V_{DD}$ , o transistor  $M_t$  é ligado e  $M_1$ - $M_2$  comparam as entradas  $v_{ICN}$ - $v_{ICP}$ . A forte realimentação positiva nos nós de saída, amplifica a diferença nas tensões de entrada forçando uma saída ir para  $V_{DD}$  e a outra para terra. Devido a que só consomem potência no momento das bordas de subida e descida do relógio, os comparadores dinâmicos são ótimos para economizar energia no processo de conversão analógico-digital. Seguindo, as principais imperfeições do comparador dinâmico são revisadas.

<sup>8</sup>Quando o valor analógico na entrada do *ADC* aumenta, assim o faz o código na sua saída. Porém, quando o antes dito não é atingido pelo *ADC*, o conversor tem comportamento não monotônico. A não-monotonicidade no *ADC* resulta na perda de códigos devido a que nunca aparecerem para algum valor do sinal de entrada analógico.

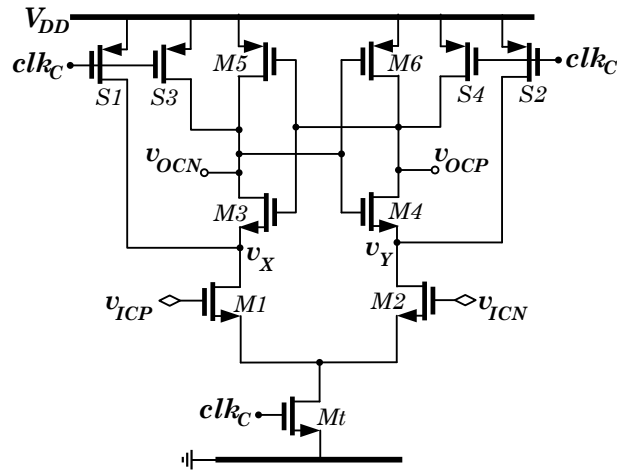


Figura 22: Comparador dinâmico.

### 2.3.3.1 Ruído *Kickback*

As variações abruptas de tensão nos nós de saída do comparador são acopladas através das capacitâncias parasitárias dos transistores de entrada. Devido a que a impedância de saída do *DAC* difere de zero, a tensão gerada por esse sofre mudanças na fase de decisão dos bits do conversor *SAR* por causa desse efeito de acoplamento, o que pode degradar a precisão do conversor. Esse tipo de perturbação é chamada ruído *kickback*. Em uma implementação diferencial do *DAC* se as capacitâncias parasitárias no nó de saída desse não estiveram equilibradas, o efeito do ruído *kickback* gera não linearidade, pois terá maior influência de um lado do que do outro como se observa na Figura 23.

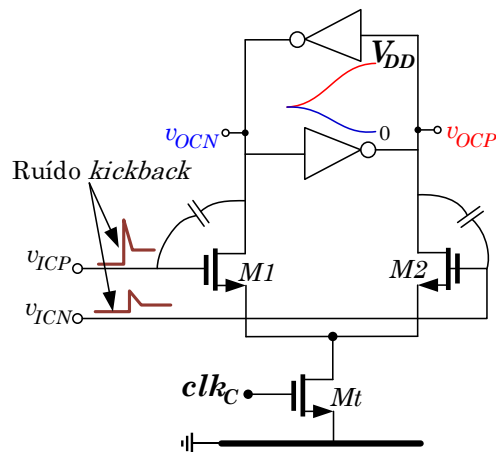


Figura 23: Ruído *kickback* no comparador dinâmico.

### 2.3.3.2 *Offset*

Idealmente o circuito da Figura 22 é simétrico e a saída diferencial vai para  $V_{DD}$  quando  $v_{ICP}$  é maior que  $v_{ICN}$ , e  $-V_{DD}$  no caso contrário. Porém, quando o *mismatch*

está presente, a curva de transferência do comparador sofre um desvio da sua condição ideal como é mostrado na Figura 24 (curva vermelha).

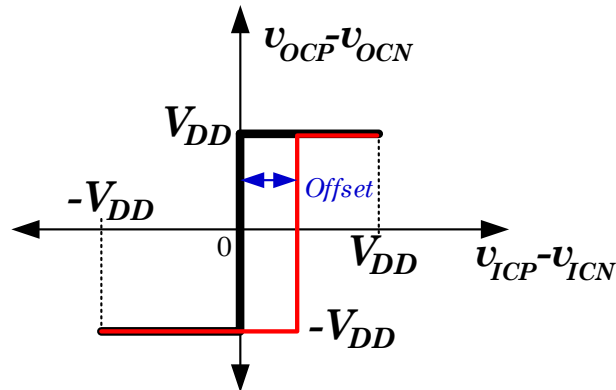


Figura 24: *Offset* no comparador dinâmico.

A tensão de *offset* em um comparador dinâmico é principalmente imposta por dois tipos de erros: 1) *mismatch* estático devido à variação nos parâmetros dos transistores tais como suas dimensões e a tensão limiar  $V_{th}$  e 2) *mismatch* dinâmico devido ao desequilíbrio das capacitâncias parasitárias no traço do *layout*. O *offset* estático do comparador da Figura 22 pode ser expresso como [37]

$$V_{OFFSET} = \Delta V_{th1,2} + \frac{(V_{GS} - V_{th})_{1,2}}{2} \left( \frac{\Delta S_{1,2}}{S_{1,2}} + \frac{\Delta R}{R} \right) \quad (2.31)$$

onde:  $\Delta V_{th1,2}$  é o *mismatch* entre as tensões de limiar dos transistores de entrada  $M_1$  e  $M_2$ ,  $S_{1,2}$  e  $\Delta S_{1,2}$  são as dimensões físicas de  $M_1$  e  $M_2$  e seu *mismatch*, respectivamente.  $R$  é a resistência equivalente de carga vista pelos drenos de  $M_1$  e  $M_2$  e  $\Delta R$  é seu *mismatch*. A maior contribuição de *offset* é imposta pelos transistores de entrada do comparador. A tensão de *offset* pode ser diminuída aumentando as dimensões dos transistores de entrada e diminuindo  $(V_{GS} - V_{th})_{1,2}$ , porém, não é totalmente removida.

### 2.3.3.3 Ruído térmico

Devido a que o comparador tem uma entrada analógica, mas uma saída digital, a análise do ruído difere da típica. O ruído referido à entrada do comparador da Figura 22 pode ser modelado como [36]:

$$\overline{V}_{n,in}^2 = \frac{(V_{GS} - V_{th})_{1,2}}{V_{th1,2}} \left( \frac{4K_B T_k \gamma}{C_{X,Y}} + \frac{(V_{GS} - V_{th})_{1,2}}{V_{th1,2}} \frac{K_B T_k}{2C_{X,Y}} \right) \quad (2.32)$$

onde: o coeficiente  $\gamma$  é um fator do ruído térmico e  $C_{X,Y}$  são as capacitâncias vistas nos

nós  $v_X$  e  $v_Y$ . Da expressão (2.32) pode-se concluir que  $\overline{V}_{n,in}^2$  é inversamente proporcional às capacitâncias de carga dos transistores de entrada. Ao mesmo tempo, o consumo de potência do comparador é diretamente proporcional às mesmas capacitâncias. Como resultado, se obtém um compromisso direto entre potência e linearidade no comparador.

Por outro lado, o ruído na saída do comparador deve ser modelado como uma taxa de erro de bit (*Bit error rate-BER*). A *BER* expressa que a decisão do comparador tem uma certa probabilidade de falhar devido ao ruído. A relação entre a probabilidade de obter um “1” lógico na saída do comparador ( $P_1$ ) e o ruído de entrada é dada pela função de erro (*Error function-ERF*) [40]:

$$P_1 = \frac{1}{2} \left( 1 + \operatorname{erf} \left( \frac{v_{ICP} - v_{ICN}}{\sqrt{2\overline{V}_{n,in}^2}} \right) \right) \quad (2.33)$$

#### 2.3.3.4 Metaestabilidade

A metaestabilidade em um comparador é definida como a incapacidade do circuito em responder com um nível lógico de saída válido a uma pequena diferença de tensão analógica de entrada em um tempo limitado. A fim de entender o problema de metaestabilidade, a Figura 25 mostra três possíveis situações do sinal de saída do comparador  $v_{OCP}$ , sendo a tensão de entrada diferencial ( $\Delta v_{IN} = v_{ICP} - v_{ICN}$ ) do comparador da Figura 22:  $\Delta v_{IN}$  grande,  $\Delta v_{IN}$  pequena e  $\Delta v_{IN} \approx 0$ . Por simplicidade somente  $v_{OCP}$  é mostrada na Figura 25, pois esse sinal é complementar ao  $v_{OCN}$ .

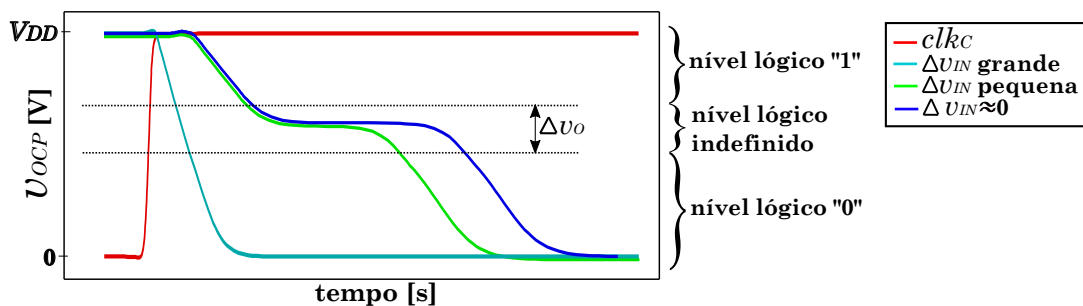


Figura 25: Metaestabilidade no comparador.

Aproximadamente, a tensão de saída diferencial do comparador na fase de regeneração se pode escrever como [38]

$$\Delta v_{OC}(t) = v_{OCP} - v_{OCN} = \Delta v_{IN} A_p e^{\frac{t}{\tau}} \quad (2.34)$$



onde  $A_p$  é o ganho do estágio de pré-amplificação e  $\tau$  é a constante de tempo na fase de regeneração do *latch*. Para pequenas tensões de entrada diferenciais, a saída leva mais tempo para atingir um nível lógico válido. Se os dados de saída do comparador são lidos quando se situam entre a região do nível lógico “1” e a região do nível lógico “0”, esses dados podem gerar erros, pois o nível lógico é indefinido. Se a tensão de entrada diferencial do comparador for exatamente zero, e o comparador for perfeitamente equilibrado quando o comparador opera na fase de regeneração, o tempo necessário para atingir um nível lógico válido será teoricamente infinito. No entanto, o ruído gerado pelos transistores de entrada do comparador ( $M_1$  e  $M_2$  na Figura 22) tornam essa condição pouco provável. Além disso, para evitar que o comparador defina em estado errado, é muito importante que o layout do *latch* seja o mais simétrico possível [39].

### 2.3.4 A lógica SAR

Além dos circuitos já apresentados, uma lógica é necessária para o controle das operações do conversor e armazenamento da palavra digital de saída. A lógica pode ter duas formas de operação que são: síncrona [40] ou assíncrona [41]. Como exemplo, na Figura 26 é mostrado o princípio de operação dessas para a implementação de um conversor SAR de 4 bits.

Esses dois tipos de operação para implementar o algoritmo SAR têm diferentes propriedades, e podem ser listadas como segue.

- Por um lado, para implementar a lógica síncrona, um relógio externo ( $clk_{IN}$ ) de alta frequência é necessário, pois esse realiza o controle de cada operação do conversor (amostragem e decisão dos bits). A frequência desse pode ser dado por:

$$f_{clk_{IN}} = (N + 1)f_s \quad (2.35)$$

onde:  $N$  é o número de bits do conversor e  $f_s$  é a frequência de amostragem ( $f_s=1/T_s$ ). Particularmente, se for implementada uma lógica com operação síncrona no atual trabalho, um relógio externo de pelo menos 240 MHz seria necessário. Por outro lado, na operação assíncrona o relógio  $clk_{IN}$  controla só o tempo de duração da fase de amostragem e o começo da fase decisão dos bits com a sua borda de descida. A sua frequência é definida pela frequência de amostragem do conversor.

- Além do dito acima, o sinal de controle do comparador ( $clk_C$ ) na operação síncrona tem um ciclo de trabalho (quando  $clk_C$  é alto) constante e tem como referência a

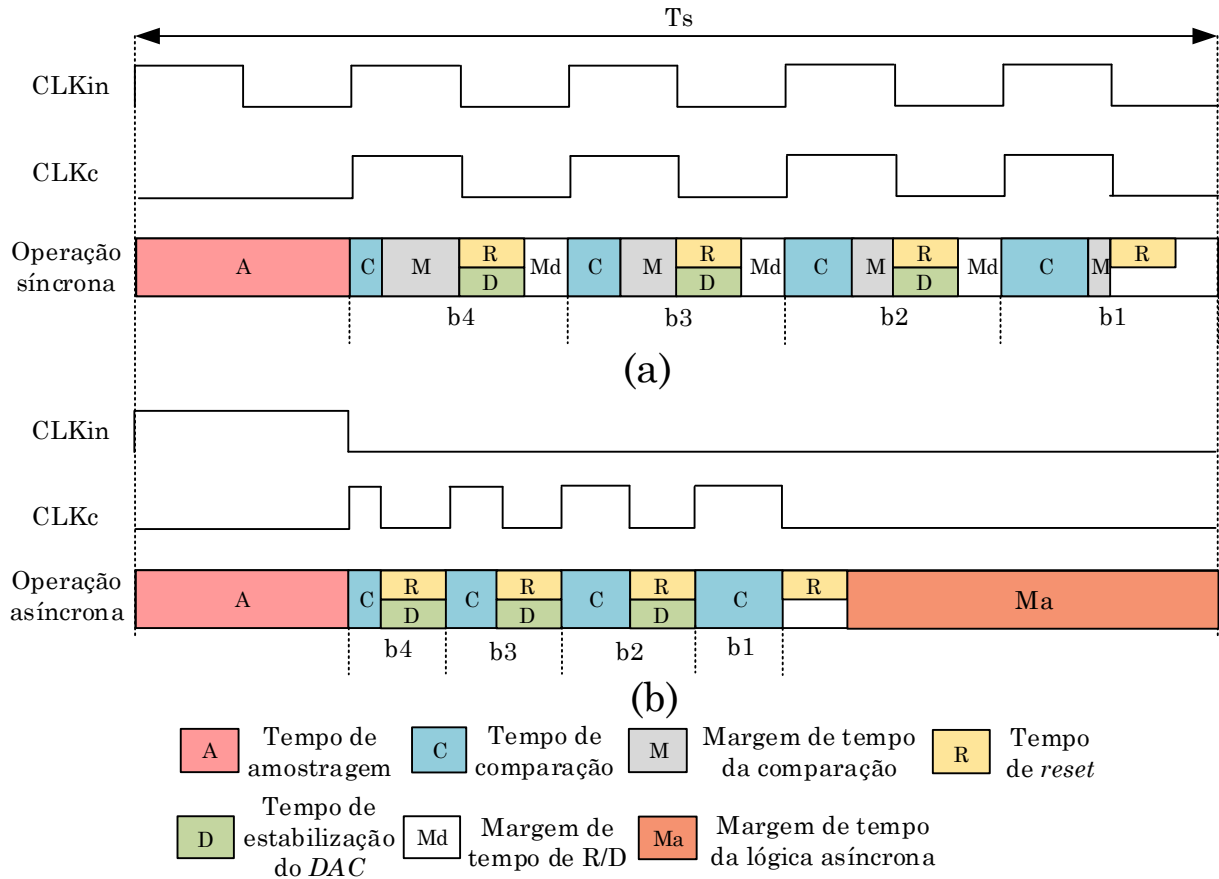


Figura 26: Diagramas de tempo da operação: (a) síncrona; (b) assíncrona.

$clk_{IN}$ . Ainda, o sinal  $clk_C$  é gerado internamente na operação assíncrona. O ciclo de trabalho é variável e depende do tempo de decisão do comparador. Nesse tipo de operação, um sinal indicando que a comparação foi realizada é necessário, pois esse força a terminar a fase de comparação ( $clk_C$  vai para baixo) e começar a fase de *reset* no comparador.

- Como é mostrado na Figura 26(a) para a operação síncrona, mesmo que a comparação seja concluída antes da borda de descida do  $clk_C$ , a próxima operação (estabilização do  $DAC-D$ / fase de *reset-R*) não segue imediatamente, gerando-se uma margem de tempo para a comparação (M). Isso é devido a que, para iniciar a próxima operação, a lógica deve aguardar até a borda de descida do  $clk_C$  acontecer. Da mesma maneira acontece na fase de *reset*: uma nova comparação só vai ser executada quando a borda de subida do sinal  $clk_C$  acontecer deixando uma margem de tempo de R/D (Md). Por outro lado, como é observado na 26(b), a margem de tempo da lógica assíncrona (Ma) é maior porque cada operação ser executada imediatamente após terminar a anterior. Desta forma, pode-se concluir que a velocidade de conversão da operação assíncrona é maior que uma síncrona.

## 3 IMPLEMENTAÇÃO DO ADC

Neste capítulo, apresenta-se o projeto em nível de transistores dos circuitos que compõem o conversor e a sua arquitetura. Além disso, as principais considerações na implementação do *layout* são descritas. O *ADC* foi projetado em uma tecnologia *CMOS* de 180 nm da *TSMC*. Simulações *post-layout* foram feitas para verificar o desempenho atingido pelo conversor projetado. No final do capítulo, são apresentadas as comparações dos resultados obtidos com trabalhos do estado da arte. Ao nível da simulação *post-layout*, o *ADC* projetado consegue desempenho compatível com alguns dos trabalhos do estado da arte.

### 3.1 Arquitetura do ADC

A Figura 27 mostra a arquitetura do *SAR ADC* de 11 bits, desenvolvido. Uma arquitetura diferencial foi escolhida para obter melhor rejeição das perturbações em modo comum. O conversor é composto por chaves de amostragem, um *DAC* capacitivo diferencial com capacitor ponte, um comparador dinâmico e a lógica *SAR*. Além disso, a operação assíncrona foi selecionada para eliminar a necessidade de um relógio externo de alta frequência [41].

Neste trabalho, foi implementado o esquema de chaveamento *Merged Capacitor* [30]. Assim, o *ADC* de 11 bits leva vantagem de usar *DACs* de 10 bits economizando energia e área. O capacitor ponte divide o *DAC* em dois sub-*DACs* como pode-se observar na Figura 27. Um dos sub-*DACs* implementa os 5-*MSB* do *DAC*, enquanto o outro implementa os 5-*LSB* restantes.

Para realizar o processo de conversão, o *ADC* opera em duas fases: amostragem e decisão de bits. É apresentada na Figura 28, como exemplo, a sequência do esquema de chaveamento *Merged capacitor* de um conversor de 3 bits.

Na fase de amostragem, a tensão de entrada analógica é ligada às placas superiores

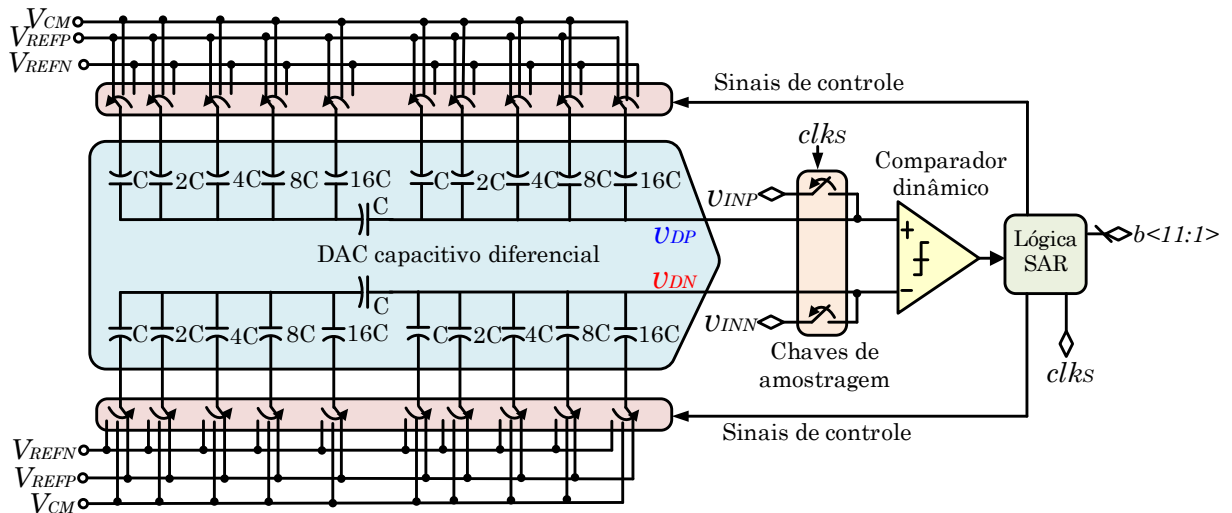


Figura 27: Arquitetura assíncrona *SAR ADC* desenvolvida.

do *DAC* por meio das chaves de amostragem. As placas inferiores dos capacitores que compõem o *DAC* diferencial, são ligados a uma tensão de modo comum ( $V_{CM}$ ) através de chaves de transmissão *CMOS*. No conversor implementado neste trabalho,  $V_{CM}$  é igual à metade da  $V_{DD}$ . Além disso, para que o *ADC* tenha tempo suficiente para se estabilizar na fase de amostragem, o tempo onde as chaves de amostragem operam em modo de rastreamento foi projetado para ocupar 15% de um período do relógio de entrada ( $clk_s$ ).

Quando a fase de amostragem terminar, as chaves de amostragem são desligadas e a primeira comparação entre  $v_{INP}$  e  $v_{INN}$  é feita imediatamente sem a necessidade de executar chaveamento nos capacitores do *DAC* iniciando a fase de decisão de bits. O resultado desta comparação é armazenado no bit *MSB* da saída do conversor. Nas próximas decisões, as placas inferiores dos capacitores, sendo inicialmente ligadas ao  $V_{CM}$ , são comutadas para  $V_{REFP}$  que é equivalente a  $V_{DD}$  (através de transistores *PMOS*) ou  $V_{REFN}$  que é equivalente a terra (através de transistores *NMOS*). Por exemplo, se o resultado da primeira comparação é “1”, as chaves que controlam a tensão nas placas inferiores dos capacitores que implementam o *MSB* do *DAC* são comutadas gerando uma nova diferença de tensão nos nós de entrada do comparador. Este agora vai decidir se

$$v_{INP} - v_{INN} > \frac{V_{DD}}{2} \quad (3.1)$$

Assumindo que a condição imposta pela equação (3.1) é validada pelo comparador, o resultado desta comparação é “1”, caso contrário é “0”. Este resultado é armazenado no bit *MSB-1* da saída do conversor. Com base no resultado validado pelo comparador, uma

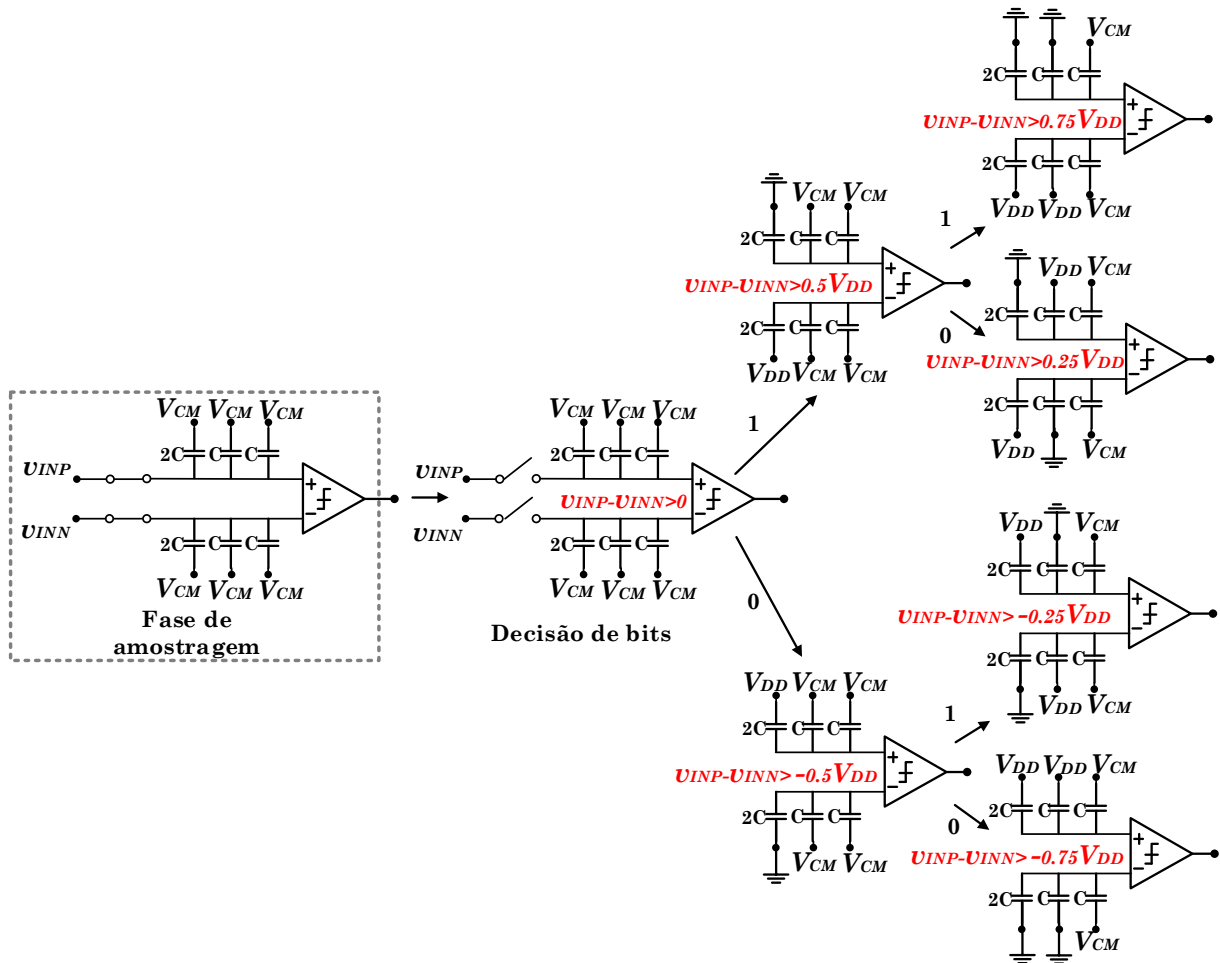


Figura 28: Exemplo do esquema de chaveamento *Merged Capacitor* de um ADC de 3 bits.

nova diferença de tensão nos nós de entrada do comparador é gerada. No caso do ADC implementado, repete-se este procedimento até que todos os 11 bits sejam decididos. Durante todo o processo de conversão, as saídas de tensão do DAC (nós  $v_{DP}$  e  $v_{DN}$  na Figura 27) permanecem entre as tensões  $V_{REFP}$  e  $V_{REFN}$  (de acordo com a Figura 29). Além disso, a tensão de modo comum entre  $v_{DP}$  e  $v_{DN}$  é constante. Esta última característica do conversor implementado garante que o valor do *offset* do comparador seja constante e não dependente do valor da tensão de entrada [29]. A dependência entre a tensão de entrada e o *offset* do comparador gera não linearidade(s) no processo de conversão analógico-digital, diminuindo a *SNDR* [42].

## 3.2 Implementação dos circuitos

As considerações de projeto para cada circuito de um *SAR ADC* foram discutidas no capítulo 2. Nesta seção, é explicado o projeto dos circuitos que compõem a arquitetura do

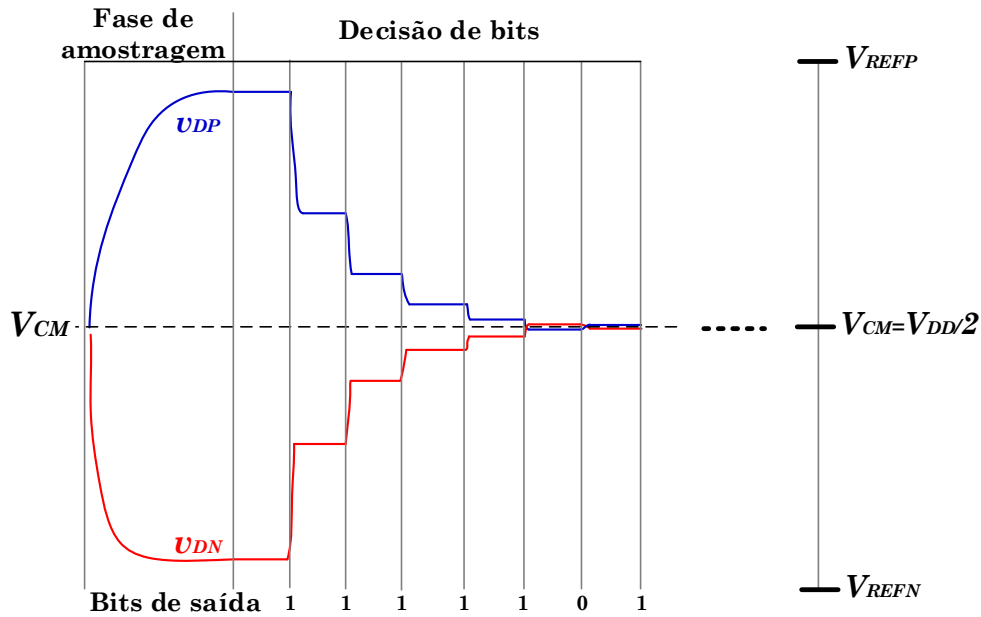


Figura 29: Tensões de saída do *DAC* diferencial durante o processo de conversão.

conversor apresentada anteriormente, com base nas considerações de projeto que foram revisadas. Todos os esforços no projeto de cada circuito foram focados em caracterizar e otimizar seu desempenho para atingir as especificações de projeto do conversor já definidas: uma frequência máxima de amostragem de 20 MS/s e *ENOB* maior a 10 bits. As estratégias de projeto desenvolvidas para cada circuito foram baseadas em compromissos entre as especificações que este trabalho quer atingir e as limitações do nó de processo tecnológico utilizado.

### 3.2.1 Chaves de amostragem

Na seção 2.3.1 foram revisadas as considerações de projeto para um circuito *T&H*. A injeção de carga e a resistência finita entre dreno e fonte das chaves de amostragem dependem do valor de tensão na entrada causando distorção na tensão amostrada. Para resolver estes problemas, a técnica *bootstrap* [29, 43] foi implementada. A Figura 30 mostra a implementação ao nível de transistores desta técnica. Por simplicidade somente um lado da operação diferencial do circuito amostrador é descrita abaixo.

O circuito funciona da seguinte forma: quando o sinal de amostragem  $clk_S$  está no nível baixo, o transistor  $M_5$  impõe uma tensão alta na porta de  $M_7$ , forçando seu corte. Por outro lado,  $\overline{clk_S}$  é alto e, através de  $M_{8,9}$ , as tensões nas portas de  $M_s$  e  $M_{1,3}$  (nó  $v_{GG}$  na Figura 30) ficam no nível baixo, portanto, eles são cortados. Além disso,  $M_{6,2}$  estão ligados e, idealmente, a tensão através do capacitor *bootstrap* ( $C_b$ ) é carregada até  $V_{DD}$ . Sob essas condições, o circuito *T&H* está operando no modo de retenção e o seu

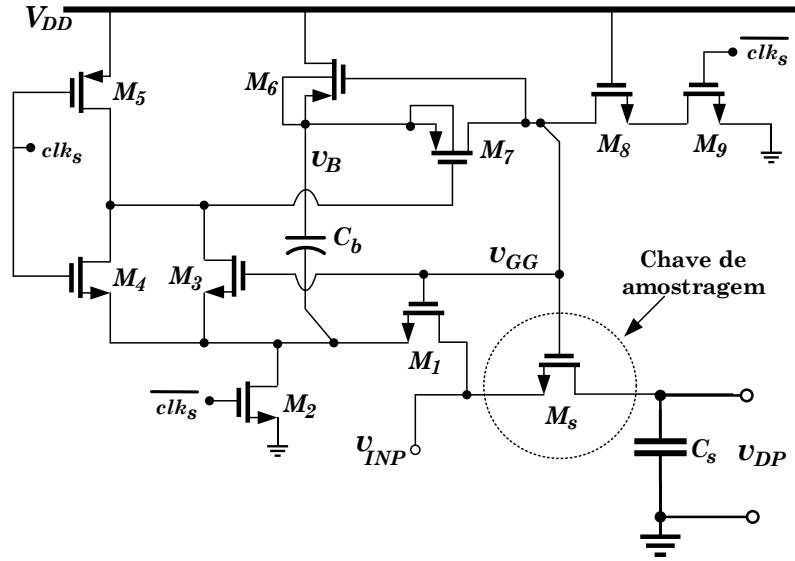


Figura 30: Esquemático da chave de amostragem aplicando a técnica *bootstrap*.

circuito equivalente é mostrado na Figura 31a. Por outro lado, quando  $clk_S$  está no nível alto,  $M_5$  está na região de corte,  $M_4$  estabelece o nível de tensão baixo na porta de  $M_7$  fazendo que  $M_6$  atue como diodo, além de unir a placa superior de  $C_b$  às portas de  $M_s$  e  $M_{1,3}$ . Como resultado disso, nas portas de  $M_s$  e  $M_1$  se estabelece o nível de tensão alto, forçando-os a operar na região triodo. Assim, o sinal de entrada  $v_{INP}$  é ligado à placa inferior de  $C_b$  através de  $M_1$ . Os transistores  $M_{2,8,9}$  estão desligados durante este modo de operação. Ante essas circunstâncias, o circuito *T&H* opera no modo rastreamento e  $M_s$  conduz como pode ser observado na Figura 31b. Devido a que no modo retenção do circuito *T&H* foi armazenada uma tensão igual a  $V_{DD}$  em  $C_b$ , esta é imposta entre os terminais de porta e fonte de  $M_s$  no modo rastreamento. Assim, a dependência da injeção de carga e a resistência das chaves de amostragem com  $v_{GS}$  é removida, pois a  $v_{GS}$  é igual a  $V_{DD}$  no modo rastreamento. Porém, revisando às expressões (2.17), (2.18) e (2.23), as variações devido ao efeito corpo da resistência e a injeção de carga das chaves de amostragem não são eliminadas. Finalmente, observa-se que se o sinal de entrada está em  $V_{DD}$  quando o circuito opera no modo rastreamento, teoricamente, a tensão no nó  $v_B$  na Figura 30 está em  $2V_{DD}$ . Para evitar polarizar em modo direto os diodos formados entre os terminais de corpo e fonte dos transistores  $M_{6,7}$ , os poços tipo N desses dispositivos foram ligados ao nó que tem a tensão mais alta no circuito. Neste caso, é o nó  $v_B$ . Se os poços tipo N de  $M_{6,7}$  não forem ligados a  $v_B$ , problemas de *latch-up* podem ocorrer e prejudicam o funcionamento do circuito *T&H*.

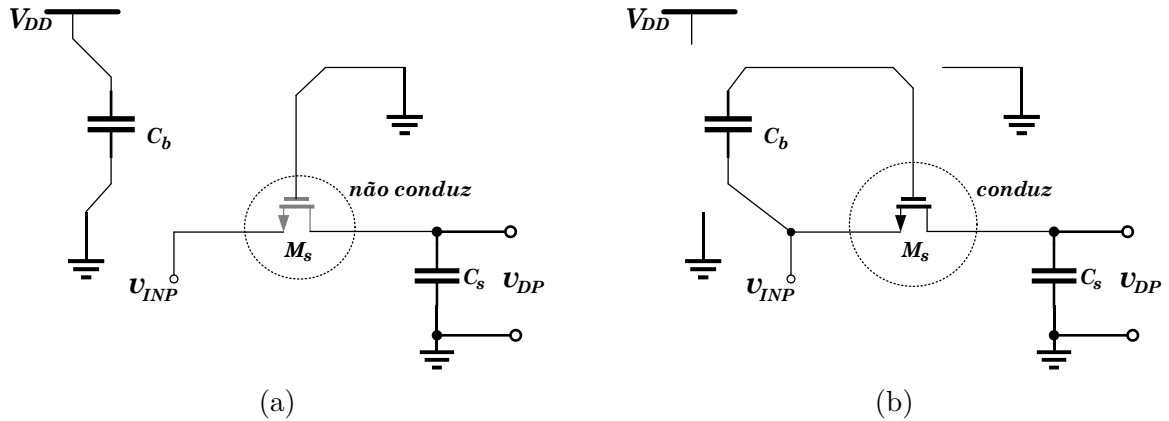


Figura 31: Implementação da técnica *bootstrap* operando no modo (a) retenção; (b) rastreamento.

### 3.2.1.1 Dimensionamento

No trabalho [43], os autores que propõem a técnica *bootstrap* não fornecem um conjunto analítico de equações para o projeto desse circuito, porém algumas estratégias gerais de projeto foram consideradas e são discutidas a seguir. Os transistores que compõem o circuito *bootstrap* foram dimensionados para que as chaves de amostragem operem na velocidade desejada. O capacitor  $C_b$  foi dimensionado com o valor suficiente para carregar e manter no valor desejado de tensão as capacitâncias do nó  $v_{GG}$  quando o circuito *T&H* opera no modo retenção, entretanto não muito grande a fim de diminuir o consumo de área desnecessária.

Para o dimensionamento das chaves e os capacitores de amostragem, foi adotada a  $SNDR$  mínima que o circuito *T&H* precisa atingir sendo dada por [44]:

$$SNDR_{T\&H} = 6,02(N + 2) + 1,76[dB] \quad (3.2)$$

onde  $N$  é a resolução do *ADC* todo. Baseados na equação 3.2, para um *ADC* de 11 bits, a  $SNDR$  mínima para o circuito *T&H* deve ser 80,02 dB. Portanto, o  $ENOB$  para o *T&H* deve ser no mínimo de 13 bits. Como um exemplo do projeto, uma análise de ruído transiente foi feita para escolher o tamanho adequado para ambos: o capacitor e a chave de amostragem. A Figura 32 mostra a linearidade simulada em termos de  $ENOB$  como uma função do capacitor de amostragem do circuito *T&H* diferencial operando a uma taxa de amostragem de 20 MS/s e uma frequência de entrada de 3 MHz.

Para baixos valores do capacitor de amostragem, a linearidade do circuito *T&H* é limitada pela injeção de carga e ruído térmico das chaves de amostragem, por esse motivo



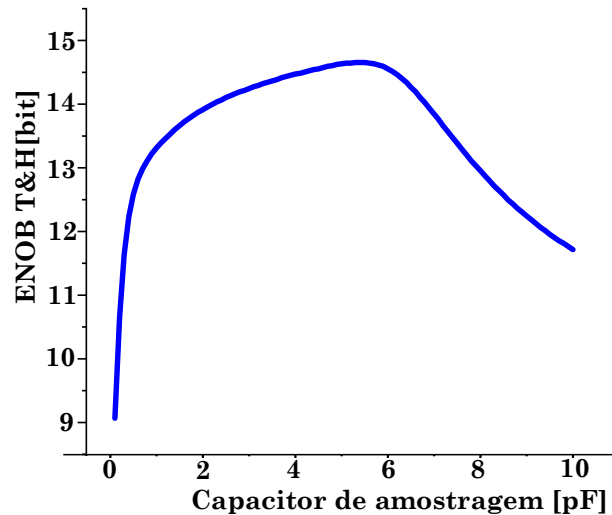


Figura 32:  $ENOB$  do  $T\&H$  em função do capacitor de amostragem.

o  $ENOB$  é baixo. Enquanto aumenta o valor do capacitor de amostragem, o  $ENOB$  também o faz. Por outro lado, para valores mais altos do capacitor de amostragem, o  $ENOB$  diminui devido à largura de banda limitada.

Para conseguir maior largura de banda no circuito  $T\&H$ , uma chave de amostragem com maior largura pode ser escolhida. No entanto, em simultâneo, a injeção de carga das chaves de amostragem será maior. O antes dito se pode esclarecer com ajuda da Figura 33. Nesse caso, foi simulada a linearidade em termos da  $SNDR$  do circuito  $T\&H$  em função da frequência do sinal de entrada ( $F_{in}$ ) e para chaves de amostragem com relações de aspecto ( $W/L$ ) iguais a  $10\mu\text{m}/0,18\mu\text{m}$  e  $30\mu\text{m}/0,18\mu\text{m}$ . O circuito opera numa frequência de amostragem de 20 MS/s com um capacitor de amostragem fixo de 3 pF.

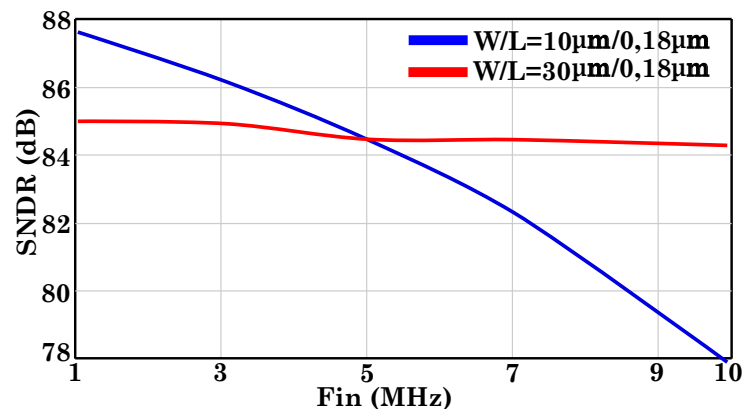


Figura 33:  $SNDR$  do  $T\&H$  como função das larguras das chaves de amostragem.

Para frequências baixas do sinal de entrada, a distorção é dominada pela injeção de carga, o que explica porque a  $SNDR$  é maior para chaves de amostragem com  $W/L = 10\mu\text{m}/0,18\mu\text{m}$ . Para frequências mais altas, a distorção gerada pela resistência finita

das chaves de amostragem com  $W/L = 10\mu\text{m}/0,18\mu\text{m}$  se torna mais relevante, fazendo a  $SFDR$  do circuito  $T\&H$  cair em função da  $F_{in}$ . Observe que para chaves de amostragem com  $W/L = 30\mu\text{m}/0,18\mu\text{m}$ , a  $SNDR$  em baixa frequência é menor, pois o efeito da injeção de carga aumenta. Contudo, chaves de amostragem com  $W/L = 30\mu\text{m}/0,18\mu\text{m}$  melhoram a linearidade em altas frequências do circuito  $T\&H$ , pois o efeito de distorção da resistência das chaves reduz.

A forte dependência entre a injeção de carga (precisão) e a resistência finita (velocidade) das chaves de amostragem pode se juntar na figura de mérito definida como [13]

$$FoM_{T\&H} = \frac{1}{\Delta v_P \cdot \tau_{est.}} \quad (3.3)$$

onde  $\Delta v_P$  é o erro de pedestal [13] e pode se escrever com ajuda da expressão (2.23) como:

$$\Delta v_P = \frac{C_{ox}WL(v_{GS} - V_{th})}{2C_s} \quad (3.4)$$

Além disso,  $\tau_{est.}$  é a constante de tempo da expressão encontrada em (2.20) sendo dada por

$$\tau_{est.} = \frac{1}{R_s C_s} \quad (3.5)$$

Assim, juntando as expressões (3.4) e (3.5), a  $FoM_{T\&H}$  pode ser encontrada como

$$FoM_{T\&H} = \frac{2\mu_n}{L^2} \quad (3.6)$$

Da expressão obtida em (3.6), conclui-se que a relação entre velocidade e precisão das chaves de amostragem está fortemente limitada pelo nó do processo. A partir disso e os compromissos de projeto já explicados da largura das chaves de amostragem e o capacitor de amostragem, para satisfazer os requisitos de velocidade e precisão no projeto do  $T\&H$ , chaves de amostragem com  $W/L = 25\mu\text{m}/0,18\mu\text{m}$  foram aplicadas.

O capacitor de amostragem é o  $DAC$  capacitivo diferencial. A arquitetura composta por capacitores ponderados [29] explicada na sub-seção 2.3.2 oferece uma boa solução em termos de linearidade, porque é menos sensível à influência das capacitâncias parasitárias. Como já foi mencionado, levando vantagem da escolha do esquema de chaveamento *Merged Capacitor*, o  $ADC$  de 11 bit desenvolvido neste trabalho usa  $DACs$  de 10 bit. Desse

modo, um total de  $2^{10}$  capacitores são necessários para projetar cada *DAC*. Para a implementação física dos *DACs*, o nó de processo de 180 nm da *TSMC* disponibiliza dois tipos de capacitores: *MOM* (*Metal-Oxide-Metal*) e *MIM* (*Metal-Insulator-Metal*). O valor mínimo do capacitor tipo *MOM* que pode ser fabricado no nó de processo da tecnologia é de 7,4 fF. No caso do capacitor tipo *MIM*, o valor mínimo que pode ser fabricado é de 35,6 fF. Dessa maneira, no caso que for implementada a arquitetura do *DAC* por capacitores ponderados com os valores mínimos dos capacitores tipo *MOM* e tipo *MIM* disponíveis na tecnologia, o capacitor de amostragem encontrado será  $2^{10} \times 7,4$  fF = 7,168 pF e  $2^{10} \times 35,6$  fF = 36,5 pF, respectivamente. Além de aumentar consideravelmente o consumo de área, esta arquitetura para o *DAC* limitaria a largura de banda do circuito *T&H*. Como uma solução de projeto, a arquitetura do *DAC* capacitivo com capacitor ponte [45] foi escolhida, alcançando o requerimento do capacitor de amostragem. Mais detalhes do projeto do *DAC* serão revisados na próxima sub-seção.

O circuito *T&H* diferencial finalmente implementado é mostrado na Figura 34. Chaves *dummy* [46] com dimensões iguais às das chaves de amostragem foram implementadas pensando em cancelar o efeito *feedthrough* quando o circuito *T&H* opera no modo retenção. Particularmente, este efeito atrapalha o processo de decisão de bits do conversor, porque injeta componentes de alta frequência do sinal de entrada indesejados por meio das capacitâncias parasitárias entre dreno e fonte das chaves de amostragem quando essas não conduzem. As duas chaves *dummy* cruzadas anulam este efeito como é observado na Figura 34. Além disso, roteamento *dummy* foi traçado no *layout* para reduzir ainda mais esse efeito de acoplamento.

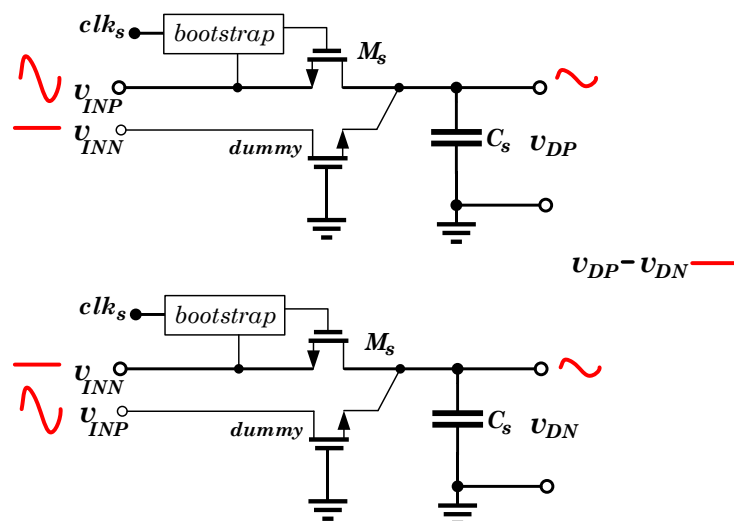


Figura 34: Circuito amostrador diferencial implementado com chaves *dummy* para o cancelamento do efeito *feedthrough* em modo rastreamento [46].

### 3.2.2 DAC capacitivo com capacitor ponte

A arquitetura do *DAC* capacitivo com capacitor ponte foi escolhida a partir da análise de linearidade antes apresentada do circuito amostrador. O seu esquema pode ser observado com a ajuda da Figura 27. Quando o *ADC* opera na fase de amostragem, as chaves de amostragem e o *DAC* diferencial formam uma rede *RC* com frequência de corte igual a  $1/R_s C_s$ , em que  $R_s$  é o valor da resistência das chaves de amostragem quando essas conduzem e  $C_s$  é o valor do capacitor de amostragem (veja a Figura 34). O valor do  $C_s$  nesse caso pode ser encontrado como a capacitância equivalente vista nos nós  $v_{DP}$  ou  $v_{DN}$  da Figura 27. Para determinar o valor do  $C_s$ , considere o *DAC* com capacitor ponte mostrado na Figura 35.

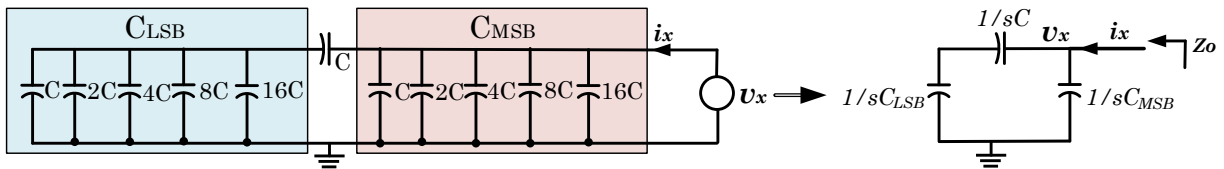


Figura 35: Capacitância de saída do *DAC*.

Nesse caso, do ponto de vista de sinal, todas as placas inferiores dos capacitores são ligadas a terra, pois quando o *ADC* opera na fase de amostragem, as placas inferiores dos capacitores que compõem o *DAC* estão ligadas a uma tensão constante e igual a  $V_{CM}$ . Por simplicidade, podemos escrever o conjunto de capacitores que implementam os *MSB* e os *LSB* no *DAC* com  $C_{MSB} = C_{LSB} = (2^5 - 1)C$ .

Para encontrar o valor do  $C_s$ , a análise do circuito se pode desenvolver no domínio complexo (ver Figura 35) e procede-se como segue: a corrente  $i_x$  é dada por

$$i_x = sC_{MSB}v_x + sC'_{LSB}v_x \quad (3.7)$$

onde  $s$  é a variável no domínio complexo e  $C'_{LSB}$  é  $\frac{C_{LSB}C}{C_{LSB}+C}$ . Dado que  $C_{LSB} = (2^5 - 1)C$ ,  $C'_{LSB}$  pode ser escrita como

$$C'_{LSB} = \frac{(2^5 - 1)C \times C}{(2^5 - 1)C + C} = \frac{(2^5 - 1)C}{2^5} \approx C \quad (3.8)$$

Substituindo esse resultado na equação (3.7), obtemos

$$i_x = sv_x(C_{MSB} + C) \quad (3.9)$$

A inspeção do circuito na Figura 35 mostra que a impedância de saída do *DAC* é

$Z_o = v_x / i_x$ . Portanto

$$Z_o = v_x / i_x = \frac{1}{s(C_{MSB} + C)} \quad (3.10)$$

Respaldados na análise anteriormente apresentada, no resultado obtido na equação (3.10) e assumindo  $C_{MSB} = (2^5 - 1)C \gg C$ , o valor do  $C_s$  é aproximadamente igual à capacitância equivalente total do lado 5-*MSB* de cada *DAC*. Portanto, além de diminuir consideravelmente o consumo de área, a arquitetura do *DAC* com capacitor ponte permite atingir ao *ADC* uma maior largura de banda.

Em relação à linearidade do *DAC* capacitivo com capacitor ponte, erros de linearidade estão presentes na sua realização. Por um lado, erros de *offset* e ganho estão presentes na curva de transferência do *DAC*. No caso do *DAC* diferencial, os erros de *offset* podem aparecer devido ao desequilíbrio dos elementos parasita no traço do *layout*. Porém, assumindo que o *layout* for traçado simetricamente, esse erro é desprezível.

Para estudar o erro de ganho, considere que a tensão analógica de saída do *DAC* com capacitor ponte é dada por [26]

$$V_{DAC} = \frac{1}{1 - 2^{-N_{DAC}}} \frac{V_{REF}(2^S N_M + N_L)}{2^{N_{DAC}}} \quad (3.11)$$

onde:  $N_{DAC}$  é o número de bits do *DAC* com capacitor ponte,  $V_{REF}$  é uma tensão de referência igual a  $V_{DD}$ ,  $S$  é o número de bits do sub-*DAC* que implementa os *LSB* do *DAC* e,  $N_M$  e  $N_L$  são o número de capacitores ligados a  $V_{REF}$  nos sub-*DACs* que estabelecem os *MSB* e *LSB* no *DAC*, respectivamente. Comparando o resultado obtido em (2.25) com a equação (3.11), observa-se um erro de ganho na função de transferência do *DAC* com capacitor ponte igual a  $(1 - 2^{-N_{DAC}})^{-1}$ . Por ser independente do sinal de entrada, o erro de ganho introduzido pela arquitetura do *DAC* com capacitor ponte na curva de transferência do *ADC* se manifesta como um erro estático. Nesse caso, o erro de ganho não afeta a linearidade do conversor porque é constante durante todo o processo de conversão. Se for necessário, pode se realizar calibração para ajustar esse tipo de erro.

Por outro lado, quando a arquitetura do *DAC* capacitivo com capacitor ponte é projetada, erros de linearidade estão presentes devido às capacitâncias parasitárias inerentes no *DAC* capacitivo [45]. As capacitâncias parasitárias criadas pelo roteamento tem uma influência considerável na relação dos capacitores que compõem cada bit ponderado do *DAC*. No projeto do *DAC* desenvolvido neste trabalho, para minorar o efeito das capacitâncias parasitárias o roteamento entre os capacitores que compõem o *DAC* foi feito nas

camadas de metais superiores disponíveis na tecnologia. Também, para manter as relações entre os capacitores, o roteamento foi traçado pensando em conservar o valor capacitivo ponderado entre a placa inferior e superior de cada capacitor do *DAC*. Aproximadamente, uma capacitância de 2 fF foi adicionada em paralelo a cada capacitor devido ao roteamento. Assim, é mantida a relação ponderada entre cada bit do *DAC*, além no capacitor ponte. Na Tabela 3 é mostrado o valor capacitivo de cada bit que compõe o *DAC* em função do capacitor unitário e o valor do peso de cada bit normalizado com base ao valor obtido da vista extraída do *DAC*. A extração das parasitárias foi feita com a ferramenta *calibre*.

Tabela 3: Valores dos capacitores e os seus valores normalizados com base à vista extraída do *DAC*

Bit	Valor	valor normalizado
1	C	1
2	2C	2,1331
3	4C	4,2691
4	8C	8,5767
5	16C	17,1985
ponte (sp)	C	1,1855
6	C	1
7	2C	2,2031
8	4C	4,2691
9	8C	8,5767
10	16C	17,2883

Apoiados na informação resumida na tabela 3, por um lado, os valores capacitivos dos bits de menor peso de cada sub-*DAC* têm pouco desvio do seu valor ideal. Por outro lado, devido a que mais roteamento é necessário para ligar os capacitores dos bits de maior peso em cada sub-*DAC*, estes vão se desviar um pouco mais do seu valor ideal. Porém, isto é aceitável no ponto de vista da precisão do *DAC* porque a janela das tensões de referência criada pelos bits de maior peso, é maior também, assim desvios nos valores ideais destes bits vão ter menor influência no desempenho do *ADC* todo.

Sob outra perspectiva, efeitos de *mismatch* nos capacitores que compõem o *DAC* causados por variações no processo de fabricação e gradientes degradam o desempenho do *ADC*. Para mitigar esses problemas, uma estratégia de centróide comum parcial foi implementada. Por simplicidade, na Figura 36 observa-se o esboço do planejamento do *layout* implementado de um *DAC single-ended* da estrutura diferencial.

Como já foi mencionado, cada *DAC* é dividido em dois sub-*DAC* pelo capacitor ponte. Cada sub-*DAC* utiliza uma estratégia de centroide comum parcial nos seus bits de

X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
X	10	10	9	8	9	10	10	6	X	1	5	5	4	3	4	5	5	X
X	10	10	9	8	9	10	10	7	sp	2	5	5	4	3	4	5	5	X
X	10	10	9	8	9	10	10	7	X	2	5	5	4	3	4	5	5	X
X	10	10	9	8	9	10	10	X	X	X	5	5	4	3	4	5	5	X
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Figura 36: Estratégia de centróide comum parcial implementada para os *DACs*.

maior peso. As chaves para os capacitores foram colocadas perto da matriz para diminuir o roteamento e assim a influência dos elementos parasitários. O dimensionamento destas foi baseado no compromisso entre velocidade e precisão utilizado no projeto das chaves de amostragem. A matriz de capacitores é cercada por *dummies* (denotados por X) para evitar descasamentos devido ao processo de fabricação.

Capacitores *MIM* disponíveis na tecnologia foram usados para o projeto do *DAC*. Estes são compostos por dois planos horizontais paralelos de metal próximos à camada de metal superior isolados por um material dielétrico. Esse tipo de capacitor oferece pouco descasamento e baixa influência das parasitárias porque são fabricados nas camadas dos metais superiores, resultando um projeto robusto às capacitâncias parasitárias devido ao roteamento.

Para fazer a escolha do valor do capacitor unitário, foram considerados o ruído térmico (ou ruído  $kT/C$ , brevemente apresentado na sub-seção 2.3.1.4) e o *mismatch* estudados anteriormente. Por um lado, o ruído  $kT/C$  gerado pelas chaves de amostragem  $M_s$  e do *DAC*, impõe limitações aos tamanhos do capacitor de amostragem  $C_s$  e do capacitor unitário, respectivamente. Nesses casos, a contribuição do ruído térmico gerado pelas chaves deve ser muito menor do que o ruído de quantização para evitar degradação no sinal processado. Por causa disso, a consideração de linearidade para o circuito *T&H* expressa na equação 3.2 permite tornar desprezível o efeito do ruído  $kT/C$  gerado pelas chaves de amostragem no processo de conversão analógico-digital. Para entender a importância da necessidade de projetar o circuito *T&H* com um mínimo valor no *ENOB* igual a 13 bits, suponha o seguinte cenário. Quando o *ADC* opera na fase de amostragem e as  $M_s$  conduzem, uma versão filtrada do ruído  $kT/C$  gerado por elas é armazenado no  $C_s$ . Na fase da decisão dos bits, esse ruído pode corromper o processo de quantização se a sua contribuição não for significativamente minimizada porque será processado pelo *ADC* através da atividade de chaveamento do *DAC*. Por esse motivo, tanto a contribuição do ruído como a da distorção gerada pelas  $M_s$  deve ser muito menor que a distorção gerada pelo processo de quantização. Por outro lado, o efeito do ruído  $kT/C$  gerado pelas chaves do *DAC* é pequeno, pois, a influência no processo de conversão analógico-digital desse

ruído é inversamente proporcional à capacitância total do *DAC* capacitivo. Para projetos de alta resolução ( $N > 12$  bits), o efeito do ruído  $kT/C$  das chaves do *DAC* chega ser uma limitante, pois sua potência é comparável com a potência do ruído de quantização. Portanto, o efeito do *mismatch* nos capacitores do *DAC* ditam o tamanho mínimo do capacitor unitário.

Conforme foi revisado na seção 2.3.2, o circuito *DAC* deve ser preciso, pois esse circuito gera o conjunto de tensões de referência com ponderações binárias no processo de conversão analógico-digital baseado em aproximações sucessivas. Para garantir um bom desempenho do *DAC* em termos de linearidade, idealmente o mínimo valor digital na entrada do *DAC* que deve produzir uma mudança na saída é igual ao passo de quantização  $\Delta$ . Nesse caso, se tiver uma diferença entre dois níveis de conversão consecutivos, diferente ao passo de quantização, erros de linearidade vão se apresentar nas tensões de referência geradas pelo *DAC*. A medida que permite quantificar esses tipos de erros no *DAC* é conhecida como a não-linearidade diferencial (*Differential Nonlinearity-DNL*). Ainda, desvios entre os níveis de um sinal ideal e o sinal testado na saída do *DAC* também podem estar presentes. Em tal caso, esse tipo de erro pode ser testado no *DAC* com a medida conhecida na literatura como não-linearidade integral (*Integral Nonlinearity-DNL*). Considerando as variações randômicas desses tipos de erros devido ao *mismatch* nos capacitores do *DAC*, se deve satisfazer que

$$3\sigma_{DNLmax} < \frac{\Delta}{2} \quad (3.12)$$

$$3\sigma_{INLmax} < \frac{\Delta}{2} \quad (3.13)$$

onde  $\sigma_{DNLmax}$  e  $\sigma_{INLmax}$  são os desvios padrões dos piores casos da *DNL* e *INL*, respectivamente (assumindo que essas medidas de linearidade seguem uma distribuição *Gaussiana*). Como já foi mencionado na seção 2.3.2, o maior desvio do comportamento ideal da tensão analógica de saída do *DAC* ocorre na transição do *MSB*. À vista disso, em [26] são definidos o  $\sigma_{DNLmax}$  e  $\sigma_{INLmax}$  em termos do  $\Delta$  como

$$\sigma_{DNLmax} = \sqrt{2^N - 1} \frac{\sigma_c}{C} \Delta \quad (3.14)$$

$$\sigma_{INLmax} = \sqrt{2^{N-1}} \frac{\sigma_c}{C} \Delta \quad (3.15)$$



Comparando as equações (3.14) e (3.15), observa-se que o desvio padrão da  $DNL$  é maior que o da  $INL$ . Portanto, o  $\sigma_{DNLmax}$  impõe uma limitante na linearidade do  $DAC$ . Com base nisso, e para atingir a condição imposta pela equação (3.12), em [26] é encontrado o valor mínimo do capacitor unitário para um  $DAC$  com capacitor ponte como

$$C = 18(2^M - 1)2^{N_{DAC}-M} K_\sigma^2 K_c \quad (3.16)$$

Na tecnologia de 180 nm  $CMOS$  da  $TSMC$ , os capacitores  $MIM$  têm uma  $K_c=2,225$  fF/ $\mu\text{m}^2$  e uma  $K_\sigma=1,77\%\mu\text{m}$ . Esses valores foram extraídos do modelo de *mismatch* do capacitor  $MIM$  no simulador. A partir disso, e com  $M=5$  e  $N_{DAC}=10$ , se obtém um valor mínimo para capacitor unitário igual a 13 fF. Porém, um capacitor unitário de 100 fF foi escolhido com ajuda de simulações pós-*layout*. O valor aplicado do capacitor unitário tem duas vantagens. Por um lado torna desprezível o efeito das capacitâncias parasitárias devido ao roteamento. As capacitâncias parasitárias nas placas superiores dos capacitores dos  $MSB$  e  $LSB$  deterioram consideravelmente a relação dos capacitores degradando a precisão da conversão [45]. No trabalho [26], o tamanho dos capacitores aplicados são pequenos e perto dos encontrados com ajuda da expressão 3.16. No entanto, nesse caso o conversor opera em baixa velocidade (na ordem de 1 kS/s). Dado que o valor da impedância do capacitor depende da frequência de operação, em tal caso o efeito parasita das capacitâncias é desprezível. No caso deste projeto, a frequência de operação do conversor é pelo menos 20,000 vezes maior do que a do conversor apresentado em [26] e o efeito parasita das capacitâncias é muito mais relevante.

Para ter uma estimativa geral da linearidade nominal do  $DAC$  diferencial desenvolvido neste trabalho, medidas no domínio da frequência foram realizadas. Para fazer este tipo de medida, foi usado como sinal de entrada ao  $DAC$  diferencial a saída de um  $ADC$  diferencial ideal de 10 bits. Na entrada do  $ADC$  ideal foi aplicado um sinal senoidal com amplitude de  $3.42 V_{pp}$  para evitar saturar o sinal de saída do  $DAC$ . Nessas condições, na Figura 37 é mostrada a distribuição Gaussiana da linearidade do  $DAC$  em termos da sua  $SNDR$ . Simulações pós-*layout* de Monte-Carlo incluindo variações de processo e *mismatch*, além da análise de *transient noise* foram consideradas. Cada amostra da  $SNDR$  foi encontrada através da transformada de *Fourier* do sinal de saída analógico do  $DAC$  para cada simulação de Monte-Carlo.

O valor mínimo da  $SNDR$  do  $DAC$  projetado, considerando variações randômicas, se pode considerar como  $SNDR_{DAC} > \mu_{SNDR_{DAC}} - 3\sigma_{SNDR_{DAC}}$ , onde  $\mu_{SNDR_{DAC}}$  e  $\sigma_{SNDR_{DAC}}$

neste caso é a média e o desvio da distribuição *Gaussiana* da Figura 37, respectivamente. Com  $\mu_{SNDR_{DAC}}=59,76$  dB e  $\sigma_{SNDR_{DAC}}=0,49$  dB, a  $SNDR_{DAC}$  será maior que 58,3 dB.

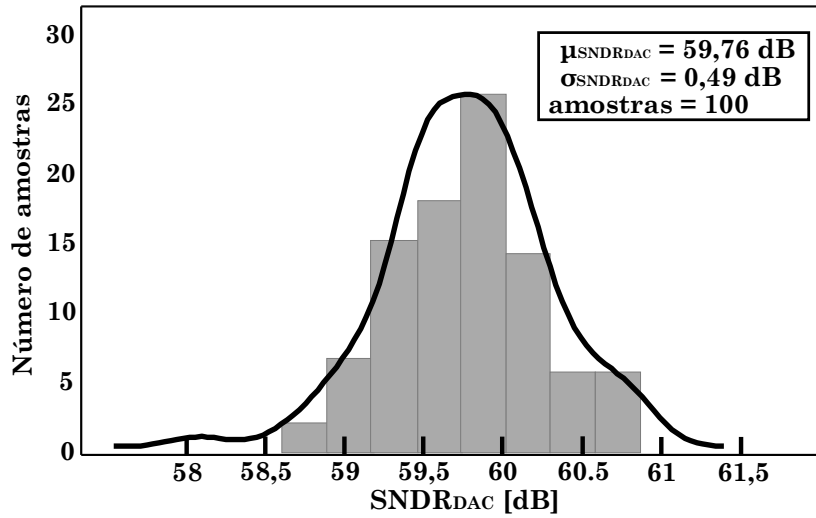


Figura 37: Simulação de Monte-Carlo da linearidade do *DAC*.

Por outro lado, o valor do capacitor unitário aplicado, atinge o requerimento do capacitor de amostragem. Assim, o valor do capacitor de amostragem considerando as capacitâncias parasitárias é perto de 3,3 pF. Em condições nominais, um *ENOB* de 14 bits foi atingido no circuito *T&H* com este valor de capacitor de amostragem.

### 3.2.3 Comparador Dinâmico de dois estágios

Um comparador dinâmico de dois estágios [47] composto por um estágio de pré-amplificação e um *latch* foi usado no conversor implementado. Na Figura 38 é mostrado o seu esquema.

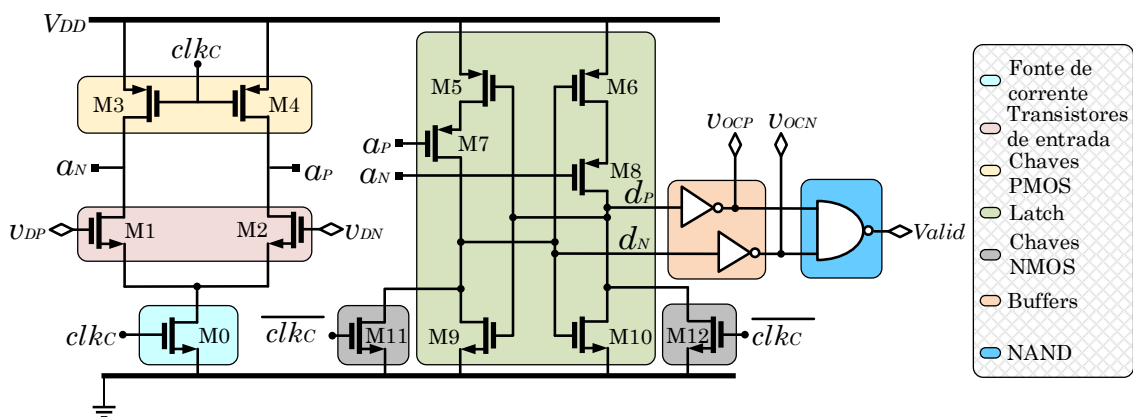


Figura 38: Comparador dinâmico de dois estágios implementado

A operação dinâmica do comparador é dividida em uma fase de *reset* e uma fase de regeneração. A Figura 39 mostra a operação no tempo do comparador.

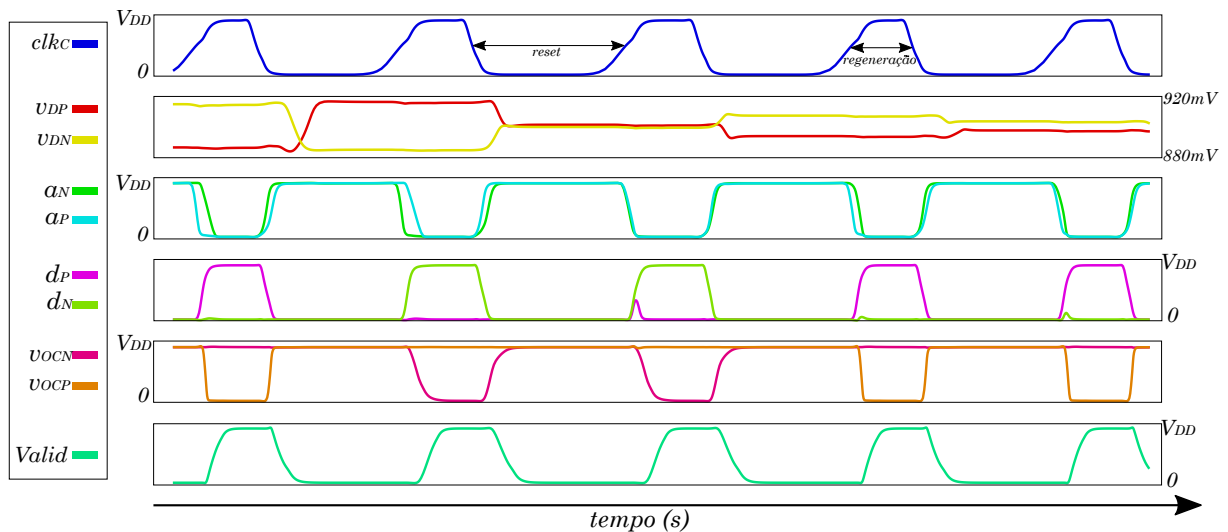


Figura 39: Diagrama de tempo da operação dinâmica do comparador.

Na fase de *reset*,  $clk_C$  é baixo,  $M_0$  está na região de corte, portanto não há fluxo de corrente através do pre-amplificador e por meio das chaves *PMOS*  $M_3$  e  $M_4$ , são carregadas as capacitâncias parasitárias dos nós  $a_P$  e  $a_N$  ao  $V_{DD}$ . Ao mesmo tempo, as chaves *NMOS* forçam os nós de saída do *latch* (nós  $d_P$  e  $d_N$  na Figura 38) a um nível baixo.

Na fase de regeneração,  $clk_C$  vai para o nível alto, as saídas do *latch* são desconectadas da terra, as chaves *PMOS*  $M_3$  e  $M_4$  estão na região de corte e a fonte de corrente  $M_0$  é ligada, habilitando um caminho para o fluxo de corrente através dos transistores de entrada  $M_1$  e  $M_2$ , conseqüentemente descarregando às capacitâncias parasitárias dos nós  $a_P$  e  $a_N$  do  $V_{DD}$  para terra. Supondo que  $v_{DP}$  é maior que  $v_{DN}$ , uma maior quantidade de corrente fluirá pelo transistor  $M_1$ . O desequilíbrio nas correntes dos transistores de entrada  $M_1$  e  $M_2$ , causa ao nó  $a_N$  ir mais rápido do  $V_{DD}$  para terra do que o nó  $a_P$ . A diferença de tensão  $a_P - a_N$  é detectada pelos transistores  $M_7$  e  $M_8$ , e subsequentemente o *latch* dinâmico força uma saída ir para o  $V_{DD}$  enquanto permite a outra ir para terra conforme o resultado da comparação entre  $v_{DP}$  e  $v_{DN}$ . *Buffers* foram ligados na saída do *latch* para tornar a carga capacitiva de saída idêntica. Uma porta *NAND CMOS* na saída dos *buffers* indica que a comparação foi realizada e habilita o relógio de controle assíncrono com o sinal de saída denominado *Valid*.

### 3.2.3.1 Dimensionamento

A primeira consideração para o projeto do comparador foi o consumo de potência. O comparador não consome potência estática, portanto, é eficiente em termos de energia. Além disso, o projeto do comparador foi desenvolvido identificando a função de cada transistor no circuito e assim aplicando as seguintes considerações de projeto:

- **Transistores de entrada:** Os transistores de entrada do estágio de pré-amplificação impõem a resolução do comparador. De uma forma semelhante como foi revisada na subseção 2.3.3, a tensão de *offset* estático do comparador da Figura 38 é

$$V_{OFFSET} = \Delta V_{th1,2} + \frac{(V_{GS} - V_{th})_{1,2}}{2} \left( \frac{\Delta S_{1,2}}{S_{1,2}} + \frac{\Delta R}{R} \right) \quad (3.17)$$

Dado que a resistência vista pelos drenos dos transistores de entrada é aproximadamente infinita quando  $clk_C$  vai para o nível alto, a expressão da tensão de *offset* do comparador projetado é reduzida a

$$V_{OFFSET} = \Delta V_{th1,2} + \frac{(V_{GS} - V_{th})_{1,2}}{2} \left( \frac{\Delta S_{1,2}}{S_{1,2}} \right) \quad (3.18)$$

A expressão (3.18) mostra que a tensão de *offset* estático do comparador da Figura 38 é imposta totalmente pelos parâmetros, dimensões e ponto de polarização dos transistores de entrada. Portanto, a tensão de *offset* do comparador pode ser diminuída aumentando as dimensões dos transistores de entrada, pois o ponto de polarização é fixo e imposto pela fonte de corrente  $M_0$  e a tensão de modo comum dos sinais de saída do *DAC* diferencial como foi mostrado na Figura 29. Com o aumento nas dimensões dos transistores de entrada, aumentam o valor das capacitâncias intrínsecas, diminui o ruído referido à entrada comparador, porém aumenta o consumo de potência. Desta forma o dimensionamento dos transistores de entrada foi projetado considerando: precisão, linearidade e consumo de potência.

Com o fim de caracterizar a tensão de *offset* do comparador, simulações pós-*layout* de Monte-Carlo incluindo variações de processo e *mismatch* foram realizadas. A simulação e caracterização da tensão de *offset* foi realizada com ajuda da técnica proposta em [48]. A tensão de *offset* é obtida a partir dos parâmetros da distribuição Gaussiana mostrada na Figura 40.

O valor da tensão de *offset* pode ser calculada como

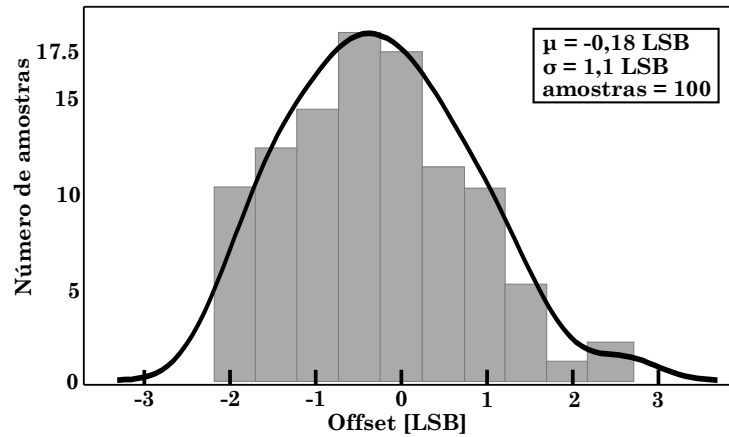


Figura 40: Simulação do *Offset* do comparador implementado.

$$\mu - 3\sigma < V_{OFFSET} < \mu + 3\sigma \quad (3.19)$$

onde  $\mu$  e  $\sigma$  são a média e o desvio padrão da distribuição Gaussiana mostrada na Figura 40, respectivamente. Com  $\mu = -0,18 \text{ LSB}$  e  $\sigma = 1,1 \text{ LSB}$ , o valor da tensão de *offset* em termos do *LSB* se pode encontrar como:

$$|V_{OFFSET}| \leq 3.48 \text{ LSB} \quad (3.20)$$

Para mitigar os efeitos causados pelo processo de fabricação nos transistores de entrada do comparador, dispositivos *dummy* foram usados. Além disso, uma estratégia de centroide comum foi adotada no traço do *layout*. O custo disso é que as capacitâncias parasitárias da saída do pré-amplificador são desequilibradas gerando uma tensão de *offset* maior. Porém, como já foi explicado antes, a tensão de modo comum do comparador é mantida constante durante o processo de conversão, assim o *offset* total do comparador se manifesta como um erro estático na curva de transferência do *ADC*, o que não afeta a linearidade do conversor [29]. Se for necessário, algum método de calibração pode ser implementado para diminuir o valor da tensão de *offset*.

- **Fonte de corrente:** O transistor  $M_0$  exerce o controle do fluxo de corrente dos transistores de entrada quando  $clk_C$  é alto. Desta maneira, assumindo o valor do comprimento de canal de  $M_0$  fixo, com o aumento da largura de  $M_0$ , aumenta a quantidade de corrente fluindo pelos transistores de entrada (assim o consumo de potência do estágio de pré-amplificação) e conseqüentemente aumenta a diferença de tensão  $V_{GS}$ . Revisando a expressão (3.18), com o aumento do  $V_{GS}$  dos transistores de entrada, o valor da tensão de *offset* aumenta também. Ademais, com o aumento

na corrente do  $M_0$ , aumenta a velocidade de resposta dos transistores de entrada ( $g_m$  aumenta), pois as capacitâncias parasitárias dos nós  $a_P$  e  $a_N$  são descarregadas do  $V_{DD}$  para o terra mais rápido. Assim, o dimensionamento da fonte de corrente é um compromisso entre consumo de potência, velocidade e precisão. A dimensão que foi aplicada em  $M_0$ , foi escolhida com ajuda do simulador e com o esquema do laço de geração de relógio completo, visto que, os atrasos do gerador do relógio assíncrono dependem diretamente do atraso intrínseco do comparador como vai se explicar na subseção 3.2.4.1. Já que a tensão de *offset* (precisão) não afeta a linearidade do *ADC*, no dimensionamento da fonte de corrente se deu prioridade em atingir a velocidade desejada, mantendo baixo consumo de potência.

- **Latch:** A função do *latch* é converter a diferença de tensão analógica detectada pelo pré-amplificador em uma decisão digital através de realimentação positiva. A Figura 41a mostra o circuito equivalente do *latch* no começo da fase da realimentação positiva. Observa-se que o *latch* é composto por dois inversores *CMOS*, conectados em uma configuração *cross-coupled*.

Para o projeto do *latch*, foi considerada a velocidade de resposta com que o circuito estabelece uma decisão digital. Se for assumido que justo no começo da fase da realimentação positiva, os transistores que compõem o *latch* operam na região de saturação, cada inversor se pode modelar como uma fonte de corrente carregando uma capacitância  $C_o$  como é mostrado na Figura 41b. Nesse caso,  $C_o$  modela a capacitância equivalente vista na entrada de sinal dos *buffers*,  $R_o$  representa a resistência finita da fonte de corrente devido ao efeito de modulação de canal dos transistores e  $G_m$  é a transcondutância de um inversor do *latch*, equivalente a  $g_{mp} + g_{mn}$ , onde  $g_{mp}$  e  $g_{mn}$  definem a transcondutância dos transistores *PMOS* e *NMOS* que compõem cada inversor do *latch*, respectivamente.

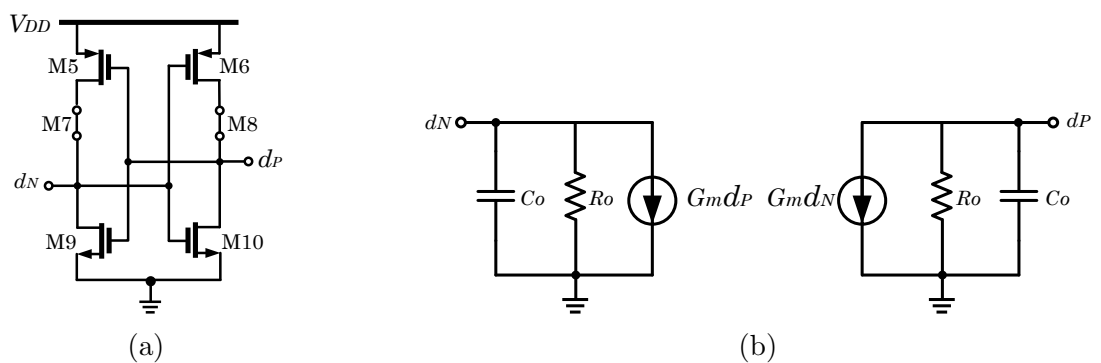


Figura 41: (a) *Latch*; (b) modelo de pequenos sinais do *latch*.

Para ter uma estimativa da velocidade de resposta do *latch*, o objetivo principal

foi determinar a resposta no tempo do circuito. Aplicando a Lei de Corrente de Kirchhoff (LCK) aos nós  $d_P$  e  $d_N$  da Figura 41b, teremos

$$C_o \frac{d(d_P)}{dt} + \frac{d_P}{R_o} + G_m d_N = 0 \quad (3.21)$$

e

$$C_o \frac{d(d_N)}{dt} + \frac{d_N}{R_o} + G_m d_P = 0 \quad (3.22)$$

Subtraindo (3.21) e (3.22), multiplicando o resultado dessa operação por  $R_o$  e reorganizando os termos dá

$$R_o C_o \frac{d(d_P - d_N)}{dt} + (d_P - d_N) - G_m R_o (d_P - d_N) = 0 \quad (3.23)$$

Se for definido: a constante de tempo nos nós de saída de cada inversor como  $\tau_o = R_o C_o$ , o ganho intrínseco de cada inversor como  $A_o = G_m R_o$  e a diferença de tensão na saída diferencial do *latch* como  $v_{latch}(t) = d_P - d_N$ , obtemos que

$$\tau_o \frac{d(v_{latch}(t))}{dt} + v_{latch}(t)(1 - A_o) = 0 \quad (3.24)$$

A equação diferencial (3.24) de primeira ordem modela a resposta natural da tensão diferencial de saída do *latch* sem considerar a resposta forçada. Para resolvê-la, dispomos os termos, obtendo,

$$\frac{d(v_{latch}(t))}{v_{latch}(t)} = \frac{A_o - 1}{\tau_o} dt \quad (3.25)$$

Integrando os dois lados, teremos

$$\ln v_{latch}(t) = \frac{A_o - 1}{\tau_o} t + \ln K \quad (3.26)$$

onde  $\ln K$  é a constante de integração. Portanto,

$$\ln \frac{v_{latch}(t)}{K} = \frac{A_o - 1}{\tau_o} t \quad (3.27)$$

Efetuando a potência de  $e$ , temos

$$v_{latch}(t) = K e^{\frac{A_o - 1}{\tau_o} t} \quad (3.28)$$

Supondo  $V_o$  como uma condição inicial de  $v_{latch}(t)$  forçada pelo estágio de pré-amplificação no tempo  $t = 0$ , justo no começo da fase de realimentação positiva, se obtém que  $v_{latch}(0) = K = V_o$ . Assim,

$$v_{latch}(t) = V_o e^{\frac{A_o - 1}{\tau_o} t} \quad (3.29)$$

A equação (3.29) mostra que a resposta de tensão do *latch* é um crescimento exponencial a partir da tensão inicial. A velocidade com a qual a tensão de saída do *latch* aumenta, é expressa em termos da constante de tempo da expressão (3.29), e se pode escrever como

$$\tau_{latch} = \frac{\tau_o}{A_o - 1} \approx \frac{R_o C_o}{G_m R_o} = \frac{C_o}{G_m} \quad (3.30)$$

Por um lado, assumindo que  $C_o$  (capacitância de entrada dos *buffers*) é proporcional à capacitância entre porta e fonte de um transistor *MOS*, temos [32]

$$C_o = K_1 W L C_{ox} \quad (3.31)$$

onde  $K_1$  é uma constante de proporcionalidade. Por outro lado, assumindo que a transcondutância do inversor se pode definir como  $G_m = g_{mp} + g_{mn} = K_2 g_m$ , quer dizer, como a transcondutância de somente um transistor *MOS* vezes uma constante de proporcionalidade  $K_2$ , obtemos [32]

$$G_m = K_2 g_m = K_2 \mu_n C_{ox} \frac{W}{L} (v_{gs} - V_{th}) \quad (3.32)$$

Com os resultados obtidos em (3.31) e (3.32), a equação (3.30) torna-se

$$\tau_{latch} = \frac{K_1}{K_2} \frac{L^2}{\mu_n (v_{gs} - V_{th})} = K_3 \frac{L^2}{\mu_n (v_{gs} - V_{th})} \quad (3.33)$$

onde  $K_3$  é o resultado de  $\frac{K_1}{K_2}$ . Do resultado obtido em (3.33), se pode deduzir em uma primeira aproximação que a velocidade de resposta do *latch*, depende fortemente do nó do processo no que for implementado o circuito e não das dimensões que foram aplicadas nas larguras dos transistores. Com base nessa análise, os transistores que compõem o *latch* foram dimensionados com o comprimento mínimo do canal para atingir a maior velocidade de resposta no projeto. Quando as variações de processo e temperatura foram consideradas no projeto do *latch*, o tamanho aplicado



nas larguras dos transistores do *latch* foi reconsiderado para atingir a velocidade desejada.

Assim como foi exposto na sub-seção 2.3.3.4, se a diferença de tensão na entrada do comparador for muito pequena, o tempo de resposta na fase de regeneração do circuito pode ser muito grande. Conseqüentemente, a tensão de saída diferencial do *latch* não aumenta o suficientemente rápido para ser reconhecido como um valor lógico válido pelos circuitos sucessivos gerando erros nos códigos de saída do *ADC*. Essa imperfeição do comparador é definida como metaestabilidade e depende da velocidade de resposta do *latch* (desse modo, depende do nó do processo como foi encontrado na expressão (3.33)).

No processo de conversão do *SAR ADC*, através de aproximações sucessivas baseadas em um conjunto de tensões de referência com ponderações binárias definidas pelo circuito *DAC*, é encontrada a representação digital do valor da amostra obtida do sinal de entrada através do comparador. À vista disso, as tensões de entrada do comparador são definidas pelo *DAC* e podem estar entre valores próximos ou menores a um  $\Delta$ . Nessa situação, o comparador pode ter dificuldade em decidir o bit de saída do *ADC*, pois o tempo na fase de regeneração se pode tornar muito longo.

Recapitulando aqui os princípios de operação das lógicas síncrona e assíncrona expostos na seção 2.3.4, no caso de um *SAR ADC* síncrono, o comparador pode ter dificuldade em decidir em qualquer momento da fase de decisão de bits, pois o tempo de comparação é limitado e imposto pelo ciclo de trabalho do sinal de relógio externo (ver Figura 26(a)). Dessa maneira, aumenta a probabilidade de acontecer um erro no processo de conversão analógico-digital devido à metaestabilidade [49]. Por outro lado, no caso do *SAR ADC* assíncrono, cada operação no conversor é executada imediatamente após terminar a anterior, deixando assim uma margem de tempo de liberdade maior ( $M_a$  na Figura 26(b)) para o comparador tomar as decisões que podem requerer uma maior quantidade de tempo. Deste modo, a probabilidade de ocorrer um evento de metaestabilidade em um *SAR ADC* assíncrono é menor que a probabilidade de acontecer um erro devido à metaestabilidade em um *SAR ADC* síncrono [50]. Nos trabalhos apresentados em [49,50], é analisado com mais detalhes o fenômeno de metaestabilidade apresentado em *SAR ADCs*.

Ademais, outro ponto importante no projeto do *latch*, foi considerado na confecção do seu *layout*, pois é muito importante que o *layout* seja o mais simétrico possível para reduzir ao mínimo a probabilidade de um erro de metaestabilidade acontecer

[39].

- **Chaves *NMOS* e *PMOS*:** As chaves no comparador são encarregadas de estabelecer o estado de *reset* no circuito. O dimensionamento aplicado nas chaves do comparador, foi realizado após dimensionar os transistores de entrada e o *latch* considerando que as capacitâncias parasitárias nos nós  $a_{P,N}$  e  $d_{P,N}$  sejam carregadas ou descarregadas ao  $V_{DD}$ , ou para terra, respectivamente, antes que a fase de *reset* termine.

Com base nas considerações de projeto revisadas anteriormente, na Tabela 4 são reportadas as dimensões do comparador de dois estágios implementado.

Tabela 4: Dimensões dos transistores do circuito comparador projetado.

Relação de aspecto	Valor
$(W/L)_0$	$6\mu m/0, 18\mu m$
$(W/L)_{1,2}$	$12\mu m/0, 18\mu m$
$(W/L)_{3,4}$	$2, 5\mu m/0, 18\mu m$
$(W/L)_{5-8}$	$10\mu m/0, 18\mu m$
$(W/L)_{9,10}$	$4\mu m/0, 18\mu m$
$(W/L)_{11,12}$	$2\mu m/0, 18\mu m$

O *layout* do comparador foi otimizado para diminuir o roteamento das interconexões entre os transistores. Desta forma, o valor das capacitâncias parasitárias devido ao roteamento são menores, minimizando o consumo de potência. A área total ocupada pelo comparador é  $20 \times 35 \mu m^2$ . Isto inclui um anel de guarda que cerca o comparador para isolar este dos demais circuitos que compõem o conversor.

### 3.2.4 Lógica assíncrona SAR

A lógica *SAR* assíncrona implementada para exercer o chaveamento *Merged capacitor* no *ADC* projetado é baseada no trabalho apresentado em [29] e está dividida em duas partes. Na primeira parte, o controle principal implementa o algoritmo *SAR*. O seu esquema e diagrama de tempo são mostrados na Figura 42. Na borda de descida de  $clk_S$ , a operação assíncrona começa. O comparador gera o sinal *Valid* (veja a Figura 38), e este habilita cada operação do conjunto de flip-flops que compõem o controle principal. O conceito do processamento assíncrono é acionar a operação interna da decisão dos bits do *MSB* até o *LSB* em efeito dominó. Na borda ascendente de  $clk_S$ , a lógica do controle principal é redefinida para um novo ciclo de conversão impondo o terminal *RS* (*reset*) de

cada flip-flop ao  $V_{DD}$  e conseqüentemente as saídas dos onze flip-flops são forçadas para terra.

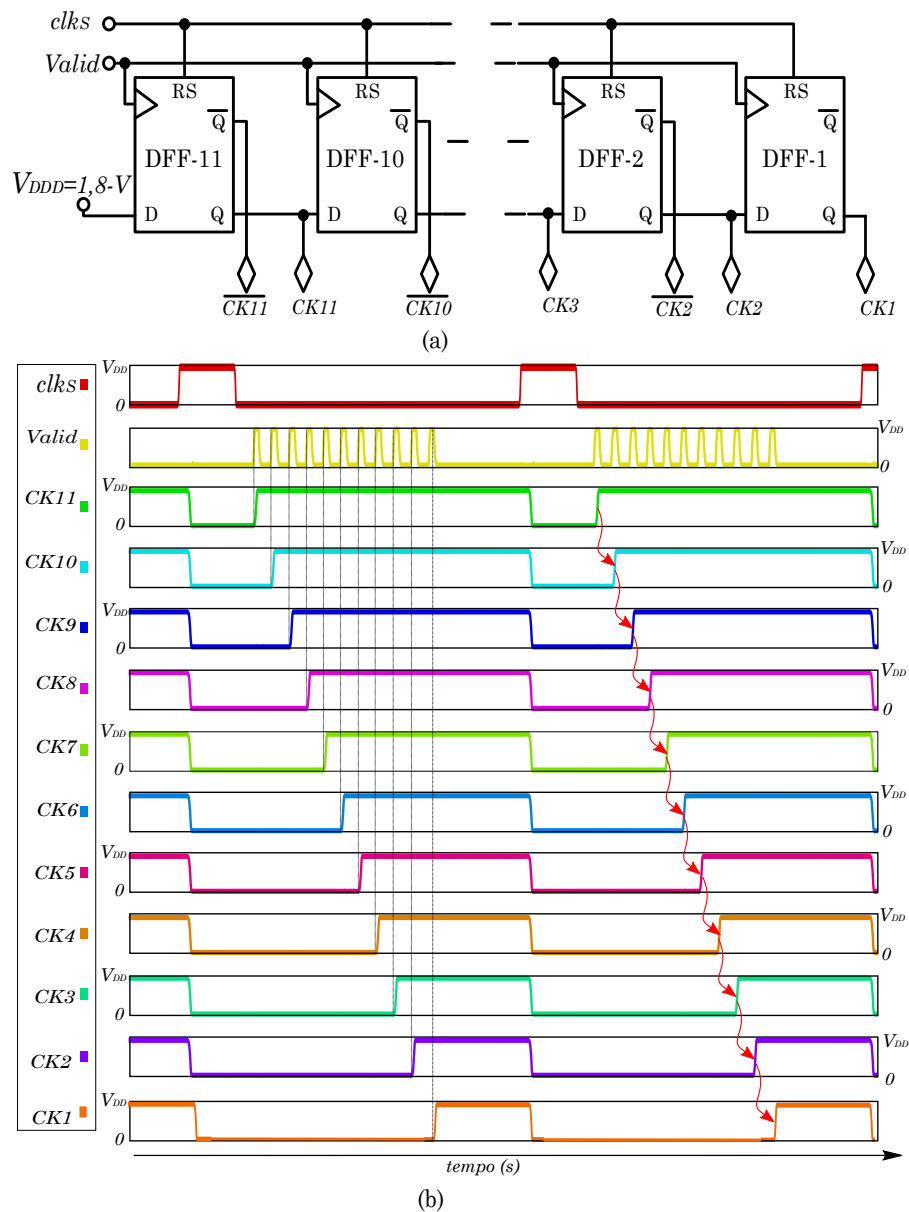
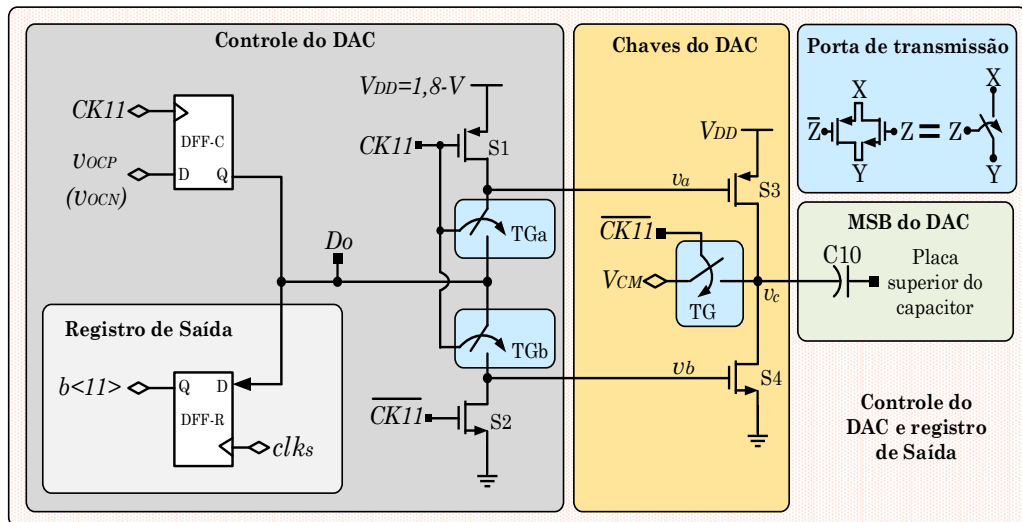


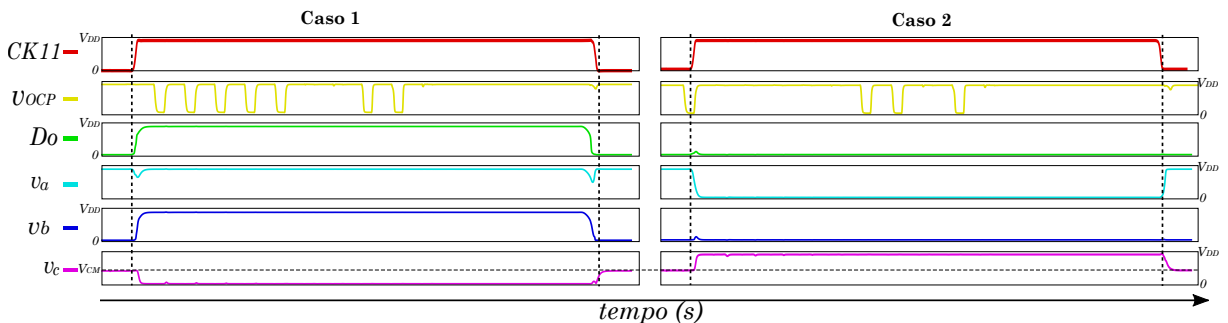
Figura 42: (a) Esquemático do algoritmo SAR; (b) diagrama de tempo do controle principal.

Na segunda parte, implementa-se o registro SAR. Esta parte da lógica é composta por onze células que exercem o controle do DAC diferencial e transferem a palavra digital à saída através de registros (flip-flops). Os onze sinais gerados pelo controle principal ( $CK11$  a  $CK1$ ) acionam o controle das onze células que compõem o registro SAR. Devido a esta parte da lógica possuir um funcionamento idêntico nos onze ciclos do processo de conversão analógico-digital, apenas a operação do conjunto composto pelo controle do DAC e o registro de saída do MSB é explicada a continuação (veja a Figura 43(a)). Quando o ADC realiza a fase de amostragem,  $CK11$  está em um nível de tensão baixo

( $\overline{CK11}$  é alto) e o controle do *DAC* é desconectado das chaves do *DAC* através de portas de transmissão *CMOS* ( $TG_a$  e  $TG_b$ ). A porta de transmissão *TG* liga a placa inferior do capacitor  $C_{10}$  ao  $V_{CM}$ . Além disso, as chaves  $S_1$ - $S_2$  são ligadas forçando às chaves  $S_3$ - $S_4$  do *DAC* se desligarem. Nesta fase de operação, a lógica assíncrona está desabilitada e os sinais *Valid* e  $clk_C$  estão no nível baixo. O gerador de relógio assíncrono será explicado na próxima subseção.



(a)



(b)

Figura 43: (a) Implementação da célula para efetuar o controle do *DAC* e o registro de saída do *MSB* da lógica *SAR*; (b) Diagrama de tempo do controle do *DAC*.

Quando a fase de amostragem terminar (borda de descida do  $clk_S$ ), as chaves de amostragem são desligadas e a operação assíncrona começa. Após um certo atraso, o relógio do comparador vai para o nível alto e uma primeira comparação entre as amostras obtidas do sinal diferencial de entrada será executada imediatamente sem o controle lógico efetuar chaveamento nas placas inferiores dos capacitores que implementam o *DAC*. Quando as saídas do comparador são estabelecidas em um nível lógico, o sinal *Valid* vai para o nível alto. Nesse momento, o flip-flop DFF-11 (ver Figura 42) é disparado pela borda de subida do sinal *Valid*. Desse modo, a saída  $CK11$  do DFF-11 muda do nível baixo para o nível alto. Como consequência disso, o flip-flop DFF-C é disparado pela borda positiva

do  $CK11$  e o dado gerado pelo comparador é transferido para o nó  $D_o$ . Ademais, com o sinal  $CK11$  em alto, as chaves  $S_1$ ,  $S_2$  e  $TG$  estão na região de corte e as portas de transmissão  $TG_a$  e  $TG_b$  ligam o nó  $D_o$  às portas das chaves  $S_3$  e  $S_4$ . Dependendo do nível lógico de saída do comparador transferido ao nó  $D_o$  por meio do DFF-C, alto (caso 1 na Figura 43(b)) ou baixo (caso 2 na Figura 43(b)), a placa inferior do capacitor  $C_{10}$  (nó  $v_c$  na Figura 43(a)) é chaveada para terra (via  $S_4$ ) ou  $V_{DD}$  (via  $S_3$ ), respectivamente. Esse comportamento é complementar no  $DAC$  diferencial. Depois que o sinal  $Valid$  for gerado pelo comparador, o sinal  $clk_C$  vai para o nível baixo com um atraso imposto pelas portas que implementam o gerador de relógio assíncrono, começando a fase de *reset* do comparador. Ao mesmo tempo, devido ao chaveamento entre  $V_{DD}$  ou terra nas placas inferiores dos capacitores  $C_{10}$ , as saídas do  $DAC$  diferencial são estabelecidas para um novo nível de tensão. A borda negativa do  $clk_C$  força as saídas do comparador ( $v_{OCP}$  e  $v_{OCN}$ , ver a Figura 38) a  $V_{DD}$ , e por causa disso, como um resultado da operação  $NAND$  entre  $v_{OCP}$  e  $v_{OCN}$ , o sinal  $Valid$  vai do nível alto para o nível baixo. Com um certo atraso, após o sinal  $Valid$  for resetado ao nível baixo,  $clk_C$  vai de novo para o nível alto e uma nova decisão é gerada pelo comparador com base nas tensões antes estabelecidas nas saídas do  $DAC$ . Nesse caso, o  $MSB-1$  do  $ADC$  será encontrado do mesmo modo que foi explicado anteriormente. Este procedimento continuará até que todos os 11 bits sejam obtidos. Na próxima borda positiva do  $clk_S$ , os registros de saída (DFF-R na Figura 43(a)) são disparados para a obtenção da palavra digital de 11 bits encontrada pelo algoritmo  $SAR$  explicado anteriormente. Além disso, é redefinido um novo ciclo de conversão.

### 3.2.4.1 Geração do relógio assíncrono

O relógio assíncrono é gerado internamente. A Figura 44 mostra o esquemático e diagrama de tempo do gerador de relógio assíncrono. Esse é composto por uma porta  $NOR$   $CMOS$ , uma célula de atraso [51], e uma porta inversora  $CMOS$ . A borda de descida de  $clk_S$  aciona a primeira comparação ( $clk_c$  vai para alto) com um tempo de atraso igual a  $td_1$ , que corresponde ao retardo interno da porta  $NOR$ , o tempo de descarga imposto pela cascata de transistores  $NMOS$  da célula de atraso e o atraso interno do inversor que segue. Quando a comparação for concluída, o comparador gera o sinal  $Valid$  com um tempo de atraso igual a  $td_2$ , que compreende os atrasos internos do comparador, o retardo dos *buffers* de saída desse e o atraso da porta  $NAND$   $CMOS$  ligada nas saídas do comparador (veja a Figura 38). Uma vez o sinal  $Valid$  for gerado, o sinal  $clk_c$  vai para baixo após um atraso igual a  $td_3$ , composto pelo atraso da porta  $NOR$ , o tempo de carga da célula de atraso, e o atraso da porta inversora que segue. Com uma função  $NOR$  de

$clk_s$ ,  $CK1$  e  $Valid$ , o relógio do comparador dinâmico é gerado.  $td_4$  é a soma do tempo de *reset* do comparador, o atraso dos *buffers* de saída do comparador e o atraso da porta *NAND*. Este procedimento continuará até que as 11 comparações sejam realizadas. A borda ascendente do sinal  $CK1$  (ver Figura 42) indica o fim da conversão. O comparador alcança rápida decisão devido à forte realimentação positiva do *latch*, assim o tempo da fase de regeneração é rápido. O tempo de duração desta é definido pelo conjunto da soma dos atrasos  $td_2$  e  $td_3$ . A célula de atraso foi desenvolvida para permitir um maior tempo de estabilização para o *DAC*. Assim, é possível atingir uma conversão rápida e de alta precisão. A soma de  $td_1$  e  $td_4$  compõem o tempo da fase de *reset*, portanto o tempo de estabilização do *DAC*. Devido que a cascata dos transistores de canal longo forçam  $td_1$  ser maior, um tempo de estabilização maior para o *DAC* pode ser alcançado.

Devido a variações no processo de fabricação, voltagem de alimentação e temperatura (PVT), os atrasos do relógio assíncrono são variáveis. Por exemplo, assumindo que o circuito opera em condições nominais de voltagem de alimentação e temperatura, mas na *corner* de processo *slow-slow (SS)* para os transistores *NMOS* e *PMOS*, respectivamente, os atrasos intrínsecos do relógio assíncrono aumentam consideravelmente, ao ponto que o *ADC* não tenha tempo suficiente para a decisão dos 11 bits. Visando a diminuir o efeito das variações PVT no circuito gerador do relógio assíncrono, uma célula de atraso variável foi desenvolvida. A célula de atraso variável é composta por três células de atraso em paralelo com diferentes comprimentos de canal aplicados nos dispositivos *NMOS* a fim de aumentar o diminuir o atraso  $td_1$ , ajustando corretamente o tempo de estabilização para o *DAC*. Para fins de teste, três pinos externos estão disponíveis para seu controle.

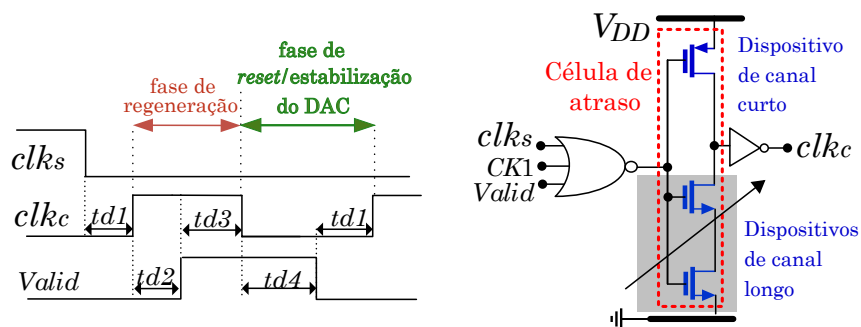


Figura 44: Esquemático e diagrama de tempo da geração do relógio assíncrono.

### 3.3 Considerações do Layout

Quando circuitos de natureza digital e analógica são projetados no mesmo substrato, uma boa estratégia de *layout* deve ser desenvolvida. Particularmente, o tipo de circuitos

que processam sinais das duas naturezas, são comumente chamados de circuitos de sinal misturado. Este é o caso do *ADC*. Por um lado, os circuitos analógicos processam sinais que variam de forma suave e contínua onde as pequenas mudanças na tensão ou corrente são significativas. Esses tipos de circuitos são sensíveis ao ruído gerado fora ou no *chip*. Por outro lado, os circuitos digitais tendem a fazer uma transição abrupta de um estado de tensão para outro gerando pulsos de correntes relativamente grandes em um curto período de tempo. Esses pulsos de corrente manifestam-se como ruído nas tensões de alimentação devido a efeitos dos indutores parasitários dos fios de ligação (*wire bond*) que há entre as fontes das tensões de alimentação e o *chip*.

Ademais, ruído gerado pelo chaveamento dos transistores pode acoplar-se por meio do substrato aos sinais analógicos de alta precisão. Pensando em minimizar a influência dos sinais indesejados que podem se acoplar aos sinais de alta precisão e outros efeitos que degradam a operação do *ADC* quando esse for fisicamente implementado, algumas estratégias relevantes no traço do *layout* foram adotadas e são as seguintes:

- Domínios separados na alimentação do *ADC* para os circuitos digitais e analógicos foram implementados. Essa consideração evita principalmente que o ruído gerado pelos circuitos digitais seja injetado aos circuitos analógicos através da fonte de alimentação. Três domínios foram implementados e a distribuição dos circuitos do *ADC* em cada domínio é como segue:
  - $V_{DDA}-V_{SSA}$ : *T&H* e comparador.
  - $V_{REFP}-V_{REFN}$ : *DAC* capacitivo.
  - $V_{DDD}-V_{SSD}$ : Lógica *SAR*.
- Através de anéis de guarda foram criados caminhos de baixa impedância que cercam cada circuito que compõe o conversor. Cada anel de guarda foi ligado à terra do *chip* através de contatos a substrato. Essa consideração tem duas vantagens, pois cada anel de guarda que cerca cada circuito, serve como proteção contra possíveis perturbações externas geradas pelos demais circuitos que compõem o conversor e evita a propagação das perturbações internas geradas pelo circuito mesmo para os outros circuitos.
- Na integração do *ADC*, cada circuito foi posicionado de acordo com sua natureza (analógica ou digital) [52,53]. Na Figura 45, é exibido o *layout* traçado do conversor projetado. Devido a que os circuitos *T&H* e *DAC* processarem pequenos valores

de tensão no processo de conversão analógico-digital e qualquer perturbação afeta suas operações (precisão), esses circuitos foram posicionados afastados do circuito lógico, que gera muito ruído.

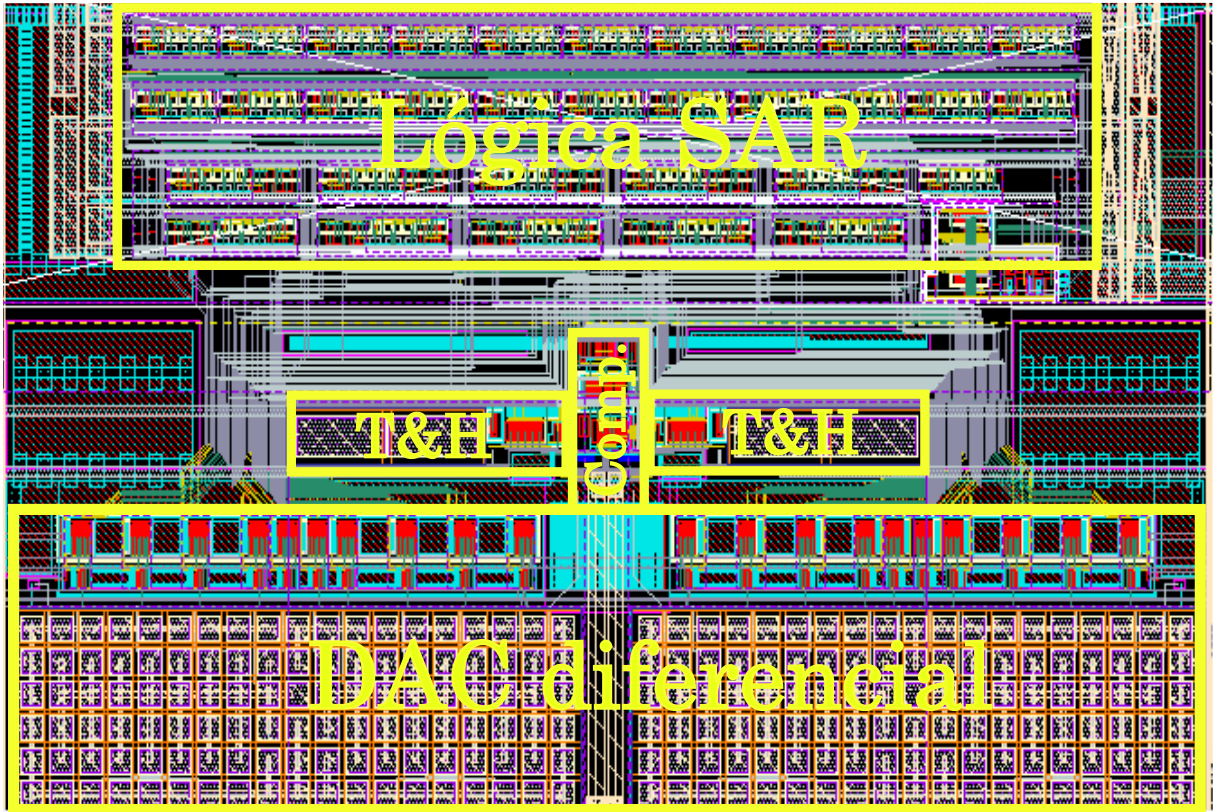


Figura 45: *Layout* do *ADC* projetado.

- Como vai se apresentar na seção dos resultados de simulação, o circuito lógico consome a maior parte da potência total do conversor. Assim, a temperatura desse circuito será ligeiramente mais alta do que a dos outros circuitos. Isso gera gradientes de temperatura que podem afetar o funcionamento dos circuitos sensíveis, como por exemplo o *DAC*. Esta é uma razão adicional para posicionar o circuito lógico o mais afastado possível dos demais circuitos que compõem o *ADC*.
- Como já foi mencionado, como resposta a um sinal analógico na sua entrada, o circuito comparador gera uma decisão digital nas suas saídas. Esse circuito foi posicionado entre os circuitos analógicos e digitais que compõem o *ADC*, servindo como interface dos circuitos das duas naturezas.
- Por último, o roteamento de entrada foi traçado considerando a sua natureza diferencial. Se o roteamento dos nós diferenciais não for totalmente simétrico, problemas de não linearidade vão se apresentar devido ao ruído acoplado através das capacitâncias parasitárias não equilibradas [54]. Em outras palavras, o *ADC* terá baixa



rejeição em modo comum. Além disso, o descasamento no roteamento dos sinais diferenciais gera uma tensão maior de *offset* na curva de transferência entrada-saída do conversor.

### 3.4 Resultados de simulação pós-*layout*

A seguir, resultados obtidos das simulações pós-*layout* do *ADC* são mostrados. Na caracterização do *ADC* através de simulações, foi usado um *DAC* ideal de 11 bits ligado à saída do *ADC* projetado como se mostra na Figura 46.

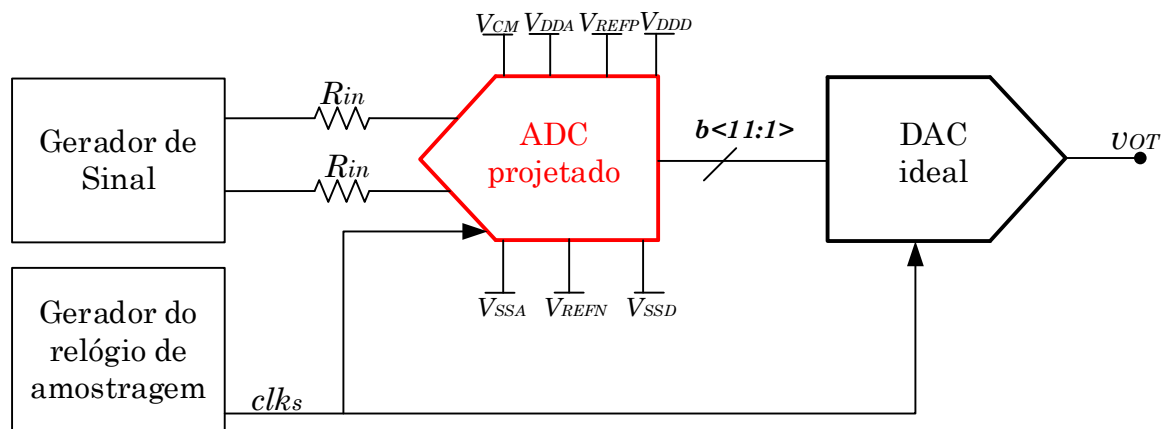


Figura 46: Diagrama de blocos da configuração para o teste em simulação do *ADC* projetado.

Ademais, foi considerado o efeito resistivo na saída do gerador de sinais. Por simplicidade, esse efeito resistivo foi modelado como um resistor de 50 Ohm ( $R_{in}$ ). Considerar  $R_{in}$  nos testes de simulação do conversor é muito importante devido a que a carga injetada pelo canal nos terminais de dreno e fonte das chaves de amostragem depende das impedâncias vistas nesses nós (como já foi explicado na seção 2.3.1). Assim, se não for considerado  $R_{in}$  nas simulações do conversor, o desempenho do *ADC* no estágio de teste experimental será inferior ao projetado. Para mostrar a validade do que foi dito antes, foi executada uma simulação transiente do circuito *T&H* varrendo o valor de  $R_{in}$ . A Figura 47 mostra a linearidade em termos do *ENOB* do circuito *T&H* operando a 20 MS/s em função de  $R_{in}$ .

Conforme o valor de  $R_{in}$  aumenta, o *ENOB* diminui, pois, a quantidade de carga injetada no capacitor de amostragem aumentará. No entanto, o tempo de estabilização e a precisão do *T&H* serão afetados e degradarão o desempenho do *ADC*. Observe que, quando  $R_{in} = 0$  Ohms, o valor do *ENOB* do *T&H* é um pouco maior a 13 bits, sendo este, um valor ótimo para o projeto do conversor atual segundo a expressão 3.2.

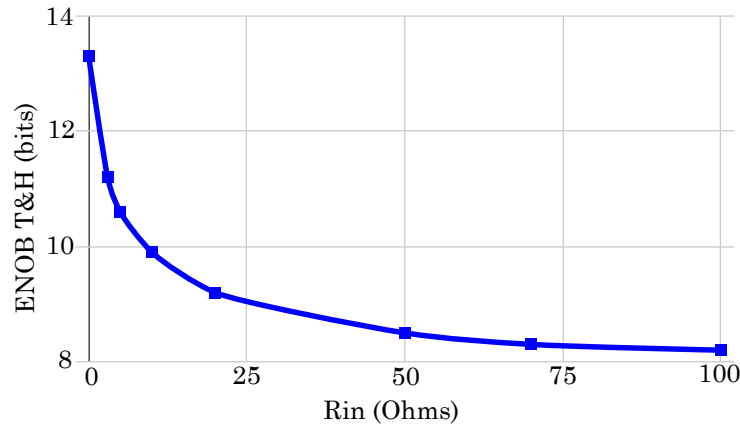


Figura 47:  $ENOB$  do  $T\&H$  em função de  $R_{in}$

Porém, quando  $R_{in} = 50$  Ohms, o valor do  $ENOB$  do  $T\&H$  é ligeiramente maior que 8 bits sendo assim um valor muito baixo para o projeto do conversor atual. Para valores de  $R_{in}$  maiores a 50 Ohms, o  $ENOB$  do  $T\&H$  se mantém aproximadamente constante. Intuitivamente, isto acontece porque a partir deste valor de  $R_{in}$ , toda a quantidade de carga armazenada pelo canal das chaves de amostragem em modo rastreamento é injetada diretamente no capacitor. Assim, pouca ou nenhuma quantidade de carga vai fluir em direção dos terminais do gerador de sinal.

A continuação, são apresentados os resultados de simulação dos parâmetros de rendimento do  $ADC$  em termos de linearidade. Os parâmetros de rendimento medidos foram divididos em dois grupos: estáticos e dinâmicos.

### 3.4.1 Resultados dos parâmetros estáticos

Os parâmetros estáticos de um  $ADC$  podem ser encontrados assumindo que o sinal de entrada analógico é de baixa velocidade ou quase constante no tempo. Nesse tipo de análise é considerado que os estados transitórios do sinal de entrada são desprezíveis. Para medir os parâmetros estáticos do  $ADC$  por simulações, o conversor foi excitado na sua entrada com um sinal diferencial tipo rampa. A inclinação de cada rampa que compõe o sinal diferencial de entrada foi definida como  $\frac{\Delta}{10 \times T_s}$ , em que  $\Delta$  e  $T_s$ , são o valor do passo de quantização e o período de amostragem do  $ADC$ , respectivamente. As medidas estáticas conhecidas na literatura como a não linearidade diferencial (*Differential Nonlinearity - DNL*) e a não linearidade integral (*Integral Nonlinearity - INL*), foram extraídas do sinal saída do  $ADC$  com ajuda do método de histograma [57]. Por um lado, a  $DNL$  quantifica os desvios que sofrem os níveis de quantização gerados pelo conversor. Por outro lado, a  $INL$  quantifica o desvio entre a característica entrada-saída do  $ADC$  testado e, a característica

entrada-saída de um *ADC* ideal.

A Figura 48 mostra a *DNL* e a *INL* como função das possíveis 2048 palavras digitais de saída do *ADC* projetado operando a 20 MS/s e uma tensão de alimentação nominal de 1,8 V. Um bom desempenho estático do conversor foi obtido nas simulações. A *DNL* e a *INL* são  $+0,32/-0,29$  *LSB* e  $+0,33/-0,26$  *LSB*, respectivamente. Assim, o conversor tem comportamento monotônico.

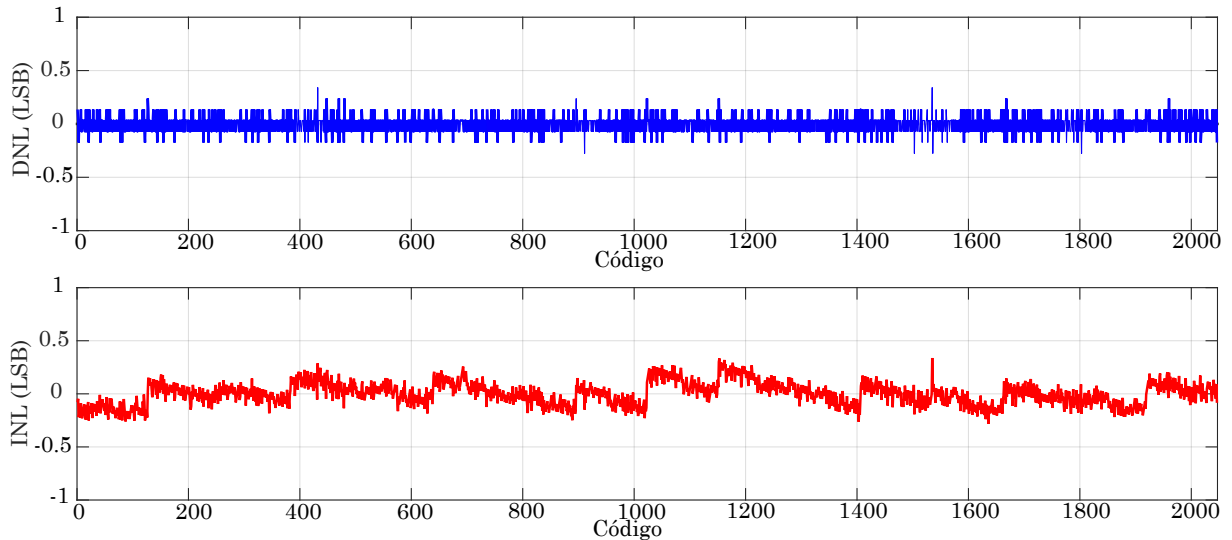


Figura 48: Medições da *DNL* e *INL* em 20 MS/s e 1,8 V.

Normalmente, o pior caso da *DNL* e *INL* acontece no código do meio (a transição do *MSB*, isto é quando o código de saída do *ADC* vai de 0111...1 para 1000...0) na arquitetura *SAR* com o chaveamento convencional. Porém, com base nas medições de simulação obtidas da atual implementação, isso não acontece. Duas conclusões principais foram tiradas para explicar o que antes fora dito. Por um lado, devido às estratégias de *layout* desenvolvidas no *DAC* diferencial, as capacitâncias parasitárias inerentes neste devido ao roteamento, têm pouca influência na linearidade de baixa frequência do conversor. Por outro lado, devido ao esquema de chaveamento implementado baseado na técnica *Merged Capacitor*, os erros de não linearidade encontrados na transição do *MSB* têm baixo valor. Particularmente, este esquema de chaveamento leva vantagem de não fazer chaveamento no *DAC* para a decisão do *MSB* do *ADC*.

### 3.4.2 Resultados dos parâmetros dinâmicos

Os parâmetros estáticos não são suficientes para caracterizar totalmente o *ADC*, pois não permitem ter uma estimativa completa do comportamento geral do conversor quando o sinal de entrada sofre mudanças rápidas. Na implementação física do *ADC*,

diferentes fontes de ruído e distorção degradam a qualidade do sinal processado causando não linearidades, além da já gerada pelo processo de quantização. Assim, a caracterização no domínio da frequência permite ter uma estimativa mais exata do comportamento geral do conversor, pois os estados transitórios do sinal de entrada são considerados. Para fazer este tipo de caracterização, o conversor opera numa certa frequência de amostragem sendo excitado com um sinal senoidal puro na sua entrada. As frequências de entrada e amostragem devem cumprir a relação conhecida como amostragem coerente [58]. O espectro do sinal após o processamento de conversão analógico-digital é encontrado usando a transformada rápida de Fourier (*Fast Fourier Transform - FFT*) e baseados neste, os parâmetros dinâmicos podem ser extraídos. Para encontrar o espectro do sinal digital de saída do *ADC*, foi usado um *DAC* ideal de 11 bits ligado na saída da vista extraída do *ADC* projetado (ver Figura 46). O sinal analógico de saída do *DAC* ideal ( $v_{OT}$  na Figura 46) contém a informação que se precisa para quantificar as medidas dinâmicas do *ADC* por meio da *FFT*.

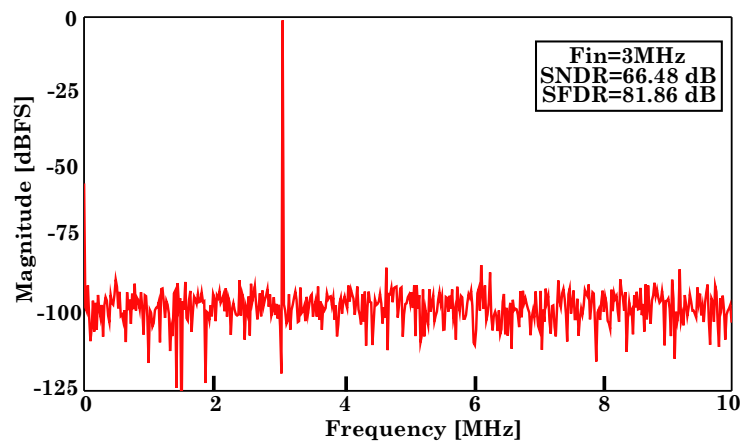


Figura 49: Espectro da *FFT* (1024 amostras) do sinal de saída do conversor para um tom de entrada de 3 MHz com uma frequência de amostragem de 20 MS/s.

Como resposta a uma frequência senoidal perto de 3 MHz e uma amplitude de entrada de  $3,42 V_{pp,diff}$ , a Figura 49 mostra o espectro do sinal de saída do conversor operando em condições nominais e a uma frequência de amostragem de 20 MS/s. O *ENOB* medido por meio da simulação foi 10,75 bits. A *SNDR* e o *SFDR* medidos com base no espectro obtido na Figura 49 foram encontrados como 66,48 dB e 81,86 dB, respectivamente. Os resultados reportados são obtidos com base em análise de ruído transiente, foram usados os modelos de processo típicos dos dispositivos e a temperatura estabelecida foi de 27°C. Fornecida por uma fonte de alimentação de 1,8 V, o consumo de potência total é 2,89 mW. A distribuição de potência obtida da simulação é como segue: 0,81 mW para os circuitos de *T&H* e comparador, 1,62 mW para a lógica *SAR*, e 0,44 mW devido ao chaveamento do *DAC*.

Para medir a largura de banda do conversor ( $ERBW$ ), na Figura 50 observa-se a linearidade em termos da  $SFDR$  e  $SNDR$  testadas como função da frequência de entrada ( $F_{in}$ ) em 20 MS/s. Em baixa frequência, as medidas da  $SNDR$  e  $SFDR$  são 66,86 dB e 82,13 dB, respectivamente. O  $ENOB$  resultante é 10,81 bits. Quando a frequência de entrada aumentou a 10 MHz, as medidas da  $SNDR$  e  $SFDR$  são 66,43 dB e 83,03 dB, respectivamente. Assim a  $ERBW$  do conversor projetado é igual a 10 MHz (frequência de *Nyquist*).

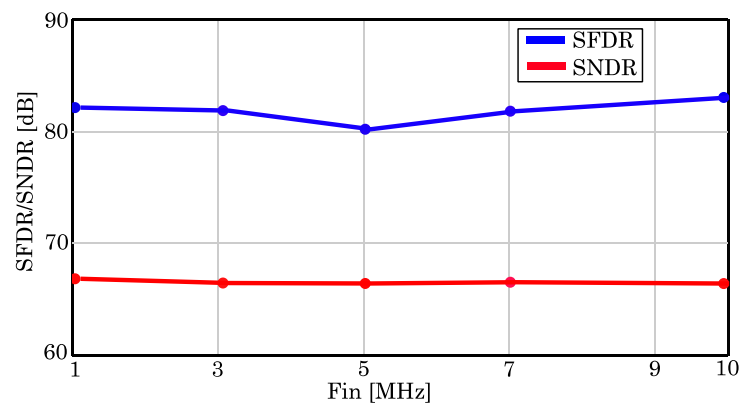


Figura 50:  $SFDR$  e  $SNDR$  obtida em simulação em função da frequência de entrada.

Para fazer medida da faixa dinâmica do conversor projetado, a Figura 51 mostra a  $SNDR$  medida em função da amplitude de entrada. Neste caso, o conversor opera a 20 MS/s, 1,8 V e a frequência de entrada é a de *Nyquist*. A faixa dinâmica medida é 66,4 dB. A degradação da  $SNDR$  para amplitudes de entrada perto a 0 dBFS é causada pela saturação dos códigos de saída do conversor. O valor pico da  $SNDR$  foi encontrado igual a 66,43 dB.

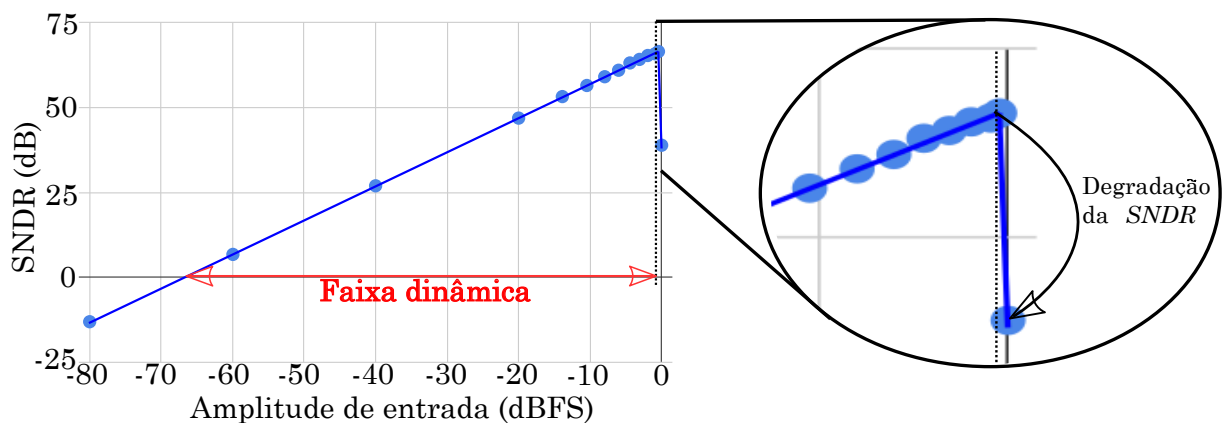


Figura 51: Medida da faixa dinâmica.

### 3.4.3 Comparação com trabalhos do estado da arte

A tabela 5 resume os resultados obtidos ao nível de simulação deste trabalho. Além disso, compara este trabalho com alguns conversores fabricados do estado da arte publicados recentemente. Os principais critérios de comparação que foram considerados são:

- Frequência de amostragem  $\geq 20$  MS/s,
- Nó do processo  $\leq 180$  nm
- Resoluções similares.

Tabela 5: Resumo e comparação de desempenho do *ADC* em nível de simulação pós-*layout*.

Especificações	<i>ISSCC</i> 19 [59]	<i>JSSC</i> 10 [60]	<i>TCASI</i> 17 [61]	<i>JSSC</i> 18 [62]	Este trabalho
Tecnologia (nm)	180	180	180	65	180
Arquitetura	SAR	Pipeline	SAR	SAR	SAR
Fonte de aliment. (V)	–	1,8	1,8	1	1,8
Freq. amost. (MS/s)	20	26	40	20	20
Resolução (bit)	10	11	11	10	11
ENOB (bit)	9,15	9,85	9,87	8,75	10,75
SNDR (dB)	56,85	61,13	61,2	54,4	66,48
SFDR (dB)	–	67	74,8	58,9	81,86
Cons. de Pot.(mW)	1,23	26,7	2,05	0,133	2,89
FoM <sub>W</sub> (fJ/c-s)	108,2	1113	70,2	17,2	84
FoM <sub>S</sub> (dB)	156	148	160	162,7	162
Área (mm <sup>2</sup> )	0,028	1,9	1,61	0,074	0,1

#### Resultados de simulação dos *Corners PVT*

Parâmetro	FF @ 0 °C	FS @ 50 °C	SF @ 50 °C	SS @ 80 °C	TT @ 27 °C
Fonte de aliment. (V)	1,9	1,8	1,8	1,7	1,8
Cons. de Pot.(mW)	4,023	3,051	3,167	2,288	2,897
ENOB@Max Fin (bit)	10,34	10,73	10,65	10,32	10,73
SNDR@Max Fin (dB)	64,02	66,36	65,86	63,9	66,35
FoM <sub>W</sub> (fJ/c-s)	155	90	99	90	85
FoM <sub>S</sub> (dB)	158	161,5	160,8	160	161,7

Em condições nominais, este trabalho consegue o melhor desempenho em termos de linearidade em comparação aos outros trabalhos. Porém, só tem melhor desempenho que [60] em termos de consumo de potência. Em termos de área, o *ADC* é eficiente, só [59, 62] são melhores. Em referência aos quatro trabalhos citados, este trabalho atinge uma *FoM<sub>W</sub>* de 84 (fJ/c-s), portanto é o terceiro melhor após dos projetos apresentados por [61, 62]. Com uma *FoM<sub>S</sub>* de 162 (dB), este trabalho é melhor aos demais implementados em tecnologia *CMOS* de 180 nm. Por um pouco só, [62] atinge uma *FoM<sub>S</sub>* melhor. Porém, considerando que o nó tecnológico deste outro trabalho é de 65 nm, a tensão de alimentação é 1 V e a resolução é de 10 bits, não é possível fazer uma comparação justa

com este trabalho. Com base nisto, o *ADC* projetado consegue desempenho do estado da arte ao nível de simulação *layout*.

Além disso, simulações de *corners* variando: o processo, a tensão de alimentação (entre 1,7 V e 1,9 V) e temperatura (entre 0°C e 80°C) foram realizadas. Na parte inferior da tabela 5 são relatados alguns dos resultados obtidos baixo essas variações. Nessas condições, o projeto continua atingindo as principais especificações do projeto: máxima frequência de amostragem de 20 MS/s e uma *SNDR* maior a 62 dB.

## 4 RESULTADOS EXPERIMENTAIS

Neste capítulo apresentam-se as características fundamentais do *chip* de teste fabricado. Além disso, as considerações para o projeto da placa de teste são descritas. No final do capítulo, são discutidos os problemas encontrados nas medidas experimentais do conversor que foram realizadas.

### 4.1 Descrição do chip de teste fabricado

O conversor foi fabricado em tecnologia 180 nm *CMOS* da *TSMC*. Na figura 52 observa-se uma microfotografia do *chip* de teste com vista ampliada do conversor. A área total ocupada pelo *ADC* é de 0,1 mm<sup>2</sup>. Como cada ponta de prova do equipamento de teste para medir os bits de saída do *ADC* tem um alto valor capacitivo na entrada, *buffers* no *chip* de teste foram projetados e ligados em cada bit na saída digital do conversor, pois eles fornecem corrente suficiente à sua carga e permitem diminuir os atrasos nos sinais de saída do *ADC*. Um domínio adicional foi utilizado no *chip* de teste para os *buffers*. No total, 4 pinos (2 para cada  $V_{DD}$  e 2 para cada terra) foram destinados para cada domínio, a fim de diminuir o efeito indutivo dos *wire bond*.

O nó do processo tem níveis de tensão de alimentação nominais de 1,8 V e 3,3 V, porém, o protótipo foi projetado para operar somente na tensão nominal de 1,8 V. Além disso, o processo disponibiliza um substrato com maior dopagem tipo p, uma camada de silício policristalino e seis camadas de metal (1P6M).

O efeito dos elementos parasitários criados pelas interconexões entre o conversor projetado e os pinos do *chip* de teste podem desviar o comportamento do conversor visto nas simulações do comportamento após a fabricação. Então, diminuir o impacto desses efeitos não desejados é o ideal. Pensando nisso, as duas últimas camadas de metal (M5 e M6) foram utilizadas para estas interconexões dado que estas camadas são fabricadas com materiais de menor resistividade, evitando quedas de tensão ao longo do roteamento, e sua capacitância parasitária em relação ao substrato é menor. Ainda, se revisou o *kit* de



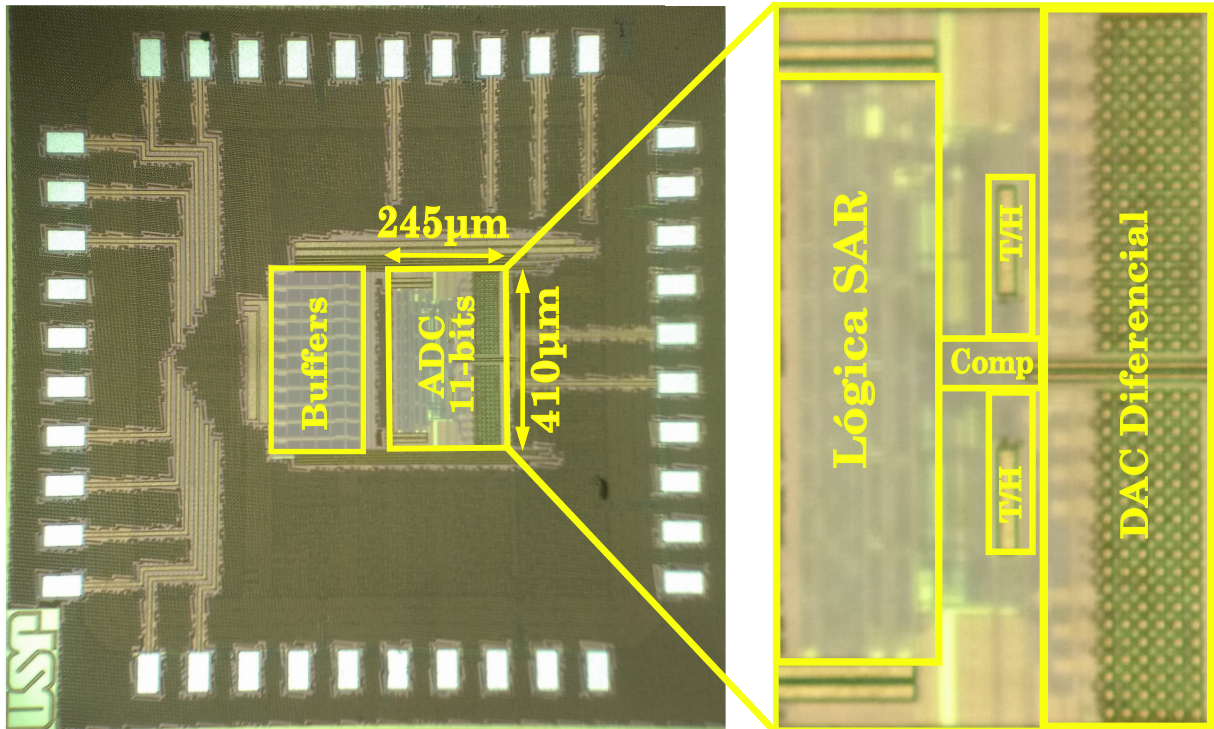


Figura 52: Microfotografia do *chip* de teste com visão ampliada do *ADC* projetado.

projeto do processo (*Process Design Kit-PDK*) da tecnologia para ter em consideração as densidades de corrente que cada metal suporta. Finalmente, o *chip* de teste foi empacotado em um pacote *Quad Flat No leads* (QFN) de 40 pinos (QFN40) com uma cavidade quadrada de 5mm x 5mm da *Europractice* [55].

## 4.2 Projeto da placa de teste

Com o envio do *chip* para fabricação, iniciou-se o projeto da placa de teste, cujo *layout* pode ser visto na figura 53. A área total ocupada pela placa é de 8 cm x 10 cm. Só duas camadas de cobre foram utilizadas no seu projeto.

Inicialmente, foram revisadas as dimensões do pacote QFN40 com base na informação relatada em [55] para a criação do *footprint* do *chip* de teste. Tendo projetado o *footprint* do protótipo, as seguintes estratégias de projeto foram consideradas com base em [63–65]:

- Para evitar dificuldades de espaçamento entre os componentes, padronizar o roteamento e maximizar o uso da placa, foi utilizado uma *grid* fixa de 12,5 milésimos de polegada em todo o processo de criação do *layout*.
- Tendo em conta a natureza diferencial dos sinais analógicos de entrada, a simetria desses foi mantida. A placa de teste foi projetada para ligar o sinal de entrada do

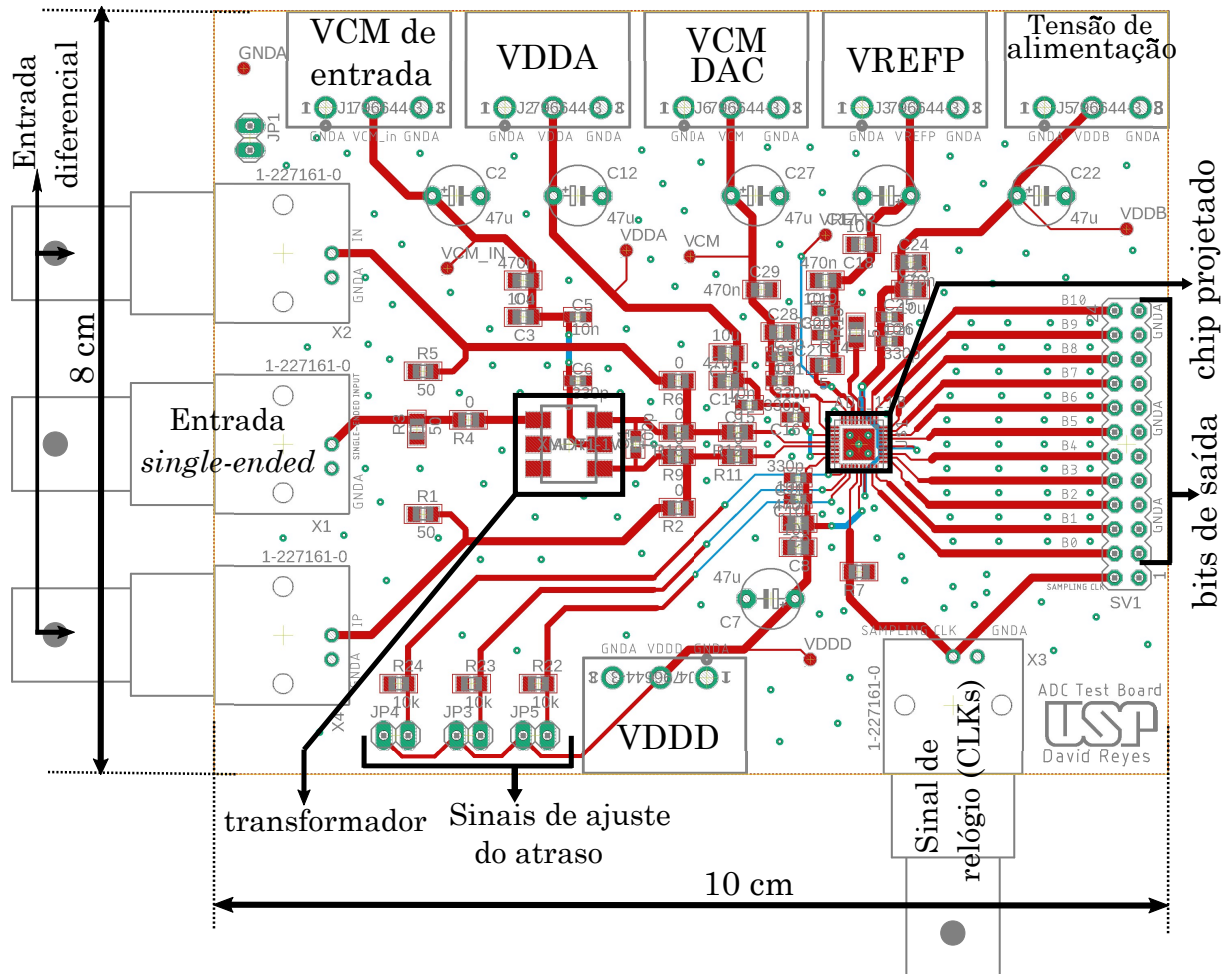


Figura 53: *Layout* da placa de teste projetada.

conversor de maneira tanto diferencial quanto *single-ended*. Por um lado, com a entrada diferencial, os sinais são diretamente ligados ao conversor. Por outro lado, um sinal *single-ended* é convertido a diferencial através de um transformador.

- As linhas de interconexão entre os componentes foram traçadas o mais curtas possível para evitar efeitos parasitários indesejados, que podem degradar o desempenho do conversor.
- Os componentes e pontos de teste foram distribuídos na placa considerando suas respectivas funções e naturezas (digital ou analógica). Isso torna as interconexões entre componentes mais curtas e facilita a localização das possíveis falhas nos testes.
- Capacitores de desacoplamento foram colocados em cada domínio do *ADC* (por exemplo, entre  $V_{DDA}$  e  $V_{SSA}$ ), porque eles fornecem um caminho para as componentes de alta frequência de corrente que a fonte de alimentação não consegue suprir. As componentes de alta frequência de corrente são puxadas pelo conversor devido

ao chaveamento dos transistores. Além disso, os capacitores de desacoplamento foram colocados o mais perto possível do *chip* de teste, a fim de diminuir os efeitos parasitários devido ao seu roteamento.

- Tendo distribuído os componentes na placa, o roteamento foi traçado levando-se em consideração o caminho do fluxo dos sinais de corrente de retorno através da placa, visando evitar quedas de tensão e minimizar problemas de *crosstalk*. Para minimizar este efeito, evitou-se cruzar o roteamento dos sinais analógicos com os digitais, como pode-se observar no esboço da placa de teste da figura 54. Suponha que o plano de terra é a camada de baixo da placa e é homogêneo para todos os componentes da placa. De fato, um sinal de corrente é composto por componentes de alta (AC) e baixa (DC) frequência. Particularmente, as componentes DC e as componentes AC dos sinais de corrente fluindo através da placa procuram o caminho de menor resistência e menor impedância, respectivamente [63]. Devido à indutância mútua formada entre a trilha e o plano de terra, o caminho de menor impedância que as componentes AC dos sinais de retorno de corrente procuram torna-se diretamente abaixo da trilha (isso é válido tanto para os sinais analógicos como digitais, veja as linhas azuis pontilhadas na figura 48). O que fora mencionado antes é verificado através de simulações eletromagnéticas em [66]. Desse modo, os sinais digitais não perturbam os analógicos na placa projetada.

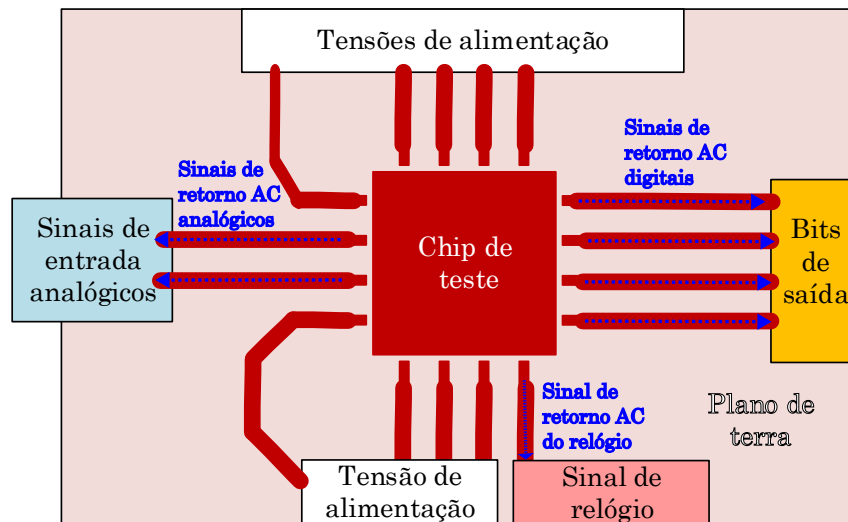


Figura 54: Distribuição e roteamento dos componentes na placa.

De outro ponto de vista e considerando que os sinais DC procuram o caminho de menor resistência, para evitar quedas de tensão, dois planos de terra foram projetados utilizando as duas camadas da placa disponíveis. Esses foram ligados um ao outro através de vias distribuídas pela placa toda formando somente um plano

de terra para sinais tanto digitais quanto analógicos. A critério de exemplo, para entender o fluxo de corrente nas tensões de alimentação DC, suponha a interconexão proposta na figura 55.

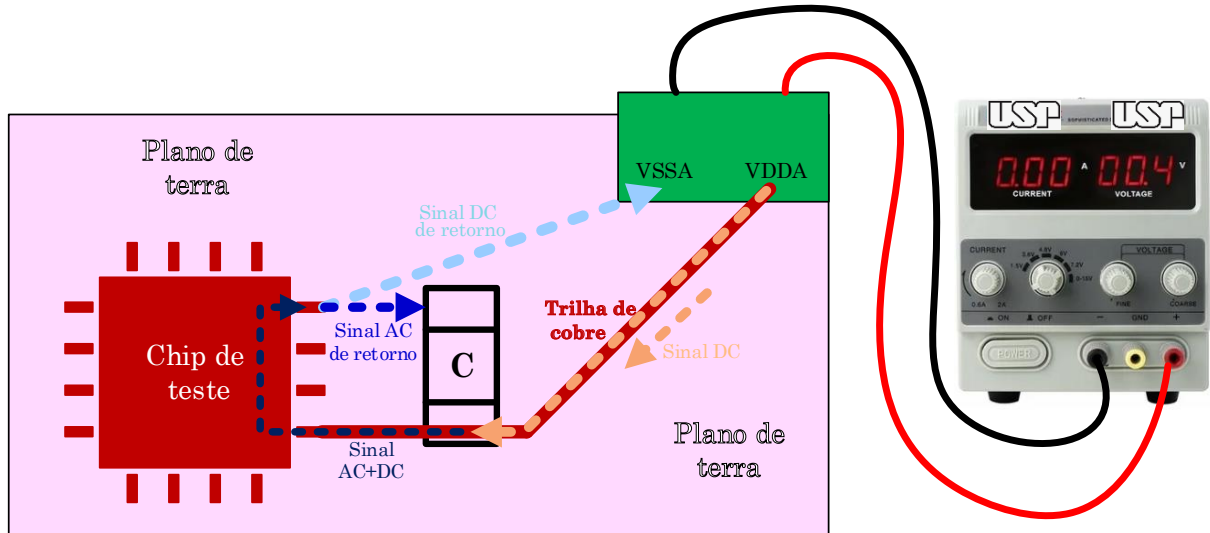


Figura 55: Fluxo de corrente na placa.

Uma fonte de alimentação fornece a tensão e corrente de polarização DC para o domínio  $V_{DDA}-V_{SSA}$ . Como foi mencionado acima, capacitores de desacoplamento são ligados entre  $V_{DDA}$  e  $V_{SSA}$ . Para simplificar, suponha que o conjunto de capacitores de desacoplamento seja um, chamado C. A corrente DC fornecida pela fonte flui através da trilha de cobre até um terminal de C. Saindo do capacitor, a componente AC é adicionada à DC. Como resultado disso, o sinal AC+DC entra por um pino do *chip* de teste e flui através dos seus componentes. O sinal AC+DC sai por outro pino do *chip* de teste, com a particularidade do que a sua componente da corrente de retorno AC procura o outro terminal de C diretamente. Porém, o sinal DC de retorno da corrente procura o caminho de menor resistência, portanto, o caminho da corrente DC será uma linha reta. Assim, para não atrapalhar o livre fluxo de corrente de retorno DC nas tensões de alimentação, implementou-se um plano comum de baixa resistência. Como já foi mencionado antes, devido à estratégia na distribuição dos componentes e roteamento adotado, os problemas de *crosstalk* são mitigados.

- A placa foi projetada no *software* EAGLE versão livre 9.6.2. Para garantir que todas as conexões entre componentes foram feitas corretamente, utilizou-se a ferramenta de projeto DRC- (*Design Rule Checking*) disponível no *software*, dado que esta ferramenta garante que o espaçamento entre o roteamento e os componentes seja adequado, além de que o roteamento esteja completamente finalizado.

### 4.3 Procedimento experimental

O protótipo do conversor projetado foi testado e a montagem experimental empregada durante os testes do *ADC* é mostrada na figura 56.

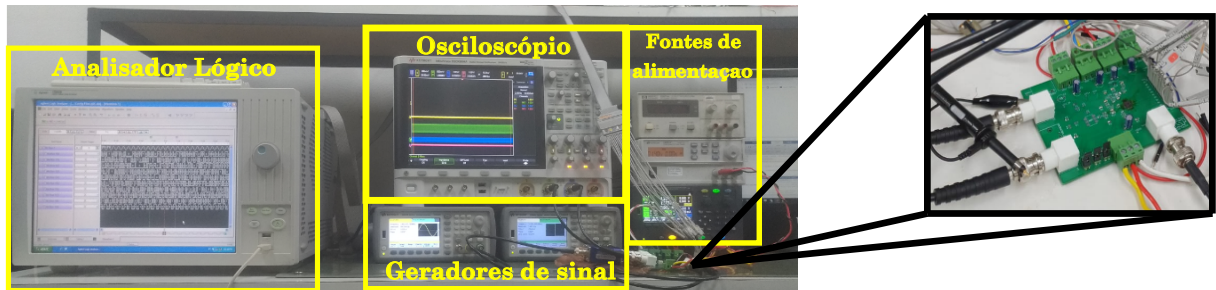


Figura 56: Montagem de teste para o *ADC*.

Os equipamentos usados para os testes experimentais do *ADC* foram: um analisador lógico da Agilent (referência 16902B) para realizar a aquisição das palavras digitais de saída do conversor, um gerador de sinal da Keysight (modelo 33622A) para gerar o relógio de amostragem, um gerador de forma de onda da Keysight (modelo 33500B) para gerar o sinal de entrada, um osciloscópio da Keysight (modelo DSOX6004A) e três fontes de alimentação para gerar as tensões de alimentação e referência para o *ADC*.

### 4.4 Testes experimentais

Nos primeiros testes experimentais do *ADC* foram realizadas medições para uma frequência de amostragem de 20 MS/s, uma frequência para o sinal de entrada de 40 kHz, uma amplitude de entrada de  $3,24 V_{pp,diff}$  e uma tensão de alimentação igual a 1,8 V. As aquisições das palavras digitais de saída do *ADC* foram realizadas pelo analisador lógico Agilent 16902B. Esse equipamento interpreta o sinal de saída digital do *ADC* e dispõe de operações matemáticas para implementar um *DAC* ideal, a fim de realizar uma configuração de teste similar à usada na caracterização do *ADC* através de simulações (veja a Figura 46). Por simplicidade, o sinal analógico de saída do *DAC* ideal implementado com o analisador lógico, é chamado neste documento de  $v_{OTE}$ . Na Figura 57 é mostrado o sinal  $v_{OTE}$  testado experimentalmente, quando o *ADC* está operando nas condições já mencionadas.

Observa-se que certas descontinuidades (não linearidades) estão presentes no sinal  $v_{OTE}$ . Ademais, também observa-se que esses tipos de descontinuidades são bastante pronunciadas para os valores próximos ao pico do sinal  $v_{OTE}$  e pouco pronunciadas para

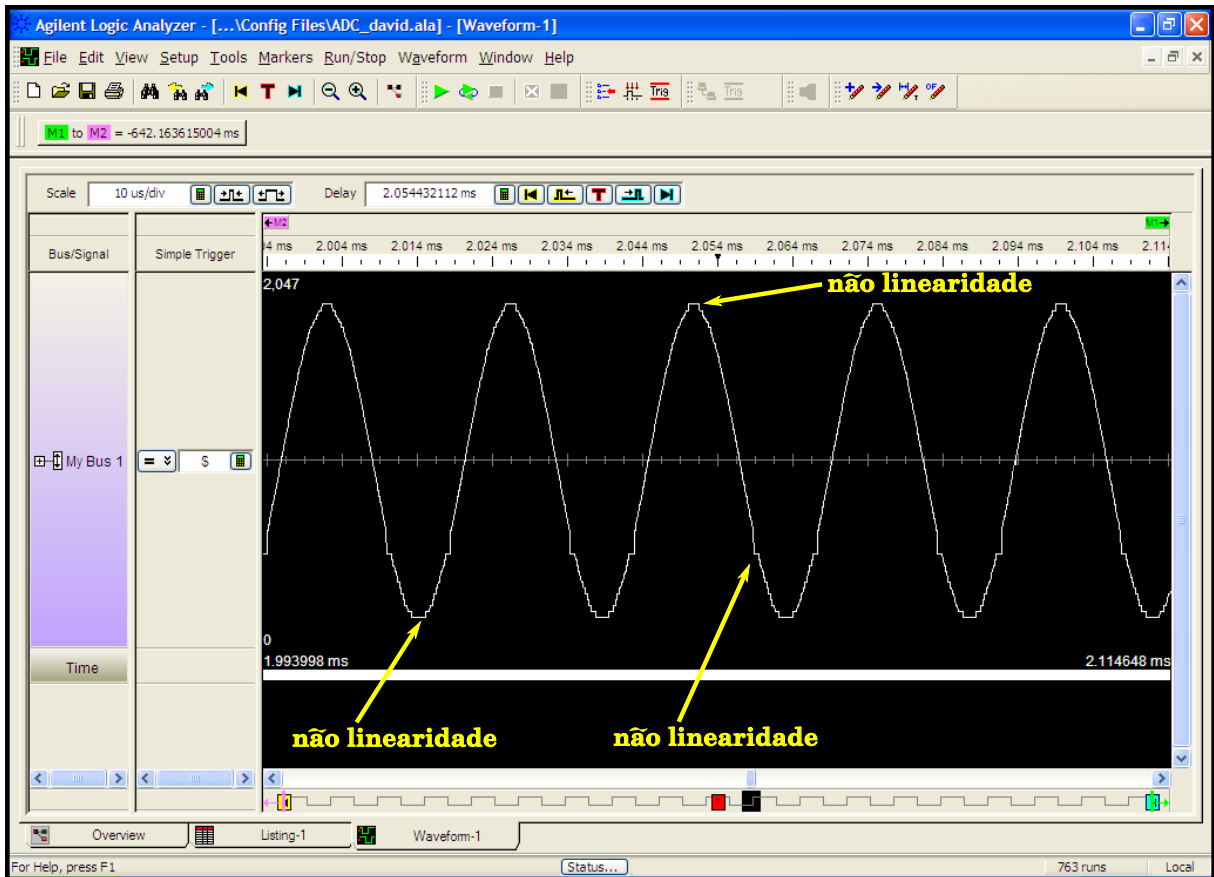


Figura 57: Sinal de saída experimental do *ADC* para um tom de entrada de 40 kHz e uma frequência de amostragem de 20 MS/s.

uma faixa de valores perto da metade da escala desse sinal. Esses problemas de não linearidade encontrados nas medições experimentais foram analisados e a seguinte hipótese foi levantada para explicá-los.

Na fase de projeto, foi adotada a estratégia de atribuir 4 pinos para cada domínio do *ADC* (2 para cada  $V_{DD}$  e 2 para cada terra), a fim de diminuir o efeito indutivo dos *wire bonds*. No estágio de teste experimental, mesmo adotando a estratégia já mencionada, esse efeito parasita teve grande influência no comportamento do conversor desenvolvido neste trabalho. Com o propósito de justificar os problemas de não linearidade encontrados nos testes experimentais, a Figura 58 mostra um período do sinal de saída do *ADC* testado experimentalmente comparado ao sinal testado através de simulação considerando o efeito parasita dos *wire bond*. Dois protótipos do *ADC* projetado foram testados para corroborar que o comportamento de não-linearidade se mantém nas diferentes amostras fabricadas.

Devido ao chaveamento do *DAC* no processo de conversão analógico-digital, pulsos de corrente são puxados constantemente pelos capacitores. Esses pulsos de corrente fluem pelos *wire bonds* e se manifestam como oscilações (ruído) nas placas inferiores dos capa-

citores do circuito *DAC*, como se observa na Figura 59. Por simplicidade, supõe-se que o efeito indutivo dos *wire bond* pode ser modelado como uma indutância ( $L_w$  na Figura 59) e que o *DAC* diferencial é composto por dois *DACs*, chamados de *DACP* e *DACN*.

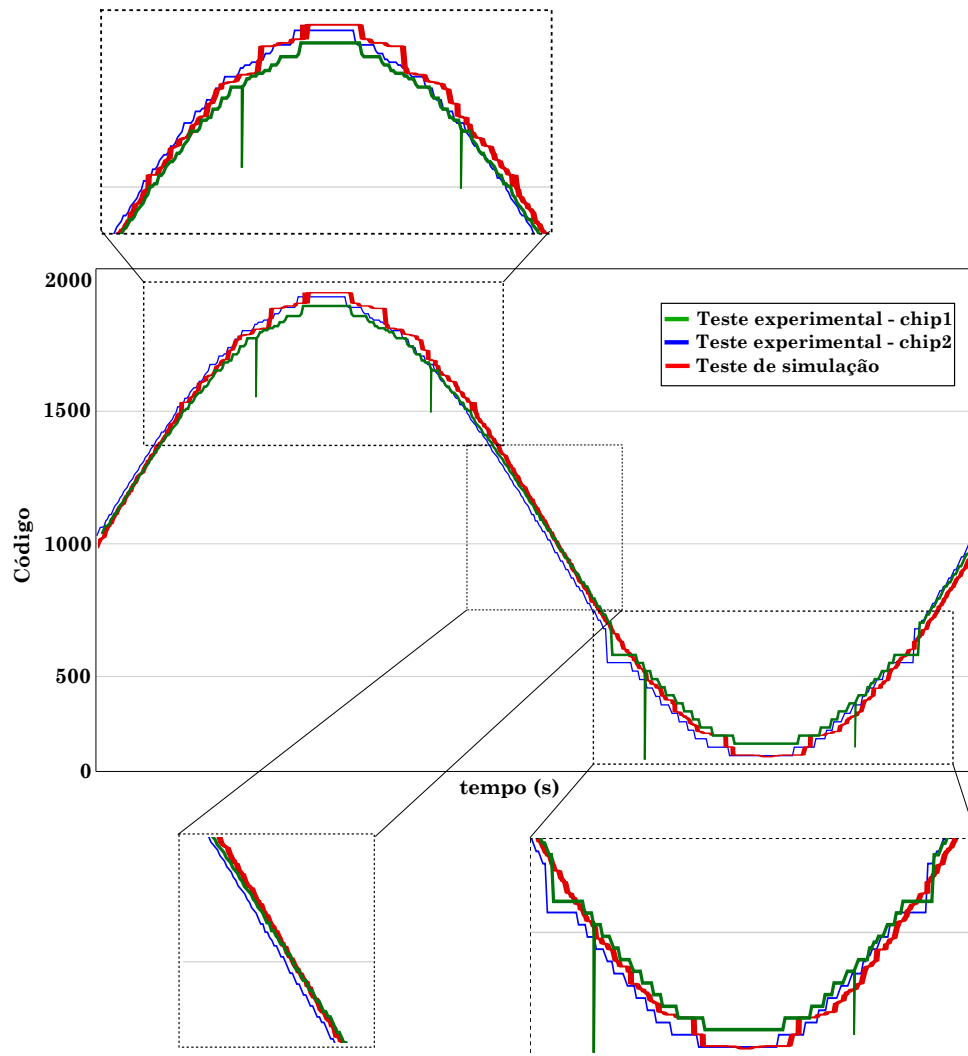


Figura 58: Comparação de resultados experimentais e de simulação.

No caso da Figura 59, as oscilações geradas pelas rápidas mudanças na corrente vindo da tensão de alimentação se injetam na saída do *DAC* por meio dos capacitores, e efeitos de não linearidade se apresentam no *ADC* porque a quantidade de corrente que o *DAC* puxa no processo de decisão dos bits depende da tensão amostrada. O que foi dito anteriormente pode ser esclarecido com o exemplo do esquema do chaveamento *Merged Capacitor* apresentado na figura 28 e com o seguinte ditado. Por exemplo, quando a tensão amostrada é positiva como se mostra na figura 59, todas as placas inferiores dos capacitores do *DACP* são ligadas ao terra. Porém, todas as placas inferiores dos capacitores do *DACN* são ligadas ao  $V_{DD}$ . Assim, o ruído injetado na saída do *DACN* vai ter maior influência, gerando problemas de não linearidade no *ADC*. Isso explica o porquê se

apresentarem experimentalmente descontinuidades bastante pronunciadas para os valores picos do sinal  $v_{OTE}$  na Figura 57.

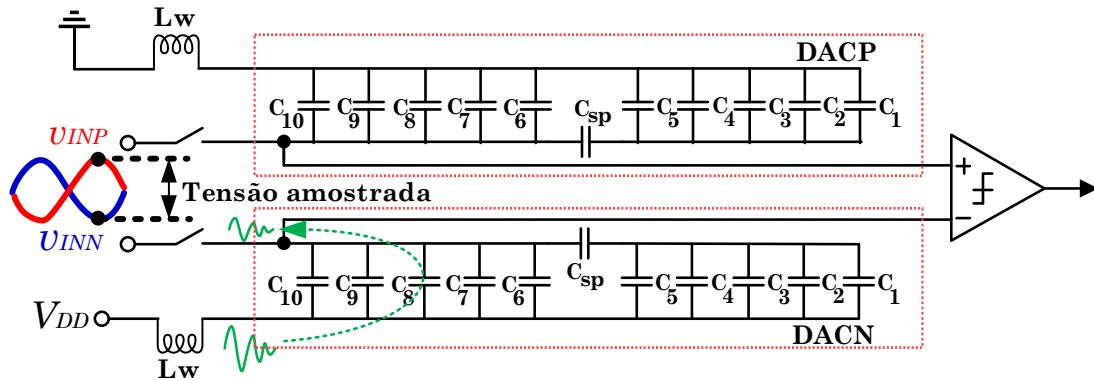


Figura 59: Ruído gerado nas tensões de alimentação do conversor geram não linearidade. Esse efeito não desejado na implementação física do *ADC* é mais pronunciado quando a tensão amostrada está perto dos picos do sinal de entrada diferencial

Observa-se que a maior contribuição de ruído da fonte de alimentação é injetada por meio dos capacitores que implementam os 5 *MSB* dos circuitos *DACP* e *DACN*. É possível esclarecer esse acontecimento por meio das seguintes situações.

Primeiramente, supõe-se a implementação de um *DAC single-ended* com capacitor ponte. Ademais, assume-se que todos os capacitores que implementam os *MSB* desse *DAC* são ligados ao terra, enquanto os capacitores que implementam os *LSB* são ligados ao  $V_{DD}$  (veja a Figura 60a).

Por facilidade, adotou-se que o conjunto de capacitores que compõem os *MSB* e os *LSB* formam dois capacitores chamados de  $C_{MSB}$  e  $C_{LSB}$ , respectivamente. Além disso, a mudança da tensão na fonte de alimentação foi modelada como um  $\Delta v_{DD}$ .



Figura 60: *DAC* com capacitor ponte com (a) todos os capacitores do lado *MSB* ligados ao terra e todos os capacitores do lado *LSB* ligados ao  $V_{DD}$ ; (b) todos os capacitores do lado *LSB* conectados ao terra e todos os capacitores do lado *MSB* conectados ao  $V_{DD}$ .

A mudança de tensão nas placas superiores dos capacitores do lado *LSB* na Figura 60a é dada por

$$\Delta v_{LSB} = \frac{C_{LSB} \Delta v_{DD}}{C_{LSB} + C_{SM}} \quad (4.1)$$



Onde  $C_{SM}$  é igual a:

$$C_{SM} = \frac{C_{MSB}C_{sp}}{C_{sp} + C_{MSB}} \quad (4.2)$$

Além disso,  $\Delta v_{ODL}$  na Figura 60a pode ser expressa como

$$\Delta v_{ODL} = \frac{C_{sp}\Delta v_{LSB}}{C_{MSB} + C_{sp}} \quad (4.3)$$

Juntando as expressões (4.1), (4.2) e (4.3),  $\Delta v_{ODL}$  pode ser encontrada como

$$\Delta v_{ODL} = \frac{C_{sp}C_{LSB}\Delta v_{DD}}{C_{MSB}C_{sp} + C_{sp}C_{LSB} + C_{MSB}C_{LSB}} \quad (4.4)$$

Agora, supõe-se a outra situação mostrada na Figura 60b. Nesse caso, todos os capacitores que implementam os *MSB* do *DAC*, são ligados ao  $\Delta v_{DD}$ , enquanto os capacitores que implementam os *LSB*, são ligados ao terra. A mudança de tensão nas placas superiores dos capacitores do lado *MSB* na Figura 60b é dada por

$$\Delta v_{ODM} = \frac{C_{MSB}\Delta v_{DD}}{C_{MSB} + C_{SL}} \quad (4.5)$$

Onde  $C_{SL}$  é igual a

$$C_{SL} = \frac{C_{LSB}C_{sp}}{C_{sp} + C_{LSB}} \quad (4.6)$$

Dessa maneira, juntando as expressões (4.5) e (4.6),  $\Delta v_{ODM}$  pode ser achado como

$$\Delta v_{ODM} = \frac{(C_{MSB}C_{LSB} + C_{sp}C_{LSB})\Delta v_{DD}}{C_{MSB}C_{sp} + C_{sp}C_{LSB} + C_{MSB}C_{LSB}} \quad (4.7)$$

No *ADC* projetado,  $C_{MSB}=C_{LSB}=(2^5 - 1)C_u$  e  $C_{sp}=C_u$ , onde  $C_u$  é o capacitor unitário. Substituindo os valores para  $C_{MSB}$ ,  $C_{LSB}$  e  $C_{sp}$ , nas expressões (4.4) e (4.7), se obtém que:

$$\Delta v_{ODL} = \frac{\Delta v_{DD}}{2^5 + 1} = \frac{\Delta v_{DD}}{33} \quad (4.8)$$

$$\Delta v_{ODM} = \frac{2^5 \times \Delta v_{DD}}{2^5 + 1} = \frac{32\Delta v_{DD}}{33} \approx \Delta v_{DD} \quad (4.9)$$

Das expressões obtidas em (4.8) e (4.9), pode-se concluir que, como foi mencionado, a maior contribuição de ruído da fonte de alimentação é injetada nas saídas de *DACP* e *DACN* por meio dos capacitores que implementam os 5 *MSB* desses circuitos, pois  $\Delta v_{ODM}$  é muito maior que  $\Delta v_{ODL}$ . Intuitivamente, isso acontece porque o capacitor ponte ( $C_{sp}$ ) filtra as possíveis contribuições de ruído da fonte de alimentação, que podem ser injetadas nas saídas do *DAC* diferencial por meio dos capacitores que implementam os 5 *LSB* desse circuito.

De outro modo, com a finalidade de entender o motivo de as discontinuidades serem pouco pronunciadas para uma faixa de valores perto da metade da escala do sinal  $v_{OTE}$ , supõe-se o seguinte cenário. Quando a tensão que foi amostrada pelo *ADC* for um valor um pouco maior do que a metade da escala do sinal de entrada (ver figura 61), a placa inferior do capacitor de maior peso ( $C_{10}$ ) do *DACN* é ligada ao  $V_{DD}$ , enquanto as placas inferiores dos demais capacitores desse mesmo *DAC* são ligadas ao terra. De maneira complementar, no caso do *DACP*, a placa inferior de  $C_{10}$  é ligada ao terra, enquanto as placas inferiores dos demais capacitores são ligadas ao  $V_{DD}$ . Dessa maneira, observa-se que o ruído vindo da fonte de alimentação nesse caso é injetado nas saídas de *DACP* e de *DACN* por meio dos capacitores  $C_9 \sim C_6$  e  $C_{10}$ , respectivamente, pois se sabe que o ruído injetado via os capacitores que implementam os 5 *LSBs* nas saídas de cada *DAC* é desprezível. Nesse caso, como consequência de a quantidade de capacitores ligados ao  $V_{DD}$  no *DACP* ( $C_9 + C_8 + C_7 + C_6 = 2^4 - 1 \times C_u = 15C_u$ ) ser aproximadamente igual à quantidade de capacitores ligados ao  $V_{DD}$  no *DACN* ( $C_{10} = 2^4 \times C_u = 16C_u$ ), o ruído é comum e aproximadamente igual nas saídas de cada *DAC*. A partir disso, o ruído vindo da fonte de alimentação injetado nas saídas de *DACP* e de *DACN* se cancela e tem pouco efeito na linearidade do *ADC*.

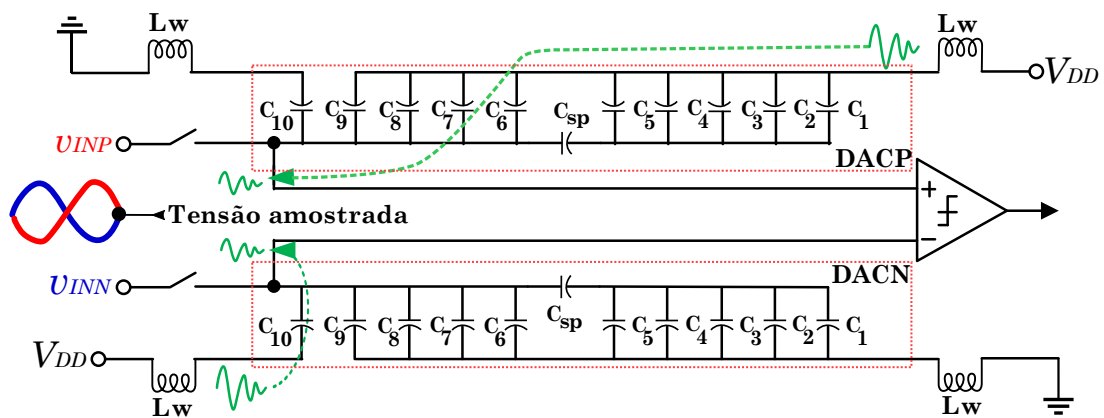


Figura 61: O ruído gerado nas tensões de alimentação tem uma menor influência quando a tensão amostrada pelo *ADC* é um valor perto da metade da escala do sinal de entrada.

A hipótese formulada sobre os possíveis problemas de não linearidade que foram en-

contrados nas medidas experimentais e anteriormente explicados foi validada através de simulações. Na Figura 62 observa-se a montagem realizada no simulador levando-se em consideração somente o efeito indutivo nas tensões de alimentação do circuito *DAC* do *ADC* projetado.

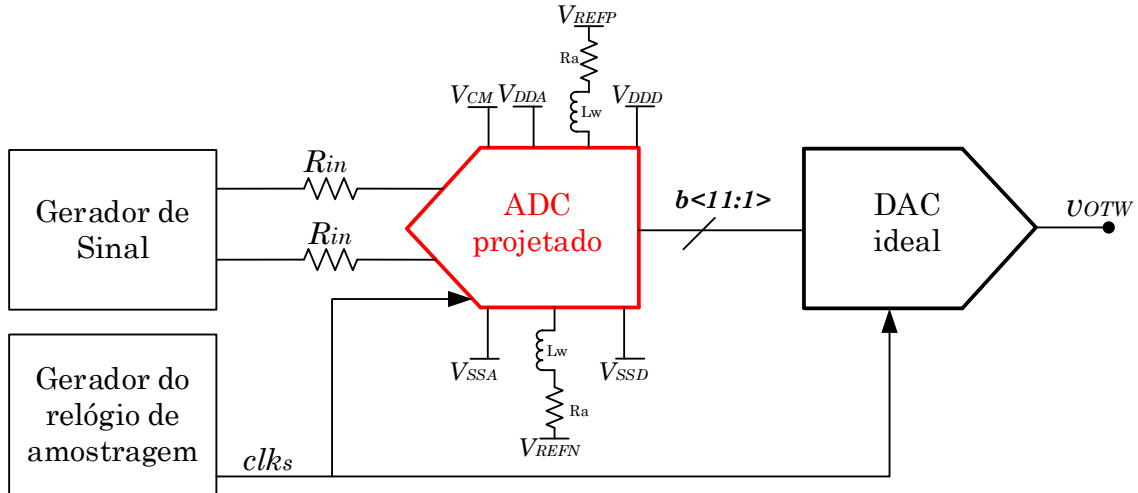


Figura 62: Diagrama de blocos para estudar por simulações, os problemas de não linearidade encontrados nas medidas experimentais.

Apesar de nos demais domínios do *ADC* estar presente o efeito parasita do *wire bond*, a estratégia de só considerar esse efeito parasita nas tensões de alimentação do circuito *DAC* foi adotada. Isso foi feito com o propósito de corroborar a hipótese formulada. Na montagem da Figura 62, o sinal de saída analógico do *DAC* ideal foi chamado de  $v_{OTW}$ . Como uma estimativa, o valor de  $L_w$  nas simulações realizadas foi definido igual a 2 nH. A Figura 63 mostra o sinal  $v_{OTW}$  (sinal azul) comparado a um sinal ideal (sinal vermelho) sem considerar o efeito parasita dos *wire bonds*. Nesse caso, o *ADC* está operando a 20 MS/s, com uma frequência de entrada de 40 kHz e uma tensão de alimentação de 1,8 V.

Observa-se que nos resultados de simulação, similarmente aos resultados encontrados nas medidas experimentais, as descontinuidades do sinal analógico de saída do *DAC* ideal também são bastante pronunciadas para os valores picos do sinal  $v_{OTW}$  e pouco pronunciadas para uma faixa de valores perto da metade da escala desse sinal. Isso valida a hipótese formulada anteriormente. Diferentes técnicas têm sido desenvolvidas nos últimos anos para cancelar o efeito parasita dos *wire bond* nos conversores *SAR*, um exemplo dessas técnicas pode ser encontrado no trabalho apresentado em [56].

Como uma solução rápida para fazer novos testes no *ADC* projetado, um resistor de amortecimento [45] ( $R_a$  na Figura 62) fora do *chip* pode ser aplicado para o cancelamento parcial do ruído nas tensões de alimentação, em especial no domínio disponível para o circuito *DAC* do *ADC* projetado. Simulações foram executadas colocando  $R_a$  em série à

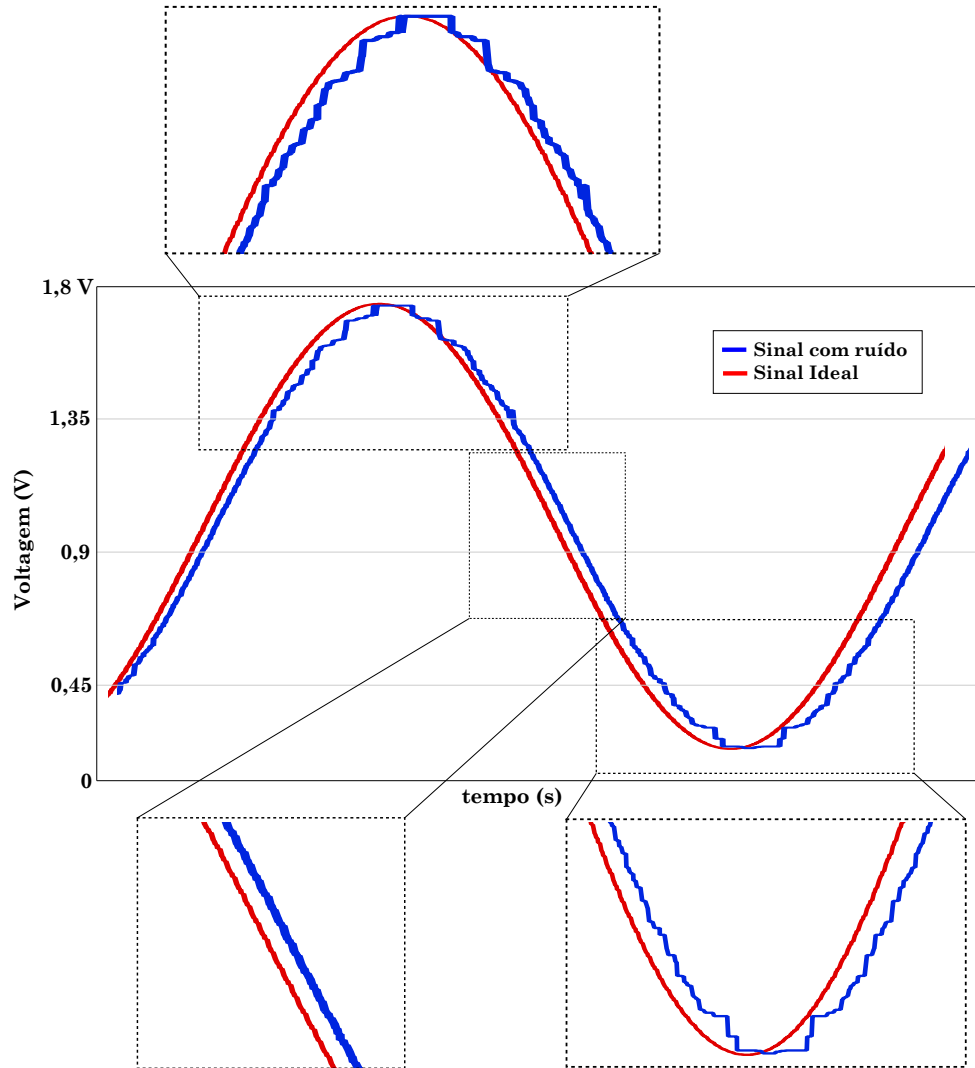


Figura 63: Simulação do *ADC* projetado para um tom de entrada de 40 kHz e uma frequência de amostragem de 20 MS/s, considerando o efeito indutivo dos *wire bonds* somente nas tensões de alimentação do circuito *DAC* (sinal azul).

indutância  $L_w$ , como se observa na Figura 62. Nesse caso, o valor de  $R_a$  foi encontrado através de simulações e pode estar entre os valores de 5 Ohms e 10 Ohms. Os resultados obtidos após se ter colocado  $R_a$  foram muito similares aos resultados de simulação *post-layout* reportados na seção 3.4. Dessa maneira, aplicando  $R_a$  a fim de minimizar o efeito parasita dos *wire bonds*, novas medições do *ADC* projetado podem ser realizadas. Se as principais especificações do projeto forem atingidas, novos resultados e conclusões podem ser obtidas. Porém, se as especificações não forem atingidas, têm-se que procurar pelos problemas e as causas das falhas para então fazer as correções necessárias e tirar conclusões para trabalhos futuros.

A fim de caracterizar experimentalmente o comportamento em frequência do *ADC*, a Figura 64 mostra o espectro da *FFT* do sinal da Figura 57.

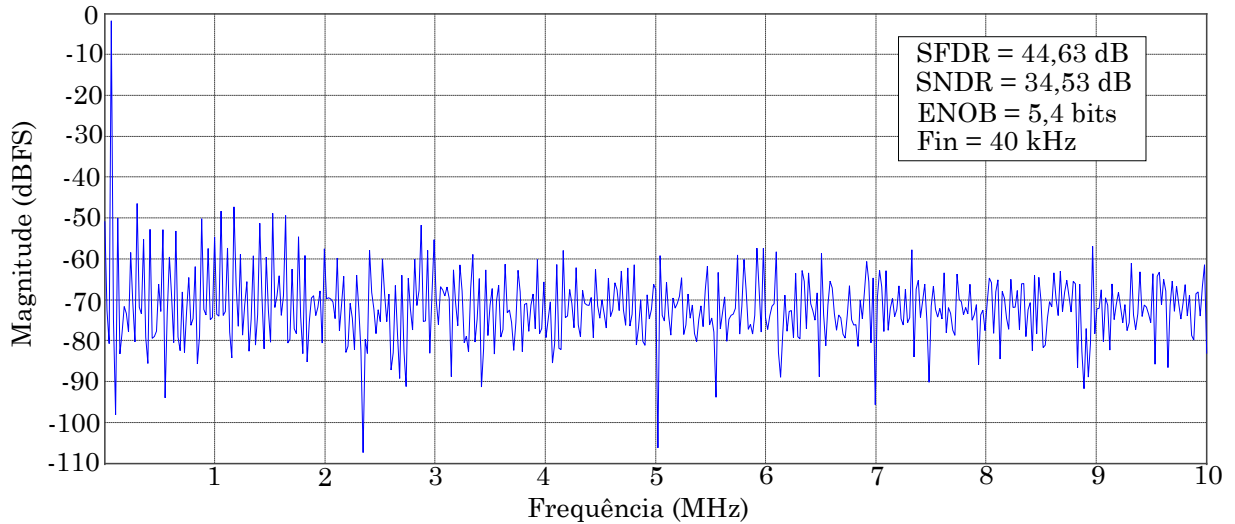


Figura 64: Espectro da *FFT* do sinal de saída experimental do *ADC* para um tom de entrada de 40 kHz com uma frequência de amostragem de 20 MS/s e uma tensão de alimentação nominal de 1,8 V.

Do espectro obtido na Figura 64, foi encontrado que as medições experimentais da *SNDR* e o *SFDR* do *ADC* foram 34,53 dB e 44,63 dB, respectivamente. Nesse caso, o *ENOB* medido experimentalmente foi 5,4 bits. Comparando os resultados obtidos por meio de simulação pós-*layout* e os resultados encontrados experimentalmente, pode-se concluir que a distorção introduzida ao sinal de saída do *ADC* na fase experimental do projeto aumentou para

$$P_{dist-exp} = SNDR_{sim} - SNDR_{exp} = 66,86dB - 34,53dB = 32,33dB \quad (4.10)$$

onde:  $P_{dist-exp}$  é a soma das potências de todos componentes espectrais indesejados nas medidas experimentais,  $SNDR_{sim}$  é a *SNDR* medida por meio de simulação pós-*layout* e  $SNDR_{exp}$  é a *SNDR* medida experimentalmente.

Operando a 20 MS/s e alimentado por uma tensão de 1,8 V, o consumo de potência do *ADC* encontrado nas medições experimentais foi 2,95 mW. A Figura 65 apresenta a distribuição de potência testada nas medidas experimentais e é graficada por setores como segue: 0,828 mW para os circuitos de *T&H* e comparador, 1,674 mW para a lógica *SAR*, e 0,45 mW devido ao chaveamento do *DAC*.

O consumo de potência testado experimentalmente foi ligeiramente maior ao testado nas simulações pós-*layout*. O aumento no consumo de potência na fase experimental do projeto é atribuído ao consumo de potência das capacitâncias parasitárias das trilhas

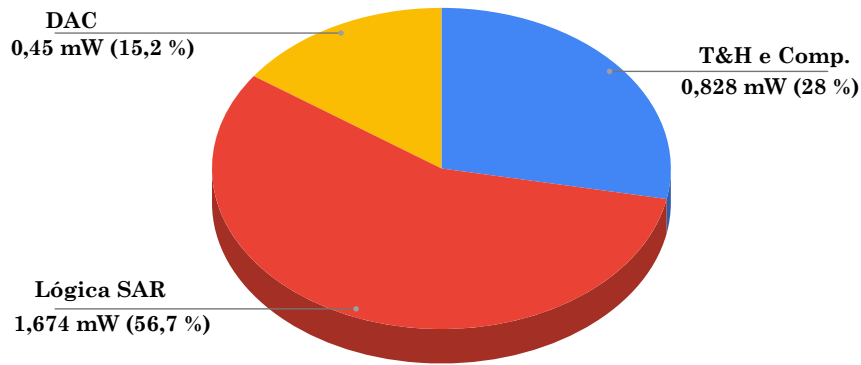


Figura 65: Distribuição do consumo experimental de potência do *ADC* quando está operando em uma frequência de amostragem de 20 MS/s e uma tensão de alimentação de 1,8 V.

traçadas para ligar o *ADC* com os *pads* do *chip* de teste.

Os parâmetros estáticos do *ADC* também foram caracterizados experimentalmente. A Figura 66 expõe os resultados dos testes experimentais da *DNL* e *INL*.

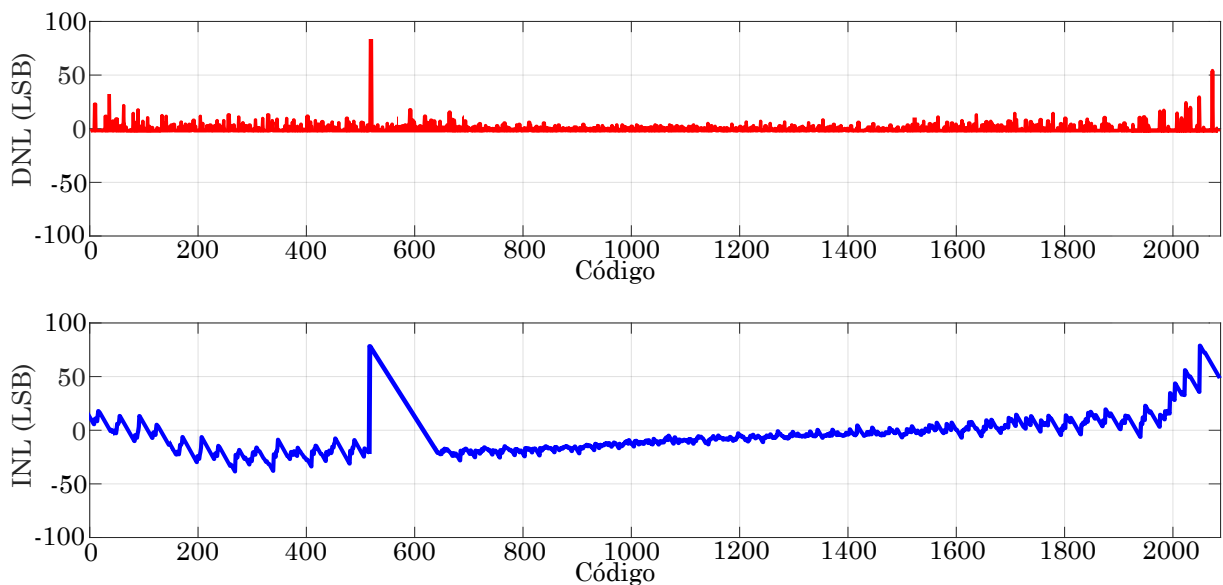


Figura 66: Medidas experimentais da *DNL* e *INL* quando o conversor está operando em uma frequência de amostragem de 20 MS/s e uma tensão de alimentação nominal de 1,8V.

Idealmente, quando o valor analógico na entrada do *ADC* aumenta, assim o faz o código na sua saída. Nesse caso, o conversor é monotônico e atinge quê:

$$DNL < 1LSB \quad (4.11)$$

Porém, quando a condição (4.11) não é atingida, o conversor tem comportamento não monotônico. A não-monotonicidade no *ADC* resulta na perda de códigos devido a que nunca aparecerem para algum valor do sinal de entrada analógico. Dos resultados obtidos

na Figura 66, observou-se que

$$DNL > 1LSB \quad (4.12)$$

Por conseguinte, o *ADC* projetado tem comportamento não monotônico. Em outras palavras, os resultados experimentais da *DNL* indicam que para diferentes valores de entrada analógicos vão se obter os mesmos códigos digitais na saída. Assim, parte da faixa das tensões analógicas de entrada é perdida. Esses problemas de não-linearidade são atribuídos às distorções encontradas na fase experimental do projeto.

Por outro lado, o resultado testado experimentalmente da *INL* foi

$$INL > 1LSB \quad (4.13)$$

A consideração da expressão (4.13) implica que alguns códigos digitais não aparecem na saída do *ADC* projetado.

## 5 CONCLUSÕES E RECOMENDAÇÕES PARA TRABALHOS FUTUROS

A fim de atingir o objetivo principal deste trabalho de mestrado, um conversor analógico-digital (*ADC*) de 11 bits, 20 MS/s, foi projetado em tecnologia *CMOS* de 180 nm para ser integrado em um transceptor de banda ultra larga aplicado na detecção de câncer de mama.

Para desenvolver o trabalho, estudaram-se fundamentos teóricos do processo de conversão Analógico-Digital. As escolhas da arquitetura e topologia do *ADC* desenvolvido, foram feitas a partir de uma revisão bibliográfica e com base no estudo do estado da arte. Por um lado, a arquitetura *SAR* foi escolhida porque é a solução mais eficiente em termos de energia para o objetivo de projeto que se queria alcançar: um *ADC* com uma *SNDR* maior a 62 dB operando numa frequência de amostragem de 20 MS/s. Por outro lado, a topologia escolhida é apoiada no esquema de chaveamento *Merged Capacitor* porque este é mais eficiente em termos de área e energia com respeito ao esquema de chaveamento convencional. Baseados na arquitetura e topologia escolhidas, foi feito um estudo das considerações que o projetista deve ter para atingir as especificações já definidas com base em levantamento bibliográfico.

Depois, apresentou-se a arquitetura implementada do conversor e as estratégias de projeto que foram desenvolvidas ao nível de transistores dos circuitos que compõem o *ADC*. Além disso, foram expostas as principais estratégias na implementação do *layout* que o projetista considerou. Simulações *post-layout* foram feitas para verificar o desempenho atingido pelo conversor projetado. Comparações dos resultados obtidos com trabalhos do estado da arte foram feitas. Ao nível de simulação *post-Layout*, o *ADC* projetado consegue desempenho do estado da arte nas figuras de mérito de *Schreier* (162 dB) e de *Walden* (84 fJ/conversion-step). O circuito foi comparado com trabalhos com especificações semelhantes. Sem implementar algum método de calibração no conversor, os resultados de simulação *post-layout* mostram que este protótipo atinge um bom compromisso entre precisão e velocidade de operação.



O *ADC* foi fabricado em tecnologia *CMOS* de 180 nm da *TSMC*. Por um lado, com intenção de realizar medidas experimentais do protótipo, o projeto da placa de teste foi desenvolvido. As principais particularidades no seu projeto foram recapituladas neste documento. Por outro lado, a fim de caracterizar experimentalmente o *ADC* projetado, testes experimentais do protótipo foram realizados. Após testar o circuito, foram encontrados alguns problemas de não linearidade no desempenho do protótipo. Esses problemas foram analisados sendo criada uma hipótese que serve para explicar parte dos problemas. Essa hipótese foi validada através de simulações.

Embora não tenham sido realizados muitos testes experimentais no protótipo desenvolvido neste trabalho, se recompilou uma série de recomendações a fim de melhorar o funcionamento do *ADC* ou que podem ser utilizadas em outros projetos.

Observou-se que o *ADC* é muito sensível ao ruído da fonte de alimentação, principalmente a maior influência foi encontrada no circuito *DAC*. É recomendável procurar soluções para minimizar o efeito parasita dos *wire bond* no conversor ou implementar alguma técnica *on-chip* para reduzir o efeito do ruído nas tensões de alimentação.

Se recomenda testar e caracterizar a impedância vista pelas chaves de amostragem do *ADC* quando esse for integrado no sistema global. Como já foi explicado, a carga injetada nos terminais de dreno e fonte das chaves de amostragem, depende da impedância de entrada vista pelo *ADC*.

Finalmente, sugere-se desenvolver alguma técnica ou melhoria no gerador de relógio assíncrono para fazer esse mais robusto às variações de processo, voltagem de alimentação e temperatura.

## REFERÊNCIAS

- [1] International Agency for Research on Cancer, 2021, Março. The Global Cancer Observatory [Online]. Disponível em: <https://gco.iarc.fr/today/data/factsheets/cancers/20-Breast-fact-sheet.pdf>
- [2] Instituto Nacional de Câncer (INCA), 2021, Março, [Online]. Disponível em: <https://www.inca.gov.br/numeros-de-cancer>
- [3] National Research Council. (2001). Mammography and beyond: developing technologies for the early detection of breast cancer. National Academies Press.
- [4] Taylor, J. D. (Ed.). (2012). Ultrawideband radar: applications and design. CRC press.
- [5] Fear, E. C., Meaney, P. M., Stuchly, M. A. (2003). Microwaves for breast cancer detection?. IEEE potentials, 22(1), 12-18.
- [6] Hagness, S. C., Taflove, A., Bridges, J. E. (1998). Two-dimensional FDTD analysis of a pulsed microwave confocal system for breast cancer detection: Fixed-focus and antenna-array sensors. IEEE transactions on biomedical engineering, 45(12), 1470-1479.
- [7] Bond, E. J., Li, X., Hagness, S. C., Van Veen, B. D. (2003). Microwave imaging via space-time beamforming for early detection of breast cancer. IEEE Transactions on Antennas and Propagation, 51(8), 1690-1705.
- [8] Martins, T., Reyes, D., Sanches, B., Van Noije, W. (2021). A Class AB Programmable Gain Amplifier for an UWB Breast Cancer Detection System. 28th IEEE International Conference on Electronics, Circuits Systems (ICECS 2021).
- [9] DE JESUS ARAGÃO, Alexandre et al. An improved confocal algorithm for breast cancer detection using UWB signals. In: 2020 IEEE 11th Latin American Symposium on Circuits Systems (LASCAS). IEEE, 2020. p. 1-4.
- [10] SEDRA, A. et al. Microelectronic Circuits 8th Edition. Chapter, v. 14, p. 1235-1236, 2020.
- [11] Reyes, D., Martins, T., Hernandez, H., Van Noije, W. (2020, August). A 10.75-ENOB 20 MS/s SAR ADC for an UWB Transceiver Applied in Breast Cancer Detection in 180 nm CMOS. In 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS) (pp. 357-360). IEEE.
- [12] Pelgrom, M. (2017). Analog-to-Digital Conversion (pp. 285-403). Springer, Cham.
- [13] Razavi, B. (1995). Principles of data conversion system design (Vol. 126). New York: IEEE press.

- [14] Gustavsson, M., Wikner, J. J., Tan, N. (2000). CMOS data converters for communications (Vol. 543). Springer Science Business Media.
- [15] Nyquist, H. (1928). Certain topics in telegraph transmission theory. Transactions of the American Institute of Electrical Engineers, 47(2), 617-644.
- [16] Walden, R. H. (1999). Analog-to-digital converter survey and analysis. IEEE Journal on selected areas in communications, 17(4), 539-550.
- [17] Schreier, R., Temes, G. C. (2005). Understanding delta-sigma data converters (Vol. 74). Piscataway, NJ: IEEE press.
- [18] B. Murmann, "ADC Performance Survey 1997-2020," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.
- [19] McCreary, J. L., Gray, P. R. (1975). All-MOS charge redistribution analog-to-digital conversion techniques. I. IEEE Journal of Solid-State Circuits, 10(6), 371-379.
- [20] Suarez, R. E., Gray, P. R., Hodges, D. A. (1975). All-MOS charge-redistribution analog-to-digital conversion techniques. II. IEEE Journal of Solid-State Circuits, 10(6), 379-385.
- [21] Singh, S. P., Prabhakar, A., Bhattacharyya, A. B. (1987). C-2C ladder-based D/A converters for PCM codecs. IEEE Journal of Solid-State Circuits, 22(6), 1197-1200.
- [22] Zhu, Y., Chan, C. H., Chio, U. F., Sin, S. W., Seng-Pan, U., Martins, R. P., Maloberti, F. (2010). A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS. IEEE Journal of Solid-State Circuits, 45(6), 1111-1121.
- [23] Fotouhi, B., Hodges, D. A. (1979). High-resolution a/d conversion in mos/lsi. IEEE Journal of Solid-State Circuits, 14(6), 920-926.
- [24] Hernandez, H. D., Pontes, D. A., Martins, T., Reyes, D., Van Noije, W. (2021, February). ISFET Array Readout System with Integrated 12 bit A/D Conversion for Lab-on-Chip Applications. In 2021 IEEE 12th Latin America Symposium on Circuits and System (LASCAS) (pp. 1-4). IEEE.
- [25] Zhang, H., Zhang, H., Sun, Q., Li, J., Liu, X., Zhang, R. (2018). A 0.6-V 10-bit 200-kS/s SAR ADC with higher side-reset-and-set switching scheme and hybrid CAP-MOS DAC. IEEE Transactions on Circuits and Systems I: Regular Papers, 65(11), 3639-3650.
- [26] Zhang, D. (2012). Design of ultra-low-power analog-to-digital converters (Doctoral dissertation, Linköping University Electronic Press).
- [27] Ginsburg, B. P., Chandrakasan, A. P. (2005, May). An energy-efficient charge recycling approach for a SAR converter with capacitive DAC. In 2005 IEEE international symposium on circuits and systems (pp. 184-187). IEEE.
- [28] Chang, Y. K., Wang, C. S., Wang, C. K. (2007, November). A 8-bit 500-KS/s low power SAR ADC for bio-medical applications. In 2007 IEEE Asian Solid-State Circuits Conference (pp. 228-231). IEEE.

- [29] Liu, C. C., Chang, S. J., Huang, G. Y., Lin, Y. Z. (2010). A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure. *IEEE Journal of Solid-State Circuits*, 45(4), 731-740.
- [30] Hariprasath, V., Guerber, J., Lee, S. H., Moon, U. K. (2010). Merged capacitor switching based SAR ADC with highest switching energy-efficiency. *Electronics letters*, 46(9), 620-621.
- [31] Liou, C. Y., Hsieh, C. C. (2013, February). A 2.4-to-5.2 fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with charge-average switching DAC in 90nm CMOS. In 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers (pp. 280-281). IEEE.
- [32] Razavi, B. (2002). *Design of analog CMOS integrated circuits*. Tata McGraw-Hill Education.
- [33] Wegmann, G., Vittoz, E. A., Rahali, F. (1987). Charge injection in analog MOS switches. *IEEE Journal of Solid-State Circuits*, 22(6), 1091-1097.
- [34] Shyu, J. B., Temes, G. C., Yao, K. (1982). Random errors in MOS capacitors. *IEEE Journal of solid-state circuits*, 17(6), 1070-1076.
- [35] Wakimoto, T., Li, H., Murase, K. (2011). Statistical analysis on the effect of capacitance mismatch in a high-resolution successive-approximation ADC. *IEEJ Transactions on electrical and electronic engineering*, 6(S1), S89-S93.
- [36] Razavi, B. (2015). The StrongARM latch [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 7(2), 12-17.
- [37] Jiang, S., Do, M. A., Yeo, K. S., Lim, W. M. (2008). An 8-bit 200-MSample/s pipelined ADC with mixed-mode front-end S/H circuit. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55(6), 1430-1440.
- [38] Eklund, J. E., Svensson, C. (2001). Influence of metastability errors on SNR in successive-approximation A/D converters. *Analog Integrated Circuits and Signal Processing*, 26(3), 183-190.
- [39] Van Noije, W. A. M., Liu, W. T., Navarro, S. J. (1995). Precise final state determination of mismatched CMOS latches. *IEEE journal of solid-state circuits*, 30(5), 607-611.
- [40] Harpe, P. (2016). Successive approximation analog-to-digital converters: Improving power efficiency and conversion speed. *IEEE Solid-State Circuits Magazine*, 8(4), 64-73.
- [41] Wei, S. (2006). A 6-bit 600-MS/s 5.3-mW asynchronous ADC in 0.13- $\mu$ m CMOS. *IEEE J. Solid-State Circuits*, 41(12), 2669-2680.
- [42] Liu, C. C., Chang, S. J., Huang, G. Y., Lin, Y. Z. (2009, June). A 0.92 mW 10-bit 50-MS/s SAR ADC in 0.13  $\mu$ m CMOS process. In 2009 symposium on VLSI circuits (pp. 236-237). IEEE.

- [43] Abo, A. M., Gray, P. R. (1999). A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter. *IEEE Journal of Solid-State Circuits*, 34(5), 599-606.
- [44] Huang, C. P., Lin, J. M., Shyu, Y. T., Chang, S. J. (2015). A systematic design methodology of asynchronous SAR ADCs. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 24(5), 1835-1848.
- [45] Zhu, Y., Chan, C. H., Chio, U. F., Sin, S. W., Seng-Pan, U., Martins, R. P., Maloberti, F. (2013). Split-SAR ADCs: Improved linearity with power and speed optimization. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(2), 372-383.
- [46] Liu, C. C., Kuo, C. H., Lin, Y. Z. (2015). A 10 bit 320 MS/s low-cost SAR ADC for IEEE 802.11 ac applications in 20 nm CMOS. *IEEE Journal of Solid-State Circuits*, 50(11), 2645-2654.
- [47] Van Elzaker, M., Van Tuijl, E., Geraedts, P., Schinkel, D., Klumperink, E., Nauta, B. (2008, February). A 1.9 W 4.4 fJ/conversion-step 10b 1MS/s charge-redistribution ADC. In 2008 IEEE International Solid-State Circuits Conference-Digest of Technical Papers (pp. 244-610). IEEE.
- [48] Omran, H. (2019). Fast and accurate technique for comparator offset voltage simulation. *Microelectronics Journal*, 89, 91-97.
- [49] Bankman, D., Yu, A., Zheng, K., Murmann, B. (2019). Understanding Metastability in SAR ADCs: Part I: Synchronous. *IEEE Solid-State Circuits Magazine*, 11(2), 86-97.
- [50] Yu, A., Bankman, D., Zheng, K., Murmann, B. (2019). Understanding metastability in SAR ADCs: part II: asynchronous. *IEEE Solid-State Circuits Magazine*, 11(3), 16-32.
- [51] EveryNanoCounts. (2018) Pulse generator of asynchronous SAR ADC. [Online]. Available: <https://everynanocounts.com/2018/04/14/pulse-generator-of-asynchronous-sar-adc/>
- [52] Tsvividis, Y. (2002). *Mixed analog-digital VLSI devices and technology*. World Scientific.
- [53] Baker, R. J. (2019). *CMOS: circuit design, layout, and simulation*. John Wiley Sons.
- [54] Tseng, W. H., Lee, W. L., Huang, C. Y., Chiu, P. C. (2016). A 12-bit 104 MS/s SAR ADC in 28 nm CMOS for digitally-assisted wireless transmitters. *IEEE Journal of Solid-State Circuits*, 51(10), 2222-2231.
- [55] Europractice. (2020). QFN40 5mmx5mm package. San Diego CA. Fonte: <https://europractice-ic.com/wp-content/uploads/2020/05/QP-QFN5X5-40-400-PACKAGE.pdf>
- [56] Tang, X., Shen, Y., Shen, L., Zhao, W., Zhu, Z., Sathe, V., Sun, N. (2019, April). A 10b 120MS/s SAR ADC with Reference Ripple Cancellation Technique. In 2019 IEEE Custom Integrated Circuits Conference (CICC) (pp. 1-4). IEEE.

- [57] Analog-to-Digital interface integrated circuits-Lecture notes. Fonte: <https://inst.eecs.berkeley.edu/ee247/fa07/lectures.html>
- [58] Kester, W. Designer's Guide to Flash-ADC Testing Part 2 DSP Test Techniques Keep Rash ADCs in Check.
- [59] Lee, J., Lee, K. R., Eovino, B. E., Park, J. H., Lin, L., Yoo, H. J., Yoo, J. (2019, February). 11.1 a 5.37 mw/channel pitch-matched ultrasound asic with dynamic-bit-shared sar adc and 13.2 v charge-recycling tx in standard cmos for intracardiac echocardiography. In 2019 IEEE International Solid-State Circuits Conference-(ISSCC) (pp. 190-192). IEEE.
- [60] Gubbins, D., Lee, B., Hanumolu, P. K., Moon, U. K. (2010). Continuous-time input pipeline ADCs. IEEE journal of solid-state circuits, 45(8), 1456-1468.
- [61] A reconfigurable 10-to-12-b 80-to-20-MS/s bandwidth scalable sar adc," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 65, no. 1, pp. 51-60, 2017.
- [62] Liu, M., van Roermund, A. H., Harpe, P. (2018). A 10-b 20-MS/s SAR ADC with DAC-compensated discrete-time reference driver. IEEE Journal of Solid-State Circuits, 54(2), 417-427.
- [63] Successful PCB grounding with mixed-signal chips – Part 1: Principles of current flow. Fonte: <https://www.edn.com/successful-pcb-grounding-with-mixed-signal-chips-part-1-principles-of-current-flow/>
- [64] Successful PCB grounding with mixed-signal chips – Part 2: Design to minimize signal-path crosstalk. Fonte: <https://www.edn.com/successful-pcb-grounding-with-mixed-signal-chips-part-2-design-to-minimize-signal-path-crosstalk/>
- [65] Successful PCB grounding with mixed-signal chips – Part 3: Power currents and multiple mixed-signal ICs. Fonte: <https://www.edn.com/successful-pcb-grounding-with-mixed-signal-chips-part-3-power-currents-and-multiple-mixed-signal-ics/>
- [66] Design Tips-Bruce Archambeault, Associate Editor. Fonte: <https://www.emcs.org/acstrial/newsletters/fall08/tips.pdf>

## APÊNDICE A – CIRCUITO *FLIP-FLOP* DA LÓGICA

Neste apêndice, é mostrado o circuito flip-flop utilizado na lógica assíncrona implementada (Figuras 67 e 68). Esse circuito foi utilizado tanto para o projeto dos onze flip-flops que compõem o controle principal (veja a Figura 42), tanto como para o projeto dos flip-flops que implementam o controle do *DAC* e os registros de saída do *ADC* (ver figura 43). O circuito é composto por portas *CMOS* tais como: inversores, chaves e *NORs*. As dimensões aplicadas para os transistores que compõem cada porta foram definidas como  $W/L = 1\mu\text{m}/0,18\mu\text{m}$  para os transistores *NMOS* e  $W/L = 2,5\mu\text{m}/0,18\mu\text{m}$  para os transistores *PMOS*.

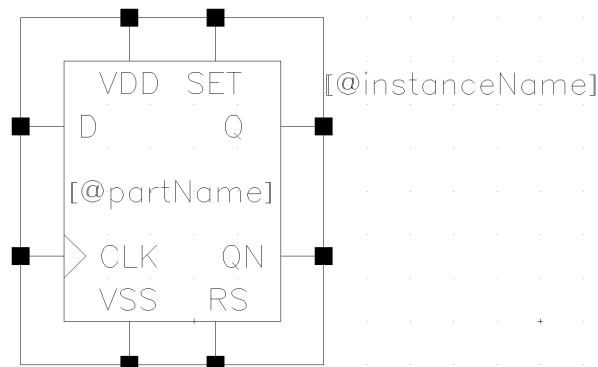


Figura 67: Visão de alto nível do *flip-flop* utilizado na lógica

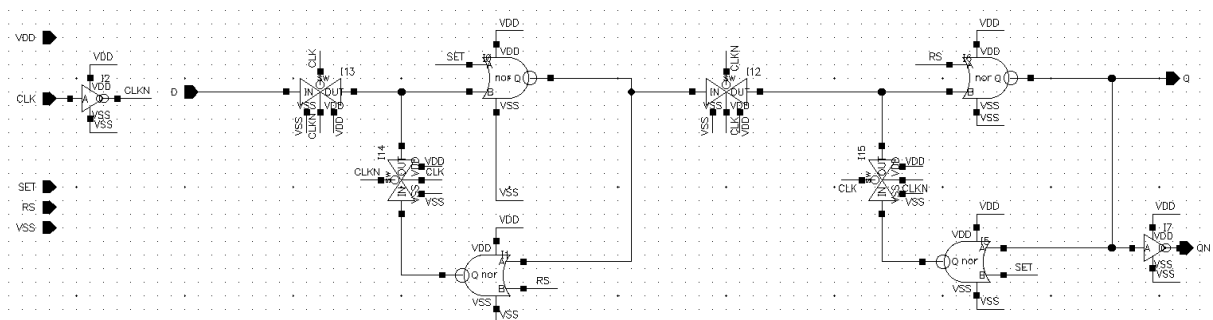


Figura 68: Esquemático do flip-flop utilizado na lógica

## APÊNDICE B – LAYOUTS

Neste apêndice são mostrados os *layouts* tanto de cada circuito que compõe o *ADC* projetado, quanto o *layout* do *chip* de teste.

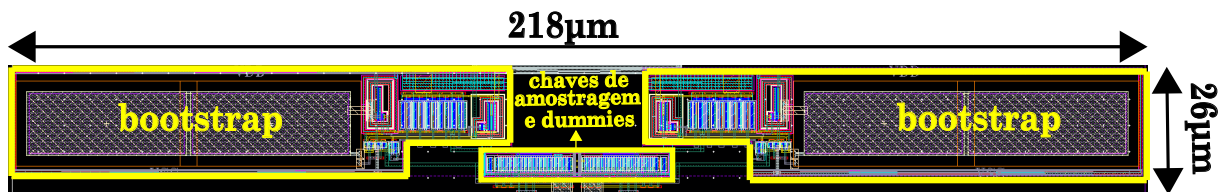


Figura 69: *Layout* do circuito *T&H*.

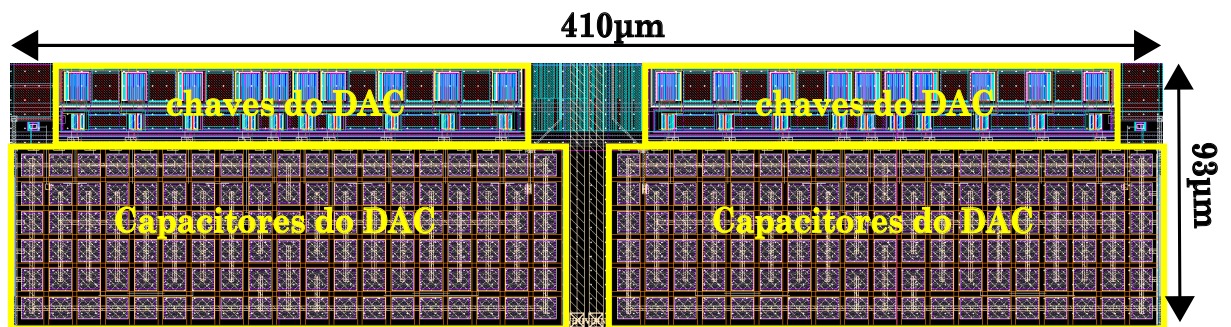


Figura 70: *Layout* do circuito *DAC* diferencial.

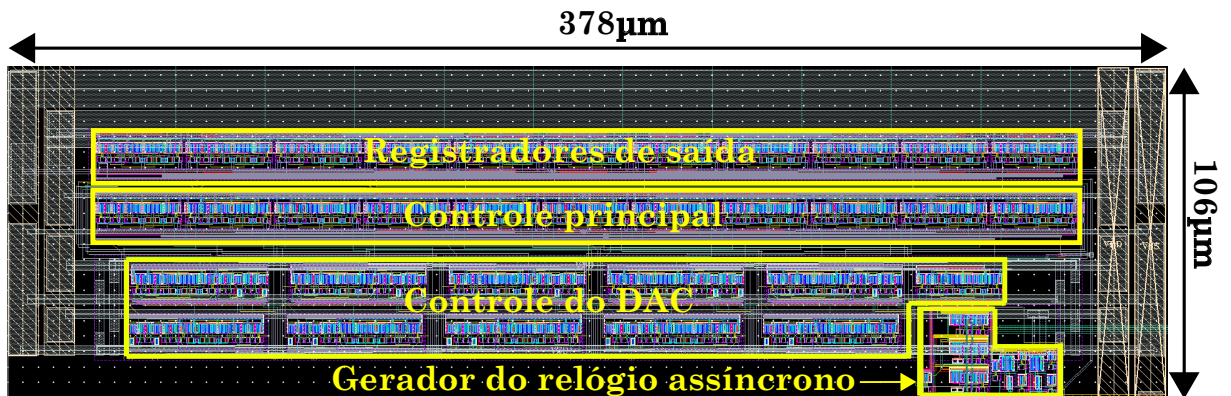


Figura 71: *Layout* da lógica assíncrona *SAR*.



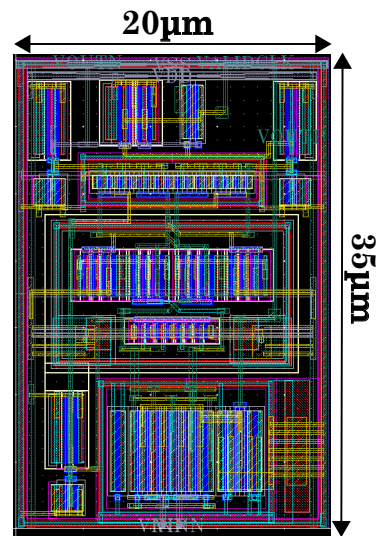


Figura 72: *Layout* do comparador dinâmico.

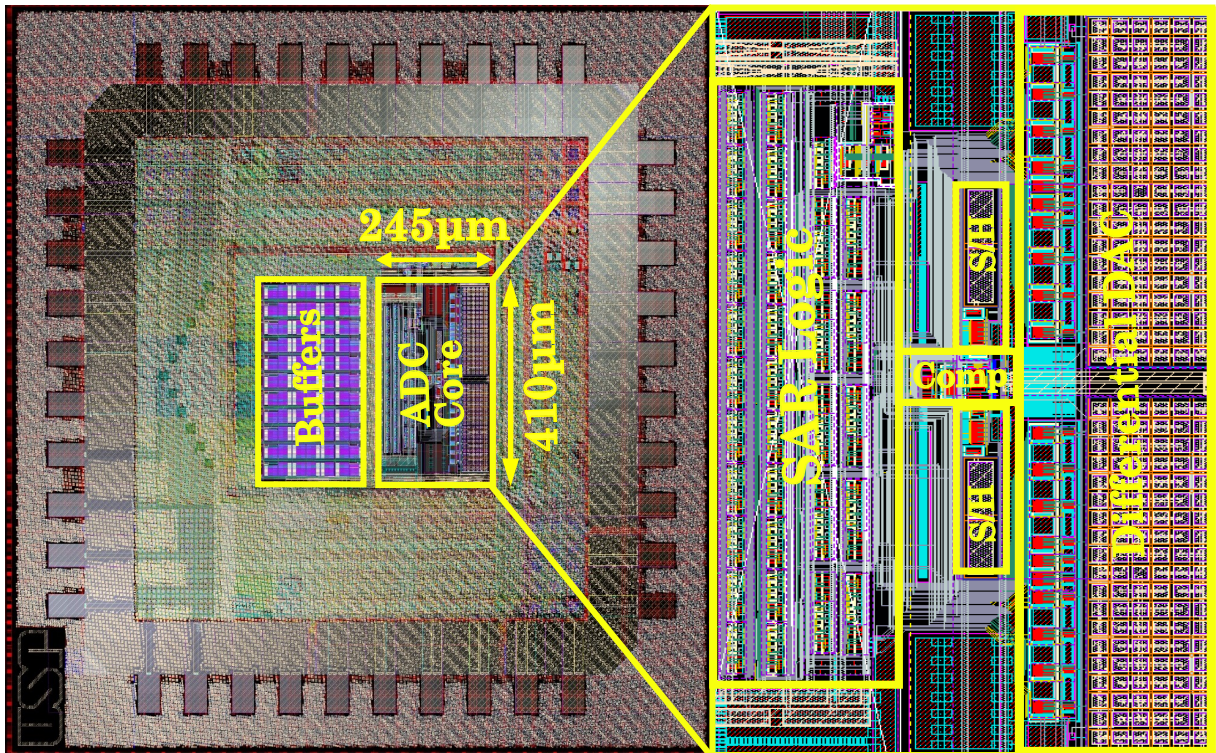


Figura 73: *Layout* do chip de teste.