

THIAGO ALVES MENDES DO AMARAL

**PROJETO DE UM LDO DIGITAL PARA
APLICAÇÕES DE BAIXA TENSÃO EM
TECNOLOGIA CMOS**

São Paulo
2022

THIAGO ALVES MENDES DO AMARAL

**PROJETO DE UM LDO DIGITAL PARA
APLICAÇÕES DE BAIXA TENSÃO EM
TECNOLOGIA CMOS**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Ciências.

São Paulo
2022

THIAGO ALVES MENDES DO AMARAL

**PROJETO DE UM LDO DIGITAL PARA
APLICAÇÕES DE BAIXA TENSÃO EM
TECNOLOGIA CMOS**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Ciências.

Área de Concentração:

Microeletrônica

Orientador:

Prof. Dr. Wilhelmus A. M. van
Noije

Coorientador:

Prof. Dr. Hugo D. H. Herrera

São Paulo
2022

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 25 de julho de 2022

Assinatura do autor: Thiago Alves Mendes do Amaral

Assinatura do orientador: Wilhelmus Van Noye

Catálogo-na-publicação

Amaral, Thiago Alves Mendes do
Projeto de um LDO digital para aplicações de baixa tensão em tecnologia CMOS / T. A. M. Amaral -- versão corr. -- São Paulo, 2022.
69 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Microeletrônica 2. Circuitos Integrados 3. Circuitos Integrados MOS
4. Reguladores de Tensão Low Dropout Digitais I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

Gostaria de agradecer aos Professores Doutores Wilhelmus Adrianus Maria van Noije e Hugo Daniel Hernandez Herrera pela dedicação, supervisão e paciência com o andamento e desenvolvimento do meu trabalho de Dissertação de Mestrado. Também gostaria de agradecer ao Prof. Dr. Sergio Takeo Kofuji, Prof. Dr. Roberto Kenji Hiramatsu e o Prof. MSc. Stelvio Henrique Ignacio Barboza por acreditarem na minha competência para entrar no Programa de Pós-Graduação desta importante Universidade.

Aos colegas Prof. Dr. Bruno Sanches e Daniela Santana por ajudarem nos experimentos do circuito descrito neste trabalho. Ao meu amigo Rafael Benetti Santos por sempre me incentivar a fazer este curso que foi tão importante para mim.

À minha avó Margarida Alves Mendes, aos meus tios Carlos Alberto e Nequino Mendes por me apoiarem a frequentar e desenvolver o meu trabalho de Pós-graduação. E por fim, aos meus pais: Valdéris Imaculada Alves do Amaral e Carlos Ney do Amaral.

RESUMO

O consumo de potência dinâmico e de *leakage* em sistemas VLSI (*Very large-scale integration*) é efetivamente reduzido pela operação em ultrabaixa tensão, na qual a máxima eficiência energética é alcançada na tensão de alimentação (VDD) abaixo de 0,5V. Uma das técnicas mais eficazes para reduzir o consumo de energia de carga de circuitos digitais em tecnologia CMOS é alterar dinamicamente a tensão de alimentação e a frequência de *clock* (DVFS - *Dynamic Voltage and Frequency Scaling*), dependendo da carga de trabalho. Modos de baixa tensão são usados em conjunto com frequência de *clock* baixo para minimizar o consumo de energia e somente quando for necessária uma capacidade computacional significativa, modos de tensão/frequência mais altos são ativados. Devido à dependência quadrática da potência com a tensão de alimentação, a manipulação dinâmica da tensão/frequência pode reduzir significativamente o consumo de energia. O tradicional LDO (*Low Dropout Voltage Regulators*), baseado em malha de realimentação analógico, não é adequado para operar gerando baixas tensões devido às limitações de projeto do amplificador operacional. Para contornar esse problema, têm sido propostas novas topologias de LDO digitais com alta eficiência e baixo *ripple* mesmo operando em baixa corrente de saída. Este trabalho de mestrado propõe o projeto de um LDO digital com alta eficiência e baixo ruído para sistemas DVFS de baixa tensão em tecnologia CMOS. Os circuitos LDOs foram projetados e simulados na tecnologia CMOS 180nm da TSMC para trabalhar numa eficiência de aproximadamente 90% tanto para correntes altas (1mA) como para as mais baixas (100 μ A). Foi fabricado um protótipo (versão 1) o qual não se obteve resultados experimentais satisfatórios com relação a eficiência. Porém foi realizado outra versão (2) simulada em Monte Carlo em que obteve-se uma eficiência na simulação de pós-layout de 95%, uma corrente total de um 1mA, potência total de saída de 0,5mW e um erro de tensão de estado estacionário de 5mV. Nesta mesma versão do DLDO versão 2 foi implementado um controle de *ripple* obtendo melhora no sinal de tensão de saída, diminuindo o *ripple* de tensão de saída para corrente mínima, obtendo um valor praticamente nulo, somente na transições de corrente há sobre-tensões ou quedas de tensões. Além disso houve um desenvolvimento de um ALDO (*Analog LDO*) para 0,5V (tensão de saída) com uma eficiência de 90.7% de corrente de pico com um sinal sem *ripple*, mas um erro de estado estacionário de 10mV.

Palavras-Chave – Reguladores de Tensão, *Low-Dropout Regulators*, LDOs Digitais.

ABSTRACT

The dynamic and leakage power consumption in VLSI (*Very large-scale integration*) systems is effectively reduced by operating in ultra-low-voltage, where the maximum energy efficiency is achieved for supply voltages (VDD) below 0.5V. One of the most effective techniques to reduce load power consumption of digital CMOS circuits is to dynamically change the supply voltage and clock frequency (DVFS - *Dynamic Voltage and Frequency Scaling*) depending on the workload. Low voltage modes are used in conjunction with low clock frequency to minimize power consumption and only when a significant computational capacity is required, higher voltage/ frequency modes are activated. Due to the quadratic dependence of the power consumption with the supply voltage, dynamic voltage/frequency definition can significantly reduce energy consumption. The traditional LDO (*Low Dropout Voltage Regulators*), based on analog feedback loop, is not suitable to operate generating low voltages due to the operational amplifier design limitations. In order to overcome this problem, new digital LDO topologies have been proposed with high efficiency and low ripple even operating at low output current. This work proposes the design of a digital LDO with high efficiency and low ripple for low voltage DVFS systems in CMOS technology. The LDO circuits were designed and simulated in TSMC 180nm CMOS technology to work at an efficiency of approximately 90% for both high (1mA) and low (100 μ A) currents. A prototype (version 1) was manufactured, which did not obtain satisfactory experimental results in terms of efficiency. However, another version (2) simulated in Monte Carlo was carried out, in which a post-layout simulation efficiency of 95% was obtained, a total current of 1mA, total output power of 0.5mW and a voltage error of steady state of 5mV. In this same version of DLDO version 2, a ripple control was implemented, obtaining an improvement in the output voltage signal, decreasing the output voltage ripple to minimum current, obtaining a practically null value, only in transitions of current there are overvoltages or voltage drops. In addition there was a development of an ALDO (Analog LDO) for 0.5V (voltage output) with an efficiency of 90.7% of peak current with a signal without ripple, but a steady state error of 10mV.

Keywords – Voltage Regulators, Low-Dropout Regulators, Digital LDOs, DLDO.

LISTA DE FIGURAS

1	Topologia Típica de um LDO.	15
2	Diagrama Simplificado de um Regulador Linear: (a) topologia para ajuste de um resistor interno variável da fonte; (b) topologia típica de LDO analógico.	19
3	Exemplo de Regulação de Linha.	21
4	Definição de Regulação de Carga.	22
5	LDO Digital	24
6	Regulador Low Dropout Totalmente Digital com Ganho de Loop Programável.	25
7	Arquitetura Proposta do LDO ED (Event-driven) (a) e Impacto do Controle da Latência de Controle na Regulação da Tensão de Saída (b).	26
8	Um DLDO Convencional (a); LDO Recursivo Proposto (RLDO) com Ciclo de Trabalho de SAR e PWM (b).	27
9	Diagrama de Blocos de um SCR-DLDO.	27
10	Diagrama de Blocos Pertencente ao DLDO (Maior Parte Sintentizável).	28
11	Análise Temporal da Resposta Transiente da Carga	28
12	Conceito de DLDO Distribuído (Esquerda), e Arquitetura de uma Unidade Totalmente Digital para um DLDO Distribuído (Direita).	29
13	Análise de Estabilidade: Exemplo de Equação V_{OUT} de Grandes Sinus Para 2-DLDO (a), Modelo de Análise de Pequenos Sinus de Malha Fechada (b), Polo-Zero para 1-DLDO para dV_{OUT}/dI_L para Malha Fechada com Respeito a C_{OUT} (c) e 2-DLDO para v_{OUT1}/v_{OUT2} de Malha Fechada com Respeito a RPDN (d).	30
14	Arquitetura SCR-DLDO Proposta.	32
15	Estrutura <i>Binary Ripple Control</i> para o projeto do SCR.	33
16	Topologia do Comparador Dinâmico.	35

17	Resultado de simulação transiente do comparador dinâmico.	36
18	Esquemático do contador em anel e diagrama de tempo de operação. . . .	37
19	Esquemático e Tabela com Dimensões do FF com Opção de <i>Preset</i> síncrono.	38
20	Esquemático e Tabela com Dimensões do FF com Opção de <i>Reset</i> assíncrono.	38
21	Esquemático e Tabela com as dimensões dos transistores do circuito <i>Clock non-overlapping</i>	39
22	Esquemático do circuito SCR.	39
23	Forma de Onda dos Sinais Φ_A e Φ_B	40
24	Dinâmica dos Capacitores de Chaveamento e Tabela com Dimensões dos Transistores.	41
25	Layout do Circuito Fabricado (versão 1).	42
26	Foto do Chip produzido.	42
27	Foto da Placa de Testes.	43
28	Resultados de Simulação <i>Pos-Layout</i> Circuito do Circuito Fabricado. . . .	44
29	<i>Print</i> do Sinal de Saída para a Carga de $1k\Omega$ no Osciloscópio.	47
30	Detalhe do Sinal de Saída do Osciloscópio para a Carga de $1k\Omega$	47
31	Layout da Segunda Versão do SCR-DLDO.	48
32	Regulação de Carga do Circuito Proposto (<i>Pos-Layout</i>) para Várias Cargas.	49
33	Regulação de Linha do Circuito Proposto para Carga de 500Ω (<i>Pos-Layout</i>)	49
34	Gráfico Resposta ao Transiente para as Cargas de $5k$ e 500Ω (<i>Pos-Layout</i>).	50
35	Gráfico Resposta ao Transiente para resistência de carga de aproximadamente $5k\Omega$ e corrente de saída $109 \mu A$ para os cinco e para um <i>Enable</i> Ativo dos Circuito <i>Clock non overlapping</i>	51
36	Esquemático do ALDO Projetado.	55
37	Esquemático dos Amplificador Operacional projetado.	56
38	Comparação no Domínio do Tempo dos ALDOs ($V_{DDin}=0,6V$ e $V_{REF}=0,5V$).	57
39	Comparação no Domínio do Tempo dos ALDOs ($V_{DDin}=0,9V$ e $V_{REF}=0,7V$).	57

40	Diagrama de Bode do ALDO ($V_{DDin}=0,6V$, $V_{REF}=0,5V$ e carga de 500Ω).	58
41	Diagrama de Blocos Pertencente ao Controlador de <i>Enables</i>	59
42	Diagrama de Blocos da Máquina de Estados do Circuito do Contador Bidirecional.	60
43	Simulação Comparando Circuito DLDO sem e com Controle de <i>Ripple</i> . . .	60
44	Gráficos de Eficiência dos Circuitos DLDO.	61

LISTA DE TABELAS

1	Especificações do Projeto	34
2	Dimensões dos Transistores do Circuito Comparador.	36
3	Dimensões dos Transistores dos <i>Buffers</i> na saída dos FF	38
4	Medidas de Simulação e Resultados Experimentais no Multímetro	45
5	Medidas de Simulação e Resultados Experimentais no Osciloscópio	46
6	Consumo Médio de Corrente dos Subcircuitos	46
7	Comparação de Desempenho com LDOs Digitais no Estado da Arte.	52
8	Dimensões dos transistores do circuito do amplificador operacional	56
9	Comparações entre os LDOs	58

SUMÁRIO

Símbolos e Abreviaturas	12
1 Introdução	14
1.1 Justificativa	16
1.2 Objetivos	17
1.2.1 Objetivo Geral	17
1.2.2 Objetivos Específicos	17
1.3 Organização do Documento	17
2 Fundamentação Teórica	19
2.1 Especificações de um LDO	20
2.1.1 <i>Dropout voltage</i>	20
2.1.2 Corrente Quiescente	20
2.1.3 Resposta Transitória	21
2.1.4 Regulação de Linha	21
2.1.5 Regulação de Carga	21
2.1.6 Eficiência	22
2.1.7 Erro de Tensão em Estado Estacionário	22
2.2 Estado da Arte de LDO Digitais	23
3 Arquitetura do DLDO e sub-circuitos	31
3.1 Arquitetura do DLDO	31
3.1.1 Comparador Dinâmico	34
3.1.2 Contador em Anel	36
3.1.3 Circuito <i>Clock non-overlapping</i>	38

3.1.4	Descrição da Operação do Circuito SCR	39
3.2	Layout do circuito - Versão 1	41
3.3	Resultados de Simulação e medidas experimentais - Versão 1	44
3.4	Resultados do DLDO Simulado - Versão 2	47
3.4.1	Resultados da Simulação Monte Carlo	52
4	Comparação com LDO analógico e controle de <i>ripple</i>	54
4.1	Comparação entre LDO digital e LDO analógico	54
4.2	Circuito de controle do <i>Ripple</i>	59
5	Conclusão	62
	Referências	65
	Apêndice A	68

SÍMBOLOS E ABREVIATURAS

C_{OUT} Capacitor de Saída. 15

V_{DDin} Tensão de Alimentação de Entrada do Regulador de Tensão. 16, 34, 35, 40, 43–46, 48, 49, 52, 56–58, 63

V_{DDout} Tensão de Alimentação de Saída do Regulador de Tensão. 15, 22, 32, 34, 40, 45, 46, 50, 52, 62, 63

V_{GS} Tensão entre porta e fonte do transistor MOS. 20

V_{REF} Tensão de Referência. 15, 22, 26, 32, 34, 43–46, 48, 52, 56–58

V_{TH} Tensão de limiar do transistor MOS. 15

η Eficiência. 22

k_i Ganho integral. 25

k_p Ganho proporcional. 25

η_I Eficiência de Corrente. 22

η_P Eficiência de Potência. 22

ADC Conversor Analógico-Digital. 25, 26

ALDO *Analog LDO* . 17, 55, 58, 62, 63

CMOS *Complementary metal-oxide-semiconductor*. 15–17, 33

DLDO *Digital-LDO*. 17, 18, 23, 24, 27, 29, 34, 42, 46, 49, 50, 53, 58, 60–64

DVFS *Dynamic voltage and frequency scaling*. 16, 25, 26

ED *Event-Driven*. 25

ERS *Equivalent Series Resistance*. 21

FF *Flip-Flop*. 32, 36–38

GBW *Gain–Bandwidth Product* (Banda de Ganho Unitário). 23, 63

I Integrativo. 25

LDO *Low Dropout Voltage Regulator*. 15–17, 19–21, 23, 25, 26, 49

MIM *Metal-Insulator-Metal* . 31, 39

NMOS *N-type metal-oxide-semiconductor logic*. 34, 54

P Proporcional. 25

PMOS *P-type metal-oxide-semiconductor logic*. 15, 26, 33, 34, 37, 39, 40, 54, 55

SA-DLDO *Switched-Array- Digital LDO*. 26

SCR *Switched Capacitor Resistor*. 32, 33, 39, 44, 59

SCR-DLDO *Switched-capacitor resistance-Digital LDO*. 17, 26, 27, 32, 34, 42, 44, 48, 52, 63

TSPC *True Single Phase Clocking*. 37

VLSI *Very large-scale integration*. 16

1 INTRODUÇÃO

Nos dias de hoje, estamos rodeados de aparelhos e dispositivos eletrônicos, incluindo portáteis, tais como: *smartphones* e *tablets* entre outros. Quase todos esses dispositivos usam uma bateria para operar, o que requer um sistema altamente eficiente de gerenciamento de potência (*Power-Management*) para maximizar o tempo de autonomia dos dispositivos.

Seguindo a lei de Moore, as tecnologias tem tido dimensões reduzidas. Isso não só tem levado ao escalonamento do comprimento do canal do transistor, mas também nas tensões de alimentação nas quais os sistemas operam. Dentro dos sistemas eletrônicos existem circuitos integrados (CI) projetados em diferentes tecnologias, operando com diferentes níveis de tensões, mas alimentados com a mesma bateria. Conversores DC-DC (*Buck*, *Boost* ou *Buck-Boost*) são geralmente utilizados dentro destes sistemas para gerar os níveis de tensões requeridos com uma eficiência elevada (95% a 99%).

Em muitos casos o *ripple* da tensão fornecida pelo conversor DC-DC (conversor de corrente contínua para corrente contínua em português) é inadequada para circuitos analógicos e digitais, especialmente para aplicações de ultrabaixa tensão. Para gerar tensões de alimentação estáveis, com baixo *ripple* e baixo ruído, alta regulação de linha e de carga, são comumente utilizados circuitos reguladores de tensão entre o conversor DC-DC e a carga.

Uma das características mais importante dos reguladores de tensão é sua tensão de *dropout*. A tensão de *dropout* é a diferença entre a tensão de saída nominal e a menor tensão de entrada necessária para que o regulador funcione corretamente. Na literatura uma tensão de *dropout* é considerada baixa quando inferior a 0,6 V (LDO - *Low Dropout Voltage Regulator*) e alta (HDO - *High Dropout*) quando superior a este valor (KINGET; CHATTERJEE; TSIVIDIS, 2006). Valores típicos de tensão *dropout* em reguladores do tipo LDO comerciais estão entre 200mV até 50 mV.

A Figura 1 nos ilustra o diagrama esquemático de um LDO. Trata-se de um sistema

realimentado negativamente em que a tensão de saída V_{DDout} é comparada com um valor de V_{REF} por meio de um amplificador operacional. Sob uma condição dinâmica, tanto a tensão de entrada (V_{DD}) quanto a carga podem sofrer flutuações gerando mudanças no valor da tensão de saída e, por consequência, no valor de tensão no terminal positivo do amplificador. Esta variação faz com que a tensão no amplificador seja ajustada na porta do transistor de passagem (M0) para que o erro nos seus terminais seja minimizado.

Devido ao fato de que o transistor de passagem é um transistor PMOS operando em triodo quando a variação de carga for alta e em saturação quando a variação de carga for baixa, a queda de tensão entre a entrada e a saída (*voltage drop*) será pequena (no caso triodo) (RINCON-MORA; ALLEN, 1998), com valores mínimos entre 50mV até 300mV. O capacitor C_{OUT} é vital para que as flutuações (*Ripple*) de tensão de saída sejam reduzidas, porém a estabilidade do laço de retroalimentação é afetada diretamente por ele.

Fonte: Cheah et al. (2017)

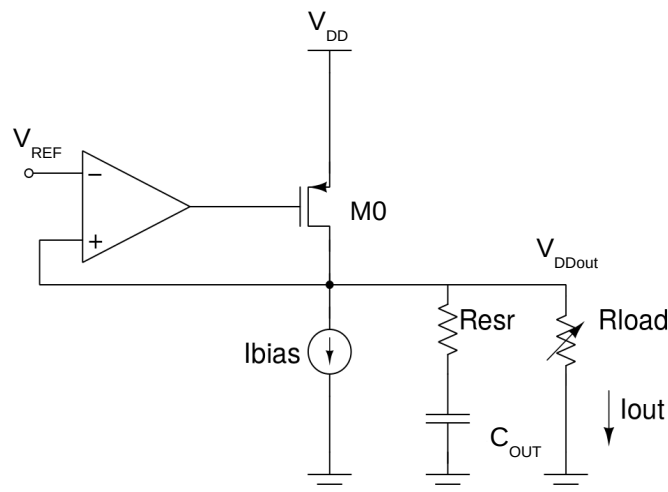


Figura 1: Topologia Típica de um LDO.

A tecnologia CMOS passa cada vez mais pela redução das dimensões dos transistores abaixo de 10nm, e com isto um aumento da velocidade de operação e da densidade de funcionalidades dentro do chip. Com o propósito de manter a confiabilidade, reduzir o consumo de potência e evitar problemas térmicos, a tensão de alimentação precisa ser escalada adequadamente.

A redução da tensão de alimentação é muito benéfico para os circuitos digitais, já que a dissipação de potência é reduzida quadraticamente. No entanto, a tensão limiar dos transistores (V_{TH}) não pode ser agressivamente reduzida devido ao aumento da corrente de *leakage* (fuga) pela porta do transistor (KINGET; CHATTERJEE; TSIVIDIS, 2006) e também pelos terminais fonte e dreno. O escalonamento da tensão de alimentação, sem uma

redução considerável da tensão limiar faz com que o projeto de circuitos analógicos para baixas tensões seja um desafio para os projetistas de circuito integrado.

1.1 Justificativa

O consumo de potência dinâmico e de *leakage* em sistemas VLSI são efetivamente reduzido pela operação em ultrabaixa tensão, na qual a máxima eficiência energética é alcançada na tensão de alimentação (V_{DDin}) abaixo de 0,5V. Vários trabalhos presentes na literatura mostraram a viabilidade de circuitos lógicos *sub/near-threshold* (AGARWAL et al., 2010) (KAUL et al., 2008). Estes circuitos requerem um V_{DDin} estável e sintonizável, uma vez que o atraso do *gate* é muito sensível à variações de V_{DDin} e às variações do processo.

Um das técnicas mais eficazes para reduzir o consumo de energia de carga do CMOS é alterar dinamicamente a tensão de alimentação e a frequência de *clock* (DVFS - *Dynamic voltage and frequency scaling*), dependendo da carga de trabalho. Devido à dependência quadrática da potência com a tensão, a manipulação dinâmica da tensão/frequência pode reduzir significativamente o consumo de energia. Modernas técnicas de gerenciamento de energia em um SoC (*System on Chip*) giram em torno do uso de múltiplos domínios de tensão, regulação dinâmica das técnicas de fornecimento e dimensionamento adaptativo de tensão (WANG et al., 2015). No entanto, gerar essas diferentes tensões eficientemente provou ser um desafio para a implementação prática do DVFS.

O tradicional LDO, como mostrado na Figura 1 baseado em malha de realimentação analógica, não é adequado para operar gerando tensões abaixo de 0,5V devido às limitações de projeto do amplificador operacional. Para contornar esse problema, nos últimos anos vários trabalhos na literatura têm proposto topologias de LDO digitais com alta eficiência e baixo *ripple* mesmo operando em baixas tensões de saída (SALEM; MERCIER, 2018)(SALEM; WARCHALL; MERCIER, 2018)(SALEM; WARCHALL; MERCIER, 2017).

Este trabalho de mestrado propõe o projeto de um LDO digital com alta eficiência e baixo ruído para sistemas de baixa tensão em tecnologia CMOS.

1.2 Objetivos

1.2.1 Objetivo Geral

Projetar um circuito regulador de tensão LDO digital para aplicações de baixa tensão (0,5V) e eficiência de corrente maior que 70% em tecnologia CMOS 180nm da TSMC.

1.2.2 Objetivos Específicos

- Estudar o estado da arte do projeto de reguladores de tensão LDO digitais, e as principais especificações e desafios de projeto destes circuitos para aplicações portáteis.
- Definir o valor das especificações a serem atingidas durante o projeto do circuito e selecionar a arquitetura mais adequada para as especificações estabelecidas.
- Projetar e simular o circuito regulador de tensão LDO usando a arquitetura selecionada, verificando que o circuito projetado satisfaz as especificações requeridas.
- Realizar simulações de Monte Carlo sobre o esquemático do circuito projetado, para determinar quão robusto é o circuito em detrimento as variações de processo, temperatura e tensão de alimentação.
- Implementar o *layout* do circuito projetado, satisfazendo as regras de distâncias do processo CMOS utilizado, e realizar simulações *pós-layout*.
- Preparar o *layout* do *chip* para fabricação incluindo os PADS.
- Realizar medidas experimentais sobre o *chip* fabricado.

1.3 Organização do Documento

No capítulo 2 são apresentadas a Fundamentação Teórica do trabalho e as especificações utilizadas. Além disso são apresentadas as principais arquiteturas dos LDOs digitais na literatura. Já no capítulo 3 são abordados a arquitetura do circuito DLDO proposto e seus sub-circuitos; assim como os resultados de simulação das duas versões e resultados experimentais da versão 1 do DLDO. No capítulo 4 é proposto um circuito para minimizar o *ripple* do SCR-DLDO e conseqüentemente os seus resultados de simulação. Ainda no mesmo capítulo um projeto de ALDO, um LDO convencional e descrição de resultados. Conseqüentemente no capítulo 4 foi realizada a comparação de desempenho

do LDO convencional e do DLDO proposto neste trabalho. Por fim, no capítulo 5 temos as conclusões do trabalho e sugestões para trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Um regulador de tensão linear se comporta como uma fonte de tensão constante, ajustando sua resistência interna de acordo com as mudanças da resistência da carga. No entanto, a resistência interna da fonte de tensão constante tem que ser significativamente menor que a resistência da carga externa, de modo que a tensão de saída constante em uma determinada faixa de mudanças de carga é assegurada. Mesmo que a resistência interna seja pequena, existirá um erro no valor desejado na carga, já que este depende da corrente. Para que este erro seja minimizado, precisamos introduzir algum tipo de circuito de *feedback*, que detecte qualquer mudança de carga que ocorra e ajuste um resistor interno variável da fonte, como ilustrado na Figura 2a.

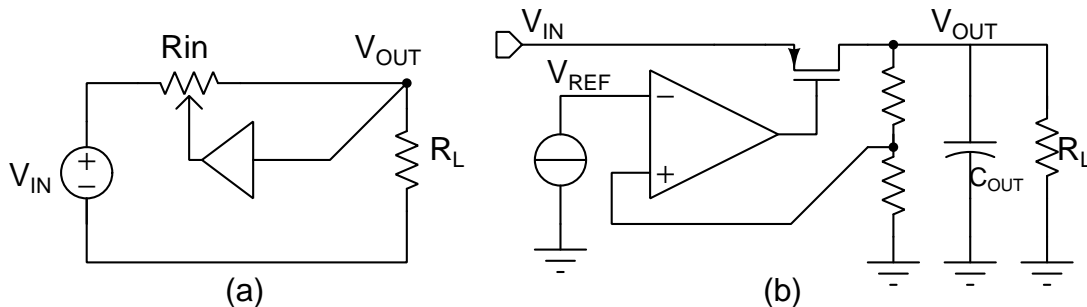


Figura 2: Diagrama Simplificado de um Regulador Linear: (a) topologia para ajuste de um resistor interno variável da fonte; (b) topologia típica de LDO analógico.

Como o nome sugere, os LDOs são reguladores lineares que requerem muito menos diferença de tensão entre a entrada e a saída para regular adequadamente a tensão de entrada. Assim, a topologia típica de um LDO analógico é ilustrada na Figura 2b e é composta por um transistor de passagem, um amplificador de erro e uma rede de realimentação.

Por outro lado, a rede de realimentação é composta por um divisor de tensão resistivo, que fornece tensão de saída reduzida, que é igual à tensão de referência quando tensão nominal é alcançada na saída. O amplificador de erro fica constantemente comparando

a tensão de referência e a tensão sendo alimentada pelo divisor de tensão. A diferença entre estas tensões é amplificada e a saída do amplificador de erro ajusta a tensão V_{GS} do transistor de passagem para manter o nível de tensão de saída no valor desejado.

2.1 Especificações de um LDO

Nesta seção os parâmetros básicos de estado estacionário e transientes dos reguladores LDO serão apresentados.

2.1.1 *Dropout voltage*

A tensão de *dropout* representa a diferença de tensões entre o nó de entrada e saída do regulador de tensão no qual o circuito deixa de regular-se com uma diminuição da tensão de entrada. Assim na região de *dropout*, o ganho de loop é tão baixo, que o dispositivo passa a se comportar como uma chave (*switch*), por causa da ausência do controle de sua condutividade, e dessa maneira a tensão de saída será a diferença entre a tensão de entrada e a queda ôhmica do dispositivo de passagem.

$$V_{OUTdrop} = V_{IN} - V_{PASS} = V_{IN} - I_{Carga} \times R_{Carga} \quad [V] \quad (2.1)$$

Sendo que $V_{OUTdrop}$ é a tensão de entrada menos a de saída. V_{IN} é a tensão de entrada, V_{PASS} é a tensão de queda do elemento de carga (R_{Carga}), e, I_{Carga} é a corrente de carga.

2.1.2 Corrente Quiescente

Corrente quiescente ou corrente de repouso é a diferença entre as correntes de entrada e de saída. Dessa forma baixa corrente quiescente é necessária para maximizar a eficiência, especialmente em sistemas de baixa potência. Todos os blocos internos (referência de tensão, resistores sensores, amplificador de erro e outros blocos) têm sua participação no aumento da corrente quiescente devido às suas correntes de polarização. Adicionalmente a corrente de acionamento da porta do elemento de passagem da série também contribui para o aumento da corrente de repouso.

2.1.3 Resposta Transitória

A resposta transitória é definida como a variação máxima de tensão de saída para um degrau de corrente de carga ou um degrau de tensão de entrada. É uma função do capacitor de saída e sua resistência em série equivalente (ERS) e, se necessário, um capacitor de *bypass* pode ser adicionado para que a resposta transitória seja melhorada.

2.1.4 Regulação de Linha

Regulação de linha é a medida da habilidade do circuito manter uma certa variação da tensão da saída com uma determinada variação de tensão na entrada do LDO (LEE, 1999), como ilustrado na Figura 3. Podemos ver na figura que há duas variações de tensão uma positiva e uma negativa (V_{LR1} e V_{LR2}) variações na saída e ΔV_{saida} é a soma destas duas variações em módulo.

$$Reg. \text{ de linha} = \frac{\Delta V_{saida}}{\Delta V_{entrada}} \quad (2.2)$$

Fonte: Lee (1999)

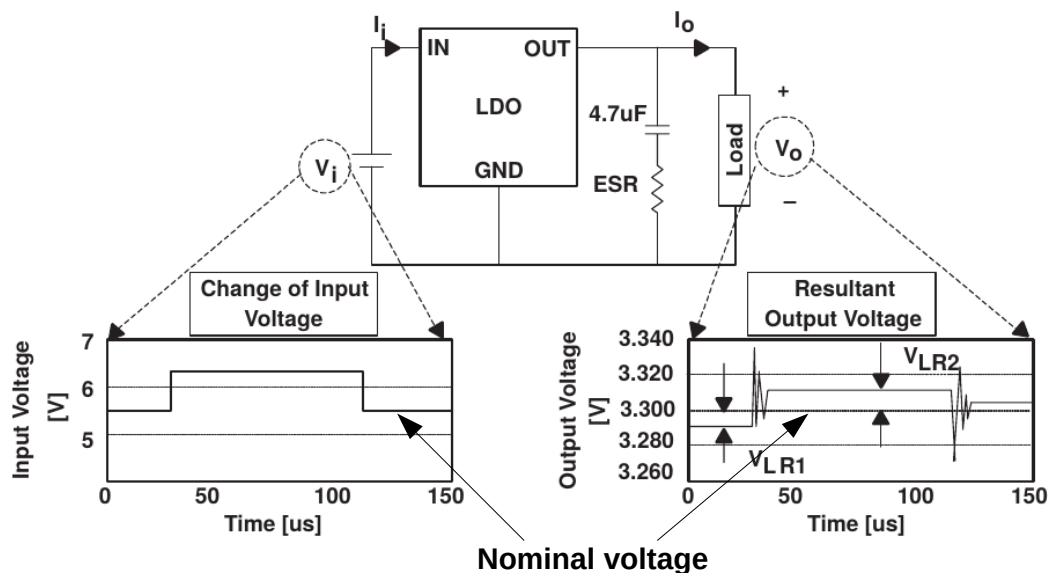


Figura 3: Exemplo de Regulação de Linha.

2.1.5 Regulação de Carga

A regulação da carga é uma medida da capacidade do circuito para manter a tensão de saída especificada em condições de carga variáveis, como ilustrado na Figura 4. É

definido como:

$$Reg. \text{ de Carga} = \frac{\Delta V_{saida}}{\Delta I_{saida}} = \frac{V_{saidasemcarga} - V_{saidacargatotal}}{I_{saidacargatotal}} \quad (2.3)$$

Fonte: Lee (1999)

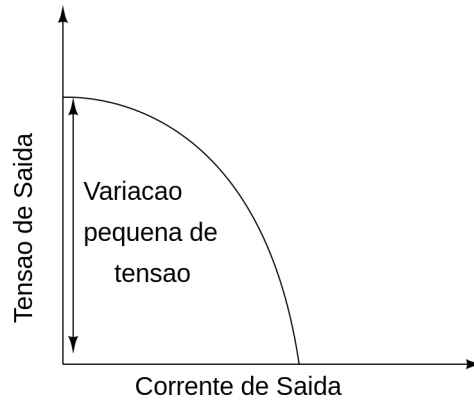


Figura 4: Definição de Regulação de Carga.

2.1.6 Eficiência

A eficiência (η) pode ser medida pela relação de potência de saída e potência de entrada (η_P), mas com mais frequência é utilizado na literatura o termo eficiência de corrente (η_I):

$$\eta_P = \frac{V_{saida} \cdot I_{saida}}{V_{entrada} \cdot I_{entrada}} \times 100\% = \frac{P_{saida}}{P_{entrada}} \times 100\% \quad (2.4)$$

$$\eta_I = \frac{I_{saida}}{I_{entrada}} \times 100\% \quad (2.5)$$

2.1.7 Erro de Tensão em Estado Estacionário

Sabendo que a tensão de referência (V_{REF}) é a tensão ideal a ser alcançada na saída do regulador. O Erro de Tensão em Estado Estacionário é a tensão de saída (V_{DDout}) subtraído pela tensão de referência (V_{REF}) em módulo ($Erro = |V_{DDout} - V_{REF}|$).

2.2 Estado da Arte de LDO Digitais

O próprio uso de novos nós tecnológicos chamou a atenção dos pesquisadores para a produção de trabalhos utilizando LDOs digitais. A tecnologia digital permite o trabalho em baixas correntes quiescentes, no entanto a ação de chaveamento causa *ripple* maiores, e por isso não é tão popular na alimentação em circuitos analógicos e RF, porém há técnicas para a redução deste *ripple* como o uso de registradores *shift register* bidirecional e outras técnicas. (MAZUMDAR, 2015)

O LDO analógico convencional consiste em um amplificador operacional e um transistor de passagem (*by-pass*). Segundo o autor Okuma et al. (2010), o LDO convencional falha na operação em tensões de saídas consideradas baixas ($<0,5V$), porque o amplificador operacional não pode controlar a tensão de porta analógica do transistor de passagem. No entanto, algumas publicações indicam que é possível a produção de um amplificador operacional que trabalhe em tensões menores que 500mV, entre eles: (CHATTERJEE; TSIVIDIS; KINGET, 2005), (LV et al., 2019), (FERREIRA; SONKUSALE, 2014), (TOLEDO et al., 2020) e (BALLO; PENNISI; SCOTTI, 2021); este último trabalha exatamente a 500mV. Entretanto ainda não se justifica o uso de LDOs analógicos.

Algumas características do amplificador operacional têm que ser levadas em conta, entre elas: *slew-rate*, corrente quiescente e GBW. Uma outra questão é o problema de quanto de carga capacitiva suportam estes amplificadores, uma vez que é necessário o controle do transistor de passagem para a entrega de tal corrente para uma determinada carga, uma especificação importante é o *slew-rate*, já que define a velocidade da resposta transiente. Corrente esta, que pode chegar alguns miliamperes. Para a resolução deste problema do amplificador operacional, alguns DLDOs foram propostos. O DLDO mostrado na Figura 5 foi publicado em Okuma et al. (2010).

A LDO digital inclui um *switch array*, um comparador e um controlador digital. Já o transistor de passagem controlado por um sinal analógico é substituído pelo conjunto de chaves e o número de chaves ligadas é alterado digitalmente pelo controlador. A tensão de saída (V_{OUT}) é monitorada pelo comparador em vez do amplificador operacional, sendo que o comparador gera um sinal digital em sua saída e o amplificador operacional um sinal analógico. Assim, a LDO digital elimina todos os circuitos analógicos e é controlado por circuitos digitais, o que permite a operação em baixas tensões de saídas, considerando que os circuitos digitais, incluindo o comparador, podem operar a 0,5V. O DLDO proposto em Okuma et al. (2010) foi projetado em tecnologia CMOS de 65nm, operando com uma tensão de entrada de 0,5 V e a tensão de saída de 0,45 V com 98,7% de eficiência de

Fonte: Okuma et al. (2010)

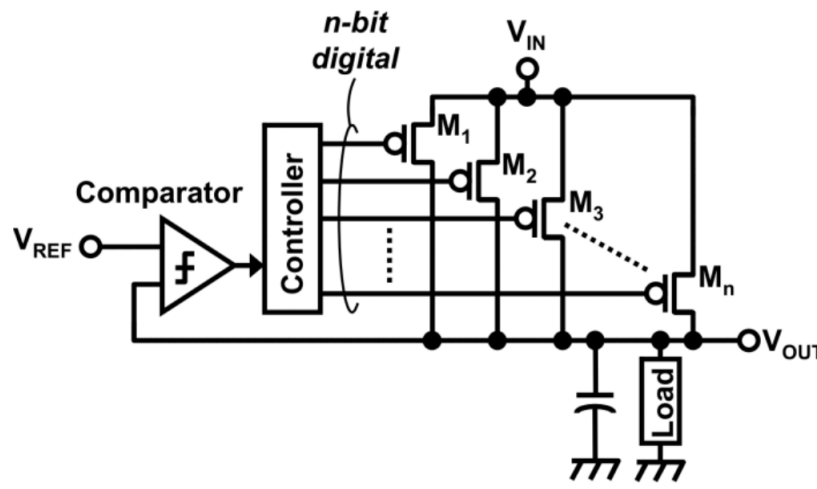


Figura 5: LDO Digital

corrente e $2,7\mu\text{A}$ corrente quiescente a $200\mu\text{A}$ corrente de carga usando um capacitor *off-chip* de $0,1\mu\text{F}$.

O DLDO proposto por Nasir, Gangopadhyay e Raychowdhury (2015) mostrou uma melhora significativa no tempo de resposta transiente propondo o LDO digital ilustrado na Figura 6. O circuito utiliza um *barrel shifter* de 128b. Sendo que o *barrel shifter* é um circuito que utiliza lógica combinacional para deslocamento de um certo número de bits de uma palavra de dados tanto para esquerda como para direita. Este circuito controla digitalmente 128 dispositivos PMOS de dimensões idênticas para o fornecimento de carga e regulação de linha no nó V_{REG} . Um comparador dinâmico, que elimina a necessidade de qualquer corrente de polarização, controla a direção do *barrel shifter*. Os sinais de seleção de multiplexação programáveis, MUX1 e MUX2, fornecem ganhos de malha fechada controláveis. A mudança de estado do *shift-register* ocorre em qualquer borda do *clock* (subida ou descida), podendo ocorrer apenas 1, 2 ou 3 *shifts* (dependendo da configuração de ganho), o *fine-grained clock gating* é ativado dividindo o *shifter* de 128b em quatro seções e apenas habilitando o *clock* para a(s) seção(ões) nas quais ocorre a mudança.

Fonte: Nasir, Gangopadhyay e Raychowdhury (2015)

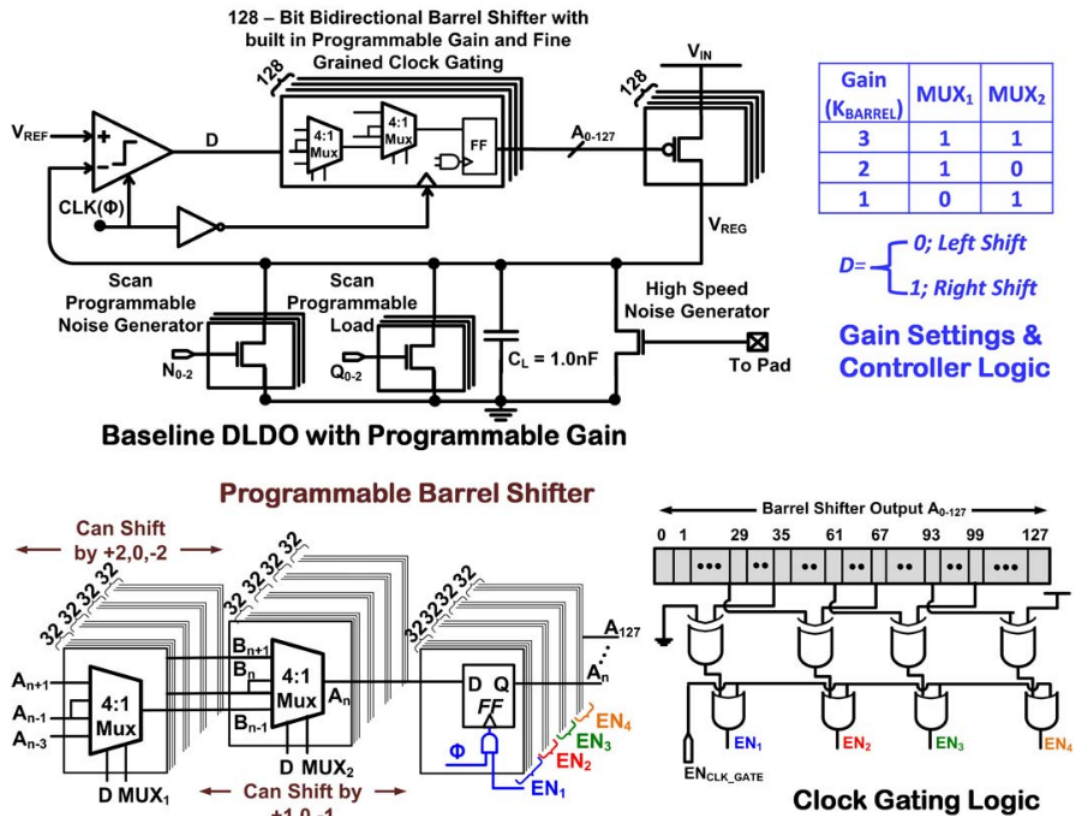


Figura 6: Regulador Low Dropout Totalmente Digital com Ganho de Loop Programável.

O LDO digital proposto em (KIM et al., 2017) é baseado no trabalho de Nasir, Gangopadhyay e Raychowdhury (2015) sugerindo várias melhorias para a diminuição do valor do capacitor de carga, de forma que este seja completamente integrado. A Figura 7 ilustra a arquitetura do LDO proposto. Este consiste em um ADC de passagem de nível com circuito de atualização. Assim com um gerador de pulsos e um controlador ED incluindo partes paralelas proporcionais (P) e de integração (I), o ADC detecta de forma assíncrona uma alteração na tensão de saída (V_{OUT}) e produz o erro ($LV = V_{OUT} - V_{SP}$) em um código termométrico de 7bits.

Quando surge uma mudança no LV (isto é, um novo evento), o gerador de pulsos aciona as partes P e I. A parte P multiplica o LV por um ganho proporcional (k_p) e a parte I integra o LV multiplicado por um ganho integral (k_i) ao longo do tempo. Cada saída das partes P e I liga e desliga seus próprios transistores de potência para a regulação do V_{OUT} .

Os SoCs modernos habilitados para DVFS exigem reguladores de fornecimento ágeis que respondam rapidamente às mudanças bruscas de carga e ofereçam resolução fina (por

Fonte: Kim et al. (2017)

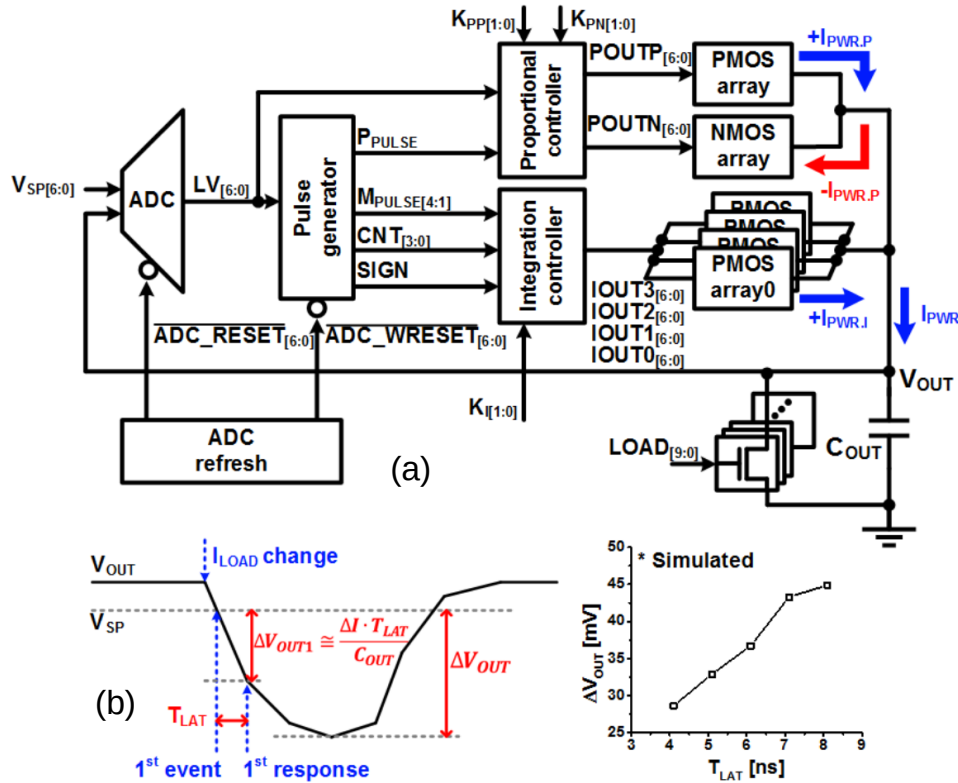


Figura 7: Arquitetura Proposta do LDO ED (Event-driven) (a) e Impacto do Controle da Latência de Controle na Regulação da Tensão de Saída (b).

exemplo, 12,5mV até 10mV) em grandes faixas dinâmicas de tensão e corrente (TOPRAK-DENIZ et al., 2014). Os LDOs digitais do tipo *Switch-array* (SA-DLDOs) são uma opção de regulação potencialmente atraente devido à sua capacidade de operar com tensões de entrada baixas e, em parte, à sua natureza digital modular e a sua escalabilidade, como o proposto por Salem, Warchall e Mercier (2017). Assim os SA-DLDOs empregam matrizes PMOS unárias ou binárias que são moduladas através de um ADC de 1b ou de múltiplos bits para manter a tensão de saída (V_{OUT}) no nível desejado (V_{REF}), conforme ilustrado na Figura 8. Abordando em aplicações de DVFS, o trabalho desenvolvido em Salem e Mercier (2018) propõe um LDO digital utilizando o princípio de SA-DLDOs, porém com uma resistência chaveada como elemento de passo, sendo esta topologia chamada de SCR-DLDO. O diagrama de blocos da topologia proposta neste trabalho é ilustrado na Figura 9.

Fonte: Salem, Warchall e Mercier (2017)

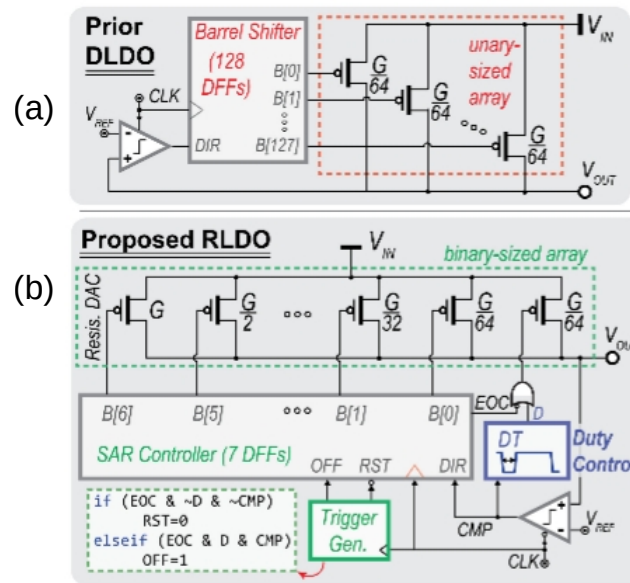


Figura 8: Um DLDO Convencional (a); LDO Recursivo Proposto (RLDO) com Ciclo de Trabalho de SAR e PWM (b).

Fonte: Salem e Mercier (2018)

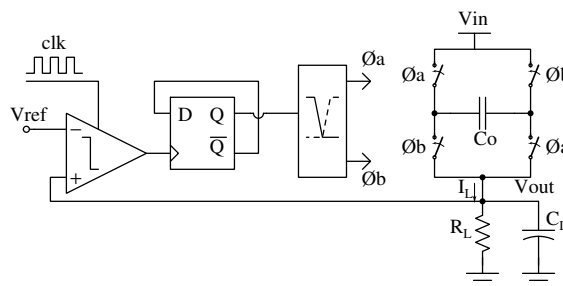


Figura 9: Diagrama de Blocos de um SCR-DLDO.

Um dos mais recentes artigos sobre DLDO é de autoria Oh, Park e Jeong (2020) que possui uma arquitetura mais fácil de ser implementada comparada com arquiteturas anteriores e digitalmente sintetizável, pois é descrito em Verilog (uma linguagem de descrição de hardware) como pode ser visto na Figura 10. O regulador de tensão possui um *clock* adaptativo e uma regulação de tensão incremental dependendo da carga que é entregue ao DLDO, isso para diminuir a corrente quiescente do circuito e o *settling time* ou tempo de recuperação de uma queda de tensão de cargas digitais, como visto na Figura 11.

Fonte: Oh, Park e Jeong (2020)

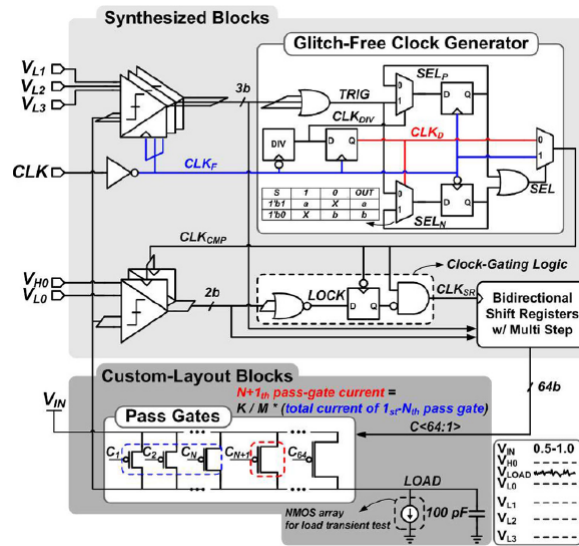


Figura 10: Diagrama de Blocos Pertencente ao DLDO (Maior Parte Sintentizável).

Fonte: Oh, Park e Jeong (2020)

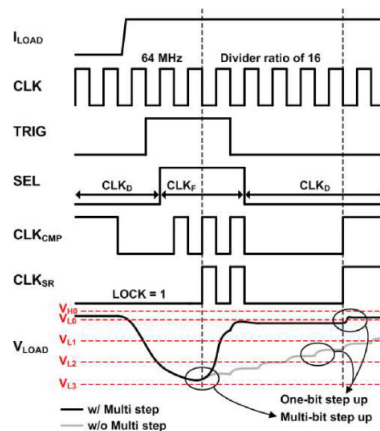


Figura 11: Análise Temporal da Resposta Transiente da Carga

Pode ser visto na Figura 11, que V_{L0} e V_{H0} servem para refinar o sinal de saída, e por outro lado as saídas dos sinais comparadores dos sinais V_{L1} , V_{L2} e V_{L3} servem para recuperação de uma queda de tensão mais brusca na saída do regulador, sendo que V_{L3} tem um peso maior no *shift-register* o qual desloca três bits, V_{L2} dois bits; V_{L1} e V_{L0} um bit e por fim V_{H0} menos um bit. No domínio de tensão entre V_{L0} e V_{H0} o *clock* é 16 vezes menor do que os outros domínios de tensão.

Uma nova técnica que vem sendo utilizada é a dispersão de LDOs digitais (Figura

12), nos quais as unidades utilizam um único domínio compartilhado de tensão de saída. Versões anteriores de (BANG et al., 2020) utilizavam comunicação entre controladores globais. Neste trabalho um controlador PID que utiliza um DSVS (*Digital Supply Voltage Sensor*) para regular a tensão de saída (V_{LOAD}).

Na realização de testes de estabilidade observamos na Figura 13 que a resistência de interligação entre os DLDOs mantém o sistema estável pois um DLDO fica instável tanto com C_{out} pequeno como para um capacitor de saída muito grande. Portanto são necessários pelo menos dois DLDOs para manutenção estável do sistema. O sistema como um todo contém nove DLDOs e pode alcançar correntes de 2,74A.

Fonte: Bang et al. (2020)

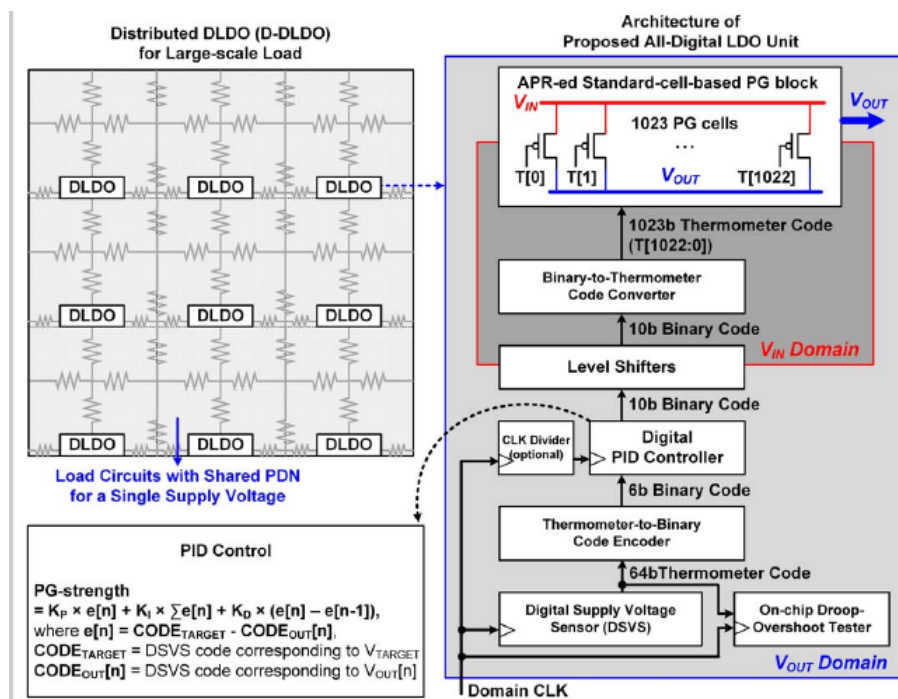


Figura 12: Conceito de DLDO Distribuído (Esquerda), e Arquitetura de uma Unidade Totalmente Digital para um DLDO Distribuído (Direita).

Fonte: Bang et al. (2020)

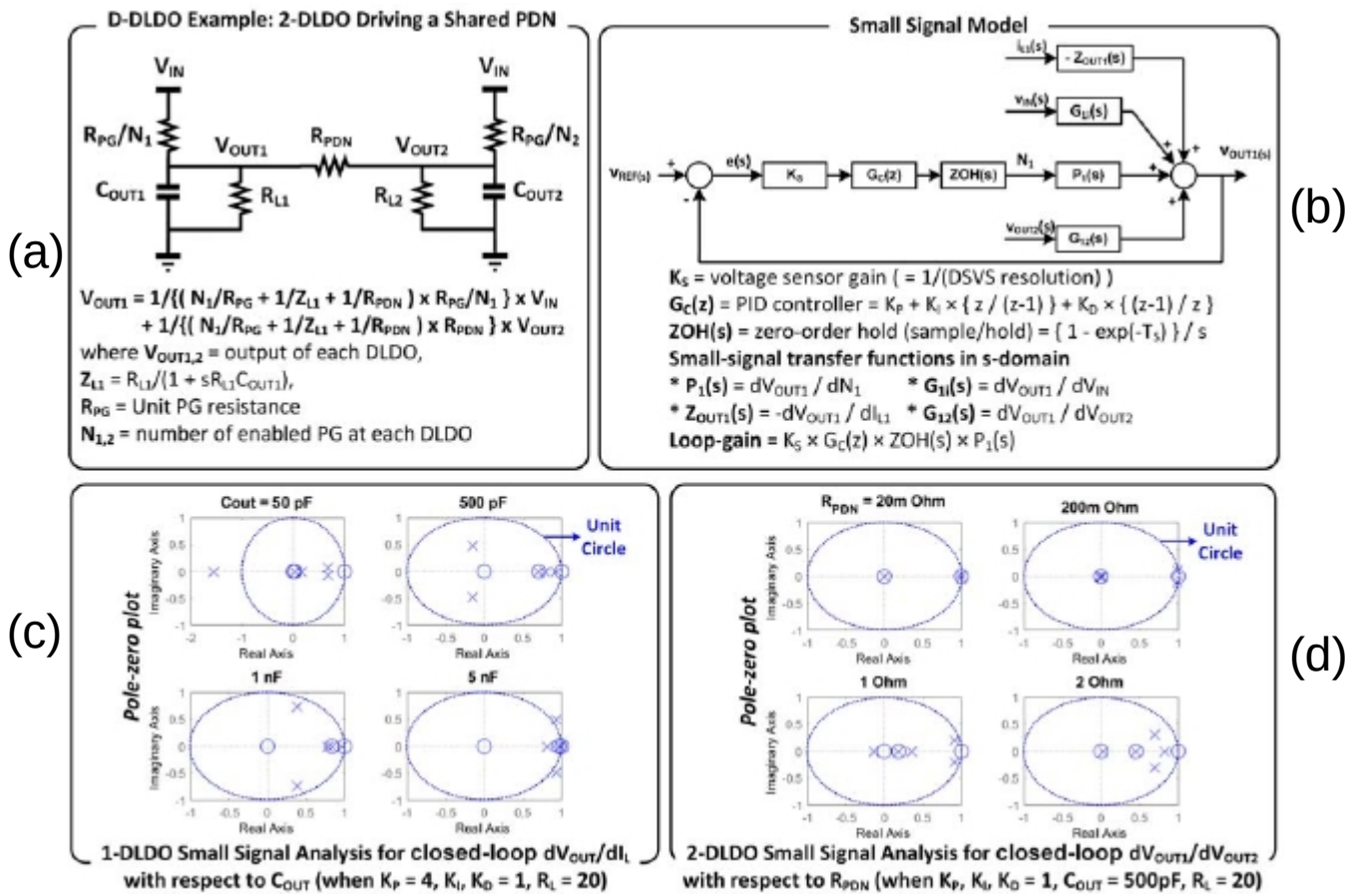


Figura 13: Análise de Estabilidade: Exemplo de Equação V_{OUT} de Grandes Sinais Para 2-DLDO (a), Modelo de Análise de Pequenos Sinais de Malha Fechada (b), Polo-Zero para 1-DLDO para dV_{OUT}/dI_L para Malha Fechada com Respeito a C_{OUT} (c) e 2-DLDO para v_{OUT1}/v_{OUT2} de Malha Fechada com Respeito a R_{PDN} (d).

3 ARQUITETURA DO DLDO E SUB-CIRCUITOS

No Capítulo anterior foram apresentadas as principais especificações e requerimentos de projeto de um LDO, e o estado da arte de LDO digitais (DLDO) em tecnologia CMOS. Baseados na fundamentação teórica, neste Capítulo será realizada uma descrição da arquitetura do DLDO baseado na ideia de utilizar um *Switched Capacitor Resistor* (SCR) como dispositivo de passagem, e de cada um dos blocos que constituem o sistema proposto. No final do Capítulo resultados de simulação e de medidas experimentais são discutidas.

Devido ao cronograma apertado para a fabricação do protótipo através de programa MiniAsic do IMEC na tecnologia 180nm CMOS da TSMC, o projeto enviado para fabricação não foi corretamente simulado, já que a vista extraída do circuito (incluindo resistências e capacitâncias parasitárias) gerada com a ferramenta *Assura* (CADENCE, 2011) terminou subestimando algumas capacitâncias parasitárias críticas, o que terminou reduzindo consideravelmente a eficiência final do circuito. Isso não foi detectado a tempo para corrigir antes de fabricação. Ao longo deste Capítulo nos referimos ao projeto do circuito fabricado como versão 1. Utilizando a ferramenta de extração *Calibre* (MENTOR, 2015), conseguimos uma extração de parasitárias mais realista e, portanto, um projeto melhorado se comparado com a versão 1, o qual é chamado de versão 2 neste Capítulo. A versão 1 com a extração do *Assura*, não apresentava na extração do circuito as capacitâncias parasitárias que eram maiores que o capacitor MIM (*Metal-Insulator-Metal*) projetados para este circuito, mas sim capacitâncias menores, por isso a necessidade do *Calibre*.

3.1 Arquitetura do DLDO

A ideia de utilizar o circuito SCR como elemento de passagem na implementação de DLDO foi proposta em Salem e Mercier (2018). Este conceito foi utilizado no nosso

trabalho ilustrado no diagrama de blocos da arquitetura de SCR-DLDO apresentada na Figura 14. Basicamente, o circuito é composto por um comparador dinâmico (Subseção 3.1.1), um contador em anel de 4 bits e um arranjo de 4 SCRs. Uma tensão estável externa (V_{REF}) é usada como referência para geração de tensão de saída do DLDO (V_{DDout}). A tensão V_{DDout} e a tensão de referência são comparadas por um comparador dinâmico. Considerando, por exemplo, no evento em que V_{DDout} é menor que V_{REF} , um sinal pulsado será gerado na saída do comparador o qual aumenta a contagem do contador em anel. Por outro lado, quando V_{DDout} é maior que a tensão de referência o sinal de *clock* do contador em anel (saída do comparador) permanece em 0V, e portanto, este não tem a saída pulsada. Como consequência, o contador em anel pára a contagem até a próxima borda de subida da saída digital do comparador. A atividade de chaveamento das células SCRs é modulada pela operação do comparador, o qual se comporta como um oscilador de relaxação.

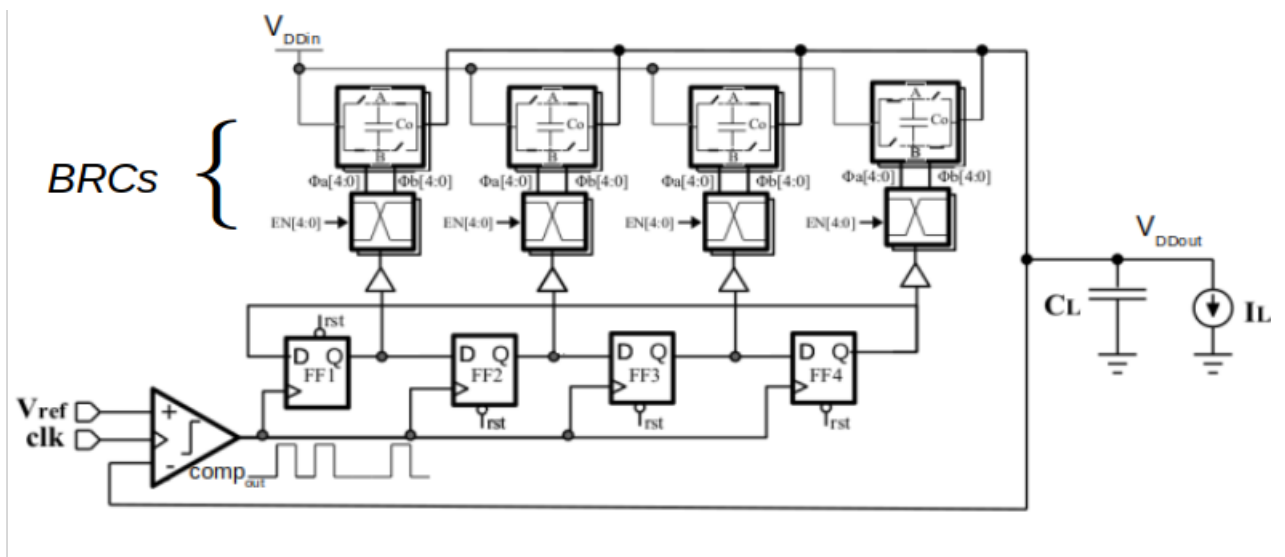


Figura 14: Arquitetura SCR-DLDO Proposta.

A frequência máxima de sinal de saída do comparador (ver figura 14 o sinal $comp_{out}$) é de 70MHz para a carga máxima na saída do DLDO. O contador em anel é composto de 4 *flip-flops*, onde cada saída do contador em anel está defasada em um ciclo de clock com relação à anterior e à subsequente. Ainda no diagrama de blocos, C_L representa a capacitância de carga (externa) de 1nF que deve ser colocada na saída para reduzir as oscilações (*ripple*) da tensão de saída do circuito SCR-DLDO. Já I_L representa a corrente de carga gerada pelo circuito a ser alimentado. Os sinais de saída dos FFs são conectados a *buffers*, e estes por vez são interconectados com os circuitos *clock non-overlapping*, os quais produzem dois sinais de *clock* defasados em 180° e sem sobreposição de estados

no domínio do tempo. Estes sinais são conectados aos transistores de chaveamento dos SCRs, sendo um sinal para cada par de transistores dos quatro transistores PMOS de cada célula de chaveamento.

O esquema de *Binary Ripple Control* (BRC) (Figura 15) foi adotado neste trabalho, permitindo à aplicação ajustar a capacitância de chaveamento do SCR, e com isto controlar o *Ripple* da tensão de saída do LDO. Neste esquema cada bloco SCR é subdividido em sub-células de SCR em paralelo que podem ser habilitadas/desabilitadas, como mostrado na Figura 15. Cada sub-célula tem um fator de multiplicação diferente para o Capacitor C_o . Selecionando o número de sub-células de SCR habilitadas, é possível controlar a quantidade de carga que o bloco SCR entrega à saída do circuito, e como consequência minimizar o *Ripple*. Neste trabalho, o bloco SCR foi dividido em 6 sub-células com fatores de multiplicação com pesos binários, das quais 5 tem a opção de ser habilitadas/desabilitadas (Figura 14) e uma é permanentemente habilitada com fator de multiplicação 1. O Fatores de multiplicação indicados na Figura 15, foram reajustados durante a fase de projeto do DLDO com o objetivo de maximizar a eficiência do circuito.

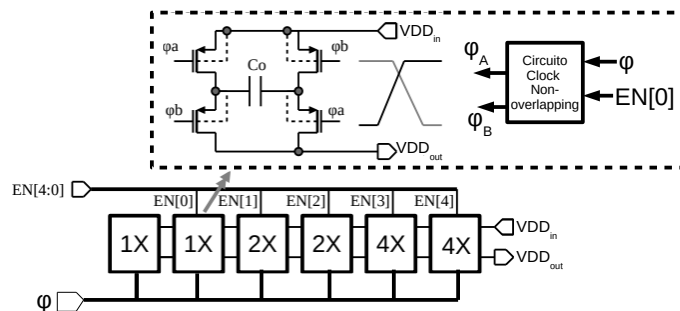


Figura 15: Estrutura *Binary Ripple Control* para o projeto do SCR.

Um conjunto de seis circuitos *clock non-overlapping* para cada bloco SCR são utilizados no sistema proposto, pois é necessário suprir as capacitâncias dos transistores de chaveamento. Dessa maneira cada circuito *clock non-overlapping* controla os transistores de chaveamento de um capacitor, sendo que dos seis circuitos *clock non-overlapping* cinco possuem sinais de *enable* ($EN[4 : 0]$).

Este circuito foi projetado e simulado na tecnologia CMOS 180nm da TSMC para trabalhar numa eficiência de aproximadamente 90% tanto para correntes altas (1mA) como para as mais baixas ($100\mu A$). Esta é a principal vantagem do DLDO baseado em capacitor chaveado, pois muitos DLDOs propostos na literatura não têm alta eficiência para correntes de baixo consumo.

Na Tabela 1 são apresentadas as especificações de projeto do SCR-DLDO proposto.

Tabela 1: Especificações do Projeto

Especificações	Valores
Tensão Mínima de Alimentação	0,6V
Tensão Média de Saída	500mV
Erro de Tensão Estado Estacionário de V_{DDout}	$\pm 5,5\%$ de 500mV
Eficiência no Pico de Corrente [%]	$> 70\%$
Eficiência Máxima [%]	$> 90\%$
Regulação de Carga [V/A]	500

A seguir serão detalhados cada um dos sub-circuitos que compõem o DLDO. As dimensões dos módulos da versão 1 diferem da versão 2 devido a otimização do circuitos esta para se alcançar maior eficiência tanto mais baixas correntes tanto para corrente de pico. Os V_{TH} dos transistores que foram utilizados no projeto do DLDO estão entorno de 300mV e o comprimento mínimo do canal é de 300nm para os NMOS e 250nm para os PMOS.

3.1.1 Comparador Dinâmico

O esquemático do comparador dinâmico utilizado neste trabalho é ilustrado na Figura 16 e na Tabela 2 são indicadas as dimensões de cada um dos transistores. Este circuito foi proposto no trabalho de Hernandez, Severo e Noiye (2018), que utiliza uma estrutura do duplo-*latch* e demonstra baixo consumo de potência e alta velocidade de operação. O pré-amplificador e primeiro *latch* é composto pelo par diferencial de entrada $M_9 - M_{10}$ e pelo *cross-couple* $M_2 - M_3$. Já o segundo *latch* é composto por inversores utilizando os NMOS $M_9 - M_{10}$ e os PMOS $M_7 - M_8$. Neste ponto é importante destacar que a função deste circuito dentro do SCR-DLDO é comparar a tensão de saída, (V_{DDout} - ver Figura 14) que é ligado ao terminal VIN_P, com a tensão de referência (V_{REF}), gerando na saída um sinal pulsado no caso em que $V_{DDout} < V_{REF}$ com a frequência do clock, e 0V no caso contrário.

O comparador tem duas fases de operação: *reset* (CLK baixo) e fase de avaliação (CLK alto). Durante a fase de *reset* no pré-amplificador M_{15} desativa o par diferencial e $M_1 - M_4$ forçam o dreno de $M_2 - M_3$ (porta de $M_7 - M_8$) para V_{DDin} . No segundo estágio

M_7 - M_8 estarão conseqüentemente em corte. Assim, o estágio de pré amplificação e o *latch* estarão completamente desabilitados

Na fase de avaliação o par diferencial de entrada está habilitado e o sinal diferencial de entrada é amplificado pelo estágio de pré amplificação, o qual desequilibra a tensão na porta de M_7 - M_8 . Devido a retroalimentação positiva do *latch*, a saída do comparador vai rapidamente para terra se $V_{IN_P} < V_{IN_N}$ e para V_{DDin} se $V_{IN_P} > V_{IN_N}$.

Para projetar este comparador foi necessário utilizar capacitâncias mínimas. Para isso ocorrer, foi preciso escolher os comprimentos dos canais dos transistores em valor mínimo, pois é levado em consideração a velocidade do circuito como um todo. No caso dos transistores do par diferencial não se pode escolher larguras e comprimentos muito pequenas, pois pode haver *mismatch* entre os transistores e gerar um *offset* muito grande. Por outro lado, se os transistores forem muito grandes o *mismatch* poderá ser menor, porém pode haver efeito *clock feedthrough*, ou seja, o *clock* passando pelas capacitâncias dos transistores e afetando o sinal analógico. Então para o par diferencial foi utilizado um meio termo para que não houvesse muito *offset* e *clock feedthrough*.

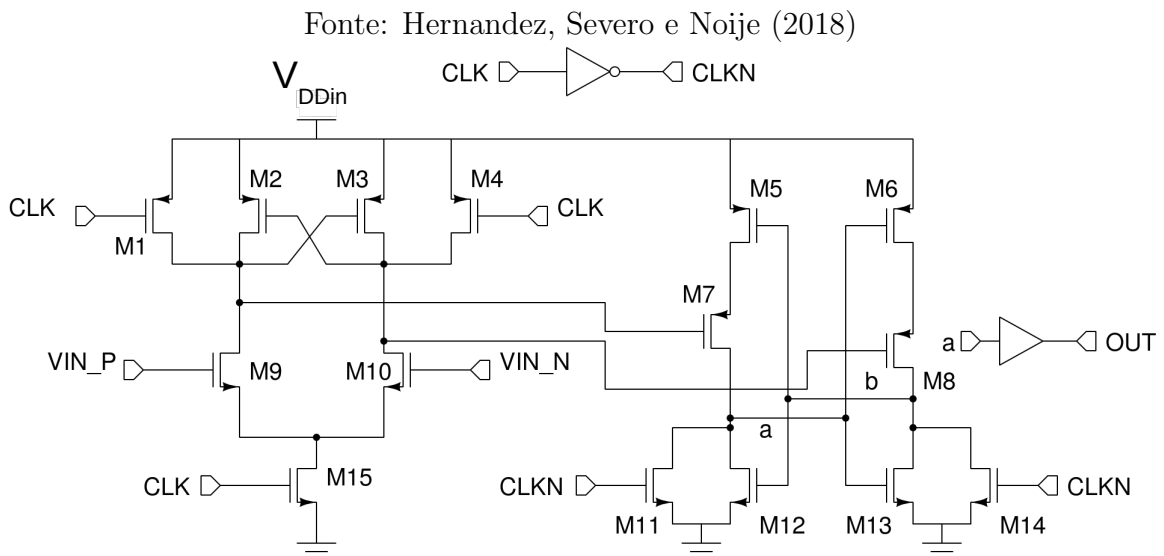


Figura 16: Topologia do Comparador Dinâmico.

O resultado de uma simulação transiente do comparador pode ser visto na Figura 17. Nesta simulação o terminal positivo do comparador é fixado em 0,5V, e no terminal negativo é aplicada uma tensão senoidal de 20mV de amplitude, 2MHz de frequência e 0,5V de *offset*, para $F_{clk} = 70MHz$, $V_{DDin} = 0,6V$ e temperatura de 25°C.

Tabela 2: Dimensões dos Transistores do Circuito Comparador.

Transistor	Dimensão [W/L]
M_1 e M_4	$800nm/250nm$
M_2 e M_3	$4\mu m/250nm$
M_5 e M_6	$2\mu m/250nm$
M_7 e M_8	$800nm/250nm$
M_9 e M_{10}	$2\mu m/300nm$
$M_{11} - M_{14}$	$800nm/300nm$
M_{15}	$2\mu m/300nm$

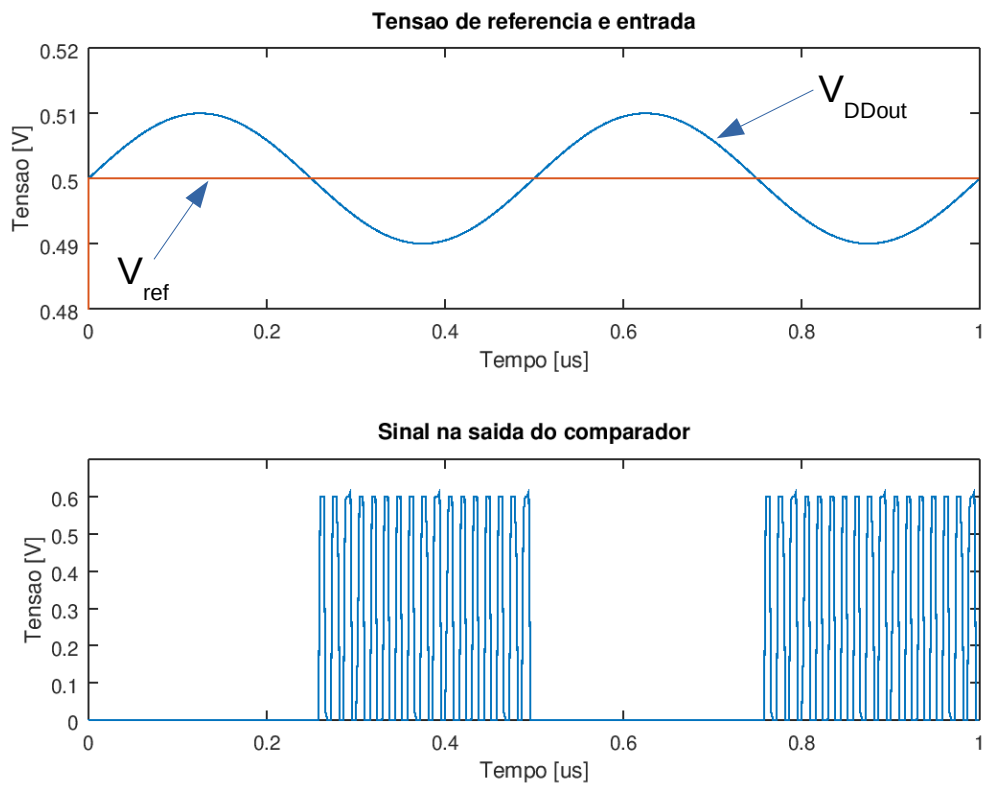


Figura 17: Resultado de simulação transiente do comparador dinâmico.

3.1.2 Contador em Anel

Os *flip-flops* (FF) utilizados no contador em anel são do tipo TSPC (*True Single Phase Clock*) *Positive Edge Triggered Flip-Flop*. Optou-se por este FF pois ele consumia

menos energia que o *flip-flop* com portas NANDs e *transmission gates*. Foram utilizados dois tipos de FFs TSPC, um com a opção *preset* e outro com a opção *reset*. Conforme esquemático ilustrado na Figura 18, o primeiro FF com a opção *preset* e os três seguintes com a opção *reset*. Neste circuito somente um *flip-flop* por vez pode ficar com sua saída Q ativa em alto. Quando o circuito é inicializado, o FF com opção *preset* tem sua saída em nível lógico "1" e os outros três com opção *reset* têm suas saídas em nível lógico "0". Na Figura 18 é possível ver o diagrama no domínio do tempo da operação do contador em anel.

A saída de cada FF foram adicionados *buffers* para para suprir as capacitâncias da porta de entrada do sinal de ϕ dos circuitos *clock non-overlapping*. O circuito *buffer* composto de dois estágios de inversores CMOS, foi cuidadosamente projetado para minimizar o consumo de potência.

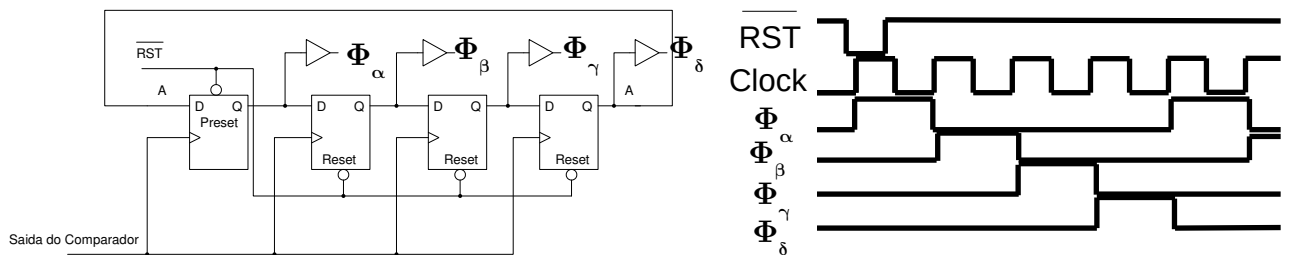


Figura 18: Esquemático do contador em anel e diagrama de tempo de operação.

A Figura 19 apresenta o esquemático simplificado do *flip-flop* TSPC com a opção de *preset* e a tabela contém os valores das dimensões dos transistores selecionadas durante o projeto do circuito. Quando o sinal nPST (*preset* síncrono) estiver em nível lógico baixo, o transistor M_4 será ativado forçando o nível lógico da saída Q para nível alto. Da mesma forma, o esquemático da opção de *reset* é ilustrada na Figura 20, onde quando um nível lógico baixo é aplicado no terminal nRST (*reset* assíncrono) da porta do transistor PMOS M_4 , força a saída Q do circuito para nível lógico baixo.

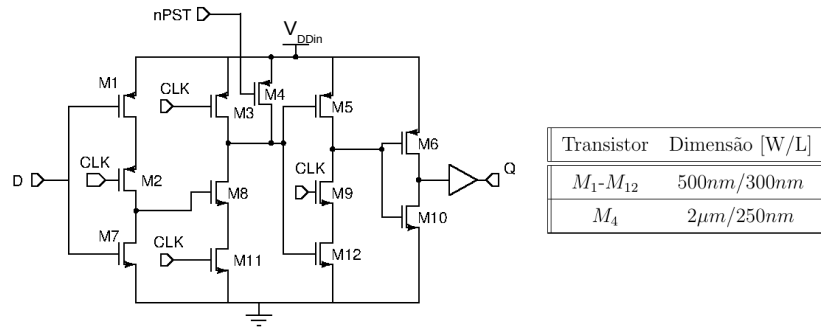


Figura 19: Esquemático e Tabela com Dimensões do FF com Opção de *Preset* síncrono.

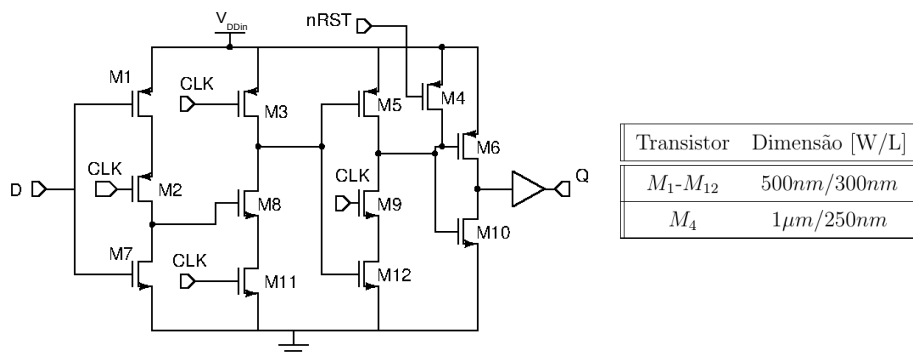


Figura 20: Esquemático e Tabela com Dimensões do FF com Opção de *Reset* assíncrono.

Na tabela 3 são apresentados os valores das dimensões dos transistores dos dois inversores que consiste os *Buffers* na saída dos FFs.

Tabela 3: Dimensões dos Transistores dos *Buffers* na saída dos FF

Transistor	Dimensão [W/L]
PMOS	3 μ m / 250nm
NMOS	2 μ m / 500nm

3.1.3 Circuito *Clock non-overlapping*

Os circuitos *clock non-overlapping* recebem sinais dos *buffers* do contador em anel, gerando dois sinais 180⁰ defasados. Estes dois sinais controlam o chaveamento do capacitor do circuito SCR. Lembrando que quanto maior a frequência, menor a resistência série do banco de circuitos SCR. Entretanto há limitações da frequência máxima de chaveamento, devido as capacitâncias parasitárias presentes no circuito. O esquemático e as

dimensões dos transistores do circuito *clock non-overlapping* são indicados na Figura 21. As dimensões escolhidas dos transistores deste circuito foram escolhidos com valores iniciais e depois foi utilizada uma ferramenta da *Candence* para otimizar este circuito para compatibilizar da melhor maneira possível com as capacitâncias de *gate* dos transistores de chaveamento. Esta topologia foi proposta em Salem e Mercier (2018), e pode operar com uma tensão de alimentação menor se comparada com a topológica típica.

O circuito *clock non overlapping* possui dois inversores $M_1 - M_5$ e $M_2 - M_6$ que recebem no gate dois sinais invertidos das portas *NAND* e *NOT*, esses inversores na saída do circuito *clock non overlapping* que produzem os sinais 180° defasados, já os transistores $M_3 - M_4$ garantem a forma de onda indicada na figura 23, em que o cruzamentos dos sinais fiquem mais altos.

Fonte: Amaral, Hernandez e Noiye (2020)

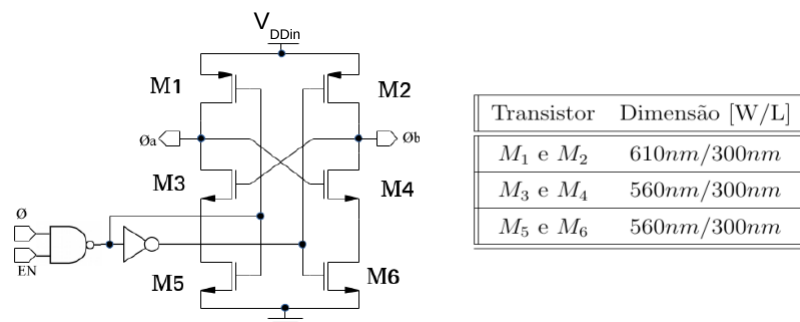


Figura 21: Esquemático e Tabela com as dimensões dos transistores do circuito *Clock non-overlapping*.

3.1.4 Descrição da Operação do Circuito SCR

O circuito SCR é do tipo Bilinear (LIU; LIU, 2006) e é composto basicamente por chaves implementadas com transistores PMOS e um capacitor C_o do tipo MIM (*Metal-Insulator-Metal* ou Metal-Isolador-Metal em português), como mostrado na Figura 24. A resistência série deste circuito é definida pela equação 3.5.

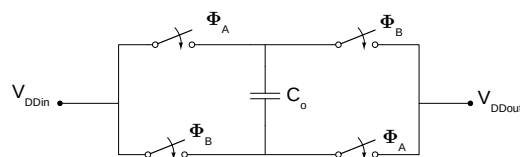


Figura 22: Esquemático do circuito SCR.

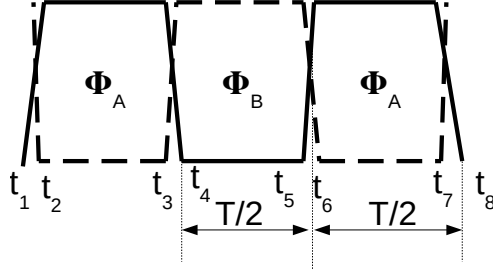


Figura 23: Forma de Onda dos Sinais Φ_A e Φ_B .

No instante t_1 a carga em *coulombs* é dada pela expressão 3.1:

$$\Delta q_1 = C_o(V_{DDin} - V_{DDout}) \quad (3.1)$$

No instante t_4 a carga em *coulombs* é dada pela expressão 3.2:

$$\Delta q_2 = C_o(V_{DDout} - V_{DDin}) - C_o(V_{DDin} - V_{DDout}) = 2C_o(V_{DDout} - V_{DDin}) \quad (3.2)$$

No instante t_8 a carga em *coulombs* é dada pela expressão 3.3:

$$\Delta q_3 = C_o(V_{DDin} - V_{DDout}) - C_o(V_{DDout} - V_{DDin}) = 2C_o(V_{DDin} - V_{DDout}) \quad (3.3)$$

A corrente média é dada pela equação 3.4:

$$I_{medio} = \frac{\Delta q_3 - \Delta q_2}{t_8 - t_4} = 4C_o \frac{V_{DDin} - V_{DDout}}{T} \quad (3.4)$$

A resistência é dada pela expressão 3.5:

$$R_{equiv} = \frac{V_{DDin} - V_{DDout}}{I_{medio}} = \frac{T_{clk}}{4C_o} \quad (3.5)$$

a qual indica uma relação linear entre o período do *clock* (T_{clk}) e a resistência entre os terminais do circuito SCR. O diagrama de tempo dos sinais de controle das chaves do circuito SCR, gerado pelo circuito *clock non-overlapping* para evitar a condução simultânea das chaves PMOS, é também ilustrado na Figura 24.

O *Top-plate* e o *Bottom-plate* do capacitor C_o da célula SCR é alternadamente conectado entre V_{DDin} - V_{DDout} quando ϕ_A é alto e ϕ_b é baixo, e entre V_{DDout} - V_{DDin} em caso contrário. Este chaveamento carrega e descarrega C_o a uma tensão $2|V_{DDin}-V_{DDout}|$, maximizando a carga entregue à saída do DLDO em cada ciclo.

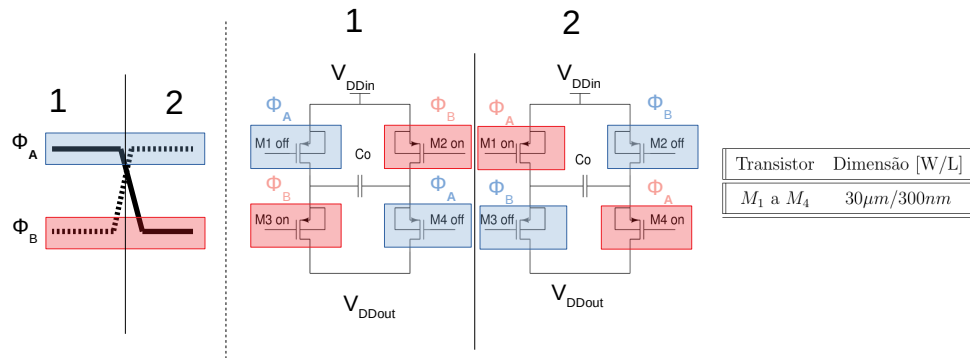


Figura 24: Dinâmica dos Capacitores de Chaveamento e Tabela com Dimensões dos Transistores.

Na primeira versão (Fabricada) do SCR-DLDO os fatores de multiplicação das sub-células de cada bloco SCR foram: 1,1,2,4,8 e 16 vezes, com $C_o=1.6\text{pF}$ e $C_L=154\text{pF}$ (on-chip). Nesta versão foi utilizada a Ferramenta *Assura* (Cadence). Entretanto, através de simulações *post-Layout* foi comprovado que esta escolha resultava na queda da eficiência do circuito devido ao um aumento das perdas geradas pelas capacitâncias parasitárias do *Layout*. Depois de um análise mais detalhado do circuito projetado, realizando mais simulações utilizando a extração gerada pela ferramenta Calibre (Mentor), foram selecionados os fatores (Figura 15): 1,1,2,2,4 e 4 com $C_o=6,43\text{pF}$ e $C_L=1\text{nF}$ (*offchip*). Estes fatores de multiplicação foram definidos através de simulações para que a eficiência seja máxima. Medidas experimentais da versão 1 do SCR-DLDO projetado, e resultados de simulação da versão 2 melhorada serão apresentadas nas próximas seções.

3.2 Layout do circuito - Versão 1

O *layout* do circuito DLDO projetado é mostrado na Figura 25. O layout foi desenvolvido na ferramenta *Virtuoso* da Cadence (2011). A distribuição dos blocos foi feita pensando em diminuir o comprimento das interconexões, minimizando as capacitâncias parasitárias. No layout do comparador foram aplicadas técnicas de casamento no par-diferencial e entrada, pensando em minimizar o *offset* gerado pelo *mismatch* entre os transistores. A distribuição da tensão de alimentação e do terra entre os blocos foi realizada cautelosamente de forma a evitar problemas de *Voltage-drop*, respeitando todas as considerações de layout para evitar efeitos catastróficos como *latch-up* e eletro-migração. O conversor Série - Paralelo mostrado no *Layout* que foi utilizado para usar apenas três pinos do *die*, dessa maneira são economizados 2 pinos para ativar os *enables* do circuito,

ao invés de se utilizar 5 pinos dos *pads*. Já o circuito oscilador em anel não foi utilizado, pois houve um erro no projeto. O oscilador em anel seria utilizado como carga para o SCR-DLDO, mas houve um erro de dimensionamento da carga, por isso não foi utilizado.

As dimensões do *core* do *layout* do DLDO projetado (versão 1) e enviado para fabricação em tecnologia CMOS de 180nm são $1138\mu\text{m} \times 814\mu\text{m}$. Uma foto do *chip* produzido é apresentada na Figura 26.

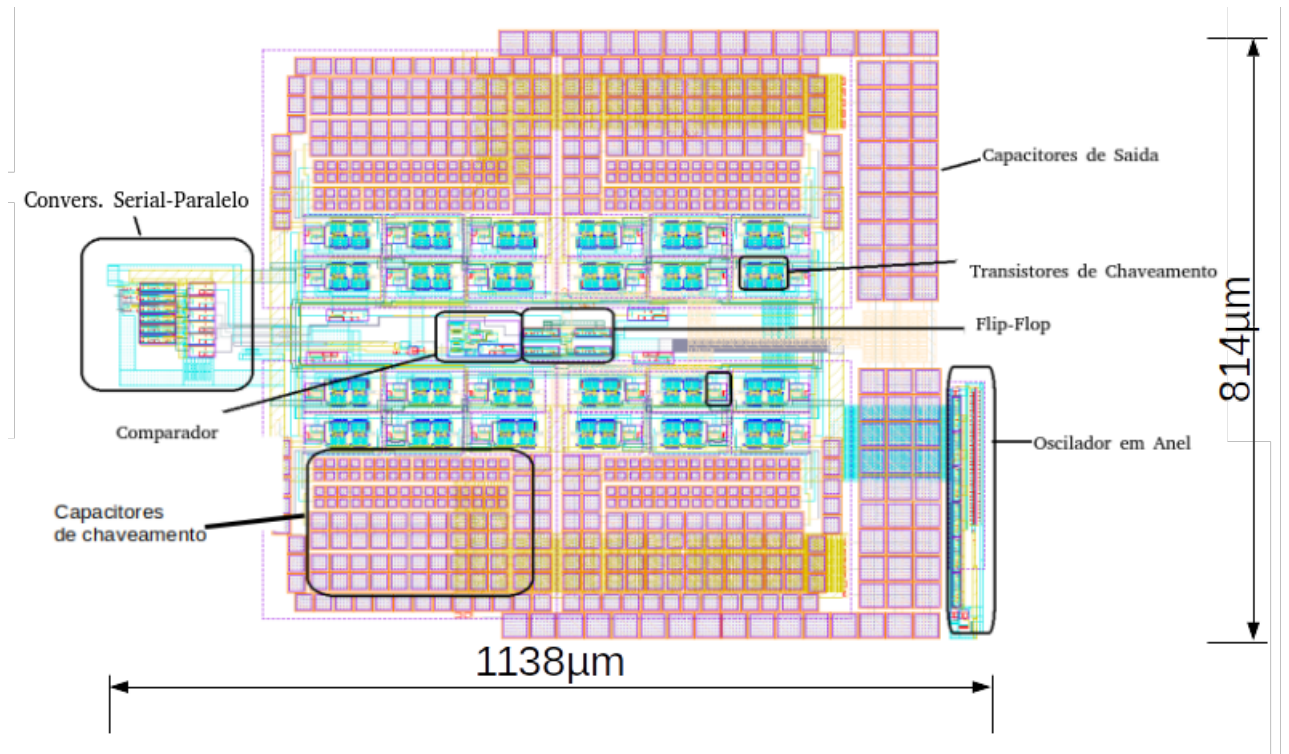


Figura 25: Layout do Circuito Fabricado (versão 1).

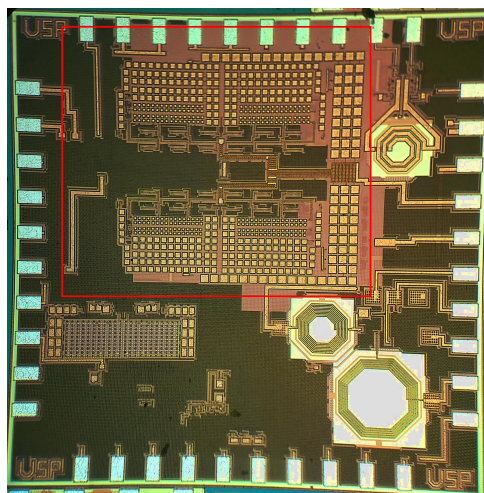


Figura 26: Foto do Chip produzido.

Para testar o circuito integrado projetado e fabricado foi desenvolvida uma placa de circuito impresso (PCB), conforme mostrado na Figura 27. É uma placa com dois níveis metálicos. Os componentes utilizados são:

- Capacitores de desacoplamento entre V_{DDin} ($=0,6V$) e terra são: 10 μ F e 100nF.
- Capacitores de desacoplamento entre V_{REF} ($=0,5V$) e terra são: 10 μ F e 100nF.
- Capacitores de desacoplamento entre V_{DD1V8} ($=1,8V$) e terra são: 10 μ F e 100nF.
- Conector BNC fêmea, incluindo um resistor de 75 ohms (*in chip*) para casamento de impedância do sinal do gerador, que produz sinal de *clock* de 50MHz.
- Três Borners de três terminais para a ligação dos sinais V_{DD} de 0,6V, 0,5V, 1,8V e $GNDs$.
- Três pinos conectores macho para ligação de sinais de controle dos *flip-flops* que ativam os sinais de *enable*.
- Um pino conector macho para a ligação da saída com a carga
- Um pino conector macho para a entrada do sinal DC 0,5V para a alimentação do oscilador em anel.
- Um chip em teste.

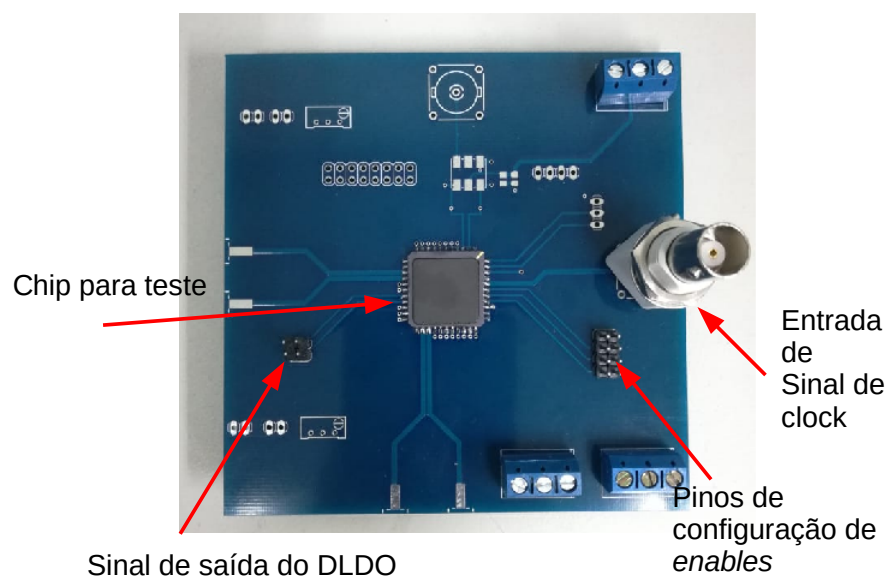


Figura 27: Foto da Placa de Testes.

3.3 Resultados de Simulação e medidas experimentais - Versão 1

Como foi definido na introdução deste capítulo o projeto do SCR-DLDO considerou duas versões do circuito. A versão 1 a qual foi fabricada, mas que infelizmente por problemas com a ferramenta de extração de parasitas não foi corrigida a tempo e terminou não alcançando valores satisfatórios de eficiência, e a versão 2 melhorada do circuito (não fabricada). Basicamente a diferença entre os dois projetos (versão 1 e 2) são os fatores de multiplicação dos blocos SCR, otimizações nas dimensões dos transistores dos buffers, além de otimizações nas dimensões dos transistores do circuito *clock non-overlapping*. Além disso, na versão 1 do circuito consideramos um capacitor de carga (C_L) *on-chip* de 154pF, e na versão 2 um capacitor externo de 1nF. Estas mudanças trouxeram uma melhora drástica na eficiência total do SCR-DLDO.

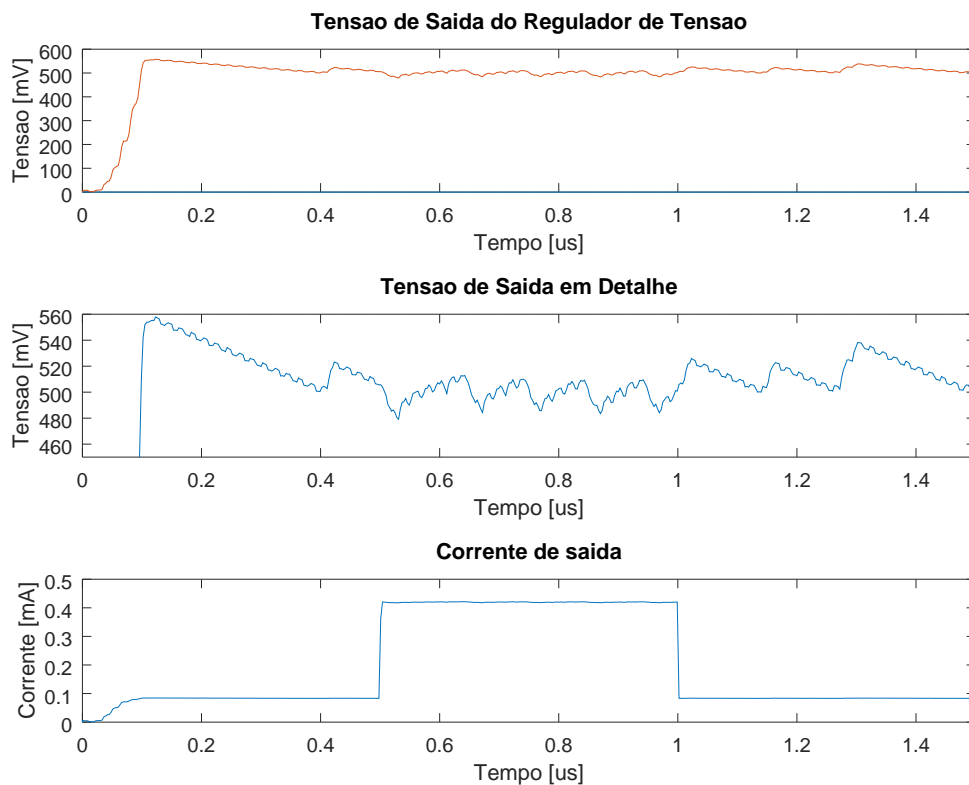


Figura 28: Resultados de Simulação *Pos-Layout* Circuito do Circuito Fabricado.

A Figura 28 apresenta o sinal de saída da versão 1 do circuito SCR-DLDO projetado, resultado de uma simulação transiente quando aplicado um *step* de corrente de carga de $400\mu\text{A}$ para $F_{clk}=50\text{MHz}$, $C_L=154\text{pF}$ (*onchip*), $V_{REF}=0,5\text{V}$ e $V_{DDin}=0,6\text{V}$. Nesta simulação todo os sinais de *enable* dos blocos SCR estão ativos. O *Ripple* presente no sinal

de tensão de saída pode ser reduzido utilizando a funcionalidade de controle de *Ripple* através dos sinais EN[4:0].

A tabela 4 apresenta uma comparação entre os resultados de simulação e as medidas experimentais realizadas no SCR-DLDO fabricado, incluindo: corrente de entrada, corrente de saída (na carga), tensão média na saída e eficiência de corrente. A carga utilizada nestas medidas foi resistiva (R_L) variando esta desde $5,1k\Omega$ até 500Ω , para $F_{clk}=50MHz$, $C_L=154pF$ (onchip), $V_{REF}=0,5V$ e $V_{DDin}=0,6V$. O erro percentual da tensão de saída (última coluna) é calculado com o módulo da diferença entre $V_{DDoutsim}$ e $V_{DDoutfab}$ dividido por $V_{DDoutsim}$ multiplicado por 100%. Vemos que quanto mais diminuirmos a carga maior será o erro. Uma hipótese para a discrepância de valores é que as simulações foram feitas pensando na carga do osciloscópio e as medidas na tabela 4 foram feitas com multímetro que provavelmente tem uma impedância de entrada diferente do osciloscópio ver tabela 5. Observando esta tabela vemos valores mais próximos de eficiência para cargas mais baixas e correntes mais altas.

Um *print* da tela do osciloscópio durante a medida da tensão de saída do SCR-DLDO é apresentada na Figura 29 para uma carga de $R_L=1k\Omega$. Pode-se observar nesta figura que valor médio de tensão de aproximadamente $483mV$ é obtido para esta condição de carga. Um gráfico mais detalhado do sinal da Figura 29 pode ser observado na Figura 30, onde um *ripple* de variação pico-pico de aproximadamente $100mV$ ou uma tensão média de $(483 \pm 50)mV$ que está fora da especificação determinada na tabela 1.

Tabela 4: Medidas de Simulação e Resultados Experimentais no Multímetro

Resistor	Simulado				Circuito Físico				Comp. [%]
	I_{total} [μA]	V_{DDout} [mV]	I_{out} [μA]	Eficiência[%]	I_{total} [μA]	V_{DDout} [mV]	I_{out} [μA]	Eficiência [%]	
5100	287,6	512	100,39	34,91	549	515	101	18	0,59
4200	328,2	512,4	122	37,17	568	509	121	21	0,66
3000	378,7	509,9	169,97	44,88	609	497	166	27	2,53
2000	500,2	506,6	253,3	50,64	675	477	239	35	5,84
1000	875,13	493,24	499,81	57,11	851	421	421	49	14,65
500	1146	431,7	851,48	74,3	1090	343	686	63	20,55

Tabela 5: Medidas de Simulação e Resultados Experimentais no Osciloscópio

Resistor	Simulado		Osciloscópio		Comp. de V_{DDout} [%]
	V_{DDout} [mV]	I_{out} [μ A]	V_{DDout} [mV]	I_{out} [μ A]	
5100	512	100,39	547	107	6,84
4200	512,4	122	570	136	11,24
3000	510	170	562	187	10,22
2000	506	253	548	274	8,17
1000	493	500	483	483	2,08
500	432	851	420	840	2,71

Na Tabela 6 é mostrado o consumo médio de corrente dos subcircuitos da versão 1 e 2 do DLDO, para a $V_{DDin}=0,6V$ e $V_{REF}=0,5V$ e carga de 500Ω . Sendo que, na tabela é mostrado o consumo médio de uma unidade de cada subcircuito. Sabendo que o comparador dinâmico possuiu uma unidade para cada DLDO, os *buffers* e os *flip-flops* possuem quatro unidades e 24 unidades do circuito na *clock non overlapping*. Portanto, é possível notar na tabela que os circuitos *clock non overlapping* e comparador consomem a maior parte da energia do circuito.

Tabela 6: Consumo Médio de Corrente dos Subcircuitos

Subcircuito	Versão 1 [μ A]	Versão 2 [μ A]
Comparador Dinâmico	102	6,1
<i>Flip-Flop</i>	1,3	0,7
<i>Buffer</i>	3,8	0,5
Circ. <i>Clock non overlapping</i>	5,2	1

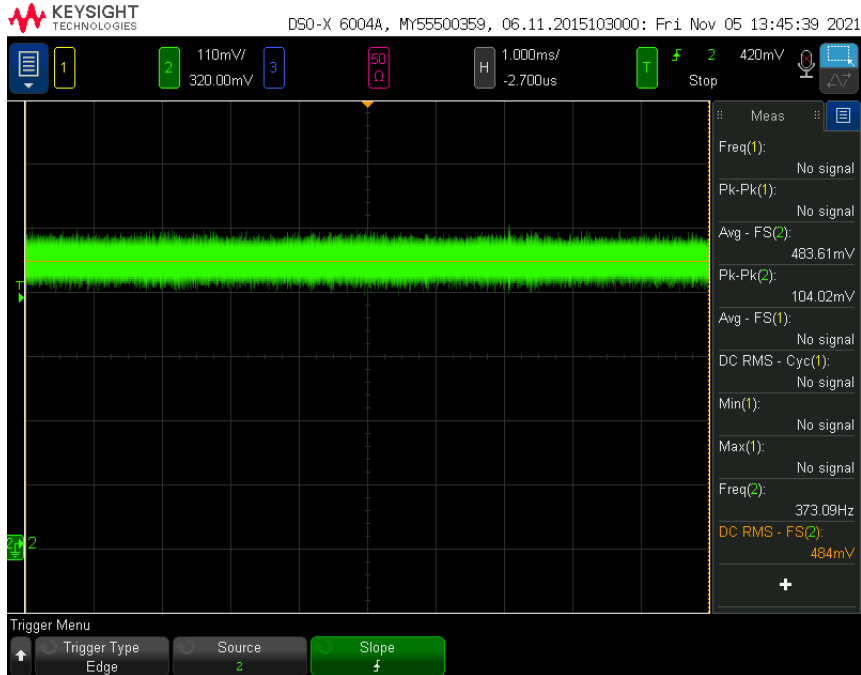


Figura 29: *Print* do Sinal de Saída para a Carga de $1k\Omega$ no Osciloscópio.

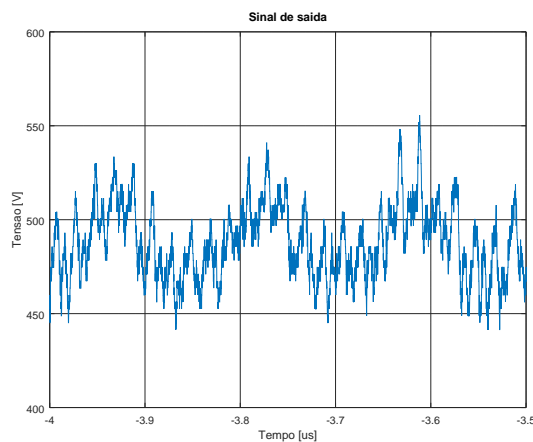


Figura 30: Detalhe do Sinal de Saída do Osciloscópio para a Carga de $1k\Omega$.

3.4 Resultados do DLDO Simulado - Versão 2

Nesta seção são apresentados alguns resultados principalmente gráficos dos requisitos do projeto versão 2. Na figura 31 é ilustrado o layout da versão 2, em que foram otimizados alguns circuitos. As dimensões do circuito são $862\mu\text{m} \times 707\mu\text{m}$

Também nesta seção são apresentados alguns resultados de simulação *post-layout* da versão 2 do circuito SCR-DLDO projetado para para $F_{clk}=50\text{MHz}$, $C_L=1\text{nF}$ (*off-chip*),

$V_{REF}=0,5V$ e $V_{DDin}=0,6V$. Os resultados incluem: Regulação de Carga (Figura 32), Resposta transiente a um *step* de carga (Figura 34), Regulação de linha (Figura 33) e Monte Carlo.

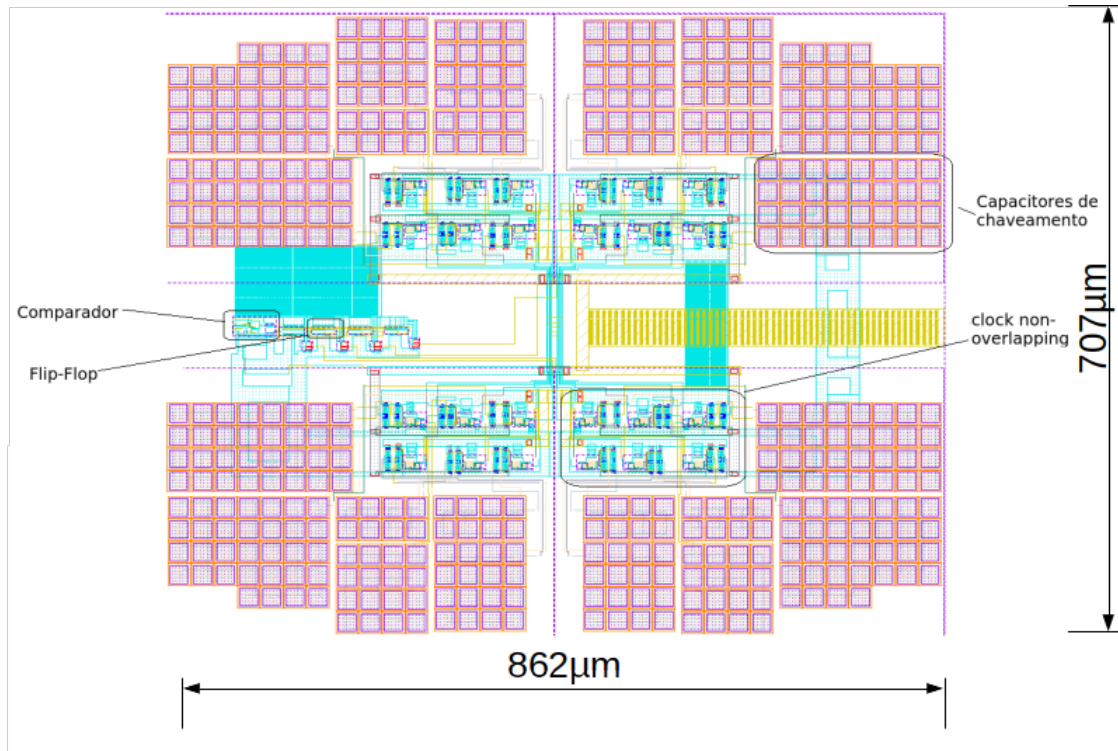


Figura 31: Layout da Segunda Versão do SCR-DLDO.

No gráfico seguinte (Figura 32) é apresentado a regulação de carga do circuito DLDO da segunda versão. O valor da regulação de carga é dado por $515mV/1mA$, ou seja, o valor de regulação de carga é de $515V/A$. Dessa forma, a regulação de carga ficou muito próxima da especificação dada inicialmente na tabela 1. Porém esta especificação não foi atingida exatamente, porque os valores obtidos nas simulações cotiam *ripples* e a partir destes sinais foram retiradas as médias dos sinais de tensões de saída. E com estas médias foi retirada uma média final (de $515mV$) destas médias. Portanto há distorções nos resultados. Assim, faz-se necessário um circuito que regulem estes *ripples* como vai ser visto na Seção 4.2, para que não haja tais problemas.

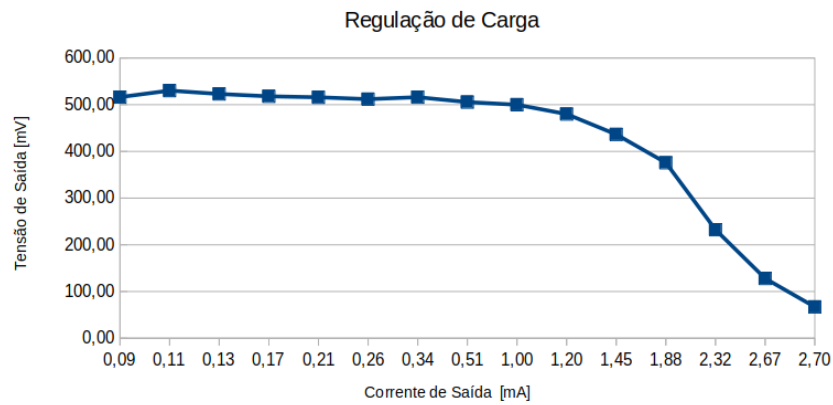


Figura 32: Regulação de Carga do Circuito Proposto (*Pos-Layout*) para Várias Cargas.

Na Figura 33 é apresentado a regulação de linha em que vemos nos gráficos para um pulso de 100mV na tensão V_{DDin} . É possível ver 20mV de amplitude em relação a 500mV na saída do regulador. Sendo portanto a regulação de linha $20\text{mV}/100\text{mV} \times 100\% = 20\%$, sabendo que quanto menor este número, melhor é o regulador de tensão. Como o circuito DLDO não está inserido num projeto maior, não é possível especificar um valor para a regulação de carga pois é necessário saber qual a qualidade esperada do LDO para tal aplicação.

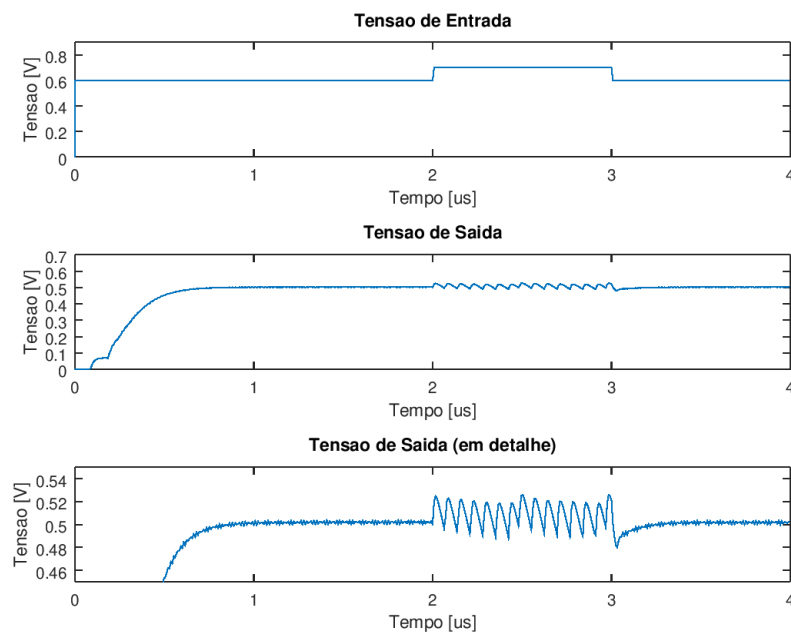


Figura 33: Regulação de Linha do Circuito Proposto para Carga de 500Ω (*Pos-Layout*)

Já na Figura 34 foram aplicadas duas cargas, uma de $5k\Omega$ e outra de 500Ω . Foi utilizado um pulso de transiente de carga com tempo de subida e descida de $100ps$. É possível ver também que há *ripple* para a carga de $5k\Omega$ ($100\mu A$).

Verificado o gráfico no domínio do tempo, em que existe uma resposta transiente, percebe-se que para as correntes de saída muito baixas há grandes *ripples*, isto porque o chaveamento do comparador ativa vários capacitores de chaveamento, liberando muita carga dos capacitores (ver circuito BRCs), conseqüentemente aumentando a tensão de saída mais que necessário. Desse modo, é preciso ativar menos capacitores de chaveamento para se ter uma resposta mais próxima de $500mV$.

Observando a Figura 35 para a carga de aproximadamente de $100\mu A$ há duas situações de tensão de saída: com cinco e outra com um *enable* ativo. Concluimos que podemos controlar o *ripples* do DLDO controlando a ativação dos *enables* do circuito.

Desta maneira, na Seção 4.2, verificamos uma solução para este problema de *ripples* muito grandes. Em que dependendo de como se comporta a tensão de de saída há uma ativação de combinação de *enables* ativos que devem ser habilitados e outros desabilitados a fim de minimizar os erros de V_{DDout} .

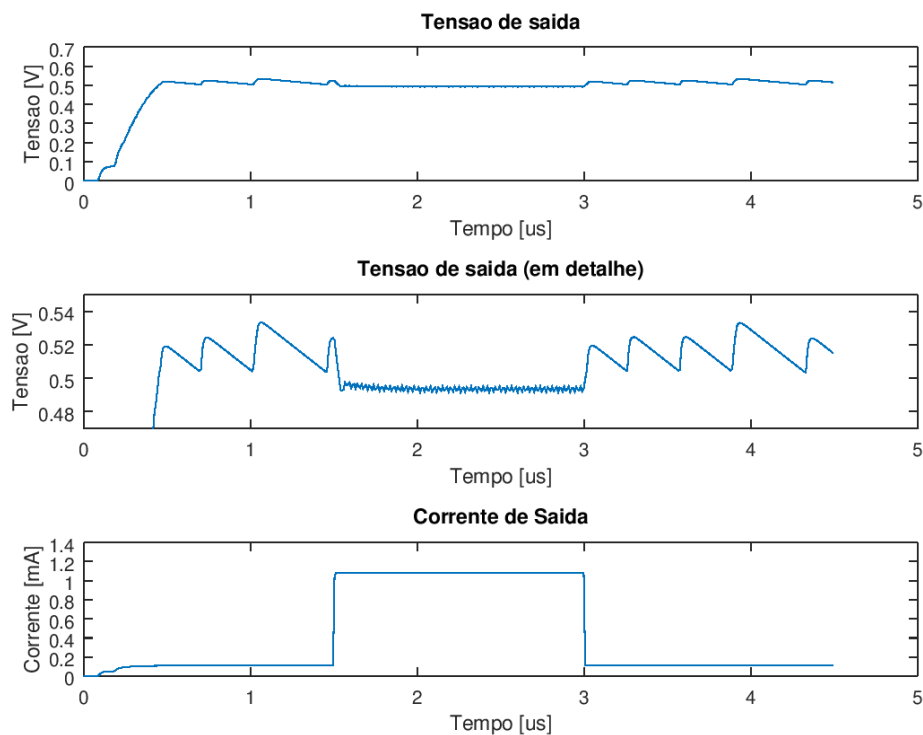


Figura 34: Gráfico Resposta ao Transiente para as Cargas de $5k$ e 500Ω (*Pos-Layout*).

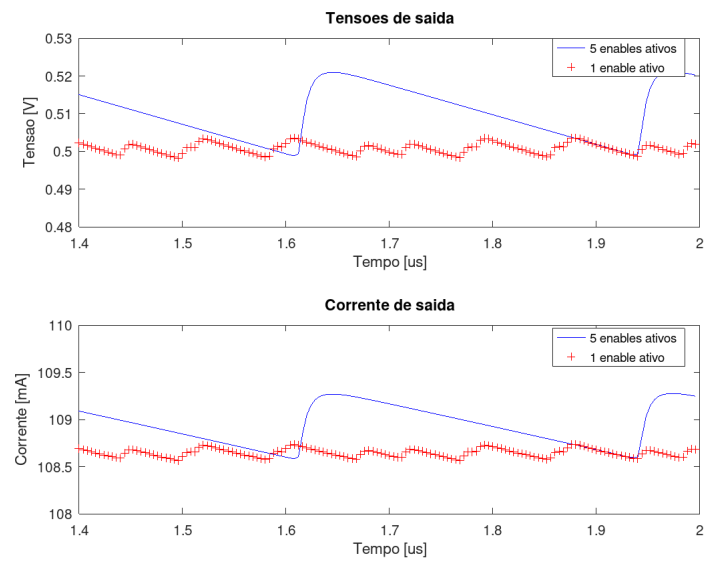


Figura 35: Gráfico Resposta ao Transiente para resistência de carga de aproximadamente $5k\Omega$ e corrente de saída $109 \mu A$ para os cinco e para um *Enable* Ativo dos Circuito *Clock non overlapping*.

Tabela 7: Comparação de Desempenho com LDOs Digitais no Estado da Arte.

	(SALEM; WAR- CHALL; MER- CIER, 2018)	(SALEM; MER- CIER, 2018)	(OH; PARK; JEONG, 2020)	Este trabalho - versão 2
Processo CMOS	65nm	65nm	28nm	180nm
Loop de con- trole	SAR/PD	Oscilador de re- laxação de histe- rese	Comparador	Comparador de latch dinâmico
Área Ativa[mm^2]	0,0023	0,00137	0,0056	0,609
V_{DDin} [V]	0,5-1	0,5-0,9	0,5-1	0,6-0,9
V_{DDout} [V]	0,3-0,45	0,3-0,8	0,45-0,95	0,5-0,7
Pico de Eficiência (%)	99,8	99,3	99,8	95
Faixa de Carga com Eficiência > 90%	33,6 μ A-2mA	10 μ A-1,75mA	N.R	100 μ A-1mA
I_L máximo	2mA	3mA	6,5mA	1mA
I_Q [μ A]	14	48,4	7,87-20,1	10-60
C_L [nF]	0,4/0,4	0,165/0,365	0,1	1
Frequência de Amostragem	1MHz- 240MHz	100kHz- 1.55GHz	64MHz	1MHz-70MHz
Erro de Tensão em Estado Esta- cionário (mV)	< 5,2	< 1,55	N.R	< 7*

*Para correntes mais altas (750 μ A a 1mA)

As especificações obtidas no projeto do SCR-DLDO proposto (versão 2) e uma comparação com outros trabalhos reportados na literatura são resumidos na Tabela 7. As especificações da faixa de carga com eficiência maior do que 90%, pico de eficiência η , corrente quiescente (I_q) e erro de tensão em estado estacionário, demonstram que o SCR-DLDO proposto em este trabalho pode alcançar um desempenho competitivo comparado ao estado da arte de DLDOs, mesmo sendo projetado em uma tecnologia CMOS mais antiga.

3.4.1 Resultados da Simulação Monte Carlo

Foram realizadas 100 simulações de Monte Carlo verificando processo (no nível esquemático) para $F_{clk}=50$ MHz, $C_L=1$ nF (*off-chip*), $V_{REF}=0,5$ V, e $V_{DDin}=600$ mV, 570mV

e 630mV . A temperatura foi fixada em 25⁰C. Os requisitos para a simulação de Monte Carlo do DLDO são: eficiência de corrente maior que 70% e a tensão de saída deve ficar entre os limites de $\pm 5,5\%$ de 500mV.

Nos resultados para a simulação de *step* de corrente de carga houve 100% de acertos entre os limites para esta condição, havendo um mínimo e máximo de eficiência respectivamente de 94,57 e 97,54%. Sendo o valor médio de 95,79% e desvio padrão de 0,55%.

Já para a corrente mínima de aproximadamente 100 μ A obteve-se entre 63,98 e 109% de eficiência, com um valor médio de 95,64% e desvio padrão de 6,6%.

Por outro lado, para a simulação de avaliação de tensão de saída para corrente de carga máxima (1,25mA) foi obtido um valor de 97% de 100 simulações para a tolerância de tensão $\pm 5,5\%$ de 500mV (entre 424,5 e 500,1mV, valor médio de 495,1mV e desvio padrão de 9,4mV) e para mesma tolerância de tensão de saída na condição de corrente mínima, foi obtido 100% de aprovação para 100 simulações para a tolerância referida anteriormente (entre 509,5 e 515,3mV com valor médio de 511mV e desvio padrão de 0,83mV).

4 COMPARAÇÃO COM LDO ANALÓGICO E CONTROLE DE *RIPPLE*

Este capítulo apresenta uma comparação entre as especificações do DLDO projetado na capítulo anterior, com LDOs analógico projetados na mesma tecnologia CMOS de 180nm, o qual permitirá ilustrar as vantagens e desvantagens de cada um dos esquemas. Além disso, no final do capítulo, é estudado uma proposta de circuito de controle automático do número mínimo de módulos SCR habilitados requeridos para uma determinada carga. Este controle permite reduzir drasticamente o *ripple* da tensão de saída do DLDO, sem uma redução significativa da eficiência.

4.1 Comparação entre LDO digital e LDO analógico

Na literatura vários autores ressaltam o fato que as especificações LDOs analógicos podem não ser adequadas para várias aplicações, devido à limitação do amplificador operacional de operar em baixas tensões de alimentação (V_{DD}), especialmente em tecnologias, em que os transistores MOSFETs, com comprimento de canal mínima acima de 100nm em que a tensão de alimentação nominal é maior de 1V. A utilização de transistores especiais de baixa Tensão de Limiar ($V_{TH} \approx 100\text{mV}$) disponíveis no *design kit* da tecnologia de 180nm TSMC pode ser uma solução a esta limitação, mas devemos considerar que estes transistores apresentam maiores níveis de corrente de fuga e maiores capacitâncias parasitárias (SEO, 2004).

Com o objetivo de comparar as especificações do DLDO projetado neste trabalho com um LDO analógico (ALDO) típico em tecnologia CMOS 180nm, nesta seção apresentamos o projeto de ALDO utilizando transistores de baixa tensão de limiar (*medium* (PMOS) $\approx 300\text{mV}$) e (*low* (NMOS) $\approx 100\text{mV}$) disponíveis nesta tecnologia. Para realizar uma comparação mais justa, o ALDO foi projetado para consumir a mesma corrente quiescente do DLDO proposto neste trabalho, isto é, em torno de $60\mu\text{A}$ para 50 MHz de frequência de chaveamento.

O ALDO consiste, em algumas versões, de um divisor de tensão, um amplificador operacional de erro, uma tensão de *feedback*, uma tensão e/ou uma corrente de referência (neste caso 500mV , $10\mu\text{A}$) e um transistor de passagem, neste caso um PMOS. O PMOS é controlado pelo amplificador de erro. Quando a tensão de *feedback* é baixa, é necessária uma corrente mais alta na carga, dessa forma na saída do amplificador é gerado uma tensão baixa no *gate* do PMOS para deixar passar mais corrente para a carga e controlar a tensão de saída para que fique mais próximo da tensão de referência, por outro lado, o oposto também é verdadeiro, ou seja, quando a tensão de *feedback* for alta, a corrente da carga precisa ser mais baixa.

O esquemático do amplificador operacional projetado para a implementação do ALDO, proposto é mostrado na figura 37. As dimensões de cada um dos transistores que compõem o circuito são indicadas na tabela 8, onde na coluna da direita, com os valores W/L aparece na maioria dos casos um fator multiplicativo que representa no número de transistores em paralelo com a dimensão W/L .

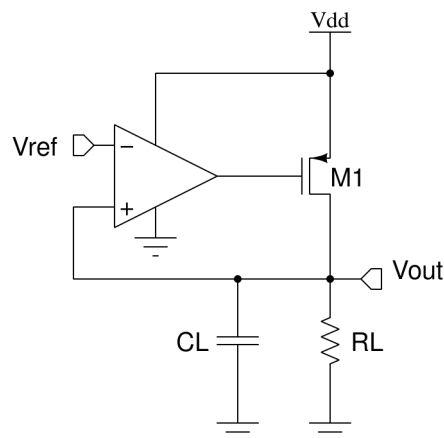


Figura 36: Esquemático do ALDO Projetado.

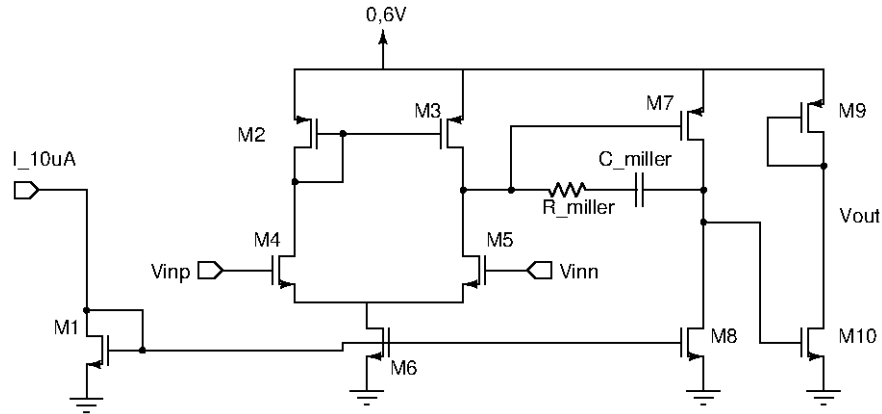


Figura 37: Esquemático dos Amplificador Operacional projetado.

Analisando-se os circuitos das figuras 36 e 37, pode-se chegar a conclusão que o circuito ALDO proposto possui três polos principais na saída do amplificador.

Tabela 8: Dimensões dos transistores do circuito do amplificador operacional

Transistor	Dimensão [W/L]
M_1	$4 \times 4\mu m/500nm$
$M_2 - M_3$	$8 \times 4\mu m/250nm$
$M_4 - M_5$	$2 \times 1\mu m/500nm$
M_6	$10 \times 4\mu m/500nm$
M_7	$8 \times 4\mu m/250nm$
M_8	$8 \times 4\mu m/500nm$
M_9	$2 \times 4\mu m/250nm$
M_{10}	$4 \times 4\mu m/500nm$
C_{miller}	5fF
R_{miller}	458 Ω

No gráfico da Figura 38 é possível observar o sinal de saída da simulação transiente do ALDO. Na simulação resposta ao transiente foram utilizadas duas cargas que correspondem a corrente de 105μ e $1,27$ mA, um V_{DDin} de $0,6V$. O chaveamento da carga está na frequência de $150kHz$. Esta simulação é a mesma que foi feita no DLDO.

Já no gráfico da Figura 39 temos a mesma situação anterior, porém com $V_{DDin}=0,9V$ e $V_{REF}=0,7V$.

O diagrama de Bode do ALDO projetado é ilustrado na Figura 40, para a $V_{DDin}=0,6V$ e $V_{REF}=0,5V$ e carga de 500Ω . A margem de fase é de 79 graus aproximadamente.

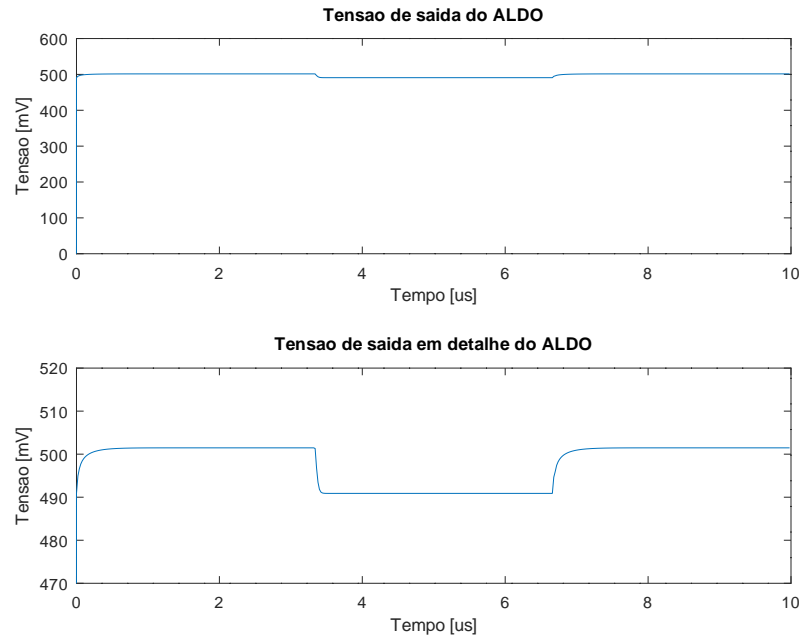


Figura 38: Comparação no Domínio do Tempo dos ALDOs ($V_{DDin}=0,6V$ e $V_{REF}=0,5V$).

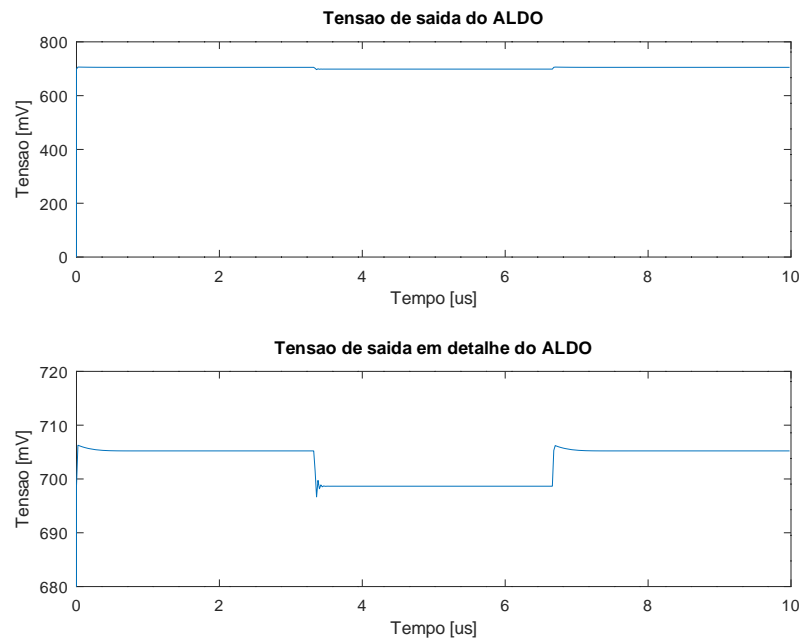


Figura 39: Comparação no Domínio do Tempo dos ALDOs ($V_{DDin}=0,9V$ e $V_{REF}=0,7V$).

Na tabela 4.1 abaixo vemos a comparação entre os LDOs de simulações dos circuitos projetados. As correntes quiescentes (I_Q) foram medidas para corrente de saída mínima ($\approx 100\mu A$) e para máxima ($\approx 1,3mA$) para os reguladores de tensão.

Tabela 9: Comparações entre os LDOs

	ALDO	DLDO (ver.2)	DLDO (ver.2 com contr. de ripple)
V_{DDIN} [V]	0,6-0,9	0,6-0,9	0,6-0,9
V_{DDOUT} [V]	0,5-0,7	0,5-0,7	0,5-0,7
Pico de eficiência * [%]	91	95	96
Faixa de Carga eficiência 90% *[mA]	0,8-1,27	0,1-1,3	0,6-1,3
I_L máximo *[mA]	1,27	1,3	1,3
I_Q *[μ A]	53-130	8,8-51	27-35
C_L *[nF]	5	1	5
Frequência de Amostragem *[MHz]	-	1-50	1-50
Erro de Estado Estacionário *[mV]	10	6	5
<i>Ripple</i> *[mV]	-	20	0

*Para $V_{DD} = 0,6V$ e $V_{REF} = 0,5V$.

Comparando os LDOs vemos na tabela o ALDO maior corrente quiescente, no entanto com menos *ripple*. Além disso, o ALDO tem resultados similares com relação as correntes de saída em comparação ao DLDOs, porém a eficiência ficou um pouco menor comparado com os DLDOs.

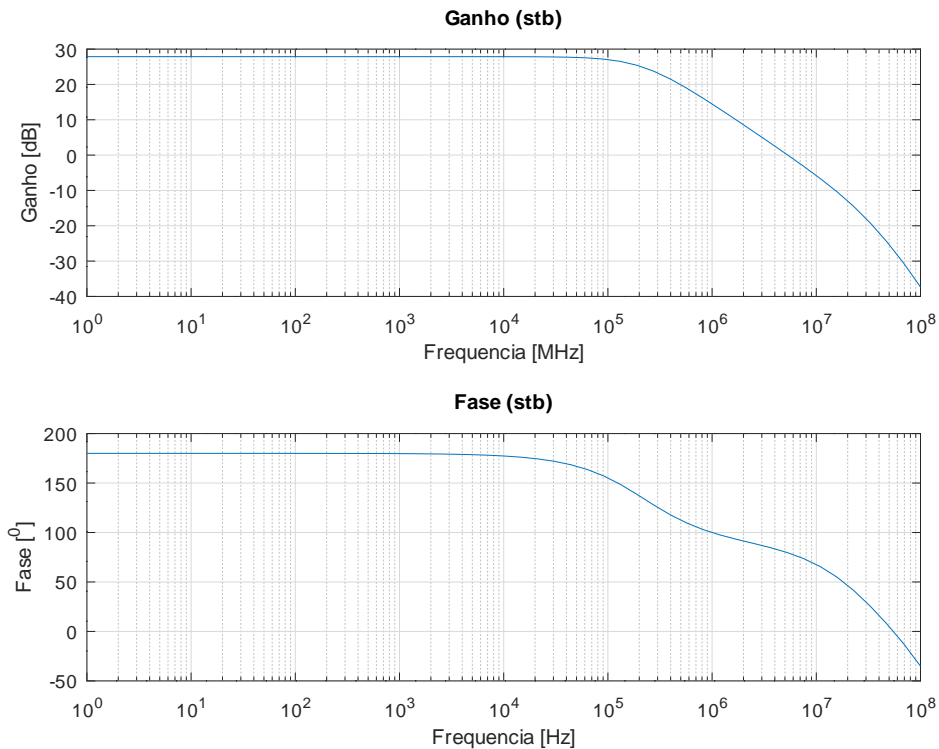


Figura 40: Diagrama de Bode do ALDO ($V_{DDin}=0,6V$, $V_{REF}=0,5V$ e carga de 500Ω).

4.2 Circuito de controle do *Ripple*

Como mencionado anteriormente, o *ripple* presente na tensão de saída do DLDO depende da carga e do número de circuitos SCRs habilitados. Existe uma relação ótima entre estas duas variáveis que permite que o inevitável *ripple* seja minimizado. Um circuito que dinamicamente controle o número de SCRs habilitados dependendo da carga ao longo do tempo, teria a função de encontrar este ponto ótimo.

O circuito de controle de *ripple* utilizado neste trabalho é baseado no trabalho Oh, Park e Jeong (2020), no qual foi utilizado um circuito quase totalmente sintetizável (utilizando a linguagem de descrição de hardware Verilog), tanto para o projeto do controlador (*Glitch-Free Clock Generator*, *Clock-Gating Logic* e *bidirectional shift-register*) como para os comparadores, porém os transistores de carga foram feitos na forma *full-custom*. Ver Figura 10.

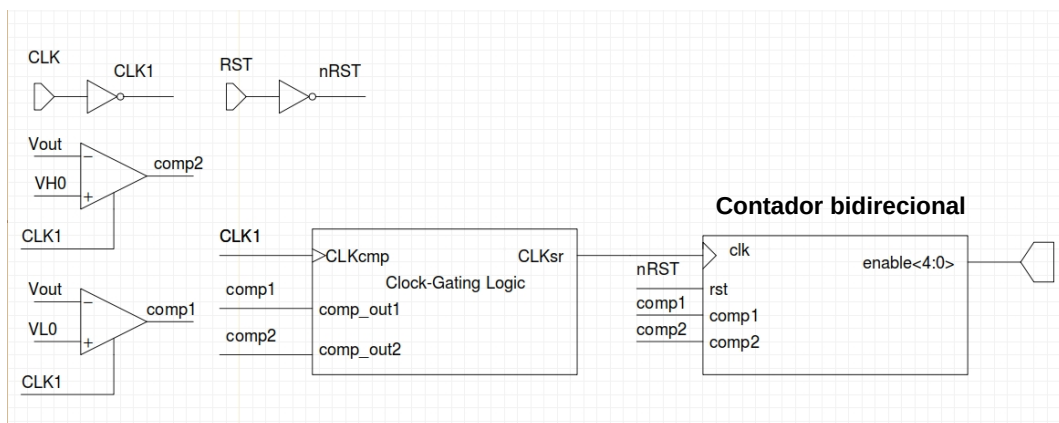


Figura 41: Diagrama de Blocos Pertencente ao Controlador de *Enables*.

Neste trabalho é proposto um circuito de controle digital simples que ajusta automaticamente o número de células de SCRs habilitados, para manter a tensão de saída do DLDO (V_{out}) entre dois níveis de referência V_{H0} e V_{L0} . Um diagrama esquemático simplificado do circuito é ilustrado na Figura 41. Basicamente o circuito está composto por dois comparadores dinâmicos que monitoram se $V_{L0} < V_{out} < V_{H0}$, uma lógica digital chamada de *Clock Gating Logic* (CGL) (ver Figura 10) e um contador bidirecional (CB). Os blocos comparadores geram duas saídas digitais (2 bits: [comp2, comp1]) que controlam o bloco CGL e a direção do contador bidirecional. Esta proposta de circuito de controle de *ripple* é similar à apresentada em Oh, Park e Jeong (2020), com a diferença que neste trabalho utilizamos comparadores dinâmicos.

O bloco GCL habilita o sinal de *clock* do contador bidirecional (verificar Apêndice A) quando encontra-se fora da janela de tensão $V_{L0} - V_{H0}$, e desabilita em caso contrário. O contador bidirecional incrementa ou decrementa a contagem segundo o diagrama de estados apresentado na Figura 42.

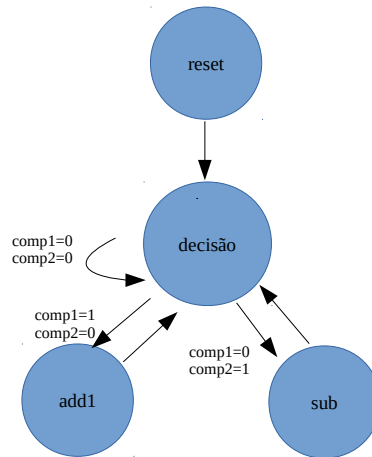


Figura 42: Diagrama de Blocos da Máquina de Estados do Circuito do Contador Bidirecional.

A Figura 43 mostra uma simulação de resposta ao degrau (transiente) da tensão de saída do DLDO quando uma mudança de corrente de carga é aplicada, com e sem o circuito de controle de *ripple*, para $C_L=5\text{nF}$ e $F_{clk}=50\text{MHz}$. Nesta figura é possível observar uma redução significativa do *ripple* na saída do DLDO com circuito de controle, se comparada com a resposta do DLDO (com $C_L=1\text{nF}$) sem controle.

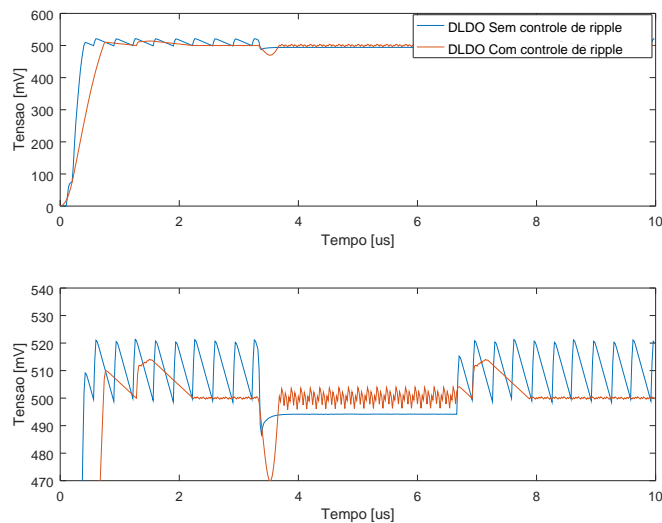


Figura 43: Simulação Comparando Circuito DLDO sem e com Controle de *Ripple*.

O consumo de potência do circuito de controle de *ripple* reduz a eficiência final do DLDO. É esperado que os blocos com maior consumo neste circuito sejam os comparadores e do circuito CGL, já que estes estão operando continuamente na mesma frequência do *clock*. É importante ressaltar que durante as simulações do circuito os blocos digitais *Flip-Flops* e portas lógicas foram considerados ideais, e foram sintetizados em Verilog-A que assume que não haja o consumo de energia, entretanto os circuitos reais consomem energia continuamente, mas consomem mais na transição de corrente. Porém os circuitos em Verilog-A não são totalmente ideais, pois possuem tempo de descida e subida dos sinais na saída, deixando o circuito total um pouco mais realista. O gráfico da Figura 44 ilustra a eficiência do DLDO projetado em função da corrente de carga, sem e com controle de *ripple*.

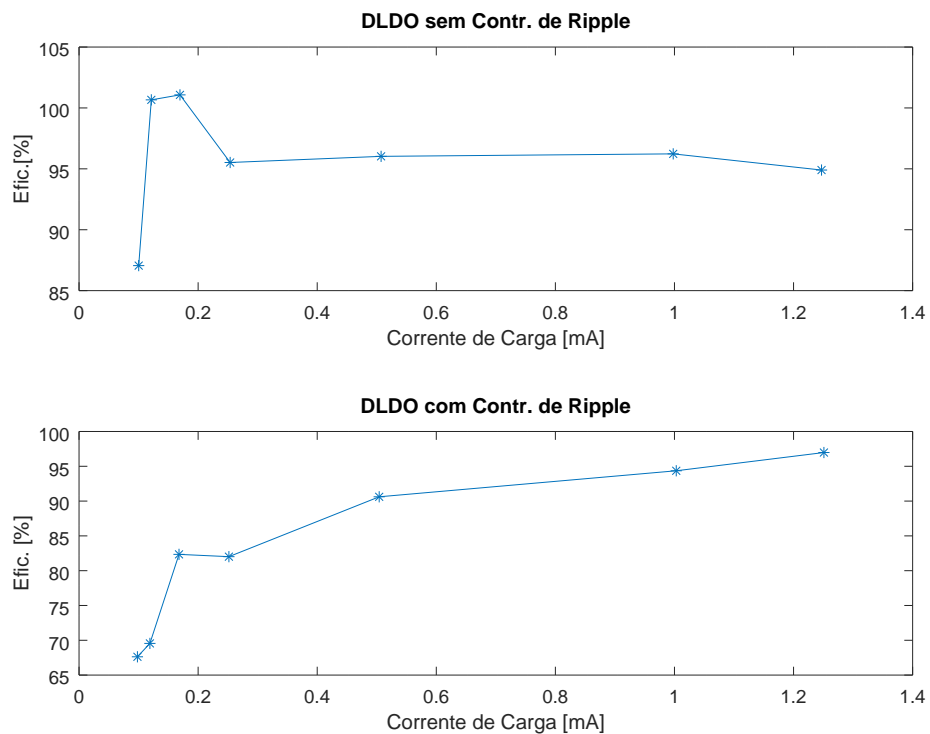


Figura 44: Gráficos de Eficiência dos Circuitos DLDO.

5 CONCLUSÃO

Este trabalho apresentou o projeto de um LDO digital (DLDO) em tecnologia CMOS TSMC 180nm para aplicações que envolvam circuitos operando a baixas tensões de alimentação.

Foram estudadas algumas arquiteturas de DLDO para este trabalho. Escolheu-se uma arquitetura que continha capacitores chaveados, pois esta arquitetura apresentava baixos níveis de erro de tensão de saída em estado estacionário. Porém não foi realizada a construção deste DLDO de maneira exatamente igual ao artigo original (SALEM; MERCIER, 2018), porque foi utilizada uma tecnologia diferente (nó 180nm) e principalmente o comparador não é exatamente o mesmo. Dessa forma, foi necessário uma lógica diferente do original, em que foi implementado um contador em anel para diminuir o *ripple* do V_{DDout} . Foi também otimizado os circuitos *Clock non-overlap* utilizando as ferramentas fornecidas pela *Cadence* para que houvesse o menor consumo de corrente, pois este circuito encontra-se em quantidade razoável de 24 unidades. Esta otimização foi crucial para que houvesse o aumento da eficiência do circuito, assim como a otimização do comparador e dos *buffers* do DLDO. Dessa forma foram pesquisados os principais requisitos para projetar um LDO Digital, assim como também uma comparação com LDO Analógico (ALDO).

Algumas métricas utilizadas na medição do LDOs foram: corrente quiescente, corrente máxima de saída, eficiência, faixa de carga com eficiência acima de 90%, faixa de tensão de entrada, faixa de tensão de saída, frequência de amostragem e erro de estado estacionário da tensão de saída.

Alguns dos requisitos era alcançar a eficiência do circuito em certos níveis de corrente e baixo ruído no sinal de saída, principalmente do *ripple*. No entanto, isto não foi alcançado na primeira versão do circuito fabricado devido a espaço no *die*, pois esta primeira versão do circuito regulador tinha bancos de capacitores a mais, e foi necessário retirá-los, além de outros problemas no cronograma, para a obtenção de uma corrente de saída maior e conseqüentemente uma eficiência maior. Para corrigir todos estes problemas seria necessário uma segunda rodada para fabricação de chip, mas não foi possível. Porém

as outras versões simuladas obtiveram resultados melhores. Portanto segue nos próximos parágrafos as observações obtidas das versões analógica e digital do regulador de tensão. Foi feito somente *layout* para os DLDOs (versão 2).

O ALDO apresentou resultados satisfatórios obtidas pelas simulações transientes. Porém em relação à eficiência o ALDO mostrou ser um pouco menor que os DLDOs devido ao terceiro estágio do LDO e apresentou uma corrente quiescente alta para a corrente de pico.

Contudo não é correto afirmar que amplificadores operacionais não trabalhem com V_{DDin} de 0,5V ou abaixo deste valor como se mostrou em alguns artigos (CHATTERJEE; TSIVIDIS; KINGET, 2005), (LV et al., 2019), (FERREIRA; SONKUSALE, 2014), (TOLEDO et al., 2020) ou o que trabalha exatamente a 500mV (BALLO; PENNISI; SCOTTI, 2021), mas sim que o GBW e *slew-rate* e outras especificações podem ser afetados ou reduzidos. Com isso pode-se prejudicar a resposta transiente, ou seja, nas transições de corrente, podendo haver oscilações no sinal de saída.

Já o circuito simulado (versão 2) apresentou resultados satisfatórios em relação a eficiência, tanto para corrente baixa como para correntes de pico.

O circuito simulado SCR-DLDO junto com o módulo controlador de *enables* apresentou bons resultados com relação ao sinal de saída V_{DDout} , no entanto não foi possível medir de maneira exata a eficiência do circuito pois parte dele estava descrito em Verilog-A, ou seja, um contador bilateral ideal (sem consumo de corrente).

O circuito fabricado não apresentou bons resultados em relação a precisão do valor de tensão e corrente saída, por exemplo, para o circuito fabricado, para uma carga de 500 Ω obteve-se uma corrente de saída de 686 μ A e uma tensão de saída de 343mV usando-se um multímetro. Já com um osciloscópio obtivemos 420mV e de corrente de saída 840 μ A. O ideal seria 500mV e 1mA. Porém estava previsto no circuito simulado que não se obteria a tensão e a corrente de saída desejada.

O autor desta dissertação propõe para trabalhos futuros a otimização do layout, fabricar o DLDO com o controle do *ripple* e a implementação da calibração automática do *offset* dos comparadores. Outra sugestão, é no projeto do circuito, ao invés de se utilizar um circuito *clock non overlap* para cada conjunto de transistores chaveados, utilizar *buffers* para tentar diminuir o consumo do circuito como um todo e verificar a possibilidade de aumentar a frequência de *clock* no chaveamento dos transistores. Além disso, tentar utilizar *transmission gates* nos transistores de chaveamento para talvez aumentar a eficiência do circuito.

Outras propostas são projetar e simular o DLDO em tecnologias mais avançadas como 28nm e 22nm. Também propõe um estudo de uma arquitetura que não dependa do capacitor de saída (*Capacitorless*), tanto externo quanto o interno, pois ambos consomem muito espaço na placa ou no caso de ser interno, no *chip*.

REFERÊNCIAS

- AGARWAL, A. et al. A 320mv-to-1.2V on-die Fine-grained Reconfigurable Fabric For DSP/media Accelerators in 32nm CMOS. *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, p. 328–329, 2010.
- AMARAL, T. A. M. do; HERNANDEZ, H. D.; NOIJE, W. V. Digital-LDO Switched Capacitors Based for 0.5V Applications. In: *2020 32nd International Conference on Microelectronics (ICM)*. [S.l.: s.n.], 2020. p. 1–4.
- BALLO, A.; PENNISI, S.; SCOTTI, G. 0.5 V CMOS Inverter-Based Transconductance Amplifier with Quiescent Current Control. *Journal of Low Power Electronics and Applications*, v. 11, n. 4, 2021. ISSN 2079-9268. Disponível em: (<https://www.mdpi.com/2079-9268/11/4/37>).
- BANG, S. et al. A Fully Synthesizable Distributed and Scalable All-Digital LDO in 10nm CMOS. In: *2020 IEEE International Solid- State Circuits Conference - (ISSCC)*. [S.l.: s.n.], 2020. p. 380–382.
- CADENCE. *Virtuoso Design Enviroment (IC6.1.5.500.3)*. 2011. Disponível em: (<https://www.cadence.com/>).
- CHATTERJEE, S.; TSIVIDIS, Y.; KINGET, P. 0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design. *IEEE Journal of Solid-State Circuits*, v. 40, n. 12, p. 2373–2387, 2005.
- CHEAH, M. et al. A 100-mA, 99.11% Current Efficiency, 2-mVppRipple Digitally Controlled LDO With Active Ripple Suppression. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 25, n. 2, p. 696–704, Feb 2017.
- FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB Gain OTA Operating at 0.25-V Power Supply in 130-nm Digital cmos process. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 61, n. 6, p. 1609–1617, 2014.
- HERNANDEZ, H.; SEVERO, L.; NOIJE, W. V. 0.5V 10MS/s 9-Bits Asynchronous SAR ADC for BLE Receivers in 180nm CMOS Technology. In: *2018 31st IEEE International System-on-Chip Conference (SOCC)*. [S.l.: s.n.], 2018. p. 1–4. ISSN 2164-1706.
- KAUL, H. et al. A 320mV 56uW 411GOPS/Watt Ultra-Low Voltage Motion Estimation Accelerator in 65nm CMOS. *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, p. 316–616, 2008.
- KIM, D. et al. A 0.5V-VIN1.44mA-Class Event-Driven Digital LDO with a Fully Integrated 100pf Output Capacitor. In: *2017 IEEE International Solid-State Circuits Conference (ISSCC)*. [S.l.: s.n.], 2017. p. 346–347. ISSN 2376-8606.

- KINGET, P.; CHATTERJEE, S.; TSIVIDIS, Y. 0.5 V Analog Integrated Circuits. In: _____. *Analog Circuit Design: RF Circuits: Wide band, Front-Ends, DAC's, Design Methodology and Verification for RF and Mixed-Signal Systems, Low Power and Low Voltage*. Dordrecht: Springer Netherlands, 2006. p. 329–350.
- LEE, B. S. *Understanding the Terms and Definitions of LDO Voltage Regulators*. [S.l.]: Application Report - Texas Instruments, 1999.
- LIU, M.; LIU, M. *Demystifying Switched Capacitor Circuits*. Newnes, 2006. (Electronics & Electrical). ISBN 9780750679077. Disponível em: [⟨https://books.google.com.br/books?id=yFIBUcnZUigC⟩](https://books.google.com.br/books?id=yFIBUcnZUigC).
- LV, L. et al. Inverter-Based Subthreshold Amplifier Techniques and Their Application in 0.3-V $\Delta \Sigma$ -modulators. *IEEE Journal of Solid-State Circuits*, v. 54, n. 5, p. 1436–1445, 2019.
- MAZUMDAR, K. *Breaking the Power Delivery Walls using Digitally-controlled Integrated Regulation*. Tese (Doutorado) — University of Virginia, Electrical Engineering - School of Engineering and Applied Science, Charlottesville, 2015.
- MENTOR. *Calibre Design Solutions*. 2015. Disponível em: [⟨https://eda.sw.siemens.com/en-US/ic/calibre-design/⟩](https://eda.sw.siemens.com/en-US/ic/calibre-design/).
- NASIR, S. B.; GANGOPADHYAY, S.; RAYCHOWDHURY, A. A 0.13 μ m Fully Digital Low-Dropout Regulator with Adaptive Control and Reduced Dynamic Stability for Ultra-Wide Dynamic Range. In: *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*. [S.l.: s.n.], 2015. p. 1–3. ISSN 0193-6530.
- OH, J.; PARK, J. E.; JEONG, D. K. A Highly Synthesizable 0.5-to-1.0-V Digital Low-Dropout Regulator With Adaptive Clocking and Incremental Regulation Scheme. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 10, p. 2174–2178, 2020.
- OKUMA, Y. et al. 0.5V Input Digital LDO with 98.7 % Current Efficiency and 2.7 μ A Quiescent Current in 65nm CMOS. In: *IEEE Custom Integrated Circuits Conference 2010*. [S.l.: s.n.], 2010. p. 1–4. ISSN 2152-3630.
- RINCON-MORA, G. A.; ALLEN, P. E. A Low-Voltage, Low Quiescent Current, Low Drop-out Regulator. *IEEE Journal of Solid-State Circuits*, v. 33, n. 1, p. 36–44, Jan 1998. ISSN 0018-9200.
- SALEM, L. G.; MERCIER, P. P. A Sub-1.55mV-Accuracy 36.9ps-FOM Digital-low-dropout Regulator Employing Switched-Capacitor Resistance. In: *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*. [S.l.: s.n.], 2018. p. 312–314. ISSN 2376-8606.
- SALEM, L. G.; WARCHALL, J.; MERCIER, P. P. A 100nA-to-2mA Successive-Approximation Digital LDO with PD Compensation and Sub-LSB Duty Control Achieving a 15.1ns Response Time at 0.5V. In: *2017 IEEE International Solid-State Circuits Conference (ISSCC)*. [S.l.: s.n.], 2017. p. 340–341. ISSN 2376-8606.

SALEM, L. G.; WARCHALL, J.; MERCIER, P. P. A Successive Approximation Recursive Digital Low-Dropout Voltage Regulator with PD Compensation and Sub-LSB Duty Control. *IEEE Journal of Solid-State Circuits*, v. 53, p. 35–49, 2018.

SEO, I. *Low-Voltage Low-Power Analog Circuit Techniques Using Floating-gate MOS Transistors*. Tese (Doutorado) — University of Florida, Major Department: Electrical and Computer Engineering, Gainesville FL, 2004.

TOLEDO, P. et al. Fully Digital Rail-to-Rail OTA With Sub-1000 μm^2 Area, 250-mV Minimum Supply, and nw Power at 150-pF Load in 180 nm. *IEEE Solid-State Circuits Letters*, v. 3, p. 474–477, 2020.

TOPRAK-DENIZ, Z. et al. Distributed System of Digitally Controlled Microregulators Enabling per-core DVFS for the POWER8™ Microprocessor. In: *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. [S.l.: s.n.], 2014. p. 98–99. ISSN 0193-6530.

WANG, X. et al. An Analytical Study of Power Delivery Systems for Many-Core Processors Using On-Chip and Off-Chip Voltage Regulators. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 34, n. 9, p. 1401–1414, Sep. 2015. ISSN 0278-0070.

APÊNDICE A

Neste apêndice esta listada o código Verilog do contador bidirecional utilizada na versão do regulador de tensão com controlador de *enables*. A síntese deste circuito foi feita no programa Yosys - *Open SYntesis Suite*, transformando o circuito em verilog-A.

```

module SR (clk , reset , comp1, comp2, enable);
input clk , reset , comp1, comp2;
output reg [4:0] enable;

reg [1:0] prox_estado;
parameter decisao=0,add1=1,sub=2;

always @(posedge clk or posedge reset)

    begin
        if(reset)
            begin
                prox_estado<=decisao;
                enable<=5'b00000;
            end
        else
            begin
                case(prox_estado)
                    decisao:
                        begin
                            if ((comp1==1'b1) && (comp2==1'b0))
                                begin
                                    prox_estado<=add1;
                                end
                        end
            end
    
```

```
else if ((comp1==1'b0) && comp2==1'b1)
    begin
        prox_estado<=sub;
    end
else
    begin
        prox_estado<=decisao;
    end
    enable<=enable;
end

add1:
    begin
        prox_estado<=decisao;
        enable<={enable [3:0], 1'b1};
    end
sub:
    begin
        prox_estado<=decisao;
        enable<={1'b0, enable [4:1]};
    end
endcase
end
end
endmodule
```