

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA

GUILHERME VIEIRA GONÇALVES

Estudo de transistores FinFET de germânio com canal não tensionado

São Paulo
2021

GUILHERME VIEIRA GONÇALVES

Estudo de transistores FinFET de germânio com canal não tensionado

Versão corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Ciências.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino

Coorientador: Alberto Vinicius de Oliveira

São Paulo
2021

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, ___12___ de janeiro _____ de ___2021___

Assinatura do autor:  _____

Assinatura do orientador:  _____

Catlogação-na-publicação

Vieira Gonçalves, Guilherme

Estudo de transistores FinFET de germânio com canal não tensionado /

G. Vieira. Gonçalves – versão corr. -- São Paulo, 2021.

66 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Microeletrônica 2. Semicondutores 3. Transistores I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistema Eletrônicos II.t.

Nome: GONÇALVES, Guilherme Vieira

Título: Estudo de transistores FinFET de germânio com canal não tensionado

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Ciências.

Aprovado em: ___ / ___ / ___

Banca Examinadora

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

DEDICATÓRIA

Dedico este trabalho à minha amada esposa,
Ingrid Simões Tremper

Dedico este trabalho aos meus amados pais,
Maria Vieira Antonio
Mario Nunes Gonçalves

Aos meus avós,
Ambrosina Martins Vieira (*in memoriam*)
Salustia Nunes de Oliveira (*in memoriam*)
Julio Antonio (*in memoriam*)
Saturno Gonçalves da Costa (*in memoriam*)

AGRADECIMENTOS

Agradeço a Deus, acima de tudo, por permitir-me concluir este trabalho. Por proporcionar discernimento e força.

Ao meu coorientador e amigo Alberto Vinicius de Oliveira, sua paciência, dedicação, orientação e total profissionalismo.

Aos professores, Dr. João Antonio Martino e Dra. Paula Ghedini Der Agopian, pela orientação contínua, colaboração, ensinamentos, paciência e todo suporte durante o desenvolvimento deste trabalho. A vocês, minha eterna gratidão.

Aos meus pais, Maria Vieira Antonio e Mario Nunes Gonçalves, que sempre me apoiaram, auxiliaram com todas as suas forças para que eu atingisse meus objetivos. A vocês, meu agradecimento pelos ensinamentos dedicados à vida e que não constam em livro ou lugar nenhum. Obrigado por tudo.

Ao meu querido irmão Rodrigo Vieira Gonçalves, engenheiro e colega de profissão, por toda a sua parceria e presença em todos os momentos.

À Ingrid Simões Tremper, minha amada esposa. Pela paciência referente a minha ausência em tantas noites e momentos para que este trabalho pudesse ser concluído. Pelo seu amor e dedicação a mim.

Às agências de fomento, CAPES e CNPq, pelos apoios financeiros prestados tanto no Brasil quanto no exterior.

A todos os colegas e professores do grupo SOI, pela amizade, auxílio, discussões técnicas e por sempre estarem dispostos a ajudar.

A todos do grupo do Imec–Bélgica que contribuíram de alguma forma à realização do trabalho e que, porventura, tenham sido omitidos.

RESUMO

GONÇALVES, Guilherme Vieira. Estudo de transistores FinFET de germânio com canal não tensionado. 2020. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2020.

O presente trabalho possui como proposta o estudo do comportamento elétrico de transistores de múltiplas portas, FinFET (*Fin Field-Effect-Transistor*), de germânio com canal não tensionado do tipo p. Parte significativa deste estudo é identificar a influência do plano de terra no que se refere à concentração de dopantes e posicionamento no comportamento elétrico dos dispositivos. Neste caso, parâmetros elétricos principais como tensão de limiar, inclinação de sublimiar, transcondutância são estudados, além da análise de comportamento das correntes de dreno, fonte e substrato. Soma-se ao estudo, a verificação do comportamento da mobilidade, também sob o critério de investigar o efeito do plano de terra a este parâmetro. Para tal, foram utilizados dados obtidos por meio de medidas experimentais e simulação numérica tridimensional. Neste contexto, constatou-se com o uso das simulações e comparações aos dados experimentais que a variação da concentração de dopantes do plano de terra, implica na degradação da inclinação de subliminar, bem como uma direta dependência entre a transcondutância e a profundidade do. Adicionalmente observa-se que a variação da tensão de limiar V_T para as medidas extraídas e simuladas são de aproximadamente 60 mV para o critério de concentração de dopantes e de 50 mV para a influência da profundidade do ground plane (GP) em relação à base da aleta.

Palavras chave: Microeletrônica. Semicondutores. Transistores

ABSTRACT

GONÇALVES, G. V. Study of non-strained p-channel germanium FinFETs. 2020. Dissertação (Mestrado em Ciências) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2020.

This work proposes a study of the influence of the ground plane on non-strained p-channel germanium FinFETs. A significant part of this study is to identify the influence of the ground plane (doping concentration and its positioning) on main electrical parameters as threshold voltage, subthreshold swing, transconductance and drain, source and substrate currents analysis. In addition, the low-field carrier mobility behavior is evaluated for the same investigated ground plane effect criteria. In this context, both experimental and numerical TCAD simulation data are investigated. The main findings are that the variation of doping concentration in the ground plane region implies on a degradation of the threshold voltage and that the ground plane position plays a role in the transconductance parameter. Additionally, it is observed that a variation of V_T (ΔV_T) for the simulated data is approximately 60 mV for the doping concentration criterion and 50 mV for the influence of the ground plane depth, considering different fin width values.

Keywords: Microelectronics. Semiconductors. Transistors

LISTA DE ILUSTRAÇÕES

Figura 1 – <i>Roadmap</i> de evolução das tecnologias.....	16
Figura 2 – Variação de custo em função da performance e tecnologia.....	17
Figura 3 – Primeiro FinFET SOI Brasileiro	18
Figura 4 – Tipos de MuGFET: a) SON, b) FET de duas portas independentes, c) FinFET, d) FET de porta tripla, e) FET de porta π , f) FET de porta Ω , g) FET de porta quadrupla, h) FET cilíndrico, i) FET de nano fio empilhado.	20
Figura 5 – Transistor de porta tripla sobre lâmina SOI.....	21
Figura 6 – FinFET com múltiplas aletas	22
Figura 7 – Efeito de canal curto para as tecnologias MOSFET e SOI. a) MOSFET convencional para L grande. b) MOSFET convencional para canal curto. c) MOSFET convencional para L grande com óxido enterrado. d) MOSFET convencional para L curto com óxido enterrado.....	23
Figura 8 – Diferenças construtivas entre a) FinFET SOI e b) FinFET de Corpo	25
Figura 9 – Processo "STI depois" – canal de Ge não tensionado	26
Figura 10 – Imagem Microscopia Eletrônica de secção transversal de um FinFET de Ge STI depois sem tensionamento do Canal.....	27
Figura 11 – Dependência da Espessura da camada de silício sobre a tensão de limiar de um dispositivo de porta dupla.....	29
Figura 12 – Transcondutância em função da tensão aplicada ao terminal de porta...30	
Figura 13 – Estrutura utilizada para a realização das medidas elétricas.....	34
Figura 14 – Exemplo de extração de V_T realizada para um dispositivo FinFET de germânio com a característica de $W_{fin}=100\text{nm}$ e $L_G=530\text{nm}$	35
Figura 15 – Exemplo de extração de g_m , realizada para um dispositivo FinFET de germânio com a característica de $W_{fin}=100\text{nm}$ e $L_g=530\text{nm}$	36
Figura 16 – Exemplo de extração de SS realizada para um dispositivo FinFET de germânio com parâmetro de $W_{fin}=50\text{nm}$ e $L_G=10.030\text{nm}$	37
Figura 17 – Exemplo de função de reta para extração de mobilidade.....	38
Figura 18 – Dispositivo FinFET de germânio de canal do tipo p.....	40
Figura 19 – Corrente de Dreno, Substrato e Porta em função da tensão aplicada na porta, referente ao resultado experimental.....	42
Figura 20 – Tensão de limiar em função da largura de aleta, referente ao resultado experimental.....	43

Figura 21 – V_T Experimental em função do comprimento para W_{fin} de 20, 30, 50, 76 e 100nm.....	44
Figura 22 – Transcondutância normalizada em função da largura de aleta.....	44
Figura 23 – Curva Experimental: Inclinação de sublimiar em função do comprimento de canal para diferentes larguras de aleta.....	45
Figura 24 – Inclinação de sublimiar em função da largura de aleta, referente ao resultado experimental.....	46
Figura 25 – a) estrutura 3D Ge pFinFET; b) Secção longitudinal plano de corte AA; Concentração de GP: c) $1 \times 10^{17} \text{ cm}^{-3}$; d) $1 \times 10^{18} \text{ cm}^{-3}$; e) $5 \times 10^{18} \text{ m}^{-3}$ e f) $1 \times 10^{19} \text{ cm}^{-3}$	47
Figura 26 - Corrente de dreno em função da tensão aplicada ao terminal de porta, considerando larguras de aleta de 20nm e 100nm, para resultados simulado e experimental.....	48
Figura 27 – Tensão de limiar em função da largura de aleta para diferentes concentrações de dopantes do plano de terra	48
Figura 28 – Transcondutância máxima normalizada em função: a) da largura de aleta para diferentes concentrações de dopantes e b) da profundidade do plano de terra.....	49
Figura 29 – Inclinação de sublimiar em função da largura de aleta para diferentes concentrações de dopantes do plano de terra	49
Figura 30 – FinFET de Ge simulado: profundidade do plano de terra: a) 0 nm; b) 20 nm e c) 40 nm	50
Figura 31 – Tensão de limiar em função da largura de aleta para diferentes profundidades de plano de terra.....	51
Figura 32 – Inclinação de sublimiar em função da largura de aleta para diferentes profundidades de plano de terra.....	51
Figura 33 – Transcondutância máxima normalizada em função da largura de aleta para diferentes profundidades do plano de terra.....	53
Figura 34 – Densidade da corrente em uma linha de corte na região de canal	53
Figura 35 – Densidade da corrente na região de canal em função da altura e da largura de aleta.....	54
Figura 36 – Mobilidade efetiva em função da largura de aleta e diferentes concentrações de dopantes do plano de terra.	54

LISTA DE TABELAS

Tabela 1 – Características do FinFET de Ge STI depois, canal não tensionado.....	33
Tabela 2 – Parâmetros ajustados no simulador.....	39

LISTA DE ABREVIATURA E SIGLAS

CI	Circuito Integrado
CMOS	Metal-óxido-semicondutor-complementar (<i>Complementary Metal-Oxide-Semiconductor</i>)
FET	Transistor de Efeito de Campo (<i>Field-Effect-Transistor</i>)
FinFET	Transistor de Efeito de Campo com aleta (<i>Fin Field-Effect-Transistor</i>)
GAA	Estrutura de Porta em todo entorno (<i>Gate-All-Around</i>)
Ge	Germânio
GP	Plano de Terra (<i>Ground Plane</i>)
LSI	Laboratório de Sistemas Integráveis
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor (<i>Metal Oxide Semiconductor Field Effect Transistor</i>)
MuGFET	Transistor de Efeito de Campo de Múltiplas Portas (<i>Multiple-Gate Field-Effect Transistor</i>)
nMOSFET	Transistor MOSFET com canal tipo n
PD	Parcialmente Depletado (<i>Partially Depleted</i>)
pMOSFET	Transistor MOSFET com canal tipo p
Si	Silício
SiO₂	Dióxido de Silício
SCE	Efeito de Canal Curto (<i>Short Channel Effect</i>)
SHE	Efeito de auto aquecimento (<i>Self-Heating Effect</i>)
SOI	Estrutura de silício sobre isolante (Silicon On Insulator)
SON	Estrutura de silício sobre nada (<i>Silicon On Nothing</i>)
STI	Isolação por trincheira rasa (<i>Shallow Trench Isolation</i>)
TiN	Nitreto de Titânio

LISTA DE SÍMBOLOS

H_{fin}	Altura da aleta [μm ou nm]
L	Comprimento de canal [μm ou nm]
W	Largura do canal [μm ou nm]
W_{fin}	Largura da aleta [μm ou nm]
S	Inclinação de sublimiar [mV/década]
V_T	Tensão de limiar [V]
V_{Tn}	Tensão de limiar do dispositivo canal-n [V]
V_{Tp}	Tensão de limiar do dispositivo canal-p [V]
C_{OX}	Capacitância do óxido de porta por unidade de área [F/cm^2]
N_A	Concentração de dopantes aceitadores [cm^{-3}]
Q_{depl}	Carga de depleção por unidade de área [C/cm^2]
Q_{inv1}	Carga de inversão na primeira interface por unidade de área [C/cm^2]
Q_{OX}	Total de cargas no óxido de porta por unidade de área [C/cm^2]
$x_{dm\acute{a}x}$	Profundidade máxima da camada de depleção [μm ou nm]
Φ_M	Função trabalho do metal [eV]
Φ_{MS1}	Diferença entre funções trabalho do metal de porta e do semicondutor [eV].
Φ_{MS2}	Diferença entre funções trabalho do substrato e do semicondutor [eV]
φ_F	Potencial de Fermi [V]
φ_{S1}	Potencial elétrico de superfície na primeira interface [V]
φ_{S2}	Potencial elétrico de superfície na segunda interface [V]
n_i	Concentração intrínseca de portadores [cm^{-3}]
α	Acoplamento capacitivo entre o canal, a porta e o substrato
μ_0	Mobilidade para baixo campo elétrico [$\text{cm}^2/\text{V}\cdot\text{s}$]
g_m	Transcondutância [S]
C_d	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{ox}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{si}	Capacitância da camada de silício por unidade de área [F/cm^2]
$g_{mm\acute{a}x}$	Transcondutância máxima [S]

I_D	Corrente de dreno [A]
I_S	Corrente de fonte [A]
I_G	Corrente de porta [A]
V_{DS}	Tensão elétrica entre dreno e fonte [V]
V_{Dsat}	Tensão de dreno em saturação [V]
$V_{DS_{nmos}}$	Tensão entre fonte e dreno no dispositivo canal-n [V]
$V_{DS_{pmos}}$	Tensão entre fonte e dreno no dispositivo canal-p [V]
μ_n	Mobilidade do elétron [$\text{cm}^2/\text{V}\cdot\text{s}$]
T	Temperatura [K ou °C]
t_{OX}	Espessura do óxido de porta [nm]
I_{on}	Corrente de dreno na região de inversão forte [A]
I_{off}	Corrente de dreno na região de sublimiar [A]

SUMÁRIO

1 INTRODUÇÃO	15
1.1 HISTÓRICO E MOTIVAÇÃO	15
1.2 O FINFET E A EXTENSÃO DA LEI DE MOORE.....	16
1.3 OBJETIVOS	18
1.4 ORGANIZAÇÃO DO TRABALHO	18
2 CONCEITOS GERAIS E FUNDAMENTAÇÃO TEÓRICA	20
2.1 OS DISPOSITIVOS DE MÚLTIPLAS PORTAS.....	20
2.1.1 O FinFET de porta tripla	21
2.1.2 A corrente de dreno.....	21
2.1.3 Os efeitos de canal curto (SCE).....	22
2.1.4 Comparativo entre o FinFET SOI e o FinFET de corpo.....	24
2.1.5 O plano de terra (<i>Ground Plane</i> – GP).....	25
2.1.6 FinFET de germânio.....	25
2.1.7 Processos de fabricação	26
2.2 PARÂMETROS ELÉTRICOS BÁSICOS	27
2.2.1 A tensão de limiar.....	27
2.2.2 Transcondutância.....	29
2.2.3 Inclinação de sublimiar	31
2.2.4 Mobilidade de portador.....	31
3 MATERIAIS E MÉTODOS	33
3.1 DISPOSITIVOS ESTUDADOS	33
3.1.1 Caracterização elétrica.....	33
3.2 EXTRAÇÃO DE PARÂMETROS.....	35
3.2.1 Tensão de limiar (V_T)	35
3.2.2 Transcondutância máxima.....	36
3.2.3 Inclinação de sublimiar	36
3.2.4 Mobilidade	37

3.5 SIMULAÇÃO NUMÉRIA DE DISPOSITIVOS	38
3.5.1 Modelos físicos considerados no simulador	39
3.5.2 Ajustes realizado no simulador para o pFinFET de canal de Ge	40
4 ANÁLISE E DISCUSSÃO DE RESULTADOS	42
4.1 PARÂMETROS BÁSICOS DO FINFET DE GERMÂNIO.	42
4.2 INFLUÊNCIA DA CONCENTRAÇÃO DE DOPANTE DO PLANO DE TERRA NOS PARÂMETROS ELÉTRICOS	46
4.3 INFLUÊNCIA DA POSIÇÃO DO PLANO DE TERRA.....	50
5 CONCLUSÕES.....	56
5.1 PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO	58
REFERENCIAS.....	59
APÊNDICE A – ARQUIVO DA ESTRUTURA DO SENTARUS STRUCURE EDITOR	62
APÊNDICE B – ARQUIVO DA ESTRUTURA DEVICE.....	64

1 INTRODUÇÃO

Neste capítulo, apresentam-se as características de como os dispositivos, a indústria da microeletrônica e as tecnologias evoluíram durante as últimas décadas e a motivação que resultou no presente trabalho.

1.1 HISTÓRICO E MOTIVAÇÃO

A evolução tecnológica da indústria da microeletrônica exige a contínua redução das dimensões de seus dispositivos, objetivando o aumento da capacidade de processamento dos dispositivos em um menor espaço físico, o que viabilizou um aumento da quantidade de transistores por circuito integrado (CI). Este aumento de transistores por CI foi observado por G. Moore (1965), que identificou um aumento exponencial de transistores, que dobrava a cada 18 a 24 meses.

Com a diminuição das dimensões dos dispositivos, diversos efeitos indesejáveis apareceram, requerendo deste modo atenção especial. Um destes efeitos é o autoaquecimento ou *Self-Heating Effect* (SHE) (MCDAID, 1989). Tal comportamento, apresenta-se como o efeito Joule causado pela corrente no canal dos dispositivos e pela dificuldade de dissipação do calor dadas as pequenas dimensões do transistor. Outro efeito de igual importância, corresponde aos efeitos de canal curto ou *Short Channel Effect* (SCE), o qual é originado pelo mesmo motivo, ou seja, a redução da dimensão do canal e resulta em um controle ineficiente de cargas na região de canal pelo terminal de porta, causando uma variação indesejada de parâmetros elétricos dos transistores (BRIGHT, 2017).

Com a evolução dos dispositivos eletrônicos, outras tecnologias foram desenvolvidas a fim de eliminar ou, pelo menos, minimizar estes efeitos indesejáveis. Assim, tecnologias como a *Silício sobre Isolante* (SOI), que apresenta uma camada de óxido de silício (SiO_2), abaixo da região ativa (canal) do dispositivo auxilia na redução dos efeitos de canal curto, além de aumentar seu desempenho no funcionamento em temperaturas elevadas e em ambientes com radiação (COLINGE, 2008).

Adicionalmente à evolução do processo de fabricação e diminuição física dos transistores, pode-se observar que surgiram novas estruturas, dentre as quais

destaca-se a de transistores de múltiplas portas (MugFET) que é objeto de estudo neste trabalho, no caso o FinFET (*Fin Field-Effect-Transistor*).

A evolução tecnológica apresentada por (IWA, 2013) pode ser vista na Figura 1, na qual é possível verificar que os dispositivos FinFETs são uma das alternativas para a evolução dos transistores em circuitos integrados.

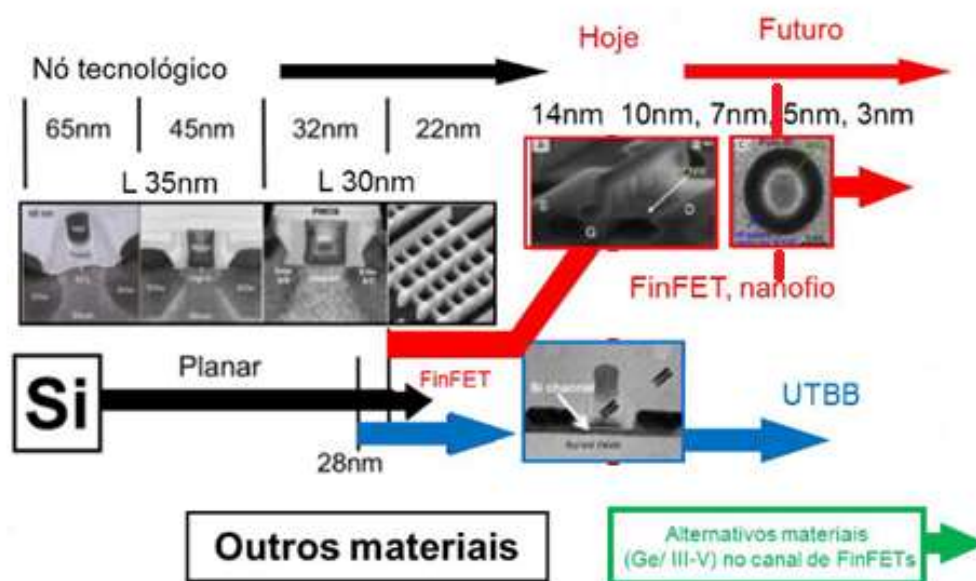


Figura 1 – Evolução das tecnologias

Fonte: adaptado de (IWA, 2013).

Além da diminuição das geometrias, o uso de novos materiais se tornou necessário, tais como o uso de germânio (substituindo o silício) no canal de um FinFET, por apresentar maior mobilidade de portadores (TAKAGI E TAKENAKA, 2011), que será o alvo deste trabalho.

1.2 O FINFET E A EXTENSÃO DA LEI DE MOORE

A tecnologia FinFET revolucionou a indústria de semicondutores pela criação de microprocessadores e células de memória menores e otimizadas. A crescente demanda de dispositivos apresentou a necessidade de *chips* mais rápidos e eficientes.

A Intel introduziu esta tecnologia em seus produtos para controlar a dissipação de calor e reduzir o tamanho dos dispositivos. Além disso ela trabalha com a tecnologia FinFET, como exemplo os processadores Ivy Bridge, terceira geração de

processadores *core* fabricados com nó tecnológico de 22nm destinados à família *core i-7* (BOHR, 2020).

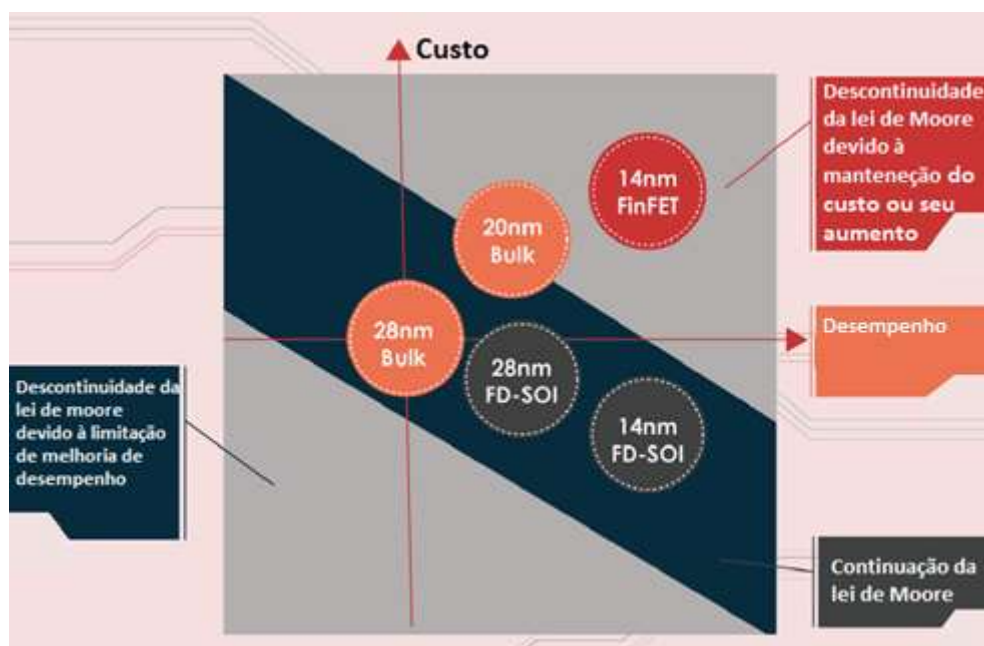


Figura 2 – Variação de custo em função da desempenho e tecnologia

Fonte: Adaptado de (BOHR, 2020).

A Figura 2 ilustra como a evolução dos processos de litografia e novas propostas de tecnologias impactam no aumento de desempenho em conjunto à redução dos custos de fabricação. Deste modo, a continuidade da lei proposta de Moore, mostra-se diretamente dependente do desenvolvimento de novas topologias e materiais para a criação de novos dispositivos.

No Brasil, projetos de pesquisa são desenvolvidos com o foco em projeto e fabricação de dispositivos FinFET. Os resultados destes esforços resultaram no primeiro dispositivo FinFET fabricado no país no ano de 2012, utilizando litografia por feixe de elétrons, desenvolvido pelo do grupo SOI CMOS e coordenado pelo Prof. Dr. João Antonio Martino, do Laboratório de Sistemas Integráveis (LSI) da Escola Politécnica da Universidade de São Paulo (USP). O dispositivo possui as dimensões de 50 nm de largura de aleta (W_{fin}), 100 nm de altura de aleta (H_{fin}) e 1 μm de comprimento de canal (L) (RANGEL,2013). A Figura 3 apresenta a imagem do dispositivo.

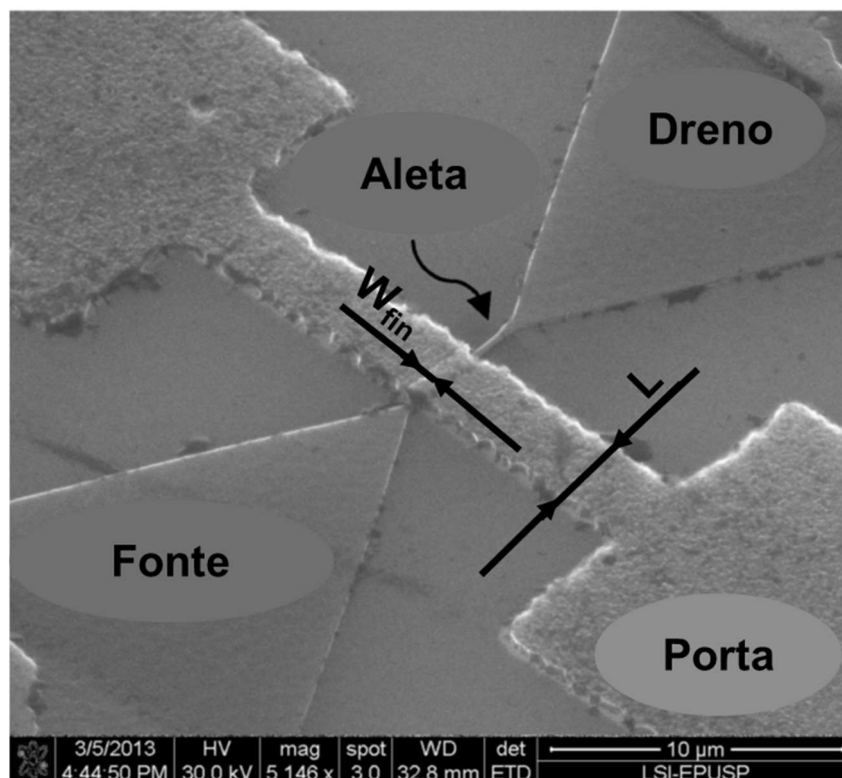


Figura 3 – Primeiro FinFET SOI Brasileiro

Fonte: Adaptado de (RANGEL, 2013).

1.3 OBJETIVOS

A proposta deste trabalho é estudar o comportamento elétrico do FinFET de germânio com canal não tensionado em temperatura ambiente. Precisamente, deseja-se entender como parâmetros, tais como tensão de limiar (V_T), inclinação de sublimiar (SS) e mobilidade efetiva dos portadores, para diferentes larguras de aleta. O estudo é baseado em caracterização elétrica e simulação numérica de dispositivos. Adicionalmente, deseja-se investigar a influência do plano de terra, através da variação da concentração de dopantes e do seu posicionamento do plano abaixo da região do canal, por meio de simulações numéricas.

1.4 ORGANIZAÇÃO DO TRABALHO

Este trabalho está dividido em cinco capítulos, são eles:

- a) Capítulo 1, apresenta-se a proposta de trabalho e as considerações iniciais. Primeiramente, uma breve apresentação da evolução tecnológica dos dispositivos, seguindo das primeiras considerações sobre os transistores

FinFET e sobre o FinFET de Ge de canal do tipo p (pFinFET). Em seguida, formaliza-se quais os propósitos do estudo;

- b) Capítulo 2, apresenta-se uma revisão bibliográfica os parâmetros abordados, bem como a descrição de funcionamento dos transistores FinFET e as principais diferenças para o FinFETs cuja região do canal é composta por germânio;
- c) Capítulo 3, descreve-se a sequência de execução do presente trabalho, referente à caracterização elétrica dos dispositivos em laboratório; somando-se à realização das simulações a fim de obter uma leitura completa dos agentes e causas;
- d) Capítulo 4, verifica-se e trata-se os resultados obtidos experimentalmente e por simulação numérica, a fim de compará-los;
- e) Capítulo 5, resume-se as conclusões e resultados obtidos.

2 CONCEITOS GERAIS E FUNDAMENTAÇÃO TEÓRICA

Neste capítulo são abordados os conceitos sobre os parâmetros elétricos estudados, estrutura de funcionamento do dispositivo FinFET e a relação dos principais pontos de análise de estudo para o FinFET cuja região de canal é composta por germânio.

2.1 OS DISPOSITIVOS DE MÚLTIPLAS PORTAS

Em meados dos anos 1980, buscando-se uma solução para uma menor variação da tensão de limiar ao diminuir-se o comprimento de canal em dispositivos planares, ou seja, diminuir-se o efeito de canal curto, Sekigawa e Hayashi apresentaram uma estrutura com porta dupla. Com isto, dispositivos de múltiplas portas (MuGFETs) passaram a ser estudados, uma vez que a integridade eletrostática, ou seja, a penetração da linha de campo elétrico de dreno a fonte na região de canal é melhorada quanto mais portas possuir o dispositivo (COLINGE, 2008). Os MuGFETs, os quais podem ser classificados como apresentado na Figura 4 são uma das alternativas para o contínuo esforço da comunidade científica para aumentar a capacidade de corrente, bem como apresentar um melhor desempenho frente aos efeitos de canal curto.

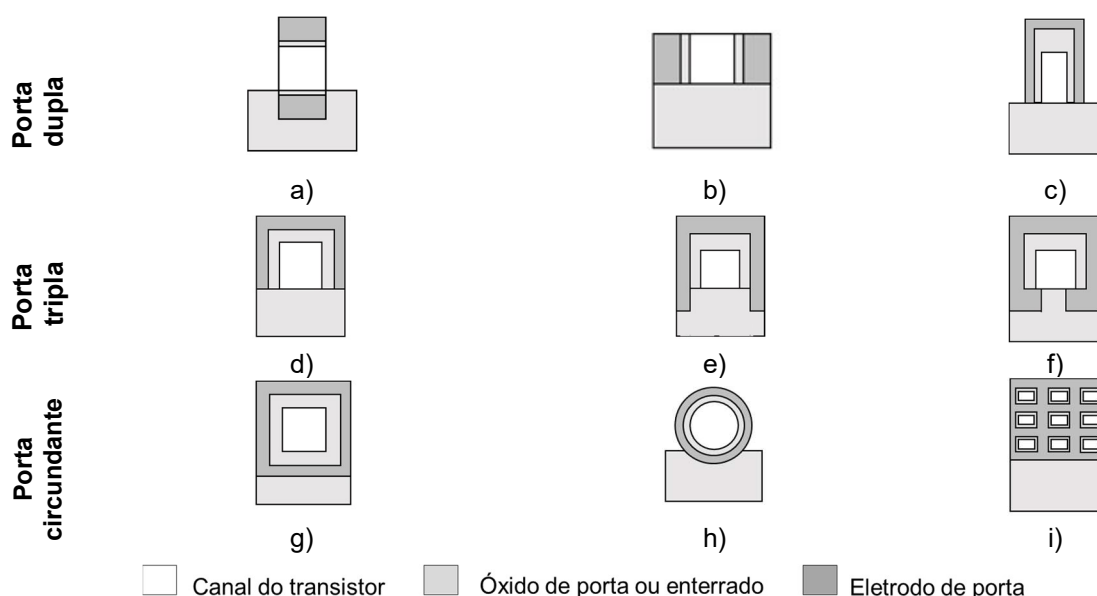


Figura 4 – Tipos de MuGFET: a) SON, b) FET de duas portas independentes, c) FinFET, d) FET de porta tripla, e) FET de porta π , f) FET de porta Ω , g) FET de porta quadrupla, h) FET cilíndrico, i) FET de nano fio empilhado.

Fonte: Adaptado de (COLINGE, 2008).

2.1.1 O FinFET de porta tripla

O transistor de porta tripla, comumente conhecido como transistor de porta tripla, ou *Fin Field Effect Transistor* (FinFET), também chamado de transistor 3D, é uma das tecnologias mais estudadas, o qual viabilizou a tecnologia dos dispositivos com dimensões abaixo de 22 nm. Para estrutura, as regiões de dreno, fonte e canal são estabelecidas no sentido vertical, formando deste modo uma aleta (*fin*), motivo pelo qual o transistor recebeu o nome de FinFET. Na Figura 05 são apresentadas as dimensões principais: o comprimento de canal (L); a largura da aleta do canal (W_{fin}) e altura de aleta (H_{fin}). Em seu início, a classificação de FinFET destinava-se apenas a transistores de porta dupla, os quais apresentam uma espessa camada de óxido na região superior da aleta (Figura 4c). Com isto, a influência da porta superior na região do canal era desprezível. Atualmente os transistores de porta tripla (Figura 5) já superaram e muito os de porta dupla no que diz respeito às características de desempenho (LANDGRAF, 2006).

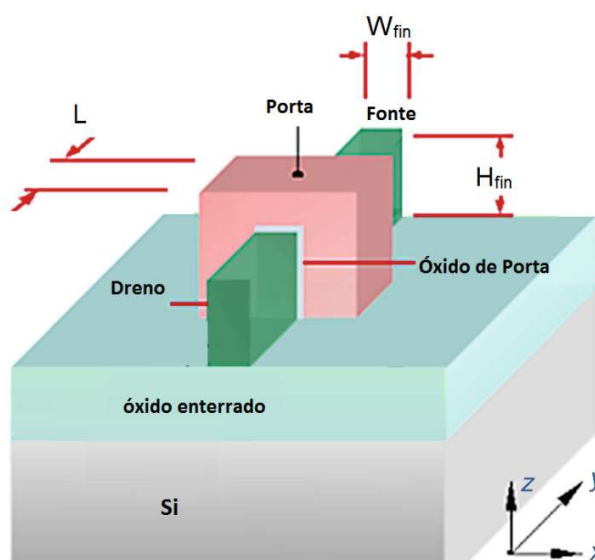


Figura 5 – Transistor de porta tripla sobre lâmina SOI

Fonte: Adaptado de (DANCAK, 2018).

2.1.2 A corrente de dreno

A corrente elétrica no dispositivo FinFET de porta tripla flui através do canal de inversão formado devido às três regiões de porta, duas laterais e uma superior. A largura efetiva do canal (W_{eff}) para esta estrutura é dada, aproximadamente, como:

$$W_{eff} \cong W_{fin} + 2H_{fin} \quad (1)$$

A capacidade de corrente elétrica de um FinFET otimizado (aleta estreita) é baixa comparada aos dispositivos planares. Entretanto, é necessário aplicar o recurso de múltiplas aletas idênticas em paralelo (COLINGE, 2008), as quais são espaçadas entre si, por um passo (P), a fim de evitar interferência no controle de porta, como mostrado na Figura 6.

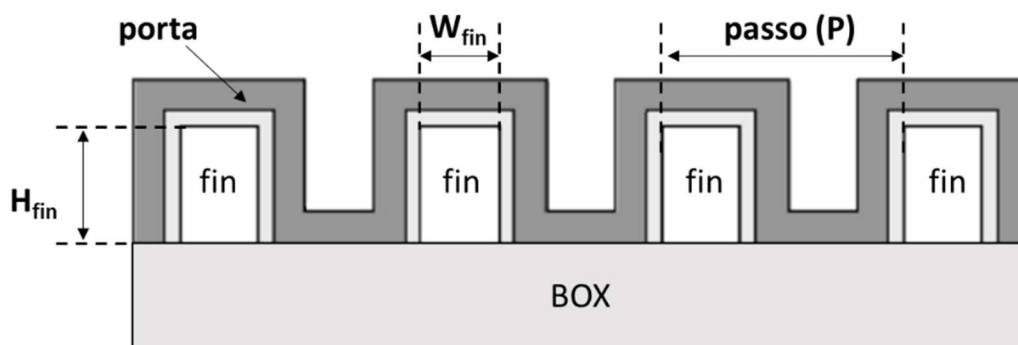


Figura 6 – FinFET com múltiplas aletas

Fonte: Adaptado de (COLINGE, 2008).

A corrente elétrica na estrutura FinFET é proporcional à mobilidade dos portadores na superfície do semiconductor, que nesta estrutura apresentam diferentes valores de mobilidade no topo e nas laterais da aleta. Essa diferença está relacionada com a orientação cristalográfica no plano de condução do material semiconductor utilizado na região do canal. Além disso, a mobilidade é mais degradada nas laterais da aleta devido à rugosidade da superfície lateral gerada pelo processo de fabricação (LANDGRAF, 2006).

A corrente de um FinFET de porta tripla comparada à corrente de um transistor MOS planar pode ser calculado conforme equação 2:

$$I_D(\text{FinFET}) = I_D(\text{planar}) \cdot \frac{\mu_{\text{topo}} W_{\text{fin}} + 2\mu_{\text{lateral}} H_{\text{fin}}}{\mu_{\text{topo}} P} \quad (2)$$

Sendo $I_D(\text{planar})$ a corrente de um transistor planar hipotético (sem efeito de canal curto) que ocupe a mesma área efetiva do FinFET, μ_{lateral} é a mobilidade de portadores na região lateral, μ_{topo} é a mobilidade no topo da aleta e P apresenta a medida da distância ou passo entre uma aleta e sua subjacente.

2.1.3. Os efeitos de canal curto (SCE)

Com foco à necessidade de reduzir o tamanho de equipamentos eletrônicos, todas as dimensões do dispositivo são reduzidas, incluindo o comprimento do canal.

Esta redução, aproxima a região de depleção de fonte e dreno. Assim a região de depleção cujas cargas eram controladas pela porta, começam a ser influenciadas pelas regiões de fonte e dreno.

Com o aumento da redução de L no canal, aumenta-se conseqüentemente a influência de fonte e dreno. Deste modo, quando os valores de cargas não controladas pela porta se tornam significativas, considera-se que o dispositivo está sob efeito de canal curto (Figuras 7a e 7b). Adiciona-se o fato que com este efeito, surgem efeitos secundários parasitários que afetam os parâmetros de tensão de limiar e a inclinação de sublimiar, resultando na degradação destes (MARTINO, PAVANELLO, VERDONCK, 2003).

Alternativamente, a tecnologia SOI (*Silicon on Insulator*) possui como proposta minimizar o SCE, pois a apresenta de um óxido enterrado abaixo da região de canal (Figuras 7c e 7d). Permitindo assim, atribuir menores dimensões entre os dispositivos sem a presença do efeito de canal curto (COLINGE, 2008).

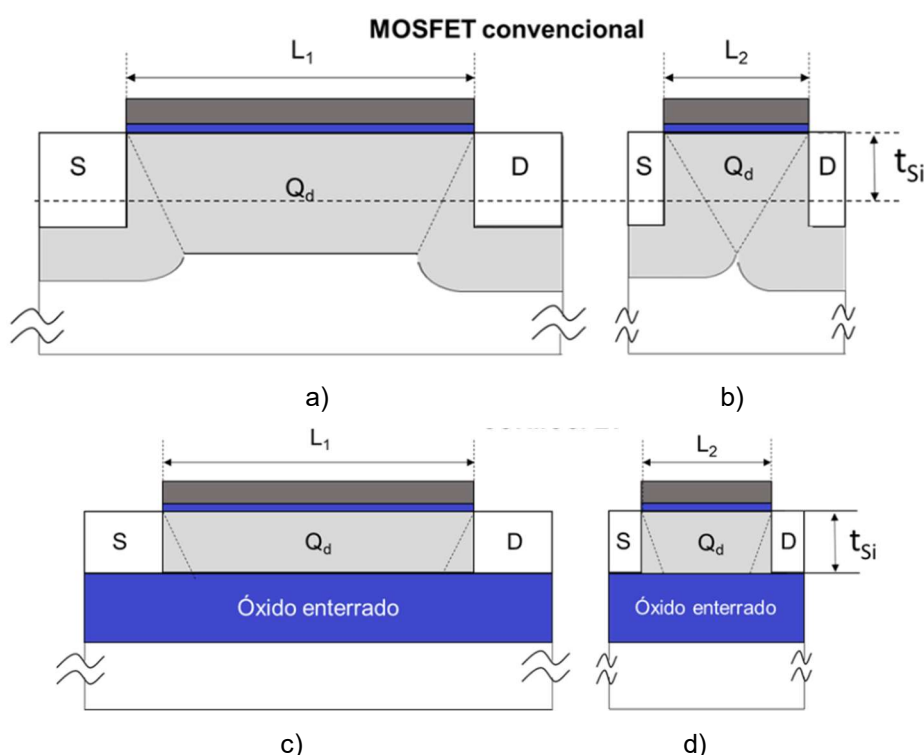


Figura 7 – Efeito de canal curto para as tecnologias MOSFET e SOI. a) MOSFET convencional para L grande. b) MOSFET convencional para canal curto. c) MOSFET convencional para L grande com óxido enterrado. d) MOSFET convencional para L curto com óxido enterrado.

Fonte: Adaptado de (OLIVEIRA, 2017).

2.1.4 Comparativo entre o FinFET SOI e o FinFET de corpo

Os FinFETs são basicamente categorizados em dois tipos: o FinFET de corpo (*bulk* FinFET) e o FinFET SOI. Considerando-se a quantidade de etapas no processo de fabricação de cada tipo, o FinFET de corpo apresenta mais etapas comparado ao SOI (COLINGE, 2008). Comparando-se ambas as estruturas, a diferença entre elas é que a tecnologia SOI apresenta uma camada isolante (óxido enterrado entre o canal) acima e o substrato o que apresenta várias vantagens de funcionamento para o dispositivo, incluindo a diminuição de consumo de energia (COLINGE, 2008).

Entretanto, quando se analisa o quesito de custo de fabricação em escala comercial, uma lâmina SOI apresenta um valor quatro vezes maior que uma lâmina de silício, motivo pelo qual no passado empresas continuaram a investir na tecnologia de FinFET de corpo ao invés da SOI em larga escala (SAREMI, A-KUSHA, MOHAMMADI, 2012).

Empregando-se a tecnologia SOI em circuitos digitais, como memórias e processadores, visualiza-se uma melhora de 15 a 20% quanto a frequência de operação. Ademais, nota-se a diminuição da presença de capacitâncias parasitárias entre fonte e frego, prevenindo que surja a presença de correntes de fuga. Em consequência, o valor de transcondutância é melhorado. A presença do óxido enterrado, também traz influência na redução do efeito de canal curto e melhoria na inclinação de sublimar do dispositivo (COLINGE, 2008). Entretanto, uma pequena desvantagem do SOI para o FinFET de corpo é que a presença desta camada, resulta no efeito de auto aquecimento (McDAID, 1989). Quanto as características construtivas, Figura 8 apresenta a diferença entre eles, na qual é possível verificar que para a tecnologia SOI FinFET (Figura 8^a), a aleta é construída acima do óxido, embora seja completamente separada do substrato. Enquanto o FinFET de corpo (Figura 8b), a aleta é conectada ao substrato.

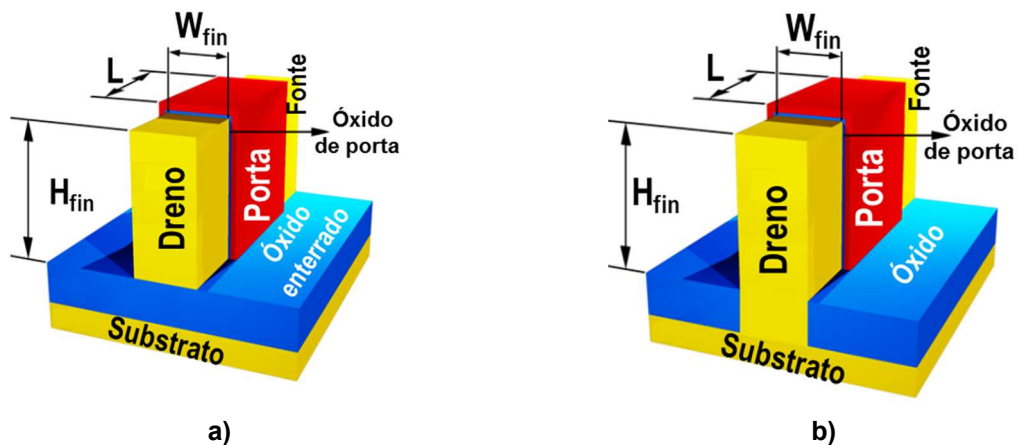


Figura 8 – Diferenças construtivas entre a) FinFET SOI e b) FinFET de Corpo

Fonte: Adaptado de (OLIVEIRA, 2017).

2.1.5 O plano de terra (*Ground Plane – GP*).

Entende-se como plano de terra, ou *ground plane – GP*, a região abaixo do canal, a qual possui maior dopagem. No FinFET de corpo, há uma concentração de dopantes acima do nível intrínseco ($1 \times 10^{15} \text{cm}^{-3}$). Graças à implantação do plano de terra, a corrente de fuga entre fonte e dreno diminui significativamente, uma vez que a camada de GP funciona como uma barreira de potencial elétrico (SAREMI, 2012). Adicionalmente, a presença do plano de terra, ajuda a evitar possíveis flutuações de dopantes ou RDF (*Random Dopant Fluctuations*) (TSCHANZ, 2002).

A influência da variação da concentração de dopantes do GP, assim como diferentes posições abaixo do canal do FinFET de corpo, são alvos de estudo no capítulo 04 deste trabalho. Onde por meio da análise, deseja-se verificar como esta camada no dispositivo, cujo substrato é de germânio, se comporta em relação aos seus parâmetros elétricos.

2.1.6 FinFET de germânio

O FinFET apresenta um maior controle eletrostático pelo terminal de porta sobre as cargas da região do canal, o que resulta em melhor controle do efeito de canal curto quando comparado a dispositivos planares (MITARD, 2014). A combinação do germânio, como uso de material de canal além de ser do tipo P (devido a maior mobilidade das lacunas), faz do FinFET de germânio uma opção de utilização para aplicações que requerem um maior rendimento e alto desempenho (CLAEYS, 2016).

Além do Ge, outros materiais das colunas III-V da tabela periódica, estão em contínuo estudo de viabilidade de fabricação em larga escala. Para este fim, deve-se considerar a possibilidade de integração em plataformas de silício (TAKAGI, TAKENAK, 2011). Entretanto, existem complicadores e desafios como a condição de defeitos estruturais, haja visto que a camada de Ge é crescida sobre um substrato de outro material; silício. Ou seja, possui estrutura distinta ao material da base do substrato. Sendo o principal desafio a ser superado no desenvolvimento da estrutura, é a alta densidade de defeitos, conhecidos como *misfit* e *threading dislocation* (TD), visto que a camada de material acrescida é distinta do substrato - silício - (PEOPLE, 1985). Assim, efeitos indesejados como ruídos de geração-recombinação (SIMOEN, 2011), corrente de fuga e degradação de mobilidade podem surgir (SCHROTER, CERVA, 2002).

Considerando-se a utilização de Ge em dispositivos do tipo P para uso futuro, algumas estratégias podem ser adotadas com o intuito de reduzir a densidade de defeitos (POIROUX, 2005), diminuindo a influência destes no interior do canal do dispositivo.

2.1.7 Processos de fabricação

O processo de fabricação do dispositivo em estudo, FinFET de germânio para este trabalho, foi o de isolamento por trincheira rasa (STI) definida posteriormente para canal não tensionado. Este processo baseia-se no crescimento de uma camada de Ge de forma epitaxial, sobre um substrato de Si. A densidade de defeitos nesta etapa é na ordem de 10^7 cm^{-2} (LOO, 2010). A Figura 9 é a representação básica do procedimento de fabricação em questão.

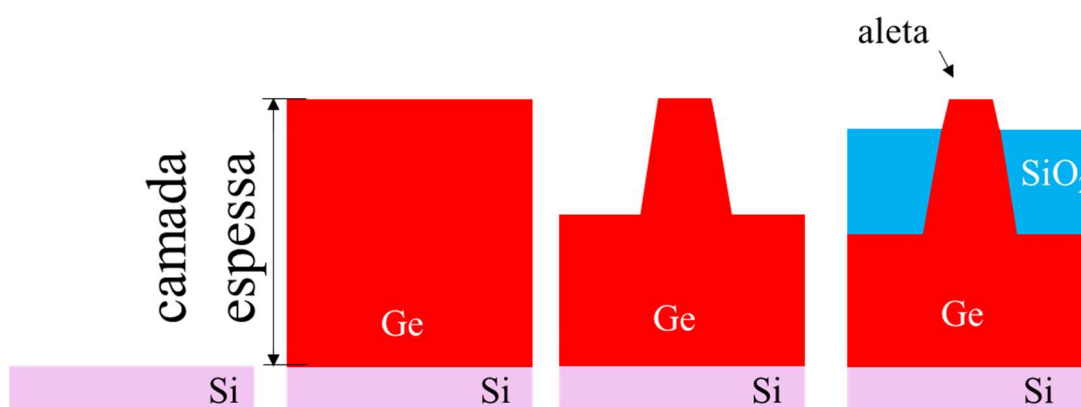


Figura 9 – Processo "STI depois" – canal de Ge não tensionado

Fonte: Adaptado de (OLIVEIRA, 2017).

Por ter sido crescido uma espessa camada (centenas de μm) de Ge sobre uma lâmina de Si, é esperado um relaxamento da rede cristalina do Ge resultando na inexistência de um tensionamento mecânico no canal do transistor. A Figura 10 mostra uma imagem de microscopia eletrônica de um dispositivo real do processo em questão, onde é possível ver o dispositivo em seu resultado (LOO, 2010).

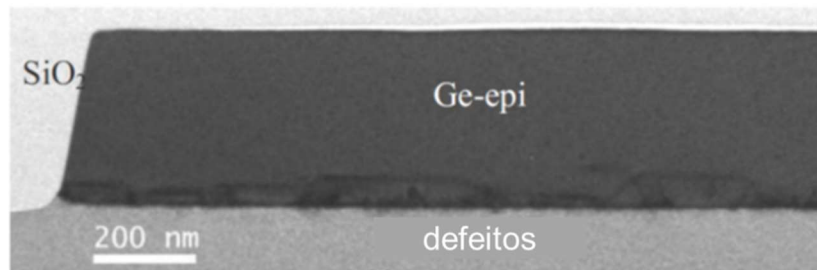


Figura 10 – Imagem Microscopia eletrônica da secção transversal de um FinFET de Ge STI depois sem tensionamento no canal.

Fonte: Adaptado de (LOO, 2010).

2.2 PARÂMETROS ELÉTRICOS BÁSICOS

Nesta seção, os principais parâmetros elétricos aqui estudados e suas características são abordados.

2.2.1 A tensão de limiar

A tensão de limiar (V_T) representa o valor necessário de tensão aplicada entre os terminais de porta e de dreno capaz de inverter as cargas na região de canal. A partir disto, há passagem de corrente elétrica entre fonte e dreno, caso haja campo elétrico lateral suficiente.

Para transistores nMOSFETs planares, a tensão de limiar pode ser calculada por (MARTINO, PAVANELLO, VERDONCK, 2003):

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A X_{dm\acute{a}x}}{C_{ox}}, \quad (3)$$

sendo, V_{FB} a tensão de faixa plana, ϕ_F o potencial de Fermi do substrato, q a carga elementar do elétron, N_A a concentração de dopantes aceitadores (para transistores de canal do tipo p é utilizado N_D , que é a concentração de dopantes doadores), $X_{dm\acute{a}x}$

a largura máxima da região de depleção, C_{ox} a capacitância do óxido de porta por unidade de área.

A tensão de faixa plana V_{FB} , pode ser definida por meio de:

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (4)$$

sendo, ϕ_{MS} a diferença da função trabalho entre metal e semiconductor e Q_{ox} a densidade de cargas fixas no óxido.

A densidade de carga de depleção no canal ($Q_{depl, MOS}$) mostrada em:

$$Q_{depl, MOS} = -qN_A X_{dmax,,} \quad (5)$$

ao mesmo ponto onde C_{ox} é a capacitância do óxido de porta por unidade de área, como:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (6)$$

Em dispositivos FinFETs de porta dupla, a tensão de limiar (V_T) é calculada como:

$$V_{T_FinFET} = \Phi_{MS} + \frac{kT}{q} \ln \left(\frac{2C_{ox} kT}{q^2 n_i W_{fin}} \right) + \frac{\pi^2 \hbar^2}{2q m_r W_{fin}^2} \quad (7)$$

onde Φ_{MS} representa a função trabalho entre o metal da porta e semiconductor; T é a temperatura em Kelvin; k considera-se como sendo a constante de Boltzman; C_{ox} a capacitância de porta e n_i a concentração intrínseca de portadores. A constante de Planck como \hbar e m_r a massa reduzida de lacunas e elétrons.

Entretanto, para dispositivos cuja largura de aleta (W_{fin}) seja superior ao valor de 10 nm, o último termo da Eq. (7), que representa o efeito quântico, é desprezível (COLINGE, 2008). Isto é apresentado como visto na Figura 11.

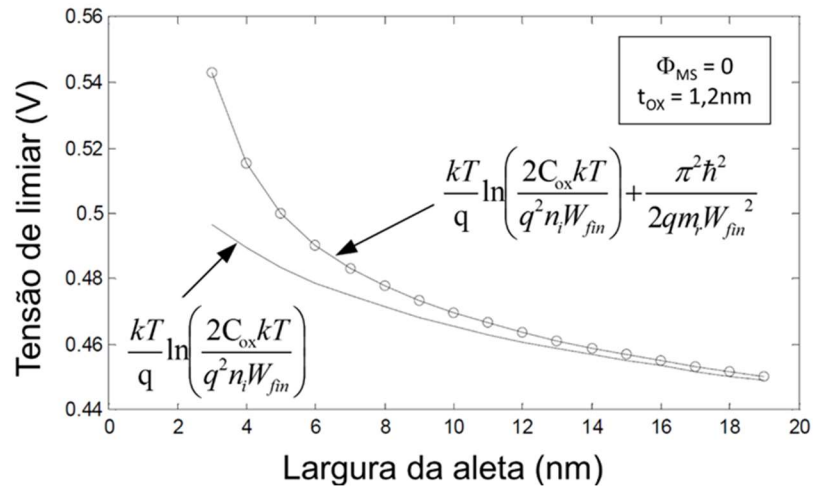


Figura 11– Dependência da Espessura da camada de silício sobre a tensão de limiar de um dispositivo de porta dupla

Fonte: Adaptado de (COLINGE, 2008).

A função trabalho do metal possui o papel de ajuste, visto que a concentração de dopantes somado à largura da aleta fina, implica em valores de carga de depleção desconsideráveis (COLINGE, 2008).

2.2.2 Transcondutância

A transcondutância (gm) é um fator que mede a eficácia do controle da corrente que passa pelo canal entre o dreno e a fonte (I_D) pela tensão aplicada na porta (V_{GS}), podendo ser obtida pela seguinte equação:

$$gm = \frac{dI_D}{dV_G} \quad (8)$$

A transcondutância depende da tensão V_{DS} , quando $V_{DS} > V_{GS} - V_T$, o transistor está na região de saturação, neste caso a transcondutância é dada por:

$$gm_{sat} = \frac{\mu_{ef} C_{ox} W}{nL} (V_{GS} - V_T) \quad (9)$$

onde C_{ox} representa a capacitância do óxido de porta, μ_{ef} a mobilidade efetiva. Por outro lado, quando $V_{DS} < V_{GS} - V_T$, o transistor está na região de triodo e a transcondutância é dada por:

$$g_{m_{\text{triodo}}} = \frac{\mu_{ef} C_{ox} W}{nL} V_{DS} \quad (10)$$

Em ambos os casos, Eqs. (9) e (10), despreza-se o efeito de modulação de canal pela tensão de dreno. Sendo μ_{ef} a mobilidade efetiva do canal e $n=1+\alpha$, a passo que $\alpha = C_b/C_{ox1}$ e C_b a capacitância entre o canal de inversão e o substrato aterrado. É possível destacar os seguintes valores possíveis (COLINGE, 2008):

$$C_b = C_D = \frac{\epsilon_{SI}}{x_{d\text{máx}}}, \quad (11)$$

para dispositivos convencionais ou SOI parcialmente depletado, sendo C_D a capacitância da camada de depleção.

$$C_b = C_{SI}, \quad (12)$$

para um transistor totalmente depletado e com a 2ª interface acumulada.

$$C_b = \frac{C_{SI} C_{ox2}}{C_{SI} + C_{ox2}}, \quad (13)$$

para um dispositivo totalmente depletado com a 2ª interface depletada.

Através da Figura 12, verifica-se a dependência do parâmetro de g_m em relação a tensão de porta (V_G) e a tensão aplicada no substrato:

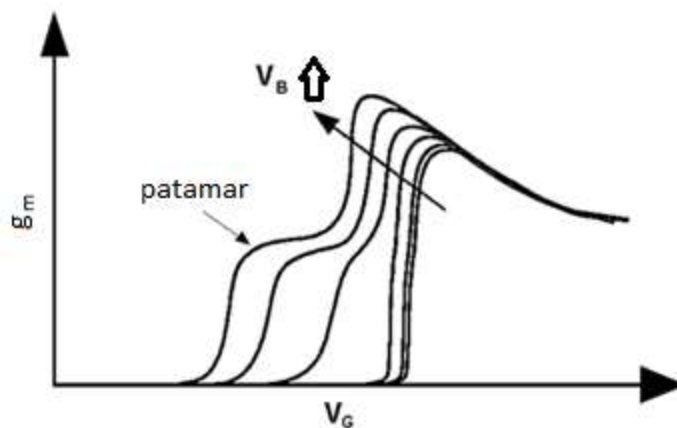


Figura 12– Transcondutância em função da tensão aplicada ao terminal de porta

Fonte: Adaptado de (COLINGE, 2008).

Verifica-se em transistores totalmente depletados que há formação de um patamar na região de inversão fraca para moderada, em alguns casos, até o segundo pico na curva de transcondutância em função da tensão de porta. Este comportamento é atribuído à interação das camadas de depleção das duas interfaces.

2.2.3 Inclinação de sublimiar

A inclinação de sublimiar (SS) é um parâmetro que relaciona a variação na tensão de porta necessária para aumentar em uma década a corrente de dreno, na região de sublimiar, ou seja, próximo, porém, abaixo do valor de tensão de limiar. Este parâmetro é um fator que mede a eficácia do controle da corrente que passa pelo canal entre o dreno e a fonte (I_{DS}) pela tensão aplicada na porta (V_{GS}). Se desconsiderado as armadilhas de interface, é possível expressar SS por:

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} = \frac{kT}{q} \ln(10) n \quad (14)$$

sendo, k a constante de Boltzmann, T a temperatura em Kelvin e n o fator de corpo, sendo este um parâmetro que indica o controle do eletrodo de porta sobre o potencial de superfície de primeira interface, quanto menor esse parâmetro, menor será o valor da inclinação de sublimiar.

2.2.4 Mobilidade de portador

Sendo um dos parâmetros mais importantes, descreve-se a mobilidade de portadores como sendo a facilidade de deslocamento dentro de um material ou dispositivo, além da transcondutância, é um parâmetro que descreve o nível de resposta em circuitos lógicos (KLAASSEN, 1992). Inúmeros mecanismos influenciam a mobilidade, tais como: temperatura, tipo de dopante, intensidade do campo elétrico, velocidade de saturação, além do tipo de semiconductor.

Este parâmetro está diretamente relacionado à capacidade de o dispositivo fornecer energia, ou seja, quanto menor a resistência do material, menores serão as perdas, maior será a mobilidade dos portadores. Devido as colisões entre rede cristalina e portadores causadas pelo mecanismo de espalhamento, temos as seguintes classificações: (GUTIERREZ, 1991):

- a) Espalhamento por fônons ou espalhamento de rede, este mecanismo está diretamente relacionado no que diz respeito à interação entre portadores e a vibração da rede cristalina (fônons). O parâmetro de temperatura

influencia diretamente este parâmetro, ao passo que com a diminuição da temperatura, há a redução das vibrações;

- b) Espalhamento por impurezas ionizadas, este mecanismo considera a redução da mobilidade dos portadores por razão à alta concentração de dopantes presentes na rede cristalina do material;
- c) Espalhamento portador–portador: este mecanismo leva em consideração a mobilidade em altas densidades de portadores, quando a quantidade de portadores supera a de dopantes ou em dispositivos submicrométricos, que apresentam altas densidades de corrente (SELBERHERR, 1989); e
- d) Espalhamento por impurezas neutras, este mecanismo está relacionado às impurezas não ionizadas em baixas temperaturas e tem influência apenas sobre a mobilidade para concentrações de impurezas neutras acima de 10^{18} cm^{-3} (DORKEL, 1981).

A mobilidade dos portadores pode ser descrita através de um modelo unificador para baixos campos elétricos, do qual foi proposto por (KLAASSEN, 1992) e considera os mecanismos de espalhamento, influência de temperatura e concentração de dopantes, combinando–se através da regra de Mathiessen, a mobilidade de baixo campo apresenta–se por:

$$\mu_0 = \frac{1}{\frac{1}{\mu_{i,L}} + \frac{1}{\mu_{i,DAeh}}} \quad (15)$$

onde, $\mu_{i,L}$ representa os mecanismos de espalhamento de rede e , $\mu_{i,DAeh}$, um modelo unificado para os mecanismos de impurezas ionizadas e de espalhamento portador–portador.

3 MATERIAIS E MÉTODOS

Neste capítulo são abordadas as características físicas dos dispositivos estudados; FinFETs de germânio, além do modo como os dispositivos foram caracterizados para análise de curvas de corrente–tensão (I–V).

3.1 DISPOSITIVOS ESTUDADOS

Os FinFETs de germânio foram fabricados no Imec/Bélgica sobre lâminas de silício de 300 mm, da qual utilizou–se para caracterização a do processo AL140199 (isolação por trincheira rasa definida depois); lâmina D02. A Tabela 1 apresenta a característica do FinFET produzido e objeto de caracterização deste estudo.

Tabela 1 – Característica do FinFET de Ge. STI depois, canal não tensionado

Parâmetro	valor
t_{ox} (nm)	1 nm de SiO ₂ + 1,8 nm de HfO ₂
Metal de Porta (nm)	5 (composição TiN)
W_{fin} (nm)	20;30;50 e 100
L (nm)	130;250;1.000 e 10.000
H_{ain} (nm)	30
Aletas em paralelo	4
Concentração de dopante da região de canal (cm ⁻³)	1×10^{15} (dopante: fósforo)
Concentração de dopante do substrato (cm ⁻³)	5×10^{18} (dopante: fósforo)

Fonte: O autor.

3.1.1 Caracterização elétrica

Para realização das medidas experimentais e a exportação dos dados experimentais, utilizou–se o equipamento Agilent® B1500, o qual está presente na sala de caracterização do Laboratório de Sistemas Integráveis (LSI) na Escola Politécnica da Universidade de São Paulo.

O procedimento de medida é iniciado pelo posicionamento da lâmina sobre o *chuck* (porta–amostra), do qual dispense de uma gaiola de Faraday, a fim de evitar

intervenções eletrostáticas e eletromagnéticas. Adicionalmente para que a lâmina permaneça estática durante o processo de medida, o sistema conta com ação de vácuo sobre a lâmina.

Para que o B1500 consiga realizar as medidas, três pontas de prova são necessárias para aplicação de tensão nos terminais do dispositivo, a saber, porta, dreno e fonte. O suporte da amostra possui o papel de aterramento do sistema de medida conectado ao terminal de substrato do transistor

Finalmente, um microscópio é utilizado para que seja possível verificar, analisar e escolher o dispositivo a ser medido. A Figura 13 apresenta a estrutura de medida.

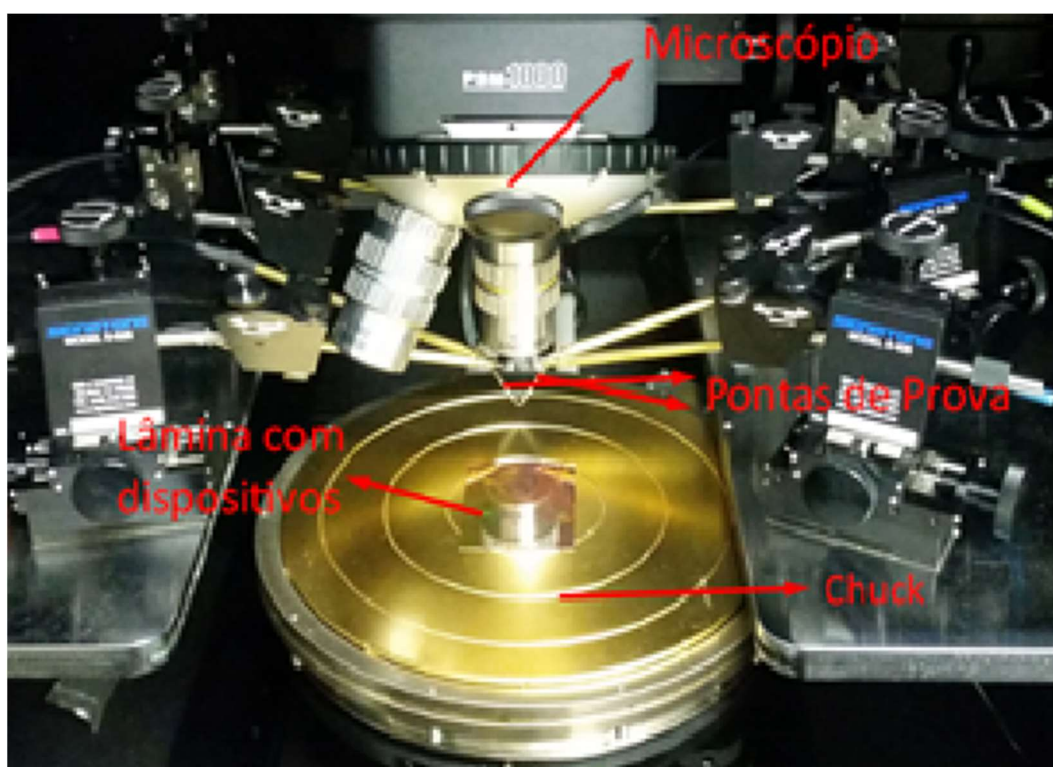


Figura 13 – Estrutura utilizada para a realização das medidas elétricas

Fonte: O autor.

Para obter as curvas características de corrente–tensão ($I-V$) dos dispositivos de canal tipo p, um medidor de alta frequência, modelo Agilent E4980, foi utilizado adotando–se uma frequência de 1MHz. Em relação as medidas DC (*Direct Current*), estas foram obtidas através do regime de acumulação para inversão, cuja faixa de medida dimensional do dispositivo foi com o W_{fin} de 20 nm a 100 nm, e comprimento (L) variando de 230 a 10.030nm, com passo de tensão aplicada à porta de 10mV, para valores fixos de V_{DS} de – 50mV.

3.2 EXTRAÇÃO DE PARÂMETROS

Após as etapas de apresentação de parâmetros elétricos estudados e de posse dos resultados de medidas elétricas realizadas em laboratório, executa-se os procedimentos de extração de parâmetros elétricos. Para o tratamento de dados e a comparação dos resultados das extrações, dos seguintes parâmetros elétricos: tensão de limiar, transcondutância máxima, inclinação de sublimiar e mobilidade de portador, utilizou-se o *software* gráfico dedicado para análise dados, o *software* OriginLab®.

3.2.1 Tensão de limiar (V_T)

O método utilizado para extração da tensão de limiar foi o da segunda derivada da corrente de dreno (I_D) pela tensão de porta (V_G) (LOMBARDI, 1988). Na Figura 14 consta um exemplo de extração de V_T realizada para um FinFET de germânio, para o qual o valor de V_T (V) é extraído pelo pico da curva d^2I_D/dV_G^2 rebatendo este valor ao eixo de V_G .

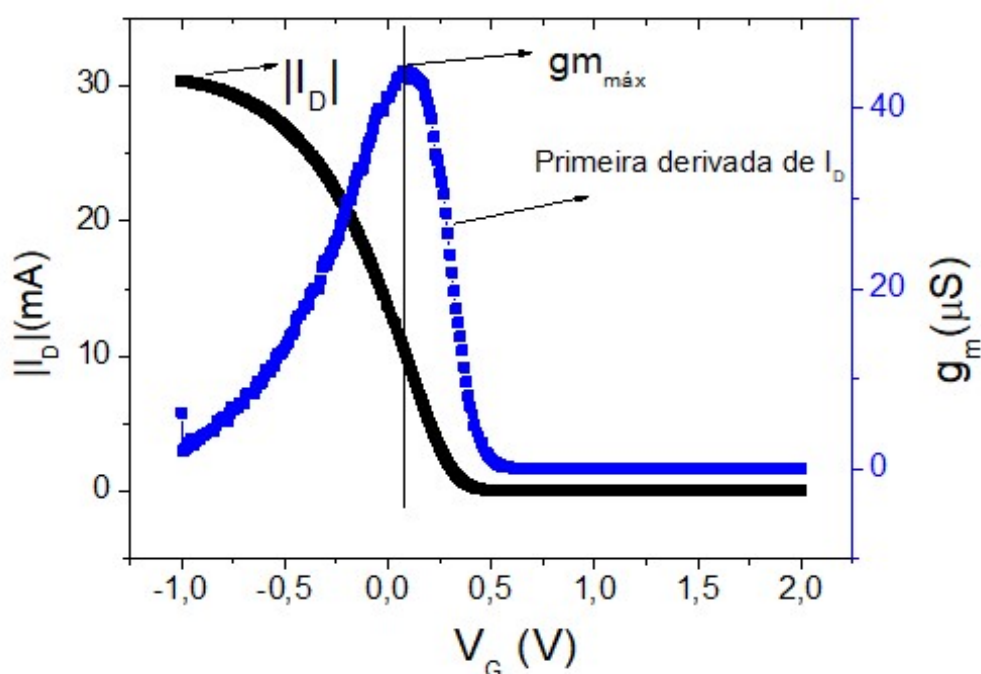


Figura 14 – Exemplo de extração de V_T realizada para um dispositivo FinFET de germânio com a característica de $W_{fin} = 100\text{nm}$ e $L = 530\text{nm}$

Fonte: O autor.

3.2.2 Transcondutância máxima

O processo utilizado para extração da transcondutância máxima ($g_{m_{\text{máx}}}$) em conformidade com a Eq. (8) já apresentada, deu-se através da 1ª derivada da curva de corrente de dreno, dada em função da variação da tensão aplicação na porta do dispositivo em baixo campo elétrico. Posteriormente, deve-se localizar o ponto de valor máximo conforme Figura 15.

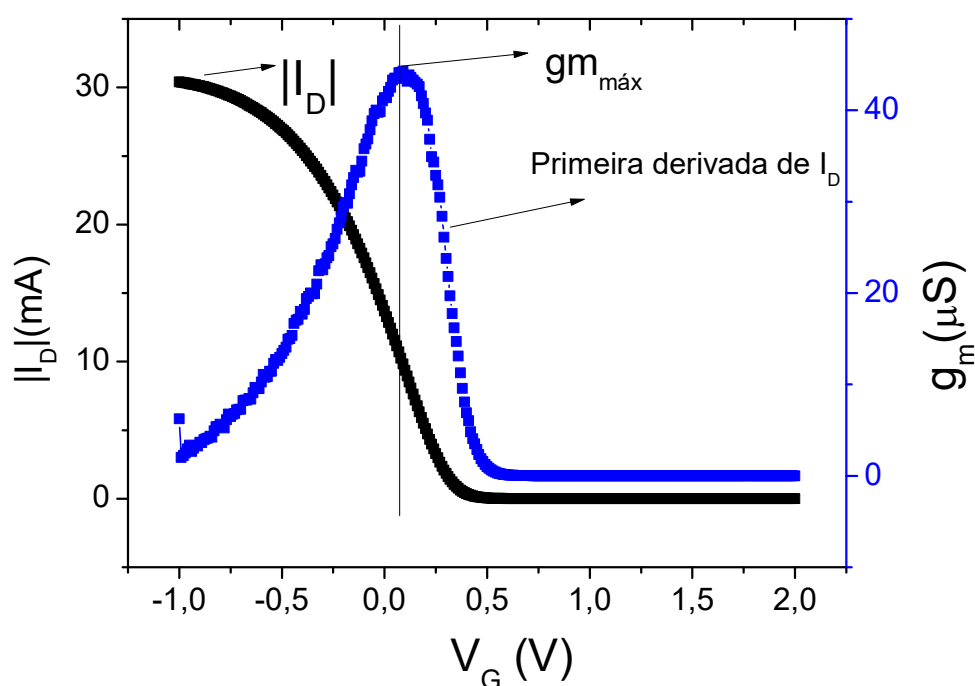


Figura 15 – Exemplo de extração de g_m , realizada para um dispositivo FinFET de germânio com a característica de $W_{\text{fin}}=100\text{nm}$ e $L_G=530\text{nm}$

Fonte: O autor.

3.2.3 Inclinação de sublimiar

O método para obtenção da inclinação de sublimiar (SS) foi pelo patamar é estabelecido pela Eq. (11), e exemplificado pela Figura 16. O patamar mínimo obtido na região de sublimiar, ou seja, para tensão aplicada ao terminal de porta abaixo do valor de tensão de limiar do dispositivo, corresponde ao valor da inclinação de sublimiar.

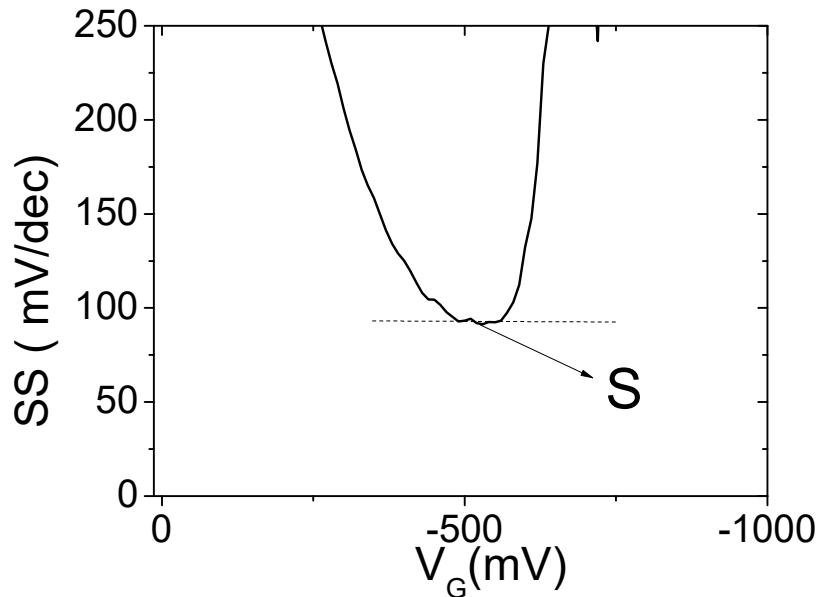


Figura 16 – Exemplo de extração de SS realizada para um dispositivo FinFET de germânio com parâmetro de $W_{fin}=50\text{nm}$ e $L_G=10.030\text{nm}$

Fonte: O autor.

O SS é um dos parâmetros elétricos experimentais inicialmente investigados. Assim, por meio do valor de SS extraído pela Figura 16, é possível fazer uma análise de variação de SS (ΔSS), calculada por:

$$\Delta SS = SS_A - SS_{60} \quad (16)$$

onde SS_A representa o valor de SS do W_{fin} correspondente em análise em e SS_{60} é o parâmetro de valor teórico comparativo a uma temperatura ambiente de 300 K. Neste caso, 60 mV/década.

3.2.4 Mobilidade de portador

Existe diferentes métodos de extração do parâmetro de mobilidade, dos quais destacam-se: Split C-V, Mc Larty e $g_{m\text{máx}}$. Neste trabalho, o método utilizado foi o *Y-function* desenvolvido por (CANALI, 1975). No referido método, elimina-se a influência do coeficiente de degradação de mobilidade estabelecendo por meio da relação entre as Eqs. (8) e (11), calculado por:

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{ox} \cdot \mu \cdot V_{DS} (V_{GF} - V_{th})} \quad (17)$$

Por meio da Eq. 17, é representada a curva de Y em função da tensão de porta (V_G), como resultado tem-se a curva conforme ilustrado na Figura 17.

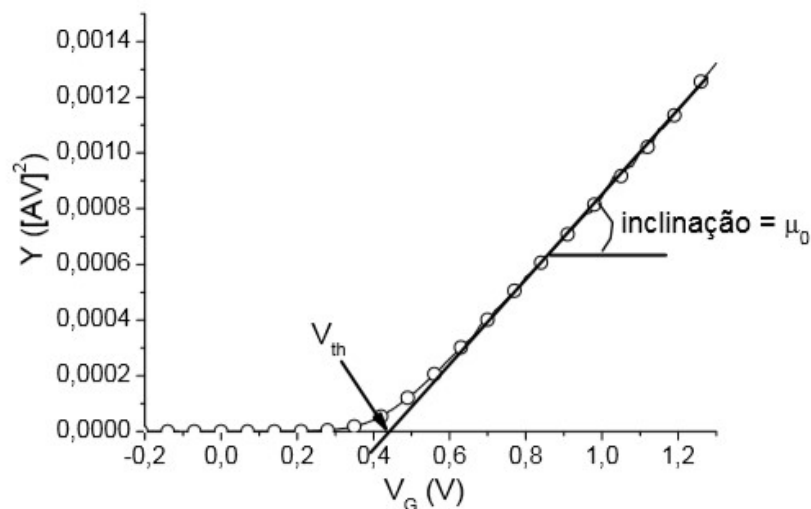


Figura 17 – Exemplo de função de reta para extração de mobilidade

Fonte: Santos (2010).

Como resultado, a mobilidade é adquirida por meio da inclinação da curva sendo:

$$\mu = \frac{\text{inclinação}^2 L}{W \cdot C_{ox} \cdot V_{DS}} \quad (18)$$

Onde L representa o comprimento do canal e W a largura do canal.

3.5 SIMULAÇÃO NUMÉRIA DE DISPOSITIVOS

O uso de *software* dedicado à simulação mostrou-se uma alternativa para aprofundar o entendimento do funcionamento de transistor, haja vista a possibilidade de simulação de processos de fabricação e operação dos dispositivos. Para tal, foi utilizada ferramenta (*Technology Computer-Aided Design* – TCAD): *software* Sentaurus® que é desenvolvido pela empresa Synopsys®.

3.5.1 Modelos físicos considerados no simulador

O Sentaurus® dispõe de modelos pré-definidos em sua estrutura. Os modelos utilizados neste trabalho podem ser vistos na Tabela 2.

Tabela 2 – Parâmetros ajustados no simulador

Modelos	Descrição
<i>PhuMob</i>	Modelo de mobilidade unificado da Philips
<i>Enormal</i>	Modelo de mobilidade, o qual calcula o campo perpendicular à interface (Si / Isolante)
<i>HighFieldSaturation</i>	Modelo que degrada a mobilidade com a aplicação de altos campos
<i>Recombination(SRH(DopingDep))</i>	Modelo de Shockley–Read–Hall de recombinação dependendo da dopagem

Fonte: Adaptado de Synopsys (2013).

Assim, os modelos apresentados na Tabela são detalhados conforme seguem:

- a) *Phumob* – Modelo de mobilidade, baseado no modelo proposto por (KLAASSEN, 1992), que descreve sua degradação devido ao espalhamento de impurezas e aos mecanismos de espalhamento elétron–lacuna. Esse modelo também leva em consideração a dependência da mobilidade com a temperatura;
- b) *Enormal* – Modelo de mobilidade, baseado no modelo proposto por (LOMBARDI, 1988) que considera a degradação nas interfaces causada pelo alto campo elétrico transversal, onde os portadores são submetidos à dispersão por fônons de superfície acústica e rugosidades da superfície;
- c) *High–field Saturation* – Modelo que considera a velocidade de saturação dos portadores devido ao elevado campo elétrico, baseado no modelo proposto por (CANALI, 1975); e
- d) *Recombination (SRH(DopingDep))* – A recombinação Shockley–Read–Hall, também chamada de recombinação assistida por armadilhas, o elétron em transição entre as bandas passa por um novo estado de energia (estado localizado) criado dentro do intervalo da banda por uma impureza na rede; tais estados de energia são chamados de armadilhas de nível profundo. O estado localizado pode absorver diferenças no momento entre os portadores,

e assim este processo é o processo dominante de geração e recombinação em silício e outros materiais de *bandgap* indiretos. Ele também pode dominar em materiais de *bandgap* diretos sob condições de densidades de portador muito baixas (injeção de nível muito baixo) (SAREMI, 2012).

3.5.2 Ajustes realizado no simulador para o pFinFET de canal de Ge

O dispositivo virtual é criado seguindo a geometria do dispositivo real caracterizado com W_{fin} variando de 20 nm a 100 nm, altura de aleta (H_{fin}) de 30nm e comprimento de canal de (L) de 1 μm e demais características apresentadas na Tabela 2.

A Figura 18 apresenta o dispositivo criado no Sentaurus® com suas características dimensionais em 3D, bem como a seção transversal do dispositivo. Adicionalmente, inseriu-se nesta estrutura o plano de terra (*Ground Plane – GP*) com perfil gaussiano, variando-se os valores de concentração de dopantes e profundidade de GP de 0 nm a 40 nm, tomando-se como referência a base da aleta da região de canal do dispositivo.

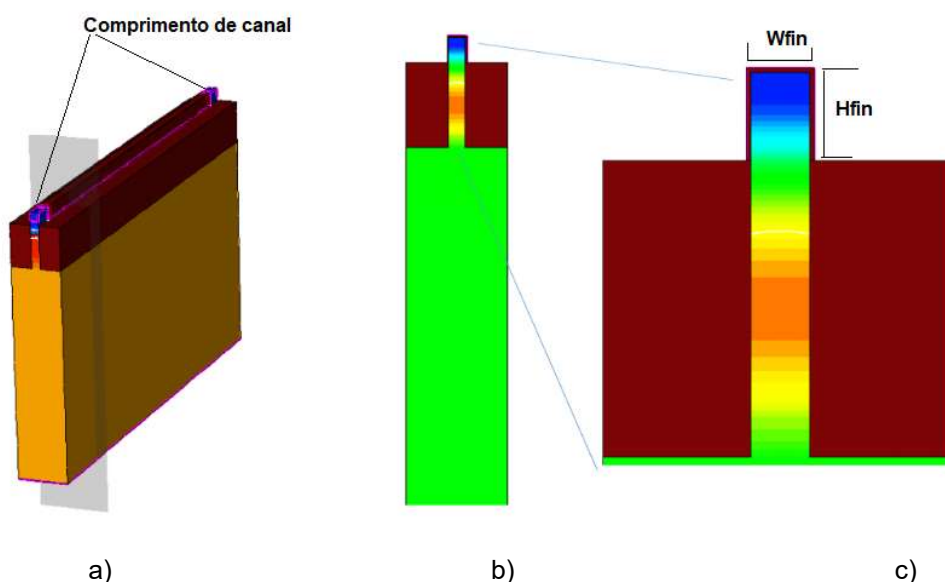


Figura 18 – Dispositivo FinFET de germânio de canal do tipo p: a) perfil em 3D b) seção transversal em corte do dispositivo e c) detalhes das medidas de W_{fin} e H_{fin} do dispositivo

Fonte: O autor.

Para as simulações, os seguintes parâmetros foram adotados:

- a) no substrato foi utilizado como elemento dopante o de fósforo, cuja concentração foi de $1 \times 10^{17} \text{cm}^{-3}$;
- b) para a região de plano de terra, utilizou-se um perfil gaussiano com faixa de dopagem de $1 \times 10^{17} \text{cm}^{-3}$ a $1 \times 10^{19} \text{cm}^{-3}$ e profundidade de 0 a 40nm
- c) na região do canal de Ge, a concentração de dopantes adotada foi a equivalente à natural da lâmina de $1 \times 10^{15} \text{cm}^{-3}$;
- d) Nas regiões de fonte e de dreno, utilizou-se como elemento dopante o boro, com concentração de $1 \times 10^{20} \text{cm}^{-3}$;
- e) No óxido de porta (SiO_2) de 1,5 nm e função de trabalho do metal de 4,5 eV.

4 ANÁLISE E DISCUSSÃO DE RESULTADOS

Neste capítulo são apresentados os resultados a partir de medidas experimentais e simulações numéricas.

4.1 PARÂMETROS BÁSICOS DO FINFET DE GERMÂNIO

A Figura 19 representa a curva característica de transferência do FinFET de Ge de canal do tipo p, mostrando as curvas experimentais de corrente de dreno (I_D), de porta (I_G) e de substrato (I_B) em função da tensão aplicada ao terminal de porta (V_G), para dispositivos estreitos ($W_{fin} = 20$ nm) e V_{DS} para -50 mV. Destaca-se que a corrente de substrato (I_B) é três ordens de magnitude maior que o nível I_G , quando o transistor opera na condição de inversão forte, ou seja, para V_G abaixo do que $0,5$ V. Além disso, observa-se que a corrente de substrato domina a corrente de estado desligado (I_{OFF}), devido a uma alta densidade de defeito do substrato do Ge, resultado do crescimento epitaxial de uma camada de Ge sobre a lâmina de Si (CHIARELLA, 2010), como apresentado na subseção de processo de fabricação 2.1.7.

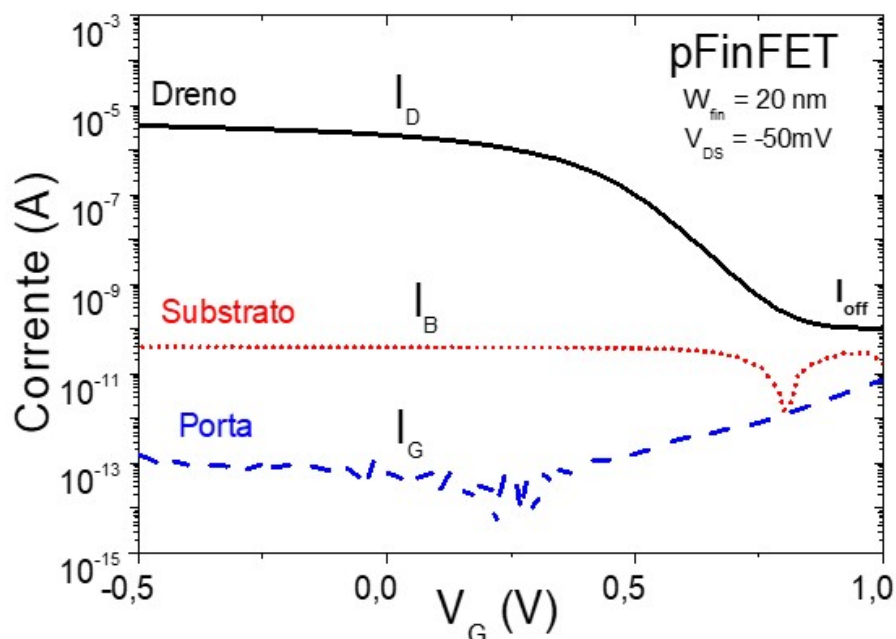


Figura 19– Corrente de Dreno, Substrato e Porta em função da tensão aplicada na porta, referente ao resultado experimental

Fonte: O autor.

A partir das curvas de transferências ($I-V$) de dispositivos de diferentes larguras de aletas (W_{fin}), é possível avaliar a dependência da geometria nos principais parâmetros elétricos do dispositivo, tais como: tensão de limiar (V_T), transcondutância (g_m), inclinação de sublimiar (SS) e mobilidade de portador de baixo campo elétrico (μ_0), a fim de observar as principais características da tecnologia de dispositivos FinFET de canal de Ge.

Neste contexto, a Figura 20 apresenta o resultado experimental de V_T em função da largura da aleta para o comprimento de canal longo, ou seja, $1 \mu\text{m}$, a fim de reduzir a influência do efeito de canal curto, como abordado na subseção 2.1.3 Observa-se que à medida que a largura da aleta diminui, o valor de V_T é levemente deslocado para valores positivos e atinge uma variação de V_T , entre o dispositivo mais estreito para o mais largo, em torno de 200 mV . Para $\Phi_{MS} = 0$, verifica-se através da Eq. (7), que V_T é inversamente proporcional ao aumento de W_{fin} . O valor da variação de V_T encontrado pode ser consequência de alguma etapa do processo de formação da aleta, no qual resulta em uma diferença do posicionamento do plano de terra em relação ao canal ou cargas fixas a estrutura de porta. Verifica-se que em relação à Eq. (7) e Figura 20, a tendência da curva está em conformidade com o apresentado teórico.

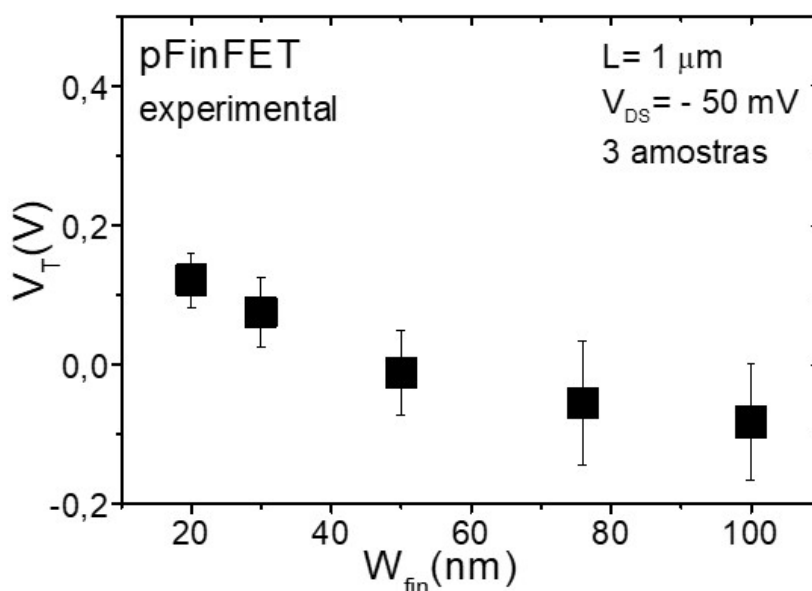


Figura 20 – Tensão de limiar em função da largura de aleta, referente ao resultado experimental

Fonte: O autor.

A Figura 21 representa V_T em função de L para valores de W_{fin} entre 20 nm e 100 nm , na qual é possível verificar o aumento de V_T com a diminuição do comprimento de canal, resultante da menor dispersão de cargas ao longo do canal.

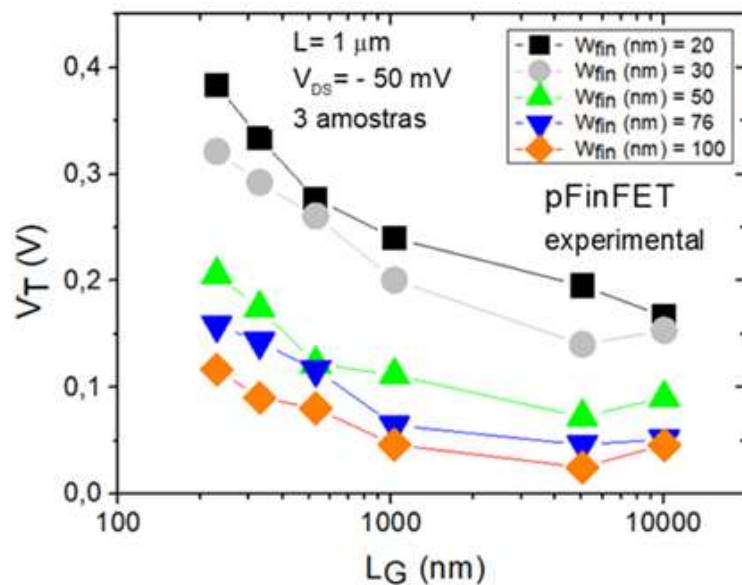


Figura 21 – V_T experimental em função do comprimento para W_{fins} de 20, 30, 50, 76 e 100nm.

Fonte: O autor.

Ao analisar outro parâmetro elétrica, a Figura 22 representa os dados experimentais da transcondutância normalizada experimental em função da largura de aleta para o mesmo valor de comprimento de $1 \mu\text{m}$. É possível verificar (desconsiderando o valor experimental de W_{fin} de 100 nm) uma pequena dependência de g_m em função da diminuição da largura de aleta. Uma possibilidade seria devido a uma maior mobilidade no canal, haja visto que com valores menores de W , o controle eletrostático do dispositivo é maior (SCHROTER, 2002).

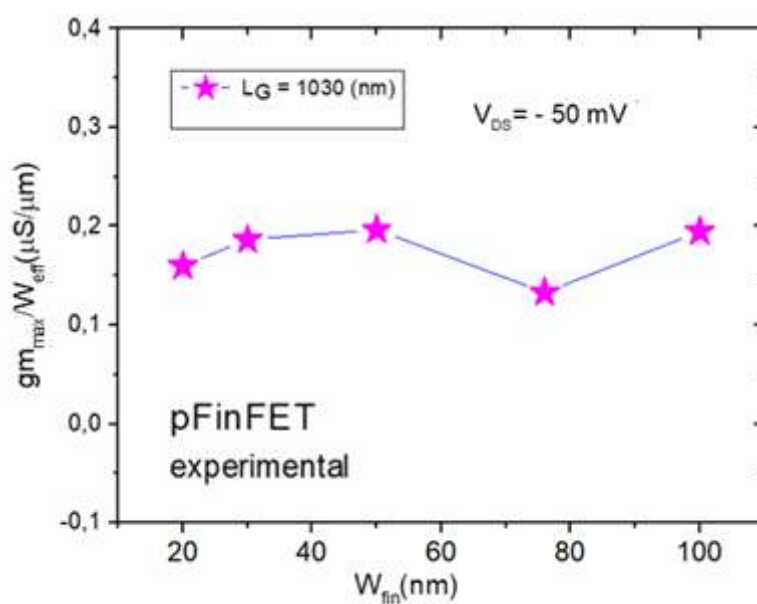


Figura 22 – Transcondutância normalizado em função da largura de aleta

Fonte: O autor.

A Figura 23 apresenta o comportamento experimental da inclinação de sublimiar em função da variação de W_{fin} para diferentes valores de comprimento de canal (L). O objetivo de análise é verificar se com a diminuição do canal, apresentaria degradação da inclinação de sublimiar em função da diminuição do comprimento do canal. Como apresentado na seção 2.1.3, com a redução do valor de L , efeitos parasitários podem surgir, influenciando a característica de SS do dispositivo, sendo este mais uma hipótese somada ao fato doo comportamento observado por meio da Figura 19 no qual V_T apresenta valores maiores para W_{fin} menores. Adicionalmente, para dispositivos estreitos, SS apresenta-se maior comparado aos demais. Isto pode ser explicado devido ao fato de os dispositivos terem sido fabricados por meio do processo STI, haja vista que existe a possibilidade de que tenha ocorrido alguma falha durante a etapa de empilhamento de dielétrico de porta, de forma que o material de porta não contorne totalmente a aleta de germânio, desde a sua base. Assim, apresentando uma corrente de fuga entre os terminais de fonte e dreno, independentemente do controle de porta (Oliveira, 2017).

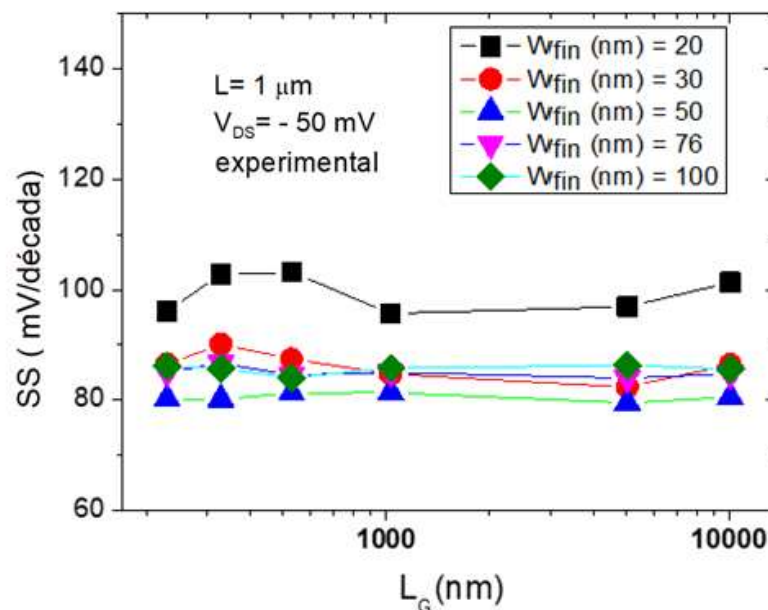


Figura 23 – Curva Experimental: Inclinação de sublimiar em função do comprimento de canal para diferentes larguras de aleta

Fonte: O autor.

A Figura 24 também representa SS, porém em função da largura de aleta (W_{fin}) e para dispositivos longos, em outras palavras, $L = 1 \mu\text{m}$. Consta-se, pelas Figuras 23 e 24, que os valores de SS para os dispositivos é em torno de 30 mV/década acima do valor teórico de 60 mV/década considerando em temperatura ambiente (COLINGE,

2008) e pode ser calculado pela eq. (11), porém coerente com o encontrado na literatura para FinFET de Ge, do qual é em torno de 80 mV/década (IWAI, 2015).

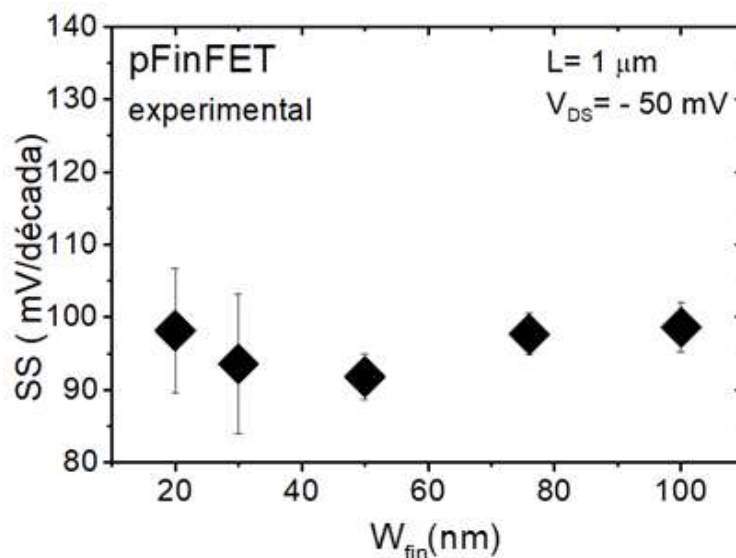


Figura 24 – Inclinação de sublimar em função da largura de aleta, referente ao resultado experimental

Fonte: O autor.

De posse dos resultados experimentais dos principais parâmetros elétricos do FinFET de canal de Ge do tipo p, uma investigação mais profunda acerca do fato de ter sido encontrado uma variação de V_T entre as aletas estreitas e largas de cerca de 0,2 V (observado na Figura 20) é explorada nas próximas seções. Assim, com o intuito de identificar qual é o fator predominante para a tal variação de V_T , a hipótese relacionada ao plano de terra será investigada por simulação numérica tridimensional, como abordado na subseção 3.5, considerando i) diferentes concentrações de dopantes na região de GP; e ii) diferentes posições do GP abaixo da região de canal. Apesar de V_T ser o objeto de investigação, os parâmetros apresentados na subseção 4.1 serão também avaliados.

4.2 INFLUÊNCIA DA CONCENTRAÇÃO DE DOPANTE DO PLANO DE TERRA NOS PARÂMETROS ELÉTRICOS

Nesta subseção é apresentada a influência de diferentes concentrações de dopantes na região de GP nos parâmetros elétricos de dispositivos FinFET de canal de Ge.

A Figura 25, extraída do *software* Sentaurus, ilustra a secção longitudinal do canal do FinFET de germânio, para diferentes valores de concentração de dopante do GP, variando de $1 \times 10^{17} \text{ cm}^{-3}$ a $1 \times 10^{19} \text{ cm}^{-3}$ utilizando o fósforo como dopante.

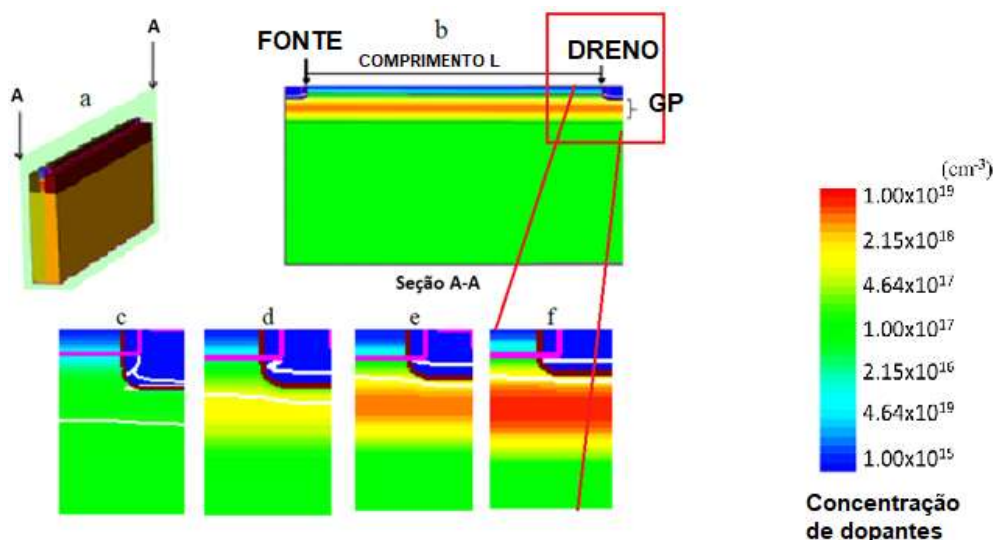


Figura 25 – a) estrutura 3D Ge pFinFET; b) Secção longitudinal plano de corte AA; Concentração de GP: c) $1 \times 10^{17} \text{ cm}^{-3}$; d) $1 \times 10^{18} \text{ cm}^{-3}$; e) $5 \times 10^{18} \text{ cm}^{-3}$ e f) $1 \times 10^{19} \text{ cm}^{-3}$

Fonte: O autor.

A apresenta os valores simulados e experimentais da corrente I_D em função da variação de V_G . Comparando-a com a Figura 19, constata-se que outros efeitos prevalecem e atuam junto à corrente de estado desligado, abaixo de $1 \times 10^{-9} \text{ A}$. No entanto, por meio das simulações numéricas de dispositivo, as investigações limitam-se à análise dos demais parâmetros do dispositivo entre as regiões de inversão fraca para forte, ou seja, faixa de corrente de dreno de $1 \times 10^{-9} \text{ A}$ a $1 \times 10^{-5} \text{ A}$.

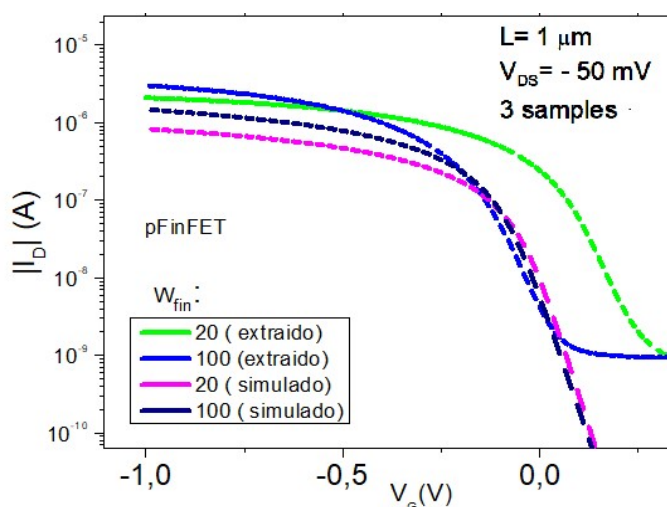


Figura 26 – Corrente de dreno em função da tensão aplicada ao terminal de porta, considerando larguras de aleta de 20 nm e 100 nm, para resultados simulado e experimental

Fonte: O autor.

Assim como a subseção 4.1, o primeiro parâmetro elétrico a ser analisado é a tensão de limiar, o qual é ilustrado na Figura 27 em função da largura da aleta. O valor de V_T foi obtido a partir das curvas de I-V da simulação numérica dos FinFETs de germânio no Sentaurus, para cada valor de concentração de dopante do GP. Na Figura 27 releve que a tensão de limiar apresenta uma dependência com W_{fin} , como o resultado experimental apresentado na subseção 4.1 (Figura 20), porém com uma menor variação de V_T entre as aletas estreitas e largas, aproximadamente 50 mV.

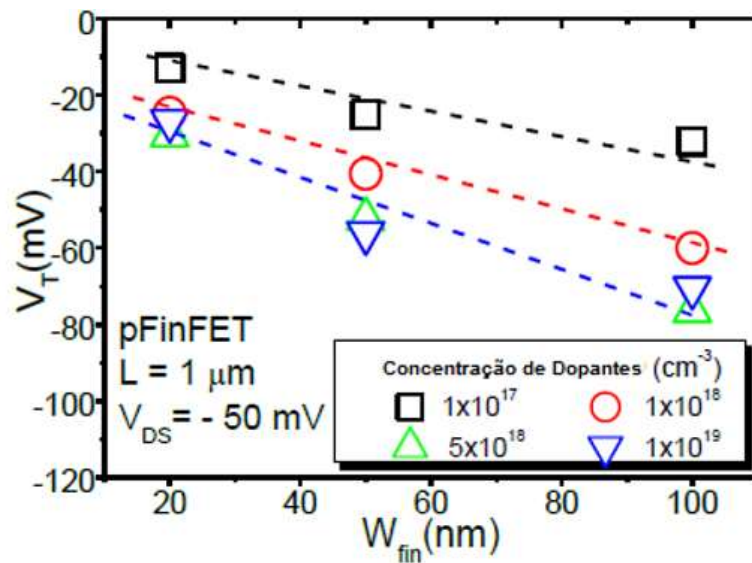


Figura 27 – Tensão de limiar em função da largura de aleta para diferentes concentrações de dopantes do plano de terra

Fonte: O autor.

Embora seja possível verificar a influência da concentração de dopante do substrato em V_T (Iwai, 2015), a difusão de dopantes na região do plano de terra para a região de canal pode influenciar os valores aqui encontrados, porém não faz parte dos estudos aqui desenvolvidos.

A Figura 28 representa a transcondutância máxima normalizada ($g_{m_{max}}/W_{eff}$) em função da largura da aleta para quatro concentrações de dopante do GP bem como para a mesma figura, o gráfico que apresenta para os três valores de profundidade de GP aqui estudado. A transcondutância mostra-se sutilmente dependente da largura da aleta, que pode ser associado a um maior acoplamento eletrostático para dispositivos estreito (SIMOEN, 2011). Apesar do fato de quanto maior a concentração de dopantes na região de canal, menor a transcondutância devido à degradação da mobilidade no canal (SAREMI, 2012), a variação de concentração de dopantes do GP não resultou em um significativo impacto em g_m , sendo limitado a uma variação de no

máximo 2 S/nm para todos os valores de larguras de aleta estudado, possivelmente correlacionado ao erro de extração do parâmetro.

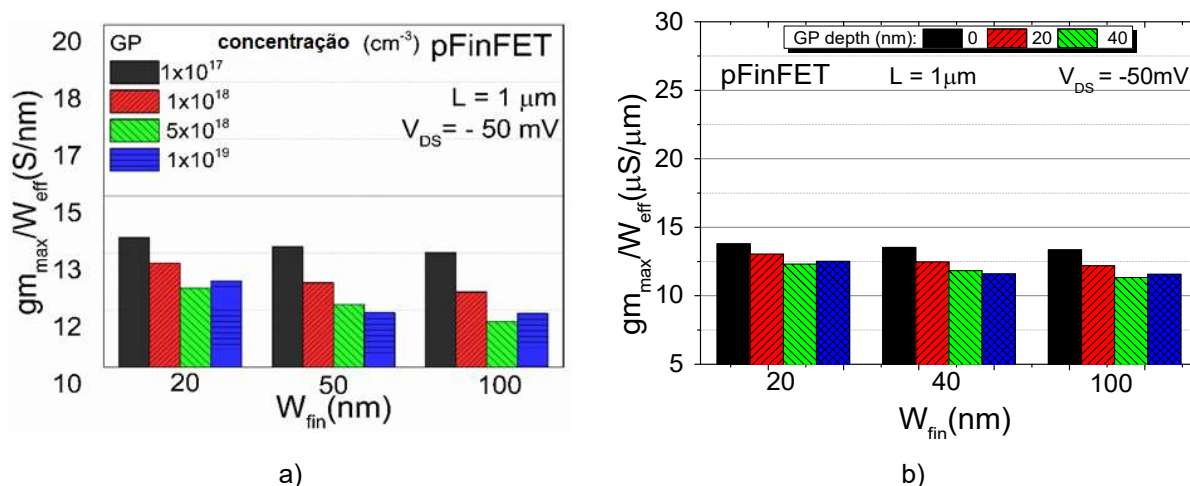


Figura 28 – Transcondutância máxima normalizada em função: a) da largura de aleta para diferentes concentrações de dopantes e b) da profundidade do plano de terra

Fonte: O autor.

Como visto na subseção 4.1, os valores experimentais de SS não apresentaram influências consideráveis quanto à degradação em mV/década para os menores valores de W_{fin} . A Figura 29 representa a inclinação de sublimiar em função de largura da aleta para dispositivos com diferentes concentrações de dopantes do GP.

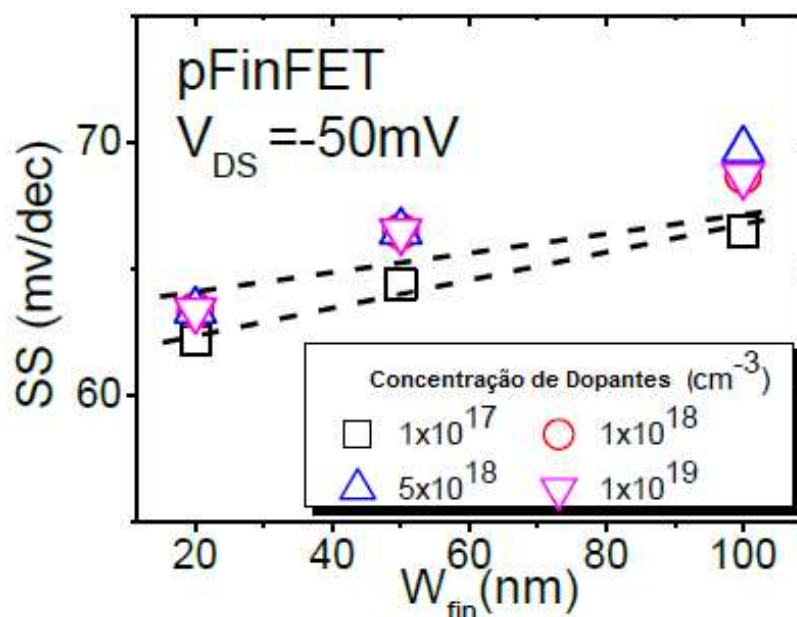


Figura 29 – Inclinação de sublimiar em função da largura de aleta para diferentes concentrações de dopantes do plano de terra

Fonte: O autor.

Observa-se que este parâmetro não tem uma influência significativa no valor de SS, uma vez que a variação de concentração do GP de duas ordens de grandeza resulta em uma variação de SS de aproximadamente 2 mV/década. Por outro lado, a inclinação de sublimiar é claramente dependente de W_{fin} , revelando que dispositivos mais estreitos apresentam um melhor controle de cargas na região de canal, devido ao seu forte acoplamento eletrostático (SCHROTER, 2002). Este efeito não pode ser observado no caso experimental, pois os dispositivos de Ge apresentam uma densidade de armadilha superior aos de Si (LOMBARDI, 1988), ou seja, transistores de Ge possuem qualidade de interface óxido/canal inferior comparado à interface Si/SiO₂, resultando em valores de SS superiores aos 60 mV/década tipicamente encontrados em FinFETs de canal de Si (MITARD, 2014).

4.3 INFLUÊNCIA DA POSIÇÃO DO PLANO DE TERRA

Nesta subseção é investigada a influência da profundidade do plano de terra nos parâmetros elétricos do FinFET de germânio, considerando um valor de concentração do GP fixo de $5 \times 10^{18} \text{ cm}^{-3}$. Três posições do plano de terra a partir da base da aleta são consideradas: 0 nm, 20 nm e 40 nm. Assim, a posição de 0 nm refere-se ao ponto mais próximo do canal, como representada na Figura 30, utilizando-se do perfil Gaussiano na simulação, como apresentado na subseção 3.5.

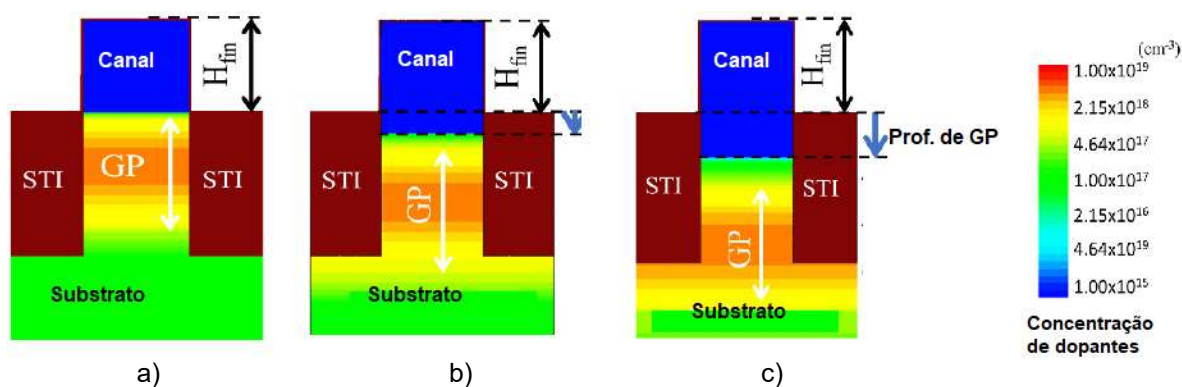


Figura 30 – FinFET de Ge simulado: profundidade do plano de terra: a) 0 nm; b) 20 nm e c) 40 nm

Fonte: O autor.

A Figura 31 apresenta V_T em função de W_{fin} para diferentes profundidades de GP. Constata-se que há uma variação em V_T de até 45 mV, ao reduzir-se o valor de W_{fin} , para o caso de profundidade de 0 nm. Por outro lado, quando maior a profundidade de GP, maiores são os valores de V_T como consequência da redução

do controle eletrostático para dispositivos largos e o aumento da corrente de fuga logo abaixo da região do canal (SCHROTER, 2002).

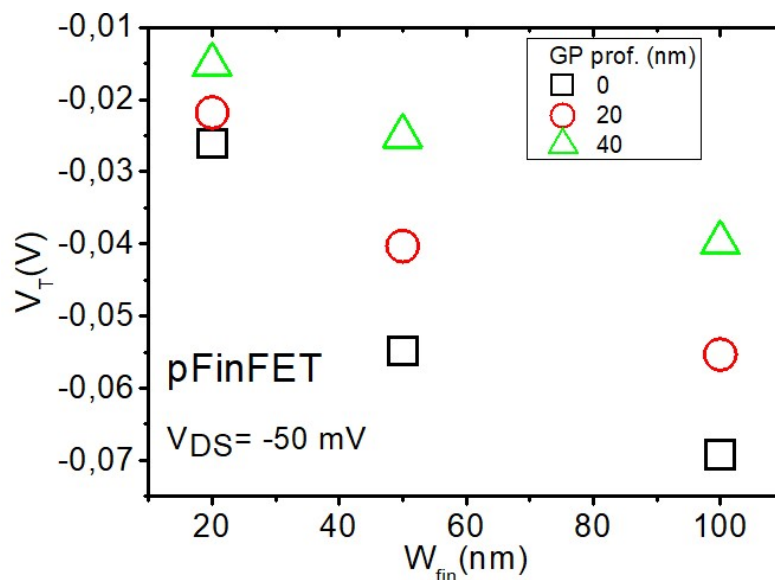


Figura 31 – Tensão de limiar em função da largura de aleta para diferentes profundidades de plano de terra

Fonte: O autor.

A Figura 32 mostra SS em função da largura da aleta para diferentes profundidades de GP.

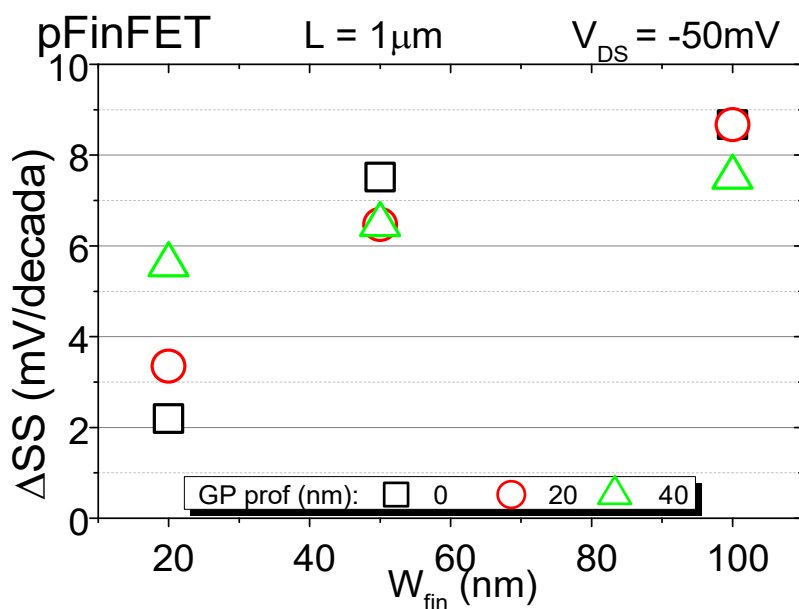


Figura 32 – Inclinação de sublimiar em função da largura de aleta para diferentes profundidades de plano de terra

Fonte: O autor.

O fato de ser dependente de W_{fin} (Figura 32) revela que o acoplamento eletrostático desempenha um papel importante no parâmetro SS, como normalmente encontrado para dispositivos Si FinFET. Por outro lado, para dispositivos estreitos, à medida que a profundidade do GP aumenta, o SS degrada e apresenta menos dependência da largura da aleta. Embora a corrente de fuga (de fonte a dreno) abaixo da região do canal aumente, quando a barreira potencial (GP) encontra-se em seu valor mais profundo (40nm), é possível encontrar um melhor acoplamento elétrico para dispositivos estreitos, os quais apresentam menores valores de SS em comparação para outras larguras, pelo menos quando a densidade de armadilhas de interface (N_{IT}) não é considerada, como é o caso deste estudo.

A Figura 33 apresenta a transcondutância máxima normalizada em função da largura da aleta, considerando diferentes profundidades de GP. Observa-se que à medida em que o posicionamento de GP é variado em direção ao substrato, os valores de transcondutância são incrementados. Este fato não é esperado, uma vez que a influência do acoplamento eletrostático é mais intensa em dispositivos estreitos (SANTOS, 2010). Deste modo, é constata-se que outros efeitos possuem evidentes influências sobre este parâmetro.

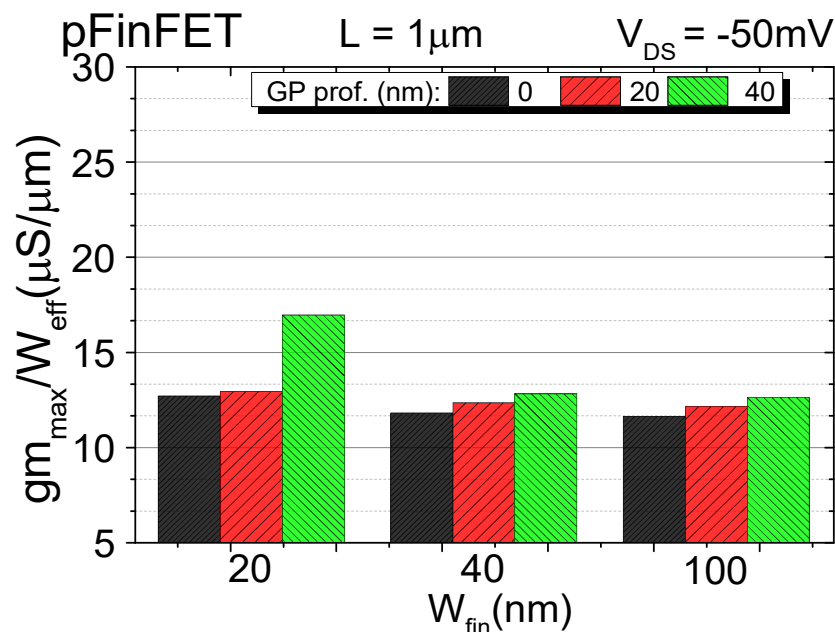


Figura 33 – Transcondutância máxima normalizada em função da largura de aleta para diferentes profundidades de plano de terra

Fonte: O autor.

Para entender melhor o comportamento de g_m , como observado na Figura 32, é avaliada a densidade de corrente no centro do dispositivo, do topo à base da aleta para uma linha de corte no centro da seção transversal (Figura 29) a qual é ilustrada na Figura 34, na qual é possível confirmar que a densidade de corrente principal flui na superfície da aleta, para todos os valores de largura de aleta estudados.

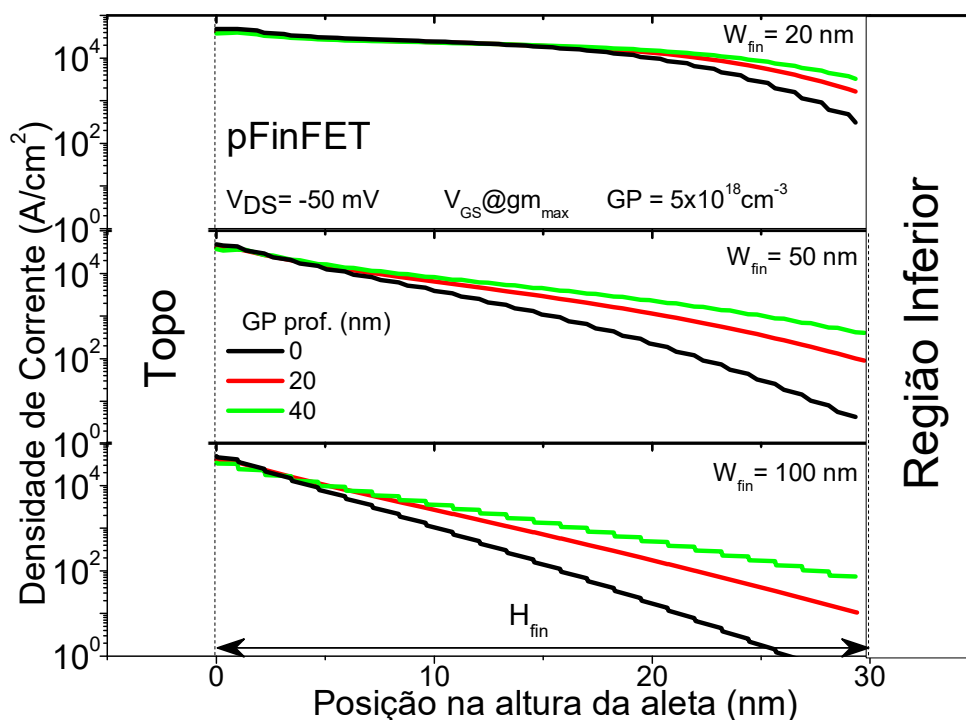


Figura 34 – Densidade de corrente em uma linha de corte na região de canal em função da altura do fin para diferentes larguras de aleta e profundidades de GP

Fonte: O autor.

Cerca de 10 nm de altura abaixo do topo da aleta (Figura 34), a densidade de corrente fica menos confinada e apresenta dispersão, principalmente para dispositivos mais largos. Além disso, à medida que a distância, entre a camada do plano de terra e a base da aleta, aumenta, a densidade da corrente se dispersa ainda mais, o que pode minimizar a degradação da mobilidade do portador na interface óxido/canal, aumentando o valor de g_m . Adicionalmente, o entendimento de distribuição da densidade de corrente pode ser analisado e confirmado pela Figura 35, a qual representa a seção da aleta, conforme apresentada na Figura 30. Esse confinamento de corrente pode ser um fator de degradação na mobilidade, criando assim uma competição de efeitos entre mobilidade de portador e acoplamento eletrostático, resultando em valores de g_m maiores para a posição de GP mais profunda.

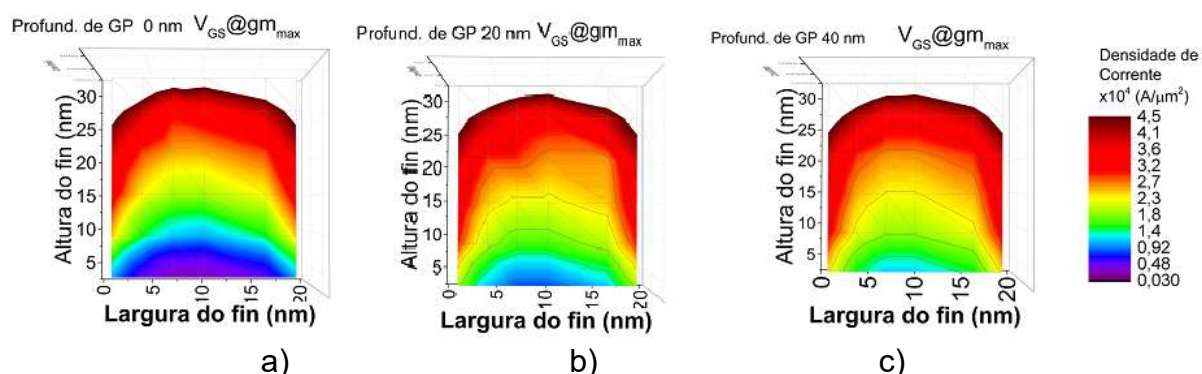


Figura 35 – Densidade da corrente na região de canal em função da altura e da largura de aleta para a) GP=0; b) GP=20nm e c) GP=40nm.

Fonte: O autor.

A partir da análise de densidade de corrente, novas simulações numéricas foram realizadas a fim de verificar o comportamento da mobilidade efetiva, utilizando-se dos mesmos parâmetros de variação para análise, sendo eles W_{fin} , profundidade de GP e concentração de dopantes do plano de terra.

A Figura 36 representa uma análise comparativa entre a mobilidade efetiva para os W_{fin} de 20, 50 e 100nm, variando-se a profundidade de GP entre 0 nm e 40 nm, além de considerar duas concentrações de dopantes diferentes.

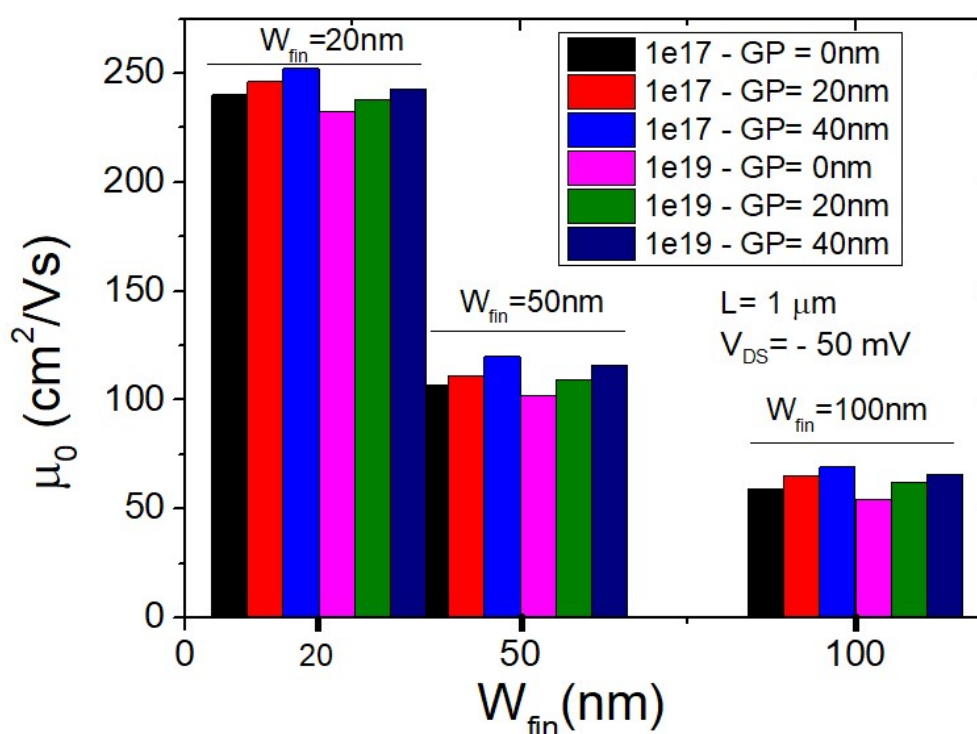


Figura 36 – Mobilidade efetiva em função da largura de aleta e diferentes concentrações de dopantes do plano de terra

Fonte: O autor.

Verifica-se que, como esperado, a mobilidade efetiva é maior que para o dispositivo de aleta estrita, o que está em conformidade com o maior controle de porta (CHIARELLA, 2010). Ainda, confirma-se a hipótese de uma maior mobilidade de portadores para dispositivo cuja posição do plano de terra esteja mais afastada da base da aleta, devido ao fato de um menor confinamento de do centroide de cargas de inversão na região de canal. Este efeito também pode ser observado na análise de um dos parâmetros ruídos de baixa frequência (*low-frequency noise*), o coeficiente de espalhamento coulombiano (*Coulomb scattering coefficient*) em função da tensão aplicada ao substrato (CHIARELLA, 2010), conteúdo fora do escopo deste trabalho. Assim, esta afirmação complementa a explicação acerca da Figura 34, ou seja, a mobilidade e densidade de corrente de cargas são maiores para dispositivos com o plano de terra mais profundo.

Por meio dos resultados apresentados, verifica-se que as simulações auxiliarem na investigação de influências aos parâmetros estudados somando-se aos resultados experimentais neste trabalho extraídos e apresentados até aqui. Embora sejam indicações que corroboram no levantamento de hipóteses, é possível desenvolver trabalhos futuros que verifiquem por meio de simulações, resultados mais profundos, bem como parâmetros aqui não abordados, tais como verificação de critérios no processo de fabricação e suas influências, o uso de dopantes no desenvolvimento do dispositivo ou inclusive o surgimento de cargas indesejadas.

5 CONCLUSÕES

O presente trabalho apresentou uma investigação de parâmetros elétricos de pFinFETs de germânio de canal não tensionamento, considerando diferentes larguras de aleta, bem como diversos comprimento de canal. Dentre os parâmetros estudados, destacam-se a transcondutância, a tensão de limiar, a inclinação de sublimiar e a mobilidade de portador. Além disso, levou-se em conta a posição do plano de terra em relação à região de canal e a concentração de dopantes de plano de terra no comportamento desses parâmetros. O estudo foi desenvolvido por meio de caracterização elétrica do dispositivo e simulações numéricas tridimensionais.

A motivação para o estudo por simulação numérica de dispositivos se deu após análise dos resultados experimentais, uma vez que houve uma diferença na ordem de 200 mV no parâmetro de tensão de limiar (V_T), quando comparado aos dispositivos com larguras de aleta de 20 nm e 100 nm. Assim, observou-se que para o aumento da profundidade do plano de terra, para um mesmo valor de largura de aleta, há uma menor variação no valor de tensão de limiar (de 45 mV para 25 mV), visto que pelo aprofundamento da posição do plano de terra, apresenta-se um menor confinamento de cargas, proporcionando melhor fluxo de corrente entre fonte e dreno. Uma possível explicação é a associação de que os valores de W_{fin} próximo a 100nm possuam uma dopagem superior ao valor de $1 \times 10^{15} \text{cm}^{-3}$, causada pela difusão de dopantes da camada do plano de terra em direção a região de canal.

Para os valores de transcondutância máxima em função da variação de W_{fin} , este parâmetro apresentou menor variação para valores mais estreitos de W_{fin} , os quais apresentam maior transcondutância, atribuindo-se ao melhor controle de porta. Em relação à variação da concentração de dopantes do plano de terra, seu impacto existe mas é menos significativa do que a profundidade do plano. A partir dos resultados de densidade de corrente e de mobilidade efetiva, pode-se verificar que não houve variação em relação aos valores de mobilidade esperados. Assim, possivelmente, para a avaliação do aumento da transcondutância outros estudos investigativos poderão ser realizados com o propósito de encontrar novas evidências que influenciem a mobilidade efetiva, tais como o impacto do processo de fabricação do dispositivo e investigação de corrente de fuga do dreno induzida pelo terminal de porta do FinFET de germânio sem tensionamento no canal.

Através das curvas obtidas das simulações de SS em função de W_{fin} , observou-se que para valores de plano de terra cuja profundidade em relação ao canal é maior, apresentaram maior degradação para os valores de SS. A mesma degradação não foi encontrada quando a análise foi feita variando-se a concentração de dopantes do plano de terra. Ou seja, para dispositivos estreitos, mesmo variando-se a dopagem, os valores da inclinação de sublimar não são influenciados de forma significativa. Portanto, o acoplamento eletrostático é dominante neste comportamento. Esta conclusão pode ser obtida a partir das simulações, visto que em comparativo aos resultados experimentais, os quais não apresentaram indícios semelhantes de comportamento.

Embora tenha sido observado que a variação de dopagem em relação a sua concentração e a alteração da profundidade do plano de terra em direção ao substrato, possivelmente outros efeitos podem ou não influenciar os parâmetros e resultados aqui apresentados. Deste modo, novos estudos com novas abordagens de investigação podem ser desenvolvidos com o propósito de complementar os resultados aqui obtidos.

5.1 PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO

GONÇALVES, G. V.; OLIVEIRA, A. V.; AGOPIAN, P.G.D; MARTINO, J. A.; Ground plane influence on Ge pFinFET subthreshold swing In: Seminatec 2018 – XIII Workshop on semiconductions and micro & nano technology, 2018, São Paulo.

GONÇALVES, G. V.; OLIVEIRA, A. V.; AGOPIAN, P.G.D; MARTINO, J. A.; MITARD, J; WITTERS, L.; COLLAERT, N; SIMOEN, E.; CLAEYS, C. Ground plane impact on the threshold voltage of relaxed Ge pFinFET. In: Chip in the pampas – 33th SbMicro, 2018, Bento Gonçalves, Brazil. Observação: **ESTE TRABALHO FOI AGRACIADO COM UMA MENÇÃO HONROSA.**

OLIVEIRA, A. V.; GONÇALVES, G. V.; AGOPIAN, P.G.D; MARTINO, J. A.; MITARD, J; WITTERS, L.; COLLAERT, N; SIMOEN, E.; CLAEYS, C. Ground plane impact on performance of relaxed Ge pFinFETs. Journal of Integrated Circuits and Systems, 2018

REFERÊNCIAS

BOHR, M., MISTRY, K. **Intel`s Revolutionary 22 nm Transistor Technology.**, Disponível em: https://www.slideshare.net/LexInnova/finfet-extending-moores-law?next_slideshow=1. Acesso em: 12. Jan. 2020.

BRIGHT, P. **Moore`s law really is dead this time.** Disponível em: <https://arstechnica.com/information-technology/2016/02/moores-law-really-is-dead-this-time/>. Acesso em: 19 jun. 2017.

CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045–1047, Nov. 1975.

CHIARELLA, T., et al. Benchmarking SOI and bulk finFET alternatives for planar CMOS. **Solid–State Electronics**, v. 54, n. 9, p. 855–860, sep. 2010.

CLAEYS, C., et al. Review. Device assessment of electrically active defects in high–mobility materials. **ECS Journal of Solid State Science and Technology**, v. 5, n. 4. feb. 2016.

COLINGE, J.–P. **FinFETs and other multi–gate transistors**. 1. ed. [s.l.]: Springer Science & Business Media, 2008.

DANCAK, C. **The FinFET: A Tutorial**. 1. ed. Springer International Publishing. 2018.

DORKEL, J. M.; LETURCQ, Ph.; Carrier mobilities in silicon semi–empiric related to temperature, doping and injection level, **Solid–State Electronics**, v. 24, p.821–825, Set 1981.

GUTIERREZ, E. A. et al; Low temperature electronics: physics, devices, circuits and applications, [s.l.]: **Academic Press**, 1991.

IWAI, H. Future of nano CMOS technology. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES, 28., 2013, Curitiba. **Proceedings** [...]. [s.l.]: IEEE, 2013. p. 1–10

IWAI H. Future of nano CMOS technology. **Solid–State Electron.**, v. 112, p. 56–57, Oct. 2015.

KLAASSEN, D.B. M. A Unified mobility model for device simulation – i. model equations and concentration dependence. **Solid–State Electronics**, v.35, n. 7, p.953–959, Jul. 1992.

LANDGRAF, E., et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid–State Electronics**. v. 50, n. 1, p. 38–43, jan. 2006

LOO R., WANG G., SOURIAU L., TAKEUCHI S., LIN J.C. et al., High quality Ge virtual substrates on Si wafers with standard STI patterning. **J. Electrochem. Soc.**, v. 157, n. 1, p. H13–H21, Jan. 2010.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer–Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164–1171, Nov. 1988.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização elétrica de tecnologia e dispositivos MOS**. 1. ed. São Paulo: Pioneira Thomson Learning, 2003.

MCDALD, L. J. et al. Physical origin of negative differential resistance in SOI transistors. **Electronics Letters**, v. 25, n. 13, p. 827–828, jun. 1989.

MITARD, J., et al. First demonstration of 15nm–Wfin inversion–mode relaxed–germanium n–finFETs with Si–cap free RMG and NiSiGe source/drain. *In*: IEEE INTERNATIONAL ELECTRON DEVICES MEETING. 2014, San Francisco, CA. **Proceedings** [...]. [s.l.]: IEEE, 2014. p.1–4.

MOORE, G. E. Cramming more components onto integrated circuits, Reprinted from *Electronics*, vol. 38, number 8, April 19, 1965, pp.114. **IEEE Solid–State Circuits Society Newsletter**, v. 11, n. 3, p. 33–35, set. 2006.

OLIVEIRA, Alberto Vinicius de. **Estudo de transistores de porta tripla (FinFETs) de silício e de germânio**. 2017. Tese (Doutorado em Microeletrônica) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2017. doi:10.11606/T.3.2017.tde–21032017–152959. Acesso em: 2020–10–16.

PEOPLE, R. e BEAN, J.C. Calculation of critical layer thickness versus lattice mismatch for GxSi1-x/Si strained-layer heterostructures. **Applied Physics Letter**, v. 47, n. 3, 1985.

POIROUX, T., et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, v. 80, p. 378–385, Jun 2005.

RANGEL, R.C., ET AL. Fully electron–beam–lithography SOI FinFET, *In*: SYMPOSIUM ON MICROELETRONICS TECHNOLOGY AND DEVICES, 28., 2013, Curitiba. **Proceedings** [...]. [s.l.]: IEEE, 2013. p.1–4.

SANTOS, Carolina Davanzo Gomes dos. **Estudo da mobilidade em dispositivos SOI planares e de múltiplas portas**. 2010. Tese (Doutorado em Microeletrônica) – Escola Politécnica, Universidade de São Paulo, São Paulo, 2010. doi:10.11606/T.3.2010.tde–10012011–093657. Acesso em: 2020–10–16.

SAREMI, M., A–KUSHA, A. and MOHAMMADI, S. Ground plane fin–shaped field effect transistor (GP–finFET): A finFET for low leakage power circuits. **Microelectronic Engineering**. v. 95, p. 74–82, jul. 2012.

SCHRÖTER, W. e CERVA, H. Interaction of point defects with dislocations in silicon and germanium: electrical and optical effects. **Solid State Phenomena**, p.85–86, p. dec. 2001.

SELBERHERR, S. MOS device modeling at 77K, **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464–1474, jul. 1989.

SIMOEN, E., et al. High doping density/high electric field, stress and heterojunction effects on the characteristics of CMOS compatible p–n junctions. **Journal of the Electrochemical Society**, v. 158, 5, Out 2011.

SYNOPSYS. **Sentaurus Device User Guide**Synopsys, Mountain View, CASynopsys, Inc , 2013. Disponível em: <http://www.synopsys.com/Company/Pages/Trademarks.aspx>. Acesso em: 19 jun. 2017.

TAKAGI, S. e TAKENAKA, M. Prospective and critical issues of III–V/Ge CMOS on Si platform. **Electrochemical Society Transactions**. v. 35, n. 3, p.82–102, jul 2011.

TSCHANZ J. W., KAO J., NARENDRA R., NAIR, D. ANTONIADIS, A. CHANDRAKASAN, Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage, **IEEE Solid-State Circuits**, v 37, p. 1396-1402, jul 2002.

APÊNDICE A – ARQUIVO DA ESTRUTURA DO SENTARUS STRUCTURE EDITOR

Apresenta-se neste apêndice o código desenvolvido no software Sentaurus para criação da estrutura do dispositivo, para fins de desenvolvimento das simulações executadas conforme seção 4.2 e 4.3 deste trabalho.

```

Title "Untitled"

Controls {
}

IOControls {
  outputFile="/home/simulacao/Desktop/GVG/2fasedemedidas/W50nm/W50_00
65_5e18"
  EnableSections
}

Definitions {
  Constant "ConstantProfileDefinition_substrato" {
    Species = "PhosphorusActiveConcentration"
    Value = 1e+17
  }
  Constant "ConstantProfileDefinition_Channel" {
    Species = "PhosphorusActiveConcentration"
    Value = 1e+15
  }
  AnalyticalProfile "Gauss.S/D" {
    Species = "BoronActiveConcentration"
    Function = Gauss(PeakPos = 0, PeakVal = 1e+20, ValueAtDepth =
1e+18, Depth = 0.085)
    LateralFunction = Gauss(Factor = 0.1)
  }
  AnalyticalProfile "Gauss.GP" {
    Species = "PhosphorusActiveConcentration"
    Function = Gauss(PeakPos = 0, PeakVal = 1e+18, ValueAtDepth =
1e+15, Depth = 0.045)
    LateralFunction = Gauss(Factor = 0.2)
  }
  Refinement "Place.Global" {
    MaxElementSize = ( 0.005 0.05 0.05 )
    MinElementSize = ( 0.002 0.01 0.01 )
  }
  Refinement "Place.Active" {
    MaxElementSize = ( 0.002 0.002 0.05 )
    MinElementSize = ( 0.0005 0.0005 0.02 )
  }
}

```



```

Placements {
  Constant "ConstantProfilePlacement_substrato" {
    Reference = "ConstantProfileDefinition_substrato"
    EvaluateWindow {
      Element = Cuboid [(-0.08 -0.01 -0.01) (0.08 0.53 1.1)]
    }
  }
  Constant "ConstantProfilePlacement_Channel" {
    Reference = "ConstantProfileDefinition_Channel"
    EvaluateWindow {
      Element = Cuboid [(-0.026 0.53 0.05) (0.026 0.64 1.05)]
    }
  }
  AnalyticalProfile "AP.Drain" {
    Reference = "Gauss.S/D"
    ReferenceElement {
      Element = Polygon [ (-0.03 0.63 -0.05) (-0.03 0.63 0.05) (0.03
0.63 0.05) (0.03 0.63 -0.05)]
    }
  }
  AnalyticalProfile "AP.Source" {
    Reference = "Gauss.S/D"
    ReferenceElement {
      Element = Polygon [ (-0.03 0.63 1.15) (-0.03 0.63 1.05) (0.03 0.63
1.05) (0.03 0.63 1.15)]
    }
  }
  AnalyticalProfile "AP.GP" {
    Reference = "Gauss.GP"
    ReferenceElement {
      Element = Polygon [ (-0.1 0.55 1.15) (-0.1 0.55 -0.05) (0.1 0.55
-0.05) (0.1 0.55 1.15)]
    }
  }
  Refinement "Place.Global" {
    Reference = "Place.Global"
    RefineWindow = Cuboid [(-0.08 -0.01 -0.01) (0.08 0.53 1.1)]
  }
  Refinement "Place.Active" {
    Reference = "Place.Active"
    RefineWindow = Cuboid [(-0.03 0.53 -0.01) (0.03 0.64 1.1)]
  }
}

```

APÊNDICE B – ARQUIVO DA ESTRUTURA *DEVICE*

Apresenta-se neste apêndice o código desenvolvido no software Sentaurus para simulação dos critérios de dopagem do dispositivo, para fins de desenvolvimento das simulações executadas conforme seção 4.2 e 4.3 deste trabalho.

```

File {
    * input files:
    #Parameter =
    #
    Grid =
"/home/simulacao/Desktop/GVG/2fasedemedidas/W50nm/W50_0045_1e18_msh.tdr
"
    #Parameter= "/home/simulacao/Desktop/GVG/W50nm/W50_2.cmd"
    Doping =
"/home/simulacao/Desktop/GVG/2fasedemedidas/W50nm/W50_0045_1e18_msh.tdr
"
    #Material = "SiliconGermanium" { Insert="SiliconGermanium.par" }
    #Material = "Germanium" { Insert="Germanium.par" }

    * output files:
    Plot = "pGeFF_W50_L1000_0045_1e18_des.tdr"
    Current = "pGeFF_W50_L1000_0045_1e18_des.plt"
    Output = "pGeFF_W50_L1000_0045_1e18_des.log"
}

Electrode {
    {Name="Contato_Fonte" Voltage=0.0}
    {Name="Contato_Dreno" Voltage=-0.05}
    {Name="Contato_Porta" Voltage=0.5 Workfunction=4.6}
    {Name="Contato_Substrato" Voltage=0 Workfunction=4.45}
}

Physics {
#eQuantumPotential(AutoOrientation density)
#hQuantumPotential(AutoOrientation density)
    Mobility(
        PhuMob
        ToCurrentEnormal(Lombardi)
    #    HighFieldSaturation(EparallelToInterface)
    )
    Recombination(
        SRH(DopingDep)
        Band2Band(E1)
    )
#    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Fermi
        Temperature=300
}

```

```

}

#Physics (Material="Germanium") {
#Mobility(DopingDep)
#}

#Physics (Material = "SiliconGermanium")      {
#MoleFraction(
#XFraction=0.7
#)
#}

#Physics( Region = "Channel" ) {
# Traps(
# (Donor  Level fromCondBand
#  Conc=1e10 EnergyMid=0.61
#  eXsection=1e-12 hXsection=1e-12)
# (Acceptor Gaussian fromValBand
#  Conc=1e10 EnergyMid=0.59 EnergySig=0.1
#  eXsection=1e-12 hXsection=1e-12)
# )
#}

Plot {
*-Carrier Densities:
  eDensity hDensity
  * EffectiveIntrinsicDensity IntrinsicDensity
  * eEquilibriumDensity hEquilibriumDensity

*-Currents and current components:
  Current/Vector eCurrent/Vector hCurrent/Vector
  Current eCurrent hCurrent
  * ConductionCurrent/Vector DisplacementCurrent/Vector
  eMobility hMobility
  eVelocity hVelocity

*-Fields, Potentials and Charge distributions
  ElectricField/Vector
  ElectricField
  Potential
  eQuasiFermi hQuasiFermi
  SpaceCharge

*-Driving forces
  eGradQuasiFermi/Vector hGradQuasiFermi/Vector
  eGradQuasiFermi hGradQuasiFermi
  eEparallel hEparallel
  eENormal hENormal
  * eEffectiveField hEffectiveField

*-Temperatures

```

```

LatticeTemperature
eTemperature hTemperature

*--Generation/Recombination
SRHRecombination          Band2Band          AugerRecombination
RadiativeRecombination
* AvalancheGeneration eAvalancheGeneration hAvalancheGeneration
TotalRecombination
eLifeTime hLifeTime
SurfaceRecombination

*--Doping Profiles
Doping
DonorConcentration AcceptorConcentration

*--Band structure
BandGap
BandGapNarrowing
ElectronAffinity
ConductionBandEnergy ValenceBand

*--Composition
xMoleFraction * yMoleFraction

*--Traps
eTrappedCharge hTrappedCharge
eGapStatesRecombination hGapStatesRecombination

*--Tunneling
* BarrierTunneling eBarrierTunneling hBarrierTunneling
* eDirectTunnel hDirectTunnel
}

Math {
-CheckUndefinedModels
Extrapolate
RelErrControl
iterations=100
method=ils
Number_of_Threads = 4#maximum
}

Solve {
#-initial solution:
Poisson
Coupled{Poisson Electron Hole}
#-ramp gate:

Quasistationary(Maxstep=0.01 Minstep=0.0001
Goal{Name="Contato_Porta" Voltage=-1.0})
{Coupled{Poisson Electron Hole }}

}

```