MARIA GLÓRIA CAÑO DE ANDRADE

ESTUDO DE TRANSISTORES DE PORTA TRIPLA DE CORPO

São Paulo

2012

MARIA GLÓRIA CAÑO DE ANDRADE

ESTUDO DE TRANSISTORES DE PORTA TRIPLA DE CORPO

Tese apresentada à Escola Politécnica da Universidade de São Paulo para a obtenção do título de Doutor em Engenharia.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

São Paulo

2012

DEDICATÓRIA

Dedico este trabalho aos meus pais João Soares de Andrade e Maria Caño de Andrade "*in memoriam*", dos quais herdei não somente os genes, mas o caráter, e a perseverança na busca do conhecimento.

AGRADECIMENTOS

Agradeço ao professor Dr. João Antonio Martino pela oportunidade, orientação, motivação e apoio na realização desta Tese de Doutorado, o que muito contribui para meu aprimoramento profissional.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo e a todos os professores e funcionários.

Ao CNPq e a CAPES pelo apoio financeiro que permitiu a realização deste trabalho.

Aos pesquisadores Dr. Eddy Simoen e Dr. Cor Claeys, pela oportunidade na realização de parte do meu doutorado no imec (*interuniversity microelectronic center*) - Bélgica, tendo sido uma valiosa contribuição no desenvolvimento deste trabalho. Agradeço também a amizade e os momentos agradáveis em Leuven.

A todos os pesquisadores e funcionários do imec, os quais disponibilizaram uma excelente infraestrutura e propiciaram um agradável ambiente de trabalho.

Aos amigos Talitha, Luciano e Sara pela amizade, apoio e momentos felizes.

Aos amigos Victor, Michele, Milene, Paula, Kátia, Márcios, Rudolf, Dórias, Felipe e todos os outros os do grupo SOI CMOS pelas discussões, sugestões e amizade durante todos os anos.

Ao meu amigo Edmilton pelo apoio e força em diferentes fases de minha vida.

Minha amiga desde a graduação em Ilha Solteira, Sandra e o seu marido Robin pelo carinho e atenção durante todo meu período na Bélgica.

E ao Marinus Willy Verburg pelo seu amor, dedicação e pelos momentos inesquecíveis.

As minhas irmãs Maria, Helena, Cândida e Cristina e ao meu irmão Júlio pelo apoio e torcida. E a todos os meus sobrinhos e sobrinhas.

A meu pai e minha mãe "*in memoriam*".

E a todos aqueles que contribuíram de alguma forma para a realização deste trabalho.

“Para se ser sábio, é preciso primeiro temer a Deus, o SENHOR. Se você conhece o Deus Santo, então você tem a compreensão das coisas.”

(Provérbios 9:10)

RESUMO

O objetivo principal deste trabalho é o estudo de transistores MuGFETs de porta tripla de Corpo de canal tipo-n com e sem a aplicação da configuração DTMOS. Este estudo será realizado através de simulações numéricas tridimensionais e por caracterizações elétricas.

A corrente de dreno, a transcondutância, a resistência, a tensão de limiar, a inclinação de sublimiar e a Redução da Barreira Induzida pelo Dreno (DIBL) serão analisadas em modo DTMOS e em configuração de polarização convencional. Importantes figuras de mérito para o desempenho analógico como transcondutância-sobre-corrente de dreno, a condutância de saída, a tensão Early e o ganho de tensão intrínseco serão estudados tanto experimentalmente como através de simulações numéricas tridimensionais para diferentes concentrações de dopantes no canal. Os resultados indicam que a configuração DTMOS apresenta as características elétricas superiores (4 e 10 %) e maior eficiência dos transistores. Além disso, os dispositivos DTMOS com alta concentração de dopantes no canal apresentaram um desempenho analógico muito melhor quando comparados ao transistor de porta tripla de Corpo em modo de operação convencional.

O ruído de baixa frequência (LF) é pela primeira vez experimentalmente analisado na região linear e saturação. A origem do ruído é analisada de maneira a compreender os mecanismos físicos envolvidos neste tipo de ruído. As medições mostraram que os espectros do sinal dos dispositivos de porta tripla de Corpo e DTMOS são compostos por flutuações referentes ao número de portadores devido ao ruído *flicker* e por ondas de ruído de geração e recombinação no dielétrico de porta que se torna maior com o aumento da tensão de porta. No entanto, o principal fato desta análise é que o dispositivo DTMOS apresentou praticamente a mesma magnitude do ruído LF na região linear e de saturação que o dispositivo de Corpo.

A energia de 60 MeV na fluência de $p/10^{12}$ cm^{-2} de radiações de prótons é também estudada experimentalmente em termos das características elétricas, desempenho do analógico e ruído LF nos dispositivos de porta tripla de Corpo e DTMOS. Os resultados indicam que combinado com as suas melhores características elétricas e um ótimo desempenho analógico do DTMOS, faz o transistor de porta tripla de Corpo um candidato muito competitivo para aplicações analógicas em ruído de baixa frequência antes e depois da irradiação. A vantagem da técnica DTMOS em transistores de porta tripla em ambientes onde os dispositivos têm de suportar alta radiação é devido à menor penetração do campo de dreno que reduz o efeito das cargas induzidas pelo óxido de isolação (STI).

Finalmente, o transistor de Corpo de porta tripla de canal tipo-n é experimentalmente estudado como célula de memória, isto é, como 1T-DRAM (Memória de Acesso Aleatório Dinâmico com 1 transistor). Para escrever e ler ”1” é utilizado um modo de programação que utiliza o efeito do transistor bipolar parasitário (BJT) enquanto a polarização direta da junção do corpo e do dreno é usada para escrever “0”. As correntes de leitura e escrita aumentam com o aumento da tensão do corpo (V_B) porque as cargas induzidas pelo efeito BJT é armazenada dentro da aleta. Quando o corpo do transistor está flutuante, o dispositivo retém mais cargas dentro da sua aleta. Além disso, transistor de Corpo pode ser utilizado como 1T-DRAM com eletrodo de porta e substrato flutuando. Neste caso, o dispositivo funciona como um biristor (sem porta).

Palavras-chave: Transistor, porta tripla de Corpo, DTMOS, MuGFET, tensão Early, ganho de tensão intrínseco, ruído de baixa frequência, radiação de prótons.

ABSTRACT

The main goal of this work is to investigate the n-channel MuGFETs (triple-gate) Bulk transistors with and without the application of DTMOS operation. This work will be done through three-dimensional numerical simulation and by electrical characterizations.

The drain current, transconductance, resistance, threshold voltage, subthreshold swing and Drain Induced Barrier Lowering (DIBL) will be analyzed in the DTMOS mode and the standard biasing configuration. Important figures of merit for the analog performance such as transconductance-over-drain current, output conductance, Early voltage and intrinsic voltage gain will be studied experimentally and through three-dimensional numerical simulations for different channel doping concentrations. The results indicate that the DTMOS configuration has superior electrical characteristics (4 e 10 %) and higher transistor efficiency. In addition, DTMOS devices with a high channel doping concentration exhibit much better analog performance compared to the normal operation mode.

Low-Frequency (LF) noise is for the first time experimentally investigated in linear and saturation region. The origin of the noise will be analyzed in order to understand the physical mechanisms involved in this type of noise. Measurements showed that the signal spectra for Bulk and DTMOS are composed of number fluctuations related *flicker* noise with on top generation and recombination noise humps, which become more pronounced at higher gate voltage. However, the most important finding is the fact that DTMOS devices showed practically the same LF noise magnitude in linear and saturation region than standard Bulk device.

Proton irradiation with energy of 60 MeV and fluence of $p/10^{12}$ cm^{-2} is also experimentally studied in terms of electric characteristic, analog performance and the LF noise in Bulk and DTMOS triple gate devices. The results indicate that the combined of the better electrical characteristics and an excellent analog performance of DTMOS devices, makes it a very competitive candidate for low-noise RF analog applications before and after irradiation. The advantage of dynamic threshold voltage in triple gate transistors in environments where the devices have to withstand high-energy radiation is due to its lower drain electric field penetration that lowers the effect of the radiation-induced charges in the STI *(*shallow trench isolation*)* regions adjacent to the fin.

Finally, the n-channel triple gate Bulk device is used for memory application, that is, 1T-DRAM (Dynamic Random Access Memory with 1 Transistor). Bipolar junction transistor (BJT) programming mode is used to write and read “1” while the forward biasing of the body-drain junction is used to write “0”. The reading and writing current increases with increasing body bias (V_B) because the load induced by the BJT effect is stored within the fin. When the body of the transistor is floating, the device retains more charge within its fin. In addition, transistor could also operate as 1T-DRAM with both gate and bulk contacts floating, which is similar to the biristor (gateless) behavior.

Keywords: Transistor, triple gate, Bulk, DTMOS, MuGFET, Early voltage, intrinsic voltage gain, Low-Frequency noise; proton irradiation.

LISTA DE FIGURAS

Figura 1 – Distribuição das cargas de depleção em transistores de tecnologia MOS (a) e de tecnologia SOI totalmente depletado (b) em relação ao comprimento do canal. 31
Figura 2– Dreno induzindo redução de barreira (DIBL). Distribuição do potencial ao longo do canal em um MOSFET, para canal longo e canal curto (a) e o perfil de depleção exemplificando o DIBL: de superfície (a); de corpo (b)[13]..... 33
Figura 3 – Dispositivo SOI MOSFET de canal tipo-n identificando o transistor bipolar parasitário inerente em sua estrutura. 36
Figura 4 – Curva I_D versus V_G indicando as curvas A: Inclinação de sublimiar normal; B: Inclinação de sublimiar infinita e histerese; C: *latchup* do dispositivo[11]. 36
Figura 5 – Curva I_D versus V_G de um MOSFET de canal tipo-n indicando o efeito GIDL[18]. . 37
Figura 6 – Densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) em função de I_D (a) e densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G (b) considerando as flutuações no número de portadores e flutuações na mobilidade[32]..... 39
Figura 7 – Curva característica da relação g_m/I_D em função da corrente normalizada (I_D/[W/L]) de um dispositivo MOSFET na saturação. 40
Figura 8 – Obtenção da tensão Early através da curva de corrente de dreno em função da tensão aplicada no dreno. 42
Figura 9 – Raios cósmicos atingindo a atmosfera terrestre[46]. 50
Figura 10 – Vento solar. 51
Figura 11 – Cinturão de radiação[46]..... 52
Figura 12 – Mapa do campo magnético total da Terra (intensidade expressa em nT), sobre o Brasil na área mais escura existe a AMAS, Anomalia Magnética do Atlântico Sul. 53
Figura 13 – Classificação dos efeitos da radiação em função de suas respectivas fontes. 54
Figura 14 – Célula de memória típica SRAM de 6 transistores (6T). 56
Figura 15 – Célula de memória com 1 transistor e 1 capacitor típica 1T1C-DRAM. 56
Figura 16 – Figura representativa de como escrever “1” (a) e escrever “0” ou seja, apagar (b) utilizando células de memória de um transistor. 57
Figura 17 – Perfil transversal de um transistor SOI MOSFET de canal tipo-n. 59
Figura 18 – Diagrama de faixas de energia do transistor SOI MOSFET parcialmente depletado. 59
Figura 19 – Diagrama de faixas de energia do transistor SOI MOSFET totalmente depletado. 60

Figura 20 – Dispositivos: DELTA (a); FinFET (b). 61
Figura 21 – Transistor de porta tripla e diferentes parâmetros tais como, largura da aleta (W_{Fin}); altura da aleta (H_{Fin}) e comprimento do canal (L). 62
Figura 22 – Corte transversal de um transistor de porta tripla de Corpo indicando a largura da aleta (W_{Fin}); altura da aleta fin (H_{Fin}) e o óxido de campo (t_{oxc}). 63
Figura 23 – Corte transversal de um DTMOS de porta tripla indicando o óxido de porta (t_{ox}) (a). Curvas da corrente de dreno (I_D) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo com e sem a aplicação da configuração DTMOS (b). 65
Figura 24 – Corte transversal de um BOI de porta tripla indicando o óxido de campo (t_{oxc}). 65
Figura 25 – Corte transversal de um SOI de porta tripla indicando a largura da aleta (W_{Fin}), altura da aleta (H_{Fin}). 66
Figura 26 – Estruturas não planares: (a) Porta Π; (b) Porta Ω. 66
Figura 27 – Estruturas de porta circundantes: porta quadrupla (a) e transistor Cynthia (b). 67
Figura 28 – Estrutura multi-dedos. 68
Figura 29 – Tensão de Limiar em função da concentração de dopante no canal (a) e a curva $d^2 I_D / dV_G^2$ em função da tensão de porta (b) para dispositivos SOI de porta tripla. 71
Figura 30 – Corte transversal identificando as regiões do canal e os cantos (a) e; a curva $d^2 I_D / dV_G^2$ em função da tensão de porta (b) para dispositivos SOI de porta tripla. 72
Figura 31 – Tensão de limiar (V_{T_Corpo}) dos dispositivos de porta tripla de Corpo em função da polarização de corpo (V_{BS}) para várias concentrações de dopantes no canal com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV. 75
Figura 32 – Curva $d^2 I_D / dV_G^2$ em função de V_G dos dispositivos de Corpo com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 100 mV e com diferentes concentrações de dopantes no canal. 76
Figura 33 – Curva $d^2 I_D / dV_G^2$ em função de V_G dos dispositivos DTMOS com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 100 mV e com diferentes concentrações de dopantes no canal. 76
Figura 34 – Inclinação de sublimiar (S) para dispositivos de porta tripla com W_{Fin} = 30 nm e H_{Fin} = 60 nm extraídos na região linear para; $N_A = 1 \times 10^{15}$ cm^{-3} e $N_A = 1 \times 10^{18}$ cm^{-3}. 77

Figura 35 – Inclinação de sublimiar (S) para dispositivos com W_{Fin} = 120 nm;H_{Fin} = 60 nm e L = 1 µm extraídos na região linear em função da concentração de dopantes no canal (N_A). 78
Figura 36 – Corrente de dreno (a) e a transcondutância (b) e em função da sobretensão de porta (V_{GT}) na região de saturação para dispositivos de porta tripla com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm e V_D = 550 mV. 78
Figura 37 – Relação g_m/I_D em função da corrente de dreno normalizada na região de saturação para dispositivos de porta tripla com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm e V_D = 550 mV. 79
Figura 38 – Tensão Early (V_{EA}) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm e V_D = 550 mV. 80
Figura 39 – Ganho de tensão intrínseco (A_V) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm. e V_D = 550 mV. 80
Figura 40 – Condutância de saída (g_D) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV... 81
Figura 41 – Transcondutância (g_m) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV eV_{GT} = 230 mV.... 81
Figura 42 – (g_m/I_D) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm e L = 1 para diferentes temperaturas. 82
Figura 43 – Tensão Early (V_{EA}) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV... 83
Figura 44 – Ganho de tensão intrínseco (AV) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV. 83
Figura 45 – Lâminas com substrato de silício de 12’’ divididas em varias partes iguais (*chip*). .. 84
Figura 46 – Conjunto de diferentes tipos de dispositivos em uma parte da lâmina (*chip*) destacando os transistores de porta tripla de Corpo caracterizados neste trabalho. 85
Figura 47 – Transistores p-MOS e n-MOS identificando-se as regiões de fonte, dreno e porta. 85
Figura 48 – Transistor de porta tripla de corpo indicando um corte transversal do canal e seus diferentes parâmetros tais como, altura da aleta H_{Fin}; largura da aleta W_{Fin}; óxido de isolação STI (*Shallow Trench Isolation)* e comprimento do canal (L). 86
Figura 49 – Corte transversal ao logo do canal (A–A’) de um transistor de porta tripla de Corpo em configuração tradicional de Corpo (a) e configuração DTMOS (b). 86

Figura 50 – Escala linear (a) e escala logarítmica (b) das curvas experimentais da corrente de dreno (I_D) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo e DTMOS para diferentes comprimentos de canal (L). 88
Figura 51 – Curvas experimentais da transcondutância (g_m) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo e DTMOS para diferentes comprimentos de canal (L). 89
Figura 52 – Curvas experimentais da resistência total (R_T) para dispositivos de porta tripla de Corpo e DTMOS extraído em tensão de dreno (V_D) de 50 mV e sobretensão de porta (V_{GT}) de 200 mV em função do comprimento do canal. 89
Figura 53 – Curvas experimentais da tensão de limiar (V_T) para dispositivos de porta tripla em função do comprimento do canal. 90
Figura 54 – Curvas experimentais da inclinação de sublimiar (S) para dispositivos de porta tripla em função do comprimento do canal. 91
Figura 55 – Curvas experimentais e simuladas da corrente de dreno e da transcondutância na região linear e saturação em dispositivos de Corpo de porta tripla. 91
Figura 56 – Curvas experimentais do DIBL para dispositivos de porta tripla extraído na tensão de polarização de dreno (V_D) de 50 mV e 1,2 V em função do comprimento do canal. 92
Figura 57 – Curvas experimentais de g_m/I_D em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação. 93
Figura 58 – Curvas experimentais e simuladas de g_m/I_D em função da sobretensão de porta (V_{GT}) na região de saturação. 93
Figura 59 – Curvas experimentais da condutância de saída (g_D) em função da sobretensão de porta (V_{GT}). 94
Figura 60 – Curvas experimentais e simuladas da tensão Early (V_{EA}) em função da sobretensão de porta (V_{GT}) na região de saturação. 94
Figura 61 – Curvas experimentais e simuladas do ganho de tensão intrínseco (A_V) em função da sobretensão de porta (V_{GT}) na região de saturação. 95
Figura 62 – Curvas experimentais da corrente de dreno (I_D) e da transcondutância (g_m) em dispositivos de porta tripla de Corpo e DTMOS nas regiões linear com V_D = 50 mV e saturação com V_D = 1.2 V (a) e a razão entre o DTMOS e o dispositivo de Corpo para I_D e g_m (b). 96
Figura 63 – Densidade espectral do ruído (Sid) em função da corrente de dreno (I_D) nas regiões linear e saturação para frequência de 25 Hz em dispositivos de porta tripla. 97
Figura 64 – Densidade espectral do ruído (Sid) em função da frequência nas regiões linear e saturação para V_G = 0,45 V (a) e V_G = 0,7 V (b) em dispositivos de porta tripla. 98

Figura 65 – Densidade espectral do ruído normalizado pela corrente de dreno (Sid/I_D^2) em função de I_D nas regiões linear e saturação em dispositivos de porta tripla. 99
Figura 66 – Densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G nas regiões linear e saturação em dispositivos de porta tripla. 99
Figura 67 – Representação esquemática da lamina de silício indicado as diferentes áreas. As áreas B, T e C foram expostas à radiação e as áreas R e L não foram irradiadas para servirem de referência. 101
Figura 68 – Curvas experimentais da transcondutância (g_m) corrente de dreno (I_D) antes e depois da irradiação em dispositivos de porta tripla de Corpo e DTMOS com W_{Fin} = 130 nm. 102
Figura 69 - Curvas experimentais da transcondutância (g_m) corrente de dreno (I_D) antes e depois da irradiação em dispositivos de porta tripla de Corpo e DTMOS com W_{Fin} = 1µm. 102
Figura 70 – Curvas experimentais do DIBL para dispositivos de porta tripla extraída em função do comprimento do canal antes e depois exposição à radiação. 103
Figura 71 – Curvas experimentais de g_m/I_D em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da radiação. 104
Figura 72 – Curvas experimentais da tensão Early (V_{EA}) em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da exposição à radiação. 105
Figura 73 - Curvas experimentais do ganho de tensão intrínseco (A_V) em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da exposição à radiação. 105
Figura 74 – Densidade espectral do ruído (Sid) em função da corrente de dreno (I_D) na região de saturação para frequência de 25 Hz em dispositivos de porta tripla de Corpo e DTMOS antes e depois da radiação. 106
Figura 75 – Densidade espectral do ruído (Sid) na região de saturação para V_G = 0,5 V (a) e V_G = 0,9 V (b) em dispositivos de porta tripla antes e depois da exposição à radiação. 107
Figura 76 – Densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) em função de I_D na região de saturação com frequência de 25 Hz em dispositivos de Corpo e DTMOS. 108
Figura 77 – Densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G na região de saturação dispositivos de porta tripla antes e depois da exposição à radiação. 108
Figura 78 – Curva experimental de I_D x V_G em dispositivos de porta tripla de Corpo. 109

Figura 79 – Esquema de polarização usado para escrever e ler o nível ”1” em dispositivos de porta tripla Corpo. 110
Figura 80 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla Corpo com polarização de corpo (V_B) de 0 e 2 V. 110
Figura 81 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de corpo (V_B) de 0 V e flutuando. 111
Figura 82 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato (V_B) de 0 V e polarização de porta flutuando. 111
Figura 83 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato (V_B) de 2 V. 112
Figura 84 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato e polarização de porta flutuando. 112
Figura 85 – Esquema de polarização usado para escrever e ler o nível ”0” em dispositivos de porta tripla de Corpo. 113
Figura 86 – Esquema de polarização usado para escrever o nível ”0” para V_B = -1 V (a) e V_B flutuando (b) com e sem polarização de porta em dispositivos de porta tripla de Corpo. 113
Figura 87 – Esquema de polarização usado para escrever e ler o nível ”1” com V_B flutuando para V_D (a) e V_G (b) em dispositivos de Corpo de porta tripla. 114
Figura 88 – Corrente de escrita e leitura ($I_{escrita}$) de ”1” em função do tempo de retenção em dispositivos de Corpo de porta tripla. 114
Figura 89 – Margem de sensibilidade (ΔI_D) medida em 90% do tempo de escrita ($t_{escrita}$) em dispositivos de porta tripla de Corpo. 115

LISTA DE TABELAS

Tabela 1 – Tensão de limiar dos dispositivos de porta tripla de Corpo e DTMOS várias concentrações de dopantes no canal com W_{Fin} = 120 nm, H_{Fin} = 60 nm, L = 1 µm, V_D = 550 mV e V_{GT} = 230 mV..... 75

LISTA DE ABREVIATURAS E SIGLAS

AMAS	Anomalia Magnética do Atlântico Sul
BJT	Transistor de Junção Bipolar*; "Bipolar Junction Transistor"*
BTA	*Berkeley Technology Associates*
Bulk FinFET	Transistor de porta tripla de Corpo
BOI	*Body-On-Insulator*
CMOS	*Complementary Metal-Oxide Semiconductor*
3D	Tridimensional
DELTA	*fully Depleted Lean-channel Transistor*
DIBL	Redução da Barreira Induzida pelo dreno; "*Drain Induced Barrier Lowering"*
DRAM	Memória Dinâmica de Acesso Aleatório; "*Dynamic Random Access Memory"*
DTMOS	*Dynamic Threshold MOSFET*
ESA	Agência espacial Europeia; "*European Space Agency"*
FD	Totalmente Depletados; "*Fully Depleted"*
FinFET	"*Fin Field Effect Transistor"*
GAA	Transistor de porta circundante; "*Gate-All-Around"*
GIDL	Corrente de dreno induzida pela porta; "*Gate Induced Drain Leakage"*
GIFBE	Efeito de corpo flutuante induzido pela porta; "*Gate Induced Floating Body Effect*"
GP	*"Ground Plane"*
GR	Geração e Recombinação
HfSiO	Silicato de óxido de háfnio
imec	"*interuniversity microelectronic center"*
MOS	"*Metal-Oxide-Semiconductor"*
MOSFET	"*Metal-Oxide-Semiconductor Field Effect Transistor"*
MTC	Variação Máxima da Transcondutância; "*Maximum Transconductance Change"*
MuGFETs	"*Multi Gate Field Effect Transistors"*
NFD	Quase Totalmente Depletados; "*Near Fully Depleted"*
TiN	Nitreto de Titânio

OTA	Amplificadores Operacionais de Transcondutância; "*Operational Transconductance Amplifier"*
PE-ALD	*Plasma Enhanced Atomic Layer Deposition*
PD	Parcialmente Depletados; "*Partially Depleted"*
RAM	Memória de Acesso Aleatório; "*Random Access Memory"*
SCE	Efeito de Canal Curto; "*Short Channel Effect"*
SEB	"*Single Event Burnout"*
SEE	*"Single Event Effect"*
SEGR	"*Single Event Gate Rupture"*
SEL	*"Single Event Latchup"*
SET	"*Single Event Transient"*
SEU	"*Single Event Upset"*
Si	Silício
SiON	Óxido Nitreto de Silício
SiO_2	Óxido de Silício
SOI	"*Silicon-On-Insulator"*
SRAM	Memória Estática de Acesso Estático; "*Static Random Access Memory"*
STI	Óxido de Isolação; "*Shallow Trench Isolation*"
1T-DRAM	DRAM formada por um transistor (1T)
1T1C-DRAM	DRAM formada por um transistor (1T) e um capacitor (1C)
6T-DRAM	DRAM formada por seis transistores (6T)
XMOS	Transistor MOS de porta dupla horizontal

LISTA DE SÍMBOLOS

A_V	Ganho da tensão em malha aberta para baixas frequências (dB)
C_D	Capacitância da região de depleção por unidade de área (F/cm^2)
C_{it}	Capacitância das armadilhas de interface (F/cm²)
C_{it1}	Capacitância das armadilhas na primeira interface (F/cm²)
C_{it1}	Capacitância das armadilhas na segunda interface (F/cm²)
C_{ox}	Capacitância do óxido por unidade de área (F/cm^2)
C_{ox1}	Capacitância do óxido por unidade de área na primeira interface (F/cm^2)
C_{ox2}	Capacitância do óxido por unidade de área na segunda interface (F/cm^2)
C_{Si}	Capacitância da camada de silício por unidade de área (F/cm^2)
E_C	Nível energético da faixa de condução (V)
E_F	Nível de Fermi (V)
E_{FB}	Nível de Fermi do substrato (V)
E_{FM}	Nível de Fermi do metal (V)
E_V	Nível energético da faixa de valência (V)
1/f	Ruído *flicker* (A^2/Hz)
f	frequência (Hz)
g_D	Condutância de dreno (S)
g_{Dsat}	Condutância de saturação de dreno (S)
g_m	Transcondutância do transistor (S)
g_{msat}	Transcondutância de saturação do transistor (S)
H_{Fin}	Altura da aleta f(*fin*) no transistor de porta tripla (nm)
H_{R1}	Altura da Região 1 da aleta no transistor de porta tripla (nm)
H_{R2}	Altura da Região 2 da aleta no transistor de porta tripla (nm)
I_c	Corrente de coletor do transistor bipolar parasitário (A)
I_{canal}	Corrente de canal do transistor MOSFET (A)
I_{corpo}	Corrente de corpo do transistor bipolar parasitário (A)
I_D	Corrente entre dreno e fonte em transistores de porta tripla (A)
I_{Dfinal}	Corrente de canal devido ao transistor MOS, considerando a parcela da ionização impacto (A)
I_{Dleak}	Corrente de fuga (A)
I_D	Corrente de dreno (A)

I_{Dsat}	Corrente de saturação entre dreno e fonte (A)
I_{Do}	Corrente de transistor planar de porta única (A)
k	Constante de Boltzmann (1,38066 x 10^{-23} J/K)
L	Comprimento de canal do transistor (μm)
L_D	Comprimento da região de Dreno em transistores de porta tripla (nm)
L_{Fin}	Comprimento da aleta no transistor em transistores de porta tripla (nm)
L_S	Comprimento da região de Fonte em transistores de porta tripla (nm)
M	Fator multiplicativo devido à ionização por impacto
n	Fator de corpo do dispositivo
n_{acc}	Fator de corpo do dispositivo na acumulação
n_{depl}	Fator de corpo do dispositivo na depleção
n_{MOS}	Fator de corpo do dispositivo no transistor MOS
n_i	Concentração intrínseca de portadores (cm^{-3})
N_A	Concentração de impurezas aceitadoras do semicondutor tipo-p (cm^{-3})
N_{A1}	Concentração de impurezas aceitadoras do semicondutor tipo P na região 1 do canal (cm^{-3})
N_{A2}	Concentração de impurezas aceitadoras do semicondutor tipo-p na região 2 do canal (cm^{-3})
N_D	Concentração de impurezas doadoras do semicondutor tipo-n (cm^{-3})
N_{it}	Densidade de armadilhas na primeira interface
np	Número de portas nos transistores MuGFETs
npn	Junção tipo-n + Junção tipo-p + Junção tipo-n
P	Distância do início de um dedo ao mesmo ponto do outro dedo (nm)
q	Carga elementar do elétron (1,6 x 10^{-19} C)
Q_{depl}	Cargas total de depleção na camada de silício por unidade de área nos Transistores SOI (C/cm^2)
$Q_{depl,eff}$	Cargas de depleção efetiva da camada de silício por unidade de área nos Transistores SOI (C/cm^2)
Q_{inv}	Cargas de inversão (C/cm^2)
Q_{inv1}	Cargas de inversão na primeira interface (C/cm^2)
Q_{ox}	Densidade de cargas fixas no óxido por unidade de área (C/cm^2)
Q_{S2}	Cargas de inversão na segunda interface (C/cm^2)
r_j	Profundidade da junção fonte e dreno (nm)
R_{CH}	Resistência do canal (Ω)

R_{SD}	Resistência série entre fonte e dreno (Ω)
R_T	Resistência Total dos dispositivos (Ω)
S	Inclinação de Sublimiar (V/década)
S_{acc}	Inclinação de Sublimiar na acumulação (V/década)
S_{depl}	Inclinação de Sublimiar na depleção (V/década)
S_{MOS}	Inclinação de Sublimiar no transistor n-MOS (V/década)
S_{VG}	Densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (1/Hz)
Sid/g_m^2	Densidade espectral do ruído referenciado à entrada (V^2/Hz)
Sid	densidade espectral do ruído (A^2/Hz)
T	Temperatura (K)
$t_{escrita}$	Tempo de escrita
$t_{leitura}$	Tempo de leitura
t_{Si}	A espessura da camada de silício (nm)
t_{ox}	A espessura da camada do óxido (nm)
t_{ox}	A espessura do óxido de porta (nm)
t_{ox1}	A espessura do óxido de porta no transistor planar (nm)
t_{ox2}	A espessura do óxido enterrado no transistor planar (nm)
t_{oxb}	A espessura do óxido enterrado em transistor de porta tripla (nm)
t_{oxc}	A espessura do óxido de campo em transistor de porta tripla (nm)
t_{oxcl}	A espessura do óxido de canal em transistor de porta tripla (nm)
t_{ox}	A espessura do óxido de porta em transistor de porta tripla (nm)
V_{BS}	Potencial de substrato (V)
V_D	Tensão de dreno (V)
V_{DS}	Tensão entre dreno e fonte (V)
V_{DSsat}	Tensão de saturação entre dreno e fonte (V)
V_{D1}	Tensão de dreno em linear (V)
V_{D2}	Tensão de dreno em saturação (V)
V_E	Tensão aplicada na entrada do circuito (V)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_G	Tensão de entrada aplicada às portas do dispositivo (V)
V_{G1}	Tensão de entrada aplicada à porta do dispositivo em transistor SOI convencional (V)

V_{G2}	Tensão de entrada aplicada ao substrato do dispositivo em transistor SOI convencional (V)
$V_{G2,acc2}$	Tensão de entrada aplicada ao substrato do dispositivo com a segunda interface na acumulação (V)
V_{ss}	Tensão aplicada de fonte (V)
V_T	Tensão de limiar (V)
V_{T_Corpo}	Tensão de limiar em transistores de porta tripla de Corpo (V)
V_{T_BC}	Tensão de limiar dos cantos inferiores em transistores de porta tripla (V)
V_{T_TC}	Tensão de limiar dos cantos superiores em transistores de porta tripla (V)
V_{T_DTMOS}	Tensão de limiar em transistores de porta tripla DTMOS (V)
V_{T_G}	Tensão de limiar das superfícies em transistores de porta tripla (V)
V_{T_SG}	Tensão de limiar das superfícies laterais em transistores de porta tripla (V)
V_{T_TG}	Tensão de limiar da superfície a superior em transistores de porta tripla (V)
V_{T0}	Tensão de limiar com polarização de copo V_{BS} = 0 V (V)
V_{T1}	Tensão de limiar extraída em linear (V)
$V_{T,acc2}$	Tensão de limiar com a segunda interface na acumulação (V)
$V_{T,depl2}$	Tensão de limiar com a segunda interface na depleção (V)
$V_{T,inv2}$	Tensão de limiar com a segunda interface na inversão (V)
V_{T2}	Tensão de limiar extraída em saturação (V)
W	Largura de canal em transistor convencional (nm)
W_{Fin}	Largura da aleta no transistor transistores de porta tripla (nm)
x_d	Profundidade da região de depleção (μm)
x_{dmax}	Profundidade máxima da região de depleção (μm)
x_{d1}	Espessuras da região de depleção proveniente da primeira interface (μm)
x_{d2}	Espessuras da região de depleção proveniente da segunda interface (μm)
α	Parâmetro resultante de associação das capacitâncias do transistor
α_{acc}	Parâmetro resultante de associação das capacitâncias do transistor na acumulação
α_{depl}	Parâmetro resultante de associação das capacitâncias do transistor na depleção
α_H	Parâmetro de Hooge
α_{MOS}	Parâmetro resultante de associação das capacitâncias no transistor n-MOS
α_R	Fator de Variação da resistência série (V^{-1})
β_F	Ganho de corrente do transistor bipolar parasitário

ΔI_D	Margem de sensibilidade (Δ_{VG})
ΔV_G	Intervalo de polarização de V_G para a leitura
ε_o	Energia do elétron no equilíbrio térmico
ε_{ox}	Permissividade do óxido de silício (3,45 x 10^{-13} F/cm)
ε_{Si}	Permissividade do silício (1,06 x 10^{-12} F/cm)
ϕ_F	Potencial de Fermi da camada de silício (V)
ϕ_{MS}	Diferença da função de trabalho entre metal e semicondutor (V)
ϕ_{MS1}	Diferença da função de trabalho entre metal e semicondutor na primeira interface (V)
ϕ_{MS2}	Diferença da função de trabalho entre metal e semicondutor na segunda interface (V)
ϕ_S	Potencial de superfície (V)
ϕ_{S1}	Potencial de superfície na primeira interface (V)
ϕ_{S2}	Potencial de superfície na segunda interface (V)
γ	Constante de efeito de corpo ($V^{1/2}$)
μ	Mobilidade efetiva (cm^2/V.s)
μ_n	Mobilidade efetiva dos elétrons na camada de silício (cm^2/V.s)
μ_{Lat}	Mobilidade efetiva dos elétrons na camada de silício nas portas laterais (cm^2/V.s)
μ_{Topo}	Mobilidade efetiva dos elétrons na camada de silício na porta superior (cm^2/V.s)
μ_0	Mobilidade para baixo campo (cm^2/V.s)
θ	Coeficiente de degradação da mobilidade (1/V)

SUMÁRIO

1 INTRODUÇÃO 26
1.1 OBJETIVO 28
1.2 ESTRUTURA DO TRABALHO 28
2 CONCEITOS FUNDAMENTAIS 30
2.1 EFEITOS PARASITÁRIOS 30
2.1.1 Efeitos de Canal Curto 30
2.1.2 Redução da Barreira Induzida pelo Dreno (DIBL) 32
2.1.3 Efeito de Corpo 33
2.1.4 Ionização por Impacto 34
2.1.4.1 Elevação abrupta da corrente de dreno (*Kink effect*) 35
2.1.4.2 Efeito do transistor bipolar parasitário (BJT) 35
2.1.5 Corrente de Dreno Induzida pela Porta (GIDL) 37
2.1.6 Ruído em Baixa Frequência 38
2.1.6.1 Ruído de geração e recombinação (GR) 38
2.1.6.2 Ruído *flicker* (1/f) 39
2.2 PARÂMENTROS ANALÓGICOS 40
2.2.1 Razão g_m/I_D 40
2.2.2 Tensão Early (V_{EA}) 41
2.2.3 Ganho Intrínseco DC (A_V) 42
2.3 EFEITOS DA TEMPERATURA 43
2.3.1 Tensão de Limiar (V_T) 43
2.3.2 Inclinação de Sublimiar (S) 46
2.3.3 Mobilidade (μ) 47
2.3.4 Transcondutância (g_m) 48
2.3.5 Condutância de Saída (g_D) 49
2.4 EFEITOS DA RADIAÇÃO 50
2.4.1 Radiação Cósmica 50
2.4.1.1 Radiação cósmica galáctica 50
2.4.1.2 Radiação cósmica solar 51
2.4.2 Cinturão de Radiação (*Van Allen)* 52
2.4.3 Anomalia Magnética do Atlântico Sul - AMAS 52

2.4.4 Radiação nos Dispositivos Semicondutores 53
2.4.4.1 Dose total ionizante 53
2.4.4.2 Danos por deslocamentos 54
2.4.4.3 Efeitos Singulares (SEE - *Single Event Effect*)[11] 54
2.5 CÉLULAS DE MEMÓRIAS 55
2.5.1 Memória RAM 55
2.5.2 Célula de Memória 6T-SRAM 55
2.5.3 Memória 1T1C-DRAM 56
2.5.4 Memória 1T-DRAM 57
3 TECNOLOGIA DE MÚLTIPLAS PORTAS – MuGFETs 58
3.1 TECNOLOGIA SOI CONVENCIONAL 58
3.1.1 SOI Parcialmente Depletados 59
3.1.2 SOI Totalmente Depletados 60
3.1.3 Quase Totalmente Depletados 60
3.2 TECNOLOGIA MuGFETs 61
3.2.1 Dispositivo de Porta Dupla 61
3.2.2 Dispositivo de Porta Tripla 62
3.2.2.1 Transistor de porta tripla de Corpo 63
3.2.2.2 Transistor de porta tripla DTMOS (*Dynamic Threshold MOSFET*) 64
3.2.2.3 Transistor de porta tripla BOI (*Body-On-Insulator*) 65
3.2.2.4 Transistor de porta tripla SOI (*Silicon-On-Insulator*) 65
3.2.3 Dispositivo de Porta Tripla Mais (+3) 66
3.2.4 Dispositivo de Porta Quádrupla 67
3.3 FUNCIONAMENTO DOS MuGFETs 68
3.3.1 Corrente de Dreno 68
3.3.2 Comprimento Natural e Efeito de Canal Curto 69
3.3.3 Tensão de Limiar 70
4 SIMULAÇÕES DE MuGFETs DE PORTA TRIPLA (Corpo, DTMOS, BOI e SOI) 73
4.1 SIMULADOR 73
4.2 DISPOSITIVOS 74
4.3 TEMPERATURA AMBIENTE 74
4.3.1 Tensão de Limiar em Transistores de Porta Tripla de Corpo e DTMOS 74
4.3.2 Desempenho de Outros Parâmetros 77
4.4 BAIXA TEMPERATURA 81

5 CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES DE PORTA TRIPLA DE CORPO 84
5.1 COMPORTAMENTO DOS MuGFETs DE CORPO COM E SEM CONFIGURAÇÃO DTMOS 86
5.1.1 Estrutura do Dispositivo 87
5.1.2 Características Elétricas Básicas 87
5.1.2.1 Corrente de dreno (I_D) 87
5.1.2.2 Transcondutância (g_m) 88
5.1.2.3 Resistência Total (R_T) 89
5.1.2.4 Tensão de limiar (V_T) e inclinação de sublimiar (S) 90
5.1.2.5 Redução da barreira induzida pelo dreno (DIBL) 92
5.1.3 Desempenho analógico 92
5.1.3.1 Eficiência do transistor (g_m/I_D) 92
5.1.3.2 Condutância de saída (g_D) 93
5.1.3.3 Tensão Early (V_{EA}) 94
5.1.3.4 Ganho intrínseco de tensão (A_V) 95
5.2 RUÍDO DE BAIXA FREQUÊNCIA 95
5.2.1 Corrente de dreno (I_D) e transcondutância (g_m) 96
5.2.2 Densidade Espectral de Ruído (Sid) 97
5.2.2.1 Sid versus I_D 97
5.2.2.2 Sid versus frequência 97
5.2.2.3 Sid/I_D^2 versus I_D 98
5.2.2.4 Sid/g_m^2 versus V_G 99
5.3 INFLUÊNCIA DA RADIAÇÃO 100
5.3.1 Dispositivo 100
5.3.2 Radiação de Próton 101
5.3.3 Características Elétricas Básicas 101
5.3.3.1 Transcondutância (g_m) e corrente de dreno (I_D) 101
5.3.3.2 Redução da barreira induzida pelo dreno (DIBL) 103
5.3.4 Desempenho analógico 104
5.3.4.1 Eficiência do transistor (g_m/I_D) 104
5.3.4.2 Tensão Early (V_{EA}) 104
5.3.4.3 Ganho intrínseco de tensão (A_V) 105

5.3.5 Ruído de Baixa Frequência 106
5.3.5.1 Sid versus I_D 106
5.3.5.2 Sid versus frequência 106
5.3.5.3 Sid/I_D^2 versus I_D 107
5.3.5.4 Sid/g_m^2 versus V_G 108
5.4 CÉLULA DE MEMÓRIA 1T-DRAM 109
5.4.1 Programação BJT 109
5.4.2 Polarização para Escrita 110
5.4.3 Polarização para Leitura 114
6 CONCLUSÕES E TRABALHOS FUTUROS 116
PUBLICAÇÕES GERADAS DURANTE O TRABALHO 119
REFERÊNCIAS 121

1 INTRODUÇÃO

Nas últimas décadas, a enorme evolução na indústria de semicondutores tem sido impulsionada pelo contínuo aumento da velocidade de processamento e aumento da densidade de integração de circuitos complexos para processamento digitais[1]. No início dos anos 70, o procedimento de redução das dimensões dos transistores[2] foi proposto para preparar o caminho para atingir ambos objetivos.

Hoje, com a redução das dimensões dos transistores da tecnologia CMOS (*Complementary Metal Oxide Semiconductor*), a era da microeletrônica evoluindo para a era da nanoeletrônica, muitos desafios tecnológicos ainda devem ser pesquisados. Novas soluções e novos conceitos para superar os limites físicos inerentes (efeitos de canal curto) do tradicional transistor MOSFET (*Metal-Oxide-Semicondutor Field Effect Transistor*) estão para ser encontrados.

Em busca de promover tanto o aumento da corrente quanto uma melhoria na característica de canal curto, os transistores evoluíram de planares de uma porta para dispositivos tridimensionais de múltiplas portas tais como: porta dupla, porta tripla e quádrupla, ou seja, os MuGFETs (*Multi Gate Field Effect Transistors*)[3,4,5]. Esses dispositivos são conhecidos por possuírem uma arquitetura tridimensional promissora para aplicações em tecnologia CMOS abaixo de 22 nm[6]. Possuem melhor controle de corrente por unidade de área do silício e têm excelentes características de canal curto, pois possuem maior número de portas para controlar o potencial da região do canal.

Quando começamos o trabalho em 2008, dentre os diferentes tipos de MuGFETs, destacava-se o transistor de porta tripla de Corpo como um dos candidatos mais promissores para a crescente miniaturização dos dispositivos, devido à somatória de benefícios em relação aos demais tipos de estruturas tridimensionais. Dentre seus benefícios destacam-se o custo reduzido de fabricação decorrente da utilização de substratos de silício, maior tolerância à radiação devido à ausência do óxido enterrado, menor densidade de defeito, maior transferência de calor e maior compatibilidade com os dispositivos MOS convencionais.

Em 2011, a Intel anunciou a implementação do primeiro transistor de estrutura tridimensional (*Tri-Gate*) em tecnologia 22 nm. Foi escolhida a estrutura construída em substrato de silício em virtude de ser uma opção de menor custo em relação à estrutura SOI (*Silicon-On-Insulator*). Dentre as vantagens em relação à sua tecnologia anterior, ou seja, a tecnologia planar de 32 nm pode-se destacar um aumento de 37% em seu desempenho em baixa tensão além de 50% de redução de potência em desempenho constante. Todas essas vantagens com um aumento entre 2 a 3% adicionais em seu custo de processo[7].

Além de grande interesse para alcançar uma melhoria no desempenho desses dispositivos, é também de extrema importância o estudo do comportamento analógico em virtude das futuras aplicações analógico-digital. Juntamente com este estudo, se faz necessário uma análise mais profunda do ruído de baixa frequência em dispositivos de porta tripla de Corpo, pois este é um parâmetro importante para avaliar o comportamento analógico. O ruído é caracterizado por flutuações espontâneas dos sinais de corrente, de tensão ou de resistência. Estas flutuações são influenciadas pela presença de defeitos contidos na estrutura microscópica dos dispositivos.

Visando principalmente às aplicações espaciais, que se encontram constantemente em regiões com maiores níveis de radiação, os efeitos relacionados à incidência da radiação em componentes eletrônicos vem sendo frequentemente estudados pela comunidade científica.

Outro tema que tem sido citado na literatura é que existem benefícios na aplicação da técnica DTMOS *(Dynamic Threshold MOSFET)*, tanto na tecnologia planar como na tecnologia de múltiplas portas. Nesta técnica, o corpo do dispositivo é curto-circuitado com a porta através de um contato com o corpo. Desse modo, à medida que se aplica uma tensão na porta do dispositivo, o contato de corpo do dispositivo também recebe a mesma tensão. Faz-se necessário um estudo do transistor porta tripla de Corpo também em modo DTMOS.

O estudo de transistores de porta tripla de Corpo (também conhecido por Bulk FinFET ou transistor 3D) é o principal tema abordado neste trabalho, ou seja, o transistor de porta tripla de Corpo com e sem a aplicação da técnica DTMOS que será analisado desde suas características elétricas básicas, desempenho analógico, como também será experimentalmente estudado pela primeira vez em termos de ruído de baixa frequência antes e após serem submetidos à energia de 60 MeV na fluência de $p/10^{12}$ cm^{-2} de radiação de prótons e atuando como célula de memória 1T-DRAM com eletrodo de porta e substrato eletricamente flutuando.

1.1 OBJETIVO

Esta tese de doutorado tem como principal objetivo o estudo do desempenho de transistores MuGFETs de porta tripla de Corpo com e sem a aplicação da configuração DTMOS.

Primeiramente será realizado um estudo através de uma série de simulações tridimensionais para vários tipos de MuGFETs de porta tripla tais como: de Corpo, DTMOS (transistor de Corpo com aplicação da técnica DTMOS), BOI (*Body-On-Insulator*) e SOI com diferentes dimensões. Estas simulações serão efetuadas com a variação da concentração de dopantes no canal, na faixa de $N_A = 10^{15}$ a 10^{19} cm^{-3} e para uma faixa de temperatura de 150 a 300 K, e então serão analisadas as características elétricas básicas e analógicas desses dispositivos.

Adicionalmente, será realizado um estudo através de medidas experimentais nos dispositivos de porta tripla de Corpo e DTMOS. Todos os dispositivos utilizados neste trabalho foram fabricados e caracterizados no *interuniversity microelectronics center* (imec), que é um centro de pesquisa na área de microeletrônica localizado na cidade de Leuven, na Bélgica. Nesta parte do trabalho, será feita um estudo mais amplo, que englobará desde as características mais básicas até o comportamento analógico; ruído de baixa frequência e seus desempenhos após serem submetidos à influência da radiação e adicionalmente o comportamento dos transistores de porta tripla de Corpo como célula de memória 1T-DRAM (Memória Dinâmica de Acesso Aleatório com 1 transistor).

1.2 ESTRUTURA DO TRABALHO

Este trabalho está estruturado em 6 capítulos, onde no capítulo 2 estão apresentados alguns conceitos fundamentais, discutindo os principais efeitos parasitários existentes nos transistores que estão relacionados com o trabalho proposto, juntamente com uma descrição dos principais parâmetros analógicos. A influência da temperatura e da radiação sobre o funcionamento dos dispositivos semicondutores também serão abordados. Para finalizar, será apresentada uma breve revisão bibliográfica sobre células de memória.

No capítulo 3 é apresentada uma revisão bibliográfica sobre a tecnologia de múltiplas portas, assim como as características e os principais parâmetros elétricos dos dispositivos com o objetivo de fundamentar o desenvolvimento do trabalho.

Um estudo realizado por simulações numéricas tridimensionais (3D) sobre o desempenho elétrico e analógico de dispositivos MuGFETs de porta tripla através de uma comparação entre os dispositivos de Corpo, DTMOS, BOI e SOI, em temperaturas que variam de 150K até a temperatura ambiente, será descrito no capítulo 4.

O capítulo 5 apresenta os resultados experimentais dos transistores de porta tripla de Corpo, com e sem a aplicação da configuração DTMOS, isto é, transistores com estrutura tridimensional de Corpo e DTMOS. Todos os dispositivos analisados neste trabalho foram fabricados e caracterizados no *interuniversity microelectronics center* (imec), que é um centro de pesquisa na área de microeletrônica localizado na cidade de Leuven, na Bélgica.

Ambos os dispositivos serão comparados desde as características mais básicas até o comportamento analógico. O ruído de baixa frequência e seus desempenhos após serem submetidos à influência da radiação também foram estudados. Na sequência serão apresentados os resultados do desempenho dos transistores de porta tripla de Corpo como célula de memória 1T-DRAM.

E finalizando, no capítulo 6 são apresentadas as principais conclusões obtidas deste trabalho juntamente com as perspectivas de trabalhos futuros.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo estão apresentados os conceitos fundamentais associados aos efeitos parasitários existentes nos transistores MOSFETs e MuGFETs, juntamente com uma descrição dos principais parâmetros analógicos. A influência da temperatura e da radiação sobre o funcionamento dos dispositivos semicondutores também serão abordados. Para finalizar será também apresentada uma breve revisão bibliográfica sobre células de memória RAM dinâmica e estática.

2.1 EFEITOS PARASITÁRIOS

Os efeitos parasitários em dispositivos MOSFETs convencionais geralmente ocorrem devido à interação entre a região ativa do transistor e o substrato.

Nos dispositivos SOI MOSFET, devido à existência de uma camada de óxido enterrado separando a região ativa do substrato, vários efeitos parasitários são minimizados ou até mesmo eliminados, porém, outros efeitos aparecem.

2.1.1 Efeitos de Canal Curto

Os efeitos de canal curto (*SCE - Short Channel Effect*) são efeitos parasitários decorrente da redução do comprimento de canal dos transistores tais como: a variação da tensão de limiar, degradação da inclinação de sublimiar, diminuição da barreira induzida pelo dreno (DIBL - *Drain Induced Barrier Lowering*), perfuração e ação do transistor bipolar parasitário[8,9,10]. Esses efeitos afetam as características dos transistores, pois com a redução do comprimento do canal, há uma mudança no perfil de cargas dessa região.

Para os transistores MOSFETs convencionais e SOI MOSFETs parcialmente depletados de canal longo, as cargas de depleção máximas controladas pela porta (Q_{depl}) são determinadas pela equação 1, onde q é a carga elementar do elétron; N_A é a concentração de impurezas aceitadoras do substrato e x_{dmax} é a largura máxima da região de depleção.

$$Q_{depl} = qN_A x_{dmax} \tag{1}$$

Para o caso de transistores de canal curto, as cargas da região de depleção sob o canal, que são normalmente controladas pela porta, passam a ser parcialmente controladas pelas regiões de depleção de fonte e dreno, ou seja, a porta passa a controlar somente uma fração das cargas total do canal ($Q_{depl,\,eff}$). Esta fração de cargas pode ser determinada pela equação 2[11].

$$Q_{depl,eff} = Q_{depl}\left(1 - \frac{r_j}{L}\left(\sqrt{1 + \frac{2x_{dmax}}{r_j}} - 1\right)\right) \tag{2}$$

Sendo que r_j é a profundidade da junção da fonte e dreno e L é o comprimento de canal do dispositivo. Os transistores SOI MOSFET totalmente depletados, para as mesmas dimensões e condições de polarização em relação ao de MOSFET convencional, sofrem menor influência da redução do comprimento do canal, uma vez que a porcentagem total das cargas que são efetivamente controladas pela porta em dispositivos SOI de canal curto é maior quando comparada aos dispositivos MOS convencionais com apresentado na equação 3, onde L e d são as distâncias indicadas na figura 1.

$$Q_{depl\_SOI} = Q_{depl}\left(1 - \frac{d}{L}\right) \tag{3}$$

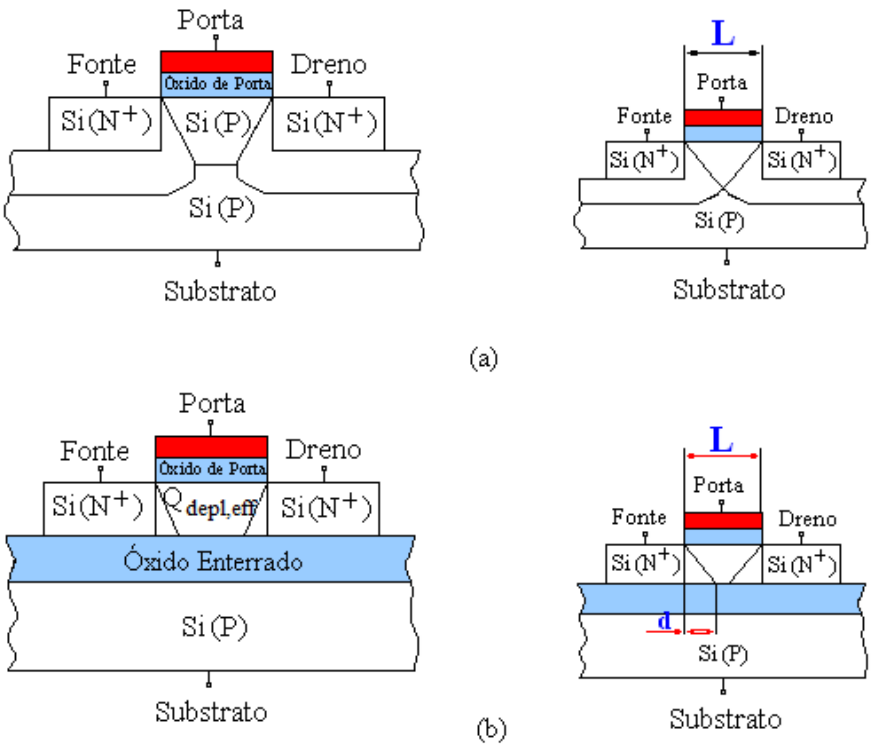


Figura 1 – Distribuição das cargas de depleção em transistores de tecnologia MOS (a) e de tecnologia SOI totalmente depletado (b) em relação ao comprimento do canal[12].

2.1.2 Redução da Barreira Induzida pelo Dreno (DIBL)

O efeito de abaixamento de barreira induzida pelo dreno[13] é um dos efeitos de canal curto. Com a redução do comprimento de canal dos transistores, a parcela de cargas controladas pelas regiões de fonte e dreno torna-se significativa em relação à parcela de cargas controladas pela porta.

Quando as larguras das regiões de depleções de fonte e de dreno aprofundam-se sob o canal devido à polarização reversa resultante da tensão aplicada ao dreno, ocorre o abaixamento da barreira canal/fonte[14,15] como mostrada na figura 2-a. Consequentemente, tem-se uma redução da tensão de limiar no dispositivo.

O efeito de DIBL é a medida da variação na tensão de limiar quando um potencial elevado é aplicado no dreno, ou seja, quando um dispositivo é levado à saturação. Este efeito pode-se ser determinado pela equação 4;

$$\mathrm{DIBL(mV/V)} = \frac{V_{T1}(V_{D1}) - V_{T2}(V_{D2})}{V_{D2} - V_{D1}} \tag{4}$$

onde $V_{D2} > V_{D1}$; sendo que V_{D1} é a tensão de dreno em regime linear (tríodo) e V_{D2} é a tensão de dreno em saturação; $V_{T1}(V_{D1})$ é a tensão de limiar extraída na curva I_D x V_G no regime linear e $V_{T2}(V_{D2})$ é a tensão de limiar extraída na curva I_D xV_G em saturação.

O ideal seria que a tensão de limiar não variasse com a mudança de tensão aplicada no dreno. Este tipo de DIBL é conhecido também como DIBL de superfície (fig. 2-b) uma vez que ele age na região próxima à interface porta/canal, alterando as cargas dessa região e consequentemente, a tensão de limiar.

No entanto, existe também outro tipo de DIBL, o de corpo (fig. 2-c), onde a interação das regiões de depleção da fonte decorrente de sua expansão causa o *punch through* (perfuração MOS)[16] entre a fonte e o dreno. Esse efeito é ausente na tecnologia SOI, sendo característico apenas da tecnologia MOS convencional, onde passa a existir uma de corrente entre fonte e dreno (fuga) através do corpo do transistor além da corrente superficial tradicional. Nessa situação, a superfície não é afetada por possuir maior concentração de dopantes já que é feito o ajuste da tensão de limiar através de implantação iônica nesse local.

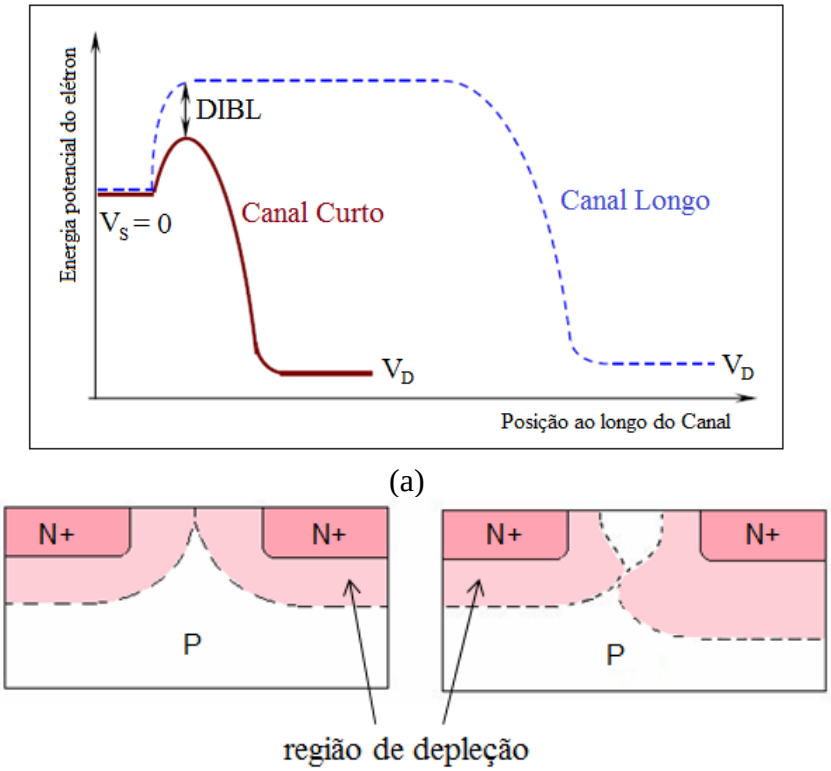


Figura 2– Dreno induzindo redução de barreira (DIBL). Distribuição do potencial ao longo do canal em um MOSFET, para canal longo e canal curto[17] (a) e o perfil de depleção exemplificando o DIBL: de superfície (a); de corpo (b)[13].

2.1.3 Efeito de Corpo

O efeito de corpo nos dispositivos é definido pela dependência da tensão de limiar com a polarização do substrato (V_T (V_{BS}))[18]. No transistor MOSFET convencional, o efeito de corpo é determinado pela equação 5, sendo que a tensão de limiar (V_{T0}) com a polarização do substrato igual a zero (V_{BS} = 0 V) é descrita pela equação 6 e γ é a constante de efeito de corpo ($\gamma = \sqrt{2 \cdot \varepsilon_{si} \cdot q \cdot N_A} / C_{ox}$).

$$V_T(V_{BS}) = V_{T0} + \gamma\left(\sqrt{2.\phi_F - V_{BS}} - \sqrt{2.\phi_F}\right) \tag{5}$$

$$V_{T0} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2.\phi_F + \frac{\sqrt{2 \cdot \varepsilon_{si} \cdot q \cdot N_A 2\phi_F}}{C_{ox}} \tag{6}$$

onde ϕ_{MS} é a diferença de função trabalho entre metal de porta e o silício; Q_{ox} é a densidade de cargas fixas no óxido; C_{ox} é a capacitância no óxido por unidade de área; ϕ_F = kT/q ln (N_A /n_i) é o potencial de Fermi e n_i é a concentração intrínseca de portadores.

Tomando-se como referência o substrato aterrado e considerando-se uma tensão aplicada de fonte (V_{ss}) diferente de zero, a expressão da equação 5 pode ser reescrita como apresentada na equação 7. Linearizando-se a expressão de modo a simplificar a modelagem dos dispositivos, tem-se a equação 8[11].

$$V_T(V_{ss}) = V_{T0} + V_{ss} + \gamma\left(\sqrt{2.\phi_F + V_{ss}} - \sqrt{2.\phi_F}\right) \tag{7}$$

$$V_T = V_{T0} + (1+\alpha)V_{ss} = V_{T0} + nV_{ss} \tag{8}$$

Na equação acima, n é o coeficiente de efeito de corpo ou fator de corpo do dispositivo, o valor de α representa uma relação de capacitâncias, que é determinada em função do tipo de funcionamento do transistor, ou seja, dispositivos MOS, SOI MOSFET parcialmente depletado (eq. 9), transistor SOI MOSFET totalmente depletado com a segunda interface acumulada (eq. 10), ou dispositivo SOI MOSFET totalmente depletado com a segunda interface depletada (eq. 11), onde C_{ox1} e C_{ox2} são as capacitâncias do óxido por unidade de área na primeira e segunda interface, respectivamente[11].

$$\alpha = \alpha_{MOS} = \frac{C_D}{C_{ox1}} \tag{9}$$

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{ox1}} \tag{10}$$

$$\alpha = \alpha_{depl} = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \tag{11}$$

Como verificado, os valores de n = (1 + α) variam de acordo com a condição de polarização da segunda interface e estão tipicamente na sequência.

$$n_{depl} < n_{MOS} < n_{acc}$$

2.1.4 Ionização por Impacto

É o fenômeno que ocorre quando o campo elétrico próximo ao dreno do transistor é alto o suficiente para possibilitar que os portadores que fluem no canal adquiram certa energia e através do impacto com a rede cristalina gerem pares de elétron-lacuna. Este fenômeno pode dar origem a efeitos parasitários dentre os quais pode se destacar a elevação abrupta da corrente de dreno (*Kink effect*) e o efeito do transistor Bipolar parasitário (BJT - *Bipolar Junction Transistor*)[11].

2.1.4.1 Elevação abrupta da corrente de dreno (*Kink effect*)

É caracterizado pelo aparecimento de um "degrau" nas características de saída dos transistores SOI MOSFETs parcialmente depletados. Este efeito pode ser muito forte em dispositivo de canal tipo-n, mas é usualmente ausente em dispositivos de canal tipo-p[11].

Nos dispositivos MOSFETs convencionais, a elevação abrupta da corrente de dreno não é observada, considerando a temperatura ambiente, desde que o contato do substrato esteja aterrado, porém este efeito pode aparecer em MOSFETs operando em baixas temperaturas[19].

Quando ocorre a ionização por impacto, os elétrons gerados na região de alto campo elétrico incorporam-se à corrente do canal. Porém, as lacunas migram à região de menor potencial no corpo do transistor ao longo da camada de silício que é a região neutra resultante de sua depleção incompleta, promovendo a elevação do potencial nesta região. Esta elevação de potencial resulta em uma redução da tensão de limiar e, como consequência, uma elevação da corrente de dreno do transistor[11].

2.1.4.2 Efeito do transistor bipolar parasitário (BJT)

A figura 3 apresenta um transistor SOI MOSFET tipo N identificando o transistor bipolar parasitário (npn) inerente à estrutura. A fonte do transistor é o emissor (n^+) do BJT, o canal é a base (p^+), e o dreno (n^+) é o coletor[11].

No dispositivo MOSFET convencional, a base do transistor bipolar geralmente é aterrada pelo contato com o substrato. No entanto, nos SOI MOSFETs, sem o contato do corpo (base do BJT), o dispositivo estará flutuante e se ocorrer a ionização por impacto, os elétrons serão injetados na região do canal (base) e coletados pelo dreno (coletor) do transistor, resultando em uma corrente de coletor (I_C) relevante. O transistor parasitário é acionado pela corrente de base, ou seja, a corrente de lacunas geradas pela ionização por impacto. A corrente de coletor somada com a corrente de dreno serão amplificadas pelo BJT. Esses efeitos estão expressos nas equações 12 e 13[11];

$$I_c = \beta_F \cdot I_{corpo} \tag{12}$$

$$I_{corpo} = (M-1)\cdot(I_c + I_{canal}) \tag{13}$$

onde I_c é a corrente de dreno de coletor; I_{corpo} é a corrente de lacunas geradas pela ionização por impacto; I_{canal} é a corrente de canal devido ao transistor MOS, sem a parcela da ionização por impacto; M é o fator de multiplicação devido à ionização e β_F é o ganho de corrente do transistor bipolar parasitário (BJT). A corrente de canal devido ao transistor MOS, considerando a parcela da ionização impacto (I_{Dfinal}), é apresentada na equação 14[11].

$$I_{D_{final}} = M(I_C + I_{canal}) = \frac{M.I_{canal}}{1-\beta_F(M-1)} \tag{14}$$

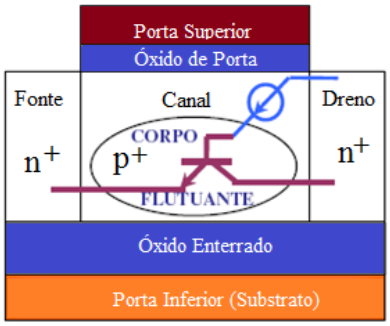


Figura 3 – Dispositivo SOI MOSFET de canal tipo-n identificando o transistor bipolar parasitário inerente em sua estrutura.

A figura 4 apresenta a curva do comportamento de um transistor SOI em relação à polarização da porta e do dreno. Para baixos valores de polarização de dreno, a inclinação de sublimiar tem um comportamento normal (curva A). À medida que a polarização de dreno aumenta, a ionização por impacto se intensifica, a tensão de limiar diminui e a corrente de dreno aumenta, constituindo assim, um ciclo com realimentação positiva.

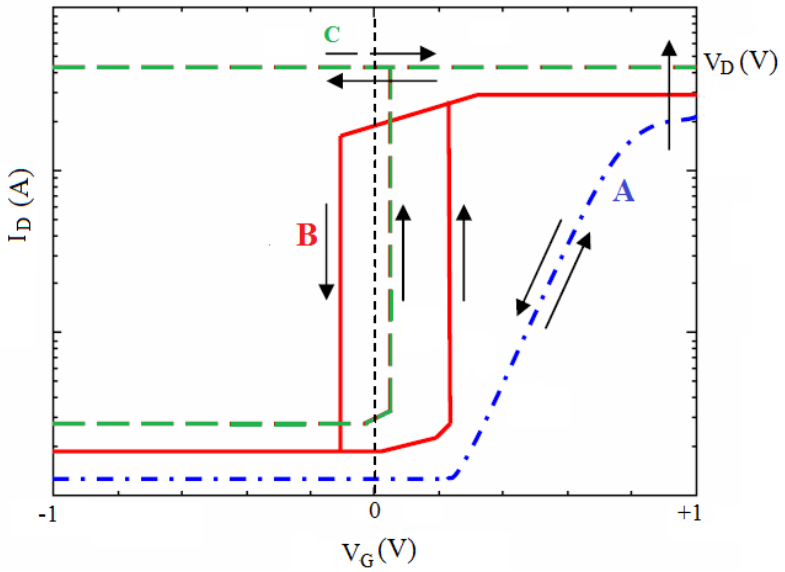


Figura 4 – Curva I_D versus V_G indicando as curvas A: Inclinação de sublimiar normal; B: Inclinação de sublimiar infinita e histerese; C: *latchup* do dispositivo[11].

Quando o ganho do ciclo de realimentação da corrente de dreno β_F (M-1) tende a 1, I_D repentinamente aumenta. Este ciclo de realimentação da corrente de dreno é auto limitado, pois a elevação de I_D, com o consequente aumento do potencial de corpo do transistor, diminui V_T, incrementa a tensão de saturação de dreno (V_{DSsat} = V_G -V_T), o que reduz o campo elétrico na região próximo ao dreno e a quantidade de lacunas geradas por impacto.

Durante a variação descendente de V_G (curva B), apesar da ionização por impacto manter o potencial de corpo do transistor relativamente elevado em uma determinada tensão de porta, a corrente total de dreno não é mais capaz de manter o volume de ionização por impacto necessário para sustentar a realimentação positiva. Então, para certa tensão de porta, ocorre uma redução repentina da corrente total de dreno e como consequência, a histerese pode ser observada na curva I_D versus V_G.

Para valores ainda maiores de polarização de dreno, a corrente de ionização por impacto promove a ativação da estrutura bipolar parasitária e consequentemente, a corrente de dreno aumenta rapidamente fazendo com que a inclinação de sublimiar chegue próxima do 0 mV/dec (curva C). Mesmo diminuindo a tensão de porta, o BJT não desliga. Esse fenômeno é conhecido como *single transistor latchup,* o que significa a perda de controle da porta sobre a corrente que flui através do canal do dispositivo[11].

2.1.5 Corrente de Dreno Induzida pela Porta (GIDL)

A Figura 5 apresenta um exemplo típico de GIDL (*Gate Induced Drain Leakage*) em um dispositivo MOSFET the canal tipo-n.

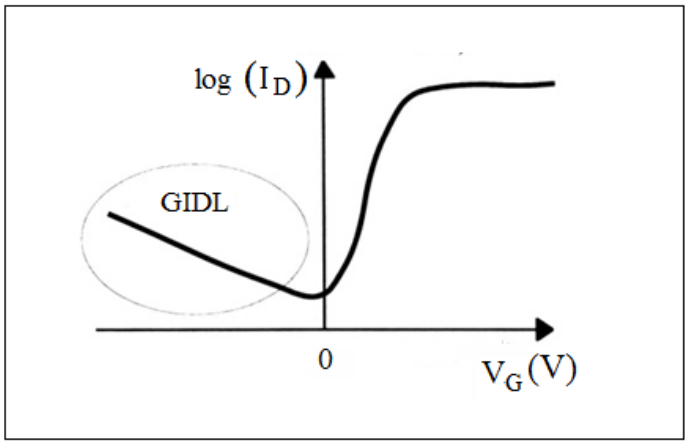


Figura 5 – Curva I_D versus V_G de um MOSFET de canal tipo-n indicando o efeito GIDL[18].

Quando uma polarização negativa é aplicada na porta do dispositivo, é formada uma região de depleção na região de dreno sobreposta pela porta. Como a concentração de dopantes no dreno é tipicamente elevada, a região a depleção é muito fina, então, um forte campo elétrico vertical ocorre nesta região. Nessas condições, pares elétron-lacunas são gerados pelo tunelamento de banda para banda. Os elétrons gerados incorporam a corrente de dreno enquanto que as lacunas seguem para região de menor potencial, neste caso a fonte, aumentando a corrente do dispositivo na região de corte[18].

2.1.6 Ruído em Baixa Frequência

As flutuações ou variações espontâneas não periódicas de correntes, de tensões ou de temperatura que ocorrem em dispositivos ou sistemas, são conhecidas como ruído. O ruído eletrônico pode ser considerado como a soma de vários ruídos de diferentes naturezas, sendo os mais relevantes o ruído térmico (*white noise*), o ruído *shot*, o ruído de geração e recombinação e o ruído *flicker*[20].

Neste trabalho serão estudados ruídos em baixas frequências[21,22], entre os quais estão o ruído *flicker*, que é inversamente proporcional à frequência e o ruído de geração e recombinação (GR). Além de esses ruídos serem parâmetros para análise de circuitos e sistemas analógicos são também importantes ferramentas para diagnóstico de falhas, qualidade e confiabilidade dos dispositivos[23].

2.1.6.1 Ruído de geração e recombinação (GR)

O ruído de geração e recombinação é causado por armadilhas que capturam e liberam portadores aleatoriamente, ou seja, este tipo de ruído está relacionado com flutuações dos portadores no interior do dispositivo associadas às transições aleatórias de cargas livres entre estados com diferentes níveis de energia[20,24]. O formato do ruído GR segue o modelo de Lorentz[25] que é constante em baixas frequências e com um decaimento com o aumento da frequência na proporção de $1/f^2$.

2.1.6.2 Ruído *flicker* (1/f)

É o tipo de ruído mais utilizado para avaliar a qualidade de um material semicondutor ou dispositivo. O ruído *flicker* ou 1/f é o nome comum para flutuações, onde a densidade espectral é inversamente proporcional a f^{Υ}, sendo Υ aproximadamente 1.

A origem deste tipo de ruído é atribuída a dois diferentes mecanismos físicos[26], por flutuações no número de portadores livres[27] e por flutuações na mobilidade da camada de inversão[28,29]. Assume-se que o ruído *flicker* é gerado pelas flutuações, causadas por dos armadilhamentos ou desarmadilhamentos de cargas no canal em defeitos presentes na interface entre o canal de silício e o óxido de porta[30,31].

A densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (S_{VG} = Sid/I_D^2) é apresentada na figura 6-a. Para a curva referente a flutuações na mobilidade, Sid/I_D^2 diminui de forma praticamente linear em relação ao log (I_D). Entretanto, para a curva referente a flutuações do número de portadores (número de flutuações), verifica-se que para baixos valores de I_D (inversão fraca) a curva é constante e em seguida sofre um decaimento mais acentuado com o aumento da corrente de dreno, ou seja, é constatado um patamar na inversão fraca seguido de um decaimento com o aumento da corrente de dreno[32].

A densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função da tensão de porta é apresentada na figura 6-b. Para curva referente a flutuações no número de portadores, existe um patamar até a tensão de limiar e em seguida S_{VG} aumenta com o aumento de V_G. Para a segunda curva, ou seja, para flutuações na mobilidade, é constatado um aumento contínuo com o aumento da polarização da porta[32].

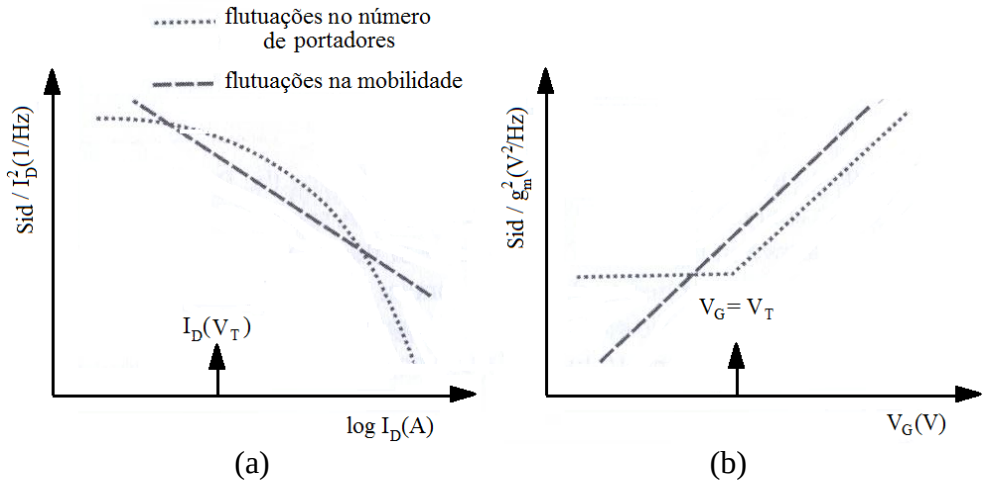


Figura 6 – Densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) em função de I_D (a) e densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G (b) considerando as flutuações no número de portadores e flutuações na mobilidade[32].

De acordo com o modelo de Hooge, o ruído é gerado por flutuações na mobilidade dos portadores no canal[33]. Neste caso, a densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) pode ser expressa pela equação 15, onde $Q_{inv} = C_{ox} (V_G - V_T)$ na região linear; α_H é o parâmetro Hooge que tem um valor de 10^{-3} a 10^{-6} e f é a frequência[32].

$$\frac{Sid}{I_D^2} = \frac{q.\alpha_H}{f.W.L.Q_{inv}} \tag{15}$$

2.2 PARÂMENTROS ANALÓGICOS

2.2.1 Razão g_m/I_D

A razão g_m/I_D é um parâmetro que mede a eficiência dos transistores em traduzir a corrente elétrica em transcondutância[34]. Este parâmetro normalmente é apresentado em função da corrente de dreno normalizada, como pode ser visualizado na figura 7. Essa normalização da curva é realizada para que a mesma não dependa das dimensões dos dispositivos, já que geralmente é utilizada para a exploração de projeto e construção de dispositivos.

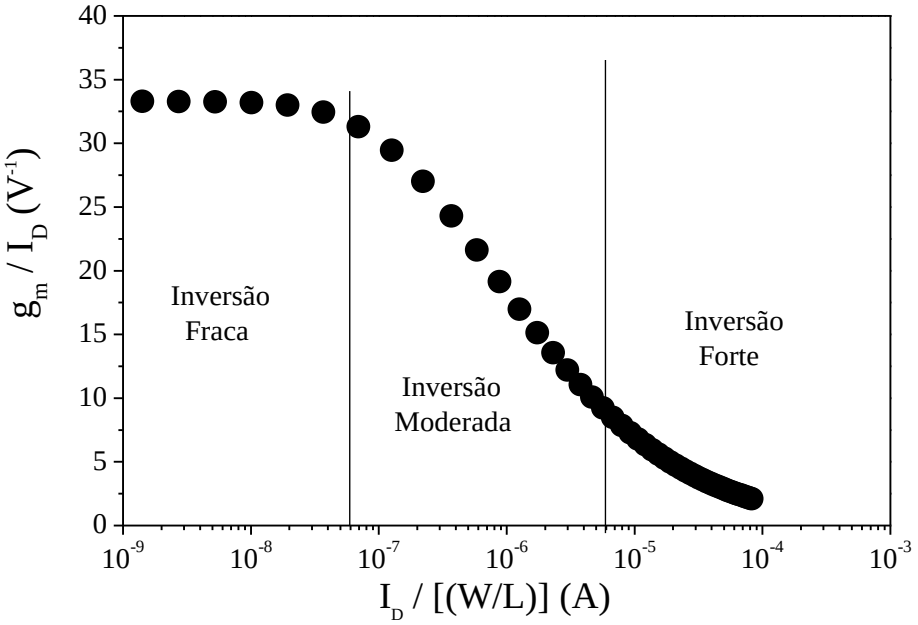


Figura 7 – Curva característica da relação g_m/I_D em função da corrente normalizada (I_D/[W/L]) de um dispositivo MOSFET na saturação.

Em transistores MOSFETs e SOI, a razão g_m/I_{DS} tem um valor máximo quando o dispositivo está operando na inversão fraca e pode ser modelada como indicado na equação 16;

$$\frac{g_m}{I_D} = \frac{q}{n.k.T} = \frac{\ln 10}{S} \tag{16}$$

onde q é a carga do elétron; T é a temperatura absoluta; k é a constante de Boltzmann e n é o fator de corpo quando operando na inversão fraca.

Quando os dispositivos começam a operar em região de inversão forte a razão g_m/I_D diminui com o aumento da corrente do dreno. Em inversão forte, a relação g_m/I_D chega ao seu menor valor e é definida pela equação 17[34].

$$\frac{g_m}{I_D} = \sqrt{\frac{2\mu_n C_{ox1} \frac{W}{L}}{nI_D}} \tag{17}$$

Através das equações 16 e 17, devido ao fator de corpo, pode-se dizer que g_m/I_D é uma relação que depende da tecnologia e do ponto de polarização. Como descrito anteriormente, o fator de corpo, n, é menor nos dispositivos SOI MOSFETs totalmente depletados do que nos dispositivos MOS convencionais. Consequentemente, o dispositivo SOI MOSFET sofre um aumento em relação ao dispositivo MOS convencional no valor da relação g_m/I_{DS} nos mesmos pontos de operação[35].

2.2.2 Tensão Early (V_{EA})

A tensão Early representa o efeito da modulação do comprimento de canal devido à polarização entre o dreno e a fonte do transistor. Quando a tensão aplicada no dreno é maior que a tensão de saturação, a região de estrangulamento do canal (*pinchoff*) próxima ao dreno aumenta e consequentemente, o comprimento efetivo do canal diminui, provocando um aumento na corrente de dreno na saturação (I_{Dsat}).

Considerando que os valores de corrente de dreno e a condutância de saída tenham sido obtidos na região de saturação, a tensão Early pode ser determinada pela equação 18[18].

$$V_{EA} \cong \frac{I_{Dsat}}{g_{Dsat}} \tag{18}$$

Também pode ser determinada pela extrapolação de uma reta tangente à curva de corrente de dreno em função da tensão entre fonte e dreno (I_D versus V_D), na região de saturação, até a intersecção com o eixo de V_D. Este ponto no eixo $V_D = - V_{EA}$ é o valor da tensão Early mostrado na figura 8[18].

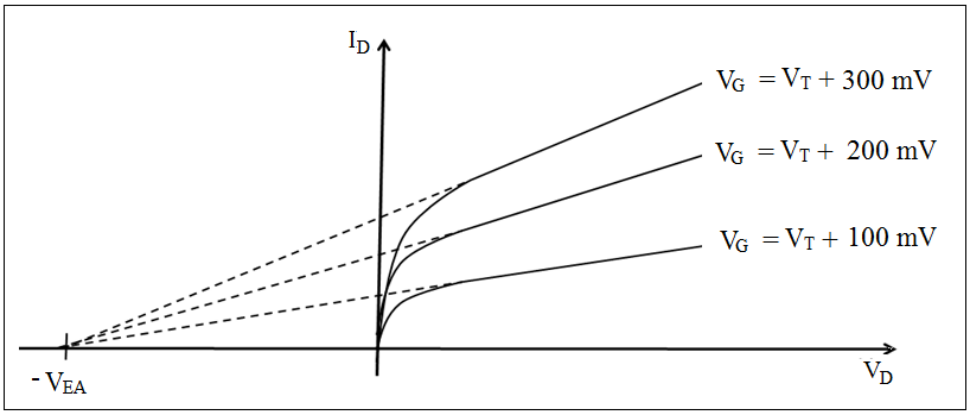


Figura 8 – Obtenção da tensão Early através da curva de corrente de dreno em função da tensão aplicada no dreno.

2.2.3 Ganho Intrínseco DC (A_V)

O ganho intrínseco DC consiste em uma das principais características dos circuitos analógicos, principalmente para os circuitos amplificadores. Para aumentá-lo, diversos circuitos, tais como amplificadores operacionais de transcondutância (*Operational Transconductance Amplifier* - OTA) compostos, associações série-paralelo ou cascata de transistores, têm sido propostos.

Através da equação 19, pode-se determinar o ganho máximo de tensão intrínseco dos transistores. Quanto maior for à relação g_m/I_D e a tensão Early, mais altos serão os valores de A_V do dispositivo.

$$A_V = \frac{g_m}{g_D} \cong \frac{g_m}{I_D} V_{EA} \qquad (19)$$

2.3 EFEITOS DA TEMPERATURA

Nesta parte do trabalho, será apresentada uma breve revisão bibliográfica de como a variação da temperatura pode influenciar os dispositivos semicondutores e acarretar mudanças de valores em seus parâmetros e propriedades elétricas.

A operação dos dispositivos MOSFETs (convencional e SOI) em temperaturas reduzidas tem proporcionado importantes melhorias em seus desempenhos quando comparados à operação realizada em temperatura ambiente.

Dentre estas melhorias, pode-se destacar a velocidade de operação de 1,5 a 3 vezes maior, redução da inclinação de sublimiar, redução da potência consumida e aumento da mobilidade de portadores entre outras, sendo que estas melhorias são conseguidas sem a necessidade do escalamento das dimensões[36].

Outra característica importante é que quando a temperatura de operação é reduzida até um valor crítico, e então os dispositivos SOI MOSFETs parcialmente depletados podem se tornar totalmente depletados, pois o potencial de Fermi aumenta, e esse aumento está associado ao aumento da camada de depleção máxima[11].

2.3.1 Tensão de Limiar (V_T)

É o valor da tensão aplicada na porta de um transistor, a partir do qual todo incremento de tensão acima dessa tensão irá atrair os portadores minoritários para região do canal, formando, assim, uma camada de inversão forte.

Em dispositivos MOS e em dispositivos SOI parcialmente depletados, onde não existe um contato entre as regiões de depleção proveniente da primeira e da segunda interface, a tensão de limiar e a tensão de faixa plana são determinadas pelas equações 20 e 21, respectivamente[37].

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A x_{dmax}}{C_{ox}} \tag{20}$$

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \tag{21}$$

Em transistores SOI totalmente depletados, onde existe uma interação entre as regiões de depleção, a tensão de limiar pode ser obtida através do modelo de Lim & Fossum[37]. Este modelo é descrito por um sistema de equações, onde a tensão aplicada na porta (V_{G1}) influenciará o potencial de superfície da segunda interface (ϕ_{S2}), assim como a tensão aplicada no substrato (V_{G2}) influenciará o potencial de superfície da primeira interface (ϕ_{S1}). Portanto, obtêm-se relações entre as tensões de portas V_{G1} e V_{G2} e entre os potenciais de superfície ϕ_{S1} e ϕ_{S2}, que podem ser determinadas, respectivamente, pelas equações 22 e 23;

$$V_{G1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)\phi_{S1} - \frac{C_{Si}}{C_{ox1}}\phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{ox1}} \tag{22}$$

$$V_{G2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right)\phi_{S2} - \frac{C_{Si}}{C_{ox2}}\phi_{S1} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}} \tag{23}$$

onde C_{Si} é a capacitância da camada de silício por unidade de área; ϕ_{MS1} é diferença de função trabalho entre a porta e a camada de silício; ϕ_{MS2} é a diferença de função trabalho entre o substrato e a camada de silício; ϕ_{S1} e ϕ_{S2} são os potenciais de superfície da primeira e segunda interface; Q_{inv1} são as cargas de inversão por unidade de área na primeira interface e Q_{S2} são as cargas de inversão por unidade de área ($Q_{S2}<0$) ou as cargas de acumulação ($Q_{S2}>0$), na segunda interface.

Dessa forma, através das equações 22 e 23, obtêm-se diferentes expressões de tensão de limiar da primeira interface em função da polarização do substrato e da condição de polarização da segunda interface.

Se a segunda interface estiver acumulada, tem-se que: $\phi_{S1} = 2\phi_F$; $\phi_{S2} = 0$ e $Q_{inv1} = 0$. A tensão de limiar é determinada pela equação 24.

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \tag{24}$$

Quando a segunda interface estiver invertida, tem-se que: $\phi_{S1} = 2\phi_F$; $\phi_{S2} = 2\phi_F$ e $Q_{inv1} = 0$. A tensão de limiar é determinada pela equação 25.

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{C_{ox1}} \tag{25}$$

Finalmente, quando a segunda interface estiver em depleção, tem-se que: $0 < \phi_{S2} < 2\phi_F$ e $Q_{S2} = 0$. A tensão de limiar é determinada pela equação 26.

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})}(V_{G2} - V_{G2,acc}) \tag{26}$$

O valor $V_{G2,acc2}$ é determinado pela equação 27.

$$V_{G2,acc2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{qN_A x_{dmax}}{2C_{ox2}} - \left(\frac{C_{Si}}{C_{ox2}}\right)2\phi_F \tag{27}$$

As equações de tensão de limiar (eq. 24, 25 e 26) são válidas somente quando a espessura da camada de inversão e acumulação forem bem menores que a espessura da camada de silício, ou seja, não são aplicadas em dispositivos de filme fino, pois estes são influênciados pelos efeitos de confinamento quântico[38].

A tensão de limiar nos dispositivos MOS e SOI parcialmente depletados é dependente da temperatura de operação através do nível de Fermi (ϕ_F), pois este é relacionado com a concentração intrínseca de portadores (n_i) e com a temperatura. Considerando as armadilhas de interface, a tensão de limiar pode ser determinada pela equação 28[18];

$$V_T = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + \frac{qN_{it}.\phi_F}{C_{ox}} - \frac{Q_{depl}}{C_{ox}} + 2\phi_F \tag{28}$$

onde N_{it} é a densidade de armadilhas na primeira interface. Com a redução da temperatura de operação dos dispositivos, a tensão de limiar aumenta devido ao aumento do potencial de Fermi e também devido à influência das armadilhas de interface que se torna mais significativa[11]. Considerando que as cargas efetivas no óxido de porta não variam com a temperatura e diferenciando a equação 28 em relação à temperatura (T), tem-se que a variação da tensão de limiar com a temperatura pode ser determinada pela equação 29;

$$\frac{dV_T}{dT} = \frac{d\phi_F}{dT}\left[1 + \alpha\frac{q}{C_{ox1}}\left(\frac{\varepsilon_{si}N_A}{KT\ln(N_A/n_i)}\right)^{\frac{1}{2}} + \frac{qN_{it}}{C_{ox1}}\right] \tag{29}$$

onde $\alpha = 1$ para os dispositivos MOS convencional ($C_{ox} = C_{ox1}$) e SOI parcialmente depletados e $\alpha = 0$ para os dispositivos SOI totalmente depletados. No transistor SOI MOSFET totalmente depletado, a espessura da camada de silício é menor que a região máxima de depleção, e a tensão de limiar é independente da profundidade da camada de depleção do dispositivo[11].

2.3.2 Inclinação de Sublimiar (S)

A inclinação de sublimiar ou, mais apropriadamente, o inverso da inclinação de sublimiar, é a variação na tensão de porta necessária para aumentar em uma década a corrente na região de sublimiar. Na região operacional de interesse, aproximada pelo inverso da inclinação da curva monologaritímica da corrente de dreno (I_D) em função da tensão de porta (V_{G1}) como apresentado na equação 30.

$$S = \frac{dV_{G1}}{d[\log(I_D)]} \tag{30}$$

Nos transistores MOS, a corrente de sublimiar é independente da tensão aplicada ao dreno, pois é uma corrente devida à difusão dos portadores minoritários[16]. Desprezando as armadilhas de interface e, após algumas simplificações, obtém-se uma expressão geral em função do fator de corpo (n), que é expressa pela equação 31[18].

$$S = \frac{kT}{q}\ln(10)n \tag{31}$$

Como apresentado anteriormente (equações 9 a 11)[11], os valores de $n = (1 + \alpha)$ variam de acordo com a condição de polarização da segunda interface e estão tipicamente na sequência.

$$n_{depl} < n_{MOS} < n_{acc}$$

Consequentemente, a inclinação de sublimiar tem o menor valor nos transistores SOI totalmente depletados (S_{depl}) e um maior valor nos transistores SOI com a segunda interface acumulada (S_{acc}), logo.

$$S_{depl} < S_{MOS} < S_{acc}$$

Uma das vantagens dos dispositivos MOSFETs em baixas temperaturas é a redução da inclinação de sublimiar. Nos dispositivos MOS e SOI parcialmente depletados, a equação 9 pode ser reescrita pela equação 32[11], onde são consideradas as armadilhas de interface e o acoplamento.

$$\alpha = \alpha_{MOS} = \frac{C_D + C_{it}}{C_{ox1}} \tag{32}$$

Sendo que, C_D é a capacitância de depleção e C_{it} é a capacitância de armadilha de interface determinadas respectivamente, pelas equações 33 e 34.

$$C_D = \frac{dQ_{depl}}{d\phi_S} \tag{33}$$

$$C_{it} = q.N_{it} \tag{34}$$

Nos dispositivos SOI totalmente depletados a associação de capacitâncias (α) pode ser determinada pela equação 35, onde também são consideradas as armadilhas de interface.

$$\alpha = \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} - \frac{\dfrac{C_{Si}^2}{C_{ox1}C_{ox2}}}{1 + \dfrac{C_{it2}}{C_{ox2}} + \dfrac{C_{Si}}{C_{ox2}}\left(C_{Si} + C_{ox2}\right)} \tag{35}$$

Pode se ver pela equação 31 que a inclinação de sublimiar é dependente da temperatura. Espera-se que, com a redução da temperatura, a inclinação de sublimiar seja também reduzida. Entretanto, em baixas temperaturas, as densidades de armadilhas tornam-se consideráveis, ocorre o aumento nos valores das capacitâncias (C_{it1}e C_{it2}) e como consequência a inclinação de sublimiar não se reduz de maneira proporcional a T, (eq. 31) ficando maior que o previsto devido à C_{it1}e C_{it2}.

2.3.3 Mobilidade (μ)

A Mobilidade é um fator importante para determinar a capacidade do movimento dos portadores no semicondutor. Quanto maior a mobilidade dos portadores, maior será a corrente de dreno na região do canal, portanto mais baixa será a resistividade. A equação 36 representa um modelo simplificado, que inclui o efeito das resistências de fonte e dreno juntamente com o efeito da temperatura[39];

$$\mu = \mu_0 \frac{1}{1 + (\theta + \alpha_R).(V_{G1} - V_T)} \tag{36}$$

onde μ_o é a mobilidade para baixo campo; θ é o coeficiente de degradação da mobilidade e α_R e μ_o podem ser determinados pelas equações 37 e 38, respectivamente[40].

$$\alpha_R = \frac{2\mu_0 C_{ox} R_{SD} x_d}{L} \tag{37}$$

$$\mu_o = \mu_{273k}\left(\frac{T}{273}\right)^{-m} \quad \text{sendo } m = 1,5 \text{ a } 2,5 \tag{38}$$

Sendo que R_{SD} é a resistência série entre fonte e dreno. Quando a temperatura de operação dos dispositivos aumenta, a mobilidade dos portadores para baixo campo elétrico (μ_o) diminui e, a resistência série, entre fonte e dreno, aumenta. Entretanto, apesar deste aumento na resistência série, a diminuição de μ_o é predominante; ocasionado uma pequena diminuição no coeficiente α_R[39]. Como o fator de atenuação da mobilidade (θ) também decresce com o aumento da temperatura, o termo ($\theta+\alpha_R$) da equação 36 diminui e consequentemente, ocorre uma atenuação na redução da mobilidade efetiva (μ).

2.3.4 Transcondutância (g_m)

A transcondutância de um transistor indica a eficiência do controle exercido pela tensão de porta na corrente de dreno. Pode ser determinada pela equação 39[41].

$$g_m = \frac{dI_D}{dV_{G1}} \tag{39}$$

Através das equações de correntes do modelo de Lim & Fossum[42], a transcondutância pode se reescrita na região linear e na saturação pelas equações 40 e 41, respectivamente.

$$g_m = \frac{dI_{DSat}}{dV_{G1}} = \mu_n C_{ox1} \frac{W}{L} V_{DS} \tag{40}$$

$$g_{mSat} = \frac{dI_{DSsat}}{dV_{G1}} = \frac{\mu_n C_{ox1}}{(1+\alpha)} \frac{W}{L} (V_{G1} - V_T), \text{para} V_{DS} > V_{DSat} \tag{41}$$

A largura e o comprimento de canal do transistor são representados respectivamente por W e L; μ_n é a mobilidade efetiva dos elétrons e α, como descrito anteriormente, pode assumir diferentes valores, dependendo do tipo de funcionamento do dispositivo (eq. 9 a 11). Desse modo, pode-se concluir que a transcondutância também varia de acordo com a condição de polarização da segunda interface. Portanto, é maior em um dispositivo SOI MOSFET totalmente depletado do que em um dispositivo MOS, que por sua vez é maior do que em um dispositivo SOI MOSFET totalmente depletado com a segunda interface acumulada, já que $(1 + \alpha) = n$ aumenta.

A redução da temperatura ocasiona um aumento na transcondutância, pois a mobilidade dos portadores está diretamente relacionada com a transcondutância e esta é aumentada com a redução da temperatura. Logo, conclui-se que a redução da temperatura ocasiona também um aumento na transcondutância. Esse aumento ainda é maior quando extraída na região linear, pois nesta região não existe a influência das armadilhas de interface.

O aumento da transcondutância com a redução da temperatura é atenuado quando a transcondutância é extraída na região de saturação, pois além de sofrer influência das armadilhas de interface, também é inversamente proporcional ao fator n (onde $n = 1 + \alpha$).

2.3.5 Condutância de Saída (g_D)

A condutância de saída é um parâmetro importante relacionado ao conhecimento do desempenho de circuitos analógicos. É determinado pela derivada da corrente de dreno (I_{DS}) em função da tensão aplicada entre dreno e fonte (V_{DS}), enquanto a tensão entre porta e fonte (V_{GS}) se mantém constante, como apresentado na equação 42[34].

$$g_D = \frac{dI_D}{dV_D} \tag{42}$$

Este parâmetro é melhor nos dispositivos SOI MOSFETs totalmente depletados quando comparados aos dispositivos MOSFETs convencionais e SOI MOSFETs parcialmente depletados, devido ao fato dos dispositivos totalmente depletados serem menos suscetíveis ao efeito da ionização por impacto.

O aumento da temperatura melhora a condutância de saída dos dispositivos[43]. Este fato pode ser explicado por vários mecanismos: temperaturas altas reduzem a ionização por impacto perto do dreno, excesso de concentração de portadores minoritário no corpo do dispositivo é reduzido pelo aumento na recombinação, e a variação do potencial de corpo é reduzida devido ao aumento da corrente de saturação na junção da fonte.

2.4 EFEITOS DA RADIAÇÃO

Existem vários ambientes em que os circuitos eletrônicos são expostos à radiação. Neste item será feita uma breve descrição das principais fontes de radiação e partículas de origem espaciais e adicionalmente, os seus efeitos nos dispositivos eletrônicos.

2.4.1 Radiação Cósmica

A radiação cósmica é composta por diversos tipos de partículas e ondas, com origem externa ao planeta, que podem ser classificada como galáctica e solar[44]. Ambos os tipos podem dar origem a partículas (principalmente prótons e elétrons) que podem vir a ser aprisionados pelo campo magnético em órbitas fechadas[45].

2.4.1.1 Radiação cósmica galáctica

Está distribuída no espaço entre as galáxias e é formada por diversas partículas energéticas chamadas de raios cósmicos (figura 9). Esses raios são compostos por prótons (87%), núcleo do átomo de hélio, ou seja, partículas alfa (12%) e íons pesados (1%). A origem dessa radiação não é bem conhecida, porém sabe-se que parte vem de fora da via láctea e o restante é interno. Todas as radiações não possuem direção definida e perdem energia principalmente por ionização por impacto ao atravessarem o meio material, bem como sofrem deflexão pelo campo magnético terrestre[46].

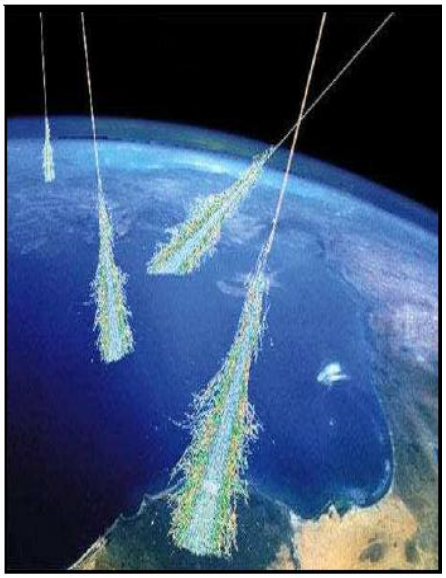


Figura 9 – Raios cósmicos atingindo a atmosfera terrestre[46].

Os raios cómicos, ao ingressarem na atmosfera terrestre, reagem com o oxigênio e com o nitrogênio por meio de reações de espalhamento, formando complexas cascatas de partículas secundárias conhecidas por chuveiros de partículas, como mostrado na fig. 9. Estas partículas secundárias incluem prótons, nêutrons, píons e múons. Porém, os píons e múons acabam não atingindo a terra em quantidades significativas devido à atmosfera terrestre que atua como um filtro e reduz a intensidade de radiação que atinge a terra[46].

2.4.1.2 Radiação cósmica solar

É a energia radiante emitida pelo sol. Cerca de metade desta energia é emitida como luz visível na parte de frequência mais alta do espectro eletromagnético e o restante na parte do infravermelho próximo e como radiação ultravioleta. O sol possui um ciclo de atividade em intervalos de aproximadamente 11 anos, compreendendo 7 anos de alta atividade e 4 anos de baixa atividade[46].

No período de baixa atividade, as explosões solares geralmente emitem íons pesados em uma quantidade relativamente menor que os raios cósmicos galácticos. Entretanto, em alguns eventos isolados em período de alta atividade, a emissão de íons pesados pode aumentar em até 4 vezes e gerar fluxos maiores de íons que os constatados nos raios cômicos por um período de vários dias[47].

Em altas temperaturas da coroa solar, ocorre o vento solar (fig. 10). Este fenômeno fornece energia suficiente para permitir que os elétrons sejam ejetados do sistema gravitacional solar resultando também na ejeção de prótons e íons pesados.

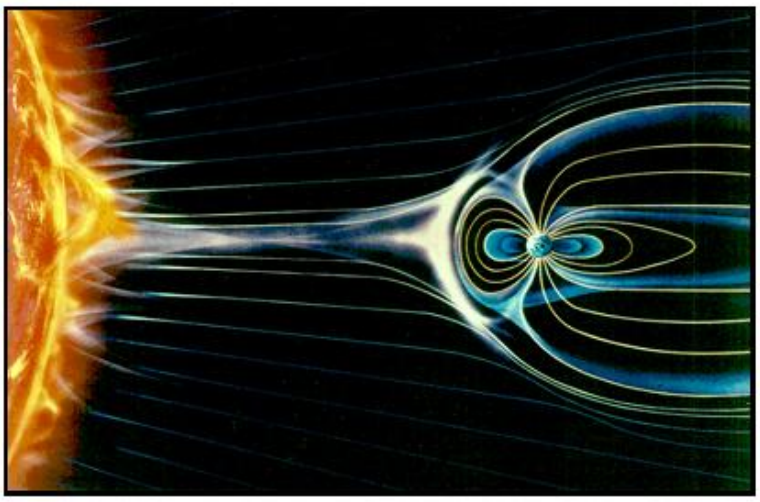


Figura 10 – Vento solar[48].

2.4.2 Cinturão de Radiação (*Van Allen)*

São regiões do espaço, em torno da terra, repleta de prótons e elétrons e uma baixa quantidade de íons pesados. Estas regiões são formadas devido à interação do campo magnético terrestre com o vento solar. O cinturão interno (figura 11) contém elétrons com energias menores que 5 MeV, enquanto que o cinturão externo contém elétrons com energia que alcançam os valores da ordem de 7 MeV. Portanto, com o fluxo de elétrons mais variável e mais intenso. Em ambos os cinturões existem prótons de alta energia. Existe ainda um terceiro cinturão que é localizado entre o primeiro e o segundo onde a energia dos elétrons chega a atingir valores de até 30 MeV[46,49].

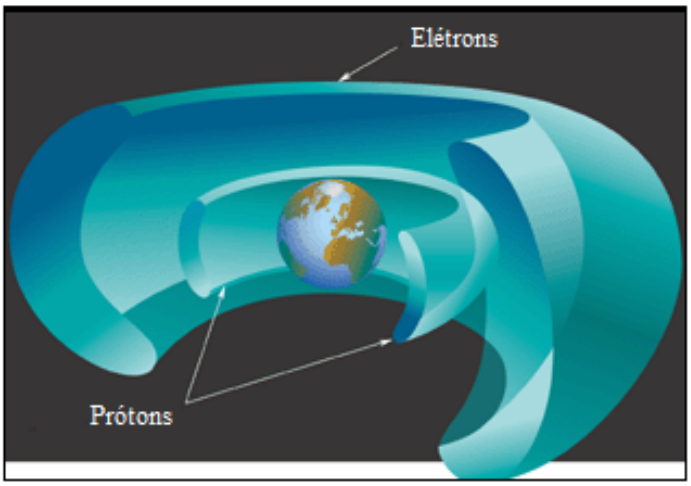


Figura 11 – Cinturão de radiação[46].

2.4.3 Anomalia Magnética do Atlântico Sul - AMAS

Consiste em uma aproximação das linhas de campo magnética sobre o sul do Brasil, formando uma espécie de depleção devido à diferença entre o centro do dipolo magnético e o centro geográfico da terra. É uma região (figura 12) onde a parte mais interna do cinturão de Van Allen tem a máxima aproximação com a superfície da Terra. O resultado é que, para uma dada altitude, a intensidade de radiação é mais alta nesta região do que em qualquer outra. Afeta satélites e espaçonaves com órbitas a algumas centenas de quilômetros de altitude e com inclinações orbitais entre 35° e 60°. Nessas órbitas, os satélites passam periodicamente pela AMAS, ficando expostos durante vários minutos às fortes radiações[49,50].

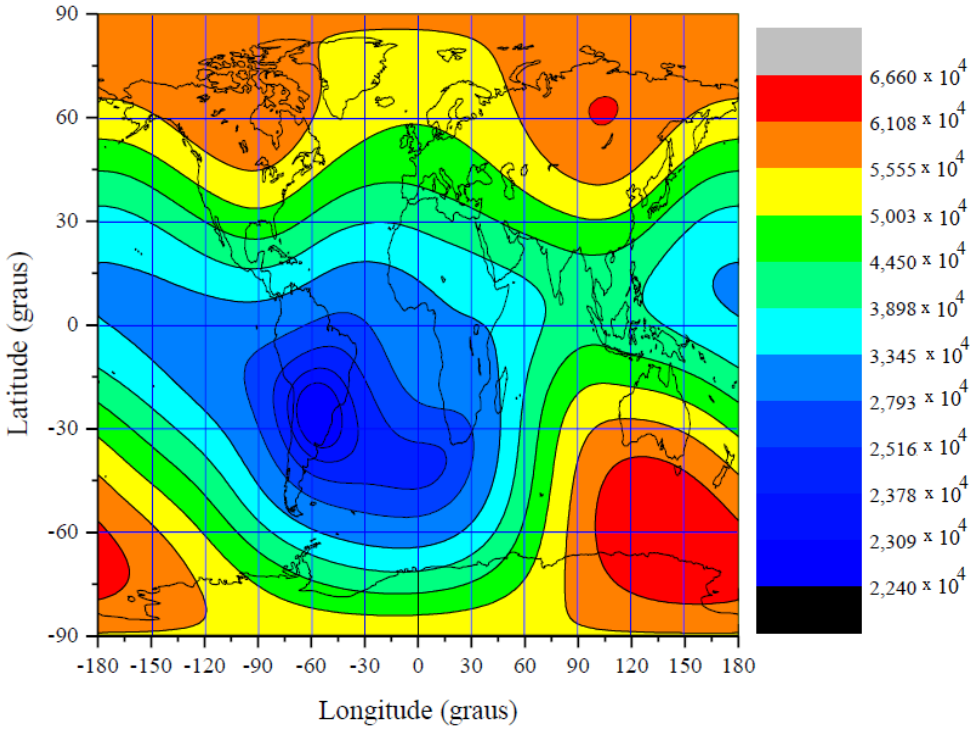


Figura 12 – Mapa do campo magnético total da Terra (intensidade expressa em nT), sobre o Brasil na área mais escura existe a AMAS, Anomalia Magnética do Atlântico Sul[51].

2.4.4 Radiação nos Dispositivos Semicondutores

Como os dispositivos eletrônicos também são empregados em veículos aéreos e aeroespaciais são susceptíveis a doses significativas de radiação. O cinturão de radiação, os raios cósmicos, os ventos solares, bem como a incidência de partículas pesadas proveniente do sol ou de fora da galáxia, liberam elétrons, prótons, nêutrons, partículas alfa e íons pesados que podem causar efeitos indesejáveis nos circuitos eletrônicos. Destacam-se a seguir alguns desses efeitos.

2.4.4.1 Dose total ionizante

Ocorre devido à cumulatividade de exposição à radiação ionizante dos dispositivos ao longo do tempo. Apesar de ser um efeito em longo prazo, depende da intensidade de radiação a que o dispositivo foi exposto. O principal efeito é a geração de cargas no óxido e as armadilhas nas interfaces do silício com o óxido[11].

A dose total ionizante em um ambiente espacial pode ser atribuída aos prótons e elétrons do cinturão de radiação e aos prótons emitidos pelas erupções solares.

2.4.4.2 Danos por deslocamentos

São danos físicos na estrutura cristalina do material que ocasionam perda de energia de forma não ionizante das partículas incidentes no material, degradando assim suas características[52].

2.4.4.3 Efeitos Singulares (SEE - *Single Event Effect*)[11]

São efeitos que ocorrem devido ao impacto de partículas fortemente ionizadas no silício. A incidência de particulas fortemente ionizadas pode provocar a geração de pares elétrons-lacuna acarretando assim, vários efeitos singulares nos dipositivos. Dentre esses, tem o SET (*Single Event Transient*), o SEU (*Single Event Upset*), e também os efeitos catastróficos tais como o SEL (*Single Event Latchup*), o SEGR (*Single Event Gate Rupture*) e o SEB (*Single Event Burnout*). A figura 13 relaciona as fontes de radiação espacial com efeitos que afetam os circuitos eletrônicos em ambiente espacial.

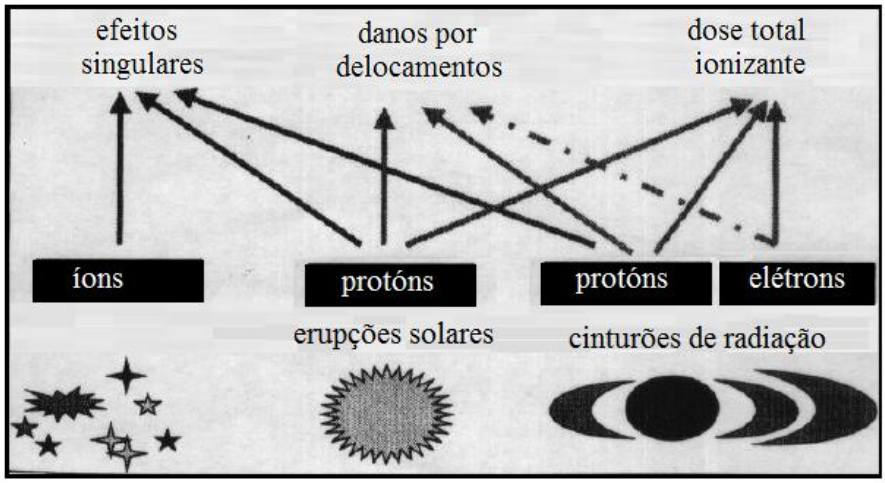


Figura 13 – Classificação dos efeitos da radiação em função de suas respectivas fontes[53].

2.5 CÉLULAS DE MEMÓRIAS

Nesta parte do trabalho será apresentada uma breve revisão bibliográfica sobre Memória de Acesso Aleatório (*Random Access Memory), ou seja, memória* RAM e células de memória.

2.5.1 Memória RAM

A memória de acesso aleatório é uma memória capaz de acessar qualquer posição em qualquer momento, ou seja, a localização física de armazenamento do dado dentro da memória é independente do tempo necessário para a armazenagem (escrita) ou para a recuperação (leitura) da informação.

É uma memória volátil e deste modo, necessita ser constantemente alimentada para conservar os dados gravados. A maior parte da arquitetura de um circuito de memória consiste de células nas quais os bits são armazenados. Cada célula de memória é capaz de armazenar 1 bit. As memórias RAM podem ser do tipo estática ou dinâmica[54].

As memórias estáticas de acesso aleatório (SRAM - *Static Random Access Memory*) utilizam *latches* ou *flip-flops* como células básicas para armazenar a informação. Os dados se mantêm armazenados desde que seja mantida sua alimentação. Porém, as memórias dinâmicas de acesso aleatório (DRAM - Dynamic *Random Access Memory*) utilizam capacitores para armazenar a informação. A informação armazenada necessita ser regenerada periodicamente (*refresh), pois* os capacitores lentamente são descarregados.

2.5.2 Célula de Memória 6T-SRAM

A figura 14 apresenta uma arquitetura de uma célula de memória estática formada por seis transistores (6T). Dentre os seis transistores, quatro formam os dois pares cruzados de inversores CMOS que são responsáveis pelo armazenamento de dados. Os dois dispositivos restante fazem o controle de acesso à célula para operações de leitura e escrita[54].

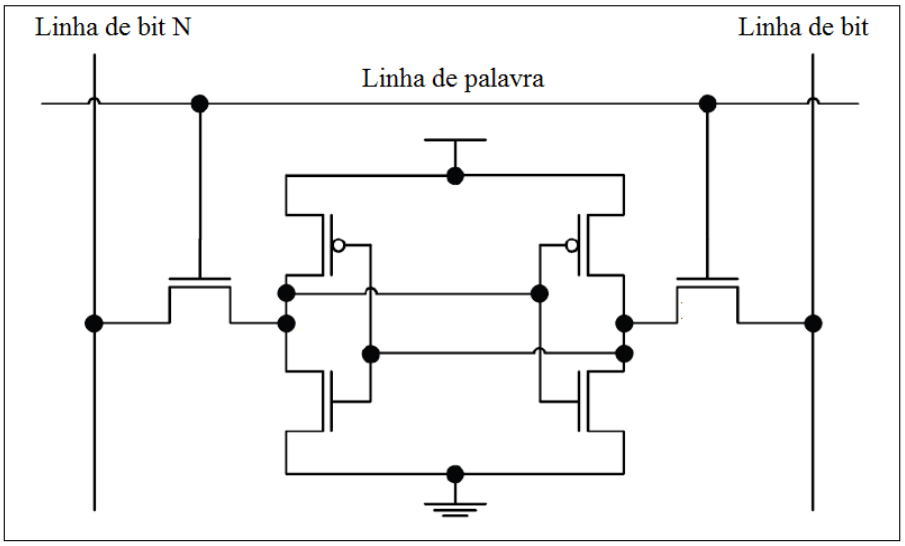


Figura 14 – Célula de memória típica SRAM de 6 transistores (6T).

2.5.3 Memória 1T1C-DRAM

Uma arquitetura de uma célula de memória dinâmica formada por um transistor (1T) e em série com um capacitor (1C) é mostrada na figura 15. O Transistor é utilizado para o acesso e o capacitor para o armazenamento de dado. A porta do transistor é conectada a linha de palavra e sua fonte é conectada à linha de bit.

Quando a célula armazena o nível lógico “1”, o capacitor está carregado com V_D-V_T. Quando armazena o nível lógico “0”, o capacitor se descarrega, até alcançar 0 V. Devido aos efeitos de fuga, o capacitor, quando carregado, começa a se descarregar com o tempo; então, é necessário regenerar a célula de memória para a restauração da informação. Periodicamente, o conteúdo da célula é lido e a informação é reescrita carregando novamente o capacitor[11,54,55,56].

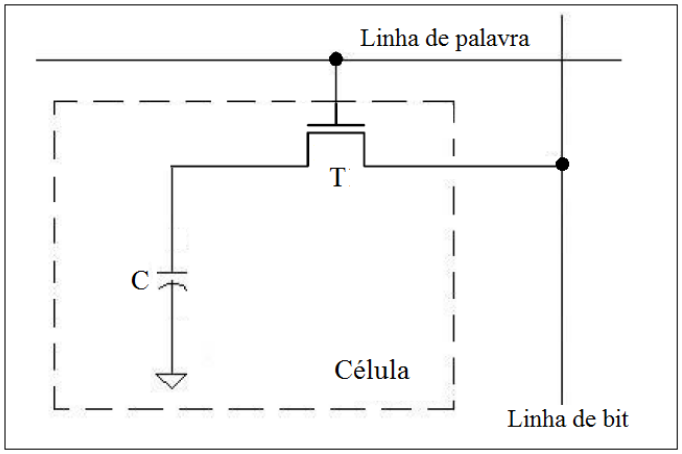


Figura 15 – Célula de memória com 1 transistor e 1 capacitor típica 1T1C-DRAM.

2.5.4 Memória 1T-DRAM

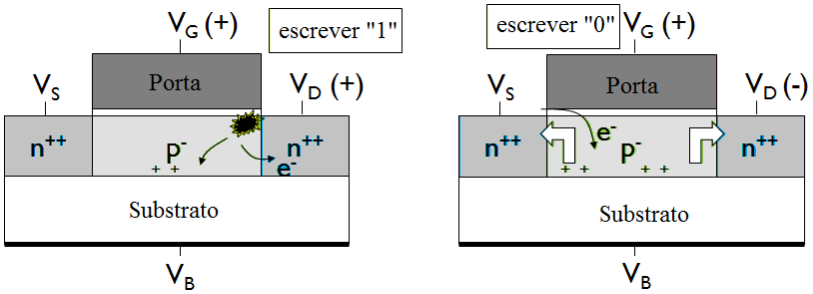
Devido às dificuldades crescentes de escalamentos dos capacitores existentes em células de memórias do tipo 1T1C-DRAM, tem aumentado muito o número de pesquisas voltadas para células de mémoria sem a presença do capacitor de armazenamento[57,58,59,60,61], isto é, celulas de memória cuja arquitetura é composta apenas por um transistor (1T).

Este tipo de memória se beneficia dos efeitos parasitários existentes nas tecnologias MOS e SOI para criar cargas no corpo dos transistores. Vários conceitos físicos para o funcionamento das celulas de memória 1T-DRAM têm sido propostos na literatura. Porém, a diferença entre eles é o tipo de efeito parasitário que é utilizado para criar as cargas no corpo do transistor[59].

O aumento do nível de corrente gerado pelo excesso de portadores majoritários no corpo do dispositivo para escrever "1" pode ser conseguido através da ionização por impacto, pelo efeito BJT, por GIDL (tunelamento de banda para banda) ou GIFBE (*Gate Induced Floating Body Effect*)[62,63]. No entanto, um baixo nível de corrente é conseguido através da remoção do excesso de portadores majoritários no corpo do dispositivo (escrever "0"). Este efeito é usualmente conseguido pela polarização direta da junção dreno e corpo, mas também pode ser conseguido pelo acoplamento capacitivo.

Independentemente do efeito utilizado, o objetivo principal é escrever o bit "1" através do excesso de portadores majoritários no corpo do dispositivo e consequentemente, com maior potencial e maior corrente de dreno. A escrita do bit "0" é caracterizada por uma pequena corrente em consequência da remoção de portadores majoritários do corpo.

A fig. 16 mostra um esquema ilustrativo para acumular excesso de cargas (escrever "1") e remover o excesso de cargas (escrever "0"). Durante a ionização por impacto ou programação GIDL, lacunas são inseridas no filme de silício e os elétrons são liberados (fig.16-a). As lacunas são lançadas para fora do filme de silício e os elétrons são injetados. A junção pn é polarizada diretamente (fig.16-b).



(a) (b)

Figura 16 – Figura representativa de como escrever "1" (a) e escrever "0" ou seja, apagar (b) utilizando células de memória de um transistor.

3 TECNOLOGIA DE MÚLTIPLAS PORTAS – MuGFETs

Neste capítulo estão apresentados os conceitos principais sobre a tecnologia de múltiplas portas, onde será abordado desde os transistores planares da tecnologia SOI até os dispositivos de porta quádrupla. As características e os principais parâmetros elétricos destes dispositivos também serão apresentados

Nas últimas décadas, a indústria de semicondutores testemunhou um grande progresso na redução das dimensões dos transistores de geometria planar. Entretanto, a construção de transistores de geometria planar numa escala abaixo de 20 nm é extremamente difícil devido à vários fatores, destacando-se a fuga de corrente, a degradação da mobilidade e os efeitos de canal curto[64].

A limitação de escalamento da tecnologia de fabricação planar fez com que a indústria voltasse à atenção para as estruturas não planares, ou seja, estruturas tridimensionais de múltiplas portas tais como: porta dupla, porta tripla e quádrupla, ou seja, os MuGFETs (*Multi Gate Field Effect Transistors*). Estes dispositivos possuem melhor controle de corrente por unidade de área do silício e têm excelentes características de canal curto, pois possuem maior número de portas para controlar o potencial da região do canal.

3.1 TECNOLOGIA SOI CONVENCIONAL

A diferença entre a tecnologia SOI e a tecnologia MOS é a camada de óxido enterrado, que separa a região ativa do substrato, existente no transistor com a tecnologia SOI. Na figura 17, é apresentado o perfil do transistor SOI MOSFET de canal tipo-n, indicando os eletrodos de porta (V_{G1}) e de substrato (V_{G2}), a espessura da camada de silício (t_{si}), do óxido de porta (t_{ox1}) e do óxido enterrado (t_{ox2}) e as três interfaces horizontais de Si-SiO_2 do dispositivo.

O funcionamento dos transistores SOI MOSFETs depende da espessura da camada de silício sobre o isolante em que são construídos, da concentração de dopantes e da temperatura[11]. Sendo assim, esses dispositivos podem funcionar como parcialmente depletados (PD – *Partially Depleted*), totalmente depletados (FD – *Fully Depleted*), e quase totalmente depletados (NFD – *Near Fully Depleted*).

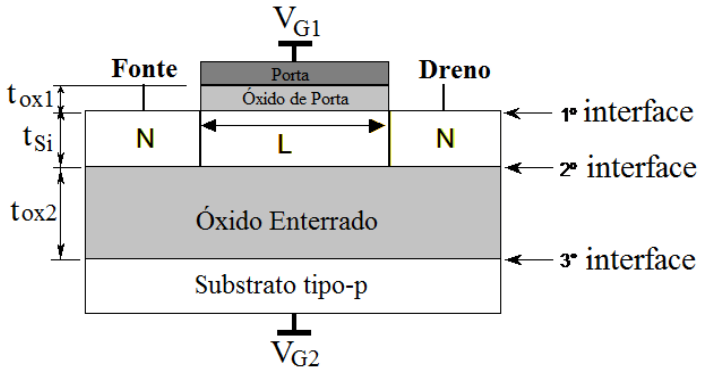


Figura 17 – Perfil transversal de um transistor SOI MOSFET de canal tipo-n.

3.1.1 SOI Parcialmente Depletados

Em estruturas SOI MOSFETs parcialmente depletados, a espessura da camada de silício é maior que o dobro da profundidade de depleção máxima ($t_{Si} > 2x_{dmax}$). Nessas condições, nunca ocorre contato entre as regiões de depleção existindo entre elas uma região neutra. Se esta região neutra for ligada por um contato elétrico (contato de corpo), esse dispositivo apresenta as mesmas características do transistor MOS.

Caso contrário, se não houver este contato de corpo, ou seja, se o corpo estiver eletricamente flutuando, o transistor apresentará efeitos parasitários devido ao corpo flutuante (*floating body effect*)[65,66,67,68], tais como o efeito de elevação abrupta da corrente de dreno e o efeito bipolar parasitário entre fonte e dreno. A figura 18 mostra um diagrama de faixas de energia de um transistor SOI MOSFET parcialmente depletado.

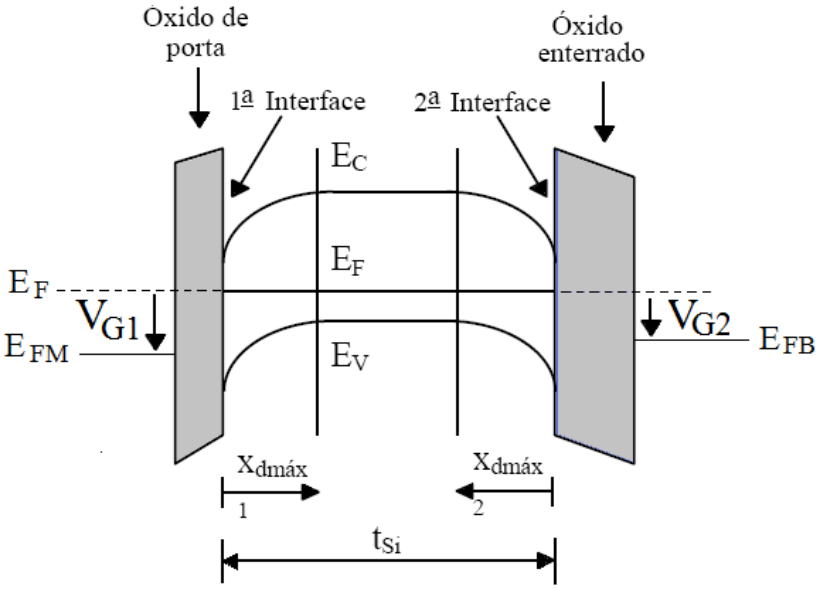


Figura 18 – Diagrama de faixas de energia do transistor SOI MOSFET parcialmente depletado.

3.1.2 SOI Totalmente Depletados

Nos dispositivos SOI MOSFETs totalmente depletados, a espessura da camada de silício (t_{Si}) é menor que a profundidade máxima da região de depleção (x_{dmax}). Nestas condições, a camada de silício ficará totalmente depletada quando for aplicada na porta a tensão de limiar, independentemente da tensão aplicada ao substrato.

Esse dispositivo apresenta as melhores características com relação à transcondutância, baixo campo elétrico, diminuição dos efeitos de canal curto e excelente inclinação de sublimiar além de outras vantagens[69,70,71,72], quando comparados aos transistores MOSFETs convencionais e parcialmente depletados. Na figura 19 é apresentado um diagrama de faixas de energia de um transistor SOI MOSFET totalmente depletado, onde x_{d1} e x_{d2} são as espessuras da região de depleção provenientes da primeira e da segunda interface, respectivamente.

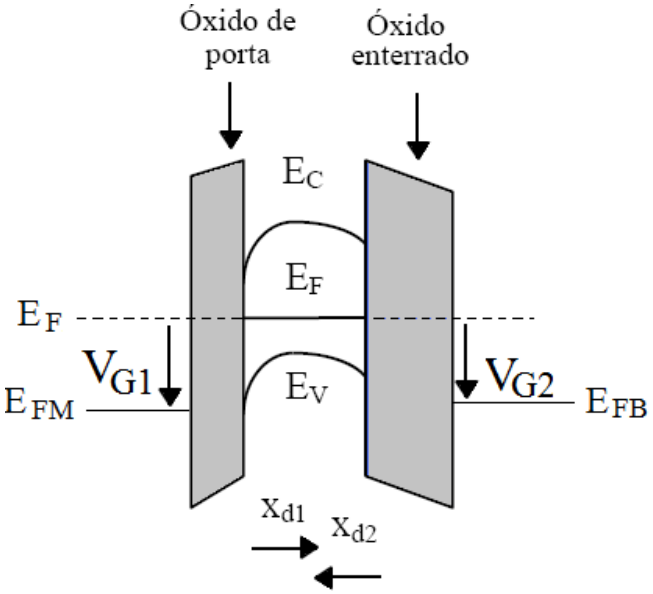


Figura 19 – Diagrama de faixas de energia do transistor SOI MOSFET totalmente depletado.

3.1.3 Quase Totalmente Depletados

Estes dispositivos possuem a espessura da camada de silício compreendida entre x_{dmax} e $2x_{dmax}$. Dessa forma, as regiões de depleção da primeira e da segunda interface poderão ou não entrar em contato e isso dependerá da tensão aplicada ao substrato. Se as regiões de depleção entrarem em contato, o dispositivo funcionará como totalmente depletado, caso contrário, se não entrarem em contato, funcionará como parcialmente depletado.

3.2 TECNOLOGIA MuGFETs

3.2.1 Dispositivo de Porta Dupla

A primeira publicação sobre um transistor de porta dupla em geometria planar foi feita na década de 1980. Esta publicação apresentava um dispositivo com um excelente controle do potencial na camada de silício através da utilização de uma porta situada na parte superior e outra na parte inferior do canal. Este transistor ficou conhecido por XMOS[73], cujo nome vem da semelhança com a letra grega Ξ. Entretanto, seu processo de fabricação era bastante complexo, em particular o de fazer as suas portas auto alinhadas.

No ano de 1989, foi fabricado o transistor DELTA (*fully Depleted Lean-channel Transistor*)[74], apresentado na figura 20-a. Este foi o primeiro transistor de porta dupla utilizando uma geometria de canal vertical, onde as portas laterais estavam reciprocamente alinhadas e o canal estava situado entre as laterais do corpo de silício. A novidade da implementação do transistor DELTA resultou no desenvolvimento de vários dispositivos de canais verticais[75,76], dentre eles, destaca-se o FinFET que se tornou um dos mais conhecidos dispositivos de estrutura de canal vertical.

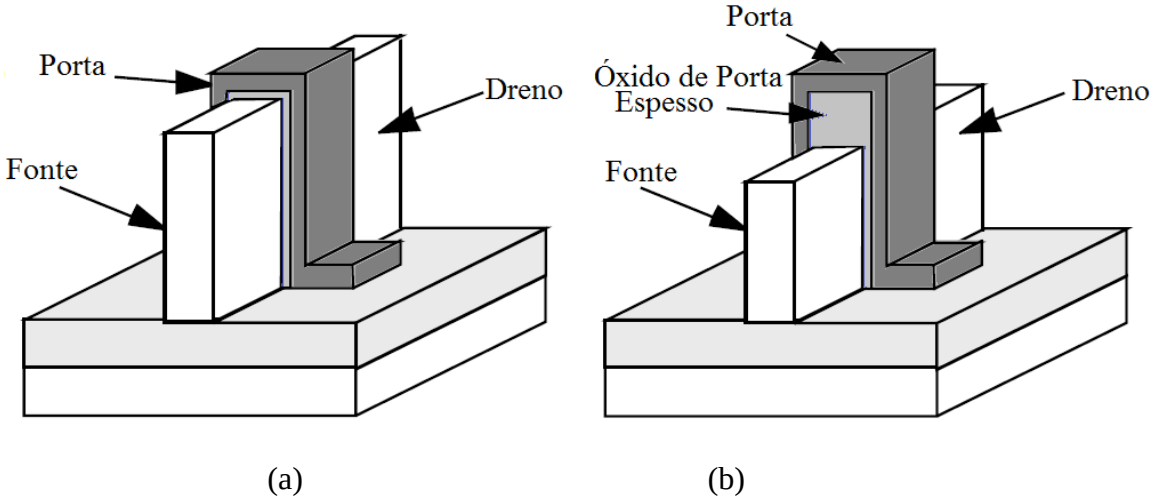


Figura 20 – Dispositivos[77]: DELTA (a); FinFET (b).

O FinFET (figura 20-b) é uma evolução do transistor DELTA. Estes dispositivos são estruturas similares, exceto pela presença de uma camada de um óxido mais espesso na porta superior, que faz com que essa região tenha uma menor contribuição no controle das cargas, propiciando assim que o controle dessas seja feito pelas portas laterais.

Devido à redução da espessura do filme de silício, constatou-se um novo fenômeno que foi denominado de inversão de volume. Este fenômeno, inversão de volume, foi descoberto em 1987[78] e foi experimentalmente constatado pela primeira vez em 1990[79], na implementação do transistor MOSFET de porta de porta dupla do tipo GAA (*Gate All Around*).

Esse é um fenômeno que aparece nos dispositivos MuGFETs nos quais a inversão dos portadores não ocorre na interface Si/SiO_2 e sim no meio da camada de silício, o que proporciona um aumento na mobilidade no canal do transistor e a diminuição da tensão de Limiar.

3.2.2 Dispositivo de Porta Tripla

Transistores FinFETs com a porta superior ativa podem ser chamados de dispositivos de porta tripla. Esses dispositivos apresentam a região do canal envolvida por três portas como apresentado na figura 21.

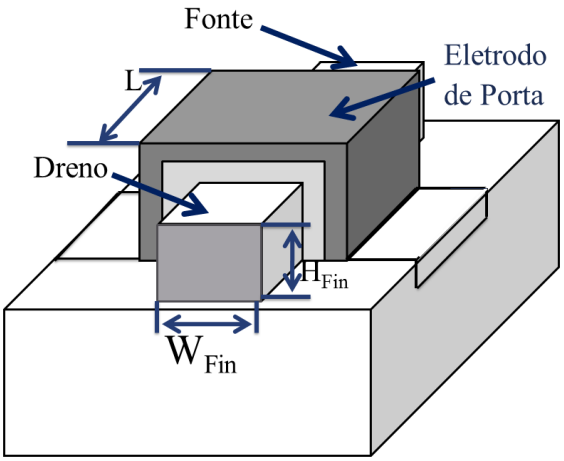


Figura 21 – Transistor de porta tripla e diferentes parâmetros tais como, largura da aleta (W_{Fin}); altura da aleta (H_{Fin}) e comprimento do canal (L).

A influência de cada lateral dependerá também da geometria do dispositivo, isto é, de acordo com a largura do fin, bem como de sua altura, a contribuição de cada porta poderá ser diferente. Nesta estrutura, a largura do canal é de $W \cong W_{Fin} + 2\ H_{Fin}$.

A condução de corrente no transistor de porta tripla pode ser dominada tanto pelas portas laterais como pela porta superior, o que dependerá da relação das dimensões de largura (W_{Fin}) e altura (H_{Fin}) da aleta de silício (*Fin*)[80].

Para W_{Fin} maiores, a condução de corrente é dominada principalmente pela porta superior. Para W_{Fin} próximos de H_{Fin}, a condução de corrente é dominada por ambas as portas, laterais e superiores; e para W_{Fin} menor que H_{Fin}, a condução de corrente é dominada pelas portas laterais.

Estruturas de porta tripla têm sido tópicos de muitas publicações durante a última década devido às suas principais vantagens: efeitos de canal curto reduzidos, maior densidade de integração e inclinação de sublimiar praticamente ideal[64]. Embora esses dispositivos tivessem originalmente sido projetados em substratos SOI, existem certos estudos em termos de seus desempenhos quando estes dispositivos são fabricados sobre substratos SOI (*Silicon-On-Insulator*), BOI (*Body-On-Insulator*) ou de Corpo.

Há vários artigos publicados na literatura[81,82,83] comparando os transistores de Corpo com os SOI, dispositivos BOI com SOI e estruturas de Corpo com DTMOS e também, artigos comparando e analisando a influência dessas estruturas (de Corpo, DTMOS, BOI e dispositivos de SOI) em termos de características elétricas e desempenho analógico[84,85].

3.2.2.1 Transistor de porta tripla de Corpo

Na figura 22 é apresentado um corte transversal do canal de um transistor de porta tripla de Corpo, identificando a largura e a altura da aleta e o óxido de campo. Devido ao substrato de silício, estes dispositivos apresentam vantagens em relação aos dispositivos que possuem substratos SOI tais como, menor custo, menor densidade de defeito, maior transferência de calor e maior compatibilidade com os dispositivos convencionais de Corpo[86].

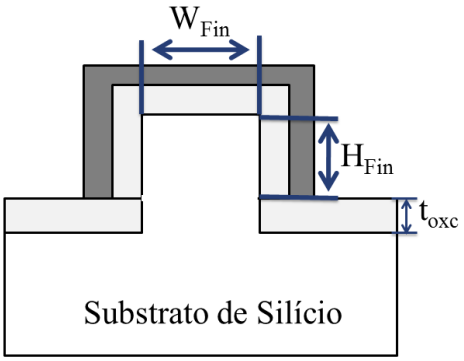


Figura 22 – Corte transversal de um transistor de porta tripla de Corpo indicando a largura da aleta (W_{Fin}); altura da aleta fin (H_{Fin}) e o óxido de campo (t_{oxc}).

3.2.2.2 Transistor de porta tripla DTMOS (*Dynamic Threshold MOSFET*)

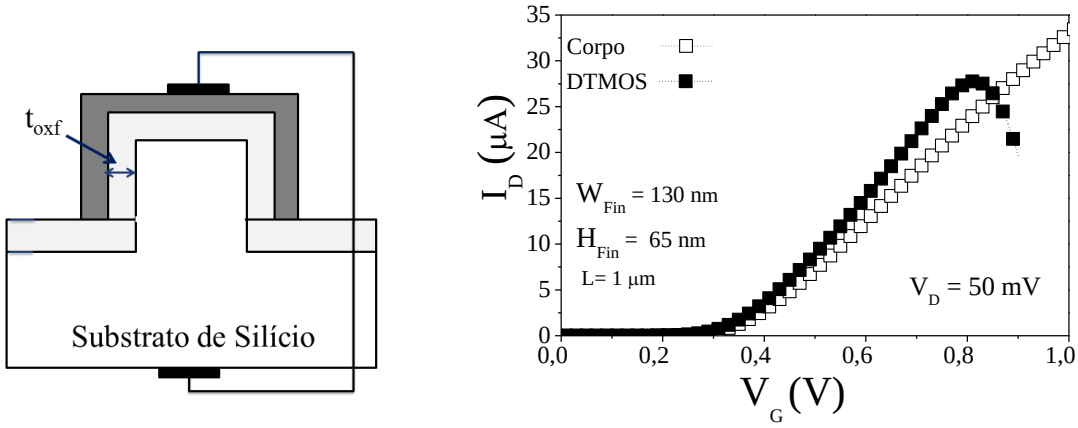
A fabricação do DTMOS foi realizada pela primeira vez usando a tecnologia planar em 1987 por Colinge, como descrito na referência[83]. Esse dispositivo tem sido reportado na literatura como sendo promissor para aplicações em baixa potência e baixa tensão, pois em geral, devem ser aplicado na porta baixos valores de tensão[87].

No DTMOS, o contato do corpo necessita ser colocado na região neutra de tal forma que o mesmo não interfira na região de depleção quando for aplicada tensão na porta. Devido à necessidade do contato com o corpo em uma região neutra, estes dispositivos, para terem vantagens em relação às estruturas convencionais, necessitam serem fabricados em SOI parcialmente depletado, no caso dos planares, ou com canais com maiores dimensões ou com altas concentrações de dopantes no caso de dispositivos tridimensional de Corpo de porta tripla.

Um corte transversal do canal de transistor DTMOS de porta tripla pode ser visualizado na figura 23-a. Sua estrutura é a mesma que é a do transistor de Corpo com a diferença que no DTMOS o corpo é curto-circuitado com a porta através de um contato de corpo. Devido à esse contato com o corpo, este dispositivo tem maior controle das cargas da região de depleção, tendo assim um aumento na corrente de dreno e na transcondutância e menor efeito de canal curto quando comparado com o dispositivo de Corpo de mesmas dimensões[88].

A figura 23-b apresenta as curvas da corrente de dreno em função da tensão de porta para os transistores de porta tripla de Corpo com e sem a aplicação da técnica DTMOS. Para menores valores de tensão de porta ($V_G < 0,8V$), verifica-se que o dispositivo DTMOS apresentou maior corrente de dreno devido à redução dinâmica de sua tensão de limiar, isto é, à medida que se aplica uma tensão na porta, automaticamente, o contato do corpo recebe a mesma tensão. Quando a tensão na porta do transistor é incrementada, tensão de corpo segue o mesmo comportamento. O aumento da tensão de corpo resulta em uma redução da tensão de limiar (equação 5) e consequentemente no aumento na corrente de dreno[11].

Para maiores valores de tensão de porta ($V_G > 0,8V$), constata-se uma degradação da corrente de dreno, pois para essa polarização de porta e corpo a junção canal/fonte do DTMOS começa a ficar polarizada diretamente degradando as características do dispositivo.



(a) (b)

Figura 23 – Corte transversal de um DTMOS de porta tripla indicando o óxido de porta (t_{ox}) (a). Curvas da corrente de dreno (I_D) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo com e sem a aplicação da configuração DTMOS (b).

3.2.2.3 Transistor de porta tripla BOI (*Body-On-Insulator*)

A estrutura BOI[81] de porta tripla (figura 24) apresenta um isolante localizado abaixo do canal (óxido de canal - t_{oxcl}). Devido à existência desse óxido o dispositivo apresenta melhor acoplamento entre portas e canal. As dimensões desse óxido, geralmente variam ente 5 e 20 nm.

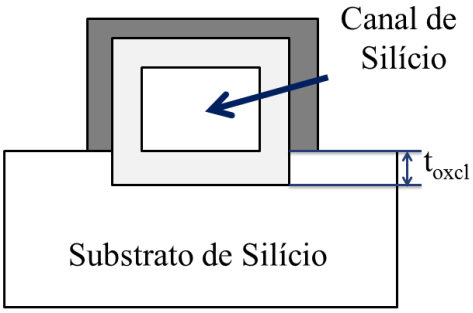


Figura 24 – Corte transversal de um BOI de porta tripla indicando o óxido de campo (t_{oxc}).

3.2.2.4 Transistor de porta tripla SOI (*Silicon-On-Insulator*)

Na figura 25 é apresentado um corte transversal do canal de dispositivo SOI de porta tripla. Este dispositivo apresenta as vantagens da tecnologia SOI somadas com as vantagens da tecnologia de múltiplas portas.

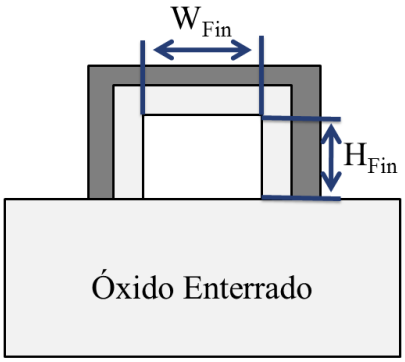
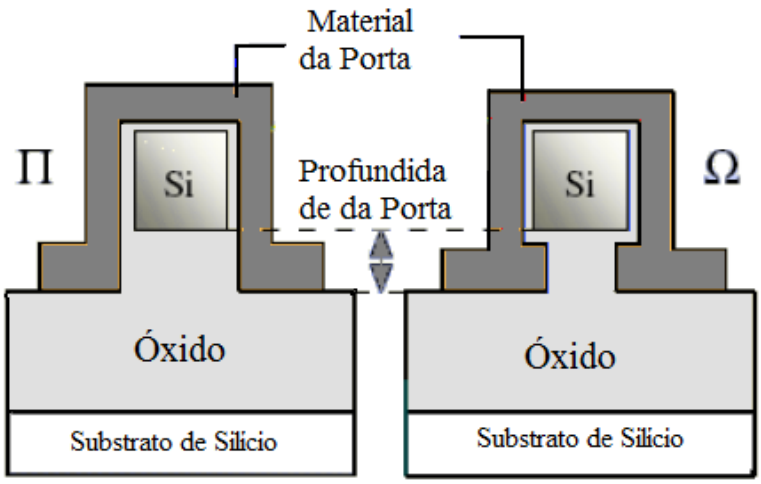


Figura 25 – Corte transversal de um SOI de porta tripla indicando a largura da aleta (W_{Fin}), altura da aleta (H_{Fin}).

3.2.3 Dispositivo de Porta Tripla Mais (+3)

Os dispositivos de porta Π[89,90,91] e Porta Ω[92] estão apresentados na figura 26, estes dispositivos possuem três portas, com uma extensão do eletrodo de porta, ou porta virtual, que proporciona um aumento na corrente e melhora o efeito de canal curto.



(a) (b)

Figura 26 – Estruturas não planares: (a) Porta Π; (b) Porta Ω.

Com o aumento do número de portas dos transistores, há uma melhora na inclinação de sublimiar, pois o controle da região de canal pela porta se torna mais efetivo, uma vez que as múltiplas portas oferecem mais proteção da região de canal em relação às linhas do campo elétrico do dreno. Essas estruturas oferecem alta corrente de dreno e efeito de canal curto reduzido, porém, podem apresentar efeito de canto[93].

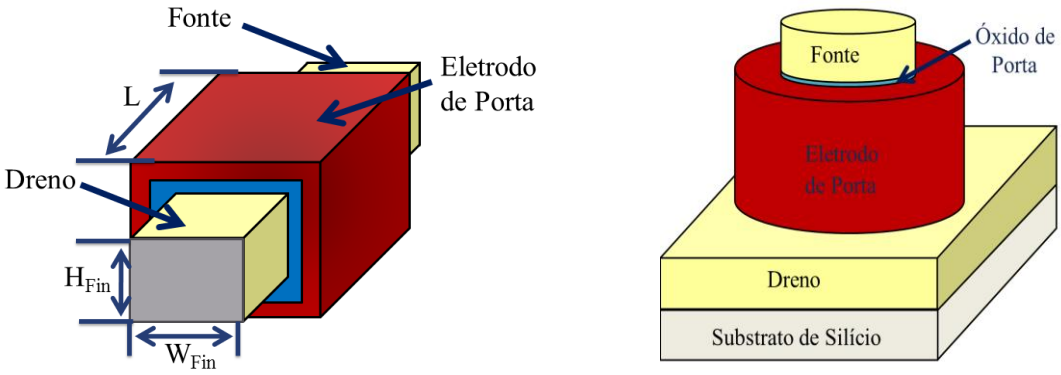
O efeito de canto é a formação prematura de uma região de inversão nas extremidades dos transistores em decorrência do compartilhamento de cargas que existem entre as portas adjacentes, ou seja, o canto. Devido à região de inversão nos cantos, verifica-se também o aparecimento de uma tensão de limiar referente aos cantos da estrutura[94].Pode ser reduzido ou eliminado usando um material de porta *midgap*, uma dopagem reduzida na região do canal ou utilizando cantos com valores altos de raios de curvatura[93].Nos dispositivos MuGFETs, os cantos fazem parte de sua estrutura e este efeito é mais intenso quando a concentração de dopantes no canal é maior e os raios de curvatura dos cantos são menores[93,95,96].

3.2.4 Dispositivo de Porta Quádrupla

Neste dispositivo, a porta é situada ao redor de todo o canal. Também é chamado de transistor de porta circundante. Nesta configuração, encaixam-se também os transistores circulares e os *nanowires*.

Nos transistores de quatro portas (fig. 27-a), todas as portas controlam a região do canal, mas para isto, o dispositivo precisa ser geometricamente projetado, de maneira que haja a participação de todas as portas no controle das cargas do canal, ou seja, todas as portas devem ter aproximadamente as mesmas dimensões.

No caso das estruturas circulares[97] (fig. 27-b), elas são normalmente produzidas em uma coluna de silício com um canal vertical. A fonte e o dreno estão situados em diferentes profundidades na camada de silício. Estes dispositivos teoricamente oferecem a melhor possibilidade de controle da porta sobre a região do canal.



(a) (b)

Figura 27 – Estruturas de porta circundantes: porta quadrupla (a) e transistor Cynthia (b).

3.3 FUNCIONAMENTO DOS MuGFETs

3.3.1 Corrente de Dreno

A corrente nas estruturas MuGFETs é igual à somatória das correntes que passam ao longo de todas as interfaces cobertas pelo eletrodo de porta. Em comparação a um transistor de porta única, a corrente duplica para um transistor de porta dupla, triplica para um transistor de porta tripla e assim sucessivamente, desde que todas as portas tenham a mesma largura e mesma mobilidade em suas interfaces. Para aumentar ainda mais a capacidade de corrente, utiliza-se a configuração com multi-dedos, como mostrado na figura 28.

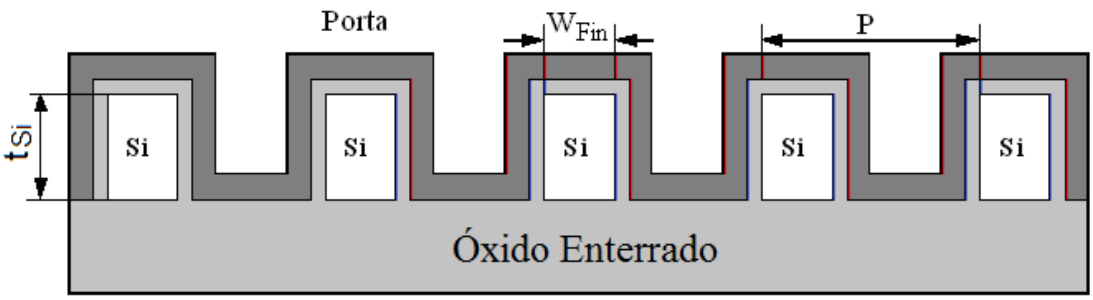


Figura 28 – Estrutura multi-dedos.

A corrente total de um transistor de vários “dedos” é igual à corrente de cada “dedo” multiplicada pelo número de “dedos”, considerando que a mobilidade em todas as interfaces Si/SiO_2 seja a mesma. Assim, para dispositivos de porta tripla, a corrente total (I_D) pode ser determinada pela equação 43[98].

$$I_D = I_{Do} \frac{\theta \mu_{TOPO} W_{Fin} + 2\mu_{LAT} t_{Si}}{\mu_{TOPO} . P} \tag{43}$$

Na equação acima, I_{Do} é a corrente obtida por um transistor planar de porta única, por unidade de largura, W_{Fin} é a largura de um “dedo”, t_{Si} é a espessura do filme do silício, P é à distância do início de um dedo ao mesmo ponto do outro dedo, μ_{TOPO} é a mobilidade da interface superior e μ_{LAT} é a mobilidade das interfaces laterais.

Para dispositivos de porta dupla, $\theta = 0$, pois a condução de corrente é feita somente nas interfaces laterais; para dispositivos de porta tripla, $\theta = 1$, pois a condução de corrente ocorre nas três interfaces e $\theta = 2$, no caso de transistores com condução de corrente nas quatro portas, ou seja, porta quádrupla.

Para que a utilização da estrutura multi-dedos seja vantajosa, é necessário que a corrente $I_D > I_{Do}$. Para dispositivos de porta tripla, onde $t_{Si} = W_{Fin}$, a dimensão de P precisa ser menor que $3W_{Fin}$, ou seja, ($P < 3W_{Fin}$) para que tenha uma corrente maior do que a de um transistor com porta única[73].

3.3.2 Comprimento Natural e Efeito de Canal Curto

Os efeitos de canal curto em transistores de camadas finas[99,100], ou em transistores MuGFETs[101], têm dependência do "comprimento natural" que é representado pelo parâmetro λ. Este parâmetro é a medida do efeito de canal curto inerente a uma estrutura.

Em 1992, R. H. Yan solucionou a equação de Poisson para estruturas de porta simples e porta dupla e introduziu um parâmetro chamado "comprimento natural", λ que representa a penetração das linhas do campo elétrico do dreno no corpo do transistor ou o quanto a região de dreno pode controlar a região de depleção no canal. De acordo com sua análise, uma estrutura pode ser considerada livre de efeitos de canal curto se o comprimento da porta é 6 a 10 vezes maior que λ[102].

Suzuki et al., em 1993, aperfeiçoaram seu modelo e propuseram uma expressão mais precisa para o comprimento natural. Em um dispositivo de porta dupla, o parâmetro λ é determinado pela equação 44[103].

$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{2\varepsilon_{ox}}\left(1+\frac{\varepsilon_{ox}\, t_{Si}}{4\varepsilon_{Si}\, t_{ox}}\right) t_{Si}\, t_{ox}} \tag{44}$$

Em 1997, Auth modelou o comprimento natural para dispositivo de porta circundante, cilíndrico e de óxido de porta fino, como apresentado na equação 45[104].

$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{4\varepsilon_{ox}}\left(1+\frac{\varepsilon_{ox}\, t_{Si}}{4\varepsilon_{Si}\, t_{ox}}\right) t_{Si}\, t_{ox}} \tag{45}$$

Baseado nas similaridades das relações, o conceito de comprimento natural foi generalizado para todos os dispositivos MuGFETs[105], como apresentado na equação 46;

$$\lambda_{np} = \sqrt{\frac{\varepsilon_{Si}}{np\varepsilon_{ox}}\left(1+\frac{\varepsilon_{ox}\, t_{Si}}{4\varepsilon_{Si}\, t_{ox}}\right) t_{Si}\, t_{ox}} \tag{46}$$

onde np é o número efetivo de portas do dispositivo analisado. Esta relação é independente da concentração de dopantes e portanto, pode ser utilizado tanto para dispositivos com canal dopados quanto para não dopados.

O comprimento natural diminui quando o número de portas do dispositivo aumenta. Portanto, transistores com mais de uma porta possuem um melhor efeito de canal curto do que transistores de porta única, pois possuem melhor controle do canal, ou seja, possuem um menor valor de λ.

3.3.3 Tensão de Limiar

A tensão de limiar nos dispositivos de porta dupla depende da espessura da camada de silício (t_{Si}). Assumindo que $\phi_S = 2\phi_F$ na inversão, a tensão de limiar para dispositivos de porta dupla pode ser determinada pela equação 47[106];

$$V_{T\_2} = V_{FB} + 2\phi_F + \frac{q N_A}{C_{ox}} \frac{t_{Si}}{2} \tag{47}$$

Para dispositivos MuGFETs com baixa dopagem no canal, as tensões de limiar ocorrem ao mesmo tempo e uma relação entre tensão de limiar e a espessura da camada de silício pode ser obtida da equação 48[105];

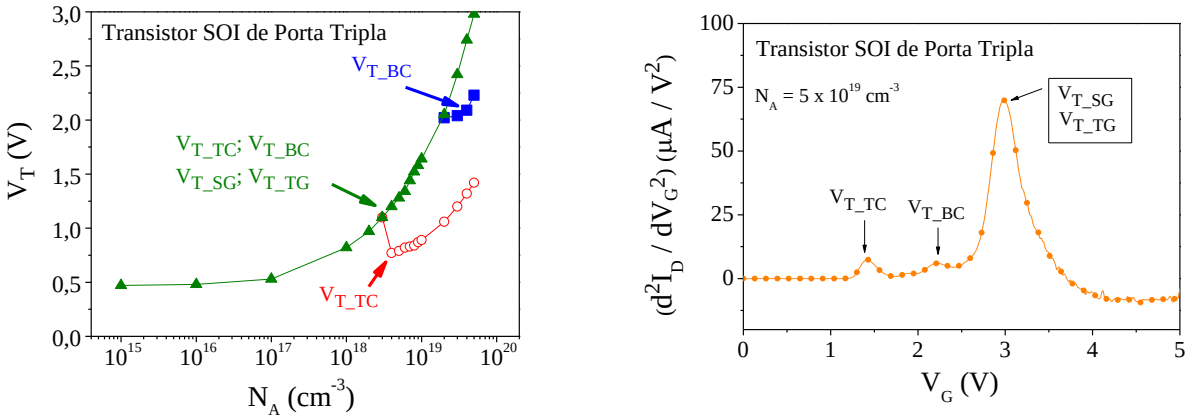
$$V_{T\_np} = V_{FB} + 2\phi_F + \frac{q N_A}{C_{ox}} \frac{t_{Si}}{np} \tag{48}$$

onde np = 2 para dispositivos de porta dupla: np = 3 para dispositivos de porta tripla e np = 4 para dispositivos de porta circundante. Considerando os dispositivos com a espessura do filme de silício maiores que 10 nm, pois os efeitos quânticos, (tais como inversão de volume) foram desprezados[105].

Existem vários métodos para extração da tensão de limiar reportados[107,108,109,110,111,112] na literatura. O método da variação máxima da transcondutância (MTC - *Maximum Transconductance Change*)[113,114] é um dos mais utilizados para extrair a tensão de limiar nos MuGFETs, pois através dele, é possível verificar facilmente a presença de mais de uma tensão de limiar existente nos dispositivos[94].

No MTC, a tensão de limiar é definida como sendo a tensão aplicada à porta do transistor, onde a derivada da transcondutância (d^2I_D/dV_G^2) tem o seu valor máximo, ou seja, quando $d^3I_D/dV_G^3 = 0$.

Devido aos efeitos de cantos superiores e cantos inferiores e de altas concentrações de dopantes no canal, os dispositivos MuGFETs podem apresentar até 4 tensões de limiar[94,115]. A figura 29 apresenta o comportamento da tensão de limiar para transistores SOI de porta tripla em função da concentração de dopante no canal (N_A).



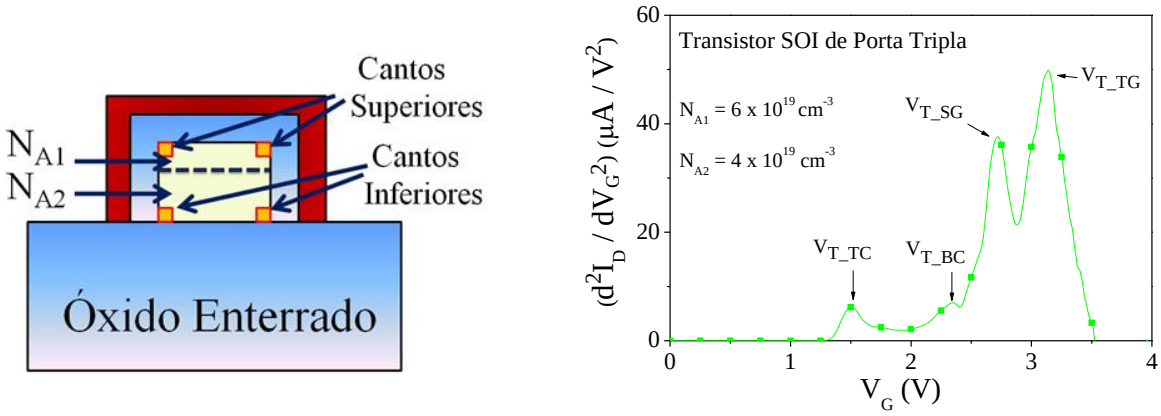
(a) (b)

Figura 29 – Tensão de Limiar em função da concentração de dopante no canal (a) e a curva $d^2 I_D / dV_G^2$ em função da tensão de porta (b) para dispositivos SOI de porta tripla.

Para altos valores de N_A, constatou-se a presença de até três tensões de limiar. A primeira tensão de limiar V_{T_TC}, corresponde a tensão de limiar dos cantos superiores, uma vez que estes são submetidos ao somatório dos vetores de campo elétrico gerado pela porta lateral e pela porta superior. A segunda tensão de limiar ($V_{T,BC}$) é referente à condução dos cantos inferiores devido ao acoplamento com o substrato e; a tensão de limiar mais alta está relacionada com a inversão das superfícies laterais ($V_{T,SG}$) e com a inversão da porta superior ($V_{T,TG}$), simultaneamente ($V_{T,SG} \cong V_{T,TG}$) onde a curva correspondente da segunda derivada da corrente de dreno é apresentada na figura 29-b[94].

Quando N_A diminui, verifica-se a presença de duas tensões de limiar, onde a mais baixa é a tensão de limiar dos cantos superiores (V_{T_TC}) e a outra está relacionada com a inversão das superfícies inferiores, laterais e superior, simultaneamente ($V_{T,BC} \cong V_{T,SG} \cong V_{T,TG}$). Para baixa concentração de dopante no canal, os dispositivos apresentam apenas uma tensão de limiar. Essa tensão de limiar é devido à inversão dos cantos e das superfícies laterais e superior, ao mesmo tempo ($V_{T,TC} \cong V_{T,BC} \cong V_{T,SG} \cong V_{T,TG}$).

A figura 30-a mostra o corte transversal de transistores de porta tripla, identificando as regiões do canal e seus cantos e a figura 30-b apresenta a curva da segunda derivada da corrente de dreno do transistor SOI de porta tripla para diferentes concentrações de dopantes nas regiões do canal. Neste caso, observa-se a presença de quatro diferentes tensões de limiar, ou seja, V_{T_TC}, V_{T_BC}, V_{T_SG} e V_{T_TG} sendo essas respectivamente, a tensão de limiar dos cantos superiores, a tensão de limiar devido à inversão dos cantos inferiores, a inversão das superfícies laterais e a inversão da porta superior.



(a) (b)

Figura 30 – Corte transversal identificando as regiões do canal e os cantos (a) e; a curva $d^2 I_D / dV_G^2$ em função da tensão de porta (b) para dispositivos SOI de porta tripla.

4 SIMULAÇÕES DE MuGFETs DE PORTA TRIPLA (Corpo, DTMOS, BOI e SOI)

Neste capítulo serão apresentados cálculos, análises e discussões dos resultados obtidos por simulação tridimensionais (3D). Os resultados foram analisados desde as características mais básicas até o comportamento analógico dos dispositivos. Este estudo será realizado através de uma comparação entre os dispositivos de Corpo, DTMOS, BOI e SOI de porta tripla em temperaturas que variam de 150K até a temperatura ambiente, ou seja, 300K[116].

4.1 SIMULADOR

O simulador numérico utilizado neste trabalho foi o Atlas. O Atlas é um simulador tridimensional baseado em equações físicas, permitindo a obtenção das características elétricas associadas às estruturas específicas e às condições de polarização do dispositivo. É executável em ambiente DECKBUILD e produzido pela SILVACO[117].

O dispositivo deve ser discretizado em uma grade de pontos, podendo ser tanto bidimensional ou tridimensional. Essa grade é utilizada para resolver as equações fundamentais dos semicondutores numericamente em cada um dos cruzamentos entre linhas e colunas os quais são denominados nós. Pode-se então simular o comportamento dos portadores através da estrutura e analisar o seu desempenho elétrico nos modos de operações DC e AC.

Nas simulações com o Atlas, é importante a escolha dos modelos que incluam os mecanismos físicos adequados para que os resultados obtidos sejam equivalentes aos resultados das caracterizações experimentais. Também é importante a escolha dos métodos que serão utilizados para a realização do cálculo em cada um dos nós existentes na grade.

Os modelos e métodos que foram utilizados para obtenção das simulações tridimensionais e a metodologia utilizada no desenvolvimento das simulações encontram-se descritos no apêndice.

4.2 DISPOSITIVOS

As estruturas simuladas representam os transistores de Corpo (fig. 22), DTMOS (fig. 23-a), BOI (fig. 24) e SOI (fig. 25) de porta tripla com as seguintes características:

- Comprimento da região de dreno e região de fonte - $L_D = L_S = 100$ nm;
- Óxido de porta - $t_{ox} = 2$ nm;
- Óxido de campo - $t_{oxc} = 15$ nm para as estruturas de Corpo e DTMOS;
- Óxido de canal - $t_{oxcl} = 15$ nm para o transistor BOI;
- Óxido enterrado - $t_{oxb} = 145$ nm dispositivo SOI;
- Concentração de dopantes na região de fonte e dreno - $N_D = 1 \times 10^{20}$ cm^{-3};
- Concentração de dopantes no canal de $N_A = 1 \times 10^{15}$ cm^{-3} a $N_A = 1 \times 10^{19}$ cm^{-3};
- A largura da aleta (W_{Fin}) de 30 e 120 nm;
- A altura da aleta (H_{Fin}) de 60 nm;
- Comprimento do canal (L) de 50 nm a 1 µm;
- A densidade de cargas na interface - 3×10^{10} cm^{-2}.

4.3 TEMPERATURA AMBIENTE

4.3.1 Tensão de Limiar em Transistores de Porta Tripla de Corpo e DTMOS

O comportamento da tensão de limiar para dispositivos de porta tripla de Corpo é apresentado na figura 31, onde V_{T0} é a tensão de limiar em $V_B = 0$ V. Quando a polarização de corpo é aumentada, a tensão de limiar diminui como esperado.

A curva de $V_G = V_B$ (em preto) representa a tensão que é aplicada nos DTMOS e as suas respectivas tensões de limiar são determinadas pelo seu ponto de intersecção com a curva da tensão de limiar no dispositivo Corpo (V_{T_Corpo}), ou seja, o ponto de intersecção da curva $V_G = V_B$ com a curva V_{T_Corpo} determina a tensão de limiar nos transistores DTMOS[82].

Verifica-se ainda que V_{T_DTMOS} será sempre menor ou no pior caso, igual a V_{T_Corpo} ($V_{T\_DTMOS} \leqslant V_{T\_Corpo}$) e que os dispositivos com alta concentração de dopantes no canal ($N_A = 5 \times 10^{18}$ cm^{-3}) apresentam duas curvas da tensão de limiar para menores polarizações de corpo. Estes valores de tensões de limiar estão quantificados na tabela 1 e as curva correspondentes da segunda derivada da corrente de dreno são apresentada nas figuras 32 e 33, respectivamente.

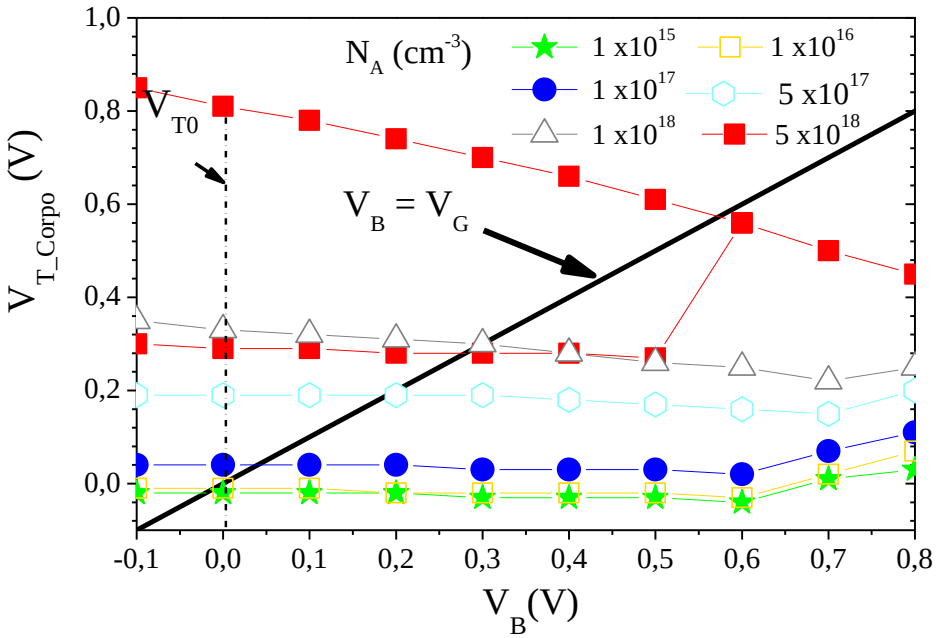


Figura 31 – Tensão de limiar (V_{T_Corpo}) dos dispositivos de porta tripla de Corpo em função da polarização de corpo (V_{BS}) para várias concentrações de dopantes no canal com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV.

Tabela 1 – Tensão de limiar dos dispositivos de porta tripla de Corpo e DTMOS várias concentrações de dopantes no canal com W_{Fin} = 120 nm, H_{Fin} = 60 nm, L = 1 µm, V_D = 550 mV e V_{GT} = 230 mV.

N_A (cm^{-3})	V_{T0} (mV)	V_{T_DTMOS} (mV)
1 x 10^{15}	-0,02	-0,02
1 x 10^{16}	-0,01	-0,01
1 x 10^{17}	0,04	0,03
5 x 10^{17}	0,19	0,18
1 x 10^{18}	0,33	0,30
5 x 10^{18}	0,29 and 0,81	0,28 and 0,57

Nos dispositivos porta tripla de Corpo com alta concentração de dopantes no canal (fig. 32), verificou-se a presença de duas tensões de limiar por curva, isto é, dois pontos de máximo na curva da segunda derivada de I_D versus V_G.

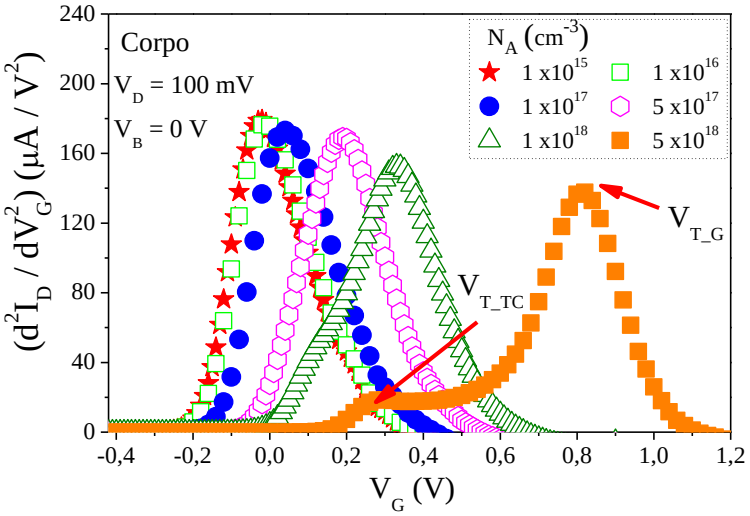


Figura 32 – Curva $d^2 I_D / dV_G^2$ em função de V_G dos dispositivos de Corpo com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 100 mV e com diferentes concentrações de dopantes no canal.

Essas tensões de limiar são V_{T_TC} e V_{T_G}, onde V_{T_TC} corresponde à tensão de limiar dos cantos superiores devido ao somatório dos vetores de campo elétrico gerado pelas portas lateral e superior. A tensão de limiar V_{T_G} está relacionada com a inversão das superfícies laterais e simultaneamente pela inversão da porta superior. Diferentemente, os dispositivos com baixas concentrações de dopantes no canal apresentam somente uma tensão de limiar, pois a inversão nas portas laterais e porta superior ocorrem ao mesmo tempo.

Os transistores DTMOS apresentaram o mesmo comportamento que os transistores de porta tripla de Corpo (fig. 33), isto é, duas tensões de limiar para altos N_A, sendo que o valor da tensão de limiar (ponto de máximo) nas figuras 32 e 33 são os mesmo mostrados na tabela 1.

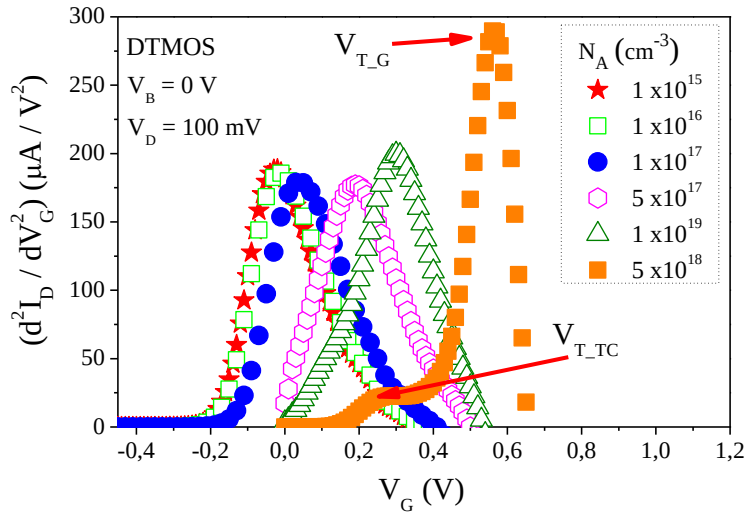


Figura 33 – Curva $d^2 I_D / dV_G^2$ em função de V_G dos dispositivos DTMOS com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 100 mV e com diferentes concentrações de dopantes no canal.

4.3.2 Desempenho de Outros Parâmetros

Na figura 34 são apresentadas as curvas da inclinação de sublimiar em função do comprimento do canal para os dispositivos de Corpo, DTMOS, BOI e SOI de porta tripla. Com o intuito de uma melhor análise do efeito de canal curto, diferentemente dispositivos aqui foram utilizados dispositivos com largura da aleta de 30 nm.

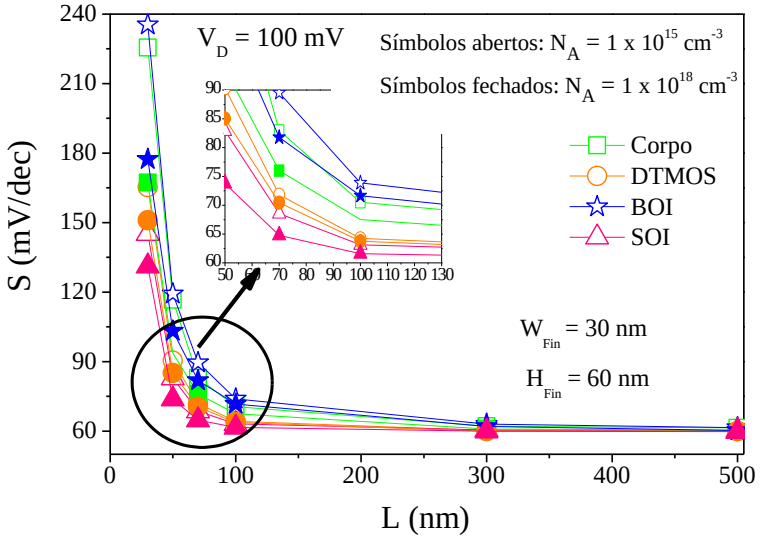


Figura 34 – Inclinação de sublimiar (S) para dispositivos de porta tripla com W_{Fin} = 30 nm e H_{Fin} = 60 nm extraídos na região linear para; N_A = 1 x 10^{15} cm^{-3} e N_A = 1 x 10^{18} cm^{-3}.

Através dos resultados obtidos por simulação, verificou-se que, nos transistores com comprimentos de canais maiores, a inclinação de sublimiar é praticamente ideal ($\cong$60 mV/dec) para todos os dispositivos estudados. No entanto, para os dispositivos com comprimento de canais menores, a inclinação de sublimiar é menor, ou seja, é melhor nos transistores de porta tripla SOI (devido à camada de óxido enterrado, que separa a região ativa do substrato) e em seguida é melhor para o dispositivo DTMOS (devido ao contato de corpo que atua como uma porta adicional). Este fato acontece porque estes dispositivos apresentam melhores propriedades de canal curto do que os dispositivos de porta tripla de Corpo e o BOI.

A inclinação de sublimiar em função da concentração de dopantes no canal pode ser visualizada na figura 35. Para dispositivos com largura de fin maiores (L = 1 µm), os dispositivos DTMOS apresentaram inclinações de sublimiar praticamente ideais em todas as concentrações de dopantes do canal analisadas. Os demais dispositivos apresentaram um aumento da inclinação de sublimiar com o aumento de $N_{A,}$ pois o aumento da dopagem do canal diminui a camada de depleção máxima degradando as características dos dispositivos (aumenta a capacitância da região de depleção)[18].

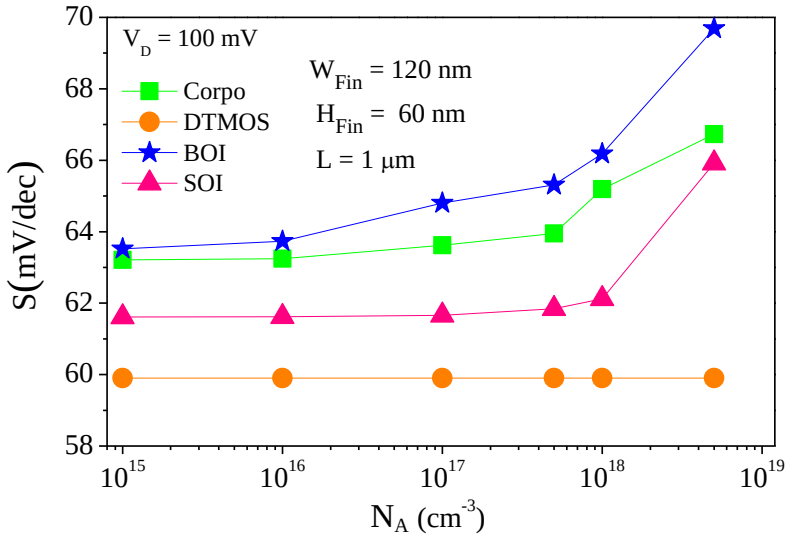
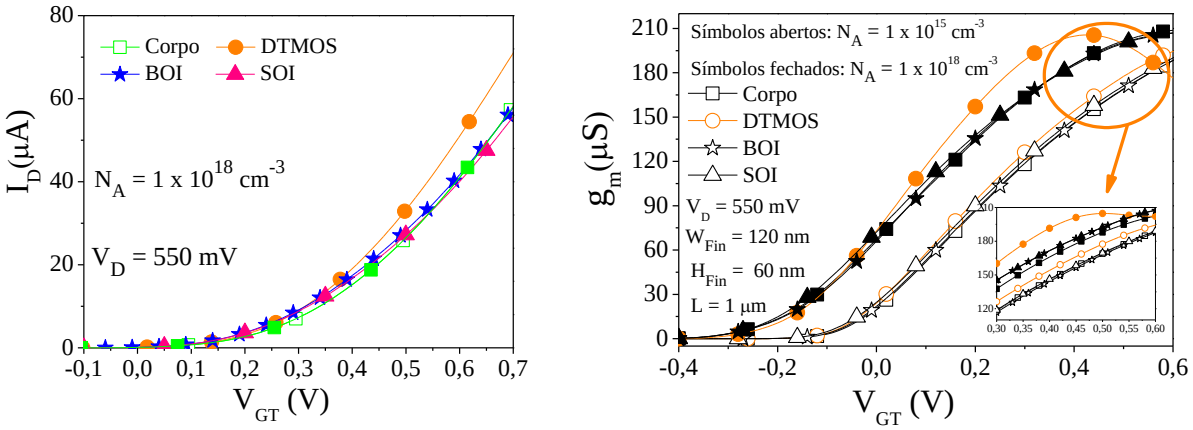


Figura 35 – Inclinação de sublimiar (S) para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm e L = 1 µm extraídos na região linear em função da concentração de dopantes no canal (N_A).

Na figura 36, são apresentadas a corrente de dreno (I_D) e a transcondutância (g_m) em função da sobretensão de porta (V_{GT}) obtida na região de saturação ($V_{GT} = V_G - V_T$, onde V_G é a tensão de porta e V_T é a tensão de limiar) para diferentes estruturas com alta concentração de dopantes no canal. Constatou-se que o transistor DTMOS de porta tripla apresentou maior transcondutância e maior corrente de dreno do que os outros dispositivos devido à redução dinâmica de sua tensão de limiar. A mesma tendência foi também verificada para dispositivos com baixa concentração de dopante no canal.



(a) (b)

Figura 36 – Corrente de dreno (a) e a transcondutância (b) e em função da sobretensão de porta (V_{GT}) na região de saturação para dispositivos de porta tripla com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm e V_D = 550 mV.

Na análise do comportamento analógica, para poder verificar uma melhor diferença entre os dispositivos de Corpo e DTMOS, foram escolhidos dispositivos com $W_{Fin} \geq 130$ nm. Dispositivos com larguras menores tem uma redução da melhoria ocasionada devido à aplicação da técnica DTMOS. O contato do corpo no dispositivo necessita estar numa região neutra para se ter os benefícios com a técnica DTMOS por causa do melhor acoplamento que existe entre suas portas. Entretanto, para aplicações analógicas, normalmente são utilizados dispositivos maiores, devido à melhor tensão Early que é maior para comprimentos de canal maiores, possibilitando assim a utilização de dispositivos com larguras maiores.

A razão g_m/I_D em função da corrente normalizada I_D é apresentada na figura 37. É possível verificar que as estruturas de porta tripla DTMOS apresentaram valores maiores do que nas outras estruturas, tanto nos dispositivos com baixa concentração de dopantes no canal como nos com alta concentração de dopantes, principalmente na região de inversão fraca e moderada, devido à sua melhor inclinação de sublimiar (figura 35).

Quando os dispositivos estão operando na inversão fraca, a relação g_m/I_D é inversamente proporcional à inclinação de sublimiar (S) como apresentado na equação 16. Como o DTMOS apresentou menores valores de S; consequentemente, apresentou maiores valores de g_m/I_D.

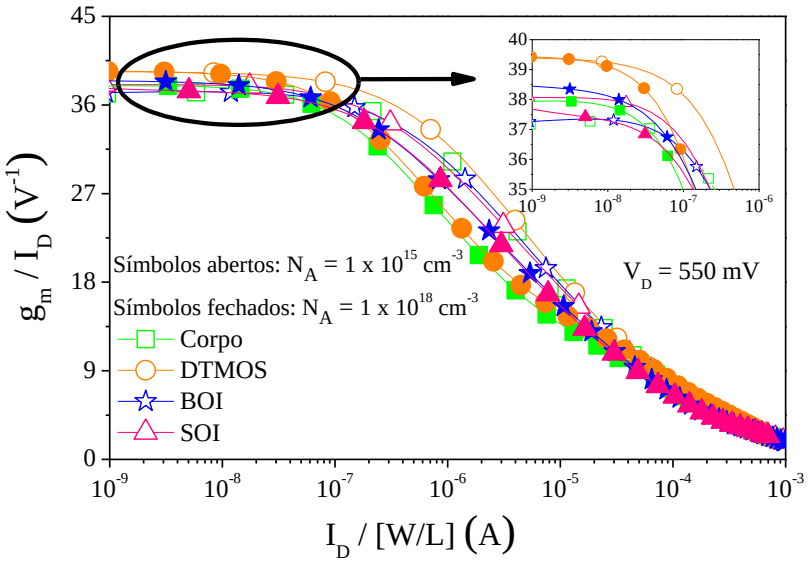


Figura 37 – Relação g_m/I_D em função da corrente de dreno normalizada na região de saturação para dispositivos de porta tripla com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm e V_D = 550 mV.

As figuras 38 e 39 mostram as curvas da tensão Early e ganho de tensão intrínseco, respectivamente. Constatou-se que os dispositivos com baixa concentração de dopantes no canal ($N_A = 10^{15}$ cm^{-3}) apresentaram resultados similares, embora os transistores SOI de porta tripla tenham uma leve melhora quando comparados com as outras estruturas.

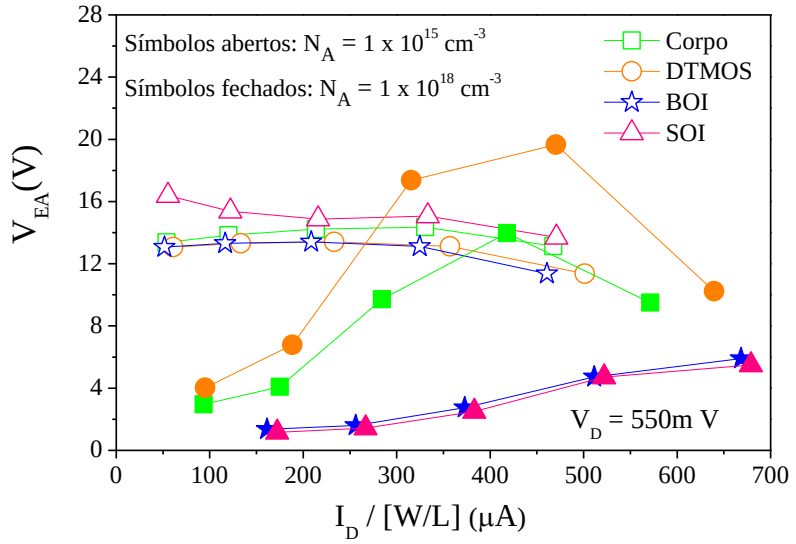


Figura 38 – Tensão Early (V_{EA}) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 μm e V_D = 550 mV.

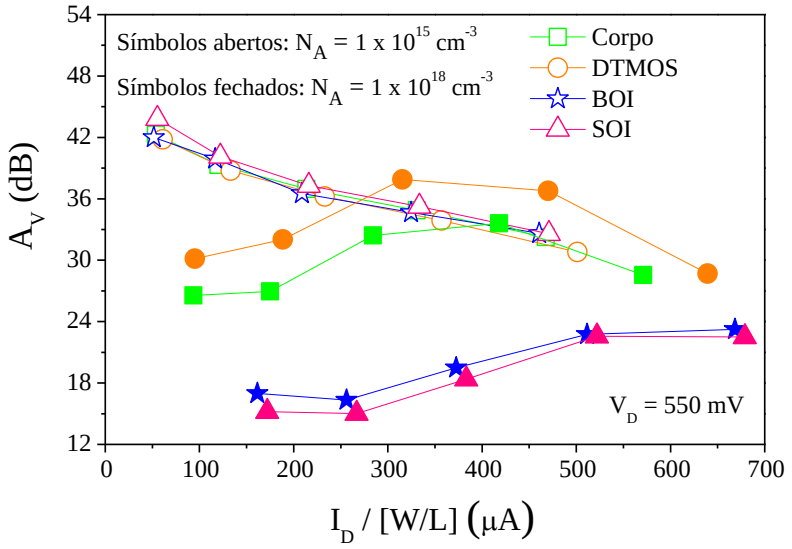


Figura 39 – Ganho de tensão intrínseco (A_V) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 μm. e V_D = 550 mV.

No entanto, nos dispositivos com dopagem de canal de 1 x 10^{18} cm^{-3}, o transistor DTMOS apresentou o melhor ganho de tensão intrínseco graças à sua alta transcondutância, melhor razão g_m/I_D e elevada tensão Early.

Estas vantagens do transistor DTMOS, nesta condição de dopagem do canal (N_A = 1 x 10^{18} cm^{-3}), estão relacionadas como o fato de seu contato com o corpo estar localizado numa região neutra do corpo do dispositivo, pois isto é necessário para que o mesmo não interfira em sua região de depleção quando for aplicada tensão na porta. Neste caso, o contato de corpo funciona como uma porta adicional[82], melhorando o acoplamento entre a porta e o canal do dispositivo.

4.4 BAIXA TEMPERATURA

A condutância de saída (g_D) e a transcondutância (g_m) em função de temperatura, para diferentes estruturas com baixa e alta concentração de dopantes no canal, é mostrada na figura 40, respectivamente. É possível verificar que a redução da temperatura causa uma leve ou nenhuma (no caso dos dispositivos SOI) degradação na condutância de saída dos dispositivos com baixa concentração de dopantes no canal. Entretanto, nos dispositivos com alta concentração de dopantes no canal constata-se um aumento na degradação de g_D com a redução da temperatura devido ao aumento da mobilidade dos portadores.

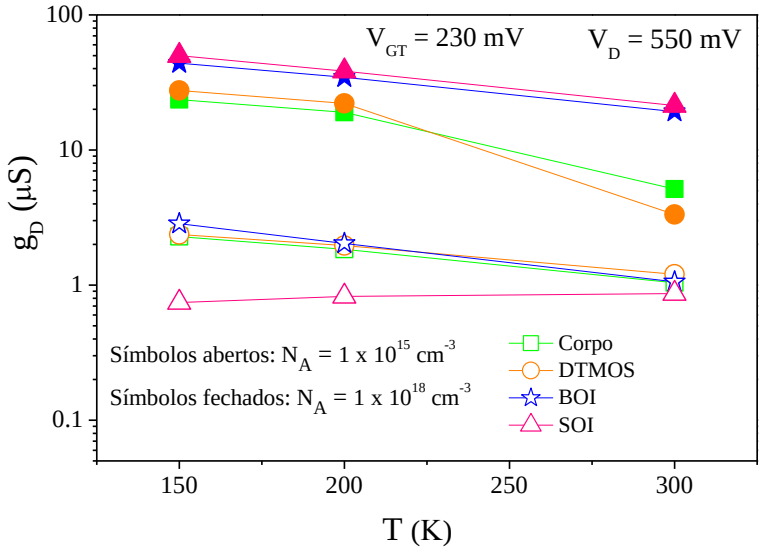


Figura 40 – Condutância de saída (g_D) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV.

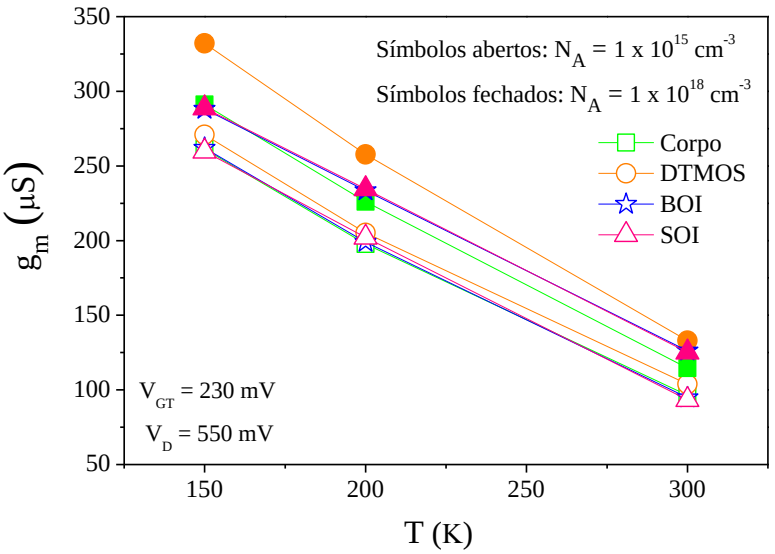


Figura 41 – Transcondutância (g_m) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV.

As curvas apresentadas permitem constatar um aumento na transcondutância com a redução da temperatura graças à mobilidade de portador que melhora nas baixas temperaturas e está diretamente relacionada com a transcondutância (equação 40). Adicionalmente, os dispositivos DTMOS obtiveram o melhor desempenho devido à diminuição dinâmica de sua tensão de limiar, como também visualizado na figura 36-b em temperatura ambiente.

A eficiência do transistor em função da corrente normalizada I_D para diferentes temperaturas é apresentada na figura 42. A Temperatura é inversamente proporcional à razão g_m/I_D na região de inversão fraca como mostrado na equação 16. A partir das curvas apresentadas, pode-se concluir que os dispositivos DTMOS de porta tripla apresentaram os melhores resultados em todas as temperaturas estudadas.

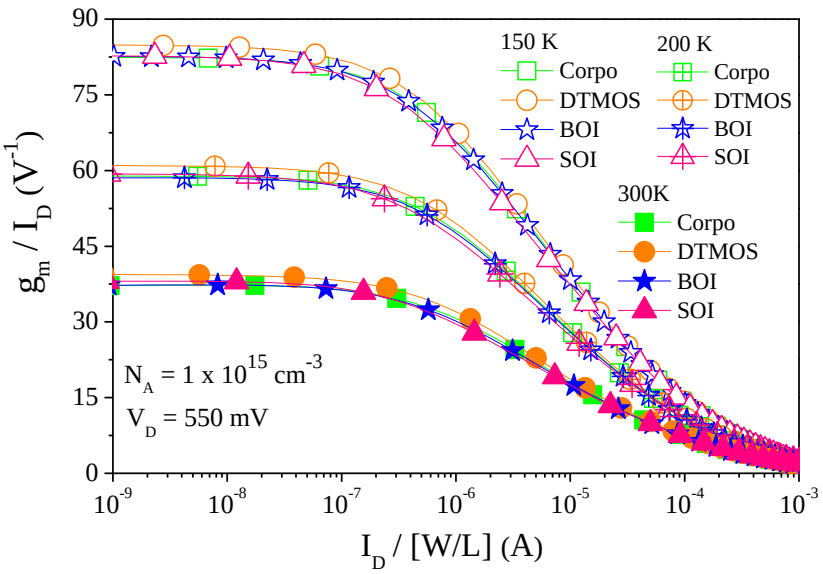


Figura 42 – (g_m/I_D) em função da corrente de dreno normalizada na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm e L = 1 para diferentes temperaturas.

A figura 43 apresenta a tensão Early e a figura 44, o ganho de tensão intrínseco. Ambas, em função da temperatura para sobretensão de porta (V_{GT}) de 230 mV. Constata-se que os dispositivos com baixa concentração de dopantes no canal ($N_A = 1 \times 10^{15}$ cm^{-3}) apresentaram a mesma tendência: um pequeno aumento na tensão Early e ganho de tensão intrínseco em baixas temperaturas. Porém é um pouco melhor nos transistores SOI de porta tripla do que nas outras estruturas em consequência do seu melhor acoplamento entre portas e canal.

Nos transistores de porta tripla de Corpo e DTMOS com N_A =1 x 10^{18} cm^{-3}, quando a temperatura foi reduzida, a tensão Early e o ganho de tensão intrínseco foram degradados devido ao aumento da condutância de saída. O transistor DTMOS apresentou os melhores resultados em temperatura ambiente devido ao maior controle do seu contato de corpo decorrente da diminuição de região de depleção. Entretanto, esse benefício é reduzido com a diminuição da temperatura (aumento da região de depleção).

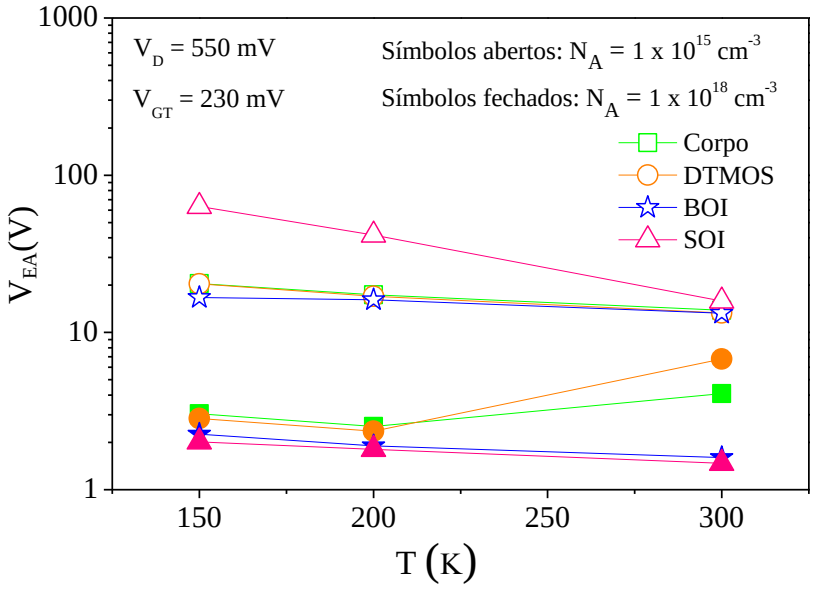


Figura 43 – Tensão Early (V_{EA}) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV.

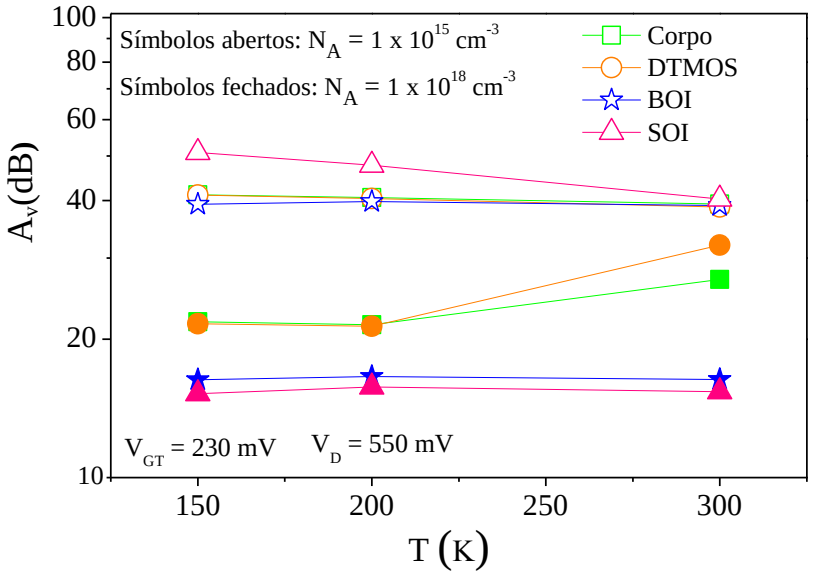


Figura 44 – Ganho de tensão intrínseco (AV) em função da temperatura na região de saturação para dispositivos com W_{Fin} = 120 nm; H_{Fin} = 60 nm; L = 1 µm; V_D = 550 mV e V_{GT} = 230 mV.

5 CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES DE PORTA TRIPLA DE CORPO

Neste capítulo será apresentado um estudo sobre o comportamento dos transistores de porta tripla de Corpo. Este estudo tem como base uma comparação dos dispositivos de porta tripla de Corpo (Bulk) com e sem a aplicação da configuração DTMOS. Ambos os dispositivos serão comparados desde as características mais básicas até os seus comportamentos analógicos. O ruído de baixa frequência e seus desempenhos antes e após serem submetidos à influência da radiação também serão estudados. Na sequência, serão apresentados os resultados do desempenho dos transistores de porta tripla de Corpo como célula de memória 1T-DRAM.

Todos os dispositivos analisados neste trabalho foram fabricados e caracterizados eletricamente no *interuniversity microelectronics center* (imec), que é um centro de pesquisa na área de microeletrônica localizado na cidade de Leuven, na Bélgica. Foram utilizadas lâminas de silício de 12 polegadas (figura 45) fabricadas pelo processo de Czochralski com dopagem natural de $N_A = 1 \times 10^{15}$ cm^{-3}. Essas lâminas são divididas em várias partes iguais (*chip*) que contém um conjunto de diferentes tipos dispositivos, onde estão incluídos os transistores de porta tripla de Corpo de canal tipo-n caracterizados eletricamente como mostrado na figura 46.

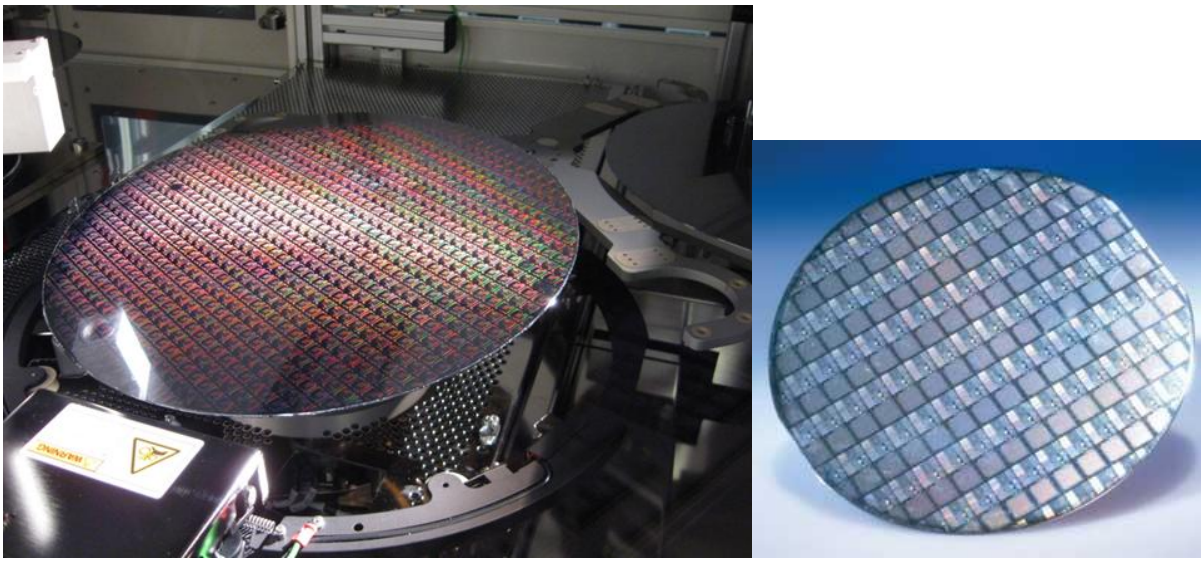


Figura 45 – Lâminas com substrato de silício de 12’’ divididas em varias partes iguais (*chip*)[118].

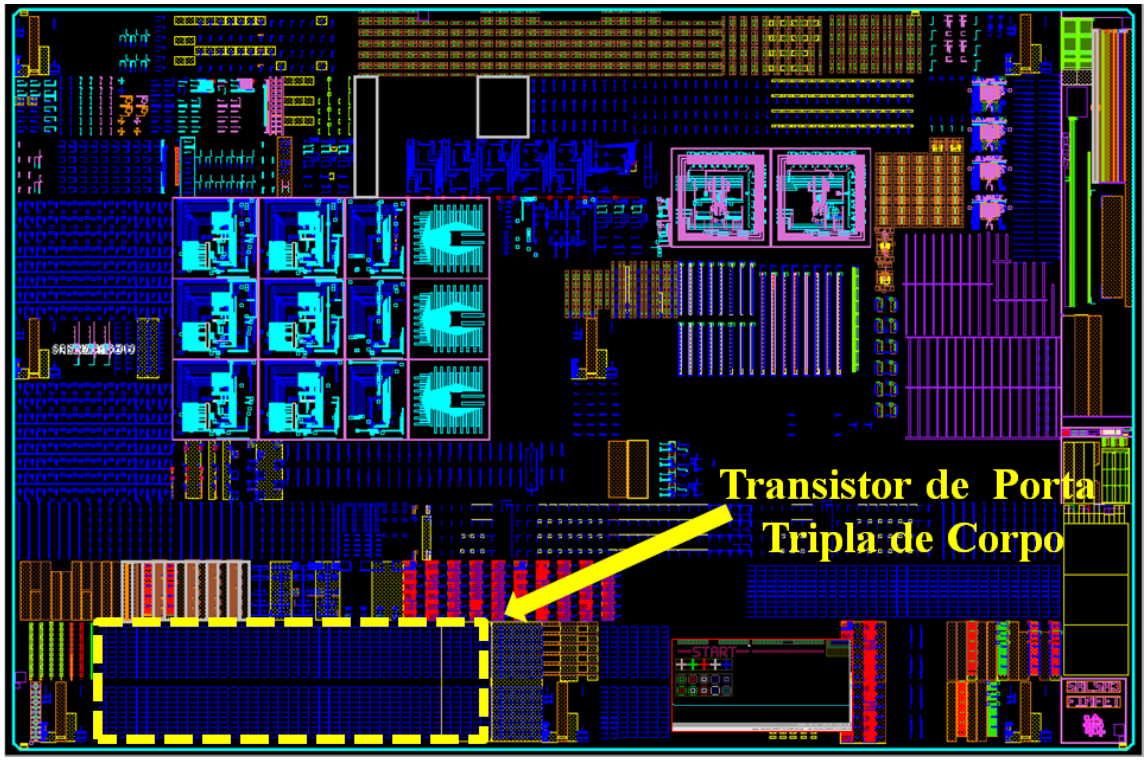


Figura 46 – Conjunto de diferentes tipos de dispositivos em uma parte da lâmina (*chip*) destacando os transistores de porta tripla de Corpo caracterizados neste trabalho.

A figura 47 mostra o local na lâmina que contém os transistores identificando-se as regiões de Fonte (S), dreno (D) e porta (G). A figura 48 apresenta o transistor de porta tripla de Corpo analisado neste estudo e, na figura 49, pode-se visualizar o corte transversal do canal em configuração tradicional e em configuração DTMOS. É importante ressaltar que neste trabalho, o mesmo dispositivo de Corpo foi medido com e sem a técnica DTMOS.

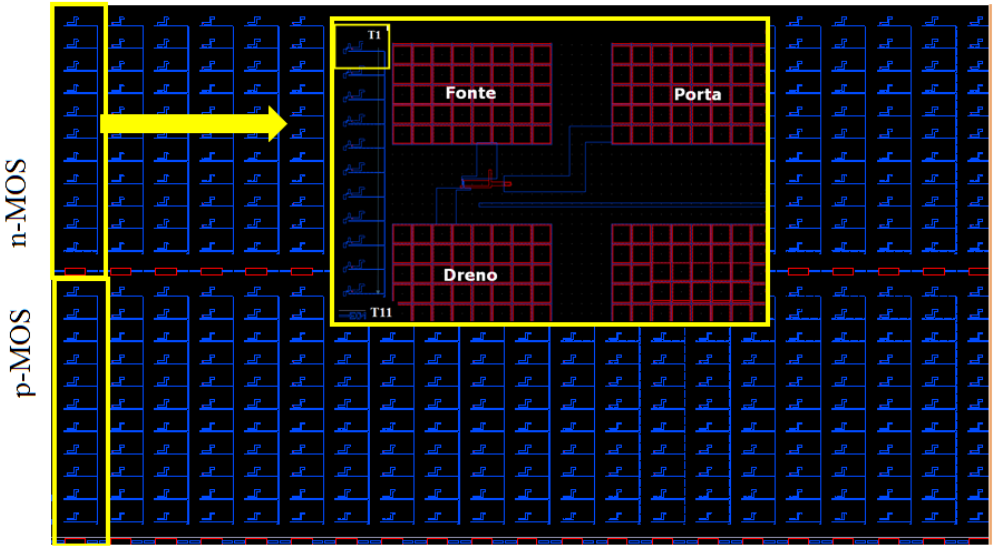


Figura 47 – Transistores p-MOS e n-MOS identificando-se as regiões de fonte, dreno e porta.

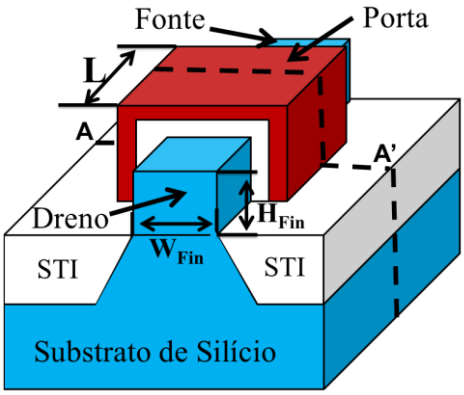
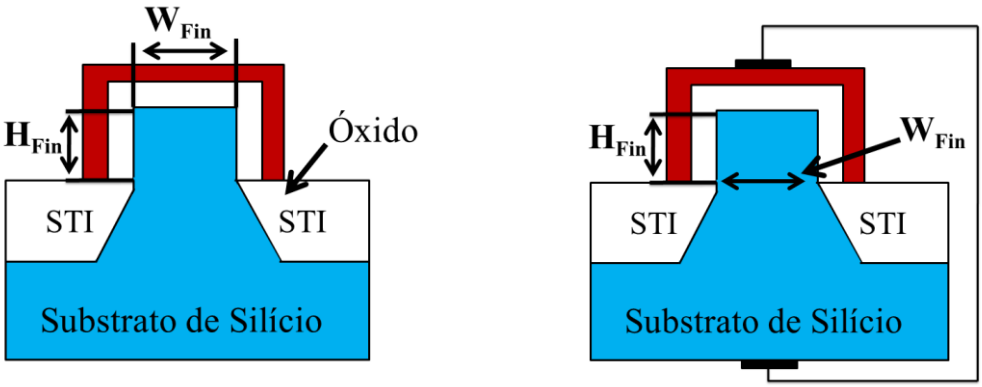


Figura 48 – Transistor de porta tripla de corpo indicando um corte transversal do canal e seus diferentes parâmetros tais como, altura da aleta H_{Fin}; largura da aleta W_{Fin}; óxido de isolação STI (*Shallow Trench Isolation)* e comprimento do canal (L).



(a) (b)

Figura 49 – Corte transversal ao logo do canal (A–A') de um transistor de porta tripla de Corpo em configuração tradicional de Corpo (a) e configuração DTMOS (b).

5.1 COMPORTAMENTO DOS MuGFETs DE CORPO COM E SEM CONFIGURAÇÃO DTMOS

Nesta parte do trabalho, a corrente de dreno, a transcondutância, a resistência, a tensão de limiar, a inclinação de sublimiar e o DIBL serão analisados nos dispositivos de Corpo e DTMOS. Será também apresentado um estudo do comportamento analógico destes dispositivos, onde a transcondutância-sobre-corrente de dreno, a condutância de saída, a tensão Early e o ganho de tensão intrínseco serão estudados experimentalmente. Especial atenção será dada à tensão Early e ao ganho de tensão intrínseco para o qual, também foram realizadas simulações numéricas com a finalidade de ampliar a análise investigativa deste estudo. Foram realizadas simulações de dispositivos com dopagem natural no canal ($N_A = 1 \times 10^{15}$ cm^{-3}) e dispositivos com canal altamente dopado ($N_A = 1 \times 10^{18}$ cm^{-3})[119,120].

5.1.1 Estrutura do Dispositivo

Os dispositivos, analisados nesta parte do trabalho, possuem 5 aletas (*fins*) de 65 nm de altura (H_{Fin}). Foram fabricados com estrutura LDD (*Lightly Doped Drain*) e óxido de isolação (STI - *Shallow Trench Isolation*)[11,77]. Seu canal é naturalmente dopado (N_A = 1 x 10^{15} cm^{-3}) e o óxido de porta consiste de 2,5 nm de SiON (Óxido Nitreto de Silício). O Material de porta utilizado foi o nitreto de titânio (TiN = 5 nm) depositado por meio da deposição por camada atômica assistida por plasma (PE-ALD – *Plasma enhanced atomic layer deposition*) seguida por 100 nm de silício policristalino. Para reduzir as correntes de fuga entre as aletas[121] foram usadas dopagens na cavidade (*well implants*)[11,77] e no GP (*Ground Plane*)[11,77].

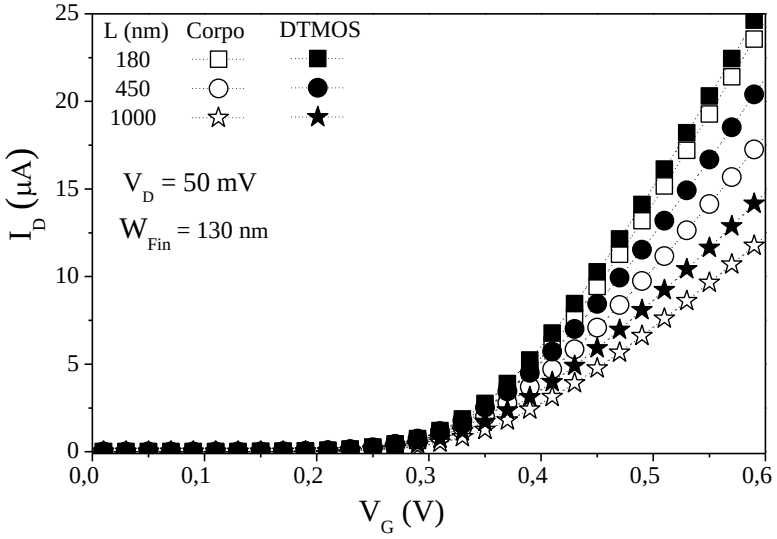
Foram caracterizados dispositivos com largura de fin (W_{Fin}) de 40 nm até 1 µm e comprimentos de canal (L) variando de 180 nm até 10 µm. Os transistores simulados possuem H_{Fin} de 65 nm e uma largura fin (W_{Fin}) iguais a 130 nm. Conforme explicado no capítulo anterior, em desempenho analógico, para poder verificar uma melhor diferença entre os dispositivos analisados, foram utilizados dispositivos com $W_{Fin} \geq 130$ nm.

As figuras de mérito analógico foram extraídas em diferentes condições de polarização para sobretensão de porta (V_{GT}) e as características de entrada foram medidas nas regiões linear (V_D = 50 mV) e saturação de V_D = 1,2 V. A inclinação subliminar foi calculada pelo ponto mínimo da curva $dV_G/d[\log(I_D)]$ e a tensão de limiar foi extraída pelo método MTC.

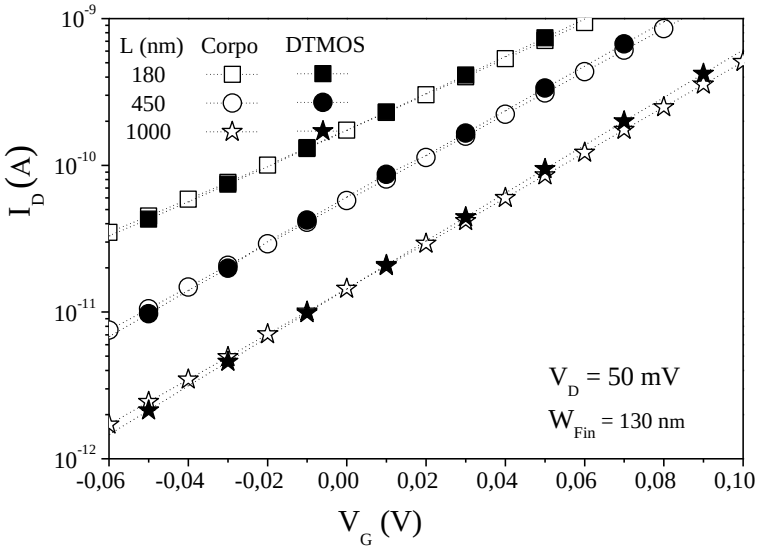
5.1.2 Características Elétricas Básicas

5.1.2.1 Corrente de dreno (I_D)

As curvas experimentais da corrente de dreno em função da tensão de porta para os transistores de porta tripla estão apresentadas na figura 50. Verifica-se que os dispositivos DTMOS apresentaram maior corrente de dreno em todos os comprimentos de canais analisados e melhor inclinação de sublimiar nos dispositivos com maiores comprimento de canal (fig. 50-b) devido à redução dinâmica de sua tensão de limiar. Nos transistores com comprimentos de canal menores, o benefício da técnica DTMOS se torna menos eficiente devido ao aumento do efeito de canal curto e consequentemente, da perda do controle do contato de corpo sobre o canal.



(a)



(b)

Figura 50 – Escala linear (a) e escala logarítmica (b) das curvas experimentais da corrente de dreno (I_D) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo e DTMOS para diferentes comprimentos de canal (L).

5.1.2.2 Transcondutância (g_m)

A figura 51 apresenta as curvas experimentais da transcondutância para os dispositivos de porta tripla. Pode-se verificar que os dispositivos DTMOS apresentaram sempre uma maior (melhor) ou igual transcondutância em todos os comprimentos de canais analisados devido à diminuição dinâmica de sua tensão de limiar. Ainda, destaca-se o fato desta melhoria do DTMOS ser maior quando os dispositivos possuem maiores comprimento de canal, causados pelo seu melhor controle do contato do corpo.

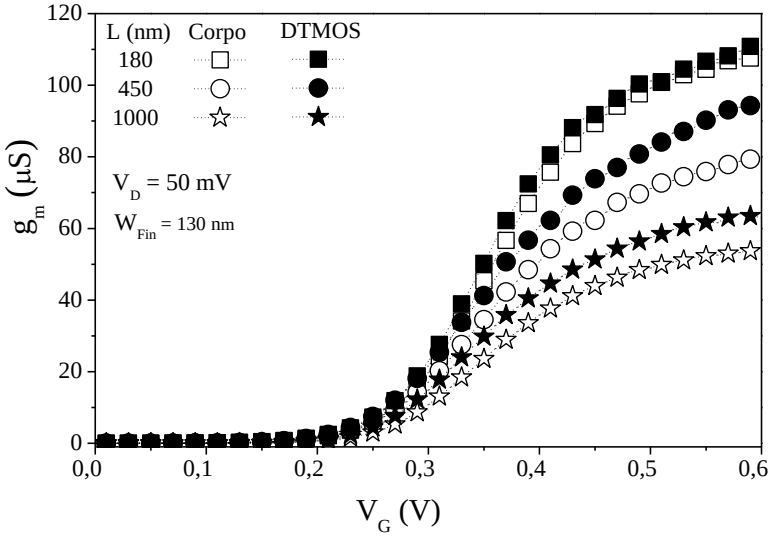


Figura 51 – Curvas experimentais da transcondutância (g_m) em função da tensão de porta (V_G) em dispositivos de porta tripla de Corpo e DTMOS para diferentes comprimentos de canal (L).

5.1.2.3 Resistência Total (R_T)

A resistência total dos dispositivos é determinada pela equação 49.

$$R_T = R_{CH} + R_{SD} \tag{49}$$

Onde R_{CH} é a resistência do canal, a qual é diretamente proporcional a L/W e inversamente proporcional a mobilidade dos portadores. R_{SD} é a resistência série de fonte e dreno[122].

A figura 52 apresenta as curvas experimentais da resistência total extraída em função do comprimento de canal para dispositivos de porta tripla. R_T foi extraída por V_D/I_D em V_{GT} = 200 mV e com polarização de dreno de 50 mV.

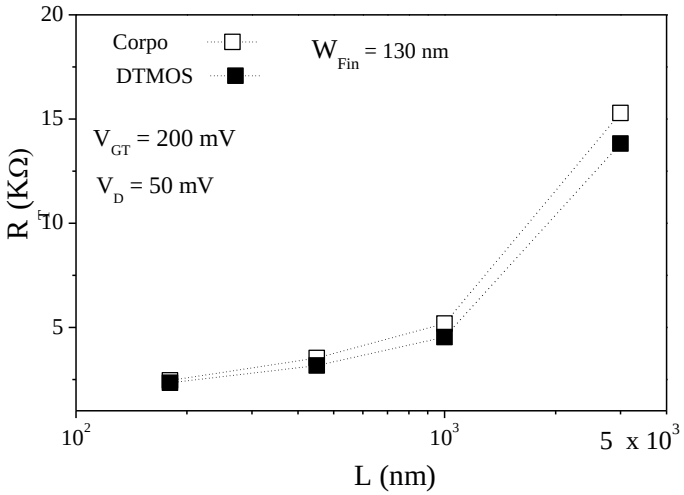


Figura 52 – Curvas experimentais da resistência total (R_T) para dispositivos de porta tripla de Corpo e DTMOS extraído em tensão de dreno (V_D) de 50 mV e sobretensão de porta (V_{GT}) de 200 mV em função do comprimento do canal.

Para todos os comprimentos de canal estudados, verifica-se que R_T tem um melhor comportamento nos dispositivos DTMOS. Este resultado é explicado pelo fato do dispositivo DTMOS possuir melhor transcondutância e melhor corrente de dreno em função da redução dinâmica de sua tensão de limiar.

5.1.2.4 Tensão de limiar (V_T) e inclinação de sublimiar (S)

O comportamento da tensão de limiar nos dispositivos de Corpo com e sem a aplicação da técnica DTMOS é mostrado na figura 53. Para os dispositivos DTMOS obteve-se o mesmo valor de tensão de limiar (DTMOS com W_{Fin} = 65 nm) ou um valor de tensão de limiar menor (DTMOS com W_{Fin} = 1 µm). Adicionalmente, conforme a figura 54 constata-se que os dispositivos DTMOS apresentaram uma menor inclinação de sublimiar, que contribui para uma menor corrente de fuga.

Ainda, na figura 54, constata-se que os dispositivos DTMOS com maiores comprimento de canal (L ≥ 250 nm) possuem inclinação de sublimiar praticamente ideal. Também, para os dispositivos com menores comprimentos de canal (L < 250 nm), a inclinação de sublimiar é menor nos dispositivos DTMOS em consequência do fato desses dispositivos apresentarem menor efeito de canal curto. Na técnica DTMOS, o contato do corpo desempenha o papel de uma porta adicional, ou seja, o dispositivo de três portas passa a comportar praticamente como um dispositivo de quatro portas[82].

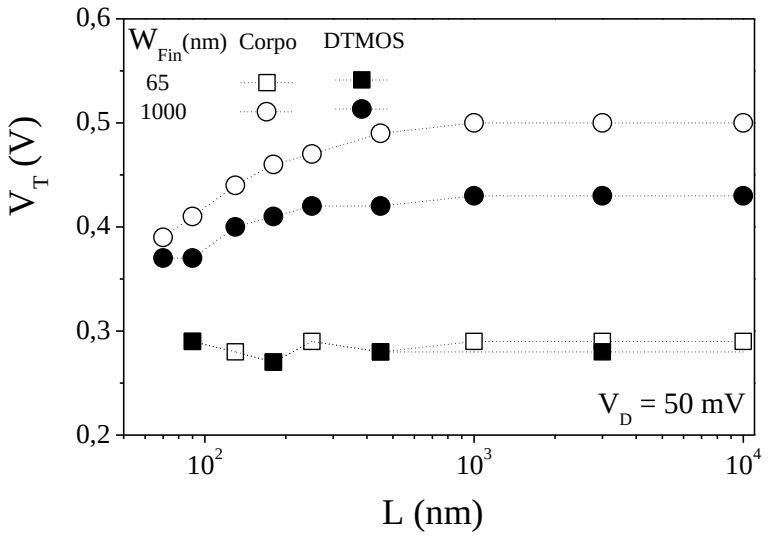


Figura 53 – Curvas experimentais da tensão de limiar (V_T) para dispositivos de porta tripla em função do comprimento do canal.

A partir dos resultados mostrados nas figuras 53 e 54, respectivamente; constata-se que, comparativamente aos dispositivos de Corpo, o melhor desempenho dos dispositivos DTMOS é maior para os dispositivos com larguras maiores (W_{Fin} = 1 µm versus W_{Fin} = 65 nm). Esse resultado ocorre porque quando os dispositivos tornam-se estreitos, o controle sobre o corpo completamente depletado pelo contato de corpo é perdido em favor do acoplamento das portas.

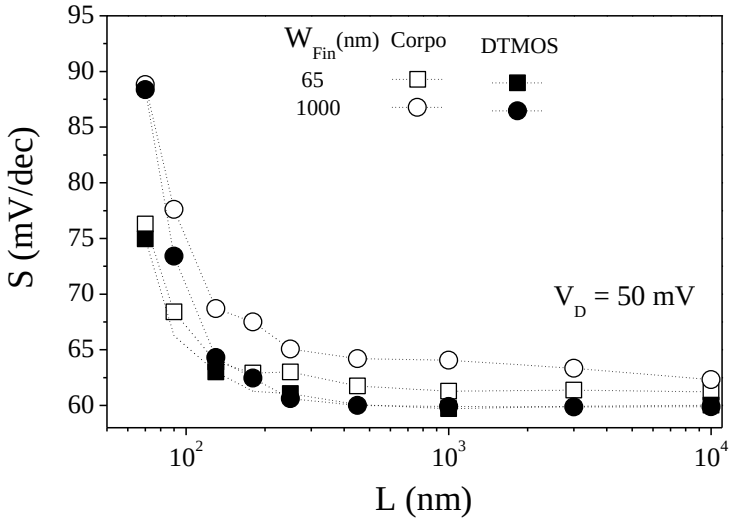


Figura 54 – Curvas experimentais da inclinação de sublimiar (S) para dispositivos de porta tripla em função do comprimento do canal.

A figura 55 apresenta as curvas experimentais e simuladas da corrente de dreno e da transcondutância em função da tensão de porta. As simulações (arquivo em anexo) foram ajustadas para dispositivos com canal não dopados na região linear e saturação. Para ambos os casos, pode-se notar uma boa concordância entre dados simulados e experimentais.

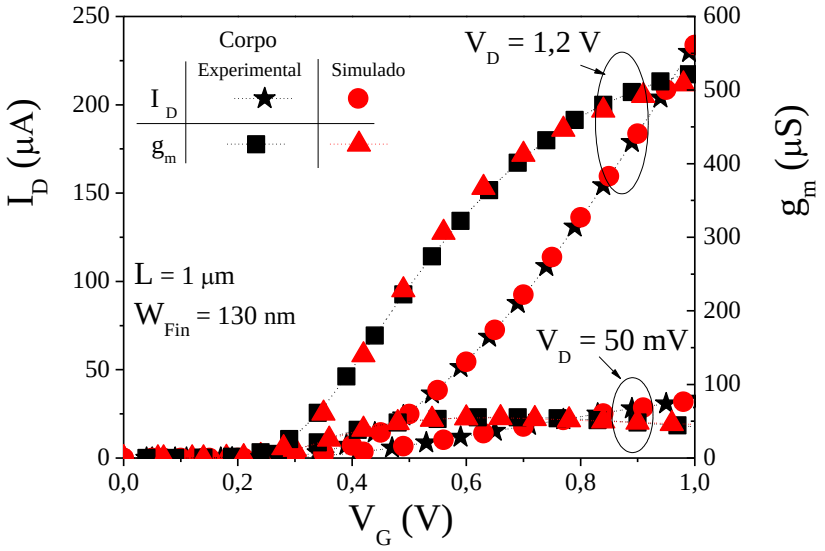


Figura 55 – Curvas experimentais e simuladas da corrente de dreno e da transcondutância na região linear e saturação em dispositivos de Corpo de porta tripla.

5.1.2.5 Redução da barreira induzida pelo dreno (DIBL)

A figura 56 apresenta o DIBL em função do comprimento do canal para os transistores de Corpo e DTMOS. O comportamento desses dispositivos foi medido em duas diferentes polarizações de dreno; V_{D1} = 50 mV e V_{D2} = 1,2 V.

O método MTC foi usado para obter a tensão de limiar para o valor correspondente de tensão de polarização de dreno V_{D1}. Entretanto, a tensão de limiar correspondente a V_{D2} (saturação) foi extraída pelo nível de corrente isto é, o nível de corrente em V_{D1} (para a V_T encontrada) é igual nível de corrente em V_{D2}. A tensão V_G correspondente a esse nível é a tensão de limiar na saturação (em V_{D1}).

Nos dispositivos analisados, verificou-se uma melhora no DIBL (diminuição) com o aumento do comprimento de canal, conforme esperado. Os transistores DTMOS apresentaram o mesmo ou menor DIBL por apresentarem menor penetração do campo elétrico de dreno no canal.

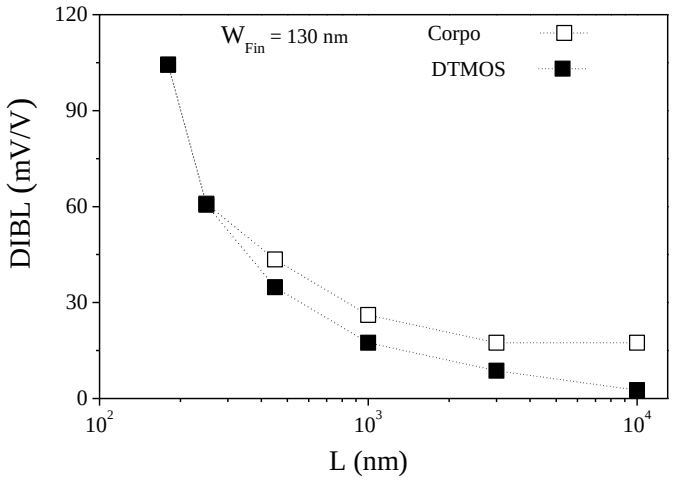


Figura 56 – Curvas experimentais do DIBL para dispositivos de porta tripla extraído na tensão de polarização de dreno (V_D) de 50 mV e 1,2 V em função do comprimento do canal.

5.1.3 Desempenho analógico

5.1.3.1 Eficiência do transistor (g_m/I_D)

A figura 57 apresenta as curvas característica experimentais da razão g_m/I_D em função da corrente de dreno normalizada enquanto que, a figura 58 mostra os resultados experimentais e simulados da razão g_m/I_D em função da sobretensão de porta (V_{GT}). Verifica-se que a eficiência do transistor (g_m/I_D) é maior nos dispositivos DTMOS do que nos de Corpo, principalmente na inversão fraca e moderada, devido à sua melhor inclinação de sublimiar (eq.16).

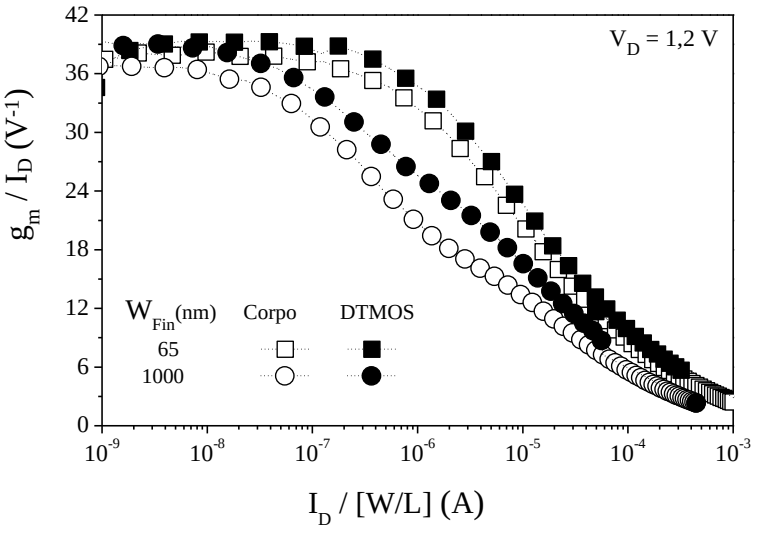


Figura 57 – Curvas experimentais de g_m/I_D em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação.

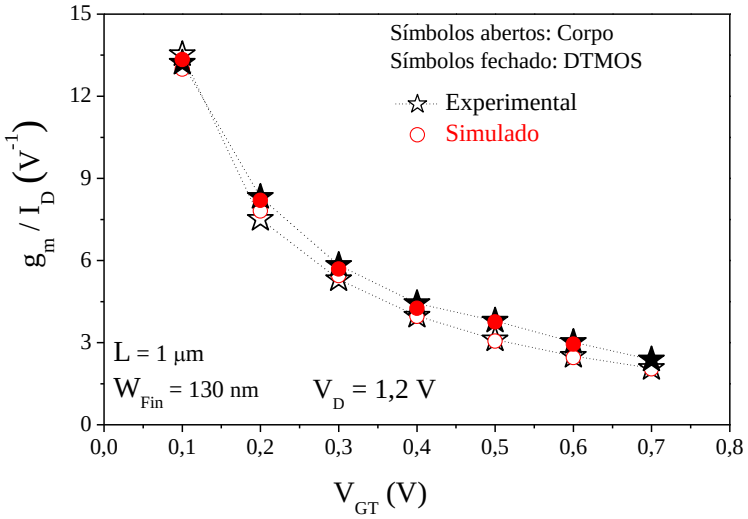


Figura 58 – Curvas experimentais e simuladas de g_m/I_D em função da sobretensão de porta (V_{GT}) na região de saturação.

5.1.3.2 Condutância de saída (g_D)

Os resultados experimentais da condutância de saída, nos dispositivos de Corpo e DTMOS, estão apresentados na figura 59, onde o valor de g_D foi extraído da curva I_D x V_D na região de saturação. Para baixos valores de V_{GT}, o valor de g_D é praticamente o mesmo para as estruturas de Corpo e DTMOS. Entretanto, para maiores valores de V_{GT}, verifica-se uma maior degradação na condutância de saída do DTMOS. Este comportamento está relacionado com sua polarização direta da junção canal/fonte que degrada as características do transistor.

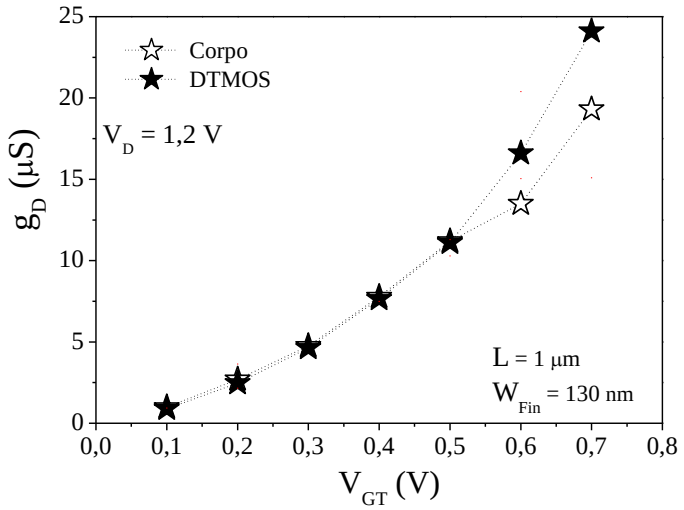


Figura 59 – Curvas experimentais da condutância de saída (g_D) em função da sobretensão de porta (V_{GT}).

5.1.3.3 Tensão Early (V_{EA})

A figura 60 apresenta as curvas experimentais e simuladas da tensão Early ($V_{EA} = I_D/g_D$) em função da sobretensão de porta. Nos dispositivos com dopagem natural no canal ($N_A = 1 \times 10^{15}$ cm^{-3}), o DTMOS apresentou uma pequena melhora no valor de V_{EA}. Para altos valores de $V_{GT,}$ isto é, quando a junção canal/fonte começa a ficar polarizada diretamente, verifica-se uma degradação da tensão Early em ambos os casos.

Quando a concentração da dopagem do canal é maior, a largura da região de depleção diminui. Nos dispositivos com alta concentração de dopantes é verificado que a tensão Early é bem superior para os DTMOS, consequência do fato de que nesta condição de dopagem do canal, o contato com o corpo do DTMOS não interfere em sua região de depleção, tornando-o mais efetivo.

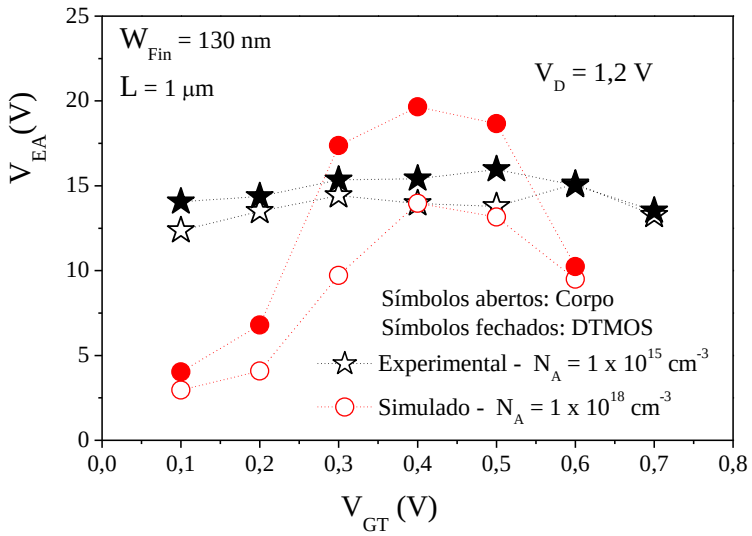


Figura 60 – Curvas experimentais e simuladas da tensão Early (V_{EA}) em função da sobretensão de porta (V_{GT}) na região de saturação.

5.1.3.4 Ganho intrínseco de tensão (A_V)

O resultado experimental e simulado do ganho intrínseco do transistor (equação 19) é apresentado na figura 61. A transcondutância e a condutância de saída foram determinadas na mesma condição de polarização. Para dispositivos com dopagem de N_A = 1 x 10^{15} cm^{-3} no canal, A_V é um pouco melhor nos dispositivos DTMOS. Entretanto, para dispositivos com alta concentração de dopantes (N_A = 1 x 10^{18} cm^{-3}), os dispositivos DTMOS apresentam um ganho de tensão intrínseco muito melhor devido à alta tensão Early.

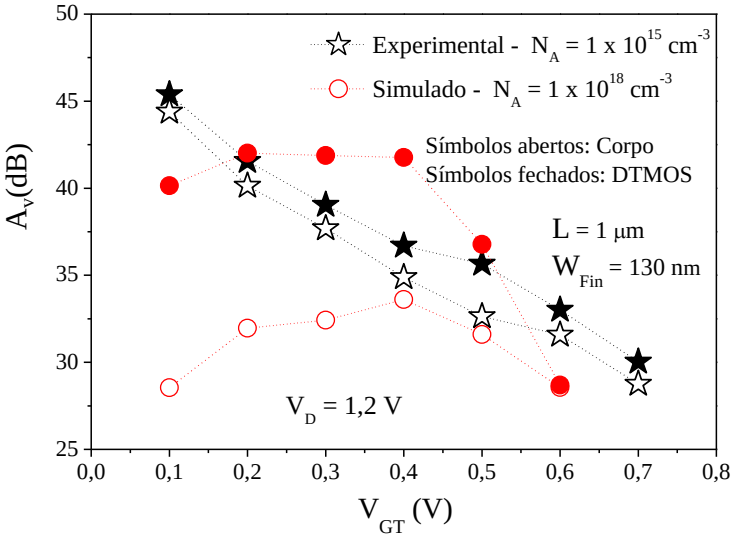


Figura 61 – Curvas experimentais e simuladas do ganho de tensão intrínseco (A_V) em função da sobretensão de porta (V_{GT}) na região de saturação.

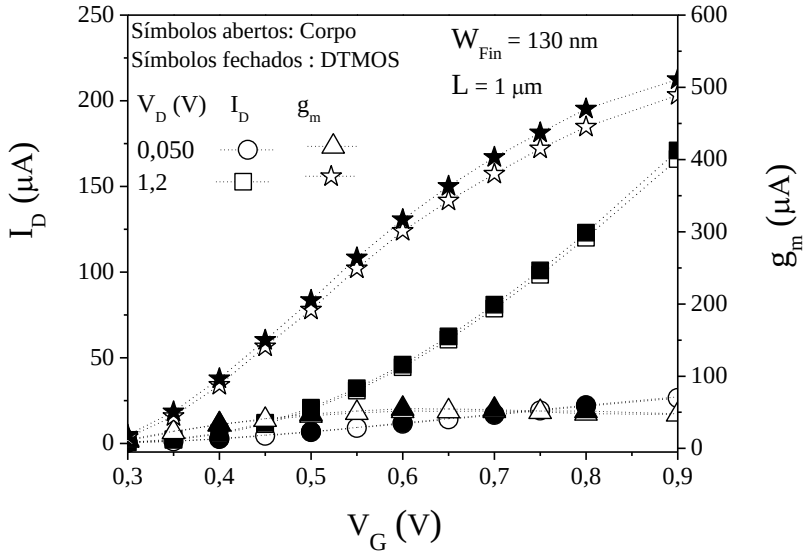
5.2 RUÍDO DE BAIXA FREQUÊNCIA

Nesta parte do trabalho, o ruído de baixa frequência será estudado nos MuGFETs de porta tripla com e sem a aplicação da técnica DTMOS. Os dispositivos utilizados neste estudo são os mesmos dispositivos descritos no estudo anterior (item 5.1).

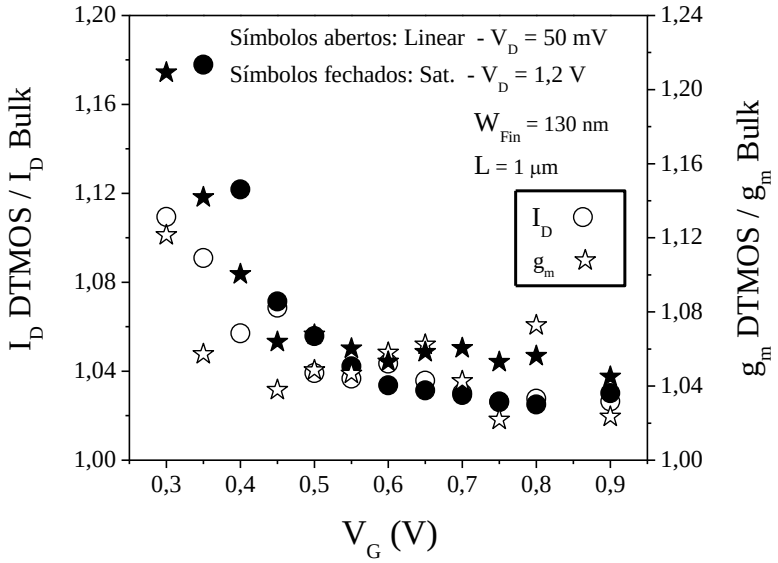
A origem do ruído será analisada de maneira a entender os mecanismos físicos envolvidos nos tipos de ruídos presentes nos dispositivos[123,124,125]. As medidas de ruídos foram realizadas nos dispositivos nas regiões linear (V_D = 50 mV) e saturação (V_D = 1,2 V), onde a polarização da porta (V_G) foi levada da inversão fraca até a inversão forte (em incrementos de 50 mV) por meio do sistema de controle da BTA (Berkeley Technology Associates) interligado ao programa *NoisePro*[126] da *ProPlusSolutions*. Os transistores foram analisados com o intuito de verificar a viabilidade para sua utilização em aplicações analógicas.

5.2.1 Corrente de dreno (I_D) e transcondutância (g_m)

A figura 62-a apresenta as curvas de transcondutância (g_m) e da corrente de dreno (I_D) para transistores de porta tripla. O DTMOS apresentou maior corrente de dreno e maior transcondutância que o dispositivo de Corpo. A diferença de desempenho entre os dois dispositivos é melhor visualizada na figura 62-b, onde verifica-se que o DTMOS apresenta um aumento entre 4 e 10 % resultado da diminuição dinâmica de sua tensão de limiar.



(a)



(b)

Figura 62 – Curvas experimentais da corrente de dreno (I_D) e da transcondutância (g_m) em dispositivos de porta tripla de Corpo e DTMOS nas regiões linear com V_D = 50 mV e saturação com V_D = 1.2 V (a) e a razão entre o DTMOS e o dispositivo de Corpo para I_D e g_m (b).

5.2.2 Densidade Espectral de Ruído (Sid)

5.2.2.1 Sid versus I_D

A densidade espectral do ruído (Sid) em função da corrente de dreno (I_D) para transistores de porta tripla nas regiões linear e saturação é apresentada na figura 63. Resultados similares foram obtidos para transistores de Corpo e DTMOS, onde o Sid mostra um comportamento quadrático da corrente de dreno (I_D^2) indicando a presença de ruído *flicker*. Picos de GR (Geração e Recombinação) na curva indicam a presença de centros de GR na porta dielétrica[127,128.]

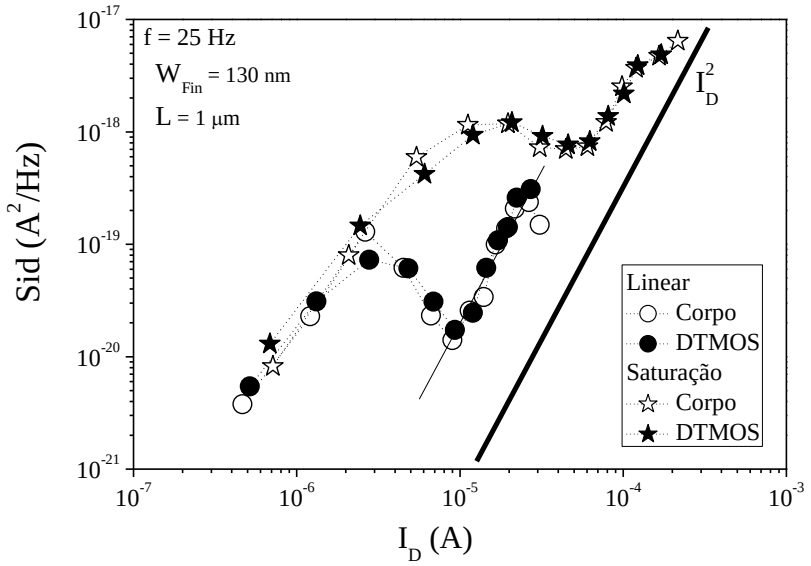
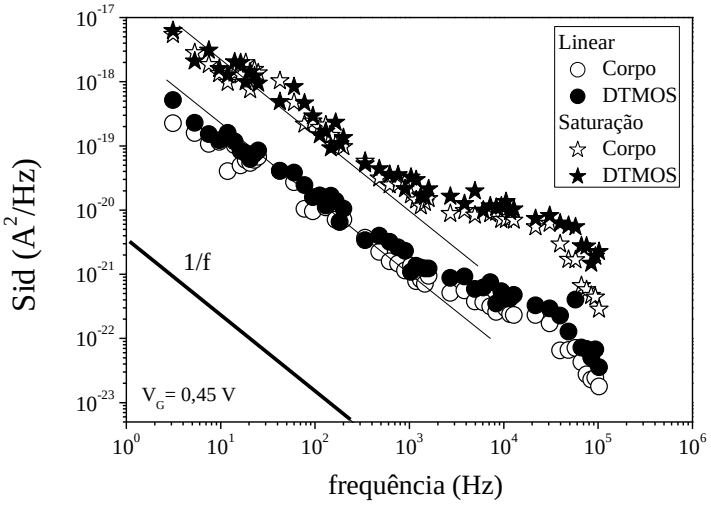


Figura 63 – Densidade espectral do ruído (Sid) em função da corrente de dreno (I_D) nas regiões linear e saturação para frequência de 25 Hz em dispositivos de porta tripla.

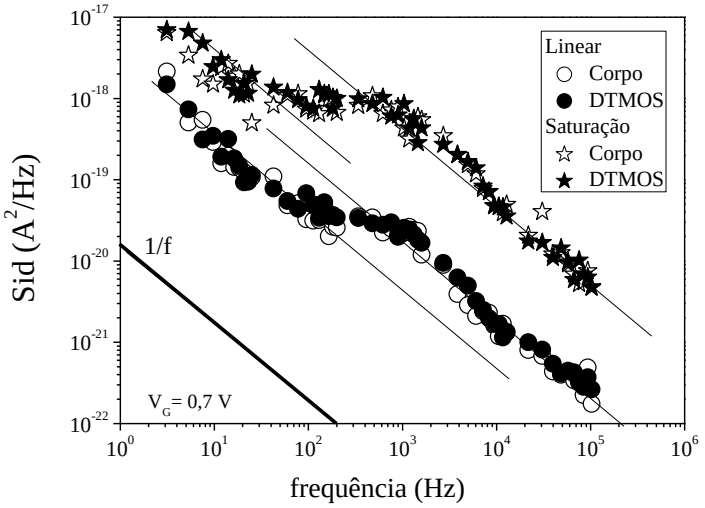
5.2.2.2 Sid versus frequência

O comportamento da densidade espectral do ruído segue o formato do modelo de Lorentz e está associado com o ruído causado pela geração e recombinação de portadores de cargas (ruído GR). Este efeito é mostrado na figura 64 nas regiões linear e saturação para os dispositivos de porta tripla.

Em ambos os modos de operação constata-se a presença do ruído *flicker* (1/f) e componentes GR. Verifica-se ainda, que o ruído GR é mais pronunciado para maiores tensões de porta indicando que os centros de armadilha estão presentes no dielétrico de porta e não na região de depleção de silício[129]; explicando assim, a independência do modo de operação DTMOS.



(a)



(b)

Figura 64 – Densidade espectral do ruído (Sid) em função da frequência nas regiões linear e saturação para V_G = 0,45 V (a) e V_G = 0,7 V (b) em dispositivos de porta tripla.

5.2.2.3 Sid/I_D^2 versus I_D

A Figura 65 mostra a densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2), onde observa-se um patamar na inversão fraca seguido de um decaimento com o aumento da corrente de dreno.

Em baixas correntes, o ruído de Sid/I_D^2 mostra um comportamento $(g_m/I_D)^2$. Devido à este fato, considera-se que a origem deste ruído de baixa frequência é consequência de flutuações nos números de portadores[130]·; e neste caso, o ruído 1/f é gerado por um número de flutuações, provenientes do armadilhamento ou desamardilhamento de cargas causados por defeitos presentes no óxido de porta. A interpretação da existência da presença de centros de geração e recombinação no óxido de porta é confirmada também pelo excesso do ruído de Lorentz.

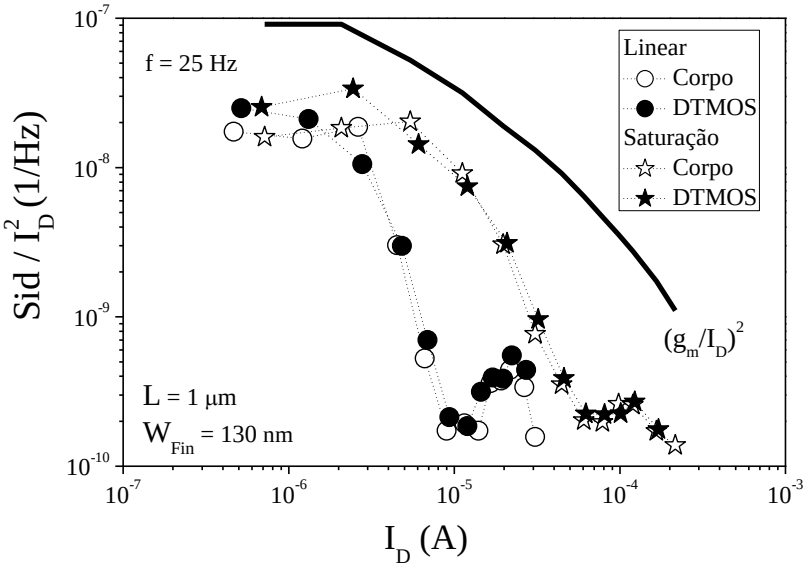


Figura 65 – Densidade espectral do ruído normalizado pela corrente de dreno (Sid/I_D^2) em função de I_D nas regiões linear e saturação em dispositivos de porta tripla.

5.2.2.4 Sid/g_m^2 versus V_G

Da mesma forma, a densidade espectral do ruído referenciado à entrada (Sid/g_m^2) da figura 66 confirma a origem dos armadilhamento no ruído 1/f. Nesse caso, há um patamar em torno da tensão de limiar devido à densidade de armadilha óxido[127], na faixa de $\cong 2 \times 10^{17}$ cm^{-3} eV^{-1} para os dois modos de operação. Esse patamar, diminui após a tensão de limiar com o aumento de V_G, apontando para a interpretação da existência de um mecanismo de flutuações no número de portadores.

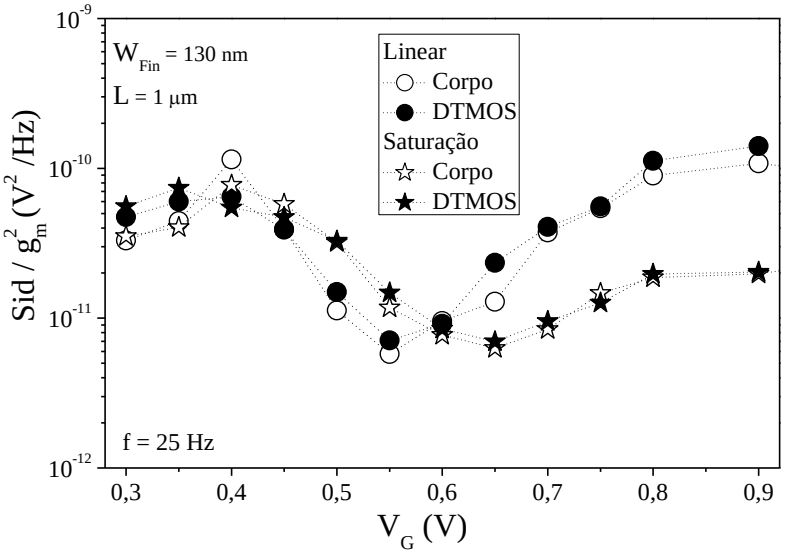


Figura 66 – Densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G nas regiões linear e saturação em dispositivos de porta tripla.

Diante dos resultados descritos, pode-se concluir que as medidas de ruído de baixa frequência mostraram que os espectros de ruídos existentes nas estruturas de Corpo e DTMOS são compostos pelo ruído *flicker*, devido às flutuações no número de portadores, e pelo ruído de geração e recombinação, que se torna mais pronunciado com o aumento da polarização da porta. No entanto, o principal resultado obtido neste estudo é que os dispositivos DTMOS e de Corpo apresentaram praticamente a mesma magnitude do ruído de baixa frequência, tanto na região linear como na região de saturação.

Desse modo, esses resultados associados com as características elétricas superiores (4 e 10 %) e melhor desempenho do que analógico, pode-se afirmar que o dispositivo DTMOS é um forte candidato para aplicações analógicas de baixo ruído RF.

5.3 INFLUÊNCIA DA RADIAÇÃO

Nesta parte do trabalho, a influência da radiação de próton será comparada experimentalmente nos dispositivos de porta tripla de Corpo com e sem a operação DTMOS. A corrente de dreno, transcondutância, DIBL será analisada antes e depois dos dispositivos serem submetidos à radiação. Adicionalmente, importantes figuras de mérito para o desempenho analógico tais como transcondutância-sobre-corrente de dreno, condutância de saída, tensão Early e ganho de tensão intrínseco serão também comparados[131].

5.3.1 Dispositivo

Os dispositivos, utilizados neste estudo, possuem 5 aletas (*fins*) com H_{Fin} de 40 nm, canal com dopagem natural, dopagem na cavidade (*well implants*) e GP (*Ground Plane*). Os comprimentos de canal (L) dos dispositivos analisados variam de 70 nm até 10 µm. A distância do início de um dedo ao mesmo ponto do outro dedo (P) é de 200 nm e 1,3 µm. O dielétrico de porta é composto por uma camada de 2,5 nm óxido de silício (SiO_2), uma camada de 1 nm HfSiO (silicato de óxido de háfnio) e 5 nm de TiN depositado por meio de deposição por camadas atômicas assistidas por plasma (PE-ALD – *Plasma Enhanced Atomic Layer Deposition*) e em seguida, por 100 nm de silício polocristalino[121]. Foram caracterizados dispositivos com largura de fin (W_{Fin}) de 130 nm e 1 µm. As características de entrada desses dispositivos foram medidas nas regiões linear (V_D = 50 mV) e saturação (V_D = 1,2 V).

5.3.2 Radiação de Próton

Foram aplicados 60 MeV de radiação de prótons em três zonas circulares com 8 cm de diâmetro em uma lâmina de silício de 12'' de diâmetro, como apresentado na figura 67. A fluência aplicada foi de p/10^{12} cm^{-2} em temperatura ambiente e nenhuma tensão foi aplicada na lâmina. Por razão de segurança, iniciaram-se as caracterizações dos dispositivos somente uma semana após este procedimento. O procedimento de irradiação da lâmina foi efetuado pelo equipamento *Cyclone* no centro de pesquisa de *Cycontron (Centre de Recherches du Cyclotron)* situado na cidade de Louvain-la-Neuve, na Bélgica. A metodologia de irradiação foi baseada na norma de número 22485/09/NL/PA da Agência espacial Europeia (ESA - *European Space Agency*).

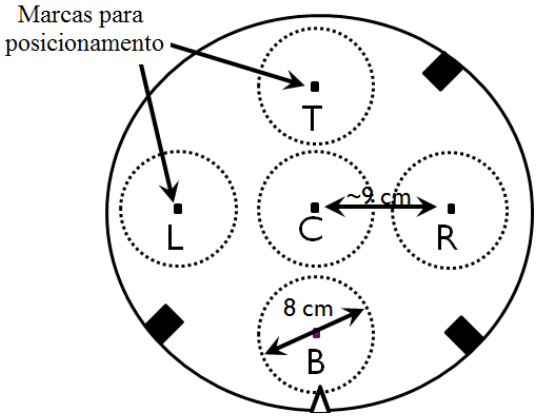


Figura 67 – Representação esquemática da lamina de silício indicado as diferentes áreas. As áreas B, T e C foram expostas à radiação e as áreas R e L não foram irradiadas para servirem de referência.

5.3.3 Características Elétricas Básicas

5.3.3.1 Transcondutância (g_m) e corrente de dreno (I_D)

As figuras 68 e 69 apresentam as curvas experimentais da transcondutância e da corrente de dreno para os dispositivos de Corpo e DTMOS com diferentes larguras da aleta (W_{Fin}). Antes de serem expostas à radiação, os dispositivos DTMOS apresentaram maior transcondutância e maior corrente de dreno devido à redução dinâmica de sua tensão de limiar. Nos dispositivos de Corpo, a degradação devida à radiação aplicada aumenta com a diminuição da largura da aleta, consequência do armadilhamento de cargas na região do STI e no óxido da interface com a aleta.

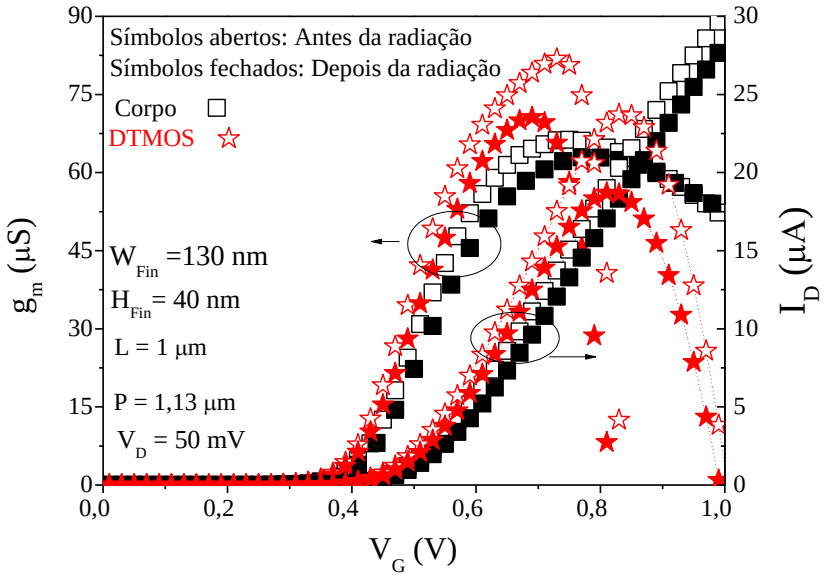


Figura 68 – Curvas experimentais da transcondutância (g_m) corrente de dreno (I_D) antes e depois da irradiação em dispositivos de porta tripla de Corpo e DTMOS com W_{Fin} = 130 nm.

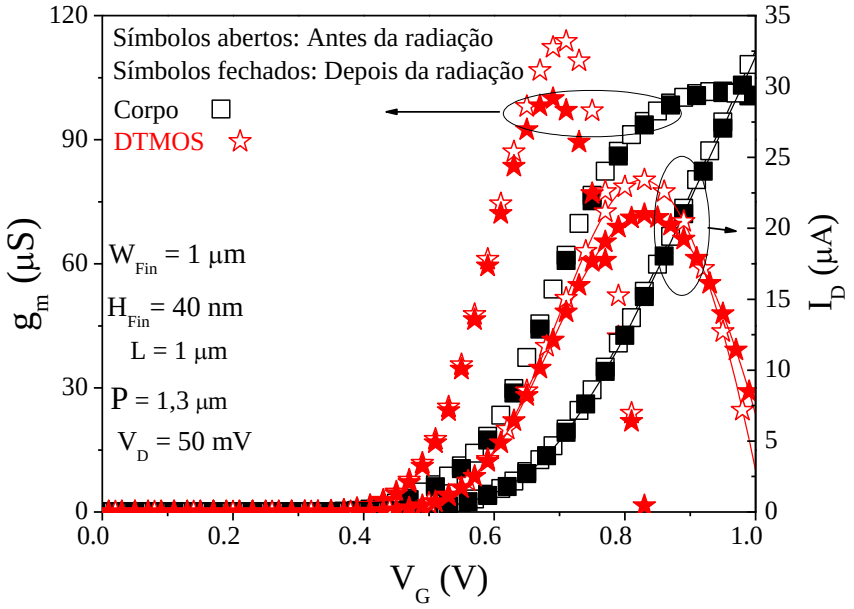


Figura 69 - Curvas experimentais da transcondutância (g_m) corrente de dreno (I_D) antes e depois da irradiação em dispositivos de porta tripla de Corpo e DTMOS com W_{Fin} = 1µm.

Quando a largura da aleta é menor, o armadilhamento de cargas no STI, devido à radiação, é mais próximo do centro do canal destes dispositivos e consequentemente, afeta o campo elétrico e a corrente do canal. No entanto, para os dispositivos com maiores W_{Fin}, a região de STI está situada mais longe do meio do canal (fin) e assim a radiação tem menor impacto sobre o seu funcionamento. Este comportamento é relativo à dependência da largura da aleta, e é um comportamento oposto ao que ocorre nos dispositivos SOI de porta tripla[132].

Em menores polarizações de porta, o DTMOS é menos afetado pela radiação do que o transistor de Corpo, consequência da menor penetração do campo elétrico no dreno, além do fato do contato do corpo desempenhar o papel de uma porta adicional. Para maiores polarizações de porta, quando a junção do canal/fonte começa a ser polarizada diretamente, é possível verificar mais impacto no DTMOS devido à polarização do corpo.

5.3.3.2 Redução da barreira induzida pelo dreno (DIBL)

A figura 70 apresenta o DIBL em função do comprimento do canal para as estruturas de Corpo e DTMOS antes e depois da exposição à radiação. As medidas foram realizadas em duas diferentes polarizações de dreno; V_{D1} = 50 mV e V_{D2} = 1,2 V. O método MTC foi usado para obter a tensão de limiar para o valor correspondente de tensão de dreno V_{D1} e a tensão de limiar correspondente de tensão de dreno V_{D2} foi encontrada pelo nível de corrente.

Quando o comprimento do canal diminui, os valores de DIBL tendem a aumentar, porque uma parte significativa das cargas do canal passa a ser controladas pelo dreno. Variações na tensão de limiar desses dispositivos podem ser atribuídas às cargas armadilhadas na região do STI. Os dispositivos de Corpo são mais afetados após a exposição à irradiação devido à maior penetração do campo elétrico de dreno.

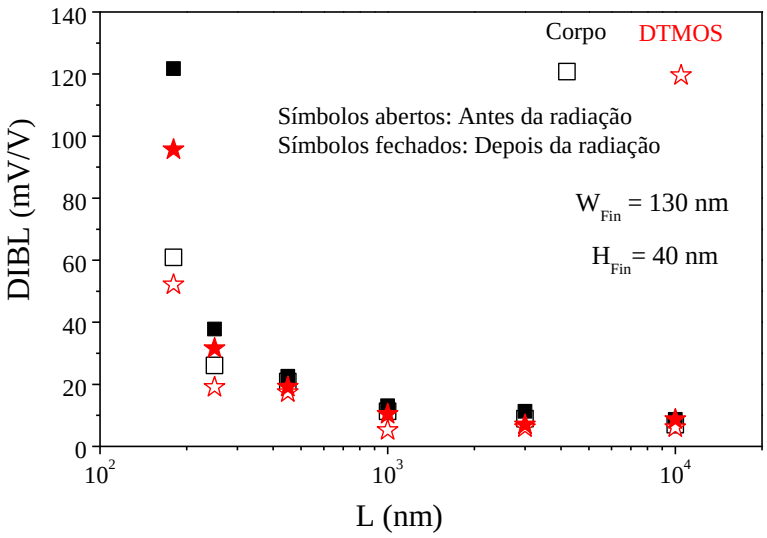


Figura 70 – Curvas experimentais do DIBL para dispositivos de porta tripla extraída em função do comprimento do canal antes e depois exposição à radiação.

5.3.4 Desempenho analógico

5.3.4.1 Eficiência do transistor (g_m/I_D)

A curva característica experimental da razão g_m/I_D, em função da corrente de dreno normalizada, é apresentada na figura 71. Verifica-se que a radiação de próton tem algum impacto em altas e baixas correntes de dreno. Na inversão fraca, a razão g_m/I_D é degradada com o aumento da inclinação de sublimiar.

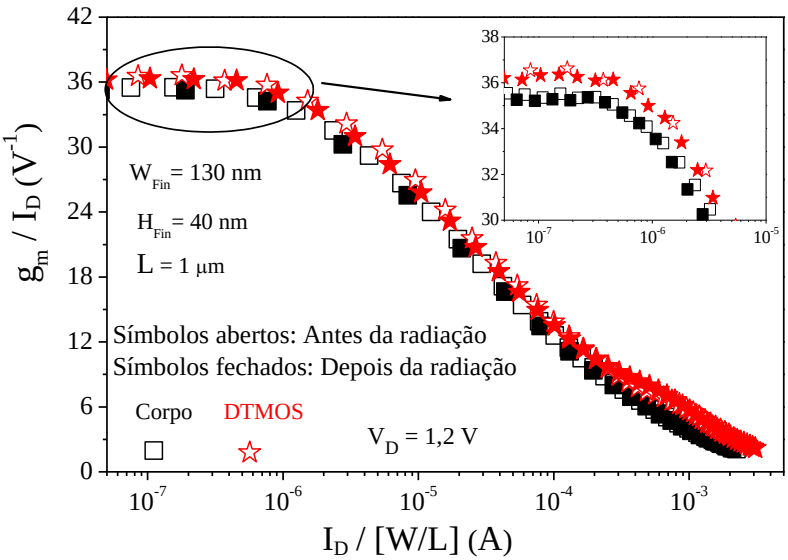


Figura 71 – Curvas experimentais de g_m/I_D em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da radiação.

5.3.4.2 Tensão Early (V_{EA})

A figura 72 apresenta as curvas experimentais da tensão Early, onde a condutância de saída foi extraída da curva I_D x V_D. Para baixos valores da corrente normalizada de dreno, os dispositivos DTMOS apresentaram melhor V_{EA}. Esta melhora do DTMOS se mantém enquanto a junção canal/fonte não estiver muito polarizada diretamente. O DTMOS também apresentou menor degradação da tensão Early após a irradiação.

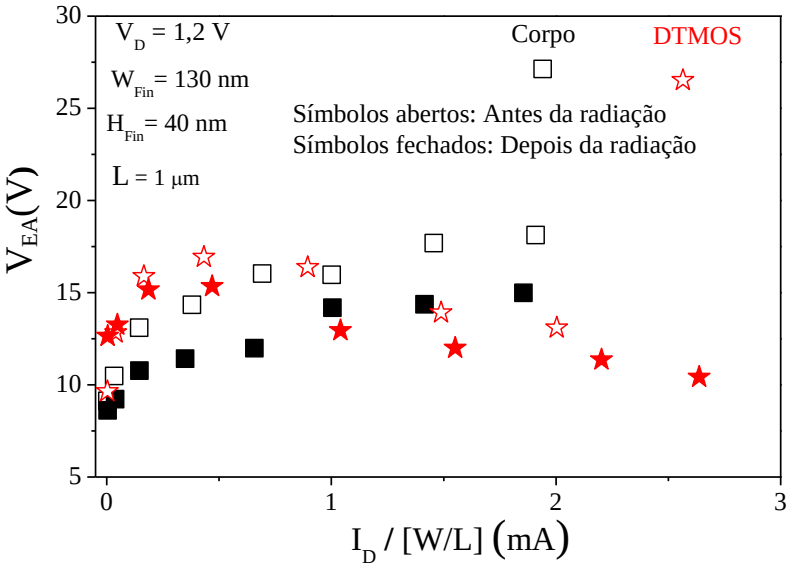


Figura 72 – Curvas experimentais da tensão Early (V_{EA}) em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da exposição à radiação.

5.3.4.3 Ganho intrínseco de tensão (A_V)

O resultado experimental do ganho de tensão intrínseco do transistor é apresentado na figura 73. A transcondutância e a condutância de saída foram determinadas na mesma condição de polarização. Os dispositivos DTMOS apresentaram melhores ganhos de tensões antes e depois da radiação, consequência da baixa penetração do campo elétrico de dreno, devido ao contato de corpo.

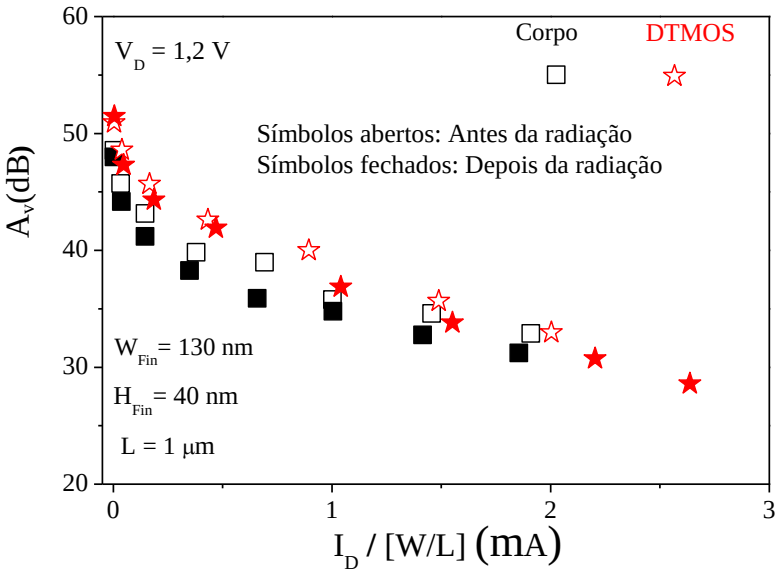


Figura 73 - Curvas experimentais do ganho de tensão intrínseco (A_V) em função da corrente normalizada de dreno (I_D/[W/L]) na região de saturação antes e depois da exposição à radiação.

5.3.5 Ruído de Baixa Frequência

Nesta parte do trabalho, o ruído de baixa frequência será experimentalmente estudado nos dispositivos de Corpo e DTMOS de porta tripla sob a influência de 60 MeV de radiação de próton. O objetivo dessa análise é verificar, em termos de espectro do ruído, a diferença nos comportamentos destes dois dispositivos após a exposição à radiação[133].

5.3.5.1 Sid versus I_D

A figura 74 apresenta o comportamento típico da densidade espectral do ruído para transistores de porta tripla na região de saturação antes e depois da exposição à radiação. Resultados semelhantes foram obtidos para ambos os transistores, onde o espectro do ruído mostrou um comportamento quadrático da corrente de dreno (I_D^2). Este comportamento quadrático é apresentado antes e depois da radiação.

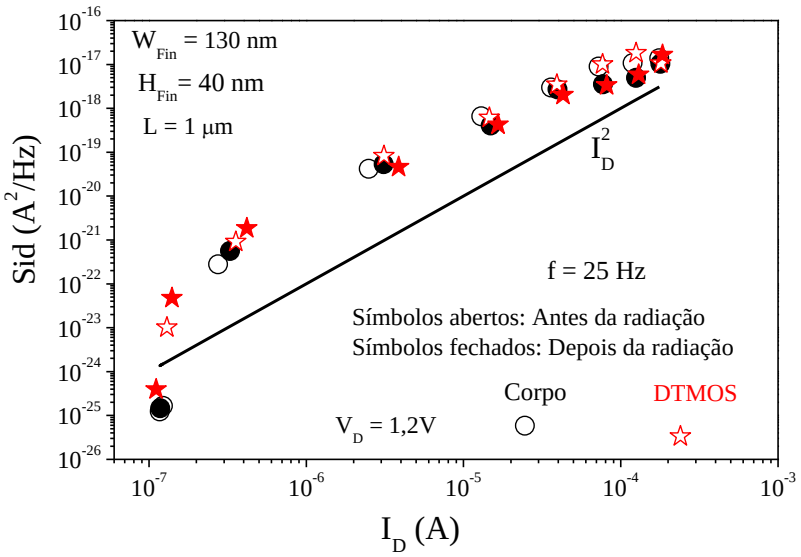
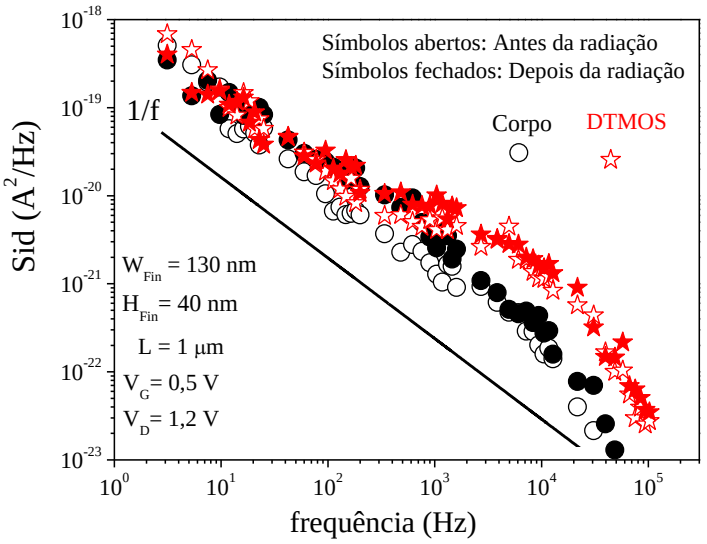


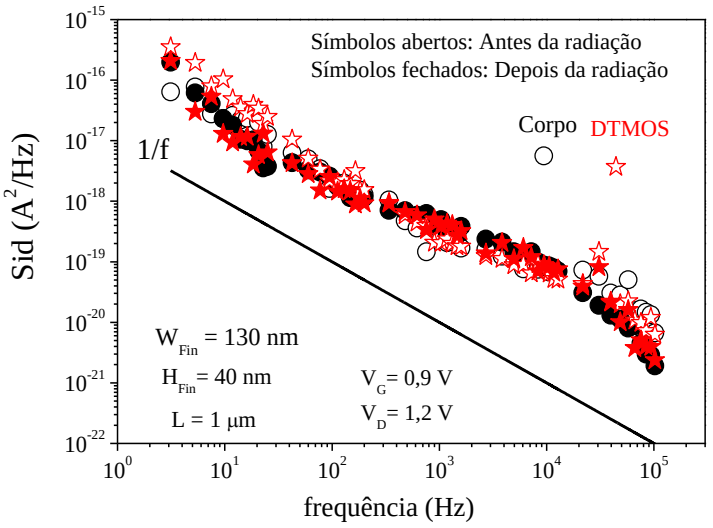
Figura 74 – Densidade espectral do ruído (Sid) em função da corrente de dreno (I_D) na região de saturação para frequência de 25 Hz em dispositivos de porta tripla de Corpo e DTMOS antes e depois da radiação.

5.3.5.2 Sid versus frequência

A densidade espectral do ruído, em função da frequência, é apresentada na figura 75 para diferentes polarizações de porta. No espectro do ruído ocorre uma superposição do ruído *flicker* (1/f) com o ruído de geração e recombinação (GR) em frequências maiores, sofrendo uma redução na proporção de $1/f^2$. Este comportamento foi verificado antes e depois da exposição à radiação.



(a)



(b)

Figura 75 – Densidade espectral do ruído (Sid) na região de saturação para V_G = 0,5 V (a) e V_G = 0,9 V (b) em dispositivos de porta tripla antes e depois da exposição à radiação.

5.3.5.3 Sid/I_D^2 versus I_D

A Figura 76 apresenta a densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) conjuntamente com as curvas $(g_m/I_D)^2$. O comportamento similar entre as curvas é a indicação da existência de flutuações dos portadores de cargas[33,130], onde é constatado um patamar na inversão fraca, seguido de um decaimento com o aumento da corrente de dreno. Este comportamento é constatado antes e depois da radiação.

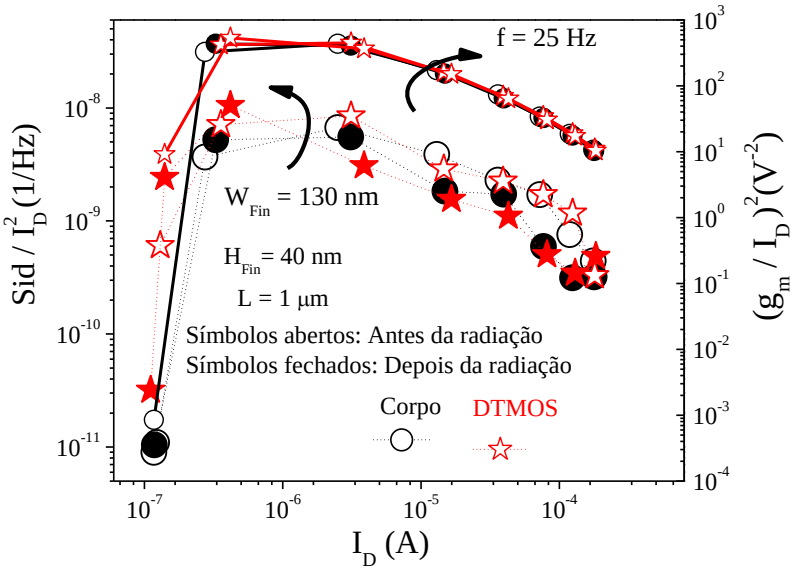


Figura 76 – Densidade espectral do ruído normalizado pela corrente de dreno ao quadrado (Sid/I_D^2) em função de I_D na região de saturação com frequência de 25 Hz em dispositivos de Corpo e DTMOS.

5.3.5.4 Sid/g_m^2 versus V_G

Da mesma forma, como pode ser visualizada na figura 77, a densidade espectral do ruído referenciado à entrada (Sid/g_m^2) confirma a presença de flutuações vindos dos armadilhamento no ruído 1/f. Neste caso, há um patamar em torno da tensão de limiar, que pode ser originado devido à densidade de armadilha no óxido. As medições de ruído de baixa frequência mostram que os espectros de sinal dos transistores de Corpo e DTMOS consistem da somatória dos ruídos *flicker* e GR. No entanto, o mesmo comportamento foi verificado antes e após a exposição à radiação.

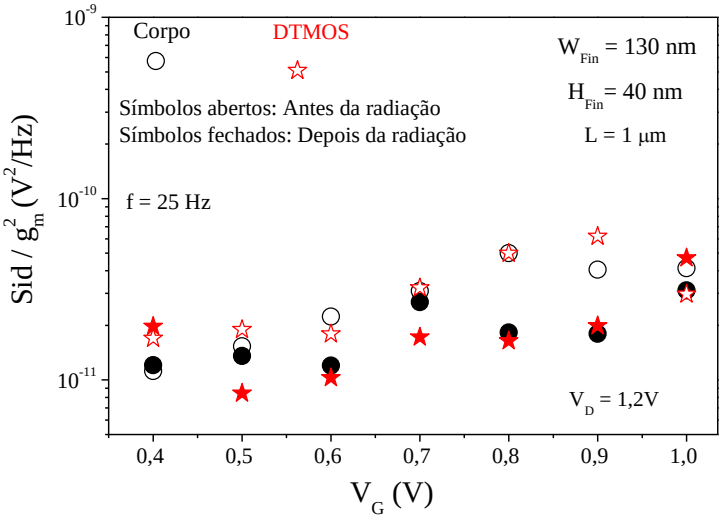


Figura 77 – Densidade espectral do ruído referenciado à entrada (Sid/g_m^2) em função de V_G na região de saturação dispositivos de porta tripla antes e depois da exposição à radiação.

5.4 CÉLULA DE MEMÓRIA 1T-DRAM

Nesta parte do trabalho, o transistor de Corpo de porta tripla de canal tipo-n é experimentalmente estudado como célula de memória isto é, como 1T-DRAM (Memória de Acesso Aleatório Dinâmico com 1 transistor). Para escrever e ler ”1” é utilizado um modo de programação que utiliza o efeito transistor bipolar parasitário (BJT) enquanto que, a polarização direta da junção do corpo e do dreno é usada para escrever “0”. Adicionalmente, o efeito do corpo flutuante será analisado para diferentes pulsos de tensão nos contatos de porta e de corpo. Finalmente, o dispositivo de Corpo será analisado com 1T-DRAM com os contatos de porta e corpo flutuando[134].

Os dispositivos, utilizados neste estudo, possuem as mesmas características de processo de fabricação dos dispositivos descritos no item 5.1, porém com diferentes larguras da aleta (W_{Fin}) e comprimentos de canal (L).

5.4.1 Programação BJT

A figura 78 apresenta a curva experimental I_D x V_G para V_B = 0 V e mostra os parâmetros importantes em análise célula de memória tais como: estado “1”, margem de sensibilidade (ΔI_D), intervalo de polarização de V_G para a leitura (Δ_{VG}) e as tensões de polarização para escreve e ler “1”.

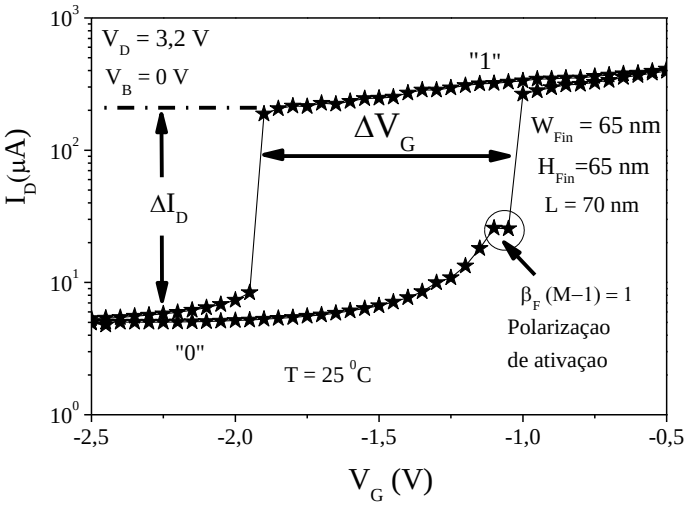


Figura 78 – Curva experimental de I_D x V_G em dispositivos de porta tripla de Corpo.

5.4.2 Polarização para Escrita

Em condições de polarização para a escrita, a tensão aplicada na porta (V_G) é de 0,8 V e a tensão aplicada no dreno (V_D) é de 3,2 V. Em seguida, as polarizações de V_G = - 0,8 V e V_D = 3,2 V foram aplicadas para a operação de leitura, como apresentado na figura 79.

A figura 80 apresenta a corrente de leitura e escrita. Essas correntes aumentam com o aumento da tensão do corpo (V_B) porque a cargas induzidas pelo efeito BJT são armazenadas dentro da aleta[135]. Quando o corpo do transistor está flutuando, o dispositivo retém mais cargas dentro da sua aleta (fig. 81).

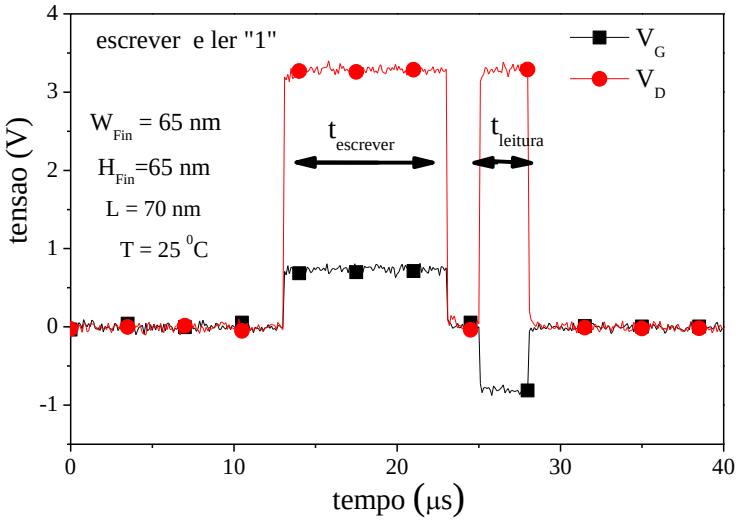


Figura 79 – Esquema de polarização usado para escrever e ler o nível ”1” em dispositivos de porta tripla Corpo.

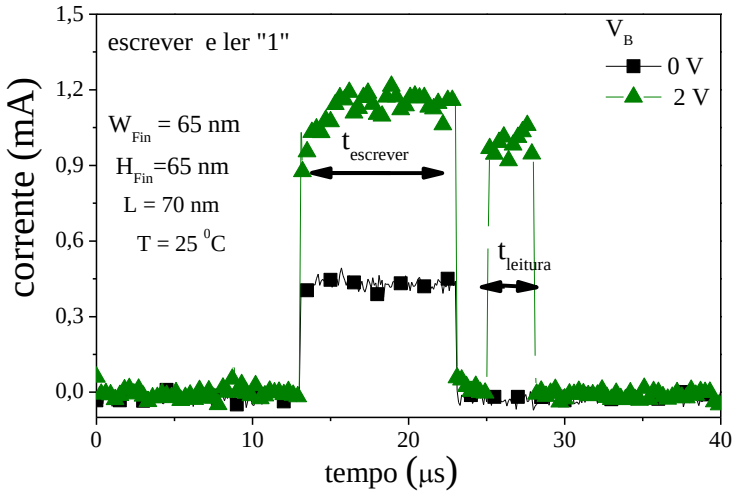


Figura 80 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla Corpo com polarização de corpo (V_B) de 0 e 2 V.

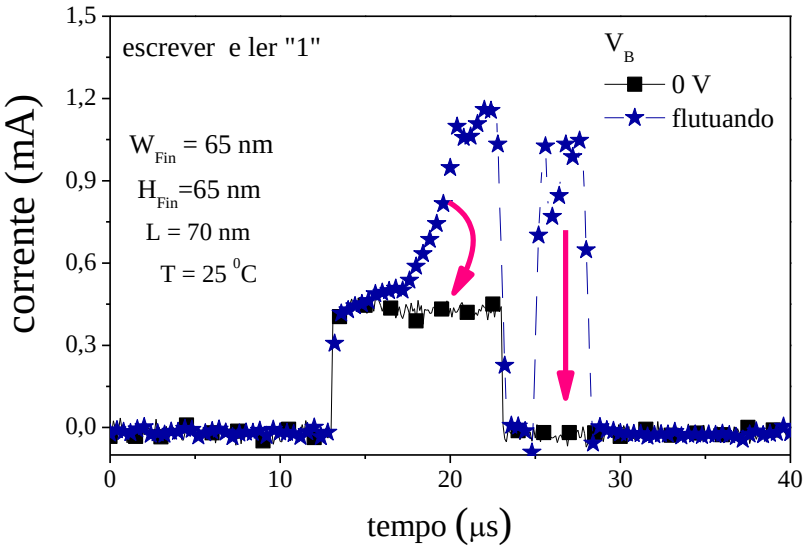


Figura 81 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de corpo (V_B) de 0 V e flutuando.

Outra condição de polarização usada para escrever e ler o nível “1” é deixar o eletrodo de porta flutuando. Nesta condição, constatou-se um elevado nível de corrente de leitura e de escrita como pode ser visualizado nas figuras 82 e 83, respectivamente.

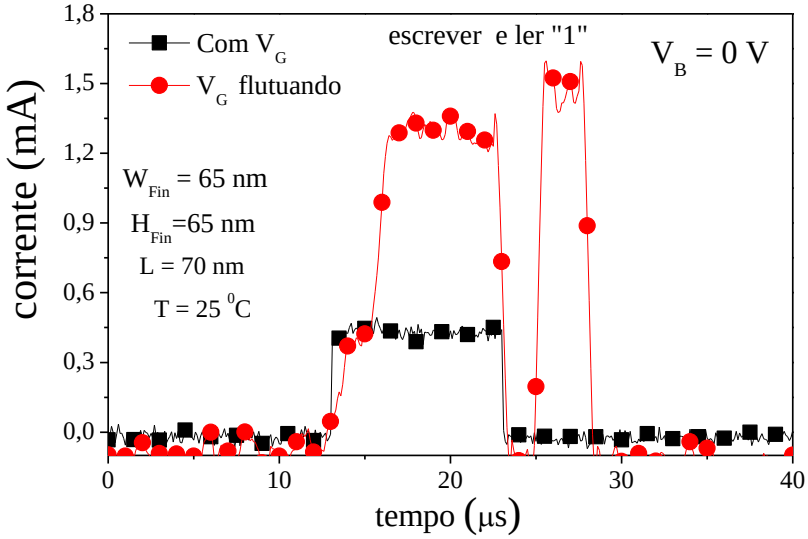


Figura 82 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato (V_B) de 0 V e polarização de porta flutuando.

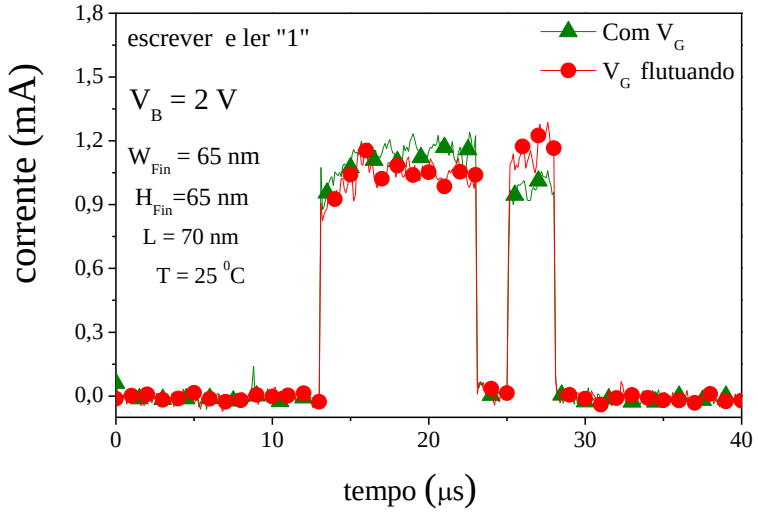


Figura 83 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato (V_B) de 2 V.

Constatou-se também, que mesmo com o eletrodo de porta e de corpo eletricamente flutuando, o dispositivo apresentou um alto nível de corrente de escrita e de leitura (fig. 84). Quando o eletrodo de porta e substrato está flutuando, o dispositivo funciona como um biristor. A configuração de um biristor é composta por três regiões (npn), as quais correspondem ao dreno, canal e fonte, respectivamente. A polarização é aplicada no dreno e na fonte enquanto o canal está eletricamente flutuando. Esse tipo de estrutura tem alto nível de corrente devido ao sistema de realimentação positiva de um biristor que é originado pelo excesso de lacunas gerado pela ionização por impacto, onde produto β_F (M - 1) é o fator de amplificação[136].

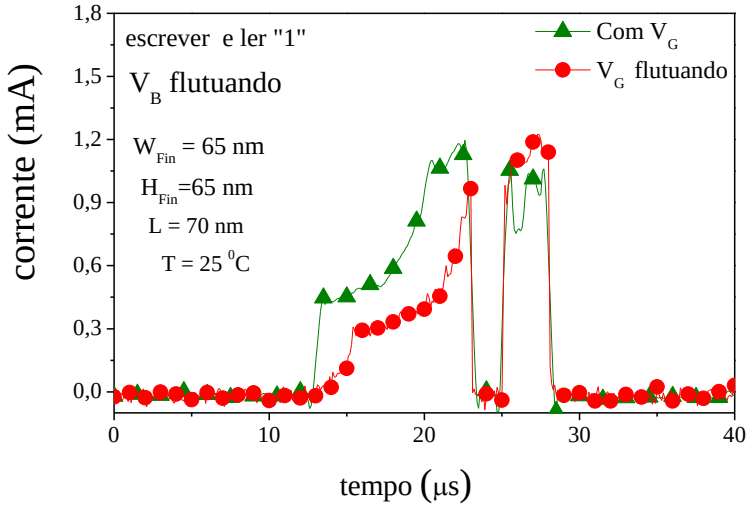


Figura 84 – Corrente de escrita ($I_{escrita}$) e de leitura ($I_{leitura}$) de nível ”1” em dispositivos de porta tripla de Corpo com polarização de substrato e polarização de porta flutuando.

A figura 85 apresenta as condições de polarizações usadas para escrever “0”, ou seja, para apagar. A diferença com o esquema de polarização utilizado para escrever “1” é que para escrever “0”, a junção de corpo e dreno é polarizada diretamente. Para escrever “0” utilizou-se V_G = 0 V e V_D = - 1,0 V e para ler utilizou-se V_G = -0,8V e V_D = 3,2 V. Constatou-se que a melhor condição de polarização para esta tarefa é quando o dispositivo está com a porta flutuando como apresentado na figura 86, pois seu nível de corrente é praticamente zero.

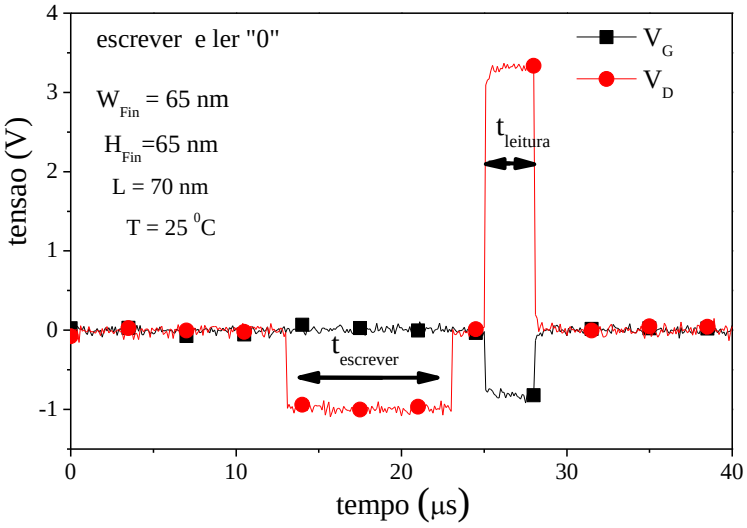
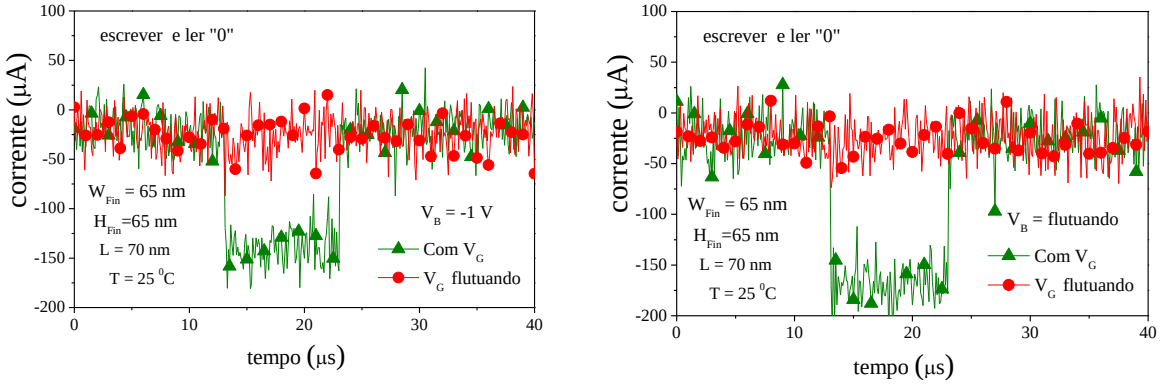


Figura 85 – Esquema de polarização usado para escrever e ler o nível ”0” em dispositivos de porta tripla de Corpo.

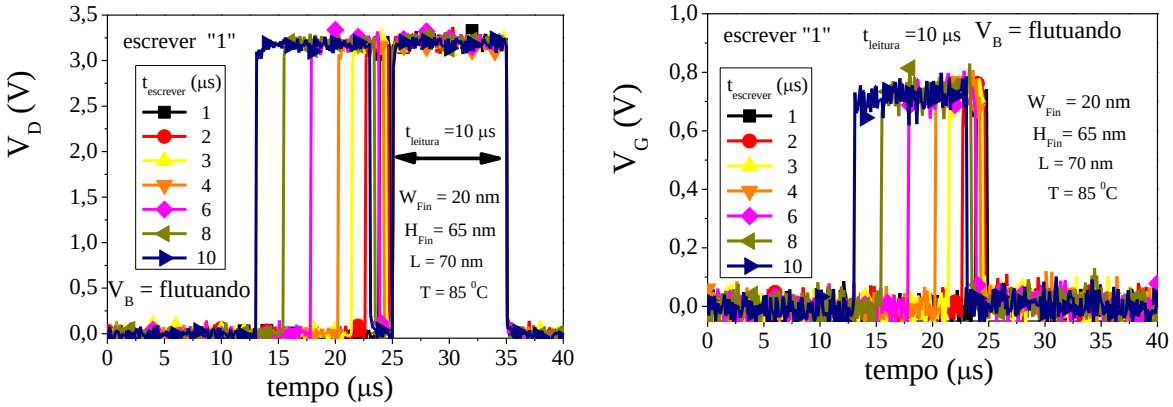


(a) (b)

Figura 86 – Esquema de polarização usado para escrever o nível ”0” para V_B = -1 V (a) e V_B flutuando (b) com e sem polarização de porta em dispositivos de porta tripla de Corpo.

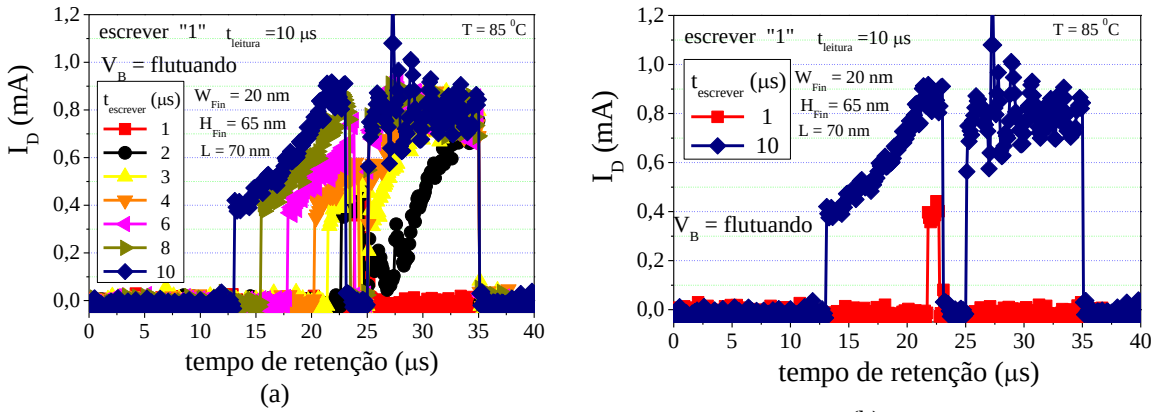
5.4.3 Polarização para Leitura

A figura 87 apresenta um esquema de polarização para escrever e ler ”1”, com tempo de escrita variável e tempo de leitura fixo (l_{eitura} = 10µs). As figuras 88 e 89 mostram a corrente de leitura e escrita extraídas durante o tempo de escrita e leitura de “1” e a margem de sensibilidade, respectivamente. Verifica-se que, quando $t_{escrita}$ aumenta, ambos a margem de sensibilidade e a corrente de escrita também aumentam devido à alta acumulação de lacunas no corpo do dispositivo.



(a) (b)

Figura 87 – Esquema de polarização usado para escrever e ler o nível ”1” com V_B flutuando para V_D (a) e V_G (b) em dispositivos de Corpo de porta tripla.



(a) (b)

Figura 88 – Corrente de escrita e leitura ($I_{escrita}$) de ”1” em função do tempo de retenção em dispositivos de Corpo de porta tripla.

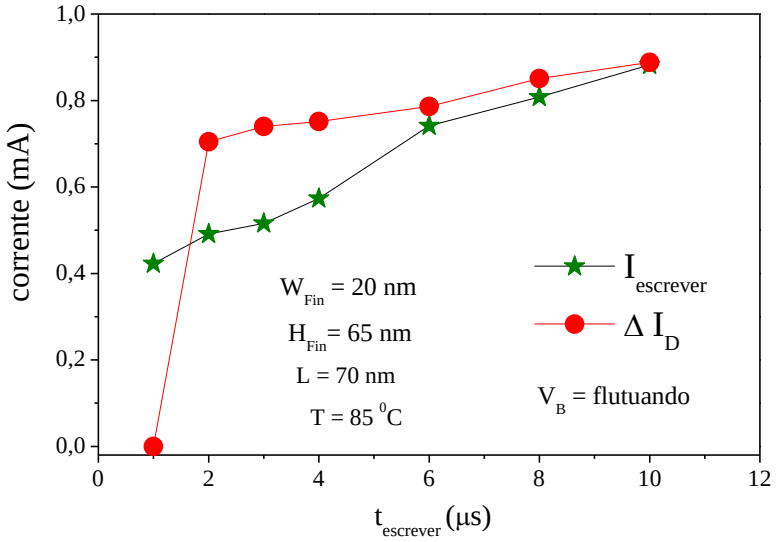


Figura 89 – Margem de sensibilidade (ΔI_D) medida em 90% do tempo de escrita ($t_{escrita}$) em dispositivos de porta tripla de Corpo.

O transistor de porta tripla de Corpo mostrou-se uma estrutura bastante promissora para aplicações em células de memória 1T-DRAM, onde foi verificado que o dispositivo funciona como um biristor, isto é, com eletrodo de substrato e porta flutuando (g*ateless* - sem porta).

6 CONCLUSÕES E TRABALHOS FUTUROS

Nesta tese de doutorado foi apresentado um estudo sobre dispositivos MuGFETs de porta tripla de Corpo com e sem a aplicação da técnica DTMOS.

Primeiramente foi realizado um estudo global através de simulações numéricas tridimensionais em várias estruturas MuGFETs tais como: de Corpo, DTMOS, BOI e SOI com diferentes dimensões da aleta e concentração de dopantes no canal em diferentes temperaturas. Então foram analisadas as características elétricas básicas e analógicas desses dispositivos e constatou-se o resultado a seguir.

Os dispositivos DTMOS de porta tripla apresentaram inclinação de sublimiar praticamente ideal em todas as concentrações de dopantes analisadas. Já os dispositivos de Corpo, BOI e SOI de porta tripla apresentaram um aumento da inclinação de sublimiar com o aumento de N_A, pois o aumento na concentração de dopante na região do canal diminui a camada de depleção máxima dos dispositivos, degradando assim as suas características.

O transistor DTMOS de porta tripla apresentou uma maior transcondutância e maior corrente de dreno que os outros dispositivos devido à variação dinâmica sua tensão de limiar. Também apresentou maiores valores de g_m/I_D do que os dispositivos de Corpo, BOI e SOI de porta tripla, tanto nos dispositivos com baixa concentração de dopantes no canal quanto nos dispositivos com alta concentração de dopantes, principalmente na região de inversão fraca e moderada devido à sua melhor inclinação de sublimiar.

Os dispositivos com baixa concentração de dopantes no canal ($N_A = 1 \times 10^{15}$ cm^{-3}) apresentaram a mesma tendência: pequeno aumento na tensão Early e o ganho de tensão intrínseco em baixas temperaturas, porém um pouco melhor nos transistores SOI de porta tripla do que nas outras estruturas. No caso dos transistores de Corpo e DTMOS com $N_A = 1 \times 10^{18}$ cm^{-3}, quando a temperatura foi reduzida, a tensão Early e o ganho de tensão intrínseco foram degradados devido à alta penetração do campo elétrico de dreno no canal.

A partir das simulações foi possível uma melhor compreensão física das diferentes estruturas estudadas, que foi confirmada através de caracterizações experimentais as quais permitiram uma análise de uma dimensão mais apropriada para análise de desempenho analógico. Para poder verificar uma melhor diferença entre o transistor de Corpo e DTMOS, foram escolhidos dispositivos com $W_{Fin} \geq 130$ nm. Dispositivos com larguras menores tem uma redução da melhoria ocasionada pela aplicação da técnica DTMOS.

O contato de corpo no dispositivo necessita estar numa região neutra para se ter os benefícios com a técnica DTMOS por causa do melhor acoplamento que existe entre suas portas. Entretanto, para aplicações analógicas, normalmente são utilizados dispositivos maiores, devido à melhor tensão Early que é maior para comprimentos de canal maiores, possibilitando assim a utilização de dispositivos com larguras maiores.

Na segunda parte do trabalho, os transistores de Corpo e DTMOS de porta tripla foram analisados experimentalmente. Todos os dispositivos utilizados neste trabalho foram fabricados e caracterizados eletricamente no *interuniversity microelectronics center* (imec), que é um centro de pesquisa na área de microeletrônica localizado na cidade de Leuven, na Bélgica.

Este estudo englobou uma análise desde as características mais básicas até o comportamento analógico, como também primeira vez foi analisado em termos de ruído de baixa frequência e seus desempenhos após serem submetidos à influência da radiação e adicionalmente o comportamento dos transistores de porta tripla de Corpo como célula de memória 1T-DRAM.

Todos os resultados obtidos por simulações foram confirmados através dos resultados experimentais. Os dispositivos DTMOS apresentaram melhores características elétricas e analógicas quando comparados aos dispositivos de Corpo antes e depois da radiação. Na técnica DTMOS, o contato do corpo desempenha o papel de uma porta adicional, ou seja, o dispositivo de três portas passa a comportar praticamente como um dispositivo de porta de porta quadrupla desde que o contato com o corpo esteja situado em uma região neutra.

As medidas de ruído de baixa frequência mostraram que os espectros de ruídos existentes nos dispositivos de Corpo e DTMOS são compostos pelo ruído *flicker*, devido às flutuações no número de portadores, e pelo ruído de geração e recombinação, que se torna mais pronunciado com o aumento da polarização da porta. No entanto, o principal resultado obtido neste estudo é que os dispositivos DTMOS e de Corpo apresentaram praticamente a mesma magnitude do ruído de baixa frequência, tanto na região linear como na região de saturação. O mesmo comportamento foi verificado antes e após a exposição à radiação.

Devido às suas características elétricas superiores, combinado com o melhor comportamento analógico, pode-se afirmar que o transistor de porta tripla de corpo com a aplicação de técnica DTMOS é um forte candidato para aplicações analógicas de baixo ruído RF, mesmo quando há exposição à radiação.

Adicionalmente o dispositivo de porta tripla de Corpo mostrou-se também uma estrutura bastante promissora para aplicações em células de memória 1T-DRAM, onde foi verificado pela primeira vez que o dispositivo possui boa condição de polarização, isto é, uma resposta interessante quando a porta e o substrato estão eletricamente flutuando. Entretanto, faz-se necessárias outras análises para o uso do dispositivo com eletrodo de porta flutuando para leitura e escrita de dados em memórias.

Como perspectivas de futuros trabalhos, seria interessante um estudo mais aprofundado do transistor de porta tripla de Corpo com porta e substrato flutuando para aplicações em célula de memória 1T-DRAM como também seu comportamento em altas e em baixas temperaturas.

PUBLICAÇÕES GERADAS DURANTE O TRABALHO

Artigos completos publicados em periódicos

1 SIMOEN, E.; ANDRADE, M. G. C.; AOULAICHE, M; COLLAERT, N; CLAEYS, C. Low-Frequency-Noise Investigation of n-Channel Bulk FinFETs Developed for One-Transistor Memory Cells. **IEEE Transactions on Electron Devices**, v. 59 n. 5, p. 1272-1278, May 2012.

2 ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M; COLLAERT, N; SIMOEN, E.; CLAEYS, C. Behavior of triple-gate Bulk FinFETs with and without DTMOS operation. **Solid-State Electronics**, v. 71, n. 1, p. 63-68, 2012.

3 ANDRADE, M. G. C.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Comparison of the Low-Frequency Noise of Bulk Triple-Gate FinFETs with and without Dynamic Threshold Operation. **IEEE Electron Device Letters**, v.32, n.11 p.1597-1599, 2011.

4 ANDRADE, M. G. C.; MARTINO, J. A. Threshold voltages of SOI MuGFETs. **Solid-State Electronics**, v. 52, p. 1877-1883, 2008.

Trabalhos completos publicados em anais de eventos

1 ANDRADE, M. G. C.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Low-Frequency Noise of Bulk and DTMOS Triple-Gate FinFETs. In: Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC, São Bernardo do Campo - Brazil, 2012. p. 33-34.

2 CLAEYS, C.; AOULAICHE, M.; ANDRADE, M. G. C.; RODRIGUES, M., MARTINO, J. A.; SIMOEN, E. Low Frequency Noise Performance of State-of-the-Art and Emerging CMOS Devices In: Proceedings of ECS Transactions, 221st ECS Meeting in Seattle, WA, 2012, Washington - U. S., 2012. v. 45 n. 3, p. 567-580.

3 ANDRADE, M. G. C.; ALMEIDA, L.M.; MARTINO, J. A.; AOULAICHE, M.; SIMOEN, E.; CLAEYS, C. Gateless 1T-DRAM on n-Channel Bulk FinFETs. In: Proceedings of ECS Transactions, CSTIC 2012, Shanghai – China, 2012. v. 44, p. 3-8.

4 ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M; COLLAERT, N; SIMOEN, E.; CLAEYS, C. The Impact of Back Bias on the Floating Body Effect in UTBOX SOI Devices for 1T-FBRAM Memory Applications. In: Proceedings of IEEE - 8th International Caribbean Conference on Devices Circuits and Systems, (iccdsc), Playa del Carmen - Mexico, 2012. p. 1-4.

5 ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. Low-Frequency Noise Behaviour of Bulk and DTMOS Triple-Gate Devices under 60 MeV Proton Irradiation. In: Proceedings of IEEE - 13th International Conference on Ultimate Integration on Silicon (ULIS), Grenoble - France, 2012. p. 69-72.

6 ALMEIDA, L. M.; AOULAICHE, M.; SASAKI, K. R. A; NICOLETTI, T.; ANDRADE, M. G. C.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; JURCZAK, M. Comparison between low and high read bias in FB-RAM on UTBOX FDSOI devices. In: Proceedings of IEEE - 13th International Conference on Ultimate Integration on Silicon (ULIS), Grenoble - France, 2012. p. 61-64.

7 RODRIGUEZ, A. L.; ANDRADE, M. G. C.; ALMEIDA, L. M.; AOULAICHE, M.; CLAEYS, C.; TEJADA, J. A. J.; JURCZAK, SIMOEN, E.; M. Defect Analysis in UTBOX SOI nMOSFETs by Low-Frequency Noise. In: Proceedings of EuroSOI2012 - Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, Montpellier – France, 2012. p. 67-68.

8 ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; MERCHA, A.; SIMOEN, E.; CLAEYS, C. Influence of Proton Irradiation in Bulk and DTMOS Triple Gate FinFETs. In: Proceedings of ECS Transactions, SBMicro2011 - Microelectronics Technology and Devices, João Pessoa - Brazil, 2011. v. 39. p. 247- 254.

9 ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. Behavior of triple gate Bulk FinFETs with and without DTMOS operation. In: Proceedings of IEEE - 12th International Conference on Ultimate Integration on Silicon (ULIS), Cork - Ireland, 2011. p. 1-4.

10 ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance of Bulk and DTMOS Triple-Gate Devices. In: Proceedings of ECS Transactions, SBMicro2010 - Microelectronics Technology and Devices, São Paulo - Brazil, 2010. v. 31, p. 67- 74.

11 ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance at Low Temperatures in Triple-Gate Devices: Bulk, DTMOS, BOI and SOI. In: Proceedings of WOLTE2010 - Workshop on Low Temperature Electronics, Devices and Circuits, Guarujá- Brazil, 2010. p. 45-47.

12 ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance in FinFETs: Bulk, DTMOS, BOI and SOI. In: Proceedings of EuroSOI2010 - Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, Grenoble – France, 2010. p. 67-68.

13 ANDRADE, M. G. C.; Martino, J. A. Threshold Voltage of Double and Triple Gate SOI FinFETs. In: Proceedings of EuroSOI2008 - Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, Cork - Ireland, 2008. p. 29-30.

Resumos expandidos publicados em anais de congressos

1 ANDRADE, M. G. C.; MARTINO, J. A. MULTIPLES THRESHOLD VOLTAGES IN TRAPEZOIDAL CHANNEL MUGFETS. In: 9th Microelectronic Students Forum - SBMicro2009, Natal – Brazil, 2009. v. 1.

Resumos publicados em anais de eventos

1 ANDRADE, M. G. C.; MARTINO, J. A. Influence of the channel doping concentrations and sidewall inclination angle in MuGFETs Threshold Voltage. In: Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC, Campinas Brazil, 2009. p. 34-34.

REFERÊNCIAS

[1] MOORE, G. E. Cramming more components onto integrated circuits. **Electronics Magazine**, v. 38, n. 8, p. 114-117, Apr. 1965.

[2] DENNAR, R. H.; et al. Design of ion-implanted MOSFET'S with very small physical dimensions. **IEEE Journal of Solid-State Circuits**, v. SC-9, p. 256-268, Oct. 1974.

[3] HISAMOTO, D.; et al. Solid-State Circuits, A Self-Aligned Double-Gate MOSFET Scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320-2325, 2000.

[4] SOLOMON, P. M.; et al. A Planar Self-Aligned Double-Gate MOSFET Technology To Achieve the Best On/Off Switching Ratios As Gate Lengths Shrink. **IEEE Circuits & Device Magazine**, p. 48-62, Jan.2003.

[5] PARK, J. T.; COLINGE, J. P. Multiple-Gate SOI MOSFETs: Device Design Guidelines. **IEEE Transactions on Electron Devices**, v. 49, n. 12, p. 2222-2229, 2002.

[6] TAKAGI, S.; TAKENAKA, M. High Mobility CMOS Technologies using III-V/Ge Channels on Si platform. In: Proceedings of IEEE - 13th International Conference on Ultimate Integration on Silicon (ULIS), Grenoble - France, 2012. p.15-18.

[7] Intel Corporation: http://www.intel.com/content/www/br/pt/silicon-innovations/standards-22nm-3d-tri-gate-transistors-presentation.html. Acesso em: 16 Apr. 2012.

[8] YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.

[9] CHAUDHRY, A.; KUMAR, M. J. Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Ratability: A Review. **IEEE Transactions on Electron Devices and materials reliability**, v. 4, n. 1, p. 99-109, 2004.

[10] MUNATA, T.; MIZUMO, T.; TEZUKA, T.; KOGA, J.; TAKAGI, S. Control of Threshold-Voltage and Short-Channel Effects in Ultrathin Strained-SOI CMOS Devices. **IEEE Transactions on Electron Devices**, v. 52, n. 8, p. 1780-1786, 2005.

[11] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers, 2004.

[12] ANDRADE, M. G. C. **ESTUDO DA TENSÃO DE LIMIAR E INCLINAÇÃO DE SUBLIMIAR EM TRANSISTORES SOI FINFETs DE PORTA DUPLA E PORTA TRIPLA**, 2007. 120 f. Dissertação - Engenharia Elétrica, Centro Universitário da FEI – FEI São Bernardo do Campo - SP, 2007.

[13] DOS SANTOS, S. D. **INFLUÊNCIA DA TENSÃO MECÂNICA NO ABAIXAMENTO DE BARREIRA INDUZIDO PELO DRENO (DIBL) EM FINFETs DE PORTA TRIPLA**. 2010. 97 f. Dissertação - Laboratório de sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2010.

---

[14] SAMUDRA, G.; RAJENDRAN, K. Scaling parameter dependent drain induced barrier lowering effect in double-gate SOI MOSFET. **Japanese Journal of Applied Physics**, v. 38, p. 349-352, 1999.

[15] CRISTOLOVEANU, S. Buried Oxide Fringing Capacitance: A New Physical Model and its Implication on SOI Device Scaling and Architecture. In: Proceedings of IEEE - International SOI Conference, 1999. p. 38-39.

[16] MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. **Caracterização Elétrica e Dispositivos MOS**, São Paulo: Pioneira Thomson Learning, 2003.

[17] STREETMAN B.G.; BANERJEE, S. **Solid State Electronics Devices**, 5th ed. Prentice Hall, 2000.

[18] COLINGE, J. P.; COLINGE C. A. **Physics of Semiconductor Devices**, 2. ed. Boston: Kluwer Academic Publishers, 2003.

[19] SOLOMON, P. M.; et al. A Planar Self-Aligned Double-Gate MOSFET Technology To Achieve the Best On/Off Switching Ratios As Gate Lengths Shrink. **IEEE Circuits & Device Magazine**, p. 48-62, Jan. 2003.

[20] KANDIAH, K.; WHITING, F. B. Low frequency noise in junction field effect transistors. **Solid-State Electronics**, v. 21, n. 8, p. 1079-1088, 1978.

[21] SIMOEN, E.; ANDRADE, M. G. C.; ALMEIDA, L.M.; AOULAICHE, M.; CAILLAT, C.; JURCZAK M.; CLAEYS, C. On the variability of the low-frequency noise in UTBOX SOI nMOSFETs. In: Proceedings of ECS Transactions, SBMicro2012 - Microelectronics Technology and Devices, Brasília - Brazil, 2012.

[22] RODRIGUEZ, A. L.; ANDRADE, M. G. C.; ALMEIDA, L. M.; AOULAICHE, M.; CLAEYS, C.; TEJADA, J. A. J.; JURCZAK, SIMOEN, E.; M. Defect Analysis in UTBOX SOI nMOSFETs by Low-Frequency Noise. In: Proceedings of EuroSOI2012 - Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, Montpellier – France, 2012. p. 67-68.

[23] CIOFI, C.; NERI, B. Low-frequency noise measurements as a characterization tool for degradation phenomena in solid-state devices. **Journal of Physics D: Applied Physics**, v. 33, n. 21, p 199-216, 2000.

[24] RODRIGUES, M. **ESTUDO DE TRANSISTORES SOI DE MÚLTIPLAS PORTAS COM ÓXIDO DE PORTA DE ALTA CONSTANTE DIELÉTRICA E ELETRODO DE PORTA METÁLICO**. 2010. 155 f. Tese - Laboratório de sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2010.

[25] DUTRA, P.; HORM, P. M. Lorentz. Low-frequency fluctuations in solids: 1/*f* noise. **Reviews of Modern Physics**, , v. 53, n. 3, p. 497-516, 1981.

[26] VAUN, A. **Noise in Solid State Devices and Circuits**. John Wiley & Sons, 1986.

---

[27] MCWHORTER, A.L. 1/f Noise and Germanium Surface Properties. **Semiconductor Surface Physics**, R. H. Kingston, Ed. Philadelphia, PA: University of Pennsylvania Press, p. 207-228, 1957.

[28] HOOGE, F.N. 1/f Noise is No Surface Effect. **Physics Letters A**, v. 29 n. 3, p. 139-140, Apr. 1969.

[29] HOOGE, F.N. Lattice Scattering Causes 1/f Noise. **Physics Letters A**, v. 66, n. 4, p. 315-316, May 1978.

[30] CHRISTENSSON, S.; .LUNDSTROM, I.; SVENSSON, C. Low Frequency Noise in MOS Transistors I. Theory. **Solid-State Electronics**, v. 11, n. 9, p. 797-812, Sep. 1968.

[31] CHRISTENSSON, S.; .LUNDSTROM, I.; SVENSSON, C. Low Frequency Noise in MOS Transistors II. Experiments. **Solid-State Electronics**, v. 11, n. 9, p. 813-820, Sep. 1968.

[32] PUT, S. **RADIATION TOLERANCE OF ADVANCED CMOS AND BIPOLAR TECHNOLOGIES**. 2010. 195 f. Tese - Katholieke Universiteit Leuven, 2010.

[33] VANDAMME, L. K. J.; XIAOSONG. Li; RIGAUD, D. 1/f noise in MOS devices: mobility or number fluctuations?. **IEEE Transactions on Electron Devices,** v. 41 n. 11, p. 1936-1945, Nov. 1994.

[34] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A.; A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.

[35] FLANDRE, D.; EGGERMONT, J. P.; DE CEUSTER, D.; JESPERS, P.; Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v.30, n. 23, p.1933-1934, 1994.

[36] KIRSCHMAN, R. K. Low-Temperature Electrons. **IEEE Circuits and Devices Magazines**, v. 6, n. 2 p.12-24, 1990.

[37] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1451, 1983.

[38] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BBRINI, J.; ELEWA, T. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. **IEEE Electron Device letters**, v. EDL-8, n. 9, p. 410-412, 1987.

[39] GENTINE, B. A. **A Study of the Potencial of SOI Technology for analog Applications**, Ph. D. Thesis – UCL, Bélgica, 1996.

---

[40] GALETI, M. **ESTUDO TEÓRICO-EXPERIMENTAL DA CORRENTE DE DRENO E DO TEMPO DE VIDA DE GERAÇÃO EM TECNOLOGIAS SOI MOSFETs**. 2008. 148 f. Tese - Laboratório de sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2008.

[41] STURM, J. C.; TOKUNAGA, K. Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. **Electronics Letters**, v. 25, n. 18, p. 1233-1234, 1989.

[42] LIM, H. K.; FOSSUM, J. G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, p. 401-408, 1984.

[43] FRANCIS, P. et al. SOI technology for high temperature applications. In: Technical Digest of IEDM - International Electron Devices Meeting, 1992. p. 353-356.

[44] DORMAN, L. I. **Cosmic rays in the earth's atmosphere and underground**. Netherlands: Kluwer Academic Publishers, 2004.

[45] NCRP - National Council Radiation & Measurements. Report No. 132 - Radiation Protection Guidance for Activities in Low-Earth Orbit: http://www.ncrppublications.org/Reports/. Acesso em: 16 Apr. 2012.

[46] MAZUR, J. E. Space Environment Interactions. **Encyclopedia of Aerospace Engineering**, Online © 2010 John Wiley & Sons, Ltd. DOI: 10.1002/9780470686652.eae569

[47] STASSINOPOULOS, E. G; RAYMOND, J. The space radiation environment for electronics. In: Proceedings of the IEEE, v. 76, n. 11, p. 1423-1442, Nov. 1988.

[48] INPE – Instituto Nacional de Pesquisas Espaciais: http://www.das.inpe.br/ciaa/cd/HTML /sol/ 4_10.htm. Acesso em: 16 Apr. 2012.

[49] BARTH, J. L.; DYER, C. S.; INOPOULOS, E. G. Space, Atmospheric, and Terrestrial Radiation Environments. **IEEE transactions on Nuclear Science**, v. 50. n .3, p. 466-482, Jun. 2003.

[50] HEIRTZLER, J. R. The future of the South Atlantic anomaly and implications for radiation damage in space. **Solid-State Electronics**, v. 64, p. 1701-1708, 2002.

[51] FEDERICO, C. A. **DOSIMETRIA DA RADIAÇÃO CÓSMICA NO INTERIOR DE AERONAVES NO ESPAÇO AÉREO BRASILEIRO**. 2011. 172 f. Tese – ipen, autarquia associada a Universidade de São Paulo, São Paulo, 2010.

[52] SROUR, J. R.; MASHALL, C. J.; MARHALL, P. W. Review of displacement damage effects in silicon devices. **IEEE transactions on Nuclear Science**, v. 50. n .3, p. 653-670, Jun. 2003.

---

[53] BALEN, R. T. **EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ANALÓGICOS PROGRAMÁVEIS (FPAAS) E TÉCNICAS DE PROTEÇÃO**. 2010. 206 f. Tese – Departamento de Engenharia Elétrica, Universidade Federal do Rio Grande do Sul – UFRS Porto Alegre, 2010.

[54] Sedra SEDRA, A. S; SMITH, K. C. **Microeletrônica**, 4. ed. São Paulo: Pearson Makron Books, 2000.

[55] AGARVAL, K.; NASSIF, S. The impacto f randam device variation on SRAM cell stability in sub-90-nm CMOS tecnologies. **IEEE Transactions on Integration Systems**, v. 16, n. 1, p. 87-97, Jan. 2008

[56] LI, X.; et.al. SRAM circuit-failure modeling and reability with SPICE. **IEEE Transactions on Device and Materials Reability**, v. 6, n. 2, p. 235-246, Jun. 2006.

[57] ALMEIDA, L. M.; AOULAICHE, M.; SASAKI, K. R. A; NICOLETTI, T.; ANDRADE, M. G. C.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; JURCZAK, M. Comparison between low and high read bias in FB-RAM on UTBOX FDSOI devices. In: Proceedings of IEEE - 13th International Conference on Ultimate Integration on Silicon (ULIS), Grenoble - France, 2012. p. 61-64.

[58] OKHONIN, S.; NAGOGA, M.; SALLESE, J. M.; FAZAN, P. A capacitor-less 1T-DRAM cell**. IEEE Electron Device Letters**, v. 23, n. 85, p. 85-87, Feb. 2002.

[59] BAWEDIN, M; et al. Floating-Body SOI Memory: Concepts, Physics and Challenges. In: Proceedings of ECS Transactions - 215th ECS Meeting, 2009. v. 19. p. 243- 256.

[60] OKHONIN, S.; et al. Ultra-scaled Z-RAM cell. In: Proceedings of IEEE - International SOI Conference, 2008, p. 157-158.

[61] ALMEIDA, L. Analysis of UTBOX 1T-DRAM Memory Cell at High Temperatures. In: Proceedings of ECS Transactions, SBMicro2011 - Microelectronics Technology and Devices, João Pessoa - Brazil, 2011. v. 39. p. 61- 68

[62] NA, K. I.; CRISTOLOVEANU, S.; BAE, Y. H.; PATRUNO, P.; XIONG, W.; LEE, J. H. Gate-induced floating-body effect (GIFBE) in fully depleted triple-gate n-MOSFETs. **Solid-State Electronics**, v. 53, n. 2, p. 150-153, 2009.

[63] FLANDRE, D.; RASKIN, J.P. AC behavior of gate-induced floating body effects in ultrathin oxide PD SOI MOSFETs**. IEEE Electron Device Letters**, v. 25, n. 2, p. 104-106, Feb. 2004.

[64] BIN, Y.; CHANG L.; AHMED, S.; WANG H.; BELL, S.; YANG, C. Y.; TABERY, C.; HO, C.; XIANG, Q.; KING, T. J.; BOKOR, J.; HU, C.; LIN, M. R.; KYSER, D. FinFET Scaling to 10 nm Gate Length. In: Technical Digest of IEDM - International Electron Devices Meeting, 2002. p. 251–254.

---

[65] FOSSUM, J. G. Designing Reliable SOI CMOS Circuits with Floating-Body Effects. In: Proceedings of ESSDERC - European of Solid-State Device Research Conference, 1998. p. 34–41.

[66] HAMMAD, M. YOUSSEF; SCHRODER, DIETER K. Analytical Modeling of the Partially-Depleted SOI. MOSFET. **IEEE Transactions on Electron Devices**, v. 48, n. 2, p. 252-258, 2001.

[67] KATO, KOICHI; WADA, TETSUNORI; TANIGUCHI, ANDKENJI. Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET'S Using Two-Carrier. **IEEE journal of Solid-State circuits,** v. sc-20, n. 1, p. 378-382, 1985.

[68] KONRAD, YOUNG K.; BURNS, J. A. Avalanche-Induced Drain-Source Breakdown in Silicon-on-Insulator n-MOSFET's. **IEEE Transactions on Electron Devices**, v. 35, n. 4, p. 426-431, 1988.

[69] YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.

[70] BANNA, S. R.; CHAN, P. C. H.; KO, P. K.; NGYYEN, C. T.; CHAN, M. Threshold voltage model for deep-submicrometer fully depleted SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 42, n. 11, p. 1949-1955, 1995.

[71] STURM, J. C, TOKUNAGA, K; COLINGE, J. P. Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors. **IEEE Electron Device Letters**, v. 9, n. 9, p. 460-463, 1988.

[72] COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Transactions on Electron Devices letters**, v. 7, n. 4, p. 244-246, 1986.

[73] SEKIGAWA, T.; HAYASHI, Y. CALCULATED THRESHOLD-VOLTAGE CHARACTERISTICS OF AN XMOS TRANSISTOR HAVING AN ADDITIONAL BOTTOM GATE. **Solid-State Electronics**, v. 27, n. 8/9, p. 827-828, 1984.

[74] HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E. Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, 1990.

[75] HIRAMOTO, T. Nano-scale silicon MOSFET: towards non-traditional and quantum devices. In: Proceedings of IEEE - International SOI Conference , 2001. p. 8-10.

[76] LIU, Y.; ISHII, K.; TSUTSUMI, T.; MASAHARA, M.; SUZUKI, E. Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation-Dependent Wet Etching. **IEEE Electron Device Letters**, v. 24, n. 7, p. 484-486, 2003.

[77] COLINGE, J. P. **FinFETs and Others Multi-Gate Transistors.** New York: Springer, 2008.

---

[78] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BBRINI, J.; ELEWA, T. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. **IEEE Electron Device letters**, v. EDL-8, n. 9, p. 410-412, 1987.

[79] COLINGE, J. P.; GAO, M. H.; RODRIGUEZ, A. R.; MAES, H.; CLAEYS C. Silicon-on-insulator ‘gate-all-around device'. In: Technical Digest of IEDM - International Electron Devices Meeting. 1990. p. 595-598.

[80] KILCHYTSKA, V.; COLLAERT, N.; ROOYACKERS, R.; LEDERER, D.; RASKIN, J. P.; FLANDRE, D. Perspective of FinFETs for analog applications. In: Proceedings of ESSDERC – European Solid-State Device Research Conference, 2004. p. 65-68.

[81] XU, X.; WANG, R.; et al. High-Performance BOI FinFETs Based on Bulk-Silicon Substrate. **IEEE Transactions on Electron Devices**, v. 55, n. 11, p. 3246-3250, 2008.

[82] HAN, J. W.; et al. Body Effects in tri-Gate Bulk FinFETs for DTMOS. In: Proceedings of IEEE - Nanotechnology Materials and Devices Conference, 2006. p. 208-209.

[83] COLINGE, J. P. An SOI Voltage Controlled Bipolar MOS Device. **IEEE Transactions on Electron Devices**, v. 44, n. 4, p. 845-849, 1987.

[84] ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance in FinFETs: Bulk, DTMOS, BOI and SOI. In: Proceedings of EuroSOI2010 - Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, 2010. p. 67-68.

[85] ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance at Low Temperatures in Triple-Gate Devices: Bulk, DTMOS, BOI and SOI. In: Proceedings of WOLTE2010 - Workshop on Low Temperature Electronics, Devices and Circuits, 2010. p. 45-47.

[86] PARK, T.; et al. Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers. In: Proceedings of Symposium on VLSI Technology Symposium Technical Digest of Technical Papers, 2003, pp. 135-136.

[87] AMARO, J. O. ANÁLISE DOS PARÂMETROS ANALÓGICOS DO DISPOSITIVO SOI DTMOS. 2009. 94 f. Dissertação - Laboratório de sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2009.

[88] ANDRADE, M. G. C.; MARTINO, J. A. Analog Performance of Bulk and DTMOS Triple-Gate Devices In: Proceedings of ECS Transactions,SBMicro2010 - Microelectronics Technology and Devices, 2010. v. 31. p. 67-74.

[89] PARK, J. T.; COLINGE, J. P. Multiple-gate SOI MOSFETs: device design guidelines. **IEEE Transactions on Electron Devices**, v. 49, n. 12, p. 2222-2229, 2002.

[90] COLINGE, J. P.; DIAZ, C. H. Quasi-surrounding gate and a method of fabricating a silicon-on-insulator semiconductor device with the same. US patent 6,359,311.

---

[91] PARK, J. T.; COLINGE J. P.; DIAZ C. H. Pi-Gate SOI MOSFET. **IEEE Electron Device Letters**, n. 22, v. 8, p. 405-406, 2001.

[92] YANG, F. L.; CHEN H. Y.; CHENG, F. C.; HUANG, C. C.; CHANG, C. Y.; CHIU, H. K. 25 nm CMOS Omega FETs. In: Technical Digest of IEDM - International Electron Devices Meeting, 2002. p. 255-258.

[93] XIONG, W.; PARK, J. W.; COLINGE, J. P. Corner Effect in Multiple-Gate SOI MOSFETs, In: Proceedings of IEEE - International SOI Conference, 2003. p. 111-113.

[94] ANDRADE, M. G. C.; MARTINO, J. A. Threshold voltages of SOI MuGFETs. **Solid-State Electronics**. , v.52, p. 1877 - 1883, 2008.

[95] NAGUMO, T.; HIRAMOTO, T. Reverse Short-Channel Effect of Body Factor in Low-Fin Field-Effect Transistors Induced by Corner Effect. **Japanese Journal of Applied Physics**, v. 44, n. 1A, p. 50-54, 2005.

[96] FOSSUM, J. G. Suppression of Corner Effects in Triple-Gate. **IEEE Electron Device letters**, v. 24, n. 12, p. 745-747, 2003.

[97] MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, v. 39, p. 1876, 1992.

[98] SEKIGAWA, T.; HAYASHI, Y. CALCULATED THRESHOLD-VOLTAGE CHARACTERISTICS OF AN XMOS TRANSISTOR HAVING AN ADDITIONAL BOTTOM GATE. **Solid-State Electronics**, v. 27, n. 8/9, p. 827-828, 1984.

[99] CHAUDHRY, A.; KUMAR, M. J. Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Ratability: A Review. **IEEE Transactions on Electron Devices and materials reliability**, v. 4, n. 1, p. 99-109, 2004.

[100] MUNATA, T.; MIZUMO, T.; TEZUKA, T.; KOGA, J.; TAKAGI, S. Control of Threshold-Voltage and Short-Channel Effects in Ultrathin Strained-SOI CMOS Devices. **IEEE Transactions on Electron Devices**, v. 52, n. 8, p. 1780-1786, 2005.

[101] CHEN, Q.; HARRELL, E. M.; MEINDL, J. D. A Physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 50, n. 7, p. 1631-1637, 2003.

[102] YAN, R. H.; OURMAZD, A.; LEE, K. F. Scaling the Si MOSFET: from Bulk to SOI to Bulk. **IEEE Transactions on Electron Devices**, v. 39, n. 7, p. 1704-1710, 1992.

[103] SUZUKI, K.; TANAKA, T.; TOSAKA, Y.; HORIE, H.; ARIMOTO, Y. Scaling theory for double-gate SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 40, n. 12, p. 2326-2329, 1993.

---

[104] AUTH, C. P.; PLUMMER, J. D. A simple model for threshold voltage of surrounding-gate MOSFET's. **IEEE Transactions on Electron Devices**, v. 45 n. 11, p. 2381-2383, Nov. 1998.

[105] LEE, C. H.; et al. Device design guidelines for nano-scale MuGFETs. **Solid-State Electronics,** v. 51, p. 505-510, 2007.

[106] MAJKUSIAK, B.; JANIK, T.; WALCZAK, T. Semiconductor thickness effects in the double-gate SOI MOSFET. **IEEE Transactions on Electron Devices**, v. 45 n. 5, p. 1127-1134, May 1998.

[107] CONDE, A. O.; SANCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA A.; ESTRADA M.; YUE Y. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, p. 583-596, 2002.

[108] LIOU, J. J.; CONDE, A. O.; SANCHEZ, F. J. G. Extraction of the threshold voltage of MOSFETs: an overview. In: Proceedings of IEEE - Electron Devices Meeting, 1997. p. 31-38.
[109] CORSI, F.; MARZOCCA, C.; PORTACCI, G. V. New experimental technique for fast and accurate MOSFET threshold extraction. **Electronics Letters** v. 29 n. 15 p. 1358-1360, 1993.

[110] CONDE, A. O.; GOUVEIA, E. D. F.; LIOU, J. J.; HASSAN, M. R.; SANCHEZ, F. J. G.; DE MERCATO, G.; WONG, W. A new approach to extract the threshold voltage of MOSFETs. **IEEE Transactions on Electron Devices,** v. 44 n. 9, p. 1523-1528, 1997.

[111] MCANDREW, C. C.; LAYMAN, P. A. MOSFET effective channel length, threshold voltage, and series resistance determination by robust optimization. **IEEE Transactions on Electron Devices,** v. 39 n. 10, p. 2298-2311, 1992.

[112] KARLSSON, P. R.; JEPPSON, K. O. An efficient method for determining threshold voltage, series resistance and effective geometry of MOS transistors. **IEEE Transactions Semiconductor Manufacturing**, v. 9, n. 2, p. 215-222, 1996.

[113] TERAO, A.; FLANDRE, D.; TAMOYO, E. L.; WIELE, V. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682-684, 1991.

[114] WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, V. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. **Solid-State Electronics**, v. 30, n. 9, p. 953-958, 1987.

[115] ANDRADE, M. G. C. **ESTUDO DA TENSÃO DE LIMIAR E INCLINAÇÃO DE SUBLIMIAR EM TRANSISTORES SOI FINFETs DE PORTA DUPLA E PORTA TRIPLA**, 2007. 120 f. Dissertação - Engenharia Elétrica, Centro Universitário da FEI – FEI São Bernardo do Campo - SP, 2007.

[116] ANDRADE, M. G. C.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Analog performance at room and low temperature of triple-gate devices: Bulk, DTMOS, BOI and SOI In: Proceedings of ECS Transactions, SBMicro2012 - Microelectronics Technology and Devices, Brasília - Brazil, 2012

---

[117] ATLAS Device Simulation User's Manual, v. 5.10.0.R, Silvaco International, Santa Clara, CA USA -2005.

[118] imec - interuniversity microelectronic center: http://www.imec.be/ ScientificReport/ SR2010/2010/1159079.html Acesso em: 16 Apr. 2012.

[119] ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M; COLLAERT, N; SIMOEN, E.; CLAEYS, C. Behavior of triple-gate Bulk FinFETs with and without DTMOS operation. **Solid-State Electronics**, v. 71, n. 1, p. 63-68, 2012.

[120] ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. Behavior of triple gate Bulk FinFETs with and without DTMOS operation. In: Proceedings of IEEE - 12th International Conference on Ultimate Integration on Silicon (ULIS), Cork - Ireland, 2011. p. 19-22.

[121] COLLAERT, N.; AOULAICHE, M.; DE WACHTER B.; RAKOWSKI, M.; REDOFI, A.; BRUS, S.; DE KEERSGIETER, A.; HORIGUCHI N.; ALTIMIME, L.; JURACZAK, M. A low-voltage biasing scheme for aggressively scaled bulk FinFET 1T-DRAM featuring 10s retention at 85°C. In: Proceedings of IEEE - Symposium on VLSI Technology Digest of Technical Papers, 2010. p. 161-162.

[122] NICOLETTI, T.; MARTINO J. A.; SIMOEN E.; CLAEYS, C. Analysis of the total resistance in standard and strained FinFET devices with and without the use of SEG. In: Proceedings of ECS Transactions, SBMicro2009 - Microelectronics Technology and Devices, 2009. v. 23. p. 575-582.

[123] SIMOEN, E.; ANDRADE, M. G. C.; AOULAICHE, M; COLLAERT, N; CLAEYS, C. Low-Frequency-Noise Investigation of n-Channel Bulk FinFETs Developed for One-Transistor Memory Cells. **IEEE Transactions on Electron Devices**, v. 99, 2012.

[124] ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M; COLLAERT, N; SIMOEN, E.; CLAEYS, C. Behavior of triple-gate Bulk FinFETs with and without DTMOS operation. **Solid-State Electronics**, v. 71, n. 1, p. 63-68, 2012.

[125] SIMOEN, E.; ANDRADE, M. G. C.; AOULAICHE, M; COLLAERT, N; CLAEYS, C. Low-Frequency-Noise Investigation of n-Channel Bulk FinFETs Developed for One-Transistor Memory Cells. **IEEE Transactions on Electron Devices**, v. 99, 2012.

[126] ProPlus Design Solutions, Inc. : http://www.proplussolution.com/html/doc/Datasheet_ NoisePro.pdf. Acesso em: 16 Apr. 2012

[127] SIMOEN, E.; AOULAICHE, M.; COLLAERT, N.; CLAEYS, C. Low-frequency noise in triple-gate n-channel bulk FinFETs. In: Proceedings of IEEE - 21th International Conference on Noise and Fluctuations (ICNF), Toronto -Canada, 2011. p.127-130.

[128] SIMOEN, E.; AOULAICHE, M.; COLLAERT, N.; CLAEYS, C. Low-frequency noise study of p-channel bulk MuGFETs. In: Proceedings of ECS Transactions, SBMicro2011 - Microelectronics Technology and Devices, 2011. v. 39. p. 53-60.

---

[129] LARTIGAU, I.; ROUTOURE, J. M.; GUO, W.; CRETU, B.; CARIN, R.; MERCHA, A.; CLAEYS C.; SIMOEN, E. Low temperature noise spectroscopy of 0.1 µm partially depleted Silicon on Insulator MOSFETs. Journal of Applied Physics, v. 101, n. 10, p. 104511 - 104516, 2007.

[130] GHIBAUDO, G.; ROUX, O.; NGUYEN-DUC, Ch.; BALESTRA, F.; BRINI,J. Improved analysis of low frequency noise in field-effect MOS transistors. **Solid State Physics**, v. 124, n. 2, p. 571-581, Apr. 1991.

[131] ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; MERCHA, A.; SIMOEN, E.; CLAEYS, C. Influence of Proton Irradiation in Bulk and DTMOS Triple Gate FinFETs. In: Proceedings of ECS Transactions, SBMicro2011 - Microelectronics Technology and Devices, João Pessoa - Brazil, 2011. v. 39. p. 247- 254.

[132] BARTH, J. L.; DYER, C.S.; STASSINOPOULOS E. G. Space, Atmospheric, and Terrestrial radiation environments. **IEEE Transactions on Nuclear Science,** v. 50 n. 3, p. 466-482, 2003.

[133] ANDRADE, M. G. C.; MARTINO, J. A.; AOULAICHE, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. Low-Frequency Noise Behaviour of Bulk and DTMOS Triple-Gate Devices under 60 MeV Proton Irradiation. In: Proceedings of IEEE - 13th International Conference on Ultimate Integration on Silicon (ULIS), Grenoble - France, 2012. p. 69-72.

[134] ANDRADE, M. G. C.; ALMEIDA, L.M.; MARTINO, J. A.; AOULAICHE, M.; SIMOEN, E.; CLAEYS, C. Gateless 1T-DRAM on n-Channel Bulk FinFETs. In: Proceedings of ECS Transactions, CSTIC 2012, Shanghai – China, 2012. v. 44, p. 3-8.

[135] COLLAERT, N.; AOULAICHE, M.; DE WACHTER B.; ALTIMIME, L.; JURACZAK, M. Substrate bias dependency of sense margin and retention in bulk FinFET 1T-DRAM cells. **Solid-State Electronics**, v. 65/66, p. 205-210, Dec. 1978.

[136] HAN J. W.; CHOI Y. K. Biristor -Bistable Resistor Based on a Silicon Nanowire. **IEEE Electron Device letters**, v. 31, n. 8, p. 797-799, 2010.

APÊNDICE

Simulações Tridimensionais

Modelos

Os modelos utilizados são selecionados pelos usuários e variam conforme a aplicação. Esses modelos podem ser específicos de mobilidade de portadores, de recombinação de portadores, de largura de faixa proibida, de ionização por impacto, etc.

No desenvolvimento do presente trabalho, utilizaram-se os seguintes modelos contidos no simulador Atlas, com destaque às suas principais características[117].

SRH (*Shockley-Read-Hall*) – Modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixado.

AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes.

BGN (*Bandgap Narrowing*) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI. Deve ser usado em conjunto com o modelo Klaassen.

FLDMOB (*Parallel Electric Field Dependence*) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio.

KLA – Modelo de mobilidade que inclui dependência com concentração de portadores, concentração intrínsecas de portadores e da temperatura. Aplica diferentes mobilidades para portadores majoritários e minoritários. Recomendado para transistor da tecnologia SOI.

CONMOB – Modelo de mobilidade que inclui a dependência entre a mobilidade e a concentração de dopantes. Utilizado em estruturas de (Si) silício e (GaAs) arseneto de gálio. Utiliza uma tabela específica de para parâmetros dependentes da temperatura.

IMPACT SELB – Modelo de Selberherr: Modelo de ionização por impacto é dependente do campo elétrico horizontal, suficientemente elevado em um determinado ponto da estrutura. Inclui parâmetros dependentes da temperatura.

TEMP – Temperatura do dispositivo a ser usado durante a simulação. Neste trabalho, as simulações foram realizadas desde a temperatura de 150K até 300K.

PRINT – Permite a impressão de tensões dos nós do circuito após o cálculo de cada ponto (análise cc) ou etapa de tempo (análise do transitório).

Neste trabalho não foram selecionados os modelos para efeitos quânticos, pois esses não foram considerados. Também não foram selecionados modelos de degradação da mobilidade pelo campo elétrico transversal, pois são desprezíveis no estudo que foi realizado.

Métodos

Neste trabalho, para solucionar equações fundamentais dos semicondutores, utilizou-se o método dos elementos finitos e as equações foram resolvidas pelos seguintes métodos[117].

NEWTON – É utilizado quando o sistema de equações é fortemente acoplado e possuem convergência quadrática.

GUMMEL – Este método pode resolver as constantes desconhecidas, repetindo o processo até alcançar uma solução estável. É usado em sistemas de equações fracamente acopladas e utiliza apenas a convergência linear. Pode fornecer uma condição inicial melhor para que as iterações do método de Newton sejam completadas.

METODOLOGIA

A Metodologia utilizada no desenvolvimento das simulações do presente trabalho englobou as seguintes fases.

I) Geração do Arquivo de Simulação

Foi desenvolvido no ATLAS um arquivo para a simulação das características elétricas do dispositivo. Nesse arquivo, a estrutura que será analisada pode ser feita de duas maneiras:

- Desenhada no editor gráfico DevEdit3D. Neste editor, as estruturas criadas são definidas por (fonte, dreno, canal...), materiais utilizado, eletrodos utilizados e também a grade de pontos.
- Definida no arquivo de simulação juntamente com as características elétricas do dispositivo. A estrutura a ser estudada é dividida por regiões que são definidas por polígonos juntamente com a definição de uma grade de pontos, sempre considerando as coordenadas x, y e z, conforme mostrado na figura 90.

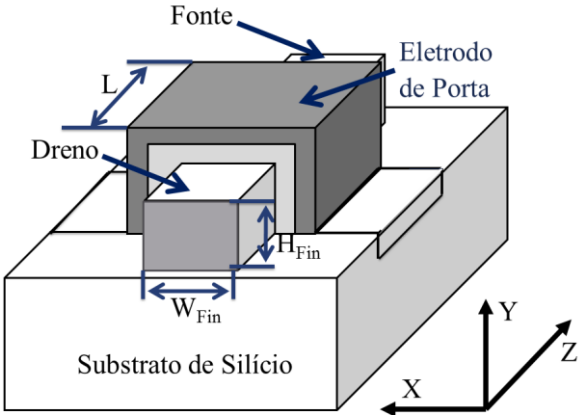


Figura 90 – Dispositivo de Porta Tripla.

II) Simulação

Foi gerada uma série de simulações tridimensionais para os MuGFETSs de porta tripla, considerando diferentes estruturas (Bulk, DTMOS, BOI e SOI) com diferentes dimensões de Fin e concentrações de dopantes no canal em diferentes temperaturas.

Em seguida, foram extraídas a tensão de limiar, a transcondutância, a condutância de saída e a inclinação de sublimiar e então foram calculados os valores da eficiência dos dispositivos, do ganho de tensão intrínseco e da tensão Early para esses dispositivos. Não foi utilizado nenhum tipo de filtro na extração dos resultados.

III) Arquivo de simulação no ATLAS do transistor SOI de porta tripla

```
#
######  Dimensões do Fin: Largura W_Fin = 120 nm e altura H_Fin =60nm    #######
#
#
go atlas
#              ***********   define os electrodes   ************
#
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
# #GATE
electrode     name=gate bottom
#
electrode    name=gate1   x.min=0.062 x.max=0.072   y.min=0 y.max=0.062
z.min=0.1 z.max=1.1
#


electrode     name=gate2  x.min=-0.072 x.max=-0.062 y.min=0 y.max=0.62
z.min=0.1 z.max=1.1
##
#########################################################################
```

```
##########################################################################
#
#SOURCE
electrode     name=source  x.min=-0.06 x.max=0.06 y.min=0 y.max=0.06
z.min=-0.010 z.max=0
#
#
#
# DRAIN
electrode     name=drain   x.min=-0.06 x.max=0.06 y.min=0 y.max=0.06
z.min=1.2 z.max=1.21
#
#
#
# SUBSTRATE
electrode     name=substrato top
#
##########################################################################
#
#        **********   definição da concentração de dopantes   ********
#
doping       uniform n.type conc=1e20 reg=5
doping       uniform n.type conc=1e20 reg=3
doping       uniform p.type conc=1e15 reg=1
#
##########################################################################
##########################################################################
#
#           ***********   Gera a estrutura com dopagem   ***********

structure outf= Estrututa_dopagem_porta_tripla_3G.str
#
##########################################################################
#
# definição das cargas na interface
#
interf       qf=3e10 region=4
#
##########################################################################
#
#**************   Definição da função trabalho dos contatos   *************
#
# set workfunction of gate
contact      name=gate workfunc=4.2
contact      name=gate1 workfunc=4.2 common=gate
contact      name=gate2 workfunc=4.2 common=gate
contact      name=source alumin
contact      name=drain alumin
contact      name=substrato workfunc=4.95
#
##########################################################################
##########################################################################
#
#           ***************   Seleciona os modelos   **************
#
models     kla conmob srh auger bgn fldmob print
IMPACT SELB
#
solve init
##########################################################################
```

```
##########################################################################
#
#            ***************   Seleciona os métodos   **************
#
method       gummel newton    trap carriers=2
#
#              **************   Gera a curva IDVG   ******************
solve prev
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.1
#
log outf=SOI_Porta_Tripla_idvg.log
solve vgate=0 vfinal=1.5 vstep=0.01 name=gate
#
#
#Gera curva no tonyPlot
tonyplot SOI_Porta_Tripla.log -set SOI_Porta_Tripla.set
#
##########################################################################
#
#           ***********   Gera a estrutura Final   ***********
#
structure outf=Estrututa_final_ SOI_Porta_Tripla.str
quit
#
#
#########################################################################################
```

IV) Arquivo de simulação no ATLAS do transistor de porta tripla de Corpo indicado os ajuste realizados com os dados experimentais

```
##################

##################   1
go atlas
mesh infile=Nova_Estrutura_BULK_130x65x1000_3G.str


# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)

electrode    name=gate bottom
electrode    name=gate1    x.min=0.0675 x.max=0.0705 y.min=0 y.max=0.0675 z.min=0.1 z.max=1.1
electrode    name=gate2    x.min=-0.0705 x.max=-0.0675 y.min=0 y.max=0.0675 z.min=0.1 z.max=1.1
#
electrode    name=source  x.min=-0.065 x.max=0.0675 y.min=0 y.max=0.065 z.min=-0.010 z.max=0
electrode    name=drain   x.min=-0.065 x.max=0.0675 y.min=0 y.max=0.065 z.min=1.2 z.max=1.21

electrode    name=dtmos top





#*********** define the doping concentrations *****
#
#fonte
doping      uniform n.type conc=1e20 reg=5
doping      uniform n.type conc=2e15 reg=5


#dreno
doping      uniform n.type conc=1e20 reg=3
doping      uniform n.type conc=2e15 reg=3


#canal
#doping      uniform p.type conc=8e12 reg=1
doping      uniform p.type conc=1e15 reg=1
#

#
# set interface charge separately on front and back oxide interfaces
interf      qf=3e10 region=4

#
# set workfunction of gate
contact     name=gate workfunc=4.644
contact     name=gate1 workfunc=4.644 common=gate
contact     name=gate2 workfunc=4.644 common=gate
contact     name=source alumin
contact     name=drain alumin
contact     name=dtmos workfunc=4.95 common=gate

structure outf=Eletrodo_DTMOS_130x65x1000_canal_1e15.str
```

```
models     cvt conmob srh auger bgn fldmob print

#models     cvt print temp=300
#srh auger bgn consrh
#FONTE
MOBILITY REGION=5 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5


#CANAL
MOBILITY REGION=3 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5


#DRENO
MOBILITY REGION=1 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5

METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1


solve init
#
# do IDVG characteristic
#
#method      gummel newton    trap carriers=1
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

#
solve prev
solve vdrain=0.00001
solve vdrain=0.0001
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.02
solve vdrain=0.03
solve vdrain=0.04
solve vdrain=0.05
#method      gummel newton    trap carriers=2
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

output e.mobility h.mobility

log outf=IDSxVGS_DTMOS_130x65x1000_canal_1e15.log


solve vgate=0 vfinal=1.2 vstep=0.01 name=gate

structure outf=FINAL_DTMOS_130x65x1000_canal_1e15.str



###################   2
go atlas
mesh infile=Nova_Estrutura_BULK_130x65x1000_3G.str


# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
```

```
electrode     name=gate bottom
electrode     name=gate1     x.min=0.0675 x.max=0.0705 y.min=0 y.max=0.0675 z.min=0.1 z.max=1.1
electrode     name=gate2     x.min=-0.0705 x.max=-0.0675 y.min=0 y.max=0.0675 z.min=0.1 z.max=1.1
#
electrode     name=source  x.min=-0.065 x.max=0.0675 y.min=0 y.max=0.065 z.min=-0.010 z.max=0
electrode     name=drain   x.min=-0.065 x.max=0.0675 y.min=0 y.max=0.065 z.min=1.2 z.max=1.21

electrode     name=dtmos top

#*********** define the doping concentrations *****
#
#fonte
doping       uniform n.type conc=1e20 reg=5
doping       uniform n.type conc=2e15 reg=5

#dreno
doping       uniform n.type conc=1e20 reg=3
doping       uniform n.type conc=2e15 reg=3


#canal
#doping       uniform p.type conc=8e12 reg=1
doping       uniform p.type conc=1e15 reg=1
#

# set interface charge separately on front and back oxide interfaces
interf       qf=3e10 region=4
#
# set workfunction of gate
contact      name=gate workfunc=4.644
contact      name=gate1 workfunc=4.644 common=gate
contact      name=gate2 workfunc=4.644 common=gate
contact      name=source alumin
contact      name=drain alumin
contact      name=dtmos workfunc=4.95

structure outf=Eletrodo_BULK_130x65x1000_canal_1e15.str

models     cvt conmob srh auger bgn fldmob print

#models     cvt print temp=300
#srh auger bgn consrh
#FONTE
MOBILITY REGION=5 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5


#CANAL
MOBILITY REGION=3 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5


#DRENO
MOBILITY REGION=1 BN.CVT=1.16E7 DELN.CVT=6E14 MUMAXN.CVT=1360 CN.CVT=6.3E5

METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

solve init
#
```

```
# do IDVG characteristic
#
#method      gummel newton    trap carriers=1
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

#
solve prev
solve vdrain=0.00001
solve vdrain=0.0001
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.02
solve vdrain=0.03
solve vdrain=0.04
solve vdrain=0.05
#method      gummel newton    trap carriers=2
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

output e.mobility h.mobility

log outf=IDSxVGS_BULK_130x65x1000_canal_1e15.log


solve vgate=0 vfinal=1.2 vstep=0.01 name=gate

structure outf=FINAL_BULK_130x65x1000_canal_1e15.str

##############################################################################
#######################################################################################
```