

RICARDO CARDOSO RANGEL

**PROJETO E FABRICAÇÃO DE TRANSISTORES SOI
COM FORMAÇÃO DE FONTE/DRENO INDUZIDA POR
CAMPO ELÉTRICO – ^{BE}SOI MOSFET**

São Paulo

2022

RICARDO CARDOSO RANGEL

**PROJETO E FABRICAÇÃO DE TRANSISTORES SOI
COM FORMAÇÃO DE FONTE/DRENO INDUZIDA POR
CAMPO ELÉTRICO – ^{BE}SOI MOSFET**

Versão Corrigida

Tese de DOUTORADO apresentada
à Escola Politécnica da Universidade
de São Paulo para obtenção do título
de Doutor em Ciências.

São Paulo
2022

RICARDO CARDOSO RANGEL

**PROJETO E FABRICAÇÃO DE TRANSISTORES SOI
COM FORMAÇÃO DE FONTE/DRENO INDUZIDA POR
CAMPO ELÉTRICO – ^{BE}SOI MOSFET**

Versão Corrigida

Tese de DOUTORADO apresentada
à Escola Politécnica da Universidade
de São Paulo para obtenção do título
de Doutor em Ciências.

Área de Concentração:
Microeletrônica.


Orientador: Prof. Dr. João Antonio
Martino

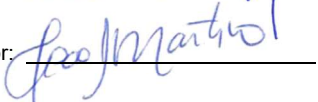
São Paulo
2022

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meioconvencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 07 de outubro de 2022.

Assinatura do autor: 

Assinatura do orientador: 

Catálogo-na-publicação

Rangel, Ricardo Cardoso
PROJETO E FABRICAÇÃO DE TRANSISTORES SOI COM FORMAÇÃO
DE FONTE/DRENO INDUZIDA POR CAMPO ELÉTRICO – BESOI MOSFÉT /
R. C. Rangel -- versão corr. -- São Paulo, 2022.
119 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo.
Departamento de Engenharia de Sistemas Eletrônicos.

1.MICROELETRÔNICA 2.TRANSISTORES 3.SEMICONDUTORES
4.DISPOSITIVOS ELETRÔNICOS I.Universidade de São Paulo. Escola
Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Aos meus queridos pais,

Antônio Rangel, "in memoriam"

Maria Rita Cardoso Rangel

E à minha amada esposa

Vanessa Pereira

AGRADECIMENTOS

Ao Professor Dr. João Antonio Martino, pela orientação e pelo constante incentivo durante a realização deste trabalho.

Aos meus caros amigos do departamento de sistemas eletrônicos da escola politécnica da USP, do Laboratório de Microeletrônica, e do Laboratório de Sistemas Integráveis.

Aos amigos do grupo SOI CMOS pelas discussões e contribuições.

Aos queridos amigos que estudaram o transistor ^{BE} SOI: Kátia Regina Akemi Sasaki, Leonardo Shimizu Yojo, José Augusto Padovese Peixoto, Daniel Augusto Ramos, Pedro Henrique Duarte, Henrique Araújo Zangaro, Henrique Lanfredi Carvalho e Carlos Augusto Bergfeld Mori pelas valiosas discussões e aprendizado constante.

Ao Laboratório de Sistemas Integráveis, e ao Laboratório de Microeletrônica, ambos da Escola Politécnica da Universidade de São Paulo pela disponibilidade da infraestrutura necessária para essa atividade de pesquisa.

Aos meus pais, por seu incansável amor e dedicação.

Aos meus irmãos Felipe e Rodrigo, pela valiosa amizade.

À minha amada esposa Vanessa, por sua compreensão e apoio em todos os momentos.

E a todas as pessoas que de forma direta ou indireta contribuíram para a execução deste trabalho e que foram involuntariamente omitidas.

*" Para encontrar a verdade,
precisamos de imaginação e ceticismo.
Não devemos ter medo de especular,
mas devemos ter o cuidado de distinguir
a especulação dos fatos."*

(Carl Sagan)

RESUMO

Neste trabalho são desenvolvidos o projeto e a fabricação de transistores de efeito de campo (Field Effect Transistor), FET do tipo metal-óxido-semicondutor (metal-oxide-semiconductor), MOS em lâminas de silício sobre isolante (Silicon On Insulator), SOI com formação de fonte/dreno induzida por campo elétrico. Estes transistores receberam o nome de “*Back Enhanced*”^{BE}SOI MOSFET. Por terem as regiões de fonte e dreno induzidas por campo elétrico, estes transistores apresentam a possibilidade de atuarem como transistores do tipo MOSFET baseado em condução de lacunas (pMOS), ou do tipo MOSFET baseada em condução de lacunas (nMOS), dependendo da polarização aplicada na porta de programação. Transistores com estas características são também chamados pela literatura de Transistor de Efeito de Campo Reconfigurável (Reconfigurable Field Effect Transistor), RFET (). Esta flexibilidade de operação apresenta novas possibilidades para o desenvolvimento de futuros circuitos integrados e, no caso do ^{BE}SOI MOSFET, também apresenta possibilidades de aplicação como sensores integrados. São apresentadas neste trabalho 4 rodadas de fabricação destes ^{BE}SOI, em que a característica mais notável em comparação com os RFET apresentados pela literatura é a simplicidade na sequência de fabricação. Na primeira rodada, são obtidos transistores com camada de silício de 23 nm, espessura de óxido de porta de 15 nm, espessura de óxido enterrado de 200nm e com alumínio (Al) como metal de porta e de contatos de fonte e dreno. O processo térmico de sinterização dos contatos de Al permitiu bons resultados para operação do tipo pMOS, mas resultados insatisfatórios para operação do tipo nMOS. Na segunda rodada de fabricação as espessuras de silício sobre o isolante e óxido de porta são reduzidas ambas para 10nm, com o objetivo de melhorar o acoplamento eletrostático. Mas, a principal alteração nesta rodada é a utilização de siliceto de níquel como eletrodo de contato para fonte e dreno, que proporciona uma característica reconfigurável mais equilibrada, ou seja, melhora o funcionamento do transistor nMOS em relação à rodada anterior, mas ainda assim a corrente de dreno se diferencia do pMOS de ordens de grandeza. As duas rodadas iniciais usam óxido enterrado de 200nm, o que exige uma tensão na porta de programação (“*back gate*”) de até dezenas de volts. Para reduzir, em até 7 vezes a tensão aplicada, foram

propostas alterações no processo de fabricação e executada uma rodada de fabricação em lâminas UTBB (*Ultra-Thin Body and Burried oxide*). Com a espessura do óxido enterrado de 25 nm, foi possível não só reduzir a tensão na porta de programação, como também incrementar a corrente de dreno em 67%, devido a condução de corrente nas duas interfaces com o canal de silício, ou seja, a interface localizada entre o filme de silício e o óxido de porta (primeira interface) e entre o filme de silício e óxido enterrado (segunda interface).

Finalmente a quarta rodada de fabricação partiu de um novo conjunto de fotomáscaras e uma sequência de processos otimizada que permitiu incrementar o desempenho dos dispositivos. A formação do siliceto de níquel NiSi e posterior deposição de Al para contatos melhorou o fator de simetria (razão das correntes de elétrons e lacunas para polarizações simétricas) para 0,95. Ou seja, a operação como nMOS foi muito superior aos resultados anteriores. Este resultado permitiu a utilização do ^{BE} SOI como biossensor de glicose após etapas de funcionalização da superfície.

Nesta rodada de fabricação também foram obtidos transistores com contatos de Al e sem etapas de sinterização. Os resultados neste caso mostraram um bom desempenho na operação como nMOS e resultados insatisfatórios na operação como pMOS, ou seja, o inverso do obtido quando se realiza a etapa de sinterização dos contatos. Este resultado sugere que o projeto deste dispositivo com contatos duplos (sinterizados e não sinterizados) de Al, pode apresentara um nível de corrente de dreno até 20 vezes superior, em relação ao dispositivo de contato simples de NiSi). Se somar a isto, os incrementos de corrente proporcionados com a utilização das lâminas UTBB, os transistores reconfiguráveis do tipo ^{BE} SOI MOSFET aproximam-se significativamente dos níveis de corrente dos MOSFETs convencionais.

Palavras-chaves: Microeletrônica, Transistores , Semicondutores e Dispositivos Eletrônicos.

ABSTRACT

In this work, the design and fabrication of SOI (Silicon On Insulator) transistors with source / drain formation induced by electric field are developed. These transistors received the name "Back Enhanced" ^{BE}SOI MOSFET. Because the source and drain regions are induced by an electric field, these transistors present the possibility of acting as pMOS or nMOS transistors, depending on the polarization applied to the programming gate. Transistors with these characteristics are also referred in the literature as RFET (Reconfigurable Field Effect Transistor). This operational flexibility presents new possibilities for the development of future integrated circuits and, in the case of ^{BE}SOI MOSFET, it also presents possibilities for application as integrated sensors. In this work, 4 rounds of fabrication of these ^{BE}SOI are presented, in which the most notable feature in comparison with the RFETs presented in the literature is the simplicity in the fabrication sequence. In the first round, transistors are obtained with a 23 nm silicon layer, a 15 nm gate oxide thickness, a 200nm buried oxide thickness and with aluminum as the gate metal and source and drain contacts. The thermal process of sintering the Al contacts allowed good results for pMOS type operation, but unsatisfactory results for nMOS type operation. In the second round of fabrication, the thickness of the silicon layer (over insulator) and gate oxide is reduced to 10 nm, in order to improve the electrostatic coupling. But the main change in this round is the use of nickel silicide as contact material in source and drain, which provides a more balanced reconfigurable characteristic, that is, it increases the operation of the type N transistor, in relation to the previous round. The first two rounds use 200nm buried oxide, which requires a voltage at the back gate of up to dozens of volts. To reduce the applied tension by up to 7x, changes were proposed and other round of fabrication was performed on UTBB (Ultra-Thin Body and Burried oxide) wafer. With the 25 nm buried oxide thickness, it was possible not only to reduce the voltage at the programming gate, but also to increase the drain current by 67% due to the current conduction at the two interfaces (front and back).

Finally, the fourth fabrication round started with a new set of photomasks and an optimized sequence of processes that allowed increasing the performance of the devices. The formation of NiSi and subsequent deposition of

Al to contacts improved the symmetry factor (ratio of electron and hole currents for symmetrical polarizations) to 0.95. That is, the operation as nMOS was much superior to the previous results. This result allowed the use of BE SOI as a glucose biosensor after surface functionalization steps.

In this fabrication round, transistors with Al contacts and without sintering steps were also obtained. The results show the good performance in the operation as nMOS and the unsatisfactory results in the operation as pMOS. In this fabrication round, transistors with Al contacts and without sintering steps were also obtained. The results show the good performance in the operation as nMOS and the unsatisfactory results in the operation as pMOS. In other words, results that are complementary to those obtained when performing the sintering step of the contacts. Allowing to design, for future works, devices with double contacts (sintered and non-sintered) of Al, with a current level 20 times higher. In addition to this, the current increments provided with the use of UTBB wafer, the reconfigurable BE SOI MOSFETs approach conventional MOSFETs in current levels.

Keywords: Microelectronics, Transistors, Semiconductors and Electronic Devices.

LISTA DE ILUSTRAÇÕES

Figura 1 - Perfil de um transistor (BE) SOI MOSFET.....	23
Figura 2 – Estrutura básica de um MOSFET canal N.	26
Figura 3 – Desenho em perspectiva de uma Lâmina SOI (a) e dispositivo SOI nMOSFET (b).	28
Figura 4 – Técnica Smart-Cut® de obtenção de Lâminas SOI.	29
Figura 5 – (a) Esquema do pseudo-MOS em estruturas SOI. (b) Corrente de dreno típica em função da tensão de dreno para diferentes tensões de porta.....	30
Figura 6 – Desenhos e imagens MEV de um transistor reconfigurável em estrutura nanofio a) Visão geral com as posições da seção transversal, conforme indicado. b) Seção transversal A' ao longo do nanofio. c) Vista em seção transversal da seção B' na região da porta. d) Vista em corte transversal da região de fonte/dreno C'. e) Imagem de microscopia eletrônica de varredura da estrutura nanofio obtida em lâmina SOI através da seção da porta B'. f) O mesmo, mas através da região Fonte/Dreno C'.....	31
Figura 7 – Contato ôhmico entre metal e semiconductor tipo N, diagrama de cargas (a) e diagrama de faixas de energia (b).	34
Figura 8 - Contato Schottky entre metal e semiconductor tipo N, diagrama de cargas (a) e diagrama de faixas de energia (b).	35
Figura 9 - Duas categorias principais de transistores reconfiguráveis. (a) Controle simultâneo das junções Schottky. (b) Controle independente das junções Schottky.	37
Figura 10 - Perfil esquemático do Transistor ^{BE} SOI MOSFET onde é possível observar o substrato sendo usado como porta de programação.	39
Figura 11 - Princípio de funcionamento do dispositivo no estado ligado: a) Diagrama de cargas para $V_{GB} \ll 0V$; b) Esquema de diagrama de faixas de energia, destacando o tunelamento de lacunas; c) Circuito elétrico equivalente quando $V_{GB} \ll 0V$; d) Diagrama de cargas para $V_{GB} \gg 0V$; e) Esquema de diagrama de faixas de energia, destacando o tunelamento de elétrons; f) Circuito elétrico equivalente quando $V_{GB} \gg 0V$;	40
Figura 12 – Princípio de funcionamento do dispositivo no estado desligado: a) Diagrama de cargas para $V_{GB} \ll 0V$; b) Esquema de diagrama de faixas de energia, destacando a barreira de potencial para lacunas; c) Circuito elétrico equivalente quando $V_{GB} \ll 0V$; d) Diagrama de cargas para $V_{GB} \gg 0V$; e) Esquema de diagrama de faixas de energia, destacando a barreira de potencial para elétrons; f) Circuito elétrico equivalente quando $V_{GB} \gg 0V$;	41
Figura 13 – Proposta de ^{BE} SOI MOSFET com contatos ôhmicos para ambos os portadores e dopagens adicionais.....	44
Figura 14 - Perfil esquemático da lâmina SOI inicial, destacando a espessura inicial de silício sobre o isolante ($t_{Si}^{inicial} = 100nm$).	47
Figura 15 - Perfil esquemático do dispositivo imediatamente após a etapa de corrosão do silício sobre o isolante.	50

<i>Figura 16 - Perfil esquemático do dispositivo após a etapa corrosão do alumínio e remoção do fotorresiste.</i>	52
<i>Figura 17 - Perfil esquemático da amostra após a deposição de alumínio que forma os contatos de fonte e dreno.</i>	53
<i>Figura 18 – a) Perfil esquemático e imagens obtidas com microscópio ótico ao final das etapas de fabricação b) cascata completa e c) detalhe dos transistores.</i>	55
<i>Figura 19 – Perfil esquemático do dispositivo após as deposições de níquel e alumínio.</i>	58
<i>Figura 20 – a) Perfil esquemático após a formação do siliceto de níquel e b) Imagem obtida no microscópio ótico após a fabricação.</i>	59
<i>Figura 21 - Perfil esquemático após a deposição de SiO₂ por PECVD e fotografação de abertura de contatos.</i>	63
<i>Figura 22 – a) Perfil esquemático após a sinterização do alumínio e b) imagem obtida no microscópio ótico após a fabricação.</i>	63
<i>Figura 23 – Perfil esquemático do dispositivo após a etapa corrosão do alumínio e remoção do fotorresiste.</i>	69
<i>Figura 24 – a) Perfil esquemático e b) imagem obtida com microscópio ótico ao final das etapas de fabricação.</i>	70
<i>Figura 25 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	72
<i>Figura 26 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	72
<i>Figura 27 – Tensão de limiar (V_{TH}) em função da tensão de porta de programação (V_{GB}) para diferentes comprimentos de canal .</i>	73
<i>Figura 28 – Inclinação de sublimiar (SS) em função da tensão de porta de programação (V_{GB}) para diferentes comprimentos de canal.</i>	74
<i>Figura 29 – Transcondutância em função da tensão de porta controle, para diferentes tensões na porta de programação (V_{GB}).</i>	75
<i>Figura 30 – Corrente de dreno em função da tensão de dreno para diferentes tensões de porta de controle (V_{GF}).</i>	76
<i>Figura 31 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	77
<i>Figura 32 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	78
<i>Figura 33 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	79
<i>Figura 34 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).</i>	80
<i>Figura 35 – Características de transferência estática e corrente do inversor^{BE}SOI</i>	80

Figura 36 – Características de transferência estática do inversor ^{BE} SOI direta e invertida	81
Figura 37 – Fator de simetria entre corrente de elétrons e de lacunas em diferentes transistores reconfiguráveis reportados na literatura.	83
Figura 38 – a) Diodos Schottky obtidos pelos dois processos de fabricação. Amostra recozida com a camada de Al e b) amostra com formação de siliceto de níquel e posterior deposição de Al.....	84
Figura 39 – Curva I x V das amostras a) e b) ao final da fabricação.....	84
Figura 40 – Esquemática da fabricação da amostra A) e do processo de "má" formação da Junção Schottky de NiSi. Em (a) temos a amostra após a deposição do Al sobre o Ni. Em (b) a amostra após o tratamento térmico e a possibilidade de parte do Alumínio invadir o Silício, causando o curto-circuito observado anteriormente.....	85
Figura 41 – Curvas de transferência do ^{BE} SOI MOSFET usando novo conjunto de fotomáscaras e sem tratamentos térmicos após deposição de Al.	86
Figura 42 – Fator de simetria em diferentes transistores reconfiguráveis reportados na literatura; e o mais recente ^{BE} SOI.	87
Figura 43 – BE SOI obtido com novo conjunto de fotomáscaras permitindo a obtenção de um biossensor de glicose. a) Perfil esquemático da estrutura completa. b) Figura esquemática em perspectiva. c) Imagem obtida no microscópio ótico.	87
Figura 44 – ^{BE} SOI obtido com novo conjunto de fotomáscaras permitindo a obtenção de um biossensor de glicose. A esquerda polarizado para operar no modo N, e neste caso a presença de solução 50mM de glicose permite aumentar a corrente de dreno. À direita polarizado para operar no modo P, e neste caso, a presença de solução 50mM de glicose permite reduzir, em valor absoluto, a corrente de dreno.	88
Figura 45 – Corrente de dreno em função da tensão de porta para diferentes tensões de porta de programação (V_{GB}).	90
Figura 46 – Corrente de dreno em função da tensão de porta para diferentes tensões de porta de programação (V_{GB}).	90
Figura 47 – Tensão de limiar (V_{TH}) em função da tensão de porta de programação (V_{GB}) comparando a primeira versão com óxido enterrado espesso, e as duas conduções da versão UTBB, pela primeira e segunda interface.....	91
Figura 48 – Transcondutância em função da tensão de porta, para diferentes tensões na porta de polarização (V_{GB}).....	93
Figura 49 – Corrente de dreno em função da tensão de dreno em função da tensão de dreno para diferentes tensões de porta (V_{GF}).....	93
Figura 50 - Corrente de dreno (experimental) em função da tensão da porta de controle (V_{GF}) para diferentes tensões da porta de programação (V_{GB}).....	95
Figura 51 - Tensão de limiar (V_{TH}) em função da tensão da porta de programação para resultados simulados e experimentais.	96
Figura 52 - A densidade de carga na profundidade do silício para a situação de contato Schottky (a) e perfil esquemático do transistor indicando o corte observado (b).....	97

Figura 53 - A densidade de carga na profundidade do silício para a situação de contato Ôhmico (a) e perfil esquemático do transistor indicando o corte observado (b).....98

Figura 54 - Os diagramas de banda de energia para o silício sobre o isolante e na região sob contato Schottky (a), ou seja, sem sinterização e ôhmico (b), ou seja, com sinterização.....99

LISTA DE TABELAS

<i>Tabela 1 - Sequência de soluções químicas utilizadas na limpeza completa.....</i>	<i>47</i>
<i>Tabela 2 - Sequência de procedimentos para a oxidação.</i>	<i>48</i>
<i>Tabela 3 - Sequência de procedimentos para a segunda oxidação.....</i>	<i>49</i>
<i>Tabela 4 – Receita do Reactive Ion Etching (RIE).....</i>	<i>50</i>
<i>Tabela 5 - Sequência de solventes usados na remoção do fotorresiste.....</i>	<i>50</i>
<i>Tabela 6 – Procedimentos para a oxidação que forma o isolante de porta.</i>	<i>51</i>
<i>Tabela 7 - Parâmetros de deposição do Alumínio.</i>	<i>51</i>
<i>Tabela 8 - Parâmetros de deposição do Al para contatos de fonte e dreno.....</i>	<i>53</i>
<i>Tabela 9 – Solventes usados na remoção do fotorresiste.</i>	<i>54</i>
<i>Tabela 10 - Parâmetros de deposição do Alumínio no verso da lâmina.....</i>	<i>54</i>
<i>Tabela 11 - Receita do Reactive Ion Etching (RIE) para corrosão do Si.....</i>	<i>56</i>
<i>Tabela 12 - Parâmetros de deposição do Ni para contatos de fonte e dreno.</i>	<i>58</i>
<i>Tabela 13 - Parâmetros de deposição do Al para contatos de fonte e dreno.....</i>	<i>58</i>
<i>Tabela 14 - Sequência de procedimentos para a oxidação.</i>	<i>60</i>
<i>Tabela 15 – Receita usada no Reactive Ion Etching (RIE) para lâminas UTBB.</i>	<i>61</i>
<i>Tabela 16 - Procedimentos para a oxidação que forma o isolante de porta.....</i>	<i>62</i>
<i>Tabela 17 - Parâmetros de deposição do SiO₂.</i>	<i>62</i>
<i>Tabela 18 – Sequência de procedimentos para a oxidação.....</i>	<i>65</i>
<i>Tabela 19 – Sequência de procedimentos para a segunda oxidação.</i>	<i>66</i>
<i>Tabela 20 – Receita do Reactive Ion Etching (RIE).....</i>	<i>67</i>
<i>Tabela 21 – Procedimentos para a oxidação que forma o isolante de porta.....</i>	<i>67</i>
<i>Tabela 22 - Parâmetros de deposição do Alumínio.</i>	<i>68</i>
<i>Tabela 23 – Parâmetros de deposição do Alumínio para contatos de fonte e dreno.....</i>	<i>69</i>
<i>Tabela 24 – Parâmetros de deposição do Alumínio no verso da lâmina.....</i>	<i>70</i>
<i>Tabela 25 – Coeficientes de acoplamento (α_F e α_B) do ^{BE}SOI e UTBB ^{BE}SOI, considerando as conduções da primeira e segunda interfaces, respectivamente. Valores em negrito são os mais próximos do α experimental.....</i>	<i>92</i>

LISTA DE ABREVIATURAS E SIGLAS

BOE	“Buffered Oxide Etch” – Solução de corrosão de óxido de Si tamponado.
BOX	Sigla para " <i>Buried Oxide</i> ", ou “óxido enterrado”.
CI	Circuito Integrado.
CMOS	“ <i>Complementary Metal-Oxide-Semiconductor</i> ” ou Metal-Óxido-Semicondutor Complementar Tecnologia que emprega transistores MOSFET de canal n e de canal p.
CMP	“ <i>Chemical Mechanical Polishing</i> ” Técnica de polimento de superfícies, polimento químico–mecânico.
DIBL	“ <i>Drain Induced Barrier Lowering</i> ” Diminuição da barreira de potencial fonte/substrato ocasionada pelo potencial do dreno.
EPUSP	Escola Politécnica da Universidade de São Paulo.
FD SOI	“ <i>Fully Depleted</i> ” Tecnologia SOI totalmente depletada.
grupo SOI-CMOS	Grupo de pesquisas do LSI-EPUSP dedicado ao estudo de transistores MOS construídos em substratos SOI.
LOCOS	“ <i>Local Oxidation</i> ” Técnica de isolamento local de silício.
LPCVD	“ <i>Low Pressure Chemical Vapor Deposition</i> ” Processo de deposição de filmes usando reações de produtos em fase gasosa, ativados termicamente.
LSI-EPUSP	Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo.

MESA	Técnica de isolamento de silício sobre isolante que consiste na separação das ilhas de silício ativas, por corrosão do silício entre elas.
MIF300	“ <i>Metal Ion Free</i> ” - Nome comercial de produto para revelação de fotorresiste.
MOSFET	Transistor de efeito de campo de tecnologia metal-óxido-semicondutor (Metal Oxide Semiconductor Field Effect Transistor).
MuGFET	Transistor MOSFET de múltiplas portas, também conhecido como FinFET, ou 3D transistor.
nMOSFET	Transistor MOSFET canal n.
RFET	“ <i>Reconfigurable Field Effect Transistor</i> ” Transistor de Efeito de Campo Reconfigurável
PD SOI	“ <i>Partially Depleted</i> ” Tecnologia SOI parcialmente depletada.
PECVD	“ <i>Plasma Enhanced Chemical Vapor Deposition</i> ” Processo de deposição de filmes usando reações de produtos em fase gasosa enriquecidos por plasma.
SIMOX	“ <i>Separation-by-IMplanted-Oxygen</i> ” Técnica de obtenção de lâminas SOI consiste em: Separação por implantação de oxigênio.
Si-Poli	Abreviatura para Silício Policristalino.
Smart-Cut®	Técnica de obtenção de lâminas SOI consiste na: Adesão de lâminas oxidadas, posterior corte devido à implantação de hidrogênio e polimento da superfície.
SOI	Silício sobre isolante (<i>Silicon On Insulator</i>).
SOI MOSFET	Transistor MOSFET construído em substrato SOI.
USP	Universidade de São Paulo.

UTBB

Sigla para "*Ultra Thin Body and BOX*",
significa camadas de corpo (Si sobre o
isolante) e óxido enterrado ultra finas.

LISTA DE SÍMBOLOS

A_v	ganho intrínseco de tensão;
C_{OXB}	capacitância do óxido enterrado por unidade de área;
C_{OXF}	capacitância do óxido de porta por unidade de área;
C_{Si}	capacitância da camada de silício por unidade de área;
g_D	condutância de saída;
g_m	transcondutância;
I_{DS}	corrente medida entre dreno e fonte;
I_{DSAT}	corrente de dreno quando o transistor está saturado;
I_{GS}	corrente de fuga medida entre a porta e a fonte;
k	constante de Boltzman;
N_A	concentração de impurezas aceitadoras no canal;
n_i	concentração intrínseca de portadores;
q	carga elementar do elétron;
Q_{INV1}	densidade de carga de inversão na primeira interface;
Q_{OX1}	densidade de carga efetiva no óxido de porta;
Q_{OX2}	densidade de carga efetiva no óxido enterrado;
Q_{S2}	densidade de carga de acumulação ($Q_{S2}>0$) ou de inversão ($Q_{S2}<0$) na segunda interface;
R_D	resistência do dreno;
R_F	resistência da fonte;
R_S	resistência série associada ao transistor;
SS	inclinação de sublimiar;
T	temperatura;
t_{OXB}	espessura do óxido enterrado;
t_{OXF}	espessura do óxido de porta;
V_{FB1}	tensão de faixa plana da primeira interface;
V_{FB2}	tensão de faixa plana da segunda interface;
V_{GB}	tensão aplicada à porta de programação (substrato);
$V_{GB,ACC2}$	tensão aplicada ao substrato quando a segunda interface está no limiar de acumulação;
$V_{GB,INV2}$	tensão aplicada ao substrato quando a segunda interface está no limiar de inversão;

V_{GF}	tensão aplicada na porta;
V_{GS}	Tensão entre porta e fonte.
$V_{TH1,ACC2}$	tensão de limiar da primeira interface quando a segunda interface está em acumulação;
$V_{TH1,INV2}$	tensão de limiar da primeira interface quando a segunda interface está invertida;
$X_{dMáx}$	a máxima largura da região de depleção;
α	fator de acoplamento capacitivo;
ϵ_{OX}	permissividade do óxido de silício;
ϵ_{Si}	permissividade do silício;
θ_1	coeficiente de degradação da mobilidade;
ϕ_F	potencial de Fermi;
Φ_{MS1}	diferença de função trabalho entre o material de porta e o silício;
Φ_{MS2}	diferença de função trabalho entre o substrato e o silício;
ϕ_{SB}	potencial da segunda interface;
ϕ_{SF}	potencial da primeira interface;

SUMÁRIO

1. INTRODUÇÃO.....	17
1.1 Objetivos do Trabalho.....	24
1.2 Apresentação do trabalho.....	24
2. FUNDAMENTOS TEÓRICOS.....	26
2.1 Transistor MOSFET Convencional.....	26
2.2 Tecnologia SOI.....	27
2.2.1 Lâminas SOI.....	28
2.5 Transistores Reconfiguráveis.....	29
2.5.1 Pseudo MOS.....	30
2.5.2 Transistores Reconfiguráveis em estruturas de nanofios.....	31
3. Back Enhanced ^{BE} SOI MOSFET.....	32
3.1 Contatos Schottky.....	33
3.2 Princípio de Funcionamento.....	36
3.3. Equilibrando as correntes de dreno dos RFET.....	41
3.4 RFET de Contatos Ôhmicos.....	43
4. PROCESSO DE FABRICAÇÃO.....	46
4.1 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio.....	46
4.2 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de siliceto de níquel.....	55
4.3 Processo de fabricação utilizando lâmina SOI do tipo UTBB com óxido enterrado de 25 nm e eletrodo de contato com fonte e dreno de alumínio.....	60
4.4 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio sem etapa de sinterização.....	64
5. CARATERIZAÇÃO ELÉTRICA E ANÁLISES.....	71

5.1 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio	71
5.2 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de siliceto de níquel	77
5.2.1 Melhorias na formação da junção Schottky.	82
5.2.2 Transistores ^{BE} SOI com junção Schottky de NiSi e correntes equilibradas.....	85
5.3 Processo de fabricação utilizando lâmina SOI do tipo UTBB com óxido enterrado de 25 nm e eletrodo de contato com fonte e dreno de alumínio.	89
5.4 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio sem etapa de sinterização.....	94
6. CONCLUSÕES E PERSPECTIVAS	100
REFERÊNCIAS	102
ANEXOS	109
Anexo A – Lista de Publicações	109

1. INTRODUÇÃO

A tecnologia de fabricação de circuitos integrados (CIs) proposta inicialmente por Jack Kilby em 1959 (KILBY, 1959), permite a obtenção de circuitos em um único substrato. Este conceito aumenta a confiabilidade e reprodutibilidade de tais circuitos, além de reduzir o custo de produção, permitindo o desenvolvimento de um ramo industrial para esta finalidade. Esta indústria passa a se expandir rapidamente e, apenas alguns anos depois da proposta inicial, Gordon Moore observa que este desenvolvimento estava seguindo um ritmo de crescimento exponencial do número de componentes em um circuito integrado (MOORE, 1965). Moore, que é co-fundador da Intel, baseia-se no fato de que a redução dos custos é uma das maiores vantagens dos CIs e, que esta vantagem tende a aumentar com a evolução da tecnologia permitindo aumentar o número de transistores por CI, ao mesmo tempo em que aumenta as funções de um circuito obtido em um único substrato semicondutor. Esta constatação ficou conhecida como “Lei de Moore” e impunha as condições mínimas para uma empresa ser competitiva. Inicialmente tais condições seguiam a tendência de dobrar o número de transistores em um CI a cada 12 meses, posteriormente a taxa foi reduzida para 18 a 24 meses (OSTENDORFAND, et al., 2015).

De todo modo os avanços dos CIs nas últimas décadas são notáveis e, até agora, ocorrem simultaneamente no dimensionamento de dispositivos e no crescimento de CIs em funcionalidade e complexidade. (BROZEK, 2015). Esta evolução vertiginosa está baseada na redução das dimensões do dispositivo básico que compõe os CIs, o transistor MOSFET. A progressiva redução de suas dimensões permite aumentar a complexidade dos circuitos e reduzir seu custo simultaneamente. Em geral, o custo destes dispositivos está diretamente relacionado a área que ocupam, por isso, de forma simplificada, pode-se dizer que reduzir dimensões significa reduzir custos. O estado da arte atual permite a construção destes dispositivos com dimensões mínimas de 3nm (IRDS, 2021). Ou seja, estamos nos aproximando rapidamente de dimensões atômicas. O que nos leva a pergunta: será possível manter este ritmo de evolução tecnológica

com a mesma estratégia de redução de dimensões pelas próximas décadas? Esta é a pergunta para a qual não há uma resposta fácil.

Há uma grande variedade de propostas em estudo, e cada uma adotando uma estratégia diferente para manter este ritmo de evolução tecnológica na fabricação de CI's pelas próximas décadas. Algumas destas estratégias propõem o rompimento com a atual tecnologia CMOS, baseada no controle de corrente elétrica através do transistor MOSFET, e a substituição do transistor como unidade de chaveamento. Entre elas destacam-se:

- **Computação Quântica:** é o termo genérico para se referir ao processamento de dados a partir de medidas quânticas como spin de elétrons (ZUTIC, 2004), Efeito Josephson (JOSEPHSON, 1974), entre outros. Em novembro de 2021, a IBM lançou o processador quântico Eagle's de 127 qubit, primeiro a superar a marca de 100 qubit (CHOW, 2021). As vantagens relacionadas são a realização de complexas análises em tempo muito reduzido, permitindo entre outras, a simulação de reações químicas complexas, desenvolvimento de novos medicamentos e materiais. No entanto, há limitações relacionadas à custos e dificuldades operacionais principalmente relacionadas ao controle de temperatura destes sistemas que necessitam de temperaturas criogênicas (temperaturas próximas de 1 K) para operar. Atualmente, portanto, são alternativas para a solução de problemas complexos específicos e a serem utilizados em instalações sofisticadas. Não podem competir, no momento, com a atual tecnologia CMOS em aplicações de larga escala e de custo reduzido como computadores pessoais e "Smartphones", por exemplo.

Outras estratégias buscam manter o transistor como elemento básico dos circuitos, mas pretendem incrementar seu desempenho com a introdução de materiais como:

- **Materiais (III-V/Ge):** A utilização de um material de canal que proporciona alta mobilidade de portadores e, portanto, alta

velocidade de injeção de portadores de carga que pode aumentar a corrente e reduzir o atraso dos dispositivos (KRISHNAMOHAN, 2008) permitindo a continuidade do escalamento. Os elevados valores de mobilidade de lacunas, para Ge, e de elétrons, para os materiais III-V como GaAs, são amplamente conhecidos. Estes materiais historicamente apresentam dificuldades de interfaces com materiais isolantes e camadas de passivação. No entanto, as técnicas de fabricação como ALD (*atomic layer deposition*) e os necessários dielétricos *high-k*, tem diminuído esta desvantagem em relação Si (HEYNS, 2009). As maiores dificuldades atuais são as elevadas correntes de fuga (I_{OFF}) (KRISHNAMOHAN, 2008) e, também, não se deve desprezar os elevados custos de integração de processos de fabricação III-V e Ge num único substrato.

- **Materiais 2D/Grafeno:** O escalamento de dispositivos MOSFET depende, em parte, de se obter junções de fonte/dreno rasas e filmes de Si finos. Por isso, desde que se demonstrou a obtenção de um FET em grafeno (NOVOSELOV, 2004), material que apresenta mobilidade de portadores muito superior ao observado no Si e espessura de uma única camada atômica, muitos estudos tem sido realizados a respeito (MIRÓ, 2014). No entanto, estes estudos tem demonstrado que a inexistência da banda proibida (*bandgap*) no grafeno eleva muito a corrente de fuga (I_{OFF}), inviabilizando sua aplicação para lógica digital, ainda que outras aplicações como RF sejam promissoras (KAUSHAL, 2022). Isto encorajou o desenvolvimento de outros materiais 2D como: fosforeno e TMDs (dicalcogenetos de metais de transição como: MoS₂, MoSe₂, WSe₂ e muitos outros). Materiais com potencial para aplicações em eletrônica flexível e ultra baixa potência, respectivamente (NICHOLS, 2016). A grande variedade de materiais 2D permite vantagens específicas para projetar um dispositivo, sensor e fabricar um circuito eletrônico otimizado a nível de pesquisas (KAUSHAL, 2022). No entanto, esta enorme variedade de materiais e processos tem dificultado a implementação industrial de larga escala. Talvez

haja ainda um caminho a ser percorrido para o amadurecimento de tais processos, até tornarem-se vantajosos comercialmente.

- Transistores de Tunelamento (TFET): Estes transistores dependem do tunelamento dos portadores de carga, modelado pela mecânica quântica e, ao contrário dos transistores de efeito de campo convencionais (MOSFETs), podem potencialmente requerer menos de 60 mV de variação de tensão de porta para induzir uma ordem de magnitude na variação da corrente de dreno na região de sublimiar (SS) à temperatura ambiente. Embora o desenvolvimento inicial de TFETs tenha sido usando Si como semicondutor, atualmente, os TFETs baseados em Si parecem ter uma dificuldade essencial em obter simultaneamente baixa inclinação de sublimiar (SS) e alta corrente de dreno (I_{ON}) por causa da baixa probabilidade de tunelamento causada por uma alta banda proibida indireta, uma limitação intrínseca ao Si (TAKAGI, 2016). Por isto, diversos outros materiais semicondutores com composições complexas e heterojunções tem sido estudados. Os TFETs de heteroestrutura III-V são promissores para aplicações de baixa potência, mas são superados pelos MOSFETs em termos de velocidade e eficiência energética quando é necessário alto desempenho em tensões de acionamento mais altas (CONVERTINO, 2021). E, também, as complexas composições dos semicondutores elevam significativamente os custos de produção em larga escala.

Existem ainda aquelas abordagens mais conservadoras, baseadas no MOSFET obtido de materiais já comumente utilizados na indústria de semicondutores, e em que o melhor desempenho é obtido através de uma arquitetura que permita maior controle eletrostático:

- FinFET: São os transistores mais adotados industrialmente, entre os chamados transistores de múltiplas portas (MuGFET ou 3D). São constituídos por uma aleta (Fin) de material semicondutor, normalmente Si, entorno do qual se deposita a estrutura de porta. Deste modo há um melhor controle eletrostático da porta sobre as cargas no canal. É muito usado a partir do nó tecnológico de 22 nm,

pois incrementa parâmetros como inclinação de sublimiar (SS), razão I_{ON}/I_{OFF} , entre outros afetados pelos chamados efeitos e canal curto (MAURYA, 2021). Estas vantagens são obtidas graças ao uso de aletas estreitas de Si, baixa dopagem do canal e duas portas para melhor controle das cargas (GHAI, 2013). Estes transistores FinFETs também ficaram conhecidos como transistores 3D, nome dado pela Intel, teve sua fabricação também realizada com feixe de elétrons pela primeira vez no Brasil, em ambiente de pesquisa universitária na USP (MARTINO, SANTOS, SEABRA, POJAR, RANGEL, 2012) com o objetivo de contribuir com a popularização desta tecnologia na comunidade nacional (RANGEL, 2013). Entretanto, estima-se que para o nó tecnológico 5 nm em diante o controle eletrostático fornecido pelos FinFETs não seja suficiente, e tornam-se necessários dispositivos com porta toda ao redor do canal do transistor (IRDS, 2021).

- Nanofios/Nanofolhas com porta toda ao redor (GAA): São dispositivos com dimensões nanométricas (1-100nm) em que se constroem a estrutura de porta envolvendo todo o canal, incrementando o controle eletrostático em relação aos MuGFET, como FinFETs, por exemplo (AHMAD, 2020). Principalmente existem dois tipos do dispositivo GAA um é "dispositivo nanofio", e outro é "dispositivo nanofolha", que pode ser entendido como uma folha com espessura próxima ao diâmetro dos nanofios, ou seja, alguns nanômetros. O GAA MOSFET é considerado como o "cavalo de tração" da indústria de semicondutores nos próximos anos (BHOL, 2021). Entretanto, com o escalamento levando a dispositivos com dimensões próximas a de átomos, estima-se que as dificuldades técnicas e os custos de fabricação atinjam níveis proibitivos.
- Empilhamento de dispositivos GAA (3D VLSI): Quando não for mais possível escalar os MOSFET, e para prosseguir com o adensamento de transistores nos CIs, surgem propostas de empilhar os dispositivos, este conceito tem sido chamado de "3D VLSI" (ARABI, 2015). Esta proposta deverá ser industrialmente adotada com o

desenvolvimento de técnicas de fabricação *Bottom-Up* (de baixo para cima) (BALZANI, 2008). São técnicas promissoras, mas com desafios importantes a serem superados, para aplicações em larga escala (IRDS, 2021).

Considerando estas 3 linhas gerais de propostas apresentadas, parece não haver disposição na indústria de semicondutores para abandonar o transistor MOSFET no curto prazo, e mesmo a implementação de novos materiais, que poderiam prolongar o escalamento dos dispositivos MOSFET, está cercada de incertezas, dificultando investimentos para a produção em larga escala. Mudanças são possíveis, as pesquisas estão em andamento, mas o cenário do momento aponta para um desenvolvimento mais conservador. Ainda que não tenha mais a mesma perspectiva de se manter por décadas, já que os custos são crescentes e, como observado no início, o fundamento do escalamento é a redução de custos.

Há, no entanto, uma inovadora perspectiva de desenvolvimento, que é usar a mesma área de um CI para mais de uma função. É chamada de arquitetura reconfigurável (NAVARRO, et al., 2017). Esta abordagem depende de um novo dispositivo, que seja reconfigurável também, isto é, que possa trabalhar como um transistor MOSFET do tipo P ou tipo N, alterando apenas uma polarização.

Esta última surge como uma alternativa que permita aumentar as possibilidades de processamento de dados, já que incrementa as funções do elemento básico (transistor), sem que para isto seja necessário romper com o conhecimento e com a infraestrutura acumulados ao longo da história da indústria de semicondutores. E, simultaneamente, pode incorporar melhorias, como novos materiais e/ou novos processos de fabricação, que estão sendo pesquisadas para os dispositivos atuais, já que os reconfiguráveis também são MOSFET.

Há muitos tipos de transistores de efeito de campo reconfiguráveis (RFET) que vêm sendo estudados em vários grupos de pesquisa no mundo, a maior parte deles usa estruturas de nanofios (WESSELY, 2013). Mas este tipo de estrutura é de difícil fabricação e controle, o que inviabiliza o estudo deste tipo de dispositivo em laboratórios universitários mais simples.

O transistor BE “Back Enhanced” SOI MOSFET (RANGEL, et al., 2015), desenvolvido no Brasil e registrado pela patente de número BR 10 2015 020974 6, é uma alternativa para unir (i) as vantagens de dispositivos SOI (uma tecnologia amplamente conhecida e bem estabelecida na indústria (IRDS, 2021), com (ii) uma fabricação mais simples (sem dopagem e apenas três etapas de litografia (RANGEL, 2014)) e (iii) as características reconfiguráveis (podem funcionar como um tipo p ou n) apenas aplicando diferentes polarizações na porta de programação (“back gate”) (WESSELY, 2013). A Figura 1 mostra esquematicamente o perfil deste transistor ^{BE} SOI MOSFET.

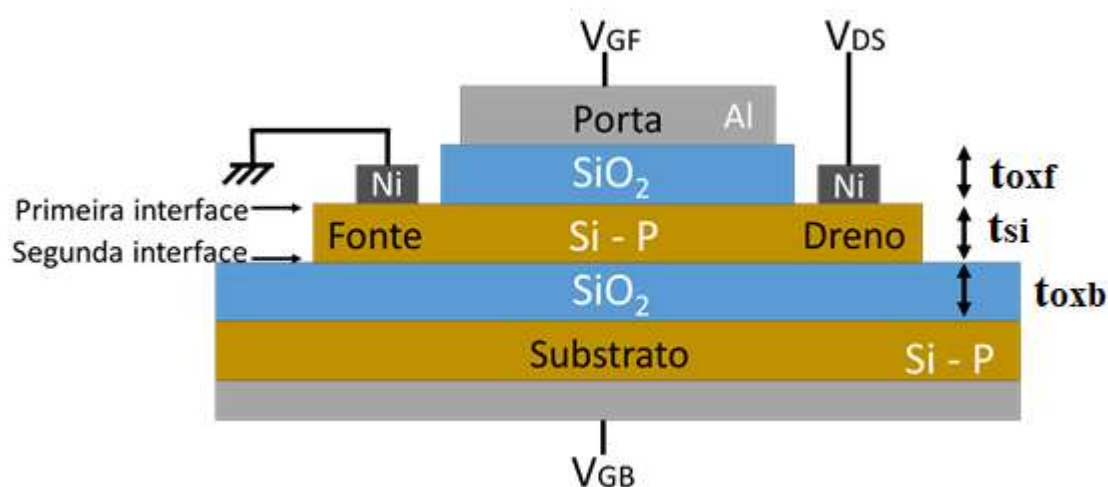


Figura 1 - Perfil de um transistor ^{BE}SOI MOSFET.

Fonte: Adaptado de Leonardo Yojo et.al.

Assim ao se aplicar polarizações negativas suficientemente elevadas na porta de programação – back gate (V_{GB}), induzirá a formação uma camada de lacunas na segunda interface, entre o canal de silício e óxido enterrado (Back interface), permitindo a condução de corrente elétrica entre os terminais de fonte e dreno. Nesta polarização o transistor funciona como do tipo P. Analogamente, para polarizações suficientemente positivas na porta de programação, será induzido um canal de elétrons na segunda interface, possibilitando o fluxo de corrente de fonte para dreno, funcionando como um transistor tipo N.

Neste trabalho são apresentadas 2 possibilidades para o ^{BE}SOI MOSFET obter a característica reconfigurável. Na primeira não é necessário uma etapa de dopagem durante a fabricação do dispositivo, permanecendo apenas a dopagem

natural da lâmina (YOJO, et al., 2017). No entanto os eletrodos (metal) de contato com a região de baixa dopagem de fonte e dreno leva a formação de uma junção Schottky (STREETMAN, 1995). Esta é a abordagem predominante na literatura especializada (MIKOLAJICK, 2021).

Alternativamente, este trabalho propõe a substituição de junções Schottky em fonte e dreno, por 2 junções ôhmicas em cada terminal (uma favorece corrente de lacunas e outra de elétrons). As vantagens relativas são abordadas e debatidas neste texto.

1.1 Objetivos do Trabalho

O objetivo deste trabalho é obter um processo de fabricação de transistores SOI reconfiguráveis simples, estudar suas características principais e propor algumas aplicações. Para isto é necessário realizar três grandes tarefas:

- I. Projetar um processo simples para fabricação de um transistor reconfigurável planar baseado na estrutura SOI (^{BE}SOI MOSFET).
- II. Fabricar o dispositivo reconfigurável ^{BE}SOI MOSFET, a partir do projeto executado, utilizando, sempre que possível, etapas de processamento simples, com o objetivo de se ter transistores ^{BE}SOI tipo P e tipo N o mais próximo possível da simetria das características elétricas.
- III. Caracterizar eletricamente os dispositivos construídos estudando suas características elétricas básicas e propor as alterações no processo de fabricação para melhoria do dispositivo.

1.2 Apresentação do trabalho

Este trabalho está organizado em 5 capítulos, como descrito a seguir:

Capítulo 1 - Introdução – Apresenta uma breve discussão sobre as propostas de desenvolvimento CIs e contextualiza os transistores reconfiguráveis dentro deste cenário tecnológico, objetivos e forma de apresentação do trabalho.

Capítulo 2 - Fundamentos teóricos – Apresenta o estudo dos principais fundamentos teóricos necessários à compreensão dos transistores reconfiguráveis.

Capítulo 3 – Back Enhanced BE SOI MOSFET – Apresenta os princípios de funcionamentos e principais características do transistor reconfigurável proposto.

Capítulo 4 – Processo de Fabricação – Apresenta o processo de fabricação simplificado de um transistor ^{BE} SOI, já adaptado às fotomáscaras disponíveis. Apresenta também as etapas de processo desenvolvidas, e são descritas todas as etapas utilizadas na fabricação dos dispositivos. São mostradas também algumas caracterizações de acompanhamento, tais como medidas de espessura, índice de refração e resistividade dos filmes utilizados.

Capítulo 5 - Caracterização elétrica e análises – Apresenta a caracterização elétrica dos dispositivos. A partir dos resultados elétricos medidos, das características do projeto e das medidas de acompanhamento de fabricação, são discutidos os resultados obtidos.

Capítulo 6 – Conclusões e Perspectivas - Apresenta as conclusões e trabalhos futuros.

2. FUNDAMENTOS TEÓRICOS

Este capítulo destina-se a apresentar e discutir alguns conceitos básicos sobre alguns materiais, tecnologia de fabricação de dispositivos semicondutores e parâmetros elétricos de transistores reconfiguráveis. As discussões dos próximos capítulos estão apoiadas nestes conceitos básicos.

2.1 Transistor MOSFET Convencional

Basicamente, o transistor MOS consiste em estrutura de porta, formada por um metal (M), depositada sobre isolante (SiO_2 , por exemplo) (O), crescido a partir de um substrato de silício (S). Esta estrutura central, metal-óxido-semicondutor (MOS), separa duas junções, a fonte e o dreno. A Figura 2 mostra a estrutura básica de um MOSFET canal N.

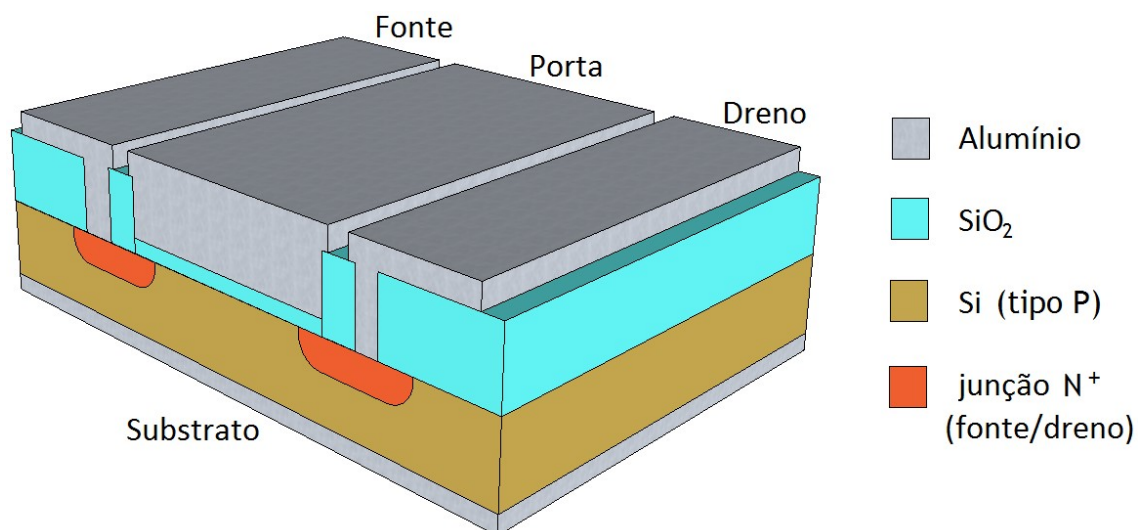


Figura 2 – Estrutura básica de um MOSFET canal N.

O potencial positivo aplicado à porta com relação a fonte no caso do nMOS induz a presença de cargas negativas no canal, região imediatamente abaixo do óxido de porta (SiO_2), e com isto, controla a corrente elétrica entre fonte e dreno.

No início do desenvolvimento da tecnologia MOS, os circuitos nMOS foram mais atrativos. Devido à simplicidade de processo, alta velocidade e alta densidade de integração (WOLF, 1990).

Gradativamente, à medida que os circuitos se tornavam mais complexos, a tecnologia CMOS (que utiliza transistores pMOS e nMOS, construídos no mesmo substrato) equiparou-se à tecnologia nMOS. Com a diminuição das dimensões (escalamento) a tecnologia CMOS tornou-se tão rápida quanto a nMOS, a densidade de integração tornou-se equivalente devido a simplicidade de projeto e, principalmente, a potência dissipada num circuito integrado CMOS é muito menor comparada ao nMOS (MARTINO, 1988).

O contínuo escalamento (redução das dimensões dos dispositivos) tornou necessário aumentar a complexidade dos processos de fabricação, levando a processos com múltiplas cavidades e maior o custo de fabricação dos circuitos integrados. Outro problema decorrente da diminuição das dimensões foi o efeito de canal curto e o aparecimento do efeito tiristor parasitário “latch-up”, ou seja, parasitariamente ao circuito CMOS existiam estruturas PNPN (tiristor) que, em certa condição de polarização, poderiam disparar danificando o circuito integrado (COLINGE, 1991).

O substrato SOI “Silicon-On-Insulator” surge para solucionar esta dificuldade da tecnologia CMOS em substratos de silício convencionais, minimizando os efeitos de canal curto e proporcionado uma isolamento entre os transistores e o substrato, eliminando o efeito tiristor parasitário.

2.2 Tecnologia SOI

Não se podem desprezar os fenômenos elétricos que ocorrem devido à presença de um substrato semiconductor muito mais espesso que o necessário para a obtenção dos transistores MOS. Alguns destes fenômenos são considerados parasitários, ou seja, são indesejáveis e prejudicam o desempenho dos transistores, tais como capacitâncias de junção, corrente de fuga nas

junções, diminuição da barreira de potencial fonte/substrato induzida pelo potencial do dreno (DIBL) (MARTINO, 1998), entre outros.

Nos dispositivos nMOSFET tradicionais a isolamento entre regiões N+ e o substrato tipo P é feita mantendo-se a junção reversamente polarizada. Mas considere que seja possível introduzir um material dielétrico para isolar as junções, ou seja, diminuir a área das junções. Todos os efeitos parasitários devido à presença do substrato semiconductor serão minimizados. Esta é a ideia básica de um dispositivo SOI.

2.2.1 Lâminas SOI

As lâminas SOI são compostas por uma fina camada de silício (dentro da qual os dispositivos serão construídos) sobre uma camada de material isolante, que por sua vez está sobre uma lâmina de silício (COLINGE, 1991). Observe a *Figura 3*, que mostra um perfil de uma lâmina SOI (a) e um dispositivo nMOSFET construído sobre esta lâmina (b).

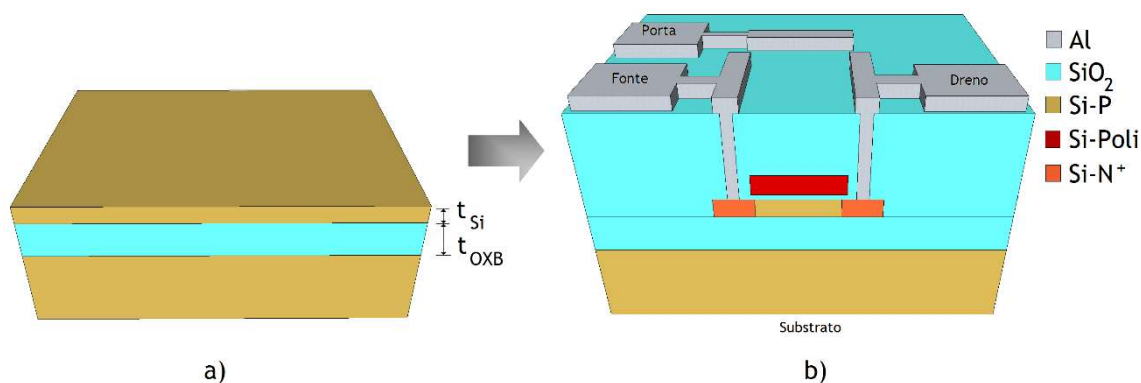


Figura 3 – (a) Desenho em perspectiva de uma Lâmina SOI e (b) dispositivo SOI nMOSFET .

Para obter uma lâmina com estas características existem diversas técnicas (MARTINO, 1998). A que se tornou mais popular e é usada neste trabalho, é a técnica de adesão de lâminas oxidadas, posterior corte devido à implantação de hidrogênio e polimento da superfície, conhecida como Smart-Cut® (BRUEL,

1997) e (CELLER, 2003). A Figura 4 ilustra a técnica Smart-Cut® para obtenção de lâminas SOI.

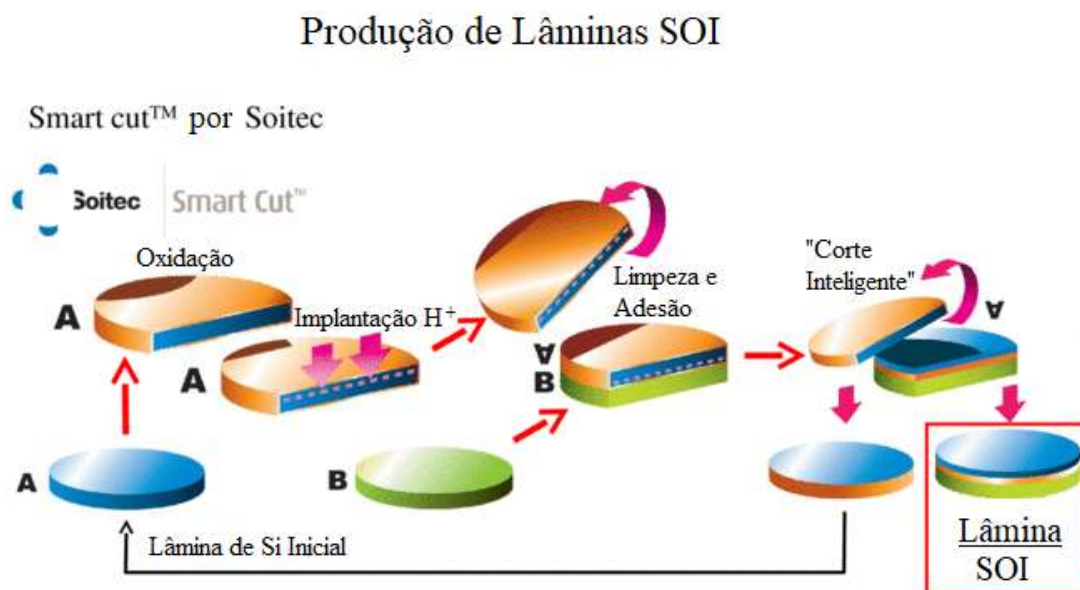


Figura 4 – Técnica Smart-Cut® de obtenção de Lâminas SOI.

Fonte: SOITEC.

2.5 Transistores Reconfiguráveis

O transistor de efeito de campo reconfigurável (RFET), é um dispositivo eletrônico cujo mecanismo de condução pode ser reconfigurado, reversivelmente, entre os modos de operação tipo N e tipo P. Para habilitar essa funcionalidade, esses dispositivos não dependem da dopagem química causada por impurezas, mas sim da “dopagem” eletrostática, ou seja, a geração de portadores de carga elétrica (elétrons ou lacunas) através de um potencial externo (MIKOLAJICK, 2021). Desta forma um RFET pode funcionar como nMOS ou pMOS dependendo do potencial externo, economizando assim espaço no circuito integrado, que é o conceito de um dispositivo reconfigurável (WESSELY, 2013). Eles foram desenvolvidos para circuitos lógicos reprogramáveis (TROMMER, 2014), onde, alterando o tipo dos transistores, uma mesma área de uma lâmina de silício pode atuar para mais de uma função lógica.

Este conceito, pode ser melhor entendido através de uma estrutura usada no início do desenvolvimento do SOI, o pseudo MOS (CRISTOLOVEANU, 1992).

2.5.1 Pseudo MOS

Antes da técnica *Smart-Cut*®, a obtenção de lâminas SOI apresentava uma série de desafios, principalmente os defeitos intrínsecos nas ligações Si-SiO. No início dos anos 1990 a técnica SIMOX (HEMMENT, 1986) era a mais utilizada na produção das lâminas SOI, mas era necessário mensurar e manter a concentração de defeitos nas interfaces sob controle (HILL, 1988). Então ao final do processo de obtenção da lâmina SOI, era necessário se determinar suas características principais.

O pseudo-MOS (CRISTOLOVEANU, 1992) foi apresentado como uma técnica não destrutiva para caracterizar eletricamente estas lâminas SOI. Esta técnica consiste em obter curvas características de transistores MOS, somente usando uma base metálica para polarizar o substrato da lâmina SOI, e duas pontas de prova para polarizar regiões diferentes do silício sobre o isolante. Em outras palavras, isto significa usar o substrato como terminal de porta, o óxido enterrado da lâmina SOI como óxido de porta e adicionar os terminais de fonte e dreno, fazendo com que duas pontas de prova toquem o silício sobre o isolante. A Figura 5 mostra um perfil esquemático originalmente apresentado em 1992 (os termos foram traduzidos) e curvas características obtidas naquele momento.

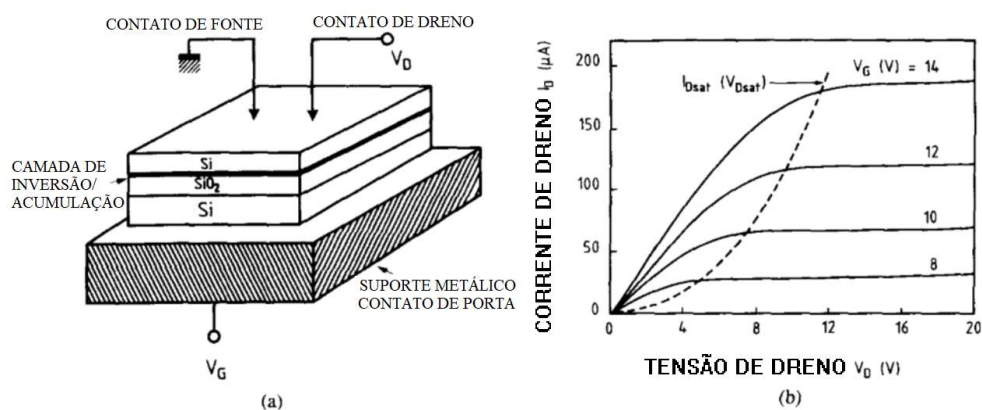


Figura 5 – (a) Esquema do pseudo-MOS em estruturas SOI. (b) Corrente de dreno típica em função da tensão de dreno para diferentes tensões de porta.

Fonte: Adaptado de CRISTOLOVEANU, S. et. al. Point-Contact Pseudo-MOSFET for In-Situ Characterization of As-Grown Silicon-on-Insulator Wafers. Electron Device Letters, IEEE (Volume:13, Issue:2), p. 102-104. 1992.

A Figura 5 nos permite concluir que há a formação de uma camada de inversão/acumulação na interface Si-SiO₂, e esta permite a passagem de corrente elétrica entre fonte e dreno. As características desta corrente elétrica permitem extrair diversos parâmetros elétricos tais como a mobilidade dos portadores, tanto elétrons quanto lacunas. E isto levou esta estrutura a ser aplicada na caracterização elétrica de lâminas SOI.

Posteriormente a técnica *Smart-Cut*® faria com que a interface entre o Si e o SiO₂ enterrado fosse tão boa quanto as melhores interfaces de dispositivos MOS, tornando caracterizações como o pseudo-MOS menos necessárias.

2.5.2 Transistores Reconfiguráveis em estruturas de nanofios.

Embora a técnica de caracterização associada ao pseudo-MOS tenha praticamente caído em desuso, o conceito de usar a polarização do substrato como meio de formar uma camada de inversão/acumulação ressurgiu como forma de obter um transistor reconfigurável (SCHWALKE, et al., 2013).

A Figura 6 mostra um transistor reconfigurável construído em um nanofio.

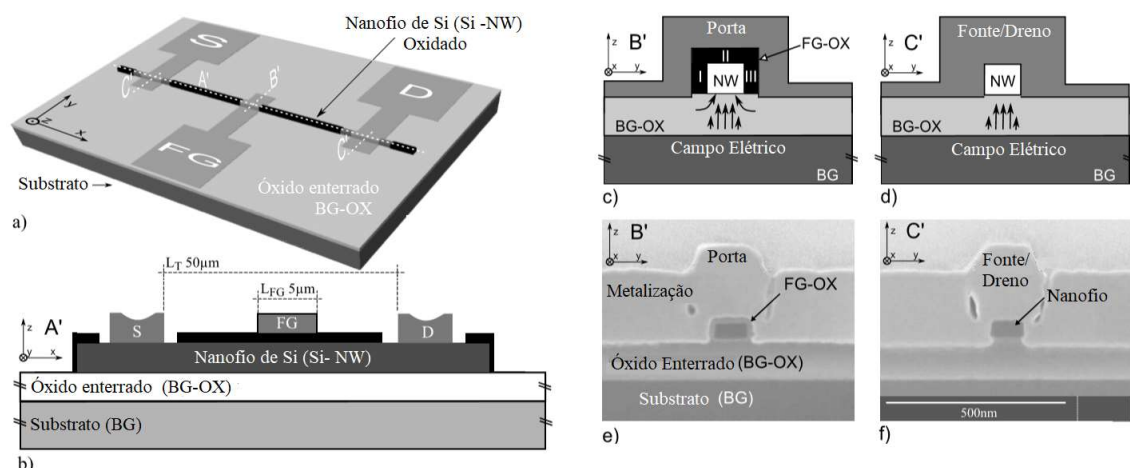


Figura 6 – Desenhos e imagens MEV de um transistor reconfigurável em estrutura nanofio. a) Visão geral com as indicações de cortes. b) Seção transversal A' ao longo do nanofio. c) Vista em seção transversal da seção B' na região da porta. d) Vista em corte transversal da região de fonte/dreno C'. e) Imagem de microscopia eletrônica do nanofio obtida em lâmina SOI através da seção da porta B'. f) O mesmo, mas através da região Fonte/Dreno C'.

Fonte: Adaptado de SCHWALKE, U.; et. al.. Dopant-Free CMOS on SOI: Multi-Gate Si-Nanowire Transistors for Logic and Memory Applications. ECS Transactions, 53(5), 2013.

Neste caso a tensão aplicada ao substrato (ou porta de programação) seleciona o tipo de portador de corrente elétrica (elétrons ou lacunas). Após

selecionado um tipo de portador, a tensão aplicada à porta (ou porta de controle), controla a passagem de corrente entre fonte e dreno. O eletrodo de porta apresenta uma configuração tipo π (Pi) que resulta em um excelente controle eletrostático da porta sobre a seção transversal do canal, facilitando o controle da corrente e até o desligamento completo (corte) do dispositivo. No entanto, a estrutura em nanofio com eletrodo de porta na configuração tipo π , exige uma sequência de fabricação um pouco mais complexa. Por exemplo, para a obtenção de um nanofio é indispensável uma etapa de litografia por feixe de elétrons, equipamento caro e de processo demorado, ou seja, utilizado frequentemente em pesquisa, mas não a um processamento em larga escala industrial.

3. *Back Enhanced* ^{BE}SOI MOSFET

Ao integrar as propostas de obter um transistor reconfigurável e, simultaneamente, valorizar a simplicidade do conceito original do pseudo-MOS, foi proposta a fabricação de um transistor reconfigurável planar (sem a necessidade de uma estrutura complexa para a litografia) obtido em lâmina SOI, com porta metálica, que recebeu o nome de “Back Enhanced” ^{BE}SOI MOSFET. O nome refere-se ao modo de funcionamento em que os portadores são induzidos pelo campo elétrico aplicado pelo substrato (Back Gate). Este campo elétrico enriquece a interface entre o silício e o óxido de silício enterrado da estrutura SOI com os portadores de corrente elétrica (elétron ou lacuna). Esta interface é comumente chamada de “back interface” em vários artigos especializados.

Um dos conceitos fundamentais deste dispositivo é a simplicidade de fabricação. Devido a isto não há etapas de dopagem de fonte/dreno e canal, e usa apenas três etapas de fotolitografia. Isto é possível ao utilizar o óxido enterrado como isolamento de campo entre os dispositivos, processo este já realizado no laboratório LSI/USP anteriormente (RANGEL, 2014). A sequência completa de etapas de fabricação é apresentada no capítulo 4.

Porém a quantidade de portadores no canal (elétrons ou lacunas) induzida pela polarização do substrato é fortemente dependente da disponibilidade destes portadores serem injetados pelo eletrodo de contato entre fonte/canal e

dreno/canal, uma vez que não existe a forte dopagem de fonte/dreno presente nos transistores MOS convencionais. Para isto será necessário que o contato fonte/canal e dreno/canal seja do tipo Schottky, que se for devidamente projetado, poderá injetar os portadores necessários em cada caso.

3.1 Contatos Schottky

O contato elétrico entre um metal e um semicondutor pode gerar um contato de baixa resistência, chamado contato ôhmico ou pode gerar um contato retificador chamado contato Schottky. A característica fundamental que define se um contato será do tipo ôhmico ou Schottky é a função trabalho dos materiais envolvidos neste contato, ou seja, a função trabalho do metal (Φ_m) e do semicondutor (Φ_s).

A função trabalho de um material (Φ) é a diferença de energia entre localiza o estado com energia de vácuo (nível de vácuo) e o estado com a energia de Fermi (nível de Fermi) para o material em questão. Em outras palavras representa a menor energia necessária para um elétron escapar de um material (STREETMAN, 1995), atingindo assim o nível de vácuo.

No que se refere à compreensão de um contato elétrico, a função trabalho é um parâmetro de comparação do nível energético dos elétrons num material. Quanto maior for a função trabalho, maior a energia necessária para remover um elétron deste material. E, portanto, quando dois materiais com função trabalho diferentes forem colocados em contato haverá um fluxo de elétrons, originado no material com menor função trabalho, ou seja, maior nível de Fermi (elétrons com nível energético mais próximo do nível de vácuo, conseqüentemente deixam seu material de origem com mais facilidade) em direção ao material com maior função trabalho, ou seja, menor nível de Fermi, até que se atinja o equilíbrio termodinâmico, ou seja, até que os níveis de Fermi se igualem.

Considerando um contato entre um metal e um semicondutor este fluxo de elétrons terá conseqüências na distribuição de cargas na interface entre os materiais. Por exemplo, ao se realizar um contato elétrico entre um metal e semicondutor extrínseco tipo N e em que a função trabalho do metal é menor que a do semicondutor ($\Phi_m < \Phi_s$), haverá um fluxo de elétrons do metal para o semicondutor, fazendo com que na interface entre os materiais haja uma camada

de acumulação (elétrons) no semicondutor tipo N. Esta situação caracteriza um contato ôhmico, ou seja, há cargas majoritárias na interface entre metal e semicondutor, e assim, não há barreira entre metal e semicondutor (qualquer que seja a tensão aplicada haverá corrente elétrica de portadores majoritários através do contato). A Figura 7 mostra esquematicamente o exemplo proposto.

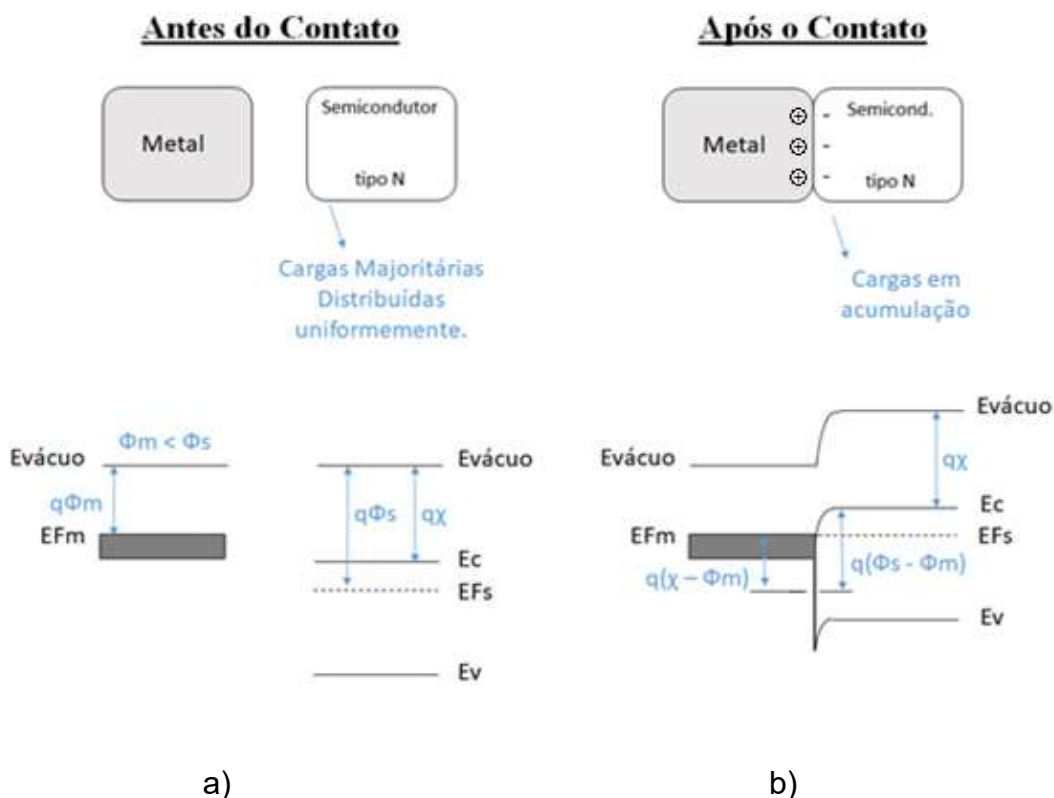


Figura 7 – Contato ôhmico entre metal e semicondutor tipo N, (a) diagrama de cargas e (b) diagrama de faixas de energia.

Fonte: Adaptado de STREETMAN, B. G. Solid State Eletronic Devices., 1995.

Onde:

Φ_m é a função trabalho do metal;

Φ_s é a função trabalho do semicondutor;

χ é a afinidade eletrônica do semicondutor.

Analogamente pode-se obter um contato ôhmico entre um metal e um semicondutor tipo P, no entanto, neste caso, é necessário que a função trabalho do metal seja maior que a do semicondutor ($\Phi_m > \Phi_s$). Isto levará a existência de cargas majoritárias (lacunas) acumuladas no semicondutor próximo à interface com o metal.

O contato Schottky ocorre quando, após o contato, o fluxo de cargas faz surgir uma região de depleção na interface entre metal e semicondutor, dando ao contato característica retificadora, ou seja, surge uma barreira de potencial no contato, fazendo com que uma corrente elétrica que atravessa o contato seja fortemente afetada pela polaridade da tensão aplicada.

Um semicondutor do tipo N, em contato com um metal, forma um contato Schottky se a função trabalho do metal for maior que do semicondutor ($\Phi_m > \Phi_s$). Pois isto permite um fluxo de elétrons do semicondutor para o metal. Mas quando as cargas majoritárias deixam o semicondutor em direção ao metal, surge uma região de cargas fixas positivas, a região de depleção. Esta área, também chamada de região de cargas espaciais, faz surgir um campo elétrico que se opõe ao fluxo de cargas majoritárias do semicondutor para o metal. Portanto a polaridade da tensão aplicada ao contato pode reduzir a região de depleção, favorecendo a corrente elétrica; ou se a polaridade for oposta, aumentar a região de depleção diminuindo muito a corrente elétrica. Torna-se um contato com característica retificadora, similar a uma junção P-N. A Figura 8 mostra esquematicamente o exemplo de contato Schottky proposto.

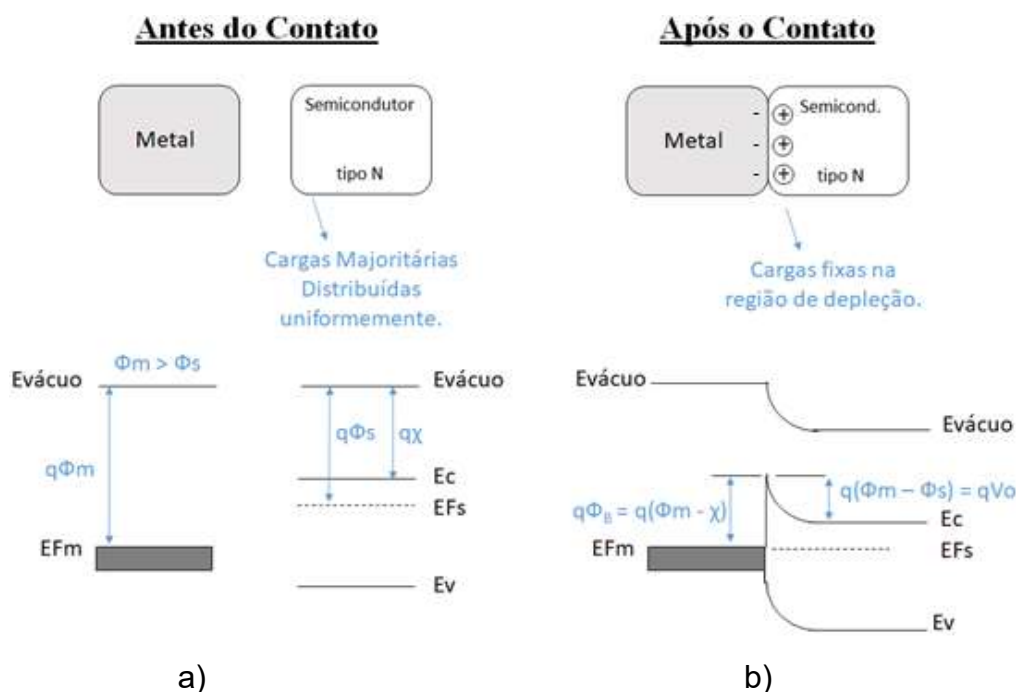


Figura 8 - Contato Schottky entre metal e semicondutor tipo N, (a) diagrama de cargas e (b) diagrama de faixas de energia.

Fonte: Adaptado de STREETMAN, B. G. Solid State Eletronic Devices., 1995.

De maneira análoga é possível obter um contato Schottky entre um metal e um semicondutor tipo P, no entanto, neste caso, é necessário que a função trabalho do metal seja menor que a do semicondutor ($\Phi_m < \Phi_s$). Isto levará a existência de cargas fixas (íons fixos negativos) formando uma região de depleção no semicondutor próximo à interface com o metal.

Observe, portanto, que o contato Schottky forma uma região de depleção na interface de contato, e conseqüentemente não depende exclusivamente dos portadores majoritários para conduzir corrente elétrica, como ocorre no contato ôhmico. Por outro lado, há uma barreira de potencial, o que limita a corrente total.

Para se obter um transistor reconfigurável, isto é, que possa conduzir elétrons e lacunas, este deve ter uma característica Schottky nos contatos de fonte e dreno (CRISTOLOVEANU, 1992). Ou seja, os contatos de fonte/dreno não podem apresentar barreiras de potencial excessivamente altas seja para um portador ou outro. Um dos modos de se obter um resultado interessante é a utilização de contatos de barreira Schottky no meio da banda proibida do silício, chamados de “midgap Schottky-barrier contacts” na literatura especializada (WESSELY, 2013).

Entretanto atingir a função trabalho exata para se obter o equilíbrio das correntes entre elétrons e lacunas (transistor tipo P e tipo N) é na prática uma tarefa árdua, sendo que a maioria dos RFETs reportados apresentam correntes assimétricas (HEINZIG, 2012).

3.2 Princípio de Funcionamento do ^{BE}SOI MOSFET

Como descrito anteriormente o contato Schottky nas regiões de fonte e dreno é fundamental para permitir a condução com ambos os portadores (elétrons e lacunas). No entanto, para evitar o indesejável efeito ambipolar relacionado às junções Schottky, é introduzido um terminal para porta de programação, que seleciona um tipo de portador, levando a um comportamento unipolar. Ao se aplicar uma tensão suficientemente negativa na porta de programação (substrato no caso do ^{BE}SOI MOSFET), haverá a formação de uma camada de lacunas no semicondutor. E, analogamente, ao aplicar uma tensão suficientemente positiva na porta de programação, haverá a formação de uma camada de elétrons no semicondutor. A porta de programação atua promovendo

uma espécie de dopagem induzida por campo elétrico, efeito também relatado na literatura como dopagem eletrostática (“electrostatic doping”). Esta abordagem vem sendo estudada para superar limitações de dopagens químicas em dispositivos de escala nanométrica (GUPTA, 2017).

Os dispositivos reconfiguráveis atuais podem ser divididos em duas categorias principais com base em suas diferentes montagens para a porta de programação. A Figura 9 mostra as diferentes estruturas.

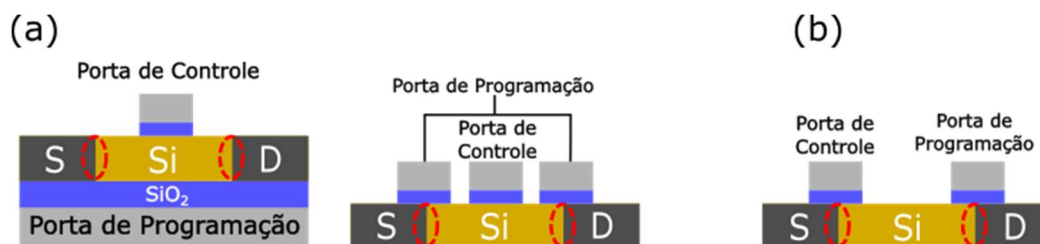


Figura 9 - Duas categorias principais de transistores reconfiguráveis. (a) Controle simultâneo das junções Schottky. (b) Controle independente das junções Schottky.

Fonte: Adaptado de MIKOLAJICK et. al. (2017).

A Figura 9(a) mostra duas modalidades do conceito com controle de barreira simultâneo (fonte e dreno) e bloqueio de canal adicional (porta de controle). Neste caso, aplicam-se potenciais iguais a ambas as junções Schottky, e isto leva ao acúmulo de lacunas ($V_{GB} < 0$) e elétrons para ($V_{GB} > 0$).

O conceito que utiliza o semiconductor abaixo do óxido enterrado da lâmina SOI como porta de programação simultânea (Figura 9(a)) se caracteriza pela simplicidade no processo de fabricação, sendo muito utilizado em ambiente acadêmico devido a esta simplicidade. Para (MIKOLAJICK, 2017) esta estrutura apresenta baixo acoplamento eletrostático, levando a altas tensões na porta de programação. É uma observação correta quando se leva em consideração as lâminas SOI convencionais (com óxidos enterrados espessos), mas este acoplamento eletrostático pode ser significativamente melhorado se os dispositivos forem obtidos em lâminas UTBB SOI (com óxidos enterrados mais finos), permitindo a redução nas tensões na porta de programação (RANGEL, 2020). Há uma importante desvantagem desta montagem quando levada em consideração para a obtenção de circuitos. Todos os FETs que são colocados no mesmo poço (e, portanto, têm a mesma porta de programação) só podem ser

reconfigurados em conjunto, o que limita significativamente a flexibilidade na implementação do circuito (MIKOLAJICK, 2017).

É possível controlar simultaneamente as junções Schottky com a utilização de estruturas de porta alinhadas às junções, como mostra ainda a Figura 9(a). Neste caso, em função do óxido de porta mais fino em relação ao óxido enterrado, é possível também reduzir a tensão na porta de programação (DE MARCHI, 2012). Na Figura 9(b) podem-se notar portas somente sobre as junções, de modo que a porta de programação e porta de controle atuam de forma a controlar independentemente as barreiras de potencial nas junções. Esta última apresenta a vantagem de requerer um comprimento menor, afinal possui 2 portas e não 3. Contudo, ausência de controle eletrostático no meio do canal (porta do meio) permite uma corrente em estado desligado maior (ZHANG, 2014).

Na prova de conceito do ^{BE}SOI MOSFET utiliza-se o substrato da lâmina SOI como porta de programação, como mostrado na Figura 10. Esta abordagem simplifica o processo de fabricação como é o caso deste trabalho. Em um processo mais sofisticado com o objetivo de obter circuitos integrados, poderiam se obter terminais de porta de programação independentes em um mesmo substrato, utilizando técnicas já conhecidas como formação de poços (well), para cada transistor, ou para um conjunto de transistores. Este conceito limita a flexibilidade como citado, mas não inviabiliza a obtenção de alguns circuitos. E também, a montagem simples permite estudar outros aspectos dos transistores reconfiguráveis, igualmente importantes para a obtenção de circuitos, como o nível de corrente de dreno e o equilíbrio entre as correntes no caso de dispositivo tipo P ou tipo N.

Uma vez que o tipo de comportamento (nMOS ou pMOS) tenha sido estabelecido pela polarização da porta de programação (V_{GB}), a camada de portadores formada na segunda interface permitirá a passagem de corrente elétrica entre dreno e fonte, desde que haja uma diferença de potencial entre estes terminais, e que o valor absoluto da tensão aplicada à porta de controle seja maior que a tensão de limiar ($|V_{GF}| > |V_{TH}|$).

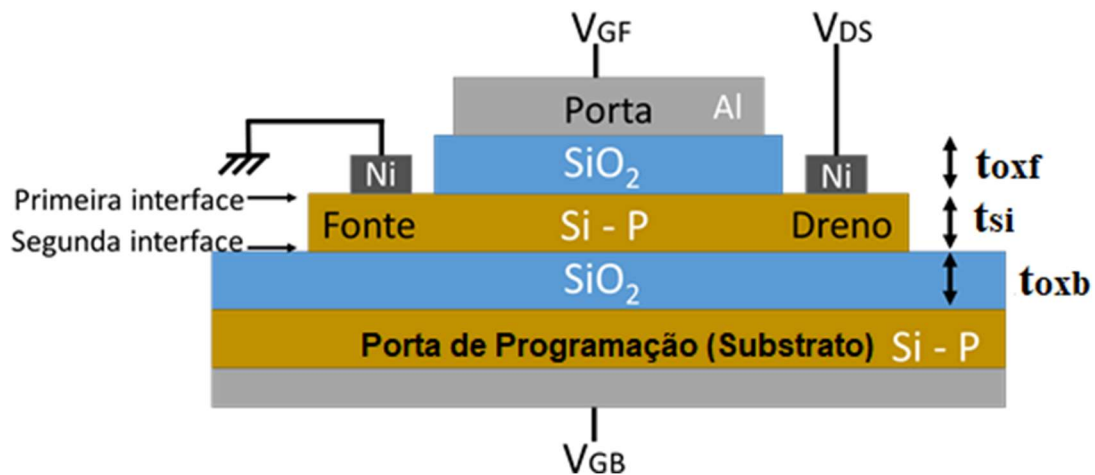


Figura 10 - Perfil esquemático do Transistor ^{BE}SOI MOSFET onde é possível observar o substrato sendo usado como porta de programação.

Fonte: Adaptado de Leonardo Yojo et.al., Reconfigurable Back Enhanced (BE) SOI MOSFET used to Build a Logic Inverter.

A Figura 11 mostra esquematicamente o princípio de funcionamento do dispositivo, quando funcionando no estado ligado, tanto para a configuração pMOS quanto nMOS. É possível observar um diagrama de cargas simplificado, destacando-se a formação de uma camada de portadores na segunda interface. Também se nota um diagrama de faixas de energia esquemático, e um circuito elétrico equivalente, ambos mostrando que o tunelamento de portadores através da junção Schottky reversamente polarizada desempenha um papel importante na corrente (TROMMER, et al., 2015).

A polarização da porta (V_{GF}) é usada para modular a corrente elétrica que atravessa o dispositivo (I_{DS}). Esta polarização pode levar o transistor ao estado desligado ($I_{DS}=0$), desde que o valor absoluto da tensão aplicada à porta de controle seja menor que a tensão de limiar ($|V_{GF}| < |V_{TH}|$).

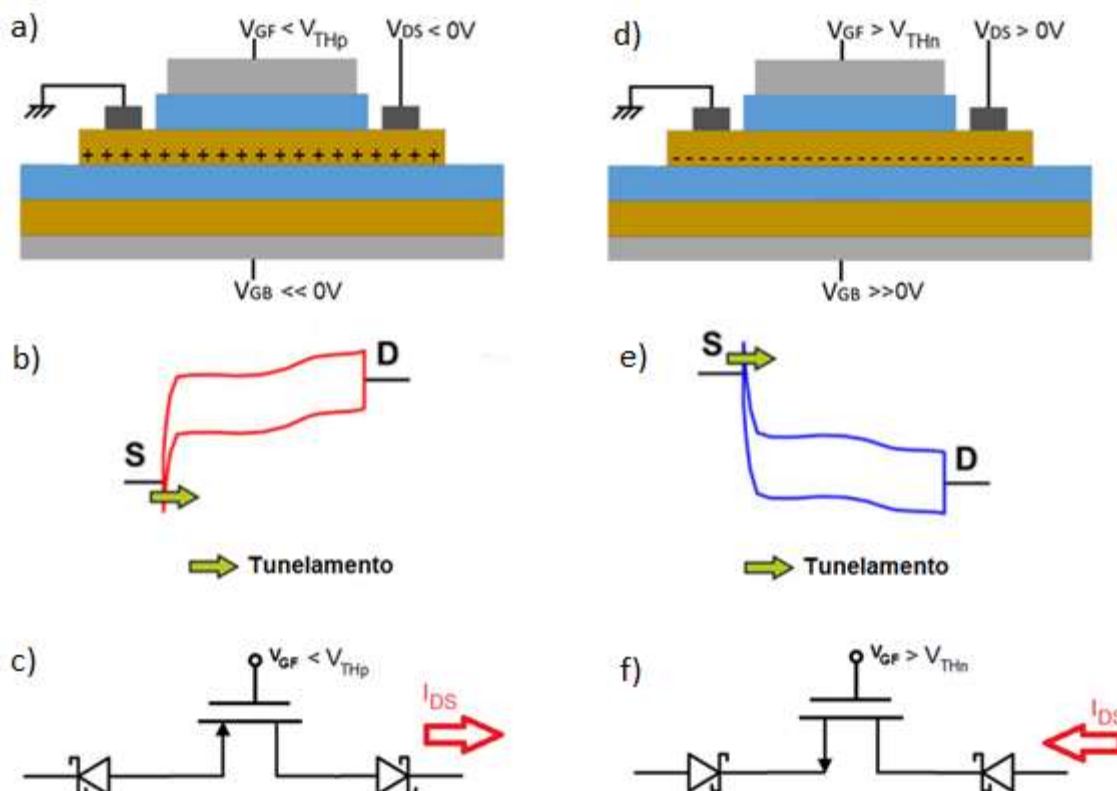


Figura 11 - Princípio de funcionamento do dispositivo no estado ligado: a) Diagrama de cargas para $V_{GB} \ll 0V$; b) Esquema de diagrama de faixas de energia, destacando o tunelamento de lacunas; c) Circuito elétrico equivalente quando $V_{GB} \ll 0V$; d) Diagrama de cargas para $V_{GB} \gg 0V$; e) Esquema de diagrama de faixas de energia, destacando o tunelamento de elétrons; f) Circuito elétrico equivalente quando $V_{GB} \gg 0V$;

Fonte: Adaptado de Trommer, et. al. Functionality-Enhanced Logic Gate Design Enabled by Symmetrical Reconfigurable Silicon Nanowire Transistors.

A Figura 12 mostra esquematicamente o princípio de funcionamento do dispositivo, quando funcionando no estado desligado. Neste caso, depletam-se os portadores na região central (logo abaixo da porta) do dispositivo. Surge, portanto, uma barreira de potencial que impede o fluxo de portadores, tornando a corrente entre fonte e dreno praticamente nula ($I_{DS}=0A$).

Deste modo o transistor ^{BE}SOI MOSFET apresenta a característica reconfigurável, ou seja, um único dispositivo que combina as funcionalidades dos clássicos dispositivos unipolares pMOS e nMOS. Isto representa a oportunidade de incrementar as funções de um circuito integrado, permitindo incrementar as funções de um mesmo dispositivo. No entanto, a implementação deste conceito

em escala industrial depende de compatibilidade com os processos de fabricação já estabelecidos.

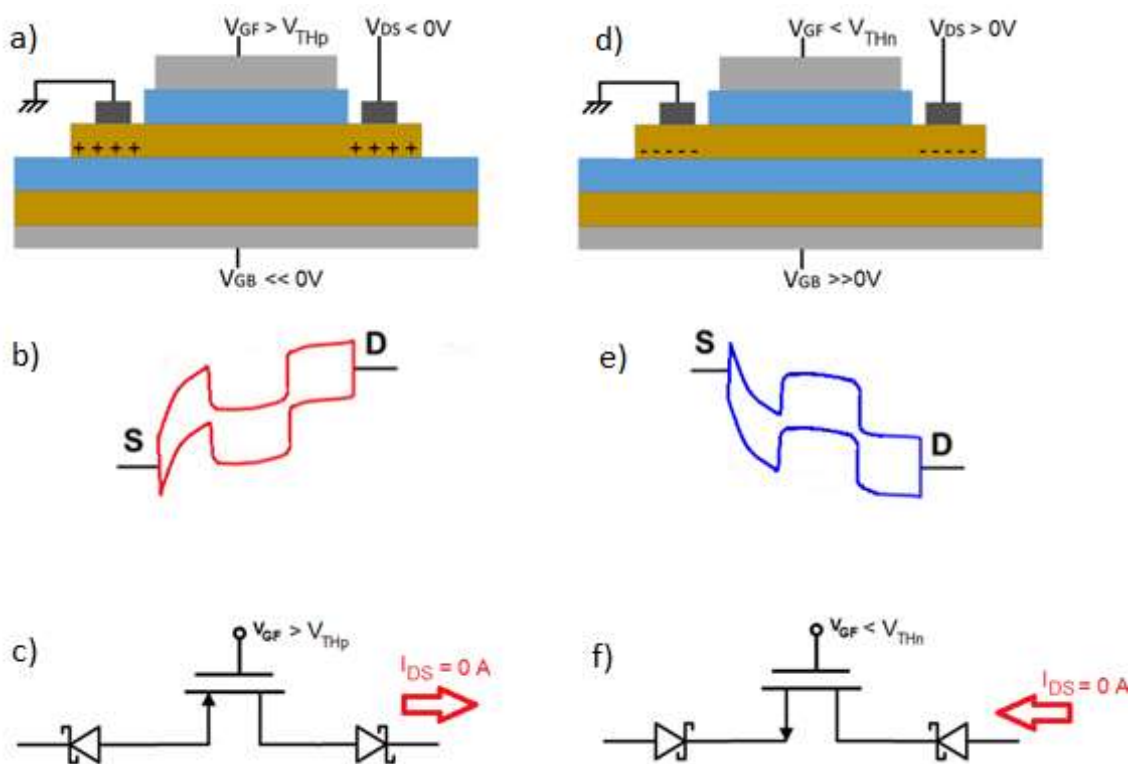


Figura 12 – Princípio de funcionamento do dispositivo no estado desligado: a) Diagrama de cargas para $V_{GB} \ll 0V$; b) Esquema de diagrama de faixas de energia, destacando a barreira de potencial para lacunas; c) Circuito elétrico equivalente quando $V_{GB} \ll 0V$; d) Diagrama de cargas para $V_{GB} \gg 0V$; e) Esquema de diagrama de faixas de energia, destacando a barreira de potencial para elétrons; f) Circuito elétrico equivalente quando $V_{GB} \gg 0V$;

Fonte: Adaptado de Trommer, et. al. Functionality-Enhanced Logic Gate Design Enabled by Symmetrical Reconfigurable Silicon Nanowire Transistors.

3.3. Equilibrando as correntes de dreno dos RFET

Os valores das correntes das configurações do tipo p e n diferem em várias ordens de magnitude na maioria dos dispositivos com junções Si-NiSi₂ reportados na literatura especializada. Este fato deve-se à função de trabalho do NiSi₂ que não está no valor necessário (MIKOLAJICK, 2017) para obter este equilíbrio.

Como discutido na seção 3.3, quando em estado ligado o maior limitante para a corrente de dreno em RFETs é o tunelamento de portadores junto ao

terminal de fonte. Isto significa que é preciso compreender melhor o comportamento do tunelamento neste caso. A probabilidade de tunelamento baseada na aproximação de uma barreira de potencial triangular de Wentzel-Kramers-Brillouin (WKB) (IEONG, 1998) pode ser descrita, de modo simplificado, como descrito na equação 1:

$$T_{n,p} \propto e^{\left(\frac{-4 \cdot \sqrt{2 \cdot m_{tn,tp}^*} \cdot \phi_{n,p}^{3/2}}{3 \cdot q \cdot \hbar \cdot E} \right)} \quad (1)$$

onde $\phi_{n,p}$ é a altura da barreira e $m_{tn,tp}^*$ é a massa efetiva de tunelamento de elétrons e lacunas, respectivamente, E é o campo elétrico aplicado através da junção e \hbar é a constante de Planck reduzida ($\hbar/2\pi$).

Logo para equilibrar as probabilidades de tunelamento pode-se ajustar a altura da barreira de potencial $\phi_{n,p}$ e a massa efetiva de tunelamento $m_{tn,tp}^*$ (BALDAUF, 2017). Há, portanto, a possibilidade teórica de ajustar a altura da barreira de potencial através da função trabalho dos contatos de fonte e dreno. Estudos realizados por simulação numérica (YOJO, 2018) mostram que o valor da função trabalho deste material deveria ser 4,57eV. Entretanto até o momento, não há um processo de fabricação que permita obter material de contatos com tal valor de função trabalho. Seria possível também, em teoria, realizar uma dopagem do Si para ajustar $\phi_{n,p}$, contudo em dispositivos nanofios, ou nanofolhas o efeito de flutuação aleatória de dopagem (*random doping fluctuations*) tornaria inviável a reprodutibilidade do comportamento dos dispositivos (REZAPOUR, 2015).

Para (BALDAUF, 2017) uma alternativa interessante é prover um “stress” mecânico para o semicondutor, o que permite alterar simultaneamente os valores de altura da barreira de potencial $\phi_{n,p}$ e a massa efetiva de tunelamento $m_{tn,tp}^*$. Esta solução foi aplicada em um nanofio de Si com orientação cristalina (110). O processo de oxidação térmica foi usado como método simples e de fácil controle para obter tensão compressiva radial nestes nanofios. Para uma espessura de óxido de 10nm e diâmetro final do nanofio de 12 nm (aproximadamente), (HEINZIG, 2013) relata uma redução na altura da barreira

de potencial para elétrons $\Delta\phi_n = -45mV$, um acréscimo para lacunas $\Delta\phi_p = +17mV$, além de redução na massa efetiva de tunelamento dos elétrons para $m_{tn}^*/m_0 = 0,22$ e de acréscimo para lacunas $m_{tp}^*/m_0 = 0,33$. E obteve, assim, correntes de dreno perfeitamente equilibradas em seu RFET, ou seja, $I_{DN}=I_{DP}$.

Embora a solução de tensionamento por oxidação seja pouco prática para o projeto de CIs em aplicações industriais; uma vez que impede a obtenção do dielétrico de porta usando outros materiais, outros métodos, ou ainda, diferentes espessuras; é uma solução que permite a prova de conceito. Além disso, (MIKOLAJICK, 2017) nos lembra que o tensionamento pode ser obtido com a deposição de uma camada com *stress* intrínseco, como por exemplo o Si_3N_4 com amplo histórico de aplicações industriais.

O resultado relatado por (HEINZIG, 2013) representa o estado da arte em termos de equilíbrio para o nível de corrente de dreno em RFETs de Si e com junções Schottky. As pesquisas mais recentes se concentram em mostrar aplicações vantajosas dos RFET em CIs (MIKOLAJICK, 2021). Já a evolução do dispositivo em si tem se concentrado em novos materiais (WU, 2021).

Entretanto, ainda que a alternativa do tensionamento tenha se comprovado eficiente ao equilibrar os comportamentos tipo p e tipo n, o nível de corrente obtido é baixo se comparado com tecnologia CMOS comercial (HEINZIG, 2013), tornando os RFET pouco atrativos para a indústria.

3.4 RFET de Contatos Ôhmicos e dopagens adicionais

Os RFETs de contato Schottky ficam limitados pela probabilidade de tunelamento de elétrons e de lacunas. Como já descrito é possível obter o equilíbrio entre os comportamentos do tipo P e do tipo N. No entanto, isto implica em manter o nível de corrente de dreno baixo para ambos, quando comparado ao nível de corrente obtido em tecnologias CMOS.

Para elevar o nível de correntes contatos ôhmicos seriam necessários. Entretanto, como já discutido na seção 3.1, contatos ôhmicos privilegiam um dos portadores. E, como a proposta dos transistores reconfiguráveis depende de obter correntes com ambos os portadores (em momentos diferentes), a ideia é que se tenham contatos diferentes para cada tipo de portador. Assim, tem-se 2 contatos para o terminal de fonte e 2 contatos também para o terminal de dreno.

A Figura 13 mostra esquematicamente uma proposta do transistor reconfigurável ^{BE}SOI com contatos ôhmicos (SASAKI, 2021) e dopagem adicional. Algumas mudanças na arquitetura são notáveis, como a presença de uma região dopada N⁺, com o objetivo de estimular o contato ôhmico para elétrons, e também uma segunda área de contato entre Al/Si-p, com o objetivo de estimular o contato ôhmico para lacunas. Como descrito por (STREETMAN, 1995) o contato entre Si-p e Al, após um tratamento térmico, permite que o Al atue como um dopante na interface com o Si, criando uma fina camada P⁺, o que permite contato ôhmico para as lacunas.

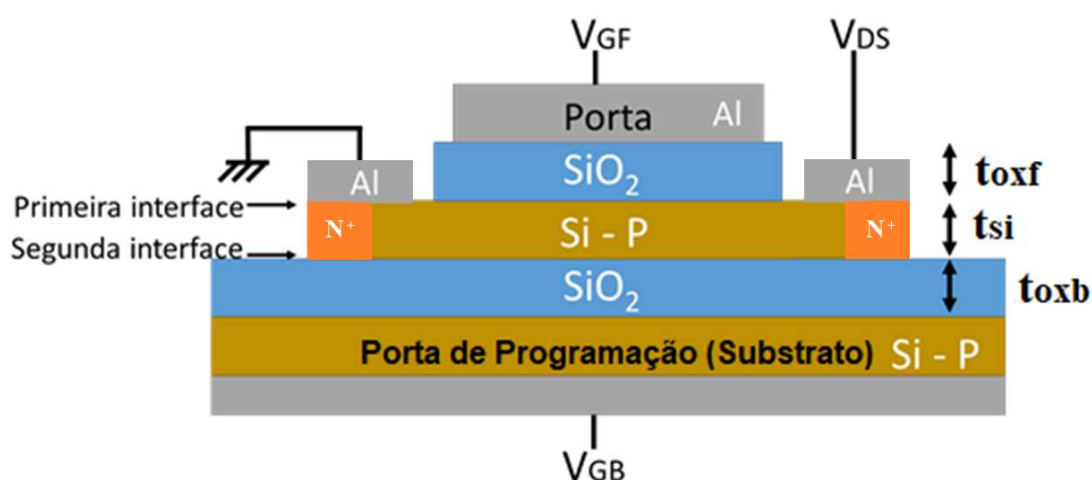


Figura 13 – Proposta de ^{BE}SOI MOSFET com contatos ôhmicos para ambos os portadores e dopagens adicionais.

Fonte: Adaptado de SASAKI et. al. (2021).

Este dispositivo foi estudado via simulação numérica usando o TCAD Sentaurus. Os resultados das simulações são promissores no sentido de elevar a corrente de dreno.

Como já discutido, a dopagem só faz sentido em dispositivos de dimensões relativamente grandes, do contrário o efeito de flutuações aleatórias na dopagem (*random doping fluctuation*) inviabilizaria a reprodutibilidade das características dos dispositivos. Mas este estudo permite a prova de conceito. Posteriormente os contatos podem ser realizados por metais diferentes, que possam proporcionar contatos ôhmicos para elétrons e lacunas, desde que a dopagem eletrostática (GUPTA, 2017) incremente a concentração do portador desejado próximo à região do contato. Além disso, o transistor reconfigurável ^{BE}SOI pode ser também aplicado como sensor, em determinadas situações, onde a

reconfigurabilidade pode apresentar vantagens ao sensoriamento (YOJO, 2022). Nestas aplicações para sensoriamento os requisitos de dimensões são mais flexíveis, e, portanto, dimensões maiores são aceitáveis.

Eventualmente um mesmo metal, como o Al, pode apresentar contato ôhmico para lacunas, e também para elétrons, desde que o processo de fabricação seja corretamente manipulado. O capítulo 5 apresenta resultados experimentais promissores para a configuração tipo n usando contatos de Al sobre um Si/tipo p.

A desvantagem desta proposta fica por conta da área ocupada, já que o maior número de contatos requer maior área do semicondutor em uma tecnologia planar. No entanto, se pensarmos na tendência de desenvolvimento dos dispositivos MOS para os próximos anos (IRDS, 2021) a verticalização parece ser inevitável. E, assim sendo, a área ocupada pelos contatos adicionais de fonte e dreno tendem a um custo menor.

4. PROCESSO DE FABRICAÇÃO

A fabricação dos transistores reconfiguráveis ^{BE}SOI serão realizadas com etapas de fabricação muito simples e bem controladas. Isto se deve ao fato de não ser necessária nenhuma etapa de dopagem e se utilizar o próprio óxido enterrado da lâmina SOI como isolamento de campo, como já realizado em outros processos (RANGEL, 2014).

Foram realizadas 4 rodadas de fabricação:

- a) Utilizando lâmina SOI convencional com 200 nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio;
- b) Utilizando lâmina SOI convencional com 200 nm de óxido enterrado e eletrodo de contato com fonte e dreno de siliceto de níquel; e
- c) Utilizando lâmina SOI do tipo UTBB com óxido enterrado de 25 nm e eletrodo de contato com fonte e dreno de alumínio;
- d) Utilizando lâmina SOI convencional com 200 nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio sem etapa de sinterização;

As lâminas SOI são fornecidas em diâmetros de 150 mm (SOITEC, 2009), já as lâminas UTBB são fornecidas em diâmetros de 300 mm (SOITEC, 2020), e devido à capacidade dos equipamentos disponíveis no LSI-USP as lâminas foram cortadas em quadrados de 25 mm de lado. As 4 rodadas de fabricação detalhadas são descritas a seguir.

4.1 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio.

Esta primeira versão do transistor ^{BE}SOI MOSFET é muito simples de se fabricar. Foi pensada para ter uma característica didática, de modo que mesmo pessoas com pouca experiência (como estudantes de graduação) pudessem fabricar este dispositivo com um curto período de treinamento, porque são necessárias apenas etapas simples de processo. Não há difusão ou implantação

de íons, e existem apenas três etapas litográficas. Além disso foi possível utilizar o mesmo conjunto de máscaras fotolitográficas utilizadas no processo nMOS convencional (RANGEL, et al., 2012), no processo SOI nMOSFET (RANGEL, 2014) e agora no processo do ^{BE}SOI MOSFET (RANGEL, et al., 2015), todos eles para aplicações educacionais e estudos especiais de pesquisa.

Em uma lâmina SOI do tipo p, cortada em quadrados de 25 mm de lado, com concentração de dopantes de 10^{15}cm^{-3} , em outras palavras, apenas dopagem natural, orientação cristalográfica <100>, filme de silício sobre o isolante de 100nm (t_{si}) e uma camada de óxido enterrada de 200nm (t_{oxB}), iniciou-se a fabricação do dispositivo. A Figura 14 mostra o perfil esquemático da lâmina SOI inicial.

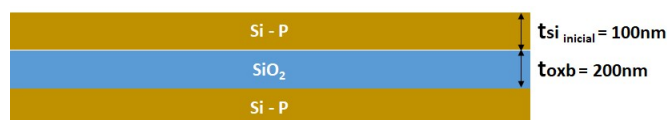


Figura 14 - Perfil esquemático da lâmina SOI inicial.

As etapas usadas para fabricar o dispositivo estão descritas abaixo:

1) Limpeza Química Completa:

A limpeza é descrita na Tabela 1. Em relação à limpeza química tradicionalmente usada para processos convencionais, foi suprimida a etapa da solução piranha ($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$) e também se reduziu a concentração de hidróxido de amônia na solução, as duas alterações visam diminuir a rugosidade superficial após a limpeza (NOGUEIRA, 2003).

Tabela 1 - Sequência de soluções químicas utilizadas na limpeza completa.

<u>Solução</u>	<u>Temperatura</u>	<u>Tempo</u>
Água DI	Temp. Ambiente	5 min
$8 \text{ H}_2\text{O} + 2 \text{ H}_2\text{O}_2 + 1 \text{ NH}_4\text{OH}$	80°C	10 min
Água DI	Temp. Ambiente	5 min
$4 \text{ H}_2\text{O} + 1 \text{ HCl}$	80°C	10 min
Água DI	Temp. Ambiente	5 min
$100 \text{ H}_2\text{O} + 1 \text{ HF}$	Temp. Ambiente	80 seg
Água DI	Temp. Ambiente	5 min

2) Oxidação térmica seca:

A oxidação sempre é realizada imediatamente após a limpeza química completa, para minimizar as cargas no óxido. A oxidação é descrita na Tabela 2, à seguir. Esta etapa de oxidação inicial objetiva consumir parte do silício sobre o isolante para obter um dispositivo com camada de silício mais fina.

Tabela 2 - Sequência de procedimentos para a oxidação.

Etapa	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>~100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>
<i>Oxidação</i>	<i>1000°C</i>	<i>115 min</i>	<i>2,0 litros/min O₂</i>
<i>Remoção das amostras do forno</i>	<i>~ -100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>

Após a etapa de oxidação, algumas amostras de teste sofreram caracterização de espessura e índice de refração através de medidas de elipsometria. A medida foi realizada com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de (76±9) nm e índice de refração (1,454±0,005).

Com isto foram consumidos aproximadamente 33nm de silício, restando uma camada em torno de 67 nm. Neste processo deseja-se uma espessura final de silício entre 20 e 30 nm. O controle eletrostático da porta sobre as cargas no canal tende a ser mais eficiente quão mais fina for a camada de silício sobre isolante. Como esta foi a primeira tentativa de obter um transistor sobre substrato SOI de camada tão fina no laboratório, optou-se por esta camada em torno de 20 nm. Apesar de ser uma espessura conservadora comparada à literatura, consiste em metade da espessura do transistor mais fino já obtido no laboratório até então (RANGEL, 2014).

Para atingir a espessura desejada, será realizada a remoção do óxido de silício crescido, e uma nova rodada de limpeza e oxidação.

3) Remoção do SiO₂

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 55 seg.

4) Limpeza química completa

Foi realizada uma nova limpeza química completa com a sequência descrita na Tabela 1.

5) Oxidação térmica seca:

A segunda oxidação deste processo objetiva consumir parte do silício sobre o isolante para obter um dispositivo com camada de silício mais fina. E o tempo de oxidação foi ajustado, de modo a se obter uma espessura um pouco maior de óxido, como mostrado na Tabela 3.

Tabela 3 - Sequência de procedimentos para a segunda oxidação.

Etapa	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>~100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>
<i>Oxidação</i>	<i>1000°C</i>	<i>120 min</i>	<i>2,0 litros/min O₂</i>
<i>Remoção das amostras do forno</i>	<i>~ -100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>

Após a etapa de oxidação, algumas amostras de teste sofreram caracterização de espessura e índice de refração através de medidas de elipsometria. A medida foi realizada com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de (81±7) nm e índice de refração (1,458±0,004).

Com isto foram consumidos aproximadamente 36nm de silício, restando uma camada em torno de 31 nm.

6) Fotogração 1 (inversão da máscara):

A fotogração 1 utilizou o fotorresiste AZ 5214 E, este é um fotorresiste que permite realizar inversão da imagem (CLARIANT, 2010), através de um processo de dupla exposição e uma etapa térmica entre estas duas exposições. A receita usada está descrita a seguir:

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 110°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 3 seg;
- ✓ Reversal Bake: 110°C por 2 min;
- ✓ 2ª Exposição (sem máscara): 15 seg;
- ✓ Revelação (MIF300 puro): 50 seg;
- ✓ Pós-cura (hot plate): 110°C por 2 min;

- 7) Corrosão do óxido de silício em solução BOE e Si sobre isolante por plasma (RIE):

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 60 seg.

A receita usada para corrosão do Si no RIE está descrita na Tabela 4.

Tabela 4 – Receita do Reactive Ion Etching (RIE).

<u>Gás</u>	<u>Fluxo</u>	<u>Pressão</u>	<u>Potência</u>	<u>Tempo</u>	<u>DCBIAS</u>
SF ₆	26 SCCM	68 mtorr	100 W	20 s	- 145V

A Figura 15 mostra o perfil esquemático do dispositivo após a etapa de corrosão do silício sobre o isolante.

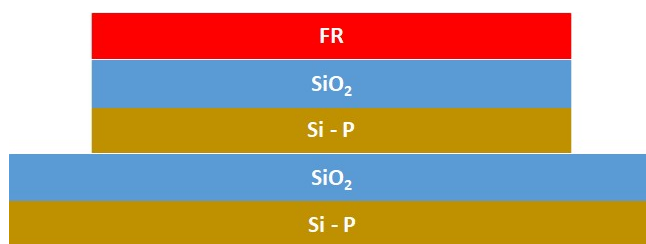


Figura 15 - Perfil esquemático do dispositivo imediatamente após a etapa de corrosão do silício sobre o isolante.

- 8) Remoção do fotorresiste e corrosão do óxido.

A remoção do fotorresiste está descrita na Tabela 5.

Tabela 5 - Sequência de solventes usados na remoção do fotorresiste.

<u>Solução</u>	<u>Temperatura</u>	<u>Tempo</u>
Acetona	80°C	10 min
Isopropanol	80°C	10 min
Água DI	Temp. Ambiente	5 min

Após a remoção do fotorresiste, é necessária a remoção do óxido, para que se realize nova limpeza química e oxidação de porta.

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 60 seg.

9) Limpeza Química Completa:

Foi realizada uma nova limpeza química completa com a sequência descrita na Tabela 1.

10) Oxidação térmica seca (formação do dielétrico de porta):

A oxidação para formação do óxido de porta segue os parâmetros descritos a seguir, na Tabela 6.

Tabela 6 – Procedimentos para a oxidação que forma o isolante de porta.

Etapa	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>~100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>
<i>Oxidação</i>	<i>1000°C</i>	<i>14,5 min</i>	<i>2,0 litros/min O₂</i>
<i>Remoção das amostras do forno</i>	<i>~ -100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>

Usando o elipsômetro obteve-se espessura (15±4)nm e o índice de refração foi fixado em 1,462, a fim de se obter maior precisão na determinação da espessura.

11) Deposição de Alumínio (evaporação):

A deposição de alumínio para formação do metal de porta foi realizada com os parâmetros descritos na Tabela 7.

Tabela 7 - Parâmetros de deposição do Alumínio.

Material do Filamento	Pressão	Massa de Al
W	1x10 ⁻⁵ mbar	190mg

Resistência de folha do alumínio depositado (medida 4 pontas):

0,0404 Ω/quadrado.

Espessura da camada de alumínio (medida por perfilometria):

(490 ± 60) nm.

12) Fotogravação 2 (definição do alumínio de porta):

A fotogravação 2 é realizada com o fotorresiste AZ1518 e usa o processo descrito a seguir (CLARIANT, 2008):

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 100°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 15 seg;
- ✓ Revelação (MIF300 diluído em água 4:1): 40 seg;
- ✓ Pós-cura (hot plate): 115°C por 2 min;

A solução de corrosão do alumínio é:

$175 \text{ H}_3\text{PO}_4 + 70 \text{ H}_2\text{O} + 15\text{HNO}_3$ aquecida a 40°C.

Tempo de corrosão: 3min.

13) Remoção do fotorresiste:

A remoção do fotorresiste usa os parâmetros da Tabela 5.

A Figura 16 ilustra o perfil esquemático do dispositivo após a etapa corrosão do alumínio e remoção do fotorresiste.

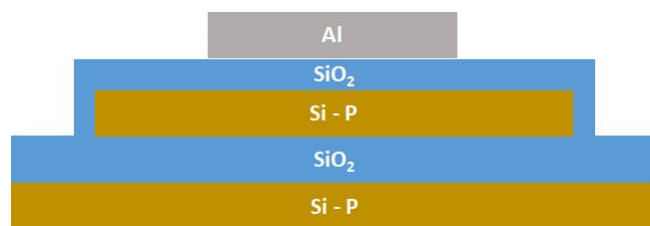


Figura 16 - Perfil esquemático do dispositivo após a etapa corrosão do alumínio e remoção do fotorresiste.

14) Fotogravação 3 para processo de “Lift-Off” (decolagem) do metal de contatos:

A fotogravação 3 também utilizou o fotorresiste AZ 5214 E, já que este é um fotorresiste especificamente desenvolvido para processos de “lift-off”. A receita usada é muito parecida com a usada na fotogravação 1, no entanto, há uma importante alteração do tempo de pós-cura. Esta alteração é fundamental para que o fotorresiste possa ser removido após a evaporação. Durante a evaporação de metal, a amostra contendo o fotorresiste recebe calor por radiação, emitida durante o aquecimento do metal. Este calor pode endurecer excessivamente o fotorresiste, dificultando sua completa remoção. A receita usada está descrita a seguir:

- ✓ Deposição: 3500 rpm por 40 seg;

- ✓ Pré-cura (hot plate): 110°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 3 seg;
- ✓ Reversal Bake: 110°C por 2 min;
- ✓ 2ª Exposição (sem máscara): 15 seg;
- ✓ Revelação (MIF300 puro): 50 seg;
- ✓ Pós-cura (hot plate): 110°C por 45 seg;

15) Deposição de Alumínio (evaporação) para formação de contatos de fonte e dreno:

A deposição de alumínio para formação do metal de contatos de fonte/dreno foi realizada com os parâmetros descritos na Tabela 8.

Tabela 8 - Parâmetros de deposição do Al para contatos de fonte e dreno.

Material do Filamento	Pressão	Massa de Al
W	1×10^{-5} mbar	50mg

Resistência de folha do alumínio depositado (medida 4 pontas):
0,0854 Ω /quadrado.

Espessura da camada de alumínio (medida por perfilometria):
(140 \pm 50) nm.

A Figura 17 mostra o perfil esquemático da amostra após a deposição de alumínio que forma os contatos de fonte e dreno.

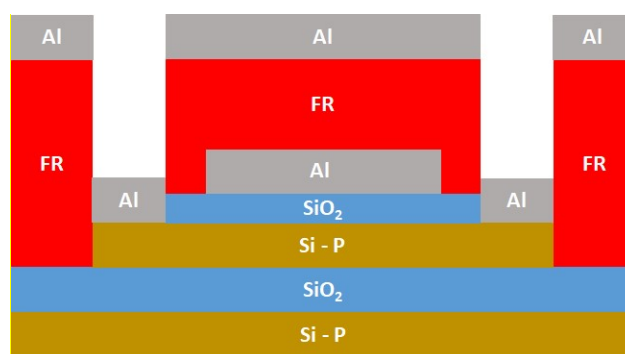


Figura 17 - Perfil esquemático da amostra após a deposição de alumínio que forma os contatos de fonte e dreno.

16) Processo de lift-off do alumínio:

A remoção por lift-off é muito facilitada pela espessura reduzida do filme de Alumínio depositado. É o procedimento padrão para remoção do fotorresiste, e está descrito na Tabela 9.

Tabela 9 – Solventes usados na remoção do fotorresiste.

<u>Solução</u>	<u>Temperatura</u>	<u>Tempo</u>
<i>Acetona</i>	<i>80°C</i>	<i>10 min</i>
<i>Isopropanol</i>	<i>80°C</i>	<i>10 min</i>
<i>Água DI</i>	<i>Temp. Ambiente</i>	<i>5 min</i>

17) Corrosão de SiO₂ e deposição de Al no verso da lâmina.

A parte frontal da lâmina foi protegida por uma camada de AZ1518 e a lâmina foi imersa em solução de corrosão de SiO₂ (BOE) até que a superfície se tornar hidrofóbica.

Posteriormente procedeu-se a remoção do AZ1518 por solução aquecida de acetona e, posteriormente, isopropanol. E então a amostra foi encaminhada para a evaporação de alumínio.

A evaporação de alumínio foi realizada com os parâmetros descritos na Tabela 10.

Tabela 10 - Parâmetros de deposição do Alumínio no verso da lâmina.

<u>Material do Filamento</u>	<u>Pressão</u>	<u>Massa de Al</u>
<i>W</i>	<i>1x10⁻⁵ mbar</i>	<i>170mg</i>

Espessura da camada de alumínio (medida por perfilometria):
(440 ± 50) nm.

18) Sinterização do Alumínio:

Temperatura: 420°C Tempo: 30 min

Ambiente: "forming gas" (90%N₂ + 10%H₂).

A Figura 18 mostra o perfil esquemático do transistor após todas as etapas de fabricação, e uma imagem obtida com o microscópio ótico.

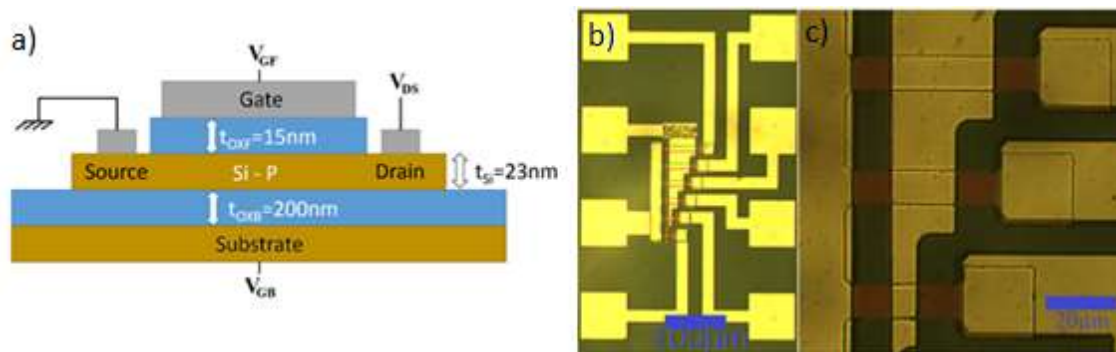


Figura 18 – a) Perfil esquemático e imagens obtidas com microscópio ótico ao final das etapas de fabricação b) cascata completa e c) detalhe dos transistores.

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," *2015 30th Symposium on Microelectronics Technology and Devices (SBMicro)*, Salvador, 2015, pp. 1-4.

4.2 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de siliceto de níquel

A primeira versão do transistor ^{BE} SOI MOSFET com contatos de alumínio apresentou resultados interessantes quando o transistor está polarizado para funcionar como do tipo P. Entretanto quando polarizado para funcionar como do tipo N as correntes são extremamente baixas. Para melhorar o desempenho do transistor tipo N, mantendo um desempenho interessante para o tipo P, optou-se por buscar um novo material para o contato. Este material deve ter função trabalho em torno de ($\Phi_m=4,7V$) que corresponde ao meio da banda proibida do silício. Utilizou-se o siliceto de níquel. Com isto, deve haver uma barreira de potencial do contato Schottky mais simétrica para elétrons e lacunas, tornando o transistor reconfigurável mais equilibrado.

Para isto algumas etapas de fabricação foram ajustadas e uma nova rodada de fabricação foi realizada. Nesta rodada optou-se por reduzir para 10nm a espessura do silício sobre o isolante, devido também ao sucesso na obtenção de si sobre isolante em torno de 20nm de espessura na rodada anterior. Também foi necessário ajustar a etapa de lift-off do metal de contatos, já que a deposição

de níquel exige uma temperatura maior, e em consequência o fotorresiste pode endurecer demais, e ter sua remoção dificultada. A receita completa usada está descrita a seguir de forma resumida já que a maioria das etapas segue os procedimentos detalhados já descritos anteriormente:

- 1) Limpeza Química Completa (vide Tabela 1).
- 2) Oxidação térmica seca (1000°C - 145 min - 2,0 litros/min O₂).
Espessura obtida por elipsometria (97±11) nm e índice de refração (1,449±0,009).
- 3) Remoção do SiO₂.
A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 100 seg.
- 4) Limpeza química completa (vide Tabela 1).
- 5) Oxidação térmica seca (1000°C - 150 min - 2,0 litros/min O₂).
Espessura obtida por elipsometria (100±10) nm e índice de refração (1,453±0,007).
- 6) Fotogravação 1 (inversão da máscara, já descrita na seção 4.1).
- 7) Corrosão do óxido de silício em solução BOE e Si sobre isolante por plasma (RIE):
A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 100 seg.
A receita usada para corrosão do Si no RIE, é a receita padrão já descrita anteriormente, no entanto como houve pequena alteração no valor do DC Bias a receita está descrita na Tabela 11.

Tabela 11 - Receita do Reactive Ion Etching (RIE) para corrosão do Si.

Gás	Fluxo	Pressão	Potência	Tempo	DCBIAS
SF6	26 SCCM	68 mtorr	100 W	20 s	- 151V

- 8) Remoção do fotorresiste (vide Tabela 4) e corrosão do óxido.
A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 100 seg.
- 9) Limpeza Química Completa (vide Tabela 1)

10)Oxidação - Óxido de porta (1000°C – 8,5 min - 2,0 litros/min O_2).

Espessura obtida por elipsometria (10 ± 5) nm e índice de refração foi fixado em 1,462 a fim de se obter maior precisão na determinação da espessura.

11)Deposição de Alumínio (evaporação).

12)Fotogravação 2 (definição do Al de porta, etapa já descrita na seção 4.1).

13)Remoção do fotorresiste (vide Tabela 4).

14)Fotogravação 3 para processo de Lift-Off do metal de contatos.

A fotogravação 3 também utilizou o fotorresiste AZ 5214 E. A receita usada, já foi descrita anteriormente, mas como é muito similar a receita da fotogravação 1, e mais, a única alteração faz muita diferença no resultado final, está descrita a seguir, a fim de evitar equívocos:

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 110°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 3 seg;
- ✓ Reversal Bake: 110°C por 2 min;
- ✓ 2ª Exposição (sem máscara): 15 seg;
- ✓ Revelação (MIF300 puro): 50 seg;
- ✓ Pós-cura (hot plate): 110°C por 45 seg;

15)Deposição de Níquel e Alumínio (evaporação por feixe de elétrons) para formação de contatos de fonte e dreno:

A evaporação de Níquel foi realizada em equipamento de evaporação por feixe de elétrons, e usando um anteparo entre a fonte de evaporação e a lâmina de silício. Este anteparo se movimenta, permitindo expor a amostra à fonte de evaporação quando necessário. Isto permite controlar melhor o tempo de evaporação tornando possível obter espessuras menores. Permite também evitar que a amostra fique exposta a radiação durante o aquecimento do níquel, protegendo o fotorresiste de aquecimento desnecessário que pode dificultar o processo de lift-off. A Tabela 12 descreve os parâmetros de deposição do filme de níquel.

Tabela 12 - Parâmetros de deposição do Ni para contatos de fonte e dreno.

<u>Cadinho</u>	<u>Pressão</u>	<u>Taxa de subida da corrente</u>	<u>Corrente</u>	<u>Alta Tensão</u>	<u>Tempo de abertura Anteparo</u>
Grafite	$2,5 \times 10^{-5}$ mbar	2mA/seg	110mA	4,5kV	10 seg

A espessura do filme de Níquel depositado foi medida em uma amostra de teste que estava posicionada ao lado das amostras principais durante a deposição. A técnica usada foi perfilometria e a espessura medida foi (72 ± 15) nm. Foi realizada a evaporação de níquel, após isto o vácuo foi quebrado, a câmara de deposição aberta, o cadinho com níquel removido e inserido um cadinho com alumínio. Na sequência, a deposição de alumínio foi realizada sobre o filme de níquel. Como descrito na Tabela 13.

Tabela 13 - Parâmetros de deposição do Al para contatos de fonte e dreno.

<u>Cadinho</u>	<u>Pressão</u>	<u>Taxa de subida da corrente</u>	<u>Corrente</u>	<u>Alta Tensão</u>	<u>Tempo de abertura Anteparo</u>
Grafite	$2,5 \times 10^{-5}$ mbar	1mA/seg	70mA	4,5kV	20 seg

A espessura medida por perfilometria em amostra teste foi (55 ± 18) nm.

A Figura 19 mostra o perfil esquemático da amostra após as deposições de níquel e alumínio que formam os contatos de fonte e dreno.

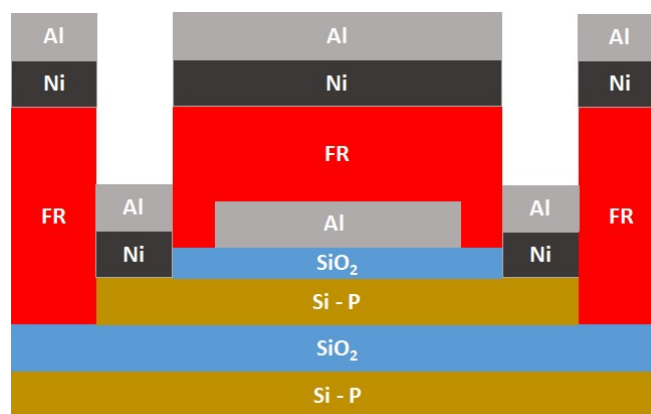


Figura 19 – Perfil esquemático do dispositivo após as deposições de níquel e alumínio.

- 16) Processo de lift-off dos filmes de Níquel e Alumínio (vide Tabela 9).
- 17) Corrosão de SiO_2 e deposição de Al no verso da lâmina.
- 18) Formação do Siliceto de Níquel e Sinterização do Alumínio.

Temperatura: 500°C Tempo: 5 min
 Ambiente: “forming gas” (90%N₂ + 10%H₂).

A Figura 20 mostra o perfil esquemático do dispositivo após a formação do siliceto de níquel.

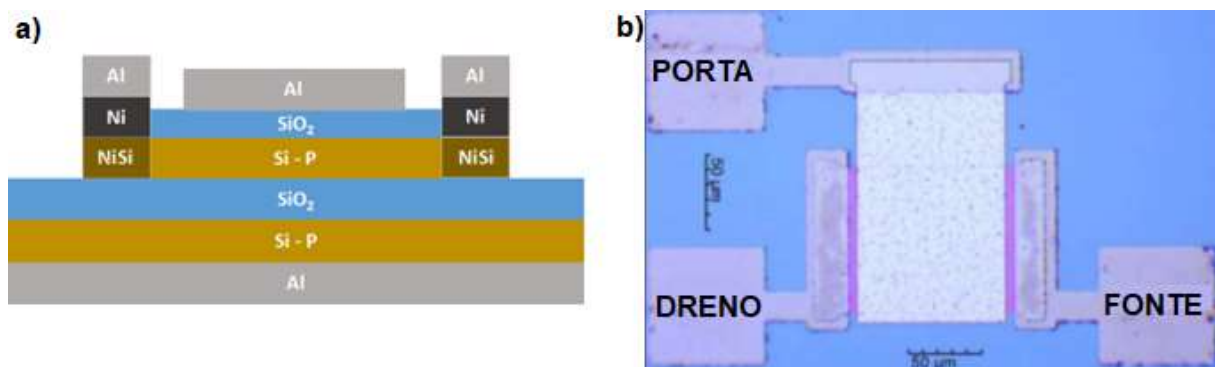


Figura 20 – a) Perfil esquemático após a formação do siliceto de níquel e b) Imagem obtida no microscópio óptico após a fabricação.

A formação do siliceto de níquel seguiu a receita descrita em (WESSELY, 2013) com o objetivo de se atingir um contato com altura de barreira similar para elétrons e lacunas.

Esta rodada de fabricação trouxe a possibilidade de utilização dos transistores tipo P e tipo N, ainda que não perfeitamente equilibrados, o conceito foi demonstrado. Análises das características elétricas são apresentadas no capítulo 5. Nos congressos e artigos publicados, o dispositivo sempre recebia uma crítica comum, a alta tensão aplicada à porta de programação (V_{GB} de dezenas de volts).

De fato, estas são tensões proibitivas para modernos circuitos integrados. No entanto, em nossos dispositivos o objetivo sempre foi a prova de conceito. Estes altos valores apenas estão presentes devido à elevada espessura do óxido enterrado das lâminas SOI convencionais usadas (200nm). E para comprovar que se pode obter resultados interessantes mesmo usando tensões muito mais baixas foi realizada a fabricação do ^{BE} SOI MOSFET em lâminas UTBB. Isto significa que o óxido enterrado é mais fino (“**U**ltra **T**hin **B**ody and **B**OX”) e deve proporcionar um avanço nesta questão.

Uma nova rodada de fabricação usando lâminas SOI com óxido enterrado ultrafino (UTBB) foi realizada, e está descrita a seguir.

4.3 Processo de fabricação utilizando lâmina SOI do tipo UTBB com óxido enterrado de 25 nm e eletrodo de contato com fonte e dreno de alumínio.

Esta versão utiliza óxido enterrado ultrafino (25nm) com o objetivo de reduzir as tensões aplicadas à porta de programação (Substrato). Este é um avanço importante para o ^{BE}SOI MOSFET, pois o aproxima da tecnologia atual de fabricação de CIs. Entretanto representa uma dificuldade de fabricação, sobretudo para um processo tão simples como o que tem sido usado, isto é, usar o próprio óxido enterrado como isolamento de campo. Neste caso, uma série de adaptações nos processos de fabricação são necessárias. Principalmente, no que se refere a proteger o óxido enterrado e evitar um contato dos terminais de porta, fonte e dreno com a porta de programação.

Em uma lâmina UTBB SOI do tipo p, cortada em quadrados de 25 mm de lado, com concentração de dopantes de 10^{15}cm^{-3} , orientação cristalográfica $\langle 100 \rangle$, filme de silício sobre o isolante de 14nm e uma camada de óxido enterrada de 25nm (t_{OXB}), iniciou-se a fabricação do dispositivo. A receita completa usada está descrita a seguir:

- 1) Limpeza Química Completa (vide Tabela 1).
- 2) Oxidação térmica seca:

Esta primeira oxidação objetiva criar uma camada fina de SiO_2 , impedindo que o fotorresiste da próxima etapa entre em contato direto com o silício da região de canal. Foi realizada com os parâmetros da Tabela 14.

Tabela 14 - Sequência de procedimentos para a oxidação.

Etapa	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>$\sim 90^\circ\text{C}/\text{min}$</i>	<i>10 min</i>	<i>2,4 litros/min N_2</i>
<i>Oxidação</i>	<i>900°C</i>	<i>8,5 min</i>	<i>2,0 litros/min O_2</i>
<i>Remoção das amostras do forno</i>	<i>$\sim -90^\circ\text{C}/\text{min}$</i>	<i>10 min</i>	<i>2,4 litros/min N_2</i>

Após a etapa de oxidação, algumas amostras de teste sofreram caracterização de espessura através de medidas de elipsometria. A medida foi realizada com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de $(4,5 \pm 2,5)$ nm e o índice de refração foi fixado em 1,462.

Com isto foram consumidos aproximadamente 2 nm de silício, restando uma camada em torno de 12 nm.

- 3) Fotogravação 1 (inversão da máscara, já descrito na seção 4.1).
- 4) Corrosão do óxido de silício em solução BOE e Si sobre isolante por plasma (RIE):

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 10 seg.

A receita usada para corrosão do Si no RIE foi especialmente desenvolvida para esta finalidade, já que é preciso corroer 12 nm de silício sobre o isolante sem corroer o SiO₂ enterrado, já que é muito fino e precisa ser preservado. A receita padrão é muito eficiente na remoção do silício, mas ataca também o óxido enterrado. Quando se está usando a lâmina SOI convencional (200nm de SiO₂ enterrado) é possível conviver com alguns nanômetros de óxido removidos nesta etapa, já no processo UTBB esta é uma etapa crítica.

Os parâmetros foram alterados para aumentar a seletividade (maior pressão), e reduzir a taxa de corrosão ao mínimo possível (menor potência e fluxo de gás). A receita está completamente descrita na Tabela 15.

Tabela 15 – Receita usada no Reactive Ion Etching (RIE) para lâminas UTBB.

Gás	Fluxo	Pressão	Potência	Tempo	DCBIAS
SF6	6,5 SCCM	100 mtorr	10 W	10 s	- 86V

- 5) Remoção do fotorresiste e corrosão do óxido.

A remoção do fotorresiste segue a receita padrão, já descrita anteriormente na Tabela 5. Após a remoção do fotorresiste, é necessária a remoção do óxido, para que se realize nova limpeza química e oxidação de porta. A solução usada é a padrão, mas o tempo será muito reduzido, de modo a não corroer excessivamente o óxido enterrado, que está exposto neste momento.

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 5 seg.

- 6) Limpeza Química Completa (vide Tabela 1).
 7) Oxidação térmica seca (formação do dielétrico de porta):

A oxidação para formação do óxido de porta segue os parâmetros descritos a seguir, na Tabela 16.

Tabela 16 - Procedimentos para a oxidação que forma o isolante de porta.

Etapa	Temperatura	Tempo	Fluxo de Gases
Inserção das amostras no forno	~100°C/min	10 min	2,4 litros/min N ₂
Oxidação	1000°C	8,5 min	2,0 litros/min O ₂
Remoção das amostras do forno	~ -100°C/min	10 min	2,4 litros/min N ₂

Usando o elipsômetro obteve-se espessura (10±6)nm e o índice de refração foi fixado em 1,462, a fim de se obter maior precisão na determinação da espessura.

- 8) Deposição de Alumínio (evaporação):
 9) Fotogravação 2 (definição do alumínio de porta, já descrito na seção 4.1).
 10) Remoção do fotorresiste (vide Tabela 5).
 11) Deposição de óxido de Silício por PECVD

A deposição de óxido objetiva proteger as áreas já construídas e aumentar a espessura da isolação de campo. A receita usada está descrita na Tabela 17.

Tabela 17 - Parâmetros de deposição do SiO₂.

Fluxo de SiH₄	Fluxo de N₂O	Potência	Pressão	Temperatura	Tempo
30 SCCM	75 SCCM	200W	37mtorr	320°C	35min

A espessura obtida foi medida por elipsometria com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de (420±50) nm e o índice de refração (1,450 ± 0,020).

- 12) Fotogravação 3: Abertura de contatos com o fotorresiste AZ 1518 e o processo padrão, já descrito anteriormente na seção 4.1.

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 3,5min.

A Figura 21 mostra o perfil após a deposição de SiO_2 por PECVD e fotogração de abertura de contatos.

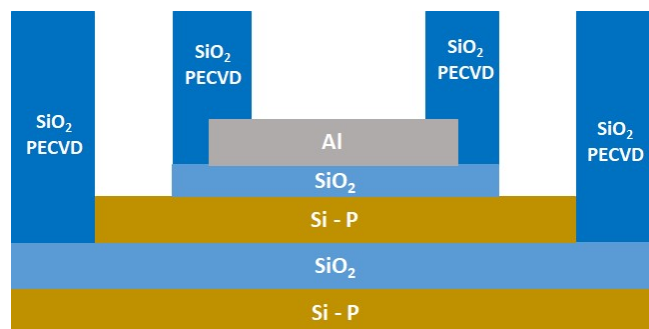


Figura 21 - Perfil esquemático após a deposição de SiO_2 por PECVD e fotogração de abertura de contatos.

- 13) Fotogração 4 para processo de Lift-Off do metal de contatos, receita já descrita na seção 4.2.
- 14) Deposição Alumínio (evaporação) para formação de contatos de fonte e dreno.
- 15) Processo de lift-off do alumínio (vide Tabela 9).
- 16) Corrosão de SiO_2 e deposição de Al no verso da lâmina.
- 17) Sinterização do Alumínio.

Temperatura: 420°C Tempo: 30 min

Ambiente: "forming gas" (90% N_2 + 10% H_2).

A Figura 22 mostra o perfil esquemático após a sinterização do alumínio.

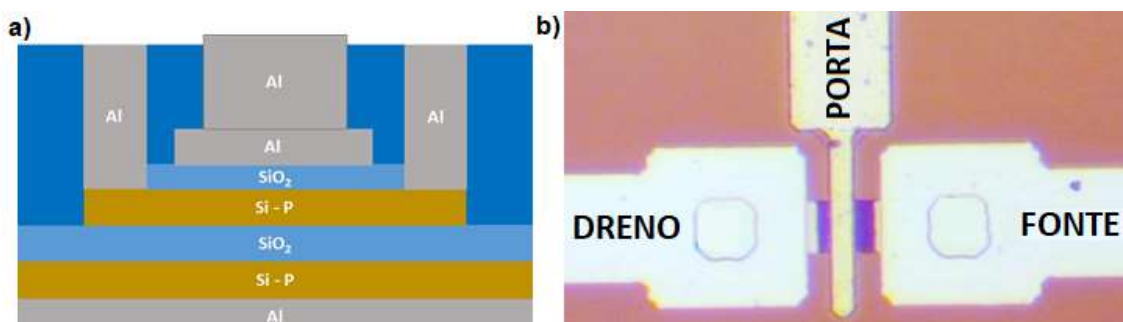


Figura 22 – a) Perfil esquemático após a sinterização do alumínio e b) imagem obtida no microscópio ótico após a fabricação.

O objetivo principal das alterações no processo de fabricação da versão UTBB do BE SOI MOSFET foi atingido, ou seja, os transistores puderam operar

com tensões significativamente menores aplicadas à porta de programação. As análises elétricas serão apresentadas no próximo capítulo.

4.4 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio sem etapa de sinterização.

Esta versão utiliza óxido enterrado convencional (200nm) já que o objetivo deste processo é obter um transistor simples, parecido ao primeiro processo (seção 4.1), mas com a diferença de não haver uma etapa de sinterização após a deposição de Al para formar os contatos de fonte e dreno. Assim espera-se comprovar a possibilidade de obtenção de corrente de elétrons, mesmo com um contato de Al, uma novidade em relação aos casos anteriores. Este processo permite uma elevada corrente de elétrons (tipo N), mas uma corrente de lacunas muito baixa (como descrito no capítulo 5). No entanto, comprova que, com um único metal de contato, é possível obter corrente elevada para lacunas, ou elétrons, em função de se realizar uma sinterização, ou não, como etapa final no processo de fabricação. Abrindo caminho para um reconfigurável que equilibre as correntes tipo P e N em valores mais altos, o que pode ser interessante em diversas situações.

A sinterização é um processo padrão em processos de fabricação de transistores, por isto, foi sempre empregada nos experimentos anteriores. Este último processo em particular foi pensado para se obter transistores ^{BE} SOI MOSFET para serem usados como biossensores de glicose (YOJO, 2022). E para atender esta finalidade um novo conjunto de fotomáscaras foi projetado (RAMOS, 2021). Com um novo conjunto de fotomáscaras foi possível separar as deposições de Ni e de Al. Deste modo se poderia depositar Ni, realizar a etapa térmica para formar NiSi, sem que uma camada de Al estivesse presente. E esta sequência de processo mostrava-se vantajosa graças à investigação realizada por (ZANGARO, 2021) que observou que o Al presente interferia na formação do NiSi e, eventualmente, poderia até criar um curto-circuito na camada de NiSi.

Este novo conjunto de fotomáscaras criou um transistor para caracterização do processo de fabricação que foi formado apenas por contatos de Al, e como a etapa de formação do NiSi foi realizada antes da deposição do

Al, estes contatos não sofreram tratamentos térmicos similares ao processo de sinterização padrão. Este novo conjunto de fotomáscaras, assim como a sequência completa de fabricação dos transistores ^{BE} SOI MOSFET usados como biossensores de glicose foram descritos por (YOJO, 2022), e a investigação da formação de NiSi com e sem camada de Al foi descrita por (ZANGARO, 2021). Estes trabalhos foram realizados em estreita cooperação, e, portanto, são parte do projeto e fabricação de transistores ^{BE} SOI MOSFET. Por isto, alguns de seus resultados são mostrados neste texto.

As etapas de fabricação descritas a seguir referem-se somente ao transistor com contatos de Al, e assim as etapas realizadas que não interferem neste dispositivo são aqui omitidas. Como por exemplo as deposições de Ni, ou a funcionalização para biossensor, etapas que ocorreram em outras regiões do mesmo substrato (wafer).

- 1) Limpeza Química Completa: como descrito na Tabela 1.
- 2) Oxidação térmica seca:

A oxidação é descrita na Tabela 18, à seguir.

Tabela 18 – Sequência de procedimentos para a oxidação.

Etapas	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>~110°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>
<i>Oxidação</i>	<i>1150°C</i>	<i>56 min</i>	<i>2,0 litros/min O₂</i>
<i>Remoção das amostras do forno</i>	<i>~ -110°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>

Após a etapa de oxidação, algumas amostras de teste sofreram caracterização de espessura e índice de refração através de medidas de elipsometria. A medida foi realizada com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de (144±7) nm e índice de refração (1,449±0,005).

Com isto foram consumidos aproximadamente 64nm de silício, restando uma camada em torno de 36 nm. Para atingir a espessura desejada, será realizada a remoção do óxido de silício crescido, e uma nova rodada de limpeza e oxidação.

- 3) Remoção do SiO₂

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 100 seg.

4) Limpeza química completa

Foi realizada uma nova limpeza química completa com a sequência descrita na Tabela 1.

5) Oxidação térmica seca:

A segunda oxidação deste processo objetiva consumir parte do silício sobre o isolante para obter um dispositivo com camada de silício mais fina. A Tabela 19 descreve o processo usado:

Tabela 19 – Sequência de procedimentos para a segunda oxidação.

Etapa	Temperatura	Tempo	Fluxo de Gases
<i>Inserção das amostras no forno</i>	<i>~100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>
<i>Oxidação</i>	<i>1000°C</i>	<i>10,5 min</i>	<i>2,0 litros/min O₂</i>
<i>Remoção das amostras do forno</i>	<i>~ -100°C/min</i>	<i>10 min</i>	<i>2,4 litros/min N₂</i>

Após a etapa de oxidação, algumas amostras de teste sofreram caracterização de espessura e índice de refração através de medidas de elipsometria. A medida foi realizada com comprimento de onda de 632,8 nm. Os resultados obtidos são espessura média de (9,5±0,9) nm e índice de refração (1,452±0,005).

Com isto foram consumidos aproximadamente 5nm de silício, restando uma camada em torno de 29 nm. É preciso deixar claro que as oxidações consomem o Si sobre o isolante, mas as limpezas químicas também o fazem, embora sejam apenas uns poucos nanômetros por limpeza completa.

6) Fotogravação 1 (AZ1518 – não necessita inversão de fotomáscara):

A fotogravação 1 utilizou o fotorresiste AZ 1518, já que ao projetar um novo conjunto de fotomáscaras (ref.) não foi necessário realizar a inversão de imagem. A receita usada está descrita a seguir:

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 100°C por 50 seg;

- ✓ Exposição (com máscara): 25 seg;
- ✓ Revelação (MIF300 diluído 4:1 em água DI): 50 seg;
- ✓ Pós-cura (hot plate): 115°C por 2 min;

7) Corrosão do óxido de silício em solução BOE e Si sobre isolante por plasma (RIE):

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 16 seg.

A receita usada para corrosão do Si no RIE está descrita na Tabela 20.

Tabela 20 – Receita do Reactive Ion Etching (RIE).

Gás	Fluxo	Pressão	Potência	Tempo	DCBIAS
SF6	25 SCCM	68 mtorr	100 W	19 s	- 145V

8) Remoção do fotorresiste e corrosão do óxido.

A remoção do fotorresiste é padrão e já foi descrita na Tabela 5.

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)].

Tempo de corrosão: 15 seg.

9) Limpeza Química Completa:

Foi realizada uma nova limpeza química completa com a sequência descrita na Tabela 1.

10) Oxidação térmica seca (formação do dielétrico de porta):

A oxidação para formação do óxido de porta segue os parâmetros descritos a seguir, na Tabela 21.

Tabela 21 – Procedimentos para a oxidação que forma o isolante de porta.

Etapa	Temperatura	Tempo	Fluxo de Gases
Inserção das amostras no forno	~100°C/min	10 min	2,4 litros/min N ₂
Oxidação	1000°C	19,5 min	2,0 litros/min O ₂
Remoção das amostras do forno	~ -100°C/min	10 min	2,4 litros/min N ₂

Usando o elipsômetro obteve-se espessura (23 ± 3)nm e o índice de refração foi fixado em 1,462, a fim de se obter maior precisão na determinação da espessura.

11) Deposição de Alumínio (evaporação):

A deposição de alumínio para formação do metal de porta foi realizada com os parâmetros descritos na Tabela 22.

Tabela 22 - Parâmetros de deposição do Alumínio.

Material do Filamento	Pressão	Massa de Al
W	2×10^{-5} mbar	200mg

Resistência de folha do alumínio depositado (medida 4 pontas):

0,0451 Ω /quadrado.

Espessura da camada de alumínio (medida por perfilometria):

(480 ± 70) nm.

12) Fotogravação 2 (Abertura de Contatos):

A fotogravação 2 é realizada com o fotorresiste AZ1518 e usa o processo descrito a seguir (CLARIANT, 2008):

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 100°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 25 seg;
- ✓ Revelação (MIF300 diluído em água 4:1): 50 seg;
- ✓ Pós-cura (hot plate): 115°C por 2 min;

A solução de corrosão do alumínio é:

175 H₃PO₄ + 70 H₂O + 15HNO₃ aquecida a 40°C. Tempo de corrosão: 4min.

Após a corrosão do alumínio é feita a corrosão do óxido usando BOE.

A solução de corrosão do óxido de silício: BOE [25 NH₄F (40%) + 4 HF (49%)]. Tempo de corrosão: 23 seg.

13) Remoção do fotorresiste:

A remoção do fotorresiste usa os parâmetros da Tabela 5.

A Figura 23 ilustra o perfil esquemático do dispositivo após a etapa corrosão do alumínio, SiO₂ e remoção do fotorresiste.

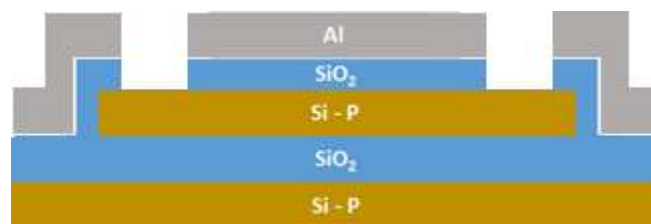


Figura 23 – Perfil esquemático do dispositivo após a etapa corrosão do alumínio e remoção do fotorresiste.

14) Deposição de Alumínio (evaporação) para formação de contatos de fonte e dreno:

A deposição de alumínio para formação do metal de contatos de fonte/dreno foi realizada com os parâmetros descritos na Tabela 23.

Tabela 23 – Parâmetros de deposição do Alumínio para contatos de fonte e dreno.

Material do Filamento	Pressão	Massa de Al
W	2×10^{-5} mbar	185mg

Resistência de folha do alumínio depositado (medida 4 pontas):
0,0383 Ω /quadrado.

Espessura da camada de alumínio (medida por perfilometria):
(490 \pm 50) nm.

15) Fotogravação 3 (Definição do Al):

A fotogravação 2 é realizada com o fotorresiste AZ1518 e usa o processo descrito a seguir (CLARIANT, 2008):

- ✓ Deposição: 3500 rpm por 40 seg;
- ✓ Pré-cura (hot plate): 100°C por 50 seg;
- ✓ 1ª Exposição (com máscara): 25 seg;
- ✓ Revelação (MIF300 diluído em água 4:1): 50 seg;
- ✓ Pós-cura (hot plate): 115°C por 2 min;

A solução de corrosão do alumínio é:

175 H₃PO₄ + 70 H₂O + 15HNO₃ aquecida a 40°C. Tempo de corrosão: 5min.

16) Remoção do fotorresiste:

A remoção do fotorresiste usa os parâmetros da Tabela 5.

17) Corrosão de SiO_2 e deposição de Al no verso da lâmina.

A parte frontal da lâmina foi protegida por uma camada de AZ1518 e a lâmina foi imersa em solução de corrosão de SiO_2 (BOE) até que a superfície se tornar hidrofóbica.

Posteriormente procedeu-se a remoção do AZ1518 por solução aquecida de acetona e, posteriormente, isopropanol. E então a amostra foi encaminhada para a evaporação de alumínio.

A evaporação de alumínio foi realizada com os parâmetros descritos na Tabela 24.

Tabela 24 – Parâmetros de deposição do Alumínio no verso da lâmina.

<u>Material do Filamento</u>	<u>Pressão</u>	<u>Massa de Al</u>
W	1×10^{-5} mbar	170mg

Espessura da camada de alumínio (medida por perfilometria):

(420 ± 40) nm.

A Tabela 24 mostra o perfil esquemático do transistor após todas as etapas de fabricação, e uma imagem obtida com o microscópio ótico.

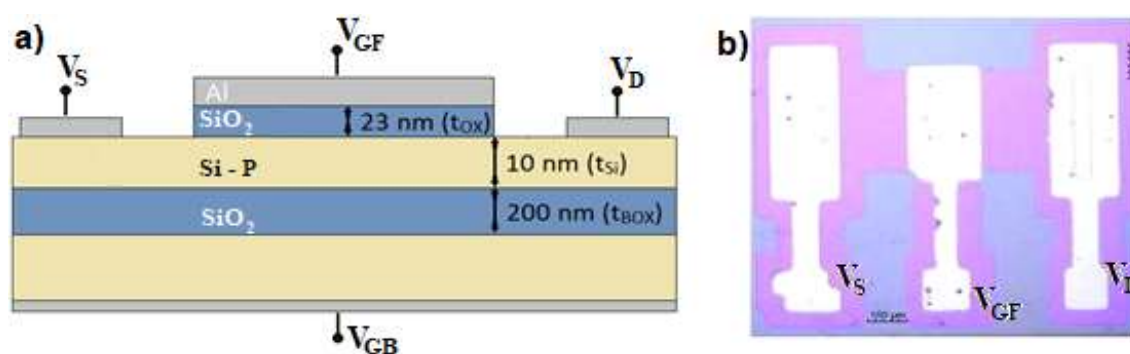


Figura 24 – a) Perfil esquemático e b) imagem obtida com microscópio ótico ao final das etapas de fabricação.

Fonte: Adaptado de H. L. Carvalho et. al, " Al Source-Drain Schottky contact enabling N-type (Back Enhanced) (BE) SOI MOSFET," *2022 37th Symposium on Microelectronics Technology and Devices (SBMicro)*, Porto Alegre, 2022, pp. 1-4.

5. CARACTERIZAÇÃO ELÉTRICA E ANÁLISES

Neste capítulo as principais características elétricas dos dispositivos fabricados são apresentadas e analisadas. Os transistores foram caracterizados usando o analisador de parâmetros de semicondutores Agilent 4156C.

As caracterizações são feitas para analisar e comparar as rodadas de fabricação realizadas, observando as vantagens e desvantagens visando a evolução do conceito de transistores reconfiguráveis e especialmente esta proposta de transistor reconfigurável planar ^{BE} SOI MOSFET, onde se destaca a simplicidade do processo de fabricação.

Os resultados elétricos das rodadas de fabricação estão apresentados em ordem cronológica, pois fica mais intuitivo acompanhar as evoluções de processo propostas e seus objetivos.

5.1 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio

As características típicas de transferência $I_{DS} \times V_{GF}$ são mostradas na Figura 25 para diferentes polarizações na porta de programação (V_{GB}). A Figura 26 mostra a mesma característica com ênfase na região de sublimiar, onde é possível ver que a relação I_{ON} / I_{OFF} é de cerca de cinco ordens de magnitude.

Note-se, é claro, que altas tensões são aplicadas à porta de programação (substrato) para acumular a segunda interface, ou seja, entre o silício sobre isolante e o óxido enterrado.

Utilizando o método de 2ª derivada da transcondutância (WONG, et al., 1987), foi extraída a tensão de limiar (V_{TH}) como uma função da polarização na porta de programação (V_{GB}) para diferentes comprimentos de canal, como mostrado na Figura 25.

É possível observar que o V_{TH} pode ser negativo ou positivo, dependendo de V_{GB} . Portanto, este dispositivo simples pode operar como pMOSFET no modo enriquecimento ou no modo de depleção.

Quando o V_{GB} se torna mais negativo, o V_{TH} se torna maior. No ^{BE}SOI pMOSFET com contatos de alumínio, a corrente flui principalmente na segunda

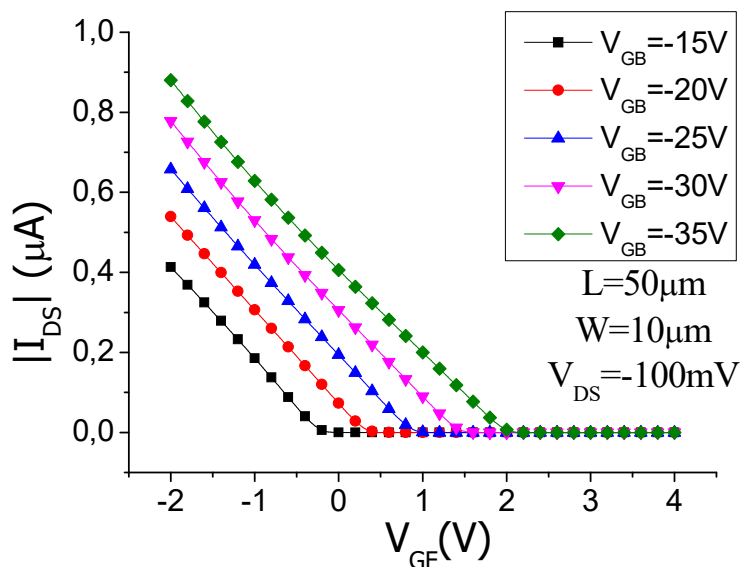


Figura 25 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

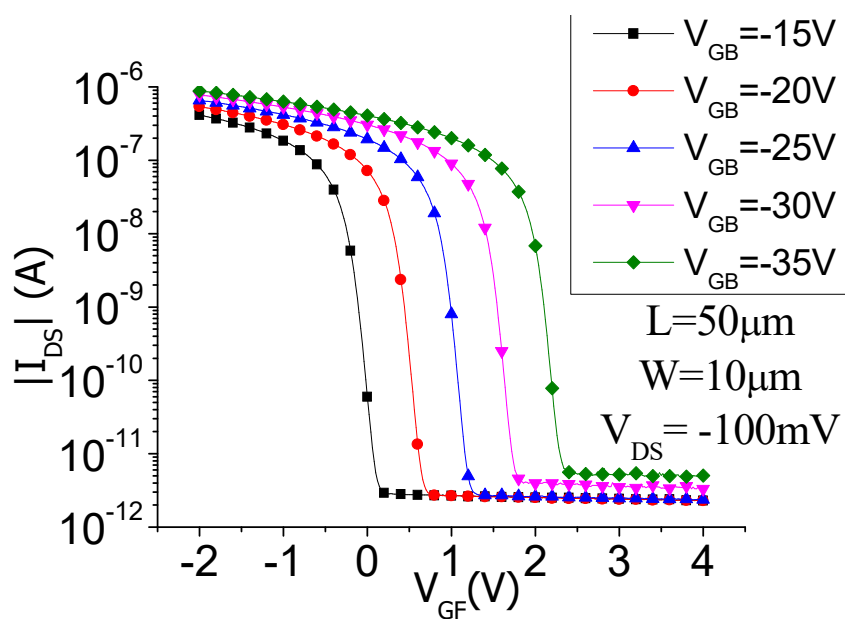


Figura 26 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

interface (óxido enterrado / camada de Si), graças às lacunas acumuladas pela polarização da porta de programação (V_{GB}). Se as lacunas estiverem acumuladas na segunda interface, é possível se estimar o fator de corpo ($n=1+\alpha$) (COLINGE, 1991) onde α é o fator de acoplamento capacitivo dado pela equação (2).

$$\frac{dV_{TH}}{dV_{GB}} = -\frac{C_{OXB}}{\left(\frac{1}{C_{OXF}} + \frac{1}{C_{Si}}\right)^{-1}} = -\alpha \quad (2)$$

Ao estimar as capacitâncias usando as espessuras aproximadas obtidas durante a fabricação dos dispositivos, o resultado será $\alpha = 0,112$.

A Figura 27 apresenta o gráfico da tensão de limiar obtida (V_{TH}) em função da polarização da porta de programação (V_{GB}), para alguns dispositivos.

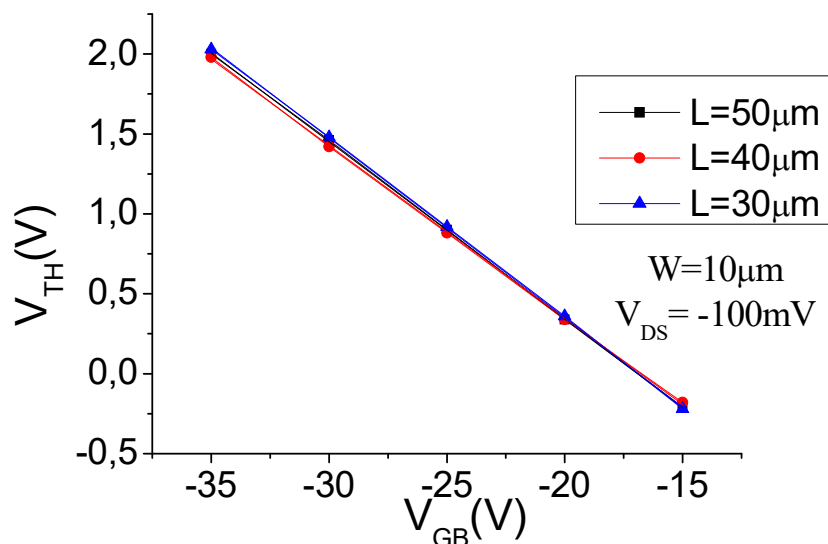


Figura 27 – Tensão de limiar (V_{TH}) em função da tensão de porta de programação (V_{GB}) para diferentes comprimentos de canal .

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

No referido gráfico é possível observar um comportamento linear. Fazendo uma regressão linear obtêm-se um fator de correlação (R^2) de 0,997. Os dados experimentais corroboram com o modelo proposto para a estimativa do fator de corpo, ambos resultam em $n = 1,11$ ($n = 1 + \alpha$).

A inclinação de sublimiar (SS) deste dispositivo é de cerca de 80mV/dec. como mostrado na Figura 28. Este resultado é compatível com outros

dispositivos nos quais a corrente de dreno também flui através da segunda interface (WESSELY, 2013).

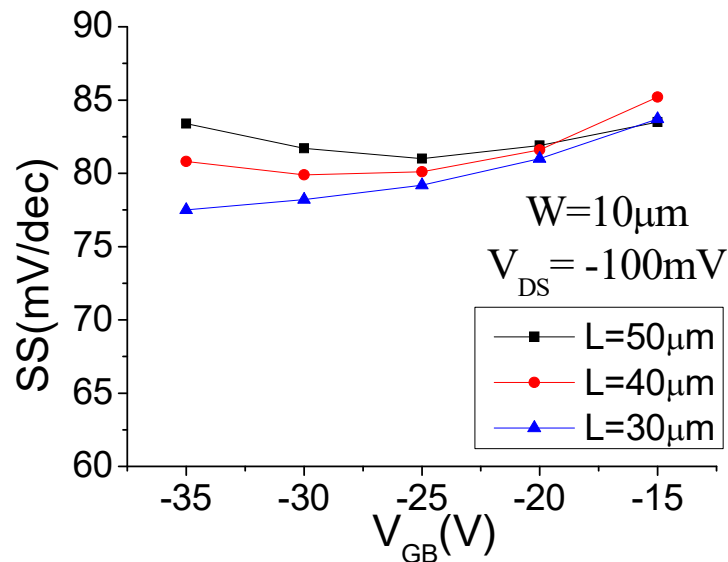


Figura 28 – Inclinação de sublimiar (SS) em função da tensão de porta de programação (V_{GB}) para diferentes comprimentos de canal.

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

No ^{BE}SOI pMOSFET, a corrente flui na segunda interface. Portanto, a influência da tensão de porta (V_{GF}) na corrente de dreno (I_{DS}), e na transcondutância (g_m), é menor em comparação com os transistores SOI convencionais (com dopagens na junção na fonte / dreno). A Figura 29 mostra a transcondutância (g_m) em função da tensão de porta, para diferentes tensões na porta de programação.

A redução da transcondutância em função do aumento da polarização de porta é também observada para o aumento da polarização da porta de programação, a g_m máxima diminui com o V_{GB} em torno de 20% comparando os casos extremos.

A transcondutância pode ser definida como a influência da polarização na porta de programação (V_{GF}) sobre a corrente de dreno (I_{DS}). Nota-se pelo gráfico que a transcondutância máxima é obtida para tensões absolutas (em módulo) menores na porta de programação V_{GB} .

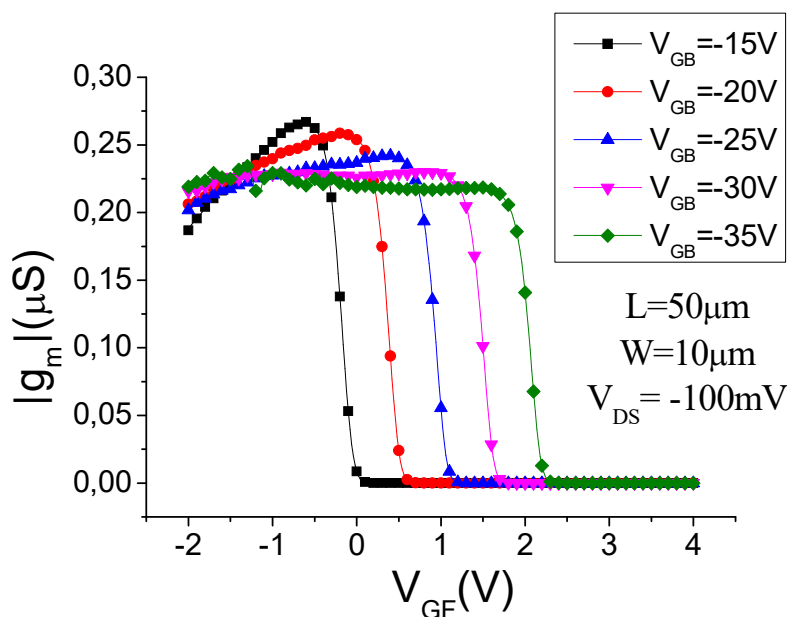


Figura 29 – Transcondutância em função da tensão de porta controle, para diferentes tensões na porta de programação (V_{GB}).

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

Ou seja, menores tensões na porta de programação (V_{GB}) levam a maior influência da tensão V_{GF} na corrente de dreno (maior transcondutância máxima). Há, portanto, uma competição entre os campos elétricos vindos da porta de programação (V_{GB}) e porta de controle (V_{GF}) por maior influência nas cargas no canal e conseqüentemente pela corrente de dreno. Isto explica também porque a degradação da transcondutância é maior com V_{GB} menor (em módulo), devido à maior influência de V_{GF} nas cargas no canal. Quando V_{GB} é maior em valor absoluto (-35V) sua influência sobre a corrente é tão grande que praticamente não há degradação da mobilidade em função de V_{GF} .

A característica de saída $I_{DS} \times V_{DS}$ de um pMOSFET ^{BE}SOI é mostrada na Figura 30.

As características elétricas apresentadas até aqui comprovam o conceito de dispositivo com portadores de carga enriquecidos através da polarização do substrato ("back enhanced") ^{BE}SOI MOSFET. Foi observada uma grande variação de V_{TH} (de -0,20 a 2,0V) em função do V_{GB} (-15 a -35V); ou seja, pode ser usado na operação modo enriquecimento e no modo de depleção. Outros parâmetros como g_m , SS e n apresentam a mesma faixa de valores se

comparados com outros dispositivos baseados no mesmo princípio de trabalho, isto é, condução de segunda interface, normalmente fabricada na estrutura de nanofios (WESSELY, 2013). No ^{BE}SOI MOSFET, o dispositivo é planar (não com nanofios), o que facilita muito a fabricação.

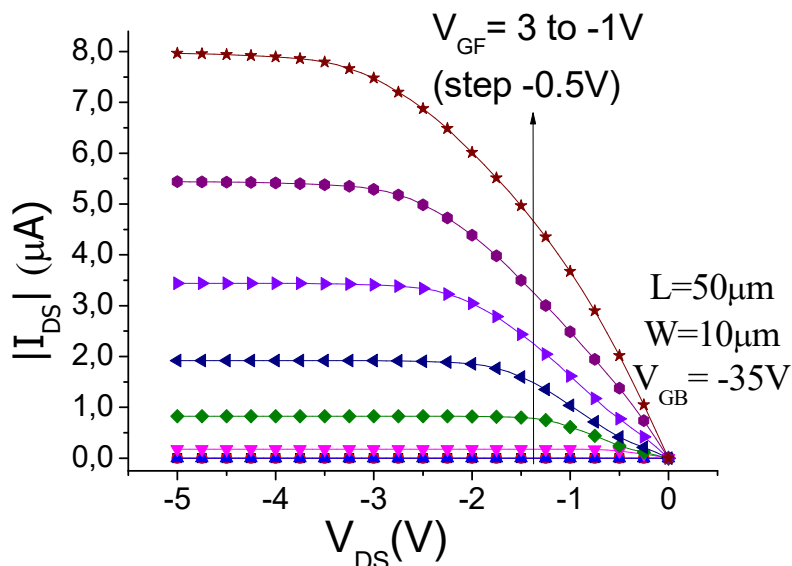


Figura 30 – Corrente de dreno em função da tensão de dreno para diferentes tensões de porta de controle (V_{GF}).

Fonte: Adaptado de R. C. Rangel and J. A. Martino, "Back Enhanced (BE) SOI pMOSFET," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro).

Contudo não foram obtidos resultados satisfatórios quando aplicadas tensões positivas na porta de programação (V_{GB}). Portanto quando se pretende que o transistor opere como do tipo N a corrente observada é desprezível. Isto ocorre por conta dos contatos de alumínio em fonte e dreno. No caso de Al em contato com Si do tipo P o próprio metal oferece dopantes aceitadores após um breve tratamento térmico (STREETMAN, 1995) levando a formação de uma região P^+ na interface de contato e a um contato ôhmico para lacunas. No entanto, isto leva a uma barreira muito elevada para elétrons, tornando a corrente de elétrons praticamente inexistente.

Para solucionar este problema é necessário repensar o material de contato de fonte e dreno. A proposta é usar um metal que tenha barreiras simétricas para

elétrons e lacunas. Dentro deste contexto a utilização de siliceto de níquel surge como alternativa.

5.2 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de siliceto de níquel

Esta rodada de fabricação objetiva a obtenção de um contato Schottky nas regiões de fonte e dreno, de tal modo que permita a corrente tanto de elétrons quanto de lacunas. As principais características elétricas são apresentadas e comparadas com a versão anterior. E ao final para comprovar o conceito de reconfigurabilidade é demonstrado o funcionamento de um inversor lógico.

A Figura 31 mostra a corrente de dreno em função da tensão da porta frontal V_{GF} do ^{BE}SOI do tipo p em escala linear para polarização de porta de programação V_{GB} variando de -5V a -30V. É possível notar a dependência da corrente de dreno com a polarização da porta de programação (“back gate”). Quando $|V_{GB}|$ aumenta, mais cargas são criadas na segunda interface e a resistência do canal é reduzida.

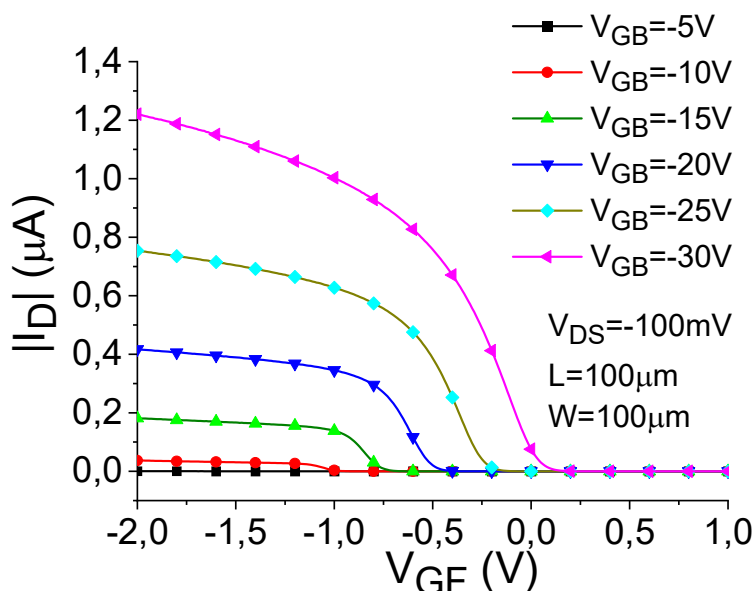


Figura 31 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A.

Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

Outro aspecto observado nas curvas é a dependência da tensão limiar (V_{TH}) com o V_{GB} . O campo elétrico induzido pelo eletrodo de porta (frontal) necessário para depletar completamente a camada de silício (que neste dispositivo corresponde à tensão de limiar V_{TH}) é aumentado para valores mais altos $|V_{GB}|$.

A Figura 32 mostra a mesma característica de transferência, mas na escala logarítmica, para se observar a região de sublimiar. Neste caso nota-se a grande relação I_{on}/I_{off} , em torno de 10^6 para polarizações de porta de programação menores ou iguais a $-15V$. Também é possível observar algum ruído nas medidas abaixo de $1pA$, pois estes valores estão próximos aos limites operacionais do analisador de parâmetros usados.

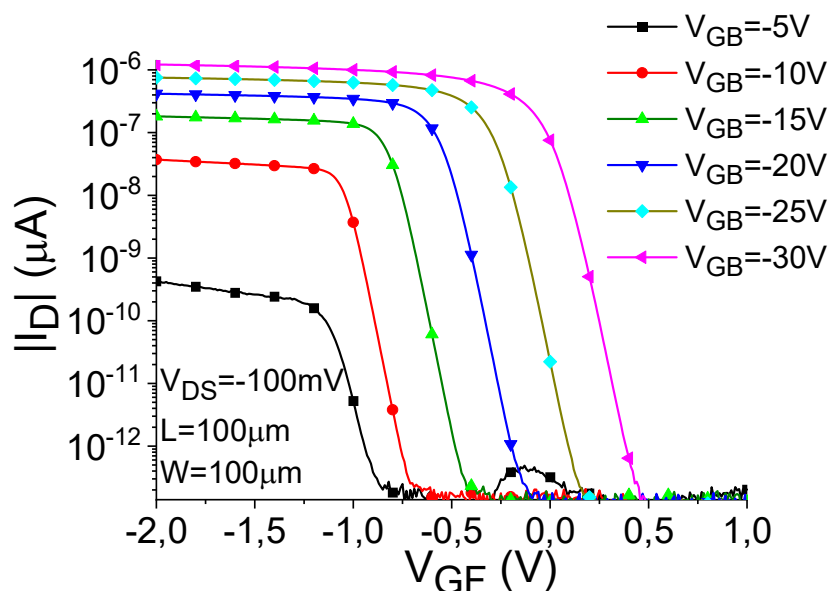


Figura 32 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A. Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

A Figura 33 mostra a mesma curva de transferência $I_{DS} \times V_{GF}$ para diferentes V_{GB} , mas para o BE SOI polarizado para funcionar como transistor do tipo n em escala linear. Analogamente, há uma variação do nível de corrente (I_D) e uma variação de tensão limiar (V_{TH}) dependendo da polarização do substrato (V_{GB}). Para medir os transistores do tipo p e do tipo n foram usados os mesmos valores absolutos de $|V_{GB}|$, mas no caso de um nMOSFET BE SOI, uma corrente menor

foi observada. Esta corrente atinge unidades de nanoampéres para o transistor do tipo n contra centenas de nanoampéres para o transistor tipo p, considerando polarizações simétricas. A razão desta diferença é a formação da junção schottky de siliceto de níquel, que possui uma função trabalho próxima ao meio da banda proibida do silício, mas não exatamente no valor que permitiria o equilíbrio entre as correntes. E isto leva a uma assimetria das correntes de elétrons e lacunas.

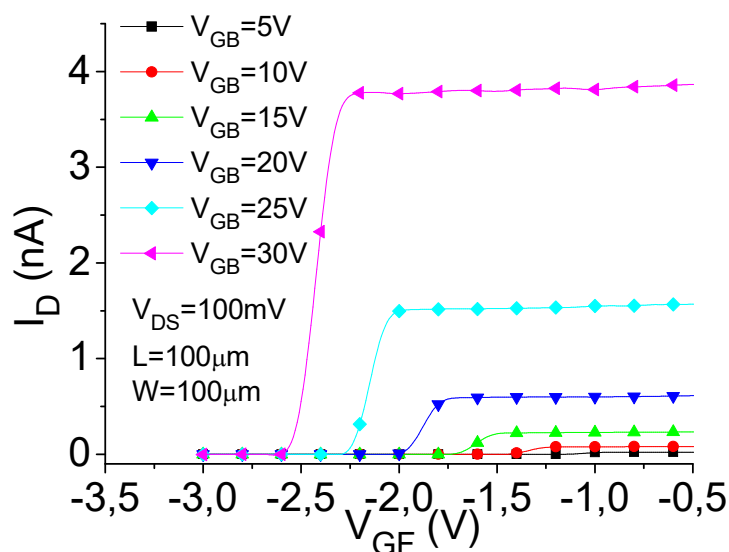


Figura 33 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A.

Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

Por simulações numéricas bidimensionais foi determinado que a função trabalho efetiva que o siliceto deveria ter para gerar uma corrente perfeitamente simétrica no dispositivo BE SOI é ($\Phi_m=4,57V$) (YOJO, 2018). Também por simulações numéricas, determinou-se que a função trabalho efetiva do siliceto que gera a diferença de corrente entre os portadores observada experimentalmente é ($\Phi_m=4,90V$).

Ainda que existam dificuldades experimentais e que a corrente de elétrons seja menor que a de lacunas no dispositivo fabricado, este apresenta características interessantes como a razão I_{on}/I_{off} de até de 10^4 A/A que pode ser observado na Figura 34 o torna interessante para algumas aplicações. Na Figura 35 é apresentada a curva característica tensão de saída em função da

tensão de entrada de um inversor lógico CMOS obtido pela associação de 2 transistores BE SOI.

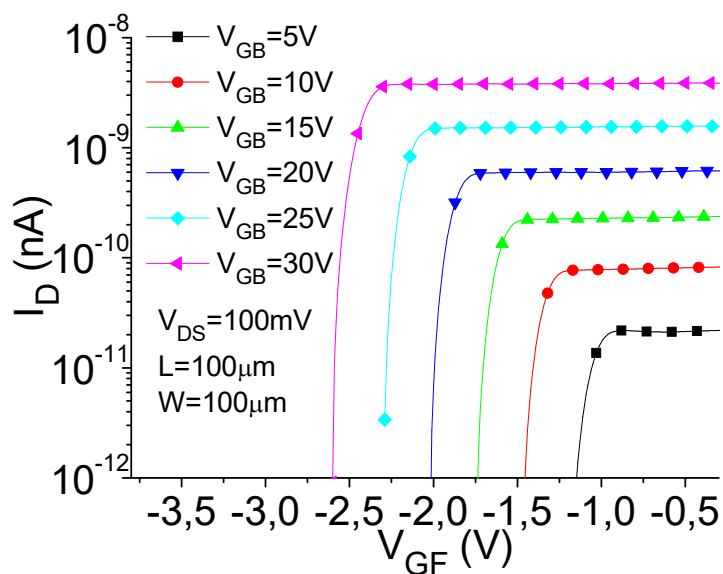


Figura 34 – Corrente de dreno em função da tensão de porta de controle para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A.

Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

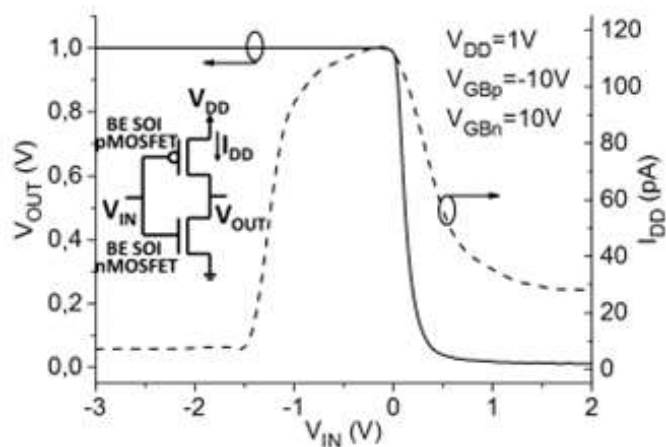


Figura 35 – Características de transferência estática e corrente do inversor BE SOI

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A.

Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

Este circuito inversor pode ainda demonstrar o conceito de reconfigurabilidade, ao inverter a polarização dos transistores obtém-se um comportamento praticamente idêntico, provando a reprodutibilidade das características elétricas dos transistores fabricados. Esta comparação pode ser observada na Figura 36. Existem resultados na literatura que mostram um maior deslocamento, principalmente em dispositivos de fluxo de processo mais complexo (WESSELY, 2013).

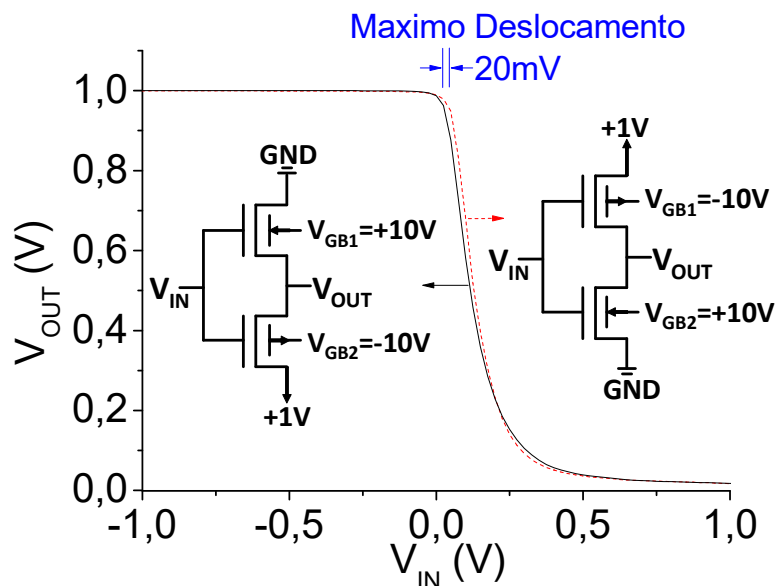


Figura 36 – Características de transferência estática do inversor ^{BE}SOI direta e invertida

Fonte: Adaptado de YOJO, L. S.; RANGEL, R. C.; SASAKI, K. R. A.; MARTINO, J. A.

Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter (SBMicro), 2017.

Estes resultados apresentam o ^{BE}SOI MOSFET operando como um transistor do tipo p e do tipo n, dependendo da polarização da porta de programação. Esse comportamento reconfigurável foi explorado para construir um circuito inversor e uma resposta típica do inversor CMOS foi alcançada.

Embora seja necessário um circuito extra para polarização, a flexibilidade de operação e a simplicidade de fabricação são as melhores características do ^{BE}SOI MOSFET. Portanto, o dispositivo pode ser usado para uma aplicação flexível em um circuito inversor, por exemplo.

Evidentemente ao atuar na característica reconfigurável de um inversor CMOS, o resultado é outro inversor CMOS. Este, portanto, é apenas um circuito

para prova de conceito, demonstrado aqui experimentalmente em função de sua simplicidade. Há outros trabalhos na literatura que demonstram outras possibilidades da reconfigurabilidade, no entanto apenas por simulações numéricas (TROMMER, et al., 2015). Nestes trabalhos comprova-se que é possível obter uma porta lógica NAND, ou uma NOR apenas mudando a polarização da porta de programação e invertendo-se os terminais de alimentação.

5.2.1 Melhorias na formação da junção Schottky.

Como já destacado obteve-se uma melhora no nível de corrente de elétrons, mas ainda assim, ela é cerca de 3 ordens de grandeza menor que a corrente de lacunas, como pôde ser observado nas Figura 31 e Figura 33. O que significa que o equilíbrio entre as correntes do transistor quando operando como do tipo P e do tipo N não foi atingido. E esta é uma característica desejável para futuras aplicações.

Há alguns trabalhos na literatura relatando a obtenção de transistores reconfiguráveis. E a obtenção de equilíbrio entre as correntes, para polarizações simétricas, é raramente atingido (SIMON, 2020). Isto se deve à dificuldade de obter função trabalho exata para se atingir este equilíbrio, ($\Phi_m=4,57V$) segundo (YOJO, 2018). Mas é também verdade que dificilmente a razão entre os níveis de corrente atinja valores tão altos (cerca de 10^3) quanto os observados neste experimento. A Figura 37 compara alguns resultados encontrados na literatura, a partir do fator de simetria, razão entre correntes de elétrons e lacunas, para polarizações iguais em valores absolutos.

Consultando os dados da literatura observa-se que o experimento do BE^{SOI} apresenta um fator de simetria muito baixo. Isto significa que há espaço para melhorias.

Uma das hipóteses estudada é a formação do siliceto de níquel separadamente da formação de pads de contato. No processo executado, por simplicidade e também para usar as fotomáscaras disponíveis, é depositada uma camada de Ni, e em seguida uma camada de Al, para só então realizar a

etapa térmica de formação do siliceto de níquel. É possível que a camada de Al interfira na formação de siliceto, levando ao elevado desequilíbrio observado.

Para averiguar esta hipótese foram construídas junções Schottky em lâminas de Si do tipo *bulk* (convencional). Todo o estudo foi completamente descrito por (ZANGARO, 2021).

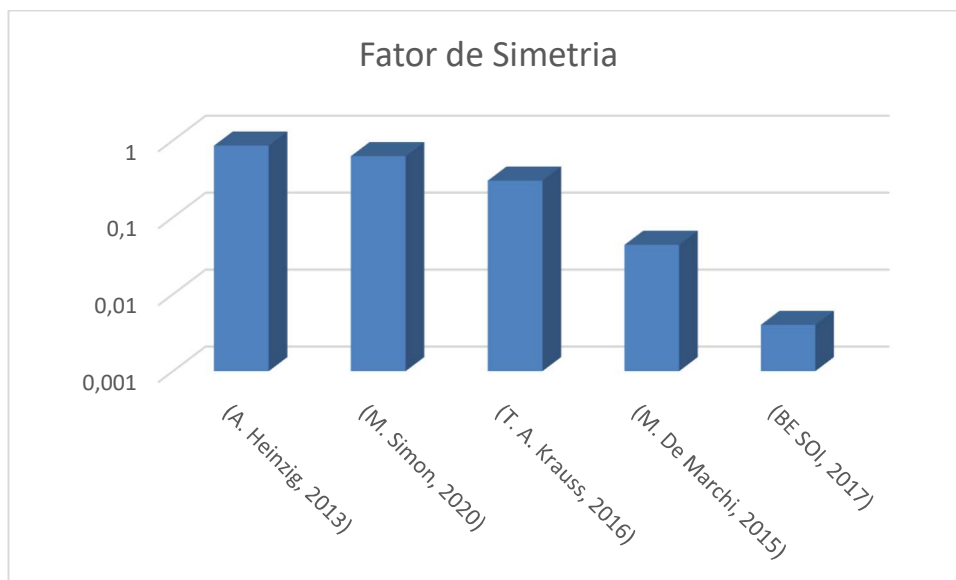


Figura 37 – Fator de simetria entre corrente de elétrons e de lacunas em diferentes transistores reconfiguráveis reportados na literatura.

Fonte: Adaptado de Simon, M. et. al. Top-Down Fabricated Reconfigurable FET With Two Symmetric and High-Current On-States. (ELECTRON DEVICE LETTERS, VOL. 41, NO. 7) 2020.

Resumidamente, uma das junções foi recozida já com a camada de Al depositada sobre o níquel, enquanto a outra sofreu a formação do siliceto de níquel e somente após isto recebeu uma camada de Al para formação dos *pads* de contato. A Figura 38 mostra a imagem no microscópio ótico de ambas as junções.

A imagem obtida no microscópio ótico permite observar uma certa rugosidade na estrutura que sofreu o tratamento térmico com presença da camada de Al (a). Enquanto a outra apresenta um aspecto de menor rugosidade (b). Os resultados de medidas IxV nestas 2 estruturas são apresentados na Figura 39.

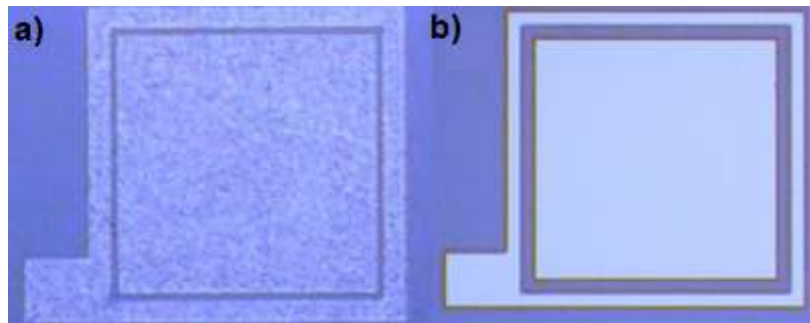


Figura 38 – a) Diodos Schottky obtidos pelos dois processos de fabricação. Amostra recozida com a camada de Al e b) amostra com formação de siliceto de níquel e posterior deposição de Al.

Fonte: Adaptado de Zangaro, H. A., R. C. Rangel, K. R. A. Sasaki, L. S. Yojo and J. A. Martino. Improvement of Schottky Junctions for application in ^{BE}SOI. (SBMicro), 2021.

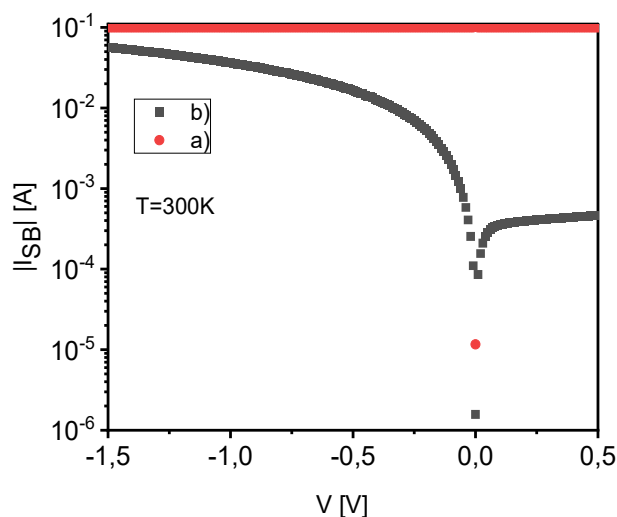


Figura 39 – Curva $I \times V$ das amostras a) e b) ao final da fabricação.

Fonte: Adaptado de Zangaro, H. A., R. C. Rangel, K. R. A. Sasaki, L. S. Yojo and J. A. Martino. Improvement of Schottky Junctions for application in ^{BE}SOI. (SBMicro), 2021.

Este curto-circuito observado na amostra a) pode ser atribuído a uma má formação da barreira Schottky. É possível que durante esta etapa, parte do alumínio possa difundir para o níquel e mais ainda, possa se incorporar ao NiSi em formação. Ao final das etapas de fabricação podem haver “estacas” (*spikes*) de Al que curto-circuitam a junção. Isto nos indica que parte do Al interfere na formação do siliceto de níquel nas amostras com esta sequência de processos. A presença de Al no siliceto de níquel pode favorecer a corrente de lacunas, o que explica a baixa corrente de elétrons nos transistores ^{BE} SOI obtidos a partir

desta sequência de fabricação. A Figura 40 mostra esquematicamente estas hipóteses levantadas a partir dos resultados deste experimento.

Já na amostra b) obteve-se uma curva característica de junção Schottky e foi possível extrair a altura da barreira Schottky por 3 métodos distintos e obter resultados compatíveis com os da literatura para NiSi (ZANGARO, 2021). A partir desta altura de barreira pôde-se obter a função trabalho do siliceto de níquel formado ($\Phi_M = 4,75\text{eV}$).

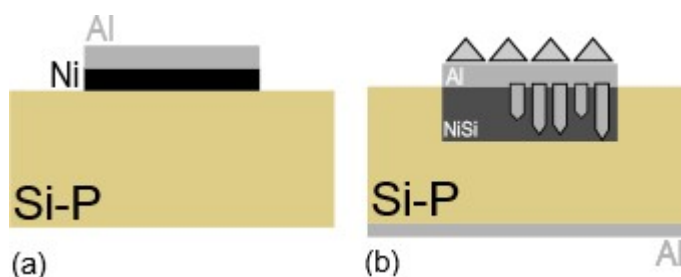


Figura 40 – Esquematização da fabricação da amostra A) e do processo de "má" formação da Junção Schottky de NiSi. Em (a) temos a amostra após a deposição do Al sobre o Ni. Em (b) a amostra após o tratamento térmico e a possibilidade de parte do Alumínio invadir o Silício, causando o curto-circuito observado anteriormente.

Fonte: Adaptado de Zangaro, H. A., R. C. Rangel, K. R. A. Sasaki, L. S. Yojo and J. A. Martino. Improvement of Schottky Junctions for application in ^{BE}SOI. (SBMicro), 2021.

Este valor de função trabalho não deve permitir um perfeito equilíbrio entre as correntes de elétrons e lacunas para o ^{BE} SOI, em condições de polarização simétricas. Mas deve reduzir muito a diferença, tornando possível propor o equilíbrio das correntes através de pequenos ajustes na polarização.

O experimento com as junções Schottky permite concluir que a sequência de processos mais adequada é realizar a formação do siliceto de níquel e, depois, depositar o alumínio. Isto exige um novo conjunto de fotomáscaras.

5.2.2 Transistores ^{BE}SOI com junção Schottky de NiSi e correntes equilibradas.

Com o aprendizado obtido nos experimentos de junções Schottky em lâminas bulk, foi possível concluir que uma nova sequência de fabricação era

necessária. Para isto foram projetadas novas fotomáscaras (RAMOS, 2021) que permitiram evitar tratamentos térmicos que favorecessem a difusão de átomos de Al no NiSi formado. E com isto, foram obtidos transistores ^{BE}SOI com níveis de corrente muito mais equilibrados. A Figura 41 mostra as correntes obtidas nesta nova sequência de fabricação. Neste gráfico aparece também a dimensão de subposição (L_{UD}), região que fica exposta para receber a solução que se deseja analisar. Lembrando que este novo conjunto de fotomáscaras permitiu também a obtenção de biossensores de glicose.

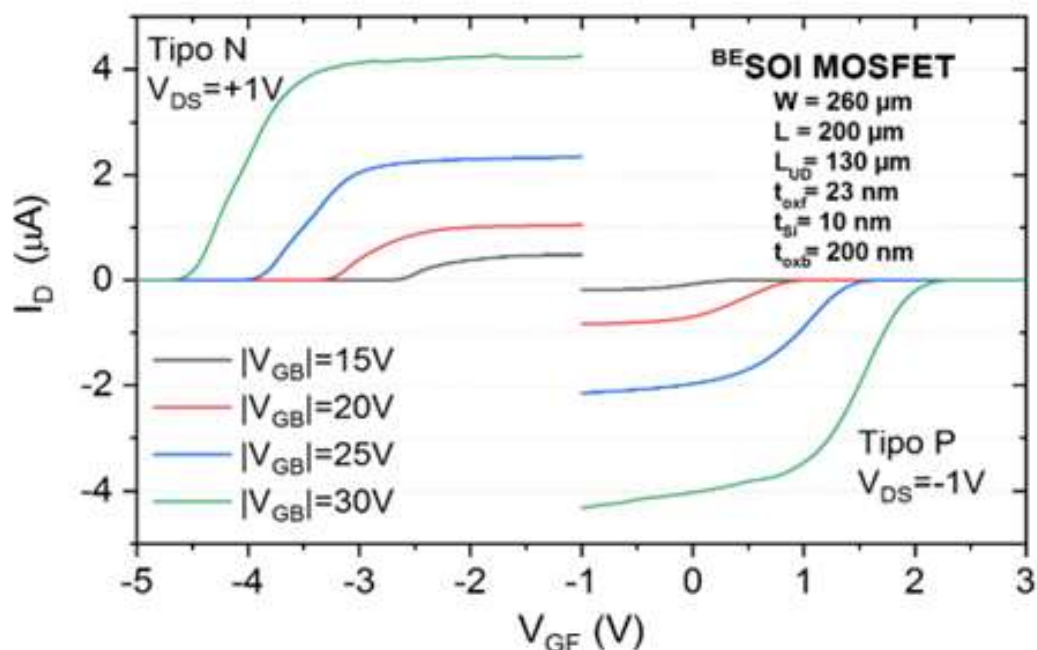


Figura 41 – Curvas de transferência do ^{BE}SOI MOSFET usando novo conjunto de fotomáscaras e sem tratamentos térmicos após deposição de Al.

Fonte: Adaptado de L. S. Yojo. Otimização de transistores ^{BE}SOI MOSFET como plataforma para aplicação em biossensores. (Tese de Doutorado-EPUSP), 2022.

O fator de simetria melhorou consideravelmente ao evitar etapas térmicas após a formação do NiSi, como pode ser observado na Figura 42.

Nesta região de subposição (*underlap*) do transistor foi possível fixar camadas de funcionalização da superfície, permitindo a obtenção de um biossensor de glicose (YOJO, 2022). A Figura 43 mostra o ^{BE}SOI MOSFET como biossensor de glicose a) em perfil esquemático, b) em perspectiva, e c) em imagem obtida no microscópio ótico.

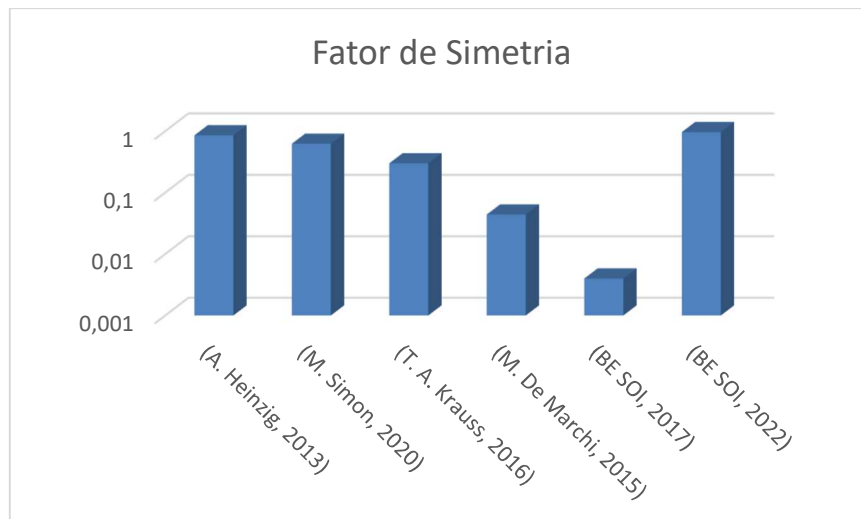


Figura 42 – Fator de simetria em diferentes transistores reconfiguráveis reportados na literatura; e o mais recente ^{BE} SOI.

Fonte: Adaptado de Simon, M. et. al. Top-Down Fabricated Reconfigurable FET With Two Symmetric and High-Current On-States. (ELECTRON DEVICE LETTERS, VOL. 41, NO. 7) 2020.

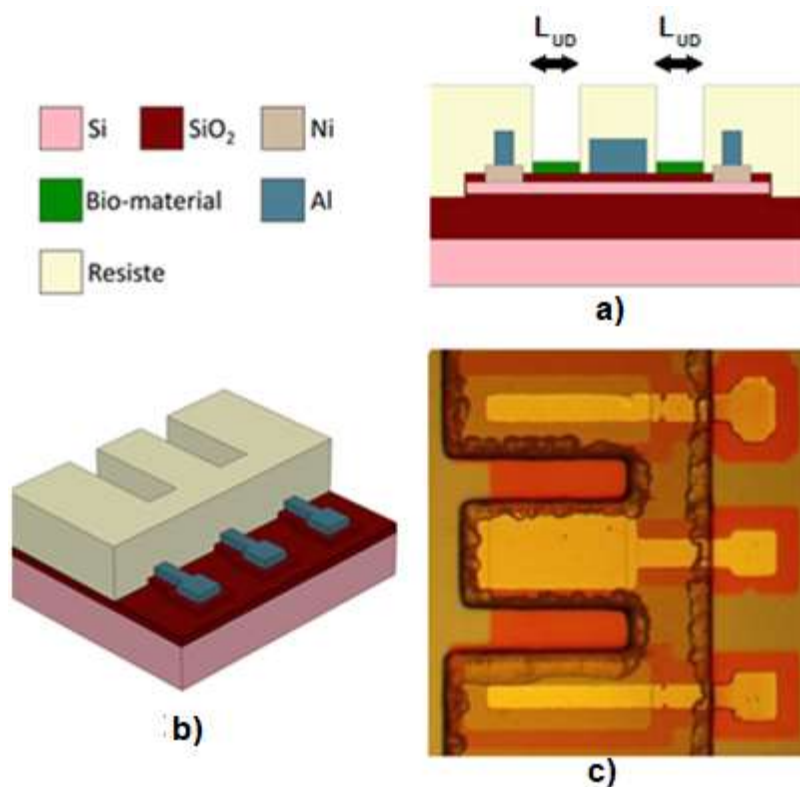


Figura 43 – BE SOI obtido com novo conjunto de fotomáscaras permitindo a obtenção de um biossensor de glicose. a) Perfil esquemático da estrutura completa. b) Figura esquemática em perspectiva. c) Imagem obtida no microscópio ótico.

Fonte: Adaptado de YOJO, L. S. Otimização de transistores ^{BE}SOI MOSFET como plataforma para aplicação em biossensores. (Tese de Doutorado - EPUSP) 2022.

A descrição completa relativa à fixação da enzima que catalisa a reação da glicose e gera cargas positivas está descrita em (YOJO, 2022). Neste texto deseja-se ressaltar que a obtenção de cargas positivas nas regiões de subposição causa maior variação na corrente de dreno quando o transistor está polarizado para operar como do tipo N. Como mostra a Figura 44. E esta detecção foi beneficiada pelas melhorias de processo de fabricação que alcançaram um fator de simetria próximo da unidade. Sem o aperfeiçoamento do processo para o transistor tipo N a limitação maior para a corrente seria a altura da barreira para elétrons e, conseqüentemente, a concentração da solução de glicose colocada nas regiões de subposição teria menor influência.

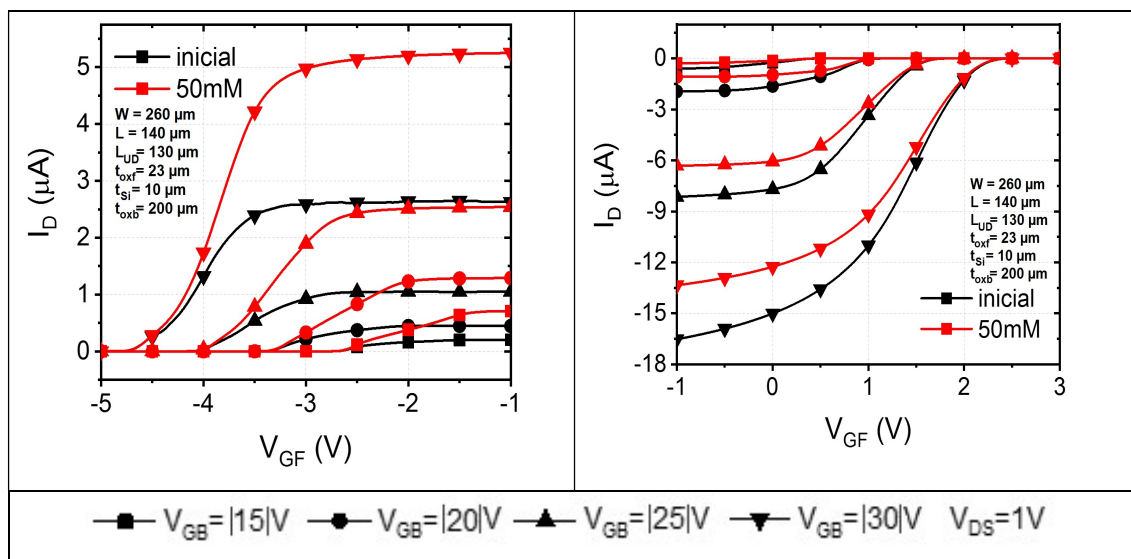


Figura 44 – ^{BE} SOI obtido com novo conjunto de fotomáscaras permitindo a obtenção de um biossensor de glicose. A esquerda polarizado para operar no modo N, e neste caso a presença de solução 50mM de glicose permite aumentar a corrente de dreno. À direita polarizado para operar no modo P, e neste caso, a presença de solução 50mM de glicose permite reduzir, em valor absoluto, a corrente de dreno.

Fonte: Adaptado de YOJO, L. S. Otimização de transistores ^{BE}SOI MOSFET como plataforma para aplicação em biossensores. (Tese de Doutorado - EPUSP) 2022.

A Figura 44 mostra que a corrente de dreno (I_D) aumenta em função da presença de glicose, quando o ^{BE} SOI está polarizado para operar no modo N. Por outro lado, a corrente de dreno diminui, em valor absoluto, quando operando no modo P. Isto deve-se ao aumento da concentração de íons H^+ , a partir da quebra da molécula de glicose catalisada pela enzima glicose oxidase (YOJO,

2022). Os íons positivos H^+ atuam aumentando a concentração de elétrons no primeiro caso, e diminuindo a de lacunas no segundo, explicando o comportamento da corrente de dreno.

O transistor BE SOI ao ser usado como biossensor apresenta esta flexibilidade de modo de operação. Isto pode permitir, no futuro, medidas mais complexas de fenômenos bioquímicos (que possam gerar ambos os tipos de cargas). Neste momento, como prova de conceito foi executada a medida como biossensor de glicose, que gera apenas cargas positivas.

5.3 Processo de fabricação utilizando lâmina SOI do tipo UTBB com óxido enterrado de 25 nm e eletrodo de contato com fonte e dreno de alumínio.

Para verificar o bom funcionamento do UTBB BE SOI, esta seção apresenta as principais características elétricas, comparando-o com o BE SOI (contatos de Al) com óxido enterrado espesso (200nm). A Figura 45 e a Figura 46 mostram as características de transferência nas escalas linear e logarítmica, para diferentes (V_{GB}) e polarização de dreno ($V_D = -100mV$). Os dispositivos possuem largura de canal (W) e comprimento (L) de $10\mu m$ e $50\mu m$, respectivamente.

Assim como ocorre em todos os transistores BE SOI MOSFET esta versão fabricada em lâminas UTBB apresenta uma corrente de dreno (I_{DS}) e tensão de limiar (V_{TH}) aumentadas para V_{GB} mais negativos (Figura 45 e Figura 46). O campo elétrico mais forte gerado pelo maior $|V_{GB}|$ induz mais lacunas na segunda interface, o que aumenta a corrente de dreno e a polarização da porta frontal (V_{GF}) necessária para bloquear a corrente de dreno, ou seja, o V_{TH} .

As Figura 45 e Figura 46 mostram claramente uma redução do V_{GB} usado para obter uma corrente de dreno de mesmo valor que se obtinha na versão anterior com óxido enterrado espesso (de 35V na Figura 26 a 5V na Figura 46), devido ao campo elétrico mais forte causado pelo óxido enterrado mais fino (de 200nm a 25nm).

A Figura 45 (escala linear) também indica uma degradação de I_{DS} mais forte causada pelo V_{GF} para V_{GB} mais alto. Esta degradação será discutida em detalhes ainda neste capítulo.

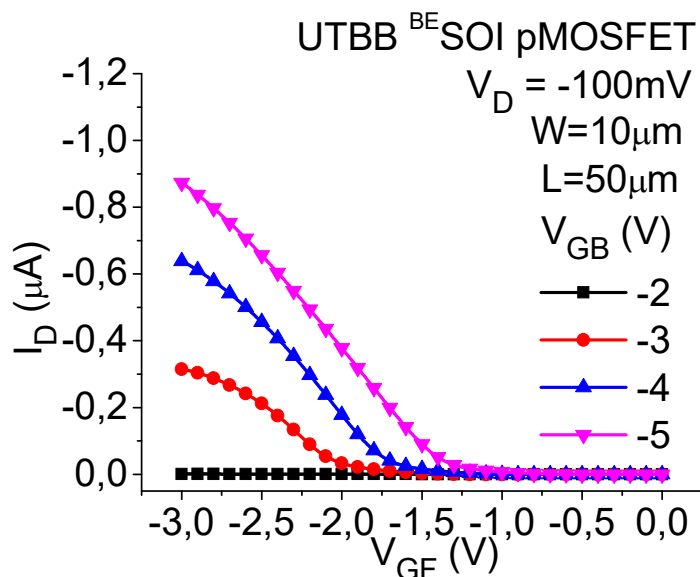


Figura 45 – Corrente de dreno em função da tensão de porta para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de K. R. A. Sasaki, R. C. Rangel, L. S. Yojo and J. A. Martino, “Third Generation ^{BE}SOI (Back-Enhanced SOI) pMOSFET fabricated on UTBB Wafer”, Proc. of SBMicro, 2019.

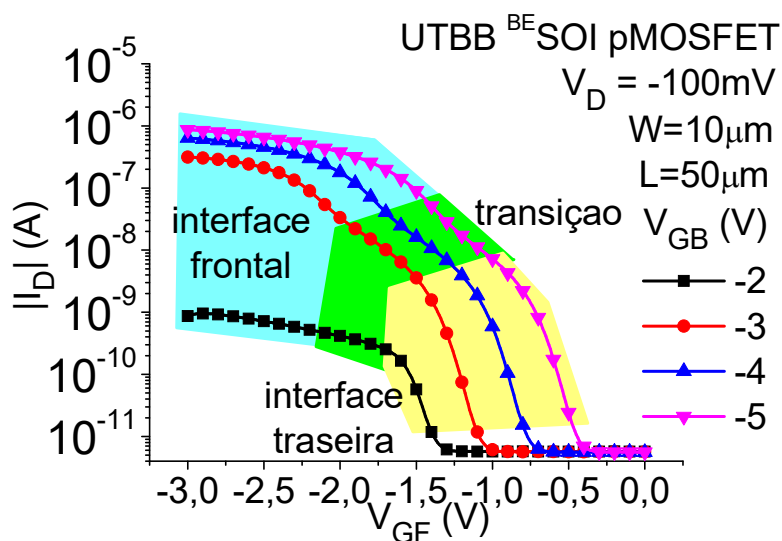


Figura 46 – Corrente de dreno em função da tensão de porta para diferentes tensões de porta de programação (V_{GB}).

Fonte: Adaptado de K. R. A. Sasaki et. Al. “Third Generation ^{BE}SOI (Back-Enhanced SOI) pMOSFET fabricated on UTBB Wafer”, Proc. of SBMicro, 2019.

Já na Figura 46 (escala logarítmica), nota-se uma elevação da corrente de dreno para dois valores diferentes de V_{GF} , principalmente para $V_{GB} \leq -3\text{V}$, o que

não está presente na versão anterior com óxido enterrado espesso (Figura 26). Na verdade, essas duas conduções estão relacionadas à formação do canal na primeira e segunda interfaces, um fenômeno comum nos dispositivos UTBB (SASAKI, et al., 2015). Além disso, em um dispositivo BE^E SOI, a dopagem da fonte e do dreno vem da acumulação fornecida pelo V_{GB} , ao contrário do MOSFET convencional, cuja fonte e dreno são formados por um processo de dopagem. Isso significa que a corrente de dreno da segunda interface é aumentada mais cedo (Figura 46) ou, ao mesmo tempo do que a da interface frontal. Portanto, a primeira elevação da corrente de dreno observada na Figura 46 é a condução do canal traseiro e, em seguida, para V_{GF} mais negativo, a interface frontal é acumulada.

Além disso, a Figura 47 também apresenta os coeficientes de acoplamento capacitivo (α) obtidos através de resultados experimentais para dispositivos BE^E SOI ($t_{oxb}=200\text{nm}$) e UTBB BE^E SOI ($t_{oxb}=25\text{nm}$).

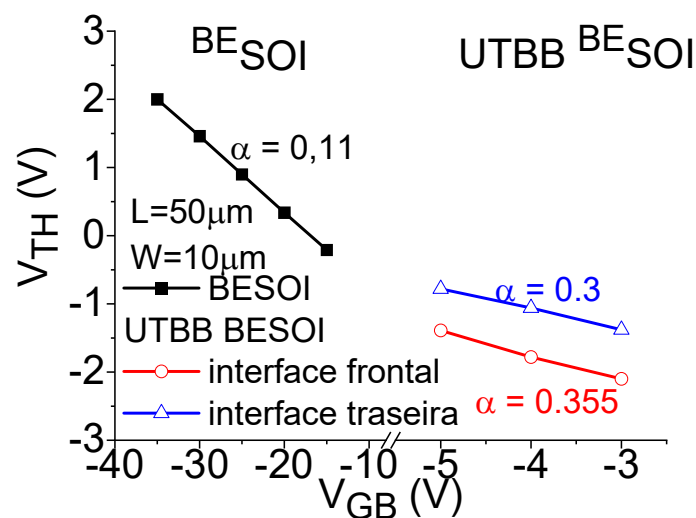


Figura 47 – Tensão de limiar (V_{TH}) em função da tensão de porta de programação (V_{GB}) comparando a primeira versão com óxido enterrado espesso, e as duas conduções da versão UTBB, pela primeira e segunda interface.

Fonte: Adaptado de K. Sasaki, et. al., “Third Generation (...)”, Proc. of SBMicro, 2019.

E a Figura 47 apresenta os coeficientes de acoplamento considerando a condução na primeira (α_F) e segunda (α_B) interfaces, dadas pelas equações de modelo de capacitância de (2) e (1), respectivamente (COLINGE, 1991).

Para o dispositivo BE SOI ($t_{\text{oxb}}=200\text{nm}$), é possível observar que o α experimental (0,11) corresponde ao calculado pela equação (2) (0,112). Isso significa que a maior parte da corrente de dreno está fluindo na segunda interface.

Tabela 25 – Coeficientes de acoplamento (α_F e α_B) do ^{BE}SOI e $UTBB^{BE}SOI$, considerando as conduções da primeira e segunda interfaces, respectivamente. Valores em negrito são os mais próximos do α experimental.

Equação	^{BE}SOI	$UTBB^{BE}SOI$
α_F obtido por (3)	0,072	0,358
α_B obtido por (2)	0,112	0,520

Onde:

$$\alpha_F = \frac{\left(\left(\frac{1}{C_{Si}} \right) + \left(\frac{1}{C_{BOX}} \right) \right)^{-1}}{C_{OX}} \quad (3)$$

C_{Si} , C_{BOX} e C_{OX} são capacitâncias por unidade de área das camadas de silício, óxido enterrado e óxido de porta respectivamente.

Por outro lado, para $UTBB^{BE}SOI$, o α experimental na interface frontal (0,355) é próximo ao obtido pela equação (3) (0,358), indicando uma condução principal na interface frontal. Em outras palavras, a redução da espessura de silício de 23nm a 9nm e a redução de óxido enterrado de 200nm a 25nm favorecem a condução na interface frontal.

A transcondutância g_m máxima, mostrada na Figura 48, também é beneficiada pela redução das espessuras, já que com a corrente fluindo preferencialmente na interface frontal, a tensão de porta (V_{GF}) controla de forma mais eficiente as cargas no canal. Por outro lado, isto também faz com que a degradação da transcondutância em função do aumento da tensão de porta também seja mais acentuada. Quando a tensão na porta de programação é de ($V_{GB}=-5V$) a transcondutância máxima é menor, assim como também diminui a degradação da transcondutância se comparada ao caso de ($V_{GB}=-4V$).

Por fim são apresentadas também as características de saída ($I_{DS} \times V_{DS}$), na Figura 49, $V_{GB} = -5V$. Apesar da maior resistência em série devido ao t_{Si} mais fino (9nm comparado a 23nm), a condução em ambas as interfaces aumenta a

corrente de dreno para a mesma tensão aplicada aos terminais de fonte e dreno, e mesma sobretensão de porta ($V_{GF}-V_{TH}$).

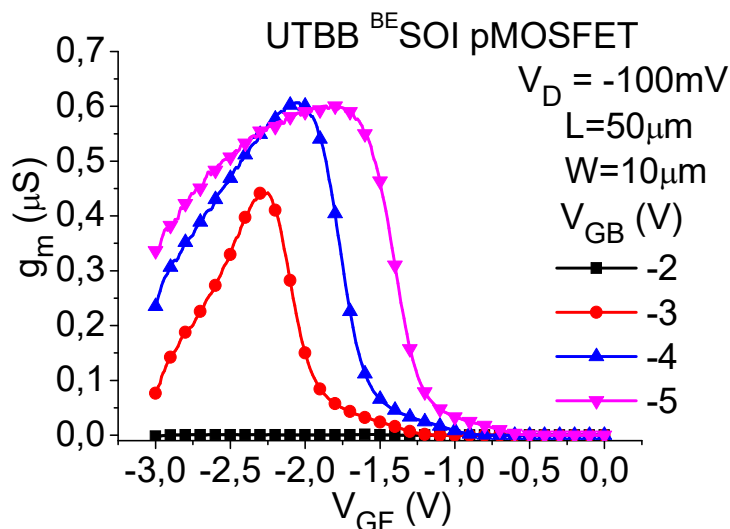


Figura 48 – Transcondutância em função da tensão de porta, para diferentes tensões na porta de polarização (V_{GB}).

Fonte: Adaptado de K. Sasaki, et. al., “Third Generation (...)”, SBMicro, 2019.

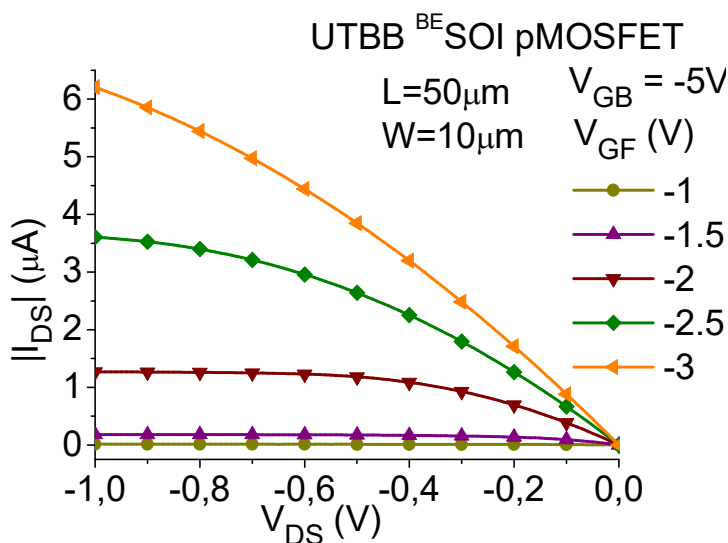


Figura 49 – Corrente de dreno em função da tensão de dreno em função da tensão de dreno para diferentes tensões de porta (V_{GF}).

Fonte: Adaptado de K. Sasaki, , “Third Generation(...)”, SBMicro, 2019.

Após a análise dos principais parâmetros dos transistores é possível observar que o acoplamento mais forte apresentado pela mudança do ^{BE}SOI com óxido enterrado espesso para o ^{BE}SOI fabricado em lâmina UTBB trouxe

algumas vantagens. A condução de corrente na interface frontal quando o canal traseiro já está formado melhora o desempenho do dispositivo aumentando em 67% a corrente de dreno, 122% a transcondutância máxima, enquanto ainda usa polarização sete vezes menor e em um processo de fabricação ainda muito simples. A única desvantagem observada foi a degradação da transcondutância quase seis vezes maior com o V_{GF} , mas que pode ser reduzida ao aumentar a tensão da porta de programação (V_{GB}).

Portanto, o óxido enterrado mais fino proporcionado pela lâmina SOI UTBB não só permitiu a redução das tensões usadas fazendo o dispositivo mais compatível com a tecnologia SOI CMOS padrão, como ainda trouxe outras vantagens.

5.4 Processo de fabricação utilizando lâmina SOI convencional com 200nm de óxido enterrado e eletrodo de contato com fonte e dreno de alumínio sem etapa de sinterização.

Esta seção apresenta as características experimentais e simuladas de um transistor ^{BE}SOI MOSFET com contato de alumínio não sinterizado. Sem esse processo de sinterização, o transistor adquire uma corrente maior para os elétrons, mas não possui uma corrente significativa para as lacunas. Esta característica é oposta às observadas anteriormente em transistores sinterizados. Este resultado pode ser usado para melhorar o desempenho do ^{BE}SOI como um todo.

A Figura 50 mostra a característica de transferência ($I_{DS} \times V_{GF}$) do dispositivo operando como tipo n ($V_{GB} \gg 0$), para diferentes valores da porta de programação (V_{GB}).

Há um aumento notável na corrente de elétrons comparado aos dispositivos com contatos de Al sinterizados (seção 5.1 e 5.3). Este incremento de corrente é de cerca de 10^5 . Evidentemente tal incremento deve-se ao nível de corrente de elétrons muito baixo obtido nos dispositivos com contatos de Al sinterizados, onde praticamente não há comportamento como nMOS.

Se comparado ao dispositivo com contatos de NiSi (seção 5.2), há um aumento na corrente de elétrons de cerca de 20.

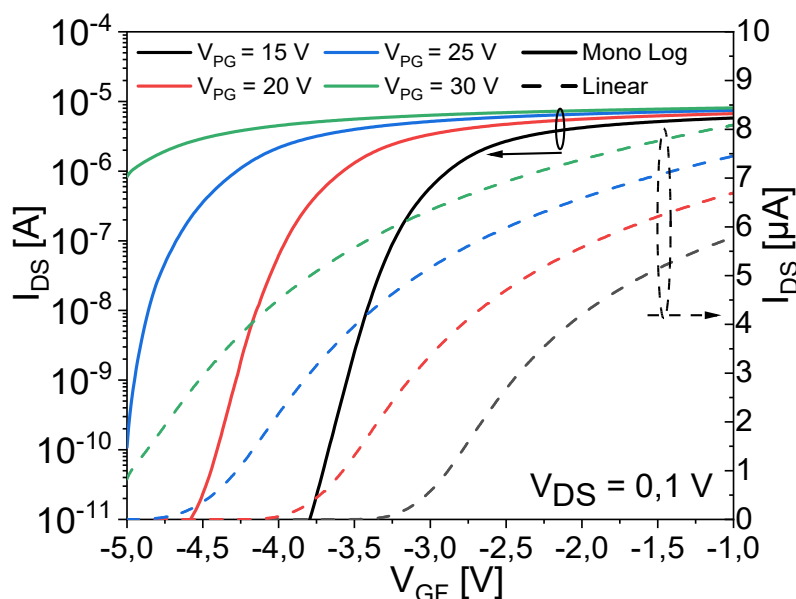


Figura 50 - Corrente de dreno (experimental) em função da tensão da porta de controle (V_{GF}) para diferentes tensões da porta de programação (V_{PG}).

Fonte: Adaptado de H. L. Carvalho, "Al Source-Drain Schottky contact enabling N-type (Back Enhanced) ^{BE}SOI MOSFET", SBMicro, 2022.

Este efeito deve-se à presença da junção Schottky alumínio/p-silício. A função trabalho do Al ($\sim 4,1\text{eV}$) promove não apenas a obtenção de uma região de depleção próxima ao contato, mas também uma significativa concentração de elétrons, como mostra a Figura 52. No entanto, a consequência é que este dispositivo não possui uma corrente de lacunas significativa, justamente devido a esta presença de elétrons próximos ao contato.

Na forma atual, este dispositivo não pode funcionar como um transistor reconfigurável (RFET), pois são necessárias correntes de dreno equalizadas de tipo n e tipo p. No entanto, é possível que esta junção Schottky de alumínio e p-silício, possam ser fabricadas lateralmente. Em (SASAKI, 2021), uma maior corrente de elétrons foi relacionada à adição de uma região n-dopada, lateralmente ao contato de Al sinterizado, sob parte dos eletrodos fonte e dreno, este trabalho refere-se a resultados simulados.

A dopagem a ser realizada, por sugestão de (SASAKI, 2021), é uma solução interessante para dispositivos de grandes dimensões, no entanto, em

dispositivos de pequenas dimensões pode se tornar impraticável devido a efeitos de “*random doping fluctuations*”. E, portanto, uma corrente elevada para elétrons, sem necessidade de dopagens e usando apenas contatos de Al pode ser muito interessante.

A tensão de limiar pode ser extraída para diferentes tensões de porta de programação (V_{GB}). A Figura 51 apresenta a tensão de limiar (V_{TH}) em função da tensão da porta de programação (V_{GB}). O fator de acoplamento capacitivo pode ser calculado de forma semelhante ao realizado para os dispositivos com contatos de Al sinterizados (seção 5.1 e 5.3).

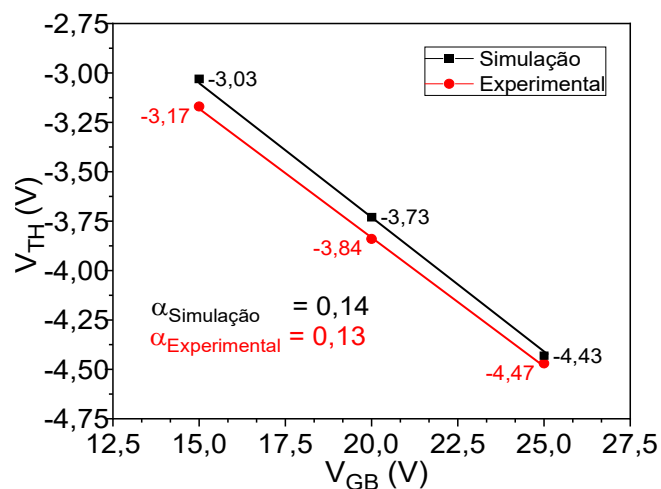


Figura 51 - Tensão de limiar (V_{TH}) em função da tensão da porta de programação para resultados simulados e experimentais.

Fonte: Adaptado de H. L. Carvalho, “Al Source-Drain Schottky contact enabling N-type (Back Enhanced) ^{BE}SOI MOSFET”, SBMicro, 2022.

O fator de acoplamento capacitivo (α) obtido experimentalmente foi comparado à resultados obtidos por simulações numéricas realizadas com o software TCAD Sentaurus (CARVALHO, 2022), quando os resultados obtidos foram similares as simulações numéricas foram consideradas ajustadas ao experimento realizado. E a partir de então as simulações foram usadas para explicar os fenômenos observados experimentalmente. Dois tipos de dispositivos foram simulados: sem (Figura 52) e com (Figura 53) processo de sinterização.

A simulação do dispositivo sem sinterização mostrou que o contato Schottky entre o metal e o silício tipo p promove uma maior concentração de

elétrons na região da interface frontal sob o contato da fonte (esse efeito é semelhante na junção de dreno). Este efeito pode ser visto na Figura 52 (a) através da alta concentração de elétrons ($\sim 10^{19} \text{cm}^{-3}$) na interface frontal.

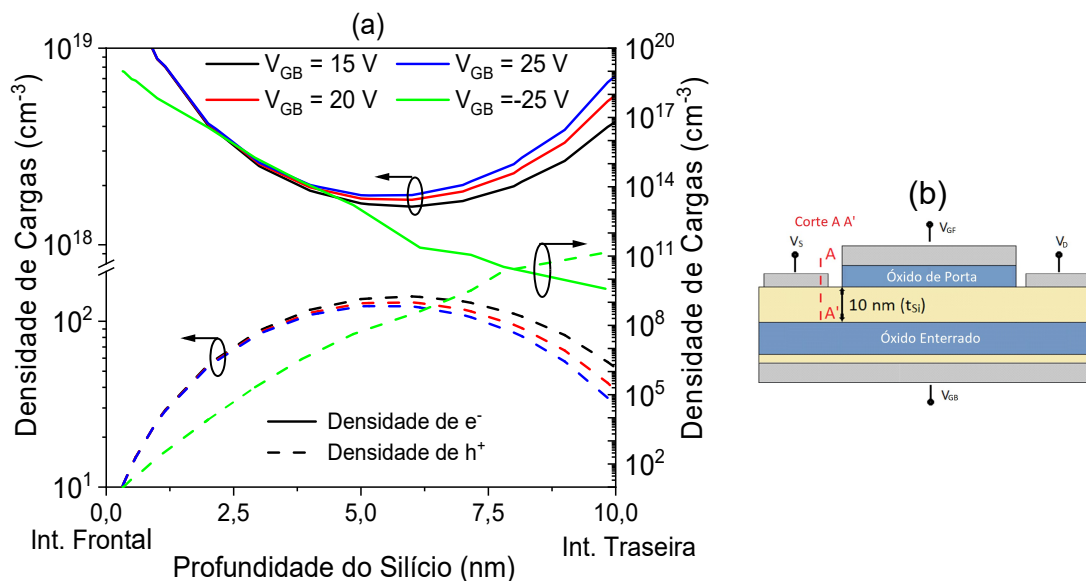


Figura 52 - A densidade de carga na profundidade do silício para a situação de contato Schottky (a) e perfil esquemático do transistor indicando o corte observado (b).

Fonte: Adaptado de H. L. Carvalho, "Al Source-Drain Schottky contact enabling N-type (Back Enhanced) ^{BE}SOI MOSFET", SBMicro, 2022.

Além disso, uma alta concentração de elétrons, originada da tensão da porta de programação ($V_{GB} > 0$), é observada próximo à segunda interface. A alta concentração de elétrons em ambas as interfaces facilita o fluxo de elétrons entre a primeira e segunda interfaces, permitindo a condução da corrente de dreno. Note que a espessura da camada de Si ($t_{Si} = 10 \text{nm}$) é fundamental para o funcionamento deste dispositivo.

Caso a espessura seja muito grande pode haver um desacoplamento entre as interfaces e assim, uma região neutra tipo P pode promover uma elevada resistência imediatamente abaixo dos contatos.

Analogamente o dispositivo sinterizado, cuja densidade de cargas resultante das simulações numéricas pode ser vista na Figura 53, adquire uma maior concentração de lacunas abaixo do eletrodo fonte, proporcionado pela porta de programação ($V_{GB} < 0$). Assim, pode haver corrente de lacunas entre a primeira e segunda interface dependendo da tensão de dreno (V_{DS}).

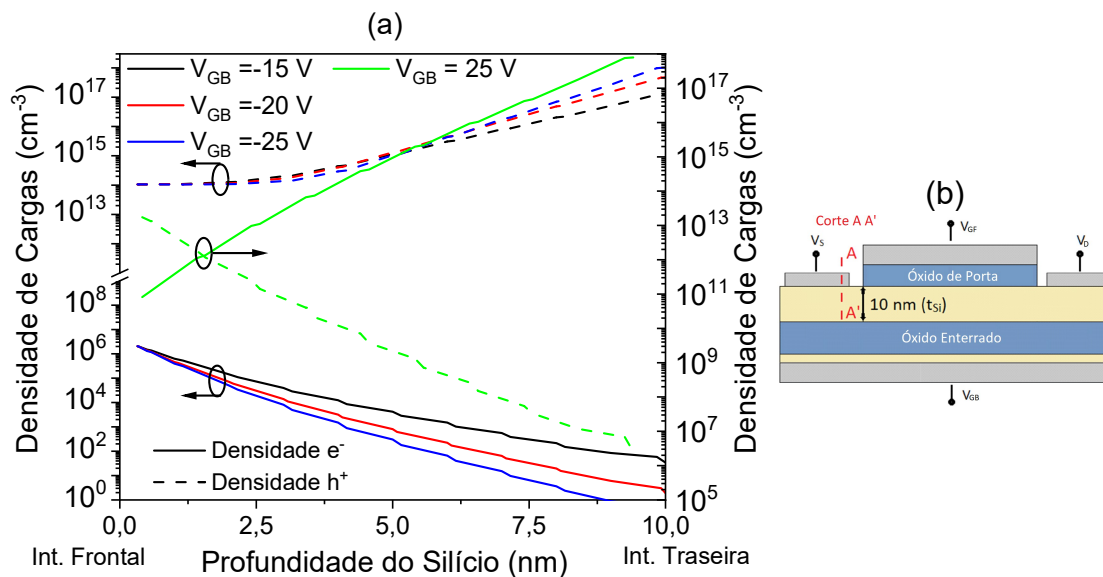


Figura 53 - A densidade de carga na profundidade do silício para a situação de contato Ôhmico (a) e perfil esquemático do transistor indicando o corte observado (b).

Fonte: Adaptado de H. L. Carvalho, "Al Source-Drain Schottky contact enabling N-type (Back Enhanced) ^{BE}SOI MOSFET", SBMicro, 2022.

O transistor sem sinterização, Figura 52, na operação como tipo-p ($V_{GB} = -25$ V e $V_{DS} = -0,1$ V) adquire maior concentração de lacunas próximas à segunda interface. No entanto, a junção Schottky faz com que a presença de elétrons predomine na interface frontal. Assim, como não há um predomínio de lacunas em ambas as interfaces, o nível de corrente de lacunas é muito baixo, tendendo a ser desprezível.

Analogamente para a situação de contato ôhmico, promovido pela sinterização e visto na Figura 53, o canal de elétrons ($V_{GB} = 25$ V) cria uma situação semelhante, porém, com uma concentração de lacunas próxima à região da interface frontal. Com a simulação de ambos os dispositivos (com contato Schottky e ôhmico) é possível obter o diagrama de bandas sob a junção, como mostra a Figura 54, complementando os diagramas de densidade de carga. A Figura 54 (a) mostra o diagrama de bandas de energia para a situação de junção Schottky (sem sinterização) e a Figura 54 (b) para a situação de junção ôhmica (com sinterização).

Para a situação de junção Schottky, Figura 54 (a), temos uma barreira baixa para que os elétrons fluam entre a primeira e segunda interfaces na situação $V_{GB} \gg 0$, porém para $V_{GB} \ll 0$ temos a distância entre o nível de quase-

Fermi para os elétrons e a banda de condução aumentando proporcionalmente à profundidade de silício, criando uma elevada concentração de lacunas na segunda interface. Da mesma forma, para a junção ôhmica, Figura 54 (b), temos uma barreira baixa para lacunas ($V_{GB} \ll 0$), mas ao atrair elétrons para a região da segunda interface ($V_{GB} \gg 0$) há um aumento na concentração de elétrons somente na segunda interface, fazendo a corrente para elétrons ser praticamente nula.

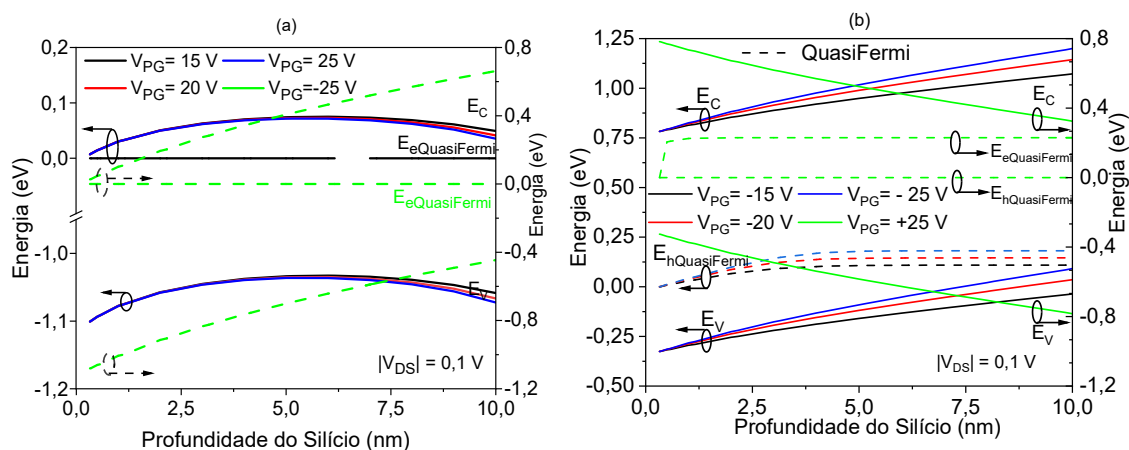


Figura 54 - Os diagramas de banda de energia para o silício sobre o isolante e na região sob contato Schottky (a), ou seja, sem sinterização e ôhmico (b), ou seja, com sinterização.

Fonte: Adaptado de H. L. Carvalho, "Al Source-Drain Schottky contact enabling N-type (Back Enhanced) ^{BE}SOI MOSFET", SBMicro, 2022.

Deste modo, há a perspectiva de se obter contatos de baixa resistência, tanto para elétrons quanto para lacunas, através de um contato de Al/Si, desde que, no primeiro caso o processo de fabricação evite a etapa de sinterização, e no segundo caso, realize uma etapa de sinterização. Isto pode ser alcançado dividindo-se a etapa de metalização em 2 partes. Primeiramente, deposita-se o Al que faz o contato que irá favorecer lacunas e realiza-se a sinterização. Após isto, nova deposição de Al que faz o contato que irá favorecer elétrons e não se realiza nenhuma etapa térmica. Esta é uma proposta de trabalho futuro que os resultados indicam.

6. CONCLUSÕES E PERSPECTIVAS

Neste trabalho foram apresentados a fabricação e a caracterização elétrica de transistores SOI com formação de Fonte/Dreno induzida por campo elétrico que recebeu o nome de “Back Enhanced” ^{BE}SOI MOSFET. Todo trabalho foi realizado utilizando a infraestrutura disponível no Laboratório de Sistemas Integráveis do Departamento de Sistemas Eletrônicos da Escola Politécnica da USP.

A sequência de fabricação foi desenvolvida para ser a mais simples possível, para implementação de um transistor reconfigurável SOI planar.

Foram realizadas 4 rodadas de fabricação completas, a primeira, a mais simples possível, permitiu uma relação $I_{ON}/I_{OFF}=10^5$ para o transistor operando como do tipo P, com tensão de -35V aplicada à porta de programação; no entanto, não obteve característica reconfigurável já que o transistor do tipo N não funcionou. A segunda rodada de fabricação substituiu os contatos de alumínio por siliceto de níquel de modo a incrementar o caráter reconfigurável dos dispositivos, e obteve relação $I_{ON}/I_{OFF}=10^6$ para o transistor operando como do tipo P, com tensão de -30 V aplicada à porta de programação; e relação $I_{ON}/I_{OFF}=10^4$ para o transistor operando como do tipo N, com tensão de +30 V aplicada à porta de programação. Na terceira rodada foi usado óxido enterrado ultrafino (25nm) permitindo reduzir a tensão aplicada à porta de programação para -5V. Ao final foi realizada uma quarta rodada de fabricação para a obtenção de biossensores de glicose com o ^{BE}SOI. Nesta mais recente rodada um novo conjunto de fotomáscaras foi projetado permitindo incrementar a sequência de processos de fabricação para inserir melhorias que as caracterizações anteriores mostraram possíveis. Uma delas foi separar as deposições de Al e Ni durante a fabricação, e com isto a formação do NiSi resulta em um material com função trabalho 4,75eV, melhorando o nível de corrente do transistor tipo N e tornando o transistor reconfigurável ^{BE}SOI mais equilibrado, com fator de simetria 0,95. Este equilíbrio permitiu demonstrar experimentalmente que a flexibilidade do ^{BE}SOI possui aplicações para biossensores, já que a detecção de glicose pôde ocorrer nos modos de operação tipo P e, também, tipo N, com este último mostrando maior sensibilidade para cargas positivas no eletrólito.

As características elétricas da terceira rodada de fabricação mostram que com a utilização de um óxido enterrado ultrafino foi possível reduzir as tensões de programação necessárias e ainda incrementou algumas características como a capacidade de condução de corrente. A corrente é incrementada pois as duas interfaces (primeira e segunda) são usadas para passagem de portadores, fenômeno comum em dispositivos UTBB SOI convencional. Devido a isto, a corrente de dreno ficou 67% maior, e a transcondutância máxima 122% maior.

Finalmente foi obtido um transistor com contatos de Al e sem etapas de sinterização, o que provocou um contato Schottky que favorece uma maior densidade de elétrons próximo ao contato. Este dispositivo apresentou elevada corrente de dreno para os elétrons, cerca de 20 vezes maior se comparado ao transistor ^{BE}SOI mais equilibrado com NiSi. Mas em consequência apresentou baixa corrente para lacunas. Comprovando ser possível obter elevadas correntes para elétrons e para lacunas em contatos de Al, desde que o processo de sinterização seja evitado no primeiro caso e realizado no segundo.

Como proposta para próximos trabalhos, a corrente de dreno pode ser incrementada com a obtenção de Transistores Reconfiguráveis de duplo contato de Al (com e sem sinterização). Assim permite-se elevada corrente sem a necessidade de dopagens, que pode ser uma dificuldade em dispositivos com camada de silício cada vez mais finos, devido a problemas de variação aleatória de dopantes ("*random doping fluctuations*"). E isto ainda pode ser incrementado pelo uso de lâminas UTBB onde a passagem de corrente por ambas as interfaces pode incrementar ainda mais a corrente de dreno, aproximando o transistor reconfigurável do desempenho de transistores convencionais.

REFERÊNCIAS

AHMAD S. S. et al Performance measures of different gate oxide materials in gate all around FET [Artigo] // International Journal of Recent Technology and Engineering. - 2020. - Vol. 9.

ARABI K et al 3D VLSI: A Scalable Integration Beyond 2D [Conferência] // International Symposium on Physical Design. - 2015.

BALDAUF T et al Tuning the tunneling probability by mechanical stress in Schottky barrier based reconfigurable nanowire transistors [Artigo] // Solid-State Electronics. - 2017. - Vol. 128.

BALZANI V, et al Nanoscience, and nanotechnology: the bottom-up construction of molecular devices and machines [Artigo] // Pure Appl Chem. - 2008.

BHOL K., et al Silicon Nanowire GAA-MOSFET: a Workhorse in Nanotechnology for Future Semiconductor Devices [Artigo] // Silicon. - 2021.

BOYLESTAD R. L. e NASHELSKY L. Dispositivos Eletrônicos e Teoria de Circuitos [Livro]. - São Paulo : Pearson Education do Brasil, 2013.

BROZEK T. Micro-and nanoelectronics: emerging device challenges and solutions [Livro]. - Boca Raton : CRC Press, 2015.

BRUEL M. et al. Smart-Cut: A New Silicon On Insulator Material Technology Based on Hydrogen Implantation and Wafer Bonding. [Artigo] // Japanese Journal of Applied Physics, v.36. - 1997. - pp. 1636-1641.

CARVALHO L. C. Al Source-Drain Schottky contact enabling N-type (Back Enhanced) BESOI MOSFET [Conferência] // SBMicro 2022. - 2022.

CELLER G. et al. Smart Cut™ : A guide to the technology, the process, the products. [Relatório]. - Parc Technologique des Fontaines : SOITEC, 2003.

CHIARELLA T. et. al. Benchmarking SOI and bulk FinFET alternatives for PLANAR CMOS scaling succession [Artigo] // Solid-State Electronics. - Setembro de 2010. - pp. 855-860.

CHOW [Online]. - IBM, 16 de Novembro de 2021. - 14 de fevereiro de 2022. - <https://research.ibm.com/blog/127-qubit-quantum-processor-eagle#pageStart>.

CLARIANT AZ5214E Product Data Sheet [Relatório] / CLARIANT Electronic Materials. - Muttenz : CLARIANT Electronic Materials, 2010.

CLARIANT Product data sheet: AZ 1500 series standard photoresists [Relatório] / Clariant. - Muttenz : Clariant, 2008.

COLINGE J. P. Silicon-on-Insulator Technology: Materials to VLSI [Livro]. - Berkeley : Kluwer Academic Publishers, 1991.

COLINGE J.P. e COLINGE C.A. Physics of Semiconductor Devices. [Livro]. - 1st Ed. Massachusetts : Kluwer Academic Publishers, 2002.

CONVERTINO C. et. al. A hybrid III–V tunnel FET and MOSFET technology platform integrated on silicon [Artigo] // Nature Electronics. - 2021. - Vol. 4.

CRISTOLOVEANU S. et al Point-Contact Pseudo-MOSFET for In-Situ Characterization of As-Grown Silicon-on-Insulator Wafers [Artigo] // IEEE Electron Device Letters. - 1992. - pp. 102-104.

DE MARCHI M, et al Polarity control in double-gate, gateall- [Conferência] // IEEE Int. Electron Devices Meeting (IEDM). - 2012.

DE MARCHI M. Polarity control at runtime: From circuit concept to device fabrication [Livro]. - Lausanne, Switzerland : School Comput. Commun. Sci. (phD dissertation), 2015.

GABEN L. et al. Evaluation of Stacked Nanowires Transistors for CMOS: Performance and Technology Opportunities [Artigo] // ECS Transactions. - Maio de 2016. - pp. 43-54.

GHAI D et al Circuits and Systems (MWSCAS) [Conferência] // IEEE 56th International Midwest Symposium. - 2013.

GUPTA G. et al Electrostatic Doping in Semiconductor Devices [Artigo] // IEEE Transactions on Electron Devices. - Aug. de 2017. - pp. 3044-3055.

HEINZIG A, et al Dually Active Silicon Nanowire Transistors and Circuits with Equal Electron and Hole Transport [Artigo] // Nano Letters. - 2013.

HEINZIG A, et al Reconfigurable silicon nanowire transistors [Artigo] // Nano Letters. - 2012.

HEMMENT P. L. F. Semiconductor-on-insulator and thin-film transistor technology [Artigo] // MRS Symposium Proceedings. - 1986. - p. 207.

HEYNS M. Ultimate Scaling of CMOS Logic Devices with Ge and III–V Materials [Conferência] // MRS Bulletin. - [s.l.] : Cambridge University Press, 2009. - Vol. 34.

HILL D. et al. The reduction of dislocations in oxygen implanted silicon-on-insulator layers by sequential implantation and annealing. [Artigo] // Journal of Appl. Physics, v. 63. - 1988. - p. 4933.

IEONG M Comparison of raised and Schottky source/drain MOSFETs using a novel tunneling contact model [Conferência] // IEEE International Electron Devices Meeting. - 1998.

IONESCU A. M. e RIEL H. Tunnel field-effect-transistors as energy efficient electronic switches [Artigo] // Nature. - Novembro de 2011. - pp. 329-337.

IRDS International Roadmap for Devices and Systems – More Moore [Relatório]. - [s.l.] : IEEE, 2021.

JOSEPHSON B D The discovery of tunnelling supercurrents [Artigo] // Review of Modern Physics. - 1974. - Vol. 46.

KAUSHAL P. et. al. The role of 2-Dimensional materials for electronic devices [Artigo] // Materials Science in Semiconductor Processing. - 2022. - Vol. 143.

KILBY Jack S [Patente] : US3115581A. - EUA, 1959.

KRAUSS T. A. Favorable combination of Schottky barrier and junctionless properties in field-effect transistors for high temperature applications [Artigo] // ECS Transactions. - 2016. - Vol. 75.

KRISHNAMOHAN T. et. al. High mobility Ge and III–V materials and novel device structures for high performance nanoscale MOSFETS [Conferência] // ESSDERC. - 2008.

LIM H. K. e FOSSUM J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. [Artigo] // IEEE Transaction on Electron Devices, v. 30. - 1983. - p. 1244.

LIMA Ricardo Rivera de Sousa [et al.] Microeletrônica: qual é a ambição do Brasil?. [Relatório]. - Rio de Janeiro : BNDES Setorial, n.41, 2015. - pp. p. [345]-396.

MARTINO J. A. Modelagem do Substrato e Novos Métodos de Caracterização Elétrica de SOI MOSFET [Livro]. - São Paulo : Tese de Livre Docência , 1998.

MARTINO J. A. Um Processo CMOS de cavidade dupla para comprimento de porta de 2 μm . [Livro]. - São Paulo : Tese de Doutorado apresentada à Escola Politécnica da USP, 1988.

MARTINO J. A., PAVANELLO M. A. e VERDONCK P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS [Livro]. - São Paulo : Ed. Pioneira Thomson Learning Ltda, 2003.

MARTINO, SANTOS, SEABRA, POJAR, RANGEL
<https://fapesp.br/fronteras/salamanca> [Online]. - FAPESP, 12 de Dezembro de 2012. - 25 de junho de 2022. - <http://www.fapesp.br/fronteras/sal/martino.pdf>.

MAURYA R.K., et. al. Review of FinFET Devices and Perspective on Circuit Design Challenges [Artigo] // Silicon. - [s.l.] : Springer, 2021.

MIKOLAJICK T et al 20 Years of reconfigurable field-effect transistors: From concepts to future applications [Artigo] // Solid State Electronics. - 2021.

MIKOLAJICK T et al The RFET—a reconfigurable nanowire transistor and its application to novel electronic circuits and systems [Artigo] // Semicond. Sci. Technol.. - 2017.

MIRÓ P. et. al. An atlas of two-dimensional materials [Artigo] // Chemical Society Reviews. - 2014. - Vol. 43.

MOORE G.E. Cramming more components onto integrated circuits [Artigo] // IEEE SSCS NEWSLETTER. - 1965. - Vol. 38.

NAVARRO C. [et al.] Reconfigurable field effect transistor for advanced CMOS: Advantages and limitations [Artigo] // Solid-State Electronics. - Fevereiro de 2017. - pp. 155-162.

NICHOLS B.M. et. al. Chapter Six - Advances in 2D Materials for Electronic Devices [Artigo] // Semiconductors and Semimetals. - 2016. - Vol. 95.

NOGUEIRA W. A. Obtenção de óxidos de porta MOS ultrafinos: Influência da limpeza química e estudo da ruptura dielétrica. [Livro]. - São Paulo : Tese de Doutorado apresentada à Escola Politécnica da USP, 2003.

NOVOSELOV K. S. et. al. Electric field effect in atomically thin carbon films [Artigo] // Science. - 2004. - Vol. 306.

OLIVEIRA M. A. de OLIVA F.L., BUENO U. Indicadores Internacionais de Evolução Tecnológica e a Importância da Indústria de Semicondutores: O Posicionamento Estratégico do Brasil na América Latina [Relatório] / FEA-USP. - São Paulo : [s.n.], 2003.

OSTENDORFAND A, e KÖNIG K. Laser in material nanoprocessing [Relatório]. - Berlin : De Gruyter, 2015.

PLUMMER J. D., DEAL M. D. e GRIFFIN P. B. Silicon VLSI Technology - Fundamentals, Practice and Modeling [Livro]. - New Jersey : Prentice Hall, 2000.

RAMOS D. A. Projeto de Fotomáscaras BE SOI para biossensores [Relatório]. - São Paulo : [s.n.], 2021.

RANGEL R. C. Fabrication and electrical characterization of Ultra-Thin Body and [Artigo] // Journal of Integrated Circuits and Systems. - 2020. - Vol. 15.

RANGEL R. C., CARREÑO M. N. P. e MARTINO J. A. Microelectronics Education: Design, Fabrication and Characterization of Self-Aligned Silicon-Gate nMOSFET Technology [Conferência] // SEMINATEC. - São Paulo : Proceedings of SEMINATEC, 2012. - pp. 23-24.

RANGEL R. C., et. al. Fully electron-beam-lithography SOI FinFET [Conferência] // 28th Symposium on Microelectronics Technology and Devices (SBMicro 2013). - Curitiba : [s.n.], 2013.

RANGEL R.C. e MARTINO J. A. Back Enhanced (BE) SOI pMOSFET [Conferência] // Proc. of 30th Symposium on Microelectronics Technology and Devices (SBMicro), Brazil. - Salvador : IEEE, 2015. - pp. 1-4.

RANGEL R.C. Sequência simples de fabricação de transistores SOI [Livro]. - São Paulo : Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Sistemas Eletrônicos., 2014.

REZAPOUR A et al The effect of random dopant fluctuation on threshold voltage and drain current variation in junctionless nanotransistors [Artigo] // Journal of Semicond. . - 2015. - Vol. 36.

SANCHEZ F.J.G. [et al.] A Method to Extract Mobility Degradation and Total Series Resistance of Fully-Depleted SOI MOSFETs [Artigo] // IEE Transactions on Electron Devices. - [s.l.] : IEE Transactions on Electron Devices, 2002. - Vol. 49.

SANTOS L. P. dos Projeto de Máscaras com Dispositivos e Estruturas de Teste usando o Microwind. [Livro]. - São Paulo : Trabalho de Conclusão de Curso - FATEC - SP, 2008.

SASAKI K. R. A. [et al.] Impact of Supercoupling Effect on Mobility Enhancement in UTBB SOI MOSFETs in Dynamic Threshold Mode [Conferência] // Proc. of SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). - 2015. - pp. 1-3.

SASAKI K. R. A. et. al. Improved Back Enhanced SOI (BESOI) MOSFET by adding n-doped regions [Conferência] // 35th Symposium on Microelectronics Technology and Devices (SBMicro). - Campinas : [s.n.], 2021.

SCHWALKE U., KRAUSS T. e WESSELY F. Dopant-Free CMOS on SOI: Multi-Gate Si-Nanowire Transistors for Logic and Memory Applications [Artigo] // ECS Transactions. - 2013. - pp. 105-114.

SIMON M. Top-Down Fabricated Reconfigurable FET With Two Symmetric and High-Current On-States [Artigo] // IEEE Electron Devices Letters. - 2020. - Vol. 41.

SOITEC [Online] // SOITEC. - SOITEC, 01 de Janeiro de 2020. - 25 de junho de 2022. - <https://www.soitec.com/en/products/smart-fd-soi>.

SOITEC UNIBOND WAFERS QSE [Relatório] / SOITEC. - Grenoble : SOITEC, 2009.

STREETMAN B.G. Solid State Devices [Livro]. - New Jersey : Prentice-Hall, 1995.

SZE S. M. Physics of Semiconductor Devices [Livro]. - New Jersey : Wiley-Interscience Publication, 1981.

TAKAGI S. et al. Tunneling MOSFET technologies using III-V/Ge materials [Conferência] // IEEE International Electron Devices Meeting (IEDM). - 2016.

TROMMER J. et. al Elementary Aspects for Circuit Implementation of Reconfigurable Nanowire Transistors [Artigo] // IEEE Electron Device Letters. - Janeiro de 2014. - pp. 141-143.

TROMMER Jens [et al.] Functionality-Enhanced Logic Gate Design Enabled by Symmetrical Reconfigurable Silicon Nanowire Transistors [Artigo] // IEEE Transactions on Nanotechnology. - 2015. - pp. 689-698.

WESSELY F, et al Reconfigurable CMOS with undoped silicon nanowire midgap Schottky-barrier FETs [Artigo] // Microelectronics Journal. - Dezembro de 2013. - pp. 1072-1076.

WOLF S. Silicon Processing for the VLSI Era - Volume 2 - Process Integration [Livro]. - Sunset Beach, CA : Lattice Press, 1990.

WONG H.S. [et al.] Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's [Artigo] // Solid-State Electron. - 1987.

WU P et al Two-dimensional transistors with reconfigurable polarities for secure circuits [Artigo] // Nat Electron. - 2021.

YOJO L. S. [et al.] Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter [Conferência] // Proc. of 32nd Symposium on Microelectronics Technology and Devices (SBMicro). - Fortaleza : IEEE, 2017. - pp. 1-4.

YOJO L. S. et al Optimization of Source/Drain SchottkyBarrier Height on BE SOI MOSFET [Conferência] // 233rd ECS MEETING. - SEATTLE : [s.n.], 2018.

YOJO L. S. Otimização de transistores BESOI MOSFET como plataforma para aplicação em biossensores [Livro]. - São Paulo : Tese de Doutorado, 2022.

ZANGARO H. A., Improvement of Schottky Junctions for application in BESOI MOSFET [Conferência] // 35th Symposium on Microelectronics Technology and Devices (SBMicro), 2021. - 2021.

ZHANG J et al Configurable circuits featuring dual-threshold-voltage [Artigo] // IEEE Trans. Circuits Syst.. - 2014.

ZUTIC I Spintronics: Fundamentals and applications [Artigo] // REVIEWS OF MODERN PHYSICS. - 2004. - Vol. 76.

ANEXOS

Anexo A – Lista de Publicações

Artigos Publicados em Periódicos:

1. SASAKI, K.R.A.; **RANGEL, R.C.**; YOJO, L.S.; MARTINO, J.A.
Tradeoff between the transistor reconfigurable technology and the zero-temperature-coefficient (ZTC) bias point on BESOI MOSFET. MICROELECTRONICS JOURNAL. Fator de Impacto(2018 JCR): 1,2840, v.94, p.104658 - , 2019.

2. **RANGEL, R.C.**; SASAKI, K.R.A.; YOJO, L.S.; MARTINO, J.A.
Fabrication and electrical characterization of Ultra-Thin Body and BOX (UTBB) Back Enhanced SOI (BESOI) pMOSFET. Journal of Integrated Circuits and Systems, vol. 15, n. 1, 2020 DOI: 10.29292/jics.v15i1.107

3. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; ORTIZ-CONDE, A.; MARTINO, J. A. Impact of Schottky contacts in the triode region of p-type Back Enhanced SOI MOSFETs. Solid State Electronics v.169 (2020) p.107815. DOI:10.1016/j.sse.2020.107815. Fator de Impacto(2020 JCR): 1,4370.

4. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A. Study of BESOI MOSFET Reconfigurable Transistor for Biosensing Application. ECS Journal of Solid State Science and Technology, 2021 10 027004. DOI:10.1149/2162-8777/abe3cc . Fator de Impacto (2020 JCR): 2,142.

Artigos Publicados em Congressos:

1. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Analytical Modeling of the p-Type ^{BE} SOI MOSFET at Linear Region Operation Leonard In: 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), São Paulo.

2. PADOVESE, J. A.; YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.

Channel Doping Concentration Influence on ^{BE} SOI MOSFET Light Sensor In: 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), São Paulo.

3. SASAKI, K. R. A.; **RANGEL, R. C.**; YOJO, L. S.; MARTINO, J. A.
Third Generation ^{BE} SOI (Back-Enhanced SOI) pMOSFET fabricated on UTBB Wafer In: 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), São Paulo.

4. PADOVESE, J. A. ; YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Back Enhanced (BE) SOI pMOSFET Light Sensor In: XIV Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC 2019, Campinas. Proceedings of SEMINATEC 2019.

5. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Influence of the biomaterial permittivity and the underlap length on BE SOI MOSFETs. In: Influence of the biomaterial permittivity and the underlap length on BE SOI MOSFETs., 2019, Campinas. Proceedings of SEMINATEC 2019.

6. PADOVESE, J. A.; YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Back Enhanced SOI MOSFET as UV Light Sensor In: 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), 2018, Bento Gonçalves.

7. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K.R.A.; MARTINO, J. A.
Influence of biological element permittivity on BE (Back Enhanced) SOI MOSFETs In: 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), 2018, Bento Gonçalves.

8. PADOVESE, J. A. ; YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.

Influence of UV Light on (BE) SOI pMOSFET In: XIII Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC 2018, São Bernardo do Campo.

9. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. A.; MARTINO, J. A.
Optimization of Source/Drain SchottkyBarrier Height on BE SOI MOSFET In: 233rd ECS MEETING, 2018, SEATTLE WA.

10. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Optimization of the permittivity-based BE SOI biosensor In: 2018 IEEE SOI3DSubthreshold Microelectronics Technology Unified Conference (S3S), 2018, Burlingame.

11. PADOVESE, J. A.; YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Optimization of the silicon thickness on Back Enhanced (BE) SOI pMOSFET working as a visible spectrum light sensor In: 2018 IEEE SOI3DSubthreshold Microelectronics Technology Unified Conference (S3S), 2018, Burlingame.

12. YOJO, L. S.; **RANGEL, R. C.**; MARTINO, J. A.; SASAKI, K. R. A.
Back Enhanced (BE) SOI MOSFET under non-conventional bias conditions In: EUROSIOI 2017 - 13th Workshop of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits, 2017, Athenas, Grécia.

13. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
BE SOI MOSFET: A very simple reconfigurable SOI transistor In: XII Workshop on Semiconductors and Micro & Nano Technology, 2017, São Paulo.

14. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Is there a Zero Temperature bias point (ZTC) on Back Enhanced (BE) SOI MOSFET? In: 2017 IEEE SOI3DSubthreshold Microelectronics Technology Unified Conference (S3S), 2017, Burlingame.

15. YOJO, L. S.; **RANGEL, R. C.**; SASAKI, K. R. A.; MARTINO, J. A.
Reconfigurable back enhanced (BE) SOI MOSFET used to build a logic inverter
In: 2017 32nd Symposium on Microelectronics Technology and Devices (SBMicro), 2017, Fortaleza.

16. YOJO, L. S.; PADOVESE, J. A.; **RANGEL, R. C.**; MARTINO, J. A.
Back enhanced (BE) SOI pMOSFET behavior at high temperatures In: 2016 31st
Symposium on Microelectronics Technology and Devices (SBMicro), 2016, Belo
Horizonte.

17. PADOVESE, J. A.; YOJO, L. S.; **RANGEL, R. C.**; MARTINO, J. A.
Back Enhanced SOI pMOSFET with Dynamic Threshold Voltage Configuration
In: XI Workshop on Semiconductors and Micro & Nano Technology, 2016,
Campinas.

18. **RANGEL, R. C.**; MARTINO, JOAO A.
Back Enhanced (BE) SOI pMOSFET In: 2015 30th Symposium on
Microelectronics Technology and Devices (SBMicro), Salvador.

19. YOJO, L. S.; **RANGEL, R. C.**; MARTINO, J. A.
ESTUDO DO TRANSISTOR BE SOI MOSFET In: 23º SIICUSP - Simpósio de
Iniciação Científica da USP, 2015, São Paulo.