

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DANIELE SANTANA DOS SANTOS

**Título do trabalho: Desenvolvimento de um Conversor Analógico-Digital por
Aproximações Sucessivas Assíncrono para Aplicações Biomédicas em CMOS
180nm**

São Paulo

2023

DANIELE SANTANA DOS SANTOS

**Título do trabalho: Desenvolvimento de um Conversor Analógico-Digital por
Aproximações Sucessivas Assíncrono para Aplicações Biomédicas em CMOS
180nm**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Ciências pelo Programa de Pós-graduação de engenharia elétrica.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. Wilhelmus Adrianus Maria Van Noije

Coorientador: Prof. Dr. Hugo Daniel Hernández Herrera

São Paulo

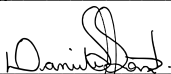
2023

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.


Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 03 de Abril de 2023

Assinatura do autor:



Assinatura do orientador:



Catálogo-na-publicação

dos Santos, Daniele

Desenvolvimento de um Conversor Analógico-Digital por Aproximações Sucessivas Assíncrono para Aplicações Biomédicas em CMOS 180nm / D. dos Santos -- versão corr. -- São Paulo, 2023.

57 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Conversor Analógico-Digital 2.Método por aproximações sucessivas 3.Aplicações biomédicas I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Para os meus pais e irmãs com carinho e gratidão.

Agradecimentos

À Deus. Minha fonte de fé, resiliência e acolhimento.

Existem muitas mulheres inspiradoras em minha vida e não são poucas. Elas estão em diversas áreas de atuação. Porém, a lista a seguir é feita por apenas algumas delas, as mulheres da minha vida. Verdadeiros exemplos, mulheres incríveis que impulsionam os meus sonhos, que preenchem o meu dia a dia com alegria e aconchego, e que foram fundamentais ao longo de todo o meu crescimento pessoal e profissional. Dedico este trabalho

à Minha mãe, Edna Miria,
às minhas irmãs Laura Santana e Samara Santana,
à minha irmã de consideração, Tanramacsan Brito e
à minha amiga do coração, Nágila Ribeiro de Menezes.

Ademais,

Ao Roberto Rangel, que sempre me acolheu com muito carinho, amor e paciência em todos os momentos desafiadores deste trabalho. Você foi fundamental para que eu não desistisse, além de ser uma fonte inesgotável de inspiração.

Ao meu pai, Claudio Francisco, pelo suporte e incentivo aos estudos.

À todos os meus familiares queridos.

Ao meu orientador, Wilhelmus Van Noijs, que sempre esteve disposto a ajudar e contribuir para um melhor aprendizado. Aos professores Lucas Compassi Severo e Julio Saldaña pelas excelentes contribuições no exame de qualificação e também na defesa da minha dissertação. À Silvana Leonor por todo suporte administrativo.

Em especial, ao meu coorientador, Hugo Daniel Hernandez Herrera, que sempre me ajudou em todas as etapas de desenvolvimento deste projeto e que foi essencial para a minha formação como profissional. Meus sinceros agradecimentos e admiração.

Por fim, aos meus amigos que estiveram comigo por um longo período, inicialmente como estudantes em 2014 e depois como instrutores do Programa CI-Brasil até meados de 2020. Com muito carinho agradeço ao Felipe Sola, Edelson Venuto, Walter Santiago Aranda, Ruy Costa, Sérgio Santos, Isaac Gonzales, Isaías de Souza e à Alejandra Gonzales Camacho. Assim como agradeço a todos os meus alunos que direta ou indiretamente somaram conhecimento e bons momentos.

“Hovering, all of us hovering between the dream of possibility and the certainty of gravity. . .”
(Autor desconhecido)

RESUMO

A bioimpedância é uma técnica que mapeia a distribuição da impedância elétrica no interior do corpo humano através de eletrodos em contato com a pele. Estas informações demonstram o quão bem o corpo impede o fluxo de corrente. Um sistema genérico de espectroscopia por impedância elétrica (EIE) é composto por quatro partes principais: um controlador digital, um estimulador de corrente, um circuito de chaveamento e um CI (circuito integrado) de instrumentação. Para fazer o processamento do sinal entre o domínio analógico e digital é necessário um controlador digital de sinais, o qual realiza a interface entre o circuito integrado e o algoritmo de reconstrução. Um sinal senoidal com uma determinada frequência é gerado digitalmente pelo controlador digital e convertido para domínio analógico por meio de um conversor digital-analógico (do inglês, DAC). O sinal gerado é diferencialmente injetado na pele através de um circuito estimulador de corrente. Os sinais de tensão induzidos nos eletrodos de leitura são adquiridos por um amplificador de instrumentação (do inglês, INA), filtrado por um filtro passa-baixa (do inglês, LPF) e amplificado por um amplificador de ganho programável (do inglês, PGA). O sinal de saída do PGA é digitalizado por um ADC para ser processado posteriormente pelo controlador digital. A espectroscopia por impedância elétrica (EIE) é uma técnica de análise de bioimpedância que tem demonstrado eficiência na detecção de várias neoplasias, tais como: o câncer de mama, de útero, cervical e de pulmão. A técnica EIE é de baixo custo, portátil, rápida, não invasiva, não ionizante e livre de irradiações. O principal objetivo deste trabalho foi desenvolver um conversor analógico-digital por aproximações sucessivas (SAR) de modo assíncrono e diferencial. Os ADCs do tipo SAR têm sido amplamente utilizados em aplicações de baixo consumo de potência com precisão e velocidade relativamente altos. Apesar da arquitetura de conversores sigma-delta apresentar altas resoluções para aplicações biomédicas, o domínio das técnicas SAR para definir novas métricas de resolução prevalecem. Além disso, o consumo de potência da arquitetura SAR pode ser reduzida por meio do uso de métodos eficientes em termos de consumo do chaveamento capacitivo e de comparadores dinâmicos de baixo consumo. Este trabalho propõe o desenvolvimento de um SAR ADC assíncrono de baixa potência de 9bits e 10MS/s. As simulações pós-leiaute, implementadas de acordo com as regras de customização da tecnologia CMOS de 180nm, resultaram em um SFDR de 63,37dB e um ENOB de 8,59bits, consumindo 0,979mW com uma fonte de alimentação de 1,8V. O projeto do SAR ADC resultou em uma figura de mérito FOM_W de 239,22 fJ/conv-step a 1MHz. Os resultados experimentais demonstraram um tempo de conversão igual a 73,40ns e um período do sinal de clock do comparador igual a 8,40ns.

Palavras-chaves: SAR ADC. Conversão analógica-digital. Aproximações sucessivas. Espectroscopia por impedância elétrica, e etc.

ABSTRACT

Bioimpedance is a technique which maps the body's interior impedance distribution via electrode measurements on the skin. This information is a measure of how well the body impedes electric current flow. A typical system for electrical impedance measurement based is composed by four building parts: DSP, Current Stimulator, Electrode Switching circuit and Analog Front-end. To bridge the transition from analog to digital signal processing, a digital controller is needed to interface the system-on-chip (SoC) to a computer. The sinusoidal signal with a specific frequency is digitally generated by the DSP and converted to analog through a digital-to-analog converter (DAC). The generated signal is differentially injected to the skin by a current driver. The voltage signal induced on the subsequent electrodes is acquired and amplified by an instrumentation amplifier (INA), filtered by a low pass filter (LPF) and amplified by a programmable gain amplifier (PGA). The PGA output signal is digitalized by an analog-to-digital converter (ADC) to be further processed by the DSP. Electrical impedance spectroscopy (EIS) and Electrical impedance tomography (EIT) are techniques of impedance analysis that have been shown to be effective in the detection of cancers such as breast, uterine cervix and lung cancer. These are low cost, portable, fast, noninvasive, nonionizing, and radiation free techniques. The main objective of this work was to develop a conventional successive approximation register (SAR) analog-to-digital converter (ADC) in asynchronous mode, using a fully differential SAR ADC architecture. The SAR ADC are extensively used in low-power applications with high enough precision and relatively medium speed. Although the sigma delta architecture presents high resolutions for biomedical applications, the domain of SAR techniques to define new resolution metrics and conversion speed is predominant. Furthermore, the power consumption of SAR architecture can be reduced by using an energy efficient capacitive DAC switching method and a low power comparator. This work proposes the design of a 9-bits low power 10MS/s asynchronous SAR ADC in 180nm CMOS technology. The ADC main parameters were extracted from post-layout simulations, which resulted in SFDR of 63.37dB and ENOB of 8.59 bits at 1.8V supply and a sampling frequency of 10MS/s while consuming 0.979mW. The Figure of Merit (FoM) obtained was 239.22fJ/conversion-step to 1MHz. Based on the experimental results the time conversion is 73.40ns and period of the clock signal is 8.40ns.

Keywords: SAR ADC. Analog-to-digital conversion. Successive approximation. spectroscopy. Electrical impedance spectroscopy. etc.

LISTA DE FIGURAS

Figura 1 – Arquitetura genérica de um sistema de espectroscopia por bioimpedância elétrica.	13
Figura 2 – Estrutura básica de um circuito de amostragem e retenção.	18
Figura 3 – Arquitetura genérica de um conversor A/D de N bits.	22
Figura 4 – Arquitetura diferencial de um conversor A/D de 9 bits.	24
Figura 5 – Matriz binária capacitiva diferencial com um capacitor de atenuação.	25
Figura 6 – Esquemático do circuito de <i>bootstrapped</i>	30
Figura 7 – Esquemático do comparador de três estágios: pré-amplificação, estrutura <i>latch</i> e seguidor de fonte.	33
Figura 8 – Esquemático simplificado do primeiro estágio durante a fase de “avaliação”.	34
Figura 9 – Arquitetura do multiplexador.	37
Figura 10 – Sinal de controle assíncrono.	38
Figura 11 – Gráfico do tempo para o modo assíncrono do SAR ADC.	38
Figura 12 – Gráfico do tempo para o modo síncrono do SAR ADC.	38
Figura 13 – Representação dos sinais internos durante o processo de conversão do SAR ADC para os 3 bits menos significativos.	39
Figura 14 – Lógica de controle SAR.	40
Figura 15 – Flip-flop do tipo D mestre-escravo com set e reset.	40
Figura 16 – <i>Floorplane</i> do conversor A/D de 9-bits.	42
Figura 17 – Estrutura de teste do SAR ADC.	43
Figura 18 – SNDR e SFDR em função da frequência de amostragem (f_s) simulados pós-leiaute.	44
Figura 19 – Consumo de corrente de cada sub-bloco do conversor A/D pós-leiaute.	46
Figura 20 – Estrutura de teste para obtenção do DNL e INL.	46
Figura 21 – DNL obtido por simulação de esquemático e pós-leiaute.	47
Figura 22 – INL obtido por simulação de esquemático e pós-leiaute.	47
Figura 23 – Micrografia do chip fabricado.	48
Figura 24 – PCB fabricada para teste do SAR ADC.	49
Figura 25 – Arranjo para medição do SAR ADC.	49
Figura 26 – Resultado de medição de tensão e corrente usando o osciloscópio.	50
Figura 27 – Resultado de medição usando o osciloscópio.	50

LISTA DE TABELAS

Tabela 1 – Dimensionamento de C_u de acordo com a simetria entre os componentes da matriz capacitiva.	29
Tabela 2 – Dimensões dos dispositivos MOS utilizados no circuito de <i>bootstrapped</i>	31
Tabela 3 – Dimensões dos dispositivos utilizados no comparador.	37
Tabela 4 – Parâmetros de configuração do teste do SAR ADC.	44
Tabela 5 – Análise de Corners de temperatura (-40° a 125°C) do ADC simulados pelo esquemático.	44
Tabela 6 – Resultados de simulação do ADC.	45
Tabela 7 – Parâmetros dinâmicos do ADC para diferentes frequências de amostragem pós leiaute.	45
Tabela 8 – Resultados de simulação do ADC.	48
Tabela 9 – Comparativo entre os tempos de conversão dos resultados simulados pós-leiaute e após obtidos experimentalmente.	50
Tabela 10 – Comparação entre ADCs do tipo SAR semelhantes	52

SUMÁRIO

1	Introdução e formulação do problema	11
1.1	<i>Motivação e Justificativa</i>	11
1.2	<i>Fundamentos Teóricos da Espectroscopia por Bioimpedância Elétrica</i>	12
1.3	<i>Sistema de espectroscopia por bioimpedância elétrica</i>	13
1.4	<i>Objetivos</i>	14
1.5	<i>Organização do documento</i>	15
2	Fundamentos dos conversores de dados A/D	16
2.1	<i>Visão geral dos conversores de dados A/D</i>	16
2.2	<i>Teorema de amostragem</i>	16
2.3	<i>Retenção do valor amostrado</i>	17
2.4	<i>Quantização</i>	18
2.5	<i>Ruído de quantização</i>	18
2.6	<i>Comportamento dinâmico</i>	19
2.7	<i>Estimativa da resolução necessária</i>	21
2.8	<i>Comportamento estático</i>	21
2.9	<i>Conversor analógico-digital diferencial por aproximações sucessivas (SAR)</i>	22
3	Desenvolvimento do conversor analógico-digital por aproximações sucessivas (SAR)	24
3.1	<i>Conversor digital-analógico diferencial com capacitor de atenuação</i>	25
3.1.1	<i>Estudo da tensão de saída do DAC</i>	25
3.1.2	<i>Análise do consumo de potência do DAC</i>	26
3.1.3	<i>Ruído térmico</i>	27
3.1.4	<i>Análise estatística do efeito de descasamento</i>	28
3.1.5	<i>Estimativa da área do conversor D/A</i>	29
3.2	<i>Circuito de bootstrapped</i>	30
3.3	<i>Comparador de três estágios</i>	32
3.3.1	<i>Análise e dimensionamento do comparador</i>	34
3.4	<i>Seleção do modo assíncrono e síncrono do ADC</i>	37
3.5	<i>Lógica de controle SAR</i>	39
3.6	<i>Implementação física do SAR ADC</i>	41
4	Resultados obtidos por simulação e experimentalmente para o SAR ADC de 9-bits	43
4.1	<i>Consumo de potência e ENOB</i>	43
4.2	<i>Frequência da senóide do sinal de entrada</i>	43
4.3	<i>DNL e INL obtidos por simulação do esquemático e pós-leiaute</i>	46
4.4	<i>Resultados de medidas experimentais</i>	48
5	Conclusão	51
	Referências	53

Capítulo 1

Introdução e formulação do problema

1.1 Motivação e Justificativa

De acordo com o Instituto nacional de câncer (INCA), as dificuldades de acesso das mulheres aos métodos diagnósticos e prognósticos aumentam a quantidade de pacientes com neoplasias malignas, tais como o câncer de mama ou o câncer de colo de útero, em estágios mais avançados e reduz significativamente a probabilidade de cura. O planejamento de estratégias para o controle dessas doenças inclui campanhas de conscientização de prevenção em conjunto com instrumentos de rastreamento ¹ e detecção ² acessíveis ao público alvo. Nota-se que o monitoramento é um fator crítico que pode proporcionar uma intervenção no avanço da doença e um tratamento oportuno no tempo apropriado. Diversos métodos já existentes como a ultrassonografia, a ressonância magnética ou a mamografia, não podem ser aplicados no acompanhamento a longo prazo em pacientes devido a alta exposição à radiação e, além disso, ao custo elevado dos equipamentos, a complexidade e a duração de cada sessão.

O estudo da impedância em materiais biológicos é chamado de bioimpedância ou Espectroscopia de Impedância Elétrica (EIE) quando avaliada no domínio da frequência. Além da coleta de informações cardíacas, respiratórias ou da análise comparativa de contagem de plaquetas em amostras de sangue (KIM *et al.*,), o EIE também pode ser usado como um método de geração de imagens para detecção e rastreamento de células cancerígenas, devido a diferença de resistividade dos diferentes tipos de tecidos que compõe o corpo humano (MANSOURI; ALHADIDI; AZOUZ, 2020), destacando-se por ser uma técnica com alto potencial diagnóstico, não invasiva e segura por eliminar os riscos resultantes da exposição à radiação, permitindo um monitoramento constante de baixo custo e acessível ao público alvo (YAMPILOV; YSYBENOV; GYLYKOVA, 2021).

A bioimpedância trata-se de uma propriedade elétrica passiva dos tecidos biológicos na presença de um campo elétrico excitado por uma corrente elétrica. Em suma, um sensor de saúde vestível é formado por um gerador de sinal aplicado na área de estudo do corpo humano e por um instrumento de medição da bioimpedância que inclui um conversor analógico-digital (ADC) para leitura dos dados obtidos (LEE; LEE; LEE, 2021). Deste modo, este trabalho tem como principal objetivo o desenvolvimento de um ADC diferencial utilizando o método de aproximações sucessivas (do inglês, successive approximation register, SAR). Ademais, a instrumentação do EIE proposta neste trabalho é baseada na pesquisa realizada por (PALACIO, 2017), também aluno do grupo de pesquisa DMPSV (Divisão de

¹ aplicação de um teste ou exame numa população assintomática com o objetivo de identificar lesões sugestivas em um estágio inicial

² abordagem de pessoas com sinais e/ou sintomas da doença

Metodologias de Projetos de Sistemas VLSI) do LSI/PSI/EPUSP, o qual desenvolveu um gerador de sinais para aplicação da espectroscopia de bioimpedância elétrica na detecção do câncer de cólon e reto (segundo tipo de câncer mais acometido entre as mulheres).

1.2 Fundamentos Teóricos da Espectroscopia por Bioimpedância Elétrica

A impedância elétrica nos tecidos biológicos diminui com o aumento da frequência da corrente aplicada. Esse comportamento se dá devido à presença da membrana celular que se comporta como um capacitor. Segundo (PALACIO, 2017), esta dependência com a frequência é conhecida como dispersão e pode ser dividida em três regiões principais, a saber: α , β e γ . Na região de dispersão α , representada por baixas frequências de até 10kHz, a corrente elétrica atravessa somente o espaço extracelular das células. A região de dispersão β contém os valores intermediários de frequência de 10kHz até 10MHz. Tal região é essencial para o estudo das propriedades elétricas dos tecidos por fornecer informações relevantes sobre a estrutura celular devido ao carregamento e descarregamento da membrana celular. A região de dispersão γ , representada por valores de frequência maiores que 100MHz, a qual não apresenta bons resultados devido, principalmente, a relaxação de moléculas de água presentes no meio.

Uma forma de representar as medições da bioimpedância elétrica é analisar os dados da impedância em sua forma complexa (MANSOURI; ALHADIDI; AZOUZ, 2020). De acordo com a proposta de Cole (1940), retirada de (PALACIO, 2017), a equação 1 é usada para ajustar o comportamento dos tecidos por fornecer uma aproximação de primeira ordem que expressa a permissividade relativa complexa em função da frequência angular (ω).

$$Z(\omega) = R_{\infty} + \frac{R_o - R_{\infty}}{1 + (j\frac{F}{F_c})^{1-\alpha}} \quad (1)$$

onde R_{∞} é a impedância em alta frequência, R_o é a impedância em baixa frequência e α é uma constante de dispersão que representa a homogeneidade do tecido.

Com α igual a zero, a equação 1 é reescrita como:

$$Z(\omega) = R_{\infty} + \frac{R_o - R_{\infty}}{1 + (j\frac{F}{F_c})} \quad (2)$$

onde

$$R_o = R_P \quad (3)$$

$$R_{\infty} = \frac{R_P R_S}{R_P + R_S} \quad (4)$$

$$F_C = \frac{1}{2\pi C(R_P + R_S)} \quad (5)$$

A equação 2 pode ser representada por uma resistência R_P conectada em paralelo com o conjunto em série de uma resistência R_S e uma capacitância C . Os valores de R_P e R_S são inversamente proporcionais à condutividade, têm unidades de $[\Omega m]$ e descrevem a resistividade do espaço extracelular e intracelular, respectivamente. O valor de C representa a capacitância da membrana cuja unidade é igual a $[\mu F m^{-1}]$.

1.3 Sistema de espectroscopia por bioimpedância elétrica

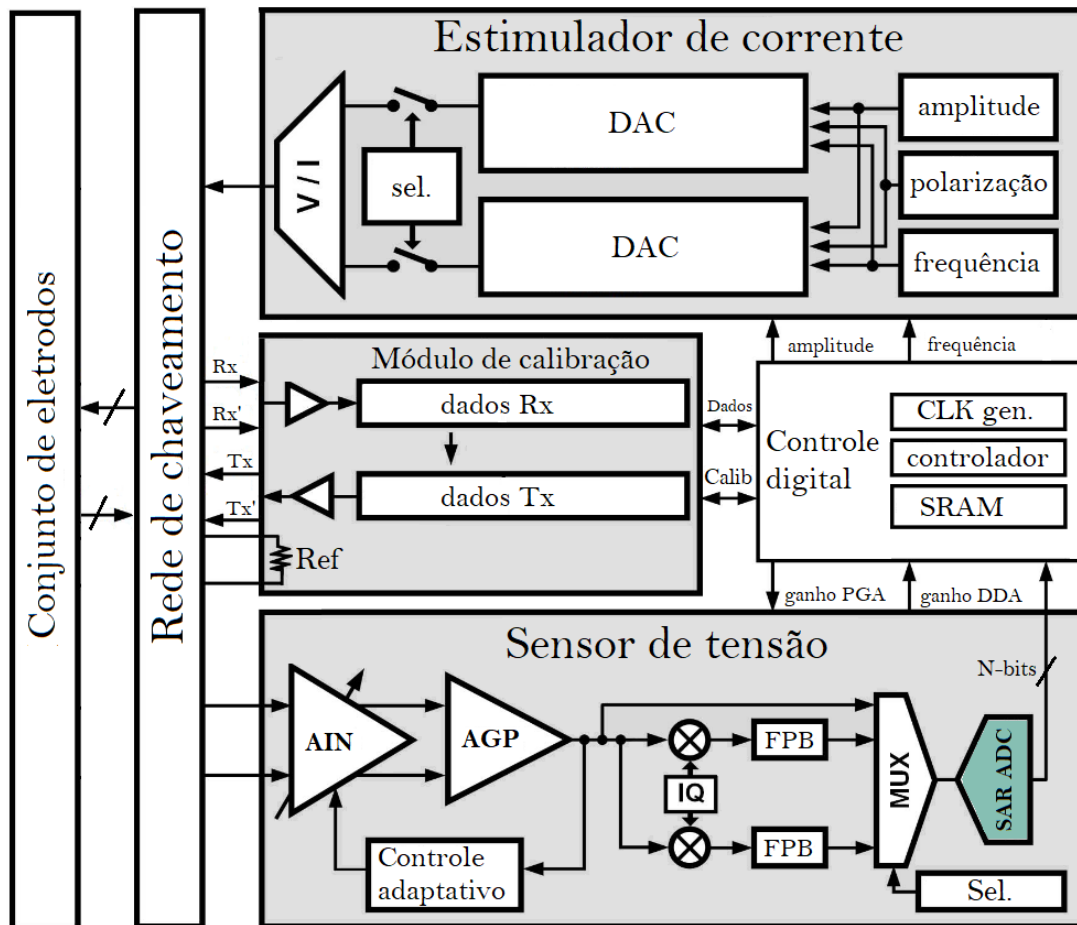


Figura 1 – Arquitetura genérica de um sistema de espectroscopia por bioimpedância elétrica.

Fonte: Autor, adaptado de (KIM *et al.*, 2017).

O sistema de espectroscopia por bioimpedância elétrica, representado pela Figura 1, tem a função de gerar um sinal de excitação senoidal (corrente) de frequência variável e amplitude constante e de adquirir o sinal (tensão) de resposta do tecido celular. A instrumentação do EIE é formada por um conjunto de eletrodos, um controle digital, uma rede de chaveamento, um módulo de calibração, um estimulador de corrente e um sensor de tensão (CHOI JAEHOO; ZHANG, 2015), (HA *et al.*, 2019). Cada par de eletrodos será conectado a um sistema EBE conforme exemplificado em (KIM *et al.*, 2017).

As interfaces convencionais de medição através da bioimpedância utilizam eletrodos na pele humana como um adesivo ou uma peça têxtil. O desenvolvimento de eletrodos que sejam confortáveis para os pacientes e que forneçam medições estáveis ainda é muito desafiador (PAN *et al.*, 2022), isto porque, as capacitâncias parasitárias entre a interface eletrodo-tecido podem atenuar o sinal de entrada, destacando a necessidade de métodos alternativos para calibração do ganho do sinal de entrada e para distinção de pequenas variações de impedância (ZHANG *et al.*, 2021).

Estudos da variação da impedância em tecidos biológicos em condições normais e patológicas indicam que o uso de frequências de 1kHz até 1MHz é adequado para

caracterizar eletricamente a área de estudo (HA *et al.*, 2019). Frequências muito elevadas podem em um dos piores casos provocar queimaduras nos pacientes e, além disso, gerar problemas de leitura no sinal devido as capacitâncias parasitas associadas aos principais instrumentos de medição.

O controle digital é comercialmente avaliado para aplicações gerais de controle de dispositivos, o qual tem a função gerar um sinal digital que será convertido para o domínio analógico pelo conversor digital-analógico (DAC). O gerador de corrente com uma alta impedância de saída recebe o sinal fornecido pelo DAC em sua entrada e o transforma em um sinal de corrente constante com amplitude na ordem de μA até mA , tais valores seguem as normas de segurança descritas pela Associação Brasileira de Normas Técnicas (ABNT) para todos os equipamentos médicos elétricos (PALACIO, 2017).

O sistema EBE possui dois modos de operação. No primeiro, ocorre o monitoramento e a calibração da amplitude da corrente de estimulação para verificar se todos os eletrodos estão em contato confiável com a superfície do corpo humano. No segundo modo, a corrente é injetada na matriz de eletrodos e a tensão resultante é transferida para um amplificador de instrumentação (AIN), cuja saída passa por um amplificador de ganho programável (AGP) e depois por um filtro passa baixa (FPB) antes de ser convertida para o domínio digital por um ADC e ser direcionada para o sistema de processamento e controle de dados (processador digital de sinais, PDS). Com o intuito de ler adequadamente todas as tensões, que podem ter valores muito baixos, na ordem de microvolts, utiliza-se o amplificador de instrumentação para aumentar a sensibilidade do sistema. As não idealidades de baixas frequências ou tensões de deslocamento são rejeitadas pelo filtro passa baixa. Além disso, como a magnitude dos sinais resultantes pode variar consideravelmente, atingindo valores de μV até mV , torna-se necessário um amplificador de ganho programável com controle adaptativo para evitar a saturação e garantir que o sinal seja detectado, as modificações de ganho ocorrem seguindo os comandos do controlador digital.

1.4 Objetivos

Desenvolvimento de um conversor analógico-digital (conversor A/D ou ADC) em tecnologia CMOS para um sistema de espectroscopia de bioimpedância elétrica (EBE), o qual possibilitará o monitoramento em tempo real e constante do espectro de impedância de um determinado material biológico. A organização deste trabalho foi dividida entre os seguintes itens:

- Estudar o estado da arte das arquiteturas de conversores digital-analógicos para avaliar as principais especificações e os desafios de projeto para aplicações em sistemas biomédicos;
- Projetar e simular o comportamento elétrico da arquitetura selecionada, verificando a eficácia do circuito através do alcance das especificações pré-determinadas;
- Verificar a robustez do circuito submetido às variações de temperatura e processos;
- Planejar e executar o leiaute e, posteriormente, analisar o comportamento elétrico com as capacitâncias parasitas incluídas;
- Preparar o leiaute para a fabricação do circuito;
- Realizar os testes experimentais para verificar o funcionamento do conversor A/D fabricado.

1.5 Organização do documento

Este trabalho está dividido em cinco capítulos, sendo organizado do seguinte modo: primeiro será apresentada uma visão geral da espectroscopia por bioimpedância elétrica com a motivação e justificativa deste projeto. O Capítulo 2 explorará os conceitos fundamentais dos ADCs. O capítulo 3 abordará a arquitetura do ADC de aproximações sucessivas (SAR), a revisão bibliográfica e o projeto dos blocos internos. Os resultados obtidos por simulação e experimentalmente serão apresentados e discutidos no Capítulo 4. Finalmente, as conclusões e sugestões para trabalhos futuros serão discutidas no Capítulo 5.

Capítulo 2

Fundamentos dos conversores de dados A/D

2.1 Visão geral dos conversores de dados A/D

O mundo real consiste numa infinidade de sinais analógicos que não são ou não podem ser entendidos em linguagem de máquina. Para que nossos computadores ou quaisquer dispositivos eletrônicos possam trabalhar, é necessário que haja um processamento desses sinais analógicos para um formato digital. As variações das grandezas físicas, normalmente, são funções contínuas e dependentes de uma variável independente como o tempo (t). Um sistema de processamento de sinais digitais é responsável por traduzir um sinal analógico em uma série de níveis discretos ao longo do tempo, representados por um número finito de dígitos. Para que isso ocorra, são utilizados conversores analógico-digitais (conversor A/D ou ADC). O processo reverso, isto é, a conversão do domínio digital para o analógico é realizado por um conversor digital-analógico (conversor D/A ou DAC).

Conversores A/D ideais funcionam como uma caixa preta, os quais recebem como informação uma tensão de entrada (V_{IN}) e uma tensão de referência (V_{REF}) para gerar como saída uma palavra binária B_{out} dependente da resolução (N). Conforme demonstrado em (ANJOS, 2014), a razão contínua entre V_{IN} e V_{REF} que define uma saída B_{out} discreta está entre duas palavras binárias adjacentes e diferem entre si por 1 LSB, de modo que

$$V_{IN} - \frac{1}{2}V_{LSB} < B_{out} \cdot V_{REF} < V_{IN} + \frac{1}{2}V_{LSB} \quad (6)$$

onde

$$\Delta = \frac{1}{2}V_{LSB} \quad (7)$$

Tal equação é importante para demonstrar que até mesmo uma conversão analógica-digital ideal introduz um erro de quantização no domínio do tempo e um ruído de quantização no domínio da frequência definido por Δ .

2.2 Teorema de amostragem

O processo de conversão de um sinal analógico é dividido em duas etapas: amostragem e quantização. A amostragem converte um sinal analógico em uma série de impulsos, cada um representa a amplitude do sinal num dado instante de tempo. O espaçamento entre cada amostra é determinado pela taxa de amostragem (T_s), o seu inverso é denominado frequência de amostragem (f_s). Idealmente, as amostras são igualmente espaçadas

e apresentam um número finito de valores e, conseqüentemente, a resolução do ADC é limitada por um valor máximo de T_s .

A frequência de amostragem mínima necessária para processar um sinal analógico é baseada no teorema de *Nyquist*, na qual estabelece que f_s tem que ser pelo menos duas vezes a componente de maior frequência do sinal analógico f_b , isto é,

$$f_s \geq 2 \cdot f_b \quad (8)$$

caso contrário, produz um fenômeno indesejado, conhecido como *aliasing*, que provoca a sobreposição do espectro e inviabiliza a correta recuperação do sinal original (FLOYD, 2007).

Conforme descrito em (ANJOS, 2014), o comportamento do sinal amostrado no domínio do tempo pode ser observado no domínio da frequência utilizando a transformada de Fourier como demonstra a equação a seguir

$$X_s(j\Omega) = \frac{\Omega_s}{2\pi} \int_{-\infty}^{\infty} X(j\Omega) \cdot \sum_{k=-\infty}^{\infty} \delta(\Omega - k\Omega_s - \theta) d\theta \quad (9)$$

$$= \frac{1}{T_s} \cdot \sum_{k=-\infty}^{\infty} X[j(\Omega - k\Omega_s)] \quad (10)$$

onde a frequência de amostragem é igual a $\Omega_s = \frac{2\pi}{T_s}$ e $X(j\Omega)$ representa a transformada de Fourier do sinal de entrada $x(t)$.

Através da equação 10 nota-se que o espectro do sinal amostrado se repete a cada período da frequência de amostragem f_s . Deste modo, f_s deve considerar a largura do sinal de entrada f_b e ser cuidadosamente escolhida de acordo com o teorema de *Nyquist*. Tipicamente, a taxa de amostragem está entre $2f_N$ e $10f_N$, acima destes valores considera-se o conversor como sendo do tipo de sobreamostragem.

Todos os sinais analógicos (exceto a onda senoidal pura) contêm um espectro de componentes de frequências denominadas de harmônicas. As harmônicas de um sinal analógico são ondas senoidais de diferentes frequências e amplitudes. Quando as harmônicas de uma dada forma de onda periódica são somadas, o resultado é o sinal original. Através da transformada de Fourier (FFT) torna-se possível medir a amplitude de diferentes harmônicas, as quais estão localizadas em pontos distintos ao longo do espectro de frequência.

2.3 Retenção do valor amostrado

Após a amostragem, o nível capturado em um determinado instante de tempo tem que ser mantido constante até a obtenção da próxima amostra, sendo armazenado em um elemento de memória (em capacitores, por exemplo). Esta etapa é necessária para que o ADC tenha tempo de processar o valor amostrado de cada ciclo.

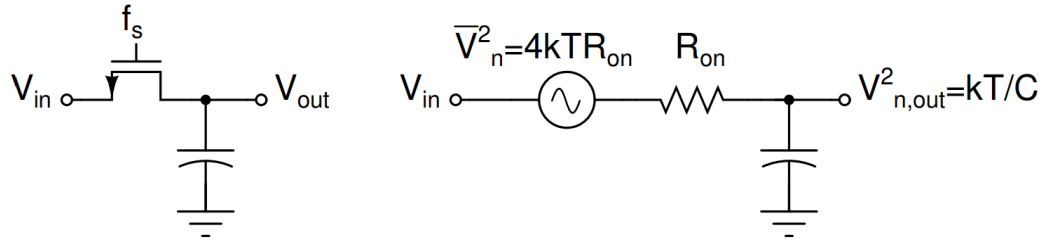


Figura 2 – Estrutura básica de um circuito de amostragem e retenção.

Fonte: Autor, adaptado de (DORNELAS, 2018).

A arquitetura básica de um circuito de amostragem e retenção, mostrada na Figura 2, é formada por um capacitor e um transistor MOS operando como chave. A chave pode ser modelada por uma resistência finita R_{on} em série com o ruído térmico correspondente (DORNELAS, 2018). Quando a chave está ligada, um filtro passa baixa é formado e a média da potência do ruído é dada por

$$\overline{V}_{n,out}^2 = \frac{kT}{C} \quad (11)$$

onde k é a constante de Boltzmann ($k = 1.38 \times 10^{-23} \text{ (m}^2\text{kg)} / \text{(s}^2\text{K)}$) e T é a temperatura absoluta em Kelvin.

A expressão do ruído amostrado em um capacitor representa um limite inferior para o valor do capacitor de amostragem para uma determinada resolução.

2.4 Quantização

O processo de conversão de um valor analógico para um código digital é denominado quantização. Durante o processo de quantização, o ADC converte cada valor amostrado do sinal analógico em um código binário. Os níveis de quantização são determinados por uma potência de 2, como exemplo, um conversor ADC de 3 bits divide a sua faixa de trabalho em 2^3 ou 8 divisões, onde cada código binário entre 000 e 111 representa um nível de quantização. Quanto maior a resolução melhor a representação do sinal original. O primeiro e o N -ésimo bit são chamados de bit menos significativo (LSB) e de bit mais significativo (MSB), respectivamente.

2.5 Ruído de quantização

Visto que o sinal de entrada de um ADC é um sinal contínuo com um número infinito de estados possíveis e que a saída digital é uma função discreta com um número de estados determinado pela resolução do conversor (2^N), algumas perdas ou distorções de informações já são esperadas, no entanto, como analisar estes erros? Segundo (HERNÁNDEZ, 2008) a potência do erro de quantização ($P_{ruído}$), possui uma densidade de probabilidade uniforme dada por:

$$P_{ruído} = \int_{-\Delta/2}^{\Delta/2} e^2 \cdot \frac{1}{\Delta} de = \frac{\Delta^2}{12} \quad (12)$$

$$P_{ruído} = \left(\frac{V_{FS}}{2^N \sqrt{12}} \right)^2 \quad (13)$$

onde e é uma variável de integração e Δ é a largura de um degrau ou também definido como passo de quantização.

A equação 13 reforça que quanto maior a resolução N , maior a precisão da representação do sinal senoidal original e menor a contribuição de cada harmônica de distorção. O ruído de quantização é considerado como um ruído, mas na verdade é, de fato, um fenômeno não-linear que gera distorção. Adicionalmente, devido as imperfeições dos circuitos, outras fontes de erros ou de ruídos são inseridas ao sistema, de modo que o erro total mensurado sempre será maior que o erro estimado na implementação. Para avaliar a performance dos conversores torna-se conveniente analisar as figuras de medidas dinâmicas e estáticas.

2.6 Comportamento dinâmico

As medidas no domínio da frequência proporcionam uma estimativa do comportamento geral do conversor. Para este tipo de medida, utiliza-se uma onda senoidal de entrada com uma frequência f_{in} calculada como explicado no item 4.2. Neste trabalho, o teste para obtenção da performance dinâmica é baseado na transformada de *Fourier*, onde a resolução da FFT é determinada por M e o espaçamento entre cada amostra é dado por f_s/M , enquanto que o ruído de quantização é distribuído uniformemente pela largura de banda ($f_s/2$). A descrição dos parâmetros dinâmicos a seguir baseia-se em (GUSTAVSSON; WILKNER; TAN, 2002).

- **Distorção Harmônica total** (*Total Harmonic Distortion, THD*): trata-se da relação entre a soma da potência de todas as harmônicas existentes e a potência da harmônica fundamental, de modo que:

$$THD = \sum_{k=2}^n 10 \cdot \log_{10} \left(\frac{Potência_{harmônica, total}}{Potência_{sinal}} \right) \quad (14)$$

$$= \sum_{k=2}^n 10 \cdot \log_{10} \left(\frac{X_k^2}{X_1^2} \right) \quad (15)$$

onde X_1 é o valor rms da fundamental e X_k é valor rms de k componentes harmônicas. O THD é calculado considerando todas as harmônicas que podem ser distinguidas do ruído de chão.

- **Relação sinal-ruído** (*Signal-to-Noise Ratio, SNR*): É interessante calcular a razão de sinal-ruído de um conversor por meio do sinal de entrada. A amplitude máxima isenta de distorções ou saturação do sinal de entrada é igual a $\Delta \cdot 2^{N-1}$, enquanto que a potência média de uma onda senoidal (P_{sinal}) é expressa por:

$$P_{sinal} = \frac{(\Delta \cdot 2^{N-1})^2}{2} \quad (16)$$

O SNR de um ADC ideal com uma entrada senoidal é a relação entre P_{sinal} e a potência total do ruído de quantização ($P_{ruído}$), dada por

$$SNR = \frac{P_{sinal}}{P_{ruído}} = \frac{3}{2} \cdot 2^{2N} \quad (17)$$

Tal razão também pode ser expressa em decibéis:

$$SNR = 10 \cdot \log_{10} \frac{P_{sinal}}{P_{ruído}} \quad (18)$$

$$SNR_{dB} = 6,02N + 1,76dB \quad (19)$$

A equação 19 demonstra que todo incremento na resolução (N) do conversor é traduzida em um aumento na relação de sinal-ruído expressa em decibéis por um fator de 6 dB.

- **Faixa dinâmica livre de espúrios** (*Spurious Free Dynamic Range*, SFDR): é a relação entre a potência do sinal de entrada e a potência do maior espúrio (ruído ou componentes harmônicas) contido em uma certa faixa de frequência. O SFDR é usualmente expresso em dBc como:

$$SFDR_{dBc} = 10 \cdot \log \left(\frac{Potência_{sinal}}{Potência_{máximo-espúrio}} \right) = 10 \cdot \log \left(\frac{X_1^2}{X_s^2} \right) \quad (20)$$

onde X_1 é o valor RMS da fundamental e X_s é o valor RMS do maior espúrio. Geralmente, ADCs com uma boa linearidade possuem uma razão SFDR maior que a razão SNR.

- **Razão de sinal-ruído e distorção** (*Signal-to-Noise-and-Distortion*, SNDR ou SINAD): é a relação entre a potência da fundamental e o ruído total somado com a distorção de potência dentro de uma determinada faixa de frequência, isto é:

$$SNDR = 10 \cdot \log \left(\frac{Potência_{sinal}}{Potência_{ruído-distorção}} \right) \quad (21)$$

- **Número efetivo de bits** (*Effective Number Of Bits*, ENOB): De fato, um conversor de N -bits não necessariamente possui uma resolução igual a N . O ruído de quantização somado com possíveis distorções ou outros ruídos associados ao sinal de entrada são fatores que comprometem a resolução de um conversor. Deste modo, o número efetivo de bits é uma representação mais precisa, que pode ser obtida através da relação de SNDR, expressa por

$$ENOB = \frac{(SNDR - 1,76)dB}{6,02dB} \quad (22)$$

onde o $ENOB$ representa um número real, expresso em bits. O SNDR é um número real adimensional expresso em decibéis (dB).

- **Faixa dinâmica:** O alcance da faixa de escala completa para o menor sinal detectado é denominado faixa dinâmica do conversor (*Dynamic Range*, DR), isto é:

$$DR = 10 \cdot \log \left(\frac{Potência_{máxima-sinal}}{Potência_{mínima-sinal}} \right) \quad (23)$$

- **Erro de deslocamento** (*offset*): é definido como uma tensão residual que aparece na saída do conversor. Em outras palavras, a tensão de *offset* (V_{offset}) atribuída na entrada do circuito funciona como uma fonte de tensão em série com o sinal a ser convertido (V_{IN}), ou seja,

$$V_{sada} = V_{in} + V_{offset} \quad (24)$$

Este erro pode ser prejudicial, principalmente, em aplicações onde tensões muito baixas são convertidas para uma palavra digital. O erro de offset proporciona um deslocamento no sinal de saída sem influenciar na linearidade do circuito.

- **Erro de ganho:** é avaliado pela mudança de inclinação da função de transferência obtida quando comparada com a curva ideal. Este erro pode não introduzir distorções ou erros de não linearidade ao sinal de saída do conversor.

2.7 Estimativa da resolução necessária

Para analisar as características do sinal de entrada utiliza-se o parâmetro SNDR. Normalmente, a taxa de SNR é inferior ao valor aferido pelo SNDR. É importante notar que a qualidade do sinal de entrada do ADC depende da robustez do estágio anterior definido pelo amplificador de ganho programável. Por outro lado, ao analisar o DAC localizado no estimulador de corrente, nota-se que a sua relação de SNDR depende da precisão entre a sua própria interface com o controlador digital. Sabendo disto, é possível determinar o valor máximo e desejado do SNR do conversor D/A e, conseqüentemente, extrair a sua resolução através da equação 19.

2.8 Comportamento estático

Os parâmetros estáticos são as especificações do conversor A/D determinadas em baixas frequências. Para analisar o comportamento estático do ADC, considera-se que a comutação entre os diferentes níveis de conversão acontecem instantaneamente (sem considerar estados transitórios) (HERNÁNDEZ, 2008). A descrição dos parâmetros estáticos baseia-se em (GUSTAVSSON; WILKNER; TAN, 2002).

- **Faixa dinâmica:** É a faixa de amplitude de operação do sinal analógico (em geral uma tensão) dentro da região de trabalho (linear) do conversor. O sinal de entrada deve ser condicionado de forma a possibilitar sua máxima utilização dentro dessa faixa dinâmica.
- **Erro diferencial de não-linearidade** (*differential nonlinearity*, DNL): é o parâmetro que mede a diferença entre dois níveis de conversão consecutivos da função de transferência do ADC. A equação que descreve o DNL é dada por:

$$DNL(k) = \frac{\Delta_r(k) - \Delta}{\Delta} \quad \text{para } k = 0, 1, 2, \dots, n \quad (25)$$

sendo Δ o tamanho ideal do degrau definido pela equação 7 e $\Delta_r(k)$ o tamanho real do degrau que representa a diferença entre os níveis de transição de determinados códigos ($A_k - A_{k-1}$).

Para um ADC ideal, todos os degraus são uniformes e distanciam entre si por 1LSB. Na prática, estes degraus têm tamanhos distintos e o valor máximo permitido de DNL para que o conversor seja monotônico¹ é igual a 1LSB.

- **Erro Integral de não-linearidade** (*integral nonlinearity*, INL): A diferença entre a curva ideal e a curva real característica do conversor analógico-digital define o erro integral de não-linearidade (INL). Idealmente, o INL deveria ser igual a zero, isto é, todos os pontos médios seriam interceptados por uma linha reta.

2.9 Conversor analógico-digital diferencial por aproximações sucessivas (SAR)

Os ADCs que utilizam o método de aproximações sucessivas são populares devido a sua estrutura simples, operação dinâmica, consumo de potência eficiente (Walden FoM <10 fJ/conv.-step) e SNDR em torno de 40 e 70 dB. No entanto, o número efetivo de bits (ENOB) alcançado pelos ADCs do tipo SAR muitas vezes está limitado ao tamanho dos capacitores, devido a interferência predominante do ruído térmico de quantização proveniente do comparador e da rede capacitiva desta arquitetura (HARPE; CANTATORE; ROERMUND, 2013), (HARPE *et al.*, 2017), (ZHAN *et al.*, 2022).

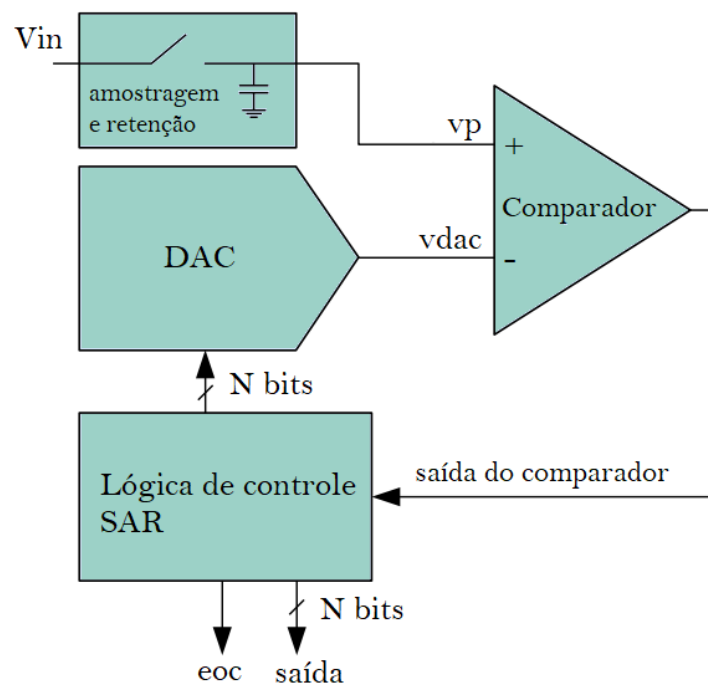


Figura 3 – Arquitetura genérica de um conversor A/D de N bits.

Fonte: Autor.

A arquitetura genérica de um SAR ADC de N bits representada pela Figura 3 utiliza um algoritmo de busca binária para realizar a conversão analógica-digital, sendo

¹ O conversor é dito monotônico quando para qualquer incremento da tensão de entrada, o código digital na saída sofre também um incremento correspondente. O pior caso de não linearidade é a não monotonicidade.

composta por um circuito de amostragem e retenção (*sampling and holding* ou S&H), um comparador, um conversor digital-analógico (conversor D/A ou DAC) e um registrador de aproximações sucessivas (lógica de controle SAR).

A operação do SAR ADC se baseia em N comparações sucessivas entre a entrada analógica (V_{in}) e a tensão de realimentação (V_{REF}). É análoga a um processo de pesagem na qual uma quantidade desconhecida é comparada com uma quantidade de referência. O ciclo de conversão se inicia por meio da amostragem do sinal analógico a ser convertido. A seguir, o circuito da “lógica de controle” assume que o MSB possui o nível “1” e os demais bits o nível “0”. A palavra digital aplicada ao “conversor D/A”, produzirá um sinal analógico de $0,5 (V_{REF})$, o qual será comparado à entrada analógica amostrada (V_{in}). Se a saída do comparador for alta a lógica de controle determina que o MSB seja “1”. Se a saída do comparador for baixa, a lógica de controle determina que o MSB seja “0”. Isso completa o primeiro passo na sequência de aproximação. O processo continua com o teste do segundo bit e assim sucessivamente até que todos os bits da palavra digital tenham sido definidos pelo processo de comparação. O fim da conversão é geralmente indicado por um sinal de fim de conversão (*End Of Conversion*, EOC).

Sendo o conversor digital-analógico (DAC) formado por uma matriz capacitiva binária, alguns métodos de chaveamento (LIU *et al.*, 2010), (YUAN C., 2012), (ZHU Z.; SONG, 2013), (XIE L.; WANG, 2014) (BAEK; LEE; LEE, 2018) demonstram valores atrativos em termos de economia de energia quando comparados com a topologia convencional (ALLEN; HOLBERG, 2002), no entanto, a variação da tensão de modo comum da saída torna-se um fator de desaprovação para esta aplicação e por esta razão este trabalho utiliza uma matriz capacitiva baseada no método tradicional com um capacitor de atenuação (LIN; CHENG; TANG, 2016). Além disso, era desejado reduzir a quantidade de capacitores unitários necessários para atingir uma resolução de 9-bits, visto que a capacitância total de um conversor D/A convencional ($2^N C_o$) cresce exponencialmente com o número de bits, valores elevados de N e de C_o aumentam o consumo da potência total, de área e do tempo de estabilização (comumente pior para os capacitores mais significativos).

Capítulo 3

Desenvolvimento do conversor analógico-digital por aproximações sucessivas (SAR)

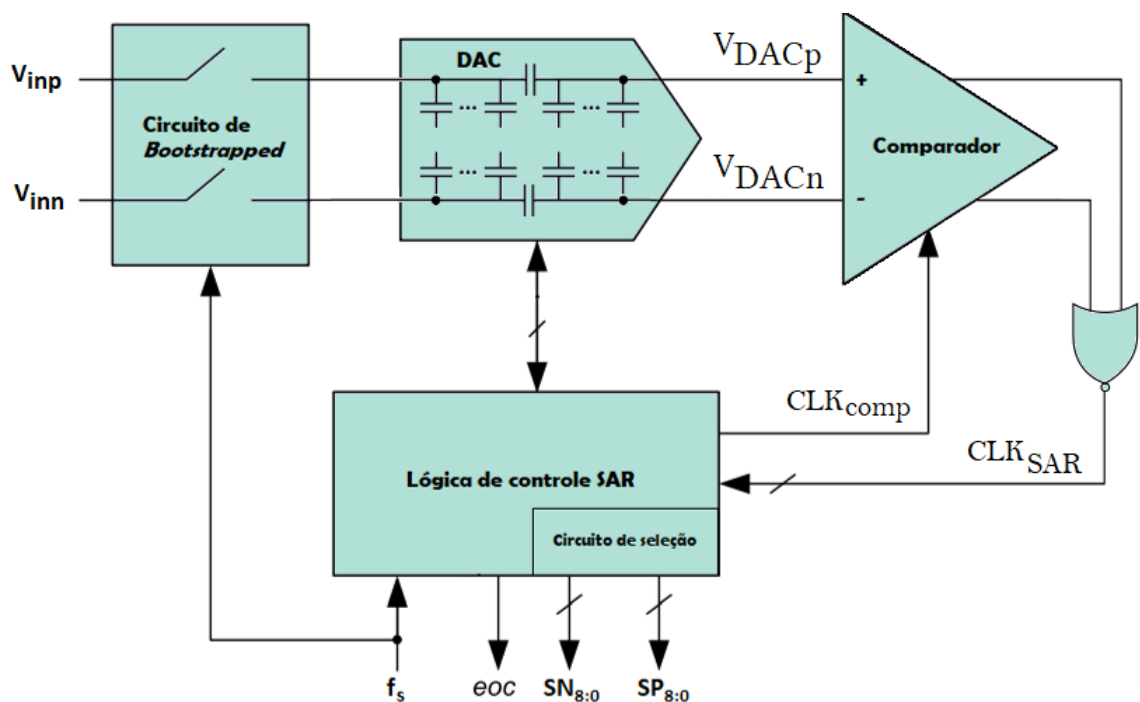


Figura 4 – Arquitetura diferencial de um conversor A/D de 9 bits.

Fonte: Autor.

Este capítulo tem por objetivo discorrer sobre as principais características dos sub-blocos que compõem a arquitetura diferencial proposta para o ADC por aproximações sucessivas a nível de circuito. Assim, conforme representado pela Figura 4, o SAR ADC é formado por um par de matrizes binárias capacitivas (DAC) com um capacitor de atenuação, um comparador dinâmico de três estágios, uma lógica de controle assíncrona de aproximações sucessivas e um par de circuitos de chaveamento, conhecidos como circuitos de *bootstrapped*.

3.1 Conversor digital-analógico diferencial com capacitor de atenuação

3.1.1 Estudo da tensão de saída do DAC

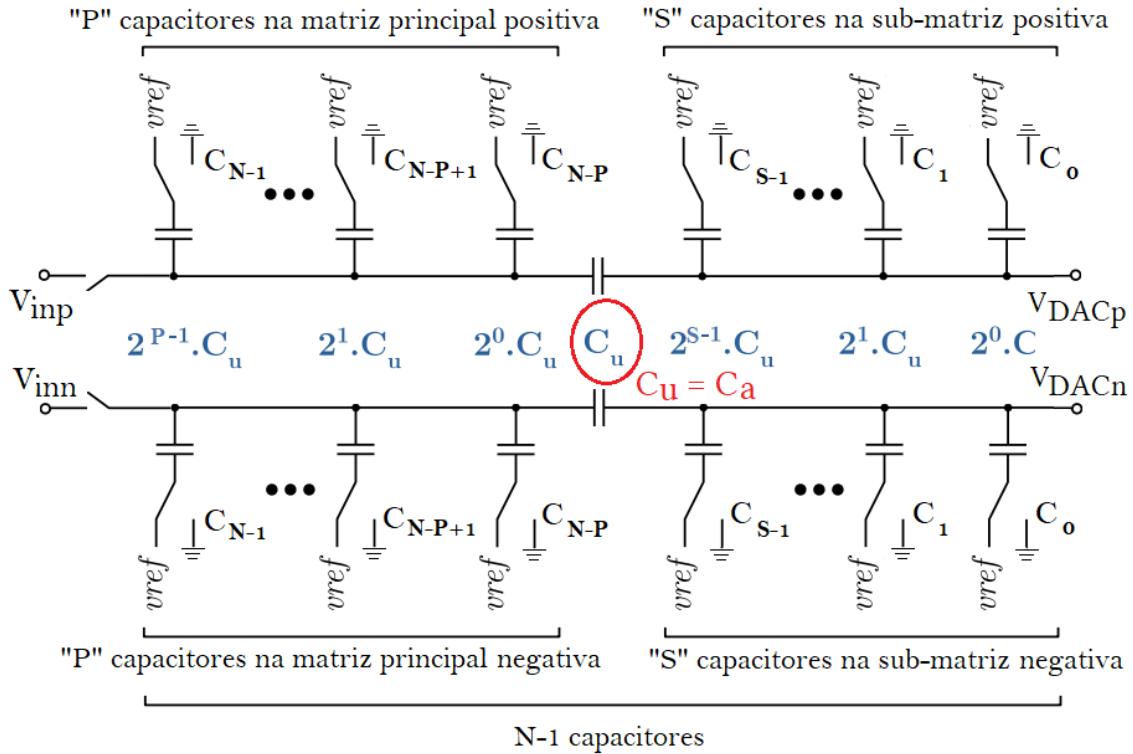


Figura 5 – Matriz binária capacitiva diferencial com um capacitor de atenuação.

Fonte: Autor, adaptado de (WAKIMOTO; LI; MURASE, 2011).

O conversor D/A utilizado neste trabalho é formado por duas matrizes capacitivas: uma matriz principal e uma matriz inferior ou submatriz, ambas estão conectadas por um capacitor de atenuação (C_a), como demonstrado pela Figura 5. A soma dos bits de cada matriz deve ser igual ao número total de bits do conversor, isto é, $P + S = N$.

O valor de C_a é determinado pela razão entre a capacitância total da matriz inferior e a capacitância total da matriz principal conforme equação abaixo:

$$C_a = \frac{2^S}{2^P - 1} \cdot C_u \quad (26)$$

Assumindo $P = 6$ e $S = 3$, o valor de C_a obtido através da equação 26 é um número não inteiro que pode gerar erros de simetria durante a implementação da representação física do circuito. Com o objetivo de minimizar tais efeitos, o valor de C_a foi ajustado para ser igual a capacitância unitária. No entanto, esta modificação introduz um erro de ganho de conversão. Visto que os índices P e S são diferentes entre si, é importante analisar a tensão de saída (V_{DACp} ou V_{DACn}) fornecida pelo conversor A/D. De acordo com (WAKIMOTO; LI; MURASE, 2011), a equação que descreve ($V_{DACp,n}$) é expressa por

$$V_{DACp,n} = \frac{C_{VREF}^P}{2^P (1 - 2^{-N}) C_u} V_{REF} + \frac{1}{2^P} \frac{C_{VREF}^S}{2^S (1 - 2^{-N}) C_u} V_{REF} \quad (27)$$

onde C_{VREF}^P e C_{VREF}^S representa todos os capacitores da matriz principal e da C_{VREF}^S conectados em V_{REF} , respectivamente.

Tal equação demonstra que a simetria do conversor A/D é ajustada pelo fator $\frac{1}{2^P}$ (ZHANG, 2014). Na prática, considera-se um valor P elevado para minimizar o efeito de possíveis distorções na tensão de saída do DAC, por este motivo, o DAC foi dimensionado com uma relação máxima de $P = 6$ e $S = 3$.

3.1.2 Análise do consumo de potência do DAC

Sendo o ADC completamente diferencial, as etapas do processo de chaveamento serão descritas considerando apenas o lado positivo do ADC, pois uma configuração análoga é aplicada ao nó negativo. A conversão começa com o processo de amostragem, na qual, a configuração inicial da lógica de controle mantém apenas a placa inferior do capacitor mais significativo conectada ao terra e os demais bits (B_{8-0}) ligados a tensão de referência (V_{REF}). Simultaneamente, a tensão de entrada positiva (V_{inp}) é amostrada e armazenada nas placas superiores de todos os capacitores da matriz, onde os transistores PMOS são utilizados para configurar as placas inferiores dos capacitores em V_{REF} e os transistores NMOS para conectá-las ao terra. No final da fase de amostragem, a transição de f_s de “1” para “0” desliga o circuito de *bootstrapped* e todas as placas superiores são desconectadas de V_{inp} . Neste momento, a lógica assíncrona do conversor é ativada e os códigos digitais determinam a configuração dos chaveamentos gerando uma tensão de referência correspondente para cada lado da matriz, isto é, V_{DACp} para o nó positivo e V_{DACn} para o nó negativo.

No instante $t = 1$, o comparador realiza a primeira decisão verificando se $V_{inp} > V_{inn}$, em caso afirmativo o MSB continuará conectado em V_{REF} , caso contrário, o MSB será chaveado para o terra. Seguindo a lógica sequencial do SAR, no instante $t = 2$, o segundo bit mais significativo ($B_{i=2}$) é comutado para V_{REF} , a fim de realizar uma nova decisão e aferir se $V_{inp} - V_{inn} > V_{DACp} - V_{DACn}$, em caso afirmativo o bit $B_{i=2}$ continuará chaveado em V_{REF} , caso contrário será comutado para o terra. Este processo de comparação prossegue de modo análogo e sequencial até alcançar o bit menos significativo e, assim, completar um ciclo de conversão.

A equação (28) descreve a energia (E) consumida durante a comutação de um capacitor do seu estado inicial para uma tensão de referência em um instante final (t_f).

$$E = \int_0^{t_f} (V_{REF}) i_{REF}(t) \quad (28)$$

sendo $i_{REF}(t) = -\frac{dQ}{dt}$ e $Q = CV$, a equação (28) é reescrita como

$$E = -V_{REF} \Delta Q = -V_{REF} (C \Delta V) \quad (29)$$

Logo após a fase de amostragem, no instante $t = 1$, não ocorre nenhum chaveamento e, portanto, a energia consumida durante a primeira comparação é igual a zero. Já a energia total ($E_{t=2}$) consumida na transição de $t = 1$ para $t = 2$ apresenta dois resultados possíveis. Segundo (FITAS, 2017), a equação (29) pode ser reescrita pela equação (30) para representar a energia gasta pela matriz positiva E_+ no primeiro ciclo de chaveamento

$$E_+ = -V_{REF}[32C_u((V_{DACp} - V_{REF}) - (V_{inp} - V_{REF})) + 16C((V_{DACp} - V_{REF}) - (V_{inp}))] \quad (30)$$

onde $(V_{DACp} - V_{REF})$ representa a diferença de tensão entre as placas do capacitor MSB após o chaveamento para V_{REF} e $(V_{inp} - V_{REF})$ equivale a diferença de tensão durante a fase de amostragem.

Do mesmo modo, a energia consumida pela matriz negativa (E_-) é dada por

$$E_- = -V_{REF}[22C_u((V_{DACn} - V_{REF}) - (V_{inn} - V_{REF}))] \quad (31)$$

O consumo total desta configuração ($E_{t=2}$) é dado pela soma de E_- e E_+ . Este procedimento ocorre de forma sucessiva até percorrer todos os bits do conversor, de modo que as duas tensões de saída das placas superiores convergem gradualmente para a tensão de modo comum V_{CM} . Após a leitura do LSB, a saída binária é atualizada para concluir o ciclo de conversão. Simultaneamente, o circuito de controle SAR retorna para a configuração inicial para preparar o próximo ciclo de conversão, onde apenas a placa inferior do MSB da matriz positiva está chaveada em V_{REF} e, de modo complementar, apenas a placa inferior do MSB da matriz negativa está conectada ao terra.

O consumo de potência é descrito pela seguinte equação:

$$P(V_{REF}) = f_s \cdot V_{REF}^2 \left[\sum_{i=1}^P (2^{N-3-i}) C_u + \sum_{i=P+1}^S (2^{N-i}) C_u \right] \quad (32)$$

onde $\sum_{i=1}^P (2^{N-3-i}) C_u$ e $\sum_{i=P+1}^S (2^{N-i}) C_u$ representam a soma de todos os capacitores ligados a tensão de referência contidos na matriz principal (ou mais significativa) e na submatriz (ou menos significativa), respectivamente.

3.1.3 Ruído térmico

Quanto menor o valor nominal do capacitor unitário (C_u) maior a eficiência do consumo de potência. Como abordado em (MUELLER J. H.; HEINEN, 2013), este valor é estimado analisando os limites estabelecidos pelo ruído térmico e pela simetria entre os capacitores. Visando a obtenção de um ruído térmico menor ou igual ao ruído de quantização, obtém-se a expressão:

$$\frac{k_B T}{C} \leq \frac{\Delta^2}{12} \quad (33)$$

sendo reescrita como

$$C_u \geq 12k_B T \cdot \frac{2^{2N}}{V_{FS}^2} \quad (34)$$

onde $k_B = 1,380710^{-23} JK^{-1}$ e $T = 300^\circ K$.

Através da equação 34 obtém-se o valor mínimo da capacitância unitária de aproximadamente $4fF$ considerando uma resolução de 9 bits e uma tensão de fundo de escala (V_{FS}) de aproximadamente 1,8V. Entretanto, a capacitância mínima permitida pela tecnologia CMOS TSCM de 180nm é igual a $35,6fF$. Tal valor é alto o suficiente quando comparado com o valor de C_u calculado e, portanto, inibe o efeito do ruído térmico na saída do circuito de amostragem e retenção.

3.1.4 Análise estatística do efeito de descasamento

A equação (35) descreve o valor ideal de um capacitor metal-isolante-metal (MIM):

$$C = k_c \cdot A_c \quad (35)$$

onde k_c é o parâmetro de densidade e A_c representa a área do dispositivo estimada pela largura (W) e pelo comprimento (L).

A variação ΔC em torno do valor nominal de C é expressa por

$$\sigma \left(\frac{\Delta C}{C} \right) = \frac{k_\sigma}{\sqrt{A_c}} \quad (36)$$

onde k_σ é o coeficiente de casamento.

Todo e qualquer processo de mensuração está sujeito a um erro de medida. Esses erros podem ter inúmeras fontes, desde a variação da temperatura, do tempo de oxidação e/ou corrosão até inúmeras outras imperfeições características dos processos de fabricação de circuitos integrados. A variação natural de muitos processos é aleatória, porém, os elementos observados possuem uma distribuição normal cuja dispersão em torno da média amostral é medida pelo desvio padrão (simbolizado por sigma). O desvio padrão de um único capacitor com relação ao seu valor nominal é estabelecido por um fator $\sqrt{2}$ vezes menor que a diferença entre dois capacitores (PETROVIC V.; BOZOVIC J, 2017), ou seja

$$\frac{\sigma \left(\frac{\Delta C}{C} \right)}{\sqrt{2}} = \frac{\sigma_u}{C_u} \quad (37)$$

Deste modo, sabendo que existem erros provenientes das variações de processos sobre o valor da capacitância unitária, em (WAKIMOTO; LI; MURASE, 2011) encontra-se um estudo detalhado sobre o efeito do descasamento da matriz capacitiva com um capacitor de atenuação. Tal análise é muito importante para determinar o valor mínimo para o capacitor unitário de um conversor com saída única ou diferencial, expressos pelas equações 38 e 39, respectivamente. A variação de C_u em torno do desvio padrão deve ser menor que a metade de 1LSB, onde o $1LSB$ é igual a $V_{REF}/2^N$.

$$C_u > 18 \cdot (2^P - 1) \left(2^{2(N-P)} \right) k_\sigma^2 \cdot k_c \quad (38)$$

Sendo a arquitetura do DAC diferencial, tem-se que

$$C_{u_{dif}} > 9 \cdot (2^P - 1) \left(2^{2(N-P)} \right) k_\sigma^2 \cdot k_c \quad (39)$$

Considerando os coeficientes indicados pelo documento contendo as regras gerais de projeto (do inglês, *project design kit - PDK*), os valores de k_c e de k_σ são iguais a $2fF/\mu m^2$ e $2,51\% \mu m$, respectivamente. Portanto, o valor mínimo de C_u calculado através da equação 39 é igual a $45,7fF$. A tabela 1 mostra as dimensões do capacitor unitário permitidas pela tecnologia CMOS TSMC de 180nm, cuja capacitância é igual a $52,32fF$. Este valor respeita os valores mínimos estimados pelo ruído térmico e pela simetria entre os componentes da matriz. Vale ressaltar que se P for igual a S , o valor mínimo de C_u retorna ao valor estimado para uma matriz capacitiva binária comum (ZHANG, 2012).

Tabela 1 – Dimensionamento de C_u de acordo com a simetria entre os componentes da matriz capacitiva.

Parâmetro	Descrição	Valor
W_{C_u}	largura de C_u	$4\mu m$
L_{C_u}	comprimento de C_u	$6\mu m$
C_u	Valor unitário	$52,32 fF$

Fonte: Autor.

3.1.5 Estimativa da área do conversor D/A

Segundo (PETROVIC V.; BOZOVIC J, 2017), o número total de capacitores unitários (N_{C_u}) em uma matriz com um capacitor de atenuação é dado por

$$N_{C_u} = (2^S + 2^P - 1) + N_{C_u,dummy} \quad (40)$$

onde $N_{C_u,dummy}$ representa o número de dispositivos *dummies* utilizados, o qual é definido pela seguinte equação:

$$N_{C,dummy} \approx 4 \left(\sqrt{2^S + 2^P - 1} \right) + 4 \quad (41)$$

A área total de uma matriz capacitiva é determinada pela soma da área individual de cada capacitor unitário (A_{C_u}) com os espaços provenientes das regras de espaçamento (DRC), de modo que

$$A_{C_u} = (W_{C_u} + DRC_{min,vertical}) (L_{C_u} + DRC_{min,horizontal}) \quad (42)$$

onde $DRC_{min,vertical}$ e $DRC_{min,horizontal}$ representam o espaçamento vertical e horizontal mínimo entre cada par de capacitores, respectivamente.

Desconsiderando os *dummies*, foram utilizados 71 capacitores unitários, concluindo que o chaveamento com um capacitor de atenuação apresentada neste trabalho proporciona uma redução significativa de área quando comparada com o método de chaveamento convencional (ALLEN; HOLBERG, 2002), (LIN; CHENG; TANG, 2016).

(independente da tensão de entrada V_{IN}). Adicionalmente, nota-se que C_3 deve ser relativamente grande para minimizar o efeito de C_p , caso contrário, a tensão V_G é reduzida consideravelmente.

Embora seja difícil encontrar um conjunto de equações que definam o dimensionamento deste circuito, algumas diretrizes de projeto devem ser consideradas. Os valores dos capacitores C_1 , C_2 e C_3 devem ser escolhidos o quanto menor possível para redução da área, mas com dimensões suficientes para o carregamento das tensões desejadas. Alguns dispositivos MOS devem ser dimensionados visando a obtenção de tempos de subida (t_s) e de descida (t_f) eficientes para a carga associada ao nó da porta do transistor M_{12} . Esta carga é estimada pelas capacitâncias parasitas provenientes da interconexão deste nó com o circuito de *bootstrapped*. Os transistores M_7 e M_{11} são críticos para o tempo de subida da tensão de carga, enquanto que apenas os transistores M_9 e M_{10} são responsáveis pelo tempo de descida. A Tabela 2 exibe as dimensões do comprimento de canal (W) de cada dispositivo MOS, considerando a largura de canal de todos os transistores mínima, isto é, igual a $180nm$. Os capacitores $C_{1,2}$ foram dimensionados com $W = 20\mu m$ e $L = 20\mu m$, e o capacitor C_3 com $W = 25\mu m$ e $L = 25\mu m$.

Tabela 2 – Dimensões dos dispositivos MOS utilizados no circuito de *bootstrapped*.

Transistores	$W(\mu m)$
$M_{1,2}$	2
M_3	4
M_4	0,7
M_5	2,5
$M_{6,8}$	1
M_7	2
$M_{9,10}$	25
$M_{11,12}$	8

Fonte: Autor.

Ao analisar o transistor M_{12} em sua função de amostragem e retenção da tensão de entrada, tem-se que a constante de tempo (τ) deve proporcionar o carregamento do capacitor em um tempo hábil através da resistência de canal (R_{on}). Segundo (WALTARI; HALONEN, 2003), τ é expressa por:

$$\tau = R_{on}C_u \quad (44)$$

sendo

$$R_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{th})} \quad (45)$$

A equação 45, por sua vez, demonstra que a resistência de canal do transistor M_{12} tende a infinito à medida que $V_{GS} - V_{th}$ se aproxima de zero. Sendo assim, torna-se importante utilizar o circuito de *bootstrapped* para fixar a tensão V_{GS} .

Para garantir a função de amostragem e retenção descrita no item 2.3, a tensão de saída em função da constante de tempo (τ) é descrita como

$$V_{out} = V_{in}(1 - e^{-t/\tau}) \quad (46)$$

onde t determina o tempo em que o pulso aplicado se mantém constante ou, em outras palavras, enquanto V_{out} rastreia V_{in} durante 1/2 ciclo de *clock*. Além disso, a

diferença entre a tensão de entrada e a tensão de saída deve ser inferior ao ruído de quantização Δ , ou seja,

$$V_{out}^{tx} - V_{in}^{tx} \ll \Delta \quad (47)$$

Assim, para que esta condição seja verdadeira, é necessário que

$$V_{in} e^{\frac{-T_s}{2\tau}} \ll \Delta \quad (48)$$

Substituindo a variável Δ na equação 48 e considerando o pior estudo de caso quando $V_{in} = V_{FS}$, tem-se o valor máximo teórico para τ expresso por

$$\tau \approx \frac{0,72xT_s}{N} \quad (49)$$

Através da equação 49, considerando uma frequência de amostragem f_s de 10MHz e um conversor A/D de 9-bits, obtém-se o valor máximo da constante de tempo igual a 8ns. Para respeitar tais condições, as dimensões do transistor M_{12} foram determinadas experimentalmente com base na equações 44 e 49. Como resultado, $(\frac{W}{L})_{11,12} = \frac{15}{0,18}\mu\text{m}$ proporcionam uma constante de tempo de 2ns.

3.3 Comparador de três estágios

A principal função do comparador é verificar se a tensão (V_{IN}) é maior ou não que a tensão de referência obtida pelo conversor D/A em cada ciclo de conversão. A velocidade de conversão do ADC está limitada ao tempo requerido para que ocorra a decisão do comparador. A arquitetura convencional de um comparador de três estágios é formada por um pré-amplificador, por uma estrutura “*latch*” e um pós amplificador ou também chamado de seguidor de tensão, conforme ilustrado pela Figura 7. O pré-amplificador, denominado como estágio de ganho, tem como função aumentar a sensibilidade do comparador e isolar a entrada de ruídos de chaveamento provenientes do estágio de realimentação positiva, o segundo estágio deve reter o sinal lógico até o próximo pulso de *clock* e o pós-amplificador deve amplificar essa informação e produzir um sinal digital.

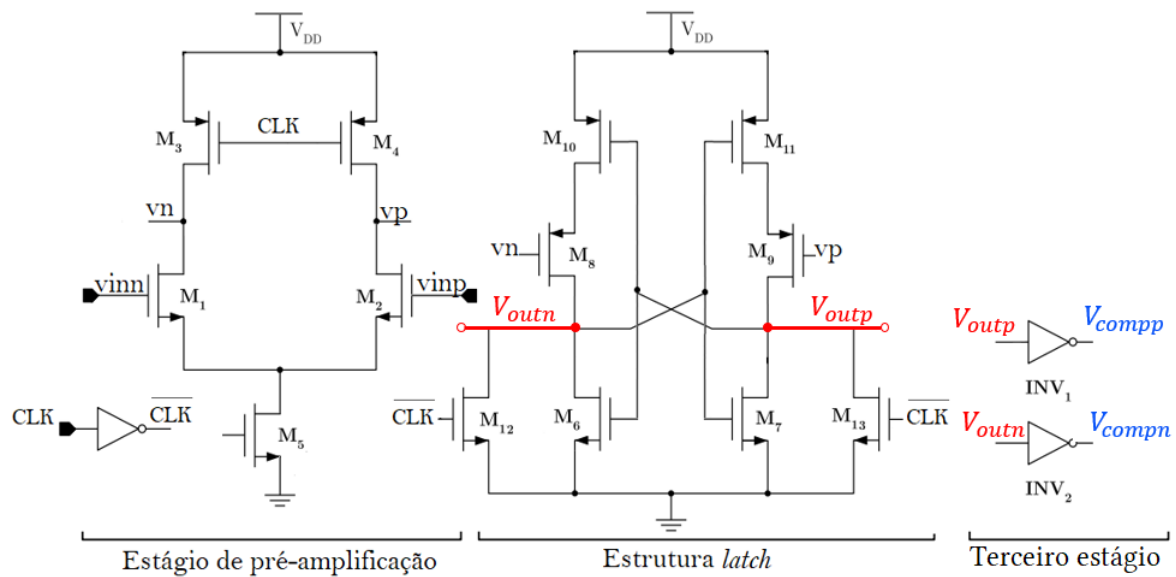


Figura 7 – Esquemático do comparador de três estágios: pré-amplificação, estrutura *latch* e seguidor de fonte.

Fonte: Autor, adaptado de (ZHANG, 2014).

Em suma, tal arquitetura funciona do seguinte modo: quando o sinal de controle (CLK) está em nível baixo, os transistores PMOS do primeiro estágio configuram os nós de saída (V_{outn} e V_{outp}) para o terra por meio dos transistores NMOS utilizados como chave no segundo estágio (M_{12} e M_{13}) e cuja tensão de controle aplicada à porta é \overline{CLK} . Quando CLK passa para o nível alto, os nós vn e vp são descarregados em diferentes taxas de velocidade de acordo com o sinal aplicado aos transistores NMOS de entrada (V_{inn} e V_{inp}). Gradativamente, o sistema de realimentação positiva do segundo estágio gera uma tensão de saída em nível alto ou baixo. Esta etapa é denominada fase de avaliação.

As tensões de entrada dos dispositivos M_8 e M_9 são controladas pelos nós de saída do primeiro estágio. Esta configuração, elimina a necessidade de um sinal de controle complementar e em contra partida, requer maiores tempos de atrasos visto que os sinais V_{outn} e V_{outp} tem bordas (de subida ou de descida) mais lentas que um sinal de *clock* digital.

A figura de mérito que estabelece a qualidade de medição do comparador é denominada resolução. O comparador deve ser capaz de medir todas as tensões referidas desde o bit mais significativo (MSB) até o bit menos significativo (LSB). Para um conversor A/D de N-bits a resolução máxima é obtida através da detecção da menor tensão possível denominada como V_{LSB} , a qual é expressa por

$$V_{LSB} = \frac{1}{2^N} V_{REF}$$

A propagação do tempo de atraso (t_d) define a velocidade do comparador, ou em outras palavras, o quão rápido este componente afere as decisões. O tempo de propagação de atraso na subida (t_{dr}) é medido entre a transição dos pontos do sinal de controle (CLK) e da saída quando ambos atingem 50% do nível do sinal. Analogamente, obtêm-se o tempo de propagação de atraso na descida (t_{df}). O tempo de propagação de atraso é a média dos tempos de subida e de descida. A metaestabilidade, geralmente, é um erro que ocorre em

comparadores que possuem uma estrutura *latch*. Uma situação de metaestabilidade ocorre quando a diferença nas entradas de um comparador é relativamente pequena e o *latch* não está apto para chavear um nível lógico válido, zero ou um, e atinge um valor intermediário. Do ponto de vista de projeto a metaestabilidade do comparador pode ser minimizada através do aumento do ganho do primeiro estágio, da diminuição da constante de tempo de regeneração e da existência de um tempo habil para que a saída do comparador atinja um nível lógico válido (ZHANG, 2014).

3.3.1 Análise e dimensionamento do comparador

Um bom ganho de tensão dinâmica no primeiro estágio pode aumentar a sensibilidade (resolução) do comparador, atenuar o ruído observado na entrada e a tensão de *offset* no segundo estágio. Tal ganho pode ser analisado através do modelo proposto na Figura 8, na qual, para efeitos de simplificação, todas as capacitâncias associadas aos nós *vn* e *vp* estão agrupadas nas capacitâncias C_p e C_n , respectivamente. Segundo (LU; HOLLEMAN, 2013), durante a fase de avaliação o “transistor de calda” pode ser modelado por uma fonte de corrente ideal, cujo valor de corrente é igual a $2I_D$, pois $I_P = I_N = I_D$. Nesta análise, o efeito de modulação de canal é desconsiderado.

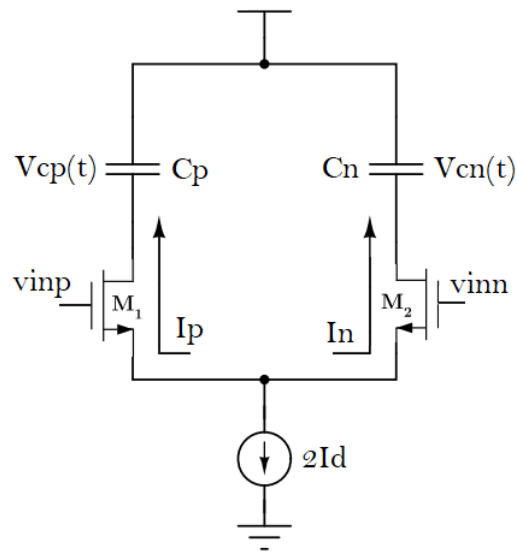


Figura 8 – Esquemático simplificado do primeiro estágio durante a fase de “avaliação”.

Fonte: Autor, adaptado de (LU; HOLLEMAN, 2013).

No início da fase de “avaliação” ($t = 0$) ambos os transistores da entrada atuam na região de saturação e as tensões nos capacitores C_p e C_n são iguais, isto é, $V_{cn}(V_{DD}) = V_{cp}(V_{DD})$. De acordo com (JEON; KIM, 2012), à medida que o tempo aumenta, os nós V_{outp} e V_{outn} são descarregados de V_{DD} para zero, de modo que as tensões $V_{cp}(t)$ e $V_{cn}(t)$ são expressas pelas equações 50 e 51, respectivamente.

$$V_{cp}(t) = \frac{1}{C} \int_{V_{DD}}^t I_p dt \quad (50)$$

$$V_{cn}(t) = \frac{1}{C} \int_{V_{DD}}^t I_n dt \quad (51)$$

As correntes de carga I_p e I_n são descritas por uma corrente diferencial dada por:

$$\Delta I = -g_{m1,2} \Delta V_{in} \quad (52)$$

onde $g_{m1,2}$ é a transcondutância dos transistores de entrada.

A saída diferencial $\Delta V_{out}(t)$ considerando o tempo de pré-amplificação (t_{preamp}) é expressa pela equação 53. O t_{preamp} , por sua vez, indica o tempo transcorrido desde o início da fase de avaliação até o momento em que um dos transistores de entrada passa da região de saturação para a região de triodo, fazendo com que as saídas do primeiro estágio forneçam as tensões de porta dos transistores M_8 e M_9 .

$$\Delta V_{out}(t) = V_{cp}(t) - V_{cn}(t) = \frac{g_{m1,2} \Delta V_{in}}{C} t_{preamp} \quad (53)$$

onde C representa a capacitância associada ao nó de saída do primeiro estágio.

Como demonstrado em (TAGHIZADEH; KOOZEHKANANI; SOBHI, 2017), t_{preamp} é definido como

$$t_{preamp} = \frac{C \cdot [V_{DD} - (V_{in_{cm}} - V_{thN})]}{I_D} \quad (54)$$

onde $I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right)_{1,2} (V_{in_{cm}} - V_{th1,2})^2$ e $V_{in_{cm}}$ é a tensão de entrada de modo comum dos transistores M_1 e M_2 .

O ganho diferencial máximo do primeiro estágio, determinado pela combinação das equações 53 e 54, é obtido pela razão entre a saída diferencial e a entrada diferencial, sendo expresso como

$$A_v = -\frac{g_{m1,2} t_{preamp}}{I_D} \quad (55)$$

A equação 55 demonstra que A_v depende da eficiência da transcondutância (g_m/I_D) do par de entrada e da tensão de entrada de modo comum. Para obtenção de valores altos de g_m/I_D é necessário polarizar o par de transistores da entrada na região de sub-limiar. Existe um conflito de interesses nesta abordagem pois é preciso escolher aprimorar um parâmetro em detrimento de outro, ou seja, a aquisição de uma boa resolução pode custar tempos de atrasos relativamente grandes, maior consumo de potência e de área. Com o intuito de demonstrar os fatores que podem limitar a velocidade do comparador, utiliza-se a expressão 56 para análise do tempo de atraso total do dispositivo em termos de capacitâncias de carga associadas ao nó de saída e da transcondutância.

$$t_{atraso} = t_{preamp} + t_{latch} \quad (56)$$

onde t_{preamp} compreende o tempo de atraso do estágio de pré-amplificação definido pela equação 54 e t_{latch} é o tempo de atraso do segundo estágio, o qual é expresso por

$$t_{latch} = \frac{C_{out}}{g_{m8,9}} \cdot \ln \left(\frac{V_{DD}}{2\Delta V_o} \right) \quad (57)$$

ΔV_o , por sua vez, é a diferença de tensão na saída do *latch* logo após o tempo de pré-amplificação e $g_{m8,9}$ é a transcondutância dos transistores M_8 e M_9 do segundo estágio, (RAZAVI, 1995). Sendo, ΔV_o expressa por

$$\Delta V_o = V_{in_{cm}} \cdot A_v \quad (58)$$

A equação (57) enfatiza que para reduzir o tempo de atraso do *latch* é necessário aumentar a transcondutância $g_{m_{8,9}}$ por meio da relação de aspecto ($\frac{W}{L}$) dos transistores M_8 e M_9 .

É importante ressaltar que ruídos e tensões de *offset* associados à entrada podem afetar a resolução do conversor A/D. O nível estático de *offset* associado a entrada do comparador dinâmico é proveniente do descasamento entre os parâmetros de fabricação de dispositivos idênticos (como exemplo, o par de transistores da entrada). Já o nível dinâmico é dado pelo descasamento entre as capacitâncias parasitas associadas ao nó de saída. De modo geral, ambos os tipos de *offset* se traduzem em um efeito indesejado que proporciona mudanças arbitrárias no comportamento do comparador, isto significa que o circuito pode resultar em uma tensão alta na saída quando a tensão de entrada é menor que a tensão de referência ou vice-versa. A tensão de *offset* pode ser reduzida por adicionar algumas técnicas de cancelamento (calibração) ou por utilizar arquiteturas de comparadores que contenham estágios de pré-amplificação, como demonstrado em (TAGHIZADEH; KOOZEHKANANI; SOBHI, 2017). Além disso, é importante garantir a acurácia na simetria entre as conexões do comparador durante a implementação física (*leiaute*) para evitar a incidência de diferentes capacitâncias parasitas associadas aos transistores de entrada e ao nó de saída. A tensão de *offset* total do comparador dinâmico proposto na Figura 7, cujo desenvolvimento é demonstrado em detalhes por (JEON; KIM, 2012), é expressa como

$$V_{offset} = \sqrt{V_{off_{IN}}^2 + \frac{1}{A_v^2} \cdot V_{off_{latch}}^2} \quad (59)$$

onde $V_{off_{IN}}^2$ e $\frac{1}{A_v^2} \cdot V_{off_{latch}}^2$ são as tensões de *offset* obtidas pelo estágio de pré-amplificação e pelo estágio de *latch*, respectivamente. A_v é o ganho diferencial do primeiro estágio obtido pela equação 55.

Através da equação 59 é possível observar que o efeito da tensão de *offset* proveniente do par de transistores de entrada é dominante, pois a parcela originada pelo estágio de *latch* é atenuada pelo ganho do primeiro estágio. Assim, para avaliar os fatores contribuintes desta não-idealidade, o nível de *offset* do pré-amplificador é obtido por meio da variação das tensões de porta do par de entrada, ou seja,

$$V_{off_{IN}} = V_{GS1} - V_{GS2} \quad (60)$$

$$= \frac{V_{GS1,2} - V_{th_N}}{2} \cdot \left(-\frac{\Delta C}{C} + \frac{\Delta \beta_{eff}}{\beta_{eff}} \right) - \Delta V_{th_N} \quad (61)$$

Considerando que os descasamentos são variáveis estatísticas independentes, como demonstrado em (JEON; KIM, 2012), o nível diferencial de *offset* randômico pode ser expresso como a variância da equação 61, isto é,

$$V_{off_{IN}}^2 = \Delta V_{th_N}^2 + \left(\frac{V_{GS1,2} - V_{th_N}}{2} \right)^2 \cdot \left[\left(\frac{\Delta C}{C} \right)^2 + \left(\frac{\Delta \beta_{eff}}{\beta_{eff}} \right)^2 \right] \quad (62)$$

Portanto, conclui-se a partir da equação 62 que a variação entre as tensões de limiar dos transistores de entrada (M_1 e M_2) está diretamente relacionada a tensão de *offset* (V_{th}), a variação das tensões entre fonte-substrato pode culminar na alteração de ambas as

tensões V_{th} . Adicionalmente, o descasamento entre as capacitâncias conectadas aos nós de saída do primeiro estágio também fomentam esta não-idealidade, a saber: as capacitâncias de porta dos dispositivos M_8 e M_9 e as capacitâncias de dreno de M_1 e M_2 . Ademais, as discrepâncias em β_{eff} compreendem os parâmetros de fabricação de mobilidade (μ_N), capacitância do óxido (C_{ox}) e da razão geométrica dos dispositivos $(\frac{W}{L})_{1,2}$, como demonstra a equação a seguir (PELGRON; DUINMAIJER; WELBERS, 1989):

$$\left(\frac{\Delta\beta_{eff}}{\beta_{eff}}\right)^2 = \left(\frac{\Delta W}{W}\right)^2 + \left(\frac{\Delta L}{L}\right)^2 + \left(\frac{\Delta C_{ox}}{C_{ox}}\right)^2 + \left(\frac{\Delta\mu_N}{\mu_N}\right)^2 \quad (63)$$

A tabela 3 exhibe os valores utilizados no dimensionamento dos dispositivos MOS contidos no comparador, sendo a largura de canal de todos os transistores mínima e igual a 180nm.

Tabela 3 – Dimensões dos dispositivos utilizados no comparador.

Transistores	W(μm)
$M_{1,2}$	4
$M_{3,4}$	2
M_5	8
M_{6-13}	2

Fonte: Autor.

3.4 Seleção do modo assíncrono e síncrono do ADC

Este projeto possui um multiplexador, ou também conhecido como circuito de seleção de entrada, que permite avaliar o comportamento síncrono e assíncrono do ADC. Com esta finalidade, a Figura 9 demonstra a arquitetura proposta para este circuito, indicando os seus sinais de entrada (clk_{sinc} e clk_{assinc}) e de saída (clk_{comp}). O pino de entrada denominado seletor é responsável por habilitar o modo de funcionamento de acordo com o nível lógico aplicado, sendo 1 para o modo síncrono e 0 para o modo assíncrono.

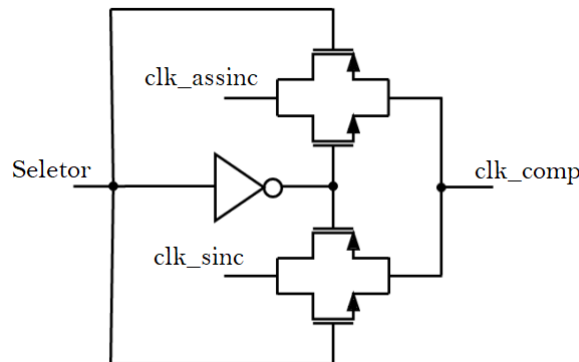


Figura 9 – Arquitetura do multiplexador.

Fonte: Autor.

A lógica assíncrona requer apenas um sinal externo f_s e os demais sinais de controle são gerados internamente de acordo com as iterações da lógica de controle SAR. Como

descrito na Figura 11, após o período de amostragem do sinal de entrada, o comparador gera um sinal de controle nomeado clk_{SAR} , o qual é responsável por indicar o término da fase de decisão para, então, habilitar o funcionamento da lógica de controle e, conseqüentemente, configurar o DAC. O arranjo de circuitos MOS (ligação em série de uma porta lógica *nor*, um inversor e outra porta *nor*) é utilizado para gerar o sinal de controle clk_{assinc} que será aplicado na entrada do multiplexador e, posteriormente, no comparador, conforme indicado na Figura 10.

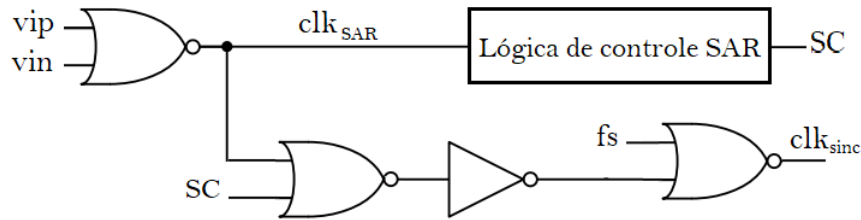


Figura 10 – Sinal de controle assíncrono.

Fonte: Autor.

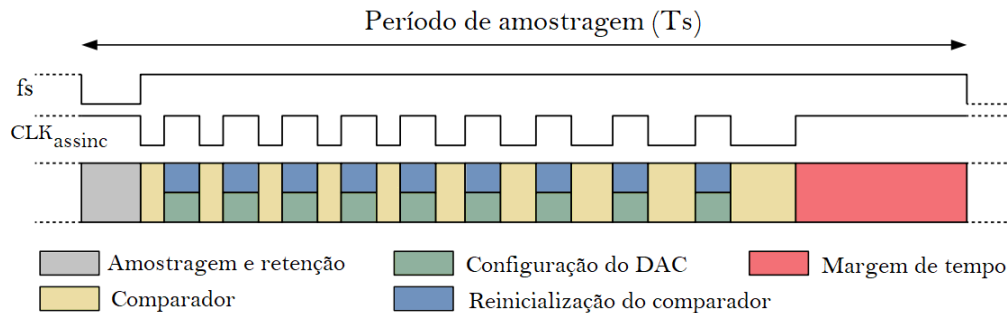


Figura 11 – Gráfico do tempo para o modo assíncrono do SAR ADC.

Fonte: Autor.

Já a lógica síncrona requer dois sinais de controle externos, como demonstra a Figura 12. O primeiro sinal chamado de clk_{sinc} é responsável por habilitar o funcionamento do comparador. O segundo sinal nomeado como f_s tem a função de ressetar o circuito de controle da lógica SAR e de controlar o funcionamento do circuito de amostragem e retenção, cujo período depende da frequência de amostragem. O sinal clk_{sinc} possui uma frequência muito maior que a frequência de amostragem.

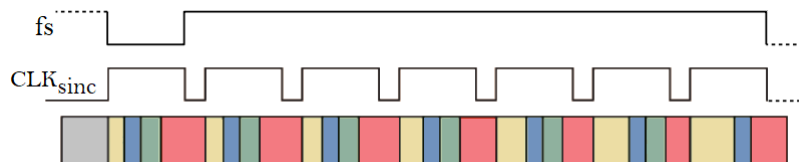


Figura 12 – Gráfico do tempo para o modo síncrono do SAR ADC.

Fonte: Autor.

As tensões de saídas do DAC (V_{DACp} e V_{DACn}) convergem gradualmente para a tensão de modo comum V_{CM} , como mostra a Figura 13. Após a leitura do bit menos significativo, a saída binária é atualizada para concluir o ciclo de conversão. Simultaneamente,

o circuito de controle SAR retorna para a configuração inicial para preparar o próximo ciclo de conversão.

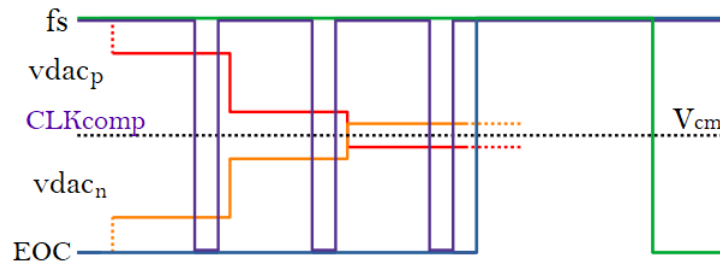


Figura 13 – Representação dos sinais internos durante o processo de conversão do SAR ADC para os 3 bits menos significativos.

Fonte: Autor.

Para dimensionar os dispositivos MOS do circuito inversor, deve-se considerar as correntes de dreno de ambos os transistores, de modo que $I_{DS_N} = |I_{DS_P}|$. A tensão de inversão lógica (V_{INV}) do inversor CMOS pode ser determinada de acordo com a seguinte expressão:

$$V_{INV} = \frac{V_{DD} - |V_{TP}| + V_{TN} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (64)$$

onde V_{TN} e V_{TP} são as tensões de limiar dos transistores NMOS e PMOS, respectivamente; β_N e β_P são os fatores de ganho dos transistores NMOS e PMOS.

Assim, o dimensionamento dos transistores NMOS e PMOS foi estimado para manter a mínima dimensão permitida pela tecnologia (L mínimo) e para que a tensão de inversão da porta lógica inversora (V_{INV}) fosse igual a metade da tensão de alimentação do circuito ($V_{INV} = \frac{V_{DD}}{2}$). De acordo com a Equação (64), faz-se necessário ajustar a largura de canal (W) do transistor PMOS para compensar a diferença entre as mobilidades dos dispositivos, isto é, $W_p = 2,5\mu m$ e $W_n = 1\mu m$. As dimensões dos dispositivos MOS da porta *nor* foram obtidas de modo análogo.

3.5 Lógica de controle SAR

Este bloco é responsável por implementar o algoritmo de busca binária de acordo com o funcionamento sequencial do SAR ADC. A lógica de controle é estabelecida pelo método de chaveamento com um capacitor de atenuação, o qual possui duas tensões de referências (gnd e V_{REF}).

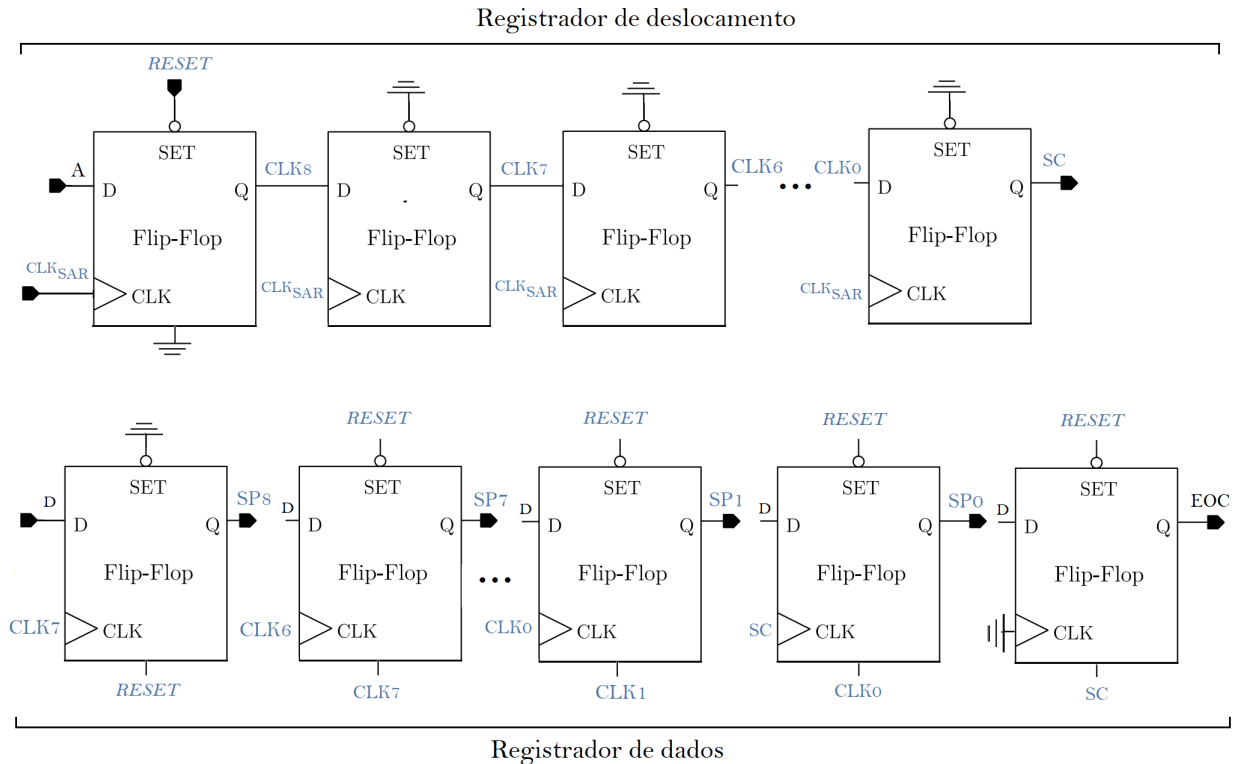


Figura 14 – Lógica de controle SAR.

Fonte: Autor.

O algoritmo implementado para a lógica de controle do SAR ADC de 9-bits é formado por duas partes funcionais, um registrador de deslocamento e um registrador de dados, como representado na Figura 14. Visto que o controle SAR funciona de forma sequencial, o registrador de deslocamento define o período de operação (CLK_{0-8}) de cada flip-flop contido no segundo registrador. Enquanto que as saídas do registrador de dados SP_{0-8} controlam o chaveamento dos capacitores do DAC com base no valor obtido na saída do comparador (D).

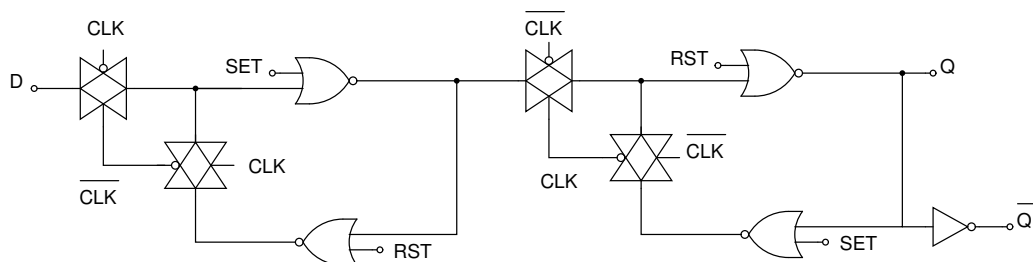


Figura 15 – Flip-flop do tipo D mestre-escravo com set e reset.

Fonte: Autor.

Todos os flip-flops contidos na lógica de controle SAR foram implementados utilizando flip-flops do tipo D mestre-escravo. Esta arquitetura é composta por dois *latches* conectados em cascata conforme ilustrado pela Figura 15, o primeiro é chamado de mestre e o segundo de escravo. O sinal de controle está diretamente conectado ao flip-flop mestre e ao inversor cuja saída está conectada ao controle do flip-flop escravo. Ambos funcionam

de modo complementar, o último valor lido durante a ativação do mestre aparecerá na saída Q .

Os flip-flops são dispositivos biestáveis síncronos, sensíveis às entradas apenas nas transições do sinal de controle (CLK). Para que fosse possível resetar ou setar um flip-flop a qualquer momento (colocar todos os flip-flops num estado conhecido, o qual pode ser o estado RST igual a zero ou o estado SET igual a 1), cada dispositivo contém um pino de RST assíncrono e um outro pino de SET também assíncrono, como mostrado na Figura 15, o que permite pré-configurar o bit mais significativo da matriz positiva em V_{REF} e manter todos os demais capacitores conectados ao terra no início da fase de amostragem. A denominação assíncrono refere-se ao fato de que a ação de ambos os pinos é independente do sinal de controle.

O desempenho e as limitações dos flip-flops são especificados por diversas características de operação ou parâmetros aplicados, a saber: tempos de atraso de propagação, tempo de preparação, tempo de manutenção, frequência máxima de *clock*, largura de pulso e dissipação de potência.

3.6 Implementação física do SAR ADC

O ADC foi fabricado utilizando a tecnologia CMOS de 180nm do fabricante TSMC. A escolha desse nó tecnológico foi devido a submissão e aprovação deste projeto no programa educacional de fabricação gratuito oferecido pela Europractice. A área total consumida pelo conversor é de $0,124mm^2$ com $523\mu m$ de largura e $238\mu m$ de comprimento. A Figura 16 ilustra o *floorplane* do conversor A/D, ilustrando a localização de cada sub-bloco, a saber: comparador (comp), um par de circuito de *bootstrapped* (Boostp e Boostn), Matrizes capacitivas (DACp e DACn) e a lógica de controle SAR.

As matrizes capacitivas foram projetadas utilizando a técnica de centróide comum segmentado visando a redução das capacitâncias parasitas provenientes do roteamento (CHEN et al., 2014). A Figura 14 ilustra a distribuição dos capacitores ao longo de cada matriz, onde cada índice (C_8 a C_0) corresponde um bit de chaveamento 2^{N-1} . Além disso, C_u representa o capacitor unitário de atenuação e D os capacitores utilizados como *dummies*. A largura e o comprimento do leiaute de ambas as matrizes são iguais a $196,8\mu m$ e $134,5\mu m$, respectivamente.

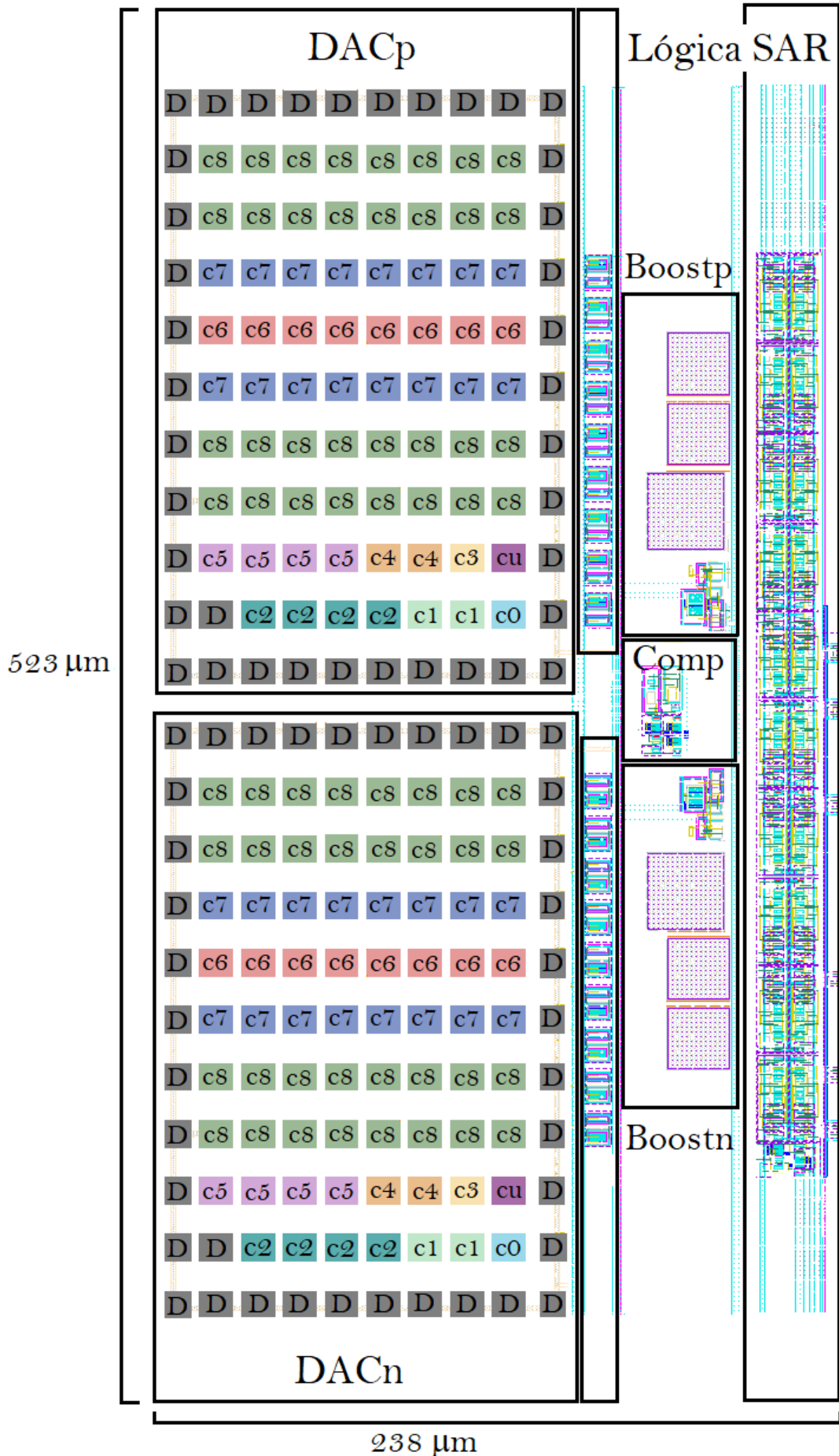


Figura 16 – Floorplane do conversor A/D de 9-bits.

Capítulo 4

Resultados obtidos por simulação e experimentalmente para o SAR ADC de 9-bits

Este capítulo tem por objetivo discorrer sobre os resultados de simulação pós leiaute do conversor diferencial A/D SAR. Este projeto utiliza a tecnologia TSMC de 180nm fornecida pelo programa educacional da Europractice (2019). Além disso, todos os resultados apresentados neste capítulo foram simulados através do pacote de ferramentas *Cadence*, e utilizando os equipamentos eletrônicos do laboratório LSI/PSI/EPUSP. Por fim, serão apresentados os resultados experimentais medidos.

4.1 Consumo de potência e ENOB

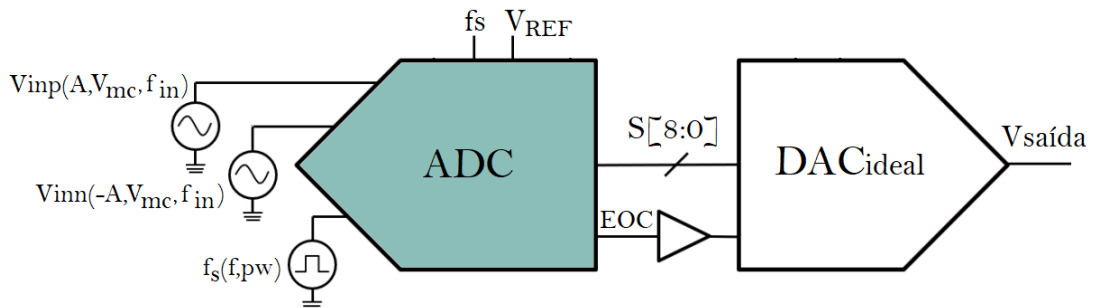


Figura 17 – Estrutura de teste do SAR ADC.

Fonte: Autor.

4.2 Frequência da senóide do sinal de entrada

A figura 17 mostra o teste utilizado para analisar o comportamento dinâmico do conversor, onde os parâmetros de configuração estão descritos na Tabela 4. É importante ressaltar que a frequência da onda senoidal de entrada foi devidamente calculada através da equação 65, garantindo que a fase da primeira amostra do sinal fosse uniforme e randomicamente distribuída entre 0 e 2π . Isto significa que é obrigatoriamente necessário um número inteiro de ciclos (D), onde D deve ser arredondado para o número primo mais próximo do seu valor inicial e o valor final de f_{in} encontrado de forma recursiva (ANJOS, 2014).

$$\frac{f_{in}}{f_s} = \frac{D}{M} \quad (65)$$

Tabela 4 – Parâmetros de configuração do teste do SAR ADC.

Parâmetro	Valor	Unidade
Amplitude (A)	$0,95 \cdot V_{DD}$	mV
nível DC de modo comum (V_{mc})	900	mV
Tensão de referência (V_{REF})	1,8	V
ciclo de trabalho (pw)	10	%
Tensão de alimentação (V_{DD})	1,8	V

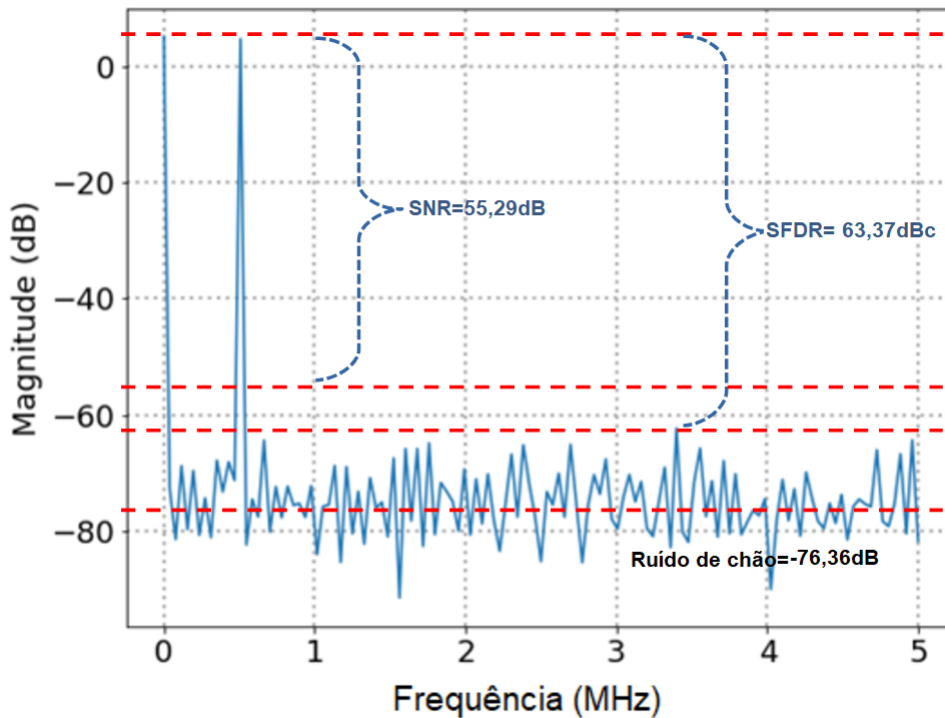
Fonte: Autor.

Na análise de *corners*, as amostras de teste são ajustadas considerando casos extremos de variações em torno do valor nominal da tensão de alimentação, temperatura e/ou frequência de operação. A Tabela 5 exhibe o valor mínimo e máximo do *ENOB* simulado pelo esquemático considerando uma frequência de amostragem fixa e igual a 10MHz para um intervalo de temperatura de -40° a 125°C .

Tabela 5 – Análise de Corners de temperatura (-40° a 125°C) do ADC simulados pelo esquemático.

	Nominal	Mínimo	Máximo
ENOB (bits)	8,91	8,82	8,95

Fonte: Autor.

Figura 18 – SNDR e SFDR em função da frequência de amostragem (f_s) simulados pós-leiute.

Fonte: Autor.

A figura 18 exibe o espectro de frequência (FFT de 256 pontos) do sinal de saída do conversor pós-leiaute com um SNR de 55,29, SFDR de 63,37dBc, ruído de chão de -76,36dB e um $ENOB$ de 8,59 bits, considerando $C_o = 52fF$, $f_s = 10MHz$ e uma temperatura nominal de 27°C. Já a Tabela 6 compara o SNR obtido com o valor resultante do esquemático e com o valor teórico calculado através da equação 19.

Tabela 6 – Resultados de simulação do ADC.

Parâmetro	Esquemático	Leiaute	Teórico	Unidade
SINAD/SNR	55,45	55,29	55,94	dB
ENOB	8,91	8,59	9,00	bits

Fonte: Autor.

Devido a ampla variedade de parâmetros, arquiteturas e aplicações dos conversores A/D, algumas figuras de mérito (FoM) são estabelecidas para qualificar a eficácia do dispositivo em termos de resolução, consumo de potência e frequência de operação. A FOM mais utilizada no estudo de ADCs é conhecida como Walden FoM (Walden, 1999), sendo expressa por

$$FoM_W = \frac{P}{f_s \cdot 2^{ENOB}} \quad [j/conv - step] \quad (66)$$

onde P equivale o consumo de potência e f_s é a frequência de amostragem de *Nyquist*.

Sendo assim, a tabela 7 exibe os valores de FoM, calculados através da equação 66, em função da frequência de amostragem com variação entre 500kHz e 15MHz. Analisando o ENOB obtido é possível notar que o ADC opera até uma frequência de amostragem de aproximadamente 12MHz isento de degradações muito significativas nos parâmetros dinâmicos. A partir deste valor, novos incrementos em f_s inviabilizam a amostragem do sinal de entrada e limitam a detecção dos bits menos significativos.

Tabela 7 – Parâmetros dinâmicos do ADC para diferentes frequências de amostragem pós leiaute.

f_s (MS/s)	ENOB (bits)	SFDR (dBc)	Potência (mW)	FoM_w (fJ/Conv.step)
0,5	8,43	66,36	0,114	659,06
1	8,51	68,16	0,157	238,51
5	8,43	67,18	0,498	288,70
10	8,59	63,37	0,979	239,22
12	8,55	67,41	1,094	243,14
15	7,98	63,63	1,348	356,05

Fonte: Autor.

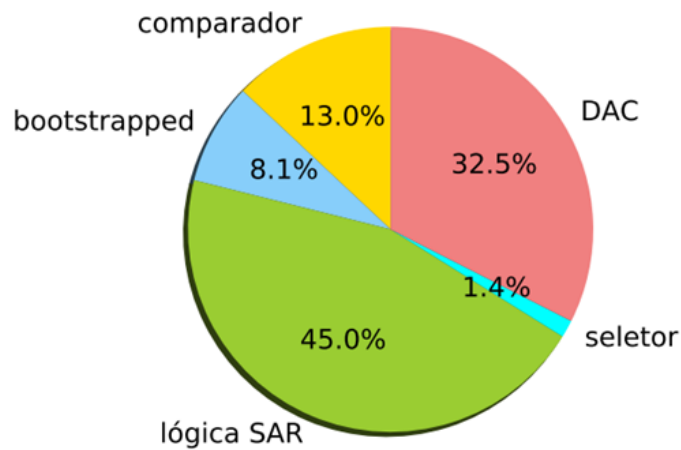


Figura 19 – Consumo de corrente de cada sub-bloco do conversor A/D pós-leiaute.

Fonte: Autor.

A média da corrente nominal para $f_s = 10MHz$ é igual a $543,79\mu A$, na qual a Figura 19 mostra a porcentagem da corrente consumida por cada sub-bloco do ADC.

4.3 DNL e INL obtidos por simulação do esquemático e pós-leiaute

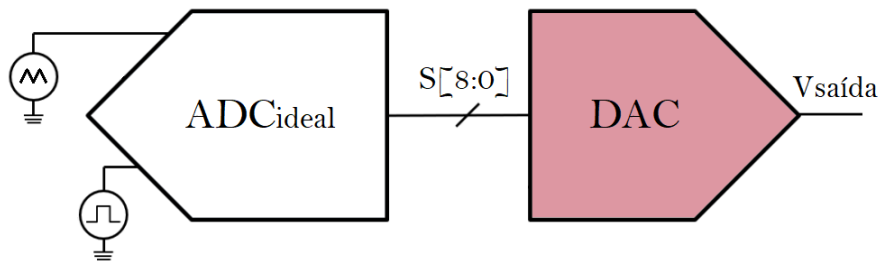


Figura 20 – Estrutura de teste para obtenção do DNL e INL.

Fonte: Autor.

Para extração dos resultados estáticos do SAR ADC utiliza-se uma estrutura de teste semelhante a Figura 20. A tensão de entrada do DAC é configurada por uma rampa linear com variação de zero a VDD dentro de um intervalo de tempo de zero a $2^N/f_s$. O sinal de *clock* é inserido por uma onda quadrada com período de $1/f_s$ e largura de pulso igual a $1/(2 \cdot f_s)$.

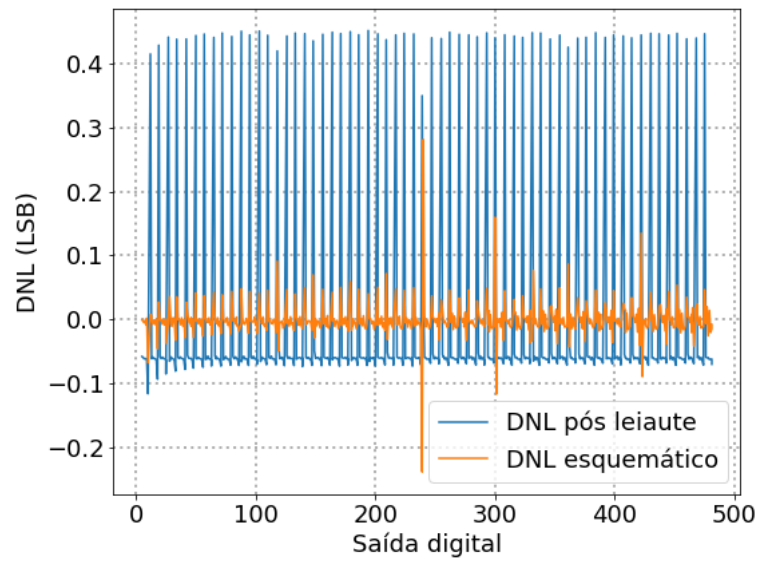


Figura 21 – DNL obtido por simulação de esquemático e pós-leiaute.

Fonte: Autor.

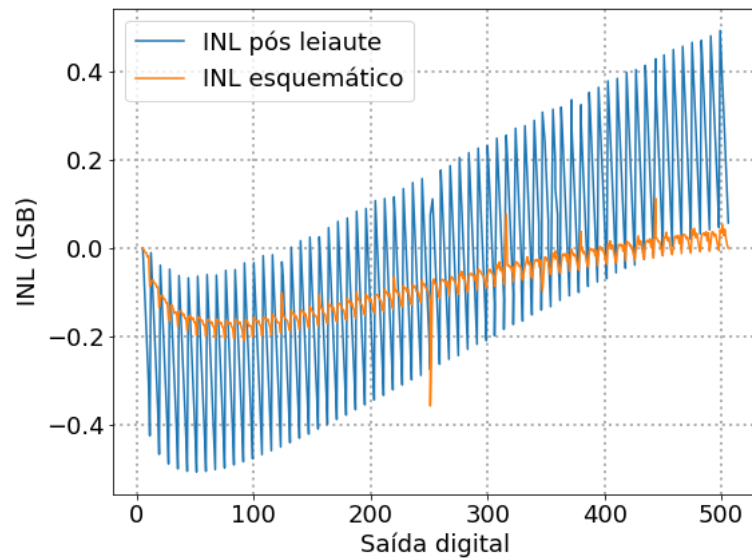


Figura 22 – INL obtido por simulação de esquemático e pós-leiaute.

Fonte: Autor.

A tabela 8 exibe um comparativo entre o DNL e INL o simulados pelo esquemático e pela vista extraída após o leiaute. Através da Figura 21 e da Figura 22 nota-se que o DNL encontra-se no limite da monotonicidade e que não há erros provenientes de offset mas de ganho devido a mudança de inclinação observada na curvas de INL.

Tabela 8 – Resultados de simulação do ADC.

Parâmetro	Esquemático	Leiaute	Unidade
DNL	0,280	0,506	LSB
INL	0,357	0,451	LSB

Fonte: Autor.

4.4 Resultados de medidas experimentais

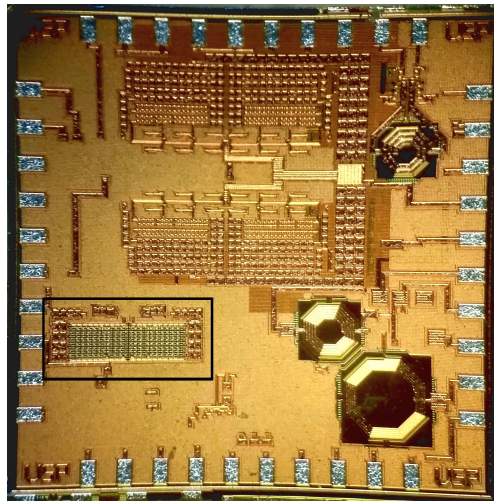


Figura 23 – Micrografia do chip fabricado.

Fonte: Autor.

A Figura 23 exibe a micrografia do chip completo com a localização do SAR ADC em destaque. Devido a quantidade reduzida de pinos disponíveis para a fabricação deste circuito, foram selecionados somente aqueles que seriam essenciais para analisar o funcionamento da lógica de controle SAR, a saber: o sinal de controle do comparador responsável por ativar a lógica de controle SAR (*valid*) e o sinal que indica o término da conversão denominado EOC.

Um circuito conhecido como LVDS (*Low Voltage Differential Signaling*) foi projetado pelo aluno Walter Campos Santiago Aranda (integrante do grupo de pesquisa DMPSV do LSI/PSI/EPUSP) para receber os sinais de saída do conversor mencionados acima e transformá-los em sinais diferenciais, com o intuito de aumentar a rejeição ao ruído de modo comum.

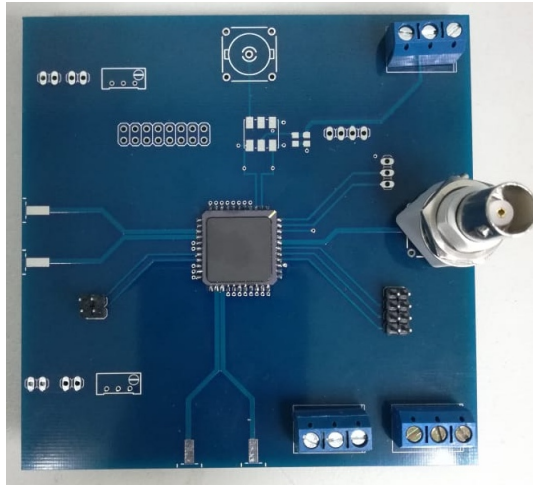


Figura 24 – PCB fabricada para teste do SAR ADC.

Fonte: Autor.

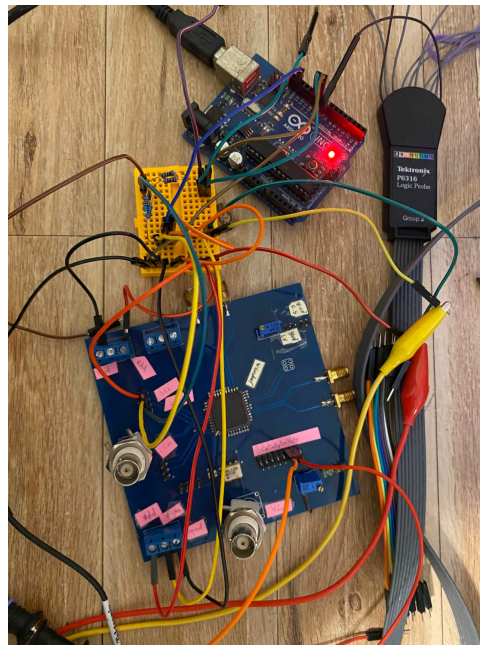


Figura 25 – Arranjo para medição do SAR ADC.

Fonte: Autor.

A Figura 24 mostra a placa PCB resultante para os testes do SAR ADC, onde o *die* (pacote QFP44). Enquanto a figura 25 mostra o arranjo montado para a medição.



Figura 26 – Resultado de medição de tensão e corrente usando o osciloscópio.

Fonte: Autor.

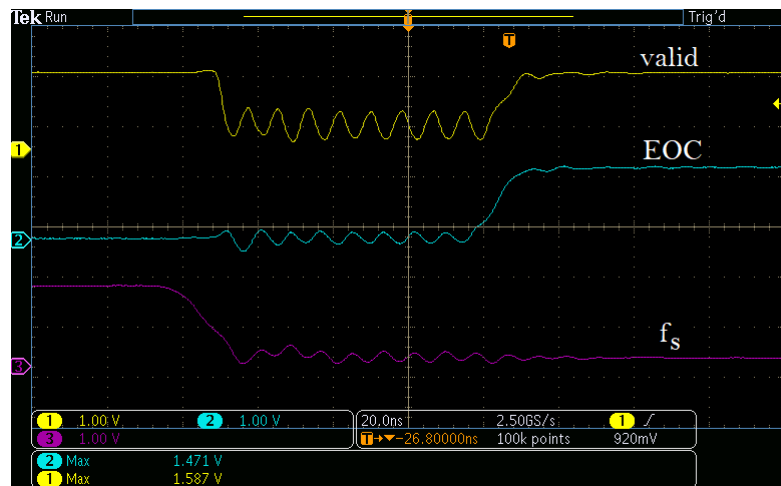


Figura 27 – Resultado de medição usando o osciloscópio.

Fonte: Autor.

O chip fabricado não possui proteção de descarga eletrostática (ESD) para os *pads* de alimentação ou para os sinais de entrada. Isto prejudicou a análise dos resultados de modo que ocorreu uma ruptura do óxido dos terminais de porta dos transistores de entrada do comparador resultando em uma corrente de 200mA para uma tensão de modo comum de 0,32V, como demonstra a Figura 26. Entretanto, mesmo com a tensão de entrada fixada em zero, foi observado que o sinal de *clock* tem períodos de 8,4ns realizando 9 ciclos de conversão num período total de 73,4ns como descrito na tabela 9. Também é possível observar que quando o sinal de EOC atinge o nível lógico igual a um, o comparador encerra os ciclos de comparação, assim como, inicia o processo de conversão quando o período de retenção é ativado como demonstra a Figura 27. Outro problema observado durante a medição deste circuito ocorre devido a uma falha na polarização do LVDS, pois o sinal de *clock* não atinge a tensão esperada de 1,8V, permanecendo entre 0 e 0,9V.

Tabela 9 – Comparativo entre os tempos de conversão dos resultados simulados pós-leiaute e após obtidos experimentalmente.

Resultados	leiaute	medição
t_{clk} (ns)	7,04	8,40
tempo de conversão (ns)	60,18	73,40

Fonte: Autor.

Capítulo 5

Conclusão

O conversor diferencial analógico-digital por aproximações sucessivas (SAR ADC) de 9-bits foi projetado, simulado e fabricado utilizando a tecnologia CMOS de 180nm. A topologia do circuito de chaveamento baseada em (WALTARI; HALONEN, 2003) foi utilizada em conjunto com um DAC diferencial que utiliza um capacitor de atenuação conforme demonstrado em (WAKIMOTO; LI; MURASE, 2011). Ademais, tendo como referência (ZHANG, 2014), um comparador de três estágios foi escolhido visando isolar o sinal de entrada de possíveis ruídos provenientes do estágio de realimentação positiva. Todas essas considerações resultaram em um SAR ADC de 1,8V com ENOB de 8,59 bits e FoM de 239,22 fJ/conv-step para 10MS/s, ocupando uma área de 0,124 mm^2 . Tal arquitetura, assim como, o sistema EBE proposto nesta dissertação, foram publicados no 10º simpósio da América Latina de Circuitos e Sistemas (LASCAS) em 2019 (SANTANA; HERNANDEZ; NOIJE, 2019).

De modo geral, o trabalho desenvolvido como parte desta dissertação de mestrado cobriu diferentes assuntos, não apenas referentes ao seu foco principal dado pelo desenvolvimento de um SAR ADC, mas também os conceitos básicos da espectroscopia por impedância elétrica e as suas aplicações, especialmente, para o monitoramento e diagnóstico de neoplasias tal como o câncer de mama, visando indicar onde os principais esforços de pesquisa estão sendo concentrados para aquisição de sistemas de geração de imagens por bioimpedância elétrica com alta especificidade e resolução. Vale destacar que há um predomínio dos conversores do tipo SAR em sistemas de bioimpedância devido ao alcance de boas resoluções e consumo de potência moderado. Do ponto de vista deste trabalho, é sabido que cada par de eletrodos tem um circuito integrado conectado para estímulo e leitura dos dados de análise conforme demonstrado em (KIM *et al.*, 2017), isto significa que pensando no sistema completo a escolha do SAR é mais vantajosa em termos de energia e velocidade de resposta.

Os resultados obtidos por simulações pós leiaute e experimentalmente foram promissores e demonstram o funcionamento da lógica de controle SAR. Entretanto, como mencionado no capítulo anterior, existem alguns pontos de melhorias a serem considerados em trabalhos futuros. Dentre eles, com maior destaque e importância, torna-se necessário incluir circuitos de proteção ESD durante o planejamento do chip a ser fabricado. Vale resaltar que tais circuitos não foram adicionados por uma restrição de área total disponível para este projeto.

Em (MURMANN, 2019) nota-se uma forte tendência para o uso de técnicas que unem as principais características do SAR ADC com os pontos fortes de outras arquiteturas para alcançar resoluções maiores (em torno de 14 bits), como exemplo, a combinação da arquitetura SAR com a técnica de modelamento de ruído (*noise shaping*) tem sido amplamente utilizada para aprimorar a velocidade, resolução e eficiência do consumo

de potência dos conversores A/D. Tal arquitetura explora a utilização do conceito de realimentação e do modelamento de ruído para aumentar a resolução dos conversores SAR. Dito isso, esta opção é interessante para aplicações em trabalhos futuros, visto que pode melhorar a robustez do sistema de bioimpedância proposto em termos de consumo de potência e principalmente de resolução para garantir a acurácia da geração de imagens. A tabela 10 exibe um comparativo entre o conversor A/D SAR projetado e outros encontrados na literatura, onde é possível verificar a aplicação da mesma lógica de controle para diferentes níveis de tensão e nós tecnológicos.

Tabela 10 – Comparação entre ADCs do tipo SAR semelhantes

Especificações	Autor	JSSC 2013	JSSC 2018	ISSCC 2019
Tecnologia (nm)	180	65	90	14
Tensão (V)	1,8	0,60	1,00	0,90
f_s (MS/s)	10	0,40	0,10	320
ENOB (bits)	9	10	8,35	10
Potência (μ W)	0,979	0,072	0,473	1250
SNDR (dB)	55,29	63	-	66,60
Área (mm^2)	0,124	0,076	0,00371	0,0021
FoM_W (fJ/Conv.step)	239,22	2,70	14,5	171,70

Fonte: Autor.

Referências

- ABO, A. M.; GRAY, P. R. A 1.5V, 10-bit, 14.3-MS/s CMOS pipeline Analog-to-Digital Converter. *IEEE Journal of Solid-State Circuits*, v. 34, n. 5, 1999. Citado na página 30.
- ALLEN, P. E.; HOLBERG, D. R. CMOS analog circuit design. *New York*, Oxford University Press, v. 2, 2002. Citado 2 vezes nas páginas 23 e 29.
- ANJOS, E. V. P. Plataforma de teste para conversores analógico-digitais. Universidade Federal do Rio de Janeiro, 2014. Citado 3 vezes nas páginas 16, 17 e 43.
- BAEK, S.-U.; LEE, K.-Y.; LEE, M. Energy-efficient switching scheme for SAR ADC using zero-energy dual capacitor switching. *Springer Nature*, v. 94, n. 2, p. 317–322, 2018. Citado na página 23.
- CHOI JAEHOO, W. X.; ZHANG, D. An Electrical Impedance Tomography Analog Front end for Lung Ventilation Monitoring. 2015. Citado na página 13.
- DORNELAS, H. U. *Low-power SAR analog-to-digital converter for internet-of-things RF receivers*. Dissertação (Mestrado) — Universidade Federal do Rio Grande do Sul, 2018. Citado na página 18.
- FITAS, R. J. B. *Study of a time assisted SAR ADC*. Dissertação (Mestrado) — Faculdade de ciências e tecnologia. Universidade Nova de Lisboa, 2017. Citado na página 26.
- FLOYD, T. L. *Sistemas Digitais: fundamentos e aplicações*. 9. ed. [S.l.]: Bookman, 2007. Citado na página 17.
- GUSTAVSSON, M.; WILKNER, J. J.; TAN, N. N. *CMOS Data Converters for communications*. [S.l.]: Kluwer Academic Publishers, 2002. Citado 2 vezes nas páginas 19 e 21.
- HA, H.; HELLEPUTTE, N. V.; SIJBERS, W.; WEGNERG, R. V.; XU, J. A Bio-Impedance Readout IC with Digital-Assisted Baseline Cancellation for Two-Electrode Measurement. *IEEE Journal of Solid-State Circuits*, Int. J. Electron. Commun., v. 54, n. 11, p. 2969–2979, 2019. Citado 2 vezes nas páginas 13 e 14.
- HARPE, P.; CANTATORE, E.; ROERMUND, A. van. A 10b/12b 40 kS/s SAR ADC with Data-Driven Noise Reduction Achieving up to 10.1b ENOB at 2.2 fJ/Conversion-step. *IEEE Journal of Solid-State Circuits*, v. 48, n. 12, p. 3011–3018, 2013. Citado 2 vezes nas páginas 22 e 52.
- HARPE, P.; LIU, Y. H.; BUSZE, B.; PHILIPS, K.; GROOT, H. de. A 4 μ W 13b 6.4 MS/s SAR ADC with background mismatch and offset calibration. *IEEE Journal of Solid-State Circuits*, v. 52, n. 2, 2017. Citado na página 22.

HERNÁNDEZ, H. H. D. Projeto de um conversor digital-analógico para um transmissor Bluetooth em tecnologia CMOS. Universidade de São Paulo, 2008. Citado 2 vezes nas páginas 18 e 21.

JEON, H.; KIM, Y.-B. A novel low-power, low-offset, and high-speed CMOS dynamic latched comparator. *Analog Integrated Circuits and Signal Processing*, v. 70, n. 3, p. 337–346, 2012. Citado 2 vezes nas páginas 34 e 36.

KIM, K.; KIM, J.-H.; GWEON, S.; LEE, J.; KIM, M.; LEE, Y.; KIM, S.; YOO, H.-J. 22.3 a 0.5V 9.26 μ W 15.28m Ω / \sqrt{Hz} Bio-Impedance Sensor IC. Citado na página 11.

KIM, M.; JANG, J.; KIM, H.; LEE, J.; LEE, J.; LEE, J.; LEE, K.-R.; KWANTA EKIM; LEE, Y.; LEE, K. J.; YOO, H.-J. A 1.4-m Ω -Sensitivity 94-dB Dynamic-Range Electrical Impedance Tomography SOC and 48-Channel hub-SOC for 3D Lung Ventilation Monitoring System. *IEEE Journal of Solid-State Circuits*, v. 52, p. 2829–2842, 2017. Citado 2 vezes nas páginas 13 e 51.

LEE, J.; LEE, K.; LEE, K.-R. A 9.6-mW/Ch 10-MHz Wide-Bandwidth Electrical Impedance Tomography IC With Accurate Phase Compensation for Early Breast Cancer Detection. *IEEE Journal of Solid-State Circuits*, v. 56, n. 3, p. 887–898, 2021. Citado na página 11.

LIN, K.-T.; CHENG, Y.-W.; TANG, K.-T. A 0.5V 1.28MS/s 4.68-fJ/Conversion-Step SAR ADC with Energy-Efficient DAC and Trilevel Switching Scheme. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 24, n. 4, p. 1441–1449, 2016. Citado 2 vezes nas páginas 23 e 29.

LIN, Y.-Z.; LIN, S.-C. T. C.-Y.; TSAI, C.-H. A 40MHz-BW 320MS/s passive noise-shaping SAR ADC with passive signal-residue summation in 14nm FinFET. *IEEE International Solid-State Circuits Conference - (ISSCC)*, 2019. Citado na página 52.

LIU, C.-C.; CHAND, S.-J.; HUANG, G.-Y.; LIN, Y.-Z. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 731–740, 2010. Citado na página 23.

LU, J.; HOLLEMAN, J. A Low-Power High-Precision Comparator With Time-Domain Bulk-Tuned Offset Cancellation. *IEEE Transactions on Circuits and Systems*, v. 60, n. 5, p. 1158–1167, 2013. Citado na página 34.

MANSOURI, S.; ALHADIDI, T.; AZOUZ, M. B. Breast cancer detection using low-frequency bioimpedance device. v. 12, p. 109–116, 2020. Citado 2 vezes nas páginas 11 e 12.

MUELLER J. H., S.-S. W. R.; HEINEN, S. The impact of noise and mismatch on SAR ADCs and a calibratable capacitance array based approach for high resolutions. *INTL journal of electronics and telecommunications*, v. 59, n. 2, p. 161–167, 2013. Citado na página 27.

N., J. D.; S., B. M. A 14.5 fJ/conversion-step 9-bit 100-kS/s nonbinary weighted dual capacitor array based area and energy efficient SAR ADC in 90nm CMOS. *IEEE Journal of Solid-State Circuits*, 2018. Citado na página 52.

- PALACIO, J. A. A. *Gerador de sinais para aplicação da espectroscopia de bioimpedância elétrica na detecção de câncer*. Dissertação (Mestrado) — Universidade de São Paulo, 2017. Citado 3 vezes nas páginas 11, 12 e 14.
- PAN, Q.; QU, T.; TANG, B.; SHAN, F.; HONG, J. X. Z. A $0.5\text{m}\Omega/\sqrt{Hz}$ 106dB SNR 0.45cm^2 Dry-Electrode Bioimpedance Interface with Current Mismatch Cancellation and Boosted Input Impedance of $100\text{M}\Omega$ at 50kHz. *IEEE International Solid-State Circuits Conference (ISSCC)*, v. 65, p. 332–334, 2022. Citado na página 13.
- PELGRON, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. *IEEE Journal of Solid-State Circuits*, v. 24, n. 5, 1989. Citado na página 37.
- PETROVIC V., M. D.-E. D. R. .; BOZOVIC J, P. Analysis of area efficiency of 12-bit switched-capacitor DAC topologies used in SAR ADC. *Proceedings of 4th International Conference on Electrical, Electronics and Computing Engineering*, 2017. Citado 2 vezes nas páginas 28 e 29.
- RAZAVI, B. *Principles of data conversion system design*. Piscataway, nj. [S.l.: s.n.], 1995. Citado na página 35.
- SANTANA, D.; HERNANDEZ, H.; NOIJE, W. A 1.8V 9bit 10MS/s SAR ADC in $0.18\mu\text{m}$ CMOS for bioimpedance analysis. *IEEE 10th Latin American Symposium on Circuits Systems (LASCAS)*, p. 54–56, 2019. Citado na página 51.
- TAGHIZADEH, A.; KOOZEHKANANI, Z. D.; SOBHI, J. A new high-speed low-power and low-offset dynamic comparator with a current-mode offset compensation technique. *New York, Int. J. Electron. Commun.*, v. 81, p. 163–170, 2017. Citado 2 vezes nas páginas 35 e 36.
- WAKIMOTO, T.; LI, H.; MURASE, K. Statistical analysis on the effect of capacitance mismatch in a high-resolution successive-approximation ADC. *IEEJ Transactions on Electrical and Electronic Engineering*, v. 6, p. S89–S93, 2011. Citado 3 vezes nas páginas 25, 28 e 51.
- WALTARI, M. E.; HALONEN, K. A. I. *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*. [S.l.]: Kluwer Academic Publishers, 2003. Citado 3 vezes nas páginas 30, 31 e 51.
- XIE L., W. G.-L. J.; WANG, Y. Energy-efficient hybrid capacitor switching scheme for SAR ADC. *Electronics Letters*, v. 50, n. 1, p. 22–23, 2014. Citado na página 23.
- YAMPILOV, S.; YSYBENOV, Z.; GYLYKOVA, S. Z. Development of an electrode unit for a bioimpedance spectrometry device. *Journal of Physics: Conference Series*, v. 1889, n. 5, p. 052010, 2021. Citado na página 11.
- YUAN C., L. Y. Low-energy and area-efficient tri-level switching scheme for SAR ADC. *Electronics Letters*, v. 48, n. 9, p. 482–483, 2012. Citado na página 23.
- ZHAN, M.; JIE, L.; XIYUAN; SUN, N. A 0.004mm^2 200MS/s Pipelined SAR ADC with kT/C Noise Cancellation and Robust Ring-Amp. *IEEE International Solid-State Circuits Conference (ISSCC)*, v. 65, p. 164–166, 2022. Citado na página 22.

ZHANG, D. *Design of ultra-low-power analog-to-digital converters*. Dissertação (Mestrado) — Linköping University, 2012. Citado na página 28.

ZHANG, D. *Ultra-low-power analog-to-digital converters for medical applications*. Dissertação (Mestrado) — Linköping University, 2014. Citado 4 vezes nas páginas 26, 33, 34 e 51.

ZHANG, T.; SON, H.; GAO, Y.; LAN, J.; HENG, C.-H. 28.5a 0.6V/0.9V 26.6-to-119.3 μ W δ -Based Bio-Impedance Readout IC with 101.9dB SNR and $<0.1\text{Hz}$ $1/f$ Corner. IEEE International Solid-State Circuits Conference (ISSCC), v. 64, p. 394–396, 2021. Citado na página 13.

ZHU Z., X. Y.; SONG, X. VCM-based monotonic capacitor switching scheme for SAR ADC. Electronics Letters, v. 49, n. 5, p. 327–329, 2013. Citado na página 23.