

TARCISO ALVIM MARTINS

**Projeto de um amplificador de ganho programável para aplicações de
comunicação por campo de proximidade (NFC)**

São Paulo

2020

TARCISO ALVIM MARTINS

**Projeto de um amplificador de ganho programável para aplicações de
comunicação por campo de proximidade (NFC)**

Versão Revisada

Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo para obtenção
do título de Mestre em Ciências.

São Paulo

2020

TARCISO ALVIM MARTINS

**Projeto de um amplificador de ganho programável para aplicações de
comunicação por campo de proximidade (NFC)**

Versão Revisada

Dissertação apresentada à Escola Politécnica
da Universidade de São Paulo para obtenção
do título de Mestre em Ciências.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Wilhelmus Van Noije

São Paulo

2020

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, ____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Martins, Tarciso Alvim

Projeto de um amplificador de ganho programável para aplicações de comunicação por campo de proximidade (NFC) / T. A. Martins -- versão corr. -- São Paulo, 2020.

115 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Microeletrônica 2. Circuitos Integrados 3. Comunicação NFC
4. Amplificador de Ganho Programável I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

*Dedico esse trabalho a toda minha família
pelo apoio incondicional.*

*Dedico aos meus avós
Emília, José Tarcisio (in memoriam),
Dulcy (in memoriam) e Domingos
pelo carinho ao longo dos anos.*

*Dedico aos meus pais Luzia Cristina e Tarciso
pelo suporte no dia a dia.*

*Dedico à minha madrinha Cecília Célis
pelo exemplo acadêmico.*

AGRADECIMENTOS

Aos meus amigos da LSITEC e do LSI da USP por toda a ajuda durante a elaboração do projeto e por todas as experiências vividas.

Ao Doutor Julio Cesar Saldaña pela participação efetiva na concepção do sistema descrito nesta dissertação e pelas inúmeras lições sobre microeletrônica durante e após os anos de trabalho na Design House LSITEC.

Aos Mestres Juan José Castellanos, Heiner Alarcon e Carlos Cavalcanti pelas valorosas contribuições e ensinamentos ao longo dos meus primeiros anos na área.

Aos meus colegas de trabalho, Arthur Lombardi, Paulo Roberto, Raul Acosta, Dionísio de Carvalho, Javier Osinaga, Adriana Barbosa, Marcos Nunes, Walter Santana, entre tantos outros, pelos inúmeros aprendizados compartilhados.

Ao pessoal do Laboratório de Sistemas Integrados da USP que me acolheram como aluno e amigo, em especial à Silvana que tanto ajuda nas mais diversas questões do dia a dia.

Ao meu orientador, Professor Titular Wilhelmus Van Noije pelas várias oportunidades de estudo e trabalho.

RESUMO

MARTINS, T. A. **Projeto de um amplificador de ganho programável para aplicações de comunicação por campo de proximidade (NFC)** / T. A. MARTINS. 2019. 115f. Dissertação (Mestrado) Escola Politécnica da Universidade de São Paulo, 2020.

Nesta dissertação é apresentado o projeto de um amplificador de ganho programável para aplicações NFC (*Near Field Communication*), ou mais especificamente, em demodulação de carga a partir de detectores de envelope. Esse circuito possui o intuito de ser utilizado em um circuito integrado leitor de NFC comercial.

Temas como metodologia e fluxo de projetos de circuitos integrados são apresentados e seguidos ao longo da evolução do trabalho.

Os passos do desenvolvimento do projeto de um bloco para um circuito integrado de aplicação específica são detalhados e seguidos, passando desde sua concepção, estudo da literatura, escolha da arquitetura, dimensionamento de dispositivos, desenvolvimento do *layout*, simulações com parasitas extraídos, até finalmente a fabricação e os testes do circuito integrado.

As principais características do amplificador de ganho programável desenvolvido são possuir dois estágios de ganho com até oito configurações diferentes, ajuste individual da compensação por ganho, visando a otimização da faixa de operação, e a presença de um sistema de auto-zero capaz de cancelar o *offset* do amplificador.

O circuito foi desenvolvido na tecnologia TSMC 90 nm, fabricado em três versões, seguindo a curva de evolução do projeto. Ao final, o bloco projetado apresentou um comportamento adequado para sua aplicação, atingindo suas especificações.

O amplificador apresenta baixo consumo de potência, apenas 324 μW em cada estágio, frequência de corte maior que 4 MHz para todos os ganhos, bom PSRR, superior a -38 dB e uma área de apenas 0,0285 mm².

Palavras-Chave: NFC, Amplificador de Ganho Programável, Circuitos Integrados.

ABSTRACT

MARTINS, T. A. **Design of a programmable gain amplifier for near field communication (NFC) applications** / T. A. MARTINS. 2019. 115s. Dissertation (Master's) Escola Politécnica da Universidade de São Paulo, 2020.

This work presents the design of a programmable gain amplifier for NFC (*Near Field Communication*) applications, more specifically, in load demodulation channels that starts with an envelope detector circuit. It is intended for a commercial NFC reader IC implementation.

Topics such as design methodology and the project flow of integrated circuits are presented and followed in the evolution of this work.

The design steps of the creation of a block specified to an application specific integrated circuit are detailed and followed, ranging from its design, study of the literature, choice of architecture, device sizing, layout, simulations with extracted parasites, until the manufacturing and testing of the integrated circuit.

The main features of this programmable gain amplifier are the two stages of gain with eight different configurations together, individual compensation according to each gain, in order to optimize the bandwidth and power consumption compromise, and the presence of an auto-zero system for offset cancelation of the operational amplifiers.

The circuit was developed in TSMC technology 90 nm, manufactured in three different versions, according to the project evolution. By the end, the designed block presented a suitable behavior for its application, according to its specifications.

The amplifier has a low power consumption of 324 μ W for each stage, bandwidth greater than 4 MHz for all gains, good PSRR, greater than -38 dB, and an area of only 0.0285 mm².

Keywords: NFC, Programmable Gain Amplifier, Integrated Circuits.

LISTA DE FIGURAS

Figura 1 - Exemplo de troca de dados por padrão NFC-A	18
Figura 2 - Fluxograma da metodologia de projeto analógico.....	22
Figura 3 - Sistema de demodulação de carga	30
Figura 4 - Estrutura do amplificador de ganho programável.....	37
Figura 5 - Estágio de ganho do amplificador e rede resistiva selecionável.....	38
Figura 6 - Esquemático do decodificador do PGA.....	40
Figura 7 - Esquemático do PGA sem auto-zero	41
Figura 8 - Arquitetura <i>folded cascode</i>	43
Figura 9 - Circuito equivalente para análise de pequenos sinais do amplificador da Figura 8	44
Figura 10 - Diagrama de pólos e zeros do amplificador <i>Folded Cascode</i>	45
Figura 11 - Esquemático do amplificador operacional.....	48
Figura 12 - Esquemático da compensação em frequência ajustável	49
Figura 13 - Arquitetura do auto-zero do amplificador de ganho programável.....	50
Figura 14 - Esquemático do amplificador operacional do DAC	56
Figura 15 - Esquemático do comparador usado no auto-zero	58
Figura 16 - Esquemático simplificado de topo do amplificador de ganho programável.....	60
Figura 17 - Esquemático do espelho de corrente para distribuição de polarização no PGA....	61
Figura 18 - Diagrama de tempo para execução do auto-zero	63
Figura 19 - <i>Layout</i> do amplificador operacional do PGA	67
Figura 20 - <i>Layout</i> do circuito de realimentação do primeiro estágio.....	69
Figura 21 - <i>Layout</i> do circuito de realimentação do segundo estágio	69
Figura 22 - <i>Layout</i> do decodificador de códigos de ganho	70
Figura 23 - <i>Layout</i> do amplificador de ganho programável sem auto-zero.....	71
Figura 24 - <i>Layout</i> do comparador	72

Figura 25 - <i>Layout</i> do conversor digital para analógico de 6 bits.....	73
Figura 26 - <i>Layout</i> do algoritmo de controle do auto-zero	74
Figura 27 - <i>Layout</i> do amplificador de ganho programável completo.....	75
Figura 28 - <i>Layout</i> do espelho de corrente.....	76
Figura 29 - <i>Layout</i> do canal de demodulação completo	77
Figura 30 - <i>Layout</i> de topo do <i>chip</i> leitor NFC.....	78
Figura 31 - Testbench utilizado para as simulações do PGA	81
Figura 32 - Resultados das simulações de ganho de malha aberta do PGA	84
Figura 33 - Resultados da simulações de ganho em malha fechada do PGA	85
Figura 34 - Resultados da simulação de tempo de resposta do PGA.....	87
Figura 35 - Resultados da simulação de ganho em função da frequência e PSR do PGA	89
Figura 36 - Resultados da simulação de rejeição a ruídos da fonte de alimentação do PGA..	89
Figura 37 - Resultado da simulação de DNL do DAC usado no auto-zero	90
Figura 38 - Resultado da simulação de INL do DAC usado no auto-zero.....	90
Figura 39 - Resultado da distribuição do <i>offset</i> simulado do comparador usado no auto-zero	91
Figura 40 - Power up do PGA com auto-zero.....	92
Figura 41 - Esquema do auto-zero com laço não intencional	97
Figura 42 - Resposta em frequência do laço não intencional identificado	98
Figura 43 - Foto do CI leitor de NFC fabricado com a localização aproximada do PGA.....	99
Figura 44 - Foto da placa de testes da terceira versão do <i>chip</i>	100
Figura 45 - Execução do auto-zero do PGA observada na terceira versão fabricada.....	101
Figura 46 - Resultados dos testes de ganho (esquerda) e frequência de corte (direita)	103
Figura 47 - Resultados dos testes de ganho e frequência de corte do PGA	104
Figura 48 - Resposta NFC-A vista na saída do PGA com ganho 16 para diferentes separações entre antena e <i>tag</i>	105

LISTA DE TABELAS

Tabela 1 - Tipos de comunicação NFC	18
Tabela 2 - Ganhos especificados do amplificador programável.....	32
Tabela 3 - Características desejadas do PGA neste trabalho.....	34
Tabela 4 - Amplificadores de ganho programável no estado da arte	36
Tabela 5 - Descrição das interfaces	64
Tabela 6 - Corrente DC por eletromigração para TSMC 90nm	65
Tabela 7 - Corrente por contato para TSMC 90nm	66
Tabela 8 - Ponto de operação DC do circuito PGA.....	82
Tabela 9 - Margem de ganho e de fase do amplificador operacional dos dois estágios.....	83
Tabela 10 - Características especificadas versus alcançadas do PGA.....	108
Tabela 11 - Comparação de circuitos PGA da literatura com o deste trabalho.....	109
Tabela 12 - Características Alcançadas do PGA	110

LISTA DE ABREVIATURAS

A	Ampere
AC	Alternating Current
ADC	Analog to Digital Converter
ASIC	Circuito Integrado de Aplicação Específica
ASK	Amplitude-Shift Keying
BGA	Ball Grid Array
BPSK	Binary Phase-Shift Keying
CI	Circuito Integrado
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital to Analog Converter
DC	Direct Current
DFM	Design for Manufacturability
DNL	Differential nonlinearity
DRC	Design Rule Check
FPGA	Field Programmable Gate Array
IEEE	Institute of Electrical and Electronic Engineers
INL	Integral nonlinearity
ISO	International Organization for Standardization
kb/s	Kilobits per second
kHz	Kilohertz
LSB	Least Significant Bit
LVS	Layout Versus Esquemático
MHz	Megahertz
MIM	Metal-insulator-metal
MOM	Metal-oxide-metal
MPW	Multi Project Wafer
MSPS	Mega Samples per Second
MUX	Multiplexador
NFC	Near Field Communication
PGA	Programmable Gain Amplifier
PSR	Power Supply Rejection

PSRR	Power Supply Rejection Ratio
PVT	Process, Voltage and Temperature
QFP	Quad Flat Package
RDL	Redistribution Layer
SAR	Successive Approximation Register
TSMC	Taiwan Semiconductor Manufacturing Company Limited
UART	Universal Asynchronous Receiver/Transmitter
V	Volts
VFBGA	Very Thin Profile Fine-Pitch Ball Grid Array
VLSI	Very Large Scale Integration

SUMÁRIO

1.	INTRODUÇÃO	17
1.1.	MOTIVAÇÃO.....	19
1.2.	OBJETIVOS.....	20
1.3.	METODOLOGIA DE PROJETO	21
1.4.	ORGANIZAÇÃO DO DOCUMENTO	23
1.5.	PREFACIO.....	23
2.	AMPLIFICADOR DE GANHO PROGRAMÁVEL	25
2.1.	DEFINIÇÕES DOS PARÂMETROS.....	25
2.1.1	GANHO DE TENSÃO	25
2.1.2	FAIXA DE PASSAGEM E FREQUÊNCIA DE CORTE.....	25
2.1.3	PSR E PSRR	25
2.1.4	VELOCIDADE DE RESPOSTA OU <i>SLEW RATE</i>	26
2.1.5	<i>OFFSET</i>	26
2.1.6	TENSÃO DE <i>OVERDRIVE</i>	26
2.1.7	TENSÃO DE SATURAÇÃO	27
2.1.8	NÃO LINEARIDADE DIFERENCIAL (DNL).....	27
2.1.9	NÃO LINEARIDADE INTEGRAL (INL).....	28
2.1.10	FIGURA DE MÉRITO (FOM).....	28
2.2.	INFORMAÇÕES DA TECNOLOGIA.....	28
2.3.	CANAL DE DEMODULAÇÃO DE CARGA	29
2.3.1	DETECTOR DE ENVOLTÓRIA.....	30
2.3.2	AMPLIFICADOR DE GANHO PROGRAMÁVEL	31
2.3.3	CONVERSOR ANALÓGICO DIGITAL	31
2.4.	ESPECIFICAÇÕES	32

2.5.	ESTADO DA ARTE	34
2.6.	ARQUITETURA	37
2.6.1	AMPLIFICADOR <i>FOLDED CASCODE</i>	42
2.6.2	AJUSTE INTELIGENTE DE COMPENSAÇÃO	49
2.6.3	SISTEMA DE AUTO-ZERO	50
2.6.4	CONVERSOR DIGITAL PARA ANALÓGICO	55
2.6.5	COMPARADOR	57
2.7.	ESQUEMATICO DO AMPLIFICADOR DE GANHO PROGRAMAVEL COM O AUTO-ZERO	59
2.8.	LAYOUT DOS BLOCOS	64
2.8.1	AMPLIFICADOR OPERACIONAL <i>FOLDED CASCODE</i> DO PGA	67
2.8.2	CIRCUITO DE <i>FEEDBACK</i> DO PGA.....	68
2.8.3	DECODIFICADOR DO PGA.....	70
2.8.4	<i>CORE</i> DO PGA.....	71
2.8.5	COMPARADOR DO AUTO-ZERO	72
2.8.6	CONVERSOR DIGITAL ANALÓGICO.....	73
2.8.7	ALGORITMO SAR PARA AUTO-ZERO.....	74
2.8.8	PGA COM AUTO-ZERO	75
2.8.9	CANAL DE DEMODULAÇÃO DE CARGA	77
2.9.	SIMULAÇÕES PARA PRODUÇÃO EM ESCALA.....	78
2.9.1	ANÁLISE ENVOLVENDO PONTOS EXTREMOS DE PVT (<i>CORNERS</i>) ...	79
2.9.2	PONTO DE OPERAÇÃO – DC	82
2.9.3	ESTABILIDADE DO AMPLIFICADOR OPERACIONAL	83
2.9.4	FAIXA DE OPERAÇÃO	85
2.9.5	VELOCIDADE DE RESPOSTA	86
2.9.6	REJEIÇÃO AO RUÍDO DA TENSÃO DE ALIMENTAÇÃO.....	88

2.9.7	DNL E INL DO DAC DE AUTO-ZERO	90
2.9.8	ERRO DE <i>OFFSET</i> DO COMPARADOR	91
2.9.9	<i>POWER UP</i> DO SISTEMA INCLUINDO O AUTO-ZERO	92
2.10.	CONCLUSÕES PARCIAIS	93
3.	RESULTADOS EXPERIMENTAIS DOS CIRCUITOS INTEGRADOS FABRICADOS	95
3.1.	TESTES DA PRIMEIRA E SEGUNDA VERSÕES	95
3.2.	TESTES DA TERCEIRA VERSÃO	98
3.2.1	PLACA DE TESTES DA TERCEIRA VERSÃO	99
3.2.2	TESTES DE AUTO-ZERO DO PGA	100
3.2.3	TESTES DE GANHO E FREQUÊNCIA DE CORTE DO PGA.....	101
3.3.	TESTES DO SISTEMA DE COMUNICAÇÃO NFC.....	104
4.	CONCLUSÕES E TRABALHOS FUTUROS.....	107
4.1.	CARACTERÍSTICAS FINAIS ALCANÇADAS DO PGA	110
4.2.	RECOMENDAÇÕES PARA TRABALHOS FUTUROS	111
	REFERÊNCIAS BIBLIOGRÁFICAS.....	113

1. INTRODUÇÃO

A partir dos anos 2010 o *Near Field Communication* (NFC), se tornou bastante popular como um modo de troca de informações seguro e sem fio. *Smartphones*, *tablets* e cartões bancários utilizam esse sistema para catalogação e pagamentos (CUNHA, 2016).

Em um sistema NFC convencional há um leitor de informação e um *tag* que carrega a informação. O leitor é um elemento ativo, enquanto o *tag* é um elemento passivo. A comunicação se inicia com o leitor criando um campo eletromagnético que servirá de meio para a troca de informações e é capaz de alimentar o elemento passivo. O leitor faz uma requisição ao *tag* por meio de uma modulação de amplitude do campo magnético que ele gera e o *tag* responde com uma modulação de carga sobre o campo o qual ele está sujeito. O nome modulação de carga é devido ao fato de que para responder, o *tag* muda a carga vista pela antena do leitor, gerando assim uma modulação (INTERNATIONAL ORGANIZATION FOR STANDARLIZATION, 2010).

A comunicação NFC se dá através de uma portadora de 13,56 MHz que carrega um sinal de dados de 106 kb/s a 424 kb/s. Dependendo do tipo de comunicação NFC ainda pode haver a presença de uma segunda portadora, chamada subportadora, de 848 kHz. O alcance de uma comunicação NFC, como o próprio nome sugere, é pequeno por depender de uma transferência de potência eficiente entre leitor e *tag*, atingindo no máximo, 10 centímetros (INTERNATIONAL ORGANIZATION FOR STANDARLIZATION, 2010).

Existem três diferentes tipos de comunicação NFC que são tipo A, tipo B e tipo F. Eles apresentam diferenças na taxa de dados trocados, profundidade da modulação de amplitude e presença de subportadora. Independente do tipo, a comunicação NFC é dividida em duas partes distintas. A primeira é o enlace leitor e *tag*, em que o leitor gera o campo eletromagnético no qual será feita a comunicação e, por meio de uma modulação de amplitude (100% ou 10%), pede informações para o *tag*. A segunda parte, é a resposta do *tag*, que por sua vez, aproveita o campo gerado e responde modulando sua carga num campo constante gerado pelo leitor. Dessa ação dá-se o nome modulação de carga, presente no enlace de resposta *tag* para leitor.

As normas ISO/IEC1443A, ISO/IEC14443B e FeliCA JIS X6319-4 definem os contornos da comunicação NFC e seus diferentes tipos, ilustrados na Tabela 1.

Um sistema NFC tipo A possui dois tipos diferentes de modulação: modulação de amplitude 100%, usada para comunicação do enlace leitor para *tag* e modulação de carga, usada no

enlace *tag* para leitor. Um exemplo dessa comunicação NFC tipo A está mostrada na Figura 1, que corresponde ao sinal na antena de um leitor NFC quando requisitando informações para um *tag*. Nela há uma requisição de informação seguida de uma resposta do *tag*. É possível diferenciar a requisição da resposta por meio da profundidade de modulação observada na antena do leitor, como destacado na envoltória dos sinais.

Tabela 1 - Tipos de comunicação NFC

NFC Technical Standards Specifications of the Air Interface					
NFC-Forum Standard	Polling / Listening	Coding	Modulation	Data Rate	Carrier frequency
NFC-A	Polling	Modified Miller	ASK 100%	106 kb/s	13.56 MHz
	Listening	Manchester	Load modulation (ASK)	106 kb/s	13.56 MHz +- 848 kHz subcarrier
NFC-B	Polling	NRZ-L	ASK 10%	106 kb/s	13.56 MHz
	Listening	NRZ-L	Load modulation (BPSK)	106 kb/s	13.56 MHz +- 848 kHz subcarrier
NFC-F	Polling	Manchester	ASK 10%	212 / 424 kb/s	13.56 MHz
	Listening	Manchester	Load modulation (ASK)	212 / 424 kb/s	13.56 MHz (without subcarrier)

Fonte: Keysight Technology (2017).



Figura 1 - Exemplo de troca de dados por padrão NFC-A

Fonte: Adaptado de Keysight Technology (2017).

Na Figura 1 é possível notar as requisições feitas pelo leitor em modulação *Amplitude Shifting Keying* (ASK) 100% e a resposta do *tag* em modulação de carga, sentida como uma pequena

variação na amplitude do sinal da antena no leitor. A modulação de carga no tipo A conta com uma codificação com subportadora de 848 kHz em que cada *bit* é identificado pela presença seguida da ausência, ou vice e versa, dessa subportadora no tempo de *bit* na taxa de 106 kb/s, como mostrado em maiores detalhes na parte inferior da ilustração.

Os tipos B e F são variações da comunicação NFC tipo A, em que a requisição do leitor para o *tag* deixa de ser realizada com modulação de amplitude em 100% e passa a ser realizada em 10%, sendo que também há pequenas variações na forma de resposta do *tag*. No tipo B a resposta é feita também com modulação de carga e a 106 kb/s, porém com uma diferença no método de modulação, *Binary Phase Shifting Keying* (BPSK), em que a subportadora estará defasada ou não em seu tempo de *bit*, indicando *bit* “1” ou “0”. Já no tipo F não há subportadora na modulação de carga e o sinal de dados é sentido diretamente na variação da carga, atingindo maiores taxas de troca de dados.

1.1. MOTIVAÇÃO

Com o mercado de dispositivos portáteis em constante renovação, empresas nacionais buscam competir com as multinacionais criando seus próprios produtos e se beneficiando de incentivos fiscais concedidos ao desenvolvimento da eletrônica nacional, em especial, se o produto contar com circuitos semicondutores projetados localmente (MINISTERIO DA CIENCIA, TECNOLOGIA, INOVAÇÕES E COMUNICAÇÕES, 2014).

Aliado ao grande potencial dos sistemas NFC, que se estende desde a consulta de itens em um banco de dados até a facilitação de pagamentos por meio digital de uma maneira segura e prática, passando por aplicações em internet das coisas (NFC FORUM, 2017, p.9), há um forte apelo comercial por uma solução nacional que atenda à demanda do mercado de dispositivos portáteis, sobretudo se considerados os incentivos fiscais concedidos a esses produtos no mercado local, tornando-os economicamente atrativos frente às alternativas de empresas multinacionais.

Além da relevância comercial do projeto, há também o apelo relacionado à estruturação e consolidação do mercado nacional de dispositivos semicondutores. Dentre as vantagens para essa área do país se destacam a formação de profissionais qualificados para atuar em microeletrônica, o fortalecimento da indústria de projeto de circuitos integrados nacional e a evolução técnico-científica gerada.

Nesse contexto, foi proposto a criação de um circuito integrado nacional de baixo consumo que fosse compatível com as normas técnicas de NFC e fosse capaz de transmitir e receber informações por meio de NFC, trabalhando tanto como leitor quanto como *tag*. A tecnologia *Complementary Metal Oxide Semiconductor* (CMOS) de fabricação escolhida foi o nó 90 nm da empresa *Taiwan Semiconductor Manufacturing Company Limited* (TSMC), devido a facilidade de acesso e a familiaridade com ela dos projetistas envolvidos.

Esse trabalho apresenta o sistema de demodulação de carga NFC usado nesse circuito integrado, com foco no desenvolvimento de um amplificador de ganho programável (em inglês, *Programmable Gain Amplifier*, PGA). O sistema de demodulação de carga é composto por um detector de envoltória, um amplificador de ganho programável e um conversor analógico para digital. Esse canal foi especialmente pensado para demodulação de carga, ou seja, do enlace *tag* para leitor de resposta, conforme identificado na Figura 1.

Além de ser utilizado para demodulação de carga de um sistema de NFC, o conceito do canal a partir da detecção do envelope do sinal e, em especial, o amplificador de ganho programável pode ser utilizado em várias outras arquiteturas de transceptores. Portanto, os conhecimentos apresentados e discutidos nessa dissertação podem ser estendidos a toda a gama de transceptores por detecção de envelope.

Esse projeto é de propriedade da Associação do Laboratório de Sistemas Integráveis Tecnológico (LSITEC) e foi desenvolvido como parte de um sistema integrado de comunicação NFC da mesma instituição.

1.2. OBJETIVOS

Existem três objetivos principais para essa dissertação, que são:

- Desenvolver o projeto de um amplificador de ganho programável (PGA) para aplicações NFC no nó tecnológico 90 nm da TSMC.
- Fabricação do circuito projetado como parte de um circuito integrado leitor de NFC no processo para o qual ele foi desenvolvido.
- Testes dos circuitos integrados fabricados, validando as etapas de projeto apresentadas anteriormente.

1.3. METODOLOGIA DE PROJETO

Nesse projeto foi utilizada uma metodologia de projeto de circuitos integrados *top-down*, na qual parte-se de uma definição de produto, seguido pelo sistema, subsistema, blocos e sub-blocos. Nessa metodologia de projeto as especificações de cada item de menor hierarquia são dadas pelas necessidades identificadas no nível superior.

Para o projeto de blocos, no qual essa dissertação irá focar, o processo de desenvolvimento passa por uma pesquisa do estado da arte, definição da arquitetura, definição dos sub-blocos, projeto, simulação, desenho do *layout*, simulação pós-*layout*, fabricação e testes de bancada.

Foram feitas três versões do produto, utilizando-se de *Multi Project Wafers* (MPWs) da TSMC em tecnologia 90 nm. Depois dos testes de cada versão o projeto dos blocos foi reavaliado e melhorias ou mudanças foram feitas. Nessa dissertação apenas as mudanças diretamente relacionadas ao amplificador de ganho programável foram detalhadas, no entanto houve muitas outras mudanças no *chip* como um todo que estão fora do escopo do trabalho e não serão relatadas aqui.

Todo o fluxo de projeto foi realizado com ferramentas da empresa Cadence, sendo que para a verificação dos *layouts*, ferramentas da Mentor Graphics foram utilizadas em conjunto, para melhores resultados.

O fluxo de projeto começa com um estudo das especificações e definições do *Application-Specific Integrated Circuit* (ASIC). Essa primeira etapa foi realizada pela equipe técnica da LSITEC, que definiu o sistema e os macro-blocos a serem projetados. Nesse caso, a partir do estudo do sistema de comunicação NFC definiu-se que seria necessário um bloco capaz de realizar a demodulação de carga.

Em seguida, uma análise comportamental dos macro-blocos foi feita e ocorreu a definição de blocos menores. Nesta etapa foi definido o particionamento do bloco de demodulação de carga e o PGA.

A partir desse ponto, coube ao projetista e autor realizar o fluxo analógico de projeto, destacado na Figura 2. No caso específico do amplificador de ganho programável, uma análise comportamental foi realizada, na qual foi definida a arquitetura do PGA e os diferentes blocos que precisaram ser projetados como parte do sistema de auto-zero.

Os blocos foram projetados, com a escolha das dimensões dos dispositivos dentro de uma arquitetura escolhida, e foi feita a verificação dos mesmos através de simulações. Em seguida

o *layout* foi realizado e por fim as simulações pós-*layout* foram efetuadas para permitir verificar o desempenho antes de sua fabricação.

Após uma completa verificação do circuito, incluindo todos os componentes do ambiente em questão como parasitas extraídos do *layout* dos blocos e circuitos de polarização, entrada e saída, o bloco foi considerado pronto para fabricação.

Os testes do bloco desenhado foram realizados assim que os circuitos integrados fabricados foram recebidos, os resultados avaliados e algumas melhorias foram efetuadas. Esse processo foi repetido no intervalo entre os três MPWs do desenvolvimento do produto.

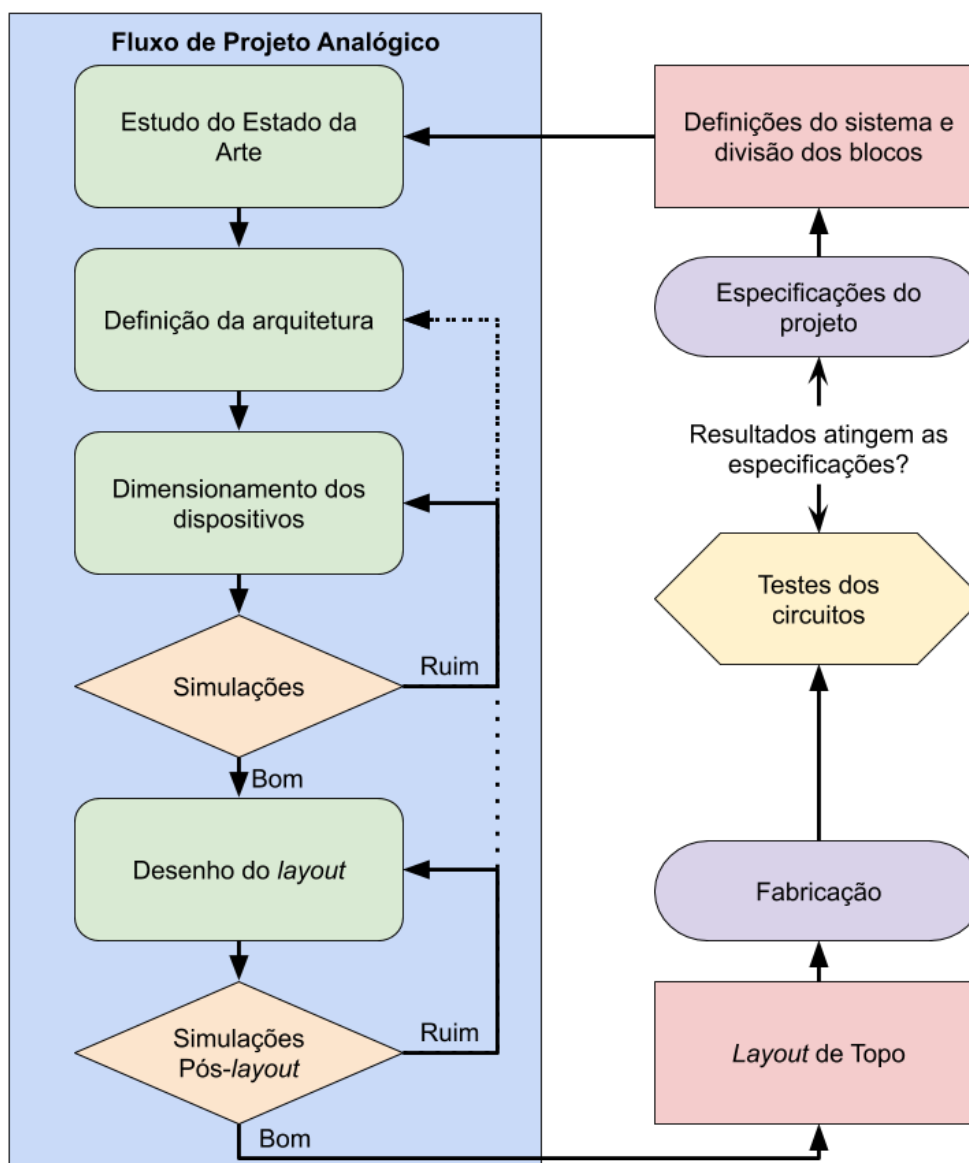


Figura 2 - Fluxograma da metodologia de projeto analógico

Fonte: Autor.

1.4. ORGANIZAÇÃO DO DOCUMENTO

No capítulo 1 é feita uma introdução sobre o funcionamento de um sistema NFC, a motivação que levou a esse trabalho, os objetivos e a metodologia utilizada no projeto alvo da dissertação.

Na sequência, no capítulo 2, o projeto do amplificador de ganho programado é detalhado, passando por todas as etapas de projeto, começando pela escolha dos parâmetros a serem observados, dos blocos do entorno no canal de demodulação de carga e das especificações a serem alcançadas, passando pela definição da arquitetura e dimensionamento dos dispositivos e indo até a verificação final pós *layout* anterior a fabricação.

Os resultados dos testes do circuito integrado estão no capítulo 3. São comentados os resultados dos três diferentes MPWs e as mudanças significativas e problemas encontrados em cada um.

No capítulo final são apresentadas as conclusões da dissertação e as recomendações para trabalhos futuros relacionados.

1.5. PREFÁCIO

O amplificador de ganho programável apresentado nesta dissertação é parte de um circuito integrado leitor de NFC desenvolvido para uma Design House a partir de um contato de uma empresa terceira interessada na substituição de um CI importado por uma alternativa nacional. Devido ao caráter comercial do projeto, algumas decisões de alto nível de projeto foram adotadas baseadas em restrições de acordo com o cliente, como o uso de um encapsulamento e uma pinagem compatível com soluções comerciais já estabelecidas.

Outro contraponto do desenvolvimento em um ambiente corporativo foi a adequação do fluxo de projeto como por exemplo a definição prévia da tecnologia priorizando a experiência anterior da empresa e as especificações do circuito geradas a partir das necessidades técnicas e comerciais do projeto, não necessariamente buscando expandir o estado da arte. Por essa razão, nessa dissertação a escolha da tecnologia e as especificações do circuito são apresentadas antes do estudo da literatura, que foi realizado com o objetivo de levantar arquiteturas e soluções que possibilitem alcançar o desempenho desejado.

A escolha do processo de fabricação foi realizada com base em questões comerciais e técnicas, buscando um maior custo-benefício. Também é importante destacar o menor risco

técnico, uma vez que já havia experiências prévias da empresa com o nó tecnológico escolhido, e que o mesmo é suficiente para a aplicação em questão.

O reuso de blocos previamente desenvolvidos ou projetados por outros também foi opção de projeto a fim de economizar tempo, ainda que os principais blocos e as definições de sistema dessa dissertação foram realizados pelo autor. O detector de envelope e o circuito conversor analógico para digital do canal de demodulação de carga foram desenvolvidos por outros projetistas, enquanto coube ao autor o desenho do amplificador de ganho programável. Os exemplos de reuso de blocos empregados no amplificador de ganho programável descrito são os circuitos *level shifters*, o comparador, a rede resistiva dos conversores analógico para digital e o algoritmo de aproximações sucessivas utilizados no auto-zero que foram reaproveitados e parcialmente ajustados para sua aplicação no amplificador de ganho programável. Os demais blocos do sistema foram desenvolvidos pelo próprio autor.

Algumas decisões de alto nível de projeto, como priorizar os resultados do sistema ao invés de blocos isolados estão relacionados com seu caráter comercial. A validação do sistema foi pensada com medidas que avaliam o desempenho geral do circuito integrado em detrimento das caracterizações individuais dos blocos desenvolvidos. Os testes individuais teriam maiores custos de fabricação, sobretudo na confecção de diferentes encapsulamentos para os diferentes circuitos.

2. AMPLIFICADOR DE GANHO PROGRAMÁVEL

Nesse capítulo serão apresentadas as etapas de projeto do bloco alvo dessa dissertação, o amplificador de ganho programável, começando desde as definições de suas especificações, escolha da arquitetura, projeto dos dispositivos, desenho de *layout* indo até as simulações de verificação pós *layout*.

2.1. DEFINIÇÕES DOS PARÂMETROS

As definições dos parâmetros importantes para o projeto e validação dos circuitos serão brevemente discutidos e apresentados nessa seção da dissertação.

2.1.1 GANHO DE TENSÃO

O ganho do circuito, importante parâmetro e principal função do amplificador, é definido como a relação entre a amplitude de tensão do sinal de saída e a amplitude de tensão do sinal de entrada (SEDRA, 2007, p.11). Ele pode ser apresentado em valor absoluto ou em decibéis de acordo, respectivamente, com as expressões (1) e (2).

$$Ganho = \frac{V_{out}}{V_{in}} \left[\frac{V}{V} \right] \quad (1)$$

$$Ganho = 20 \times \log_{10} \left(\frac{V_{out}}{V_{in}} \right) [dB] \quad (2)$$

2.1.2 FAIXA DE PASSAGEM E FREQUÊNCIA DE CORTE

Frequência de corte é definida como o valor, ou valores, em que o módulo do ganho do circuito cai 3 dB do seu valor máximo (SEDRA, 2007, p.23). Dependendo do tipo de resposta em frequência, o circuito pode apresentar uma ou mais frequências de corte, que definem a faixa de passagem, isto é, a faixa em que o circuito se mantém com ganho constante e em seu valor máximo (SEDRA, 2007, p.22).

2.1.3 PSR E PSRR

A imunidade a ruídos da alimentação é medida através de dois parâmetros, o *Power Supply Rejection* (PSR) e o *Power Supply Rejection Ratio* (PSRR). Enquanto o PSR mede o quanto um ruído na tensão de alimentação é refletido na saída do circuito, o PSRR representa a

mesma medida, porém relativa ao ganho do circuito em questão (RAZAVI, 2001, p.334-335). Os valores de PSR e PSRR são comumente apresentados em decibéis e são mostrados nas equações (3) e (4), respectivamente.

O cálculo do PSR é definido como a função de transferência entre a saída do circuito e a tensão de alimentação, denotada na expressão (3) como o ganho entre a amplitude do sinal de saída (A_{Vout}) e a amplitude do sinal na tensão de alimentação (A_{VDD}).

$$PSR [dB] = 20 \times \log_{10} \left(\frac{A_{Vout}}{A_{VDD}} \right) \quad (3)$$

$$PSRR [dB] = PSR [dB] - Ganho [dB] \quad (4)$$

2.1.4 VELOCIDADE DE RESPOSTA OU *SLEW RATE*

Em circuitos amplificadores operacionais a velocidade de resposta ou, como mais comumente conhecido, *slew rate* é a medida da máxima taxa de variação da saída permitida pelo circuito (SEDRA, 2007, p.60). Ela é definida como o tempo de subida ou descida entre 10 e 90 % da excursão da resposta do amplificador a uma onda quadrada sobre a variação da tensão no mesmo intervalo. Normalmente apresentado em V/ μ s.

2.1.5 *OFFSET*

Ao desequilíbrio entre as entradas de um amplificador operacional é dado o nome de *offset*, que pode ser de tensão ou de corrente. No projeto do amplificador de ganho programável, esse parâmetro é observado como um erro de tensão inerente ao modo comum das entradas do circuito amplificador (SEDRA, 2007, p.62). Para um amplificador de tensão, o *offset* de tensão causa um desvio de nível constante entre o sinal de entrada e o sinal de saída, que, devido aos altos ganhos implementados, pode causar a saturação da saída e comprometer o seu funcionamento.

2.1.6 TENSÃO DE *OVERDRIVE*

A tensão de *overdrive* corresponde à diferença de tensão entre porta e fonte excedente em relação a tensão de limiar (V_t), que por sua vez é a tensão mínima responsável pela formação de canal em um transistor. Ela é utilizada para determinar se um transistor está operando em

corde, inversão fraca, moderada ou forte (SEDRA, 2007, p.150-155). Em uma aproximação de primeira ordem a tensão de *overdrive* é dada por:

$$V_{OV} = V_{GS} - V_t \quad (5)$$

Onde V_{GS} é a tensão entre porta e fonte do transistor e V_t , sua tensão de limiar.

2.1.7 TENSÃO DE SATURAÇÃO

A tensão de saturação corresponde à diferença de tensão entre dreno e fonte excedente em relação a tensão de *overdrive* de um transistor. Ela é uma medida de quanto a tensão entre dreno e fonte supera a tensão mínima para alcançar a corrente de saturação em um transistor. Para a aproximação de primeira ordem das equações dos transistores, no ponto de transição entre triodo e saturação temos:

$$V_{DS} = V_{GS} - V_t \quad (6)$$

Onde V_{DS} é a tensão entre dreno e fonte do transistor. Rearranjando a equação (6) com a definição de tensão de *overdrive* da expressão (5) para definir uma diferença de tensão que carregue a informação sobre a região de operação do transistor, a seguinte designação de tensão de saturação é obtida:

$$V_{sat} = V_{DS} - V_{OV} \quad (7)$$

2.1.8 NÃO LINEARIDADE DIFERENCIAL (DNL)

Differential nonlinearity (DNL) é uma medida da qualidade de circuitos conversores de sinais digitais para analógicos (DAC, do inglês *Digital to Analog Converter*). Ela é definida como o passo, em tensão, ou diferença entre códigos consecutivos, em razão do passo teórico de tensão, normalmente expressa em função do LSB, em que o *Least Significant Bit* (LSB) representa a amplitude teórica de um único código do conversor (TEXAS INSTRUMENTS, 1995). Sua expressão matemática pode ser escrita como:

$$DNL_i = \frac{V_i - V_{i-1}}{\Delta V_{teorico}} - 1 \quad (8)$$

Onde V_i é a tensão de saída do DAC em determinado código i .

2.1.9 NÃO LINEARIDADE INTEGRAL (INL)

Integral nonlinearity (INL) é outra medida de qualidade de circuitos conversores de sinais digitais para analógicos e é definido como o quanto a curva de transferência entre os domínios se distancia da curva ideal, isto é, a diferença entre o valor de tensão de saída real da ideal para determinado código de entrada (TEXAS INSTRUMENTS, 1995). Também apresentado em função do LSB do conversor. Pode ser descrito como:

$$INL_i = V_i - V_{i_{teorico}} \quad (9)$$

Onde V_i é a tensão de saída do DAC em determinado código i .

2.1.10 FIGURA DE MÉRITO (FOM)

A fim de comparação entre os diferentes circuitos PGA, utilizou-se uma *Figure of Merit* (FOM) definida como a faixa de operação do circuito multiplicado pelo ganho máximo em termos absolutos dividido pelo produto entre o consumo de potência pela área ocupada do circuito, como mostrado na expressão (10).

$$FOM = \frac{\text{Frequência de corte} \times \text{Ganho Máximo} \left[\frac{V}{V} \right]}{\text{Consumo de Potência} \times \text{Área}} \quad (10)$$

Essa figura de mérito reúne algumas das principais características observadas nos amplificadores da literatura e permite uma comparação entre os diferentes circuitos. Quanto maior for o FOM melhor é o seu desempenho.

2.2. INFORMAÇÕES DA TECNOLOGIA

Também é importante analisar alguns parâmetros da tecnologia previamente ao início do projeto, em especial acerca dos transistores, resistores e capacitores que serão utilizados com maior frequência.

A tecnologia utilizada, TSMC 90 nm, possui transistores tolerantes a diferenças de tensão de 3,3 V, 2,5 V e 1,2 V entre quaisquer de seus terminais. Para a parte analógica, os dispositivos de 3,3 V foram utilizados pela sua tensão de alimentação de 2,7 V, enquanto na parte digital,

o padrão 1,2 V foi preferido devido a seu menor valor de *threshold*. Os transistores resistentes a 3,3 V necessitam uma máscara a mais no processo de fabricação comparado com os dispositivos de 1,2 V. No *layout*, essa máscara equivale a um nível adicional que indica, entre outras coisas, que o óxido é mais espesso nessa área. Uma outra implicação é que o tamanho mínimo permitido para construção do transistor de 3,3 V é maior que o mínimo do nó tecnológico, ou seja, enquanto o comprimento mínimo de canal de um dispositivo tolerante a 1,2 V é de 90 nm, esse parâmetro aumenta para 380 nm quando um transistor tolerante a 3,3 V é levado em consideração (TAIWAN SEMICONDUCTOR MANUFACTURING, 2013).

Quanto aos resistores presentes nesse processo, são três tipos de construção, de silício policristalino, de difusão e de poço, que são combinados com os implantes, P ou N, e com a presença ou não de uma liga de metal com silício, chamada de siliceto, ou, em inglês, *silicide* (TAIWAN SEMICONDUCTOR MANUFACTURING, 2013). Os resistores de silício policristalino com implante P sem siliceto apresentam a maior resistência de folha entre as opções, próxima a 400 Ω /quadrado, portanto, normalmente será a principal escolha priorizando resistência por área. Quanto aos parâmetros de *mismatch*, os resistores de silício policristalino com metal *silicide* apresentam as menores variações, com valores mais próximos da média.

Para os capacitores, existem principalmente dois tipos, *metal-insulator-metal* (MIM), construídos com metais especiais entre os níveis altos de metal, e *metal-oxide-metal* (MOM), construídos com metal interdigitado em vários níveis intermediários (TAIWAN SEMICONDUCTOR MANUFACTURING, 2013). Os capacitores MIM são recomendados para circuitos de radiofrequência e *mixed signal* por apresentarem menor *mismatch*, ou descasamento. No entanto os capacitores MOM possuem uma relação de área por capacitância menor, e portanto, serão utilizados mais frequentemente no projeto.

O processo permite a utilização de até seis níveis de metal, sendo o último nível, tratado como metal de topo, de espessura maior que os níveis intermediários. Nos blocos projetados costumou-se utilizar até quatro níveis de metais, enquanto o metal de topo foi reservado exclusivamente para roteamento de topo do *chip*, ou seja, para a distribuição de alimentação, terra e sinais sensíveis, como tensões de referências e sinais de relógio.

2.3. CANAL DE DEMODULAÇÃO DE CARGA

A fim de resgatar o sinal de dados NFC modulado por carga foi proposto um canal de demodulação que engloba um detector de envoltória, um amplificador de ganho programável

e um conversor analógico para digital. O sinal digital é então avaliado e decodificado. Esse canal de demodulação de carga está mostrado na Figura 3.

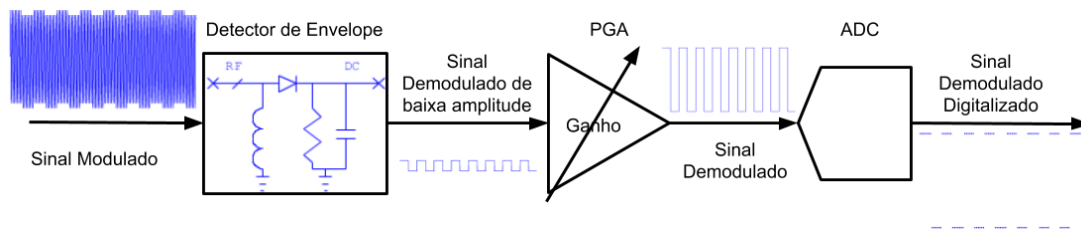


Figura 3 - Sistema de demodulação de carga

Fonte: Autor.

Existe outro tipo comum de canal de demodulação utilizado em transceptores, chamado de *heterodyne*, em que um circuito mixer é utilizado na entrada para separar o sinal de dados da portadora através de uma frequência intermediária. (RAZAVI, 1997, p.129-138) No entanto, em um sistema NFC, como a portadora principal não é de frequência muito elevada, é possível utilizar um canal de demodulação com um detector de envelope para recuperar diretamente o sinal de dados, assim como proposto.

Na realidade, o método de demodulação com um detector de envoltória, pode ser considerado mais recomendado em circuitos em nível integrado CMOS devido ao desempenho baixo em altas frequências da tecnologia CMOS. Outra vantagem do canal de demodulação com detector de envelope é seu menor consumo de potência, uma vez que a amplificação do sinal é feita em banda base. Já a principal desvantagem seria sua menor sensibilidade comparado ao *heterodyne*, para compensar, o amplificador de ganho programável foi realizado com ganhos de até 48 dB, a fim de aumentar a sensibilidade total do canal (RAZAVI, 1997, p. 122-138).

O canal analógico visa retirar a portadora de alta frequência (13,56 MHz) e converter o sinal para o domínio digital. Cabe a lógica digital identificar o tipo de comunicação NFC e processar o sinal obtido, retirando a subportadora de 848 kHz quando for necessário.

2.3.1 DETECTOR DE ENVOLTÓRIA

O circuito de entrada do canal de demodulação de carga é o detector de envoltória. Suas entradas diferenciais são conectadas a espelhos do sinal detectado na antena de NFC e sua saída *single-ended* correspondente à modulação de carga do campo é conectada ao amplificador de ganho programável.

O principal objetivo do detector de envoltória é retirar a portadora do sinal de 13,56 MHz, podendo assim identificar o sinal com informação digital de até 848 kHz.

Seu circuito é baseado na carga e descarga lenta de um capacitor, de tal maneira que o seu sinal de saída filtre a componente de alta frequência, porém mantenha o sinal de informação de menor frequência.

A entrada desse circuito é diferencial, aumentando a sensibilidade do canal, já sua saída é um sinal *single-ended* correspondente a modulação de carga que está sobre a tensão média de alimentação do canal.

2.3.2 AMPLIFICADOR DE GANHO PROGRAMÁVEL

O objetivo do amplificador de ganho programável é elevar o sinal com informação digital de até 848 kHz a níveis razoáveis para amostragem e posterior decodificação digital.

Seu circuito consiste em dois amplificadores operacionais em série, com uma rede resistiva configurável, capaz de atingir diferentes ganhos, e que será explicada em detalhes nos próximos capítulos.

O amplificador recebe o sinal de saída do detector de envoltória centrado na tensão média do canal e eleva esse sinal a uma magnitude tal que o algoritmo digital seja capaz de interpretá-lo.

Inicialmente a parte de controle digital do canal de demodulação define o ganho do amplificador de ganho programável de acordo com suas predefinições e tipo de comunicação NFC esperada. Após uma primeira tentativa de comunicação, o sinal amostrado é avaliado e, se necessário, o ganho do canal é reajustado de maneira a melhorar a qualidade do sinal digital nas próximas comunicações.

2.3.3 CONVERSOR ANALÓGICO DIGITAL

Após a amplificação no PGA, o sinal de interesse de até 848 kHz passa por um conversor analógico para digital que realiza sua amostragem. Essa é a etapa final do condicionamento analógico do sinal de dados, que posteriormente é reconstruído e decodificado digitalmente, interpretando-se assim a mensagem recebida.

O circuito conversor foi escolhido como um conversor de 6 *bits* com arquitetura baseada no algoritmo *Successive Approximation Register* (SAR) e dispositivos de casamento resistivos. O sinal é amostrado a uma taxa de 3,4 MSPS, suficiente para ao menos quatro pontos em um

único período do sinal de dados de maior frequência, 848 kHz. Durante o período de amostragem, de 294 ns, o sinal amostrado é comparado com o sinal alvo digital disponível em um divisor resistivo, e cada um dos seus 6 *bits* é aproximado de acordo com um algoritmo de busca binária.

É importante ressaltar também que esse *analog to digital converter* (ADC) possui um *buffer* de entrada para o seu circuito de amostragem a fim de isolar sua baixa impedância de entrada da saída do amplificador de ganho programável. Isso é importante para diminuir a carga vista pelo PGA, uma vez que não será necessário que o mesmo forneça corrente para uma carga baixa de característica resistiva.

2.4. ESPECIFICAÇÕES

O alvo dessa dissertação é o projeto de um amplificador de ganho programável para aplicações em um sistema NFC demodulador de carga usando o nó tecnológico de 90 nm da empresa TSMC. As estratégias empregadas e a metodologia de projeto empregada também são abordadas, começando pela definição das especificações do circuito, que foi baseado em outros circuitos comerciais ou publicados de aplicações equivalentes.

Tabela 2 - Ganhos especificados do amplificador programável

<i>Código Binário</i>	<i>Ganho [V/V]</i>	<i>Ganho [dB]</i>
111b	256,00	48,16
110b	128,00	42,14
101b	85,33	38,62
100b	51,20	34,19
011b	16,00	24,08
010b	8,00	18,06
001b	5,33	14,54
000b	3,20	10,10

Fonte: Autor.

O amplificador de ganho programável para aplicações em NFC deve ser capaz de amplificar um sinal de até 848 kHz sem distorções. Os ganhos selecionáveis foram definidos como sendo 18 dB, 24 dB, 34 dB, 38 dB, 42 dB e 48 dB, replicados dos valores observados na tabela 92 do *datasheet* do circuito integrado leitor NFC comercial PN512 (NXP COMPANY, 2016). Adicionalmente, dois ganhos menores de 10 dB e 14 dB foram acrescentados para completar oito

possibilidades de ganho, uma vez que três *bits* é o número mínimo que satisfaz a escolha prévia das configurações. Todos os ganhos do amplificador estão resumidos na Tabela 2.

O ganho do circuito será definido pelos algoritmos que decodificam as mensagens de NFC, que utilizam técnicas avançadas de detecção do sinal de interesse frente dos espúrios. Optou-se por não utilizar um auto ajuste do ganho por meio analógico por não haver como prever o comportamento real do sinal recebido antes da fabricação e implementação do leitor NFC. Com o ajuste de ganho feito através de um *firmware* integrado no circuito, ganhou-se liberdade de regulação do canal após a fabricação, facilitando sua implantação em diferentes soluções. O mecanismo de ajuste de ganho implementado nos algoritmos monitora uma ampla gama de fatores como os níveis de tensão do sinal amostrado, a quantidade e intensidade de componentes nas frequências de interesse e o ruído para decidir o ganho de cada caso de comunicação.

Para que o sinal de 848 kHz seja possua pouco erro de amplificação do valor nominal do ganho, foi estipulada uma frequência de corte maior de 2 MHz para o amplificador de ganho programável.

Também é desejável baixo consumo de potência e alta rejeição de ruídos da fonte de alimentação. A exigência de uma alta rejeição de ruídos da fonte de alimentação está vinculada com o fato de que a fonte de alimentação para esse circuito e para outros circuitos ruidosos do sistema são comuns, por exemplo, com o circuito modulador de campo elétrico que gera o meio de comunicação por NFC.

Como o amplificador de ganho programável pode ter um ganho de até 256 V/V, ou 48 dB, um sistema de cancelamento de *offset* foi necessário. Caso o erro de modo comum do primeiro estágio fosse de apenas 5 mV, a saída do amplificador programável já poderia saturar, atingindo mais de 2,5 V de modo comum na saída, inviabilizando o uso do canal.

Por essa razão um sistema de auto-zero baseado na correção do modo comum com um algoritmo SAR foi proposto. Ele é composto por um comparador, um conversor digital para analógico e a lógica digital que implementa o algoritmo SAR.

No circuito integrado desenvolvido foram criados domínios separados para operação da parte analógica e digital. Ficou definido que a alimentação do *chip* seria em 3,3 V e que a parte analógica iria operar em 2,7 V para fazer interface com a antena que precisa de uma certa potência para gerar o campo magnético da comunicação NFC. A queda de 0,6 V seria a margem de trabalho do regulador de tensão interno. Já a parte digital iria operar apenas em

1,2 V para economia de energia. Também definiu-se a corrente de polarização dos circuitos como sendo de nominalmente 500 nA.

Apesar do circuito integrado final ter a opção de realização de *trimming* para ajustar as tensões e correntes de polarização dos circuitos, uma variação conservadora desses parâmetros foi considerada no projeto do amplificador. A incerteza das tensões de alimentação consideradas é de 5% para mais e para menos, enquanto que para a corrente de polarização, a incerteza considerada é de 10% para mais e para menos.

A faixa de temperatura planejada para a operação do circuito é uma versão um pouco reduzida da faixa automotiva comum, indo desde -40 graus Celsius até 100 graus Celsius. Essa amplitude térmica respeita os limites do processo caracterizado pela TSMC.

De uma maneira geral, as especificações desejadas para o amplificador de ganho programável são resumidas na Tabela 3.

Tabela 3 - Características desejadas do PGA neste trabalho

Característica	Mínimo	Típico	Máximo	Unidade
Alimentação analógica	2,66	2,7	2,84	V
Alimentação digital	1,14	1,2	1,26	V
Polarização	450	500	550	nA
Temperatura	-40	27	100	°C
Consumo de potência			< 1	mW
Frequência de corte	> 2			MHz
PSRR			< -20	dB
Erro DC na saída			< 200	mV
Tecnologia	TSMC 90nm			

Fonte: Autor.

2.5. ESTADO DA ARTE

Foram pesquisadas as últimas publicações referentes ao projeto de amplificadores de ganho programável integrados em aplicações de receptores NFC.

A maioria dos artigos científicos sobre amplificadores de ganho programáveis para aplicações em comunicações se concentram em frequências maiores que as de interesse. No entanto, ao menos dois artigos diretamente relacionados com o tema proposto foram encontrados. São eles:

- “*Design of a low-power Programmable Gain Amplifier for analog front end applications*” de Xiu et. al (2011).
- “*Programmable gain amplifier for 13,56 MHz radio receiver in CMOS 90 nm technology*” do autor Teodorowski (2012).

Durante a pesquisa dos artigos, notou-se que a grande maioria busca aumentar a faixa de operação do circuito mantendo altos ganhos e baixo consumo. Objetivo em comum ao amplificador em questão, porém não as únicas características desejadas. A busca por circuitos com baixo erro de *offset*, alta rejeição a ruído da alimentação e área reduzida também são preocupações igualmente importantes na aplicação NFC.

Nesse contexto, destacam-se dois artigos que apresentam técnicas interessantes que foram incorporadas na concepção do amplificador. São eles:

- “*An automatic DC-Offset cancellation method and circuit for RF transceivers*” do autor X. Ken (2015).
 - Apresenta uma técnica de cancelamento de offset baseado no ajuste da tensão de referência.
- “*A 8.6 μ W 3-Bit Programmable Gain Amplifier for Multiplexed-Input Neural Recording Systems*” do autor Al-Ashmouny (2011).
 - Apresenta um sistema de compensação em frequência variável com o ganho.

A técnica de cancelamento de offset mostrado por Ken X. (2015) é a base do auto-zero planejado no circuito. O ajuste de compensação em função do ganho de forma análoga a realizada por Al-Ashmouny (2011) foi englobado no circuito do amplificador operacional de cada estágio do PGA e permite que uma maior faixa de operação para os maiores ganhos seja alcançada com menor consumo de potência.

Também há uma grande influência do trabalho de Xiu et. al (2011) na escolha da arquitetura do amplificador de ganho programável e seus amplificadores operacionais.

Os *papers* pesquisados possuem as características resumidas na Tabela 4.

Tabela 4 - Amplificadores de ganho programável no estado da arte

<i>Referência</i>	<i>Tecnologia CMOS</i>	<i>Faixa de operação</i>	<i>Consumo de potência</i>	<i>Tensão de alimentação</i>	<i>Variação dos ganhos</i>	<i>Área ativa</i>
Teodorowski (2012)	0,18 μm	84 MHz	1,37 mW	1,8 V	-21 dB a 21 dB	0,05 mm ²
Teodorowski (2012)	0,18 μm	60 MHz	3,15 mW	1,5 V	-21 dB a 21 dB	0,078 mm ²
Teodorowski (2012)	0,09 μm	125 MHz	1,52 mW	2,5 V	0,5 dB a 23,5 dB	(sem <i>layout</i>)
Xiu et. al (2011)	0,18 μm	30 MHz	4,25 mW	1,8 V	0 dB a 52 dB	0,14 mm ²
Al-Ashmouny (2011)	0,25 μm	160 kHz	8,6 μW	1,0 V	7 dB a 27,4 dB	0,025 mm ²
Tsou et. al (2006)	0,18 μm	29,5 MHz	2,43 mW	1,8 V	-10 dB a 20 dB	0,3 mm ²
Elwan (2000)	2,00 μm	4 MHz	2,7 mW	3,0 V	-6 dB a 24 dB	0,442 mm ²

Fonte: Autor.

2.6. ARQUITETURA

Combinando as diversas técnicas e arquiteturas estudadas na literatura a solução final para o circuito proposto é apresentada a seguir.

A arquitetura escolhida para esse amplificador programável usa dois estágios, em que um deles pode ser desabilitado dependendo do ganho escolhido, assim como mostrado na Figura 4. Em cada estágio há um amplificador operacional em configuração não inversora com uma rede resistiva selecionável para definição do ganho.

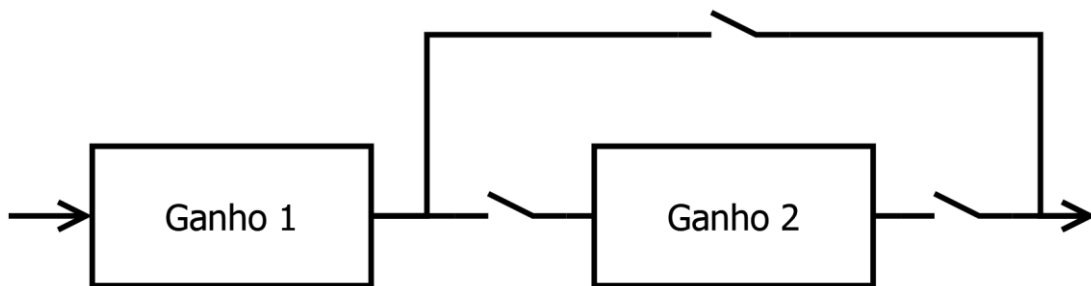


Figura 4 - Estrutura do amplificador de ganho programável.

Fonte: Autor.

Essa arquitetura com dois estágios de ganho foi utilizada para facilitar a obtenção de uma frequência de corte de 2 MHz em malha fechada no amplificador de ganho programável, uma vez que quanto maior o ganho de um único estágio, mais difícil seria obter uma determinada faixa de operação (como explicado no livro “*Design of Analog CMOS Integrated Circuits*” do autor Razavi no início do capítulo 8). De tal maneira que uma solução para se obter uma faixa de operação razoável com um maior ganho é usar dois estágios de ganho menor com a banda de passagem desejada.

O amplificador operacional de cada estágio usa a configuração não-inversora e possui quatro ganhos selecionáveis, 3,2 V/V, 5,33 V/V, 8 V/V e 16 V/V. Para chegar a esse propósito um divisor resistivo selecionável de R_1 e R_2 foi elaborado. Esse divisor possui 16 resistores em série que compõe R_1+R_2 e o ponto de divisão é escolhido para R_2/R_1 ter 11/5, 13/3, 14/2 e 15/1. O resistor unitário utilizado no divisor é de 6 k Ω , totalizando 96 k Ω entre os nós da tensão de saída de cada estágio e tensão de referência. É interessante que a resistência total seja elevada para diminuir o consumo de corrente dinâmico das fontes de tensão de referência e do próprio amplificador operacional.

O estágio de ganho com um amplificador operacional na configuração não inversora está mostrado a esquerda da Figura 4, enquanto a rede resistiva selecionável que corresponde ao divisor resistivo de R1 por R2 está apresentada no canto direito da Figura 5.

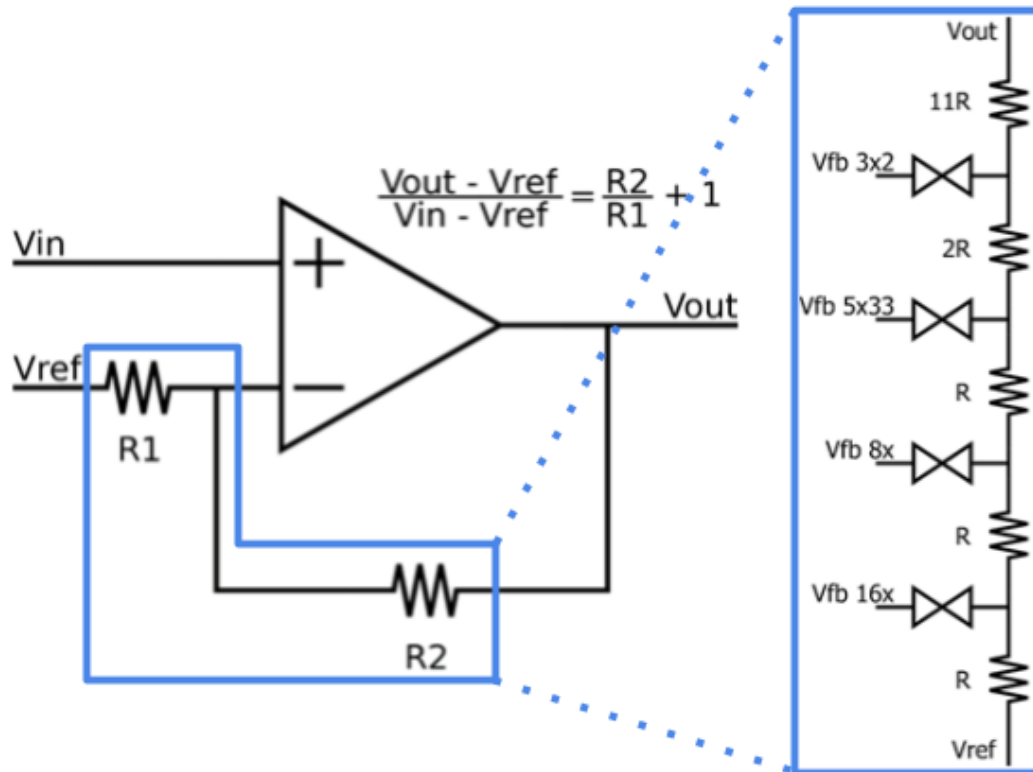


Figura 5 - Estágio de ganho do amplificador e rede resistiva selecionável

Fonte: Autor.

A fim de reduzir um pouco a injeção de ruído da tensão de alimentação na realimentação do circuito, foram utilizadas chaves NMOS para a seleção do ganho no primeiro estágio. Como no segundo estágio o sinal amplificado já é maior, chaves puramente NMOS poderiam atrapalhar o bom funcionamento do sistema (SEDRA, 2007, p.614-615). Por esse motivo, no segundo estágio foram utilizadas chaves de dupla portas complementares (NMOS/PMOS).

As chaves NMOS e as chaves de dupla portas complementares foram dimensionadas a partir das simulações de PSRR visando minimizar a injeção de ruído da fonte através delas, especialmente no segundo estágio do amplificador.

Os resistores da malha de realimentação foram feitos em silício policristalino devido a menor variação dos parâmetros de fabricação que esse tipo de resistor sofre em comparação a resistores de difusão. Outra vantagem dos resistores de silício policristalino é sua elevada resistência de folha no processo de 90 nm da TSMC. O objetivo é que a variação do ganho,

causada pelo descasamento entre R1 e R2, seja menor em relação as variações de processo. O tipo de casamento escolhido para tal resistor é *commom centroid*.

Para minimizar o número de sinais de interface, o controle de ganho é feito por meio de três *bits* que possibilitam oito configurações de ganho.

Como a arquitetura escolhida usa dois estágios de ganho para ganhos altos, porém não necessita de ambos estágios para os ganhos baixos, optou-se por desligar um dos estágios para os valores menores de ganhos, economizando potência. Assim, a escala de ganhos se dá aumentando o ganho do primeiro estágio com o segundo desligado e curto circuitado até o máximo ganho do primeiro estágio. Na sequência o segundo estágio é ligado e o ganho do primeiro estágio é fixado em seu valor máximo, enquanto o ganho do segundo estágio começa a aumentar até atingir o valor máximo.

O controle dos estágios e do ganho através dos três *bits* foi implementado por um decodificador de dois *bits* para selecionar o ganho de cada estágio e a seleção de estágios é feito com o auxílio de *double transmission gates* dimensionados para passar uma ampla faixa de sinais com o mínimo de acoplamento para a tensão de alimentação controlados pelo *bit* mais significativo do ganho.

O decodificador usado converte os dois *bits* menos significativos de binário para a representação de quatro *bits one-hot* usados no circuito de realimentação, e, para três *bits* usados no ajuste da compensação do amplificador operacional. O circuito desse decodificador está na Figura 6 e é formado por portas lógicas NAND, NOR e NOT, também são usados alguns resistores de metal de valor baixo apenas como artifício para renomear alguns nós do circuito.

Filtros passa-baixa de primeira ordem foram adicionados nas saídas dos estágios para melhorar a resposta em frequência e a rejeição de ruídos da tensão de alimentação. É importante notar que esses filtros foram projetados para atuarem apenas além da faixa de operação projetada de cada operacional, e, portanto, não limitam a banda final do PGA, apenas acentuam a queda da resposta em frequência nas altas frequências, melhorando a rejeição a ruídos.

Uma lógica de ativação do bloco também foi implementada, aterrando a saída do bloco e desativando os circuitos ativos quando o bloco é desligado.

A Figura 7 mostra o esquemático de topo do *core* do amplificador de ganho programável assim como ele foi desenhado na ferramenta de design Cadence Virtuoso. Os amplificadores

operacionais e suas redes de realimentação foram colocadas em série com chaves de seleção que permitem desligar o segundo estágio e o curto-circuitar, assim como mostrado previamente no esquema da Figura 4. Cada estágio, composto pelo amplificador de ganho programável e sua respectiva rede programável de realimentação possui um circuito filtro RC na saída. Há um decodificador dos *bits* de ganho para cada estágio, possibilitando assim o controle do ganho independente de cada estágio. O primeiro estágio na configuração pode ser mantido no ganho máximo, de acordo com o *bit* mais significativo de ganho. Também foram adicionados circuitos para desativação do bloco que mantém sua saída aterrada.

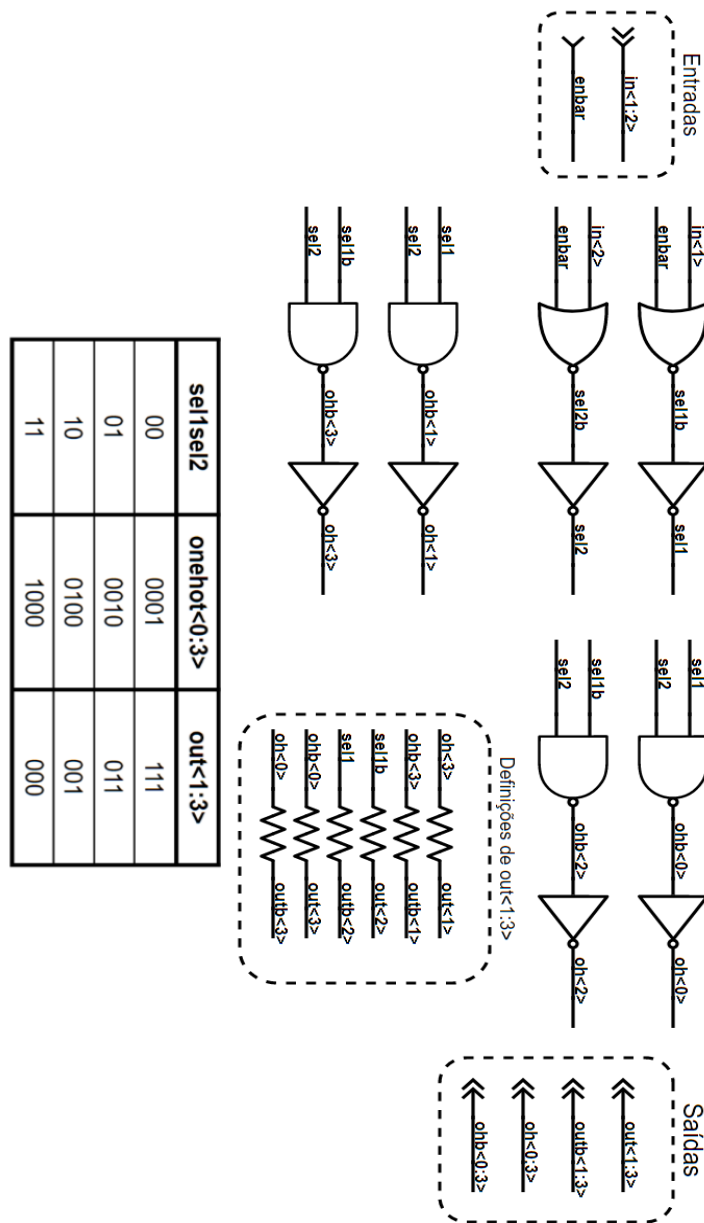


Figura 6 - Esquemático do decodificador do PGA

Fonte: Autor.

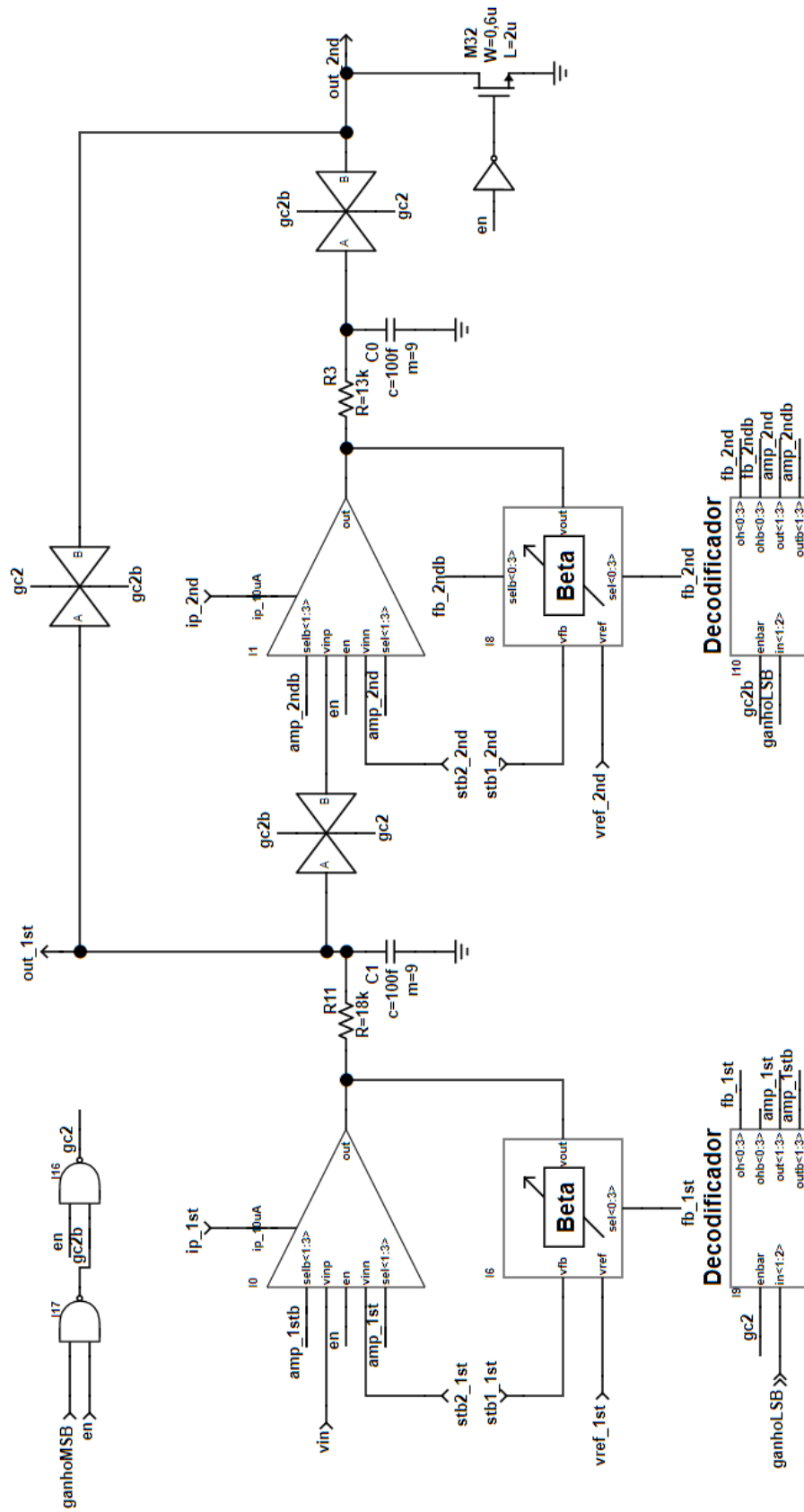


Figura 7 - Esquemático do PGA sem auto-zero

Fonte: Autor.

2.6.1 AMPLIFICADOR *FOLDED CASCODE*

A arquitetura utilizada para o amplificador operacional foi a arquitetura *folded cascode*, que permite um alto ganho de malha aberta e boa rejeição a ruídos da fonte de alimentação (SEDRA, 2007, p. 547-548).

O amplificador *folded cascode* permite um ganho de malha aberta maior que o amplificador convencional devido à alta resistência de saída do primeiro estágio. Além disso, como foram escolhidos um par diferencial de entrada com transistores NMOS e um amplificador fonte comum também com transistores NMOS, a fim de alcançar uma maior frequência de corte no operacional, no caminho do sinal há apenas ampliações em transistores NMOS, e, portanto, essa arquitetura possui menor acoplamento a tensão de alimentação.

O circuito de compensação utilizado é do tipo *Miller cascode*, que usa um capacitor em série com um transistor *cascode* para afastar os pólos e garantir maior estabilidade do amplificador.

A fim de permitir a maior excursão possível do sinal de saída, definiu-se o modo comum do circuito como sendo 1,35 V para a alimentação nominal 2,7 V. Assim, a saída desse operacional pode variar entre 0,3 e 2,4 V. Foram mantidos esses limites de segurança para garantir a correta polarização do estágio de saída.

Embora esse amplificador alimente uma malha de realimentação resistiva responsável pela definição do ganho, o consumo de corrente através dessa malha é baixo e não justificaria a implementação de um estágio de saída classe AB. Dessa maneira o estágio de saída escolhido foi de uma configuração fonte comum simples. No entanto, a corrente nesse estágio de saída foi dimensionada para que a resposta do amplificador seja rápida o suficiente para acompanhar o sinal de 848 kHz requerido pelo padrão NFC. Isso implica dizer que devido ao controle da corrente da carga ser feito exclusivamente pelo transistor NMOS fonte comum, seja vertendo mais corrente da carga através do aumento de sua tensão de porta, ou fornecendo menos corrente, a corrente de polarização do estágio de saída limitará a velocidade de resposta para uma dada carga. Quando o transistor de saída está no limite de sua operação transiente, toda a corrente de polarização do estágio é oferecida a carga, esse seria o pior caso de velocidade de resposta do amplificador. Considerando uma carga de 5 pF, estimada com base nas capacitâncias parasitas do transistor no processo escolhido, para uma corrente de polarização de 30 μA , no pior caso, haveria 6 V/ μs de tempo de resposta do

Ou seja, para o ganho de malha fechada mínimo de 3,2 V/V, todos os dezesseis capacitores estariam conectados entre os nós de saída e B do circuito, para o ganho 5,33 V/V, apenas doze desses capacitores, oito para o ganho 8 V/V e apenas quatro para o maior ganho 16 V/V.

O circuito equivalente para análise de pequenos sinais do amplificador dado na Figura 8 é apresentado na Figura 9.

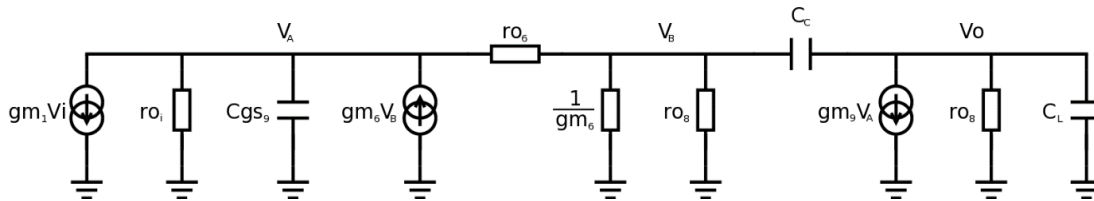


Figura 9 - Circuito equivalente para análise de pequenos sinais do amplificador da Figura 8

Fonte: Autor.

O par diferencial de entrada com *folded cascode* foi transformado no seu equivalente de Norton, a capacitância de porta de M9 foi incluída, carregando o nó A, o transistor M6 *cascode* é representado pelo conjunto pi entre VA e VB e um capacitor de carga CL foi adicionado na saída (SEDRA, 2007, p.278-279).

Usando o circuito da Figura 9, chegamos nas seguintes expressões para os nós A, B e de saída (O) através da lei de Kirchoff:

$$\text{Nó A:} \quad g_{m_1} \times V_i + \frac{V_A}{r_{o_i}} + V_A \times s \times C_{gs_9} - g_{m_6} \times V_B + \frac{V_A - V_B}{r_{o_6}} = 0 \quad (11)$$

$$\text{Nó B:} \quad -\frac{V_A - V_B}{r_{o_6}} + g_{m_6} \times V_B + \frac{V_B}{r_{o_8}} + s \times C_C \times (V_B - V_O) = 0 \quad (12)$$

$$\text{Nó O (saida):} \quad -s \times C_C \times (V_B - V_O) + g_{m_9} \times V_A + \frac{V_O}{r_{o_9}} + s \times C_L \times V_O = 0 \quad (13)$$

O desenvolvimento teórico das expressões 1, 2 e 3 origina três pólos e um zero. O pólo dominante é o mesmo da compensação Miller convencional, já os outros dois pólos são mais difíceis de obter e podem inclusive ser complexos conjugados. O desenvolvimento completo das equações e obtenção dos pólos e zero desse sistema pode ser visto no apêndice 1 do *paper* “Miller Compensation Using Current Buffers in Fully Differential CMOS Two-Stage Operational Amplifiers” do autor Paul J. Hurst. As equações aproximadas, considerando a

transcondutância do transistor NMOS *cascode* alta, dos pólos e zeros está transcrita nas equações (14) a (17) e o diagrama de pólos e zeros do circuito está ilustrado na Figura 10, retirada do *paper* mencionado anteriormente.

$$s_z \approx -\frac{g_{m_6}}{C_C} \quad (14)$$

$$s_{p_1} \approx -\frac{1}{g_{m_9} \times r_{o_9} \times r_{o_i} \times C_C} \quad (15)$$

$$s_{p_2} \approx -\frac{g_{m_9}}{C_L + C_C} \times \frac{C_C}{C_{gs_9}} \quad (16)$$

$$s_{p_3} \approx -\frac{g_{m_6}}{C_L || C_C} \quad (17)$$

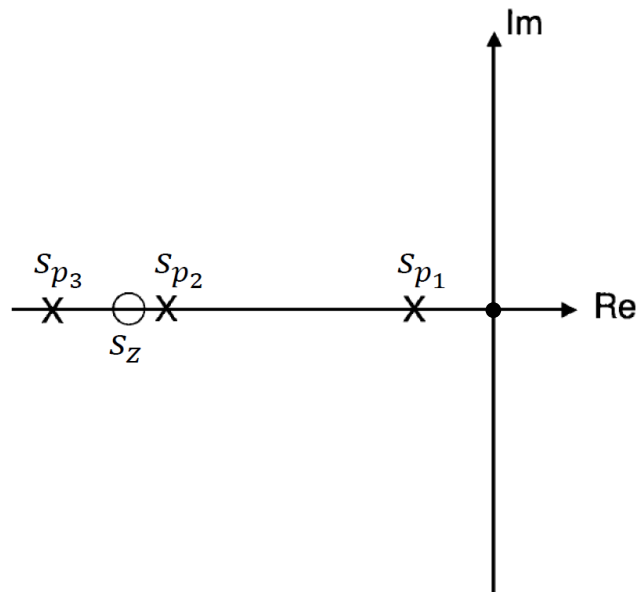


Figura 10 - Diagrama de pólos e zeros do amplificador *Folded Cascode*

Fonte: Adaptado de HURST et al. (2004).

Através do método de cálculo rápido do zero descrito no livro “*Microelectronics*” do autor Sedra, no capítulo 6, item 6.6.3, é possível aproximar o zero da função da transferência desse circuito igualando a corrente através do capacitor de compensação com a corrente pelo transistor M9, e considerando que nesse caso a tensão de saída do circuito de pequenos sinais é nula, chegando a equação (14). A fim de chegar brevemente nesse resultado, podemos

começar definindo as correntes do transistor M6 e através do capacitor de compensação quando a tensão de saída é igual a zero, como sendo:

$$i_6 = -g_{m_6} \times V_B \quad (18)$$

$$i_{C_C} = s \times C_C \times V_B \quad (19)$$

Aplicando a lei de Kirchoff no nó B, nessas condições temos:

$$i_6 = i_{C_C} + i_8 \quad (20)$$

Considerando que em altas frequências a corrente através do capacitor de compensação é bem maior que a corrente através do transistor M8, ou seja:

$$s \times C_C \ll \frac{1}{r_{o_8}} \quad (21)$$

Dessa forma teremos:

$$i_6 \approx i_{C_C} \quad (22)$$

$$-g_{m_6} \times V_B \approx s_z \times C_C \times V_B \quad (23)$$

$$s_z \approx -\frac{g_{m_6}}{C_C} \quad (24)$$

Esse resultado mostra que o zero desse tipo de compensação fica localizado no semiplano esquerdo e representa um incremento tanto na fase como no ganho da resposta em frequência. Como esse comportamento não causa dificuldades na compensação do circuito, um zero no semiplano esquerdo é preferível ao convencional zero no semiplano direito presente na compensação Miller tradicional.

As tensões de polarização dos *cascodes* foram criadas por transistores em configuração diodo com uma corrente de polarização fixa.

Também foram adicionados alguns capacitores a mais nas portas dos transistores espelhos de corrente desse amplificador operacional para melhorar sua imunidade a ruídos da fonte de alimentação. Esses capacitores visam garantir uma diferença de tensão V_{GS} mais estável para que as cópias de corrente filtrem qualquer ruído da fonte. Como esses capacitores não ficam no caminho de sinal, apenas nas fontes de corrente, eles não representam alterações da função de transferência do circuito.

A Figura 11 mostra o esquemático do amplificador programável. O par diferencial NMOS de entrada pode ser encontrado no centro da figura. À esquerda do par diferencial estão os espelhos de corrente e transistores em configuração diodo responsáveis pela geração das tensões de polarização dos transistores *cascode*. Enquanto que a direita do par diferencial está a estrutura *folded cascode* e o estágio de saída fonte comum com compensação ajustável. Transistores *dummies* foram adicionados para realização dos dispositivos de sacrifício nas laterais dos casamentos, no entanto, eles estão omitidos no esquema da Figura 11. Esses transistores *dummies* possuem comprimento de canal mínimo, 0,38 μm , para diminuição da área ocupada, enquanto mantêm sua largura de canal idêntico aos vizinhos de casamento a fim de protegê-los de corrosão lateral. Transistores responsáveis pela desativação do bloco também foram adicionados, eles abrem os caminhos de corrente, impedindo que haja fluxo de corrente entre a tensão de alimentação e o terra do circuito.

A corrente de cauda do par diferencial é de 30 μA , realizada através de um espelho de corrente simples NMOS com base na corrente de polarização de 10 μA . Os transistores NMOS de entrada M1 e M2 são formados por duplas de 10/1 μm casados em *cross coupling*. As correntes da estrutura *cascode* são de 25 μA por ramo, os transistores *cascode* PMOS, M3 e M4, são duplas de 5/0,6 μm , enquanto os *cascode* NMOS, M5 e M6, são duplas de 3,5/0,6 μm . Os transistores da carga ativa M7 e M8 são casados em *common centroid* com o transistor fonte comum de saída M9, de dimensões 1/1,5 μm e pesos 2, 2 e 6. A corrente do segundo estágio é de 30 μA , vinda do mesmo espelho de corrente P de polarização da estrutura *cascode*. No total, o consumo de corrente estática do amplificador operacional foi dimensionado para ser de 110 μA .

Os capacitores para filtragem de ruídos da fonte de alimentação são indicados como C1 e C3 na Figura 11, eles estão próximos dos casamentos dos espelhos de correntes NMOS e PMOS. O capacitor variável C2 indica o bloco de ajuste inteligente da compensação, que é responsável por mudar o capacitor de compensação utilizado de acordo com o ganho de malha de realimentação escolhido.

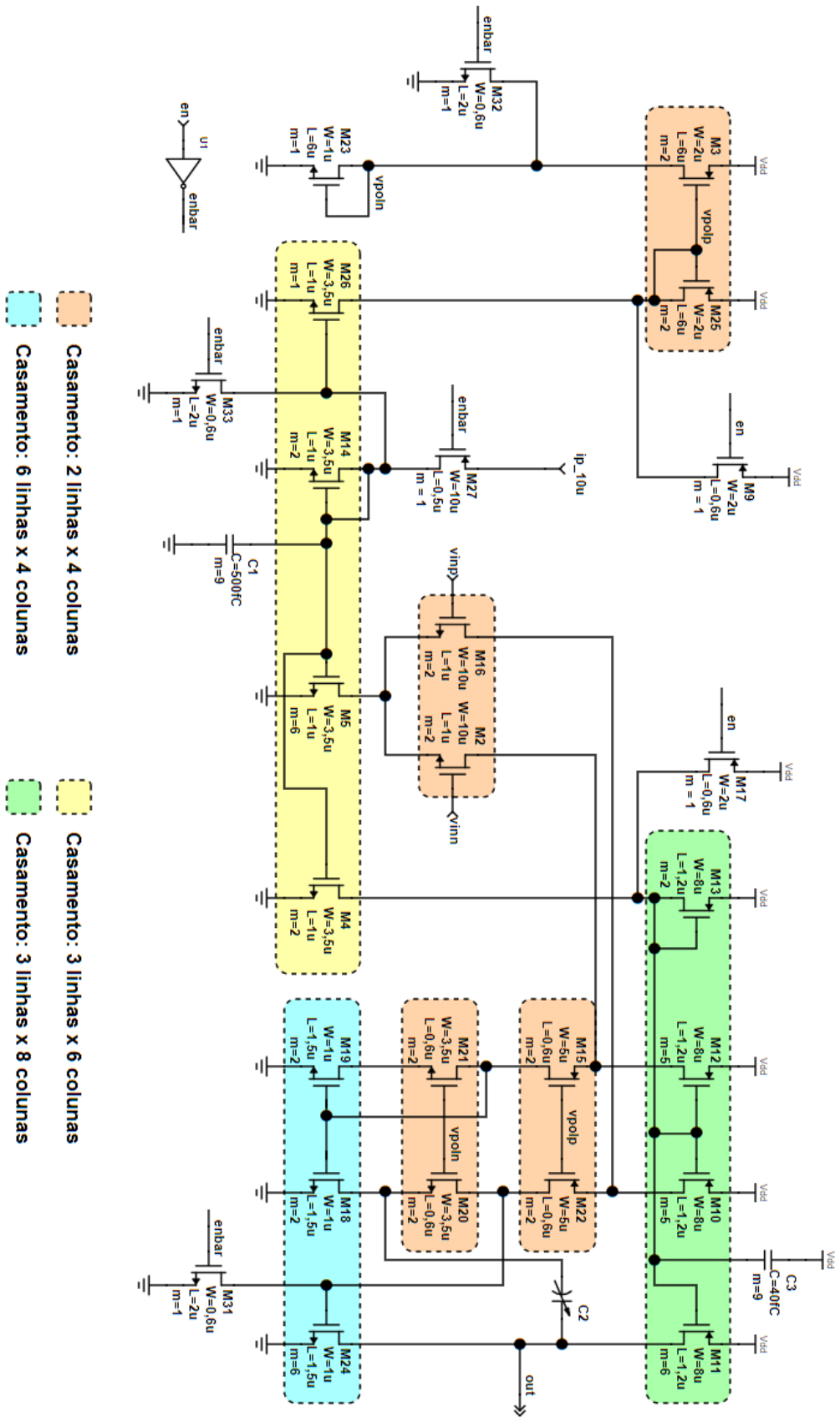


Figura 11 - Esquemático do amplificador operacional
 Fonte: Autor.

2.6.2 AJUSTE INTELIGENTE DE COMPENSAÇÃO

A fim de manter a faixa de operação do amplificador operacional constante para todos os ganhos, a compensação é feita de maneira individualizada para cada um deles, usando um capacitor maior, quanto menor seja o ganho de malha fechada.

O passo escolhido para os capacitores de compensação é igual para cada degrau de ganho, muito embora os ganhos não tenham passos iguais. Foi decidido manter esse passo pela facilidade de implementação e com base na validação feita por simulação em diferentes corners, temperaturas e condições de polarização e alimentação.

Para o maior ganho, de 16 V/V o capacitor escolhido foi de $1 \times C_C$, para o ganho de 8 V/V foi $2 \times C_C$, para 5,33 V/V, $3 \times C_C$ e para 3,2 V/V, $4 \times C_C$. O valor escolhido para C_C é de 45 fC, realizado com capacitores MOM. O esquemático desse circuito de seleção está na Figura 12.

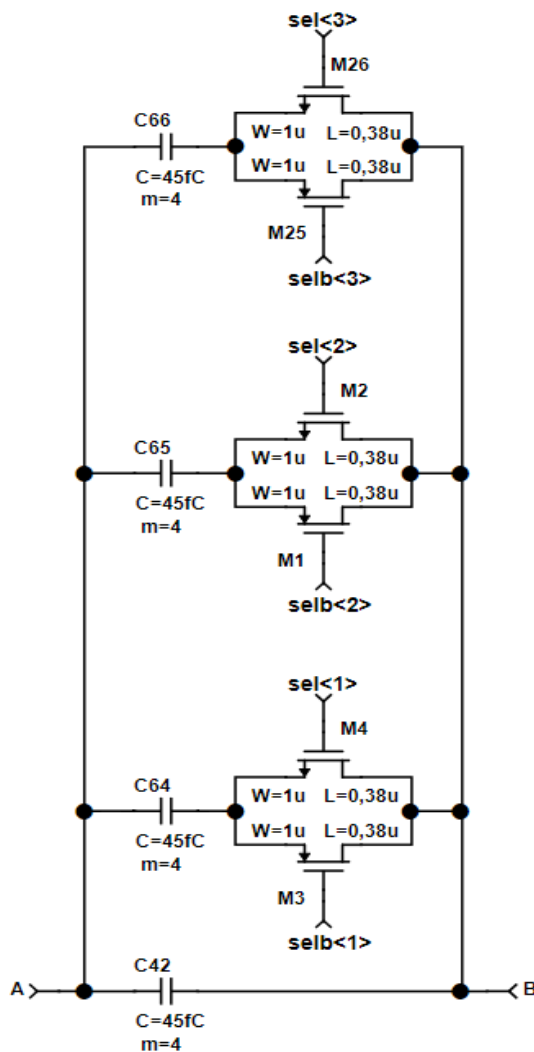


Figura 12 - Esquemático da compensação em frequência ajustável

Fonte: Autor.

2.6.3 SISTEMA DE AUTO-ZERO

Um sistema automático de auto-zero foi elaborado para cancelamento de *offset* do PGA, uma vez que esse erro poderia saturar sua saída. Esse sistema usa algoritmo SAR e um conversor analógico para digital (em inglês, *Digital to Analog Converter*, DAC) para fazer o ajuste da tensão de modo comum do PGA e, conseqüente, cancelamento de *offset* de cada estágio. O esquema de ligação do auto-zero está Figura 13.

Como o PGA possui dois estágios, dois sistemas de auto-zero foram empregados.

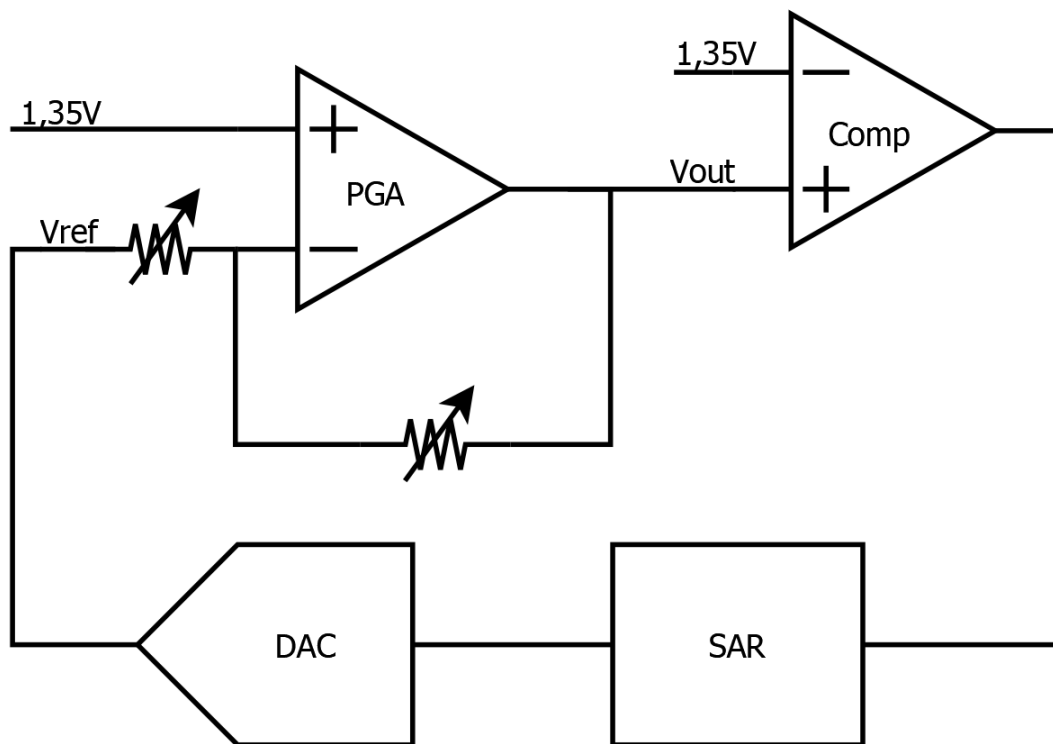


Figura 13 - Arquitetura do auto-zero do amplificador de ganho programável

Fonte: Autor.

O algoritmo SAR do auto-zero ajusta um *bit* por ciclo. No início do ciclo o *bit* mais significativo a ser decidido é colocado em nível lógico alto e uma saída do comparador é aguardada. Dependendo da saída do comparador, que vai dizer se a saída do PGA é maior ou menor que a tensão de modo comum usada como referência, o *bit* é então definido como um ou zero lógico, respectivamente.

Cada ajuste de *bit* feito pelo SAR é transformado em um degrau de tensão na referência da malha de realimentação de cada estágio do PGA, causando assim, uma variação da tensão de modo comum na sua saída. Essa tensão de modo comum na saída do estágio é então

comparada com o alvo, 1,35 V, ou metade da tensão de alimentação, e a decisão do algoritmo é tomada.

O número de *bits* utilizado no conversor digital analógico para compensação de *offset* é seis, o que possibilita uma boa resolução para cancelamento do *offset* sem necessidade de ocupar uma área demasiadamente grande. A arquitetura desse conversor digital analógico é puramente resistiva.

O cancelamento do *offset* é sempre feito para o maior ganho de cada estágio do PGA. Dessa maneira o resquício de erro será menor para os maiores ganhos e tolerável para os ganhos menores.

A fim de não gastar tempo desnecessariamente, o auto-zero é realizado apenas uma vez durante o processo de *power up* do *chip* e seus valores são guardados em registradores até um novo reset do sistema.

Com o objetivo de modelar o erro do auto-zero podemos começar definindo a saída do amplificador em função do *offset*:

$$\frac{V_{out} - V_{ref}}{(V_{in} + V_{off}) - V_{ref}} = \frac{R2}{R1} + 1 \quad (25)$$

$$V_{out} = \left(\frac{R2}{R1} + 1\right) \times (V_{in} + V_{off}) - \frac{R2}{R1} \times V_{ref} \quad (26)$$

Supondo auto-zero perfeito, ou seja, com a tensão de saída e entrada iguais a tensão de modo comum, teremos a tensão de referência para minimizar o erro como:

Para: $V_{out} = V_{in} = V_{cm}$, temos:

$$V_{cm} = \left(\frac{R2}{R1} + 1\right) \times (V_{cm} + V_{off}) - \frac{R2}{R1} \times V_{ref} \quad (27)$$

$$\frac{R2}{R1} \times V_{ref} = \frac{R2}{R1} \times V_{cm} + \left(\frac{R2}{R1} + 1\right) \times V_{off} \quad (28)$$

$$V_{ref} = V_{cm} + \left(1 + \frac{R1}{R2}\right) \times V_{off} \quad (29)$$

Com R1 e R2 ajustados para o maior ganho de cada estágio, ou seja, 16.

Para um outro ganho diferente do maior ganho vai haver um erro residual quando a tensão de entrada for igual a tensão de modo comum que pode ser mapeado como:

$$V_{out} = \left(\frac{R2_{new}}{R1_{new}} + 1 \right) \times (V_{cm} + V_{off}) - \frac{R2_{new}}{R1_{new}} \times V_{ref} \quad (30)$$

Substituindo a tensão de referência de (29) na equação (30) e simplificando:

$$V_{out} = V_{cm} + \left(1 - \frac{R2_{new}}{R1_{new}} \times \frac{R1}{R2} \right) \times V_{off} \quad (31)$$

Como o novo ganho é sempre menor que o ganho em que ocorreu o *offset*, então o erro residual sempre será apenas uma fração do *offset* do amplificador, uma vez que o termo multiplicando a tensão de *offset* sempre será menor que 1.

Considerando também os *offsets* do conversor analógico para digital e do comparador, além do erro de quantização do conversor analógico digital.

$$V_{ref} = V_{cm} + \left(\frac{n-32}{64} \right) \times \Delta V + V_{off_{DAC}} \quad (32)$$

Onde o erro de quantização será a distância entre $\left(\frac{n-32}{64} \right) \times \Delta V$ após o auto-zero e $\left(1 + \frac{R1}{R2} \right) \times V_{off_{OpAmp}}$, sendo n o código em que minimizará o erro .

Após o auto zero, teremos a saída do SAR em função dos três erros de *offset* associados:

$$\begin{aligned} SAR_{out} &= \left(\frac{R2}{R1} + 1 \right) \times (V_{cm} + V_{off_{PGA}}) \\ &- \frac{R2}{R1} \times \left(V_{cm} + \frac{n-32}{64} * \Delta V + V_{off_{DAC}} \right) + V_{off_{COMP}} \end{aligned} \quad (33)$$

O primeiro termo representa o erro do PGA sem correção e o segundo termo seria a correção aplicada pelo ajuste da referência de tensão somada ao erro do comparador.

Simplificando:

$$SAR_{out} = V_{cm} + \left(\frac{R2}{R1} + 1\right) \times V_{off_{PGA}} - \frac{R2}{R1} \times \left(\frac{n-32}{64} \times \Delta V + V_{off_{DAC}}\right) + V_{off_{COMP}} \quad (34)$$

Definindo então o erro da tensão de saída como a diferença entre a saída ideal V_{cm} e a saída após o algoritmo do auto-zero deduzida acima:

$$Erro_{V_{out}} = \left(\frac{R2}{R1} + 1\right) \times V_{off_{PGA}} - \frac{R2}{R1} \times \left(\frac{n-32}{64} \times \Delta V + V_{off_{DAC}}\right) + V_{off_{COMP}} \quad (35)$$

Se o auto-zero foi bem-sucedido o erro final deve ser menor que $\left(\frac{R2}{R1}\right) \times \left(\frac{\Delta V}{64}\right) - V_{off_{COMP}}$ para o maior ganho de cada estágio. Como o *offset* do comparador possui uma relação direta com a saída, é desejável que ele seja o mínimo possível.

A amplitude de tensão (ΔV) do DAC pode ser estimada através dos valores dos *offsets* do comparador e dos amplificadores operacionais do PGA e do próprio DAC.

Para simplificar, a mesma amplitude de tensão escolhida para o auto-zero do primeiro estágio também será a mesma utilizada para o segundo estágio. Assim sendo, como o segundo auto-zero visa cancelar um maior erro, ele que determinará as tensões de referência do conversor digital para analógico.

No segundo estágio o erro a ser cancelado é o *offset* do amplificador operacional desse estágio somado ao erro remanescente do primeiro estágio:

$$V_{off_{PGA}} + \left(\frac{R2}{R1}\right) \times \left(\frac{\Delta V}{64}\right) - V_{off_{COMP}} \quad (36)$$

Novamente, adicionando os erros a serem corrigidos:

$$SAR_{out2nd} = V_{cm} + \left(\frac{R2}{R1} + 1\right) \times \left(V_{off_{PGA}} + \frac{R2}{R1} \times \frac{\Delta V}{64} - V_{off_{COMP}}\right) - \frac{R2}{R1} \times \left(\frac{n-32}{64} \times \Delta V + V_{off_{DAC}}\right) + V_{off_{COMP}} \quad (37)$$

E assim podemos calcular a amplitude de tensão necessário para cancelar os erros somados no segundo estágio do amplificador de ganho programável, supondo que esse seria o maior erro a ser cancelado, e portanto pelo maior código, 63.

$$\begin{aligned}
Error_{2nd} = & \left(\frac{R2}{R1} + 1 \right) \times \left(V_{offPGA} + \frac{R2}{R1} * \frac{\Delta V}{64} - V_{offCOMP} \right) \\
& - \frac{R2}{R1} \times \left(\frac{63 - 32}{64} \times \Delta V + V_{offDAC} \right) + V_{offCOMP}
\end{aligned} \tag{38}$$

Para erro nulo:

$$\begin{aligned}
0 = & \left(\frac{R2}{R1} + 1 \right) \times V_{offPGA} - \frac{R2}{R1} \times V_{offDAC} - \left(\frac{R2}{R1} + 1 - 1 \right) \times V_{offCOMP} \\
& + \left(\frac{R2}{R1} + 1 \right) \times \left(\frac{R2}{R1} \times \frac{\Delta V}{64} \right) - \frac{R2}{R1} \times \left(\frac{31}{64} \times \Delta V \right)
\end{aligned} \tag{39}$$

$$\begin{aligned}
0 = & \left(\frac{R2}{R1} + 1 \right) \times V_{offPGA} - \frac{R2}{R1} \times V_{offDAC} - \frac{R2}{R1} \times V_{offCOMP} \\
& + \left(\frac{R2}{R1} \times \frac{\Delta V}{64} \right) \times \left(\frac{R2}{R1} + 1 - 31 \right)
\end{aligned} \tag{40}$$

$$-\frac{R2}{R1} \times \frac{\Delta V}{64} \times \left(\frac{R2}{R1} - 30 \right) = \left(\frac{R2}{R1} + 1 \right) \times V_{offPGA} - \frac{R2}{R1} \times V_{offDAC} - \frac{R2}{R1} \times V_{offCOMP} \tag{41}$$

O auto-zero é sempre feito para o maior ganho de cada estágio, 16, ou seja, $R2/R1 = 15$ e considerando os piores *offsets* como 60 mV para o PGA e -20 mV para o DAC e para o comparador. Substituindo esses valores na expressão (41):

$$15 \times \frac{\Delta V}{64} \times (30 - 15) = 16 \times 0,06 + 15 \times 0,02 + 15 \times 0,02 \tag{42}$$

$$\Delta V = 64 \times \frac{0,96 + 0,6}{225} \cong 0,44 \text{ V} \tag{43}$$

Foi escolhida uma amplitude de tensão de 0,5 V para o conversor analógico para digital. Como a tensão nominal de referência de modo comum, sobre o qual o PGA está centrado é de 1,35 V, as tensões nominais do conversor analógico para digital serão 1,1 V e 1,6 V.

Nessa condição, o maior erro esperado ao fim do auto-zero será:

$$\left(\frac{R2}{R1}\right) * \left(\frac{\Delta V}{64}\right) - V_{off_{COMP}} = 15 \times \frac{0,5}{64} + 0,02 \cong 0,137 V \quad (44)$$

O algoritmo de controle do auto-zero foi feito no ambiente digital e sintetizado com células padrão da tecnologia. Por essa razão, o auto-zero não compartilha da mesma alimentação de 2,7 V do restante do circuito e necessita de circuitos de *level shifter* para os sinais de interface de 2,7 V para 1,2 V, como é a resposta do comparador para o auto-zero, ou de 1,2 V para 2,7 V, como são os *bits* de controle do auto-zero, definição da tensão de referência e ganho.

Não há nenhuma razão para que o auto-zero seja feito com uma restrição grande de tempo de operação, portanto o algoritmo do auto-zero usa o clock do sistema dividido várias vezes, garantindo assim que todo o sistema analógico tenha tempo de se estabelecer antes da decisão do *bit* pelo SAR.

Dois *bits* de controle para ajustar essa temporização do ciclo de auto-zero foram adicionados na síntese digital. Eles permitem adequar a duração de um ciclo de decisão do algoritmo com o tempo de resposta do laço do auto-zero, ou seja, do tempo de resposta dos amplificadores operacionais e do comparador combinados, após todo o sistema ser projetado.

2.6.4 CONVERSOR DIGITAL PARA ANALÓGICO

O conversor digital para analógico é usado como parte do sistema de auto-zero no qual define a tensão de referência da malha de realimentação, sendo assim responsável pelo ajuste da tensão de modo comum do PGA.

A arquitetura do conversor digital para analógico utilizada é resistiva de 6 *bits*. Para isso é necessária uma rede resistiva de 64 dispositivos selecionáveis através de um circuito multiplexador.

O controle da palavra do conversor digital para analógico é realizado pela lógica SAR implementada.

Como esse bloco está ligado à rede de realimentação do amplificador de ganho programável é necessário que ele seja capaz de fornecer ou retirar corrente tão rápido quanto o amplificador em si. Para tanto um amplificador operacional com saída *push-pull* e faixa de operação de pelo menos 5 MHz foi proposto.

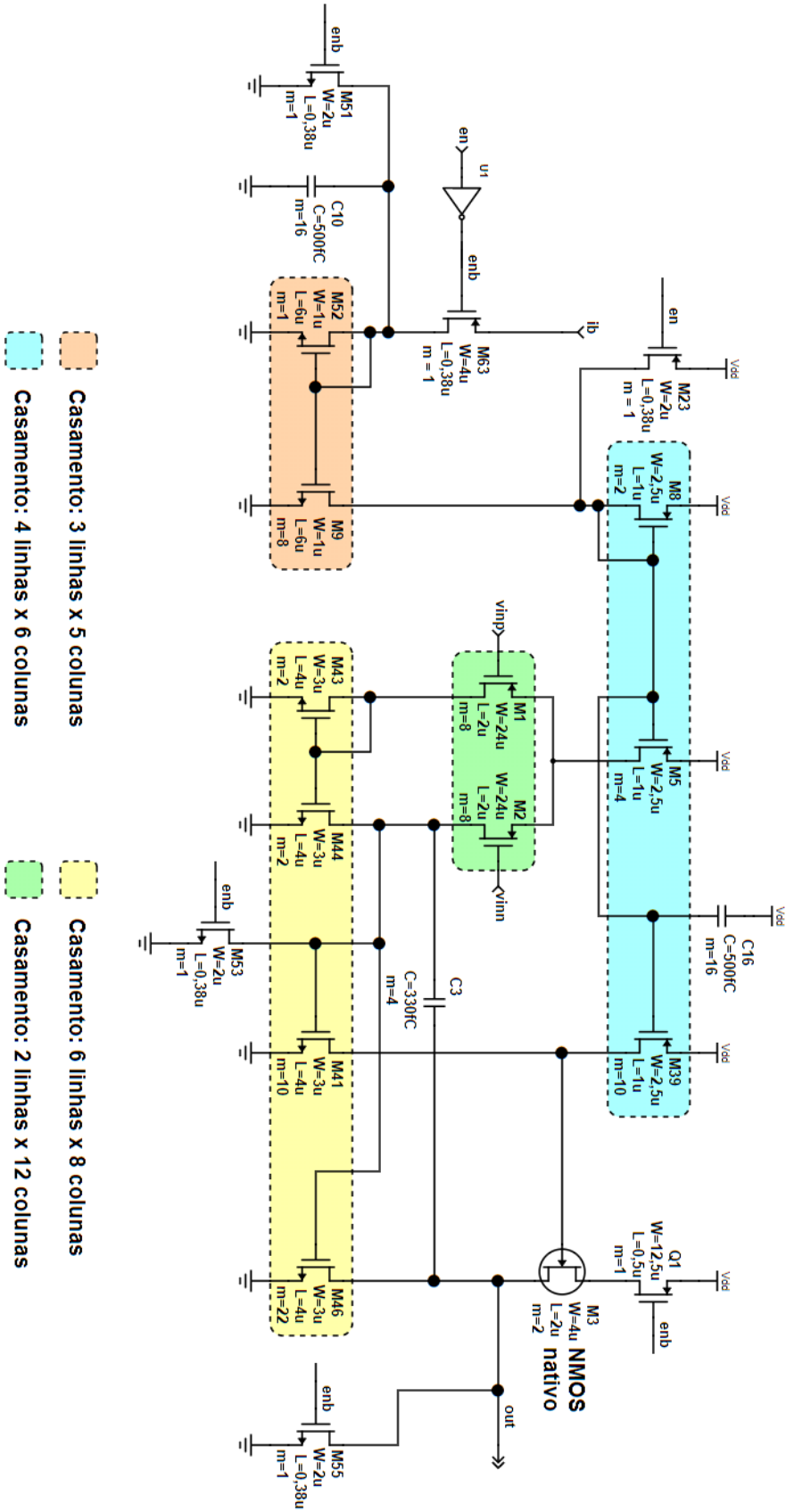


Figura 14 - Esquemático do amplificador operacional do DAC
 Fonte: Autor.

Esse amplificador operacional possui dois estágios, o primeiro diferencial e o segundo um estágio com uma fonte-comum e um dreno-comum com dispositivo nativo que funciona provendo ou privando a carga de corrente. Esse dispositivo nativo possui canal previamente dopado no processo, o que diminui bastante seu valor de *threshold*, chegando a ser de somente 0,2 V incluindo o efeito corpo do transistor. Esse segundo estágio de saída é denominado *push-pull*, pois é capaz de fornecer e retirar corrente da sua carga, sem alterar significativamente a sua tensão de saída.

A compensação utilizada nesse circuito é uma compensação Miller tradicional, adicionando um capacitor entre a saída do segundo estágio e a entrada do mesmo, a fim de afastar os pólos do circuito.

O esquemático do amplificador operacional utilizado na saída do DAC está mostrado na Figura 14. No esquemático, assim como feito anteriormente, os dispositivos *dummies* de sacrifício lateral dos casamentos são omitidos para melhor entendimento do circuito. Transistores para bloquear o fluxo de corrente no circuito quando o circuito é desativado também foram adicionados e a saída do amplificador é aterrada nesse estado.

2.6.5 COMPARADOR

O comparador é usado como entrada pelo algoritmo SAR para decidir se o ajuste de um *bit* deve ser 1 ou 0. Em sua aplicação no auto-zero ele irá comparar o sinal de modo comum de saída de cada estágio do PGA com o nível de tensão alvo do processo.

A arquitetura do comparador é simples, baseada em um amplificador de dois estágios com um inversor na saída para saturar. Assim, qualquer que seja a diferença na entrada do par diferencial desse comparador será amplificada a ponto de saturar a saída em 0 ou 1 lógicos.

Como o *offset* do comparador, ou seja, seu erro DC, nesse caso pode causar impacto significativo no erro remanescente do auto-zero, essa é a principal característica a ser observada nesse bloco. Por essa razão, seu par diferencial de entrada é especialmente grande, com quatro transistores NMOS de 8 μm de largura (W) por 4 μm de comprimento de canal (L) em paralelo para cada ramo.

O comparador usa uma corrente de polarização de 500 nA que é espelhada e aumentada em seis vezes para o par diferencial e espelhada com aumento de três vezes para o segundo estágio do amplificador operacional, totalizando um consumo estático de 5 μA .

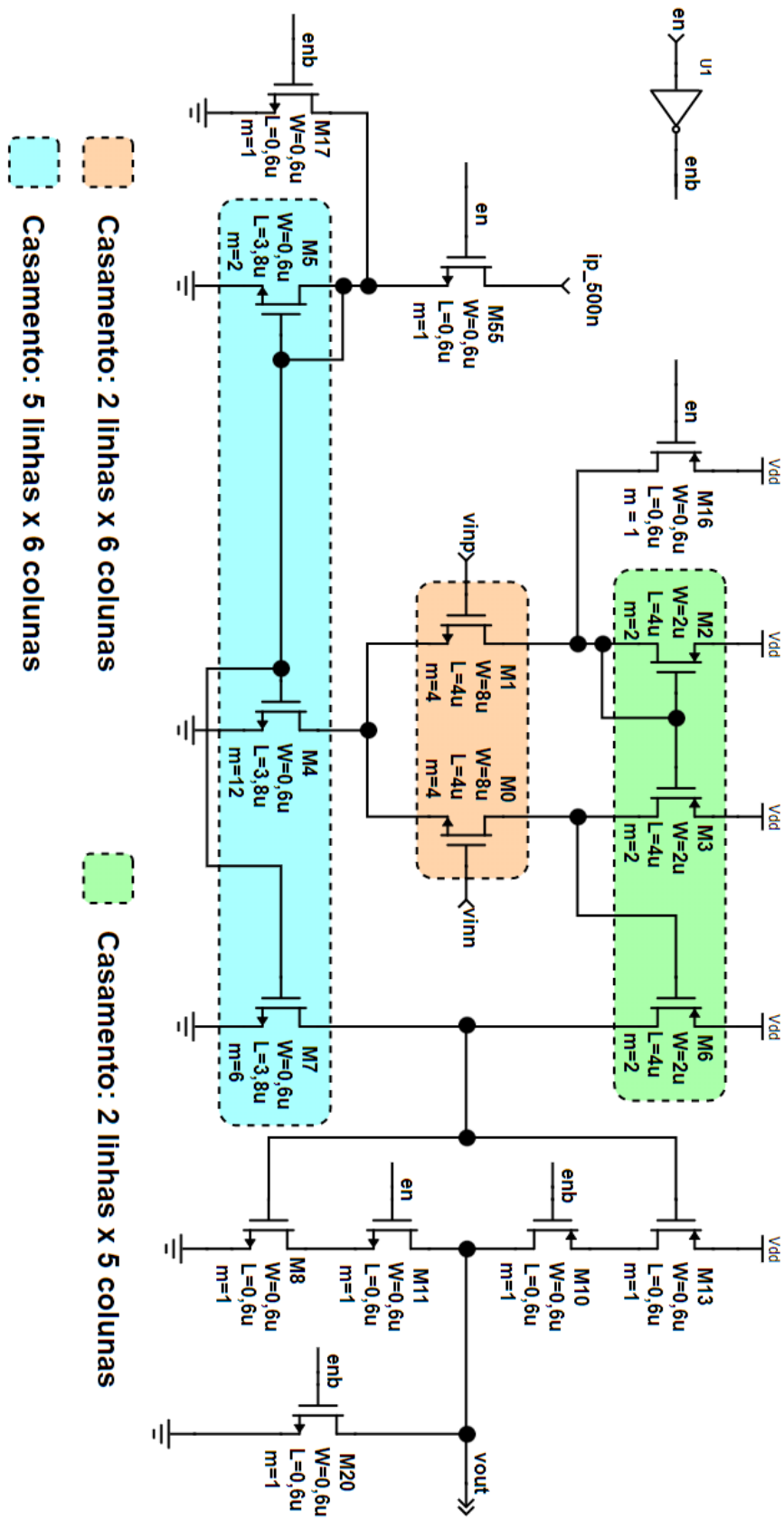


Figura 15 - Esquemático do comparador usado no auto-zero
 Fonte: Autor.

Esse bloco é utilizado em diversos outros contextos dentro do projeto do circuito integrado em questão e foi reusado para o auto-zero do PGA. Uma característica diferenciada desse comparador, que facilita sua alocação em diversas aplicações, é sua saída em alta impedância quando desabilitado. Muito embora, para a aplicação no auto-zero, uma saída aterrada quando desabilitado é preferível, uma vez que ela será utilizada como entrada para um circuito digital. Para adequar o circuito às necessidades de sua aplicação no auto-zero optou-se por adicionar o transistor M20 no nó de saída do circuito, que aterra sua saída quando o circuito está desabilitado.

Os arranjos de casamentos dos transistores utilizados e suas dimensões estão indicados no próprio esquemático do comparador presente na Figura 15.

Assim como foi feito nos esquemáticos anteriores, os dispositivos *dummies* de sacrifício laterais dos casamentos são omitidos. Esses transistores de sacrifício possuem comprimento de canal mínimo de $0,38\ \mu\text{m}$ e largura de canal igual aos dos demais dispositivos do casamento. Eles são posicionados nas laterais dos casamentos, adicionando duas colunas no casamento planejado, de forma que um casamento como o do par diferencial M0 e M1, que seria de 2 linhas e 4 colunas, com os dispositivos casados em *cross-coupled*, se torna um casamento de 2 linhas e 6 colunas.

2.7. ESQUEMATICO DO AMPLIFICADOR DE GANHO PROGRAMAVEL COM O AUTO-ZERO

O esquemático de topo do PGA, mostrado simplificada na Figura 16, possui o *core*, ou seja, os dois estágios amplificadores com redes de ganho selecionáveis apresentadas anteriormente na Figura 7, dois DACs para cada ajuste de auto-zero dos estágios, um comparador, o algoritmo de aproximações sucessivas sintetizado no contexto do auto-zero, um espelho de corrente para polarização dos circuitos, uma lógica de ativação do comparador, que depende das *flags* de começo e final do auto-zero e 22 circuitos de tradução de nível lógico entre 1,2 V e 2,7 V, sendo apenas um deles no sentido da tensão alta para a baixa, usado entre o comparador e o algoritmo do auto-zero. Além disso, um filtro RC de primeira ordem foi adicionado na tensão de referência de 1,35 V para evitar o acoplamento de ruído com outros blocos.

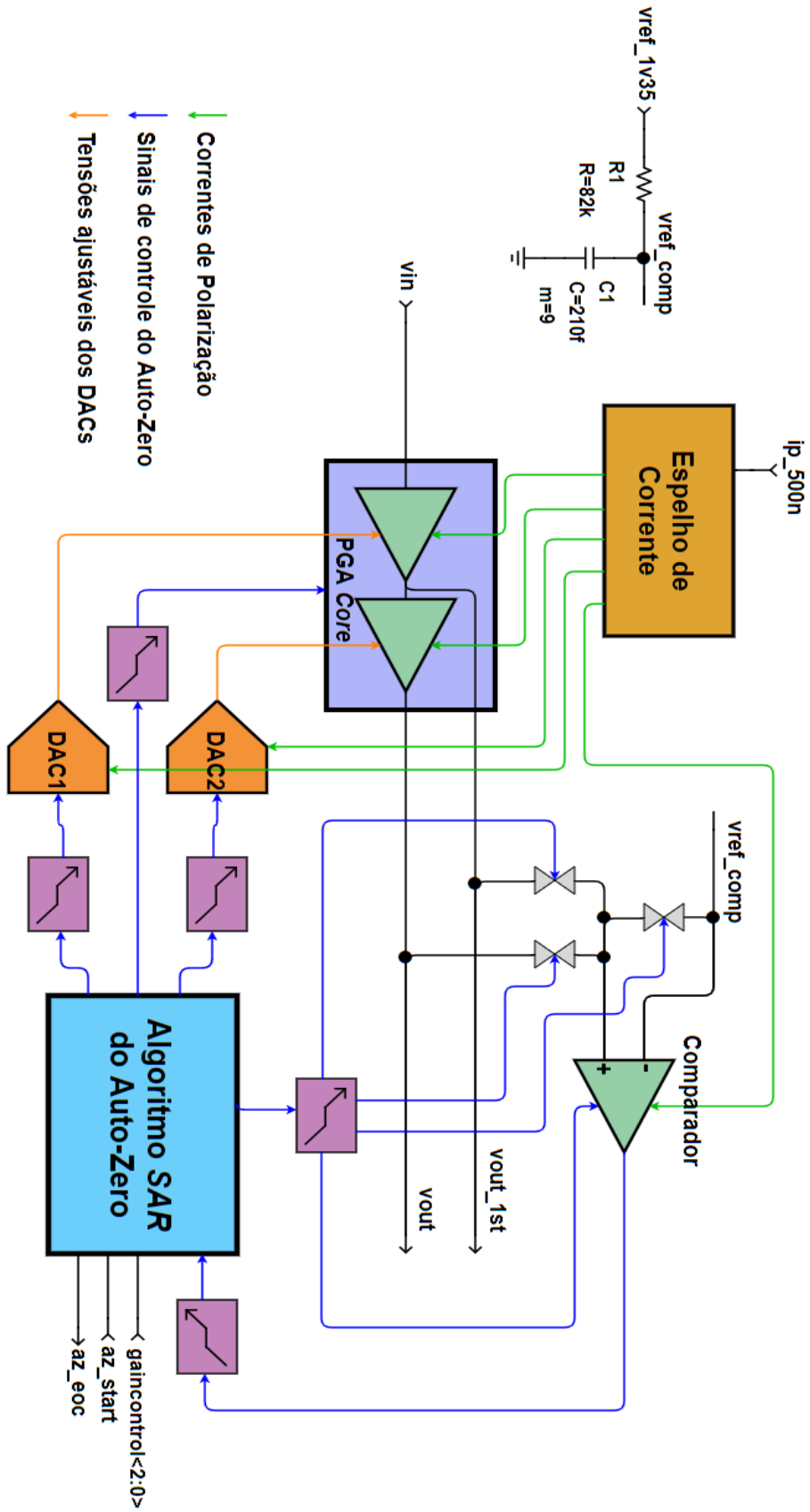


Figura 16 - Esquemático simplificado de topo do amplificador de ganho programável

Fonte: Autor.

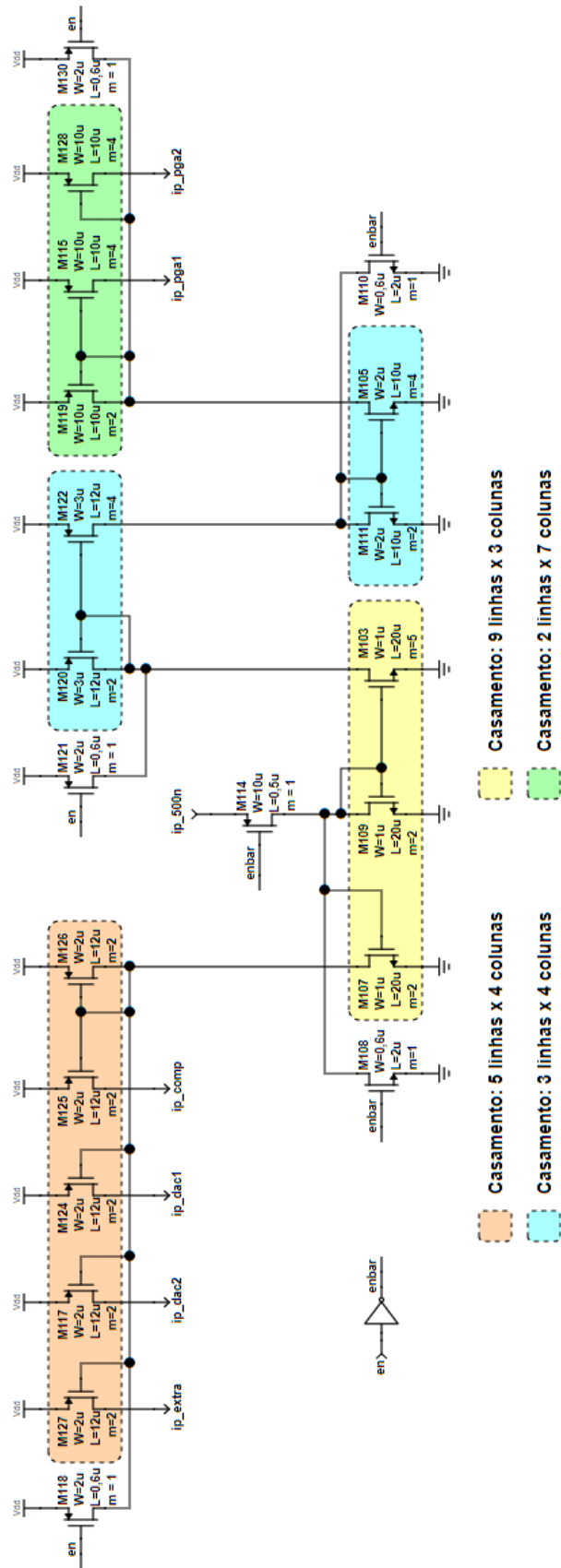


Figura 17 - Esquemático do espelho de corrente para distribuição de polarização no PGA
 Fonte: Autor.

O espelho de corrente que distribui as correntes de polarização dos circuitos possui seu esquemático na Figura 17. Ele recebe uma corrente de 500 nA do *bandgap* do sistema e cria cópias de 500 nA para a polarização dos DACs e comparador, e duas cópias de 10 μ A que são utilizadas pelo *core* do PGA.

Como o auto-zero precisa ser executado para o primeiro e para o segundo estágio do PGA, há um pequeno circuito de seleção formado por chaves representadas na parte superior direita entre as saídas do PGA e o comparador para que o algoritmo de execução do auto-zero o faça no devido tempo.

O algoritmo do auto-zero espera uma *flag* da parte digital do *chip*, quando esse *flag* é assinalado, o auto-zero se inicia. No começo o auto-zero define o ganho máximo para o PGA, código binário 111, e liga a saída do primeiro estágio do PGA ao comparador. O algoritmo SAR é então executado e o resultado registrado nos *bits* que controlam o DAC 1, referente ao primeiro estágio. Na sequência a saída do primeiro estágio do PGA é desconectada do comparador e a saída do segundo estágio é conectada. O processo de aproximações sucessivas é novamente realizado e a saída registrada para o DAC 2, correspondente ao segundo estágio. Ao fim do auto-zero, o comparador é isolado do PGA e sua entrada conectada ao sinal de referência e seu circuito desativado, os *bits* de ganho voltam a seguir a entrada definida pela parte digital e uma *flag* de conclusão do auto-zero é acionada.

É importante lembrar que para o auto-zero ser corretamente executado é necessário que a entrada do circuito esteja limpa, isso ocorre quando o bloco anterior, o detector de envoltória está desabilitado. Além disso, um sinal de ativação exclusivo do PGA foi adicionado, uma vez que o sinal de ativação convencional do bloco é comum a todos do canal de demodulação. Assim, para executar o auto-zero corretamente, deve-se, mantendo o restante do canal desabilitado, habilitar apenas o PGA, na sequência requerer um auto-zero e somente depois de terminado o processo liberar a ativação do restante do canal.

Após a resposta do *flag* de execução do auto-zero, o circuito pode ser desabilitado para economia de energia, que seu resultado, registrado, não é perdido. Não há nenhum impedimento para uma nova execução do auto-zero para casos de testes ou recalibração do circuito.

O diagrama de tempo da sequência de sinais para a correta execução do auto-zero está indicado na Figura 18.

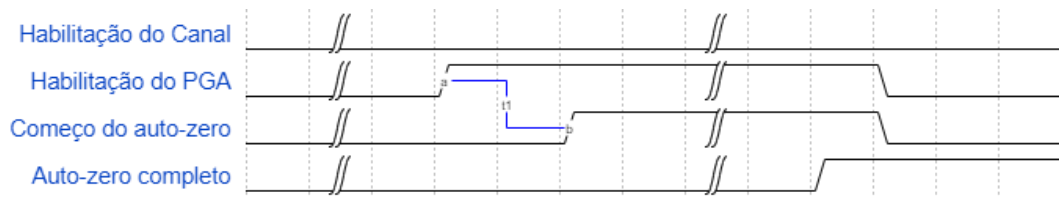


Figura 18 - Diagrama de tempo para execução do auto-zero

Fonte: Autor.

Os sinais de interface do topo do PGA com o restante do *chip* são divididos entre sinais analógicos, digitais e de alimentação.

São quatro sinais de alimentação distintos, sendo a alimentação da parte de RF de valor nominal de 2,7 V e seu respectivo terra e a alimentação da parte digital de 1,2 V e seu respectivo terra.

Os sinais analógicos são oito de entrada e dois de saída. Os sinais analógicos de entrada são a referência de tensão no valor de 1,35 V, as referências de tensões dos DACs de 1,6 V e 1,1 V, a entrada do circuito, proveniente do detector de envoltória, e uma corrente de polarização de 500 nA. Além desses cinco sinais analógicos, há ainda três outros sinais de controle que são tratados como nível lógico, porém estão no domínio analógico. São eles o sinal de ativação do bloco, o sinal de reset dos *level shifters*, para evitar que os mesmos comecem a operar em um estado indefinido, e o sinal de *power on reset* (POR). O sinal de POR poderia ser utilizado para isolar a ativação do *core* do PGA, isolando seu consumo de corrente, porém ele não foi utilizado no topo do *chip*, sendo apenas curto-circuitado com o sinal de ativação. Os dois sinais analógicos de saída se referem ao primeiro e segundo estágios do PGA, sendo que a saída do segundo estágio é o resultado mais importante do bloco e que será amostrado no ADC, enquanto a utilização da saída do primeiro estágio se limita a ponto de observação.

Os sinais digitais do bloco PGA são nove, sendo oito de entrada e um de saída. As entradas são um *flag* que inicia o processo de auto-zero, um sinal de relógio de 20 MHz para a execução da lógica SAR do auto-zero, o sinal de *reset* do auto-zero para o mesmo não começar com os registradores em valor indefinido, dois *bits* de controle da temporização do auto-zero e três bits de controle de ganho. Os *bits* de temporização do auto-zero controlam um divisor interno de relógio que aumenta o tempo de execução de cada ciclo de ajuste do SAR. Ele foi criado para que seja possível configurar o tempo do SAR de acordo com o tempo de resposta do laço completo do auto-zero, e, portanto, após projetado, e o tempo de resposta do laço aferido os *bits* são configurados em valores fixos. Os três *bits* de controle de ganho são recebidos da parte digital do *chip* e convertidos para o domínio analógico dentro do próprio

PGA. A saída digital do circuito é um *flag* que indica que o processo de auto-zero foi finalizado.

A Tabela 5 faz um resumo dos pinos de interface do circuito do PGA.

Tabela 5 - Descrição das interfaces

<i>Nome do pino</i>	<i>Domínio e direção</i>	<i>Descrição</i>
<i>vddrf</i>	Alimentação	Alimentação analógica de 2,7 V
<i>vssrf</i>	Alimentação	Terra analógico
<i>vdd</i>	Alimentação	Alimentação digital de 1,2 V
<i>vss</i>	Alimentação	Terra digital
<i>ip_500n</i>	Entrada analógica	Corrente de polarização
<i>vref_1v6</i>	Entrada analógica	Tensão de referência alta para o DAC
<i>vref_1v35</i>	Entrada analógica	Tensão de referência de modo comum
<i>vref_1v1</i>	Entrada analógica	Tensão de referência baixa para o DAC
<i>vin</i>	Entrada analógica	Sinal de entrada a ser amplificado
<i>vout</i>	Saída analógica	Sinal de saída amplificado
<i>vout_1st</i>	Saída analógica	Sinal de saída do primeiro estágio
<i>en</i>	Entrada analógica	Sinal de ativação do bloco
<i>por</i>	Entrada analógica	Sinal de <i>Power on Reset</i>
<i>vdda_okb</i>	Entrada analógica	Sinal de reset para os <i>level-shifters</i>
<i>gaincontrol<2:0></i>	Entrada digital	Três <i>bits</i> de controle de ganho
<i>clk</i>	Entrada digital	Sinal de relógio para execução do SAR
<i>az_rst_n</i>	Entrada digital	Sinal de reset do auto-zero
<i>az_tmr_i<1:0></i>	Entrada digital	Dois <i>bits</i> de temporização do auto-zero
<i>az_start_i</i>	Entrada digital	<i>Flag</i> para o início do auto-zero
<i>az_eoc_o</i>	Saída digital	<i>Flag</i> de conclusão do auto-zero

Fonte: Autor.

2.8. LAYOUT DOS BLOCOS

Os blocos apresentados no capítulo anterior foram desenhados em nível de polígonos pelo próprio autor com o auxílio de um profissional experiente na área.

Como esse projeto foi desenvolvido em uma *Design House*, as convenções utilizadas no fluxo de projeto tradicional da mesma foram seguidas. Algumas dessas convenções são usar níveis de metais ímpares na horizontal e pares na vertical no roteamento, não utilizar *abutt* de dispositivos em casamentos, ou seja, não juntando drenos e fontes de transistores em cascata nos casamentos, buscar o aspecto de 1:1 nos blocos feitos e seguir o padrão *Design for Manufacturing* (DFM) dos dispositivos e contatos.

O fluxo de *layout* se inicia com o planejamento de posicionamento dos blocos da maior hierarquia para a menor. Por exemplo em um bloco, essa fase seria o estudo do posicionamento dos casamentos e demais componentes visando minimizar roteamento e atingir o aspecto quadrado do bloco.

Em seguida deve-se dimensionar o roteamento das ligações levando em consideração a corrente total que atravessará essas ligações, especialmente as de alimentação, e as características como sendo nós críticos ou que geram muito ruído. Normalmente, para dimensionar as ligações o padrão utilizado é de 1 μm por 1mA, seguindo as especificações de cada processo.

Para a tecnologia utilizada as regras de eletromigração de metal é um pouco mais branda que o padrão, como mostrado na Tabela 6, então o padrão adotado será de 1 $\mu\text{m}/\text{mA}$ de largura de trilha de metal. No entanto essa regra de eletromigração não garante uma resistência aceitável da trilha, essa deve ser analisada dependendo do caso.

Tabela 6 - Corrente DC por eletromigração para TSMC 90nm

<i>Layer</i>	<i>Comprimento do Metal (Length, L μm)</i>	<i>Máxima Corrente DC @ 110 °C (mA/W)</i>
M1	Qualquer comprimento	$2,0 \times (W - 0,02)$
M(2 ao 5)	Qualquer comprimento	$2,6 \times (W - 0,02)$
M6	Qualquer comprimento	$7,2 \times (W - 0,02)$

Fonte: Adaptado de Taiwan Semiconductor Manufacturing Company (2013).

Ainda a respeito do dimensionamento de corrente, a máxima corrente suportada pelos contatos da tecnologia também deve ser levada em consideração. Como regra padrão é utilizado 1 via ou contato para cada 100 μA de corrente. O padrão da TSMC 90 nm está na Tabela 7. No entanto, a fim de garantir maior imunidade a quaisquer defeitos de fabricação, ao menos 2 contatos ou vias são utilizados. Como os contatos utilizados possuem tamanho fixos por respeitarem as regras de DFM, eles comumente definem a largura de metal da trilha.

Tabela 7 - Corrente por contato para TSMC 90nm

<i>Layer</i>	<i>Máxima Corrente DC @ 110 °C (mA/plug)</i>
CO (Contato) Medidas 0,12 x 0,12 μm^2	0,294 por contato
VIA (1 à 4) Medidas 0,13 x 0,13 μm^2	0,189 por via
VIA5 Medidas 0,36 x 0,36 μm^2	1,452 por via

Fonte: Adaptado de Taiwan Semiconductor Manufacturing Company (2013).

A respeito da separação das conexões de nós críticos e que geram muito ruído, elas devem ser preferencialmente separadas geograficamente, ou sejam, devem ser mantidas o mais distante possível. Uma outra maneira de minimizar interferências é a adição de trilhas de terra que visam blindar o sinal sensível do ruidoso.

Outro ponto de bastante importância no desenho do *layout* é o arranjo dos casamentos de dispositivos. O casamento dos dispositivos tem como objetivo uniformizar a variação de parâmetros localmente, ou seja, se há um espalhamento linear de parâmetros em uma determinada área de um *chip*, como o casamento de dispositivos possui simetria radial, haveria um teórico cancelamento dessa variação local. A fim de garantir esse efeito todos os dispositivos casados devem possuir a mesma orientação e a mesma distância do centro e das bordas dentro do casamento. Ao redor dos casamentos um *guardring* com contatos de substrato é adicionado para polarização de substrato e isolamento de ruído. Dispositivos de sacrifício *dummies* também são adicionados nas bordas laterais do casamento para evitar problemas relacionados a corrosão lateral dos dispositivos durante o processo de fabricação.

Uma ferramenta utilizada para facilitar o posicionamento de componentes em casamentos é o “*Modgen*” da Cadence que permite, a partir do esquemático definir o posicionamento e distâncias dos dispositivos dentro de uma matriz.

Ao longo do desenho do *layout* e ao fim do mesmo é imprescindível que todas as regras de *Design Rule Check* (DRC) e *Layout versus Schematic* (LVS) sejam checadas para evitar erros e inconsistências entre o esquema elétrico e a representação gráfica em máscaras. Durante esse projeto as ferramentas de verificação utilizadas são do pacote Calibre da Mentor Graphics.

Além do mais, ao final do *layout* a ferramenta de extração de parasitas deve ser rodada e seu resultado utilizado para simulação, garantindo o funcionamento do circuito dentro das especificações. A ferramenta de extração utilizada nesse projeto também é parte do pacote Calibre da Mentor Graphics.

2.8.1 AMPLIFICADOR OPERACIONAL *FOLDED CASCODE* DO PGA

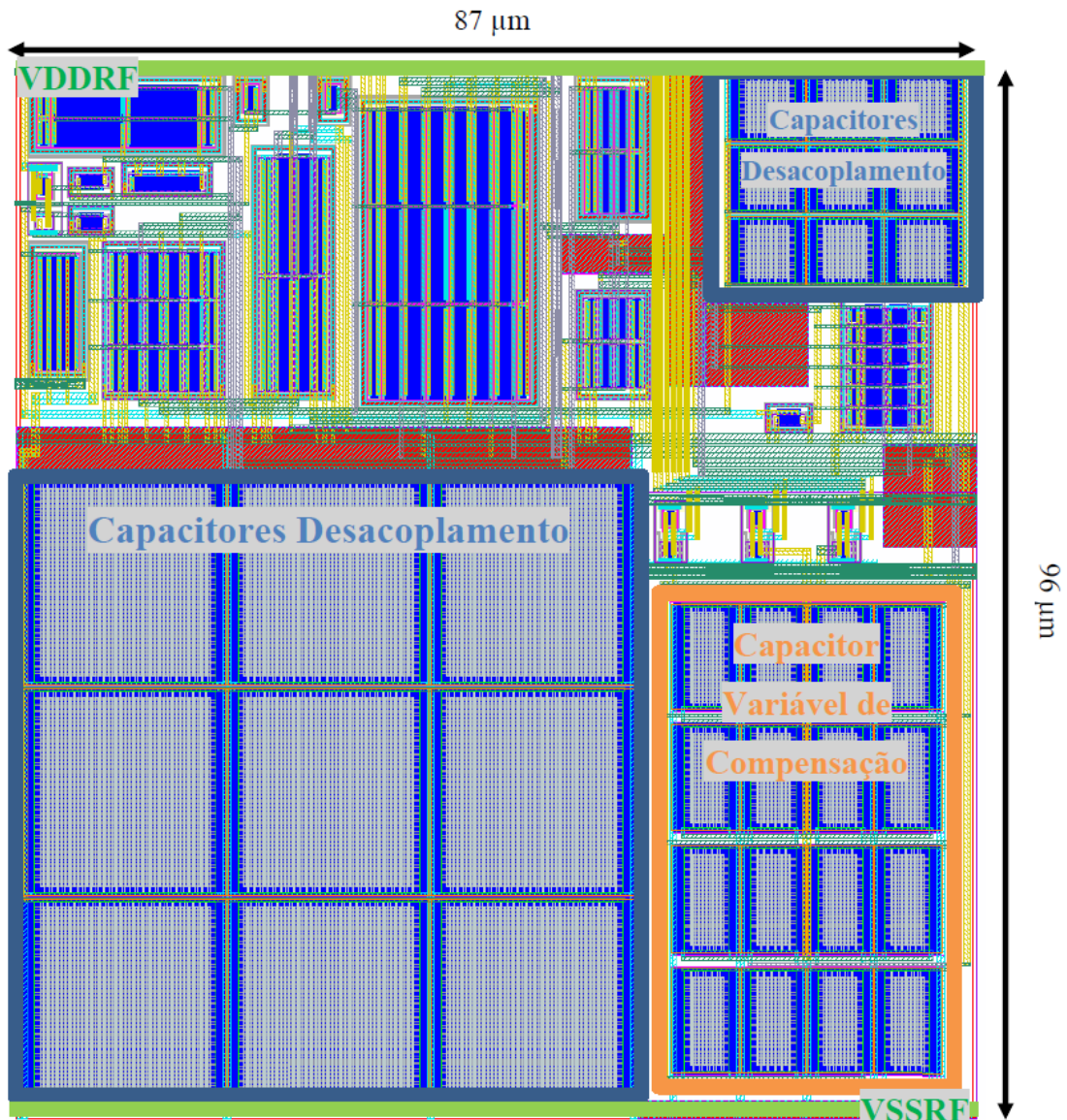


Figura 19 - *Layout* do amplificador operacional do PGA

Fonte: Autor.

No *layout* do amplificador operacional do PGA, mostrado na Figura 19, a grande maioria dos casamentos de transistores está localizada na parte superior. No canto inferior direito estão os capacitores de compensação selecionáveis de acordo com o ganho do PGA enquanto no canto

inferior esquerdo e superior direito estão os capacitores adicionados a fim de reduzir o acoplamento de ruído da alimentação na saída do circuito.

Uma trilha de alimentação de 1,2 μm de largura, suficiente para três vias em paralelo, destacada em verde na Figura 19, atravessa o operacional na sua parte superior e uma trilha de terra o atravessa na parte inferior, possuindo mesma largura e também destacada na Figura 19. Como os transistores estão todos na parte superior, também foi necessário criar trilhas de terra próximos a esses casamentos a fim de polarizar aqueles realizados com NMOS e realizar suas conexões.

A matriz de capacitores de compensação é composta por dezesseis dispositivos agrupados de quatro em quatro, uma vez que cada passo da sua seleção adiciona quatro capacitores na compensação do circuito. Eles estão casados com simetria radial, isso implica que os grupos de quatro não são vizinhos entre eles, porém mantêm seu centro comum concêntricos, assim como é feito nos casamentos dos transistores. Há três chaves complementares para ligar mais ou menos capacitores em paralelo logo acima da matriz. Os capacitores MOM possuem poço N isolado e aterrado debaixo dos dispositivos para imunidade de ruído.

Os capacitores de filtragem de ruído ocupam uma área grande do circuito final do amplificador operacional, porém não muito expressiva perto da área completa do canal e colaboram para atingir uma razão de aspecto melhor do bloco.

Seu tamanho é de 87 μm de largura por 96 μm de altura.

2.8.2 CIRCUITO DE *FEEDBACK* DO PGA

O circuito de realimentação e definição do ganho é apenas um *array* resistivo no formato “X P O N D M C L A K B J E I H G F X”, onde X denota dispositivos *dummies* e a ordem alfabética a ordem dos resistores de V_{ref} a V_{out} , como pode ser notado desse arranjo, estes dispositivos estão ordenados de maneira quase *commom centroid*, com o centro de simetria deslocado ora para a direita, ora para a esquerda na relação entre os resistores. Como o centro de simetria dos resistores se desloca de acordo com a configuração de ganho, incluir *dummies* para tentar igualá-los não era trivial, de maneira que o arranjo tal qual mostrado, onde há uma variação pequena dos centros foi escolhido. As chaves de seleção estão no canto esquerdo do *layout*. Essas chaves de seleção são formadas apenas por transistores NMOS no primeiro estágio e por chaves complementares de dupla porta (NMOS/PMOS) no segundo estágio.

Na Figura 20 há o *layout* da rede de realimentação do primeiro estágio, e na Figura 21 está a rede de realimentação do segundo estágio. Os resistores de silício policristalino são indicados pela máscara azul. É possível notar a diferença nas chaves de seleção do primeiro e segundo estágio, formadas apenas por transistores NMOS, ou duplas NMOS/PMOS, respectivamente.

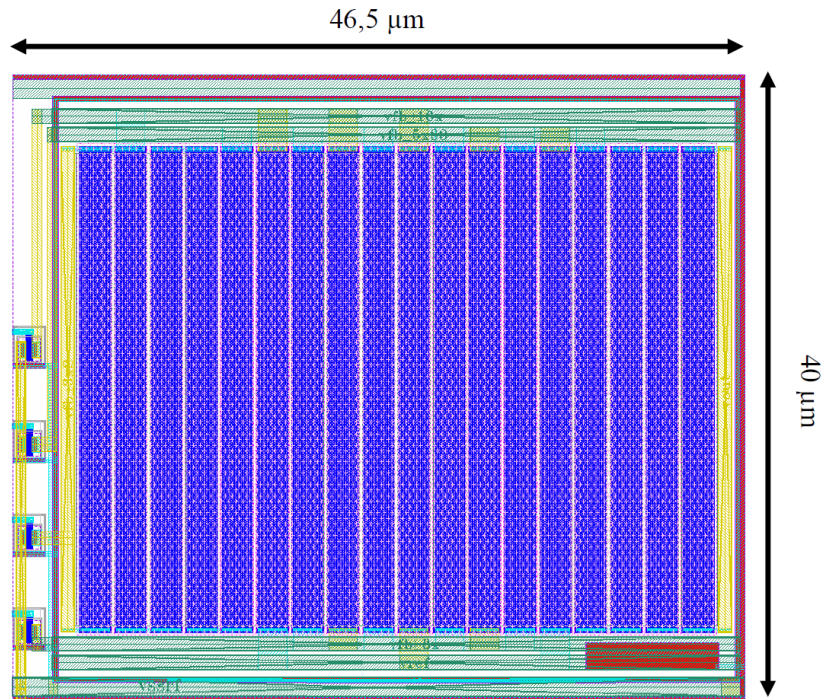


Figura 20 - *Layout* do circuito de realimentação do primeiro estágio

Fonte: Autor.

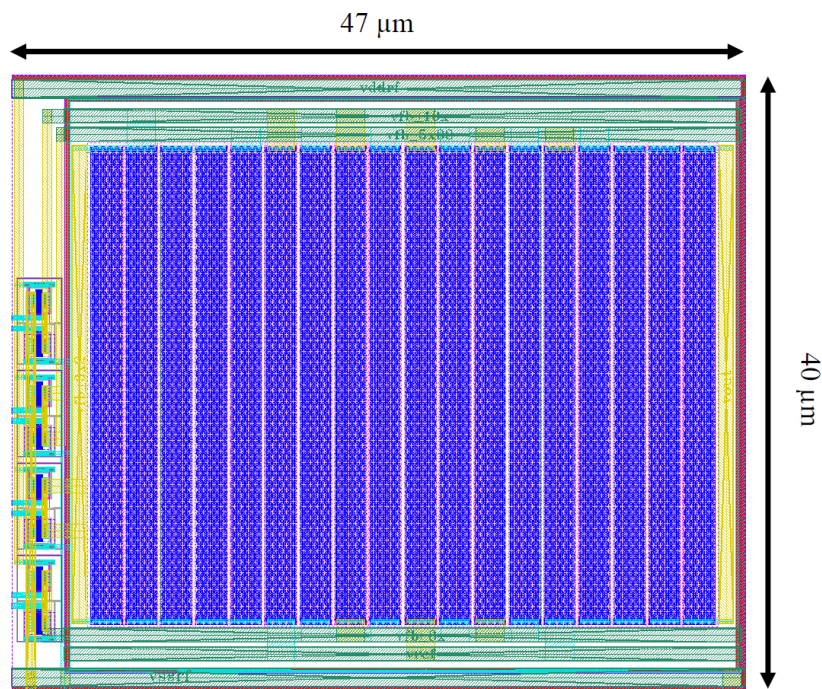


Figura 21 - *Layout* do circuito de realimentação do segundo estágio

Fonte: Autor.

2.8.3 DECODIFICADOR DO PGA

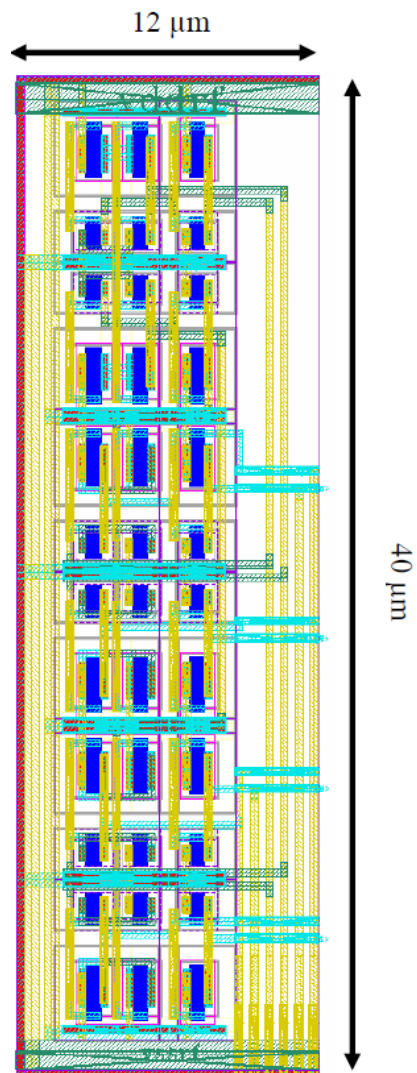


Figura 22 - *Layout* do decodificador de códigos de ganho

Fonte: Autor.

O decodificador usado para transformar código binário de três *bits* de seleção de ganho para os códigos usados para selecionar a correta rede de realimentação e o respectivo capacitor de compensação foi feita a mão por se tratar de um circuito digital simples e que opera em 2,7 V.

Como as *standard cells* desta tecnologia só estão disponíveis para 1,2 V, portas lógicas customizadas para 2,7 V foram desenvolvidas e usadas nesse desenho.

O *layout* do decodificador foi pensado conjuntamente com o *layout* do circuito de realimentação de modo que, se posicionados lado a lado, os pinos de entrada e saída estão alinhados. Por essa razão que esse bloco possui essa razão de aspecto alongada de 40 μm de altura, como mostrado na Figura 22.

2.8.4 CORE DO PGA

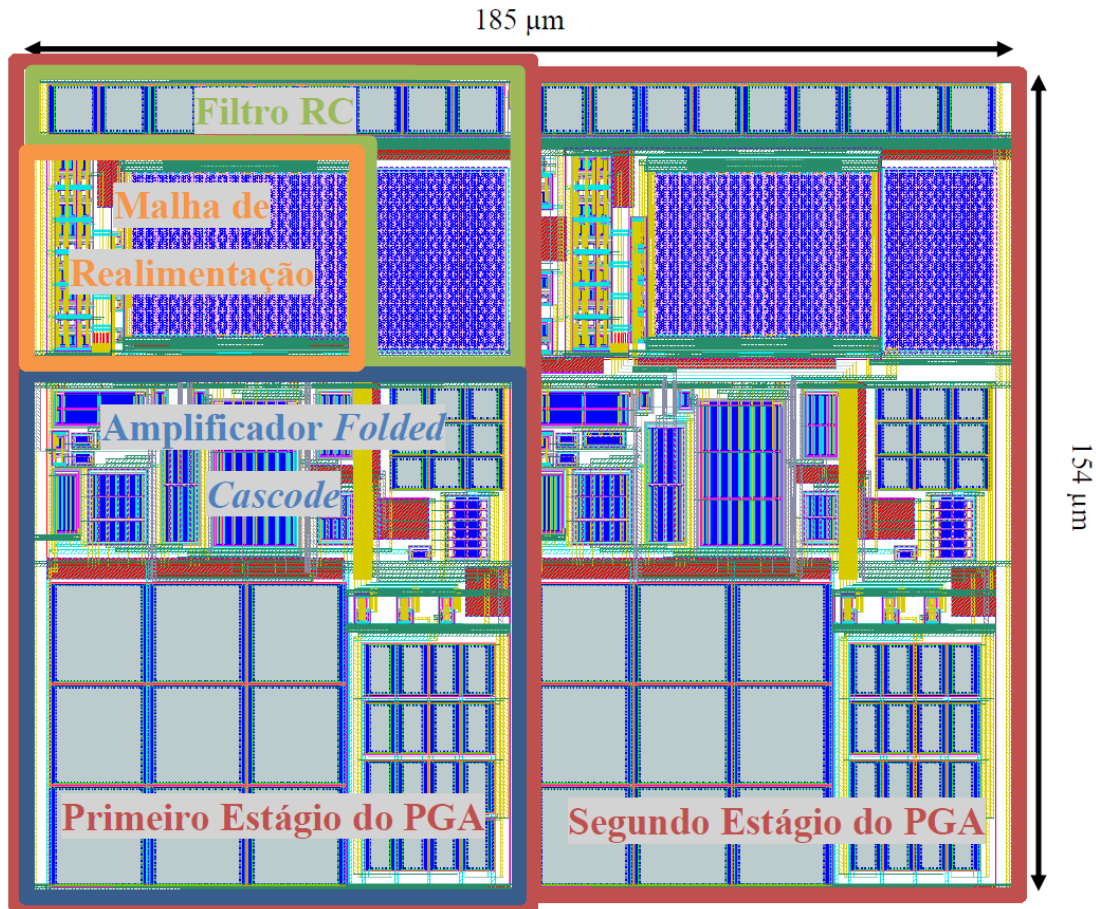


Figura 23 - *Layout* do amplificador de ganho programável sem auto-zero

Fonte: Autor.

No *core* do amplificador de ganho programável estão ambos os amplificadores operacionais junto com a rede resistiva de realimentação e ajuste de ganho. O esquemático foi apresentado anteriormente na Figura 7, enquanto que seu *layout* é mostrado na Figura 23.

O *layout* é quase simétrico para o primeiro e o segundo estágio, com o amplificador operacional na parte inferior e a rede de realimentação com o decodificador de cada estágio na parte superior. O primeiro estágio está na esquerda e o segundo na direita, entre as redes de realimentação está a parte lógica responsável pela habilitação de um ou de ambos os estágios.

Adicionalmente filtros passa-baixas de primeira ordem foram adicionados para melhorar a resposta em frequência e a rejeição a ruído na saída de cada estágio. Eles estão localizados em volta da rede de realimentação de cada estágio, com o resistor ao lado da rede de realimentação configurável e o capacitor composto pela associação dos dispositivos na parte superior.

Há também a lógica de controle para ativação ou não do segundo estágio dependendo do *bit* mais significativo do ganho, e a chave complementar que é usada como *bypass* desse estágio nos casos em que ele está desabilitado.

Seu tamanho total é de 185 μm de largura por 154 μm de altura.

2.8.5 COMPARADOR DO AUTO-ZERO

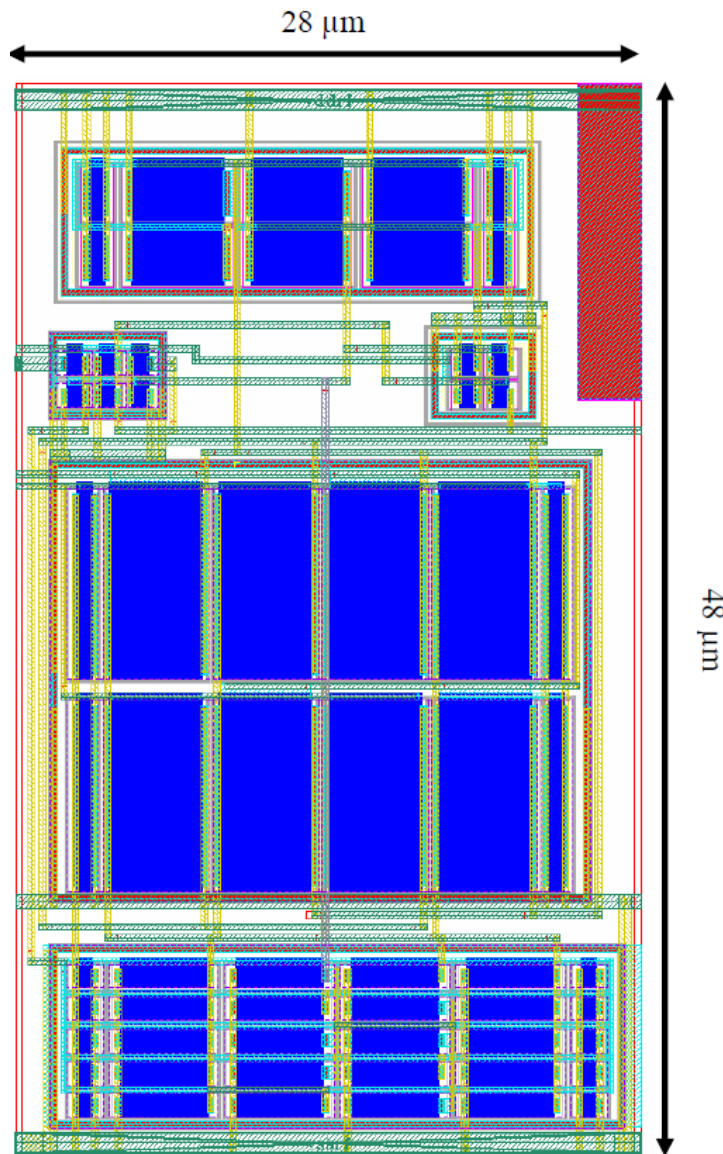


Figura 24 - *Layout* do comparador

Fonte: Autor.

O *layout* do comparador possui poucos casamentos, no entanto o casamento do par diferencial de entrada fica bem evidenciado, uma vez que ele é o maior de todos para garantir um baixo *offset* do bloco. A Figura 24 apresenta seu *layout*, de 48 μm por 28 μm .

2.8.6 CONVERSOR DIGITAL ANALÓGICO

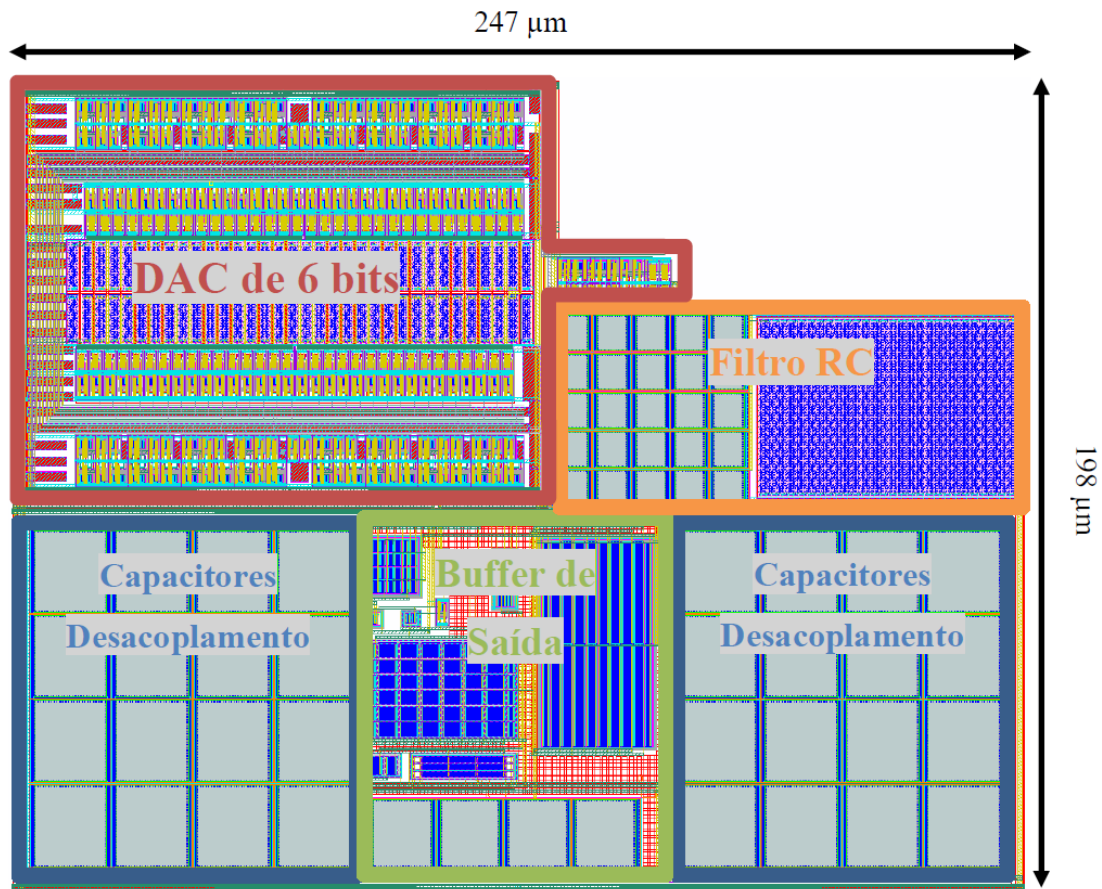


Figura 25 - *Layout* do conversor digital para analógico de 6 bits

Fonte: Autor.

O *layout* do conversor digital para analógico não é um quadrado completo, foi deixado algum espaço propositalmente para ser preenchido no topo do PGA, como mostrado na Figura 25.

A matriz de resistores e o circuito seletor está no topo a esquerda do *layout*. Ela é composta por 64 elementos que estão no centro do DAC de 6 bits, ao seu redor, chaves de dupla porta NMOS/PMOS são usadas para selecionar qual ponto de tensão o código de entrada corresponde. A lógica de seleção está construída ao redor com portas lógicas básicas construídas com transistores de 3,3 V.

O amplificador operacional *buffer* de saída está na parte de baixo desse *layout*, com os capacitores adicionados para minimizar o acoplamento de ruído da alimentação colocados ao redor. Esses capacitores ocupam grande parte da área do conversor.

O filtro passa-baixas de primeira ordem para filtrar ruído e aumentar a rejeição a ruídos da alimentação também está incluindo no canto superior direito do *layout*.

2.8.7 ALGORITMO SAR PARA AUTO-ZERO

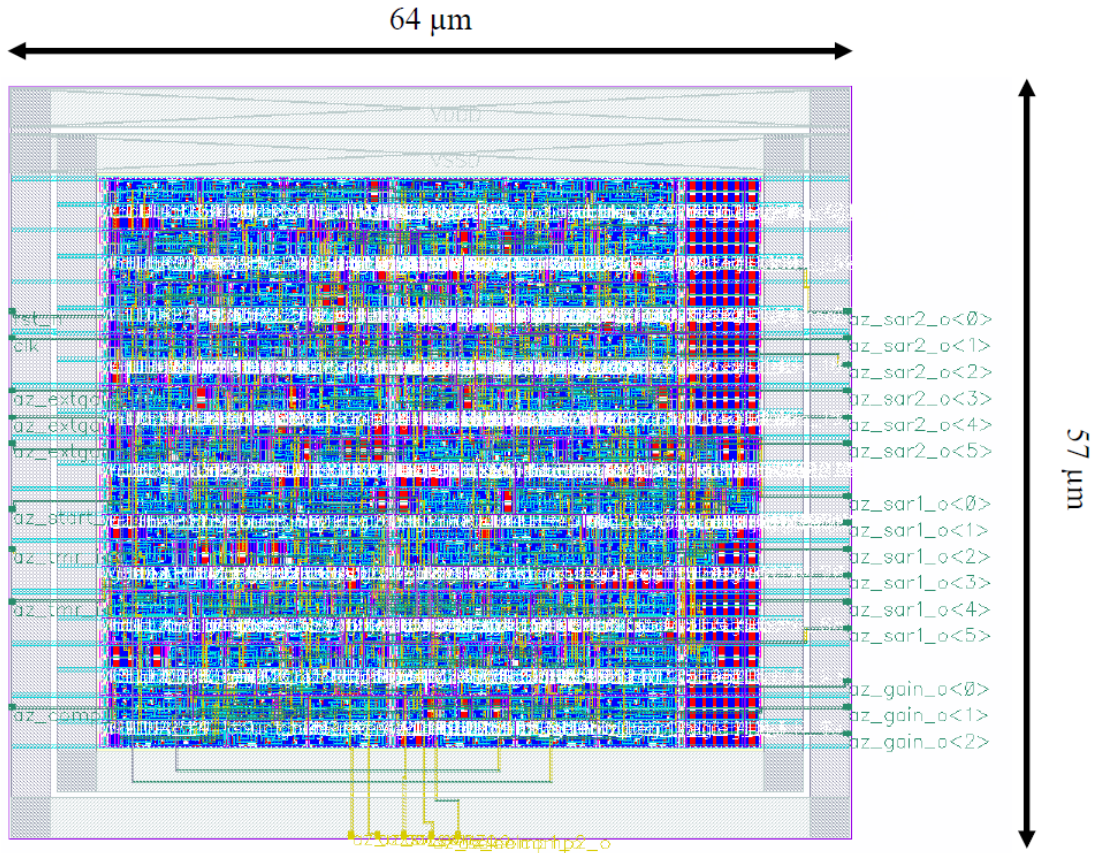


Figura 26 - *Layout* do algoritmo de controle do auto-zero

Fonte: Autor.

O algoritmo SAR otimizado para o auto-zero foi sintetizado a partir de um arquivo Verilog e o *layout* gerado através do fluxo digital com as ferramentas da Cadence. Ao final, o *layout* foi importado para a ferramenta Virtuoso, onde ele foi integrado ao restante do circuito com ferramentas analógicas.

Como o algoritmo SAR foi elaborado com *standard cells* ele trabalha a 1,2 V e, portanto, todas os sinais de interface desse bloco com o restante do amplificador de ganho programável necessitam de conversores de nível lógico de 1,2 V para 2,7 V e vice-versa.

Como essa é uma característica recorrente nesse projeto, já havia blocos prontos para fazer essa conversão no projeto.

A Figura 26 mostra o *layout* sintetizado do bloco SAR. Largas trilhas de alimentação e terra foram colocadas no entorno do bloco para evitar problemas de *IR drop*, isto é, quedas de tensão no roteamento das trilhas de potência.

2.8.8 PGA COM AUTO-ZERO

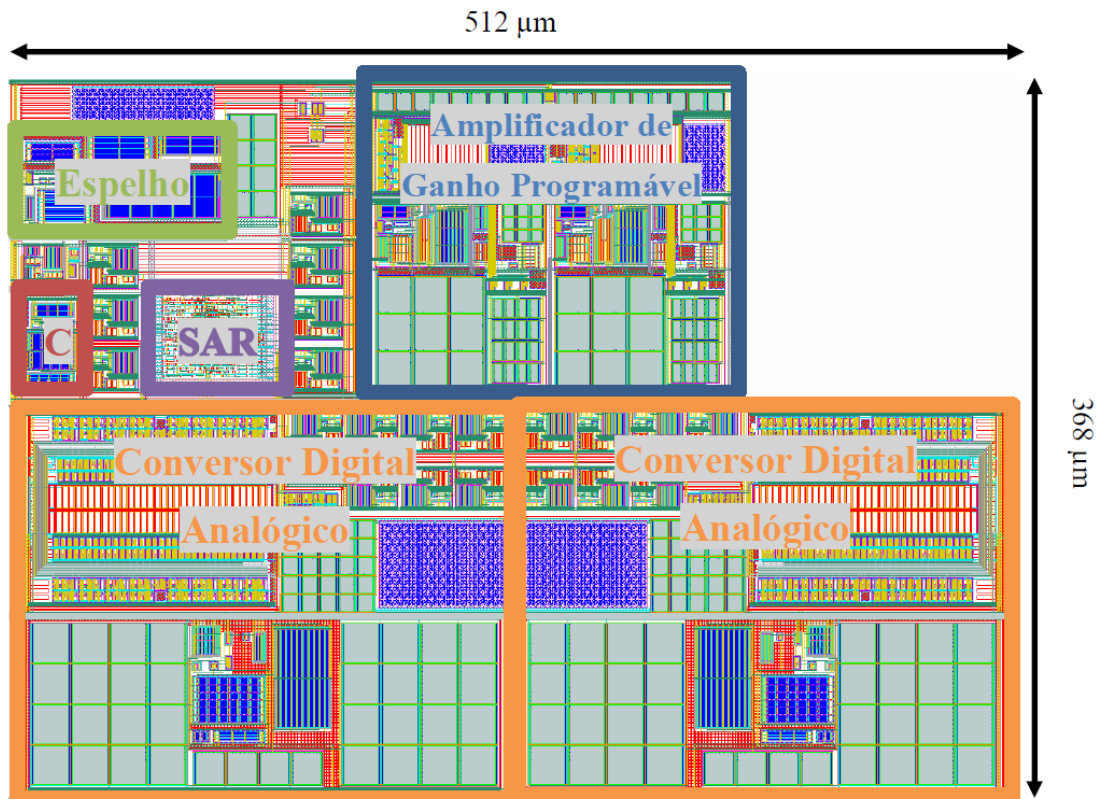


Figura 27 - *Layout* do amplificador de ganho programável completo

Fonte: Autor.

O *layout* do amplificador de ganho programável incluindo o auto-zero e demais circuitos auxiliares está na Figura 27. O *core* do amplificador de ganho programável está no centro ao topo, os conversores digital para analógico na parte inferior, e entre os mesmos estão alguns circuitos de *level shifter*, que levam tensões de 1,2 V a 2,7 V e vice-versa. No canto superior esquerdo estão o espelho de corrente, identificado em verde apenas como “Espelho”, o circuito RC de isolamento da tensão de referência ao seu redor, o comparador, identificado em vermelho apenas como “C”, e a lógica de controle do auto-zero, identificada em lilás como “SAR”.

O tamanho do bloco do amplificador de ganho programável completo com todos os componentes do auto-zero é de 512 μm de comprimento por 368 μm de altura. Sua área total é de 0,1656 mm^2 , excluindo a área não ocupada no canto superior direito.

Como o bloco todo PGA contém dois estágios amplificadores de tensão, dois conversores analógico para digital e um comparador que precisam ser polarizados, um circuito simples de

cópia de correntes de polarização foi adicionado para, a partir de uma única corrente de polarização ser possível a polarização de todos os blocos internos.

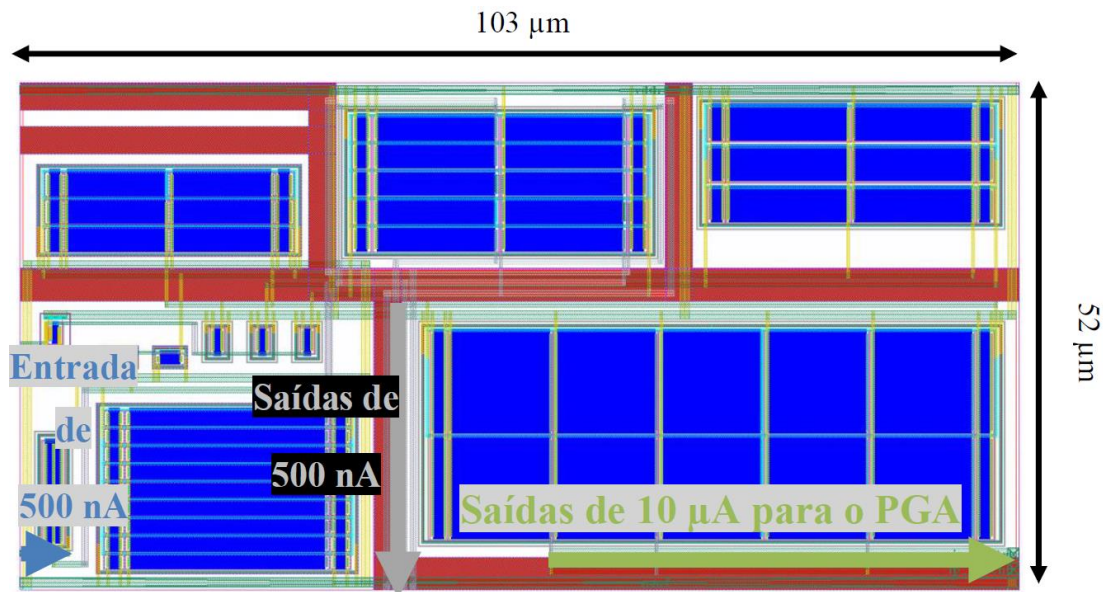


Figura 28 - *Layout* do espelho de corrente

Fonte: Autor.

Os transistores dos espelhos de corrente possuem comprimento de canal maior para garantir uma cópia fiel da corrente de polarização a todos os circuitos, como mostrado na Figura 28.

Esse espelho de corrente recebe uma corrente de 500 nA e copia ela 4 vezes, além de gerar duas correntes de 10 μ A usadas para polarizar os estágios amplificadores do PGA. O esquemático desse circuito foi apresentado anteriormente na Figura 17.

Os conversores digitais para analógico ocupam grande parte do bloco completo, especialmente por serem utilizados duas vezes, para gerar as tensões de correção de modo comum para o primeiro e segundo estágios do PGA.

Os circuitos *level shifter* utilizam transistores resistentes a 3,3 V em um circuito *latch* que realiza a mudança de nível. Por essa razão eles possuem um tamanho relativamente grande quando comparados com o bloco de lógica digital.

Nas áreas onde não há construção de dispositivos no substrato do *chip*, contatos foram adicionados seguindo as recomendações e regras do processo. Eles colaboram, por exemplo, para a melhora da imunidade a *latch-up* do circuito integrado.

2.8.9 CANAL DE DEMODULAÇÃO DE CARGA

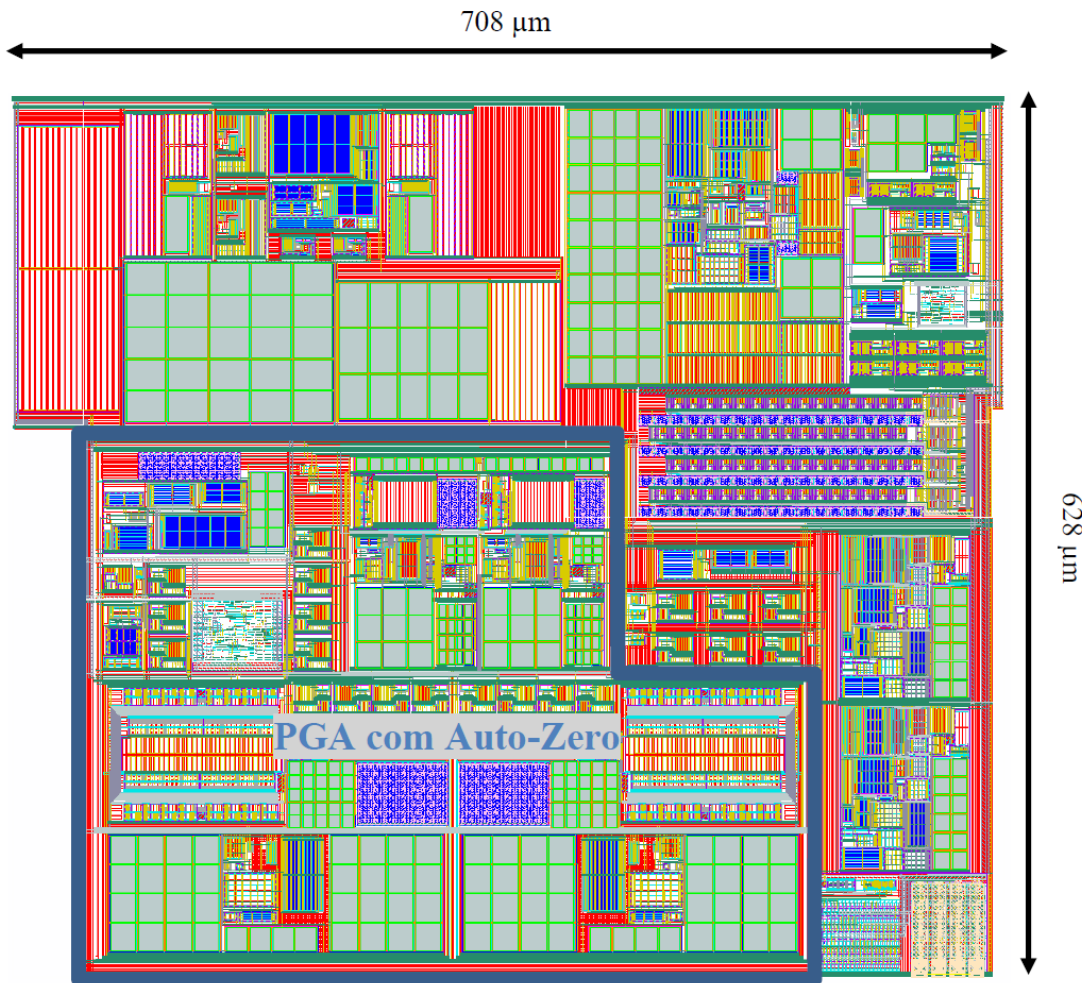


Figura 29 - *Layout* do canal de demodulação completo

Fonte: Autor.

O canal completo de demodulação de carga contém o PGA, no canto inferior esquerdo, o detector de envoltória no topo, e o conversor analógico para digital à direita. Também há um circuito que é capaz de emular uma modulação de carga no canto inferior direito usado quando o leitor está em modo de emulação de cartão.

O *layout* completo do canal de demodulação de carga é quase um quadrado perfeito, como mostrado na Figura 29.

O *layout* do ASIC leitor de NFC com destaque para a localização do PGA é apresentado na Figura 30. O circuito integrado é um quadrado de 3,3 mm de lado, do qual apenas 1,5% aproximadamente é ocupado pelo circuito PGA com sistema de auto-zero desenvolvido.

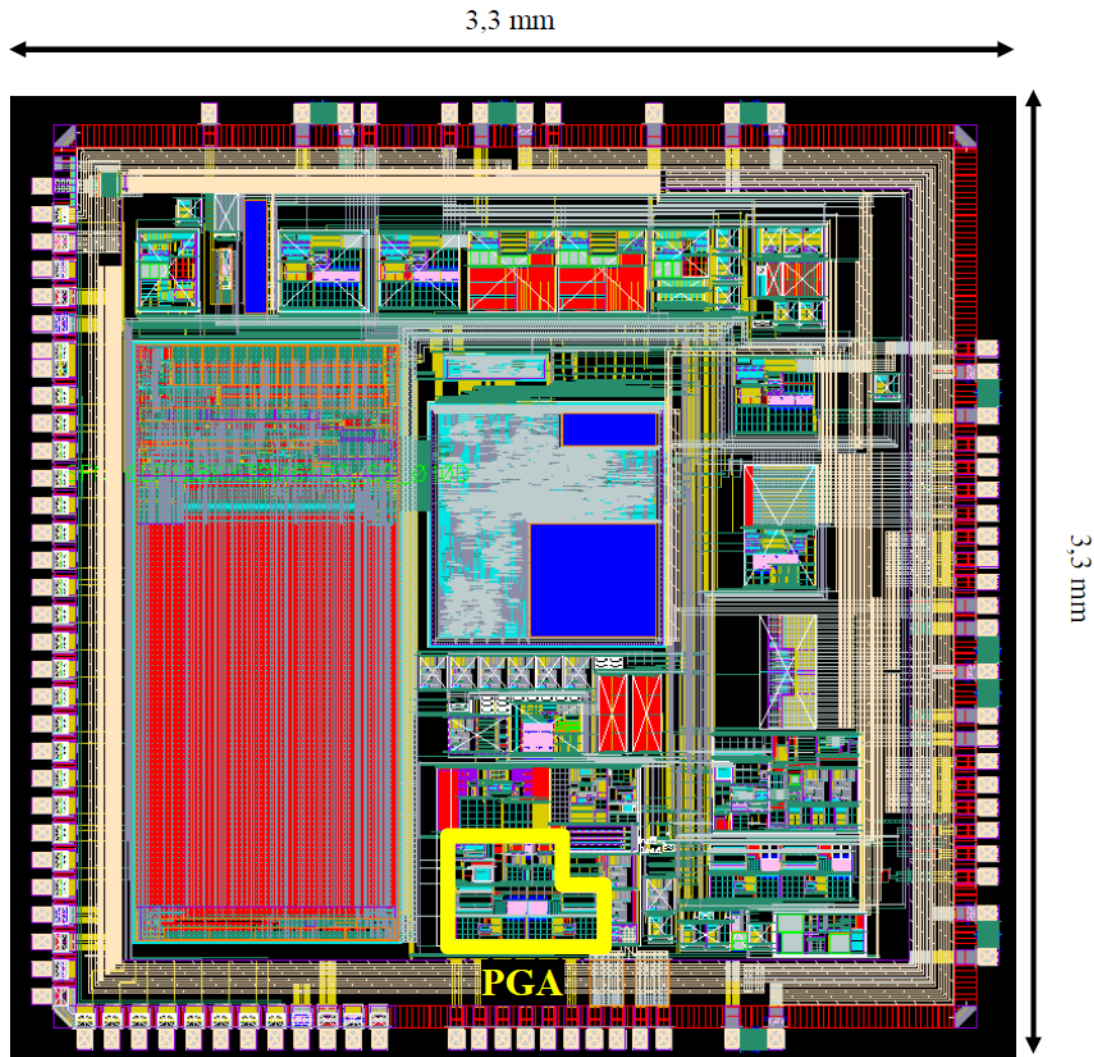


Figura 30 - *Layout* de topo do *chip* leitor NFC

Fonte: Autor.

2.9. SIMULAÇÕES PARA PRODUÇÃO EM ESCALA

A fim de garantir uma alta confiabilidade dos *chips* e sua correta operação, o circuito foi extensamente simulado em diversos *corners* de processo, temperatura e polarização, com os blocos vinculados, seja para polarização, carga ou de entrada, e considerando os parasitas extraídos de seus *layouts*.

Todas as simulações foram realizadas no ambiente das ferramentas Cadence de auxílio no projeto de circuitos integrados e usa como simulador de circuitos a ferramenta Spectre.

2.9.1 ANÁLISE ENVOLVENDO PONTOS EXTREMOS DE PVT (*CORNERS*)

Para modelar as possíveis variações de processo em uma fábrica de circuitos integrados (*foundry*) o conceito de *corners* foi criado. Os *corners* são as combinações de diferentes variações de processo que resultam em dispositivos com características ligeiramente distintas. A *foundry*, no caso em questão a TSMC, disponibiliza arquivos de simulação para essas variações e, a fim de garantir que grande parte dos circuitos integrados fabricados estejam dentro dos requisitos mínimos de funcionamento, simulações de *corners* são realizadas.

Os *corners* de processo utilizados para a tecnologia 90 nm da TSMC são SS, todos os dispositivos em *slow*, FF, todos os dispositivos em *fast*, TT, todos os dispositivos em *typical*, FS, transistores em *fastslow*, *fast* para transistores N e *slow* para transistores P, e demais dispositivos em *typical* e SF, transistores em *slowfast*, *slow* para transistores N e *fast* para transistores P, e demais dispositivos em *typical*.

Os extremos da faixa de operação de temperatura utilizada nas simulações são -40 °C e 100 °C, considerando a temperatura ambiente média de 27 °C.

As tensões e correntes de saída do circuito *bandgap* incluído no *chip* pode variar 5% para mais ou para menos de seus valores nominais. As saídas desse circuito são muito importantes pois elas que são espelhadas para a geração das tensões de alimentação e referência e das correntes de polarização de todo o *chip*. Foi considerado no máximo uma variação de $\pm 5\%$ pois há um ajuste prévio de cada amostra via *trimming* na versão de produção.

Portanto, para garantir maior robustez do funcionamento do projeto, os circuitos foram simulados com a vista extraída do *layout*, considerando as parasitas, em cinco diferentes *corners* de processo, em três condições de temperatura de operação, máxima, mínima e típica, também em três correntes de polarização e três valores de tensão de alimentação. No total para cada simulação ao menos 135 ($5 \times 3 \times 3 \times 3$) *corners* foram realizadas.

No *testbench* utilizado para fazer as simulações de desempenho do PGA, mostrado resumidamente na Figura 31, foram incluídos os reguladores de tensão internos do *chip*, da tensão de alimentação e das tensões de referência junto com os buffers de tensão, assim como o circuito detector de envoltória como fonte e o *buffer* para o ADC como carga. Adicionalmente, ainda foram considerados os circuitos multiplexadores para abrir as entradas e fazer testes separados e o multiplexador de testes onde serão conectados as saídas do PGA, assim como implementado na versão final do CI. Durante essas simulações foi suposto que o auto-zero foi executado com êxito e os DACs das referências estão nos valores ótimos que

minimizam o erro na saída que, considerando o caso típico sem desequilíbrios entre os dispositivos, fica na metade da tensão de alimentação. Nesse *testbench* não foi adicionado a lógica digital de SAR do auto-zero.

Na parte superior esquerda da Figura 31 está um grupo de circuitos denominado *Power Management*, que são responsáveis por gerar as tensões de alimentação e de referências para o *testbench*. O regulador da tensão de alimentação de 2,7 V, localizado na parte superior do grupo *Power Management*, possui um capacitor externo de 2,2 μF para sua estabilidade. Abaixo do regulador de tensão há um outro regulador que é utilizado para alimentar um divisor resistivo que gera as tensões de referência para os blocos, 1,6 V, 1,35 V e 1,1 V. Esses reguladores utilizam como entrada uma tensão de *bandgap* que controla a variação das suas tensões de saída e é modelado por fontes ideais de tensão e corrente no *testbench* completo.

A tensão de *bandgap* usada pelos reguladores de tensão no *testbench* é gerada por uma fonte ideal e foi considerada uma variação de $\pm 5\%$ de seu valor nominal nas simulações. Nas correntes de polarização a variação considerada foi maior, de $\pm 10\%$ para avaliar o desempenho do circuito em situações possivelmente piores que as reais.

Além do grupo de *Power Management*, o *testbench* inclui parte do canal de demodulação de carga composto pelo detector de envelope, o *core* do amplificador de ganho programável e o *buffer* de entrada do conversor analógico para digital. Também estão incluídos os dois conversores digital para analógico que definem a tensão de modo comum do PGA, o espelho de corrente que recebe uma corrente de referência do *bandgap*, modelado por uma fonte ideal e a espelha para ambos amplificadores do PGA, os conversores digital para analógico e para o comparador, além dos circuitos multiplexadores na entrada e saída do PGA, usados no modo de teste do *chip*, e o comparador e um *multiplexer* (MUX) analógico ligados como carga adicional do circuito alvo dos testes.

Os códigos dos conversores digital para analógico são gerados por fontes ideais e, como não há *offset* inerente no circuito, estão fixos na metade da escala com uma tensão de saída de 1,35 V.

Os *bits* de controle de ganho também são gerados por fontes ideais e são parâmetros de variação nas simulações realizadas.

Os circuitos MUX de entrada estão configuradas, na maior parte das simulações, para manter o canal de demodulação em funcionamento, ou seja, com a saída do detector de envelope

ligado ao PGA e a saída do PGA ligada ao ADC. Apenas em algumas simulações, como a de velocidade de resposta do PGA, em que um sinal específico de entrada é colocado diretamente no PGA, há alteração nessa configuração.

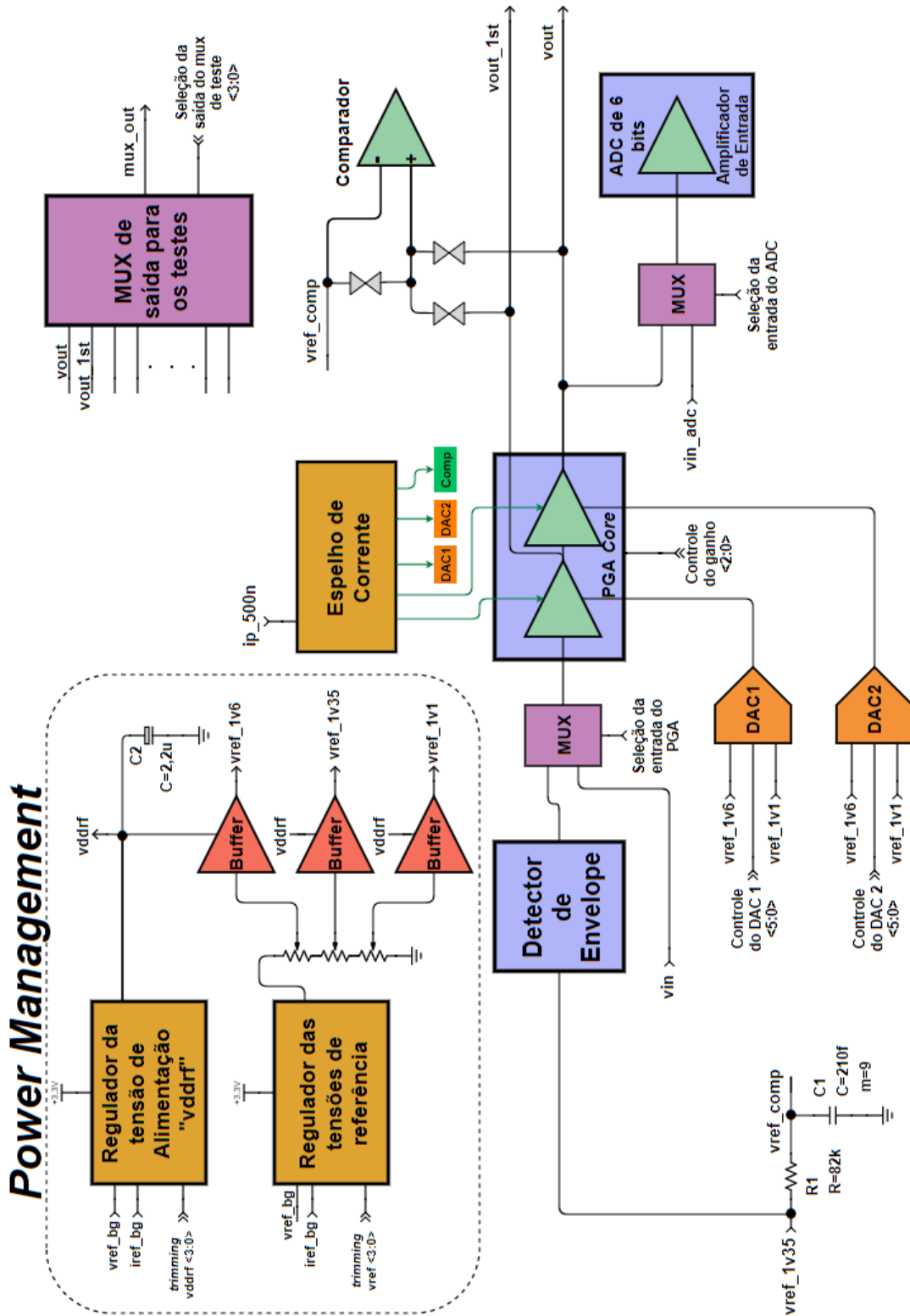


Figura 31 - Testbench utilizado para as simulações do PGA

Fonte: Autor.

2.9.2 PONTO DE OPERAÇÃO – DC

Nas primeiras simulações o circuito é verificado quanto a sua polarização, averiguando se os transistores estão operando de forma correta e em regiões bem definidas.

Para essa simulação o amplificador do PGA foi testado em três diferentes condições de polarização com três diferentes tensões de alimentação e os cinco corners de fabricação, totalizando 135 pontos de polarização diferentes. Os resultados estão resumidos na Tabela 8.

Tabela 8 - Ponto de operação DC do circuito PGA
(modo comum e tensão de referência em 1,35V)

<i>Parâmetro observado</i>	<i>Mínimo</i>	<i>Máximo</i>	<i>Especificação</i>
V _{OV_NMIRROR}	76 mV	132 mV	> 50 mV
V _{Sat_TAIL}	294 mV	436 mV	> 100 mV
V _{OV_PMIRROR}	-195 mV	-133 mV	< -50 mV
V _{Sat_PMIRROR}	-368 mV	-264 mV	< -100 mV
V _{OV_PCASC}	-140 mV	-90 mV	< -50 mV
V _{Sat_PCASC}	-1,32 V	- 921 mV	< -100 mV
V _{OV_NCASC}	34 mV	76 mV	> 50 mV
V _{Sat_NCASC}	83 mV	631 mV	> 100 mV
V _{OV_NOUT}	271 mV	452 mV	> 50 mV
V _{Sat_NOUT}	130 mV	255 mV	> 100 mV
V _{OV_NDIFF}	30 mV	61 mV	> 50 mV
V _{Sat_NDIFF}	1,33 V	1,94 V	> 100 mV

Fonte: Autor.

Todos os principais transistores do circuito foram verificados, denotados na tabela pela referência dos nós associados por exemplo, V_{OV_NMIRROR} corresponde ao valor da tensão de *overdrive* dos transistores do espelho de entrada constituído de transistores NMOS, V_{Sat_PMIRROR} corresponde a tensão de saturação dos transistores PMOS do espelho de corrente da estrutura *folded cascode*, V_{Sat_NOUT} corresponde a tensão de saturação dos transistores NMOS de saída do primeiro estágio e V_{OV_NDIFF} é a tensão de *overdrive* do par diferencial de entrada.

O amplificador operacional possui todos os transistores bem polarizados, no entanto nem sempre a margem de 50 mV de sobra foi respeitado para os transistores do *cascode* N e do par diferencial de entrada, destacados na Tabela 8. Isso ocorre porque esses transistores possuem alto ganho, implicando em uma tensão de *overdrive* (V_{ov}) mais baixa. Os casos que não atendem as condições de margem de segurança impostas estão assinalados em amarelo na Tabela 8, eles estão apenas um pouco aquém dos limites estabelecidos, o que não implica que esses transistores estão fora da polarização adequada para seu bom funcionamento.

2.9.3 ESTABILIDADE DO AMPLIFICADOR OPERACIONAL

Os testes de estabilidade foram realizados com auxílio da ferramenta de simulação da empresa Cadence, a qual inclui uma fonte de estímulos no laço de realimentação do amplificador operacional, estimulando a entrada e medindo a saída (terminais da fonte). Com isso é possível analisar a resposta em frequência do laço aberto e garantir que a realimentação nunca será positiva.

Os gráficos da Figura 32 mostram os resultados do ganho, na parte superior, e da fase, na parte inferior, dos loops de realimentação para o primeiro e segundo estágios do PGA, respectivamente itens (a) e (b). É possível notar uma grande variação no gráfico de ganho pois nesse gráfico estão os testes para as quatro configurações de ganho possíveis, a variação na fase, no entanto é menor pois o capacitor de compensação do amplificador operacional é ajustado conforme o ganho.

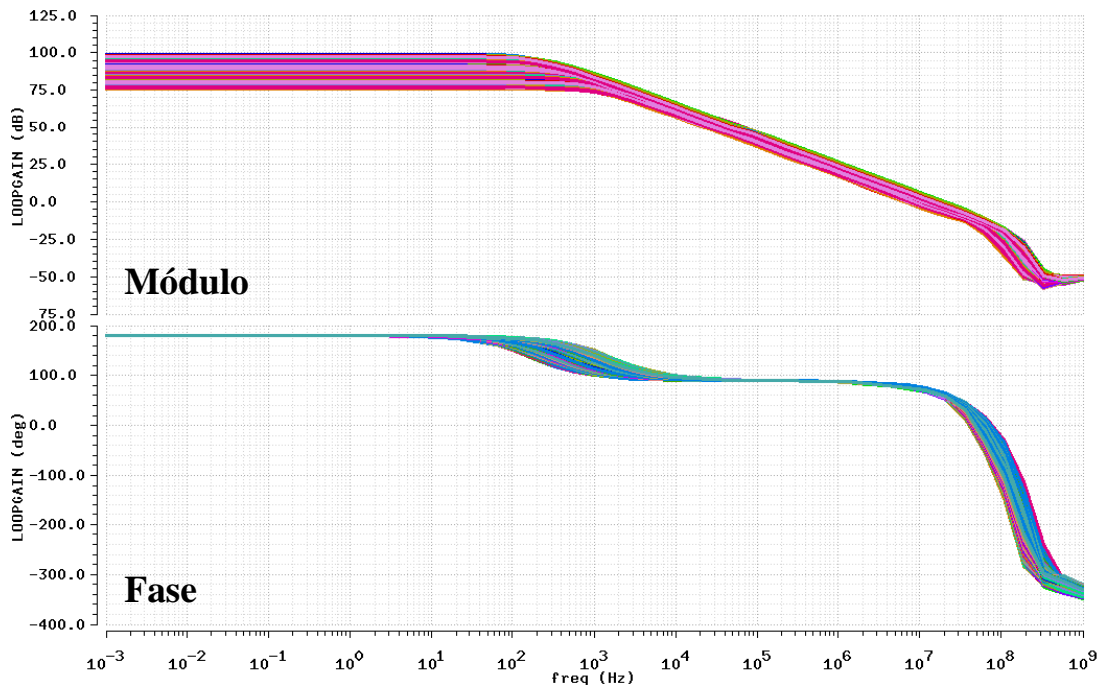
É imprescindível que os dois estágios do amplificador de ganho programável sejam estáveis, com margem de fase maior que 60 graus e margem de ganho maior que 10 dB. Sua estabilidade foi verificada em todos os corners, variações de polarização, todos os ganhos e diferentes temperaturas de operação para cada estágio e os resultados estão resumidos na Tabela 9. Todas as margens de ganho e margens de fase estão dentro das especificações.

Tabela 9 - Margem de ganho e de fase do amplificador operacional dos dois estágios

<i>Parâmetro</i>	<i>Mínimo</i>	<i>Máximo</i>
Margem de fase do primeiro estágio	65,1 °	80,6 °
Margem de ganho do primeiro estágio	12,4 dB	16,6 dB
Margem de fase do segundo estágio	64,7 °	79,3 °
Margem de ganho do segundo estágio	13,0 dB	17,8 dB

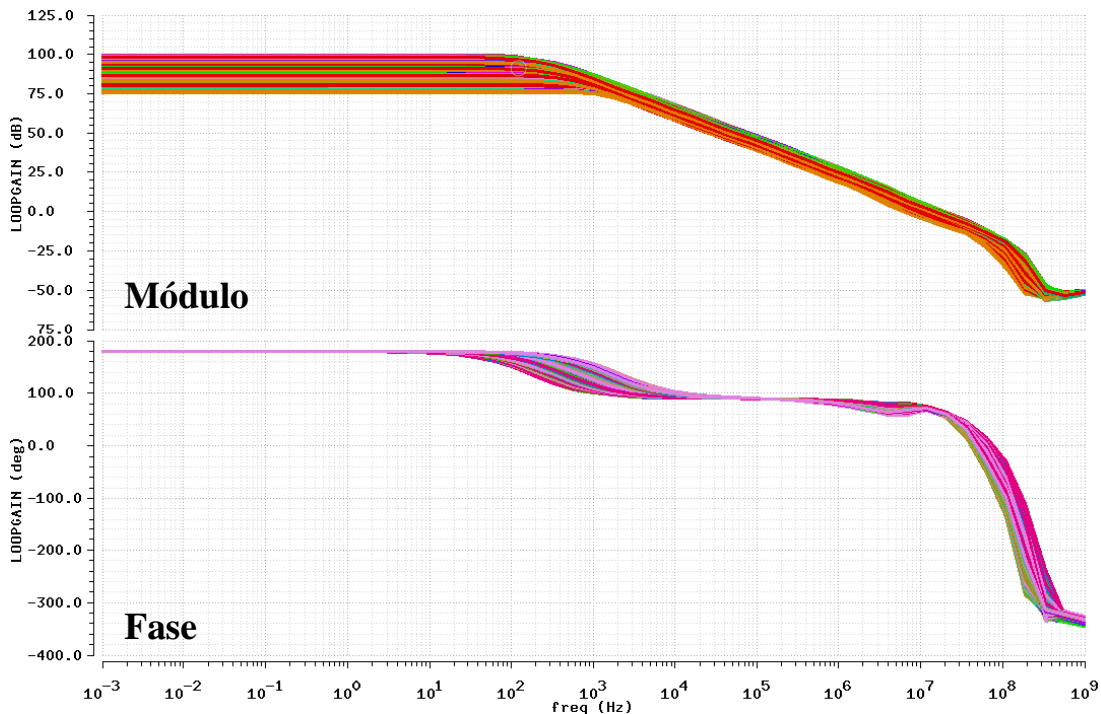
Fonte: Autor.

Ganho em malha aberta do primeiro estágio do PGA



(a) Ganho em malha aberta no primeiro estágio

Ganho em malha aberta do segundo estágio do PGA

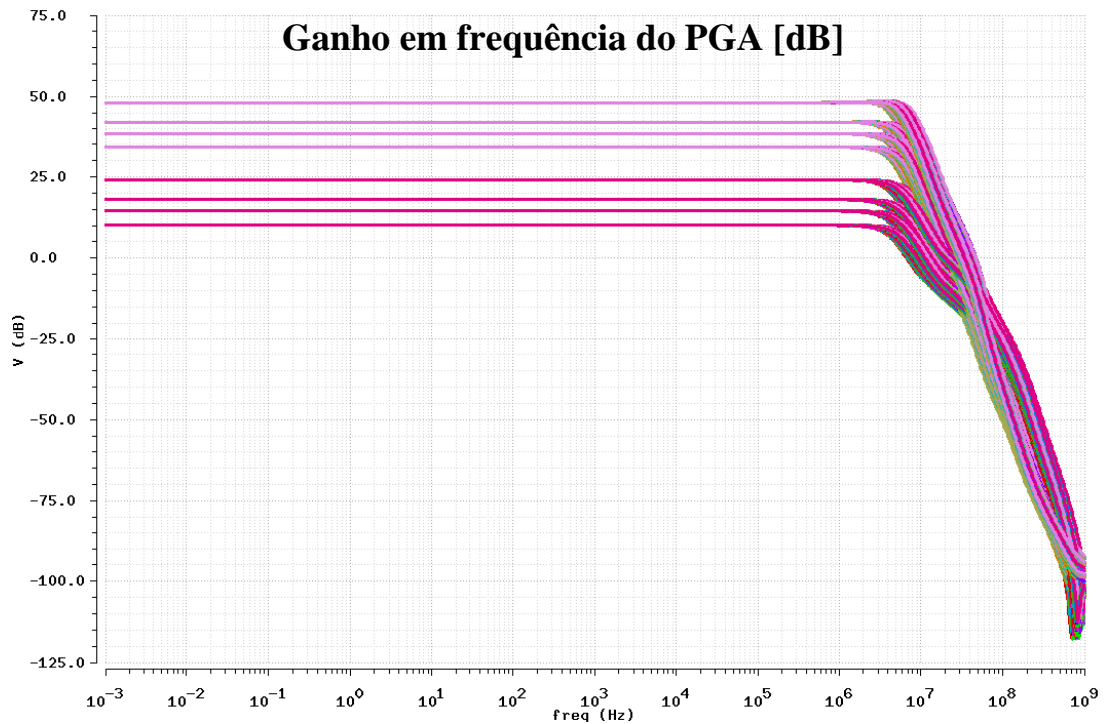


(b) Ganho em malha aberta no segundo estágio

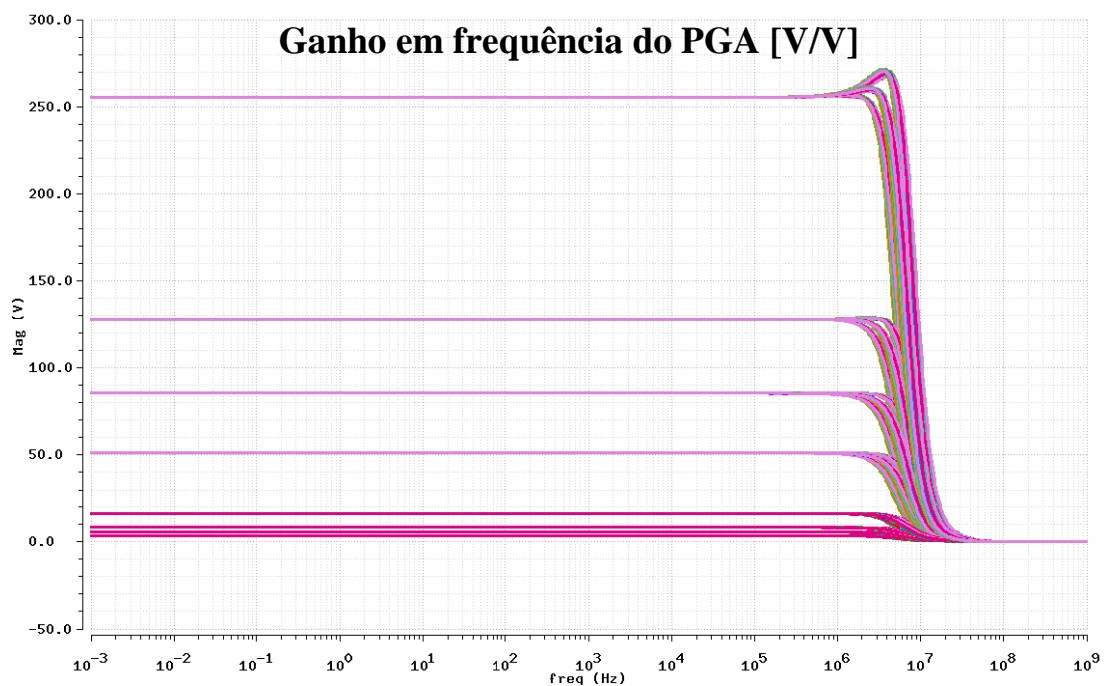
Figura 32 - Resultados das simulações de ganho de malha aberta do PGA

Fonte: Autor.

2.9.4 FAIXA DE OPERAÇÃO



(a) Ganho de tensão em decibéis



(b) Ganho de tensão em valor absoluto

Figura 33 - Resultados da simulações de ganho em malha fechada do PGA

Fonte: Autor.

Assim como para estabilidade, a faixa de passagem foi testada para todos os *corners* de processo, polarizações, ganhos e diferentes temperaturas. Para a simulação de faixa de

operação do amplificador, foi utilizada a análise AC, na qual o circuito é linearizado para pequenos sinais e a resposta a uma fonte de estímulo na entrada é analisada. No *testbench* da Figura 31, essa fonte de estímulo é colocada entre o sinal de saída do detector de envelope e o circuito MUX de entrada.

Todos os gráficos devem mostrar ganhos constantes até a frequência de corte de 2 MHz proposta, uma vez que o sinal portador de informação que passará pelo PGA é de 848 kHz.

Os resultados da simulação de ganho de tensão em função da frequência do PGA são mostrados na Figura 33 e confirmam que a faixa de passagem do circuito é maior que 2 MHz. O pior resultado de frequência de corte de 3 dB obtido foi 4 MHz.

O comportamento do PGA para diferentes frequências também fica evidenciado nesses gráficos. Para os valores menores de ganho, como 3,2 V/V (10 dB), 5,33 V/V (14,5 dB), 8 V/V (18 dB) e 16 V/V (24 dB), somente um estágio do PGA está ligado, com um filtro passa baixas, o que causa uma queda mais suave do ganho. Já para os maiores valores de ganhos, como 51,2 V/V (34 dB), 85,33 V/V (38,5 dB), 128 V/V (42 dB) e 256 V/V (48 dB), ambos os estágios do PGA estão ligados, causando uma queda mais abrupta do ganho.

Também fica evidente o efeito do uso da compensação diferente em cada um dos ganhos de malha fechada, mostrando uma faixa de passagem praticamente constante nos diferentes ganhos.

2.9.5 VELOCIDADE DE RESPOSTA

Outra simulação realizada visando garantir que o sinal demodulado do detector de envelope conseguirá ser transmitido sem problemas pelo amplificador de ganho programável é a simulação de velocidade de resposta do amplificador ou, como comumente utilizado na área, de *slew-rate*, que mede o quão rápido o circuito consegue realizar transições abruptas de um sinal.

Assim como as simulações anteriores, essa foi realizada considerando variação de processo, condições de polarização, tensão de alimentação, temperatura e configurações de ganho do amplificador, com os parasitas extraídos do *layout* e com o mesmo *testbench* da Figura 31, porém usando uma fonte na entrada externa do MUX anterior ao PGA.

A simulação foi feita a partir de um sinal de onda quadrada através do circuito do PGA com toda sua carga na saída, onde é medido o tempo de subida e descida do sinal de saída. Ao

realizar a divisão desses tempos pela excursão do sinal nesse período se obtêm o *slew-rate*, ou velocidade de resposta, do amplificador.

Como as oito configurações de ganho estão em um único gráfico, a amplitude do sinal de entrada também foi variada para não permitir a saturação do amplificador na saída. Esse fator aliado às variações das tensões de alimentação, que fazem com que haja uma variação do nível médio de saída, causam uma grande diversidade de curvas na Figura 34. No total foram analisadas 1080 curvas diferentes, em que os resultados de velocidade de resposta foram calculados individualmente por curva, usando funções pré-definidas nas próprias ferramentas de projeto da Cadence. Os tempos de subida e descida do sinal de saída foram obtidos e divididos pela excursão do sinal. Foi considerado o intervalo entre 10 e 90% dos níveis alto e baixo do sinal de saída para o cálculo do *slew-rate*.

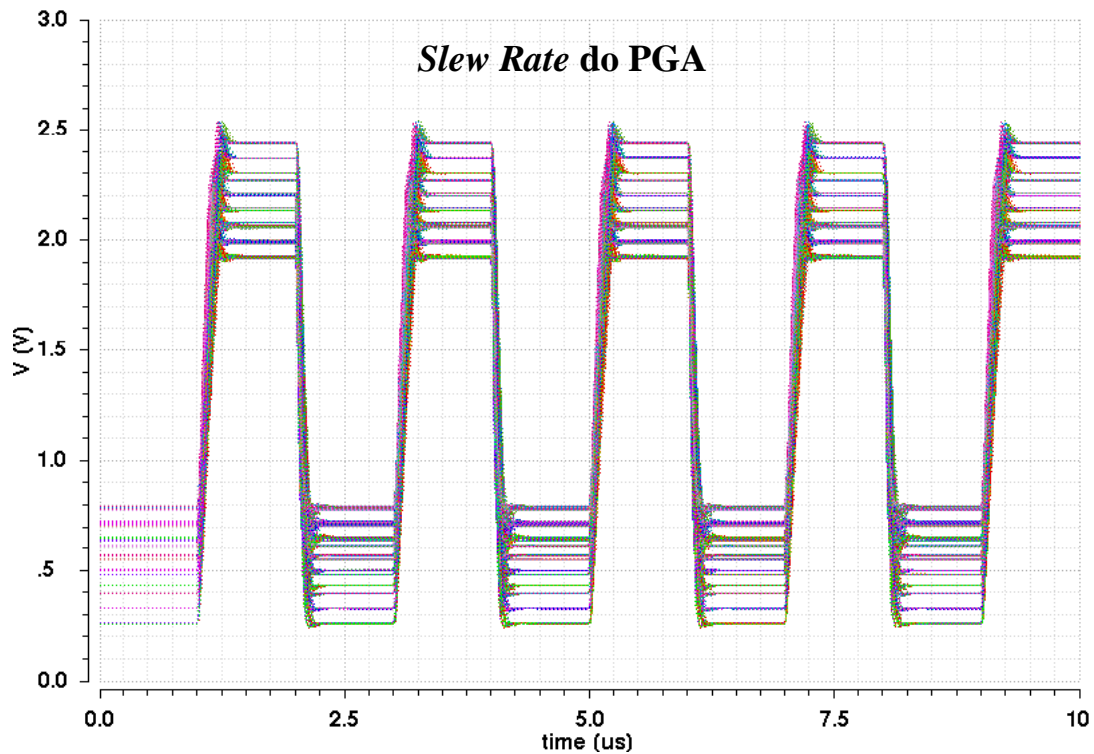


Figura 34 - Resultados da simulação de tempo de resposta do PGA

Fonte: Autor.

A Figura 34 mostra os sinais de saída utilizados para a aferição do *slew-rate* do PGA, os resultados são sempre maiores que $7,5 \text{ V}/\mu\text{s}$ para a subida do sinal de saída e de $13 \text{ V}/\mu\text{s}$ para o *slew-rate* negativo, ou seja, para a descida do sinal. Devido a arquitetura fonte comum do amplificador de saída, os resultados no sentido negativo, quando o sinal de saída cai, são sempre melhores, como é característico desse estágio de saída que possui maior dificuldade em prover corrente à carga que verter corrente.

Também é possível observar que o sinal sofre uma pequena distorção nos extremos das excursões, passando do nível alto ou baixo, chamados de *overshoot*. Essa característica é devida a alta velocidade de resposta do circuito e seu aparecimento não é crítico para sua aplicação.

2.9.6 REJEIÇÃO AO RUÍDO DA TENSÃO DE ALIMENTAÇÃO

A rejeição ao ruído da tensão de alimentação, ou, em inglês, PSRR (*Power Supply Rejection Ratio*), mede o quanto o circuito é imune a variações transitórias da tensão de alimentação.

Em um sistema em que a tensão de alimentação é comum para vários blocos, alguns bastante ruidosos, essa característica é muito apreciada. Como no caso estudado a alimentação é comum com o amplificador de potência que gera o campo eletromagnético, essa característica recebeu um enfoque maior.

Para essa simulação, uma análise XF (*Transfer Function*) da ferramenta da Cadence foi utilizada. Nessa análise, o circuito é reduzido ao seu modelo de pequenos sinais e a função de transferência em relação a diferentes fontes podem ser obtidas. Para calcular a rejeição a ruídos da fonte de alimentação, duas funções de transferência foram obtidas, a primeira em relação a entrada do circuito retorna o ganho em frequência, e a segunda, a resposta em respeito à alimentação do circuito que pode ser entendido como o PSR (*Power Supply Rejection*) do PGA, como definido na equação (3). Essa simulação foi efetuada para todos os corners, nas três diferentes temperaturas de operação e condições de polarização, totalizando 135 simulações para cada ganho, considerando oito ganhos, são 1080 simulações e seu resultado está mostrado na Figura 35.

Analisando apenas o PSR do gráfico exibido na Figura 35 é possível notar que o pior caso de rejeição de ruído acontece perto do limite da faixa de operação, após esse valor a rejeição melhora um pouco devido aos filtros passa-baixa adicionados no PGA. O pico desse gráfico chega a 14 dB positivo ao redor de 6 MHz no pior corner, para o maior ganho, 48 dB, o que significa dizer que nessa frequência há uma amplificação de um sinal espúrio da tensão de alimentação na tensão de saída do PGA.

Para calcular o PSRR desse PGA como definido na equação (4), foi feita a relação entre o PSR e o ganho do circuito, que em logaritmo se resume a diferença dos sinais mostrados na figura 35. O PSRR computado dessa diferença está presente na Figura 36, e seu pior valor é de -16 dB. Porém esse valor é obtido a 28 MHz, além da banda de sinal do PGA. Se

considerarmos apenas a banda do circuito até 4 MHz, temos que o maior valor de PSRR é de -38 dB, marcado pela linha vertical na Figura 36. Isso significa dizer que, no pior caso, a relação sinal ruído da alimentação na banda do circuito é de quase 1000 vezes de diferença.

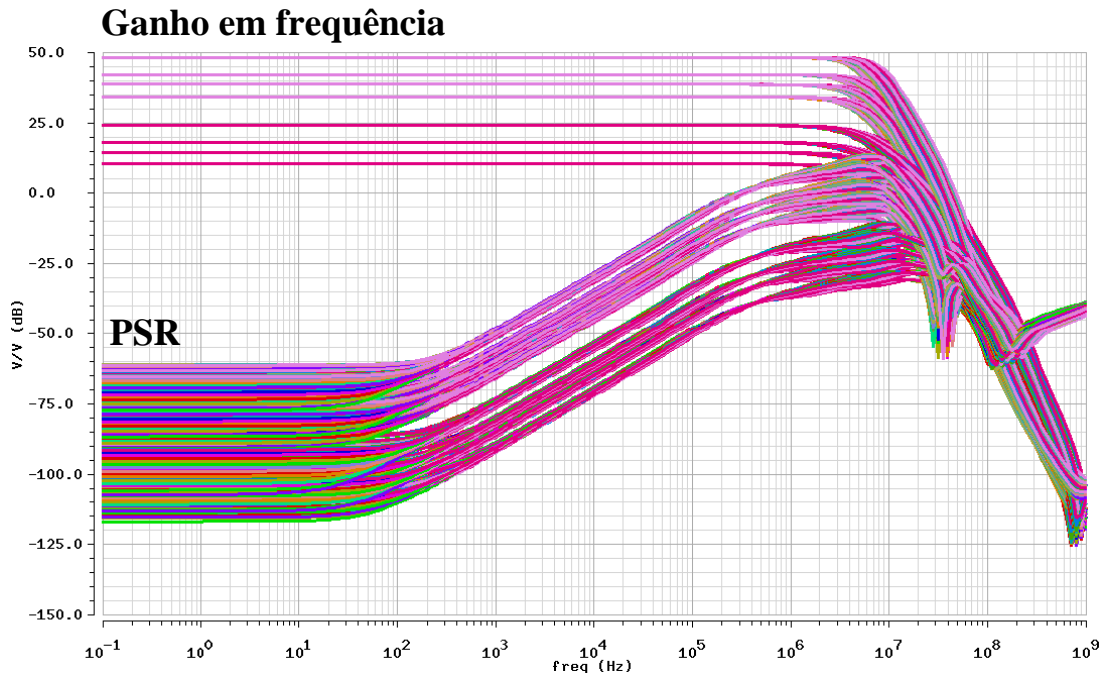


Figura 35 - Resultados da simulação de ganho em função da frequência e PSR do PGA

Fonte: Autor.

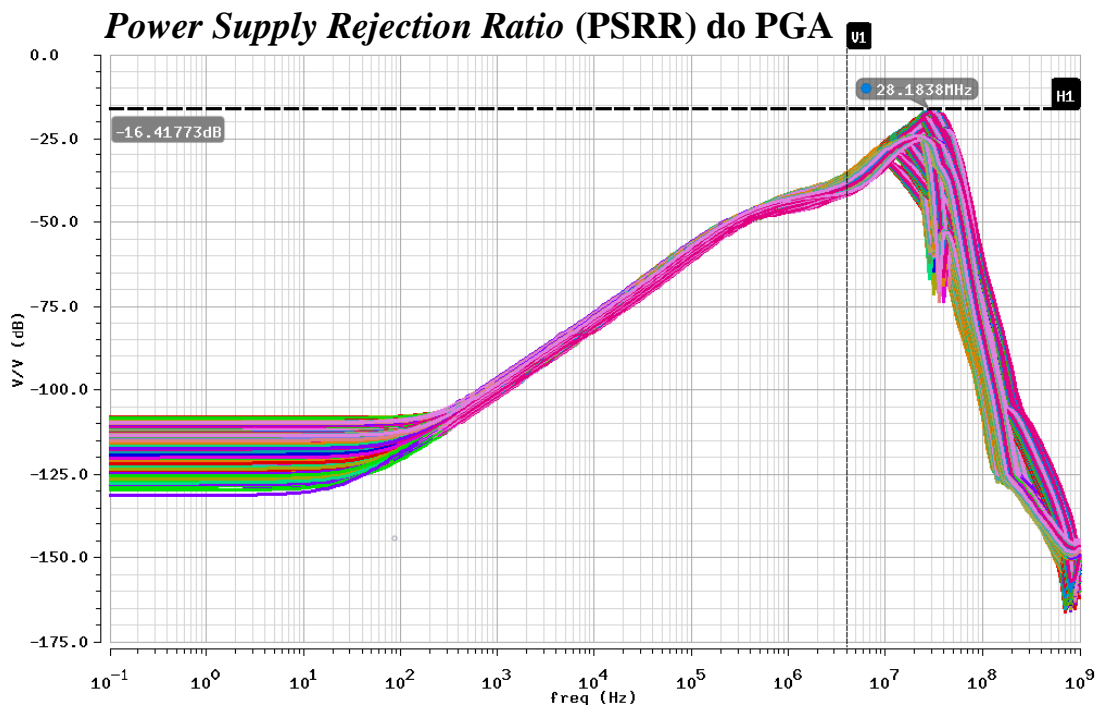


Figura 36 - Resultados da simulação de rejeição a ruídos da fonte de alimentação do PGA

Fonte: Autor.

2.9.7 DNL E INL DO DAC DE AUTO-ZERO

Um conversor digital para analógico deve possuir baixo erro de ganho e boa linearidade. A fim de avaliar essas características, simulações de INL e DNL do DAC foram efetuadas, que medem, respectivamente, o quanto que a curva de transferência real e ideal do DAC se afastam e o quanto o passo real e ideal do DAC se afastam e os resultados são satisfatórios.

O *testbench* utilizado para essa simulação inclui apenas um DAC do auto-zero e não todo o sistema do PGA. A polarização do DAC foi feita com fontes ideais e um relógio foi utilizado para os cálculos de INL e DNL. Foram usadas fórmulas padrões disponíveis nas ferramentas de projeto da Cadence para cálculo de INL e DNL do DAC, que correspondem as expressões matemáticas (8) e (9).

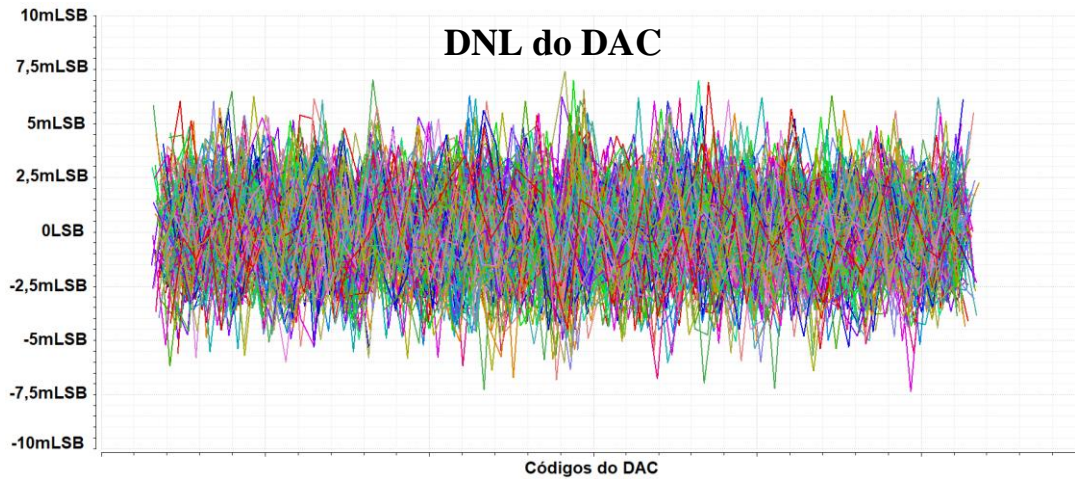


Figura 37 - Resultado da simulação de DNL do DAC usado no auto-zero

Fonte: Autor.

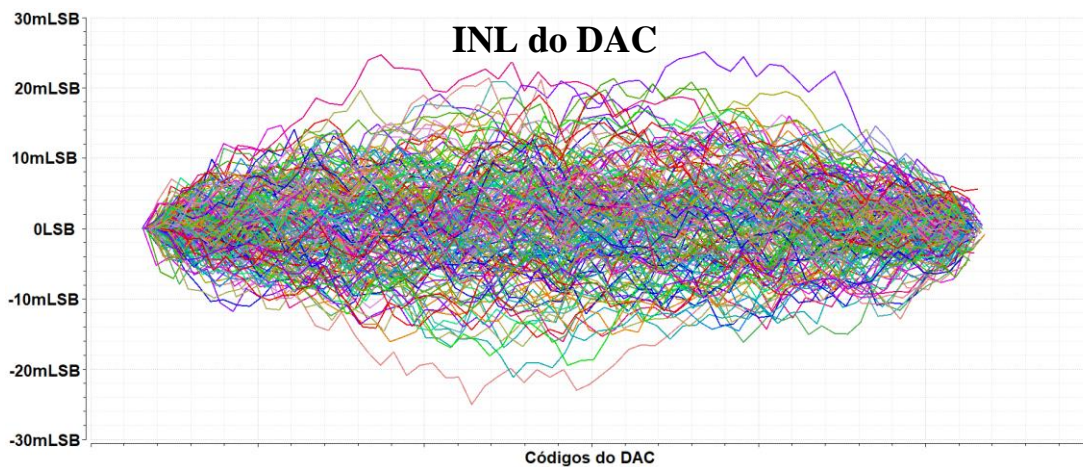


Figura 38 - Resultado da simulação de INL do DAC usado no auto-zero

Fonte: Autor.

As simulações de caracterização do DAC são realizadas no modo Monte Carlo, com variação de processo e *mismatch* de dispositivos. Foram realizadas 200 interações de parâmetros para o levantamento dos resultados.

Os gráficos de DNL, da Figura 37, e INL, da Figura 38, mostram ótimo comportamento quanto ao desvio do DAC projetado do ideal. O máximo valor de DNL encontrado é de apenas 7,5 mLSB e de INL menor que 30 mLSB. Esse resultado é devido, sobretudo, ao baixo número de *bits* desse DAC resistivo, que possui um LSB elevado, de 7,8 mV.

2.9.8 ERRO DE *OFFSET* DO COMPARADOR

A característica mais importante do comparador para a aplicação no auto-zero é possuir um *offset* pequeno para não impactar no processo do auto-zero e no erro residual.

O testbench utilizado nessa simulação inclui apenas a parte analógica do comparador, com as polarizações sendo feita por fontes ideais, uma vez que os demais circuitos de polarização não possuem impacto significativo no cálculo do *offset*.

Uma simulação de Monte Carlo, que varia os parâmetros de fabricação de maneira aleatória, foi realizada e os resultados do espalhamento do *offset* no comparador foi medido em 500 pontos de variação e mostrado na Figura 39.

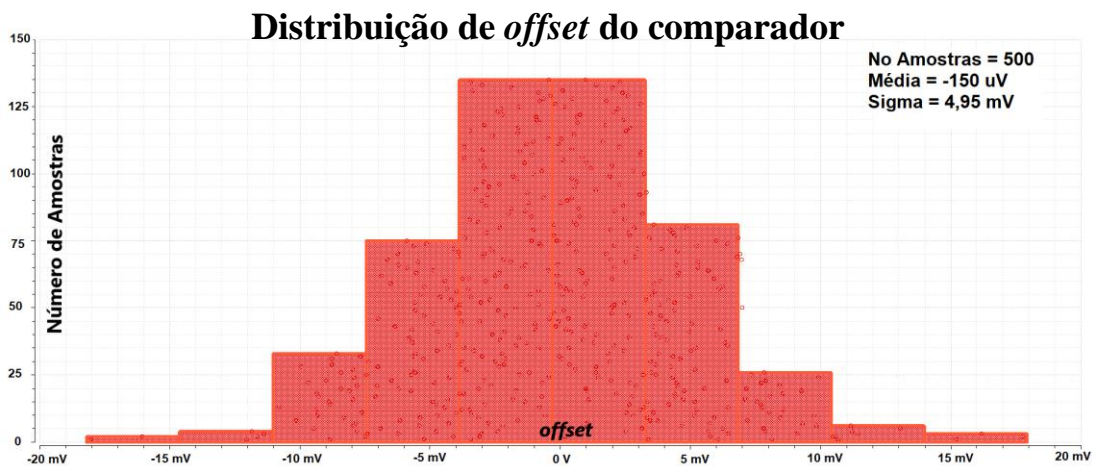


Figura 39 - Resultado da distribuição do *offset* simulado do comparador usado no auto-zero

Fonte: Autor.

O *offset* máximo simulado do comparador, considerando modelo seis sigma de variação, é próximo de 20 mV, valor que é adicionado no erro residual do auto-zero.

2.9.9 POWER UP DO SISTEMA INCLUINDO O AUTO-ZERO

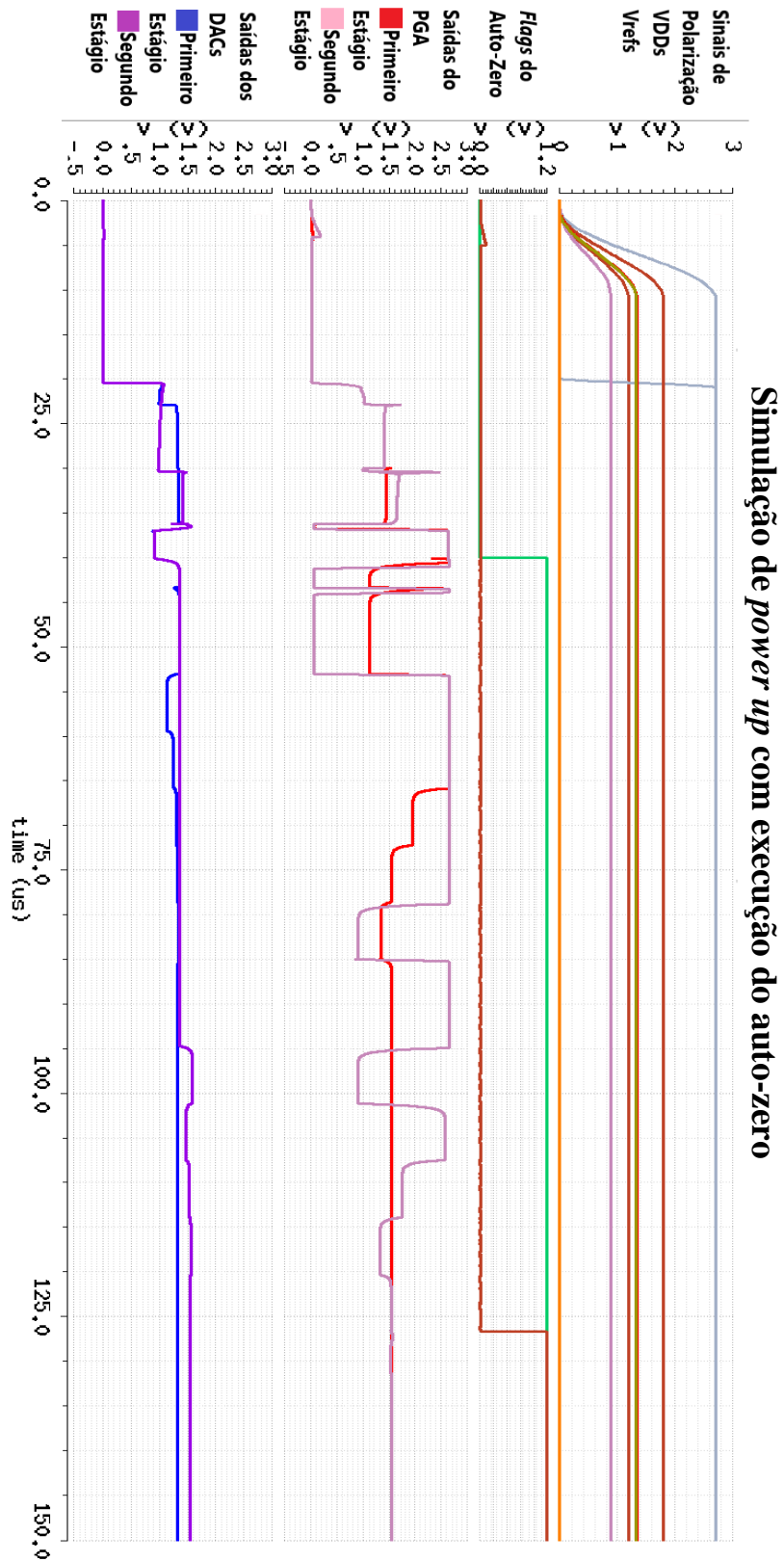


Figura 40 - Power up do PGA com auto-zero

Fonte: Autor.

A simulação de *power up* transiente visa verificar o correto funcionamento do auto-zero. Para o *testbench* dessa simulação foi usada a hierarquia de topo do PGA em vista extraída e devido à complexidade da mesma apenas um *corner* foi simulado, processo com valor típico, a alimentação em 2,7 V e polarização de corrente com 500 nA.

O resultado dessa simulação está na Figura 40. Nela, os sinais de interesse foram separados em quatro faixas. Na primeira faixa estão os sinais de alimentação que ligam no começo da simulação; são eles, a alimentação de 2,7 V e as tensões de referência de 1,6 V, 1,35 V e 1,1 V. Logo após esses sinais há o sinal de ativação do bloco, também representado nessa primeira faixa.

Na faixa seguinte, estão os sinais de controle do auto-zero: em verde o sinal para iniciar o auto-zero e, em marrom, o sinal que indica que o auto-zero foi finalizado.

Na penúltima faixa, de cima para baixo, estão as saídas do primeiro estágio do PGA em vermelho, e do segundo estágio do PGA em rosa. Nessa faixa fica evidente o método de auto zero empregado, onde ocorre o ajuste do primeiro estágio na primeira metade e do segundo estágio na segunda metade. É possível observar como o sinal de saída converge para a saída de menor erro em relação a referência de metade de escala a cada ciclo do auto-zero.

Na última faixa estão os sinais de saída dos conversores analógico para digital usados em cada estágio do auto-zero: em azul, o conversor referente ao primeiro estágio, e em roxo o conversor referente ao segundo estágio. Assim como na faixa anterior, é possível notar o valor desses conversores convergindo a cada ciclo do auto-zero.

2.10. CONCLUSÕES PARCIAIS

Foi desenvolvido o projeto de um amplificador de ganho programável para aplicação em um canal de demodulação de carga de comunicação do tipo NFC utilizando a tecnologia TSMC 90 nm.

O sistema desenvolvido consiste em dois amplificadores operacionais na configuração não inversora ligados em cascata, cada um com quatro opções de ganho diferentes. Os amplificadores operacionais possuem arquitetura *folded cascode* com ajuste de compensação de acordo com o ganho de malha fechada. Um esquema de auto-zero para correção de *offset* dos operacionais também foi implementado para evitar a saturação do PGA.

As simulações mostraram um bom desempenho do circuito mesmo considerando as parasitas extraídas do *layout* e os circuitos vizinhos de polarização, de entrada e de carga na saída.

As simulações de polarização do circuito mostram que o amplificador operacional se mantém no mesmo regime de operação nos diferentes casos estudados. A simulação de estabilidade também mostra que o circuito está estável com uma margem de fase superior a 60 graus em todos os casos, para todos os ganhos. O pior caso de margem de fase ocorre no menor ganho, no corner FF à -40 °C, para polarização baixa de corrente (500 nA -10%) e polarização alta de alimentação ($V_{bg} + 5\%$)

A simulação de faixa de operação mostra seu pior desempenho no corner $SS + 100$ °C, no maior ganho, com menor polarização de corrente e alimentação, onde a faixa simulada é de 4,018 MHz, dentro das especificações.

A rejeição de ruído é superior a -38 dB, pior caso que ocorre em $FF + 100$ °C para o maior ganho e com condições de polarização alta para alimentação e corrente.

Além do PGA em si, os demais circuitos que compõe o esquema de auto-zero também foram avaliados e estão com desempenho conforme o esperado. O comparador foi avaliado quanto a sua polarização e sua principal característica, o *offset*, e verificou-se que ele pode chegar a até 20 mV. O conversor digital para analógico também foi avaliado quanto às suas características estáticas de DNL e INL, e seus resultados são bons, apresentando linearidade e monotonicidade desejada.

3. RESULTADOS EXPERIMENTAIS DOS CIRCUITOS INTEGRADOS FABRICADOS

Após as simulações, o PGA como parte de um circuito de leitor de NFC, foi enviado para fabricação no processo TSMC 90 nm. Foram realizados 3 diferentes MPWs do *chip* de acordo com o programado no desenvolvimento do projeto. O objetivo era ter versões preliminares onde se poderia realizar testes parciais para avaliar o desempenho dos blocos e fazer os ajustes necessários para que após as três versões se obtenha um circuito integrado muito próximo ao produto final.

No primeiro MPW foi enviado uma versão inicial do canal de demodulação de carga para testes, porém não haviam muitos pontos de testes, limitando a observabilidade nesse *chip*. Ainda assim, foi possível realizar algumas medidas, sobretudo sobre o funcionamento do auto-zero. Nessa versão o canal de demodulação era inteiramente *single-ended*, ou seja, o circuito detector de envelope ainda não era diferencial.

No segundo MPW a parte analógica anterior com alguns ajustes foi enviada juntamente com a parte digital do *chip* leitor de NFC. Entre esses ajustes estava a mudança do circuito detector de envelope para um circuito diferencial. Nessa segunda versão também foi criado um bloco de testes que permitia, entre outras funções, o acesso a entrada do PGA diretamente, através de um pino, e escolher qual a saída a ser observada, do primeiro ou segundo estágios. A definição dos ganhos e o acionamento do auto-zero ficaram a cargo de registradores mapeados na parte digital e que podiam ser controlados através de um *firmware* carregado no *chip*.

A terceira versão corresponde ao circuito apresentado até aqui na dissertação e que inclui as correções feitas nos testes das versões anteriores. Ela é considerada a versão final do *chip* e foi encapsulada e testada visando o produto final.

3.1. TESTES DA PRIMEIRA E SEGUNDA VERSÕES

O primeiro MPW do projeto do leitor de NFC contou apenas com blocos analógicos interconectados. A ideia era testar as soluções analógicas com uma lógica implementada em FPGA, que posteriormente seria traduzida para o nó tecnológico 90 nm da TSMC e integrada em um único *die*.

Como houve pouco tempo entre o início do projeto e a fabricação da primeira versão, não foi possível implementar blocos de testes. Dessa maneira, os pontos de teste do canal de

demodulação de carga enviado eram apenas para observação, contendo apenas um *buffer* simples na saída para evitar o efeito da carga de medição no desempenho do circuito. Apenas as saídas do primeiro e segundo estágio do PGA foram disponibilizadas para os testes.

Os controles digitais de todos os blocos analógicos foram todos externalizados, o que ocasionou um alto número de pinos nesse *chip*. Pelo preço e para facilidade de testes um encapsulamento simples *Quad Flat Package* (QFP) de 144 pinos foi utilizado.

Os testes de ganho foram um pouco prejudicados nessa primeira versão, uma vez que não havia a possibilidade de colocar um sinal diretamente no PGA, dependendo sempre da saída do detector de envelope. Ainda assim foi possível notar um aumento do sinal após o PGA conforme o aumento do ganho, porém não era trivial avaliar o sinal de entrada para calcular o ganho, uma vez que o sinal do detector de envelope continha uma série de não linearidades.

Depois dos resultados da primeira versão, algumas modificações foram realizadas na parte analógica do canal para aprimorar sua performance e uma segunda versão MPW foi enviado para fabricação no processo da TSMC de 90 nm, dessa vez contando com partes analógicas e digitais integradas em um único *chip*.

Como nessa versão alguns outros cuidados foram tomados, mais pontos de testes foram adicionados internamente no *chip*, o que possibilitou a realização de um número maior de testes. Nessa versão foi possível testar o PGA com um sinal externo enquanto o sinal de saída é observado através de um MUX analógico.

O encapsulamento escolhido para essa versão do projeto foi o mesmo da versão final, *Very Thin Profile Fine Pitch Ball Grid Array* (VFPGA) 49, o que limitou um pouco o número de pinos a serem externados, pois esse *package* possui apenas 49 pinos. Para contornar essa limitação, um bloco de testes foi desenvolvido, permitindo escolher quais entradas ou saídas seriam disponibilizadas nos pinos de testes disponíveis. O controle desse bloco de testes é feito pela interface UART que recebe comandos que liberam determinadas configurações de testes.

Os testes realizados nessa versão foram de ganho, de frequência de corte e de auto-zero. Para o teste de ganho é carregado um código manualmente no PGA e medida a tensão de saída a partir de um sinal de entrada conhecido, aferindo o ganho obtido. O teste de frequência de corte do PGA é realizado aumentando a frequência do sinal de entrada até que o sinal de saída

sofra uma degradação de 3 dB em relação a seu valor nominal considerando o ganho projetado do circuito.

A partir das medições da segunda versão do circuito integrado, notou-se que o auto-zero apresentou problemas, oscilando durante sua execução. Após investigada a razão dessa instabilidade do circuito durante um auto-zero foi encontrada como possível causa da oscilação, o laço destacado em vermelho na Figura 41.

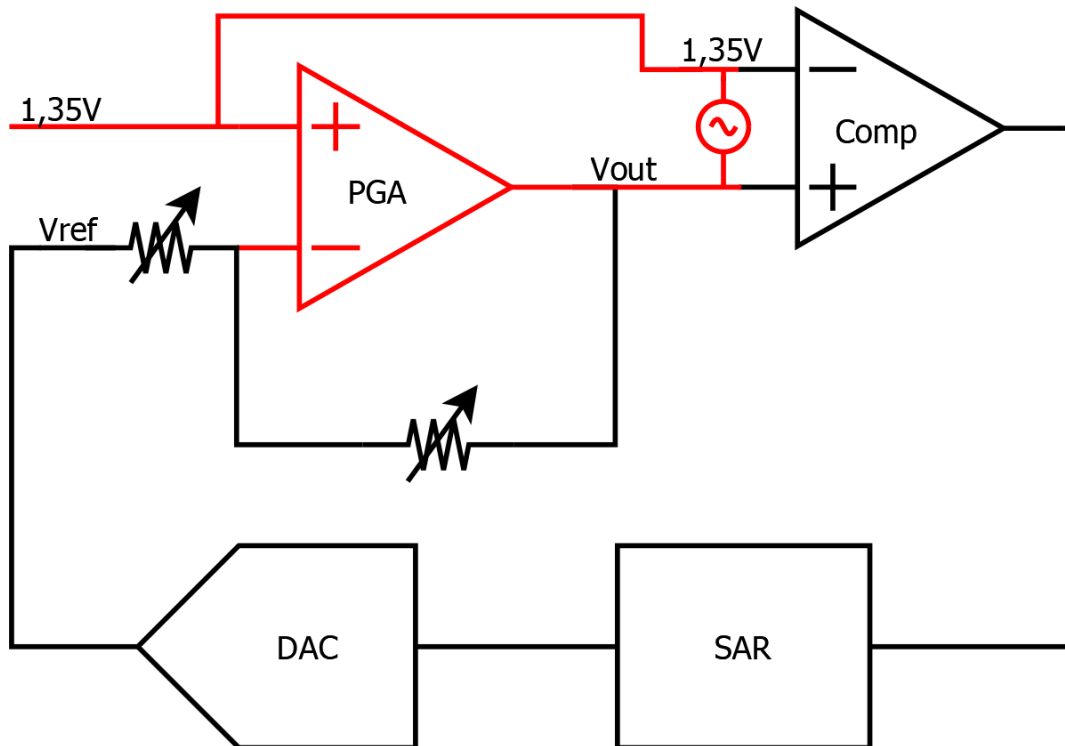


Figura 41 - Esquema do auto-zero com laço não intencional

Fonte: Autor.

Esse *loop* formado pelo acoplamento parasitário do sinal de saída do *PGA* com a sua referência de entrada quando em auto-zero, através da capacitância parasitária do par diferencial de entrada do comparador, foi o principal suspeito da causa das oscilações. Isso ocorria pois ambos os sinais de referência de 1,35 V eram derivados de um mesmo *buffer* de tensão na versão enviada no segundo MPW.

A Figura 42 mostra a resposta em frequência do laço não intencional analisado, na condição de *corner* típica a 40 graus Celsius. Nela é possível notar que o ganho do laço se torna maior do que um ao redor de 6,7 MHz, o que pode indicar a oscilação observada no auto-zero.

A fim de eliminar esse *loop* na terceira versão, as tensões de referências utilizadas no auto-zero foram separadas. Ou seja, a referência do *PGA* para o auto-zero vem diretamente do

detector de envelope desligado e a referência alvo de tensão do comparador provém de outro buffer separado de tensão. Dessa maneira existem buffers separados para essas referências, que adicionam grande atenuação no laço anteriormente identificado.

Ganho no *loop* não intencional do auto-zero

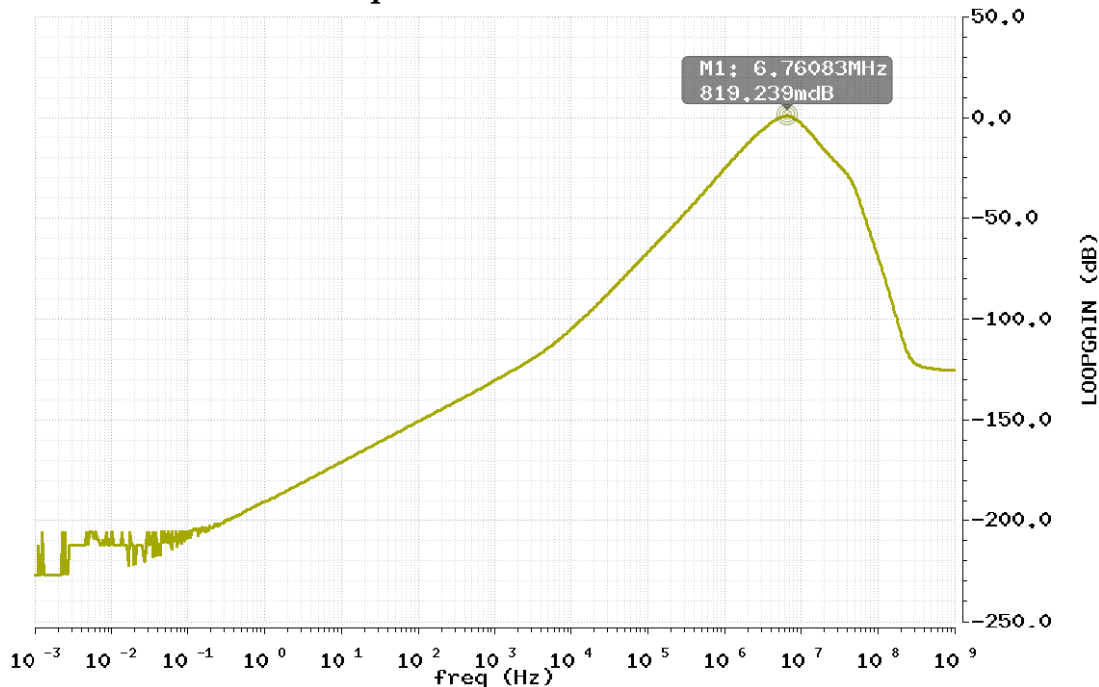


Figura 42 - Resposta em frequência do laço não intencional identificado

Fonte: Autor.

3.2. TESTES DA TERCEIRA VERSÃO

Após as correções da segunda versão, a terceira e última versão, como apresentada nessa dissertação, foi fabricada, encapsulada com o encapsulamento definitivo, VFBGA 49, e testada. Nessa versão foram feitos vários testes, incluindo de frequência de corte e ganhos do PGA. A versão final do *chip* com a localização aproximada do PGA está mostrada na Figura 43. Nela é possível perceber a camada de metal mais alta, chamada *Redistribution Layer* (RDL), onde é feito o roteamento dos *pads* até os *balls*, usados para a conexão no encapsulamento VFBGA escolhido.

Além dos testes de auto-zero, ganho e faixa de operação, já realizados na segunda versão, também foi avaliado o consumo de corrente do circuito. Para avaliar esse consumo foi utilizado um amperímetro para medir o total de consumo do *chip* com o PGA em plena operação, ou seja, com ambos os dois estágios ligados e foi avaliada a diferença nesse

consumo ao se desligar o segundo estágio do PGA. A diferença do consumo de corrente obtida foi de $120 \mu\text{A}$, e como o primeiro estágio é idêntico ao segundo, o consumo total de corrente estimado é de $240 \mu\text{A}$.

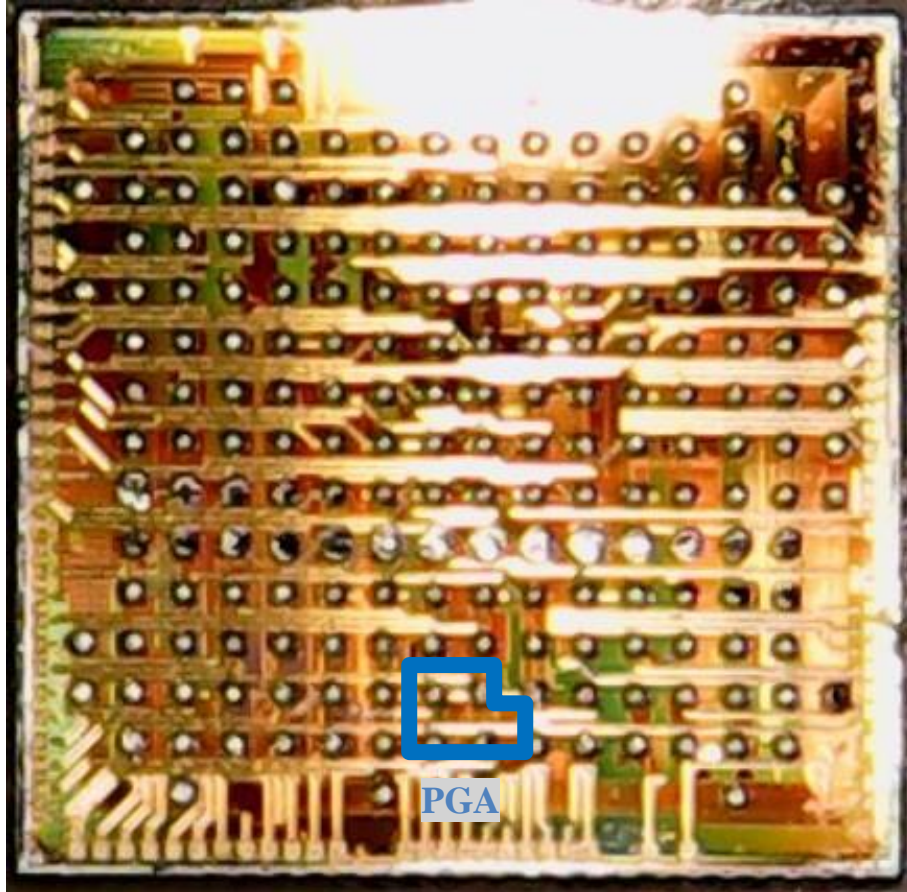


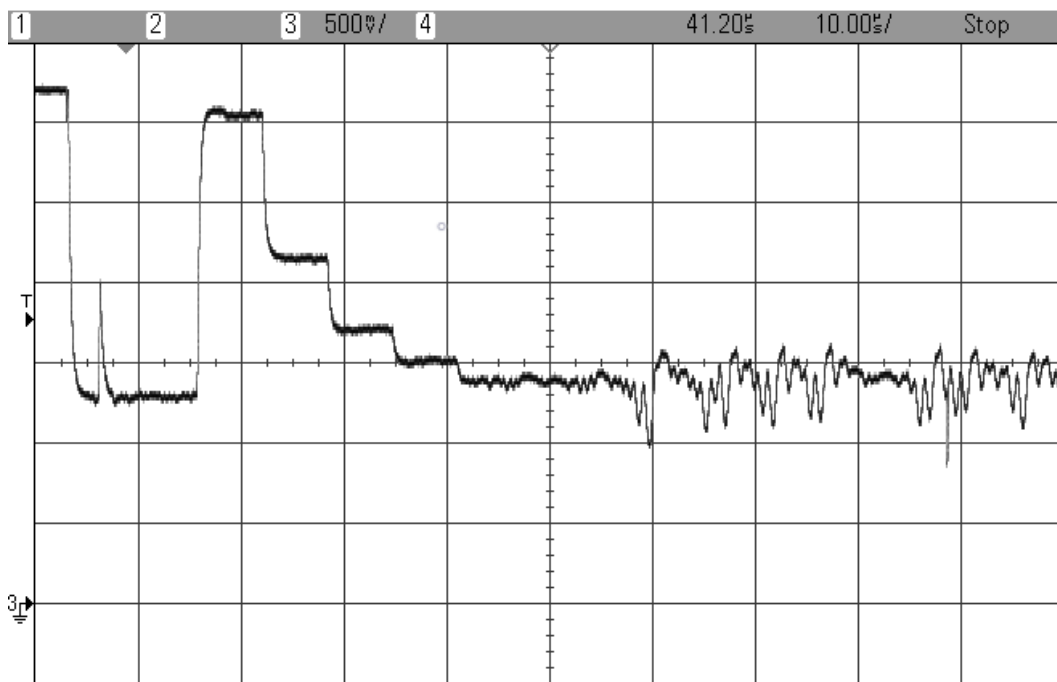
Figura 43 - Foto do CI leitor de NFC fabricado com a localização aproximada do PGA

Fonte: Autor.

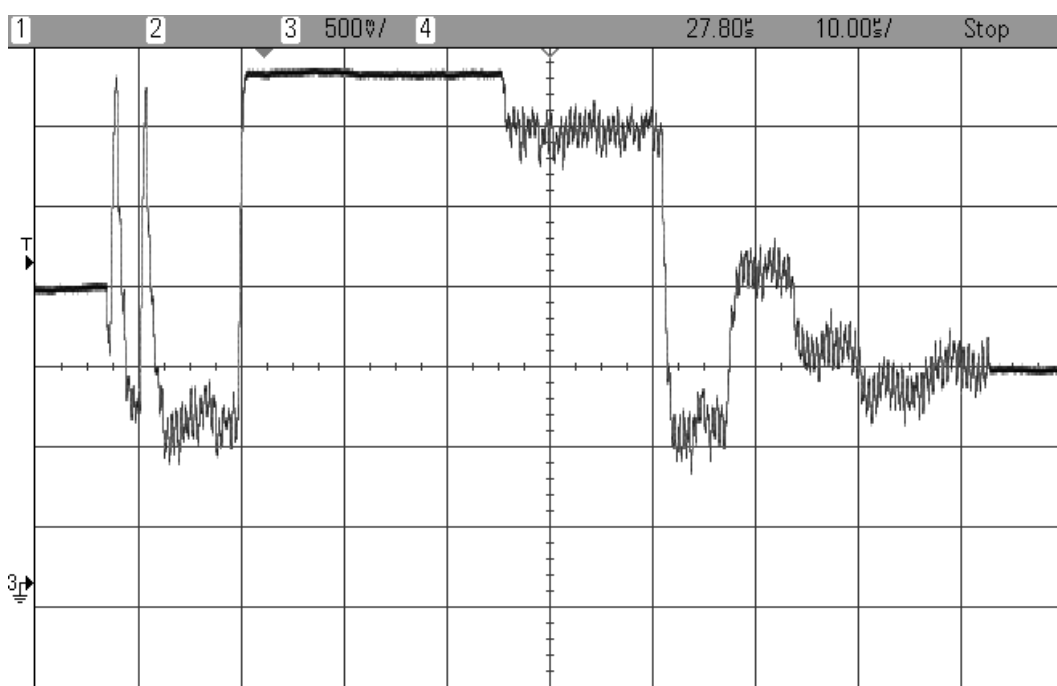
Não foi possível realizar um teste de rejeição a ruídos da fonte de alimentação, pois o regulador de tensão que alimenta o PGA é interno ao *chip*, sendo assim não havia a possibilidade de colocar um ruído controlado na alimentação para avaliar seu efeito na saída do PGA.

3.2.1 PLACA DE TESTES DA TERCEIRA VERSÃO

Para essa versão final do *chip*, uma placa pequena de demonstração foi criada, no entanto, existiram diversos problemas e dificuldades para a montagem da mesma, que resultou em apenas uma amostra totalmente operacional. Muitas dessas dificuldades estão relacionadas ao fato do *package* escolhido para o *chip* ser um VFBGA de 49 pinos, que possui uma distância



(a) - Sinal observado na saída do primeiro estágio do PGA



(b) - Sinal observado na saída do segundo estágio do PGA

Figura 45 - Execução do auto-zero do PGA observada na terceira versão fabricada

Fonte: Autor.

3.2.3 TESTES DE GANHO E FREQUÊNCIA DE CORTE DO PGA

Os testes de ganho e faixa de operação são realizados após o correto funcionamento do auto-zero, executado com um sinal externo colocado diretamente na entrada do PGA e a saída é medida em um osciloscópio através dos MUX de testes implementados no circuito.

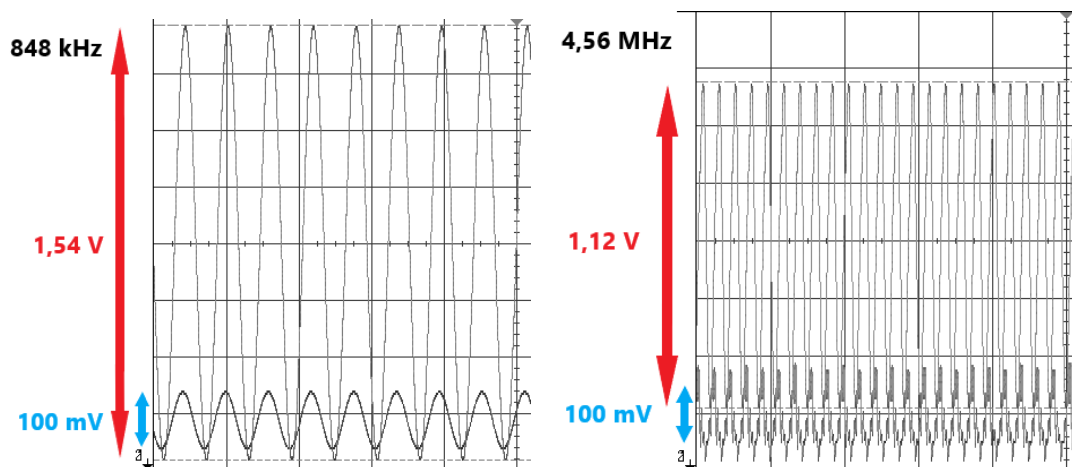
Para as medidas de ganho do PGA é utilizada na entrada uma senoide de 848 kHz, que corresponde a maior frequência de interesse do canal de comunicação NFC, e a saída é medida no osciloscópio, usando a função de média para eliminar ruídos. É preciso observar que a amplitude da entrada seja tal que evite a saturação do sinal de saída. Ao fim, o ganho medido é calculado como a razão entre a amplitude do sinal de saída medido no osciloscópio e a amplitude do sinal de entrada aplicado ao circuito.

Para o teste de frequência de corte do PGA, a frequência do sinal de entrada usada para aferição do ganho é aumentada, monitorando o sinal de saída até o ponto em que a amplitude do sinal de saída corresponde ao sinal de entrada multiplicado pelo ganho nominal retirados 3 dB. Nesse ponto, o circuito está operando em sua frequência de corte.

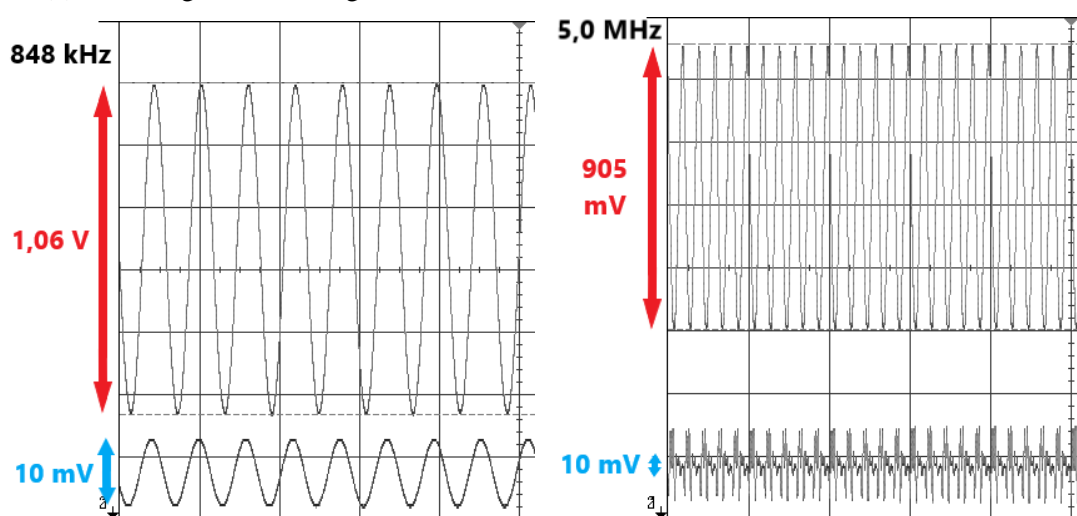
A Figura 46 mostra as diferentes medidas de ganho à direita e frequência de corte à esquerda para duas configurações de ganho do PGA. O sinal de entrada é medido no canal 1, mostrado abaixo na captura do osciloscópio e o canal 2 mede o sinal de saída, mostrado na parte superior da captura. Os sinais são mostrados com diferentes escalas, ajustadas para realização das medições de amplitude. A amplitude do sinal de entrada é assinalada em azul, enquanto a amplitude do sinal de saída é mostrada em vermelho. No canto superior esquerdo de cada imagem está a frequência do sinal medido. Foram escolhidas duas medidas para ilustrar o processo de obtenção do ganho e frequência de corte, os casos de código de ganho 011, em que o primeiro estágio está operando em ganho máximo com o segundo estágio desligado, e código 110, em que ambos os estágios estão amplificando o sinal de interesse. Os níveis de tensão DC não estão expressos na figura, pois se trata de capturas de osciloscópio com escalas diferentes para os sinais de entrada e saída.

Para os testes de faixa de operação, foi utilizado um sinal externo de sincronismo proveniente do gerador de funções responsável por gerar o sinal de entrada. Como o mesmo gerador gerava ambos os sinais, há um pequeno acoplamento entre o sinal de entrada medido e esse sinal de sincronismo, causando pequenos *glitches* no sinal de entrada. No entanto, essas perturbações não causam problemas no sinal de saída do amplificador.

Durante os testes de ganho foi possível notar um alto piso de ruído nas medidas. A fim de melhor avaliar as medições nessas condições, a função de média das amostras do osciloscópio foi utilizada, aproveitando o sinal em regime permanente para filtrar o ruído aleatório do canal.



(a) - Para o ganho de código 011



(b) - Para o ganho de código 110

Figura 46 - Resultados dos testes de ganho (esquerda) e frequência de corte (direita)

Fonte: Autor.

A Figura 47 mostra o resumo dos resultados obtidos com os ganhos comparados com os ganhos projetados por meio das barras e a frequência de corte da faixa mostrada com um gráfico de linhas.

O efeito da mudança da compensação em função do ganho é observado quando a faixa de operação do PGA foi avaliada. A frequência de corte em função do ganho tem pequena variação, causada justamente pelo ajuste de compensação de acordo com o ganho de malha fechada do sistema.

O ganho, no entanto, não apresentou bons resultados nos seus maiores valores, com grande erro em relação ao ganho projetado. Uma possível razão para essa degradação do ganho está no fato de a função de média ser utilizada para os testes, implicando que há um alto nível de ruído na saída que chega a afetar o desempenho do circuito.

Ganhos e frequências de corte medidos

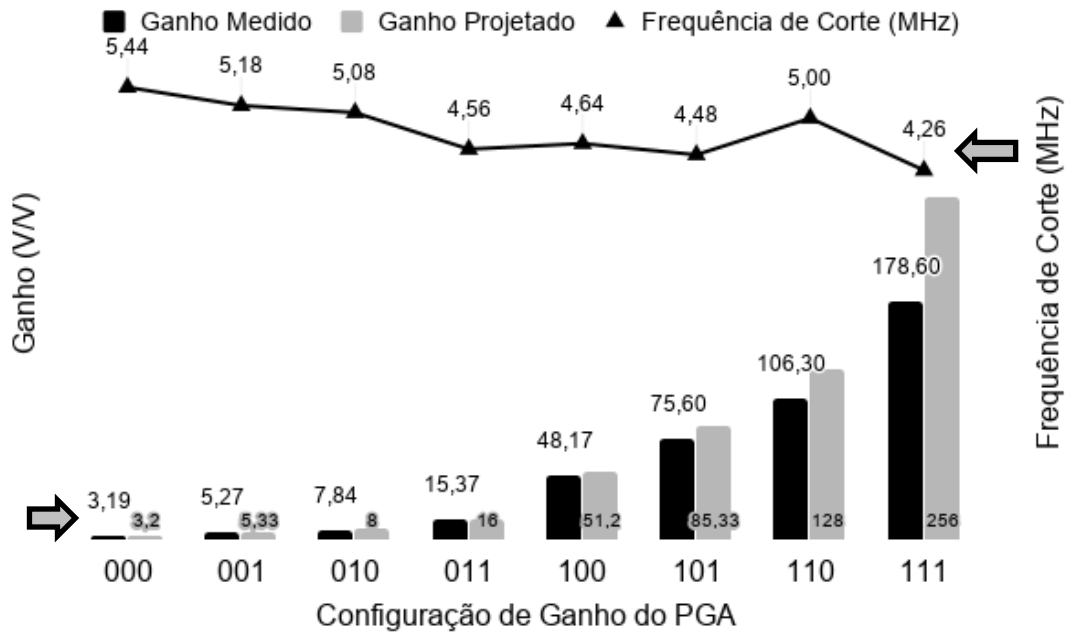


Figura 47 - Resultados dos testes de ganho e frequência de corte do PGA

Fonte: Autor.

3.3. TESTES DO SISTEMA DE COMUNICAÇÃO NFC

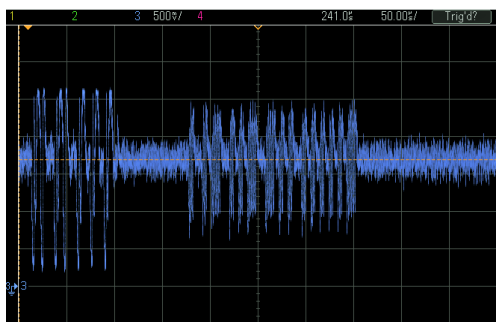
A título de ilustração, apresentamos de forma sucinta a operação do canal de demodulação de carga implementado no circuito integrado leitor NFC contendo o circuito PGA desenvolvido.

Apesar do desempenho no teste de ganho ter sido abaixo do esperado, com erros elevados para os maiores ganhos, ainda assim é possível utilizar o circuito para sua aplicação final. Dessa maneira, os testes do sistema de NFC completo foram realizados.

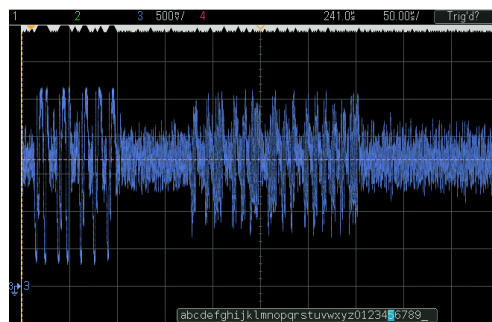
Para esses testes o *chip* foi programado para ler informações com diferentes cartões de padrão NFC. A operação envolve diversos blocos do *chip*, além de uma série de circuitos externos, como a antena e sua rede de casamento, responsável não somente por criar o campo eletromagnético e pedir informações, mas também por receber essas informações sem saturação do seu sinal nos pontos de recepção do *chip*.

Os testes foram efetuados mantendo espaçamentos calibrados entre o cartão, ou *tag*, NFC e a antena do leitor, que utiliza o *chip* em questão. Houve resultados positivos até uma separação entre 1,5 e 2,5 cm entre antena e cartão, dependendo da orientação do cartão com a antena do leitor, do tipo de cartão, e do tipo de comunicação NFC, que pode ser do tipo A, B ou F.

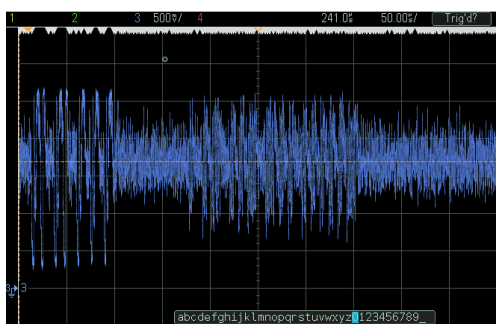
Na Figura 48 está a recepção de um sinal NFC-A recebido de um cartão visto na saída do PGA, para as separações de 0,5 a 2,5 cm. No início há uma parte da requisição de informação, realizada pelo próprio leitor, e sentida no canal de demodulação de carga com altíssima amplitude e na sequência a resposta do *tag* NFC, de amplitude menor. Há uma grande presença de ruído na resposta, o que limita a percepção do sinal nas maiores separações.



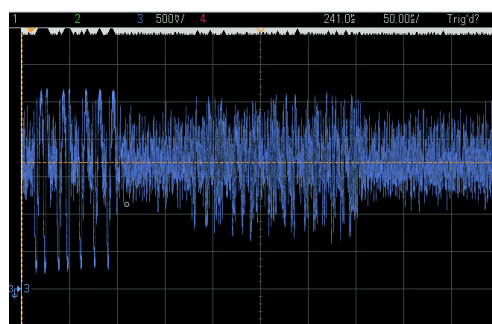
(a) - Com separação de 0,5 cm



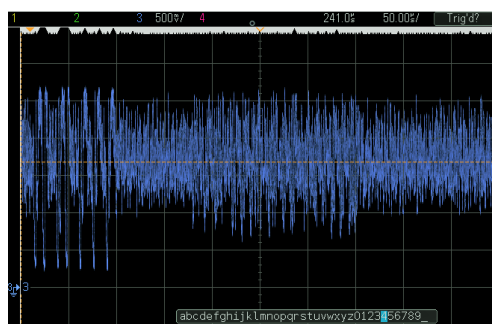
(b) - Com separação de 1,0 cm



(c) - Com separação de 1,5 cm



(d) - Com separação de 2,0 cm



(e) - Com separação de 2,5 cm

Figura 48 - Resposta NFC-A vista na saída do PGA com ganho 16 para diferentes separações entre antena e *tag*

Fonte: Autor.

4. CONCLUSÕES E TRABALHOS FUTUROS

Durante essa dissertação o desenvolvimento de um bloco para uma aplicação específica em um circuito integrado leitor de NFC foi apresentado. O amplificador de ganho programável alvo do estudo foi criado para ser utilizado no canal de demodulação de carga com detector de envoltória. Seu principal objetivo é amplificar o sinal de dados recebido, através de modulação de carga e separado de sua portadora principal pelo circuito de entrada, para um nível de sinal adequado para ser amostrado por um conversor analógico para digital.

O circuito foi desenvolvido na tecnologia TSMC 90 nm e cumpri com seu objetivo principal, apresentando faixa de operação maior que 4 MHz com oito diferentes configurações de ganho, boa rejeição a ruídos da fonte de alimentação e baixo consumo, e possui um sistema de auto-zero capaz de minimizar os efeitos do *offset* no circuito, calculado para que o erro de modo comum nunca seja superior a 0,14V.

Algumas técnicas implementadas no projeto do amplificador foram o ajuste da compensação do amplificador operacional conforme seu ganho, a utilização da arquitetura *folded cascode* com compensação *Miller cascode*, na qual o capacitor de compensação tira proveito da arquitetura escolhida, e a implementação de um auto-zero com base na aplicação do algoritmo SAR para fixar o nível médio de saída do circuito.

Foram realizadas três diferentes fabricações do tipo MPW no projeto do circuito integrado, obtendo-se três versões do amplificador de ganho programável alvo dos estudos. Houve uma evolução natural do desempenho do amplificador acompanhando o *chip* em questão até os resultados finais serem alcançados.

As especificações foram quase totalmente alcançadas, somente no quesito da precisão dos ganhos que se encontrou um desvio dos valores medidos em relação ao esperado por simulação, porém o elevado piso de ruído do canal prejudicou uma melhor aferição dos ganhos. O circuito apresentou frequência de corte de 4,26 MHz na condição de ganho máximo, ou seja, 178 V/V, com consumo de potência de apenas 628 μ W. Também foi verificado a execução do auto-zero efetivamente cancelando *offset* dos amplificadores operacionais. A rejeição a ruído da alimentação do circuito não pode ser verificada em silício, porém foi simulado como sendo de pelo menos -38 dB. As características alcançadas do PGA comparadas com seus valores especificados e simulados estão na Tabela 10.

Tabela 10 - Características especificadas versus alcançadas do PGA

Característica	Especificação	Simulação	Experimental
Consumo de potência	< 1 mW	594 μ W	648 μ W
Faixa de operação	> 2 MHz	4 MHz	4,26 MHz
Ganhos	3,2 a 256 V/V	3,2 a 256 V/V	3,2 a 178 V/V
PSRR (simulado)	< -20 dB	-38 dB	
Erro de <i>offset</i> (calculado)	< 0,2 V	0,14 V	
Área ativa			0,0285 mm ²

Fonte: Autor.

A fim de comparar os resultados obtidos ao final da terceira versão com outros circuitos similares da literatura, a figura de mérito definida na equação (10) foi utilizada.

Considerando a área do PGA projetado sem a inclusão dos circuitos do auto-zero, a fim de comparar com os demais circuitos da literatura que não possuem esse aprimoramento, e comparando o valor obtido nessa figura de mérito (FOM) com o valor de outros circuitos estudados na literatura, da Tabela 3, mostrados novamente na Tabela 11, pode-se concluir que o circuito desenhado está em uma posição de destaque, em primeiro lugar. O fato de considerarmos a área e o consumo de potência com peso igual ao produto de ganho por faixa de operação ressalta os pontos fortes do circuito projetado frente aos circuitos publicados, que, na maioria dos casos, otimizam os fatores ganho e faixa de operação.

É interessante observar que, apesar do circuito PGA usar uma tensão de alimentação de 2,7 V, seu consumo de potência é menor que outros circuitos que operam em tensões de alimentação menores. Um dos motivos é a escolha da arquitetura *folded cascode* dos amplificadores operacionais que consegue um alto ganho de malha aberta, garantindo um melhor compromisso entre faixa de operação e consumo de potência do bloco.

Ainda que o circuito não tenha tido um comportamento conforme o esperado no que tange a precisão dos ganhos, todo o fluxo de comunicação NFC é possível de ser realizado, sem grandes limitações. Além disso, a maior suspeita pelo menor desempenho dos maiores ganhos está na grande presença de ruído no canal de demodulação de carga do *chip*.

Tabela 11 - Comparação de circuitos PGA da literatura com o deste trabalho

Referência	Tecnologia CMOS	Faixa de operação	Consumo de potência	Tensão de alimentação	Varição dos ganhos	Área ativa	FOM
Este Trabalho	0,09 μm	4,26 MHz	648 μW	2,7 V	10 dB a 45 dB	0,0285 mm ²	41.019
Teodorowski (2012)	0,18 μm	84 MHz	1,37 mW	1,8 V	-21 dB a 21 dB	0,05 mm ²	13.759
Teodorowski (2012)	0,18 μm	60 MHz	3,15 mW	1,5 V	-21 dB a 21 dB	0,078 mm ²	2.740
Teodorowski (2012)	0,09 μm	125 MHz	1,52 mW	2,5 V	0,5 dB a 23,5 dB	(sem layout)	24.609*
Xiu et. al (2011)	0,18 μm	30 MHz	4,25 mW	1,8 V	0 dB a 52 dB	0,14 mm ²	20.072
Al-Ashmouny (2011)	0,25 μm	160 kHz	8,6 μW	1,0 V	7 dB a 27.4 dB	0,025 mm ²	17.445
Tsou et. al (2006)	0,18 μm	29,5 MHz	2,43 mW	1,8 V	-10 dB a 20 dB	0,3 mm ²	405
Elwan (2000)	2,00 μm	4 MHz	2,7 mW	3,0 V	-6 dB a 24 dB	0,442 mm ²	53

*Foi estipulada uma área de 0,05 mm² para o cálculo da FOM nesse caso.

Fonte: Autor.

4.1. CARACTERÍSTICAS FINAIS ALCANÇADAS DO PGA

As características finais alcançadas, simuladas ou medidas, e as faixas de operação do circuito PGA estão resumidas na Tabela 12.

Tabela 12 - Características Alcançadas do PGA

<i>Característica</i>	<i>Mínimo</i>	<i>Típico</i>	<i>Máximo</i>	<i>Unidade</i>
Alimentação analógica ¹	2,66	2,7	2,84	V
Alimentação digital ¹	1,14	1,2	1,26	V
Corrente de polarização ¹	450	500	550	nA
Tensão de referência ¹	1,28	1,35	1,42	V
Tensão de referência alta ¹	1,52	1,6	1,68	V
Tensão de referência baixa ¹	1,05	1,1	1,16	V
Temperatura de operação ¹	-40	40	100	°C
Consumo de corrente ³		240		μA
Potência dissipada no <i>core</i> ³		648		μW
Frequência de corte ³		> 4,26		MHz
PSRR (simulado) ²		< -38		dB
<i>Offset</i> de modo comum ²		< 0,14		V
Excursão de entrada ²		1,1 ~ 1,6		V
Excursão de saída ²		0,3 ~ 2,4		V
Ganhos (8 casos) ³	3,2 • 5,33 • 8 • 16 • 48 • 75 • 106 • 178			V/V
Área do <i>core</i> do PGA		0,0285		mm ²
Área do PGA com auto-zero		0,1656		mm ²
Tecnologia		TSMC 90nm		

¹ Faixas de operação toleráveis pelo circuito.

² Características simuladas em pós-*layout* do circuito.

³ Características medidas no circuito fabricado.

Fonte: Autor.

4.2. RECOMENDAÇÕES PARA TRABALHOS FUTUROS

Uma das dificuldades encontradas nesse trabalho foi a grande presença de ruído no canal de demodulação. Esse problema pode ser investigado novamente no futuro em busca de uma solução ou uma possível medida a ser adotada, para contornar o problema poderia se fazer o canal totalmente diferencial.

Ainda sobre o ruído no canal, seria interessante haver uma fabricação do PGA sem estar incluído no *chip* da aplicação para expandir os testes realizados, podendo assim realizar testes de PSRR e averiguar a precisão dos ganhos em um ambiente menos ruidoso. Apesar de terem sido feitas três diferentes MPWs para prototipagem, a caracterização individual de blocos sempre foi preterida em função do sistema, sendo assim, em nenhuma fabricação foi possível enviar circuitos separados para caracterização.

Pensando um pouco mais na aplicação, e não tanto apenas no bloco projetado, também houve dificuldades no projeto da antena de NFC e sua rede de interface com o *chip*. Essa rede é importante para transmitir a maior potência possível ao *tag* para alimentar o mesmo, e deve propiciar ao *chip* um espelho do sinal respondido sem corte. Ela pode ser um dos motivos do alto nível de ruído encontrado no canal de demodulação.

Outra dificuldade encontrada, sobretudo no período de testes, foi o de trabalho com o *package* escolhido, VFPGA 49, por possuir um *footprint* fora dos padrões comerciais mais utilizados, e aquém da capacidade montadora da grande maioria das empresas de placas de circuito impresso presentes no Brasil. Isso resultou em um grande retrabalho e um número reduzido de amostras disponíveis para testes da última versão do *chip*.

REFERÊNCIAS BIBLIOGRÁFICAS

AHUJA, B. K. An Improved Frequency Compensation Technique for CMOS Operational Amplifiers. **IEEE Journal of Solid-State Circuits**, v. 18, n. 6, p. 629-633, 1983.

AL-ASHMOUNY, K.; CHANG, S.; YOON, E. A 8.6 μ W 3-bit programmable gain amplifier for multiplexed-input neural recording systems. In: ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE ENGINEERING IN MEDICINE AND BIOLOGY SOCIETY, EMBC, 2011, Boston. **Proceedings... IEEE**, 2011. p. 2945-2948.

ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design**. Oxford Univ. Press, 2002.

CUNHA, A. NFC (Near Field Communication) – Aplicações e uso. **Embarcados**. 8 jun. 2016. Disponível em: <<https://www.embarcados.com.br/nfc-near-field-communication/>>. Acesso em: 16 jun. 2019.

ELWAN, H. O.; ISMAIL, M. Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 47, n. 5, p. 388-398, 2000.

HOGERVORST, R. et al. A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries. **IEEE journal of solid-state circuits**, v. 29, n. 12, p. 1505-1513, 1994.

HOGERVORST, R.; HUIJSING, J. H. **Design of low-voltage low-power CMOS operational amplifier cells**. Dordrecht: Kluwer Academic Publishers, 1996.

HURST, P. J. et al. Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 51, n. 2, p. 275-285, 2004.

INTERNATIONAL ORGANIZATION FOR STANDARLIZATION. **ISO/IEC 14443-1**: Cards and security devices for personal identification -- Contactless proximity objects-- Part 1: Physical characteristics. 2008.

INTERNATIONAL ORGANIZATION FOR STANDARLIZATION. **ISO/IEC 14443-2**: Identification cards -- Contactless integrated circuit cards -- Proximity cards -- Part 2: Radio frequency power and signal interface. 2010.

INTERNATIONAL ORGANIZATION FOR STANDARDIZATION. **ISO/IEC 14443-3**: Identification cards -- Contactless integrated circuit cards -- Proximity cards -- Part 3: Initialization and anticollision. 2011.

INTERNATIONAL ORGANIZATION FOR STANDARDIZATION. **ISO/IEC 14443-4**: Identification cards -- Contactless integrated circuit cards -- Proximity cards -- Part 4: Transmission protocol. 2008.

JAPAN IC CARD SYSTEM APPLICATION COUNCIL. **JIS X 6319-4**: Specification of Implementation for integrated circuit(s) cards – Part 4: High Speed proximity. 2007.

KEN, X. et al. An automatic DC-Offset cancellation method and circuit for RF transceivers. In: 2015 IEEE 11TH INTERNATIONAL CONFERENCE ON ASIC (ASICON), 2015, Chengdu. **Proceedings...** IEEE, 2015.

KEYSIGHT TECHNOLOGY. **NFC Automated Device Validation using an Oscilloscope**. 18 de outubro de 2016. Disponível em: <https://download.keysight.com/1A/NFC-Automated-Device-Validation-Using-an-Oscilloscope.mp4?authparam=1539288119_b7d0461549b44f2c83384198b2b96b37>. Acesso em: 11 out 2018.

LIEN, W. L., et al. 9.1 A self-calibrating NFC SoC with a triple-mode reconfigurable PLL and a single-path PICC-PCD receiver in 0.11 μm CMOS. In: 2014 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE DIGEST OF TECHNICAL PAPERS (ISSCC), 2014, San Francisco. **Proceedings...** IEEE, 2014.

MINISTERIO DA CIENCIA, TECNOLOGIA, INOVAÇÕES E COMUNICAÇÕES. **PADIS**: Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores e Displays. 2 de outubro de 2014. Disponível em: <https://www.mctic.gov.br/mctic/opencms/tecnologia/incentivo_desenvolvimento/padis_patvd/Programa-de-Apoio-ao-Desenvolvimento-Tecnologico-da-Industria-de-Semicondutores-PADIS.html>. Acesso em: 15 jun 2019.

NFC FORUM. **ISO/IEC 14443 Analog Parameter Comparison and Alignment**: Methodology, Procedures and Results, Wakefield: NFC Forum, 2017.

NXP SEMICONDUCTORS. **PN512**: Full NFC Forum-compliant frontend. Eindhoven: NXP, 2016.

RAZAVI, B. **Design of analog CMOS integrated circuits**. New York: McGraw-Hill, 2001.

RAZAVI, B. **RF Microelectronics**. Upper Saddle River: Prentice Hall, 1997.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5ª Edição. Tradução e Revisão técnica: Antônio Carlos Seabra, Márcio Lobo Neto, Sebastião Gomes dos Santos Filho e Wilhelmus Adrianus Maria Van Noije. Rio de Janeiro: Prentice Hall, 2007.

TAIWAN SEMICONDUCTOR MANUFACTURING. **TSMC 90 nm / 85 nm CMOS Logic/MS/RF and 80 nm CMOS Logic/MS Design Rule**. 2013.

TEODOROWSKI, M. et al. Programmable gain amplifier for 13.56 MHz radio receiver in CMOS 90 nm technology. In: INTERNATIONAL CONFERENCE MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS (MIXDES), 19. 2012, Warsaw. **Proceedings... IEEE**, 2012.

TEXAS INSTRUMENTS. **SLAA013: Understanding Data Converters**. 1995.

TSOU, S.; LI, C.; HUANG, P. A low-power CMOS linear-in-decibel variable gain amplifier with programmable bandwidth and stable group delay. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 53, n. 12, p. 1436-1440, 2006.

WU, J.; HU, J. A multi-standard analog front-end circuit for 13.56 MHz RFID reader. In: IEEE INFORMATION TECHNOLOGY AND MECHATRONICS ENGINEERING CONFERENCE (ITOEC), 3. 2017, Chongqing. **Proceedings... IEEE**, 2017.

XIU, L.; LI, Z.; XIU, W. Design of a low-power Programmable Gain Amplifier for analog front end applications. In: INTERNATIONAL CONFERENCE ON ELECTRIC INFORMATION AND CONTROL ENGINEERING (ICEICE), 2011, Wuhan. **Proceedings... IEEE**, 2011.