

**UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS**

Plínio Gonçalves Bueno Ferreira

**Método de projeto de circuitos chaveados de potência e
análise da região de operação de conversores CC-CC em
aplicações de alta eficiência**

São Carlos

2020

Plínio Gonçalves Bueno Ferreira

Método de projeto de circuitos chaveados de potência e análise da região de operação de conversores CC-CC em aplicações de alta eficiência

Dissertação apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo, para obtenção do título de Mestre em Ciências - Programa de Pós-Graduação em Engenharia Elétrica.

Área de concentração: Sistemas Dinâmicos

Orientador: Prof. Dr. Ricardo Quadros Machado

VERSÃO CORRIGIDA

**São Carlos
2020**

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica elaborada pela Biblioteca Prof. Dr. Sérgio Rodrigues Fontes da
EESC/USP com os dados inseridos pelo(a) autor(a).

G383m Gonçalves Bueno Ferreira, Plínio
 Método de projeto de circuitos chaveados de
potência e análise da região de operação de conversores
CC-CC em aplicações de alta-eficiência / Plínio
Gonçalves Bueno Ferreira; orientador Ricardo Quadros
Machado. São Carlos, 2020.

 Dissertação (Mestrado) - Programa de
Pós-Graduação em Engenharia Elétrica e Área de
Concentração em Processamento de Sinais e
Instrumentação -- Escola de Engenharia de São Carlos da
Universidade de São Paulo, 2020.

 1. Conversores CC-CC. 2. Buck-boost. 3.
Eficiência. 4. POL. 5. Perdas. 6. Fontes alternativas.
I. Título.

FOLHA DE JULGAMENTO

Candidato: Engenheiro **PLÍNIO GONÇALVES BUENO FERREIRA.**

Título da dissertação: "Método de projeto de circuitos chaveados de potência e análise da região de operação de conversores CC-CC em aplicações de alta-eficiência".

Data da defesa: 28/08/2020

Comissão Julgadora:

Resultado

Prof. Associado **Ricardo Quadros Machado**
(Orientador)

__Aprovado__

(Escola de Engenharia de São Carlos – EESC/USP)

Prof. Dr. **Emerson Giovani Carati**

__Aprovado__

(Universidade Tecnológica Federal do Paraná/UTFPR)

Prof. Dr. **Giovani Guarienti Pozzebon**

__Aprovado__

(Universidade Federal do Pampa/UNIPAMPA)

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica:

Prof. Titular **Ivan Nunes da Silva**

Presidente da Comissão de Pós-Graduação:

Prof. Titular **Murilo Araujo Romero**

*Este trabalho é dedicado
ao meu pai Ricardo Alves Ferreira, à minha avó Maria Elvira Ferreira
e à minha mãe Maria Lídia G. B. Ferreira (in memoriam),
que foram em todos momentos fonte de motivação, amor e força,
abrindo meus olhos para todas as oportunidades que apareceram e acalmaram meu coração
em momentos difíceis.*

AGRADECIMENTOS

Agradeço de coração a todos os meus amigos e família, que me apoiaram durante todo o tempo de forma tão carinhosa e presente.

Ao professor doutor Ricardo Quadros Machado por todo o suporte, conversas e discussões técnicas que puderam engrandecer e complementar o trabalho realizado.

Ao grande amigo Nícolas dos Santos Rosa, com quem pude compartilhar diversos pensamentos, projetos, aspirações e vitórias profissionais.

À amiga Gabrielle Schubart, por dividir as vitórias, os anseios, as motivações, ideais de vida, sendo força tanto nos bons quanto nos maus momentos.

Aos colegas de banda Jorge L. C. Barbosa e Gustavo S. Stefano, pela amizade e por terem compartilhado momentos incríveis compondo e tocando boa música, refletindo e compartilhando ideias, experiências e conhecimento.

Aos amigos e colegas de trabalho da Tecumseh do Brasil, do LAFAPE (Laboratório de Fontes Alternativas e Processamento de Energia) e do *Warthog Robotics*.

Aos colegas engenheiros e pesquisadores Alexandre B. Moretti, Amílcar F. Q. Gonçalves, Eduardo P. Falcetti, Fábio A. Liani, Guilherme C. de Oliveira, Marina S. C. de Carvalho, Mário B. A. Ramos, Mário Luis Botega Jr., Osmar C. J. Pinheiro, Rafael G. Lang, Rafael Q. Magossi, Renato L. André, Talita C. Granado, Thales A. Fagundes, Tim Collins, William C. A. Pereira, William R. Fernandes e Yuri C. da Silva Ribeiro, por todas as conversas, contribuições e companheirismo.

Aos colegas da DFE/WR (Divisão de Fabricação Eletrônica, *Warthog Robotics*) Henrique E. Megid e Igor C. S. Bárbara pela amizade, momentos de trabalho em equipe e noites trabalhadas nos robôs do grupo.

À Eduardo A. Pereira, Satoshi Tokashiki e Robert Terry do departamento de Engenharia de Aplicação da Tecumseh Products Company, pela compreensão, oportunidades apresentadas, força e conselhos pessoais, como profissionais.

À Tecumseh do Brasil, pelo apoio na realização deste trabalho.

À Deus.

Muito obrigado a todos.

Sinceramente,

Plínio G. B. Ferreira.

“Duvido, portanto penso.”
Fernando Pessoa

RESUMO

FERREIRA, P. G. B. **Método de projeto de circuitos chaveados de potência e análise da região de operação de conversores CC-CC em aplicações de alta eficiência.** 2020. 230p. Dissertação (Mestrado) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2020.

Essa dissertação apresenta a modelagem completa de conversores CC-CC *Buck-boost* de topologia Zeta assíncrono e síncrono em que as perdas ôhmicas de todos os componentes são incluídas no modelo analítico. Logo, a partir da obtenção do equacionamento em espaço de estados, o modelo dinâmico é calculado e comparado à simulação. Assim, para analisar o impacto das perdas no circuito foi utilizado como base uma série de requerimentos obtidas via o estudo dos componentes disponíveis no mercado e o estado-da-arte em termos de ganho, eficiência, regulação de tensão, dentre outros parâmetros de conversores CC-CC de alta eficiência e que operam com níveis de tensão menores que 5V. A partir da inclusão de perdas no circuito que está sendo avaliado, é possível analisar e definir as estratégias de projeto com base no ponto de operação (POL, do inglês *Point-of-Load*) do dispositivo eletrônico. Nesse ponto de operação é possível projetar o conversor de forma a maximizar a eficiência do circuito na aplicação final. A visão sistêmica permite determinar a relação entre ganho e eficiência, que se denomina como a assinatura de operação do conversor. A partir dessa assinatura, é possível concluir que a análise do impacto das perdas nominais dos componentes do dispositivo sobre o ganho estático e a eficiência contemplam parte essencial do projeto de um conversor CC-CC e que a análise sistêmica é indispensável para a obtenção do desempenho ótimo da aplicação. Nesse contexto, primeiramente é apresentado um conversor de topologia Zeta assíncrono e realizado uma análise dos parâmetros deste circuito frente aos pré-requisitos alvo. Após estimar as perdas dos componentes de forma segregada, é definida, assertivamente, a estratégia de projeto visando a aumentar a eficiência do circuito ao torná-lo síncrono. Por fim, é apresentada uma técnica que contribui com a definição da estrutura de um módulo de potência (composto por um gerador, um conversor CC-CC e uma carga resistiva), dos componentes apropriados e da região de operação (POL) de mais alta eficiência a partir da assinatura de eficiência e ganho do conversor, contemplando os requisitos mínimos de uma aplicação específica, usualmente encontrada em SMPS de dispositivos móveis alimentados por meio de fontes alternativas de energia.

Palavras-chave: Conversores CC-CC. Buck-boost. Eficiência. POL. Perdas. Fontes alternativas.

ABSTRACT

FERREIRA, P. G. B. **Design method of a switched-mode power system and analysis of DC-DC converter operating region of high efficiency applications.** 2020. 230p. Master's thesis - São Carlos School of Engineering, University of São Paulo, São Carlos, 2020.

This thesis presents a complete modeling technique of unidirectional and bidirectional Zeta buck-boost converters in which the ohmic losses of all components are included into the analytical model. Therefore, from the state-space equations, the dynamic model is compared to the simulation. Thus, to analyze the impact of the losses in the circuit performance, a series of requirements, obtained from the components available in the market and state-of-art technology, were used to evaluate the gain, efficiency, voltage regulation, among other parameters of high efficiency DC-DC converters operating at a voltage range lower than 5V. Including the intrinsic losses onto the static gain and efficiency analyses, it is possible to define the circuitry design strategies based on the converter point-of-load (POL). Thus the designer can maximize the converter efficiency. The systemic vision allows a better understanding of the relationship between gain and efficiency, which can be denominated as the converter signature. From this information, it is possible to conclude the losses impact investigation is an essential procedure during a DC-DC converter design and the understanding of the whole circuit is necessary to achieve the best performance of the electronic device. In this dissertation, an unidirectional Zeta topology converter is presented as well as the respective parameters regarding the pre-defined target are raised. After estimating the losses, individually to each component, we defined assertively the strategy to increase the converter overall performance making it bidirectional to increase its efficiency significantly. Concluding we understand how the converter signature can enhance the whole design process of a switched-mode power supply (SMPS) application by choosing the proper components and the structure (composed of a power-supply, a DC-DC converter and a load) to fulfill the minimum performance requirements, adding value to the applications which are mainly used in mobile devices using alternative energy sources.

Keywords: DC-DC Converters. Buck-boost. Efficiency. POL. Losses. Alternative energy sources.

LISTA DE FIGURAS

Figura 1 – Mapa de configurações para conversores de potência. A = <i>Flyback-Foward</i> ; B = <i>Half-bridge</i> ; C = <i>Full-bridge</i> ; D =Topologias especiais; E =Envelope da aplicação proposta nesta dissertação. Adaptado de (ABREU, 1992)	48
Figura 2 – Mapa de características de conversores <i>buck-boost</i> integrados de potência comerciais, dados a partir de 2003, Apêndice A	56
Figura 3 – Mapa de características de módulos e micro-módulos conversores CC-CC de potência POL comerciais, dados a partir de 2009, Apêndice B	57
Figura 4 – Circuito Zeta assíncrono modelado, gerador CC e carga	61
Figura 5 – Representação do conversor Zeta durante o " <i>Primeiro estado</i> " de operação: semicondutor <i>Q1</i> em condução	62
Figura 6 – Representação do conversor Zeta durante o " <i>Segundo estado</i> " de operação: semicondutor <i>Q1</i> bloqueado	63
Figura 7 – Formas de onda ideal de corrente e tensão sobre os indutores <i>L1</i> e <i>L2</i> e semicondutores <i>Q1</i> e <i>D1</i>	64
Figura 8 – Formas de onda de corrente e tensão sobre os capacitores <i>C0</i> , <i>C1</i> e <i>C2</i>	65
Figura 9 – Representação do circuito linearizado e as respectivas componentes . .	66
Figura 10 – Limiar de condução: ganho estático (H_v) em função da carga parametrizada χ_{eq} em diferentes condições de razão-cíclica (<i>D</i>), circuito ideal	72
Figura 11 – Forma de onda da ondulação aproximada da corrente sobre os indutores <i>L1</i> e <i>L2</i>	76
Figura 12 – Forma de onda aproximada da corrente que circula pelo capacitor de saída <i>C2</i>	78
Figura 13 – Envelope de operação do conversor Zeta proposto (tracejado), pontos limites de operação: P1.1, P1.2, P2.1, P2.2 (vermelho) e ponto nominal: P3 (azul)	86
Figura 14 – Mapa dos componentes referente ao envelope de operação	88
Figura 15 – Conversor CC-CC Zeta assíncrono com componentes comerciais selecionados	90
Figura 16 – Comportamento de ondulação normalizada sobre os indutores <i>L1</i> e <i>L2</i> referente ao envelope de operação, $V_{Carga} = 3,3V$	92
Figura 17 – Comportamento de ondulação normalizada sobre os capacitores <i>C1</i> e <i>C2</i> referente ao envelope de operação, tensão de saída $V_{Carga} = 3,3V$.	92
Figura 18 – Comportamento de ondulação normalizada sobre R_{Carga} referente ao envelope de operação, $V_{Carga} = 3,3V$	93

Figura 19 – Comportamento de temperatura da junção dos semicondutores $Q1$ e $D1$ referente ao envelope de operação, $T_{amb} = 43^{\circ}\text{C}$, $V_{Carga} = 3,3\text{V}$. . .	95
Figura 20 – Envelope de operação do conversor Zeta projetado	96
Figura 21 – Tensão de condução direta vs. corrente de condução do semiconductor $D1$	96
Figura 22 – Comportamento de eficiência e perdas totais dos componentes $L1$, $L2$, $Q1$ e $D1$ referente ao envelope de operação, $V_{Carga} = 3,3\text{V}$	97
Figura 23 – Comportamento de razão-cíclica nos pontos de operação do envelope do conversor Zeta, $V_{Carga} = 3,3\text{V}$	97
Figura 24 – Comportamento da dinâmica do transiente de corrente sobre os indutores $L1$ e $L2$ referente ao modelo em espaço de estados e simulação em LTSpice	99
Figura 25 – Comportamento da dinâmica do transiente de tensão sobre os capacitores $C0$ e $C1$ considerando-se os respectivos ESRs, referente ao modelo em espaço de estados e simulação em LTSpice	100
Figura 26 – Comportamento da dinâmica do transiente de tensão sobre o capacitor $C2$ e respectivo ESR, referente ao modelo em espaço de estados e simulação em LTSpice	100
Figura 27 – Comportamento de corrente sobre os indutores $L1$ e $L2$ em regime permanente, referente ao modelo em espaço de estados e simulação em LTSpice	101
Figura 28 – Comportamento de tensão sobre os capacitores $C0$ e $C1$ e os respectivos ESRs, referente ao modelo em espaço de estados e simulação em LTSpice	102
Figura 29 – Comportamento de tensão sobre o capacitor $C2$ puro e $C2$ com o respectivo ESR, referente ao modelo em espaço de estados e simulação em LTSpice	102
Figura 30 – Limiar entre modos de condução para circuito Zeta assíncrono projetado (com perdas) e ideal no intervalo de carga correspondente ao envelope de operação. $\mathbf{A}=0,314$; $\mathbf{B}=0,424$; $\mathbf{C} = 0,0$; $\mathbf{D}=0,277$	103
Figura 31 – Diferença entre os valores de $D_{crit.}$ entre modos de condução para circuito Zeta assíncrono e comparação normalizada entre circuito idealizado e com perdas. $\mathbf{A}^* = 0,315$; $\mathbf{B}^* = 0,141$; $\mathbf{C}^* = -1,0$; $\mathbf{D}^* = -0,346$	104
Figura 32 – Envelope do circuito em relação à razão-cíclica versus carga (R_{carga}) e modo de condução para o circuito Zeta assíncrono, tensão de entrada $V_G = 3,3\text{V}$	106
Figura 33 – Envelope e modos de condução para o circuito Zeta, para diferentes R_{Carga}	107
Figura 34 – Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas . . .	108

Figura 35 – Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, desconsiderando R_{DS} e V_{FWD}	110
Figura 36 – Curvas de nível do impacto da resistência de condução direta da chave controlada R_{DS} ao ganho do conversor Zeta	111
Figura 37 – Curvas de nível do efeito da resistência intrínseca dos indutores R_{L1} e R_{L2} ao ganho do conversor Zeta	112
Figura 38 – Curvas de nível do impacto dos ESRs dos capacitores $C0$ e $C2$ (R_{C0} e R_{C2}) ao ganho do conversor Zeta	113
Figura 39 – Curvas de nível do impacto do ESR do capacitor $C1$ (R_{C1}) ao ganho do conversor Zeta	114
Figura 40 – Curvas de nível do impacto da queda de tensão do semiconductor $D1$ (V_{FWD}) ao ganho do conversor Zeta	114
Figura 41 – Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, "vermelho $R_{Carga} = 3,63\Omega$ ", "magenta $R_{Carga} = 3,0\Omega$ ", "azul $R_{Carga} = 2,178\Omega$ " e "preto $R_{Carga} = 1,815\Omega$ ".	116
Figura 42 – Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, desconsiderando R_{DS} e V_{FWD}	117
Figura 43 – Curvas de nível do impacto da resistência de condução R_{DS} de $Q1$ à eficiência do conversor Zeta	118
Figura 44 – Curvas de nível do efeito da resistência intrínseca dos indutores R_{L1} e R_{L2} à eficiência do conversor Zeta	119
Figura 45 – Curvas de nível do impacto dos ESRs dos capacitores $C0$ e $C2$ (R_{C0} e R_{C2}) à eficiência do conversor Zeta	120
Figura 46 – Curvas de nível do impacto do ESR do capacitor $C1$ (R_{C1}) à eficiência do conversor Zeta.	120
Figura 47 – Curvas de nível do impacto da queda de tensão do semiconductor $D1$ (V_{FWD}) à eficiência do conversor Zeta	121
Figura 48 – Esquema da estação de desenvolvimento para testes experimentais . . .	126
Figura 49 – Representação 3D da PCI do circuito Zeta projetado, perspectiva vista superior	126
Figura 50 – Representação 3D da PCI do circuito Zeta projetado, perspectiva vista inferior	126
Figura 51 – Estação de desenvolvimento projetada	127
Figura 52 – Estação de desenvolvimento e equipamentos utilizados durante procedimento experimental	127
Figura 53 – Temperatura em $Q1$ e em $D1$, Medição 1 vide Tabela 24	129

Figura 54 – Temperatura em $Q1$ e em $D1$, Medição 2 vide Tabela 24	129
Figura 55 – Temperatura em $Q1$ e em $D1$, Medição 3 vide Tabela 24	129
Figura 56 – Temperatura em $Q1$ e em $D1$, Medição 4 vide Tabela 24	130
Figura 57 – Temperatura em $Q1$ e em $D1$, Medição 5 vide Tabela 24	130
Figura 58 – Temperatura em $Q1$ e em $D1$, Medição 6 vide Tabela 24	130
Figura 59 – Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q1$ e erro normalizado ($\sigma_{T_{Q1}}$).	131
Figura 60 – Comparação entre resultados experimentais e modelagem da temperatura de junção de $D1$ e erro normalizado ($\sigma_{T_{D1}}$).	131
Figura 61 – Envelope e modos de condução para o circuito Zeta	132
Figura 62 – Comparação entre resultados experimentais e modelagem do ganho estático (H_v) e erro normalizado (σ_{H_v})	134
Figura 63 – Comparação entre resultados experimentais e modelagem da eficiência (η) e erro normalizado (σ_η)	136
Figura 64 – Comparação da dissipação normalizada em cada componente do conversor Zeta projetado no ponto de operação nominal " P3 ", $V_G = 3,3V$, $V_{Carga} = 3,3V$ $R_{Carga} = 2,178\Omega$ e $P_{Carga} = 5W$	138
Figura 65 – Conversor Zeta síncrono com componentes comerciais	139
Figura 66 – Comportamento de ondulação normalizada sobre os indutores $L1$ e $L2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono	142
Figura 67 – Comportamento de ondulação normalizada sobre os capacitores $C1$ e $C2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono	142
Figura 68 – Comportamento de ondulação normalizada sobre R_{Carga} referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono	143
Figura 69 – Comportamento de T_j dos semicondutores $Q1$ e $Q2$ referente ao envelope de operação, $T_{amb} = 43^\circ C$, $V_{Carga} = 3,3V$, Zeta síncrono	143
Figura 70 – Comportamento de eficiência e perdas totais dos componentes $L1$, $L2$, $Q1$ e $Q2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono	145
Figura 71 – Comportamento de razão-cíclica nos pontos de operação do envelope do conversor Zeta síncrono, $V_{Carga} = 3,3V$	146
Figura 72 – Limiar entre modos de condução para circuito Zeta síncrono: perdas nominais e ideal no intervalo de carga correspondente ao envelope de operação. A =0,005 ; B =0,299 ; C = 0,0 ; D =0,283, A* = -1; B* = 0,0165; C* = 0,0 ; D* = -0,346.	147
Figura 73 – Envelope e modos de condução para o conversor Zeta síncrono, $T_{amb} = 25^\circ C$	148
Figura 74 – Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, Zeta síncrono	150

Figura 75 – Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, "vermelho $R_{Carga} = 3,63\Omega$ ", "magenta $R_{Carga} = 3,0\Omega$ ", "azul $R_{Carga} = 2,178\Omega$ " e "preto $R_{Carga} = 1,815\Omega$ ".	152
Figura 76 – Comparação da dissipação normalizada em cada componente do conversor Zeta síncrono no ponto de operação nominal " P3 ", $V_G = 3,3V$, $V_{Carga} = 3,3V$ $R_{Carga} = 2,178\Omega$ e $P_{Carga} = 5W$	153
Figura 77 – Temperatura em $Q1$ e em $Q2$, Medição 1 vide Tabela 42.	156
Figura 78 – Temperatura em $Q1$ e em $Q2$, Medição 2 vide Tabela 42.	156
Figura 79 – Temperatura em $Q1$ e em $Q2$, Medição 3 vide Tabela 42.	156
Figura 80 – Temperatura em $Q1$ e em $Q2$, Medição 4 vide Tabela 42.	157
Figura 81 – Temperatura em $Q1$ e em $Q2$, Medição 5 vide Tabela 42.	157
Figura 82 – Temperatura em $Q1$ e em $Q2$, Medição 6 vide Tabela 42.	157
Figura 83 – Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q1$ e erro normalizado ($\sigma_{T_{Q1}}$), Zeta síncrono	158
Figura 84 – Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q2$ e erro normalizado ($\sigma_{T_{Q2}}$), Zeta síncrono	158
Figura 85 – Envelope e modos de condução para o circuito Zeta síncrono	159
Figura 86 – Comparação entre resultados experimentais e modelagem do ganho estático (H_v) e erro normalizado (σ_{H_v})	161
Figura 87 – Comparação entre resultados experimentais e modelagem da eficiência (η) e erro normalizado (σ_η)	163
Figura 88 – Comparação da temperatura de junção dos semicondutores $D1$, $Q1$ e $Q2$ das topologias Zeta assíncrono e síncrono	165
Figura 89 – Comparação do ganho estático entre as topologias Zeta assíncrono e síncrono, $H_{v_{max}} = 1,52$ e $H_{v_{bidmax}} = 1,69$, respectivamente	166
Figura 90 – Comparação de eficiência entre as topologias Zeta assíncrono e síncrono, $\eta_{max} = 0,751$ e $\eta_{bidmax} = 0,918$, respectivamente	167
Figura 91 – Comparação de potência normalizada entre os conversores Zeta assíncrono e síncrono no ponto de operação nominal " P3 ", $V_G = 3,3V$, $V_{Carga} = 3,3V$ $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$	167
Figura 92 – Mapeamento da assinatura do conversor Zeta assíncrono, para diferentes cargas (R_{Carga}) em tensões de entrada específicas	170
Figura 93 – Região de operação e região (η_{max}) do conversor Zeta assíncrono POL projetado, $V_{Carga} = 3,3V$	171
Figura 94 – Mapeamento da assinatura do conversor Zeta síncrono, para diferentes cargas (R_{Carga}) em tensões de entrada específicas	172
Figura 95 – Região de operação e região (η_{max}) do conversor Zeta síncrono POL projetado, $V_{Carga} = 3,3V$	173

Figura 96 – Comparação entre assinaturas do conversores Zeta assíncrono e síncrono	174
Figura 97 – Conversor CC-CC de topologia Zeta assíncrono modelado	203
Figura 98 – Conversor CC-CC de topologia Zeta síncrono modelado	205
Figura 99 – <i>PWM</i> gerado com $f_{ch} = 40\text{kHz}$, $D=0,567$	207
Figura 100 – Corrente em $L1$ (i_{L1}) em regime permanente, ponto de operação " P3 ", $D=0,567$	208
Figura 101 – Corrente em $L2$ (i_{L2}) em regime permanente, ponto de operação " P3 ", $D=0,567$	208
Figura 102 – Tensão sobre $C0$ (v_{C0}^*) em regime permanente, ponto de operação " P3 ", $D=0,567$	209
Figura 103 – Tensão sobre $C1$ (v_{C1}^*) em regime permanente, ponto de operação " P3 ", $D=0,567$	209
Figura 104 – Tensão sobre $C2$ (v_{C2}^*) em regime permanente, ponto de operação " P3 ", $D=0,567$	210
Figura 105 – <i>PWM</i> gerado com $f_{ch} = 40\text{kHz}$, $D=0,537$	211
Figura 106 – Corrente em $L1$ (i_{L1}) em regime permanente, ponto de operação " P3 ", $D=0,537$	212
Figura 107 – Corrente em $L2$ (i_{L2}) em regime permanente, ponto de operação " P3 ", $D=0,537$	212
Figura 108 – Tensão sobre $C0$ (v_{C0}^*) em regime permanente, ponto de operação " P3 ", $D=0,537$	213
Figura 109 – Tensão sobre $C1$ (v_{C1}^*) em regime permanente, ponto de operação " P3 ", $D=0,537$	213
Figura 110 – Tensão sobre $C2$ (v_{C2}^*) em regime permanente, ponto de operação " P3 ", $D=0,537$	214
Figura 111 – Resultado experimental Zeta assíncrono, $D = 0,35$	215
Figura 112 – Resultado experimental Zeta assíncrono, $D = 0,37$	216
Figura 113 – Resultado experimental Zeta assíncrono, $D = 0,40$	216
Figura 114 – Resultado experimental Zeta assíncrono, $D = 0,42$	217
Figura 115 – Resultado experimental Zeta assíncrono, $D = 0,45$	217
Figura 116 – Resultado experimental Zeta assíncrono, $D = 0,47$	218
Figura 117 – Resultado experimental Zeta assíncrono, $D = 0,50$	218
Figura 118 – Resultado experimental Zeta assíncrono, $D = 0,52$	219
Figura 119 – Resultado experimental Zeta assíncrono, $D = 0,55$	219
Figura 120 – Resultado experimental Zeta assíncrono, $D = 0,57$	220
Figura 121 – Resultado experimental Zeta assíncrono, $D = 0,60$	220
Figura 122 – Resultado experimental Zeta assíncrono, $D = 0,62$	221
Figura 123 – Resultado experimental Zeta assíncrono, $D = 0,65$	221
Figura 124 – Resultado experimental Zeta assíncrono, $D = 0,67$	222

Figura 125–Resultado experimental Zeta assíncrono, $D = 0,70$	222
Figura 126–Resultado experimental Zeta síncrono, $D = 0,35$	223
Figura 127–Resultado experimental Zeta síncrono, $D = 0,37$	224
Figura 128–Resultado experimental Zeta síncrono, $D = 0,40$	224
Figura 129–Resultado experimental Zeta síncrono, $D = 0,42$	225
Figura 130–Resultado experimental Zeta síncrono, $D = 0,45$	225
Figura 131–Resultado experimental Zeta síncrono, $D = 0,47$	226
Figura 132–Resultado experimental Zeta síncrono, $D = 0,50$	226
Figura 133–Resultado experimental Zeta síncrono, $D = 0,52$	227
Figura 134–Resultado experimental Zeta síncrono, $D = 0,55$	227
Figura 135–Resultado experimental Zeta síncrono, $D = 0,57$	228
Figura 136–Resultado experimental Zeta síncrono, $D = 0,60$	228
Figura 137–Resultado experimental Zeta síncrono, $D = 0,62$	229
Figura 138–Resultado experimental Zeta síncrono, $D = 0,65$	229
Figura 139–Resultado experimental Zeta síncrono, $D = 0,67$	230
Figura 140–Resultado experimental Zeta síncrono, $D = 0,70$	230

LISTA DE TABELAS

Tabela 1 – Características das topologias Ćuk, SEPIC e Zeta ideais	47
Tabela 2 – Estados de operação do conversor Zeta em MCC	61
Tabela 3 – Requisitos de desempenho alvo do projeto	85
Tabela 4 – Descrição do envelope de operação do conversor Zeta proposto	86
Tabela 5 – Componentes calculados em diferentes pontos de operação do envelope	87
Tabela 6 – Descrição dos componentes comerciais: $L1$, $L2$, $C0$, $C1$, $C2$, $Q1$ e $D1$.	89
Tabela 7 – Relação de temperaturas absolutas de operação dos componentes . . .	89
Tabela 8 – Parâmetros absolutos de operação circuito Zeta assíncrono, $V_{Carga} = 3,3V$	90
Tabela 9 – Especificações do circuito Zeta nos pontos de interesse do envelope: P1.1, P1.2, P2.1, P2.2 e P3, $V_{Carga} = 3,3V$	91
Tabela 10 – Especificações de ondulação dos componentes $L1$, $L2$, $C1$, $C2$ e R_{Carga} na região do envelope em porcentagem, $V_{Carga} = 3,3V$	94
Tabela 11 – Especificações de temperatura de junção dos componentes $Q1$ e $D1$ na região do envelope, $T_{amb} = 43^{\circ}C$, $V_{Carga} = 3,3V$	95
Tabela 12 – Mapa de razão-cíclica nos pontos de operação do envelope do conversor Zeta, $V_{Carga} = 3,3V$	97
Tabela 13 – <i>Offset</i> dos valores médios calculados a partir da modelagem em relação aos valores simulados em LTSpice, $V_G = 3,3V$, $V_{Carga} = 3,3V$, $D =$ $0,5976$, $P_{Carga} = 5W$	101
Tabela 14 – Ganho estático e razão-cíclica mínimos em diferentes condições de operação.	107
Tabela 15 – Ganho estático e razão-cíclica máximos em diferentes condições de operação.	108
Tabela 16 – Ganho estático máximo e respectivos fatores de trabalho em diferentes condições de operação hipotéticas, desconsiderando R_{DS} e V_{FWD}	109
Tabela 17 – Ganho estático (H_v) e razão-cíclica mínima e máxima, comparação de H_v entre o circuito nominal (Ref.) e com as respectivas perdas mínimas	111
Tabela 18 – Mapeamento de eficiência na condição de mínima razão-cíclica (D_{min}) do conversor Zeta em diferentes condições de operação.	115
Tabela 19 – Mapeamento de eficiência na condição de máxima razão-cíclica (D_{max}) do conversor Zeta em diferentes condições de operação.	115
Tabela 20 – Mapeamento dos pontos de máxima eficiência (η_{max}) e a respectiva razão-cíclica do conversor Zeta em diferentes condições de operação. . .	115
Tabela 21 – Comparação da máxima eficiência entre o circuito Zeta com as perdas nominais (η_{max}) e situação idealizada desprezando R_{DS} e V_{FWD} (η_{max}^*).118	118

Tabela 22 – Eficiência (η) e razão-cíclica mínima e máxima, comparação de η entre o circuito nominal (Ref.) e com as respectivas perdas mínimas	122
Tabela 23 – Equipamentos utilizados para realização dos testes	125
Tabela 24 – Condições para pontos experimentais sobre avaliação da temperatura de junção em $Q1$ e $D1$	128
Tabela 25 – Resultados comparativos entre teste experimental e modelagem referente à temperatura de junção em $Q1$ e $D1$, $R_{Carga} = 3,6\Omega$	132
Tabela 26 – Condições para pontos experimentais sobre avaliação de H_v	133
Tabela 27 – Resultados comparativos entre modelagem e <i>fit</i> -experimental referente ao ganho de tensão estático (H_v), $R_{Carga} = 3,5\Omega$	134
Tabela 28 – Condições para pontos experimentais sobre avaliação de η	135
Tabela 29 – Resultados comparativos entre modelagem e <i>fit</i> -experimental referente a eficiência (η), $R_{Carga} = 3,5\Omega$	136
Tabela 30 – Segregação de perdas do conversor Zeta projetado no ponto de operação nominal P3 , $V_G = 3,3V$, $V_{Carga} = 3,3V$ $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$	137
Tabela 31 – Parâmetros absolutos de operação conversor Zeta síncrono, $V_{Carga} = 3,3V$	140
Tabela 32 – Especificações do conversor Zeta síncrono nos pontos de interesse do envelope: P1.1, P1.2, P2.1, P2.2 e P3, $V_{Carga} = 3,3V$	141
Tabela 33 – Especificações de ondulação sobre $L1$, $L2$, $C1$, $C2$ e R_{Carga} na região do envelope em porcentagem, $V_{Carga} = 3,3V$, Zeta síncrono	144
Tabela 34 – Especificações de temperatura de junção dos componentes $Q1$ e $Q2$ na região do envelope, $T_{amb} = 43^\circ C$, $V_{Carga} = 3,3V$, Zeta síncrono	144
Tabela 35 – Mapa de razão-cíclica nos pontos de operação do envelope do conversor Zeta síncrono, $V_{Carga} = 3,3V$	145
Tabela 36 – Ganho estático e razão-cíclica mínimos em diferentes condições de operação, Zeta síncrono	149
Tabela 37 – Ganho estático e razão-cíclica máximos em diferentes condições de operação, Zeta síncrono	149
Tabela 38 – Mapeamento de eficiência na condição de mínima razão-cíclica (D_{min}) do conversor Zeta síncrono em diferentes condições de operação	151
Tabela 39 – Mapeamento de eficiência na condição de máxima razão-cíclica (D_{max}) do conversor Zeta síncrono em diferentes condições de operação	151
Tabela 40 – Mapeamento dos pontos de máxima eficiência (η_{max}) e a respectiva razão-cíclica do conversor Zeta síncrono em diferentes condições de operação	151
Tabela 41 – Segregação de perdas do conversor Zeta síncrono no ponto de operação nominal "P3" , $V_G = 3,3V$, $V_{Carga} = 3,3V$ $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$	153
Tabela 42 – Condições para pontos experimentais sobre avaliação da temperatura de junção em $Q1$ e $Q2$, $R_{Carga} = 3,6 \pm 0,1\Omega$	155

Tabela 43 – Resultados comparativos entre teste experimental e modelagem referente à temperatura de junção em $Q1$ e $Q2$, $R_{Carga} = 3,6 \pm 0,1\Omega$, Zeta síncrono	159
Tabela 44 – Condições para pontos experimentais sobre avaliação de H_v , $R_{Carga} = 3,4 \pm 0,1\Omega$	160
Tabela 45 – Resultados comparativos entre modelagem e <i>fit</i> -experimental referente ao ganho de tensão estático (H_v), $R_{Carga} = 3,4 \pm 0,1\Omega$	161
Tabela 46 – Condições para pontos experimentais sobre avaliação de η , $R_{Carga} = 3,4 \pm 0,1\Omega$	162
Tabela 47 – Resultados comparativos entre modelagem e <i>fit</i> -experimental referente a eficiência (η), $R_{Carga} = 3,4 \pm 0,1\Omega$	163
Tabela 48 – Comparação de potência dissipada entre os conversores Zeta assíncrono e síncrono no ponto de operação nominal " P3 ", $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$	168
Tabela 49 – Seleção de conversores <i>buck-boost</i> integrados de potência comerciais, ordenados por data	189
Tabela 50 – Seleção de módulos conversores CC-CC <i>buck</i> POL comerciais, ordenados por data	191

LISTA DE ABREVIATURAS E SIGLAS

ASIC	<i>"Application-specific integrated circuit"</i>
AVS	<i>"Adaptive Voltage Scaling"</i>
CA	Corrente Alternada
CC	Corrente Contínua
CMOS	<i>"Complementary Metal Oxide Semiconductor"</i>
CPU	Unidade Central de Processamento
DECEA	Departamento de Controle do Espaço Aéreo Brasileiro
DMOS	<i>"Double-diffused Metal Oxide Semiconductor"</i>
DUT	<i>"Device Under Test"</i>
EESC	Escola de Engenharia de São Carlos
EPC	<i>"Efficient Power Conversion Corporation"</i>
ESR	<i>"Equivalent Series Resistance"</i> (Resistência equivalente série)
FPGA	<i>"Field Programmable Gate Array"</i>
GaN	Nitreto de Gálio
GaN-FET	Transistor de efeito de campo de Nitreto de Gálio
IBA	<i>"Intermediate Bus Architecture"</i>
IGBT	Transistor bipolar de porta isolada
IoT	<i>"Internet-of-Things"</i> (Internet-das-Coisas)
LFAPE	Laboratório de Fontes Alternativas e Processamento de Energia
LTCC	<i>"Low Temperature Co-fired Ceramic"</i>
MCC	Modo de Condução Contínuo
MC _{Crit.}	Modo de Condução Crítico
MCD	Modo de Condução Descontínuo
MOSFET	Transistor de Efeito de Campo de Óxido de Metal Semicondutor

MPPT	<i>"Maximum Power Point Tracking"</i>
NASA	<i>"The National Aeronautics and Space Administration"</i>
PA	<i>"Precision Agriculture"</i>
PCB	Placa de Circuito Impresso (<i>"Printed Circuit Board"</i>)
PMBus	<i>"Power Management Bus"</i>
POL	<i>"Point-of-Load"</i>
POLA	<i>"Point-of-Load Alliance"</i>
PSA	<i>"Power Stamp Alliance"</i>
PV	Fotovoltaico
ROA	<i>"Remotely Operated Aircraft"</i>
RPAS	<i>"Remotely Piloted Aircraft System"</i>
RPV	<i>"Remotely Piloted Vehicles"</i>
SCR	<i>"Silicon Controlled Rectifier"</i>
SEPIC	<i>"Single-Ended Primary Inductance Converter"</i>
SiC	Carbeto de Silício
SiGe	Silício-Germânio
SMPS	<i>"Switched-Mode Power-Supply"</i>
SVID	<i>"Serial Voltage Identification"</i>
TCO	<i>"Total Cost of Ownership"</i>
UAS	<i>"Unmanned Aerial System"</i>
UAV	<i>"Unmanned Aerial Vehicles"</i>
USP	Univesidade de São Paulo
VANT	Veículo Aéreo Não Tripulado
Zeta	Topologia <i>buck-boost</i> SEPIC Dual

LISTA DE SÍMBOLOS

χ_{eq}	Carga parametrizada
ΔV_{Carga}	Regulação de tensão na carga
Δ	Ondulação genérica
δ	Variação de resistência de R_{Carga}
η	Eficiência
η^*	Eficiência desconsiderando a potência dissipada por R_{DS} e V_{FWD}
$\eta_{bid_{max}}$	Eficiência máxima específica ao conversor Zeta síncrono
η_{est}	Eficiência levantada a partir de <i>fit</i> -experimental
η_{max}	Eficiência máxima
η_{mod}	Eficiência modelada
$\eta_{D_{max}}$	Eficiência em operação à razão-cíclica máxima
$\eta_{D_{min}}$	Eficiência em operação à razão-cíclica mínima
$\rho_{diss_{bid}}$	Potência dissipada normalizada específica ao conversor Zeta síncrono
ρ_{diss}	Potência dissipada normalizada
σ_{η}	Erro normalizado de eficiência entre modelagem e <i>fit</i> -experimental
$\bar{\sigma}_{\eta}$	Erro médio de eficiência entre modelagem e <i>fit</i> -experimental
σ_{H_v}	Erro normalizado de ganho de tensão estático entre modelagem e <i>fit</i> -experimental
$\bar{\sigma}_{H_v}$	Erro médio de ganho de tensão estático entre modelagem e <i>fit</i> -experimental
$\sigma_{T_{D1}}$	Erro normalizado de temperatura entre modelagem e <i>fit</i> -experimental sobre $D1$
$\bar{\sigma}_{T_{D1}}$	Erro médio de temperatura entre modelagem e <i>fit</i> -experimental sobre $D1$
$\sigma_{T_{Q1}}$	Erro normalizado de temperatura entre modelagem e <i>fit</i> -experimental sobre $Q1$

$\sigma_{T_{Q1}}^-$	Erro médio de temperatura entre modelagem e <i>fit</i> -experimental sobre $Q1$
$\sigma_{T_{Q2}}$	Erro normalizado de temperatura entre modelagem e <i>fit</i> -experimental sobre $Q2$
$\sigma_{T_{Q2}}^-$	Erro médio de temperatura entre modelagem e <i>fit</i> -experimental sobre $Q2$
ΣP_R	Soma das potências médias dissipada pelo conversor e pela carga
C_g	Capacitância total da porta (<i>gate</i>) do MOSFET
C_{gd}	Capacitância entre porta (<i>gate</i>) e dreno (<i>drain</i>) do MOSFET
$C0$	Capacitor de entrada
$C1$	Capacitor de acoplamento
$C2$	Capacitor de saída
D	Razão-cíclica média
d	Razão-cíclica
\tilde{d}	Componente de perturbação sobre a razão-cíclica
D_{calc}	Razão-cíclica calculada a partir do modelo
D_{crit}	Razão-cíclica crítica entre modos de condução contínuo e descontínuo
$D1$	Semicondutor não-controlado - Zeta assíncrono (<i>Low-side</i>)
f_{ch}	Frequência de chaveamento
$H_{v_{bidmax}}$	Ganho de tensão estático máximo específico ao conversor Zeta síncrono
$H_{v_{est}}$	Ganho de tensão estático levantado a partir de <i>fit</i> -experimental
$H_{v_{ideal}}$	Ganho de tensão estático ideal
$H_{v_{MCC}}$	Ganho de tensão estático em modo de condução contínuo
$H_{v_{MCD}}$	Ganho de tensão estático em modo de condução descontínuo
$H_{v_{mod}}$	Ganho de tensão estático modelado
H_v	Ganho de tensão estático em modo
$I_{C0_{RMS}}$	Corrente eficaz sobre $C0$

i_{C0}	Corrente sobre $C0$
I_{C0}	Corrente média sobre $C0$
$I_{C1_{RMS}}$	Corrente eficaz sobre $C1$
i_{C1}	Corrente sobre $C1$
I_{C1}	Corrente média sobre $C1$
$I_{C2_{RMS}}$	Corrente eficaz sobre $C2$
i_{C2}	Corrente sobre $C2$
I_{C2}	Corrente média sobre $C2$
$I_{Carga_{RMS}}$	Corrente eficaz sobre R_{Carga}
i_{Carga}	Corrente sobre R_{Carga}
I_{Carga}	Corrente média sobre R_{Carga}
$I_{D1_{RMS}}$	Corrente eficaz sobre $D1$
i_{D1}	Corrente sobre $D1$
I_{D1}	Corrente média sobre $D1$
$I_{G_{RMS}}$	Corrente eficaz do gerador
i_G	Corrente sobre o gerador
I_G	Corrente média do gerador
I_{gate}	Corrente de <i>gate</i> para comutação do MOSFET
$I_{L1_{RMS}}$	Corrente eficaz sobre $L1$
i_{L1}	Corrente sobre $L1$
I_{L1}	Corrente média sobre $L1$
$I_{L2_{RMS}}$	Corrente eficaz sobre $L2$
i_{L2}	Corrente sobre $L2$
I_{L2}	Corrente média sobre $L2$
$I_{Q1_{RMS}}$	Corrente eficaz sobre $Q1$
i_{Q1}	Corrente sobre $Q1$

I_{Q1}	Corrente média sobre $Q1$
$I_{Q2_{RMS}}$	Corrente eficaz sobre $Q2$
i_{Q2}	Corrente sobre $Q2$
I_{Q2}	Corrente média sobre $Q2$
K_{IL1}	Ondulação de corrente sobre $L1$
K_{IL2}	Ondulação de corrente sobre $L2$
K_{VC0}	Ondulação de tensão sobre $C0$
K_{VC1}	Ondulação de tensão sobre $C1$
K_{VC2}	Ondulação de tensão sobre $C2$
$K_{V_{Carga}}$	Ondulação de tensão sobre R_{Carga}
L_{eq}	Indutância equivalente
$L1$	Indutor intermediário
$L2$	Indutor de saída
max	Subíndice que denota valor máximo
min	Subíndice que denota valor mínimo
P_{Carga}	Potência média dissipada por a carga
P_{D1}	Potência média dissipada por V_{FWD}
P_G	Potência requerida ao gerador
P_{Q1}	Potência média dissipada por $Q1$
P_{Q2}	Potência média dissipada por $Q2$
$P_{R_{bid}}$	Representação genérica para potência dissipada em cada perda " R ", específica ao conversor Zeta síncrono
P_{RC0}	Potência média dissipada por R_{C0}
P_{RC1}	Potência média dissipada por R_{C1}
P_{RC2}	Potência média dissipada por R_{C2}
$P_{R_{DS}}$	Potência média dissipada por R_{DS}

$P_{R_{DS2}}$	Potência média dissipada por R_{DS2}
$P_{R_{L1}}$	Potência média dissipada por R_{L1}
$P_{R_{L2}}$	Potência média dissipada por R_{L2}
P_R	Representação genérica para potência dissipada em cada perda " R "
$pico$	Subíndice que denota valor de pico referente às componente de tensão ou corrente
PWM	"Pulse Width Modulation"
Q_G	Carga total acumulada em C_G
Q_{GD}	Carga total acumulada em C_{GD}
$Q1$	Semicondutor controlado (<i>High-side</i>)
$Q2$	Semicondutor controlado - Zeta síncrono (<i>Low-side</i>)
$R_{\theta_{JA,D1}}$	Resistência térmica entre temperatura da junção e ambiente em $D1$
$R_{\theta_{JA,Q1}}$	Resistência térmica entre temperatura da junção e ambiente em $Q1$
$R_{\theta_{JA,Q2}}$	Resistência térmica entre temperatura da junção e ambiente em $Q2$
R_{C0}	Resistência ôhmica série (ESR) $C0$
R_{C1}	Resistência ôhmica série (ESR) $C1$
R_{C2}	Resistência ôhmica série (ESR) $C2$
R_{Carga}	Resistência da carga
R_G	Resistência intrínseca do gerador e conexões de entrada
R_{L1}	Resistência ôhmica série (ESR) $L1$
R_{L2}	Resistência ôhmica série (ESR) $L2$
R_{DS}	Resistência de condução de $Q1$
R_{DS2}	Resistência de condução de $Q2$
R_L	Resistência ôhmica equivalente dos indutores
R_{Carga}	Carga do conversor puramente resistiva
T_{amb}	Temperatura ambiente

T_{ch}	Período de comutação dos semicondutores
$T_{est,D1}$	Valor a partir de <i>fit</i> -experimental da temperatura de junção de $D1$
$T_{est,Q1}$	Valor a partir de <i>fit</i> -experimental da temperatura de junção de $Q1$
$T_{est,Q2}$	Valor a partir de <i>fit</i> -experimental da temperatura de junção de $Q2$
$T_{J_{D1}}$	Temperatura na junção do semicondutor $D1$
$T_{J_{Q1}}$	Temperatura na junção do semicondutor $Q1$
$T_{J_{Q2}}$	Temperatura na junção do semicondutor $Q2$
$T_{mod,D1}$	Valor modelado da temperatura de junção de $D1$
$T_{mod,Q1}$	Valor modelado da temperatura de junção de $Q1$
$T_{mod,Q2}$	Valor modelado da temperatura de junção de $Q2$
T_{off}	Período em que a chave controlada está aberta
T_{on}	Período em que a chave controlada está fechada
T_x	Subintervalo de operação em modo de condução descontínuo
v_{C0}^*	Tensão sobre $C0$ associada a resistência intrínseca R_{C0}
$V_{C0_{RMS}}$	Tensão eficaz sobre $C0$
v_{C0}	Tensão sobre $C0$
V_{C0}	Tensão média sobre $C0$
v_{C1}^*	Tensão sobre $C1$ associada a resistência intrínseca R_{C1}
$V_{C1_{RMS}}$	Tensão eficaz sobre $C1$
v_{C1}	Tensão sobre $C1$
V_{C1}	Tensão média sobre $C1$
v_{C2}^*	Tensão sobre $C2$ associada a resistência intrínseca R_{C2}
$V_{C2_{RMS}}$	Tensão eficaz sobre $C2$
v_{C2}	Tensão sobre $C2$
V_{C2}	Tensão média sobre $C2$
$V_{Carga_{RMS}}$	Tensão eficaz sobre R_{Carga}

v_{Carga}	Tensão sobre R_{Carga}
V_{Carga}	Tensão média sobre R_{Carga}
$V_{D1_{RMS}}$	Tensão eficaz sobre $D1$
v_{D1}	Tensão sobre $D1$
V_{D1}	Tensão média sobre $D1$
$V_{FWD_{corr}}$	Tensão de polarização direta do diodo <i>Schottky</i> corrigida em função da corrente
V_{FWD}	Tensão de polarização direta do diodo <i>Schottky</i>
$V_{G_{RMS}}$	Tensão eficaz do gerador
v_G	Tensão do gerador
V_G	Tensão média do gerador
$V_{L1_{RMS}}$	Tensão eficaz sobre $L1$
v_{L1}	Tensão sobre $L1$
V_{L1}	Tensão média sobre $L1$
$V_{L2_{RMS}}$	Tensão eficaz sobre $L2$
v_{L2}	Tensão sobre $L2$
V_{L2}	Tensão média sobre $L2$
$V_{Q1_{RMS}}$	Tensão eficaz sobre $Q1$
v_{Q1}	Tensão sobre $Q1$
V_{Q1}	Tensão média sobre $Q1$
$V_{Q2_{RMS}}$	Tensão eficaz sobre $Q2$
v_{Q2}	Tensão sobre $Q2$
V_{Q2}	Tensão média sobre $Q2$
w	Variável de estado genérica
\tilde{w}	Componente de perturbação de uma variável de estado genérica
W	Componente média de uma variável de estado genérica

" <u>A</u> "	Matriz de controlabilidade
" <u>B</u> "	Matriz de entrada
" <u>C</u> "	Matriz de saída
" <u>E</u> "	Matriz de realimentação direta
" <u>F</u> "	Matriz de entrada referente à razão-cíclica
" <u>G</u> "	Matriz de realimentação direta referente à razão-cíclica
u	Vetor de entradas
ũ	Vetor das componentes de perturbação referente às entradas u
U	Vetor das componentes médias das entradas
x	Vetor de estados
ẋ	Vetor das componentes de perturbação referente aos estados x
X	Vetor de estados médios
y	Vetor de saídas
ỹ	Vetor das componentes de perturbação referente às saídas y
Y	Vetor das componentes médias das saídas

SUMÁRIO

1	INTRODUÇÃO	41
1.1	Objetivos e organização do trabalho	42
1.2	Motivação e justificativa	43
2	REVISÃO BIBLIOGRÁFICA	45
2.1	Aplicações de SMPS de alta eficiência	45
2.2	Conversores CC-CC <i>buck-boost</i>	46
2.2.1	Aplicações e desenvolvimento de topologias de conversores <i>buck-boost</i>	47
2.3	Conversores de alta eficiência POL	50
2.3.1	Alta frequência de comutação versus tecnologia dos semicondutores	51
2.3.2	Integração magnética e altos níveis de densidade de potência	52
2.3.3	Considerações e desafios associados a conversores POL com alta frequência de comutação	52
2.4	Tecnologias de conversão CC-CC de alta eficiência, densidade de potência e corrente: atual e tendências	53
2.5	Soluções comerciais em conversores <i>buck-boost</i> integrados e módulos POL	54
3	MODELAGEM DO CONVERSOR ZETA	59
3.1	Modelo matemático	59
3.2	Inclusão das perdas ôhmicas	59
3.3	Equacionamento do conversor Zeta em MCC	61
3.4	Formas de onda em MCC	64
3.5	Linearização do circuito chaveado	65
3.6	Modelagem em Espaço de Estados	66
3.7	Matrizes do espaço de estados	67
3.8	Equacionamento do ganho de tensão estático e eficiência	70
3.9	Modos de condução e limites de operação	71
4	DIMENSIONAMENTO DE COMPONENTES	75
4.1	Ondulação	76
4.2	Dispositivos armazenadores de energia	76
4.2.1	Indutores (L_1 , L_2)	76
4.2.2	Capacitor de saída (C_2)	78
4.2.3	Capacitor flutuante (C_1)	79
4.2.4	Capacitor de entrada (C_0)	80

4.3	Dispositivos semicondutores	81
4.3.1	Semicondutor controlado ($Q1$)	81
4.3.2	Semicondutor não-controlado ($D1$)	82
5	PROJETO DE CONVERSOR ZETA	85
5.1	Proposta de aplicação e especificação do circuito	85
5.2	Envelope de operação	86
5.3	Dimensionamento de componentes e parâmetros absolutos de operação	87
5.3.1	Análise de temperatura, ondulação e eficiência do circuito Zeta	92
5.3.2	Limites do envelope de operação do conversor Zeta projetado	95
5.3.3	Comportamento da tensão de condução (V_{FWD}) em $D1$	96
6	ANÁLISE DO CONVERSOR ZETA	99
6.1	Análise de resposta dinâmica (transiente)	99
6.2	Análise da ondulação em regime permanente	101
6.3	Análise do modo de condução	103
6.3.1	Envelope do circuito Zeta: R_{Carga} versus razão-cíclica	105
6.4	Análise de ganho estático (H_v) do conversor Zeta	107
6.4.1	Análise do impacto de R_{DS} sobre H_v do conversor Zeta	111
6.4.2	Análise do impacto de R_{L1} e R_{L2} sobre H_v do conversor Zeta	112
6.4.3	Análise do impacto de R_{C0} e R_{C2} sobre H_v do conversor Zeta	112
6.4.4	Análise do impacto de R_{C1} sobre H_v do conversor Zeta	113
6.4.5	Análise do impacto de V_{FWD} sobre H_v do conversor Zeta	113
6.5	Análise de eficiência do conversor Zeta assíncrono	115
6.5.1	Análise do impacto de R_{DS} sobre a eficiência (η) do conversor Zeta	118
6.5.2	Análise do impacto de R_{L1} e R_{L2} sobre a eficiência (η) do conversor Zeta	119
6.5.3	Análise do impacto de R_{C0} e R_{C2} sobre a eficiência (η) do conversor Zeta	119
6.5.4	Análise do impacto de R_{C1} sobre a eficiência (η) do conversor Zeta	119
6.5.5	Análise do impacto de V_{FWD} sobre a eficiência (η) do conversor Zeta	121
7	RESULTADOS EXPERIMENTAIS DO CONVERSOR ZETA	125
7.1	Estação de desenvolvimento	125
7.2	Conversor Zeta protótipo - Dispositivo sob testes (DUT)	126
7.3	Comparação entre modelo e resultados experimentais - Temperatura dos semicondutores	128
7.4	Comparação entre modelo e resultados experimentais - Ganho estático (H_v)	133
7.5	Comparação entre modelo e resultados experimentais - Eficiência (η)	135
7.6	Análise segregada das perdas nominais do conversor Zeta	137

8	PROPOSTA E ANÁLISE DE CONVERSOR ZETA SÍNCRONO . . .	139
8.1	Parâmetros absolutos de operação do conversor Zeta síncrono . . .	140
8.1.1	Análise de temperatura, ondulação e eficiência do conversor Zeta síncrono .	142
8.2	Análise do modo de condução: Zeta síncrono	147
8.3	Envelope de operação do conversor Zeta síncrono	148
8.4	Análise de ganho estático (H_v) do conversor Zeta síncrono	149
8.5	Análise de eficiência (η) do conversor Zeta síncrono	151
8.6	Análise segregada das perdas nominais do conversor Zeta síncrono .	153
9	RESULTADOS EXPERIMENTAIS DO CONVERSOR ZETA SÍN- CRONO	155
9.1	Comparação entre modelo e resultados experimentais - Tempera- tura de junção	155
9.2	Comparação entre modelo e resultados experimentais - Ganho es- tático (H_v)	160
9.3	Comparação entre modelo e resultados experimentais - Eficiência (η)	162
10	COMPARAÇÃO ENTRE OS CONVERSORES ZETA PROJETADOS	165
10.1	Temperatura de junção dos semicondutores dos conversores Zeta assíncrono e síncrono	165
10.2	Ganho de tensão estático entre os conversores Zeta assíncrono e síncrono	166
10.3	Eficiência entre os conversores Zeta assíncrono e síncrono	166
10.4	Perdas segregadas entre conversores: Zeta assíncrono e síncrono . .	167
11	REGIÃO DE OPERAÇÃO DO CONVERSOR ZETA	169
11.1	Análise de assinatura do conversor Zeta assíncrono POL	169
11.2	Análise de assinatura do conversor Zeta síncrono POL	172
11.3	Resultados experimentais da assinatura de operação	174
12	CONCLUSÕES	177
	REFERÊNCIAS	181
A	APÊNDICE: CONVERSORES CC-CC INTEGRADOS DE POTÊN- CIA COMERCIAIS	189
B	APÊNDICE: MÓDULOS CONVERSORES CC-CC DE POTÊNCIA COMERCIAIS	191
C	APÊNDICE: TERMOS DA MATRIZ <u>A</u>	193

D	APÊNDICE: TERMOS DA MATRIZ <u>B</u>	195
E	APÊNDICE: TERMOS DA MATRIZ <u>C</u>	197
F	APÊNDICE: TERMOS DA MATRIZ <u>F</u>	199
G	APÊNDICE: TERMOS DA MATRIZ-VETOR <u>Y</u>	201
H	APÊNDICE: CIRCUITO ZETA ASSÍNCRONO SIMULADO EM LTSPICE	203
I	APÊNDICE: CIRCUITO ZETA SÍNCRONO SIMULADO EM LTS- PICE	205
J	APÊNDICE: FORMAS DE ONDA CONVERSOR ZETA ASSÍN- CRONO EM REGIME PERMANENTE	207
K	APÊNDICE: FORMAS DE ONDA CONVERSOR ZETA SÍNCRONO EM REGIME PERMANENTE	211
L	APÊNDICE: RESULTADOS EXPERIMENTAIS ZETA ASSÍNCRONO	215
M	APÊNDICE: RESULTADOS EXPERIMENTAIS ZETA SÍNCRONO	223

1 INTRODUÇÃO

A origem da eletrônica de potência é datada de 1902 com a invenção de uma válvula retificadora de vapor de mercúrio por *Peter Cooper Hewitt* (HEWITT, 1901a) (HEWITT, 1901b) (HEWITT, 1901c). Um ano após essa invenção, ele desenvolveu a lâmpada de vapor de mercúrio cuja aplicação *Hewitt* buscava, inclusive, realizar o carregamento de baterias com corrente contínua (CC) a partir de uma fonte de corrente alternada (CA) (HEWITT, 1910a) (HEWITT, 1910b).

Este foi um marco na engenharia elétrica sendo umas das primeiras estratégias de conversão de energia elétrica em corrente alternada para contínua, ou seja, um conversor CA-CC ou retificador de potência (THOMAS, 1904), que estava apto a ser utilizado em uma aplicação comercial (WINOGRAD et al., 1948) (GUARNIERI, 2018) (ANTONIONO, 1927).

Estes dispositivos foram desenvolvidos para substituírem as máquinas elétricas rotativas, que eram utilizadas como geradores de CC com potência máxima de 150kW (WINOGRAD et al., 1948). Dentre as diversas aplicações, os retificadores de vapor de mercúrio foram responsáveis por fornecer potência suficiente a uma linha CC para acionar lâmpadas incandescentes no ano de 1905 em *Schenectady*, no estado de Nova-Iorque. A tecnologia foi fundamental para realização de processos eletroquímicos como anodização e eletro galvanização (GUARNIERI, 2018).

O segmento da eletrônica de potência ainda se destacou por buscar maneiras de converter energia de forma a maximizar a eficiência, obter maiores níveis de regulação e correção do fator de potência em dispositivos controlados (WINOGRAD et al., 1948).

Logo, em crescente ascensão, a indústria de componentes eletrônicos foi revolucionada pela criação do transistor de contato em 1947 por *John Bardeen e Walter Brattain*, precedida pela invenção do transistor de junção por *William Shockley* nos laboratórios da companhia americana "*Bell Labs*", fundada por *Alexander Graham Bell*. Após ser anunciado em 1948, o transistor se mostrou mais robusto por possuir maior tempo de vida útil, menor peso e tamanho (JOY, 2014) (ROSS, 1997). Desde então, a eletrônica tem se desenvolvido exponencialmente e dispositivos cada vez mais complexos têm permitido a concepção de circuitos sofisticados (SPARKES, 1973).

Na década de 60, os tiristores ou SCRs (do inglês "*Silicon-Controlled Rectifier*") dominaram o mercado após serem introduzidos pela companhia "*General Electric*". A utilização dos SCRs permitiu avanços em relação aos circuitos eletrônicos para obtenção de maiores níveis de potência, maior eficiência e redução do tamanho dos equipamentos eletrônicos que viabilizou a sua utilização na produção de energia em aplicações industriais

envolvendo níveis elevados de potência, maiores que 1MW (JOY, 2014) (ROSS, 1997). Portanto, a tecnologia dos semicondutores tem sido explorada intensamente desde meados dos anos 70, e aliada à demanda crescente por componentes cada vez mais eficientes, foram incentivadas pesquisas e o desenvolvimento de dispositivos como por exemplo: MOSFETS, GaN-FET, IGBT, SiC e SiGe (YANO; ABE; OHNO, 2004) (INO et al., 2019).

Atualmente, estes componentes são fundamentais para o desenvolvimento de circuitos cujas aplicações compõem estágios de fontes de alimentação, inversores, dimmers, laptops, caixas de som portáteis, celulares, reatores de lâmpadas fluorescentes, sistemas de geração distribuída, dentre outros.

Logo, visando projetar circuitos chaveados de potência com alta eficiência, é necessário analisar o ponto de operação do conversor considerando as resistências ôhmicas distribuídas pelo circuito. Esta análise é uma das ferramentas que auxiliam o projetista a alcançar o nível do estado-da-arte em conversores CC-CC por operar no ponto de máxima eficiência do circuito, além de indicar a possibilidade de redução de custo ou mesmo indicar qual é a melhor estratégia para a escolha da topologia a ser adotada na solução de um problema de engenharia específico.

Neste contexto, esta dissertação possui como foco apresentar ao engenheiro eletrônico uma metodologia que pode ser utilizada em projetos de circuitos de potência chaveados para obtenção de maiores níveis de eficiência em uma determinada aplicação. Para tanto, são realizadas análises matemáticas: 1) do projeto de um conversor *buck-boost* de topologia Zeta em que as perdas ôhmicas de todos os componentes são consideradas, 2) do impacto destas perdas de forma segregada à eficiência do conversor CC-CC, 3) apresentação de técnica para análise do ponto de operação do circuito no ponto de carga (POL, do inglês "*Point-of-Load*") em relação à máxima eficiência do conversor para um envelope específico.

1.1 Objetivos e organização do trabalho

A estratégia de análise presente nessa dissertação busca avaliar o impacto das perdas intrínsecas em relação ao ponto de operação em termos de ganho e eficiência em conversores CC-CC para aplicações de alto-desempenho. Logo, é utilizado um circuito "*buck-boost*" de topologia Zeta como base para a análise proposta por ser um conversor CC-CC abaixador-elevador que atende a motivação proposta neste trabalho. Em planos gerais, este trabalho propõe:

1. Apresentar uma metodologia de cálculo e projeto de conversores CC-CC incluindo as perdas ôhmicas intrínsecas dos componentes passivos armazenadores de energia e semicondutores;

2. Ilustrar de forma segregada o impacto das perdas intrínsecas à temperatura dos semicondutores, ganho estático e eficiência do circuito chaveado apresentado;
3. Investigar a assinatura de operação de um conversor CC-CC, que é definida como a relação entre o ganho e a eficiência em toda a região de operação do circuito, limitada neste trabalho ao modo de operação em condução contínua (MCC);
4. Por fim, fornecer uma ferramenta de análise e projeto de conversores CC-CC com foco na obtenção do nível de eficiência desejado no ponto de carga do circuito.

Este trabalho é estruturado em 12 capítulos: 1) Introdução, 2) Revisão bibliográfica, 3) Modelagem do conversor Zeta, 4) Dimensionamento de componentes, 5) Projeto do conversor Zeta, 6) Análise do conversor Zeta, 7) Resultados experimentais do conversor Zeta, 8) Proposta e análise de conversor Zeta síncrono, 9) Resultados experimentais do conversor Zeta síncrono, 10) Comparação entre os conversores projetados, 11) Região de operação do conversor Zeta, 12) Conclusão e passos futuros.

1.2 Motivação e justificativa

Existe uma ampla variedade de aplicações móveis que requerem dispositivos de potência chaveados de alta eficiência, em que são utilizadas baterias e painéis fotovoltaicos como fontes primárias. O uso de aeronaves não tripuladas (RPAS, do inglês, "*Remote Piloted Aircraft System*") voltadas ao aerolevanteamento e agricultura de precisão (PA, do inglês "*Precision Agriculture*"), são aplicações cada vez mais comuns, em que a autonomia é um fator crucial em relação à viabilidade do equipamento e da ação a ser realizada.

Nessas aplicações, a análise da eficiência da fonte de alimentação chaveada (SMPS, do inglês "*Switched-Mode Power-Supply*") é imprescindível, pois a viabilidade da aplicação está relacionada com a autonomia do dispositivo. Nesse cenário, é importante avaliar o rendimento do conversor, o envelope, e o ponto de operação, assim como a flexibilidade de ganho de tensão e corrente do conversor.

A estratégia explorada nesse trabalho fornece ao projetista a possibilidade de analisar a aplicação de um circuito chaveado de potência em um ponto específico de operação (POL) em relação à máxima eficiência do circuito chaveado projetado, a fim de otimizar o desempenho do dispositivo eletrônico. Para tanto, se faz necessário conhecer a distribuição das perdas por todos os componentes do circuito, que fundamenta o tema proposto desta dissertação.

No Capítulo 2 é apresentada uma revisão sobre os temas mencionados, de forma a detalhar o contexto referente à tecnologia de conversores CC-CC de alta eficiência e suas aplicações.

2 REVISÃO BIBLIOGRÁFICA

2.1 Aplicações de SMPS de alta eficiência

Diversas aplicações, principalmente móveis, demandam SMPS de alta eficiência, pois utilizam baterias como fontes primárias de energia, por exemplo, agricultura de precisão, monitoramento e levantamento remoto de informações sobre terrenos, clima e vegetação (aerolevantamento), dentre outras voltadas a telecomunicação, infraestrutura, mídia e entretenimento, segurança, mineração, busca e salvamento (DECEA, 2020).

A agricultura de precisão é descrita como o conceito de gerenciamento de plantações com base na observação, sensoriamento e distinção da variedade de espécies em uma determinada área. Assim, é um segmento de aplicações agrícolas reconhecido por ser uma técnica de alta eficiência e sustentável, pois, permite diversos tratamentos com precisão e maior eficácia dos resultados, comparado aos métodos convencionais (LINDBLUM *et al.*, 2017).

Aplicações de pequenas aeronaves não tripuladas (UAS do inglês, "*Unmanned Aerial Systems*") no segmento da agricultura de precisão é um assunto emergente considerando a evolução exponencial de dispositivos eficientes, câmeras de alta resolução, sistemas de geolocalização precisos, assim como a evolução das técnicas de processamento de imagens e tratamento de grandes quantidades de dados. Logo, considerando as aplicações descritas existe uma gama extensa de opções de UAS, sendo o custo um dos principais critérios de adoção de uma tecnologia específica (ZHANG; KOVACS, 2012).

Contudo, as alternativas mais econômicas não possuem um controle de mobilidade espacial trivial, de forma que os estudos mais recentes têm focado na investigação do uso de pequenas UAS como: UAV (do inglês, "*Unmanned Aerial Vehicles*"), RPV (do inglês, "*Remotely Piloted Vehicles*"), ROA (do inglês, "*Remotely Operated Aircraft*"), e helicópteros controlados remotamente (PURI; NAYYAR; RAJA, 2017) (EISENBEISS, 2004).

Apesar de haver uma variedade de nomenclatura, de acordo com o “Departamento de Controle do Espaço Aéreo (DECEA)” brasileiro, os termos adotados para as pequenas UAS são: VANT (Veículo Aéreo Não Tripulado) e RPAS, que são as aeronaves remotamente pilotadas a fins não recreativos (DECEA, 2019).

Além do custo elevado, outros problemas provenientes do uso de RPAS nas aplicações mencionadas são fundamentalmente técnicos: potência dos propulsores, manutenção da altitude, estabilidade e habilidade de movimentação espacial (HARDIN *et al.*, 2007), assim como baixa autonomia e voos com duração limitada. Portanto, a eficiência das SMPS utilizadas são fatores cruciais para garantir a viabilidade técnica do uso das RPAS.

Há outras aplicações que requerem SMPS de alta eficiência em corrente contínua, como a distribuição de energia em sistemas de alimentação em grandes aeronaves, uma vez que é um segmento em busca constante por tecnologias mais confiáveis, de ótimo desempenho e de alto rendimento (AL-BAYATI; MATIN, 2018).

Como exemplo, os aviões Airbus A380 e Boeing 787 possuem uma potência de geração cerca de 850kW a 1,4MW. Neste nível de potência, a transmissão ocorre em alta-tensão de forma que as perdas de condução sejam menores, reduzindo o peso e favorecendo o uso de conversores CC-CC de alta eficiência no sistema de alimentação das aeronaves. Portanto, esta arquitetura de distribuição que utiliza corrente CC permite a utilização de circuitos mais simples, mais eficientes e confiáveis frente aos transientes de carga em condições severas de operação (NAAYAGI; FORSYTH; SHUTTLEWORTH, 2012).

No outro extremo, pequenos dispositivos como nano-satélites, também requerem SMPS eficientes, em que aliado a técnicas de busca do ponto de máxima potência (MPPT) de painéis fotovoltaicos e baterias com efeito memória reduzido e alta densidade de armazenamento de energia, empregam conversores eficientes que viabilizam estas aplicações. De acordo as considerações dos sistemas de potência realizadas por ROBYN; THALLER; SCOTT (1995) os nano-satélites (da ordem de 1kg de massa), na década de 90, possuíam potência por volta de 1 a 2W, com eficiência entre 80 a 85%, e frequência de chaveamento em 600kHz. As patentes a seguir também exemplificam as aplicações, em vigor:

Nanosatellite solar cell regulator, (US7786716B2) (SIMBURGER; RUMSEY; CARIAN, 2010): refere-se a aplicações de SMPS aeroespaciais utilizadas em nano e pico-satélites, voltada à busca do ponto de máxima potência do conjunto de células fotovoltaicas. Uma vez que a eficiência é um critério importante para garantir a viabilidade destas aplicações, a análise da região de operação dos conversores é um tema de investigação importante.

POL system architecture with analog bus, (US7584371B2) (JASON, 2009): os reguladores POL são conversores CC-CC utilizados em dispositivos eletrônicos compostos por SMPS que requerem uma tensão de saída diferente da tensão disponível na entrada, geralmente com níveis elevados de corrente de saída. A patente está relacionada aos projetos de reguladores de tensão POL controlados por um barramento analógico cujas aplicações requerem tensões múltiplas e independentes.

2.2 Conversores CC-CC *buck-boost*

Na década de 70 foram desenvolvidos conversores CC-CC *buck-boost* por Slobodan M. Čuk e Robert D. Middlebrook (CUK, 1977) (CUK; MIDDLEBROOK, 1980), pioneiros no desenvolvimento de conversores chaveados e dispositivos magnéticos integrados (The Franklin Institute, 1991). De acordo com o contexto discorrido na seção anterior, foi apresentada uma topologia com um nível de eficiência significativamente superior em

comparação com as topologias convencionais da época (CUK, 1977). A partir das técnicas descritas em MIDDLEBROOK; CUK (1976), as topologias de conversores *buck-boost* de segunda geração apresentadas por CUK (1977) foram nomeadas como conversores Ćuk.

A ideologia que possibilitou esta nova família de conversores esteve relacionada ao princípio da dualidade apresentado em CUK (1979). Portanto, diferentemente da topologia convencional *buck-boost* em que há a transferência de energia apenas pelo indutor, o funcionamento dos conversores Ćuk é fundamentado na transferência de energia pelo capacitor de acoplamento, com uma parcela adicional também por parte dos indutores, que podem ser acoplados ou não. Assim, a partir da configuração Ćuk, outras configurações isoladas e não-isoladas foram derivadas: a topologia SEPIC (do inglês, "*Single-Ended Primary Inductance Converter*") (CUK, 1979) e a topologia Zeta, sendo o respectivo SEPIC Dual (JOZWIK; KAZIMIERCZUK, 1989).

O conversor Zeta também pode ser interpretado como um conversor "*buck-boost-buck*" (do ponto de vista da entrada), composto por um estágio CA entre a entrada e a saída CC (JOZWIK; KAZIMIERCZUK, 1989) (ABREU, 1992), em que as características de corrente de entrada e saída destes conversores são sumarizadas conforme a Tabela 1.

Tabela 1: Características das topologias Ćuk, SEPIC e Zeta ideais

Topologia	Ćuk	SEPIC	Zeta
Corrente entrada	Contínua	Contínua	Pulsada
Corrente saída	Contínua	Pulsada	Contínua
Ganho de tensão	$-\frac{D}{1-D}$	$\frac{D}{1-D}$	$\frac{D}{1-D}$

Os conversores SEPIC e Zeta possuem diversas variações: com indutores acoplados, isolados e não-isolados, síncronos e assíncronos. Devido à sua alta eficiência, regulação de tensão e flexibilidade de ganho, estas estruturas tornaram-se populares de acordo com BETTEN (2014). Além disso, é possível mencionar que foram utilizados em SMPS presentes na cápsula "*Orion*" pela empresa *TESLACO* em parceria com a *Honeywell* (TESLACO, 2020), do programa "*Artemis I*" (NASA) que visa retornar e explorar a Lua, tal como realizar missões de exploração espacial mais longas e distantes (SEMPSSROTT, 2020).

2.2.1 Aplicações e desenvolvimento de topologias de conversores *buck-boost*

Dentre as inúmeras aplicações com conversores Zeta, esta subseção procura contextualizar o leitor frente a alguns dos trabalhos e patentes envolvendo os conversores CC-CC *buck-boost*, com foco na topologia Zeta, nas últimas duas décadas.

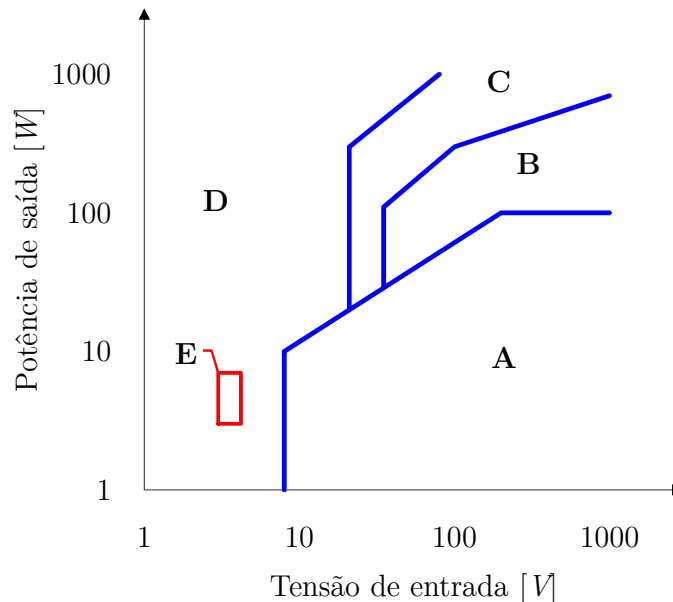
A topologia SEPIC dual (Zeta) e seu respectivo equacionamento, foi apresentada por KAZIMIERCZUK; JOZWIK (1989) como uma solução viável para utilização em sistemas de potência distribuídos, destacando-se por ser um conversor não-inversor, com a

possibilidade de configuração isolada ou não-isolada, ser abaixador ou elevador de tensão e possuir uma função de transferência do ganho de tensão estático independente da carga parametrizada ao operar em modo de condução contínua, sendo estes critérios altamente desejáveis nas aplicações propostas (JOZWIK; KAZIMIERCZUK, 1989).

O conversor Zeta-GEPAE, assim como seus modos de condução, foi analisado de forma detalhada em ABREU (1992), sendo considerada uma referência adicional sólida relacionada à análise do conversor Zeta. Tal como a menção às dificuldades referentes à frequência de chaveamento, eficiência e viabilidade de conversores que operam em baixas tensões de entrada com potências inferiores a 10W.

Portanto, as condições de operação delimitadas pela região "E" ilustrada pela Figura 1, não são facilmente desenvolvidas em altos níveis de eficiência em topologias convencionais (ABREU, 1992). O conversor Zeta também é apresentado em MARTINS; ABREU (1993) e MARTINS (1996).

Figura 1: Mapa de configurações para conversores de potência. **A**=*Flyback-Foward*; **B**=*Half-bridge*; **C**=*Full-bridge*; **D**=Topologias especiais; **E**=Envelope da aplicação proposta nesta dissertação. Adaptado de (ABREU, 1992)



Em MARTINS; ABREU (1993) é investigada uma aplicação em modo de condução contínuo, com a topologia Zeta cobrindo uma faixa de potência de 100 a 200W a fim de obter alto-rendimento e alta densidade de potência focada em uma solução de baixo custo. É ressaltado que a topologia é versátil e robusta, sendo escolhido o modo de condução contínuo uma vez que a função de transferência e ganho são independentes da carga nesta condição (JOZWIK; KAZIMIERCZUK, 1989). Além disso, os autores mencionam

e sugerem que a topologia é uma escolha atrativa em aplicações de sistemas de geração distribuídos de baixa tensão.

A versatilidade dos conversores é aprofundada em [AXELROD; BERKOVICH; IOINOVICI \(2008\)](#), uma vez que é explorada uma arquitetura que cobre múltiplas topologias de conversores CC-CC: híbridas, clássicas e quadráticas, incluindo o *buck-boost* SEPIC e Zeta. Alguns dos pontos negativos também são mencionados em [ABREU \(1992\)](#), como: estresse nos semicondutores, tamanho e custo são contornados pela arquitetura híbrida proposta, em que capacitores e indutores são chaveados e dispostos de formas diferentes. Por fim, uma série de experimentos foram realizados com comutação em 40kHz, tensão de entrada de 12V e potência de saída igual a 50W. Logo, dentre as vantagens dos conversores apresentados por [AXELROD; BERKOVICH; IOINOVICI \(2008\)](#), a principal é colocada como a baixa dissipação nos indutores que resulta em um circuito mais eficiente, além de possuir menor peso, tamanho e custo.

O trabalho apresentado por [WORANETSUTTIKUL et al. \(2014\)](#) investiga e compara a eficiência e ondulação de saída entre um conversor CC-CC Zeta síncrono com o conversor SEPIC em um intervalo de razão-cíclica entre 0,3 e 0,7. Foram analisadas duas frequências de chaveamento dos semicondutores: 20 e 40kHz para comparar as perdas dinâmicas e de condução. A motivação do projeto desenvolvido esteve relacionada à tecnologia de otimização de geração e distribuição de energia proveniente de fontes alternativas, por exemplo, conversores CC-CC aplicados a técnicas de operação e busca do ponto de máxima potência (MPPT) associados com o uso de painéis fotovoltaicos (PV).

O experimento foi realizado com tensão de entrada em 28V, potência de saída 160W, em que foi obtida uma eficiência máxima de 93% em 20kHz e 85,6% em 40kHz para o conversor Zeta síncrono. Também foi verificado que o Zeta possui um desempenho superior ao conversor SEPIC, por possuir ondulação de saída inferior e maior eficiência.

Recentemente, novas tecnologias de semicondutores como GaN-FET (Nitreto de Gálio) e SiC (Carbeto de Silício) têm se destacado por possuírem baixos níveis de perda em elevadas comutações (GaN-FET) e por permitirem níveis de tensão reversa elevados (SiC). Portanto, em [AL-BAYATI; MATIN \(2018\)](#) é proposto um circuito Zeta assíncrono utilizando semicondutores compostos de GaN-FET e SiC para alcançar os níveis desejados de desempenho, além de comparar os resultados com o MOSFET convencional. Uma vez que a confiabilidade, o alto-desempenho e a alta eficiência são os principais critérios da avaliação de conversores CC-CC nas aplicações em sistemas de geração de energia renovável. Como características do circuito experimental, foi drenada uma corrente de saída de 1A, tensão de entrada de 38 a 40V, tensão de saída em 400V, frequência de comutação igual a 20kHz e eficiência de aproximadamente 98%.

Nestas condições, a diferença de eficiência entre o circuito em que se utilizou o MOSFET e o GaN-FET esteve na ordem de 0,174%. Ao aumentar a frequência para 100kHz,

a diferença aumentou para 1,922%, sendo verificado que a utilização dos semicondutores GaN-FET está relacionada à frequência de chaveamento e à miniaturização do conversor, mantendo um alto nível de eficiência. A utilização do diodo Schottky-SiC esteve relacionada à elevada tensão de saída praticada no projeto Zeta proposto em [AL-BAYATI; MATIN \(2018\)](#).

Em [BANAEI; BONAB \(2020\)](#), a topologia *buck-boost* baseada na configuração Zeta foi proposta sob a motivação da necessidade de regulação de tensão das aplicações em fontes alternativas de energia como células combustível e painéis fotovoltaicos. O procedimento experimental foi realizado com frequência de comutação em 40kHz, tensão de entrada de 36V, tensão de saída em 80V, potência de 200W e eficiência entre 95 e 97%.

Por fim, é verificado que o conversor Zeta tem sido alvo de estudos nas últimas décadas, cuja tecnologia está consolidada. Dentre as principais características da topologia, encontram-se: a) alta eficiência (superior à topologia SEPIC), b) simplicidade na configuração da tensão de saída, garantindo versatilidade ao circuito e c) baixa ondulação de saída. Foi constatado que a maioria das aplicações apresentados nos trabalhos referenciados possui uma frequência de comutação da ordem de 20 a 100kHz e tensão de entrada superior a 12V.

2.3 Conversores de alta eficiência POL

Há um mercado emergente de SMPS de alta eficiência e alta densidade de potência que tem demandado uma quantidade crescente de dispositivos eficientes para aplicações que envolvem tecnologia da informação, telecomunicações, servidores de internet ([YAN et al., 2013](#)), assim como as aplicações móveis ([LEE; LI, 2013](#)) já mencionadas. Nestas aplicações, o uso de SMPS POL é uma alternativa que visa a redução de custo do projeto frente ao uso de reguladores lineares e uma maior autonomia dos dispositivos eletrônicos ([MATHÚNA et al., 2012](#)).

Nesse contexto, os conversores POL possuem como objetivo fornecer um nível de potência à uma carga específica, operando em uma faixa de tensão de entrada pré-determinada ([CHERNAYA et al., 2016](#)). Essas topologias geralmente possuem uma resposta rápida a transientes de carga e utilizam de técnicas de posicionamento adaptativo de tensão para reduzirem as perdas, uma vez que o circuito trabalha com baixos níveis de tensão e altos níveis de corrente ([YAN et al., 2013](#)).

Com o intuito de se obterem níveis de densidade de potência cada vez maiores, há a necessidade de miniaturizar as SMPS ([LIU et al., 2015](#)). Portanto, os módulos de potência requerem frequências de comutação elevada ([REUSCH; STRYDOM, 2014](#)), uma vez que a maior parcela do espaço nos circuitos é ocupada pelos componentes armazenadores de energia: indutores e capacitores ([JI et al., 2013](#)) ([ZHANG et al., 2013](#)).

Embora existam classificações divergentes, que são atualizadas conforme a evolução da tecnologia, em [MATHÚNA et al. \(2012\)](#) é mencionada que a faixa de comutação dos dispositivos POL miniaturizados está entre 500 e 8000kHz. De forma mais conservadora, em [LEE; LI \(2013\)](#) e [JI et al. \(2013\)](#), é caracterizado que as aplicações que utilizam conversores POL, geralmente são compostas por componentes discretos, semicondutores MOSFET, e operam entre 200 a 600kHz de forma a obter uma eficiência regular, em torno de 80 a 90%.

A topologia *buck* não-isolada tem sido o principal conversor CC-CC implementado em SMPS POL ([LIU et al., 2015](#)), cuja conversão comumente ocorre de até 48 para 1V ([REUSCH; STRYDOM; GLASER, 2015](#)). No entanto, um dos principais entraves para obtenção de circuitos com alta densidade de potência é o espaço ocupado pelo indutor do circuito. A fim de contornar o problema, a comunidade acadêmica-científica tem avaliado duas estratégias: 1) elevação da frequência de comutação e 2) integração magnética.

2.3.1 Alta frequência de comutação versus tecnologia dos semicondutores

Após mais de 30 anos do desenvolvimento de MOSFETs, esses semicondutores alcançaram o desenvolvimento tecnologia próximo aos limites teóricos ([JI et al., 2013](#)).

Como alternativa para suprir a demanda de aplicações com maior densidade de potência, dispositivos de enriquecimento construídos com nitreto de gálio (GaN) sobre um substrato de silício (GaN-FET) foram desenvolvidos, em que a tecnologia GaN foi apresentada pela primeira vez pela companhia japonesa *Eudyna Coporation*, em 2004, em transistores de depleção. Em 2005, a empresa *Nitronex Corporation* lançou o primeiro transistor de depleção GaN sobre um substrato de silício (GaN-FET).

Uma vez que as estruturas GaN são similares aos dispositivos DMOS laterais, é possível serem manufaturados em *foundries* que produzem tecnologia integrada CMOS. Em 2009, a empresa *Efficient Power Conversion Corporation* (EPC) lançou a tecnologia GaN em modo de enriquecimento, aplicada a transistores de potência com a intenção de serem utilizados como substitutos diretos dos MOSFETs ([LIDOW, 2011](#)).

Os dispositivos GaN emergiram recentemente como uma proposta viável para solucionar várias deficiências provenientes dos MOSFETs ([REUSCH; STRYDOM, 2014](#)): chaves semicondutoras com resistência de condução inferior, comutação mais rápida, melhor dissipação térmica, tamanho reduzido e viabilidade de custo ([JI et al., 2013](#)).

No entanto, a utilização destes dispositivos é justificável em frequências de comutação a partir de 300kHz, uma vez que há uma relação custo-benefício entre as perdas de condução e de comutação considerável ([LIDOW, 2011](#)). Logo, é evidente que os dispositivos GaN viabilizaram uma gama maior de aplicações complexas que exigem níveis de desempenho elevados e volume reduzido.

2.3.2 Integração magnética e altos níveis de densidade de potência

Embora os semicondutores GaN permitam a adoção de frequências de chaveamento superiores a 300kHz, proporcionando uma eficiência satisfatória, os elementos armazenadores de energia requerem a maior parcela do espaço disponível, dificultando o projeto de módulos de potência com alta densidade de potência.

Em [SU et al. \(2012\)](#), o desempenho de um conversor *buck* POL com indutores discretos convencionais foi comparado com indutores manufacturados com a técnica LTCC (do inglês, “*Low Temperature Co-fired Ceramic*”), visando a integração magnética. Foi verificado que a obtenção de elevados níveis de densidade de potência está relacionada, principalmente ao projeto de indutores via técnicas avançadas de integração magnética, reduzindo tamanho, peso e aumentando a eficiência destes dispositivos em altas frequências de comutação. De acordo com [ZHANG et al. \(2013\)](#), os indutores processados via técnica LTCC demonstraram ser uma forma viável de se obter uma integração magnética entre os elementos armazenadores de energia com alto nível de eficiência e tamanho reduzido.

Os protótipos experimentais POL focados em alta densidade de potência, ou seja, entre 800 e 1000W/in³, possuem comutação entre 2 e 5MHz, conversão de tensão de 12 para 1,2V, corrente de saída entre 15 e 20A, eficiência entre 81 a 89%. Os semicondutores utilizados foram GaN-FET e indutores planares integrados LTCC ([SU et al., 2012](#)) ([LEE; LI, 2013](#)) ([JI et al., 2013](#)) ([ZHANG et al., 2015](#)).

2.3.3 Considerações e desafios associados a conversores POL com alta frequência de comutação

Conforme mencionado, a demanda por circuitos menores, requer que os conversores CC-CC POL operem com uma frequência de chaveamento elevada. No entanto, existem vários pontos de atenção ao trabalhar em tal nível de comutação ([NOWAKOWSKI; KING, 2011](#)) ([REUSCH; STRYDOM, 2014](#)): a) Tempo “*On*” mínimo, b) *jitter*, c) eficiência e dissipação de potência, d) tamanho dos componentes, e) a resposta ao transiente, f) acoplamentos eletromagnéticos indesejados, g) “*ringing*” e ressonância indesejada.

Dessa forma, são necessárias técnicas avançadas de *layout* de placas de circuito impresso para que os efeitos de acoplamentos eletromagnéticos: tanto verticais, como laterais sejam atenuados e que as perdas decorrentes da comutação em alta frequência sejam minimizadas ([REUSCH; STRYDOM, 2014](#)).

Em [NOWAKOWSKI; KING \(2011\)](#) são comparadas diversas características de um conversor *buck*, com conversão de 48 para 5V, ondulação em 50mV, 1A de corrente de saída, em três níveis de comutação: 100, 300 e 750kHz, em que são apresentados tanto os pontos positivos, como os desafios associados a estes projetos. Dentre os benefícios são mencionados: a) a redução do tamanho físico dos elementos armazenadores de energia, b) transientes mais rápidos e c) “*overshoots*” de tensão inferiores. Dentre os pontos de atenção,

são pontuados: a) maior dissipação de potência, restringindo o rendimento do conversor, b) redução da mínima tensão de saída praticável (em relação aos limites praticáveis de razão-cíclica devido ao mínimo tempo em que o semicondutor está ativo), reduzindo o envelope de operação do conversor, c) maiores níveis de *jitter*, d) falhas na comutação e e) ruído elevado.

Por fim, para contornar os pontos de atenção mencionados, o custo de desenvolvimento e dos semicondutores (discretos ou integrados) geralmente são elevados, podendo inviabilizar o projeto caso as especificações e desempenho não sejam essenciais na aplicação final.

2.4 Tecnologias de conversão CC-CC de alta eficiência, densidade de potência e corrente: atual e tendências

Desde a década de 90, a arquitetura de barramento intermediário (IBA) tem sido empregada em sistemas de alimentação chaveados (SHRIEK, 2006), em que são utilizados conversores POL operando em baixas tensões de saída, entre 0,8 a 3,3V (REDDY et al., 2017). Uma vez que as fontes de alimentação primárias comumente possuem uma tensão CC entre 12 e 48V, em 2004, foi criada a primeira grande aliança entre grandes corporações para padronizar as configurações mecânicas e elétricas, assim como as características de operação de módulos conversores POL (ALLAN, 2004) conforme a especificação PMbus (do inglês, "Power Management Bus") para gerenciamento, i.e., configuração, monitoramento e controle digital dos módulos de saída POL, de forma eficiente (WHITE, 2014).

Foram fundadores e participantes do grupo denominado "Point-Of-Load Alliance" ("POLA"): Artesyn Technologies (Emerson Network Power), Texas Instruments Inc, Intersil, Microchip Technology, Summit Microelectronics, Volterra Semiconductor e Zilker Labs (WHITE, 2005).

Com a popularização de aplicações envolvendo "Internet-das-Coisas" (IoT), *big data* e processamento em nuvem, há uma demanda crescente de uso de servidores e "data-centers" (YAN; KE; MA, 2019). Nesse contexto, a Google apresentou, em 2016, a arquitetura "48V-to-POL" (SVERDLIK, 2016) (Maxim Integrated, 2016). A tecnologia visou aumentar a eficiência, operar em maiores níveis de potência e corrente, trabalhar em uma margem de tensão segura e viabilizar o custo e garantir uma maior flexibilidade de desenvolvimento. Sendo os desafios da tecnologia e alvo de estudo atuais: a integração magnética, projeto de transformadores eficientes e otimização dos custo dos processos diretos e indiretos da tecnologia (TCO, do inglês "Total Cost of Ownership") (LI; JIANG, 2017) (MCCAULEY; JIANG, 2018).

Com base nas conquistas tecnológicas alcançadas nas últimas três décadas, a evolução da tecnologia envolvendo conversores CC-CC de potência permitiu que fosse alcançada uma eficiência sistêmica superior ao realizar a conversão de tensão em um único

estágio "*48V-to-POL*". Esta estratégia de conversão direta possui diversas vantagens, em que [CANTRELL; HAEGERDAL \(2017\)](#) também cita como benefícios adicionais desta arquitetura como sendo: a facilidade de gerenciamento térmico dos módulos, a utilização de dispositivos menores e a obtenção de maiores níveis de densidade de potência.

Recentemente, em 2018, quatro dos líderes do mercado no setor de conversores de potência: *Artesyn Technologies (Emerson Network Power)*, *Bel Power Solutions*, *Flex Power Modules* e *STMicroelectronics* anunciaram a formação de uma nova aliança industrial: "*Power Stamp Alliance*" ("*PSA*"), voltada à padronização de módulos de potência para aplicações que utilizam conversão direta em 48V ([RAIVADERA, 2018](#)).

Como exemplo do uso das soluções de potência desenvolvidas pela "*PSA*", é possível mencionar o uso da tecnologia em arquiteturas de processadores incluindo, as CPUs: *Intel VR13 Skylake*, *Intel VR13-HC Ice Lake*, memórias DDR4, processadores IBM POWER9 (P9) e *chipsets* de alta corrente para ASICs e FPGAs. O conceito da tecnologia é baseado no princípio de utilizar unidades discretas de potência combinadas, e atualmente podem atender uma capacidade de corrente total de até 600A ([RAIVADERA, 2018](#)) ([BROWN, 2017](#)) ([BROWN, 2018](#)) ([BROWN; VAI; MAURI, 2019](#)).

2.5 Soluções comerciais em conversores *buck-boost* integrados e módulos POL

A fim de analisar as características dos conversores CC-CC integrados, dos módulos e micro-módulos POL, foi realizada uma pesquisa do portfólio referentes às soluções que possuem: tensão de entrada mínima igual ou menor que 4,5V, tensão de saída máxima igual ou maior à 3,3V, tensão de saída mínima menor ou igual à 3,3V e potência de até 15W, dos seguintes fabricantes: *Artesyn Technologies (Emerson Network Power)*, *Bel Power Solutions Inc*, *Bellnix Co.*, *Cyntec Co. (Delta Group Company)*, *Flex Power Modules*, *Linear Technology (Analog Devices)*, *Maxim Integrated*, *Monolithic Power Systems*, *Murata Manufacturing*, *Renesas Electronics*, *Richtek Technology*, *Texas Instruments Inc*.

A partir dos dados obtidos da documentação técnica de vários conversores *buck-boost* integrados selecionados, conforme Apêndice A, as características mapeadas referentes à: tensão de entrada mínima e máxima, frequência de chaveamento e eficiência máxima dos conversores integrados de potência de topologia *buck-boost*, são apresentadas na Figura 2. Assim como as respectivas medianas (simbolizadas por "*Med*").

É possível analisar que existem regiões definidas nas características apresentadas na Figura 2. em que a tensão de entrada mínima está na faixa de 0,25 a 3V. A tensão de entrada máxima varia, conforme a necessidade demandada pelas aplicações finais focada por cada dispositivo, podendo chegar a 52V. A faixa de eficiência máxima está entre 86 e 95% e a frequência de comutação da ordem de 1 a 3MHz.

Também são mapeadas as características de módulos comerciais POL referentes

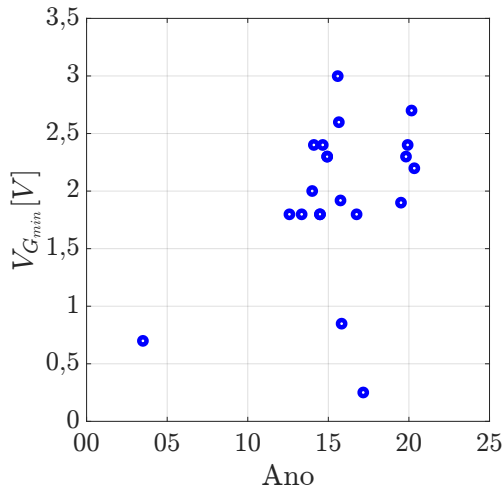
à: densidade de potência, volume, frequência de chaveamento e eficiência máxima dos dispositivos, conforme Apêndice B, sendo apresentadas as respectivas medianas, ilustradas pela Figura 3.

Ao comparar os valores de mediana dos dados apresentados, como forma de *benchmarking*, é possível verificar que a densidade de potência é igual a 202W/in³ e que a referência de projeto para o nível de eficiência máxima dos módulos POL está em 93,9%. Também é constatado que ao decorrer da última década, a densidade de potência cresceu significativamente, visto que os micro-módulos são construídos com um volume consideravelmente pequeno, como exemplo o módulo PMU8418 (FLEX POWER MODULES, 2020). Conforme verificado na Figura 3 e Apêndice B, é notada a evolução módulos, em que há uma tendência de operação com comutações maiores, chegando à 1,6MHz e redução das dimensões físicas dos dispositivos.

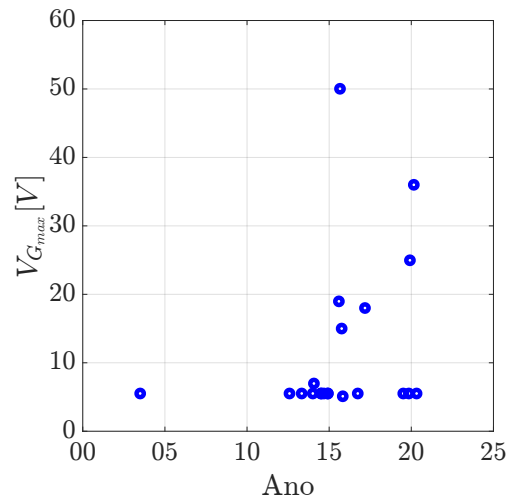
Considerações finais da revisão bibliográfica e justificativa

Portanto, este trabalho possui como intuito o desenvolvimento e a investigação de um conversor CC-CC *buck-boost* de topologia Zeta operando com baixa tensão de saída e alta eficiência, em que a metodologia de projeto e análise é explorada de forma detalhada. Desta forma, o protótipo construído é voltado para aferição da técnica explorada ao longo da dissertação. Logo, a fim de que não haja distorção da análise dos resultados do experimento, conforme apontado em NOWAKOWSKI; KING (2011), o projeto não visa maximizar a densidade de potência ou operar em alta frequência de comutação.

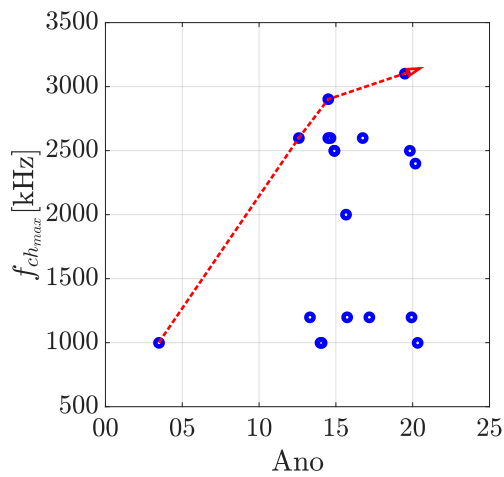
Figura 2: Mapa de características de conversores *buck-boost* integrados de potência comerciais, dados a partir de 2003, Apêndice A



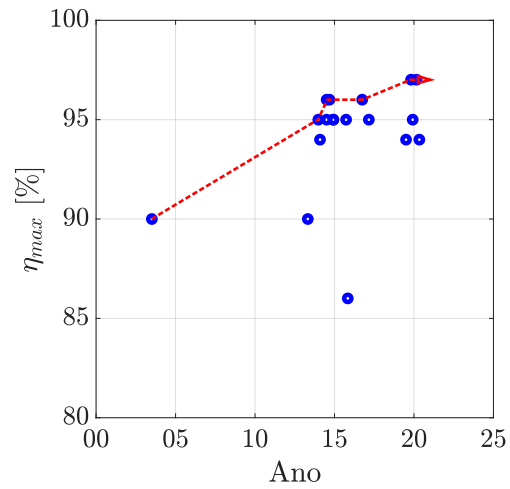
(a) Tensão de entrada mínima,
 $Med_{V_{Gmin}} = 2V$



(b) Tensão de entrada máxima,
 $Med_{V_{Gmax}} = 5,5V$

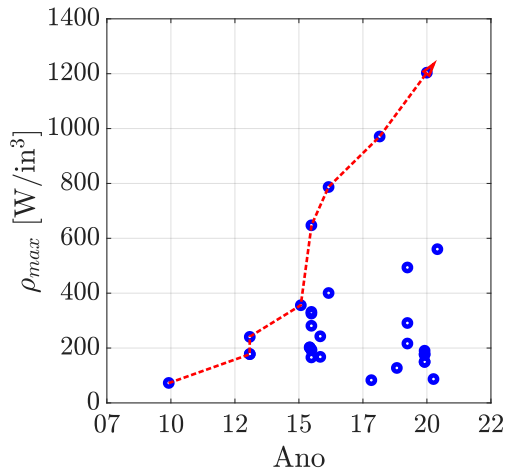


(c) Frequência de chaveamento,
 $Med_{f_{ch}} = 2400kHz$

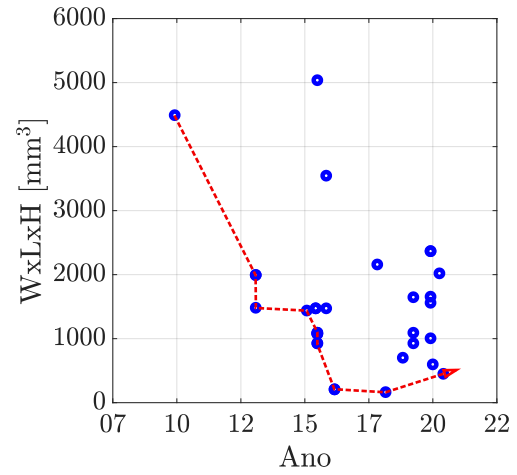


(d) Eficiência máxima,
 $Med_{\eta_{max}} = 95\%$

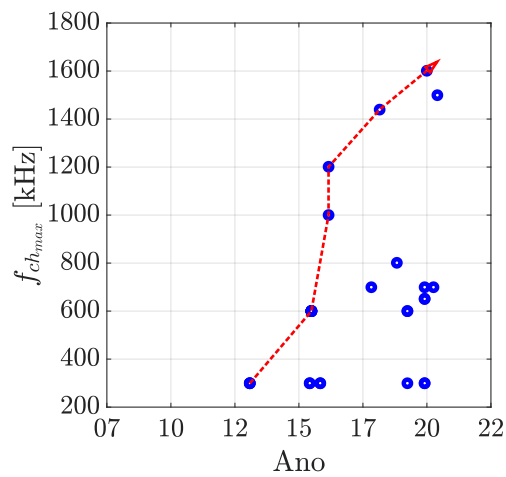
Figura 3: Mapa de características de módulos e micro-módulos conversores CC-CC de potência POL comerciais, dados a partir de 2009, Apêndice B



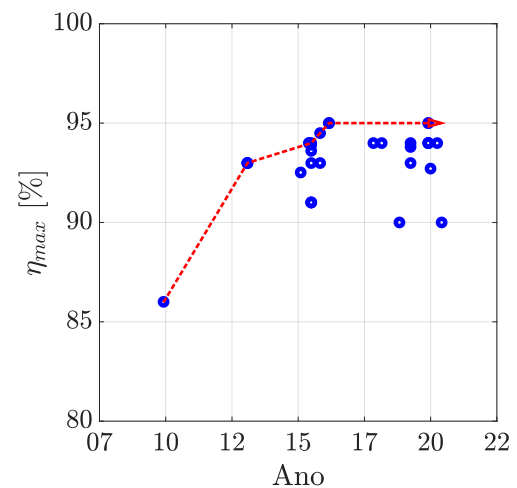
(a) Densidade de potência,
 $Med_{\rho_{max}} = 202 \text{W/in}^3$



(b) Volume,
 $Med_{Vol.} = 1457 \text{mm}^3$



(c) Frequência de chaveamento,
 $Med_{f_{ch}} = 600 \text{kHz}$



(d) Eficiência máxima,
 $Med_{\eta_{max}} = 93,9\%$

3 MODELAGEM DO CONVERSOR ZETA

3.1 Modelo matemático

Existem várias metodologias de modelagem de conversores CC-CC em que os componentes são considerados ideais e as perdas são desprezadas como forma de simplificar o modelo matemático.

Nessa dissertação, o modelo matemático aborda a condição de operação do conversor CC-CC Zeta em MCC de forma que as perdas ôhmicas em todos os componentes do circuito são consideradas.

Etapas adotadas

1. Inclusão das perdas ôhmicas nos componentes do conversor CC-CC de topologia Zeta;
2. Modos de condução e limite de operação em MCC,
3. Equacionamento do conversor CC-CC operando em MCC,
4. Formas de onda do circuito em MCC,
5. Linearização do sistema chaveado,
6. Representação do conversor CC-CC em espaço de estados,
7. Equacionamento da eficiência e do ganho estático,

3.2 Inclusão das perdas ôhmicas

A análise de operação do circuito conversor CC-CC decorre da modelagem matemática em que são consideradas as perdas. Esta abordagem é essencial para realizar a análise da eficiência e ganho estático na região de operação do conversor.

Considerações sobre os componentes:

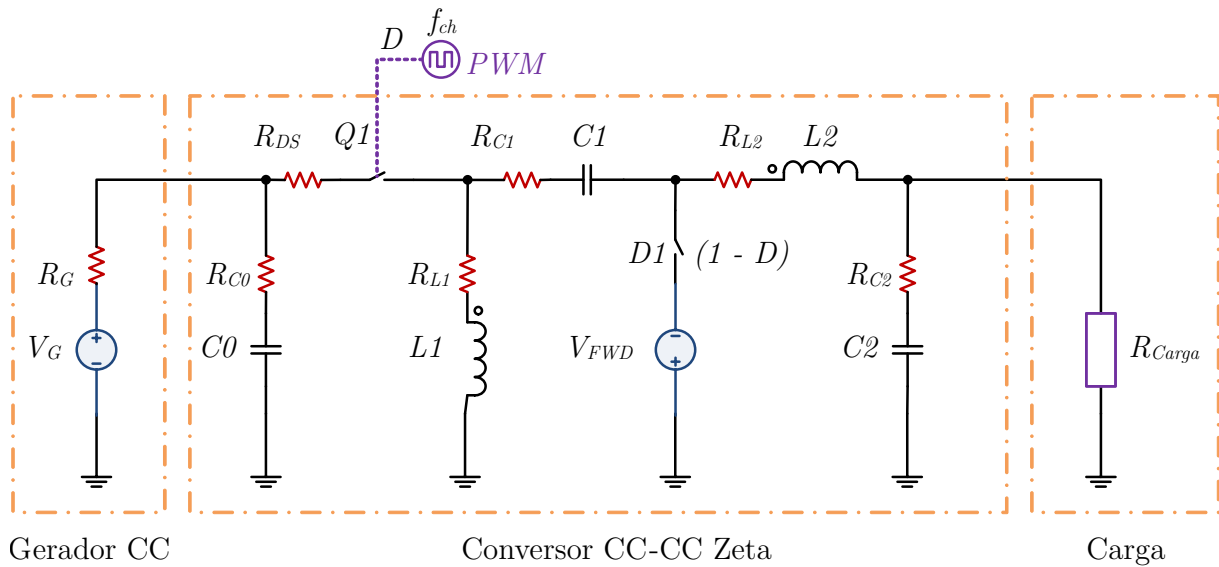
1. Semicondutores: O diodo *Schottky* é modelado como uma fonte de tensão ideal quando está diretamente polarizado e como uma chave aberta ideal quando é reversamente polarizado, assim como o transistor MOSFET. Contudo, o transistor é modelado como uma resistência de condução durante o estado em está diretamente polarizado. As perdas decorrentes do chaveamento são dependentes da frequência e da curva característica de carga dos capacitores intrínsecos da tecnologia.

2. Indutores: A modelagem deste componente foi simplificada como uma indutância em série com uma resistência uma vez que a análise se restringe às perdas ôhmicas.
3. Capacitores: O modelo do capacitor com perdas é avaliado considerando uma capacitância em série com uma resistência, ou ESR (do inglês "*Equivalent Series Resistance*").
4. Fonte: O modelo simplificado é representado por uma fonte de tensão ideal em série com uma resistência.
5. Carga: A carga utilizada em todos os cálculos e simulações é representada por uma resistência de valor constante e não dependente da temperatura do material.

3.3 Equacionamento do conversor Zeta em MCC

O circuito modelado é ilustrado conforme a Figura 4, em que o conversor CC-CC de topologia Zeta, o gerador CC e a carga são delimitados. Conforme mencionado anteriormente o circuito chaveado opera em MCC sendo que neste modo de condução existem dois estados de operação. O primeiro quando o semicondutor $Q1$ está em modo de condução e $D1$ bloqueado. O segundo de forma complementar, ou seja, quando $Q1$ está bloqueado e $D1$ está em modo de condução (MARTINS; ABREU; BARBI, 1995).

Figura 4: Circuito Zeta assíncrono modelado, gerador CC e carga



Cada estado é ativado conforme a polarização dos dispositivos semicondutores por meio de um sinal modulado (portadora), também denotado como PWM (do inglês "Pulse Width Modulation"). A largura de pulso é modulada de forma a alterar o tempo em que cada estado está ativado. De forma generalizada, a relação entre o período total da portadora (T_{ch}) e o período em que um dos semicondutores está em modo de condução (T_{on}) é chamada de razão-cíclica (D):

$$D = \frac{T_{on}}{T_{ch}}, \quad (3.1)$$

em que, neste trabalho, a razão-cíclica é referente ao tempo em que o semicondutor $Q1$ conduz.

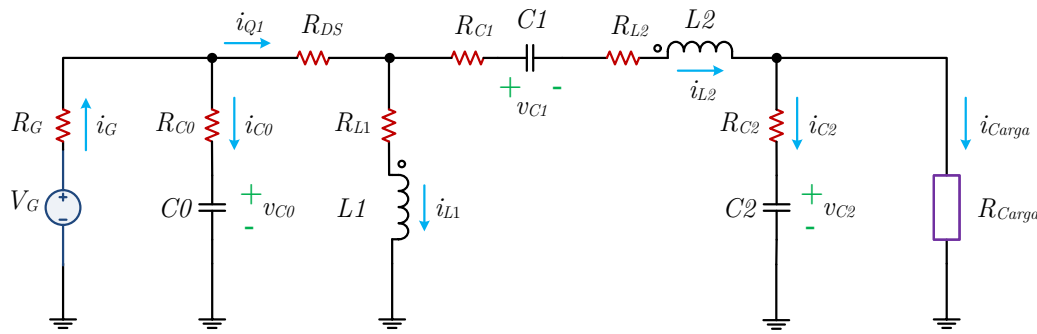
Tabela 2: Estados de operação do conversor Zeta em MCC

Estado	Semicondutor $Q1$	Semicondutor $D1$	Estado	Razão-cíclica
1	Condução	Aberta	Ligado	D
2	Aberta	Condução	Desligado	$1 - D$

Primeiro estado: Semicondutor $Q1$ em modo de condução: $(0 - DT_{ch})$

Nesta etapa de funcionamento do conversor Zeta, o semicondutor $Q1$ está em modo de condução e $D1$ bloqueado. A energia da fonte é armazenada no capacitor de acoplamento $C1$ e nos indutores $L1$, $L2$. A corrente na chave $Q1$ aumenta linearmente uma vez que é a soma das correntes que circulam pelos dois indutores (MARTINS; ABREU; BARBI, 1995).

Figura 5: Representação do conversor Zeta durante o "Primeiro estado" de operação: semicondutor $Q1$ em condução



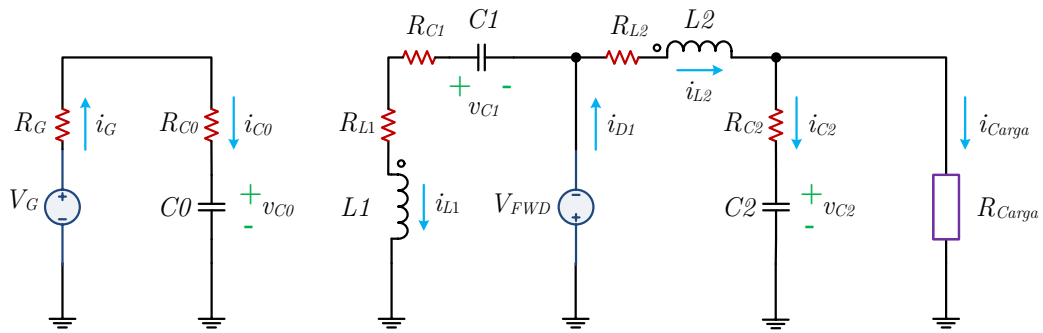
Ao aplicar a segunda lei de *Kirchhoff*, ou lei das tensões, sobre as malhas do circuito equivalente, são obtidas as equações das tensões dos indutores $L1$ e $L2$. Analogamente, ao utilizar a primeira lei de *Kirchhoff*, ou lei das correntes, através dos nós do circuito equivalente, é possível obter as equações dos capacitores $C0$, $C1$ e $C2$ conforme é mostrado abaixo:

$$\left\{ \begin{array}{l} v_{L1} = v_G - R_{L1}i_{L1} - R_{DS}(i_{L1} + i_{L2}) - \frac{R_G(v_G - v_{C0} + R_{C0}(i_{L1} + i_{L2}))}{R_{C0} + R_G} \\ v_{L2} = v_G - v_{C2} - v_{C1} - R_{C1}i_{L2} - R_{L2}i_{L2} - R_{C2} \left(i_{L2} - \frac{v_{C2} + R_{C2}i_{L2}}{R_{C2} + R_{Carga}} \right) \\ \quad - R_{DS}(i_{L1} + i_{L2}) - \frac{R_G(v_G - v_{C0} + R_{C0}(i_{L1} + i_{L2}))}{R_{C0} + R_G} \\ i_{C0} = \frac{v_G - v_{C0} + R_{C0}(i_{L1} + i_{L2})}{R_{C0} + R_G} - i_{L2} - i_{L1} \\ i_{C1} = i_{L2} \\ i_{C2} = i_{L2} - \frac{v_{C2} + R_{C2}i_{L2}}{R_{C2} + R_{Carga}} \\ v_{Q1} = R_{DS}(i_{L1} + i_{L2}) \\ i_{Q1} = i_{L1} + i_{L2} \\ v_{D1} = v_G - v_{C1} - R_{L1}i_{L1} - R_{DS}(i_{L1} + i_{L2}) - \frac{R_G(v_G - v_{C0} + R_{C0}(i_{L1} + i_{L2}))}{R_{C0} + R_G} \\ i_{D1} = 0. \end{array} \right. \quad (3.2)$$

Segundo estado: Semicondutor $Q1$ bloqueado: $(DT_{ch} - T_{ch})$

Neste segundo estado de operação, a chave $D1$ entra em modo de condução enquanto $Q1$ é bloqueado. Durante o transiente, a carga armazenada no capacitor $C0$ é descarregada no circuito e a energia armazenada no capacitor de acoplamento $C1$ é transferida para $L1$, de forma que o sentido do fluxo de corrente pelo dispositivo se mantenha, causando uma inversão da tensão sobre $C1$. Quando o semicondutor $D1$ entra em condução, ele possibilita que a corrente através $L2$ mantenha o fluxo em direção à carga (ABREU, 1992).

Figura 6: Representação do conversor Zeta durante o "Segundo estado" de operação: semicondutor $Q1$ bloqueado



Ao proceder de forma análoga ao equacionamento do primeiro estado, o conjunto de equações do segundo estado é obtido:

$$\left\{ \begin{array}{l} v_{L1} = v_{C1} - V_{FWD} - R_{C1}i_{L1} - R_{L1}i_{L1} \\ v_{L2} = -V_{FWD} - v_{C2} - R_{L2}i_{L2} - R_{C2} \left(i_{L2} - \frac{v_{C2} + R_{C2}i_{L2}}{R_{C2} + R_{Carga}} \right) \\ i_{C0} = \frac{v_G - v_{C0}}{R_{C0} + R_G} \\ i_{C1} = -i_{L1} \\ i_{C2} = i_{L2} - \frac{v_{C2} + R_{C2}i_{L2}}{R_{C2} + R_{Carga}} \\ v_{Q1} = V_{FWD} - v_{C1} + v_G + R_{C1}i_{L1} + R_{L1}i_{L1} \\ i_{Q1} = 0 \\ v_{D1} = V_{FWD} \\ i_{D1} = i_{L1} + i_{L2}. \end{array} \right. \quad (3.3)$$

3.4 Formas de onda em MCC

Com base no equacionamento apresentado em (3.2) e (3.3) é possível descrever, de forma genérica, as formas de onda ideais sobre os componentes do conversor: $L1$, $L2$, $Q1$, $D1$, $C0$, $C1$ e $C2$.

Figura 7: Formas de onda ideal de corrente e tensão sobre os indutores $L1$ e $L2$ e semicondutores $Q1$ e $D1$

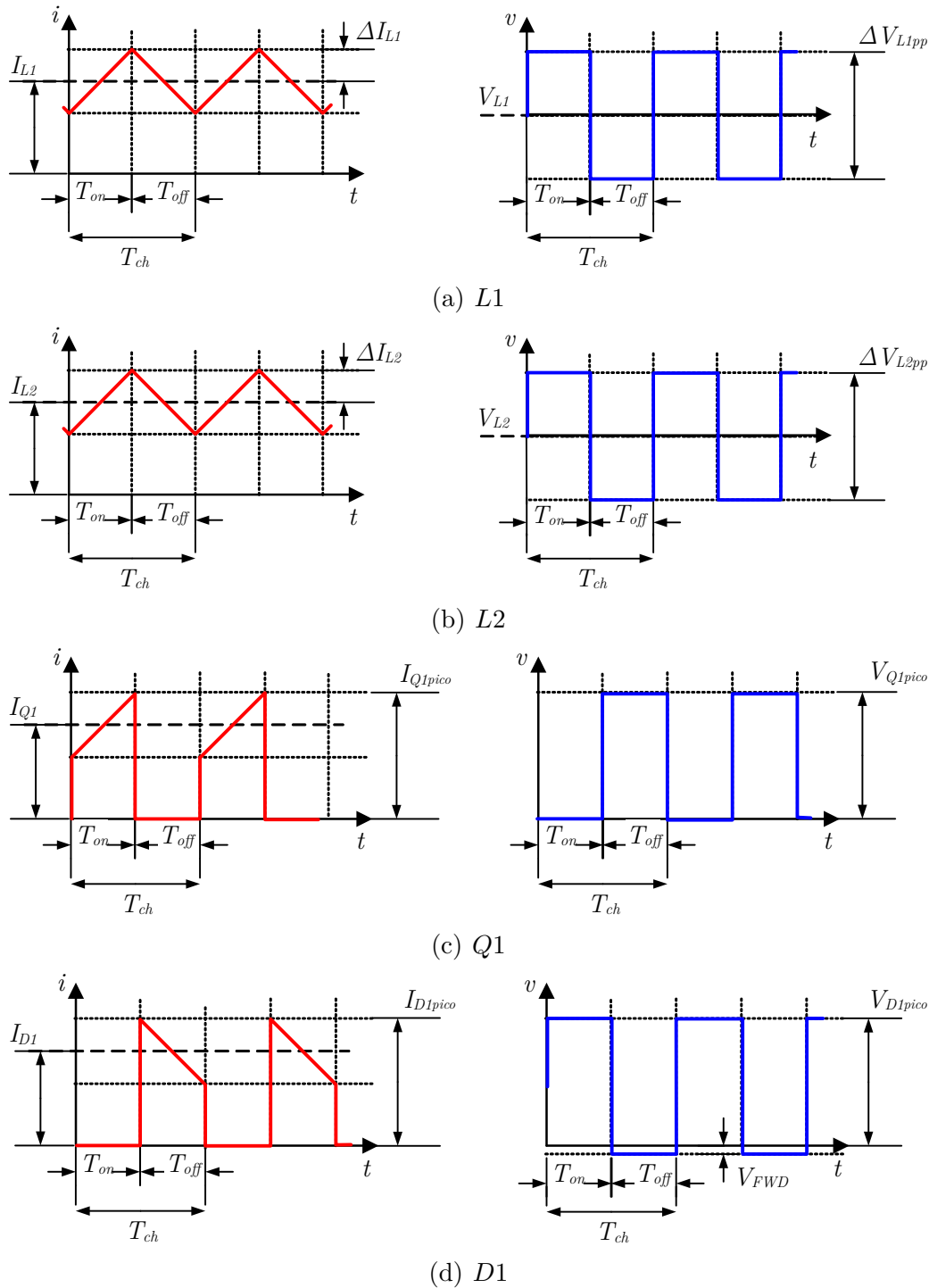
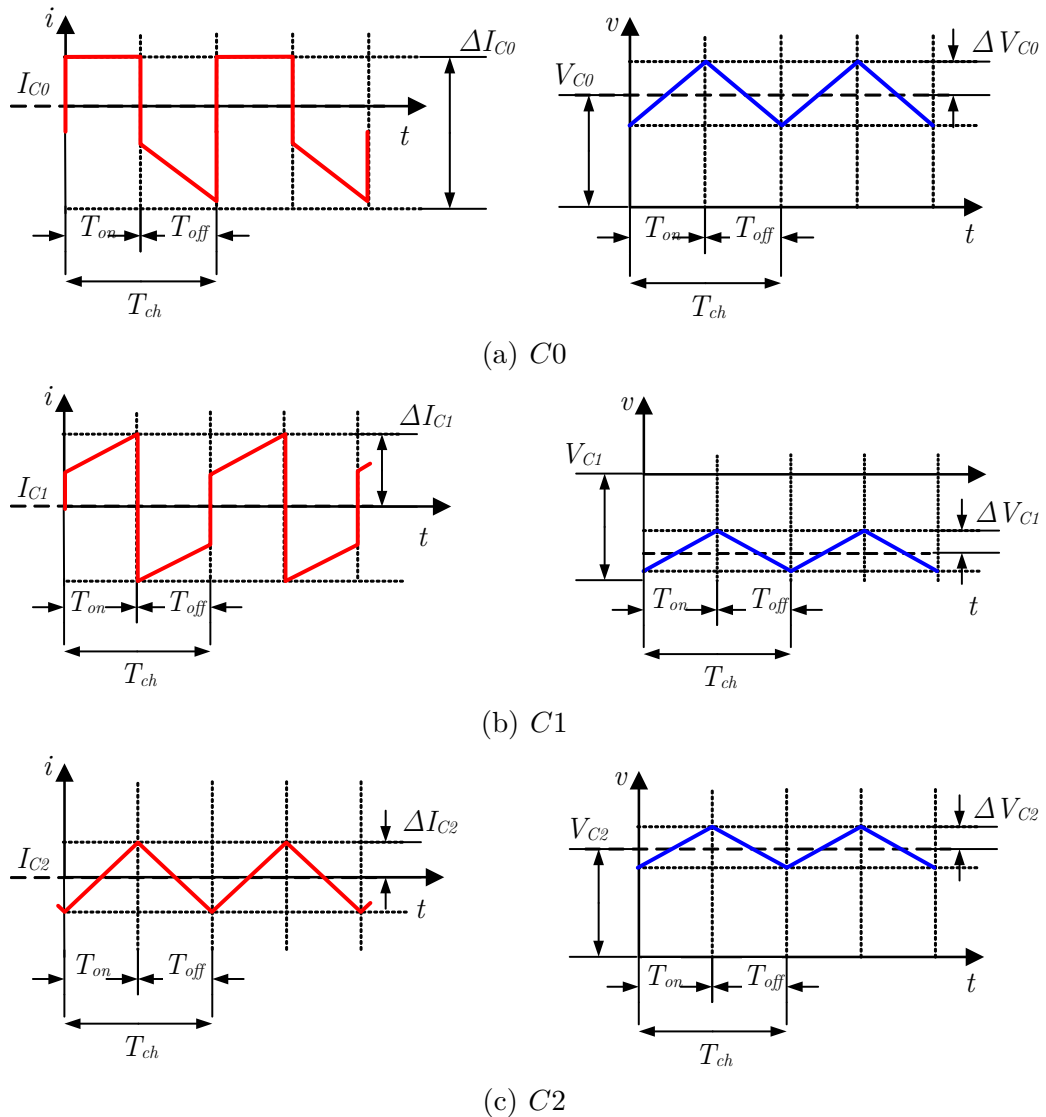


Figura 8: Formas de onda de corrente e tensão sobre os capacitores C_0 , C_1 e C_2 

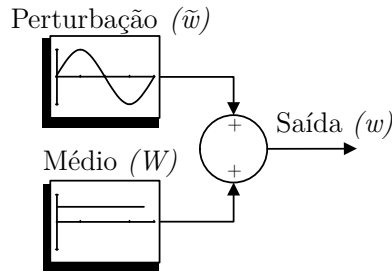
3.5 Linearização do circuito chaveado

De forma geral, conversores CC-CC possuem característica não linear, decorrente da natureza de funcionamento do circuito que transita entre diferentes estados ou modos de operação. No entanto, é possível linearizar o circuito ao desconsiderar o efeito do chaveamento e o produto entre as perturbações de ordens superiores das variáveis de estados, ilustrado pela Figura 9.

A representação matemática do circuito linearizado é apresentada em itálico, de forma que as variáveis escritas em letras minúsculas representam a soma: dos valores médios (escritos em letras maiúsculas) e a perturbação (grafadas com "til"):

$$w = W + \tilde{w}. \quad (3.4)$$

Figura 9: Representação do circuito linearizado e as respectivas componentes



3.6 Modelagem em Espaço de Estados

Após a linearização do circuito, é possível que o comportamento dinâmico do conversor seja equacionado e organizado conforme a representação em espaço de estados. A representação em espaço de estados é apresentada em negrito, tal que as matrizes são escritas em letras maiúsculas sublinhadas, enquanto os vetores em letras minúsculas. De forma genérica, esta representação pode ser dada como:

$$\begin{cases} \dot{\mathbf{x}} = \underline{\mathbf{A}}\mathbf{x} + \underline{\mathbf{B}}\mathbf{u} \\ \mathbf{y} = \underline{\mathbf{C}}\mathbf{x} + \underline{\mathbf{E}}\mathbf{u}, \end{cases} \quad (3.5)$$

sendo respectivamente: "**A**" a matriz de estados, "**B**" a matriz de entradas, "**C**" a matriz de saídas, "**E**" a matriz de alimentação direta, " \mathbf{x} " é o vetor de estados, " \mathbf{u} " o vetor de entradas, " \mathbf{y} " o vetor de saídas e " d " a razão-cíclica, conforme:

$$\mathbf{x} = \mathbf{X} + \tilde{\mathbf{x}}, \quad \mathbf{u} = \mathbf{U} + \tilde{\mathbf{u}}, \quad \mathbf{y} = \mathbf{Y} + \tilde{\mathbf{y}} \quad \text{e} \quad d = D + \tilde{d}, \quad (3.6)$$

em que os vetores que contêm as variáveis de estado, de entrada e saída são:

$$\mathbf{x} = \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C0} \\ v_{C1} \\ v_{C2} \end{bmatrix}, \quad \mathbf{u} = \begin{bmatrix} v_G \\ v_{FWD} \end{bmatrix} \quad \text{e} \quad \mathbf{y} = \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C0}^* \\ v_{C1}^* \\ v_{C2}^* \end{bmatrix}, \quad (3.7)$$

considerando: $v_{C0}^* = v_{C0} + v_{RC0}$, $v_{C1}^* = v_{C1} + v_{RC1}$ e $v_{C2}^* = v_{C2} + v_{RC2}$.

As matrizes **A**, **B**, **C** e **E** podem ser obtidas pelo teorema da superposição após linearizar a planta e ponderar os termos pela razão-cíclica respectiva (**A1**, **A2**, **B1**, **B2**, **C1**, **C2**, **E1** e **E2**),

$$\begin{cases} \underline{\mathbf{A}} = \underline{\mathbf{A1}} d + \underline{\mathbf{A2}} (1 - d) \\ \underline{\mathbf{B}} = \underline{\mathbf{B1}} d + \underline{\mathbf{B2}} (1 - d) \\ \underline{\mathbf{C}} = \underline{\mathbf{C1}} d + \underline{\mathbf{C2}} (1 - d) \\ \underline{\mathbf{E}} = \underline{\mathbf{E1}} d + \underline{\mathbf{E2}} (1 - d). \end{cases} \quad (3.8)$$

Ao reescrever a representação geral de espaço de estados em função do valor médio e da perturbação é calculado o modelo dinâmico do circuito:

$$\begin{cases} \dot{\mathbf{x}} = \underline{\mathbf{A}}\mathbf{X} + \underline{\mathbf{B}}\mathbf{U} + \underline{\mathbf{A}}\tilde{\mathbf{x}} + \underline{\mathbf{B}}\tilde{\mathbf{u}} + [(\underline{\mathbf{A}}\mathbf{1} - \underline{\mathbf{A}}\mathbf{2})\mathbf{X} + (\underline{\mathbf{B}}\mathbf{1} - \underline{\mathbf{B}}\mathbf{2})\mathbf{U}]\tilde{d} \\ \mathbf{y} = \underline{\mathbf{C}}\mathbf{X} + \underline{\mathbf{E}}\mathbf{U} + \underline{\mathbf{C}}\tilde{\mathbf{x}} + \underline{\mathbf{E}}\tilde{\mathbf{u}} + [(\underline{\mathbf{C}}\mathbf{1} - \underline{\mathbf{C}}\mathbf{2})\mathbf{X} + (\underline{\mathbf{E}}\mathbf{1} - \underline{\mathbf{E}}\mathbf{2})\mathbf{U}]\tilde{d}. \end{cases} \quad (3.9)$$

Assim, chamando de $\underline{\mathbf{F}}$ e $\underline{\mathbf{G}}$ as matrizes compostas pelos termos referentes à variação da razão-cíclica, sendo esta uma entrada adicional do sistema, tem-se:

$$\begin{cases} \underline{\mathbf{F}} = (\underline{\mathbf{A}}\mathbf{1} - \underline{\mathbf{A}}\mathbf{2})\mathbf{X} + (\underline{\mathbf{B}}\mathbf{1} - \underline{\mathbf{B}}\mathbf{2})\mathbf{U} \\ \underline{\mathbf{G}} = (\underline{\mathbf{C}}\mathbf{1} - \underline{\mathbf{C}}\mathbf{2})\mathbf{X} + (\underline{\mathbf{E}}\mathbf{1} - \underline{\mathbf{E}}\mathbf{2})\mathbf{U}. \end{cases} \quad (3.10)$$

Logo, a representação geral do espaço de estados, pode ser reescrita por:

$$\begin{cases} \dot{\mathbf{x}} = \underline{\mathbf{A}}\mathbf{x} + \underline{\mathbf{B}}\mathbf{u} + \underline{\mathbf{F}}\tilde{d} \\ \mathbf{y} = \underline{\mathbf{C}}\mathbf{x} + \underline{\mathbf{E}}\mathbf{u} + \underline{\mathbf{G}}\tilde{d}. \end{cases} \quad (3.11)$$

Os valores médios das variáveis de estado podem ser obtidos ao desconsiderar o produto casado entre as ondulações. Assim, em regime permanente, $\dot{x} = 0$. Portanto:

$$0 = \underline{\mathbf{A}}\mathbf{X} + \underline{\mathbf{B}}\mathbf{U} \rightarrow \mathbf{X} = -\underline{\mathbf{A}}^{-1}\underline{\mathbf{B}}\mathbf{U}. \quad (3.12)$$

É observado que a soma dos valores médios é nula devido à simplificação da planta e à linearização do sistema de equações. Com base no conjunto de equações reescrito em (3.12), é possível obter a resposta de saída, " \mathbf{y} ".

Substituindo a matriz de valores médios das variáveis de estado em (3.12), na equação de saída do sistema (3.11) é encontrada a equação que modela a saída da planta:

$$\mathbf{y} \rightarrow \mathbf{Y} + \tilde{\mathbf{y}} = -\underline{\mathbf{C}}(\underline{\mathbf{A}}^{-1}\underline{\mathbf{B}}\mathbf{U}) + \underline{\mathbf{E}}\mathbf{U} + \underline{\mathbf{C}}\tilde{\mathbf{x}} + \underline{\mathbf{E}}\tilde{\mathbf{u}} + \underline{\mathbf{G}}\tilde{d}, \quad (3.13)$$

sendo que o vetor que contém as saídas médias " \mathbf{Y} " pode ser equacionado conforme:

$$\mathbf{Y} = -\underline{\mathbf{C}}(\underline{\mathbf{A}}^{-1}\underline{\mathbf{B}}\mathbf{U}) + \underline{\mathbf{E}}\mathbf{U}. \quad (3.14)$$

3.7 Matrizes do espaço de estados

As matrizes $\underline{\mathbf{A}}$, $\underline{\mathbf{B}}$, $\underline{\mathbf{C}}$, $\underline{\mathbf{E}}$, $\underline{\mathbf{F}}$ e $\underline{\mathbf{G}}$ podem ser calculadas com base nos sistemas de equações apresentados em (3.2) e (3.3). Nessa subseção serão apresentadas as matrizes do espaço de estados obtidas. A matriz de controlabilidade ($\underline{\mathbf{A}}$) em (3.15), a matriz de entradas ($\underline{\mathbf{B}}$) em (3.16), a matriz de entrada referente à razão-cíclica ($\underline{\mathbf{F}}$) em (3.18), a matriz de saídas ($\underline{\mathbf{C}}$) em (3.17), a matriz de alimentação direta ($\underline{\mathbf{E}}$) em (3.19) e a matriz de alimentação direta da razão-cíclica ($\underline{\mathbf{G}}$) em (3.20).

A matriz $\underline{\mathbf{A}}$ pode ser representada por:

$$\underline{\mathbf{A}} = \begin{bmatrix} \mathbf{a}_{1,1} & \mathbf{a}_{1,2} & \mathbf{a}_{1,3} & \mathbf{a}_{1,4} & 0 \\ \mathbf{a}_{2,1} & \mathbf{a}_{2,2} & \mathbf{a}_{2,3} & \mathbf{a}_{2,4} & \mathbf{a}_{2,5} \\ \mathbf{a}_{3,1} & \mathbf{a}_{3,2} & \mathbf{a}_{3,3} & 0 & 0 \\ \mathbf{a}_{4,1} & \mathbf{a}_{4,2} & 0 & 0 & 0 \\ 0 & \mathbf{a}_{5,2} & 0 & 0 & \mathbf{a}_{5,5} \end{bmatrix}, \quad (3.15)$$

em que os termos que compõe a matriz de controlabilidade ($\underline{\mathbf{A}}$) estão descritos no Apêndice C, conforme (C.1).

A matriz $\underline{\mathbf{B}}$ pode ser representada por:

$$\underline{\mathbf{B}} = \begin{bmatrix} \mathbf{b}_{1,1} & \mathbf{b}_{1,2} \\ \mathbf{b}_{2,1} & \mathbf{b}_{2,2} \\ \mathbf{b}_{3,1} & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix}, \quad (3.16)$$

cujos termos que compõe a matriz de entrada ($\underline{\mathbf{B}}$) são descritos conforme o Apêndice D, descritos em (D.1).

A matriz $\underline{\mathbf{C}}$ pode ser representada por:

$$\underline{\mathbf{C}} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ \mathbf{c}_{3,1} & \mathbf{c}_{3,2} & \mathbf{c}_{3,3} & 0 & 0 \\ \mathbf{c}_{4,1} & \mathbf{c}_{4,2} & 0 & 1 & 0 \\ 0 & \mathbf{c}_{5,2} & 0 & 0 & \mathbf{c}_{5,5} \end{bmatrix}, \quad (3.17)$$

considerando os termos que compõe a matriz de saída ($\underline{\mathbf{C}}$) descritos no Apêndice E, conforme (E.1).

A matriz $\underline{\mathbf{F}}$ pode ser representada por:

$$\underline{\mathbf{F}} = \begin{bmatrix} \frac{\mathbf{f}_{1,1num}}{L1\phi} \\ \frac{\mathbf{f}_{2,1num}}{L2\phi} \\ \frac{\mathbf{f}_{3,1num}}{C0\phi} \\ \frac{\mathbf{f}_{4,1num}}{C1\phi} \\ 0 \end{bmatrix}, \quad (3.18)$$

em que os termos que compõe a matriz-vetor de entradas referente à razão-cíclica ($\underline{\mathbf{F}}$) estão descritos no Apêndice F, conforme (F.1).

A matrizes $\underline{\mathbf{E}}$ e $\underline{\mathbf{G}}$ podem ser representadas por:

$$\underline{\mathbf{E}} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \\ \frac{R_{C0}}{R_{C0}+R_G} & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix}, \quad (3.19)$$

e

$$\underline{\mathbf{G}} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}. \quad (3.20)$$

Os vetores médios de estados e saídas, \mathbf{X} e \mathbf{Y} podem ser calculados conforme (3.12) e (3.14), respectivamente. Logo, ao considerar os termos que compõe a matriz-vetor de saídas \mathbf{Y} descritos em (G.1), tem-se que:

$$\mathbf{Y} = \begin{bmatrix} I_{L1} \\ I_{L2} \\ V_{C0}^* \\ V_{C1}^* \\ V_{C2}^* \end{bmatrix} = \begin{bmatrix} \frac{\mathbf{y}_{1,1num}}{L1 \phi} \\ \frac{\mathbf{y}_{2,1num}}{L2 \phi} \\ \frac{\mathbf{y}_{3,1num}}{C0 \phi} \\ \frac{\mathbf{y}_{4,1num}}{C1 \phi} \\ \frac{\mathbf{y}_{5,1num}}{C2 \phi} \end{bmatrix}, \quad (3.21)$$

em que: $V_{C0}^* = V_{C0} + V_{R_{C0}}$, $V_{C1}^* = V_{C1} + V_{R_{C1}}$ e $V_{C2}^* = V_{C2} + V_{R_{C2}}$.

Por fim, uma vez que os termos médios $V_{R_{C0}}$, $V_{R_{C1}}$ e $V_{R_{C2}}$ são nulos, as saídas de interesse \mathbf{Y} podem ser descritas conforme:

$$\mathbf{Y} = \begin{bmatrix} I_{L1} \\ I_{L2} \\ V_{C0} \\ V_{C1} \\ V_{C2} \end{bmatrix} = \begin{bmatrix} \mathbf{Y}_{(1,1)} \\ \mathbf{Y}_{(2,1)} \\ \mathbf{Y}_{(3,1)} \\ \mathbf{Y}_{(4,1)} \\ \mathbf{Y}_{(5,1)} \end{bmatrix}. \quad (3.22)$$

3.8 Equacionamento do ganho de tensão estático e eficiência

Uma vez que algumas características do circuito como: eficiência e o ganho estático do conversor são descritos por relações entre os componentes do vetor de saída "**Y**" obtidos em (3.22), torna-se possível realizar uma análise destas características em função da razão-cíclica (D) que determina o ponto de operação do conversor CC-CC.

Em situação ideal, ao desconsiderar as perdas ôhmicas dos componentes do circuito, o ganho de tensão estático ideal ($H_{v_{ideal}}$) pode ser descrito em (3.23), como consta na literatura (KAZIMIERCZUK; JOZWIK, 1989) (ABREU, 1992):

$$H_{v_{ideal}} = \frac{D}{1-D}. \quad (3.23)$$

No entanto, uma vez que o ganho estático (H_v) é descrito como a relação de tensão entre a saída e entrada do conversor CC-CC, é possível incluir as perdas ôhmicas no equacionamento, a partir dos termos já obtidos em (3.21),

$$H_v = \frac{V_{C2}}{V_{C0}} \cdot \frac{\mathbf{Y}_{(5,1)}}{\mathbf{Y}_{(3,1)}}. \quad (3.24)$$

Comparando a equação completa obtida com aquela calculada em situação ideal, é constatado que a equação do ganho em função da razão-cíclica é composta por uma parcela ideal e outra que envolvem as perdas ôhmicas incluídas na modelagem.

É considerada como a eficiência do circuito a relação entre a potência dissipada na carga (P_{Carga}) com a soma de todas as componentes dissipadas em cada componente do circuito ($\sum P_R$) que foram consideradas na modelagem: R_{L1} , R_{L2} , R_{C0} , R_{C1} , R_{C2} , R_{DS} e V_{FWD} , em adição à potência de saída. Uma vez que a tensão e corrente de saída eficazes são próximas ao valor médio da tensão sobre o capacitor de saída $C2$ e ao valor médio da corrente que circula pelo indutor $L2$, tem-se que:

$$\begin{cases} V_{Carga_{RMS}} \cong V_{C2} \\ I_{Carga_{RMS}} \cong I_{L2} \\ P_{Carga} = V_{C2} I_{L2} \\ \sum P_R = P_{R_{L1}} + P_{R_{L2}} + P_{R_{C0}} + P_{R_{C1}} + P_{R_{C2}} + P_{Q1} + P_{D1} + P_{Carga}, \end{cases} \quad (3.25)$$

Em que (3.26) representa a eficiência (η) do circuito modelado,

$$\eta = \frac{V_{C2} I_{L2}}{\sum P_R} \cdot \frac{\mathbf{Y}_{(5,1)} \mathbf{Y}_{(2,1)}}{\sum P_R}. \quad (3.26)$$

Logo, a análise da eficiência e do ganho estático é a base para as discussões a serem realizadas referente à metodologia de projeto de circuitos chaveados de potência e da operação destes circuitos em POL. As equações para obtenção de todas as componentes de perdas dissipadas assim como os gráficos que possibilitam esta análise serão expostos adiante neste documento em suas respectivas seções.

3.9 Modos de condução e limites de operação

Os circuitos chaveados em questão podem operar em três modos de condução: contínua (MCC), descontínua (MCD) e crítica. Em MCC, o circuito opera de forma a existirem dois subintervalos durante o período de chaveamento: 1) entre 0 e $D T_{ch}$ e 2) entre $D T_{ch}$ e T_{ch} . Nesse modo de condução, a soma das correntes que circulam pelos indutores não se anula em nenhum dos estados de operação do circuito. Desta forma, a corrente que circula pelo semicondutor $D1$ durante seu intervalo de condução é positiva, uma vez que a energia acumulada nos elementos armazenadores não se anula (CUK, 1979).

Contudo, em MCD existem três subintervalos de operação durante o chaveamento dos semicondutores: 1) entre 0 e $D T_{ch}$, 2) entre $D T_{ch}$ e T_x e 3) entre T_x e T_{ch} . Neste outro modo de condução, a soma das correntes que circulam pelos indutores se anula durante o subintervalo de tempo compreendido entre T_x e T_{ch} mesmo quando a chave $D1$ está diretamente polarizada (JOZWIK; KAZIMIERCZUK, 1989). Este novo intervalo classifica o modo de condução como descontínuo em relação à corrente que circula pelos indutores e, conseqüentemente, pelo semicondutor não-controlado (NICULESCU et al., 2009) (MARTINS; ABREU; BARBI, 1995).

Desta forma, este comportamento de modo de condução descontínuo é o resultado da utilização de uma chave com característica de condução unidirecional ($D1$) (CUK, 1979). Sendo esta a condição em que ocorre a transferência de toda energia acumulada nos indutores à carga durante o intervalo de tempo em que o semicondutor não-controlado está polarizado diretamente.

Considerando a carga parametrizada e a indutância equivalente (L_{eq}), respectivamente a:

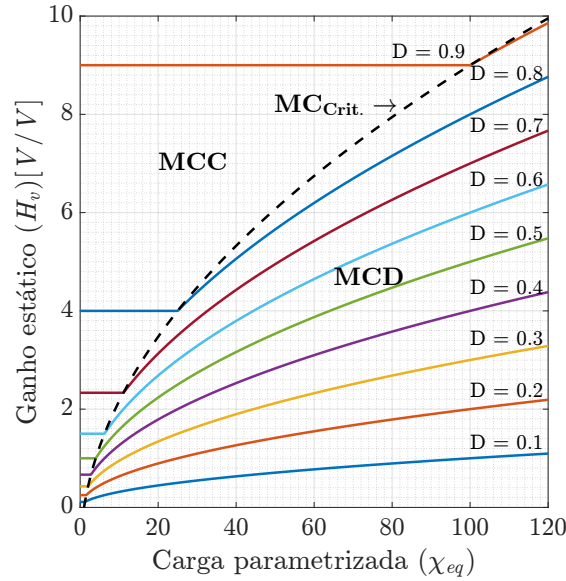
$$\begin{cases} \chi_{eq} = \frac{R_{Carga} + R_L}{2L_{eq}f_{ch}} \\ L_{eq} = \frac{L1L2}{L1+L2}, \end{cases} \quad (3.27)$$

é possível encontrar a relação de ganho estático do conversor zeta em regime permanente em modo de condução descontínuo ($H_{v_{MCD}}$) ao proceder com o balanço de energia sobre os indutores, em função do equacionamento sobre os respectivos semicondutores (JOZWIK; KAZIMIERCZUK, 1989) (ABREU, 1992). Sendo η a eficiência do circuito nesta condição, $H_{v_{MCD}}$ pode ser determinado por:

$$H_{v_{MCD}} = D\sqrt{\eta \chi_{eq}}. \quad (3.28)$$

A Figura 10 ilustra o comportamento do ganho do conversor Zeta idealizado em função da razão-cíclica e da carga parametrizada. É evidente que o ganho estático do circuito possui uma relação direta com a carga do circuito em MDC (JOZWIK; KAZIMIERCZUK, 1989), que pode trazer complicações na aplicação final e requer um projeto de controle mais complexo.

Figura 10: Limiar de condução: ganho estático (H_v) em função da carga parametrizada χ_{eq} em diferentes condições de razão-cíclica (D), circuito ideal



Por fim, é denotado como modo de condução crítica quando o limite de T_x tende a zero, sendo esta a condição limiar entre: MCC e MCD. Neste ponto de operação crítica ($MC_{Crit.}$), o ganho do circuito em MCC é igual ao ganho do circuito em MCD (ABREU, 1992). Desta maneira, a relação entre os modos de condução, a razão-cíclica e a carga parametrizada (χ_{eq}) em condição de um circuito ideal, segundo ABREU (1992) e NICULESCU et al. (2009), pode ser caracterizada por:

$$\begin{cases} D < 1 - \sqrt{1/\chi_{eq}} & \Rightarrow \text{MCC} \\ D = 1 - \sqrt{1/\chi_{eq}} & \Rightarrow \text{MC}_{Crit.} \\ D > 1 - \sqrt{1/\chi_{eq}} & \Rightarrow \text{MCD.} \end{cases} \quad (3.29)$$

Nesta dissertação o projeto e análise considera apenas a condição de operação do conversor em MCC, uma vez que não é desejado que o ganho estático possua dependência da carga.

Considerações finais sobre a modelagem do conversor Zeta

Comumente na literatura, a modelagem de conversores CC-CC é realizada de forma idealizada, para análise qualitativa e didática dos circuitos de potência. No entanto, esse trabalho aborda o desenvolvimento e análise do conversor Zeta em que as perdas ôhmicas em todos os componentes são consideradas, a fim de analisar a eficiência e as limitações de operação relacionados à sobretemperatura e modo de condução frente à uma situação prática.

Assim, a partir dessas considerações, as componentes médias resultam em equações extensas, que dificultam a leitura do texto. Logo, as equações que representam o ganho e a eficiência do circuito com as perdas nominais são escritas de forma reduzida, cujos termos são detalhados nos respectivos apêndices.

De forma a simplificar o texto e facilitar a leitura, nesta dissertação a nomenclatura: "*topologia Zeta*", caso não especificada, se refere à configuração assíncrona.

4 DIMENSIONAMENTO DE COMPONENTES

Nesta seção são apresentados os cálculos essenciais para realizar o dimensionamento dos componentes armazenadores de energia, em que a estratégia de cálculo é embasada na ondulação de corrente e tensão sobre os dispositivos. Após o dimensionamento, as perdas são reconsideradas e todos os parâmetros do circuito são calculados para análise fundamentada ao circuito definitivo.

- Ondulação de corrente máxima sobre os indutores:
 - Cálculo de indutâncias: $L1$ e $L2$,
 - Corrente de pico, mínima e eficaz que circula sobre as indutâncias,
 - Potência dissipada nas perdas ôhmicas: R_{L1} e R_{L2} .
- Ondulação de tensão máxima sobre os capacitores:
 - Cálculo de capacitâncias: $C0$, $C1$ e $C2$,
 - Corrente eficaz que circula sobre as capacitâncias,
 - Máximos ESRs (Resistência Série Equivalente, do inglês "*Equivalent Series Resistance*") dos capacitores,
 - Potência dissipada nas perdas ôhmicas: R_{C0} , R_{C1} e R_{C2} .
- Corrente e tensão de pico, mínima e eficaz, potência média e temperatura de junção sobre os semicondutores para seleção das chaves: $Q1$ e $D1$.

Portanto, os indutores serão calculados com base em uma ondulação de corrente máxima e os capacitores com base na ondulação de tensão máxima admitida nestes componentes. Pelo princípio de conservação de energia a tensão média sobre os indutores e a corrente média que circula por cada capacitor são nulas, ou seja:

$$\begin{cases} V_{L_{medio}} = \int_0^{\infty} v_L dt \rightarrow 0 \\ I_{C_{medio}} = \int_0^{\infty} i_C dt \rightarrow 0. \end{cases} \quad (4.1)$$

Fundamentando-se no sistema de equações (3.2) e (3.3) que caracterizam os estados de operação do circuito em MCC, assim como as componentes médias do vetor de saída "Y" (3.14) e (3.21), é possível calcular a ondulação em cada componente.

4.1 Ondulação

Neste trabalho, ao definir a ondulação como sendo a variação de tensão ou corrente em torno de um valor médio por:

$$\begin{cases} v = V + \tilde{v} \\ i = I + \tilde{i}, \end{cases} \quad (4.2)$$

em que os comportamentos de tensão e corrente em todos os componentes (exceto sobre o capacitor de entrada C_0), ao serem linearizados, resultam em formas de onda com característica triangular, sendo esta ondulação denotada por " Δ ". O valor da ondulação normalizada " K ", refere-se à razão entre a metade da excursão pico a pico da componente pelo valor médio respectivo,

$$K_{I_{L1}} = \frac{\Delta I_{L1}}{I_{L1}}, \quad K_{I_{L2}} = \frac{\Delta I_{L2}}{I_{L2}}, \quad K_{V_{C0}} = \frac{\Delta V_{C0}}{V_{C0}}, \quad K_{V_{C1}} = \frac{\Delta V_{C1}}{V_{C1}}, \quad K_{V_{C2}} = \frac{\Delta V_{C2}}{V_{C2}}. \quad (4.3)$$

Portanto, com base na definição de ondulação normalizada apresentada em (4.3) e dos valores médios (3.21), é possível dimensionar os componentes armazenadores de energia, ou seja, capacitores e indutores do conversor e a partir deles, os semicondutores de potência.

4.2 Dispositivos armazenadores de energia

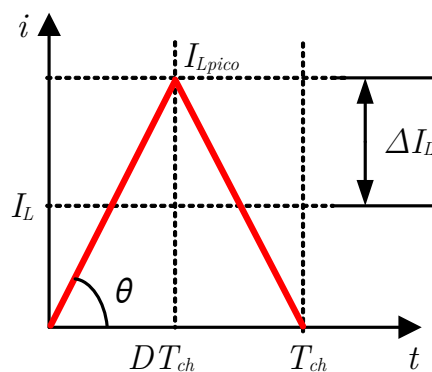
4.2.1 Indutores (L_1 , L_2)

A ondulação de corrente sobre os indutores pode ser descrita conforme:

$$\begin{cases} \Delta I_{L1} = K_{I_{L1}} I_{L1} \\ \Delta I_{L2} = K_{I_{L2}} I_{L2}. \end{cases} \quad (4.4)$$

Considerando que a ondulação da forma de onda da corrente que circula pelo indutor é simétrica, é ilustrado na Figura 11 a variação de corrente durante o período em que a chave controlada "Q1" conduz.

Figura 11: Forma de onda da ondulação aproximada da corrente sobre os indutores L_1 e L_2



A partir da variação de corrente (" θ ") descrita na Figura 11 e da equação do indutor (" $v_L = L \frac{di}{dt}$ "), encontra-se a ondulação de corrente em $L1$ e $L2$:

$$\begin{cases} \Delta I_{L1} = \frac{V_{L1} D}{2f_{ch} L1} \\ \Delta I_{L2} = \frac{V_{L2} D}{2f_{ch} L2} \end{cases} \quad (4.5)$$

A tensão média sobre os indutores $L1$ e $L2$, durante o estado em que a chave $Q1$ conduz é calculada conforme os valores médios dos estados e saída " \mathbf{Y} " definidos em (3.21) por:

$$\begin{cases} V_{L1} = V_{C0} = \mathbf{Y}_{(3,1)} \\ V_{L2} = V_{C0} - V_{C1} - V_{C2} = \mathbf{Y}_{(3,1)} - \mathbf{Y}_{(4,1)} - \mathbf{Y}_{(5,1)}, \end{cases} \quad (4.6)$$

Logo, é possível dimensionar os indutores $L1$ e $L2$:

$$\begin{cases} L1 = \frac{\mathbf{Y}_{(3,1)} D}{2f_{ch} K_{I_{L1}} I_{L1}} \\ L2 = \frac{(\mathbf{Y}_{(3,1)} - \mathbf{Y}_{(4,1)} - \mathbf{Y}_{(5,1)}) D}{2f_{ch} K_{I_{L2}} I_{L2}} \end{cases} \quad (4.7)$$

Além disso é necessário realizar o cálculo da corrente de pico ($I_{L_{pico}}$), corrente mínima ($I_{L_{min}}$) e eficaz ($I_{L_{RMS}}$) que circulam através de ambos os indutores para dimensionar os componentes mais adequados do circuito, uma vez que a corrente de pico não deve ultrapassar o valor da corrente de saturação do núcleo (FALIN, 2010),

$$\begin{cases} I_{L1_{pico}} = I_{L1} + \Delta I_{L1} \therefore \mathbf{Y}_{(1,1)}(1 + K_{I_{L1}}) \\ I_{L2_{pico}} = I_{L2} + \Delta I_{L2} \therefore \mathbf{Y}_{(2,1)}(1 + K_{I_{L2}}) \\ I_{L1_{min}} = I_{L1} - \Delta I_{L1} \therefore \mathbf{Y}_{(1,1)}(1 - K_{I_{L1}}) \\ I_{L2_{min}} = I_{L2} - \Delta I_{L2} \therefore \mathbf{Y}_{(2,1)}(1 - K_{I_{L2}}), \end{cases} \quad (4.8)$$

Uma vez que a forma de onda da corrente é próxima de uma onda triangular, o cálculo da corrente eficaz sobre os indutores pode ser aproximada por:

$$\begin{cases} I_{L1_{RMS}} \approx \frac{I_{L1} + \Delta I_{L1}}{\sqrt{3}} \therefore \frac{\mathbf{Y}_{(1,1)}(1 + K_{I_{L1}})}{\sqrt{3}} \\ I_{L2_{RMS}} \approx \frac{I_{L2} + \Delta I_{L2}}{\sqrt{3}} \therefore \frac{\mathbf{Y}_{(2,1)}(1 + K_{I_{L2}})}{\sqrt{3}} \end{cases} \quad (4.9)$$

Por fim, a potência média dissipada em cada indutor pode ser descrita por:

$$\begin{cases} P_{R_{L1}} = I_{L1_{RMS}}^2 R_{L1} \\ P_{R_{L2}} = I_{L2_{RMS}}^2 R_{L2} \end{cases} \quad (4.10)$$

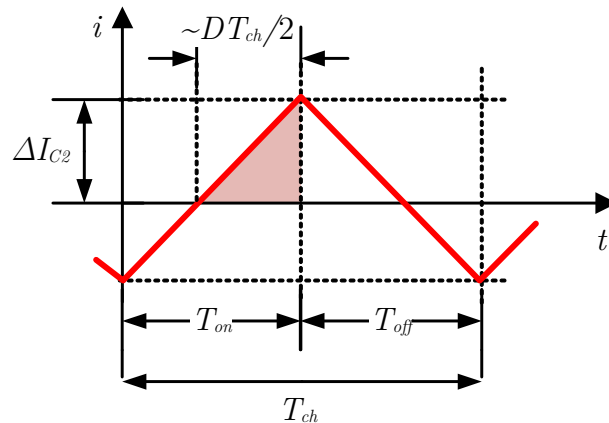
4.2.2 Capacitor de saída (C2)

O dimensionamento do capacitor de saída está relacionado com a máxima ondulação da tensão de saída admitida, conforme:

$$\begin{cases} \Delta V_{C2} = K_{V_{C2}} V_{C2} \\ \Delta I_{C2} = \Delta I_{L2} = K_{I_{L2}} I_{L2}. \end{cases} \quad (4.11)$$

Enquanto a corrente do indutor da linha principal for maior do que a corrente de saída, o capacitor carrega, caso contrário, o capacitor descarrega. Ao considerar que toda a ondulação da corrente sobre $L2$ circula pelo capacitor de saída $C2$ (ABREU, 1992), a relação que determina a capacitância em função da ondulação de tensão na saída do circuito pode ser obtida ao integrar a ondulação de corrente sobre o dispositivo durante meio período do processo de carga, conforme exibido na Figura 12.

Figura 12: Forma de onda aproximada da corrente que circula pelo capacitor de saída $C2$



Ao considerar um comportamento linear conforme mencionado a partir de " $i_C = \frac{dq}{dt}$ " e " $C2(v) = \frac{dq}{dv}$ ", é possível deduzir a variação de carga elétrica no capacitor (" q ") e consequentemente dimensionar $C2$ conforme ABREU (1992):

$$C2 = \frac{\Delta I_{L2} D}{4 \Delta V_{C2} f_{ch}} \therefore \frac{K_{I_{L2}} \mathbf{Y}_{(2,1)} D}{4 K_{V_{C2}} \mathbf{Y}_{(5,1)} f_{ch}}, \quad (4.12)$$

Logo, para determinar analiticamente o valor máximo de ESR_{C2} (R_{C2}), analisa-se a razão entre a regulação desejada (ΔV_{Carga}), a ondulação de tensão admitida em $C2$ (ΔV_{C2}) e a variação de corrente (ΔI_{L2}) que circula pelo respectivo capacitor:

$$R_{C2_{max}} \leq \frac{\Delta V_{Carga} - \Delta V_{C2}}{\Delta I_{L2}} \therefore \frac{\Delta V_{Carga} - K_{V_{C2}} \mathbf{Y}_{(5,1)}}{K_{I_{L2}} \mathbf{Y}_{(2,1)}}. \quad (4.13)$$

A partir do valor de ESR_{C2} (R_{C2}), a ondulação de tensão na carga ($K_{V_{Carga}} V_{Carga}$) deve ser reanalisada de forma que esteja dentro do limite estipulado de projeto. Neste trabalho,

a defasagem entre as componentes não é considerada, sendo a ondulação na carga o maior valor entre a ondulação decorrente de ΔI_{L2} sobre R_{C2} e do capacitor $C2$:

$$\Delta V_{Carga} = maior(R_{C2}\Delta I_{L2}, \Delta V_{C2}). \quad (4.14)$$

A corrente eficaz sobre o capacitor de saída ($I_{C2_{RMS}}$) é obtida a partir do equacionamento realizado em (3.3) e (3.2), sendo considerado que a componente CA da corrente i_{L2} (que possui formato triangular) é filtrada e passa por $C2$,

$$I_{C2_{RMS}} \approx \frac{\Delta I_{C2}}{\sqrt{3}} \cdot \frac{K_{I_{L2}} \mathbf{Y}(2,1)}{\sqrt{3}}. \quad (4.15)$$

4.2.3 Capacitor flutuante ($C1$)

O capacitor flutuante $C1$ pode ser dimensionado a partir da ondulação de tensão ($K_{V_{C1}}$) admitida sobre este componente. O dispositivo é carregado durante o estado no qual o semiconductor controlado conduz e a corrente que circula nesse componente é a mesma sobre $L2$. Durante o intervalo complementar, o capacitor é descarregado e transfere a energia acumulada para o indutor $L1$, de forma que a corrente que circula por $C1$ é a mesma que circula por $L1$ (ABREU, 1992) (MARTINS; ABREU; BARBI, 1995).

Conforme obtido em (3.21), a corrente sobre $C1$ pode ser descrita por:

$$\begin{cases} I_{C1} |_{DT_{ch}} = I_{L2} = \mathbf{Y}(2,1) \\ I_{C1} |_{(1-D)T_{ch}} = -I_{L1} = -\mathbf{Y}(1,1). \end{cases} \quad (4.16)$$

Considerando uma corrente constante I_{C1} , com base na equação de corrente de um capacitor " $i_C = \frac{dq}{dt}$ " e da ondulação de tensão sobre $C1$ ($K_{V_{C1}}$) é possível dimensionar a capacitância $C1$:

$$C1 = \frac{I_{L2}D}{2\Delta V_{C1}f_{ch}} \cdot \frac{\mathbf{Y}(2,1)D}{2K_{V_{C1}}\mathbf{Y}(3,1)f_{ch}}, \quad (4.17)$$

em que o máximo ESR_{C1} (R_{C1}) deve ser menor que a relação entre a variação de tensão ($K_{V_{C1}}V_{C1}$) e a maior ondulação de corrente sobre $C1$: $\Delta I_{C1} = maior(K_{I_{L1}}\Delta I_{L1}; K_{I_{L2}}\Delta I_{L2})$:

$$R_{C1_{max}} \leq \frac{K_{V_{C1}}V_{C1}}{\Delta I_{C1}}. \quad (4.18)$$

A corrente eficaz ($I_{C1_{RMS}}$) pode ser decomposta em dois intervalos, ou seja, quando o semiconductor está $Q1$ em condução (" D ") (3.2) e o semiconductor $Q1$ bloqueado (" $1-D$ ") (3.3), conforme:

$$I_{C1_{RMS}} = \sqrt{\frac{1}{T_{ch}} \left(\int_0^{DT_{ch}} i_{C1}^2(t) |_{DT_{ch}} dt + \int_{DT_{ch}}^{T_{ch}} i_{C1}^2(t) |_{(1-D)T_{ch}} dt \right)}. \quad (4.19)$$

Com base no equacionamento do circuito mencionado, é considerado que a forma de onda da corrente i_{C1} é trapezoidal. Considerando os termos descritos em (4.8), a corrente eficaz que circula através do capacitor $C1$, é dada por:

$$I_{C1_{RMS}} \approx \sqrt{\frac{1}{3} \left(D \left(I_{L2_{min}}^2 + I_{L2_{min}} I_{L2_{pico}} + I_{L2_{pico}}^2 \right) + (1-D) \left(I_{L1_{min}}^2 + I_{L1_{min}} I_{L1_{pico}} + I_{L1_{pico}}^2 \right) \right)}. \quad (4.20)$$

4.2.4 Capacitor de entrada ($C0$)

O capacitor de entrada é responsável por filtrar a ondulação presente na entrada do conversor, ou seja, sua função é reduzir as variações de corrente abruptas provenientes da comutação da chave controlada e do afundamento de tensão de entrada do circuito em decorrência da resistência de saída do gerador (R_G).

Logo, ao utilizar o capacitor $C0$ como filtro passa-baixas focado na rejeição de componentes de alta frequências provenientes da comutação, é possível definir uma frequência de corte ($f_{corte_{C0}}$) de interesse.

Desta forma, a capacitância $C0$ que, juntamente com R_G , atende a especificação, por ser descrita conforme:

$$C0 = \frac{1}{(R_G + R_{C0})2\pi f_{corte_{C0}}}. \quad (4.21)$$

Portanto, a escolha da capacitância $C0$ está diretamente vinculada à resistência de saída do gerador (R_G), da ondulação ($K_{V_{C0}}$) admissível e da frequência de corte que se deseja filtrar.

Considerando os termos descritos em (4.8) e $V_{C0} = \mathbf{Y}_{(3,1)}$, a corrente eficaz ($I_{C0_{RMS}}$) que circula através do capacitor $C0$, pode ser descrita por:

$$I_{C0_{RMS}} = \left[\frac{1}{3R_{C0}^2} \left(D \left((V_G - (I_{L1_{min}} + I_{L2_{min}})R_G - V_{C0})^2 + (V_G - (I_{L1_{min}} + I_{L2_{min}})R_G - V_{C0})(V_G - (I_{L1_{pico}} + I_{L2_{pico}})R_G - V_{C0}) + (V_G - (I_{L1_{pico}} + I_{L2_{pico}})R_G - V_{C0})^2 \right) + (1-D)(V_G - V_{C0})^2 \right) \right]^{1/2}. \quad (4.22)$$

4.3 Dispositivos semicondutores

A topologia de conversor CC-CC Zeta possui dois dispositivos semicondutores que são responsáveis por conduzir a operação do circuito de forma a elevar ou reduzir a tensão de entrada.

Os semicondutores devem ser selecionados de modo que os valores máximos sejam assegurados, referentes à:

- Tensão reversa de pico (V_{pico});
- Corrente de pico (I_{pico});
- Corrente eficaz (I_{RMS});
- Potência dissipada (P);
- Temperatura da junção (T_j);

4.3.1 Semicondutor controlado ($Q1$)

A tensão máxima sobre os terminais dreno e fonte da chave $Q1$, em regime permanente, é igual a tensão de pico ($V_{Q1_{pico}}$) neste componente, composta pela somatória das ondulações sobre V_{C2} e a tensão de entrada V_{C0} (ABREU, 1992),

$$V_{Q1_{pico}} = V_G + V_{C2} (1 + K_{V_{C2}}) \cdot Y_{(3,1)} + Y_{(5,1)} (1 + K_{V_{C2}}). \quad (4.23)$$

De forma análoga, a corrente máxima que circula pelo canal do transistor ($I_{Q1_{pico}}$) é a soma dos valores de pico das correntes que circula pelos indutores (4.8), como descrito por:

$$I_{Q1_{pico}} = I_{L1_{pico}} + I_{L2_{pico}} \cdot Y_{(1,1)} (1 + K_{I_{L1}}) + Y_{(2,1)} (1 + K_{I_{L2}}). \quad (4.24)$$

A corrente mínima sobre o período em que a chave $Q1$ conduz também pode ser descrita pelo comportamento da ondulação de corrente sobre os indutores $L1$ e $L2$:

$$I_{Q1_{min}} = I_{L1_{min}} + I_{L2_{min}} \cdot Y_{(1,1)} (1 - K_{I_{L1}}) + Y_{(2,1)} (1 - K_{I_{L2}}), \quad (4.25)$$

sendo a corrente eficaz ($I_{Q1_{RMS}}$), conforme:

$$I_{Q1_{RMS}} = \sqrt{\frac{D}{3} (I_{Q1_{pico}}^2 + (I_{Q1_{pico}} I_{Q1_{min}}) + I_{Q1_{min}}^2)}. \quad (4.26)$$

A potência dissipada pelo transistor pode ser descrita como a soma das componentes de dissipação: estática, decorrente da resistência ôhmica ($P_{R_{DS}}$) e dinâmica ($P_{Q1_{chav}}$), descritas em XIONG et al. (2009), FALIN (2010), ROHM (2013) e LAKKAS (2016).

Durante o dimensionamento da chave semicondutora controlada, são consideradas neste trabalho, de forma simplificada, as parcelas de dissipação dinâmica decorrentes da operação da chave semicondutora, que se relacionam à carga de porta total e entre porta e dreno conforme [FALIN \(2010\)](#), em que:

$$\begin{cases} P_{R_{DS}} = I_{Q1_{RMS}}^2 R_{DS} \\ P_{Q1_{chav}} \approx V_{Q1_{pico}} I_{Q1_{pico}} f_{ch} \left(\frac{Q_{GD}}{I_G} \right) + V_{GS} Q_G f_{ch}, \end{cases} \quad (4.27)$$

sendo Q_{GD} a carga acumulada entre porta e dreno; Q_G a carga total acumulada na porta do semicondutor MOSFET; I_G a corrente de porta e V_{GS} a tensão entre a porta e fonte do semicondutor.

Portanto, conforme os termos descritos em (4.27), que são declarados na ficha técnica do componente, é possível estimar a potência dissipada no transistor, P_{Q1} :

$$P_{Q1} = P_{R_{DS}} + P_{Q1_{chav}}. \quad (4.28)$$

Logo, a temperatura na junção do dispositivo pode ser estimada com base na potência calculada em (4.28), a resistência térmica do componente ($R_{\theta_{JA,Q1}}$) e a temperatura ambiente:

$$T_{J_{Q1}} = (P_{Q1} R_{\theta_{JA,Q1}}) + T_{Amb}. \quad (4.29)$$

4.3.2 Semicondutor não-controlado ($D1$)

A tensão máxima ($V_{D1_{pico}}$) sobre a chave $D1$, em regime permanente, é igual a tensão de pico sobre $Q1$, igual a ($V_{Q1_{pico}}$) conforme (4.23). Também se pode considerar que a corrente de pico e mínima sobre $D1$ são iguais aos valores de corrente sobre $Q1$, respectivamente, de acordo com (4.25) e (4.24) ([ABREU, 1992](#)):

$$\begin{cases} V_{D1_{pico}} = V_{Q1_{pico}} \\ I_{D1_{pico}} = I_{Q1_{pico}} \\ I_{D1_{min}} = I_{Q1_{min}}. \end{cases} \quad (4.30)$$

A corrente eficaz que circula pelo semicondutor $D1$ é equacionada conforme (4.31):

$$I_{D1_{RMS}} = \sqrt{\frac{1-D}{3} (I_{D1_{pico}}^2 + (I_{D1_{pico}} I_{D1_{min}}) + I_{D1_{min}}^2)}. \quad (4.31)$$

Por fim, durante a condução de $D1$, a potência dissipada pelo semicondutor em regime permanente (P_{D1}) pode ser representada em função da tensão de queda da junção do componente (V_{FWD}) e da respectiva corrente eficaz ($I_{D1_{RMS}}$). De acordo com o comportamento do diodo, é possível corrigir a queda de tensão na junção com base nas informações fornecidas pelo fabricante. Logo, a partir da queda de tensão corrigida quando o diodo está diretamente polarizado ($V_{FWD_{corr}}$), é possível prosseguir conforme:

$$P_{D1} = I_{D1_{RMS}} V_{FWD_{corr}}, \quad (4.32)$$

de forma análoga a (4.29), a temperatura na junção da chave $D1$ pode ser calculada por:

$$T_{J_{D1}} = (P_{D1} R_{\theta_{JA,D1}}) + T_{Amb}. \quad (4.33)$$

Considerações finais sobre o dimensionamento dos componentes

A partir da modelagem descrita no capítulo anterior, é possível realizar o dimensionamento e o projeto do conversor, assim como estipular os limites de operação em relação aos componentes comerciais selecionados. Logo nos capítulos seguintes, todos os componentes selecionados são descritos, assim como as características de operação e o envelope do conversor é detalhado.

Logo, o projeto em relação à um envelope de operação considerando as perdas, limites de temperatura e modo de condução são contribuições deste trabalho.

5 PROJETO DE CONVERSOR ZETA

5.1 Proposta de aplicação e especificação do circuito

Nesta seção, são discutidos os requisitos mínimos de uma aplicação de SMPS portátil de alto desempenho. Como exemplo, dentre suas diversas aplicações, este circuito poderia ser utilizado como um subsistema pertencente ao estágio de alimentação de dispositivos móveis de alta eficiência.

Portanto, especificamente à este projeto, é adotado como gerador CC uma bateria de lítio (*Li-Ion*) de uma célula (1S) e uma carga puramente resistiva, em que a função do conversor é manter a tensão de saída em 3,3V com uma ondulação inferior a 33mV e com eficiência superior a 80%. É considerado que a tensão mínima do gerador CC é igual a 3,0V e a máxima igual a 4,2V (BASTOS, 2013) (FUZATO et al., 2016).

Assim, uma vez que a tensão de saída do conversor pode ser superior ou inferior à tensão de entrada e de mesma polaridade, o conversor utilizado deve possuir a topologia: "*buck-boost*" não-inversor. A partir da revisão bibliográfica apresentada no Capítulo 2, a topologia Zeta foi selecionada para a análise e projeto da aplicação descrita.

Os pré-requisitos da aplicação são sumarizados de acordo com a Tabela 3.

Tabela 3: Requisitos de desempenho alvo do projeto

Parâmetro	Símbolo	Valores	Unidades
Faixa de tensão entrada	V_G	3,0 ~ 4,2	V
Tensão entrada nominal	$V_{G_{nom}}$	3,3	V
Faixa de potência de saída	P_{Carga}	3,0 ~ 6,0	W
Potência de saída nominal	$P_{Carga_{nom}}$	5,0	W
Tensão de saída	V_{C2}	3,3	V
Regulação	ΔV_{C2}	± 33	mV
Temperatura ambiente	T_{Amb}	0,0 ~ 43,0	°C
Eficiência nominal mín.	η_{min}	80	%
Freq. de chaveamento	f_{ch}	40,0	kHz
Modo de operação	–	MCC	–
Topologia	–	Zeta	<i>Buck-boost</i>

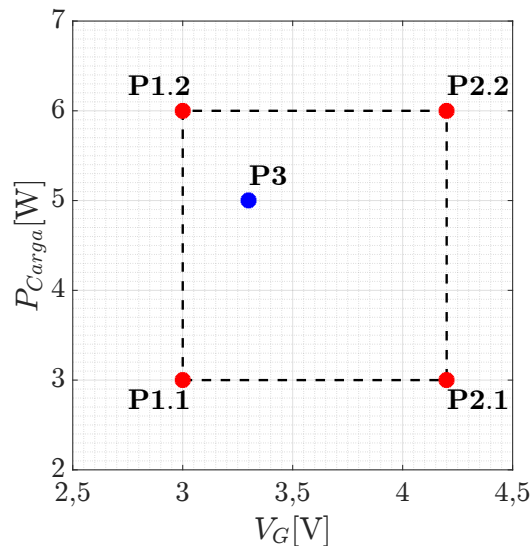
5.2 Envelope de operação

Com base nos requisitos de projeto apresentados na Tabela 3, os limites de operação do circuito referentes à tensão de entrada (V_G) mínima, nominal e máxima são respectivamente iguais a: 3,0, 3,3 e 4,2V e os limites de potência de saída (P_{Carga}) mínima, nominal e máxima são respectivamente iguais a: 3, 5 e 6W. A tensão de saída (V_{C2}) de conversor é fixa em 3,3V. Logo, a partir destes dados é possível descrever o envelope de operação do circuito, conforme ilustrado na Figura 13 e detalhado pela Tabela 4.

Tabela 4: Descrição do envelope de operação do conversor Zeta proposto

Ponto aplicação	V_G [V]	P_{Carga} [W]	R_{Carga} [Ω]
P1.1	3,0	3,0	3,63
P1.2	3,0	6,0	1,815
P2.1	4,2	3,0	3,63
P2.2	4,2	6,0	1,815
P3	3,3	5,0	2,178

Figura 13: Envelope de operação do conversor Zeta proposto (tracejado), pontos limites de operação: P1.1, P1.2, P2.1, P2.2 (vermelho) e ponto nominal: P3 (azul)



5.3 Dimensionamento de componentes e parâmetros absolutos de operação

Baseando-se nas equações obtidas conforme apresentado em (3.3) e (3.2) e dos termos médios de saída em (3.21), os componentes do circuito podem ser dimensionados a partir das ondulações: $K_{I_{L1}}$, $K_{I_{L2}}$, $K_{V_{C1}}$, $K_{V_{C2}}$, $K_{V_{Carga}}$ que são relativas às variáveis de estado médias: I_{L1} , I_{L2} , V_{C1} , V_{C2} e V_{Carga} , respectivamente.

Assim, ao dimensionar os componentes do circuito, é necessário atentar aos pré-requisitos de ondulação de tensão e corrente sobre todos os componentes para que eles sejam garantidos em todo o envelope de operação, conforme a Figura 13. Desta forma, considerando os valores de ondulação normalizada iguais a: $K_{I_{L1}} = 0,60$; $K_{I_{L2}} = 0,60$; $K_{V_{C1}} = 0,45$; $K_{V_{C2}} = 0,005$, os valores mínimos dos componentes $L1$, $L2$, $C1$ e $C2$ são calculados referentes aos pontos do envelope descritos na Tabela 4. Para cálculo do capacitor de entrada $C0$ foram considerados: $R_G = 4,124m\Omega$, $R_{C0} = 57m\Omega$ e $f_{Corte_{C0}} = 20kHz$ e por conseguinte, $C0 = 130\mu F$.

Tabela 5: Componentes calculados em diferentes pontos de operação do envelope

Ponto operação	$L1$	$L2$	$Un.$	$C1$	$C2$	$Un.$	R_{C1}	R_{C2}	$Un.$
P1.1	27	42	μH	5	110	μF	3,07	0,068	Ω
P1.2	12	22	μH	10	124	μF	2,88	0,065	Ω
P2.1	47	49	μH	4	110	μF	2,60	0,058	Ω
P2.2	22	26	μH	8	120	μF	2,49	0,055	Ω
P3	18	27	μH	8	119	μF	2,82	0,063	Ω
<i>Maior:</i>	47	49	μH	10	124	μF	3,07	0,068	Ω

Ao calcular os parâmetros absolutos do conversor neste trabalho foi realizado o procedimento em três etapas: 1) pré-análise dos componentes e cálculo dos respectivos níveis de corrente e tensão, desconsiderando as perdas. Sendo entradas de cálculo: tensão de entrada, tensão de saída de referência, potência de saída e nível de ondulação em todos os componentes passivos; 2) segunda iteração de cálculo de todas as variáveis do conversor considerando os valores das perdas ôhmicas de acordo com a documentação técnica dos componentes comerciais pré-selecionados, mantendo-se as mesmas entradas de cálculo da iteração anterior; 3) terceira iteração para análise final de todos os parâmetros do circuito a partir dos valores de indutâncias e capacitâncias dos componentes comerciais selecionados.

Logo, a partir dos valores de indutâncias, capacitâncias, níveis de corrente e tensão, apresentados nas tabelas 5 e 9, referentes ao pontos limite do envelope de operação do circuito, além da Figura 14 que mostra o mapa dos componentes $L1$, $L2$, $C1$ e $C2$ referente ao envelope, foi possível selecionar as opções de componentes comerciais conforme a Tabela 6 e mapear os parâmetros absolutos de operação do circuito descritos na Tabela 8.

Figura 14: Mapa dos componentes referente ao envelope de operação

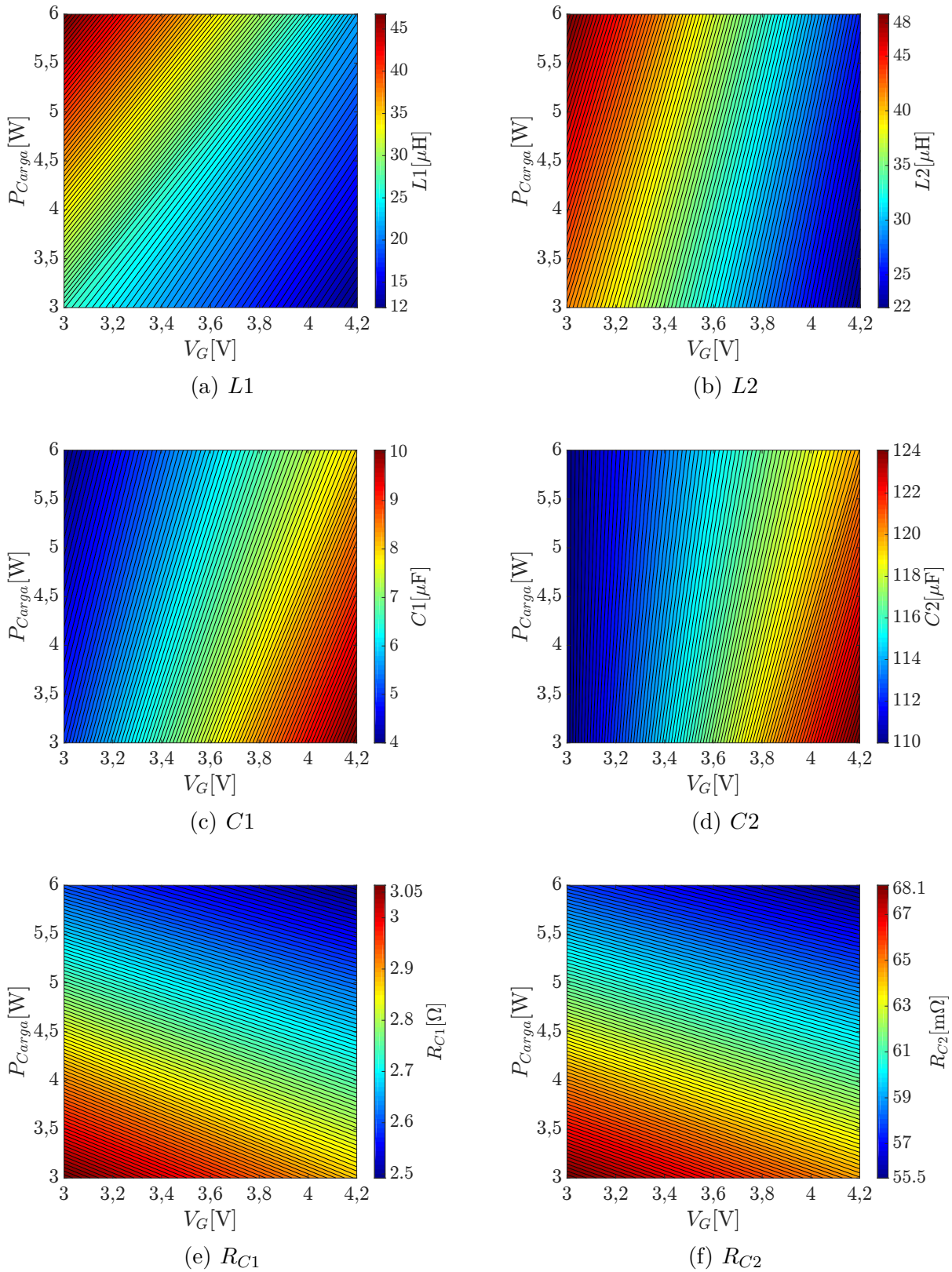


Tabela 6: Descrição dos componentes comerciais: $L1$, $L2$, $C0$, $C1$, $C2$, $Q1$ e $D1$

Componente	Valor	Modelo	Fabricante
$L1$	$47\mu H$	<i>SER1390-473</i>	<i>Coilcraft</i>
$L2$	$47\mu H$	<i>SER1390-473</i>	<i>Coilcraft</i>
$C0$ ¹	$120\mu F$	<i>860080674010</i>	<i>Wurth Elektronik</i>
	$10\mu F$	<i>GRT31CR61H106KE1L</i>	<i>Murata</i>
$C1$	$10\mu F$	<i>106MWR050K</i>	<i>Illinois Capacitor</i>
$C2$ ¹	$120\mu F$	<i>860080674010</i>	<i>Wurth Elektronik</i>
	$10\mu F$	<i>GRT31CR61H106KE1L</i>	<i>Murata</i>
$Q1$	MOSFET P	<i>DMP3028LPSQ</i>	<i>Diodes Incorporated</i>
$D1$	Schottky	<i>SS56</i>	<i>TAITRON</i>

¹ Configuração em paralelo.

Adicionalmente aos limites elétricos, a temperatura de operação do circuito também é um parâmetro essencial a ser analisado para garantir robustez ao conversor na aplicação final. Assim, de acordo com as especificações técnicas dos componentes, os limites de temperatura de cada componente é sumarizada conforme a Tabela 7.

Tabela 7: Relação de temperaturas absolutas de operação dos componentes

Componente	Temp. mínima	Temp. máxima	Unidade
$L1$	-40	+125	°C
$L2$	-40	+125	°C
$C0$	-55	+85	°C
$C1$	-40	+105	°C
$C2$	-55	+85	°C
$Q1$	-55	+150	°C
$D1$	-55	+150	°C

De acordo com WONG (2011) e KAPUR; PECHT (2014), as três principais classificações da aplicação de acordo com a faixa da temperatura ambiente declarada são: a) Comercial: 0 a +70°C; b) Industrial: -40 a +85°C; c) Militar: -55 a +125°C. Portanto, de acordo com a Tabela 7, os limites de temperatura são iguais a: -40 e +85°C. Desta maneira, o circuito projetado se enquadra como um dispositivo apto a ser utilizado em aplicações industriais.

Analisando a característica de condução do conversor, é observado pelos dados da Tabela 8 que o máximo valor da razão-cíclica crítica (D_{crit}) é menor que o mínimo valor

de razão-cíclica de operação. Portanto, é garantido que a condução do circuito será em modo contínuo para o envelope descrito.

Tabela 8: Parâmetros absolutos de operação circuito Zeta assíncrono, $V_{Carga} = 3,3V$

Parâmetro	Símbolo	Mín.	Nominal	Máx.	Unidade
Tensão de entrada	V_G	3,0	3,3	4,2	V
Potência de saída	P_{Carga}	3,0	5,0	6,0	W
Ganho de tensão	H_v	0,7857	1,0000	1,1000	V/V
Razão-cíclica	D	0,5109	0,5976	0,6402	–
Razão-cíclica crítica ¹	$D_{crit.}$	0,3016	0,3417	0,4243	–
Regulação	ΔV_{Carga}	29,1	29,9	33,9	mV
Temperatura ambiente ²	T_{Amb}	-40	25	45	°C
Eficiência	η	60,98	67,10	76,30	%

¹ A razão-cíclica crítica representa a condição mínima para condução em MCC.

² A temperatura ambiente mínima foi baseada na informação dos catálogos técnicos dos componentes selecionados conforme Tabela 6.

Contudo, após a seleção dos componentes, foram analisadas: a) a ondulação de corrente e tensão, b) a corrente média e eficaz, c) a tensão média e eficaz, d) a potência dissipada e e) a temperatura sobre os componentes nos pontos extremos do envelope: P1.1, P1.2, P2.1, P2.2 e P3.

De acordo com os componentes descritos na Tabela 6, foram adotados: $R_{L1} = 23m\Omega$, $R_{L2} = 23m\Omega$, $R_{C0} = 57m\Omega$, $R_{C1} = 177m\Omega$, $R_{C2} = 57m\Omega$, $R_G = 4,124m\Omega$, $Q_G = 11nC$, $Q_{GD} = 3,7nC$, $R_{DS} = 55m\Omega$, $V_{FWD} = 0,76V$ e $T_{amb} = 43^\circ C$. A Tabela 9 apresenta os parâmetros calculados para os pontos de interesse do envelope. A Figura 15 apresenta o conversor de topologia Zeta cuja seleção dos componentes foi discutida.

Figura 15: Conversor CC-CC Zeta assíncrono com componentes comerciais selecionados

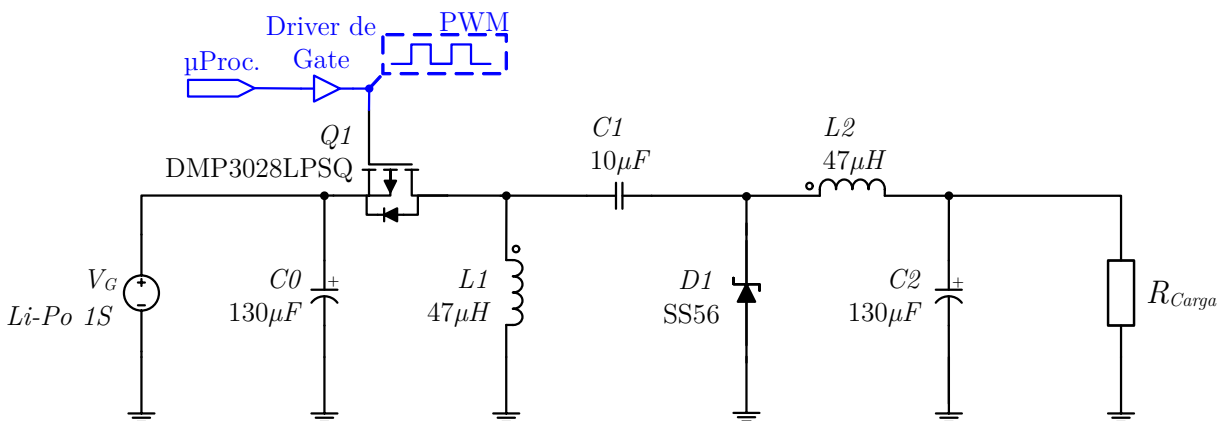


Tabela 9: Especificações do circuito Zeta nos pontos de interesse do envelope: P1.1, P1.2, P2.1, P2.2 e P3, $V_{Carga} = 3,3V$

Comp.	Parâm.	P1.1	P1.2	P2.1	P2.2	P3	Maior	Un.
L1	$I_{L1_{medio}}$	1,3888	3,2356	0,9495	2,0712	2,2500	3,2356	A
	$I_{L1_{RMS}}$	1,4164	3,2490	1,0050	2,0995	2,2703	3,2490	A
	ΔI_{L1}	0,4822	0,5108	0,5706	0,5948	0,5245	0,5948	A
	P_{RL1}	0,0461	0,2428	0,0232	0,1014	0,1185	0,2428	W
L2	$I_{L2_{medio}}$	0,9091	1,8182	0,9091	1,8182	1,5152	1,8182	A
	$I_{L2_{RMS}}$	0,9508	1,8419	0,9669	1,8503	1,5451	1,8503	A
	ΔI_{L2}	0,4822	0,5108	0,5706	0,5948	0,5245	0,5948	A
	P_{RL2}	0,0208	0,0780	0,0215	0,0787	0,0549	0,0787	W
C0	$V_{C0_{medio}}$	2,9943	2,9867	4,1961	4,1915	3,2907	4,1961	V
	$V_{C0_{RMS}}$	2,9943	2,9867	4,1961	4,1915	3,2907	4,1961	V
	ΔV_{C0}	0,0067	0,0125	0,0062	0,0105	0,0099	0,0125	V
	$I_{C0_{RMS}}$	0,0871	0,1788	0,0754	0,1450	0,1378	0,1788	A
	P_{RC0}	0,0004	0,0018	0,0003	0,0012	0,0011	0,0018	W
C1	$V_{C1_{medio}}$	-3,2890	-3,2674	-3,2991	-3,2942	-3,2831	-3,2674	V
	$V_{C1_{RMS}}$	3,3128	3,3737	3,3161	3,3675	3,3475	3,3737	V
	ΔV_{C1}	0,6868	1,4551	0,5805	1,2103	1,1318	1,4551	V
	$I_{C1_{RMS}}$	1,1576	2,4433	0,9857	1,9707	1,8710	2,4433	A
	P_{RC1}	0,2372	1,0567	0,1720	0,6874	0,6196	1,0567	W
C2	$V_{C2_{medio}}$	3,3000	3,3000	3,3000	3,3000	3,3000	3,3000	V
	$V_{C2_{RMS}}$	3,3000	3,3000	3,3000	3,3000	3,3000	3,3000	V
	ΔV_{C2}	0,0140	0,0157	0,0140	0,0152	0,0151	0,0157	V
	$I_{C2_{RMS}}$	0,2784	0,2949	0,3295	0,3434	0,3028	0,3434	A
	P_{RC2}	0,0044	0,0050	0,0062	0,0067	0,0052	0,0067	W
Q1	$I_{Q1_{medio}}$	1,3888	3,2356	0,9495	2,0712	2,2500	3,2356	A
	$I_{Q1_{RMS}}$	1,8381	4,0712	1,4094	2,8822	2,9480	4,0712	A
	$I_{Q1_{pico}}$	3,2623	6,0754	2,9998	5,0791	4,8141	6,0754	A
	$V_{Q1_{pico}}$	6,3083	6,3024	7,5101	7,5067	6,6058	7,5101	V
	P_{Q1}	0,1945	0,9268	0,1183	0,4712	0,4905	0,9268	W
	T_{JQ1}	62,446	135,678	54,832	90,120	92,047	135,678	°C
D1	$I_{D1_{medio}}$	0,9091	1,8182	0,9091	1,8182	1,5152	1,8182	A
	$I_{D1_{RMS}}$	1,4872	3,0518	1,3791	2,7004	2,4192	3,0518	A
	$I_{D1_{pico}}$	3,2623	6,0754	2,9998	5,0791	4,8141	6,0754	A
	$V_{D1_{pico}}$	6,9951	7,7574	8,0906	8,7170	7,7376	8,7170	V
	P_{D1}	0,6366	1,5275	0,5903	1,3516	1,1620	1,5275	W
	T_{JD1}	68,463	104,101	66,613	97,064	89,481	104,101	°C

5.3.1 Análise de temperatura, ondulação e eficiência do circuito Zeta

As figuras 16 e 17 ilustram o comportamento dos parâmetros de ondulação: K_{IL1} , K_{IL2} , K_{VC1} e K_{VC2} em função da potência de saída (P_{Carga}). Nota-se que a ondulação máxima em todos os casos não extrapola os limites utilizados como entrada do projeto.

Figura 16: Comportamento de ondulação normalizada sobre os indutores $L1$ e $L2$ referente ao envelope de operação, $V_{Carga} = 3,3V$

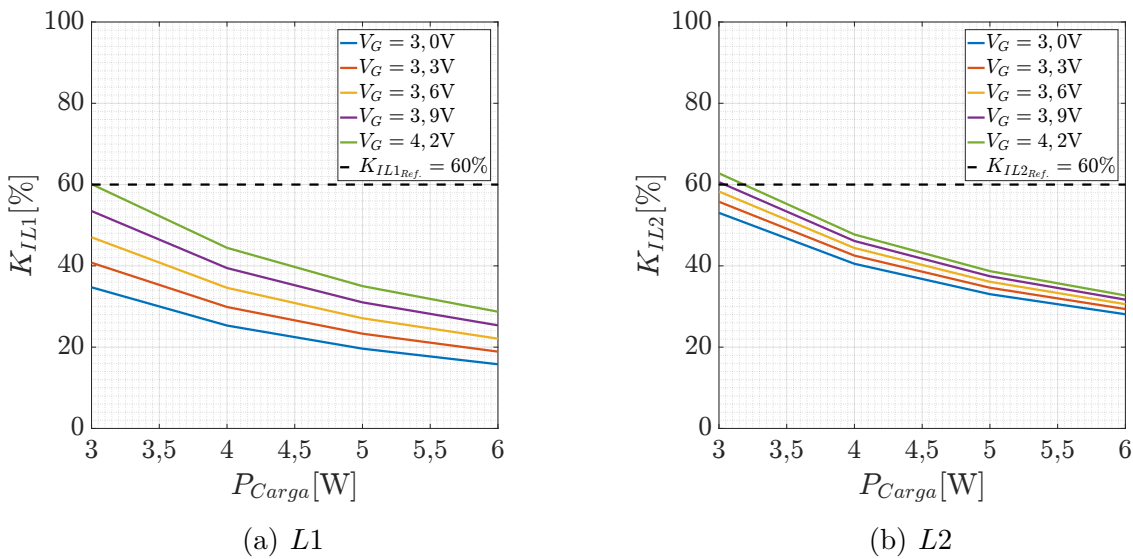
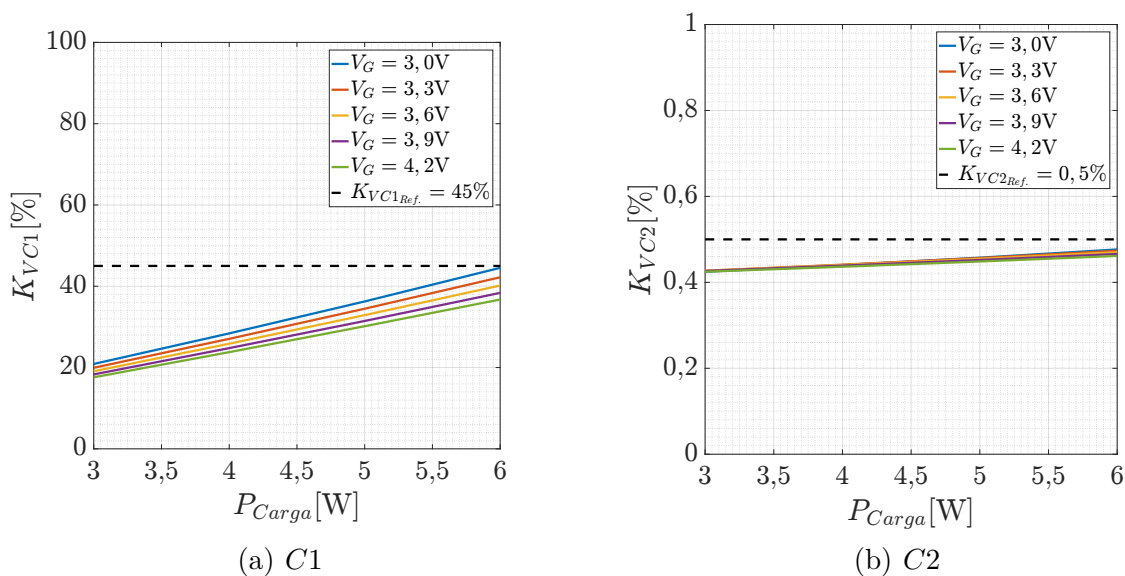


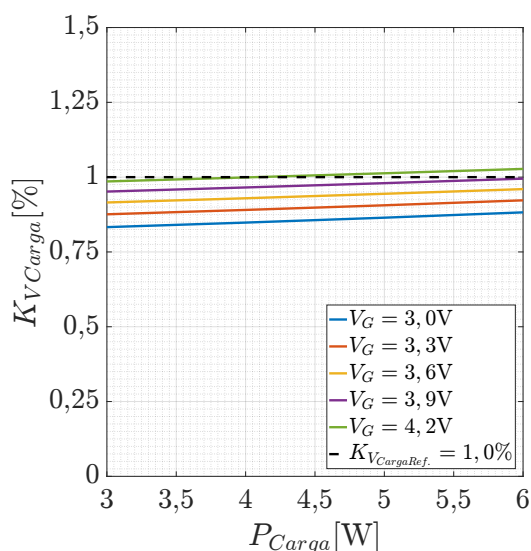
Figura 17: Comportamento de ondulação normalizada sobre os capacitores $C1$ e $C2$ referente ao envelope de operação, tensão de saída $V_{Carga} = 3,3V$



A Figura 16 ilustra que a variação de tensão de entrada provoca uma variação de ondulação maior sobre o indutor $L1$, em concordância à Equação 4.7. Também fica

evidente que o nível de ondulação máximo estipulado é satisfeito. A Figura 17 explicita que a ondulação de tensão sobre os capacitores $C1$ e $C2$ também cumpre o requisito mínimo, viabilizando o circuito para aplicações de regulação de tensão.

Figura 18: Comportamento de ondulação normalizada sobre R_{Carga} referente ao envelope de operação, $V_{Carga} = 3,3V$



Por fim, a conclusão sobre o circuito projetado no que se refere à ondulação é de que seu valor na carga, conforme a Figura 18, cumpre os requisitos estabelecidos para todo o envelope. Uma vez que o valor da indutância de $L2$ (comercial) é aproximadamente 5% menor do que o mínimo calculado, a ondulação na carga é menor que o limite igual a 1% de ondulação máxima para as condições exceto com tensão do gerador igual a 4,2V que ultrapassa em 0,0275%. Esse é um valor admissível uma vez que as tolerâncias dos componentes a utilizados são superiores.

O comportamento da temperatura de junção referente aos semicondutores $Q1$ e $D1$ na região coberta pelo envelope de aplicação é ilustrado conforme a Figura 19, em que foi considerada uma temperatura ambiente igual a 43°C. Uma vez que a temperatura máxima de ambos semicondutores é inferior a 150°C, é possível avaliar que a máxima temperatura ambiente para o circuito projetado é superior a 43°C.

Portanto, a partir dos gráficos ilustrados nas figuras 16, 17 e 18, assim como dos dados contidos na Tabela 10, o circuito projetado cumpre o propósito de regulador de tensão de baixa ondulação de saída, assim como a especificação estabelecida pela Tabela 3.

Tabela 10: Especificações de ondulação dos componentes $L1$, $L2$, $C1$, $C2$ e R_{Carga} na região do envelope em porcentagem, $V_{Carga} = 3,3V$

Ondulação	P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V	Maior	Ref.
$K_{I_{L1}}$	3W	34,7219	40,7707	47,0318	53,4823	60,1020	60,1020	60,0
	4W	25,3146	29,8797	34,5986	39,4559	44,4377	44,4377	
	5W	19,6259	23,3102	27,1101	31,0160	35,0183	35,0183	
	6W	15,7878	18,8963	22,0904	25,3668	28,7196	28,7196	
$K_{I_{L2}}$	3W	53,0440	55,7719	58,2874	60,6135	62,7703	62,7703	60,0
	4W	40,5099	42,5272	44,3908	46,1159	47,7165	47,7165	
	5W	33,0337	34,6153	36,0814	37,4415	38,7051	38,7051	
	6W	28,0952	29,3750	30,5691	31,6811	32,7166	32,7166	
$K_{V_{C1}}$	3W	20,8818	19,9395	19,0866	18,3092	17,5965	20,8818	45,0
	4W	28,4003	27,0635	25,8646	24,7789	23,7885	28,4003	
	5W	36,2641	34,4731	32,8850	31,4583	30,1646	36,2641	
	6W	44,5329	42,2071	40,1751	38,3677	36,7404	44,5329	
$K_{V_{C2}}^1$	3W	0,4246	0,4267	0,4272	0,4265	0,4247	0,4272	0,5
	4W	0,4403	0,4411	0,4405	0,4389	0,4363	0,4411	
	5W	0,4574	0,4566	0,4548	0,4520	0,4485	0,4574	
	6W	0,4765	0,4735	0,4701	0,4660	0,4615	0,4765	
$K_{V_{Carga}}^2$	3W	0,8329	0,8758	0,9153	0,9518	0,9856	0,9856	1,0
	4W	0,8481	0,8904	0,9294	0,9655	0,9990	0,999	
	5W	0,8645	0,9059	0,9443	0,9799	1,0129	1,0129	
	6W	0,8823	0,9225	0,9600	0,9949	1,0275	1,0275	

¹ Representa a ondulação apenas sobre o capacitor $C2$.² Representa a ondulação sobre o capacitor $C2$ e seu respectivo ESR, compondo a ondulação sobre a carga (R_{Carga}).

Figura 19: Comportamento de temperatura da junção dos semicondutores $Q1$ e $D1$ referente ao envelope de operação, $T_{amb} = 43^\circ\text{C}$, $V_{Carga} = 3,3\text{V}$

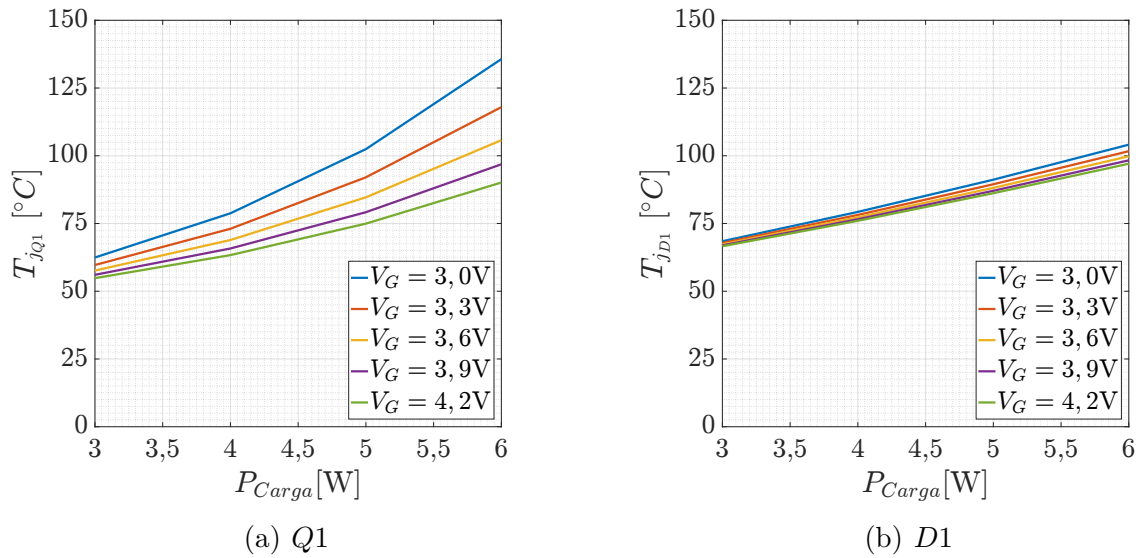


Tabela 11: Especificações de temperatura de junção dos componentes $Q1$ e $D1$ na região do envelope, $T_{amb} = 43^\circ\text{C}$, $V_{Carga} = 3,3\text{V}$

Parâm.	P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V	Maior	Lim. ¹
$T_{J_{Q1}}$	3W	62,45	59,68	57,63	56,06	54,83	62,4458	150
	4W	78,77	73,06	68,91	65,78	63,34	78,7678	
	5W	102,45	92,05	84,66	79,17	74,95	102,447	
	6W	135,68	117,95	105,74	96,85	90,12	135,6783	
$T_{J_{D1}}$	3W	68,46	67,82	67,32	66,93	66,61	68,4629	150
	4W	79,28	78,17	77,29	76,58	76,00	79,2839	
	5W	91,17	89,48	88,15	87,07	86,18	91,1658	
	6W	104,10	101,69	99,82	98,31	97,06	104,1005	

¹ A temperatura limite de cada componente é especificada na Tabela 7.

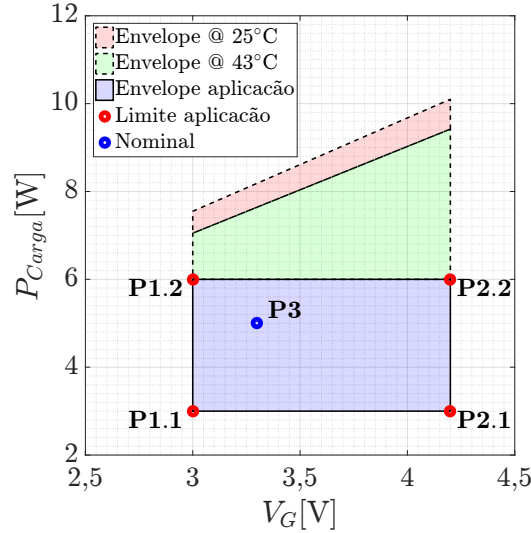
5.3.2 Limites do envelope de operação do conversor Zeta projetado

De acordo com o equacionamento de projeto descrito, é possível elaborar o envelope de operação do conversor Zeta projetado, em que os limites são estipulado de acordo com: 1) a temperatura de junção máxima permitida nos semicondutores, 2) temperatura ambiente, 3) ondulação máxima sobre os componentes e 4) o modo de condução. A Tabela 11 especifica a temperatura de junção dos componentes $Q1$ e $D1$, de forma que a 43°C , a temperatura crítica quando em operação é inferior ao limite dos respectivos componentes.

Dessa forma, a Figura 20 retrata o envelope considerando a região da aplicação

proposta e os limites absolutos em diferentes condições.

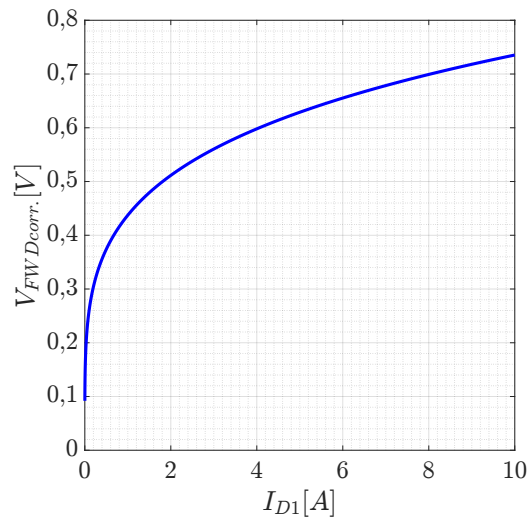
Figura 20: Envelope de operação do conversor Zeta projetado



5.3.3 Comportamento da tensão de condução (V_{FWD}) em $D1$

A queda de tensão de condução do semicondutor $D1$ (V_{FWD}) possui dependência da corrente que circula pelo componente (I_{D1}) devido ao comportamento do dispositivo, conforme a Figura 21, adaptada de [TAITRON COMPONENTS INC. \(2008\)](#).

Figura 21: Tensão de condução direta vs. corrente de condução do semicondutor $D1$



Portanto, para que o cálculo de potência dissipada no semicondutor $D1$ e, conseqüentemente, a temperatura no dispositivo sejam estimadas assertivamente, é necessário realizar a correção de V_{FWD} mencionada em (4.32). Conforme o datasheet do componente, obtém-se os parâmetros: $\alpha_{D1} = 0,437351184911687$ e $\beta_{D1} = 0,225666663398835$, sendo:

$$V_{FWD_{corr.}}(i_{D1}) = \alpha_{D1} i_{D1}^{\beta_{D1}} \quad (5.1)$$

Figura 22: Comportamento de eficiência e perdas totais dos componentes $L1$, $L2$, $Q1$ e $D1$ referente ao envelope de operação, $V_{Carga} = 3,3V$

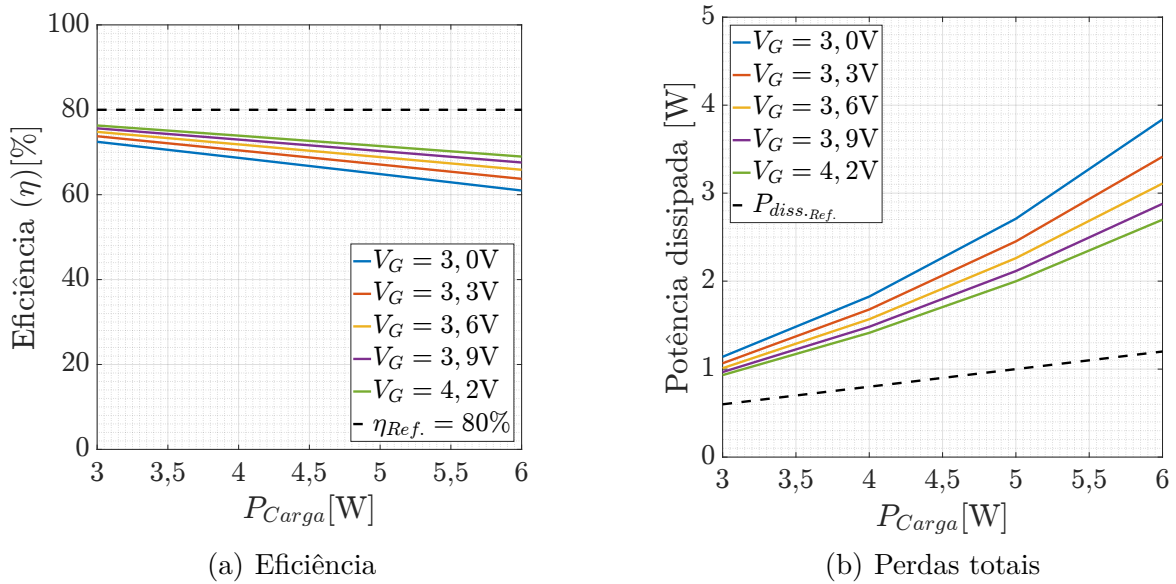
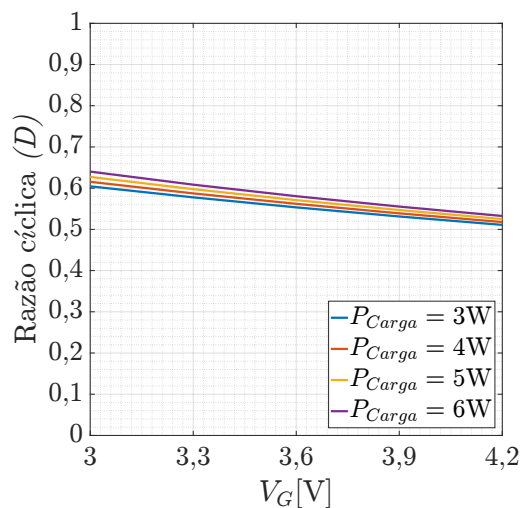


Tabela 12: Mapa de razão-cíclica nos pontos de operação do envelope do conversor Zeta, $V_{Carga} = 3,3V$

P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V
3W	0,6044	0,5777	0,5534	0,5313	0,5109
4W	0,6154	0,5873	0,5620	0,5389	0,5178
5W	0,6273	0,5976	0,5710	0,5469	0,5250
6W	0,6402	0,6085	0,5805	0,5553	0,5325

Figura 23: Comportamento de razão-cíclica nos pontos de operação do envelope do conversor Zeta, $V_{Carga} = 3,3V$



Considerações finais sobre o projeto do conversor Zeta assíncrono

O conversor Zeta projetado atende as especificações de temperatura ambiente de operação, ondulação sobre todos os componentes, regulação de tensão, modo de condução e portanto se mostra viável para a aplicação proposta.

No entanto, frente a uma limitação de componentes disponíveis para execução do projeto, nota-se, conforme a Figura 22 que a eficiência máxima do circuito é limitada em 76%, mesmo quando em operação dentro dos limites do envelope utilizados como diretrizes de projeto. Esse nível de eficiência é inferior ao nível mínimo, estimado em 80%.

A Figura 23 e a Tabela 12 detalham o mapa de D em função da tensão de entrada do conversor Zeta projetado.

Dessa forma, adiante será realizada uma análise detalhada da distribuição das perdas dissipadas em cada componente, assim como a investigação de uma alternativa para contornar a baixa eficiência resultante do circuito projetado.

Devido à frequência de chaveamento f_{ch} e semicondutor $Q1$ selecionado neste trabalho, foi notado que a parcela da potência dissipada por semicondutor decorrente do chaveamento ($P_{Q1_{chav}}$) possui valor desprezível em comparação à parcela estática ($P_{R_{DS}}$) e portanto desconsiderada nas análises seguintes.

Por fim, é concluído que a análise de viabilidade de execução do circuito, sendo os próximos pontos investigados: a) verificação do comportamento dinâmico do circuito, b) investigação do comportamento do ganho estático e c) eficiência em função da razão-cíclica do conversor projetado.

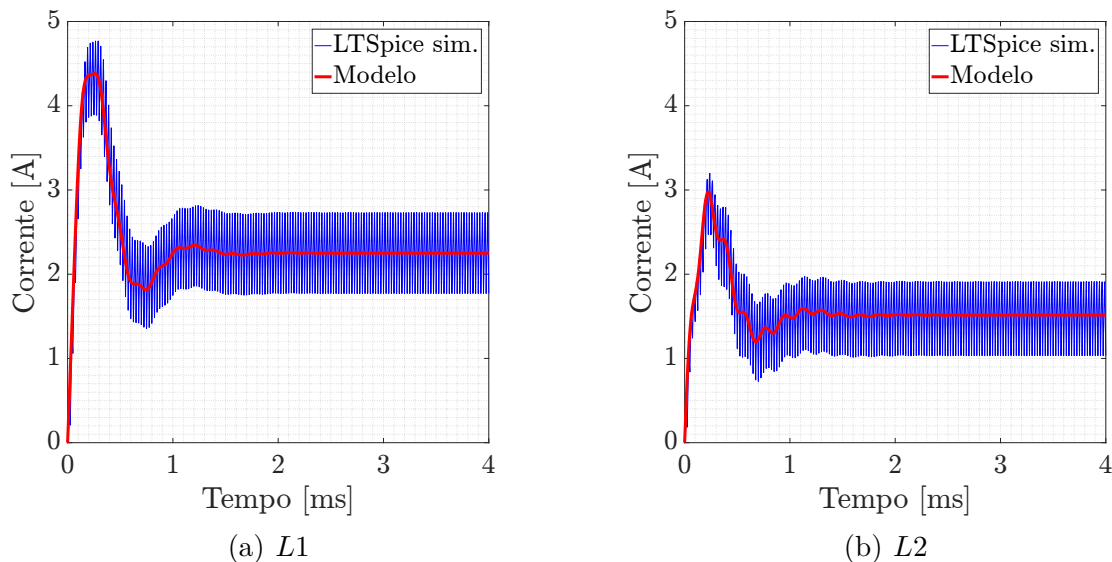
6 ANÁLISE DO CONVERSOR ZETA

6.1 Análise de resposta dinâmica (transiente)

O modelo dinâmico do conversor Zeta projetado e apresentado no capítulo anterior foi obtido conforme as matrizes em espaço de estados (3.15), (3.16), (3.18), (3.17), (3.19) e (3.20) descritas na Seção 3.6 - "Modelagem em Espaço de Estados", em que a partir da aplicação de um degrau de entrada (\mathbf{u}), é obtida a resposta dinâmica do circuito modelado em espaço de estados em relação a saída (\mathbf{y}) desejada.

As figuras 24, 25 e 26 exibem as respostas dinâmicas de corrente e tensão sobre os respectivos componentes, referentes ao circuito modelado sobrepostas às respostas obtidas conforme simulação do circuito projetado em ambiente LTSpice. Todos os parâmetros utilizados na modelagem e simulação: componentes, perdas, gerador e carga e razão-cíclica são os mesmos. O ponto de operação que se realizou a análise é o ponto do envelope, "P3", por sua vez classificado como nominal de acordo com a Figura 13.

Figura 24: Comportamento da dinâmica do transiente de corrente sobre os indutores $L1$ e $L2$ referente ao modelo em espaço de estados e simulação em LTSpice



Ao observar o comportamento de corrente sobre os indutores $L1$ e $L2$ (Figura 24), assim como de tensão sobre $C1$ (Figura 25), percebe-se que a simulação também contempla as ondulações de ordem superior decorrentes da modulação. No entanto, o modelo em espaço de estados não aborda estas componentes, sendo referente apenas aos valores médios das componentes de corrente e tensão, decorrente da linearização do circuito.

Figura 25: Comportamento da dinâmica do transiente de tensão sobre os capacitores $C0$ e $C1$ considerando-se os respectivos ESRs, referente ao modelo em espaço de estados e simulação em LTSpice

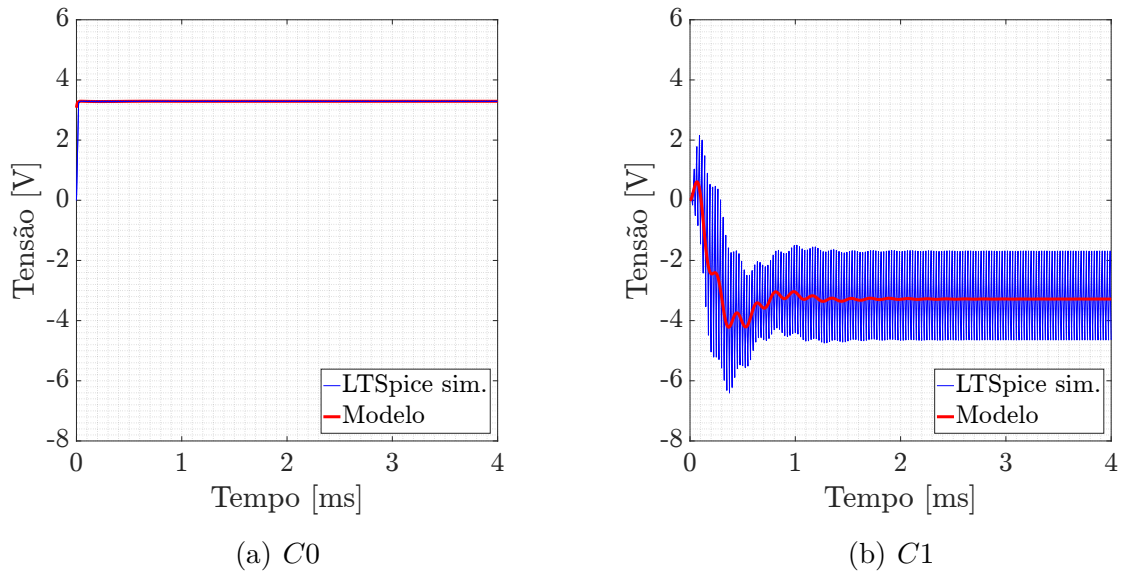
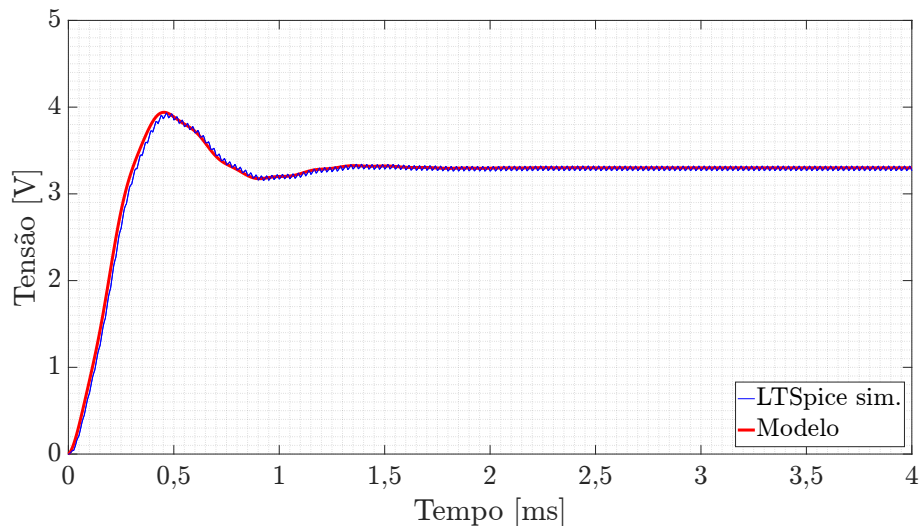


Figura 26: Comportamento da dinâmica do transiente de tensão sobre o capacitor $C2$ e respectivo ESR, referente ao modelo em espaço de estados e simulação em LTSpice



Também é possível identificar que, devido à baixa ondulação na tensão de saída ($K_{V_{Carga}} < 1,0\%$), o comportamento da resposta dinâmica da simulação se aproxima do valor médio, já que as componentes de ondulação de alta frequência são filtradas. Esta é uma característica da arquitetura do circuito Zeta e dos requisitos de projeto considerados.

Por fim, são observados comportamentos coerentes entre a simulação e a modelagem descrita que valida o modelo desenvolvido.

6.2 Análise da ondulação em regime permanente

Ainda utilizando a modelagem em espaço de estados mencionada na seção anterior, foi analisada a ondulação em regime-permanente, cuja duração da simulação foi igual a $200\mu s$, após os primeiros 10ms de operação. De forma a facilitar a leitura e interpretação dos resultados nessa seção, os valores máximos de ondulação que considerados durante a etapa de projeto e dimensionamento dos componentes armazenadores de energia são: $K_{I_{L1}} = 0,60$; $K_{I_{L2}} = 0,60$; $K_{V_{C1}} = 0,45$; $K_{V_{C2}} = 0,005$; $K_{V_{Carga}} = 0,01$.

As figuras 27, 28 e 29 apresentam os estados corrente e tensão sobre os respectivos componentes em regime permanente. O ponto de operação que foi avaliado é o ponto do envelope P3, classificado como nominal de acordo com a Figura 13. É possível notar que os limites de ondulação estão de acordo com o que se estabeleceu nos requisitos de projeto na Tabela 3 e que o modelo é válido, uma vez que os erros entre os resultados em simulação em LTSpice e obtidos via modelagem são menores que 0,78%, de acordo com a Tabela 13.

Tabela 13: *Offset* dos valores médios calculados a partir da modelagem em relação aos valores simulados em LTSpice, $V_G = 3,3V$, $V_{Carga} = 3,3V$, $D = 0,5976$, $P_{Carga} = 5W$

Parâm.	LTSpice	Modelo	Offset [%]
I_{L1}	2,2500 A	2,2676 A	-0,776
I_{L2}	1,5152 A	1,5119 A	0,218
V_{C0}	3,2907 V	3,2906 V	0,003
V_{C1}	-3,2831 V	-3,2735 V	0,293
V_{C2}	3,3000 V	3,2926 V	0,225

Figura 27: Comportamento de corrente sobre os indutores $L1$ e $L2$ em regime permanente, referente ao modelo em espaço de estados e simulação em LTSpice

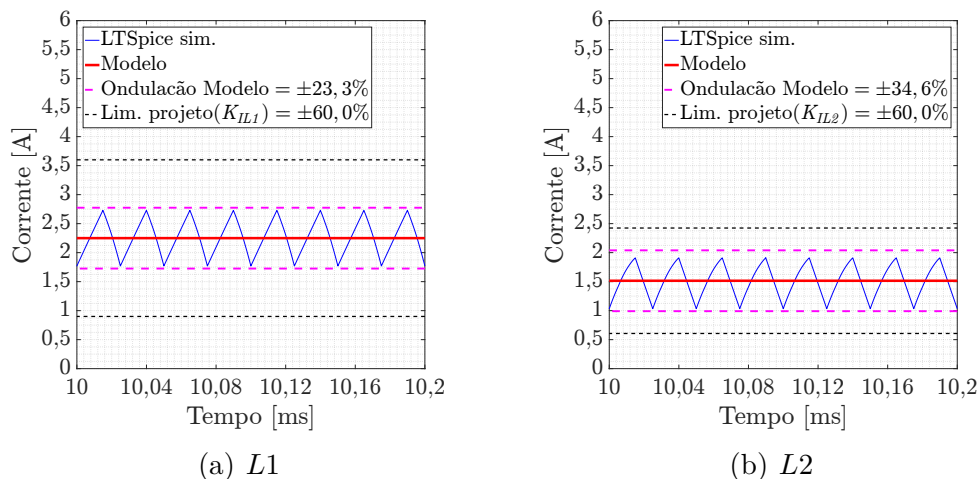


Figura 28: Comportamento de tensão sobre os capacitores $C0$ e $C1$ e os respectivos ESRs, referente ao modelo em espaço de estados e simulação em LTSpice

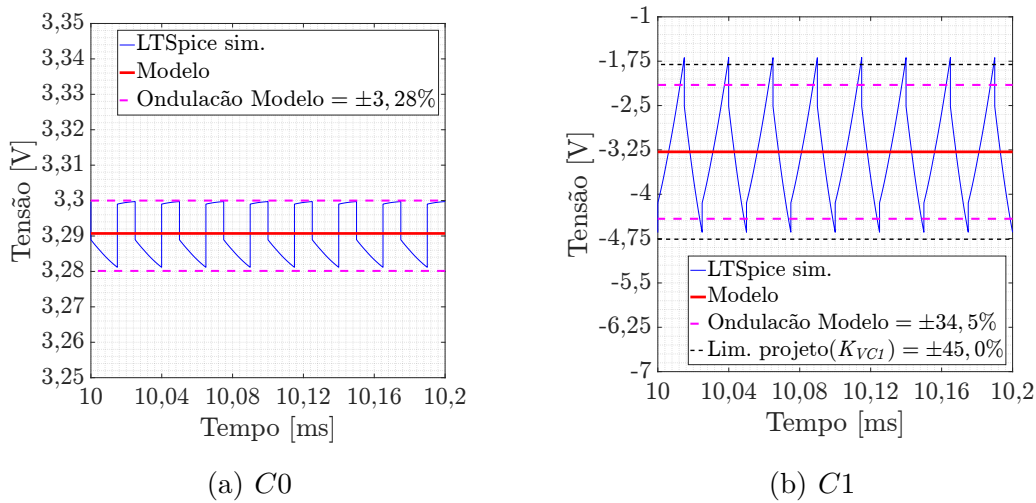
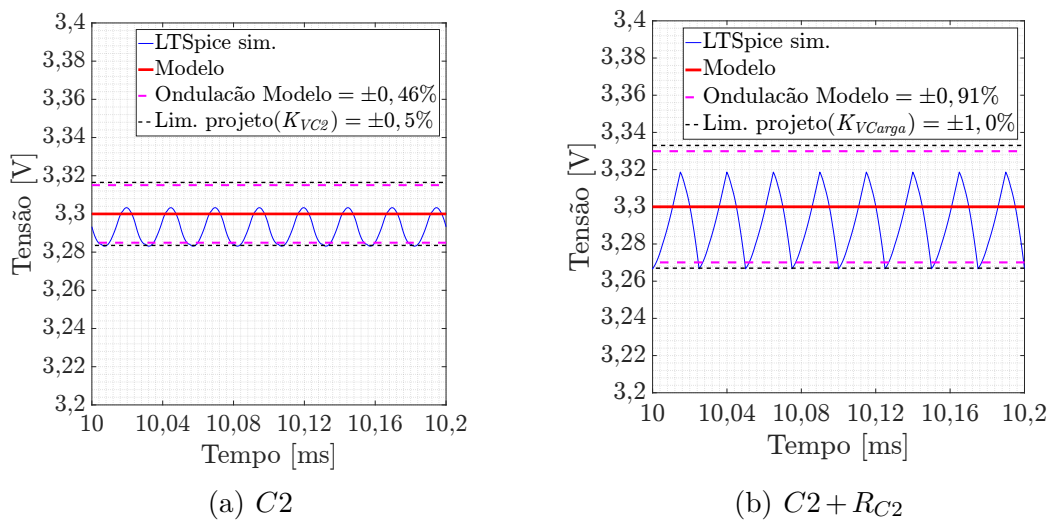


Figura 29: Comportamento de tensão sobre o capacitor $C2$ puro e $C2$ com o respectivo ESR, referente ao modelo em espaço de estados e simulação em LTSpice



Em relação aos resultados obtidos, é possível observar a presença de um "offset". Essa diferença entre o resultado simulado e modelado ocorre uma vez que: 1) o modelo não contempla o chaveamento (após linearização do sistema), 2) a comutação das chaves não é ideal (" $slew-rate$ " $< \infty$), desconsiderado na modelagem, 3) o método de integração utilizado na simulação refere-se à uma abordagem diferente do método de cálculo empregado na modelagem em espaço de estados. Esses fatores não serão investigados nesse trabalho por se distanciarem do tema proposto. Uma vez que a diferença do resultado entre o circuito simulado em LTSpice e a modelagem é aceitável (" $offset$ " $< 0,78\%$) para os cálculos e análises pertinentes nessa dissertação.

6.3 Análise do modo de condução

O modo de condução do circuito pode ser mapeado ao determinar o limiar entre MCC e MCD referente a uma determinada carga parametrizada, de acordo com (3.29). Nesta condição limiar entre os modos de condução, o circuito opera em condução crítica (MC_{crit}) e portanto o ganho do conversor em MCC (3.23) é igual ao ganho do mesmo circuito ao operar em MCD (3.28). Logo, é possível encontrar o valor da razão-cíclica que atende esta condição, que também pode ser nomeada por razão-cíclica crítica ($D_{crit.}$). A obtenção deste parâmetro referente ao conversor Zeta de eficiência genérica " η ", em função de uma carga parametrizada específica é dada por:

$$H_{v_{MCD}} = H_{v_{MCC}} \rightarrow D_{crit.} = H_{v_{MCC}} \sqrt{\eta^{-1}/\chi_{eq}}. \quad (6.1)$$

A Figura 30 ilustra o comportamento de $D_{crit.}$ referente a duas configurações do conversor Zeta projetado: 1) idealizado ($\eta = 1$) e 2) em que suas perdas foram consideradas: $R_G = 4,124m\Omega$, $R_{L1} = 23m\Omega$, $R_{L2} = 23m\Omega$, $R_{C0} = 57m\Omega$, $R_{C1} = 177m\Omega$, $R_{C2} = 57m\Omega$, $R_{DS} = 55m\Omega$, $V_{FWD_{corr}}$, sendo que em ambas configurações foi utilizada a tensão de entrada nominal, $V_G = 3,3V$.

Logo, é possível verificar quais são os valores de $D_{crit.}$ nos extremos de R_{Carga} que contemplam o envelope do conversor projetado, conforme as condições mencionadas. É possível notar que há uma distância significativa entre o menor valor admissível entre ambas as condições simuladas, de forma que a operação seja em MCC, sendo estes pontos representados por: **A**, **B**, **C** e **D**, em que a máxima diferença é igual a 0,314 e ocorre na condição de mínima R_{carga} .

Figura 30: Limiar entre modos de condução para circuito Zeta assíncrono projetado (com perdas) e ideal no intervalo de carga correspondente ao envelope de operação. **A**=0,314 ; **B**=0,424 ; **C** = 0,0 ; **D**=0,277.

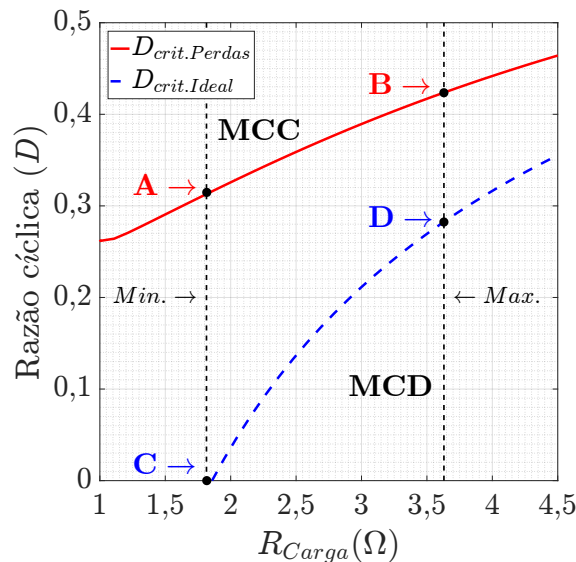
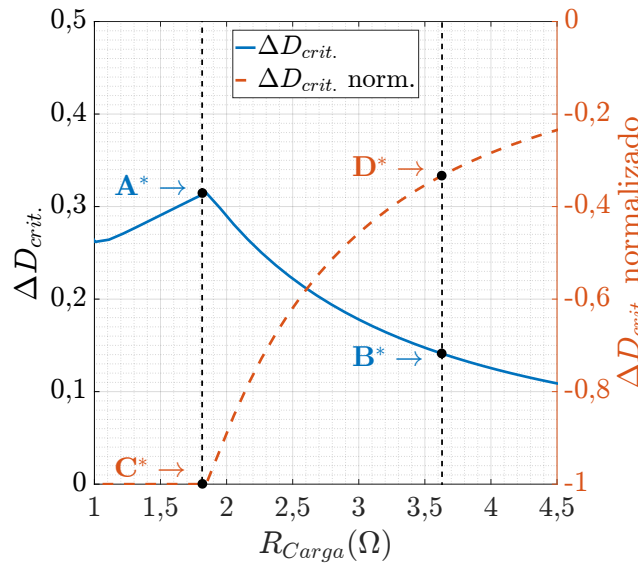


Figura 31: Diferença entre os valores de $D_{crit.}$ entre modos de condução para circuito Zeta assíncrono e comparação normalizada entre circuito idealizado e com perdas. $A^* = 0,315$; $B^* = 0,141$; $C^* = -1,0$; $D^* = -0,346$.



A partir das figuras 30 e 31, verifica-se que quanto menor a carga, maior é a diferença de $D_{crit.}$ entre a condição ideal e com as perdas nominais. Dessa forma, é imprescindível analisar o modo de condução crítica considerando as perdas do circuito, uma vez que esta informação comprova o modo de operação do conversor projetado e conseqüentemente do protótipo a ser manufaturado.

Assim, considerando a condição de operação à mínima R_{Carga} (i.e. em máxima potência), percebe-se que idealmente, o circuito sempre opera em MCC. No entanto, ao considerar as perdas, esta afirmação se torna falsa, podendo levar a um subdimensionamento dos componentes do circuito, assim como dos limites admissíveis do envelope de operação. Uma vez que na condição cujas perdas possuem seus valores nominais, neste mesmo ponto de operação, seria necessário que o fator de trabalho fosse superior a 0,314 para que o circuito não entrasse em MCD.

Essa diferença entre os valores de razão-cíclica crítica ($\Delta D_{crit.}$) nas duas condições simuladas, pode chegar a 100% e, em seu melhor caso, 34,6% conforme retratado pela Figura 31. Portanto, justifica-se necessária a inclusão destas perdas na modelagem, de forma que as análises do projeto possibilitem uma avaliação precisa do comportamento do circuito antes de se iniciarem os procedimentos experimentais.

6.3.1 Envelope do circuito Zeta: R_{Carga} versus razão-cíclica

É primordial avaliar o envelope do circuito em função do parâmetro que rege a comutação do conversor a priori, com o objetivo de que as análises referentes ao comportamento de ganho estático e eficiência do circuito Zeta projetado sejam desenvolvidas para diferentes condições do fator de trabalho, " D ". Assim, a análise de desempenho do circuito que se relaciona ao ganho estático e eficiência é válida para a região definida pela intersecção do envelope projetado com a região de operação em MCC, conforme a Figura 32. A carga de saída do circuito foi definida com base na aplicação proposta definida pela Tabela 3. Uma vez que a tensão de entrada do ponto nominal, "P3", é igual a 3,3V, o intervalo admissível para R_{carga} é igual a: $1,815 \sim 3,63\Omega$.

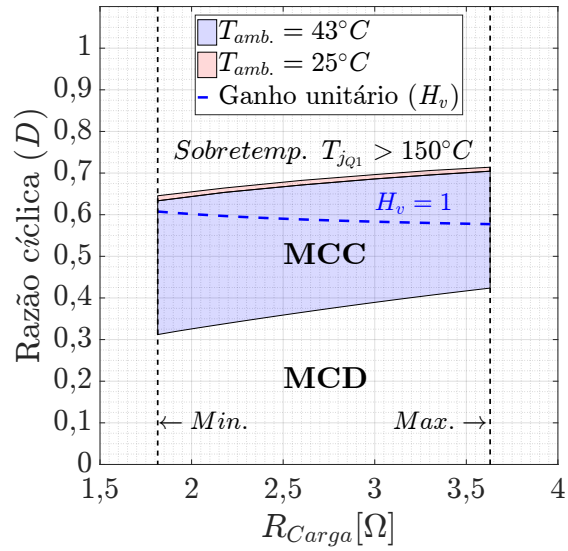
Ao desenvolver o envelope do circuito, foram definidas quatro condições de contorno: 1) $R_{carga_{min}}$, 2) $R_{carga_{max}}$, 3) $D_{crit.}$ e 4) D_{max} . O máximo valor de razão-cíclica está relacionado à condição em que a maior temperatura entre os semicondutores não extrapola o limite dos componentes, de acordo com a Tabela 7. Portanto, com base nas equações (4.29) e (4.28), define-se o parâmetro $D_{max}(R_{carga})$. Portanto, com $V_G = 3,3V$ e temperatura ambiente igual a $25^\circ C$, os intervalos de razão-cíclica encontrados são: $D(1,815\Omega)_{25^\circ C} = 0,314 \sim 0,646$ e $D(3,63\Omega)_{25^\circ C} = 0,424 \sim 0,715$. Além disso, a $43^\circ C$, os intervalos são: $D(1,815\Omega)_{43^\circ C} = 0,314 \sim 0,635$ e $D(3,63\Omega)_{43^\circ C} = 0,424 \sim 0,705$.

A região no gráfico ilustrado pela Figura 32 em que $D(R_{carga}) > D_{max}(R_{carga})$ para determinada temperatura ambiente, representa uma condição de sobretemperatura sobre os semicondutores. Portanto, não é admitido operar o circuito projetado nessa condição, uma vez que a temperatura sobre o semicondutor $Q1$ extrapola $150^\circ C$. É mencionado apenas este componente nas figuras referentes ao envelope uma vez que a temperatura de junção de $Q1$ é superior a do semicondutor não-controlado $D1$, a partir do mapa de temperatura de ambos semicondutores apresentado na Figura 19.

Também é possível notar que o comportamento da comutação do circuito varia pouco em relação às variações de temperatura ambiente, uma vez que a $25^\circ C$, o circuito aceita uma comutação com D_{max} igual a aproximadamente 1,5% superior em toda a extensão do envelope, sendo este um acréscimo sutil ao máximo valor admissível de razão-cíclica comparado a $43^\circ C$ ambiente.

Por fim, conforme a Figura 32, é observado que o valor de R_{Carga} mais apropriado para proceder com as análises e procedimento experimental é igual à $R_{Carga_{max}}$, pois, nesta condição há uma maior excursão em torno da curva que delimita o ganho unitário do conversor. Consequentemente, essa situação possibilita a investigação do comportamento de eficiência em função do ganho estático, que é um dos objetivos propostos neste trabalho e descreve a assinatura do conversor projetado.

Figura 32: Envelope do circuito em relação à razão-cíclica versus carga (R_{carga}) e modo de condução para o circuito Zeta assíncrono, tensão de entrada $V_G = 3,3V$



6.4 Análise de ganho estático (H_v) do conversor Zeta

Nesta seção são apresentados os resultados obtidos referentes ao comportamento do ganho de tensão estático do conversor Zeta projetado em função da razão-cíclica. Primeiramente, a relação entre as diversas condições de operação (V_G e R_{Carga}) investigadas para levantamento do envelope detalhado.

Assim, é selecionada R_{Carga} cujo valor é próximo ao que será utilizado no experimento e o comportamento de ganho estático é analisado excursionando " D " em MCC. Para investigar o impacto das perdas sobre o ganho estático do circuito projetado, são realizadas análises do ganho estático ao variar independentemente da perda ôhmica em cada componente utilizado.

A Figura 33 representa o envelope de operação ao variar a tensão de entrada e a carga do circuito. As tabelas 14 e 15 descrevem os valores máximos e mínimos obtidos referentes ao ganho estático e razão-cíclica, em diferentes condições de operação.

Figura 33: Envelope e modos de condução para o circuito Zeta, para diferentes R_{Carga}

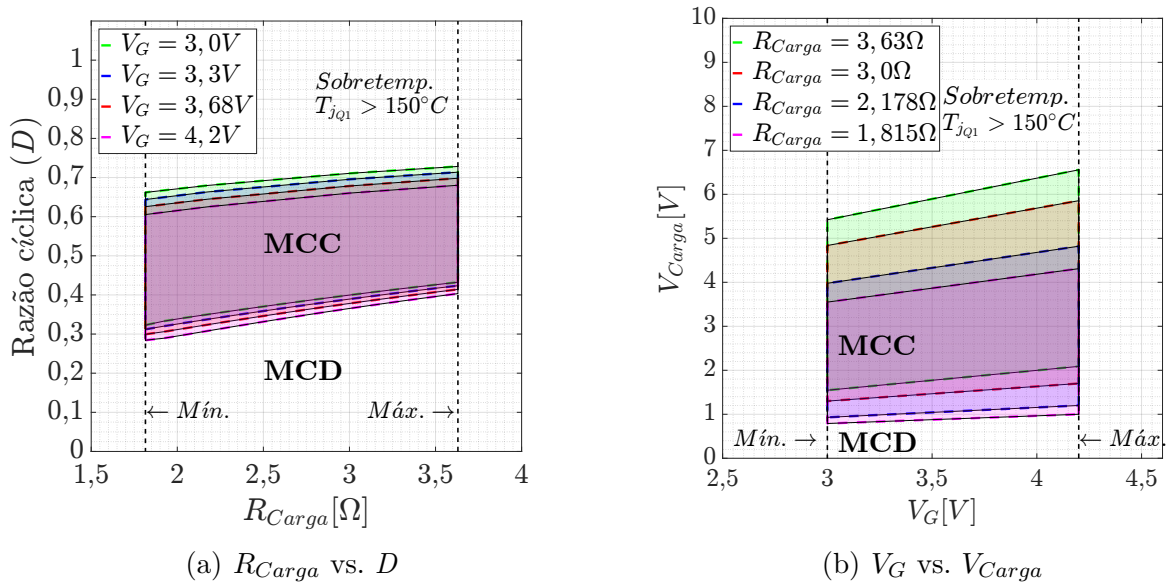


Tabela 14: Ganho estático e razão-cíclica mínimos em diferentes condições de operação.

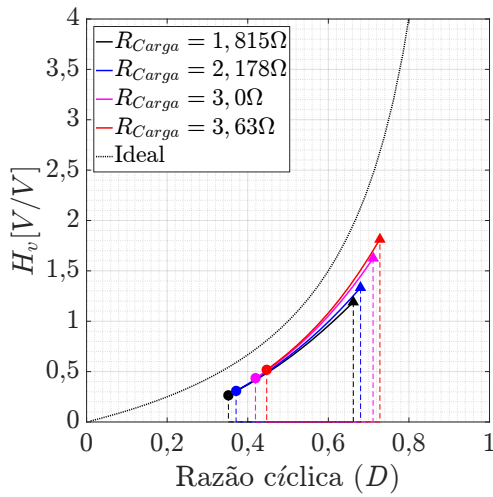
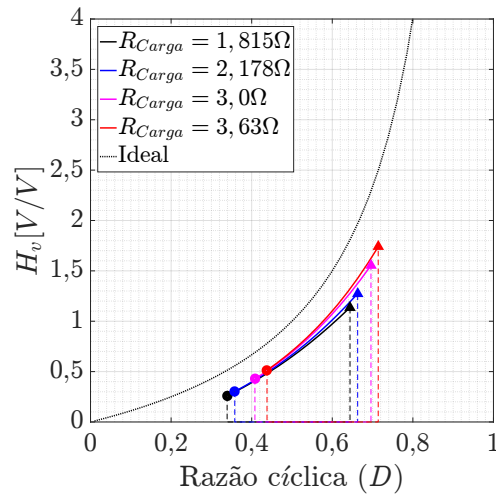
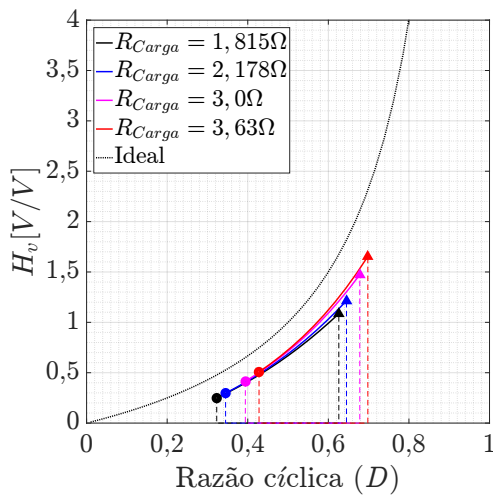
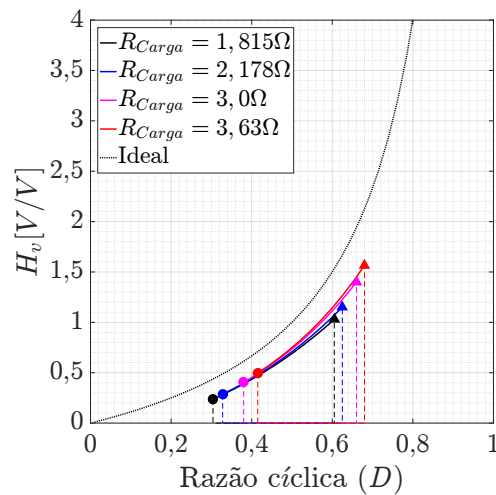
$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	$H_{v_{min}}$	D_{min}	$H_{v_{min}}$	D_{min}	$H_{v_{min}}$	D_{min}	$H_{v_{min}}$	D_{min}
1,815	0,215	0,328	0,211	0,314	0,205	0,299	0,198	0,282
2,178	0,267	0,351	0,262	0,339	0,257	0,325	0,250	0,309
3	0,386	0,400	0,382	0,390	0,378	0,379	0,373	0,366
3,63	0,477	0,433	0,474	0,424	0,471	0,415	0,468	0,404

Tabela 15: Ganho estático e razão-cíclica máximos em diferentes condições de operação.

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	H_{vmax}	D_{max}	H_{vmax}	D_{max}	H_{vmax}	D_{max}	H_{vmax}	D_{max}
1,815	1,183	0,662	1,139	0,646	1,088	0,628	1,026	0,606
2,178	1,326	0,680	1,275	0,665	1,218	0,647	1,149	0,626
3	1,612	0,711	1,550	0,697	1,479	0,680	1,394	0,660
3,63	1,807	0,728	1,737	0,715	1,657	0,700	1,561	0,680

Portanto, a partir do envelope descrito pela Figura 33 e pelas tabelas 14 e 15 é possível mapear o comportamento de H_v do circuito, conforme a Figura 34.

Figura 34: Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas

(a) $V_G = 3,0V$ (b) $V_G = 3,3V$ (c) $V_G = 3,68V$ (d) $V_G = 4,2V$

A partir do mapa ilustrado na Figura 34, é possível concluir que o circuito Zeta possui um ganho de tensão estático máximo igual a $1,657V/V$ com $R_{Carga} = 3,63\Omega$ e $V_G = 3,68V$. Portanto, nessa condição o circuito se comporta como elevador de tensão ao operar com $D_{max} = 0,700$. Entretanto, ao comutar com fator de trabalho mínimo $D_{min} = 0,415$, o conversor apresenta um ganho igual a $0,507V/V$, comportando-se como abaixador de tensão. Logo, ao considerar os valores extremos, o ganho máximo é igual a $1,807V/V$ e o mínimo igual a $0,2198V/V$.

Também é constatado que existe uma diferença significativa entre o circuito modelado com as perdas nominais e uma condição idealizada, hipotética. É reiterado que modelar o circuito considerando as perdas é essencial para compreender o funcionamento do circuito projetado de forma detalhada.

Logo, ao desconsiderar a condição de sobrecarga dos semicondutores, sendo R_{DS} e V_{FWD} nulos, a fim de investigar o comportamento do ganho de tensão estático ao longo de toda a extensão plausível de razão-cíclica, é determinado o comportamento específico conforme a Figura 35. Este comportamento denota um pico de ganho em regiões em que o semicondutor ativo $Q1$ opera de forma majoritária. Uma vez que os armazenadores de energia $L1$ e $L2$ possuem indutâncias similares, é esperado haver um desbalanço significativo entre as correntes que circulam por estes componentes. Portanto, considerando os componentes selecionados para este projeto não seria viável proceder com a operação com um fator de trabalho elevado, em torno de $D \approx 0,9$.

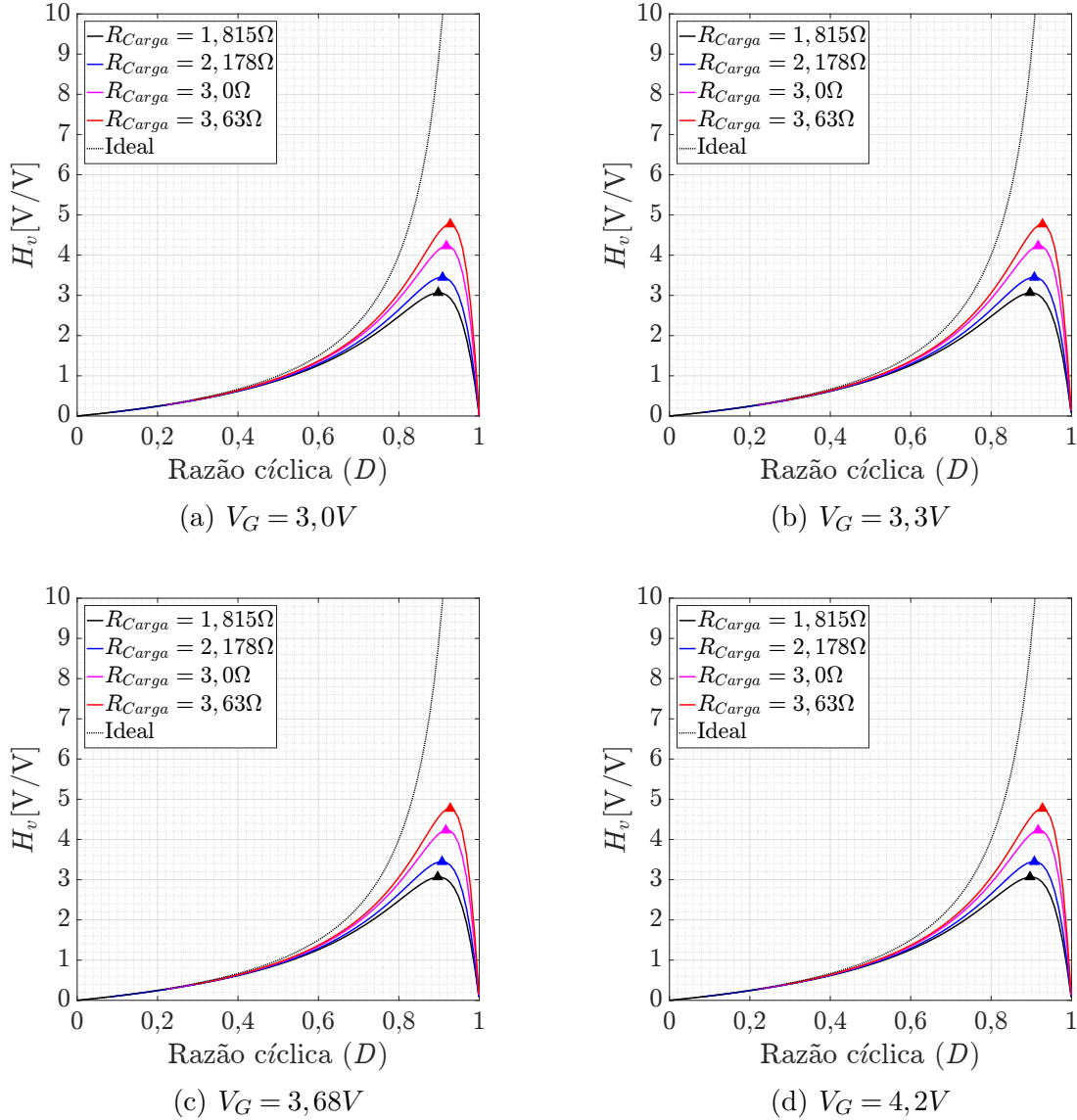
O intuito desta análise possui fins investigativos, de forma a explorar qual o impacto destas perdas em H_v do conversor Zeta projetado. Em concordância com a Equação 3.24, este comportamento mostra que os semicondutores possuem uma influência significativa no comportamento de H_v do conversor, uma vez que o ganho estático máximo, ao desconsiderar R_{DS} e V_{FWD} , alcança $4,772V/V$.

O comportamento composto por um pico de ganho observado na Figura 35 incita uma investigação detalhada sobre o impacto da variação das perdas em cada componente do circuito em relação a H_v .

Tabela 16: Ganho estático máximo e respectivos fatores de trabalho em diferentes condições de operação hipotéticas, desconsiderando R_{DS} e V_{FWD} .

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	H_{vmax}	$D_{H_{vmax}}$	H_{vmax}	$D_{H_{vmax}}$	H_{vmax}	$D_{H_{vmax}}$	H_{vmax}	$D_{H_{vmax}}$
1,815	3,065	0,898	3,065	0,898	3,065	0,898	3,065	0,898
2,178	3,452	0,908	3,452	0,908	3,452	0,908	3,452	0,909
3,00	4,236	0,919	4,236	0,919	4,236	0,919	4,236	0,919
3,63	4,771	0,928	4,771	0,929	4,771	0,929	4,772	0,929

Figura 35: Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, desconsiderando R_{DS} e V_{FWD}



Portanto, nas subseções a seguir, será investigado qual o impacto das perdas: R_{L1} , R_{L2} , R_{C0} , R_{C1} , R_{C2} , R_{DS} e V_{FWD} sobre H_v do conversor Zeta projetado. O objetivo desta análise é de verificar qual perda ôhmica possui o impacto mais significativo sobre o ganho do conversor. De forma que, em situação prática, seja possível investir em determinado componente de forma assertiva a fim de alcançar as especificações mínimas de projeto. Assim, para as análises investigativas realizadas nesta seção, serão considerados: $V_G = 3,68V$ e $R_{Carga} = 3,63\Omega$.

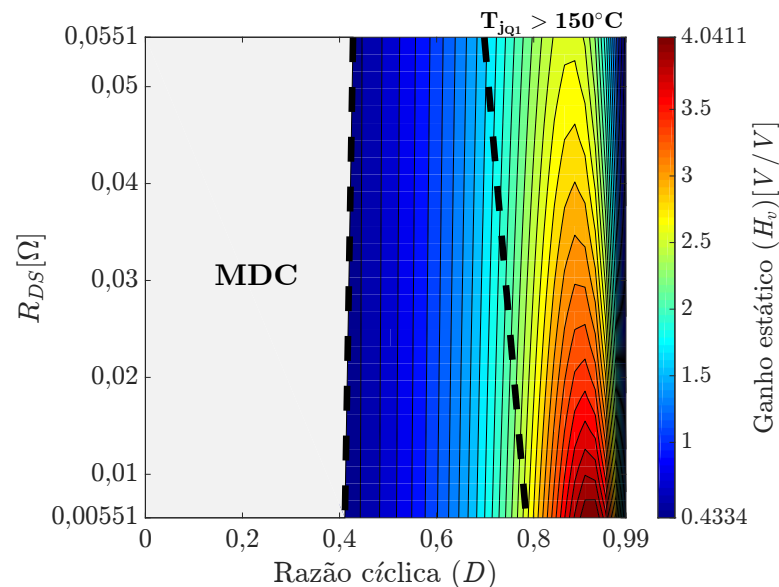
A Tabela 17 resume os impactos de cada perda, ao comportamento de ganho do conversor, em que os dados são detalhados nas subseções seguintes.

Tabela 17: Ganho estático (H_v) e razão-cíclica mínima e máxima, comparação de H_v entre o circuito nominal (Ref.) e com as respectivas perdas mínimas

Parâm.	Ref.	$R_{DS_{min}}$	$R_{L_{min}}$	$R_{C0_{min}}$	$R_{C1_{min}}$	$V_{FWD_{min}}$
D_{min}	0,415	0,411	0,411	0,414	0,408	0,313
$H_{v_{min}}$	0,471	0,470	0,467	0,471	0,468	0,418
D_{max}	0,700	0,785	0,696	0,699	0,689	0,688
$H_{v_{max}}$	1,657	2,618	1,681	1,665	1,738	1,734
$\Delta H_{v_{max}}$	Ref.	0,580	0,015	0,005	0,049	0,047

6.4.1 Análise do impacto de R_{DS} sobre H_v do conversor Zeta

Ao variar R_{DS} , referente a resistência de condução em $Q1$, e a razão-cíclica, é possível calcular o ganho do conversor a partir da modelagem realizada para cada condição. A Figura 36 ilustra o impacto da variação de R_{DS} sobre o ganho do conversor Zeta assíncrono, considerando R_{DS} entre: $5,5m\Omega$ e $55m\Omega$, em que as linhas tracejadas representam os limites de operação.

Figura 36: Curvas de nível do impacto da resistência de condução direta da chave controlada R_{DS} ao ganho do conversor Zeta

Com base nos resultados obtidos é observado qual seria a limitação de ganho para determinado valor de R_{DS} . De forma análoga, é possível determinar qual é o R_{DS} admissível para atender um ganho em uma faixa de operação específica conforme os requerimentos de desempenho desejados.

De acordo com a Tabela 17, ao utilizar um componente com uma resistência inferior a $5,5m\Omega$ é possível obter um aumento de 57,9% de ganho e uma extensão na razão-cíclica

igual a 12,1%. No entanto, para a aplicação proposta neste trabalho o impacto no ganho estático do conversor na região de operação é irrelevante, já que a faixa de ganho estático obtida com $R_{DS_{max}}$ satisfaz o requerimento de desempenho proposto.

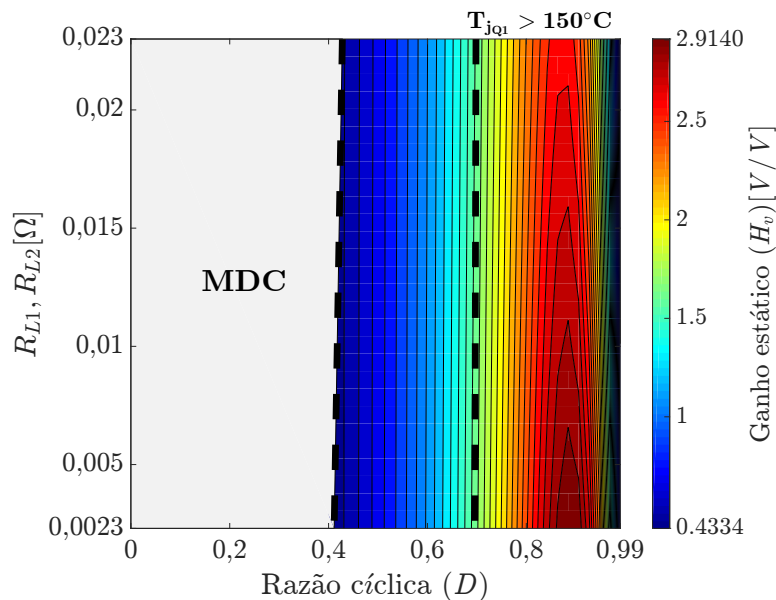
Por fim, é possível concluir que a utilização de um semiconductor $Q1$ com menores níveis de resistência de condução é uma alternativa a alcançar níveis de H_v maiores e estender a região de operação referente ao fator de trabalho, favorecendo aplicações cuja aplicação do conversor seja majoritariamente "boost".

6.4.2 Análise do impacto de R_{L1} e R_{L2} sobre H_v do conversor Zeta

Ao variar R_{L1} e R_{L2} e a razão-cíclica, é possível proceder de forma análoga à Subseção 6.4.1 para calcular o comportamento de H_v com base na modelagem desenvolvida. A Figura 37 mapeia o comportamento de H_v ao parametrizá-lo em função de "D", R_{L1} e R_{L2} . Desta forma, verifica-se a limitação de ganho de tensão estático para os valores de R_{L1} e R_{L2} na entre: $2,3m$ e $23m\Omega$, assim como os limites de operação representado pela região interna às linhas tracejadas da Figura 37.

Considerando o conversor Zeta projetado, o impacto em H_v é inferior a 1,5% referente à faixa de operação do conversor tendo em vista o emprego de indutores com resistências equivalentes na faixa mencionada.

Figura 37: Curvas de nível do efeito da resistência intrínseca dos indutores R_{L1} e R_{L2} ao ganho do conversor Zeta



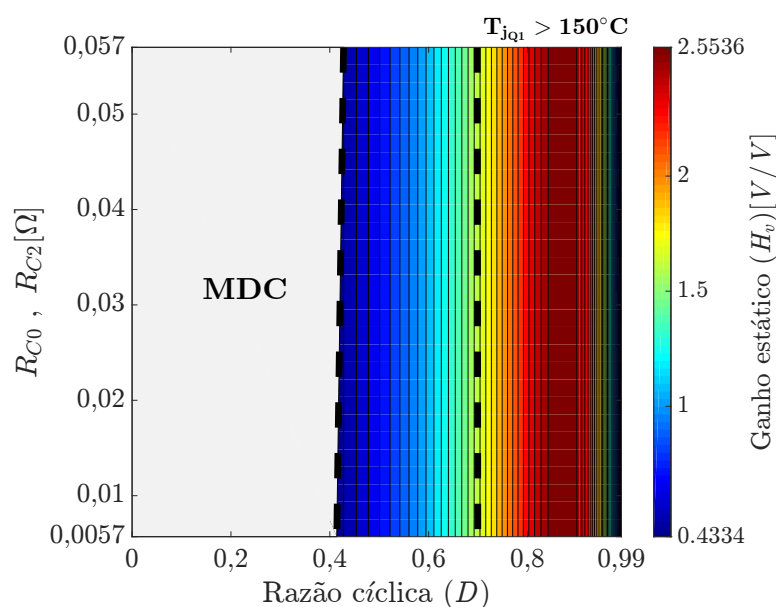
6.4.3 Análise do impacto de R_{C0} e R_{C2} sobre H_v do conversor Zeta

Ao variar R_{C0} , R_{C2} e a razão-cíclica, é possível proceder de forma análoga as subseções 6.4.1 e 6.4.2 para calcular o comportamento de H_v . A Figura 38 mapeia o impacto destas perdas sobre H_v do conversor Zeta projetado, sendo: R_{C0} e R_{C2} entre:

5,7m e 57m Ω , assim como os limites de operação representado pela região interna às linhas tracejadas da Figura 38.

Considerando o conversor Zeta projetado, conforme a Figura 38 e a Tabela 17, o impacto em H_v é inferior a 0,5% referente à faixa de operação do conversor tendo em vista a utilização de dos capacitores C_0 e C_2 com ESR entre 5,7m Ω e 57m Ω .

Figura 38: Curvas de nível do impacto dos ESRs dos capacitores C_0 e C_2 (R_{C_0} e R_{C_2}) ao ganho do conversor Zeta



6.4.4 Análise do impacto de R_{C_1} sobre H_v do conversor Zeta

Ao variar a resistência intrínseca R_{C_1} , assim como a razão-cíclica, é possível calcular o ganho do conversor a partir da modelagem realizada, de forma análoga as subseções 6.4.1, 6.4.2 e 6.4.3 enquanto, na Figura 39 é apresentado o impacto dessas perdas ôhmicas sobre o H_v quando conversor Zeta é avaliado.

Para a aplicação proposta há um impacto de 4,8% no ganho de tensão estático na faixa de operação do conversor, ao considerar o capacitor C_1 com ESR na faixa entre 8,85m e 177m Ω , de acordo com a Figura 39 e a Tabela 17.

6.4.5 Análise do impacto de V_{FWD} sobre H_v do conversor Zeta

Considerando diferentes valores de V_{FWD} e " D ", é possível calcular o ganho do conversor a partir da modelagem realizada, de forma análoga as subseções 6.4.1, 6.4.2, 6.4.3 e 6.4.4. Já na Figura 40 é ilustrado o impacto da queda de tensão sobre H_v do conversor Zeta.

Para a aplicação proposta há um impacto de 4,6% sobre H_v na faixa de operação do conversor, ao considerar diferentes quedas de tensão em condução direta sobre o

Figura 39: Curvas de nível do impacto do ESR do capacitor C_1 (R_{C1}) ao ganho do conversor Zeta

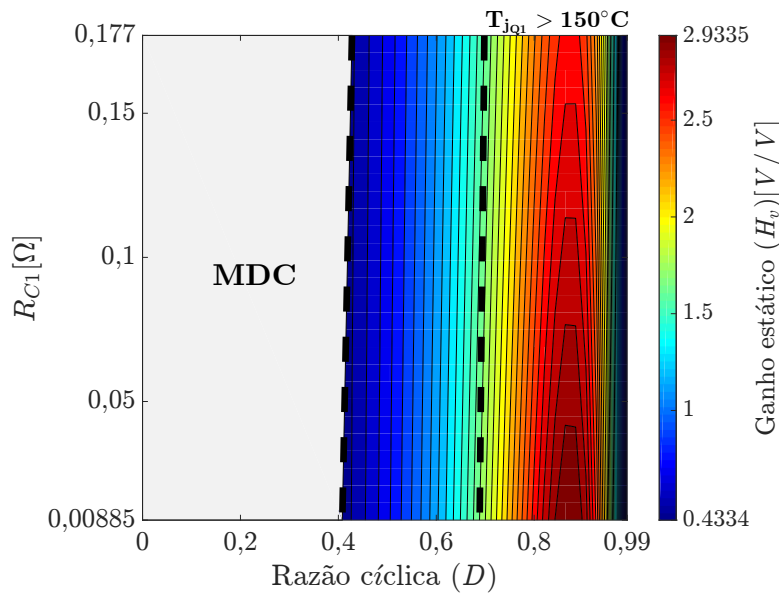
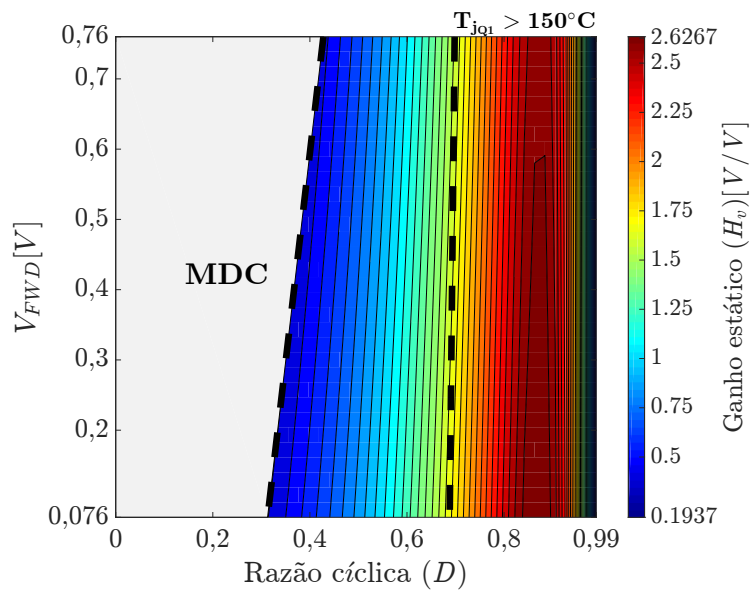


Figura 40: Curvas de nível do impacto da queda de tensão do semicondutor $D1$ (V_{FWD}) ao ganho do conversor Zeta



semicondutor $D1$ entre $0,076$ e $0,76V$, uma vez que não há um aumento significativo do fator de trabalho, conforme a Figura 40 e a Tabela 17. As linhas tracejadas delimitam a região de operação admitida ao conversor Zeta projetado.

No entanto, a utilização de semicondutores com quedas de tensão V_{FWD} inferiores possibilita a operação em razões cíclicas inferiores, ampliando a extensão do fator de trabalho e favorecendo as aplicações em que o circuito se comporta como abaixador de tensão, ou seja, conversor do tipo "buck".

6.5 Análise de eficiência do conversor Zeta assíncrono

Nesta seção a eficiência do conversor Zeta assíncrono projetado é analisada e comparada à modelagem, em que um dos pré-requisitos da aplicação é a obtenção de uma eficiência mínima igual a 80%. Além disso, esse trabalho é focado na obtenção do ponto de máxima eficiência de operação do circuito e portanto, é apresentada a investigação do comportamento da eficiência do circuito (η) em função da variação do fator de trabalho (D). Assim, as análises de eficiência são válidas para o envelope ilustrado conforme a Figura 33. Portanto, ao proceder com a análise de eficiência em diferentes condições para V_G e R_{Carga} , é possível compor as tabelas 18, 19 e 20.

Tabela 18: Mapeamento de eficiência na condição de mínima razão-cíclica (D_{min}) do conversor Zeta em diferentes condições de operação.

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	$\eta_{D_{min}}$	D_{min}	$\eta_{D_{min}}$	D_{min}	$\eta_{D_{min}}$	D_{min}	$\eta_{D_{min}}$	D_{min}
1,815	0,531	0,328	0,547	0,314	0,565	0,299	0,586	0,282
2,178	0,574	0,351	0,591	0,339	0,609	0,325	0,630	0,309
3,00	0,642	0,400	0,658	0,390	0,675	0,379	0,695	0,366
3,63	0,677	0,433	0,692	0,424	0,708	0,415	0,727	0,404

Tabela 19: Mapeamento de eficiência na condição de máxima razão-cíclica (D_{max}) do conversor Zeta em diferentes condições de operação.

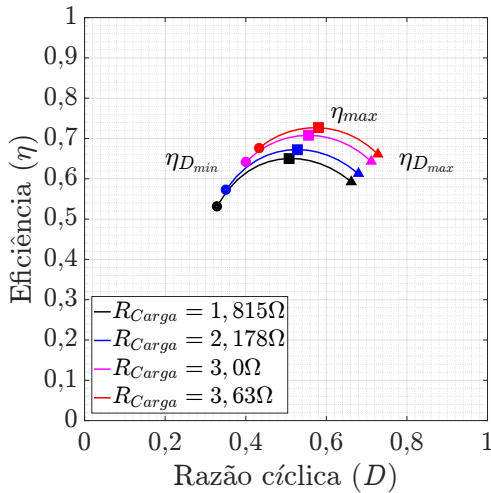
$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	$\eta_{D_{max}}$	D_{max}	$\eta_{D_{max}}$	D_{max}	$\eta_{D_{max}}$	D_{max}	$\eta_{D_{max}}$	D_{max}
1,815	0,594	0,662	0,614	0,646	0,635	0,628	0,659	0,606
2,178	0,613	0,680	0,633	0,665	0,654	0,647	0,677	0,626
3,00	0,644	0,711	0,663	0,697	0,683	0,680	0,706	0,660
3,63	0,661	0,728	0,680	0,715	0,699	0,700	0,721	0,680

Tabela 20: Mapeamento dos pontos de máxima eficiência (η_{max}) e a respectiva razão-cíclica do conversor Zeta em diferentes condições de operação.

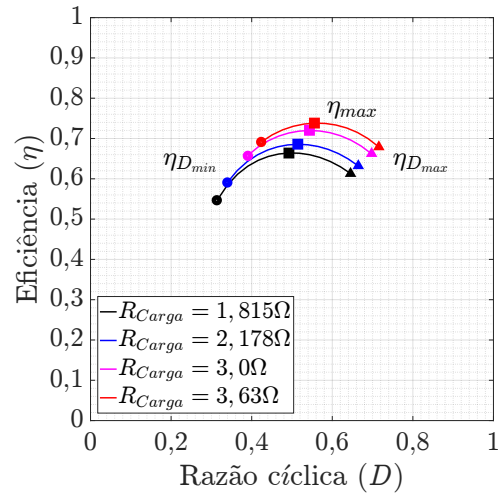
$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$
1,815	0,650	0,507	0,664	0,492	0,679	0,500	0,696	0,480
2,178	0,672	0,526	0,685	0,511	0,700	0,495	0,716	0,477
3,00	0,708	0,552	0,720	0,539	0,733	0,523	0,748	0,507
3,63	0,727	0,575	0,738	0,564	0,750	0,563	0,764	0,548

Portanto, a Figura 41 ilustra os dados obtidos conforme as tabelas 18, 19 e 20 com diferentes valores de carga, ou seja, o círculo, o triângulo e o quadrado representam a eficiência em D_{min} , a eficiência em D_{max} e η_{max} , respectivamente.

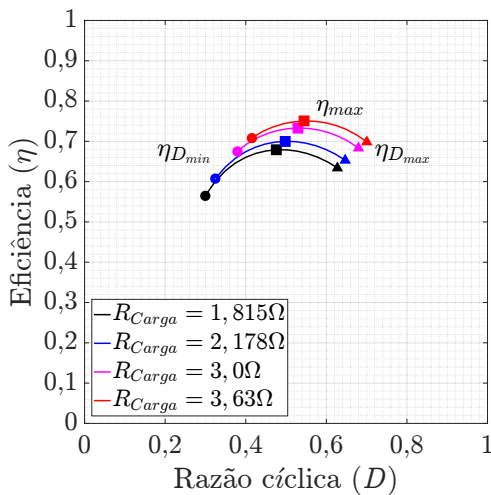
Figura 41: Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, "vermelho $R_{Carga} = 3,63\Omega$ ", "magenta $R_{Carga} = 3,0\Omega$ ", "azul $R_{Carga} = 2,178\Omega$ " e "preto $R_{Carga} = 1,815\Omega$ ".



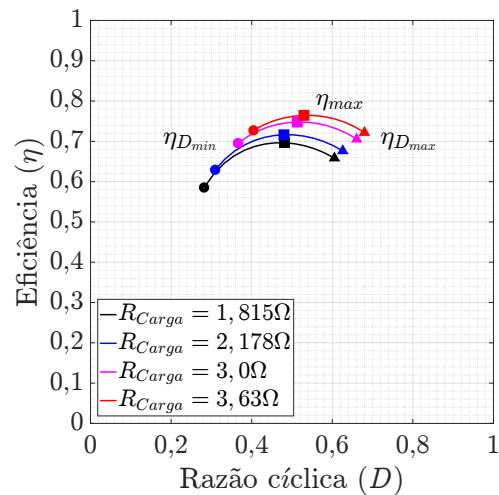
(a) $V_G = 3,0V$



(b) $V_G = 3,3V$



(c) $V_G = 3,68V$



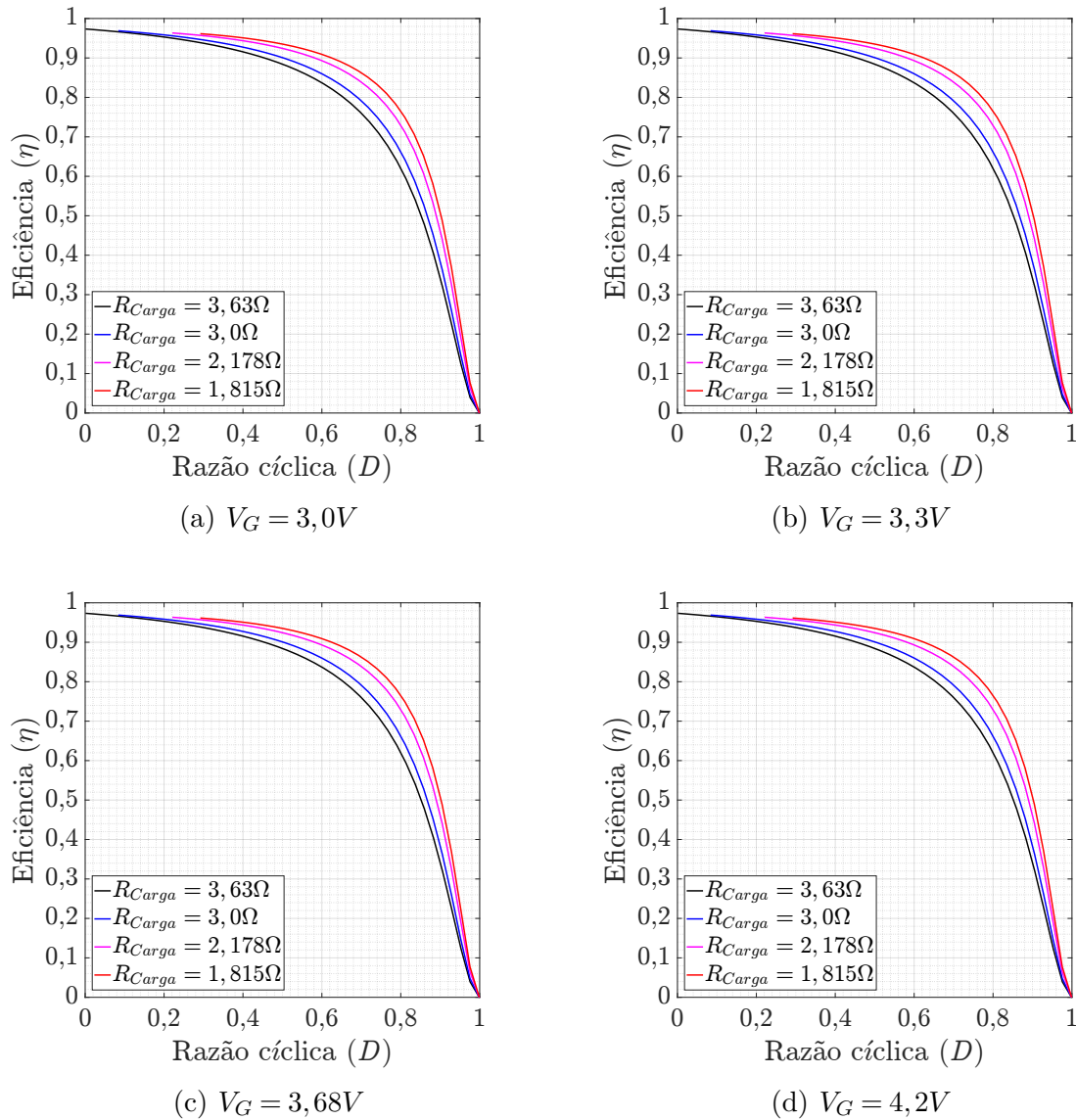
(d) $V_G = 4,2V$

É possível concluir que o circuito Zeta possui uma eficiência máxima igual a 76,4% na condição $R_{Carga} = 3,63\Omega$, $V_G = 4,2V$ e $D = 0,548$. Também verifica-se que a operação na aplicação proposta está na região de maior eficiência do circuito.

No entanto, é constatado que a eficiência mínima alvo é superior ao projetado, mesmo com componentes selecionados a partir das características e mapeamento realizado na Seção 4. Desta maneira, a partir desta análise, surge uma oportunidade de investigação

sobre o impacto na eficiência entre cada componente do circuito, de forma segregada. A seguir é explorada uma situação hipotética, removendo as perdas nos semicondutores $Q1$ e $D1$.

Figura 42: Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, desconsiderando R_{DS} e V_{FWD}



De acordo com as análises anteriores, já era esperado uma similaridade entre os comportamentos de η para diferentes condições de V_G , constatado pela Figura 42. Nessa ilustração é possível observar que a eficiência do circuito idealizado é superior àquela em que as perdas R_{DS} e V_{FWD} são consideradas. Como exemplo, a eficiência máxima do circuito idealizado na condição de operação $V_G = 3,68V$ e $R_{Carga} = 3,63\Omega$, seria igual a 92,5%, atingindo o valor alvo especificado. A Tabela 21 sumariza os níveis de eficiência máxima considerando ambas configurações perdas nominais e idealizada.

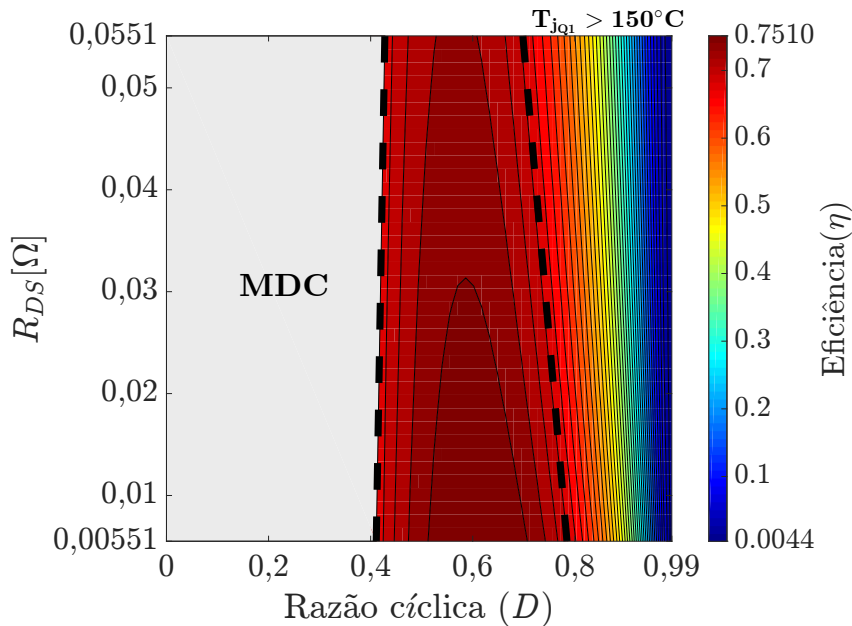
Tabela 21: Comparação da máxima eficiência entre o circuito Zeta com as perdas nominais (η_{max}) e situação idealizada desprezando R_{DS} e V_{FWD} (η_{max}^*).

R_{Carga} [Ω]	V_G [V]	$D_{\eta_{max}}$ -	η_{max} [W/W]	η_{max}^* [W/W]	$\Delta\eta_{max}$ -
1,815	3,68	0,480	0,696	0,893	0,283
2,178	3,68	0,477	0,716	0,909	0,269
3,00	3,68	0,507	0,748	0,924	0,235
3,63	3,68	0,548	0,764	0,925	0,211

6.5.1 Análise do impacto de R_{DS} sobre a eficiência (η) do conversor Zeta

De forma análoga à investigação do impacto de R_{DS} sobre H_v , ao variar R_{DS} é possível calcular a eficiência do conversor a partir da modelagem para diversas condições de operação. A Figura 43 ilustra o impacto da variação de R_{DS} sobre a eficiência do conversor Zeta considerando o intervalo $5,5m$ a $55m\Omega$, no qual as linhas tracejadas delimitam a região de operação admissível do conversor projetado.

Figura 43: Curvas de nível do impacto da resistência de condução R_{DS} de $Q1$ à eficiência do conversor Zeta



Com base nos resultados obtidos é avaliada qual seria a limitação de eficiência para uma determinada faixa de R_{DS} . Além disso, de acordo com a Tabela 22, ao utilizar um semiconductor com uma resistência de condução igual a $5,5m\Omega$, são obtidos valores de η de aproximadamente 4,2%, superior à condição da perda nominal.

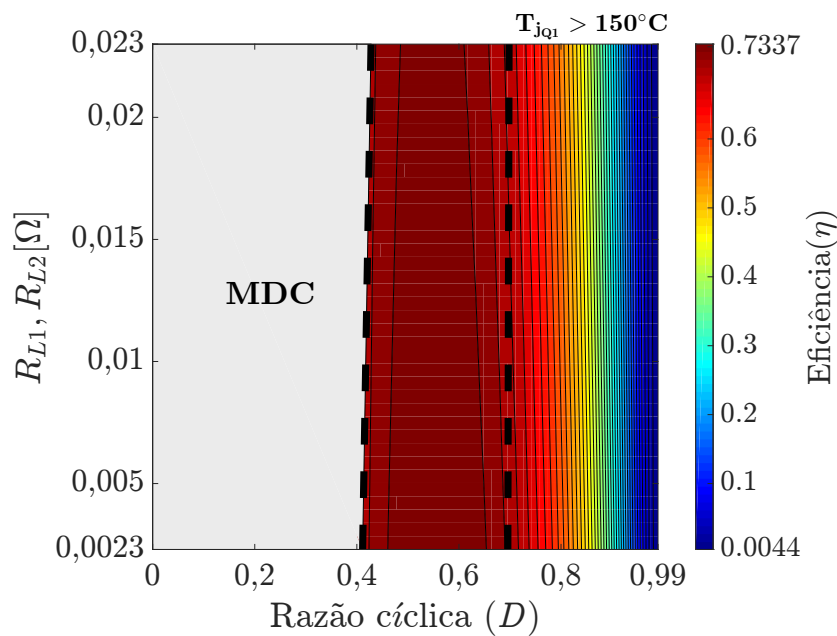
No entanto, mesmo considerando a melhoria hipotética, o circuito não alcançaria a especificação proposta. Logo, conclui-se que a utilização de um semiconductor $Q1$ mais

eficiente é uma alternativa para obter maiores níveis de ganho de tensão estático, com um aumento em menor proporção na eficiência do circuito projetado.

6.5.2 Análise do impacto de R_{L1} e R_{L2} sobre a eficiência (η) do conversor Zeta

A Figura 44 retrata o impacto das resistências intrínsecas dos indutores sobre a eficiência do conversor Zeta para valores de R_{L1} e R_{L2} entre $2,3m\Omega$ e $23m\Omega$. Portanto, analisando a Tabela 22, nota-se que não há um impacto significativo na eficiência (η) na faixa de operação do conversor ao considerar indutores que possuam resistências equivalentes na faixa mencionada, uma vez que o aumento de eficiência é de apenas 1,7%.

Figura 44: Curvas de nível do efeito da resistência intrínseca dos indutores R_{L1} e R_{L2} à eficiência do conversor Zeta



6.5.3 Análise do impacto de R_{C0} e R_{C2} sobre a eficiência (η) do conversor Zeta

A Figura 45 ilustra o impacto destas ESRs sobre a eficiência do conversor Zeta, considerando uma faixa de R_{C0} e R_{C2} entre $5,7m\Omega$ a $57m\Omega$, respectivamente. Logo, ao analisar a Figura 45 e a Tabela 22, constata-se que para a aplicação proposta não há um impacto significativo sobre a eficiência (η) na faixa de operação do conversor, uma vez que o aumento de η , para o melhor caso é de apenas 0,3% superior.

6.5.4 Análise do impacto de R_{C1} sobre a eficiência (η) do conversor Zeta

Ao calcular a eficiência do conversor para diferentes valores de R_{C1} , através da modificação da razão-cíclica, há a possibilidade de mapear o comportamento de η do conversor Zeta projetado. A Figura 46 apresenta o impacto destas perdas ôhmicas sobre η do conversor Zeta, considerando o intervalo de R_{C1} entre $8,85m\Omega$ e $177m\Omega$.

Figura 45: Curvas de nível do impacto dos ESRs dos capacitores C_0 e C_2 (R_{C_0} e R_{C_2}) à eficiência do conversor Zeta

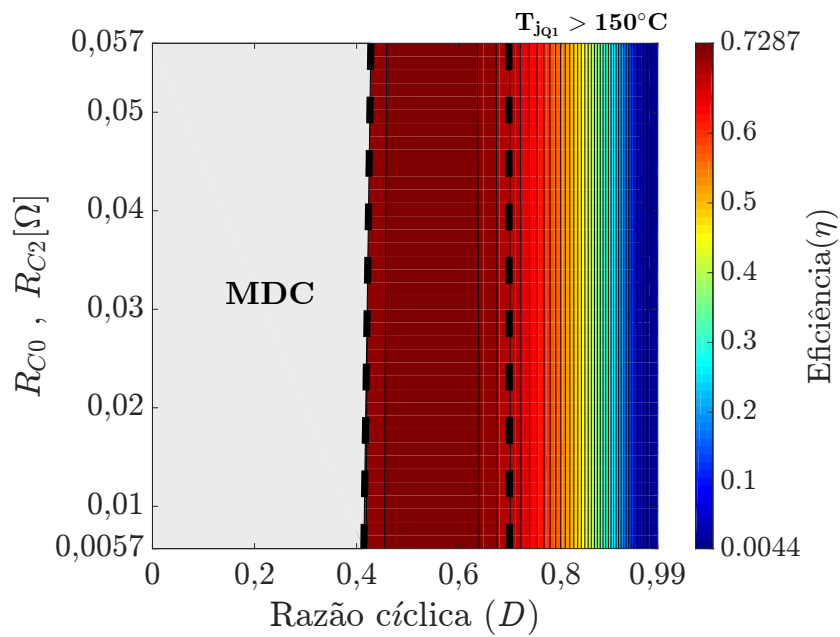
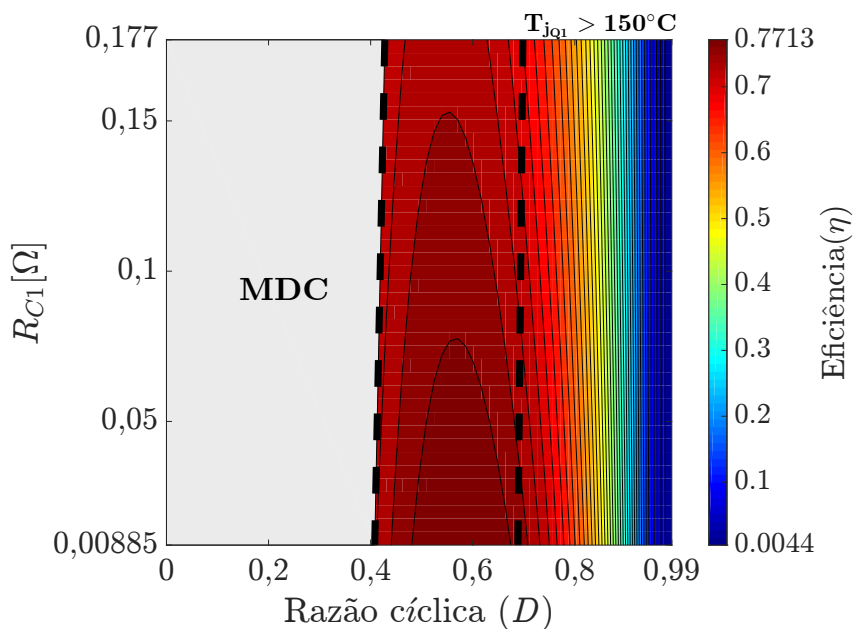


Figura 46: Curvas de nível do impacto do ESR do capacitor C_1 (R_{C_1}) à eficiência do conversor Zeta.



Para a aplicação proposta há um impacto de 5,9% na eficiência do conversor Zeta projetado ao considerar o capacitor C_1 com ESR na faixa entre 8,85 e 177m Ω , conforme a Figura 46 e a Tabela 22.

6.5.5 Análise do impacto de V_{FWD} sobre a eficiência (η) do conversor Zeta

A Figura 47 ilustra o mapa de eficiência do conversor Zeta projetado parametrizado pela queda de tensão V_{FWD} e " D ", considerando V_{FWD} entre 0,076 e 0,76V. Ao utilizar um semicondutor com uma queda de tensão igual ou inferior a 0,076V, é possível obter um η_{max} de até 16,1% maior na faixa de operação do conversor a partir dos dados apresentados na Tabela 22.

Assim, possibilita a operação em razões cíclicas inferiores, favorecendo as aplicações em que o circuito se comporta como "*buck*". Dessa forma, a utilização de semicondutores mais eficientes na posição de $D1$ impacta significativamente na eficiência máxima do conversor Zeta projetado.

Por fim, de acordo com as análises realizadas, de forma a aumentar a eficiência do conversor, é viável utilizar um semicondutor $D1$ que possua uma queda de tensão inferior a $V_{FWD_{min}}$.

Figura 47: Curvas de nível do impacto da queda de tensão do semicondutor $D1$ (V_{FWD}) à eficiência do conversor Zeta

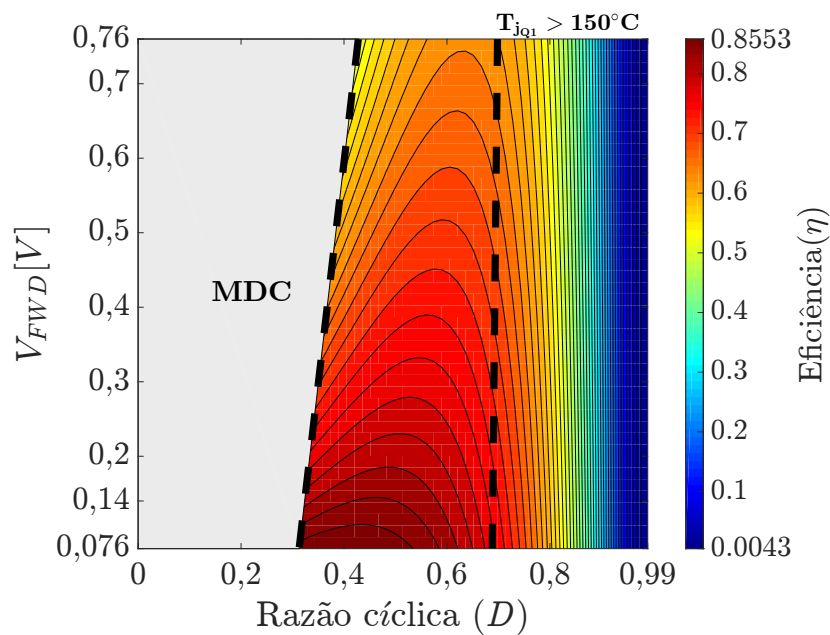


Tabela 22: Eficiência (η) e razão-cíclica mínima e máxima, comparação de η entre o circuito nominal (Ref.) e com as respectivas perdas mínimas

Parâm.	Ref.	$R_{DS_{min}}$	$R_{L_{min}}$	$R_{C0_{min}}$	$R_{C1_{min}}$	$V_{FWD_{min}}$
D_{min}	0,415	0,411	0,411	0,414	0,408	0,313
$\eta_{D_{min}}$	0,750	0,723	0,716	0,711	0,735	0,890
D_{max}	0,700	0,785	0,696	0,699	0,689	0,688
$\eta_{D_{max}}$	0,673	0,704	0,724	0,701	0,772	0,782
$D_{\eta_{max}}$	0,563	0,586	0,567	0,544	0,587	0,388
η_{max}	0,750	0,783	0,763	0,752	0,797	0,894
$\Delta\eta_{max}$	Ref.	0,044	0,017	0,003	0,063	0,192

Considerações finais sobre a análise do conversor Zeta assíncrono

Neste capítulo, foi analisado: 1) a resposta dinâmica, 2) ondulação em regime permanente, 3) o modo de condução, 4) o envelope de operação, 5) o comportamento de ganho de tensão estático e 6) comportamento de eficiência do conversor Zeta. A análise dessas características são fundamentais para caracterizar um conversor CC-CC.

Ao simular a resposta dinâmica do conversor em LTspice, foi verificado que o comportamento simulado do transiente é fiel ao modelado, assim como aos valores médios e de ondulação em regime permanente. Portanto, o modelo médio desenvolvido, conforme procedimento descrito no Capítulo 3, é válido.

Procedendo à análise referente ao limiar entre os modos de condução MCC e MCD, é indispensável analisar os modos de condução do conversor CC-CC considerando as perdas do circuito, pois de acordo com a Figura 30, é verificado que pode haver uma diferença significativa da condição limiar ($D_{crit.}$) entre o circuito idealizado e o em que as perdas nominais são consideradas.

Dessa forma, o envelope do conversor obtido a partir da Equação 6.1, revela alguns dos desafios ao realizar o projeto de conversores CC-CC *buck-boost* (em específico a topologia Zeta) a fim de operar com níveis de tensão de saída inferiores a 3V e com grande excursão de corrente de saída.

Uma vez que o limite entre os modos de condução é definido pela carga parametrizada do conversor, existe um compromisso entre a razão-cíclica crítica e a indutância adotada no projeto. Sendo que esta indutância também está relacionada à ondulação máxima sobre o componente. No entanto, a prioridade a ser tomada durante a determinação do valor das indutâncias deve ser analisada frente ao fator que possui maior criticidade: a) ondulação máxima ou b) condução crítica em condição de mínima corrente de saída, i.e., em mínima carga.

Já que quanto menor for a corrente de saída, o circuito demandará indutâncias mais elevadas para que a operação se mantenha em MCC, que por sua vez, simultaneamente pode vir a limitar a tensão de saída praticável, uma vez que a razão-cíclica é limitada ao seu valor crítico ($D_{crit.}$).

Assim, a fim de que a utilização prática do módulo conversor não seja inviável com relação às limitações de tamanho e peso da aplicação final, é necessário elevar a frequência de comutação.

No entanto, conforme explorado e apresentado no Capítulo 2, os projetos de conversores que operam com altas frequências de comutação se torna mais complexo e requer tanto o uso de semicondutores GaN, como de técnicas de integração magnética, de forma a manter uma eficiência satisfatória. Logo, para que o conversor cumpra com o propósito, a análise do modo de condução e a definição do envelope, necessariamente, devem estar em sintonia com as características da aplicação.

Por fim, ao investigar os impactos das perdas ôhmicas de todos os componentes de forma segregada ao ganho de tensão estático e à eficiência, é constatado que o componente com maior impacto em H_v é $Q1$, e sobre η é $D1$. Portanto, esta investigação possibilita a tomada de ações corretivas no projeto do conversor de forma assertiva.

7 RESULTADOS EXPERIMENTAIS DO CONVERSOR ZETA

Neste capítulo, são apresentadas as comparações entre os resultados obtidos via simulação e teste experimental, referentes ao conversor Zeta projetado, assim como os detalhes da estação de desenvolvimento construída. Em concordância com o objetivo final deste trabalho, é realizada: 1) análise de temperatura dos semicondutores em função da variação da razão-cíclica, 2) investigação do ganho estático e do 3) nível de eficiência do DUT em função da variação das perdas ôhmicas de forma segregada.

7.1 Estação de desenvolvimento

A fim de realizar os testes experimentais foi construída uma estação de desenvolvimento com o conversor Zeta, que é o dispositivo a ser testado (DUT, do inglês *Device Under Test*) cujos sinais de interesse foram monitorados com um osciloscópio digital. Os dados obtidos foram gravados em uma memória e analisados "offline".

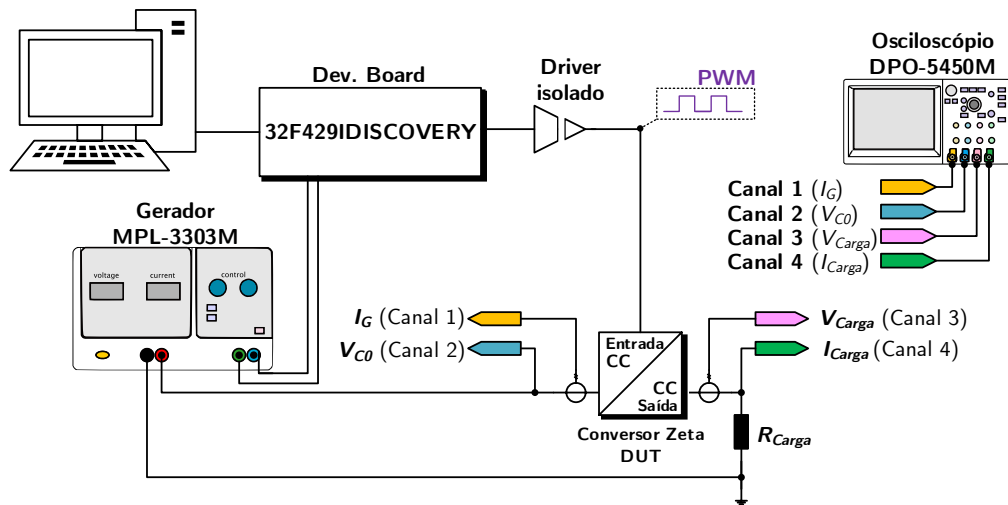
O circuito opera em malha aberta, com uma comutação a 40kHz cuja razão-cíclica é fixa. A modulação é realizada a partir de um sinal de PWM que é injetado em um *driver* de potência isolado que aciona os semicondutores controlados do DUT com o fator de trabalho desejado.

O objetivo dos testes experimentais está voltado à obtenção dos níveis de eficiência, ganho estático e temperatura dos semicondutores do DUT, referente à sua operação no ponto de interesse em diferentes condições de razão-cíclica. A Tabela 23 detalha os equipamentos utilizados para construção da estação:

Tabela 23: Equipamentos utilizados para realização dos testes

Equip.	Modelo	Descrição
Dev. Board	ST 32F429IDISCOVERY	Gerador de PWM.
Driver	Isolado/LAFAPE	Acionamento dos semicondutores.
DUT	Conversor Zeta	Conversor CC-CC projetado (DUT).
Fonte CC	MPL-3033M Minipa	Gerador CC do DUT.
Multímetro	115 Fluke	Uso geral durante procedimento experimental.
Osciloscópio	DPO-5450 Tektronix	Captura das componentes elétricas de interesse.
Termovisor	Ti10 Fluke	Medição de temperatura do DUT.

Figura 48: Esquema da estação de desenvolvimento para testes experimentais



7.2 Conversor Zeta protótipo - Dispositivo sob testes (DUT)

O conversor Zeta projetado é neste trabalho, o DUT. A partir dos resultados e das análises do circuito projetado ilustrado na Figura 15, e dos componentes dimensionados apresentados na Tabela 6, a PCI foi projetada conforme a representação 3D das figuras 49 e 50.

Figura 49: Representação 3D da PCI do circuito Zeta projetado, perspectiva vista superior

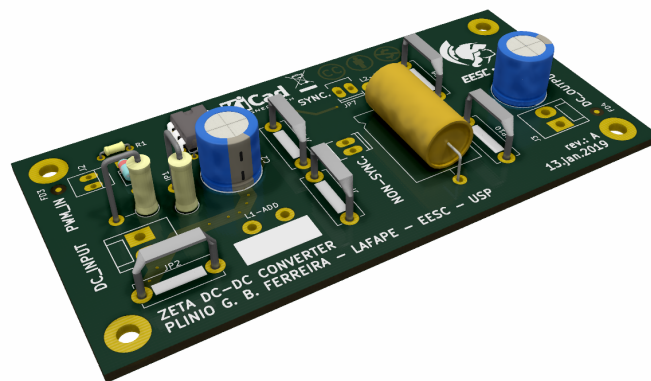
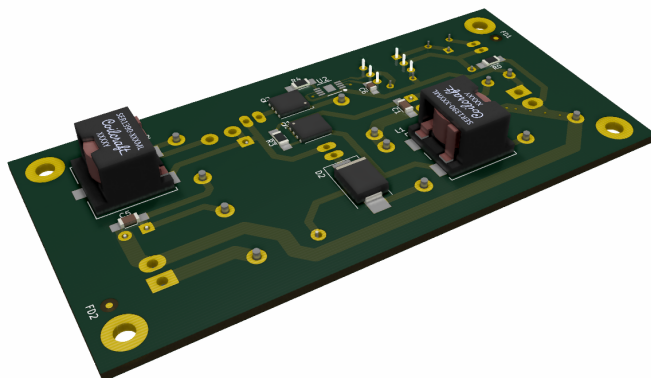


Figura 50: Representação 3D da PCI do circuito Zeta projetado, perspectiva vista inferior



As figuras 51 e 52 apresentam, respectivamente, a estação de desenvolvimento projetada com os complementos necessários à operação do respectivo DUT e os equipamentos utilizados durante o procedimento experimental, mencionados na Tabela 23.

Figura 51: Estação de desenvolvimento projetada

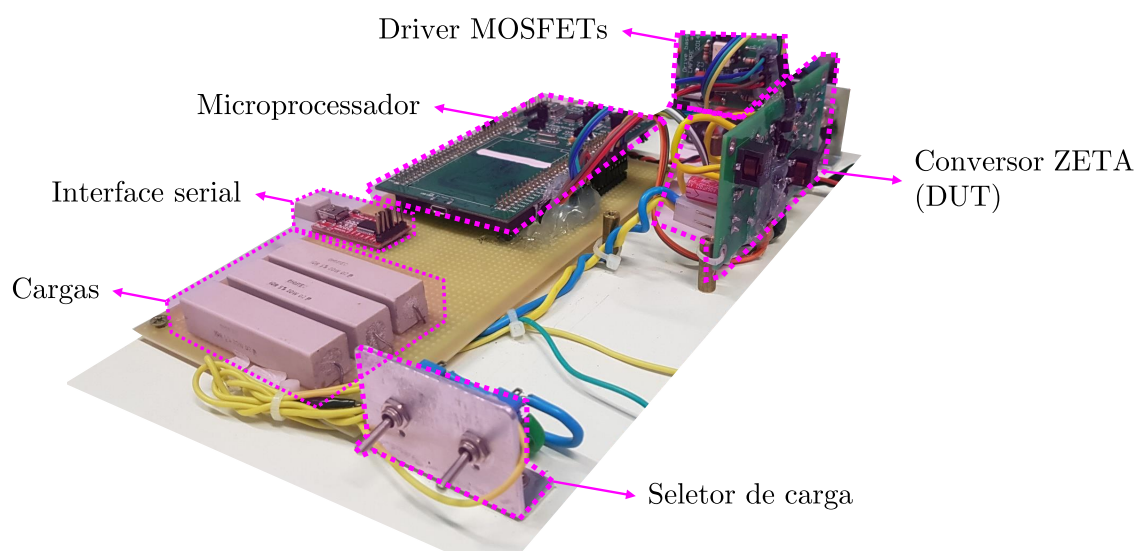
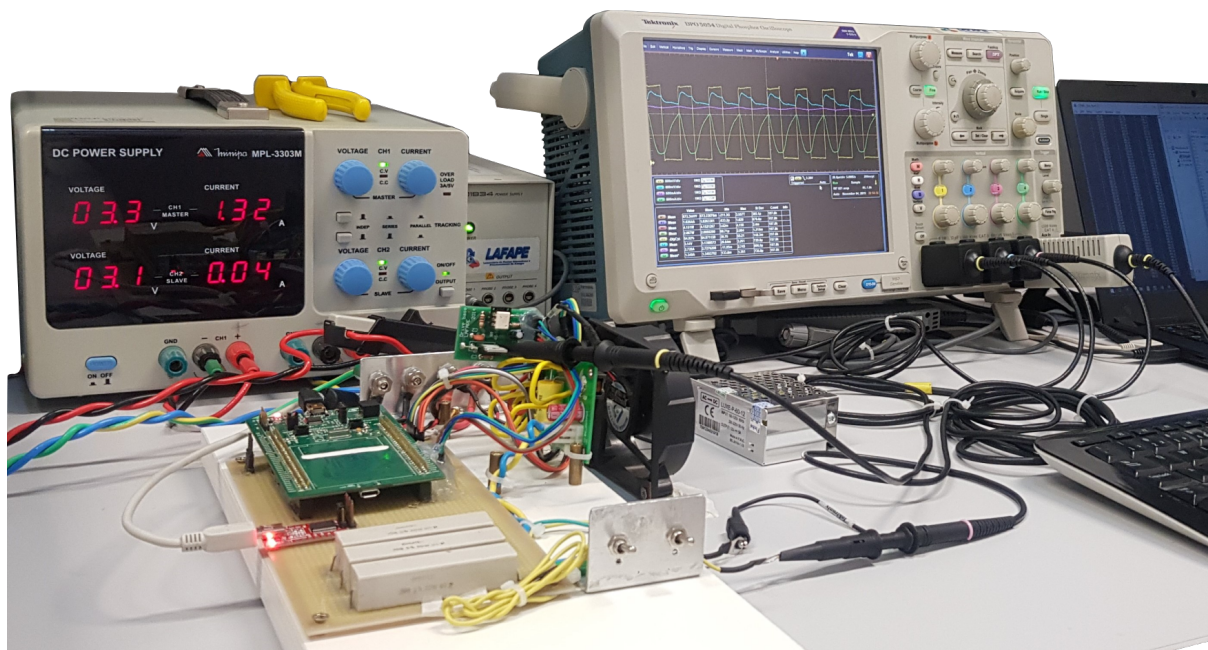


Figura 52: Estação de desenvolvimento e equipamentos utilizados durante procedimento experimental



7.3 Comparação entre modelo e resultados experimentais - Temperatura dos semicondutores

Nesta seção são apresentados os resultados obtidos referentes à temperatura dos semicondutores $Q1$ e $D1$ do conversor Zeta projetado em função da razão-cíclica e comparados aos valores calculados com base na modelagem realizada que foram realizadas utilizando o termovisor *Fluke Ti10*. Ao realizar os testes experimentais, parâmetros D , V_G , V_{Carga} e $T_{amb.}$ foram utilizados de acordo com a Tabela 24.

Tabela 24: Condições para pontos experimentais sobre avaliação da temperatura de junção em $Q1$ e $D1$

Pt. Exp. #	D -	V_G [V]	V_{Carga} [V]	$T_{amb.}$ [°C]
1	0,4463	3,636	2,349	26,0
2	0,4967	3,621	2,854	25,5
3	0,5468	3,604	3,478	25,0
4	0,5970	3,580	4,149	23,0
5	0,6471	3,544	4,911	21,0
6	0,6975	3,440	5,541	21,0

Para os testes relacionados à análise da temperatura de junção sobre $Q1$ e $D1$, foi utilizada uma carga igual a $3,6\Omega$. No entanto, frente à incerteza de leitura da resistência medida, foi considerada uma incerteza (δ) sobre a temperatura calculada considerando $\delta = \pm 0,1\Omega$ referente ao erro de leitura sobre R_{Carga} .

As equações que representam a temperatura de junção em função da razão-cíclica, obtidas experimentalmente, no intervalo em que o circuito opera em MCC são dadas por:

$$\begin{cases} T_{est,Q1}(D) = 48856D^4 - 99652D^3 + 76571D^2 - 26163D - 3375,6 \\ T_{est,D1}(D) = 3450,9D^4 - 9399,9D^3 + 9602,4D^2 - 4183,5D + 692,96. \end{cases} \quad (7.1)$$

As figuras 53, 54, 55, 56, 57 e 58 ilustram a temperatura medida sob cada componente $Q1$ e $D1$ para determinada condição de razão-cíclica, tensão de entrada e de saída conforme Tabela 24.

Figura 53: Temperatura em $Q1$ e em $D1$, Medição 1 vide Tabela 24

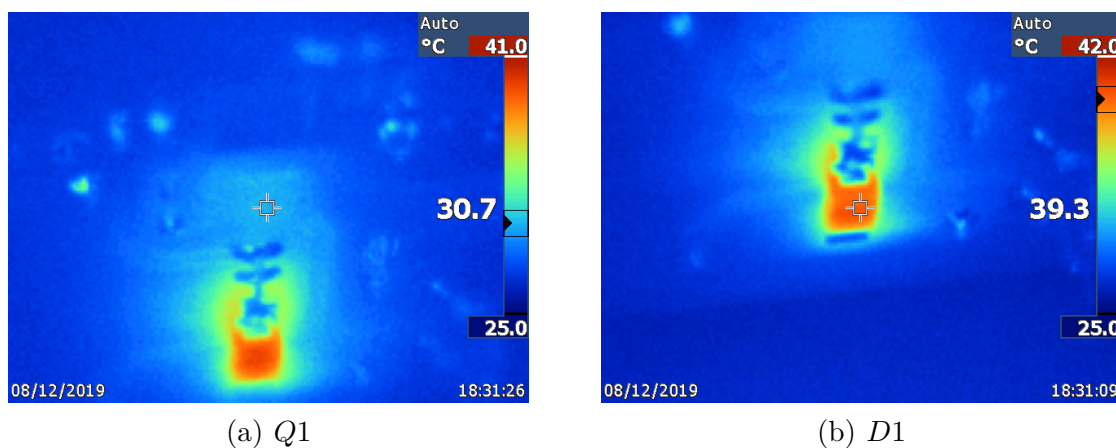


Figura 54: Temperatura em $Q1$ e em $D1$, Medição 2 vide Tabela 24

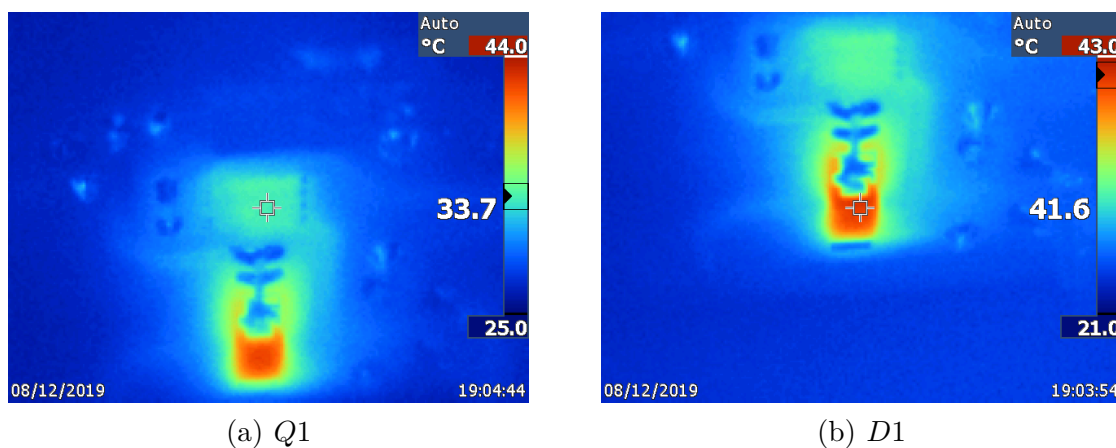


Figura 55: Temperatura em $Q1$ e em $D1$, Medição 3 vide Tabela 24

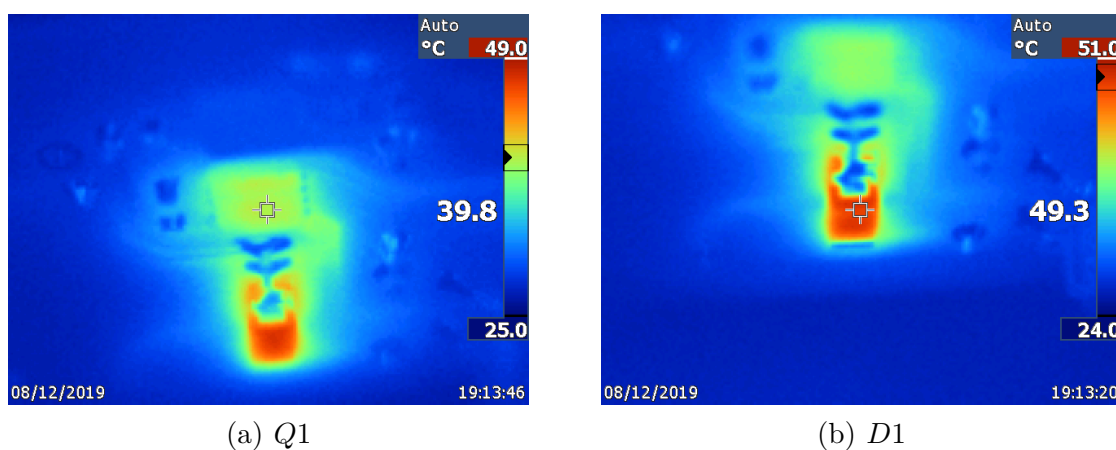
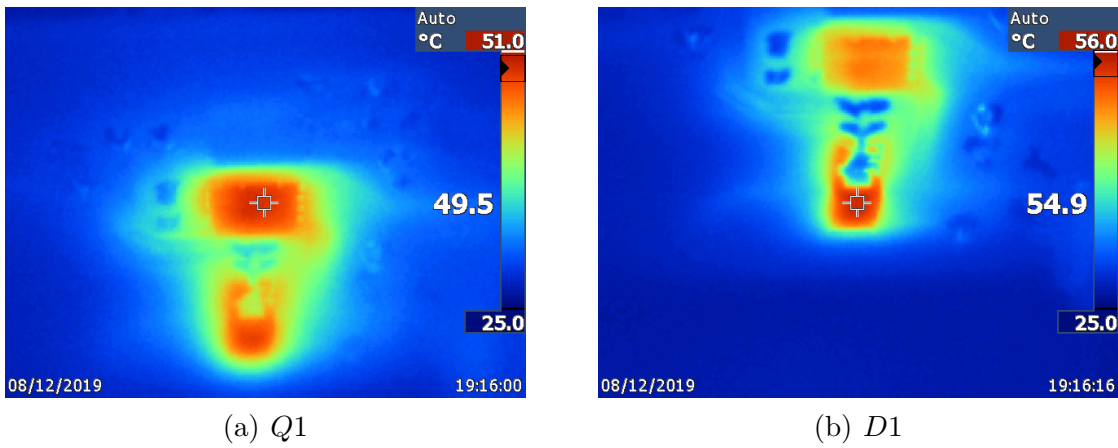
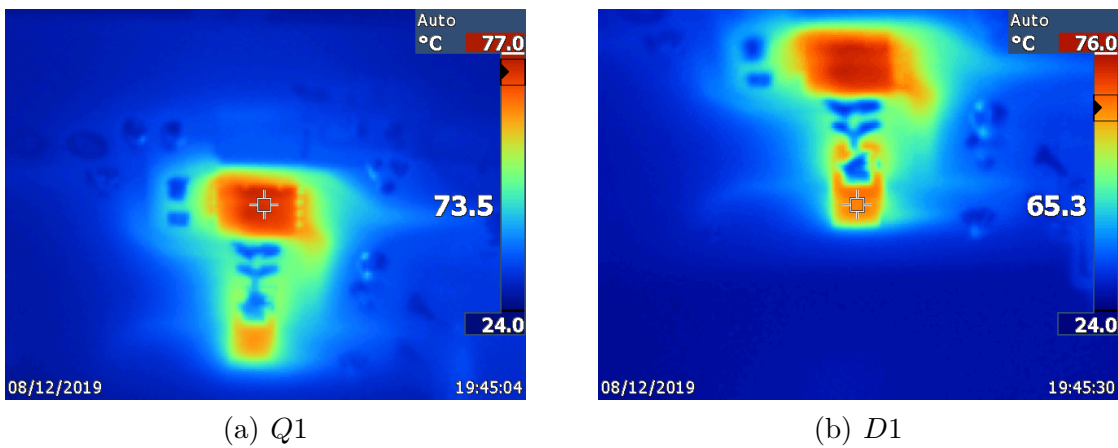
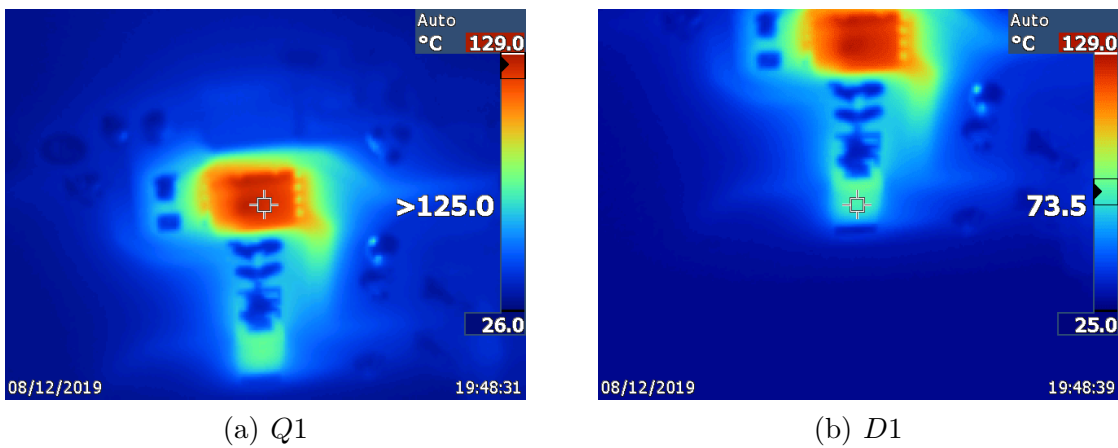


Figura 56: Temperatura em $Q1$ e em $D1$, Medição 4 vide Tabela 24Figura 57: Temperatura em $Q1$ e em $D1$, Medição 5 vide Tabela 24Figura 58: Temperatura em $Q1$ e em $D1$, Medição 6 vide Tabela 24

A partir das figuras 53, 54, 55, 56, 57 e 58 que representam os resultados obtidos experimentalmente, é possível compará-los aos resultados obtidos da modelagem, conforme

as figuras 59 (temperatura em $Q1$) e 60 (temperatura em $D1$). Além disso, as ilustrações 59 e 60 bem como, a Tabela 25 que apresenta os valores exatos, são a base da comparação entre o resultado experimental e o modelado.

A notação utilizada para descrever o erro normalizado de temperatura é σ_T , em que:

$$\sigma_T = 1 - T_{mod}/T_{est}. \quad (7.2)$$

Figura 59: Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q1$ e erro normalizado ($\sigma_{T_{Q1}}$).

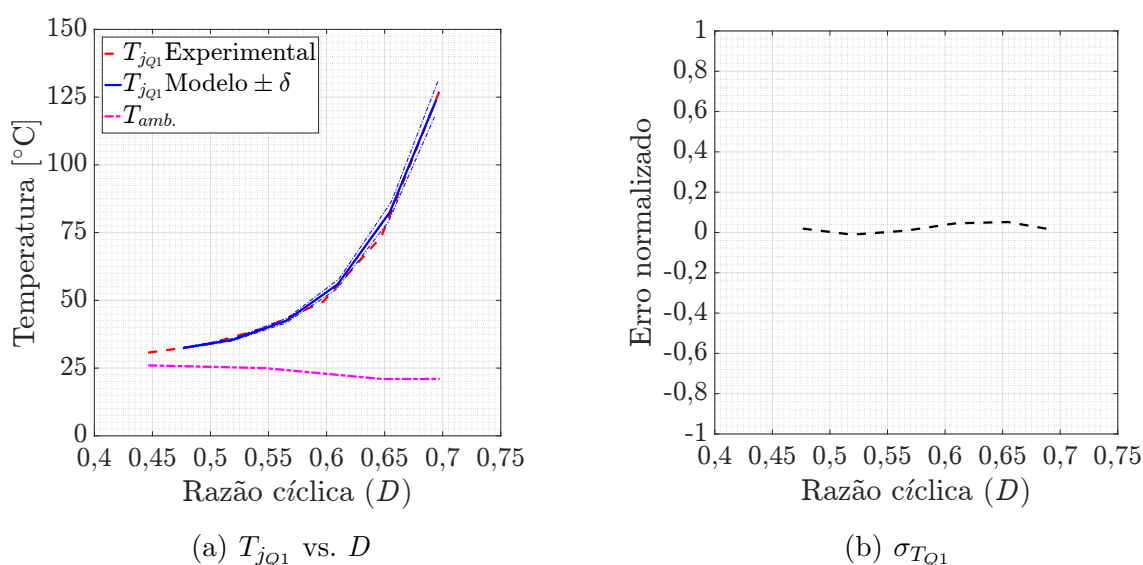
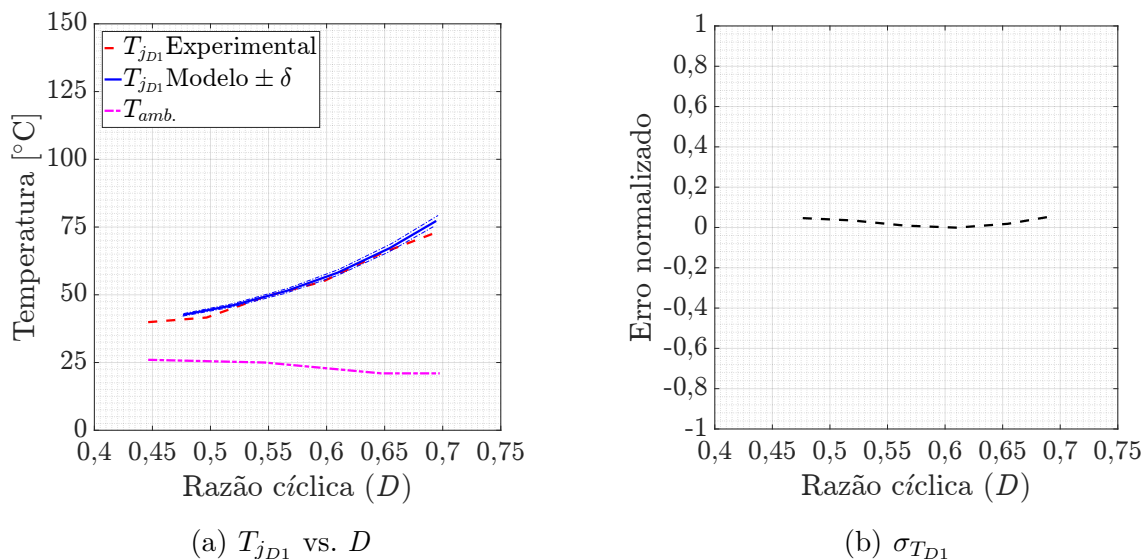


Figura 60: Comparação entre resultados experimentais e modelagem da temperatura de junção de $D1$ e erro normalizado ($\sigma_{T_{D1}}$).



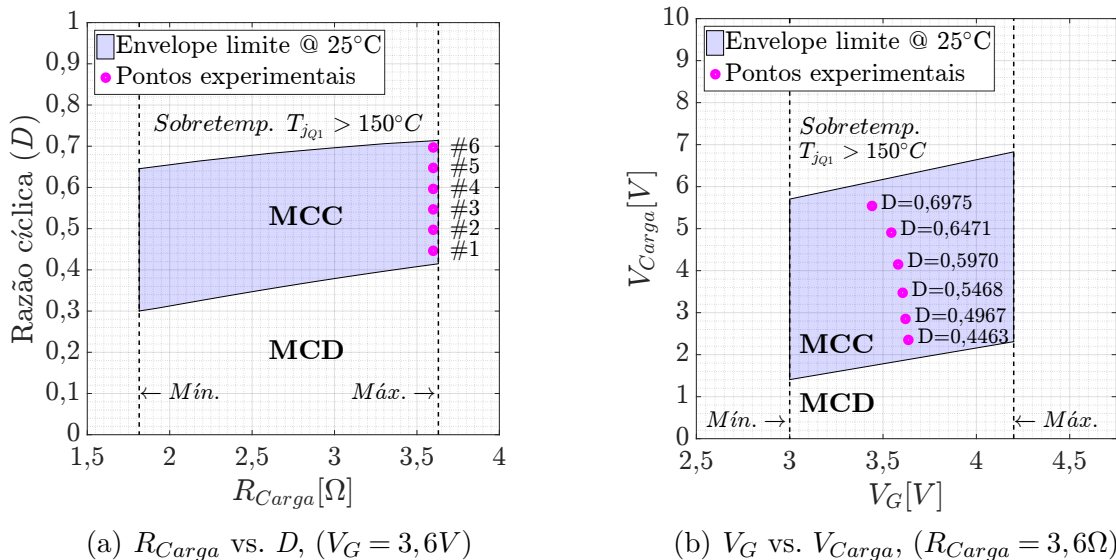
É possível notar que a diferença entre o resultado experimental e modelado para a temperatura da junção em $Q1$ é inferior a aproximadamente 2,75%, e para a temperatura da junção em $D1$ o erro máximo é cerca de 2,95%. O erro médio $\sigma_{T_{Q1}}$ é igual a 1,56% e $\sigma_{T_{D1}}$ igual a 1,9%. Desta forma, uma vez que o erro médio é inferior ao erro de leitura percentual do termovisor utilizado (2,0%), conclui-se que a modelagem retrata com fidelidade o comportamento de temperatura dos semicondutores utilizados no DUT.

Tabela 25: Resultados comparativos entre teste experimental e modelagem referente à temperatura de junção em $Q1$ e $D1$, $R_{Carga} = 3,6\Omega$.

Pt.Mod. #	$D_{calc.}$ -	V_G [V]	V_{Carga} [V]	$T_{mod,Q1}$ [°C]	$T_{est,Q1}$ [°C]	$\sigma_{T_{Q1}}$ -	$T_{mod,D1}$ [°C]	$T_{est,D1}$ [°C]	$\sigma_{T_{D1}}$ -
1	0,476	3,636	2,349	31,42	31,91	-0,0153	41,57	40,69	0,0218
2	0,519	3,621	2,854	34,96	35,94	-0,0275	45,61	44,55	0,0237
3	0,566	3,604	3,478	42,54	42,28	0,0062	51,43	50,96	0,0091
4	0,610	3,580	4,149	54,95	53,61	0,0251	57,17	58,22	-0,0180
5	0,655	3,544	4,911	80,58	78,62	0,0249	65,25	66,05	-0,0121
6	0,694	3,440	5,541	121,99	122,58	-0,0048	75,25	73,09	0,0295

A partir do envelope levantado de acordo com a Figura 32, é possível validar as condições de teste ao inserir os pontos experimentais na região delimitada, conforme ilustrado pela Figura 61. A tensão de entrada utilizada para construção do envelope é a média dentre os pontos experimentais apresentados na Tabela 24, sendo igual a 3,6V. O ponto experimental #1 ($D=0,4463$) representa o ponto mais próximo da transição entre MCC e MCD. O ponto experimental #6 ($D=0,6975$) está próximo ao limite de operação, em que a temperatura de $Q1$ ultrapassa os 150°C.

Figura 61: Envelope e modos de condução para o circuito Zeta



7.4 Comparação entre modelo e resultados experimentais - Ganho estático (H_v)

A partir das análises de ganho, realizadas a partir da modelagem proposta, foi elaborado um procedimento experimental cujas condições utilizadas em cada ponto experimental (Pt. Exp.) descritos na Tabela 26.

Tabela 26: Condições para pontos experimentais sobre avaliação de H_v

Pt. Exp. #	D -	V_G [V]	V_{Carga} [V]
1	0,42	3,773	1,953
2	0,45	3,767	2,227
3	0,47	3,759	2,433
4	0,50	3,749	2,756
5	0,52	3,736	2,986
6	0,55	3,715	3,350
7	0,57	3,661	3,540
8	0,60	3,601	3,889
9	0,62	3,556	4,122
10	0,65	3,565	4,607
11	0,67	3,528	4,858
12	0,70	3,438	5,225

Para os testes relacionados à análise do ganho estático do circuito Zeta, foi utilizada uma carga igual a $3,5\Omega$. O modelo matemático que representa o ganho em função da razão-cíclica, obtido experimentalmente, no intervalo em que o circuito opera em MCC é dada por:

$$H_{v_{est}}(D) = 4,35287955748913D^2 - 1,30424820261431D + 0,298194297213654. \quad (7.3)$$

A Tabela 27 apresenta os valores exatos permitindo a comparação entre o resultado experimental e o modelado. A Figura 62 ilustra os resultados obtidos, a fim de possibilitar a interpretação e comparação do experimento com a modelagem desenvolvida enquanto a Equação 7.4 descreve o erro normalizado (σ_{H_v}) do ganho de tensão estático, sendo:

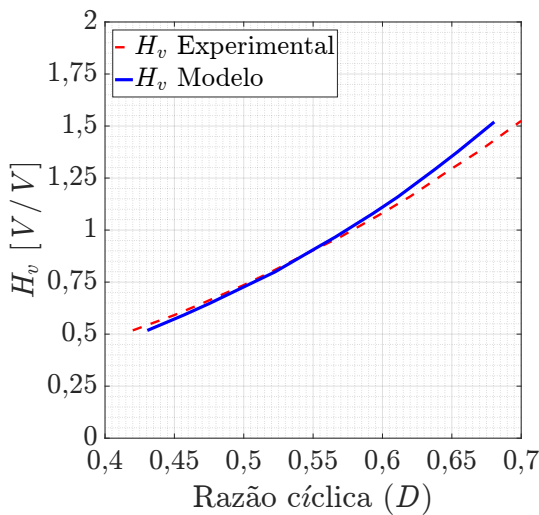
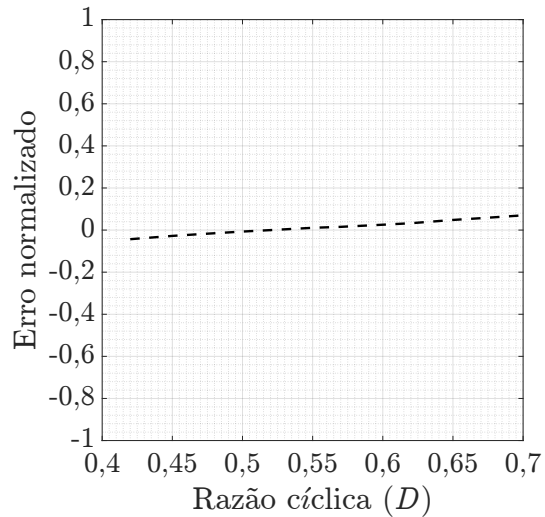
$$\sigma_{H_v} = 1 - H_{v_{mod}}/H_{v_{est}}. \quad (7.4)$$

Logo, é constatado que a máxima divergência entre o resultado obtido experimentalmente e modelado para H_v é inferior a 6,55%. O erro médio ($\bar{\sigma}_{H_v}$) é igual a 1,2%. Desta maneira, conclui-se que a modelagem é coerente com o resultados experimentais.

Tabela 27: Resultados comparativos entre modelagem e *fit*-experimental referente ao ganho de tensão estático (H_v), $R_{Carga} = 3,5\Omega$.

Pt.Mod. #	$D_{calc.}$ -	V_G [V]	V_{Carga} [V]	$H_{v,mod}$ [V/V]	$H_{v,est}$ [V/V]	σ_{H_v} -
1	0,430	3,771	1,953	0,518	0,541	-0,0478
2	0,456	3,765	2,227	0,592	0,608	-0,0298
3	0,475	3,757	2,433	0,648	0,660	-0,0202
4	0,502	3,746	2,756	0,736	0,740	-0,0072
5	0,521	3,732	2,986	0,800	0,799	0,0000
6	0,548	3,711	3,350	0,903	0,892	0,0110
7	0,565	3,656	3,540	0,968	0,952	0,0155
8	0,592	3,595	3,889	1,082	1,053	0,0252
9	0,610	3,549	4,122	1,161	1,123	0,0318
10	0,637	3,556	4,607	1,296	1,233	0,0461
11	0,653	3,519	4,858	1,381	1,303	0,0536
12	0,679	3,427	5,225	1,525	1,420	0,0654

Figura 62: Comparação entre resultados experimentais e modelagem do ganho estático (H_v) e erro normalizado (σ_{H_v})

(a) H_v (b) σ_{H_v}

7.5 Comparação entre modelo e resultados experimentais - Eficiência (η)

Com base nas análises e investigação do comportamento da eficiência do circuito realizadas a partir da modelagem proposta, foi realizado o procedimento experimental cujas condições de D , V_G e V_{Carga} (Pt. Exp.) são as mesmas conforme descritas na Tabela 26 sendo a potência de entrada (P_G) e de saída (P_{Carga}), detalhas conforme a Tabela 28.

Tabela 28: Condições para pontos experimentais sobre avaliação de η

Pt. Exp. #	D -	P_G [W]	P_{Carga} [W]
1	0,42	1,535	1,122
2	0,45	1,971	1,459
3	0,47	2,311	1,740
4	0,50	2,942	2,234
5	0,52	3,435	2,622
6	0,55	4,314	3,300
7	0,57	4,867	3,686
8	0,60	5,937	4,447
9	0,62	6,730	4,997
10	0,65	8,596	6,243
11	0,67	9,759	6,941
12	0,70	11,861	8,029

Durante o procedimento experimental relacionado as análises de validação da modelagem de ganho estático e eficiência do circuito Zeta, foi utilizada a mesma carga resistiva de $3,5\Omega$. No entanto, foi considerado uma incerteza (δ) sobre a medição de $\pm 0,05\Omega$.

A Equação 7.5 representa a eficiência em função da razão-cíclica, obtida a partir dos dados experimentais válida para o intervalo em que o circuito opera em MCC, em que:

$$\eta_{est}(D) = -10,0267453342676D^4 + 19,3206733315089D^3 - 16,317648045269D^2 + 7,02052481151089D - 0,460105298821002. \quad (7.5)$$

A Tabela 29 apresenta os valores exatos permitindo a comparação entre o resultado experimental e o modelado. A Figura 63 ilustra os resultados obtidos, a fim de possibilitar a interpretação e comparação do experimento com a modelagem. Logo, o erro normalizado (σ_η), entre o valor estimado a partir das medições e o modelo é dado por:

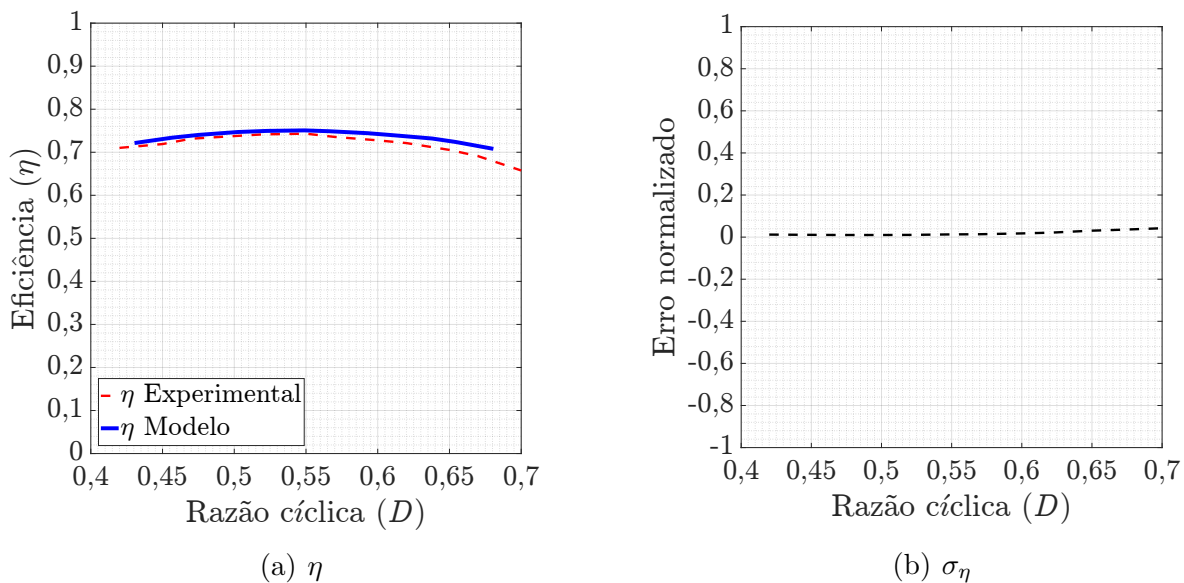
$$\sigma_\eta = 1 - \eta_{mod}/\eta_{est}. \quad (7.6)$$

Portanto, ao examinar os resultados descritos pela Tabela 29, nota-se que o modelo retrata o experimento de forma satisfatória, em que o máximo σ_η é inferior a 1,1% e o erro médio ($\bar{\sigma}_\eta$) é igual a 1,88%.

Tabela 29: Resultados comparativos entre modelagem e *fit*-experimental referente a eficiência (η), $R_{Carga} = 3,5\Omega$.

Pt.Mod. #	$D_{calc.}$ -	P_G [W]	P_{Carga} [W]	η_{mod} [W/W]	η_{est} [W/W]	σ_η -
1	0,430	1,469	1,060	0,721	0,735	-0,0188
2	0,456	1,878	1,378	0,734	0,747	-0,0175
3	0,475	2,220	1,644	0,740	0,753	-0,0173
4	0,502	2,824	2,110	0,747	0,760	-0,0167
5	0,521	3,304	2,477	0,750	0,762	-0,0164
6	0,548	4,151	3,117	0,751	0,762	-0,0151
7	0,565	4,648	3,481	0,749	0,760	-0,0154
8	0,592	5,643	4,200	0,744	0,754	-0,0134
9	0,610	6,382	4,719	0,740	0,748	-0,0112
10	0,637	8,055	5,896	0,732	0,734	-0,0027
11	0,653	9,056	6,556	0,724	0,723	0,0014
12	0,679	10,712	7,583	0,708	0,701	0,0105

Figura 63: Comparação entre resultados experimentais e modelagem da eficiência (η) e erro normalizado (σ_η)



7.6 Análise segregada das perdas nominais do conversor Zeta

As parcelas de potência dissipada em cada componente (P_R), cuja resistência foi considerada na modelagem, é descrita na Tabela 30. Dessa forma, estima-se a potência dissipada normalizada ($\rho_{diss.}$) em cada componente por:

$$\rho_{diss.} = \frac{P_R}{\sum P_R}. \quad (7.7)$$

Tabela 30: Segregação de perdas do conversor Zeta projetado no ponto de operação nominal **P3**, $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$

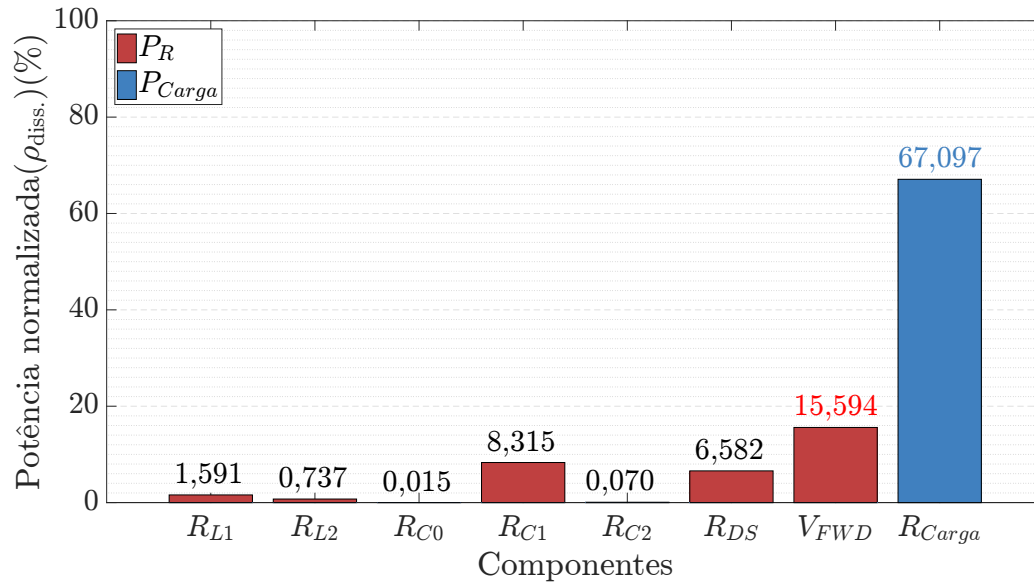
Compon.	Perda associada	Pot. diss. (P_R)[W]	Pot. norm. ($\rho_{diss.}$)(%)
$L1$	R_{L1}	0,119	1,591
$L2$	R_{L2}	0,055	0,737
$C0$	R_{C0}	0,001	0,015
$C1$	R_{C1}	0,620	8,315
$C2$	R_{C2}	0,005	0,070
$Q1$	R_{DS}	0,490	6,582
$D1$	V_{FWD}	1,162	15,594
<i>Zeta</i>	$\sum P_R^*$	2,452	32,904

Ao analisar a Tabela 30 e a Figura 64, é possível verificar que a segunda maior parcela das potências dissipadas pelo conversor está sobre $D1$. Uma vez que V_{FWD} possui um nível de queda de tensão nominal considerável em relação à tensão de saída ($V_{Carga} = 3,3V$), as perdas neste componente são críticas no circuito projetado, reforçando a conclusão da análise realizada na Subseção 6.5.5.

Conforme já analisado na Seção 6.5 e ilustrado pela Figura 41, é compreendido, a partir da Tabela 30 e da Figura 64, como as perdas se distribuem aos componentes em diversas condições de operação. Logo, uma vez que o conversor Zeta projetado possui uma eficiência de 67,1%, constata-se que o nível obtido é menor do que os requisitos de desempenho mínimos de projeto.

Portanto, este resultado sugere a necessidade de reavaliar as perdas sobre os componentes sumarizadas pela Tabela 30, em que para contornar a deficiência de eficiência do conversor é necessário utilizar um semiconductor que possua uma queda de tensão V_{FWD} .

Figura 64: Comparação da dissipação normalizada em cada componente do conversor Zeta projetado no ponto de operação nominal "P3", $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$ e $P_{Carga} = 5W$



Considerações finais sobre os resultados experimentais do conversor Zeta assíncrono

O procedimento experimental foi cronologicamente realizado em duas etapas: primeiramente foi investigada a temperatura de junção sobre $Q1$ e $D1$ (08/12/2019) e após foram investigados os comportamentos de ganho de tensão estático e de eficiência. Desta maneira, considerando alterações de temperatura sobre a carga resistiva utilizada, assim como as limitações referentes à precisão do instrumento de aferição utilizado, foi verificado que a incerteza de leitura é igual a $0,1\Omega$.

Para aferição da operação do conversor projetado, as formas de onda obtidas, conforme Apêndice J, foram analisadas e comparadas com os resultados simulados na Seção 6.2.

No entanto, ao analisar e comparar os resultados do modelo com os experimentais, foi constatado que o experimento é compatível com a modelagem desenvolvida.

8 PROPOSTA E ANÁLISE DE CONVERSOR ZETA SÍNCRONO

A partir das conclusões da Seção 7.6, foi utilizado um semiconductor com a mesma função de $D1$, porém, com uma queda de tensão de junção inferior à V_{FWD} . Uma vez que o diodo Schottky $D1$ selecionado possui um nível relativamente baixo de V_{FWD} dentre as opções comercialmente disponíveis, é viável utilizar uma tecnologia diferente. Portanto, nessa seção é proposto utilizar um MOSFET de canal-N, com níveis inferiores de perdas ôhmicas de condução direta, que conseqüentemente, resulta em uma queda de tensão admissível para cumprimento dos requisitos mínimos de eficiência. Desta forma, os semicondutores $Q1$ e $Q2$ operam defasadas em 180° , possibilitando a utilização do mesmo sinal de controle para comutar os estados de condução de ambos $Q1$ e $Q2$, classificados como canal do tipo P e N, respectivamente.

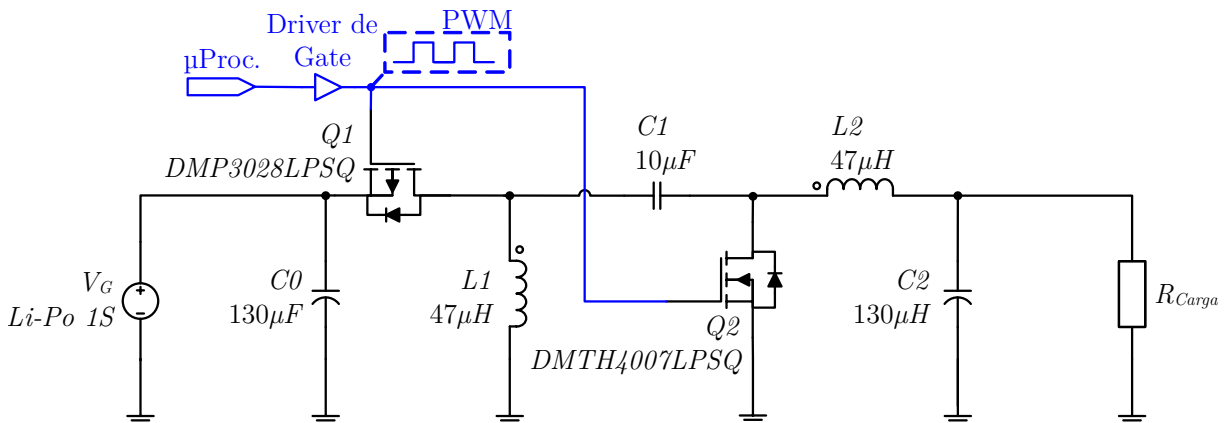
A partir da Equação 8.1, é possível analisar o comportamento de temperatura de junção dos semicondutores $Q1$ e $Q2$ e de eficiência, cujo objetivo é obter $\eta \geq 80\%$.

$$V_{D1} = V_{FWD} \Rightarrow V_{Q2} = I_{Q2} R_{DS2} \quad (8.1)$$

Logo, na configuração ilustrada pela Figura 65, ao utilizar um N-MOSFET $Q2$ ao invés de um diodo Schottky $D1$, o circuito pode operar como um conversor *buck-boost* bidirecional, ou seja, permite um duplo sentido do fluxo de potência: fonte para carga, assim como o oposto. No entanto, nesta dissertação não será explorada a característica referente à bidirecionalidade do fluxo de potência do conversor.

Para o projeto foi escolhido o transistor $DMTH4007LPSQ$ da fabricante *Diodes Incorporated*, por possuir características similares ao semiconductor complementar $Q1$. A Figura 65 ilustra a configuração do circuito Zeta síncrono com os componentes comerciais utilizados e a conexão com o sinal PWM.

Figura 65: Conversor Zeta síncrono com componentes comerciais



8.1 Parâmetros absolutos de operação do conversor Zeta síncrono

A partir das equações apresentadas em (3.3), (3.2) e (8.1), assim como dos termos médios de saída em (3.21), considerando os componentes dimensionados, as ondulações: $K_{I_{L1}}$, $K_{I_{L2}}$, $K_{V_{C1}}$, $K_{V_{C2}}$, $K_{V_{Carga}}$ podem ser reavaliadas, assim como as variáveis de estado médias: I_{L1} , I_{L2} , V_{C1} , V_{C2} e V_{Carga} . A Tabela 31 sumariza os parâmetros absolutos de operação do conversor Zeta síncrono.

Tabela 31: Parâmetros absolutos de operação conversor Zeta síncrono, $V_{Carga} = 3,3V$

Parâmetro	Símbolo	Mín.	Nominal	Máx.	Unidade
Tensão de entrada	V_G	3,0	3,3	4,2	V
Potência de saída	P_{Carga}	3,0	5,0	6,0	W
Ganho de tensão	H_v	0,7857	1,0000	1,1000	V/V
Razão-cíclica	D	0,4607	0,5486	0,5922	–
Razão-cíclica crítica ¹	$D_{crit.}$	0,0001	0,0709	0,2803	–
Regulação	ΔV_{Carga}	26,9	27,4	30,1	mV
Temperatura ambiente ²	T_{Amb}	-40	25	45	°C
Eficiência	η	75,58	81,75	91,30	%

¹ A razão-cíclica crítica representa a condição mínima para condução em MCC.

² A temperatura ambiente mínima foi baseada na informação dos catálogos técnicos dos componentes selecionados conforme Tabela 6.

Após a seleção do MOSFET-P Q2, foram reanalisadas: a) a ondulação de corrente e tensão, b) a corrente média e eficaz, c) a tensão média e eficaz, d) a potência dissipada e e) a temperatura sobre os componentes nos pontos extremos do envelope: P1.1, P1.2, P2.1, P2.2 e P3, conforme a Figura 13.

De acordo com os componentes descritos na Tabela 6 e "Q2" referente ao MOSFET-N DMTH4007LPSQ (*Diodes Incorporated*), foram adotados: $R_{L1} = 23m\Omega$, $R_{L2} = 23m\Omega$, $R_{C0} = 57m\Omega$, $R_{C1} = 177m\Omega$, $R_{C2} = 57m\Omega$, $R_G = 4,124m\Omega$, $Q_G = 11nC$, $Q_{GD} = 3,7nC$, $R_{DS} = 55m\Omega$, $Q_{G2} = 12,4nC$, $Q_{GD2} = 3,5nC$, $R_{DS2} = 17m\Omega$ e $T_{amb} = 43^\circ C$. A Tabela 32 apresenta os parâmetros calculados para os pontos de interesse do envelope.

Tabela 32: Especificações do conversor Zeta síncrono nos pontos de interesse do envelope: P1.1, P1.2, P2.1, P2.2 e P3, $V_{Carga} = 3,3V$

Comp.	Parâm.	P1.1	P1.2	P2.1	P2.2	P3	Maior	Un.
L1	$I_{L1_{medio}}$	1,1332	2,6403	0,7765	1,7037	1,8416	2,6403	A
	$I_{L1_{RMS}}$	1,1616	2,6544	0,8314	1,7320	1,8625	2,6544	A
	ΔI_{L1}	0,4427	0,4725	0,5146	0,5403	0,4815	0,5403	A
	P_{RL1}	0,0310	0,1621	0,0159	0,0690	0,0798	0,1621	W
L2	$I_{L2_{medio}}$	0,9091	1,8182	0,9091	1,8182	1,5152	1,8182	A
	$I_{L2_{RMS}}$	0,9443	1,8385	0,9564	1,8448	1,5404	1,8448	A
	ΔI_{L2}	0,4427	0,4725	0,5146	0,5403	0,4815	0,5403	A
	P_{RL2}	0,0205	0,0777	0,0210	0,0783	0,0546	0,0783	W
C0	$V_{C0_{medio}}$	2,9953	2,9891	4,1968	4,1930	3,2924	4,1968	V
	$V_{C0_{RMS}}$	0,0784	0,1614	0,0674	0,1312	0,1245	0,1614	V
	ΔV_{C0}	0,0060	0,0111	0,0056	0,0095	0,0089	0,0111	V
	$I_{C0_{RMS}}$	0,0871	0,1788	0,0754	0,1450	0,1378	0,1788	A
	P_{RC0}	0,0004	0,0015	0,0003	0,0010	0,0009	0,0015	W
C1	$V_{C1_{medio}}$	-3,2948	-3,2811	-3,3030	-3,3026	-3,2925	-3,2811	V
	$V_{C1_{RMS}}$	3,3128	3,3737	3,3161	3,3675	3,3475	3,3737	V
	ΔV_{C1}	0,6305	1,3459	0,5235	1,0994	1,0391	1,3459	V
	$I_{C1_{RMS}}$	1,0467	2,2079	0,8912	1,7874	1,6934	2,2079	A
	P_{RC1}	0,1939	0,8629	0,1406	0,5655	0,5076	0,8629	W
C2	$V_{C2_{medio}}$	3,3000	3,3000	3,3000	3,3000	3,3000	3,3000	V
	$V_{C2_{RMS}}$	3,3000	3,3000	3,3000	3,3000	3,3000	3,3000	V
	ΔV_{C2}	0,0118	0,0135	0,0114	0,0126	0,0127	0,0135	V
	$I_{C2_{RMS}}$	0,2556	0,2728	0,2971	0,3120	0,2780	0,3120	A
	P_{RC2}	0,0037	0,0042	0,0050	0,0055	0,0044	0,0055	W
Q1	$I_{Q1_{medio}}$	1,1332	2,6403	0,7765	1,7037	1,8416	2,6403	A
	$I_{Q1_{RMS}}$	1,5682	3,4566	1,2131	2,4876	2,5202	3,4566	A
	$I_{Q1_{pico}}$	2,9277	5,4035	2,7148	4,6025	4,3197	5,4035	A
	$V_{Q1_{pico}}$	6,3071	6,3026	7,5082	7,5055	6,6051	7,5082	V
	P_{Q1}	0,1432	0,6706	0,0893	0,3534	0,3606	0,6706	W
	T_{JQ1}	57,32	110,06	51,93	78,34	79,06	110,0620	°C
Q2	$I_{Q2_{medio}}$	0,9091	1,8182	0,9091	1,8182	1,5152	1,8182	A
	$I_{Q2_{RMS}}$	1,4046	2,8684	1,3126	2,5699	2,2859	2,8684	A
	$I_{Q2_{pico}}$	0,0498	0,1600	0,0501	0,1365	0,1085	0,1600	A
	$V_{Q2_{pico}}$	6,9377	7,6485	8,0317	8,6050	7,6442	8,6050	V
	P_{Q2}	0,0498	0,1600	0,0501	0,1365	0,1085	0,1600	W
	T_{JQ2}	47,98	59,00	48,01	56,65	53,85	58,9966	°C

8.1.1 Análise de temperatura, ondulação e eficiência do conversor Zeta síncrono

As figuras 66 e 67 ilustram o comportamento dos parâmetros de ondulação: K_{IL1} , K_{IL2} , K_{VC1} e K_{VC2} em função da potência de saída (P_{Carga}), em que os parâmetros de ondulação máxima estão em conformidade com os limites pré-estabelecidos.

Figura 66: Comportamento de ondulação normalizada sobre os indutores $L1$ e $L2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono

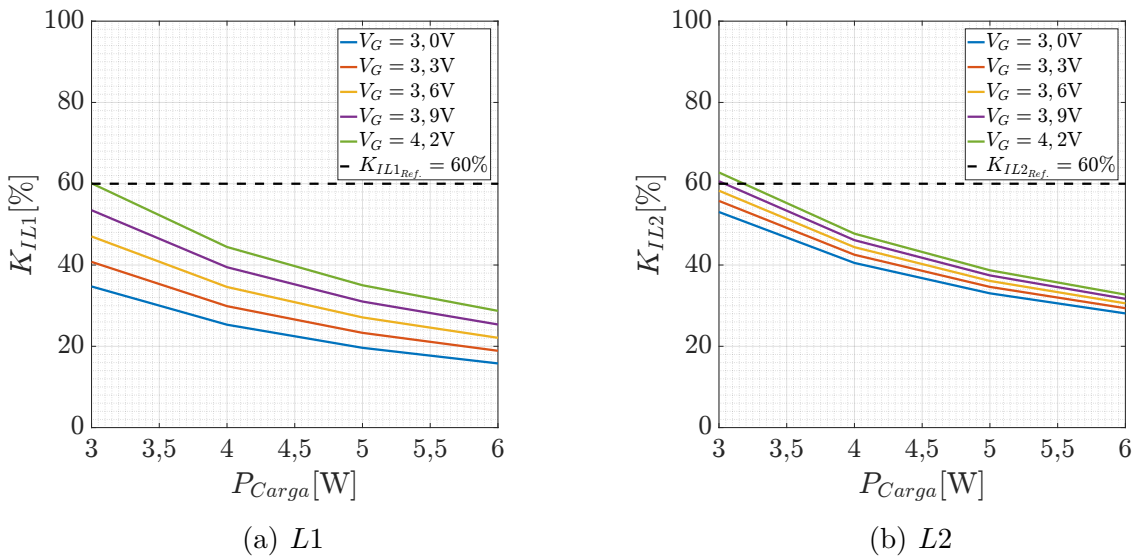


Figura 67: Comportamento de ondulação normalizada sobre os capacitores $C1$ e $C2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono

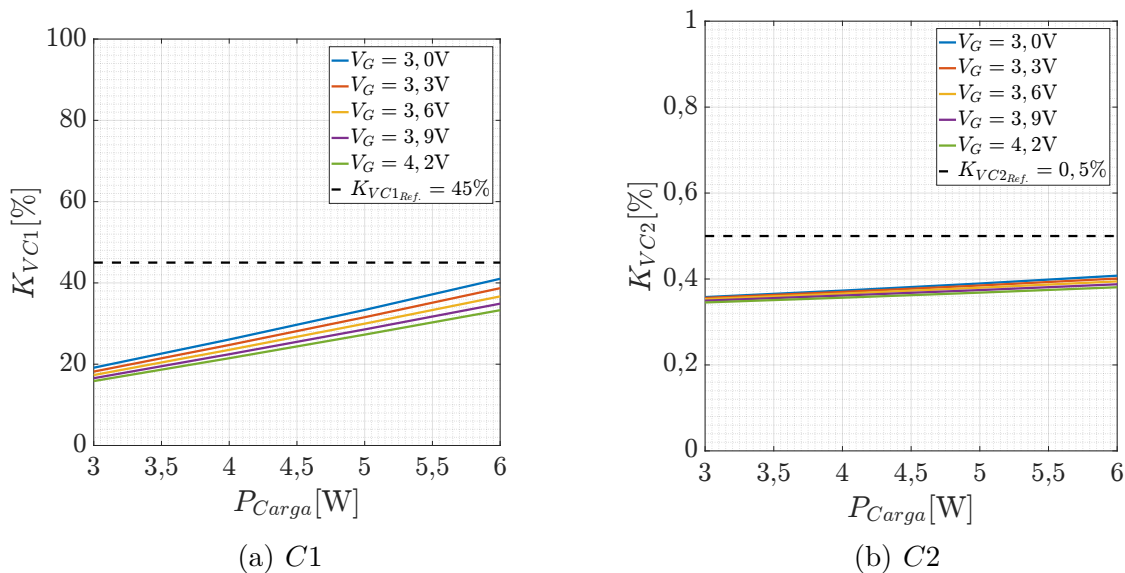
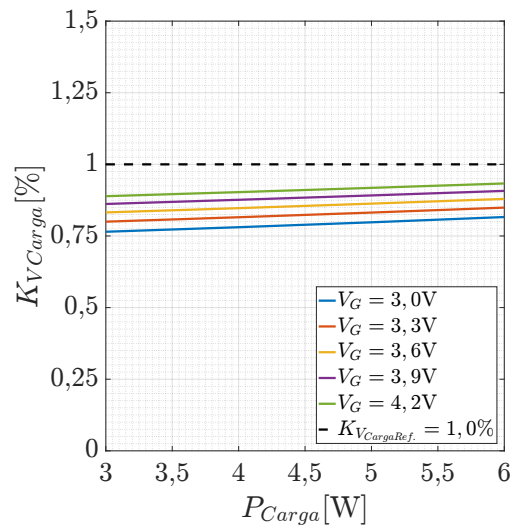


Figura 68: Comportamento de ondulação normalizada sobre R_{Carga} referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono



O comportamento da temperatura de junção referente aos semicondutores $Q1$ e $Q2$ na região do envelope de aplicação é ilustrado conforme a Figura 69, em que foi considerada temperatura ambiente igual a $43^\circ C$. Uma vez que a temperatura máxima de ambos semicondutores é inferior a $150^\circ C$, é possível avaliar que a máxima temperatura ambiente de operação do conversor Zeta síncrono é superior a $43^\circ C$.

Portanto, a partir dos gráficos ilustrados nas figuras 66, 67 e 68, assim como dos dados contidos na Tabela 33, o conversor Zeta síncrono proposto também cumpre com o propósito de regulador de tensão de baixa ondulação de saída.

Figura 69: Comportamento de T_j dos semicondutores $Q1$ e $Q2$ referente ao envelope de operação, $T_{amb} = 43^\circ C$, $V_{Carga} = 3,3V$, Zeta síncrono

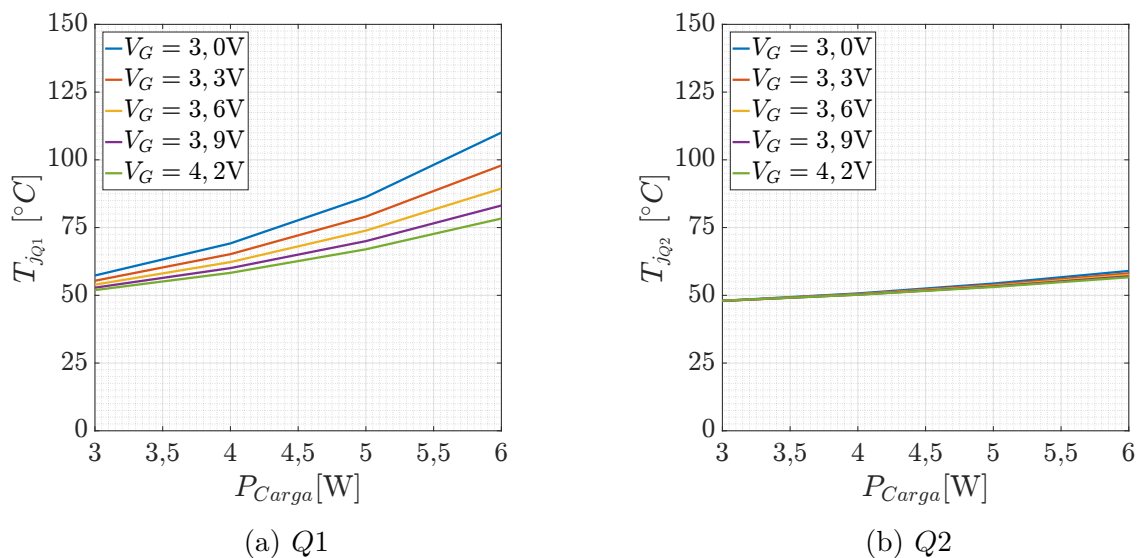


Tabela 33: Especificações de ondulação sobre $L1$, $L2$, $C1$, $C2$ e R_{Carga} na região do envelope em porcentagem, $V_{Carga} = 3,3V$, Zeta síncrono

Ondulação	P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V	Maior	Ref.
K_{L1}	3W	39,0682	45,5985	52,3237	59,2201	66,2676	66,2676	60,0
	4W	28,5382	33,4620	38,5273	43,7179	49,0195	49,0195	60,0
	5W	22,1780	26,1462	30,2212	34,3924	38,6496	38,6496	60,0
	6W	17,8956	21,2362	24,6571	28,1530	31,7170	31,717	60,0
K_{L2}	3W	48,6977	50,9441	52,9955	54,8756	56,6048	56,6048	60,0
	4W	37,2863	38,9449	40,4620	41,8539	43,1347	43,1347	60,0
	5W	30,4816	31,7793	32,9703	34,0651	35,0738	35,0738	60,0
	6W	25,9874	27,0351	28,0024	28,8949	29,7192	29,7192	60,0
$K_{V_{C1}}$	3W	19,1366	18,1845	17,3289	16,5543	15,8490	19,1366	45,0
	4W	26,0754	24,7294	23,5291	22,4487	21,4691	26,0754	45,0
	5W	33,3529	31,5585	29,9732	28,5560	27,2776	33,3529	45,0
	6W	41,0200	38,7060	36,6859	34,8948	33,2889	41,02	45,0
$K_{V_{C2}}^1$	3W	0,3579	0,3560	0,3532	0,3496	0,3454	0,3579	0,5
	4W	0,3730	0,3699	0,3660	0,3615	0,3565	0,373	0,5
	5W	0,3895	0,3849	0,3797	0,3742	0,3683	0,3895	0,5
	6W	0,4077	0,4011	0,3944	0,3877	0,3808	0,4077	0,5
$K_{V_{Carga}}^2$	3W	0,7647	0,7999	0,8322	0,8617	0,8888	0,8888	1,0
	4W	0,7806	0,8154	0,8471	0,8763	0,9031	0,9031	1,0
	5W	0,7977	0,8317	0,8629	0,8915	0,9179	0,9179	1,0
	6W	0,8161	0,8490	0,8794	0,9074	0,9333	0,9333	1,0

¹ Representa a ondulação apenas sobre o capacitor $C2$.

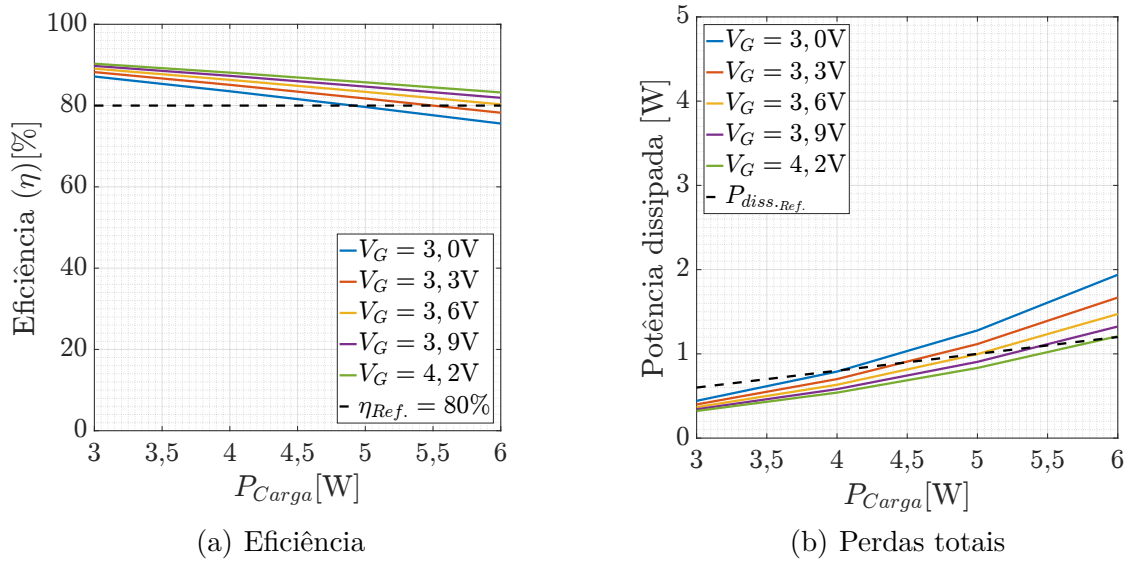
² Representa a ondulação sobre o capacitor $C2$ e seu respectivo ESR, compondo a ondulação sobre a carga (R_{Carga}).

Tabela 34: Especificações de temperatura de junção dos componentes $Q1$ e $Q2$ na região do envelope, $T_{amb} = 43^\circ C$, $V_{Carga} = 3,3V$, Zeta síncrono

Parâm.	P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V	Maior	Lim. ¹
$T_{J_{Q1}}$	3W	62,45	59,68	57,63	56,06	54,83	62,4458	150
	4W	78,77	73,06	68,91	65,78	63,34	78,7678	
	5W	102,45	92,05	84,66	79,17	74,95	102,447	
	6W	135,68	117,95	105,74	96,85	90,12	135,6783	
$T_{J_{Q2}}$	3W	68,46	67,82	67,32	66,93	66,61	68,4629	150
	4W	79,28	78,17	77,29	76,58	76,00	79,2839	
	5W	91,17	89,48	88,15	87,07	86,18	91,1658	
	6W	104,10	101,69	99,82	98,31	97,06	104,1005	

¹ A temperatura limite de cada componente é especificada na Tabela 7.

Figura 70: Comportamento de eficiência e perdas totais dos componentes $L1$, $L2$, $Q1$ e $Q2$ referente ao envelope de operação, $V_{Carga} = 3,3V$, Zeta síncrono



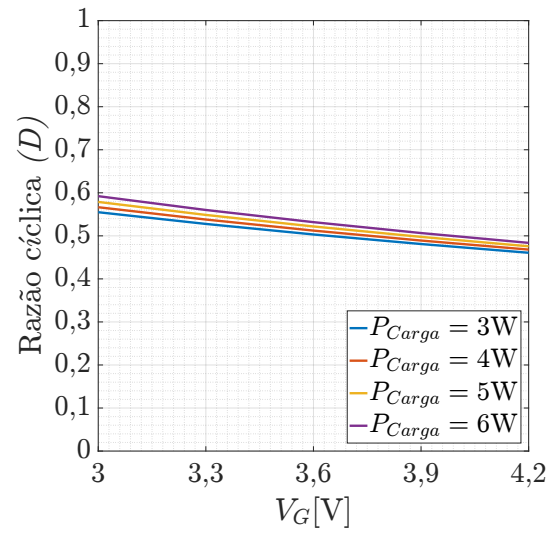
A Figura 71 e a Tabela 35 detalham o mapa de D em função da tensão de entrada do conversor Zeta síncrono. Logo, ao comparar com os valores obtidos para o conversor Zeta assíncrono é possível notar que o conversor de topologia síncrona opera com fatores de trabalho inferiores.

Por fim, é concluído que conversor Zeta síncrono atende as especificações de temperatura ambiente de operação, ondulação sobre todos os componentes, regulação de tensão, modo de condução e eficiência mínima sendo viável para a aplicação proposta, em que os próximos pontos investigados são: a) envelope de operação do circuito Zeta síncrono, b) comportamento do ganho estático, c) eficiência em função da razão-cíclica e d) a distribuição de dissipação em todos os componentes.

Tabela 35: Mapa de razão-cíclica nos pontos de operação do envelope do conversor Zeta síncrono, $V_{Carga} = 3,3V$

P_{Carga}	3,0V	3,3V	3,6V	3,9V	4,2V
3W	0,5549	0,5277	0,5032	0,4810	0,4607
4W	0,5665	0,5379	0,5122	0,4891	0,4681
5W	0,5788	0,5486	0,5218	0,4976	0,4757
6W	0,5922	0,5601	0,5318	0,5065	0,4837

Figura 71: Comportamento de razão-cíclica nos pontos de operação do envelope do conversor Zeta síncrono, $V_{Carga} = 3,3V$



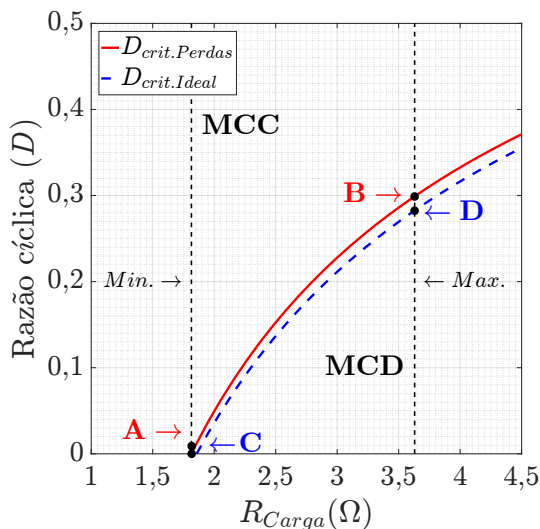
8.2 Análise do modo de condução: Zeta síncrono

O limiar entre os modos de condução MCC e MCD pode ser mapeado conforme descrito por (6.1). A Figura 72 ilustra o comportamento de $D_{crit.}$ referente a duas configurações do conversor Zeta síncrono: 1) idealizado ($\eta = 1$) e 2) em que suas perdas foram consideradas: $R_G = 4,124m\Omega$, $R_{L1} = 23m\Omega$, $R_{L2} = 23m\Omega$, $R_{C0} = 57m\Omega$, $R_{C1} = 177m\Omega$, $R_{C2} = 57m\Omega$, $R_{DS} = 55m\Omega$, $R_{DS2} = 17m\Omega$ e $V_G = 3,3V$.

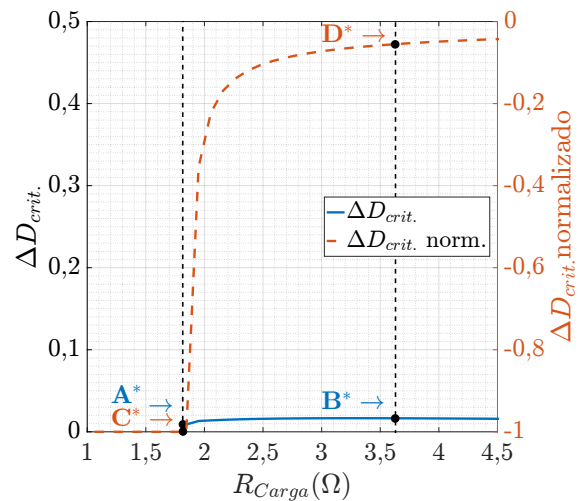
Assim, ao analisar a Figura 72, é possível verificar quais são os valores de $D_{crit.}$ nos extremos de R_{Carga} que contemplam o envelope do conversor Zeta síncrono. Uma vez que a queda de tensão decorrente de $Q2$ é inferior à V_{FWD} , o comportamento do limiar de condução se aproxima da condição ideal. Portanto, a distância entre o menor valor admissível entre ambas as condições simuladas, de forma que a operação seja em MCC, sendo estes pontos representados por: **A**, **B**, **C** e **D**, em que a máxima diferença absoluta é igual a 0,0165 ocorre na condição de máxima R_{carga} .

A Figura 72 também apresenta a comparação normalizada entre a diferença de $D_{crit.}$ nas condições nominais e idealizada, em que quanto maior a carga, maior é a diferença absoluta de $D_{crit.}$ entre a condição ideal e com as perdas nominais.

Figura 72: Limiar entre modos de condução para circuito Zeta síncrono: perdas nominais e ideal no intervalo de carga correspondente ao envelope de operação. **A**=0,005 ; **B**=0,299 ; **C** = 0,0 ; **D**=0,283, **A*** = -1; **B*** = 0,0165; **C*** = 0,0 ; **D*** = -0,346.



(a) $D_{crit.}$



(b) $\Delta D_{crit.}$

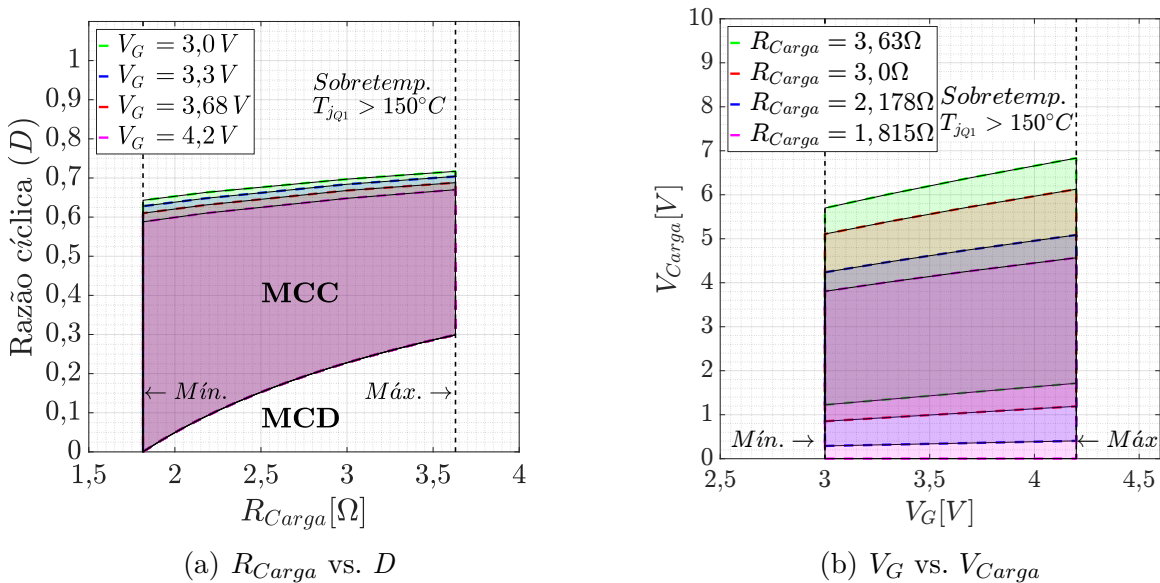
8.3 Envelope de operação do conversor Zeta síncrono

De acordo com o equacionamento realizado, é possível compor o envelope de operação do conversor Zeta síncrono em função da razão-cíclica " D " a fim de analisar o comportamento de ganho estático e eficiência do circuito Zeta síncrono.

Ao considerar $V_G = 3,3V$ e $T_{amb} = 25^\circ C$, R_{carga} igual a: $1,815 \sim 3,63\Omega$, os intervalos de razão-cíclica encontrados cuja operação está em MCC, são: $D(1,815\Omega)_{25^\circ C} = 0,005 \sim 0,643$ e $D(3,63\Omega)_{25^\circ C} = 0,249 \sim 0,717$. A região ilustrada pela Figura 73 em que $D(R_{carga}) > D_{max}(R_{carga})$, representa uma condição de sobretemperatura sobre os semicondutores.

A Figura 33 representa o envelope de operação ao variar a tensão de entrada e a carga do circuito. As tabelas 14 e 15 descrevem os valores máximos e mínimos obtidos referentes ao ganho estático e razão-cíclica, em diferentes condições de operação.

Figura 73: Envelope e modos de condução para o conversor Zeta síncrono, $T_{amb} = 25^\circ C$



Por fim, é verificado que o circuito com uma queda de tensão em $Q2$ reduzida se aproxima ao comportamento do conversor ideal. Assim, o conversor Zeta síncrono possui uma faixa de operação estendida em relação à comutação, favorecendo aplicações cujo conversor atue na região "*buck*", conforme reportado ao avaliar o impacto de V_{FWD} sobre " H_v " e " η " do conversor Zeta síncrono.

8.4 Análise de ganho estático (H_v) do conversor Zeta síncrono

Nesta seção são apresentados os resultados que descrevem o comportamento do ganho de tensão estático do conversor Zeta síncrono em função da razão-cíclica, com base no envelope de operação ilustrado pela Figura 73.

A Figura 73 representa o envelope de operação ao variar a tensão de entrada e a carga do circuito, enquanto as tabelas 14 e 15 detalham os valores máximos e mínimos obtidos referentes ao ganho estático e razão-cíclica, em diferentes condições de operação.

Tabela 36: Ganho estático e razão-cíclica mínimos em diferentes condições de operação, Zeta síncrono

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	H_v	D_{min}	H_v	D_{min}	H_v	D_{min}	H_v	D_{min}
1,815	0,001	0,001	0,001	0,001	0,001	0,001	0,001	0,001
2,178	0,097	0,091	0,097	0,091	0,097	0,091	0,097	0,091
3	0,284	0,228	0,284	0,228	0,284	0,228	0,284	0,228
3,63	0,408	0,299	0,408	0,299	0,408	0,299	0,408	0,299

Tabela 37: Ganho estático e razão-cíclica máximos em diferentes condições de operação, Zeta síncrono

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	H_v	D_{max}	H_v	D_{max}	H_v	D_{max}	H_v	D_{max}
1,815	1,268	0,643	1,216	0,628	1,157	0,610	1,087	0,588
2,178	1,413	0,663	1,354	0,648	1,289	0,631	1,211	0,610
3	1,703	0,697	1,632	0,684	1,553	0,668	1,459	0,648
3,63	1,899	0,717	1,820	0,704	1,732	0,688	1,627	0,670

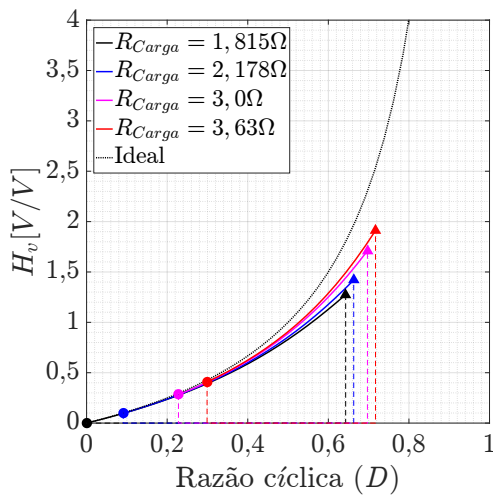
Portanto, com base no envelope descrito pela Figura 73 e pelas tabelas 36 e 37 é possível mapear o comportamento de H_v do conversor Zeta síncrono, conforme a Figura 74.

A partir do mapa ilustrado na Figura 74, é possível concluir que o circuito Zeta possui um $H_{v_{max}} = 1,732V/V$ operando com $R_{Carga} = 3,63\Omega$ e $V_G = 3,68V$. Nessa condição o circuito se comporta como elevador de tensão ao operar com $D_{max} = 0,688$.

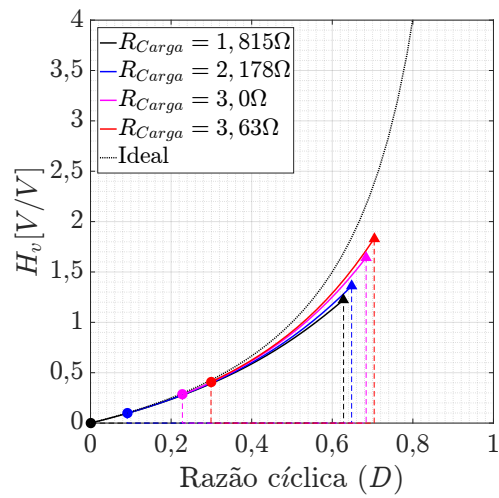
Ao operar com $R_{Carga} = 1,815\Omega$ é possível comutar com fator de trabalho mínimo aproximadamente nulo, ou seja, uma vez que o circuito está sempre em MCC. No entanto, a fronteira referente à linearização do conversor possui um limite em aproximadamente $D = 0,15$, em que o modelo acumula um erro superior à 10% uma vez que as formas de onda possuem distorções (harmônicos) de ordem superior.

Logo, ao considerar os valores extremos, o ganho máximo é igual a $1,899V/V$ e o mínimo nulo. Estes dados revelam que o conversor Zeta síncrono necessita de uma comutação com fator de trabalho inferior ao Zeta assíncrono para fornecer um mesmo ganho, além de estender a faixa de operação do circuito. Também, é verificado que existe uma diferença entre o circuito modelado com as perdas nominais e uma condição idealizada é inferior comparado ao mapa de ganho do conversor Zeta assíncrono, em que se utilizou $D1$ ao invés de $Q2$.

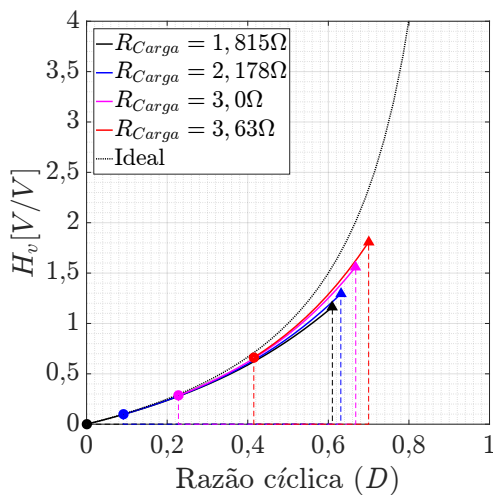
Figura 74: Mapeamento de ganho estático (H_v) em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, Zeta síncrono



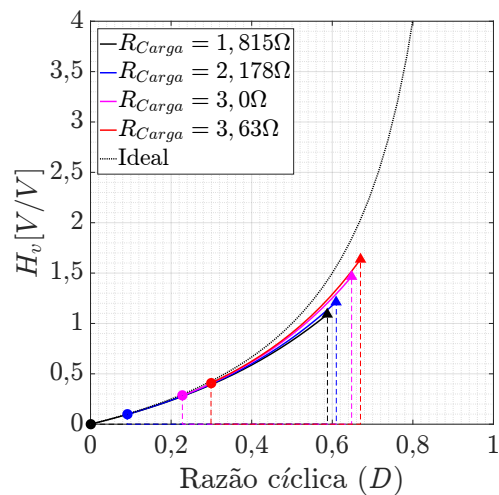
(a) $V_G = 3,0V$



(b) $V_G = 3,3V$



(c) $V_G = 3,68V$



(d) $V_G = 4,2V$

8.5 Análise de eficiência (η) do conversor Zeta síncrono

Nesta seção a eficiência do conversor Zeta síncrono é analisada e comparada à modelagem, considerando um dos pré-requisitos como a eficiência mínima no ponto nominal "P3", devendo ser superior à 80%. Assim, as análises de eficiência são válidas para o envelope ilustrado conforme a Figura 73. Portanto, ao analisar a eficiência em diferentes condições para V_G e R_{Carga} , é possível compor as tabelas 38, 39 e 40.

Tabela 38: Mapeamento de eficiência na condição de mínima razão-cíclica (D_{min}) do conversor Zeta síncrono em diferentes condições de operação

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	η	D_{min}	η	D_{min}	η	D_{min}	η	D_{min}
1,815	0,855	0,001	0,859	0,001	0,863	0,001	0,867	0,001
2,178	0,845	0,091	0,850	0,091	0,855	0,091	0,859	0,091
3	0,900	0,228	0,902	0,228	0,905	0,228	0,907	0,228
3,63	0,918	0,299	0,919	0,299	0,921	0,299	0,922	0,299

Tabela 39: Mapeamento de eficiência na condição de máxima razão-cíclica (D_{max}) do conversor Zeta síncrono em diferentes condições de operação

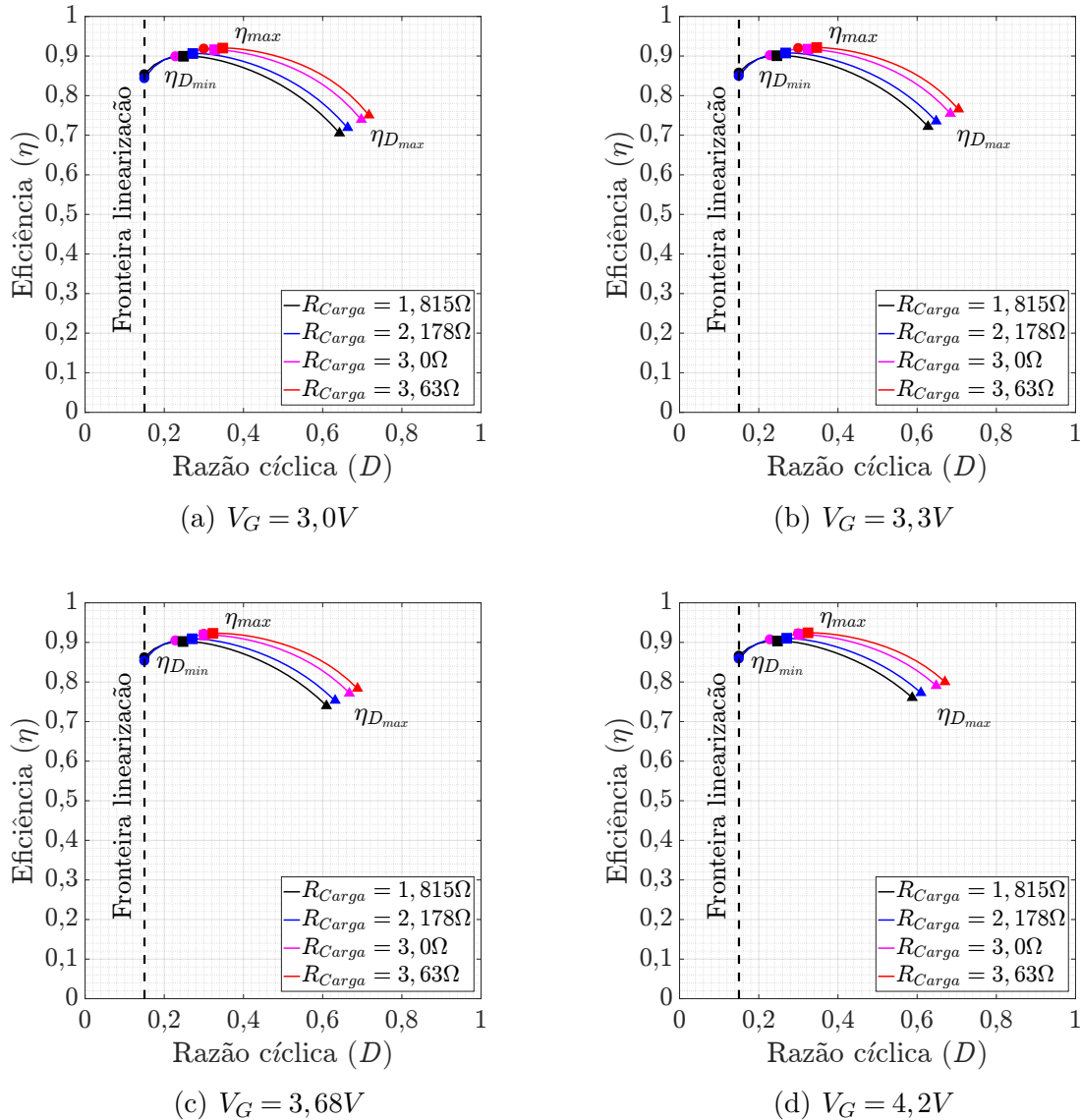
$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	η	D_{max}	η	D_{max}	η	D_{max}	η	D_{max}
1,815	0,705	0,643	0,722	0,628	0,740	0,610	0,760	0,588
2,178	0,718	0,663	0,735	0,648	0,753	0,631	0,772	0,610
3,00	0,739	0,697	0,755	0,684	0,772	0,668	0,791	0,648
3,63	0,750	0,717	0,766	0,704	0,782	0,688	0,800	0,670

Tabela 40: Mapeamento dos pontos de máxima eficiência (η_{max}) e a respectiva razão-cíclica do conversor Zeta síncrono em diferentes condições de operação

$R_{Carga}[\Omega]$	$V_G = 3,0V$		$V_G = 3,3V$		$V_G = 3,68V$		$V_G = 4,2V$	
	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$	η_{max}	$D_{\eta_{max}}$
1,815	0,900	0,249	0,902	0,246	0,903	0,247	0,904	0,247
2,178	0,907	0,272	0,908	0,269	0,909	0,270	0,911	0,271
3,00	0,916	0,327	0,917	0,324	0,919	0,301	0,920	0,302
3,63	0,920	0,348	0,922	0,347	0,923	0,323	0,924	0,324

Assim, a Figura 75 apresenta os dados obtidos conforme as tabelas 38, 39 e 40 com diferentes valores de carga, ou seja, o círculo, o triângulo e o quadrado representam a eficiência em D_{min} , a eficiência em D_{max} e η_{max} , respectivamente.

Figura 75: Mapeamento de eficiência em função da razão-cíclica (D), para diferentes cargas (R_{Carga}) em tensões de entrada específicas, "vermelho $R_{Carga} = 3,63\Omega$ ", "magenta $R_{Carga} = 3,0\Omega$ ", "azul $R_{Carga} = 2,178\Omega$ " e "preto $R_{Carga} = 1,815\Omega$ ".



É possível concluir que o circuito Zeta possui uma eficiência máxima igual a 92,4% na condição $R_{Carga} = 3,63\Omega$, $V_G = 4,2V$ e $D = 0,324$. Ao comparar com os resultados obtidos para o conversor Zeta assíncrono, é verificado que a eficiência do conversor Zeta síncrono no ponto nominal de operação "**P3**" é igual a 81,88%, cumprindo satisfatoriamente os pré-requisitos de desempenho mínimo. Logo, de fato o circuito possui uma operação com maior rendimento na região *buck* conforme investigação realizada na Subsecção 6.5.5.

8.6 Análise segregada das perdas nominais do conversor Zeta síncrono

De forma análoga à Subseção 7.6, a potência dissipada em cada componente é detalhada na Tabela 41 e conseqüentemente, a potência dissipada normalizada.

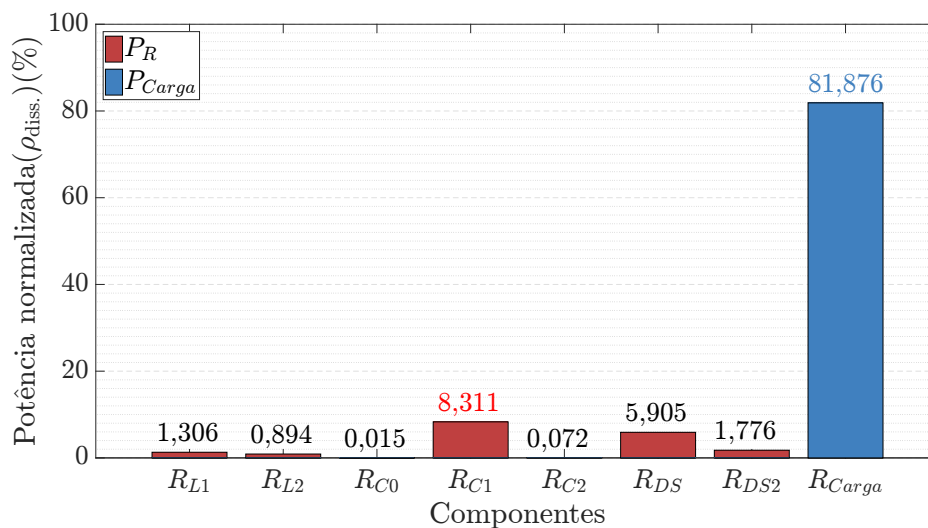
Tabela 41: Segregação de perdas do conversor Zeta síncrono no ponto de operação nominal "P3", $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$

Compon.	Perda associada	Pot. diss. (P_R)[W]	Pot. norm. ($\rho_{diss.}$)(%)
$L1$	R_{L1}	0,080	1,306
$L2$	R_{L2}	0,055	0,894
$C0$	R_{C0}	0,001	0,014
$C1$	R_{C1}	0,508	8,311
$C2$	R_{C2}	0,004	0,072
$Q1$	R_{DS}	0,361	5,905
$Q2$	R_{DS2}	0,108	1,776
Zeta síncrono	$\sum P_R^*$	1,117	18,278

A Tabela 41 e a Figura 76 indicam que a segunda maior parcela da dissipação de potência está sobre R_{C1} . Diferentemente do conversor Zeta assíncrono, R_{DS2} possui uma potência normalizada inferior à V_{FWD} conforme esperado e, conseqüentemente, a potência útil, dissipada em R_{Carga} , é superior.

Portanto, uma vez que os pré-requisitos de desempenho foram alcançados de forma satisfatória, não será explorada outra melhoria no circuito. No entanto, caso fosse necessário elevar o rendimento do conversor, os componentes $C1$ e $Q1$ deveriam ser reavaliados, nesta ordem de prioridade.

Figura 76: Comparação da dissipação normalizada em cada componente do conversor Zeta síncrono no ponto de operação nominal "P3", $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$ e $P_{Carga} = 5W$



Considerações finais sobre as análises do conversor Zeta síncrono

Ao realizar a substituição de $D1$ por $Q2$ foi possível elevar a eficiência máxima do conversor de 76,4% para 92,4% e garantir que o requisito mínimo de eficiência de operação no ponto nominal "**P3**" fosse satisfeito ($\eta > 80\%$). Dessa forma, conforme (SHUE, 2010), o conversor Zeta síncrono se classifica como um circuito de alta eficiência. Porém, em uma próxima etapa de maximização da eficiência, os componentes $C1$ e $Q1$ poderiam ser reavaliados.

9 RESULTADOS EXPERIMENTAIS DO CONVERSOR ZETA SÍNCRONO

De forma análoga ao Capítulo 7, são apresentadas as comparações entre os resultados obtidos via simulação e teste experimental, referentes ao conversor Zeta síncrono. Em que é realizada a comparação entre o resultado experimental e a modelagem: 1) de temperatura de junção dos semicondutores, 2) do ganho estático e do 3) nível de eficiência do DUT.

9.1 Comparação entre modelo e resultados experimentais - Temperatura de junção

Nesta seção são apresentados os resultados obtidos referentes à temperatura dos semicondutores $Q1$ e $Q2$ do conversor Zeta síncrono em função da razão-cíclica e comparados aos valores calculados com base na modelagem realizada. Ao realizar os testes experimentais, parâmetros D , V_G , V_{Carga} e $T_{amb.}$ foram utilizados de acordo com a Tabela 42.

Tabela 42: Condições para pontos experimentais sobre avaliação da temperatura de junção em $Q1$ e $Q2$, $R_{Carga} = 3,6 \pm 0,1\Omega$

Pt. Exp. #	D -	V_G [V]	V_{Carga} [V]	$T_{amb.}$ [°C]
1	0,3463	3,649	1,824	24,0
2	0,3964	3,639	2,235	25,5
3	0,4966	3,612	3,230	24,5
4	0,5468	3,598	3,857	23,0
5	0,5970	3,568	4,573	21,0
6	0,6472	3,533	5,331	21,0
7	0,6974	3,423	5,929	22,5

Durante o experimento para avaliação e comparação da temperatura de junção sobre $Q1$ e $Q2$ com a modelagem, foi utilizado $R_{Carga} = 3,6 \pm 0,1\Omega$.

A temperatura de junção estimada em função da razão-cíclica, a partir dos resultados experimentais em que o conversor opera em MCC, são dadas por:

$$\begin{cases} T_{est,Q1}(D) = 23269,4206D^4 - 41282,2407D^3 + 27374,9007D^2 - 7984,1342D + 889,1802 \\ T_{est,Q2}(D) = -2861,5995D^4 + 7168,0886D^3 - 6270,8572D^2 + 2337,5445D - 289,0966. \end{cases} \quad (9.1)$$

As figuras 77, 78, 79, 80, 81 e 82 apresentam a temperatura medida sob $Q1$ e $Q2$ em determinada condição de operação, conforme Tabela 42.

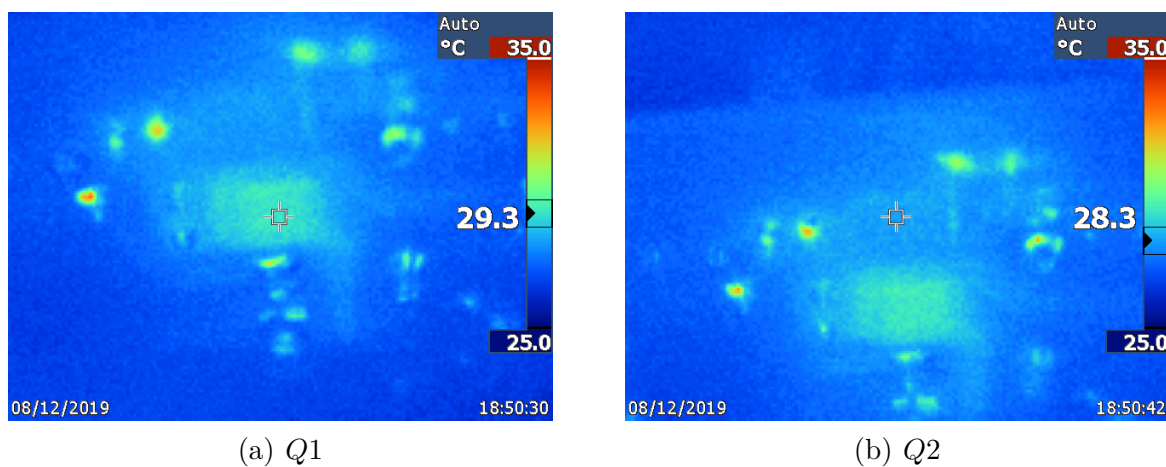
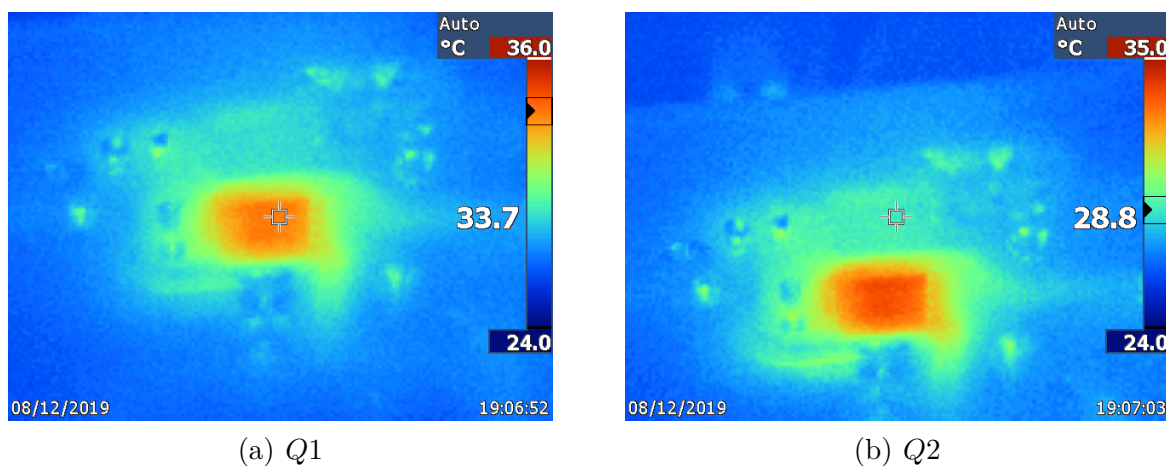
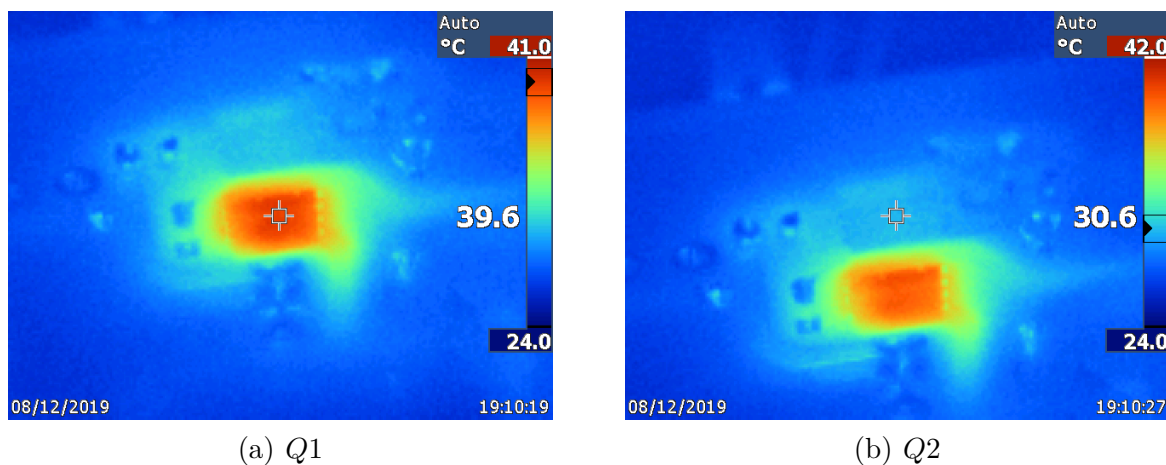
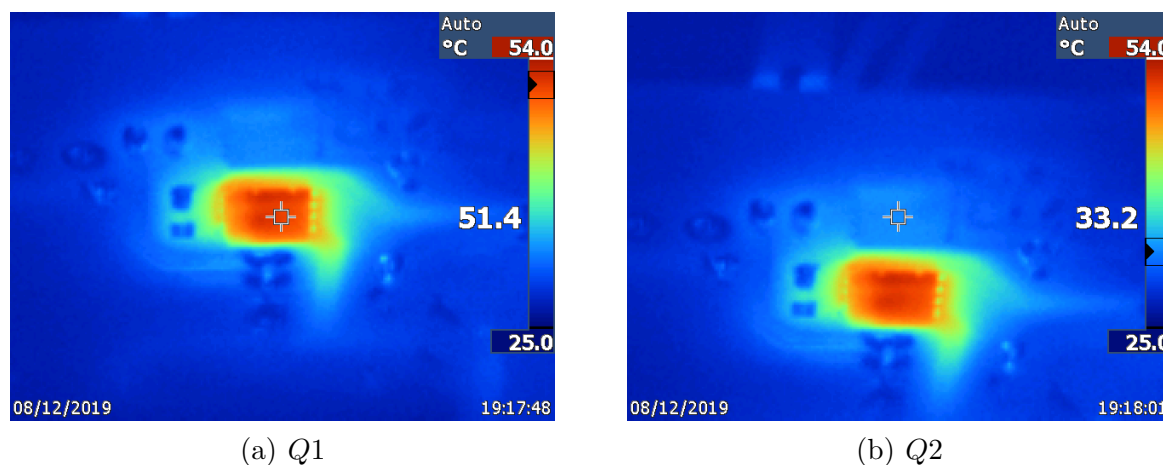
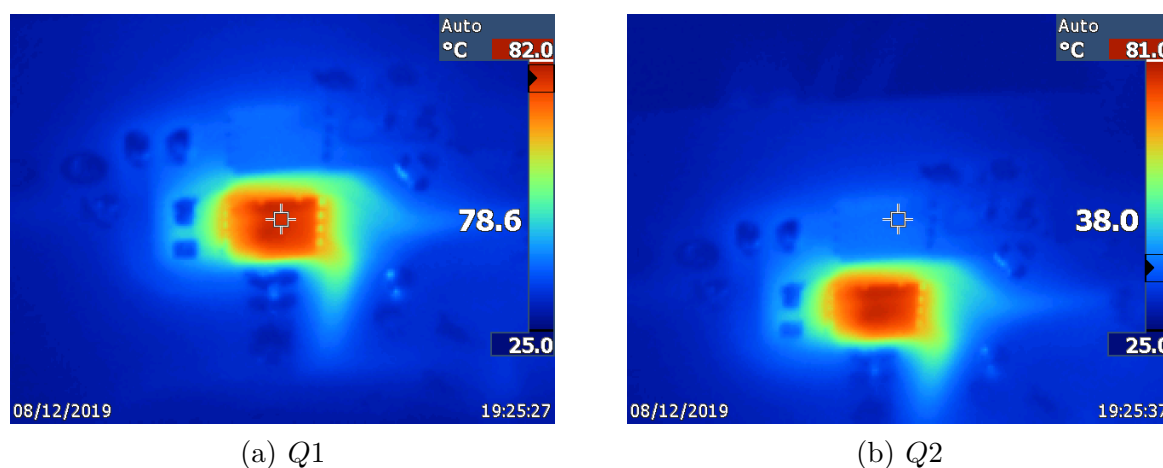
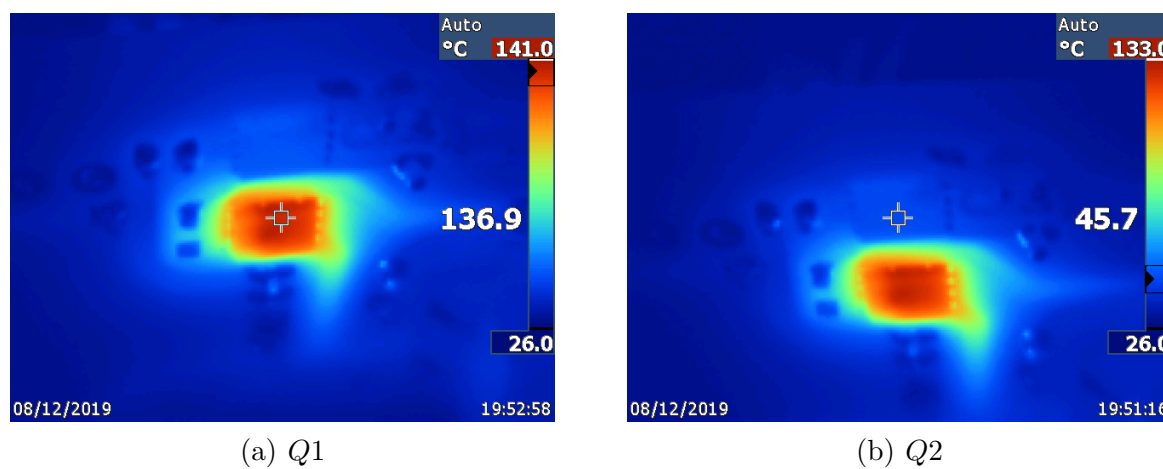
Figura 77: Temperatura em $Q1$ e em $Q2$, Medição 1 vide Tabela 42.Figura 78: Temperatura em $Q1$ e em $Q2$, Medição 2 vide Tabela 42.Figura 79: Temperatura em $Q1$ e em $Q2$, Medição 3 vide Tabela 42.

Figura 80: Temperatura em $Q1$ e em $Q2$, Medição 4 vide Tabela 42.Figura 81: Temperatura em $Q1$ e em $Q2$, Medição 5 vide Tabela 42.Figura 82: Temperatura em $Q1$ e em $Q2$, Medição 6 vide Tabela 42.

A partir das figuras 77, 78, 79, 80, 81 e 82 que representam os resultados obtidos experimentalmente, é possível compará-los aos resultados obtidos da modelagem do

conversor Zeta síncrono, conforme as figuras 83 e 84 (T_{jQ1} e T_{jQ2} , respectivamente), bem como da Tabela 43 que apresenta os valores detalhados entre o resultado experimental e o modelado. O erro normalizado de temperatura σ é descrito em (7.2).

Figura 83: Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q1$ e erro normalizado ($\sigma_{T_{Q1}}$), Zeta síncrono

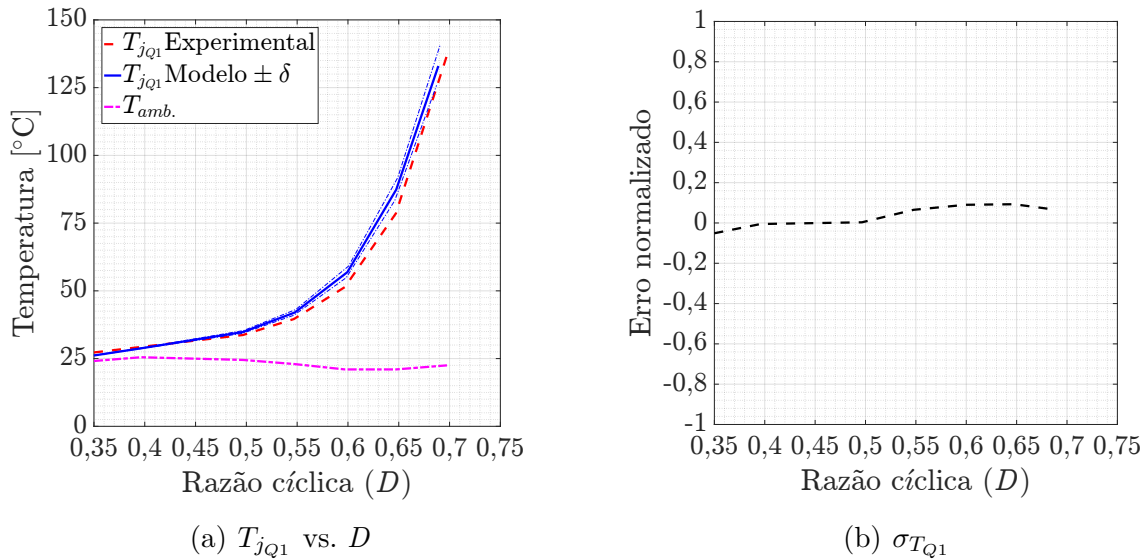
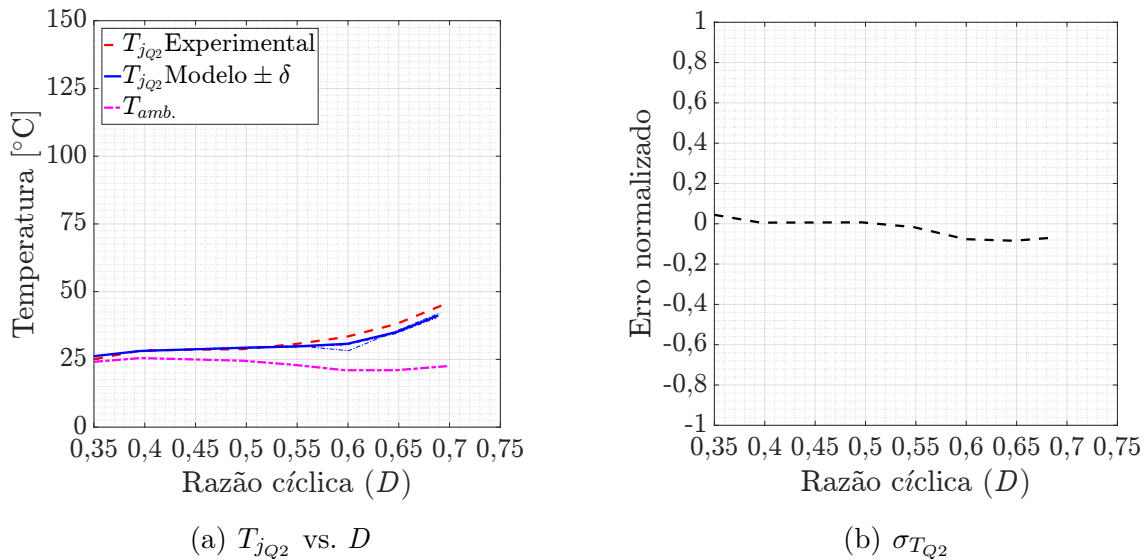


Figura 84: Comparação entre resultados experimentais e modelagem da temperatura de junção de $Q2$ e erro normalizado ($\sigma_{T_{Q2}}$), Zeta síncrono



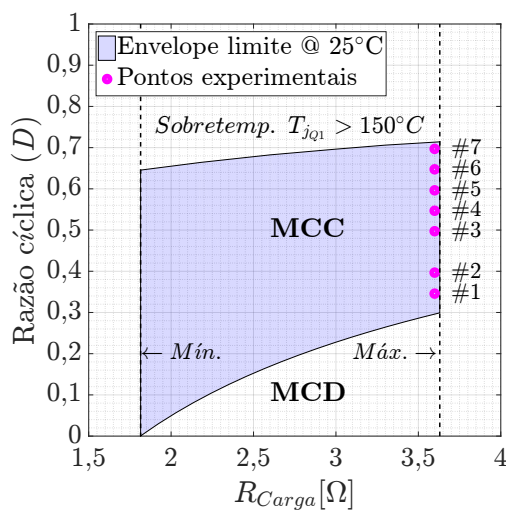
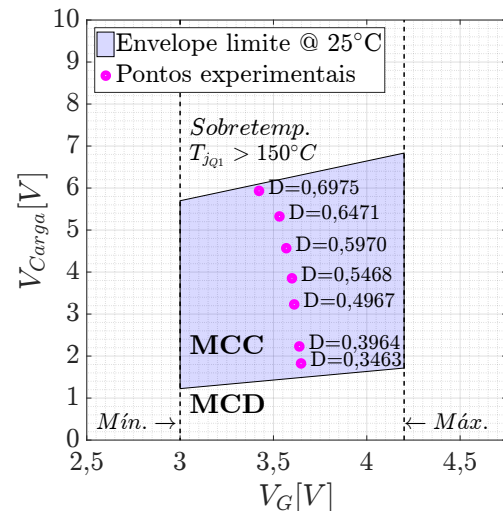
É verificado que existe uma diferença entre o resultado experimental e modelado para a temperatura da junção em $Q1$ inferior a 8,06%, e em $Q2$ o erro máximo é igual a 8,87%. O erro médio $\bar{\sigma}_{T_{Q1}}$ é igual a 3,33% e $\bar{\sigma}_{T_{Q2}}$ igual a -3,46%.

Tabela 43: Resultados comparativos entre teste experimental e modelagem referente à temperatura de junção em $Q1$ e $Q2$, $R_{Carga} = 3,6 \pm 0,1\Omega$, Zeta síncrono

Pt.Mod. #	$D_{calc.}$ -	V_G [V]	V_{Carga} [V]	$T_{mod,Q1}$ [°C]	$T_{est,Q1}$ [°C]	$\sigma_{T_{Q1}}$ -	$T_{mod,Q2}$ [°C]	$T_{est,Q2}$ [°C]	$\sigma_{T_{Q2}}$ -
1	0,3463	3,649	1,824	25,88	27,40	-0,0557	26,00	24,82	0,0472
2	0,3964	3,639	2,235	28,76	28,94	-0,0060	28,12	27,97	0,0052
3	0,4966	3,612	3,230	34,79	34,73	0,0019	29,29	29,09	0,0068
4	0,5468	3,598	3,857	42,01	39,59	0,0613	29,77	30,30	-0,0178
5	0,5970	3,568	4,573	56,89	52,65	0,0806	30,77	33,41	-0,0791
6	0,6472	3,533	5,331	87,36	81,16	0,0765	35,05	38,47	-0,0887
7	0,6974	3,423	5,929	133,00	127,51	0,0430	41,24	44,54	-0,0741

Ao analisar a Figura 73 é possível validar as condições de teste ao confrontar os pontos experimentais na região delimitada pelo envelope, conforme ilustrado pela Figura 85. A tensão de entrada utilizada para construção do envelope é a média dentre os pontos experimentais apresentados na Tabela 42, sendo igual a 3,6V. O ponto experimental #1 ($D=0,3463$) representa o ponto experimental mais próximo da transição entre MCC e MCD, enquanto que o ponto #7 ($D=0,6975$) está próximo ao limite de operação.

Figura 85: Envelope e modos de condução para o circuito Zeta síncrono

(a) R_{Carga} vs. D , ($V_G = 3,6V$)(b) V_G vs. V_{Carga} , ($R_{Carga} = 3,6\Omega$)

9.2 Comparação entre modelo e resultados experimentais - Ganho estático (H_v)

A partir das análises de ganho, realizadas a partir da modelagem proposta, foi elaborado um procedimento experimental cujas condições utilizadas em cada ponto experimental (Pt. Exp.) descritos na Tabela 44.

Tabela 44: Condições para pontos experimentais sobre avaliação de H_v , $R_{Carga} = 3,4 \pm 0,1\Omega$

Pt. Exp. #	D -	V_G [V]	V_{Carga} [V]
1	0,35	3,782	1,750
2	0,37	3,760	1,891
3	0,40	3,747	2,144
4	0,42	3,738	2,326
5	0,45	3,719	2,611
6	0,47	3,708	2,814
7	0,50	3,680	3,128
8	0,52	3,659	3,348
9	0,55	3,628	3,683
10	0,57	3,616	3,943
11	0,60	3,593	4,355
12	0,62	3,552	4,586
13	0,65	3,542	5,031
14	0,67	3,531	5,315
15	0,70	3,438	5,561

Para os testes relacionados à análise do ganho estático do circuito Zeta, foi utilizada uma carga igual a $3,4\Omega$. O modelo matemático que representa o ganho em função da razão-cíclica, obtido experimentalmente, no intervalo em que o circuito opera em MCC é dada por:

$$H_{v_{est}}(D) = 3,65938192533D^2 - 0,4888994963055D + 0,182386568635233. \quad (9.2)$$

A Tabela 45 apresenta os valores exatos permitindo a comparação entre o resultado experimental e o modelado. A Figura 86 ilustra os resultados obtidos, a fim de possibilitar a interpretação e comparação do experimento com a modelagem desenvolvida enquanto, a Equação 7.4 descreve o erro normalizado do ganho de tensão estático.

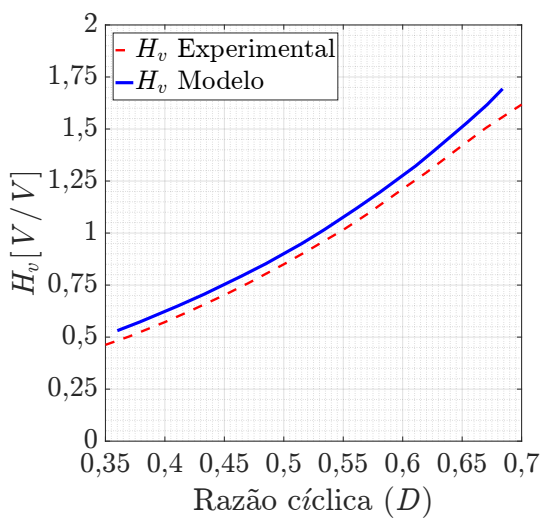
Logo, é constatado que a máxima divergência entre o resultado obtido experimentalmente e modelado para H_v é inferior a 9,49%. O erro médio (σ_{H_v}) é igual a 6,57%.

Desta maneira, a modelagem retrata de forma satisfatória os resultados experimentais.

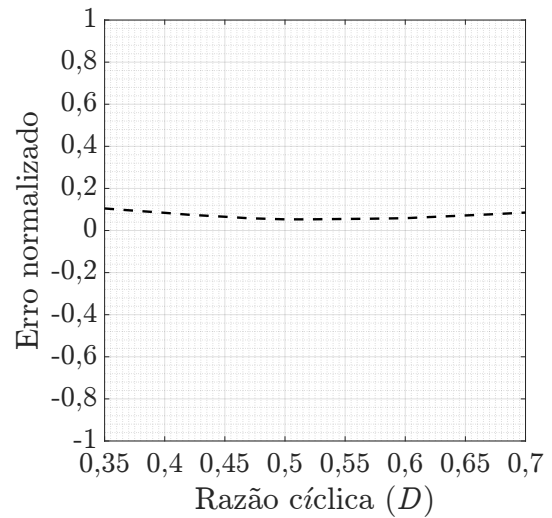
Tabela 45: Resultados comparativos entre modelagem e *fit*-experimental referente ao ganho de tensão estático (H_v), $R_{Carga} = 3,4 \pm 0,1\Omega$

Pt.Mod. #	$D_{calc.}$ -	V_G [V]	V_{Carga} [V]	$H_{v_{mod}}$ [V/V]	$H_{v_{est}}$ [V/V]	σ_{H_v} -
1	0,360	3,299	1,750	0,531	0,480	0,095
2	0,379	3,299	1,891	0,573	0,523	0,087
3	0,411	3,298	2,144	0,650	0,600	0,076
4	0,433	3,297	2,327	0,706	0,657	0,070
5	0,464	3,297	2,611	0,792	0,744	0,061
6	0,485	3,297	2,814	0,853	0,805	0,057
7	0,515	3,296	3,128	0,949	0,900	0,052
8	0,534	3,296	3,348	1,016	0,964	0,051
9	0,561	3,295	3,683	1,118	1,061	0,051
10	0,581	3,294	3,943	1,197	1,134	0,052
11	0,611	3,292	4,355	1,323	1,248	0,057
12	0,626	3,291	4,586	1,394	1,310	0,0598
13	0,654	3,289	5,031	1,530	1,427	0,0673
14	0,671	3,287	5,315	1,617	1,500	0,0725
15	0,684	3,285	5,561	1,693	1,562	0,0773

Figura 86: Comparação entre resultados experimentais e modelagem do ganho estático (H_v) e erro normalizado (σ_{H_v})



(a) H_v



(b) σ_{H_v}

9.3 Comparação entre modelo e resultados experimentais - Eficiência (η)

Com base nas análises e investigação do comportamento da eficiência do circuito realizadas a partir da modelagem proposta, foi realizado o procedimento experimental cujas condições de D , V_G e V_{Carga} (Pt. Exp.) são as mesmas conforme descritas na Tabela 44 sendo a potência de entrada (P_G) e de saída (P_{Carga}), detalhas conforme a Tabela 46.

Tabela 46: Condições para pontos experimentais sobre avaliação de η , $R_{Carga} = 3,4 \pm 0,1\Omega$

Pt. Exp. #	D -	P_G [W]	P_{Carga} [W]
1	0,35	0,995	0,901
2	0,37	1,174	1,052
3	0,40	1,515	1,352
4	0,42	1,780	1,592
5	0,45	2,236	2,005
6	0,47	2,615	2,328
7	0,50	3,265	2,878
8	0,52	3,778	3,297
9	0,55	4,662	3,991
10	0,57	5,393	4,572
11	0,60	6,654	5,578
12	0,62	7,516	6,187
13	0,65	9,283	7,444
14	0,67	10,687	8,308
15	0,70	12,481	9,096

A Equação 9.3 representa a eficiência em função da razão-cíclica, obtida a partir dos dados experimentais válida para o intervalo em que o circuito opera em MCC, em que:

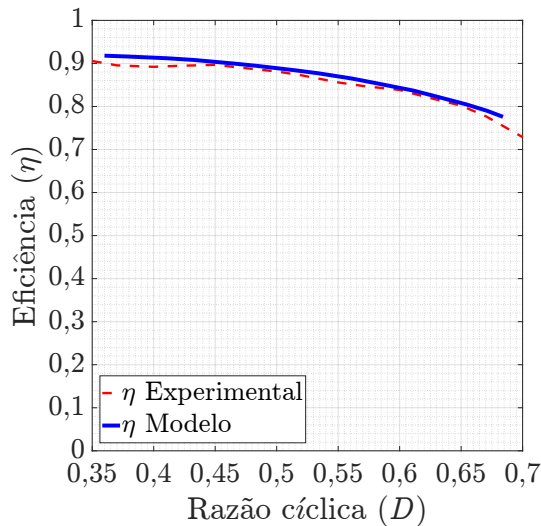
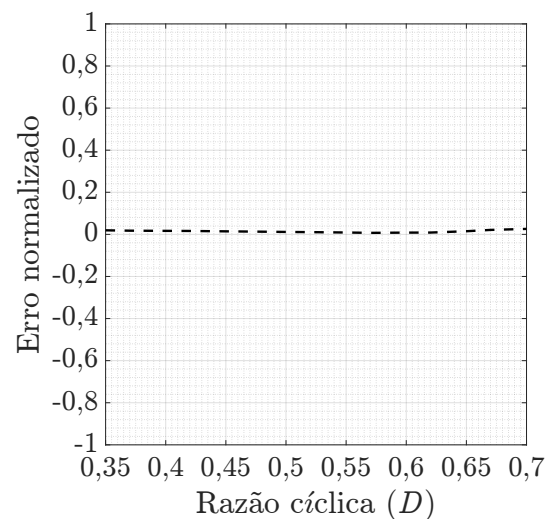
$$\eta_{est}(D) = -21,389241D^4 + 39,812713068D^3 - 28,46495459411D^2 + 9,0236892089903D - 0,157092462908603. \quad (9.3)$$

A Tabela 47 apresenta os valores exatos permitindo a comparação entre o resultado experimental e o modelado. A Figura 87 ilustra os resultados obtidos, a fim de possibilitar a interpretação e comparação do experimento com a modelagem.

Portanto, ao examinar os resultados descritos pela Tabela 47, nota-se que o modelo retrata o experimento de forma satisfatória, em que o máximo σ_η é inferior a 1,88% e o erro médio ($\bar{\sigma}_\eta$) é igual a 1,41%.

Tabela 47: Resultados comparativos entre modelagem e *fit*-experimental referente a eficiência (η), $R_{Carga} = 3,4 \pm 0,1\Omega$

Pt.Mod. #	$D_{calc.}$ -	P_G [W]	P_{Carga} [W]	η_{mod} [W/W]	η_{est} [W/W]	σ_η -
1	0,3598	0,982	0,901	0,918	0,901	0,0188
2	0,3793	1,148	1,052	0,916	0,900	0,0174
3	0,4113	1,483	1,352	0,912	0,897	0,0161
4	0,4329	1,754	1,592	0,908	0,894	0,0155
5	0,4641	2,227	2,005	0,900	0,887	0,0145
6	0,4847	2,603	2,328	0,894	0,882	0,0135
7	0,5145	3,254	2,878	0,884	0,874	0,0118
8	0,5338	3,759	3,297	0,877	0,868	0,0104
9	0,5614	4,615	3,991	0,865	0,857	0,0086
10	0,5812	5,351	4,572	0,854	0,848	0,0077
11	0,6106	6,665	5,579	0,837	0,830	0,0079
12	0,626	7,486	6,187	0,826	0,819	0,0091
13	0,6538	9,251	7,444	0,805	0,793	0,0141
14	0,6705	10,520	8,308	0,790	0,774	0,0196
15	0,6844	11,723	9,096	0,776	0,756	0,0260

Figura 87: Comparação entre resultados experimentais e modelagem da eficiência (η) e erro normalizado (σ_η)(a) η (b) σ_η

Considerações finais sobre os resultados experimentais do conversor Zeta síncrono

O procedimento experimental foi cronologicamente realizado em duas etapas: a temperatura de junção sobre Q_1 e Q_2 foi realizada primeiro (08/12/2019) e depois foram investigados os comportamentos de ganho de tensão estático e de eficiência (17/12/2019). Com base nas alterações de temperatura sobre a carga resistiva utilizada e ambiente, tal como as limitações de precisão do instrumento de medição *115 Fluke*, foi verificado que a incerteza de leitura é igual a $0,1\Omega$.

Ao analisar a operação do conversor Zeta síncrono projetado, as formas de onda obtidas, conforme Apêndice K, foram analisadas e comparadas com os respectivos resultados simulados.

Logo, os resultados experimentais se mostraram compatíveis com a modelagem desenvolvida, uma vez que os erros médios de temperatura de junção $\bar{\sigma}_{T_{Q_1}}$ e $\bar{\sigma}_{T_{Q_2}}$ são iguais a 3,33% e -3,46%, respectivamente; o erro médio do ganho de tensão estático ($\bar{\sigma}_{H_v}$) é igual a 6,57% e o erro médio da eficiência ($\bar{\sigma}_\eta$) é igual a 1,41%.

10 COMPARAÇÃO ENTRE OS CONVERSORES ZETA PROJETADOS

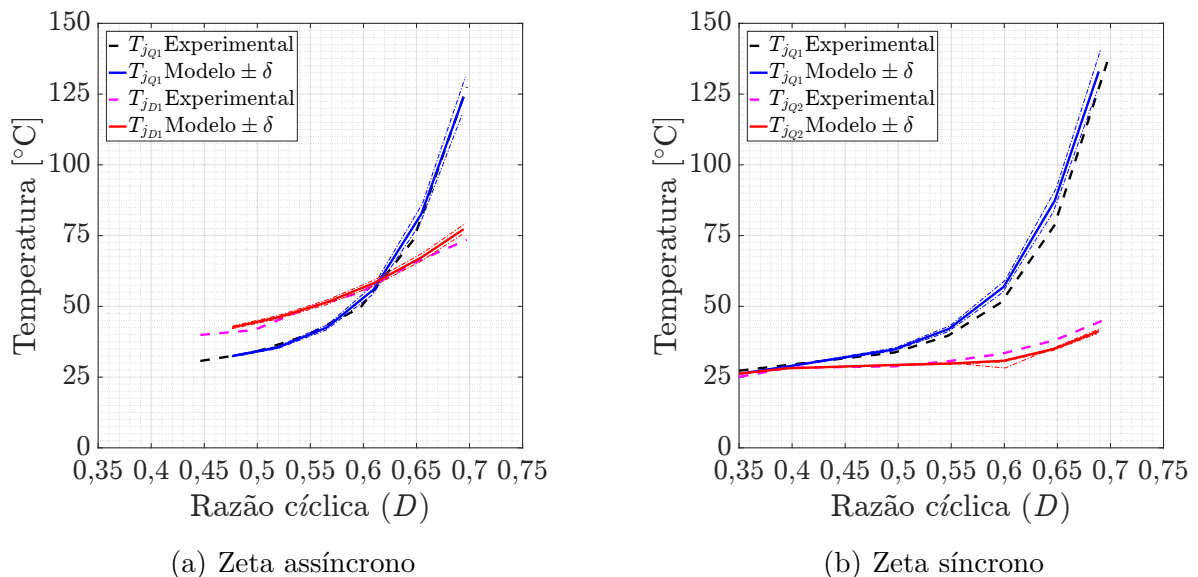
Neste capítulo serão realizadas comparações entre: 1) a temperatura de junção dos semicondutores, 2) os resultados obtidos de ganho de tensão estático, 3) de eficiência e 4) da potência dissipada segregada em todos os componentes dos conversores Zeta projetados: assíncrono e síncrono, frente aos requisitos mínimos de projeto.

10.1 Temperatura de junção dos semicondutores dos conversores Zeta assíncrono e síncrono

Ao comparar os resultados de temperatura de junção dos semicondutores $D1$, $Q1$ e $Q2$ dos conversores Zeta projetados, é constatado que a temperatura sobre $Q1$ é o fator limitante do envelope em uma razão-cíclica de operação máxima para ambas configurações assíncrona e síncrona.

No entanto, T_{jQ2} é inferior à T_{jD1} em toda a extensão de comutação do conversor, em que a máxima temperatura atingida por $D1$ é igual a $73,5^{\circ}\text{C}$, e sobre $Q2$ igual a $45,7^{\circ}\text{C}$, conforme a Figura 88. Também é verificado que T_{jQ1} é superior à T_{jQ2} em todo o envelope para o circuito Zeta síncrono, enquanto que $T_{jQ1} > T_{jD1}|_{D>0,59}$ e $T_{jQ1} > T_{jD1}|_{D<0,59}$ na configuração assíncrona.

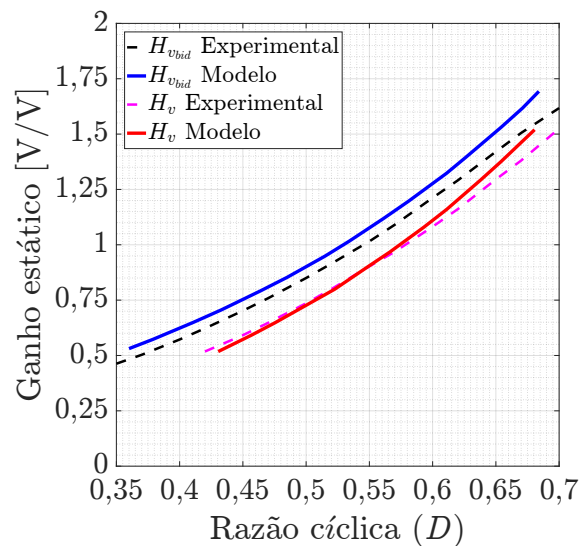
Figura 88: Comparação da temperatura de junção dos semicondutores $D1$, $Q1$ e $Q2$ das topologias Zeta assíncrono e síncrono



10.2 Ganho de tensão estático entre os conversores Zeta assíncrono e síncrono

Ao comparar o conversor Zeta síncrono com a topologia assíncrona, é verificado que ambos possuem um ganho de tensão estático similar por toda a faixa de operação. O ganho estático é limitado a $1,7V/V$ para a topologia Zeta considerando as condições de aplicação propostas, conforme a Figura 89.

Figura 89: Comparação do ganho estático entre as topologias Zeta assíncrono e síncrono, $H_{v_{max}} = 1,52$ e $H_{v_{bidmax}} = 1,69$, respectivamente



Por fim, ambas configurações da topologia *buck-boost* Zeta atendem aos requisitos de projeto descritos no Capítulo 5 em relação ao ganho estático de tensão cujos detalhes, em cada configuração da topologia Zeta, são explorados nos capítulos 6 e 8.

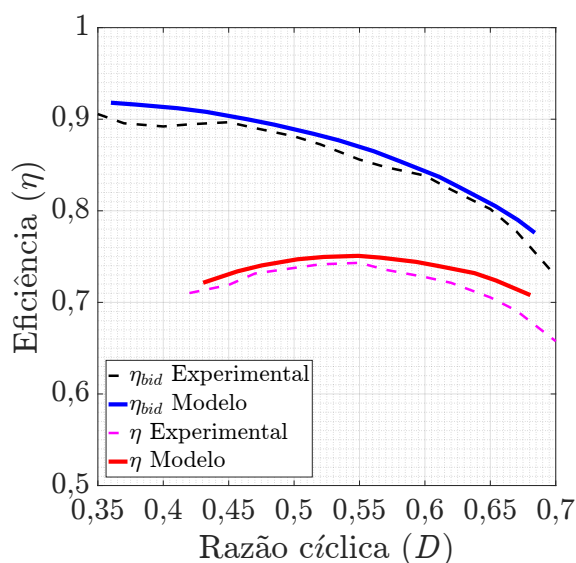
10.3 Eficiência entre os conversores Zeta assíncrono e síncrono

Conforme investigado nas subseções 7.6 e 8.6, o conversor Zeta síncrono possui, de forma geral, menores níveis de potência dissipada e, conseqüentemente, apresenta uma maior eficiência em relação à configuração assíncrona cuja comparação é ilustrada na Figura 91, ou seja, a comparação do comportamento da eficiência em ambas as topologias é verificada na Figura 90.

Considerando o intervalo de razão-cíclica entre 0,35 e 0,70, o circuito Zeta assíncrono possui uma eficiência máxima igual a 75% e não atende os requisitos mínimos propostos no Capítulo 5, enquanto que a configuração síncrona atende as especificações mínimas propostas, cuja máxima eficiência é igual a 92%.

Portanto, conforme (SHUE, 2010), uma vez que os circuitos de alta eficiência operam em níveis entre 80 à 97%, a configuração do conversor síncrono atende a esse

Figura 90: Comparação de eficiência entre as topologias Zeta assíncrono e síncrono, $\eta_{max} = 0,751$ e $\eta_{bid_{max}} = 0,918$, respectivamente

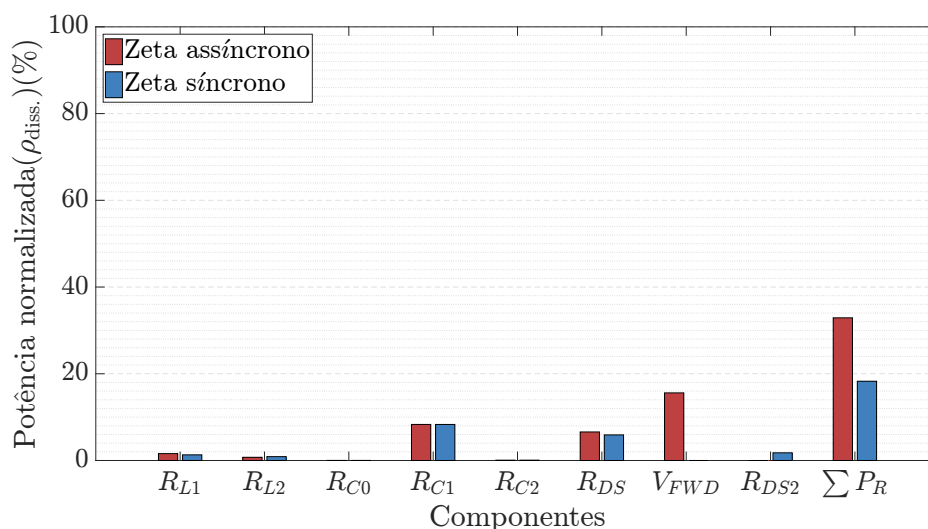


requisito sendo classificada como um conversor de alta eficiência.

10.4 Perdas segregadas entre conversores: Zeta assíncrono e síncrono

Ao comparar a potência dissipada em todos os componentes de forma segregada em ambas as configurações: assíncrona e síncrona, é possível visualizar o impacto da alteração de $D1$ por $Q2$, conforme ilustrado pela Figura 91.

Figura 91: Comparação de potência normalizada entre os conversores Zeta assíncrono e síncrono no ponto de operação nominal "P3", $V_G = 3,3V$, $V_{Carga} = 3,3V$, $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$



Logo, a Tabela 48 sumariza as perdas detalhadamente, de forma que a dissipação

normalizada em $D1$ é atenuada significativamente e portanto, as perdas totais foram reduzidas de 32,904% para 18,278% ao utilizar o semicondutor $Q2$. Assim, o requisito mínimo de desempenho, cuja eficiência necessita ser superior à 80% ao operar em "**P3**", é satisfeito.

Tabela 48: Comparação de potência dissipada entre os conversores Zeta assíncrono e síncrono no ponto de operação nominal "**P3**", $V_G = 3,3V$, $V_{Carga} = 3,3V$
 $R_{Carga} = 2,178\Omega$, $P_{Carga} = 5W$

Compon.	Perda associada	Assíncrono		Síncrono	
		Pot. diss. (P_R)[W]	Pot. norm. ($\rho_{diss.}$)(%)	Pot. diss. ($P_{R_{bid}}$)[W]	Pot. norm. ($\rho_{diss. bid}$)(%)
$L1$	R_{L1}	0,119	1,591	0,080	1,306
$L2$	R_{L2}	0,055	0,737	0,055	0,894
$C0$	R_{C0}	0,001	0,015	0,001	0,014
$C1$	R_{C1}	0,620	8,315	0,508	8,311
$C2$	R_{C2}	0,005	0,070	0,004	0,072
$Q1$	R_{DS}	0,490	6,582	0,361	5,905
$D1, Q2$	V_{FWD}, R_{DS2}	1,162	15,594	0,108	1,776
<i>Zeta</i>	$\sum P_R^*$	2,452	32,904	1,117	18,278

Considerações finais sobre a comparação entre os conversores Zeta assíncrono e síncrono

Uma vez que o rendimento de ambos conversores é superior na região *buck*, a próxima etapa consiste em avaliar a região de operação e de máxima eficiência dos conversores projetados.

11 REGIÃO DE OPERAÇÃO DO CONVERSOR ZETA

Em projetos de conversores CC-CC, dentre os diversos critérios de desempenho e características desses circuitos, o ganho estático e a eficiência são parâmetros importantes durante a determinação da topologia do conversor.

O ganho é comumente referido como a principal variável de projeto, em que a resposta de ganho estático máximo rege o projeto do conversor. No entanto, também é possível conduzi-lo visando a operação do circuito em seu ponto, ou região, de máxima eficiência, com maior prioridade em relação ao ganho estático nas condições de comutação desta região.

Assim, de acordo com uma visão sistêmica do circuito de potência que é composto por uma fonte, um conversor chaveado de potência e uma carga, adotam-se estratégias de projeto voltadas à operação na região de máxima eficiência em uma condição específica de trabalho do conversor, que ao operar nessa condição é denominado POL (do inglês, "*Point-of-load*") (BROWN, 2002).

Portanto, ao analisar a operação do circuito é necessário explorar a assinatura do conversor e conhecer a região de operação em diversas condições de trabalho de forma que a região de operação e de máxima eficiência do circuito sejam coincidentes (operação em POL).

11.1 Análise de assinatura do conversor Zeta assíncrono POL

Nesta seção é apresentado um mapeamento da assinatura do conversor Zeta assíncrono POL projetado referente ao comportamento da eficiência em função do ganho de tensão estático do conversor Zeta projetado considerando diversas condições de operação: R_{Carga} , V_G e D .

A Figura 92 ilustra as respostas de eficiência em função do ganho estático do conversor Zeta assíncrono na região do envelope projetado, descrita na Subseção 8.3, em que o ganho estático referente à operação em POL varia conforme a carga aplicada ao conversor.

Ao delimitar a região de máxima eficiência do circuito POL, é possível confrontar esta condição de operação com a região POL (denominada neste trabalho como a região em que o conversor possui η_{max}), a fim de classificar o conversor em relação às características de trabalho do sistema chaveado, de acordo com a Figura 93.

Portanto, com base nas figuras 92 e 93, o conversor Zeta assíncrono possui uma eficiência geral que não classifica o circuito como um conversor de alta eficiência. Porém,

ao avaliar as regiões de operação em condição POL e com η_{max} , é verificado que existe uma sobreposição no intervalo de $V_G = 3,45 \sim 4,2V$, cuja tensão de saída é fixa em $3,3V$. Logo, neste intervalo o circuito opera como *buck* e é classificado como POL, uma vez que o circuito opera em máxima eficiência na função de abaixador de tensão em uma condição do ponto de carga específica.

Figura 92: Mapeamento da assinatura do conversor Zeta assíncrono, para diferentes cargas (R_{Carga}) em tensões de entrada específicas

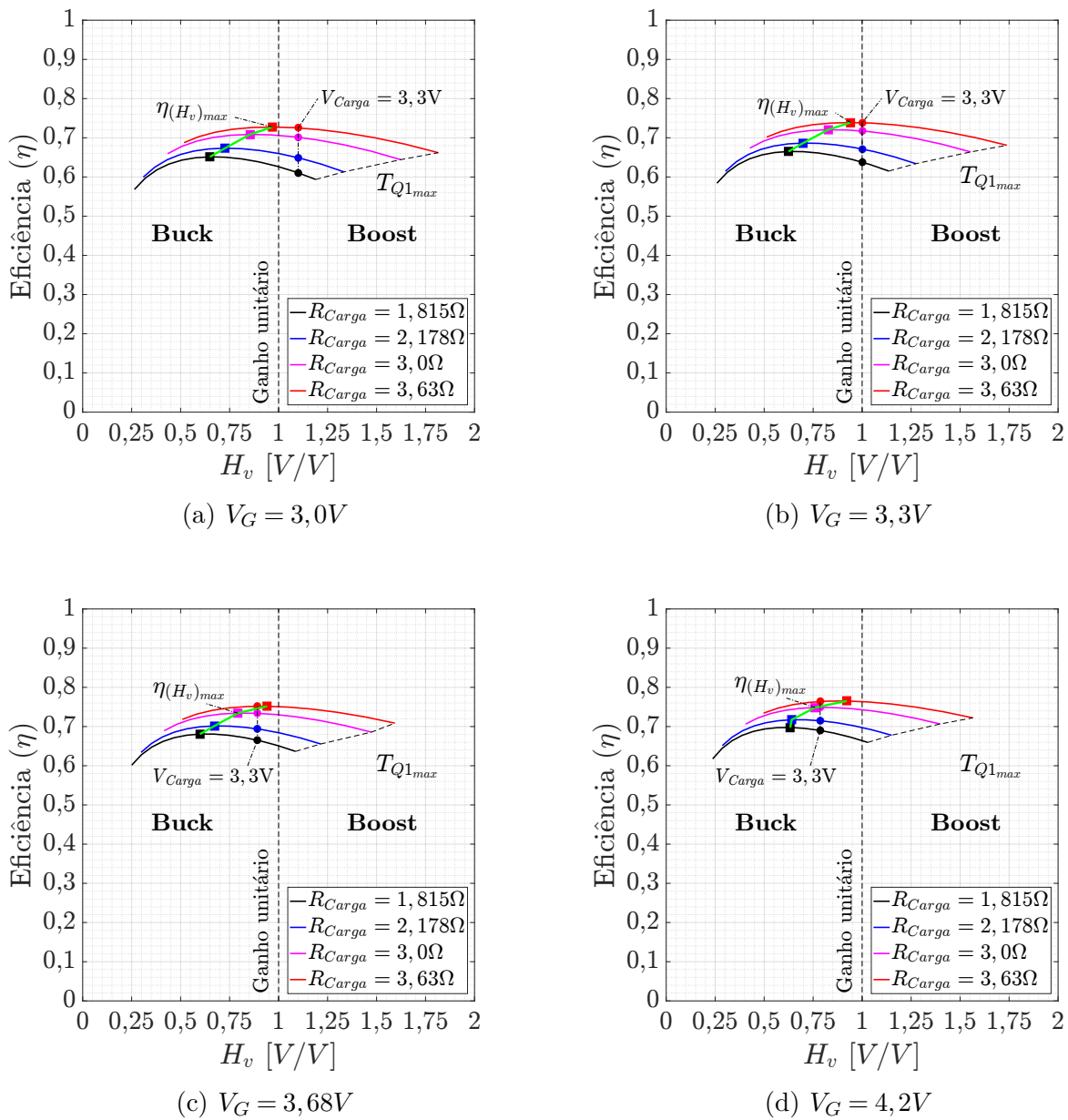
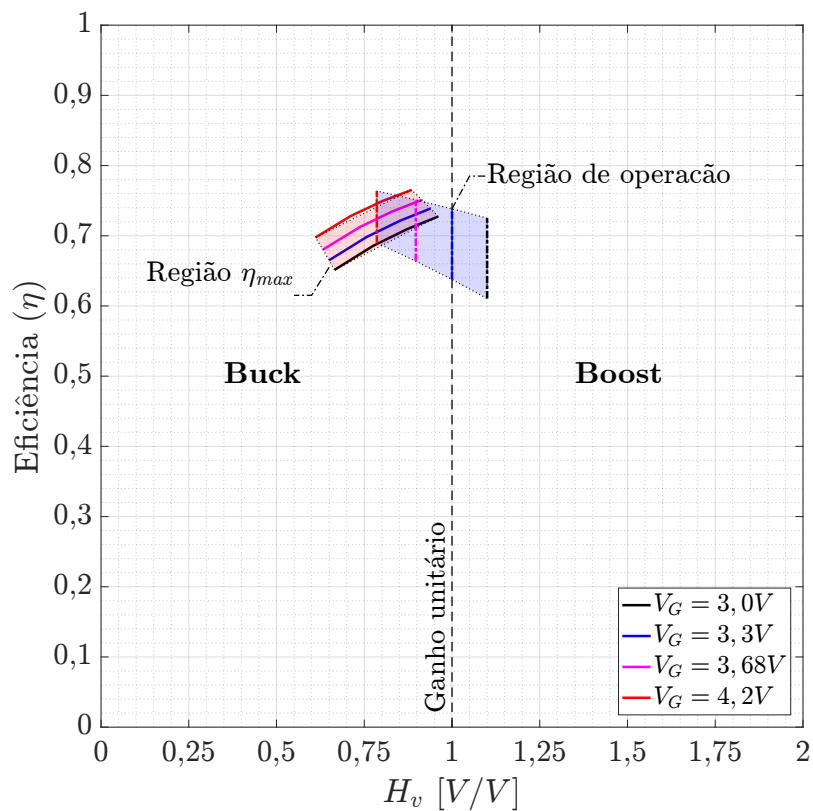


Figura 93: Região de operação e região (η_{max}) do conversor Zeta assíncrono POL projetado, $V_{Carga} = 3,3V$

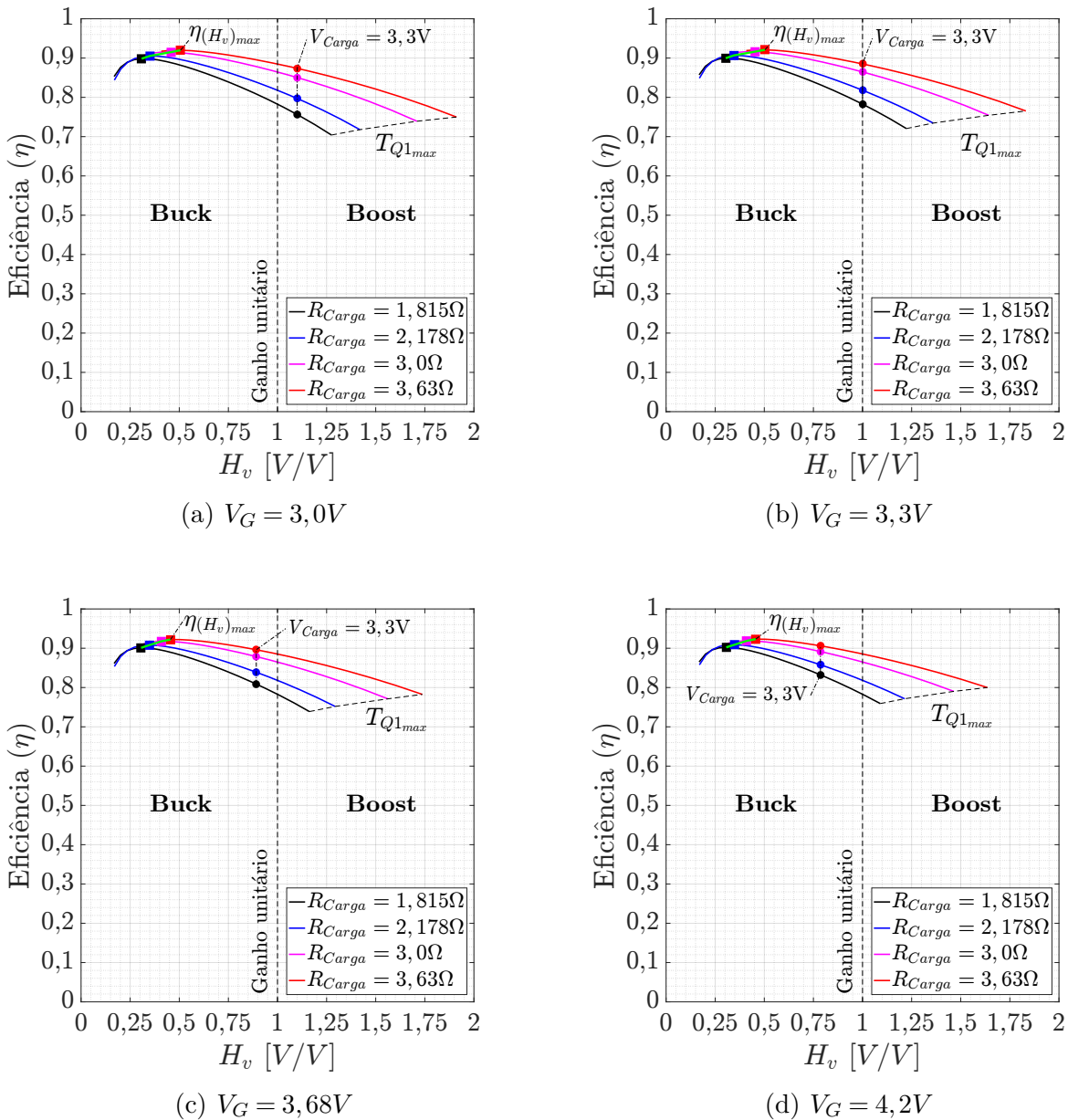


11.2 Análise de assinatura do conversor Zeta síncrono POL

Análogo à Seção 11.1, a Figura 94 representa o mapa das assinaturas de eficiência do conversor Zeta síncrono em função do ganho de tensão estático do conversor em diversas condições de operação: R_{Carga} , V_G e D .

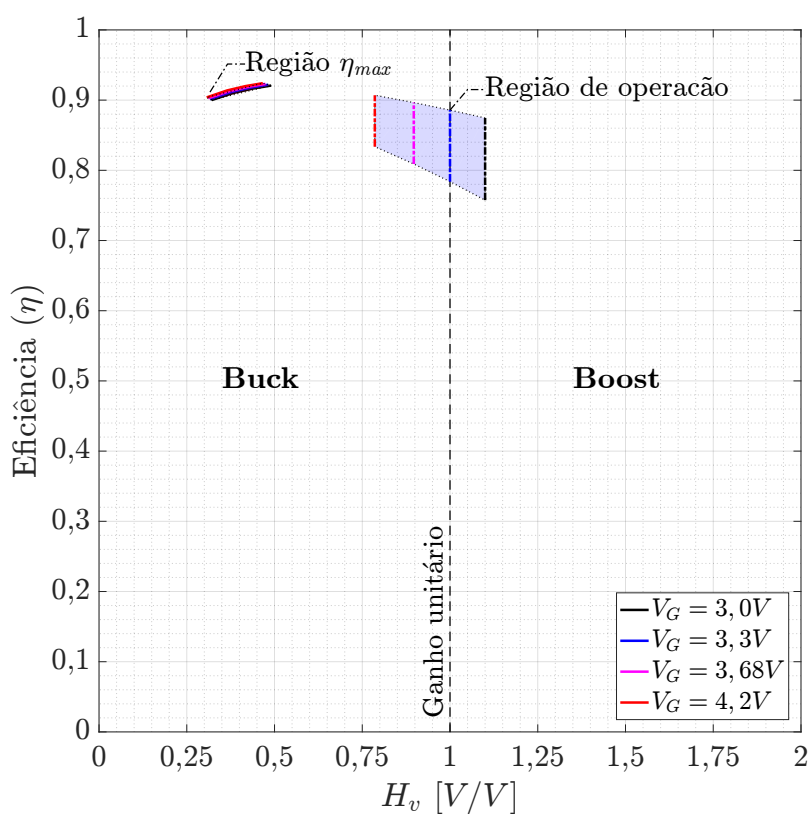
Ao definir o envelope da região de máxima eficiência do circuito POL, é possível comparar ambas regiões: de operação e de η_{max} , a fim de classificar o conversor, de acordo com a Figura 95.

Figura 94: Mapeamento da assinatura do conversor Zeta síncrono, para diferentes cargas (R_{Carga}) em tensões de entrada específicas



Portanto, com base nas figuras 94 e 95, o conversor Zeta síncrono possui uma eficiência geral que o classifica como um conversor de alta eficiência (SHUE, 2010) e atende aos requisitos mínimos de projeto. Porém, ao avaliar as regiões de operação POL e de η_{max} , é verificado que não existe uma sobreposição entre ambas as regiões em todo o intervalo de $V_G = 3 \sim 4,2V$ e $V_{Carga} = 3,3V$, referente ao envelope da aplicação proposta. Assim, nas condições de aplicação propostas o conversor de topologia Zeta síncrono possui a máxima eficiência ao operar predominantemente como *buck*, uma vez que a região de operação POL não é coincidente à região η_{max} do circuito.

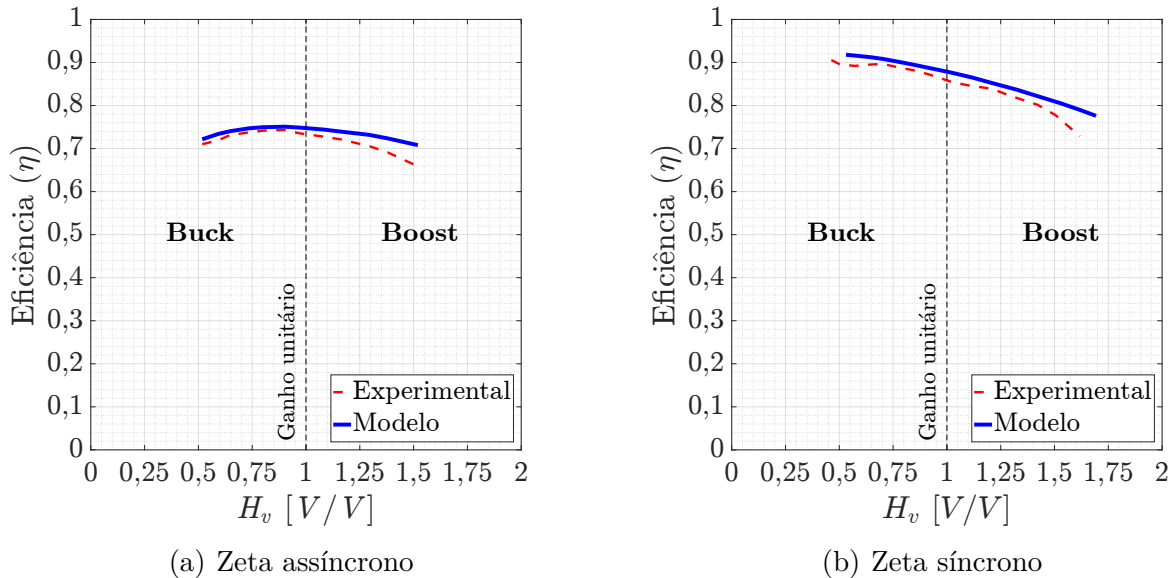
Figura 95: Região de operação e região (η_{max}) do conversor Zeta síncrono POL projetado, $V_{Carga} = 3,3V$



11.3 Resultados experimentais da assinatura de operação

De acordo com os resultados experimentais apresentados nos capítulos 7 e 9, é possível analisar as regiões de operação de ambas configurações projetadas, conforme os pontos experimentais e modelagem descritos pelas tabelas 24, 25, 42 e 43.

Figura 96: Comparação entre assinaturas dos conversores Zeta assíncrono e síncrono



Considerando o intervalo de razão-cíclica entre 0,35 e 0,70, ambas configurações possuem uma eficiência máxima na região *buck*, e portanto a modelagem representa o experimento de forma satisfatória em relação à análise da região de operação em POL para as duas configurações de conversores CC-CC de topologia Zeta projetadas.

Considerações finais sobre a região de operação do conversor Zeta

Ao mapear a região de máxima eficiência de operação de ambas as configurações dos conversores Zeta, é verificado que ambas possuem a região η_{max} ao operar em *buck*. No entanto, uma vez que essa topologia possui a característica *buck-boost*, ao projetar um sistema de potência, é essencial analisar a região de operação do circuito para obter a máxima eficiência do conversor, pois, seria possível que houvesse uma condição específica em que a região η_{max} estivesse em *boost*. Essa interpretação motivaria o rearranjo referente à disposição da fonte e, conseqüentemente, do ponto de operação.

Particularmente, nas condições apresentadas neste trabalho, o conversor síncrono projetado é mais eficiente. Logo, seria viável utilizar este circuito como um abaixador de baixa ondulação de tensão de saída, com bidirecionalidade do fluxo de energia. Assim, é possível utilizar o circuito em aplicações móveis de eletrônica de precisão, ou como fonte

de alimentação de alta potência de processadores de baixa tensão. Para o circuito Zeta assíncrono, também seria melhor operar na região *buck*, porém com ganho estático próximo à unidade.

Por fim, conclui-se que a análise do envelope η_{max} é indispensável para o projeto de uma aplicação POL de alta eficiência, sendo necessário analisar a região de contorno frente: 1) à faixa de tensão de entrada, 2) o nível de tensão desejado na saída, 3) o intervalo de carga e potência de saída e 4) a eficiência mínima admissível.

12 CONCLUSÕES

Existem diversas aplicações móveis que utilizam baterias como fontes primárias. É possível mencionar que o crescimento exponencial do uso de VANTS, RPAS, *drones*, dentre outras aplicações aeroespaciais têm impulsionado o desenvolvimento de circuitos eletrônicos cada vez mais eficientes. Logo, a análise da região de operação em função da eficiência das SMPS é imprescindível, pois está diretamente relacionada a autonomia destas aplicações, sendo um dos principais fatores que viabilizam o uso dessa tecnologia.

Nas aplicações móveis mencionadas, de forma genérica, as SMPS são compostas por conversores de alta eficiência e de baixa ondulação de saída. Portanto, esses foram os principais critérios para determinação dos parâmetros de operação e desempenho descritos no Capítulo 5, cujo conversor CC-CC proposto é de topologia Zeta.

Desta maneira, para avaliar a eficiência dos circuitos, o conversor foi modelado considerando as perdas ôhmicas em todos os componentes: $L1$, $L2$, $C0$, $C1$, $C2$, $Q1$, $D1$ e $Q2$, de forma que a análise foi realizada sobre um envelope referente à uma região de operação, em relação à faixa de tensão de trabalho de uma célula *Li-Íon*.

Após realizar a modelagem em espaço de estados, o conversor Zeta foi projetado e os componentes comerciais selecionados de acordo com o nível de ondulação proposto às variáveis de estado. A partir de uma motivação de uma aplicação prática, cujos parâmetros de operação e requerimentos foram baseados na literatura disponível, o desempenho do conversor foi analisado.

Assim, foi investigado: 1) o transiente de corrente e tensão, assim como a 2) ondulação de corrente e tensão em regime permanente sobre os componentes armazenadores de energia, 3) o comportamento de temperatura sobre os semicondutores, 4) o modo de condução do conversor, 5) os limites do envelope de operação, 6) o comportamento de ganho de tensão estático, 7) a eficiência do circuito, 8) a dissipação de perdas segregadas em todos os componentes do circuito, 9) a região de máxima eficiência dos dispositivos e 10) a assinatura dos conversores propostos de topologia *buck-boost* Zeta POL.

A modelagem completa e a análise da região POL em um envelope de operação permitiram que o impacto das perdas ôhmicas à operação do conversor fosse realizado de forma segregada. Logo, possuem grande valor para a indústria, pois validam e indicam a viabilidade de uso de uma determinada tecnologia e as possíveis aplicações, assertivamente.

Todos os requisitos de desempenho foram satisfeitos, exceto a eficiência do conversor ($\eta < 80\%$). No entanto, o conversor Zeta assíncrono projetado apresentou uma baixa ondulação de saída com armazenadores de energia relativamente pequenos e em baixa frequência de comutação (40kHz), sendo uma das vantagens da utilização desta topologia.

O ganho requerido pela aplicação proposta foi atingido, porém para atingir ganhos superiores a $2V/V$, o circuito demandou um fator de trabalho elevado e a temperatura de junção sobre os semicondutores foram fatores limitantes do projeto. Assim, uma vez que as respostas dinâmicas dos estados de transiente e regime permanente resultaram em conformidade com as respectivas simulações, foi possível validar a simulação via LTSpice antes de proceder com a etapa experimental.

Também é possível mencionar que as delimitações do modelo linearizado foram levantadas em relação à: 1) potência máxima de saída, 2) razão-cíclica e 3) modo de condução crítico. Dessa forma, os envelopes de operação foram caracterizados de forma que a análise do modelo e comparação com os resultados obtidos do procedimento experimental fossem válidos.

Após a realização de toda investigação referente ao ganho estático, eficiência do conversor e envelopes de operação, uma estação de desenvolvimento foi construída para realização dos experimentos. A modelagem descreveu os resultados obtidos de forma satisfatória frente às entradas de projeto, em que o desvio entre os dados experimentais e a modelagem foi inferior às tolerâncias admissíveis.

Assim, a partir da análise das perdas de forma individual (em regime permanente), foi determinada a estratégia de forma a garantir o pré-requisito mínimo de eficiência referente ao envelope de operação do conversor. Ao verificar que a maior parcela de potência não-útil havia sido dissipada pelo diodo *Schottky* ($D1$), foi proposto um conversor síncrono ao substituir $D1$ por um dispositivo semiconductor MOSFET-N ($Q2$) de baixa resistência de condução (R_{DS2}), contornando o problema e promovendo um desempenho superior ao conversor.

Então, ao analisar a configuração do conversor Zeta síncrono, foi constatado que todos os critérios de desempenho foram satisfeitos, sendo que a resposta de ganho estático resultou em um comportamento similar à configuração assíncrona. No entanto, a eficiência máxima do circuito foi elevada de 76,4% para 92,4%, caracterizando-o como um conversor de alta eficiência segundo SHUE (2010).

Por fim, as regiões de operação POL e η_{max} que definem a assinatura de operação de um conversor CC-CC, foram analisadas para ambas configurações do conversor Zeta. Assim, foi verificado que os conversores projetados possuem a região η_{max} na zona de operação *buck*, porém em intervalos diferentes de comutação. Adicionalmente, conclui-se que o conversor assíncrono POL projetado possui uma parcela da região de operação coincidente à região η_{max} e se classifica como um conversor de alta eficiência na região de operação POL. Enquanto que, na configuração síncrona, a região η_{max} não é coincidente à região de operação POL nas condições de aplicação propostas.

Assim, mesmo classificando-se como um conversor de alta eficiência, o circuito

síncrono proposto não opera na sua região de máxima eficiência. Desta forma, a técnica que visa investigar a região de operação POL permite a maximização da eficiência de um sistema SMPS ao posicionar a região de operação POL sobreposta à região η_{max} .

Logo, este estudo contribuiu com uma análise detalhada referente ao procedimento de modelagem, projeto, análise e aplicação de conversores CC-CC, de forma a obter níveis de rendimento significativos em aplicações que demandam alta eficiência.

Trabalhos futuros

Nesta dissertação, o conversor CC-CC de topologia Zeta foi explorado de forma detalhada a nível das características inerentes ao circuito eletrônico. No entanto, como próximo passo a este trabalho, seria aplicar técnicas de controle e implementar um controlador, viabilizando a aplicação do conversor.

No entanto, existem outras diversas linhas de estudo como por exemplo: a) investigação de topologias de conversores CC-CC com níveis elevados de ganho de tensão, corrente e alta eficiência que viabilizem uma gama maior de aplicações, b) arquiteturas SMPS híbridas e isoladas, c) avaliação dos impactos de operação em modo de condução descontínua, d) projeto de conversores CC-CC com comutação em alta frequência, e) investigação de técnicas como "*zero-voltage-switching*", f) projeto e análise de conversores com semicondutores GaN-FET e integração magnética operando em alta frequência de comutação, dentre outros.

REFERÊNCIAS

- ABREU, G. N. d. **Estudo e aplicação do conversor ZETA-GEPAE isolado com múltiplas saídas e modulação PWM para fontes chaveadas**. 1992. Dissertação (Mestrado) — Universidade de Santa Catarina, Florianópolis SC, 1992.
- AL-BAYATI, A. M. S.; MATIN, M. A Highly Efficient GaN E-HEMT/SiC Schottky Diode Power Device Based DC-DC ZETA Converter. In: **2018 IEEE Conference on Technologies for Sustainability (SusTech)**. [S.l.]: IEEE, 2018. p. 1-5. ISBN 978-1-5386-7791-9.
- ALLAN, R. **Alliance to standardize high-performance DC-DC converters**. 2004. 1 p. (Criado em 11/04/2004. Acessado em 20/06/2020). Disponível em: <<https://www.electronicdesign.com/power-management/article/21774199/alliance-to-standardize-highperformance-dcdc-converters>>.
- ANTONIONO, C. Operation and Performance of Mercury Arc - Rectifier on the Chicago, North Shore and Milwaukee Railroad Company. **A.I.E.E**, p. 3-7, 1927.
- AXELROD, B.; BERKOVICH, Y.; IOINOVICI, A. Switched-Capacitor/Switched-Inductor Structures for Getting Transformerless Hybrid DC-DC PWM Converters. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 55, n. 2, p. 687-696, mar 2008. ISSN 1549-8328.
- BANAEI, M. R.; BONAB, H. A. F. A High Efficiency Nonisolated Buck-Boost Converter Based on ZETA Converter. **IEEE Transactions on Industrial Electronics**, IEEE, v. 67, n. 3, p. 1991-1998, mar 2020. ISSN 0278-0046.
- BASTOS, R. F. **Sistema de Gerenciamento para Carga e Descarga de Baterias (Chumbo- Ácido) e para Busca do Ponto de Máxima Potência Gerada em Painéis Fotovoltaicos Empregados em Sistemas de Geração Distribuída**. 2013. 91 p. Tese (Dissertação de Mestrado) — Universidade de São Paulo, 2013.
- BETTEN, J. **Synchronous Zeta Converter Outperforms The SEPIC**. Dallas, Texas: [s.n.], 2014. 1-7 p. Disponível em: <http://www.how2power.com/pdf_view.php?url=/newsletters/1405/articles/H2PToday1405_design_TexasInstruments.pdf>.
- BROWN, A. **Power Stamp ; Main Stamp Unit Specification**. [S.l.], 2017. 1-19 p. Disponível em: <<http://www.powerstamp.org/wp-content/uploads/downloads/2018/08/Generic-level-PSA-Main-Stamp-rev-1.15-17th-July-2018-1-1.pdf>>.
- _____. **Power Stamp Satellite Stamp Unit Specification**. [S.l.], 2018. 1-12 p. Disponível em: <<http://www.powerstamp.org/wp-content/uploads/downloads/2018/08/Generic-level-PSA-Satellite-module-rev-1.14-17th-July-2018.pdf>>.
- BROWN, A.; VAI, R.; MAURI, G. **Power Stamp ; Controller Stamp Unit Specification**. [S.l.], 2019. 1-17 p. Disponível em: <<http://www.powerstamp.org/wp-content/uploads/downloads/2019/10/PSA-Controller-stamp-rev-1-2-19th-Sept-2019.pdf>>.

BROWN, J. Point of load converters - the topologies, converters, and switching devices required for efficient conversion. In: **PCIM Europe Conference**. [S.l.: s.n.], 2002.

CANTRELL, B.; HAEGERDAL, M. Seven reasons why power designers should implement 48V-to-1V direct conversion. In: **PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management and Energy Management**. Nuremberg, Germany: VDE VERLAG GMBH, 2017. p. 1151—1152.

CHERNAYA, M. M. et al. Spacecraft Power System. In: **17th INTERNATIONAL CONFERENCE ON MICRO/NANOTECHNOLOGIES AND ELECTRON DEVICES EDM 2016**. [S.l.: s.n.], 2016. p. 589–593. ISBN 9781509007868.

CUK, S. **Modeling, analysis, and design of switching converters**. 1977. 317 p. Tese (Dissertation (Ph.D.)) — California Institute of Technology, 1977. Disponível em: <<https://resolver.caltech.edu/CaltechETD:etd-03262008-110336>>.

CUK, S. General topological properties of switching structures. In: **1979 IEEE Power Electronics Specialists Conference**. San Diego, CA, USA: IEEE, 1979. p. 109–130. ISSN 0275-9306.

CUK, S.; MIDDLEBROOK, R. D. **DC-to-DC Switching converter, Patent US4184197A**. 1980.

DECEA. **Qual a diferença entre drone, VANT e RPAS?** 2019. (Criado em 03/04/2019. Acessado em 19/06/2020). Disponível em: <<https://ajuda.decea.gov.br/base-de-conhecimento/qual-a-diferenca-entre-drone-vant-e-rpas/>>.

_____. **ICA 100-40: Aeronaves não tripuladas e o acesso ao espaço aéreo brasileiro**:. 2020. 56 p.

EISENBEISS, H. A mini unmanned aerial vehicle (UAV): system overview and image acquisition. **International Archives of Photogrammetry. Remote Sensing and Spatial Information Sciences**, v. 36, n. 5/W1, 2004.

FALIN, J. Designing DC/DC converters based on ZETA topology. **Analog Applications Journal Texas Instruments Incorporated**, v. 2Q, p. 16–21, 2010.

FLEX POWER MODULES. **PMU 8000 Series PoL Regulators**. [S.l.], 2020. 1/28701 - BMR668 Rev. C.

FUZATO, G. H. F. et al. Voltage gain analysis of the interleaved boost with voltage multiplier converter used as electronic interface for fuel cells systems. **IET Power Electronics**, v. 9, n. 9, p. 1842–1851, 2016. ISSN 17554535 (ISSN).

GUARNIERI, M. Solidifying Power Electronics. **IEEE Industrial Electronics Magazine**, v. 12, n. 1, p. 36–40, 2018. ISSN 19324529.

HARDIN, P. J. et al. Detecting Squarrose Knapweed (*Centaurea virgata* Lam. Ssp. *squarrosa* Gugl.) Using a Remotely Piloted Vehicle: A Utah Case Study. **GIScience & Remote Sensing**, v. 44, n. 3, p. 203–219, sep 2007. ISSN 1548-1603. Disponível em: <<https://www.tandfonline.com/doi/full/10.2747/1548-1603.44.3.203>>.

HEWITT, P. C. **Electric Gas of Vapor Lamp and Electrode Therefor.**, Patent **US682694**. 1901.

_____. **Electric Lamp**, Patent **US682690**. 1901.

_____. **Vapor Lamp**, Patent **US687882**. 1901.

_____. **Apparatus for Transmitting and utilizing Electric Currents**, Patent **US955459**. 1910.

_____. **Method of transmitting and utilizing electric currents**, Patent **US955460**. 1910.

INO, K. et al. SiC Power Device Evolution Opening a New Era in Power Electronics. In: **2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)**. IEEE, 2019. p. 1–3. ISBN 978-1-7281-0286-3. Disponível em: <<https://ieeexplore.ieee.org/document/8754464/>>.

JASON, Z. **POL system architecture with analog bus**, Patent **US7584371B2**. 2009.

JI, S. et al. High-Frequency High Power Density 3-D Integrated Gallium-Nitride-Based Point of Load Module Design. **IEEE Transactions on Power Electronics**, IEEE, v. 28, n. 9, p. 4216–4226, 2013.

JOY, E. A Brief History of Power Electronics and Drives. **International Journal of Engineering Research & Technology (IJERT)**, v. 3, n. 4, p. 2571–2576, 2014.

JOZWIK, J.; KAZIMIERCZUK, M. Dual sepic PWM switching-mode DC/DC power converter. **IEEE Transactions on Industrial Electronics**, v. 36, n. 1, p. 64–70, 1989. ISSN 02780046.

KAPUR, K.; PECHT, M. **Reliability Engineering**. [S.l.]: Wiley, 2014. (Wiley Series in Systems Engineering and Management). ISBN 9781118841792.

KAZIMIERCZUK, M.; JOZWIK, J. Optimal topologies of resonant DC/DC converters. **IEEE Transactions on Aerospace and Electronic Systems**, v. 25, n. 3, p. 363–372, may 1989. ISSN 00189251.

LAKKAS, G. Mosfet power losses and how they affect power-supply efficiency. **Analog Applications Journal - Enterprise Systems, Texas Instruments, Inc.**, AAJ 1Q, p. 22–26, 2016.

LEE, F. C.; LI, Q. Overview of three-dimension integration for Point-of-Load converters. **Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC**, IEEE, p. 679–685, 2013.

LI, X.; JIANG, S. **Google 48V Power Architecture**. 2017. (Criado em 27/03/2017. Acessado em 21/06/2020). Disponível em: <<http://apec.dev.itwebs.com/Portals/0/APEC2017Files/Plenary/APECPlenaryGoogle.pdf?ver=2017-04-24-091315-930{&}timestamp=1495563027>>.

LIDOW, A. Is it the end of the road for silicon in power conversion? In: **2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting**. [S.l.]: IEEE, 2011. p. 119–124. ISBN 978-1-61284-166-3. ISSN 10889299.

- LINDBLOM, J. et al. Promoting sustainable intensification in precision agriculture: review of decision support systems development and strategies. **Precision Agriculture**, v. 18, n. 3, p. 309–331, jun 2017. ISSN 1385-2256.
- LIU, T. et al. A novel asymmetrical three-level BUCK (ATL BUCK) converter for point-of-load (POL) application. In: **2015 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.]: IEEE, 2015. p. 5096–5101. ISBN 978-1-4673-7151-3.
- MARTINS, D. Zeta converter operating in continuous conduction mode using the unity power factor technique. In: **6th International Conference on Power Electronics and Variable Speed Drives**. [S.l.]: IEE, 1996. v. 1996, n. 429, p. 7–11. ISBN 0 85296 665 2.
- MARTINS, D.; ABREU, G. de. Application of the ZETA converter in switch-mode power supplies. In: **Proceedings Eighth Annual Applied Power Electronics Conference and Exposition**,. [S.l.]: IEEE, 1993. p. 214–220. ISBN 0-7803-0983-9.
- MARTINS, D. C.; ABREU, G. N. D.; BARBI, I. Aplicação do conversor Zeta em fontes chaveadas. **SBA Controle & Automação**, v. 6, n. 1, p. 103–110, 1995.
- MATHÚNA, C. O. et al. Review of Integrated Magnetics for Power Supply on Chip (PwrSoC). **IEEE Transactions on Power Electronics**, IEEE, v. 27, n. 11, p. 4799–4816, nov 2012. ISSN 0885-8993.
- Maxim Integrated. **New 48V Rack Power Architecture For Hyperscale Data Centers Why a New Rack Power Architecture is Needed**. 2016. Disponível em: <<https://www.maximintegrated.com/content/dam/files/products/power/switching-regulators/48v-rack-power-architecture-for-hyperscale-data-centers.pdf>>.
- MCCAULEY, S.; JIANG, S. **Google 48V Update : Flatbed and STC**. San Jose, California: [s.n.], 2018. (Criado em 21/03/2018. Acessado em 21/06/2020). Disponível em: <<https://www.opencompute.org/files/External-2018-OCP-Summit-Google-48V-Update-Flatbed-and-STC-20180321.pdf>>.
- MIDDLEBROOK, R. D.; CUK, S. A general unified approach to modelling switching-converter power stages. In: **1976 IEEE Power Electronics Specialists Conference**. Pasadena, California: IEEE, 1976. v. 21, n. 1, p. 18–34. ISBN 1176014306014.
- NAAYAGI, R. T.; FORSYTH, A. J.; SHUTTLEWORTH, R. High-Power Bidirectional DC–DC Converter for Aerospace Applications. **IEEE Transactions on Power Electronics**, IEEE, v. 27, n. 11, p. 4366–4379, nov 2012. ISSN 0885-8993.
- NICULESCU, E. et al. A Simplified Steady-State Analysis of the PWM Zeta Converter Steady-State Analysis of the PWM Zeta Converter. In: **13th WSEAS International Conference on CIRCUITS**. [S.l.: s.n.], 2009. p. 108–113. ISBN 978-960-474-096-3. ISSN 1790-5117.
- NOWAKOWSKI, R.; KING, B. Challenges of designing high-frequency, high-input-voltage DC/DC converters. **Analog Applications Journal**, v. 2, p. 28–31, 2011.
- PURI, V.; NAYYAR, A.; RAJA, L. Agriculture drones: A modern breakthrough in precision agriculture. **Journal of Statistics and Management Systems**, v. 20, n. 4, p. 507–518, jul 2017. ISSN 0972-0510.

RAIVADERA, S. **Power Industry Leaders Create Alliance for 48V Direct Conversion Applications**. San Jose, California: [s.n.], 2018. 1–2 p. (Criado em 20/03/2018. Acessado em 21/06/2020). Disponível em: <<http://www.powerstamp.org/psa-news/power-industry-leaders-create-alliance-for-48v-direct-conversion-applications-especially-in-data-center>>.

REDDY, T. S. et al. Design and development of hybridized point of load converters for FPGA applications. **2016 International Conference on Circuits, Controls, Communications and Computing, I4C 2016**, IEEE, 2017.

REUSCH, D.; STRYDOM, J. Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter. **IEEE Transactions on Power Electronics**, v. 29, n. 4, p. 2008–2015, 2014. ISSN 08858993.

REUSCH, D.; STRYDOM, J.; GLASER, J. Improving high frequency DC-DC converter performance with monolithic half bridge GaN ICs. In: **2015 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.]: IEEE, 2015. p. 381–387. ISBN 978-1-4673-7151-3.

ROBYN, M.; THALLER, L.; SCOTT, D. Nanosatellite Power System Considerations. In: NASA AND THE AEROSPACE CORPORATION. **Proceedings of the International Conference on Integrated Micro/Nanotechnology for Space Applications**. Houston, Texas (USA), 1995. Disponível em: <<https://ntrs.nasa.gov/search.jsp?R=19960054145>>.

ROHM. **The Important Points of Multi-layer Ceramic Capacitor Used in Buck Converter circuit**. [S.l.], 2013. 1–5 p. Disponível em: <http://rohms.rohm.com/en/products/databook/applnote/ic/power/switching{_}regulator/cera{_}cap{_}ap>.

ROSS, I. M. The Foundation of the Silicon Age. **Physics Today**, v. 50, n. 12, p. 34, 1997. ISSN 00319228.

SEMPSTOTT, D. **Welcome Home, Orion: Spacecraft Ready for Final Artemis I Launch Preparations**. 2020. (Criado em 26/03/2020. Acessado em 20/06/2020). Disponível em: <<https://www.nasa.gov/feature/welcome-home-orion-spacecraft-ready-for-final-artemis-i-launch-preparations/>>.

SHRIEK, D. **Challenges of point-of-load power converter design**. 2006. 4 p. (Criado em 24/11/2006. Acessado em 20/06/2020). Disponível em: <<https://www.electronicweekly.com/market-sectors/power/challenges-of-point-of-load-power-converter-design-2006-11/>>.

SHUE, J. Power Electronics for the Next Generation Where We Have Been. In: NASA. **2010 NASA Electronic Parts and Packaging (NEPP) Electronics Technology Workshop**. 2010. Disponível em: <<https://nepp.nasa.gov/workshops/etw2010/talks/>>.

SIMBURGER, E.; RUMSEY, D.; CARIAN, P. **Nanosatellite solar cell regulator, Patent US7786716B2**. 2010.

SPARKES, J. J. The first decade of transistor development: a personal view. **Radio and Electronic Engineer**, v. 43, n. 1.2, p. 3–9, January 1973. ISSN 0033-7722.

- SU, Y. et al. Low profile LTCC inductor substrate for multi-MHz integrated POL converter. In: **2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.]: IEEE, 2012. p. 1331–1337. ISBN 978-1-4577-1216-6.
- SVERDLIK, Y. **Google Contributes 48V DC Data Center Rack to Open Compute**. 2016. 1–5 p. (Criado em 09/03/2016. Acessado em 21/06/2020). Disponível em: <<https://www.datacenterknowledge.com/archives/2016/03/09/google-contributes-48v-shallow-data-center-rack-to-ocp>>.
- TAITRON COMPONENTS INC. **5.0A Surface Mount Schottky Rectifier**. [S.l.], 2008. Rev. A/AH.
- TESLACO. **Products**. 2020. (Acessado em 20/06/2020). Disponível em: <<https://www.teslaco.com/products/>>.
- The Franklin Institute. **Slobodan Cuk**. 1991. 1 p. (Acessado em 20/06/2020). Disponível em: <<https://www.fi.edu/laureates/slobodan-cuk>>.
- THOMAS, P. H. **Current rectifier, Patent US776563**. 1904.
- WHITE, R. V. Introduction To The PMBus™ What Is PMBus? In: **System Managment Interface Forum**. [S.l.: s.n.], 2005.
- _____. PMBus: A Decade of Growth: An open-standards success. **IEEE Power Electronics Magazine**, IEEE, n. September, p. 33–39, 2014.
- WINOGRAD, H. et al. Mercury-Arc Power Converters in North America. **A.I.E.E. Transactions**, v. 67, p. 1031–1059, 1948.
- WONG, V. Data sheet intricacies — absolute maximum ratings and thermal resistances. **Technical Article, Analog Devices, Inc.**, MS2251, p. 1–6, 2011.
- WORANETSUTTIKUL, K. et al. Comparison on performance between synchronous single-ended primary-inductor converter (SEPIC) and synchronous ZETA converter. In: **2014 International Electrical Engineering Congress (iEECON)**. [S.l.]: IEEE, 2014. p. 1–4. ISBN 978-1-4799-3174-3.
- XIONG, Y. et al. New Physical Insights on Power MOSFET Switching Losses. **IEEE Transactions on Power Electronics**, v. 24, n. 2, p. 525–531, feb 2009. ISSN 0885-8993.
- YAN, D.; KE, X.; MA, D. B. A Two-Phase 2MHz DSD GaN Power Converter with Master-Slave AO 2 T Control for Direct 48V/1V DC-DC Conversion. In: **2019 Symposium on VLSI Circuits**. [S.l.]: IEEE, 2019. p. C170–C171. ISBN 978-4-86348-720-8.
- YAN, Y. et al. Comparison of Small Signal Characteristics in Current Mode Control Schemes for Point-of-Load Buck Converter Applications. **IEEE Transactions on Power Electronics**, IEEE, v. 28, n. 7, p. 3405–3414, 2013.
- YANO, M.; ABE, S.; OHNO, E. History of Power Electronics for Motor Drives in Japan. **IEEE Conference on the History of Electronics (CHE)**, p. 1–11, 2004.

ZHANG, C.; KOVACS, J. M. The application of small unmanned aerial systems for precision agriculture : a review. **Precision Agriculture**, v. 13, p. 693–712, 2012.

ZHANG, W. et al. Characterization of Low Temperature Sintered Ferrite Laminates for High Frequency Point-of-Load (POL) Converters. **IEEE Transactions on Magnetics**, IEEE, v. 49, n. 11, p. 5454–5463, nov 2013. ISSN 0018-9464.

_____. High-Density Integration of High-Frequency High-Current Point-of-Load (POL) Modules With Planar Inductors. **IEEE Transactions on Power Electronics**, IEEE, v. 30, n. 3, p. 1421–1431, mar 2015. ISSN 0885-8993.

A APÊNDICE: CONVERSORES CC-CC INTEGRADOS DE POTÊNCIA COMERCIAIS

Tabela 49: Seleção de conversores *buck-boost* integrados de potência comerciais, ordenados por data

Componente	Mfr. ¹	Topologia	V_G [V]	V_{Carga} [V]	I_{max} [A]	P_{max} [W]	f_{ch} [kHz]	η_{max}	Data ²
MAX1584/1585	7	Buck-boost	0,70 - 5,50	1,25 - 5,50	0,50	3	1000	90	jul/03
TPS63036	12	Buck-boost	1,80 - 5,50	1,20 - 5,50	1,00	6	2200 - 2600	N/D	ago/12
RT6150A/B	11	Buck-boost	1,80 - 5,50	1,80 - 5,50	0,80	4	800 - 1200	90	mai/13
MP2155	8	Buck-Boost	2,00 - 5,50	1,50 - 5,50	1,00	6	1000 - 1000	95	jan/14
LTC3534	6	Buck-Boost	2,40 - 7,00	1,80 - 7,00	0,50	4	1000 - 1000	94	fev/14
ISL91110IR	10	Buck-Boost	1,80 - 5,50	1,00 - 5,20	3,00	16	2100 - 2900	95	jul/14
RT6154A/B	11	Buck-boost	1,80 - 5,50	1,80 - 5,50	4,00	22	2200 - 2600	96	jul/14
TPS63030	12	Buck-boost	2,40 - 5,50	1,20 - 5,50	1,00	6	2200 - 2600	96	set/14
TPS63024	12	Buck-boost	2,30 - 5,50	2,50 - 3,60	1,50	5	2500 - 2500	95	dez/14
TPS630242	12	Buck-boost	2,30 - 5,50	3,30 - 3,30	1,50	5	2500 - 2500	95	dez/14
LTC3331	6	Buck-Boost	3,00 - 19,00	3,45 - 4,20	0,05	0	N/D	N/D	ago/15
LTC8471	6	Buck-Boost	2,60 - 50,00	-5,00 - 5,00	2,00	10	100 - 2000	N/D	set/15
LTC3129	6	Buck-Boost	1,92 - 15,00	1,40 - 15,75	0,20	3	1200 - 1200	95	out/15
LTC3106	6	Buck-Boost	0,85 - 5,10	1,80 - 5,00	0,30	2	N/D	86	nov/15
TPS63020-Q1	12	Buck-boost	1,80 - 5,50	1,20 - 5,50	2,00	11	2200 - 2600	96	out/16
LTC3119	6	Buck-Boost	0,25 - 18,00	0,80 - 18,00	5,00	90	400 - 1200	95	mar/17
TPS63811	12	Buck-boost	1,90 - 5,50	1,83 - 5,20	2,50	13	500 - 3100	94	jul/19
TPS63024x	12	Buck-boost	2,30 - 5,50	3,30 - 3,30	1,50	5	2500 - 2500	97	nov/19
LTC3130 (r539)	6	Buck-Boost	2,40 - 25,00	1,00 - 25,00	0,60	15	1200	95	dez/19
TPS55288	12	Buck-boost	2,70 - 36,00	0,80 - 21,26	3,00	64	200 - 2400	97	mar/20
TPS63810	12	Buck-boost	2,20 - 5,50	1,80 - 5,20	2,50	13	100 - 1000	94	mai/20

¹ Linear Technology (Analog Devices) (6), Maxim Integrated (7), Monolithic Power Systems (8), Renesas Electronics (10), Richtek Technology (11) e Texas Instruments (12).

² A data é baseada na revisão mais antiga ou ao documento técnico utilizado e não necessariamente ao lançamento do componente.

B APÊNDICE: MÓDULOS CONVERSORES CC-CC DE POTÊNCIA COMERCIAIS

Tabela 50: Seleção de módulos conversores CC-CC *buck* POL comerciais, ordenados por data

Componente	Mfr. ¹	Topol.	V_G [V]	V_{Carga} [V]	I_{max} [A]	P_{max} [W]	f_{ch} [kHz]	η_{max}	ρ_{max} [W/in ³]	Vol. [mm ³]	Data ²
BSA03-1.86R0	3	Buck ³	3,0 - 5,5	1,0 - 3,3	6,0	19,8	N/D	86,0	72	4494	dez/09
SRBA-06F1Ax	2	Buck	2,4 - 5,5	0,8 - 3,6	6,0	21,8	300	93,0	179	1991	fev/13
SRBA-06F2Ax	2	Buck	2,4 - 5,5	0,8 - 3,6	6,0	21,8	300	93,0	241	1481	fev/13
VRBA-06F2Ax	2	Buck	2,4 - 5,5	0,8 - 3,6	6,0	21,8	300	93,0	179	1991	fev/13
BSV-3.3S9R5M	3	Buck ³	3,0 - 5,5	0,8 - 3,3	9,5	31,4	N/D	92,5	357	1440	fev/15
YM05S05	2	Buck	3,0 - 5,5	0,8 - 3,6	5,0	18,2	300	94,0	202	1475	jun/15
YNM05S05	2	Buck ³	3,0 - 5,5	0,8 - 3,6	5,0	18,2	300	94,0	202	1475	jun/15
SLAN-03D2Ax	2	Buck	0,6 - 5,5	3,0 - 14,4	3,0	43,2	600	93,9	647	1095	jul/15
SLIN-02E2Ax	2	Buck	3,0 - 14,0	0,6 - 5,5	2,0	11,0	600	93,6	194	929	jul/15
SLIN-03F1Ax	2	Buck	2,4 - 5,5	0,6 - 3,6	3,0	10,9	600	91,0	192	929	jul/15
SLIN-03F2Ax	2	Buck	2,4 - 5,5	0,6 - 3,6	3,0	10,9	600	91,0	166	1076	jul/15
SLIN-06F1Ax	2	Buck	2,4 - 5,5	0,6 - 3,6	6,0	21,8	600	91,0	332	1076	jul/15
SLIN-06F2Ax	2	Buck	2,4 - 5,5	0,6 - 3,6	6,0	21,8	600	93,0	326	1095	jul/15
SLAN-06D2Ax	2	Buck ⁵	0,6 - 5,5	3,0 - 14,4	6,0	86,4	600	94,0	281	5041	jul/15
YNM05S06	2	Buck ³	3,0 - 5,5	0,8 - 3,6	6,0	21,8	300	93,0	242	1475	nov/15
YS05S10	2	Buck ³	3,0 - 5,5	0,8 - 3,6	10,0	36,3	300	94,5	168	3545	nov/15
BSU-1.8S3R0	3	Buck ^{3 5}	2,8 - 5,5	0,6 - 3,3	3,0	9,9	1200	95,0	788	206	mar/16
BSU12-3.3S1R0	3	Buck ^{3 5}	4,5 - 17,0	1,0 - 5,0	1,0	5,0	1000	95,0	401	204	mar/16
PMD4000 Series	5	Buck ⁴	3,0 - 5,5	0,9 - 3,6	3,0	10,8	700	94,0	82	2162	nov/17
MUN3CAD03-SF	4	Buck ^{3 5}	2,8 - 5,5	0,6 - 3,3	3,0	9,9	1440	94,0	972	167	mar/18
OKL-T/1-W12	9	Buck ³	2,9 - 14,0	0,9 - 5,5	1,0	5,5	800	90,0	128	703	nov/18
SLDN-03D1Ax	2	Buck	3,0 - 14,4	0,5 - 5,5	3,0	16,5	600	94,0	291	929	abr/19
SLDN-06D1Ax	2	Buck	3,0 - 14,0	0,5 - 5,5	6,0	33,0	600	93,8	494	1095	abr/19
YNV05T06	2	Buck ³	3,0 - 5,5	0,8 - 3,6	6,0	21,8	300	93,0	217	1648	abr/19
PTH04070W	12	Buck ⁴	3,3 - 5,0	0,9 - 3,6	3,0	10,8	700	94,0	175	1009	dez/19
PTH05050	1	Buck ⁴	4,5 - 5,5	0,8 - 3,6	6,0	21,6	650	95,0	150	2364	dez/19
PTH05050	12	Buck ⁴	4,5 - 5,5	0,8 - 3,6	6,0	21,6	650	95,0	150	2364	dez/19
SIL05E	1	Buck ³	3,0 - 5,5	0,8 - 3,6	5,0	18,2	300	94,0	179	1658	dez/19
SMT05E	1	Buck ³	3,0 - 5,5	0,8 - 3,6	5,0	18,2	300	94,0	191	1557	dez/19
PMU8418	5	Buck ^{3 5}	4,5 - 17,0	0,6 - 5,5	8,0	44,0	1600	92,7	1203	599	jan/20
PTH04000W	12	Buck	3,3 - 5,0	0,9 - 3,6	3,0	10,8	700	94,0	87	2024	abr/20
LDO03C	1	Buck ³	3,0 - 13,8	0,6 - 5,1	3,0	15,3	1500	90,0	560	448	jun/20

¹ Artesyn Technologies (1), Bel Power Solutions (2), Bellnix (3), Cyntec (4), Flex Power Modules (5) e Texas Instruments (12).

² A data é baseada na revisão mais antiga ou ao documento técnico utilizado e não necessariamente ao lançamento do componente.

³ O fabricante declara o componente, no documento técnico, como POL.

⁴ Pertence ao padrão POLA (Point-of-Load-Alliance).

⁵ Micro-módulos de alta densidade. Para cálculo de ρ foram considerados seis capacitores SMD 0805 e um eletrolítico de 100 μ F conforme documentação técnica pertinente.

C APÊNDICE: TERMOS DA MATRIZ A

Considerando os termos que compõe a matriz de estados (A):

$$\left\{ \begin{array}{l}
 \mathbf{a}_{1,1} = \frac{D\left(R_{C1} - R_{DS} - \frac{R_{C0}R_G}{R_{C0} + R_G}\right) - R_{L1} - R_{C1}}{L1} \\
 \mathbf{a}_{1,2} = -\frac{D\left(R_{DS} + \frac{R_{C0}R_G}{R_{C0} + R_G}\right)}{L1} \\
 \mathbf{a}_{1,3} = \frac{D\frac{R_G}{R_{C0} + R_G}}{L1} \\
 \mathbf{a}_{1,4} = \frac{1-D}{L1} \\
 \mathbf{a}_{2,1} = -\frac{D\left(R_{DS} + \frac{R_{C0}R_G}{R_{C0} + R_G}\right)}{L2} \\
 \mathbf{a}_{2,1} = -\frac{D\left(R_{DS} + \frac{R_{C0}R_G}{R_{C0} + R_G}\right)}{L2} \\
 \mathbf{a}_{2,2} = -\frac{R_{L2} + R_{C2} + D\left(R_{C1} + R_{DS} + \frac{R_{C0}R_G}{R_{C0} + R_G}\right) + \frac{R_{C2}^2}{R_{C2} + R_{Carga}}}{L2} \\
 \mathbf{a}_{2,3} = \frac{DR_G}{L2(R_{C0} + R_G)} \\
 \mathbf{a}_{2,4} = -\frac{D}{L2} \\
 \mathbf{a}_{2,5} = -\frac{R_{Carga}}{L2(R_{C2} + R_{Carga})} \\
 \mathbf{a}_{3,1} = -\frac{DR_G}{C0(R_{C0} + R_G)} \\
 \mathbf{a}_{3,2} = -\frac{DR_G}{C0(R_{C0} + R_G)} \\
 \mathbf{a}_{3,3} = -\frac{1}{C0(R_{C0} + R_G)} \\
 \mathbf{a}_{4,1} = -\frac{(1-D)}{C1} \\
 \mathbf{a}_{4,2} = \frac{D}{C1} \\
 \mathbf{a}_{5,2} = \frac{R_{Carga}}{C2(R_{C2} + R_{Carga})} \\
 \mathbf{a}_{5,5} = -\frac{1}{C2(R_{C2} + R_{Carga})}
 \end{array} \right. \quad (C.1)$$

D APÊNDICE: TERMOS DA MATRIZ $\underline{\mathbf{B}}$

Considerando os termos que compõe a matriz de entradas ($\underline{\mathbf{B}}$):

$$\left\{ \begin{array}{l} \mathbf{b}_{1,1} = \frac{DR_{C0}}{L1(R_{C0}+R_G)} \\ \mathbf{b}_{1,2} = -\frac{1-D}{L1} \\ \mathbf{b}_{2,1} = \frac{DR_{C0}}{L2(R_{C0}+R_G)} \\ \mathbf{b}_{2,2} = -\frac{1-D}{L2} \\ \mathbf{b}_{3,1} = \frac{1}{C0(R_{C0}+R_G)} \end{array} \right. \quad (\text{D.1})$$

E APÊNDICE: TERMOS DA MATRIZ C

Considerando os termos que compõe a matriz de saídas (C):

$$\left\{ \begin{array}{l} \mathbf{c}_{3,1} = -\frac{DR_{C0}R_G}{R_{C0}+R_G} \\ \mathbf{c}_{3,2} = -\frac{DR_{C0}R_G}{R_{C0}+R_G} \\ \mathbf{c}_{3,3} = \frac{R_G}{R_{C0}+R_G} \\ \mathbf{c}_{4,1} = -R_{C1}(1-D) \\ \mathbf{c}_{4,2} = DR_{C1} \\ \mathbf{c}_{5,2} = \frac{R_{C2}R_{Carga}}{R_{C2}+R_{Carga}} \\ \mathbf{c}_{5,6} = \frac{R_{Carga}}{R_{C2}+R_{Carga}} \end{array} \right. \quad (\text{E.1})$$

F APÊNDICE: TERMOS DA MATRIZ $\underline{\mathbf{F}}$

Considerando os termos que compõe a matriz de entrada referente a razão-cíclica ($\underline{\mathbf{F}}$):

$$\left\{ \begin{array}{l}
 \phi = (R_{C0} + R_G)((R_{L2} + R_{Carga}) + D(R_{C1} + R_{DS} + R_G)) \\
 \quad - 2D((R_{C0} + R_G)(R_{L2} + R_{Carga})) \\
 \quad + D^2((R_{C0} + R_G)(R_{L1} + R_{L2} + R_{Carga} - R_{C1}) + R_G^2) \\
 \mathbf{f}_{1,1_{\text{num}}} = V_G((R_{C0} + R_G)(R_{L2} + R_{Carga})) \\
 \quad + V_{FWD}((R_{C0}R_{DS} + R_{C0}R_G + R_{DS}R_G) + \\
 \quad + D((R_{C0}R_{L1} + R_GR_{L1} + R_G^2)) + V_G((R_{C0} + R_G)(R_{C1} - R_{L2} - R_{Carga})) \\
 \mathbf{f}_{2,1_{\text{num}}} = V_G(1 - D)(R_{C0} + R_G)(R_{L2} + R_{Carga}) \\
 \quad + V_{FWD}((R_{C0} + R_G)(R_{C1} + R_{DS}) + R_{C0}R_G) \\
 \quad + DV_{FWD}(R_G^2 + (R_{C0} + R_G)(R_{L1} - R_{C1})) \\
 \mathbf{f}_{3,1_{\text{num}}} = R_G((1 - D)V_{FWD} - DV_G) \\
 \mathbf{f}_{4,1_{\text{num}}} = (R_{C0} + R_G)(DV_G - (1 - D)V_{FWD})
 \end{array} \right. \tag{F.1}$$

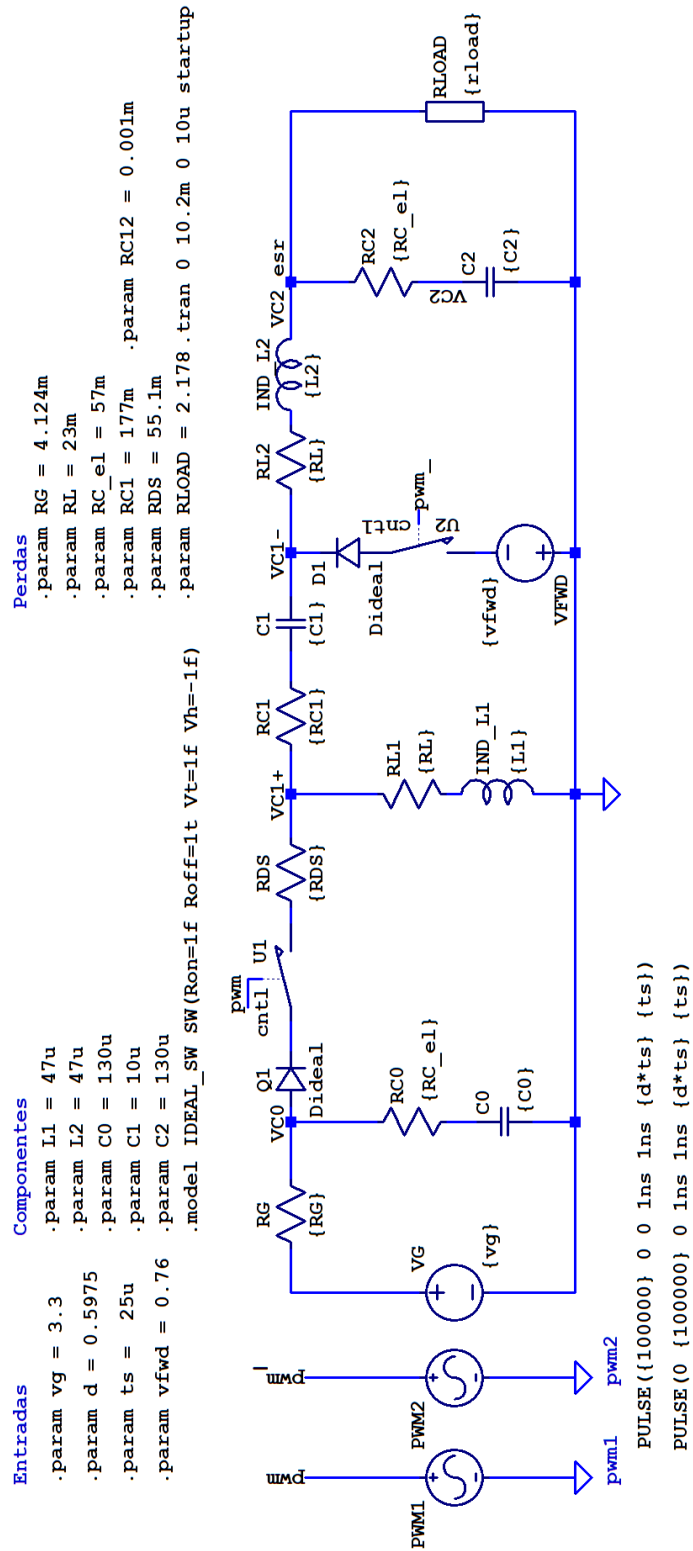
G APÊNDICE: TERMOS DA MATRIZ-VETOR Y

Considerando os termos que compõe a matriz-vetor de saídas (Y):

$$\left\{ \begin{array}{l}
 \phi = (R_{C0} + R_G)((R_{L2} + R_{Carga}) + D(R_{C1} + R_{DS} + R_G)) \\
 \quad - 2D((R_{C0} + R_G)(R_{L2} + R_{Carga})) \\
 \quad + D^2((R_{C0} + R_G)(R_{L1} + R_{L2} + R_{Carga} - R_{C1}) + R_G^2) \\
 y_{1,1_{num}} = D(R_{C0} + R_G)(DV_G - V_{FWD} + DV_{FWD}) \\
 y_{2,1_{num}} = (R_{C0} + R_G)(1 - D)(DV_G - V_{FWD} + DV_{FWD}) \\
 y_{3,1_{num}} = R_{C0}R_{L2}V_G - D^2R_G^2V_{FWD} + R_{C0}R_{Carga}V_G \\
 \quad + R_GR_{L2}V_G + R_GR_{Carga}V_G + DR_G^2V_{FWD} + DR_{C0}R_{C1}V_G \\
 \quad + DR_{C0}R_{DS}V_G + DR_{C0}R_GV_G + DR_{C1}R_GV_G + DR_{DS}R_GV_G \\
 \quad - 2DR_{C0}R_{L2}V_G - 2DR_{C0}R_{Carga}V_G - 2DR_GR_{L2}V_G \\
 \quad - 2DR_GR_{Carga}V_G + DR_{C0}R_GV_{FWD} - D^2R_{C0}R_{C1}V_G \\
 \quad - D^2R_{C0}R_GV_G - D^2R_{C1}R_GV_G + D^2R_{C0}R_{L1}V_G \\
 \quad + D^2R_{C0}R_{L2}V_G + D^2R_{C0}R_{Carga}V_G + D^2R_GR_{L1}V_G \\
 \quad + D^2R_GR_{L2}V_G + D^2R_GR_{Carga}V_G - D^2R_{C0}R_GV_{FWD} \\
 y_{4,1_{num}} = (R_{C0} + R_G)(DV_G - V_{FWD} + DV_{FWD}) \\
 \quad (DR_{L1} - R_{Carga} - R_{L2} + DR_{L2} + DR_{Carga}) \\
 y_{5,1_{num}} = R_{Carga}(R_{C0} + R_G)(1 - D)(DV_G - V_{FWD}(1 - D))
 \end{array} \right. \quad (G.1)$$

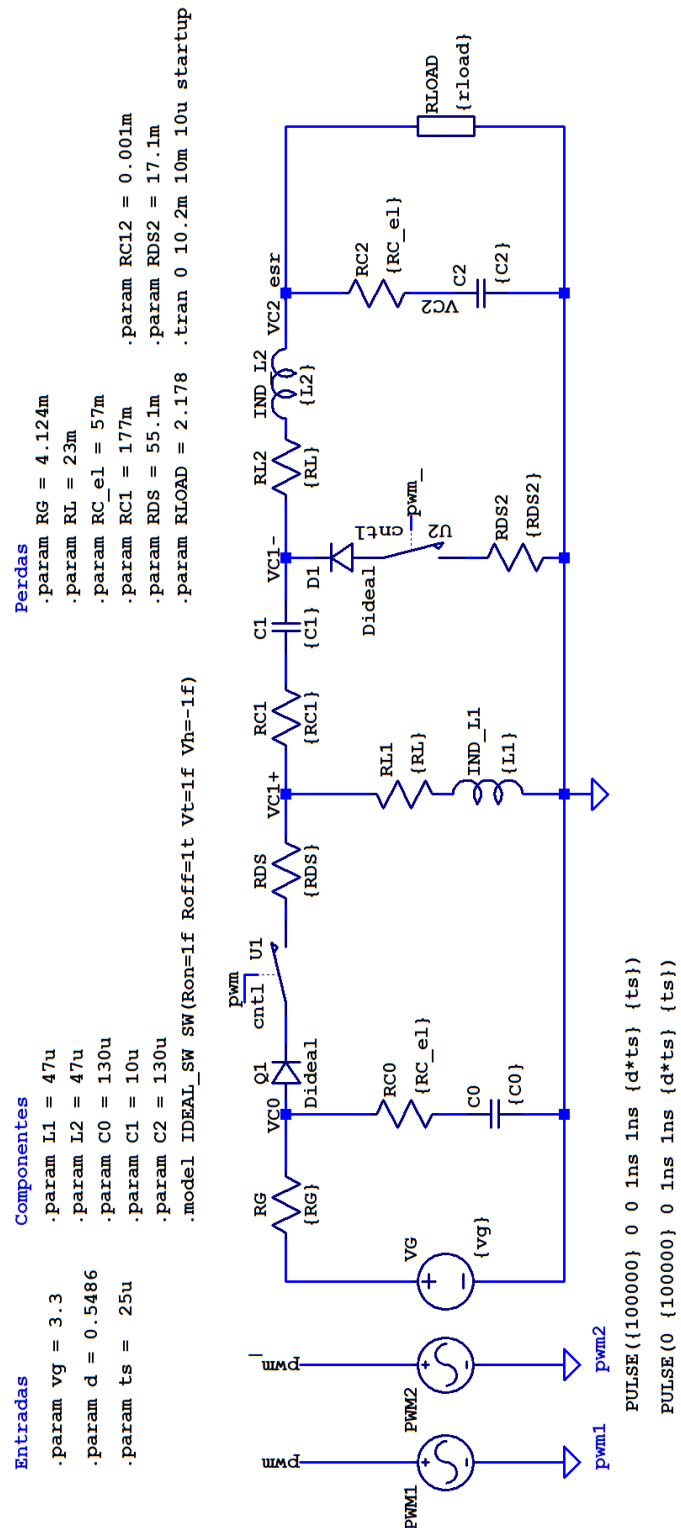
H APÊNDICE: CIRCUITO ZETA ASSÍNCRONO SIMULADO EM LTSPICE

Figura 97: Conversor CC-CC de topologia Zeta assíncrono modelado



I APÊNDICE: CIRCUITO ZETA SÍNCRONO SIMULADO EM LTSPICE

Figura 98: Conversor CC-CC de topologia Zeta síncrono modelado



J APÊNDICE: FORMAS DE ONDA CONVERSOR ZETA ASSÍNCRONO EM REGIME PERMANENTE

Formas de onda experimentais do PWM gerado e das variáveis de estado (\mathbf{x}) do conversor Zeta assíncrono em regime permanente, obtidas com osciloscópio DPO-5450 Tektronix. Ponto de operação "P3". (Canal 2, 0,1x, dado em A; Canal 3, 1x, dado em V).

Figura 99: PWM gerado com $f_{ch} = 40\text{kHz}$, $D=0,567$

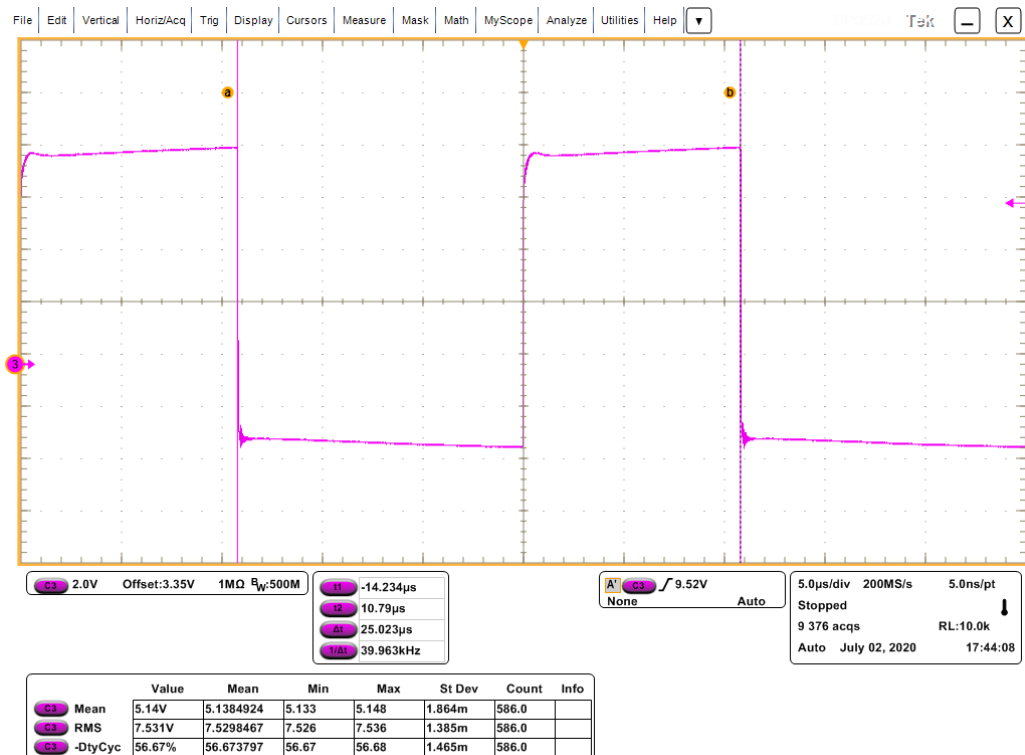


Figura 100: Corrente em $L1$ (i_{L1}) em regime permanente, ponto de operação "P3", $D=0,567$

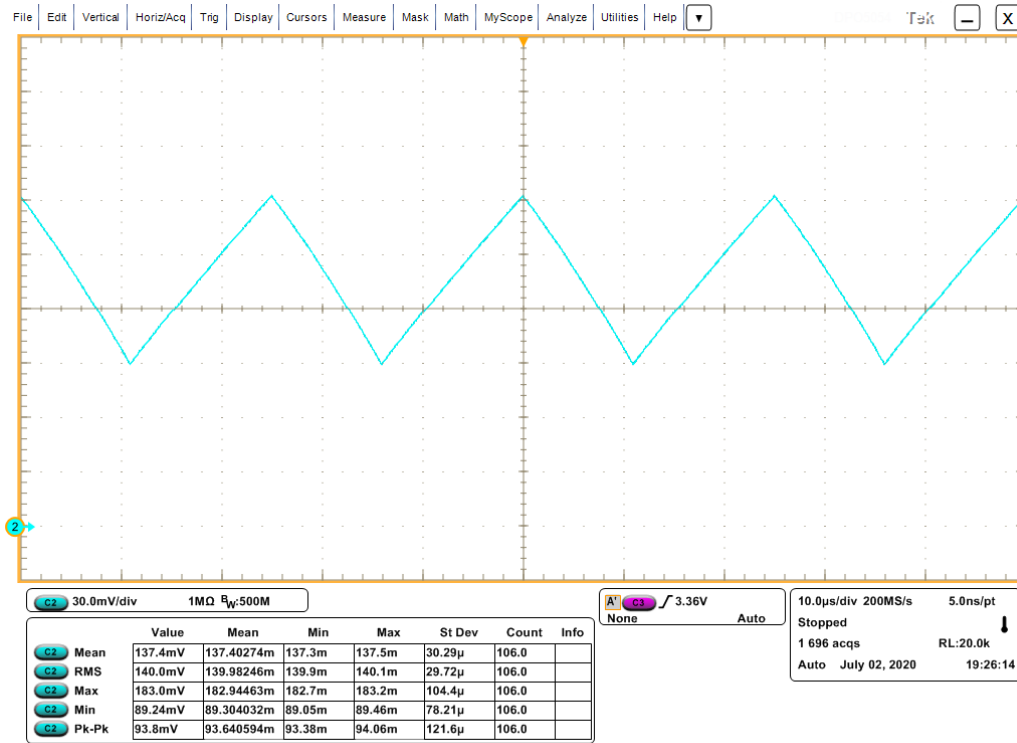


Figura 101: Corrente em $L2$ (i_{L2}) em regime permanente, ponto de operação "P3", $D=0,567$

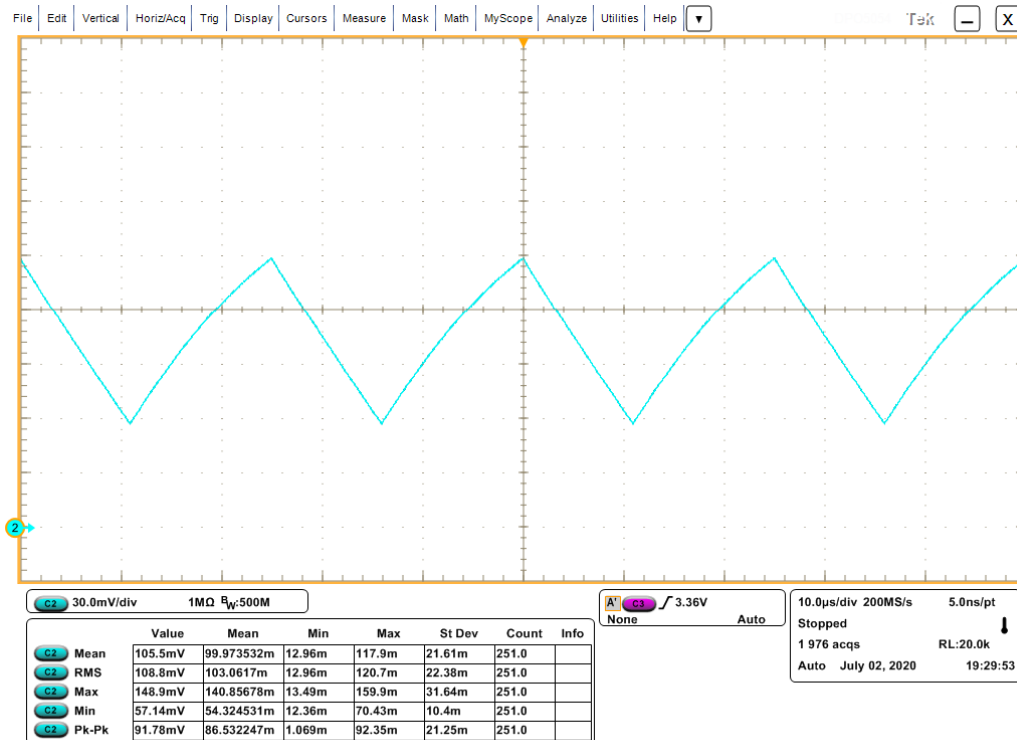


Figura 102: Tensão sobre $C0$ (v_{C0}^*) em regime permanente, ponto de operação "P3", $D=0,567$

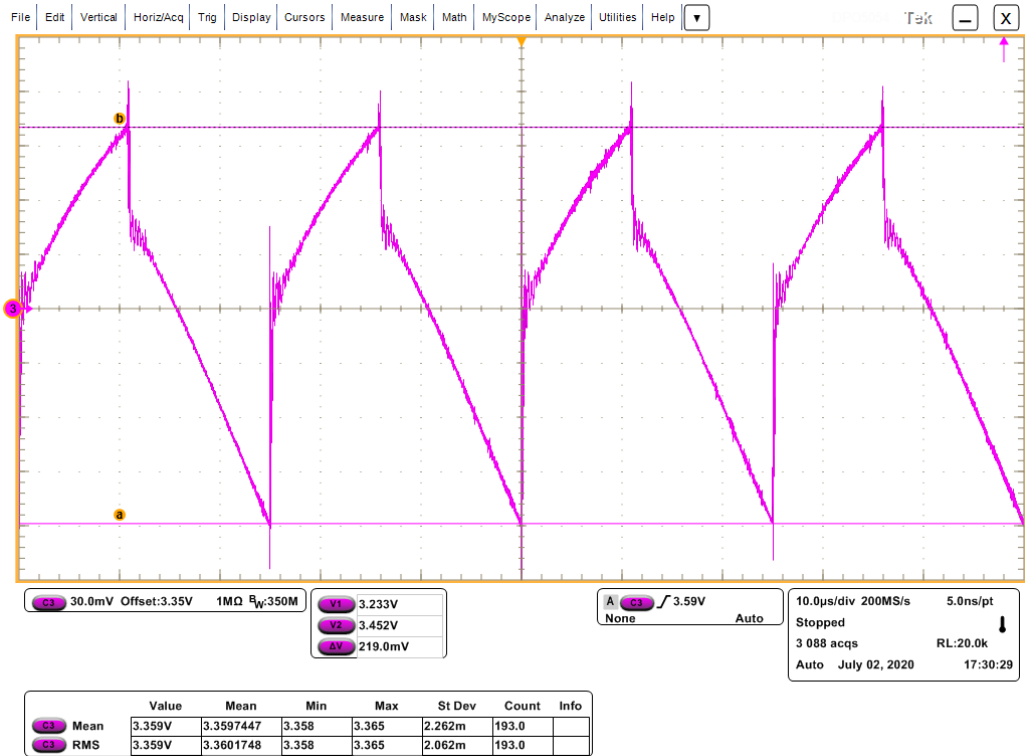


Figura 103: Tensão sobre $C1$ (v_{C1}^*) em regime permanente, ponto de operação "P3", $D=0,567$

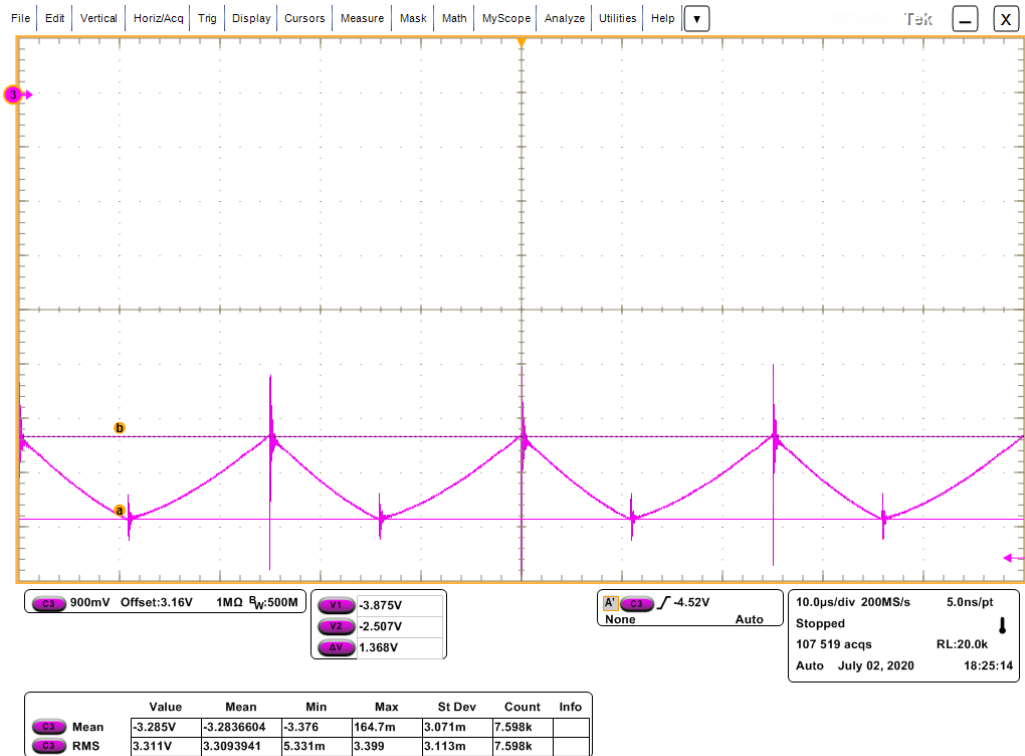
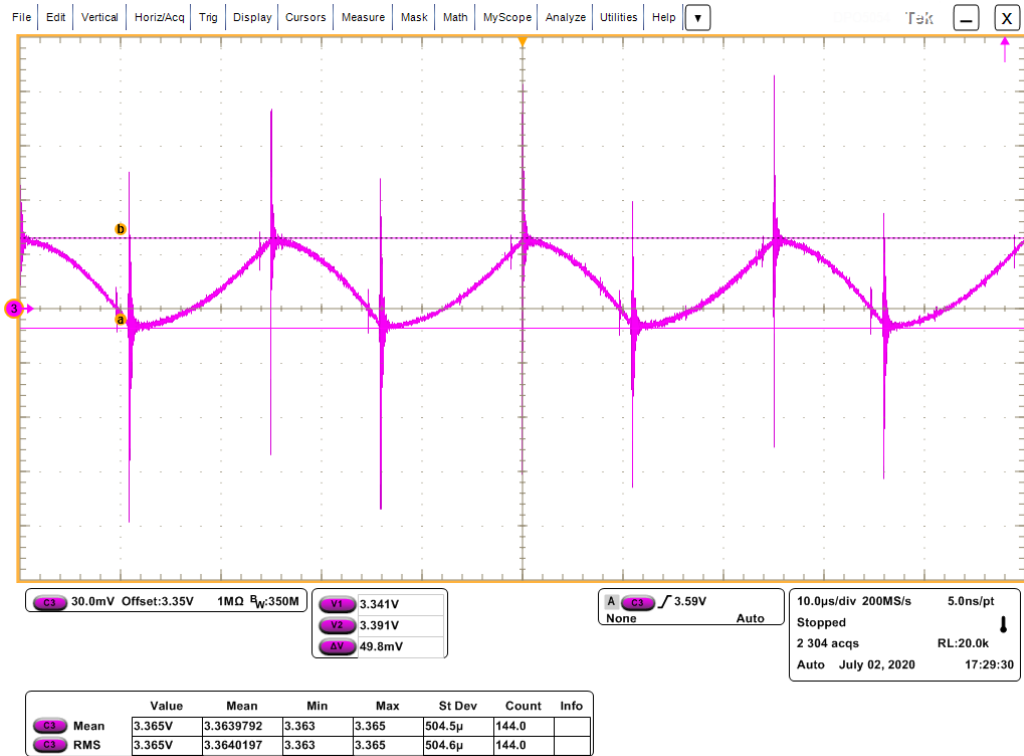


Figura 104: Tensão sobre $C2$ (v_{C2}^*) em regime permanente, ponto de operação "P3", $D=0,567$



K APÊNDICE: FORMAS DE ONDA CONVERSOR ZETA SÍNCRONO EM REGIME PERMANENTE

Formas de onda experimentais do PWM gerado e das variáveis de estado (\mathbf{x}) do conversor Zeta síncrono em regime permanente, obtidas com osciloscópio DPO-5450 Tektronix. Ponto de operação "P3". (Canal 2, 0,1x, dado em A; Canal 3, 1x, dado em V).

Figura 105: PWM gerado com $f_{ch} = 40\text{kHz}$, $D=0,537$

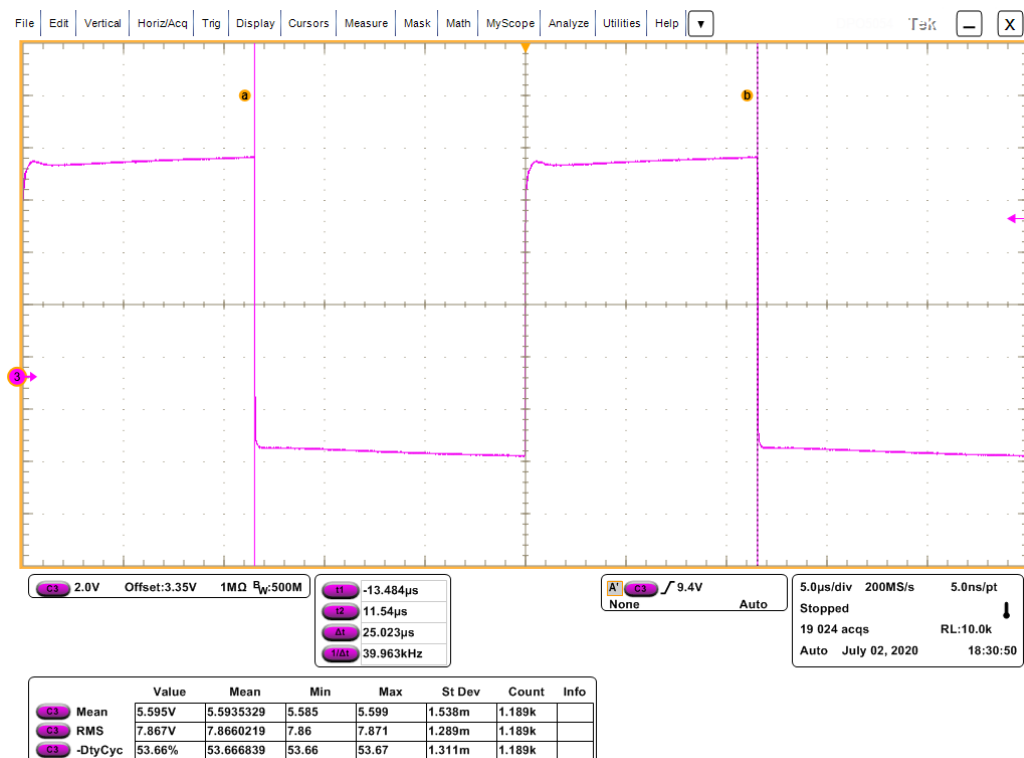


Figura 106: Corrente em $L1$ (i_{L1}) em regime permanente, ponto de operação "P3", $D=0,537$

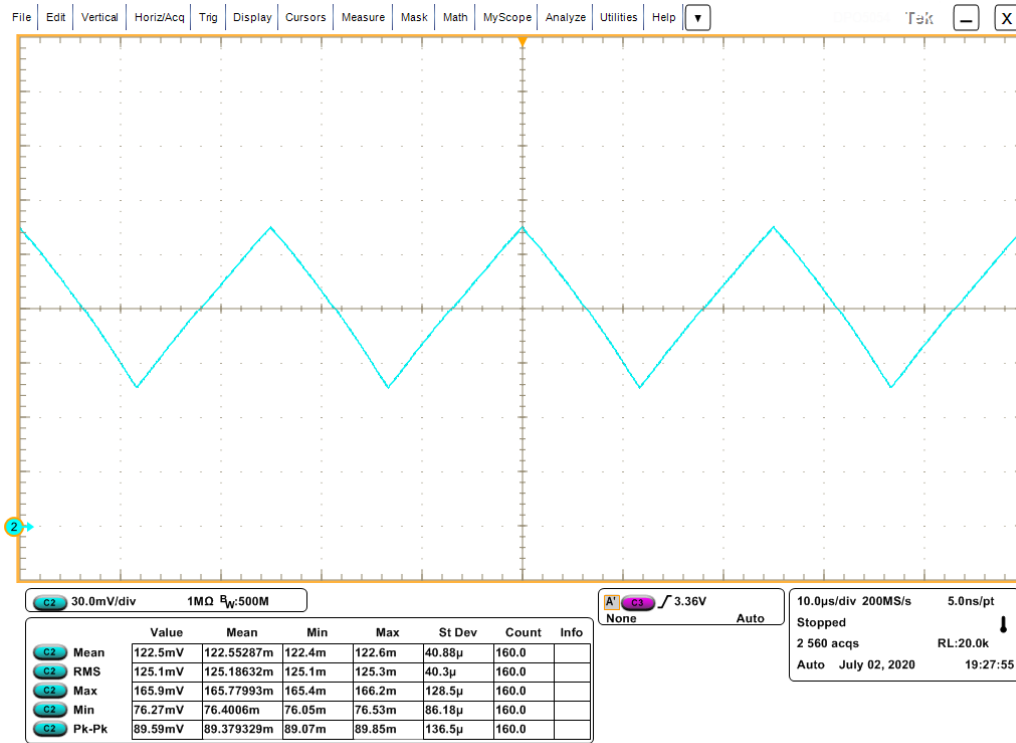


Figura 107: Corrente em $L2$ (i_{L2}) em regime permanente, ponto de operação "P3", $D=0,537$

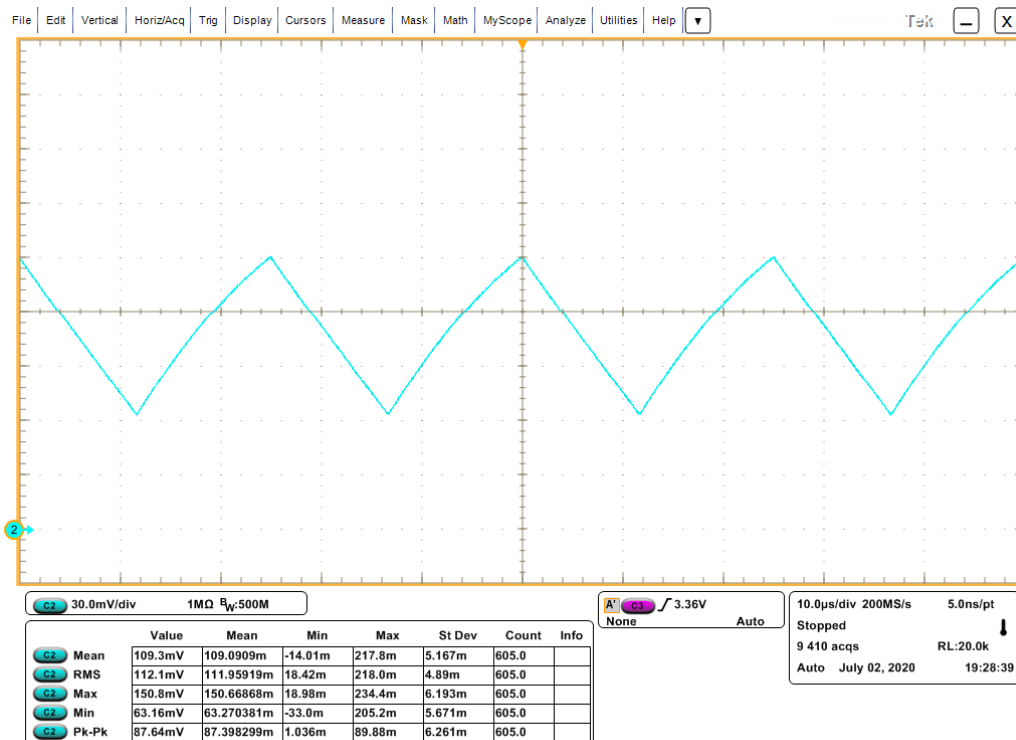


Figura 108: Tensão sobre $C0$ (v_{C0}^*) em regime permanente, ponto de operação "P3", $D=0,537$

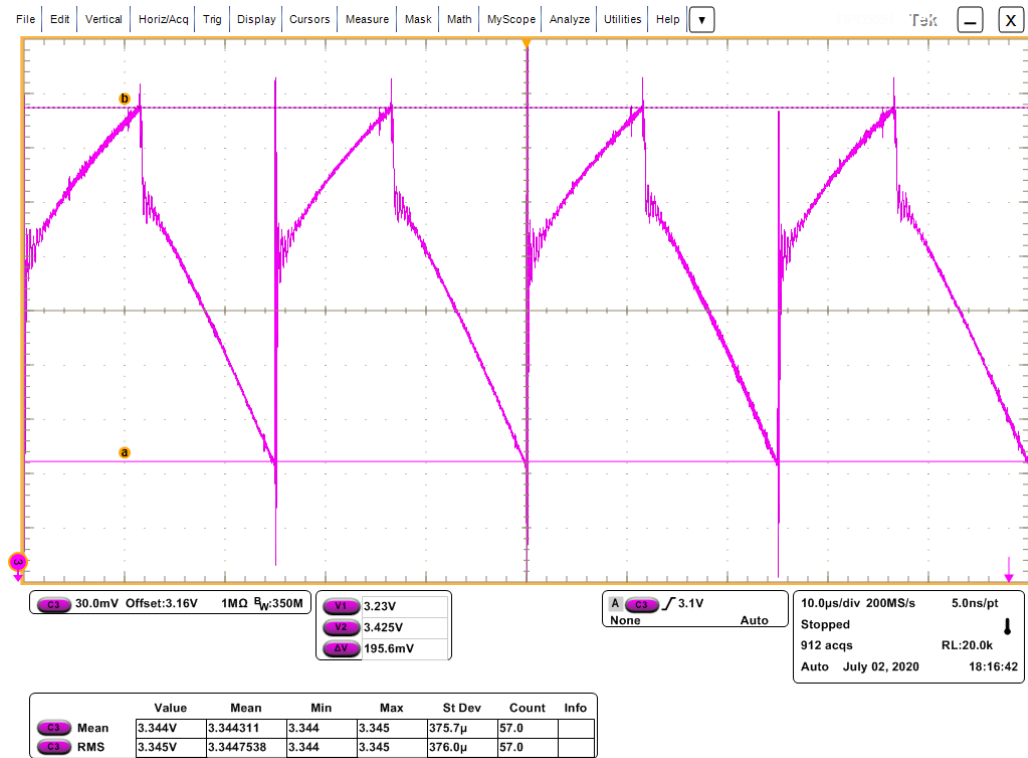


Figura 109: Tensão sobre $C1$ (v_{C1}^*) em regime permanente, ponto de operação "P3", $D=0,537$

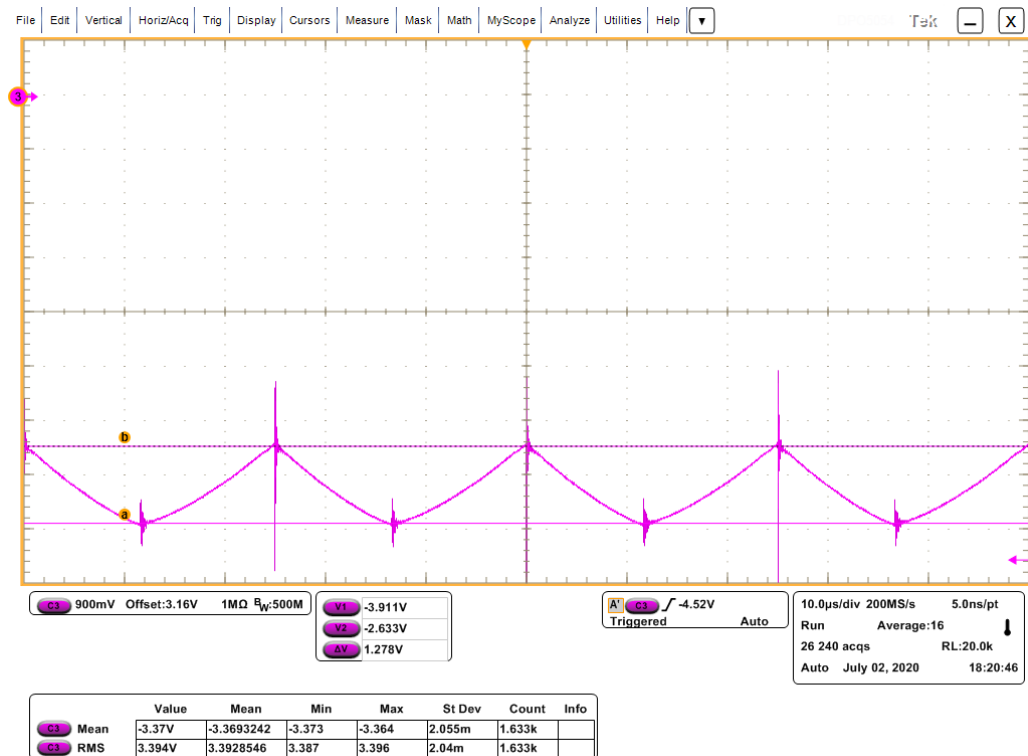
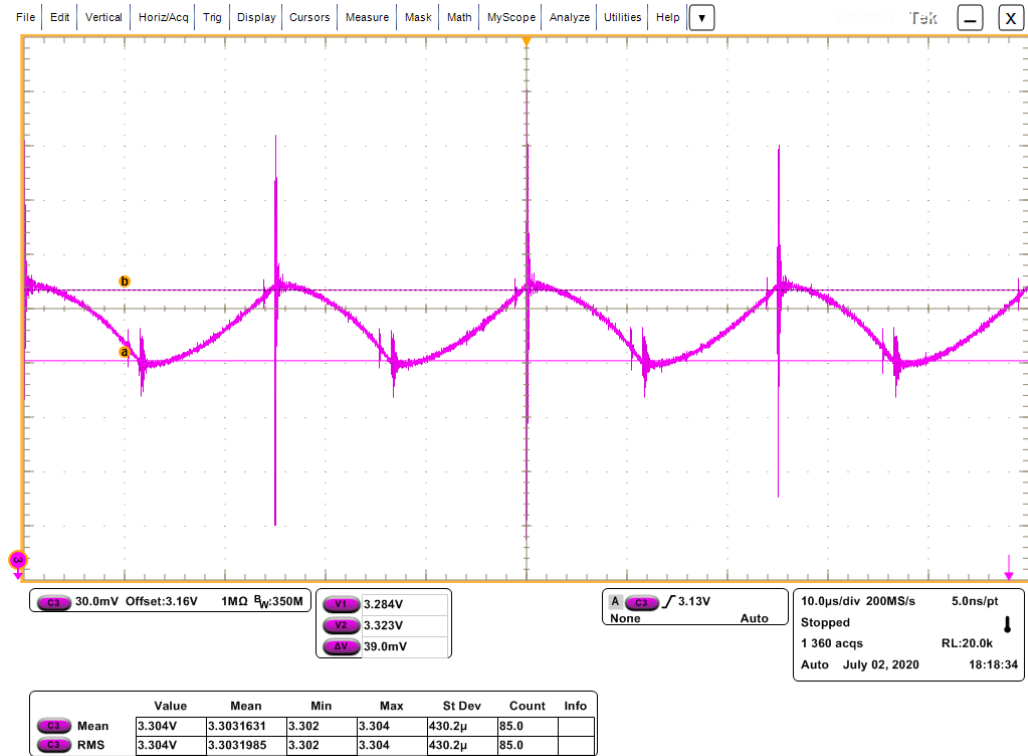


Figura 110: Tensão sobre $C2$ (v_{C2}^*) em regime permanente, ponto de operação "P3", $D=0,537$



L APÊNDICE: RESULTADOS EXPERIMENTAIS ZETA ASSÍNCRONO

Resultados experimentais para análise de temperatura de junção dos semicondutores $Q1$ e $D1$, H_v e η do conversor Zeta assíncrono obtidos com osciloscópio DPO-5450 Tektronix, de acordo com o esquema apresentado pela Figura 48. (Canal 1 e 4, 0,1x, dado em A; Canal 2 e 3, 1x, dado em V).

Figura 111: Resultado experimental Zeta assíncrono, $D = 0,35$

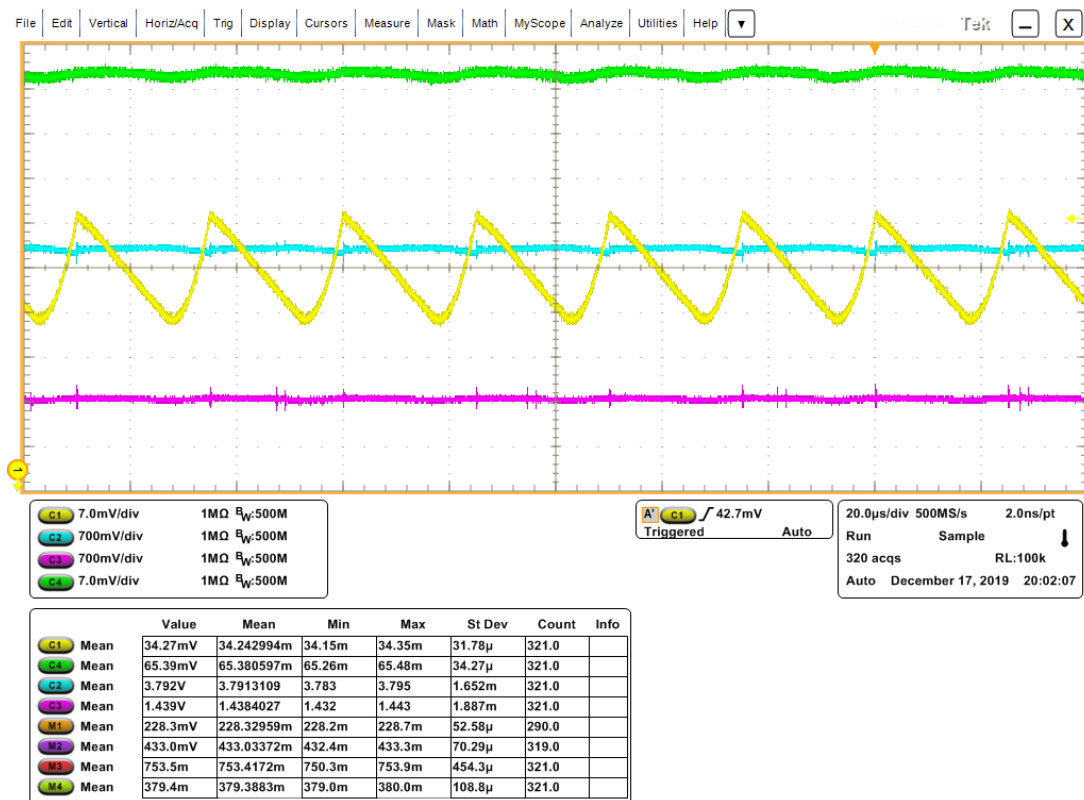


Figura 112: Resultado experimental Zeta assíncrono, $D = 0,37$

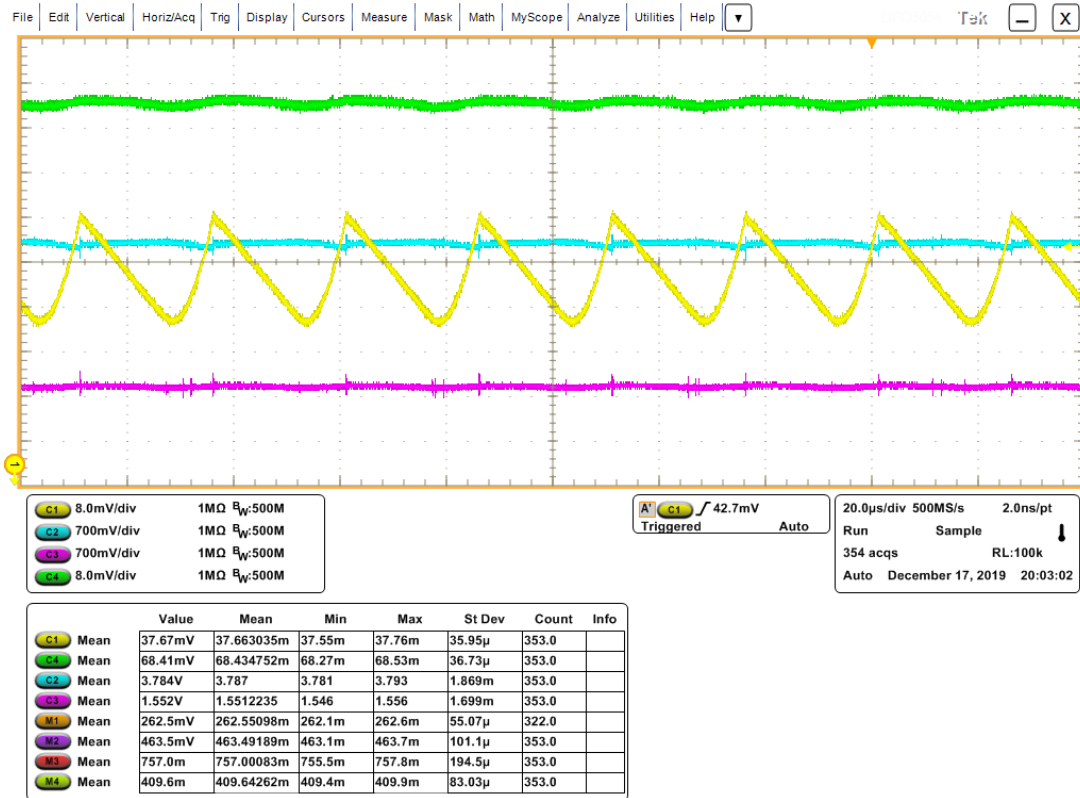


Figura 113: Resultado experimental Zeta assíncrono, $D = 0,40$



Figura 114: Resultado experimental Zeta assíncrono, $D = 0,42$

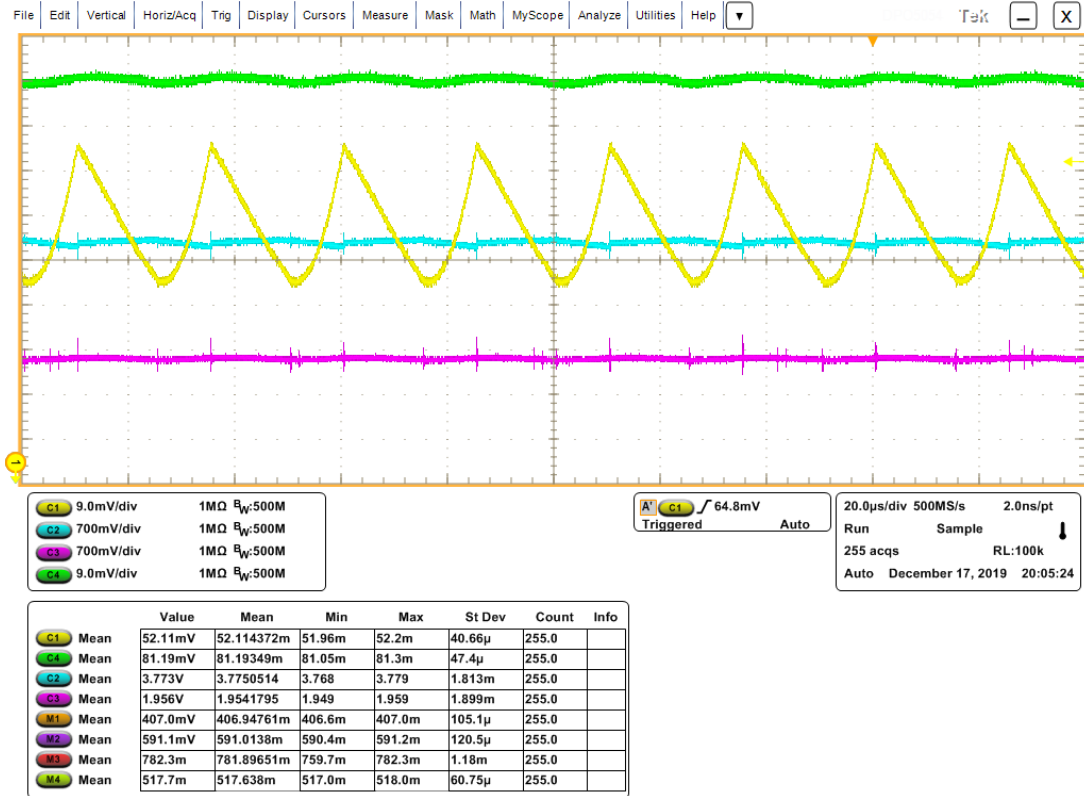


Figura 115: Resultado experimental Zeta assíncrono, $D = 0,45$



Figura 116: Resultado experimental Zeta assíncrono, $D = 0,47$

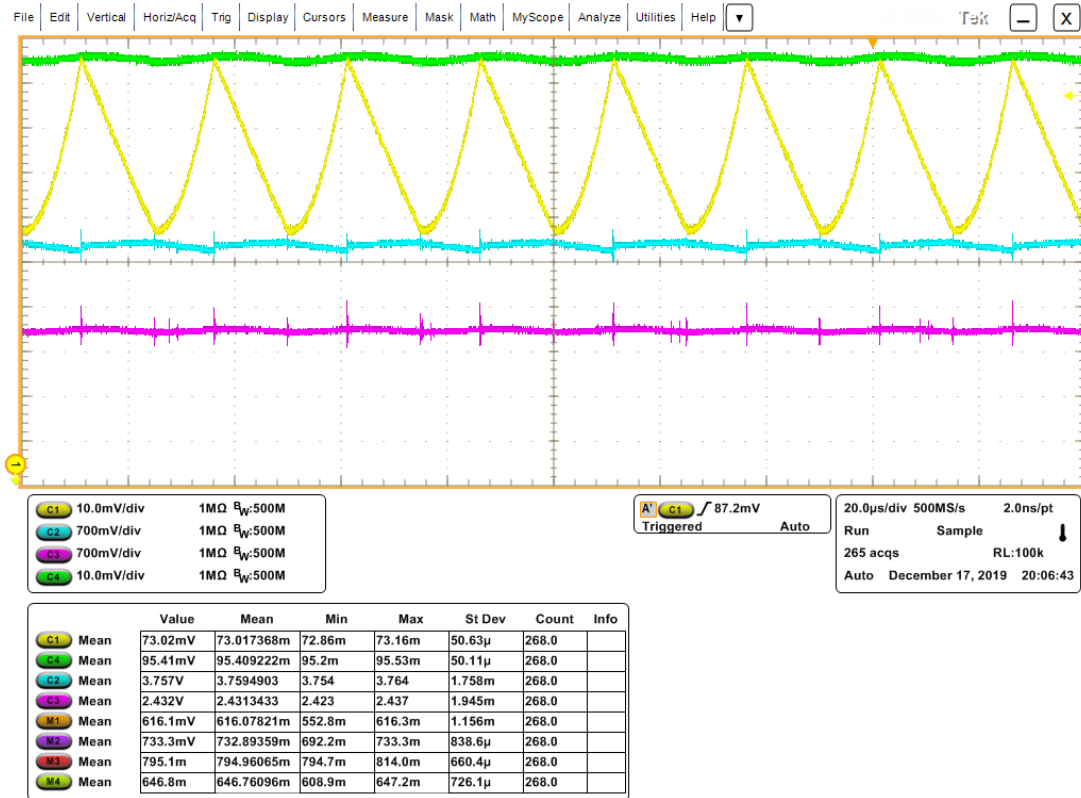


Figura 117: Resultado experimental Zeta assíncrono, $D = 0,50$

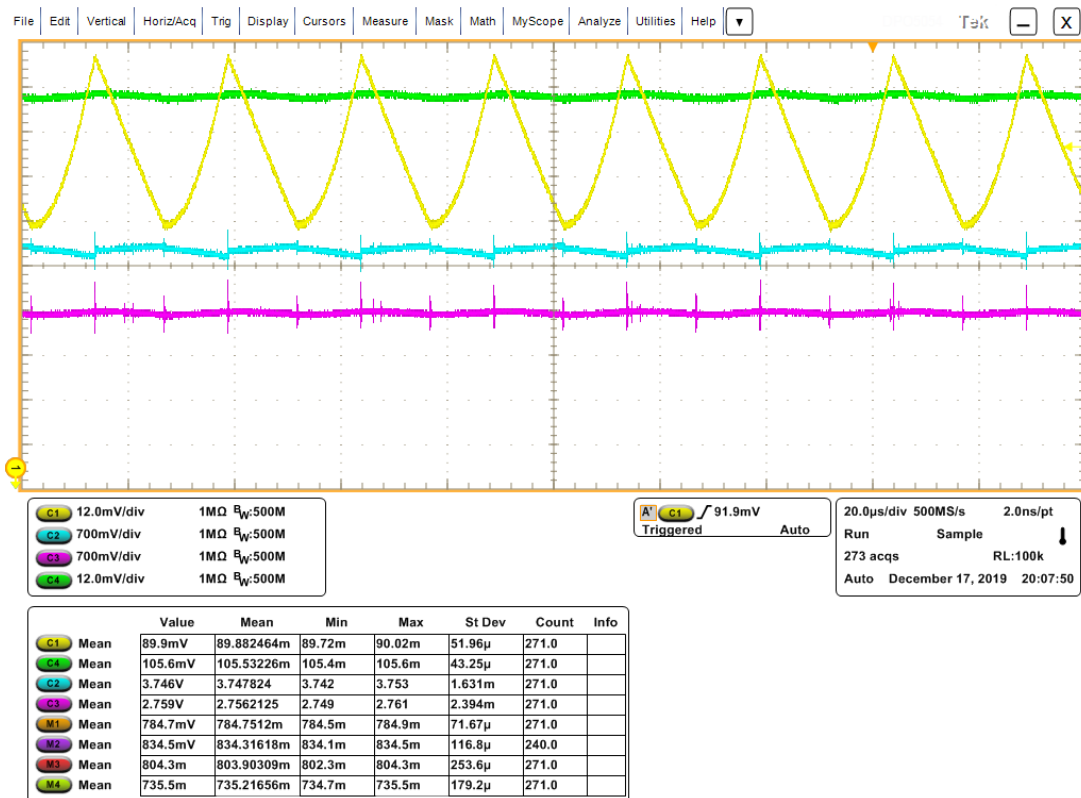


Figura 118: Resultado experimental Zeta asíncrono, $D = 0,52$

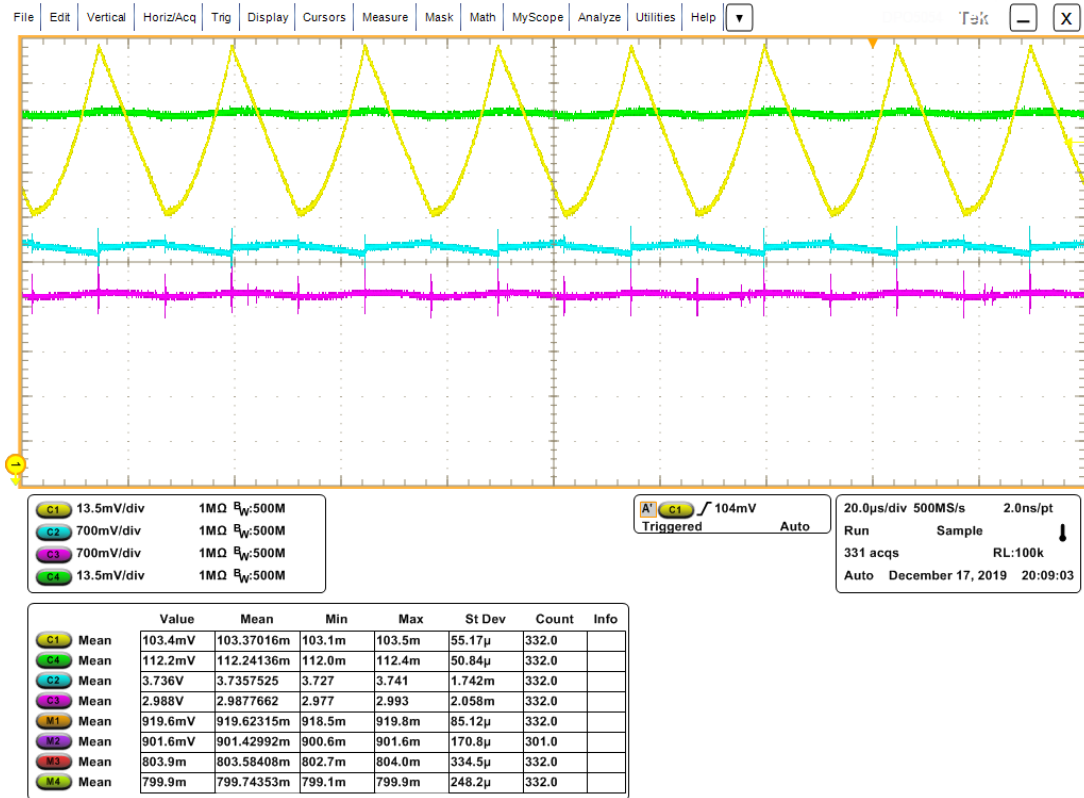


Figura 119: Resultado experimental Zeta asíncrono, $D = 0,55$

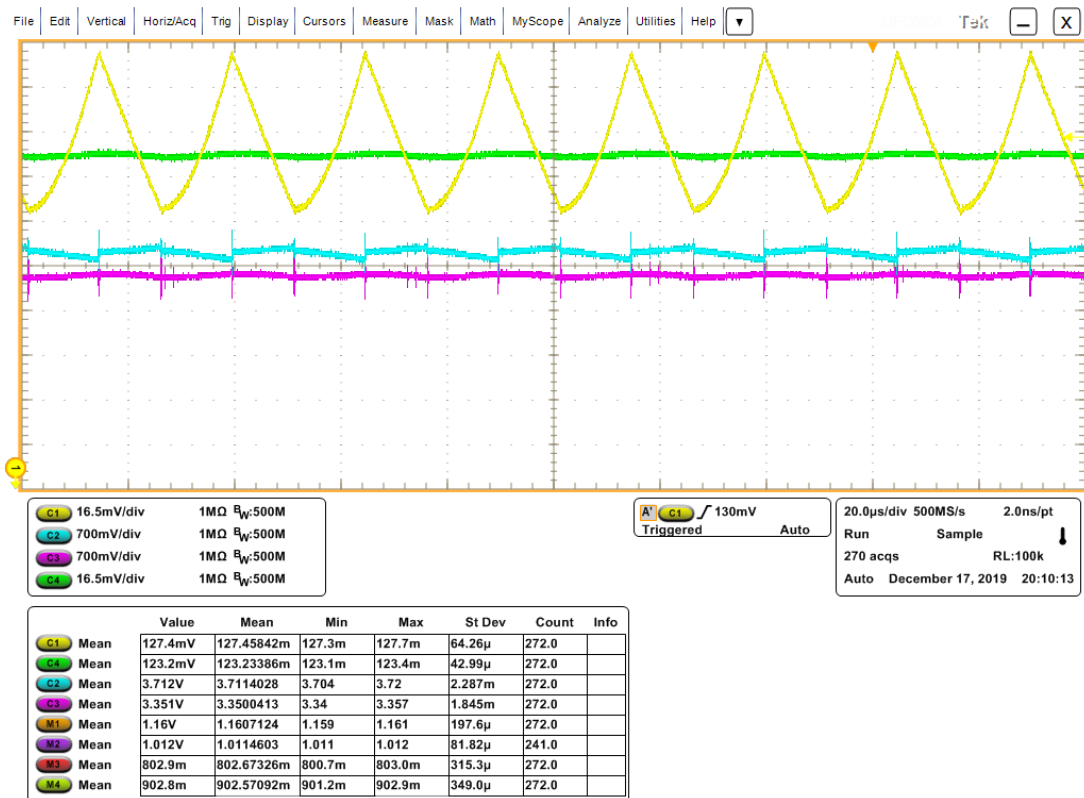


Figura 120: Resultado experimental Zeta assíncrono, $D = 0,57$

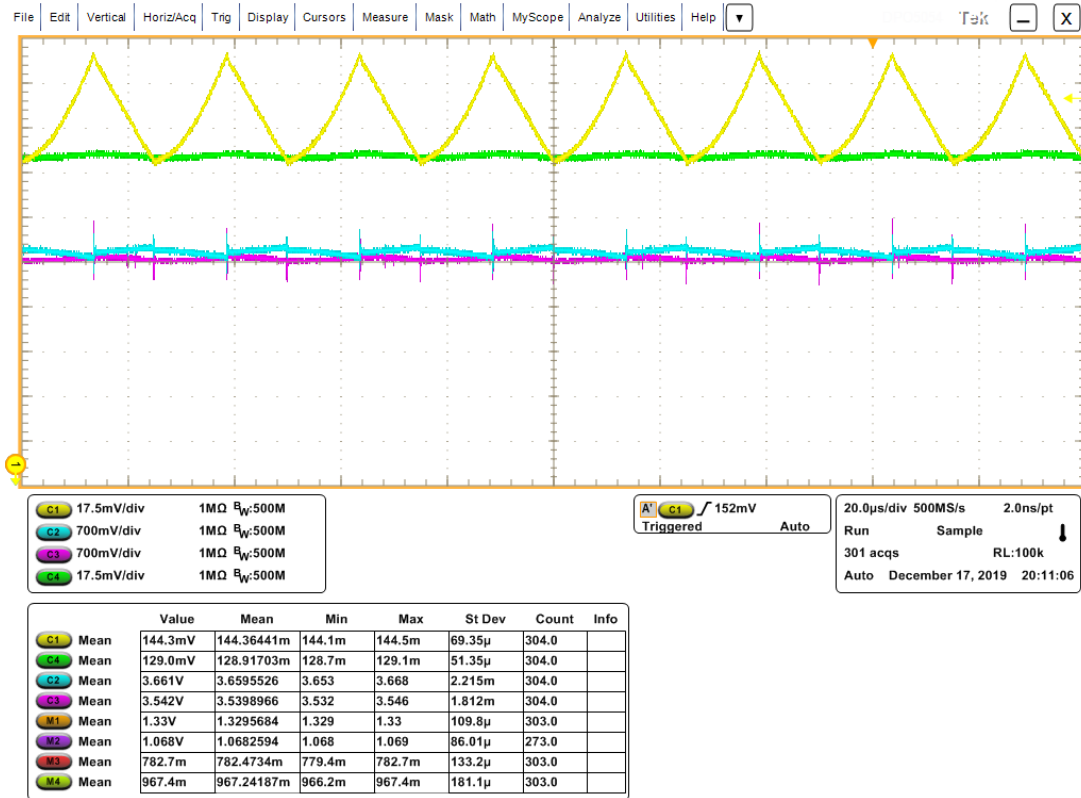


Figura 121: Resultado experimental Zeta assíncrono, $D = 0,60$

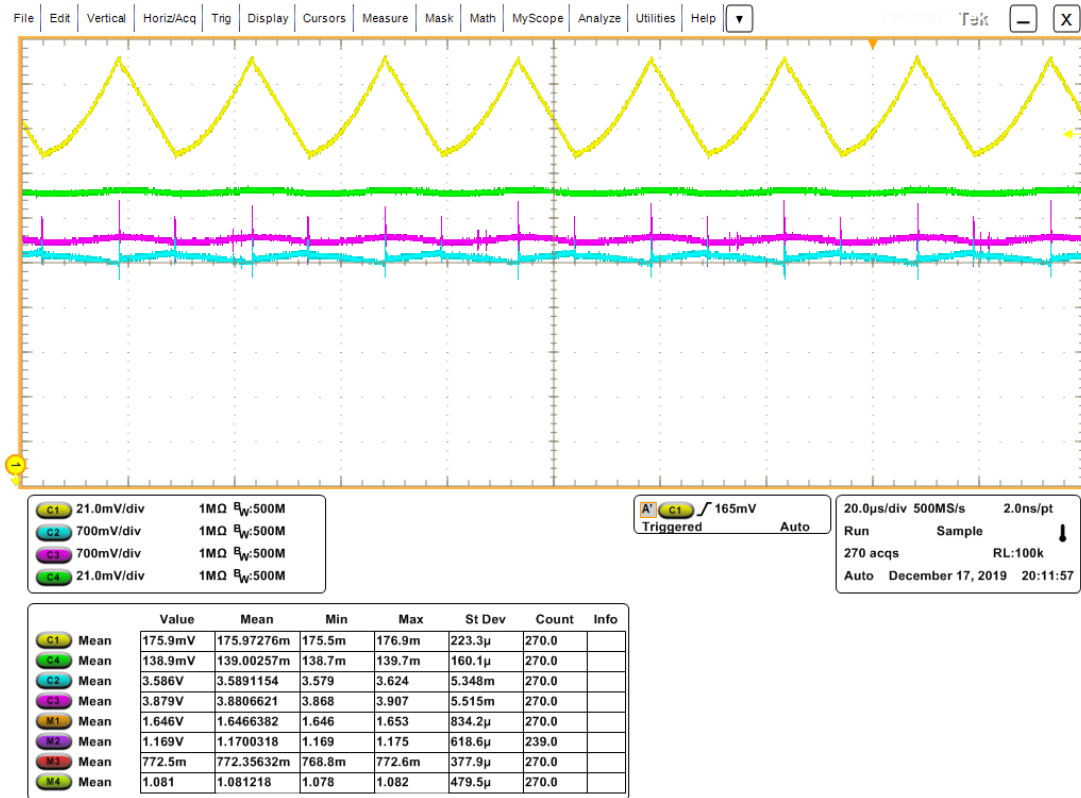


Figura 122: Resultado experimental Zeta assíncrono, $D = 0,62$

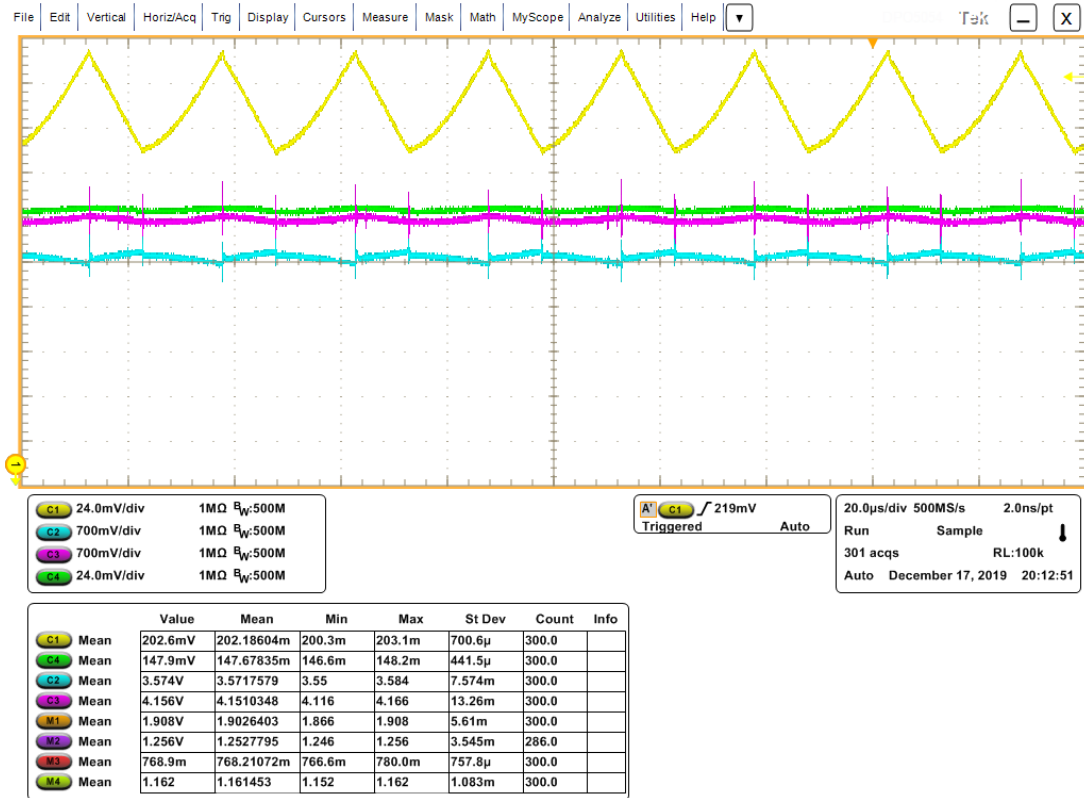


Figura 123: Resultado experimental Zeta assíncrono, $D = 0,65$

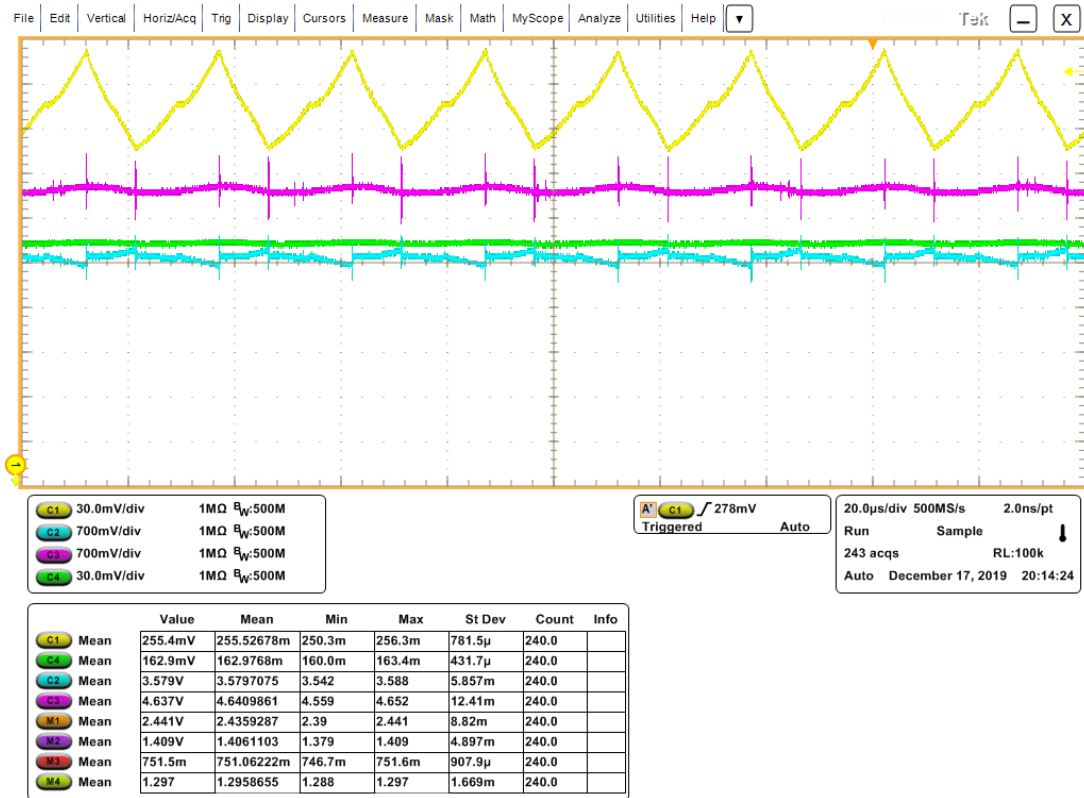


Figura 124: Resultado experimental Zeta assíncrono, $D = 0,67$

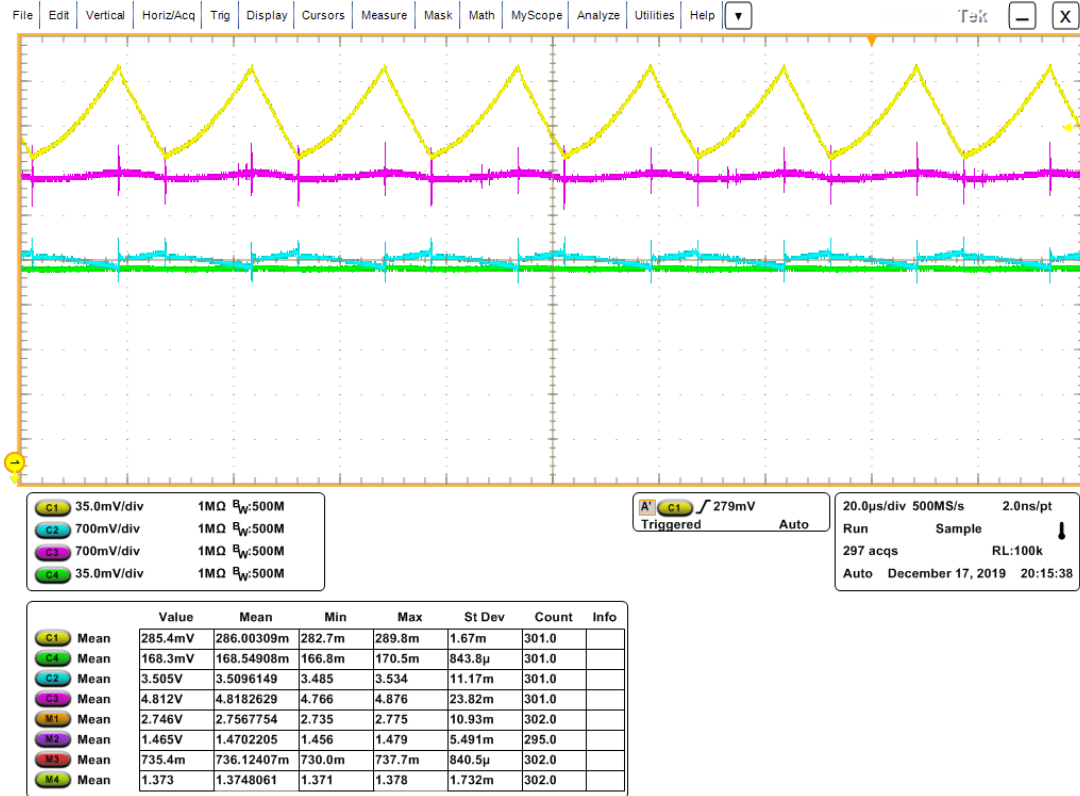
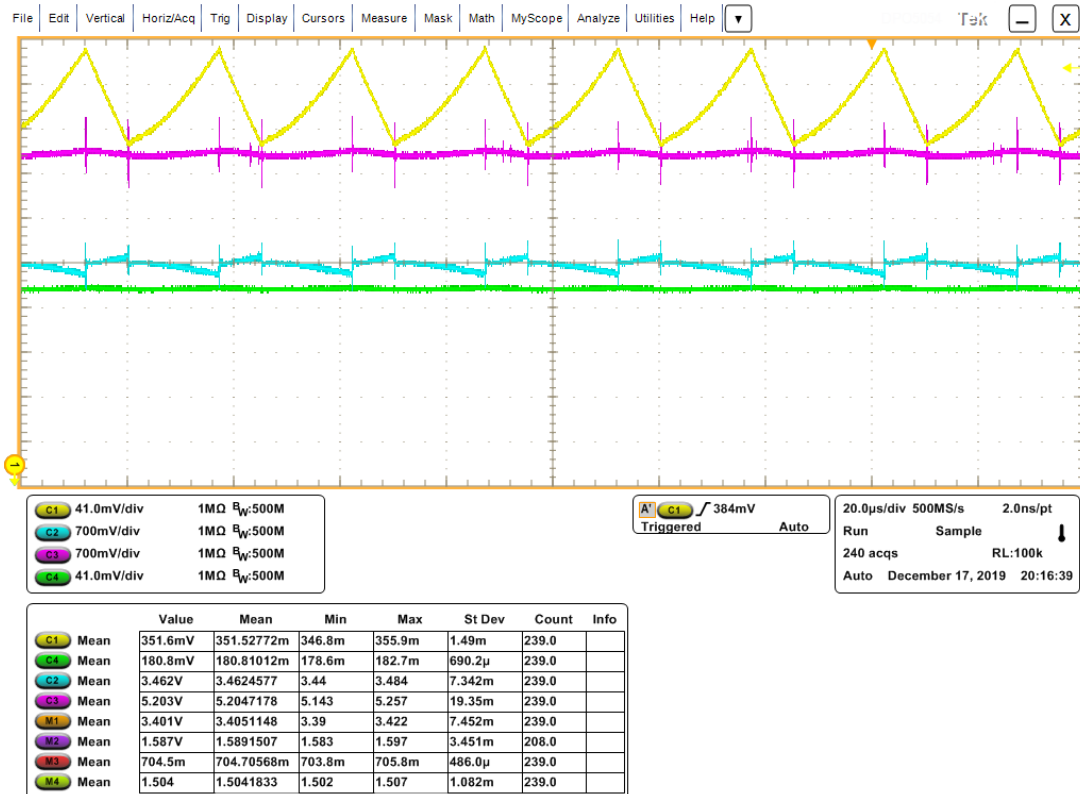


Figura 125: Resultado experimental Zeta assíncrono, $D = 0,70$



M APÊNDICE: RESULTADOS EXPERIMENTAIS ZETA SÍNCRONO

Resultados experimentais para análise de temperatura de junção dos semicondutores $Q1$ e $Q2$, H_v e η do conversor Zeta síncrono obtidos com osciloscópio DPO-5450 Tektronix, de acordo com o esquema apresentado pela Figura 48 (Canal 1 e 4, 0,1x, dado em A ; Canal 2 e 3, 1x, dado em V).

Figura 126: Resultado experimental Zeta síncrono, $D = 0,35$

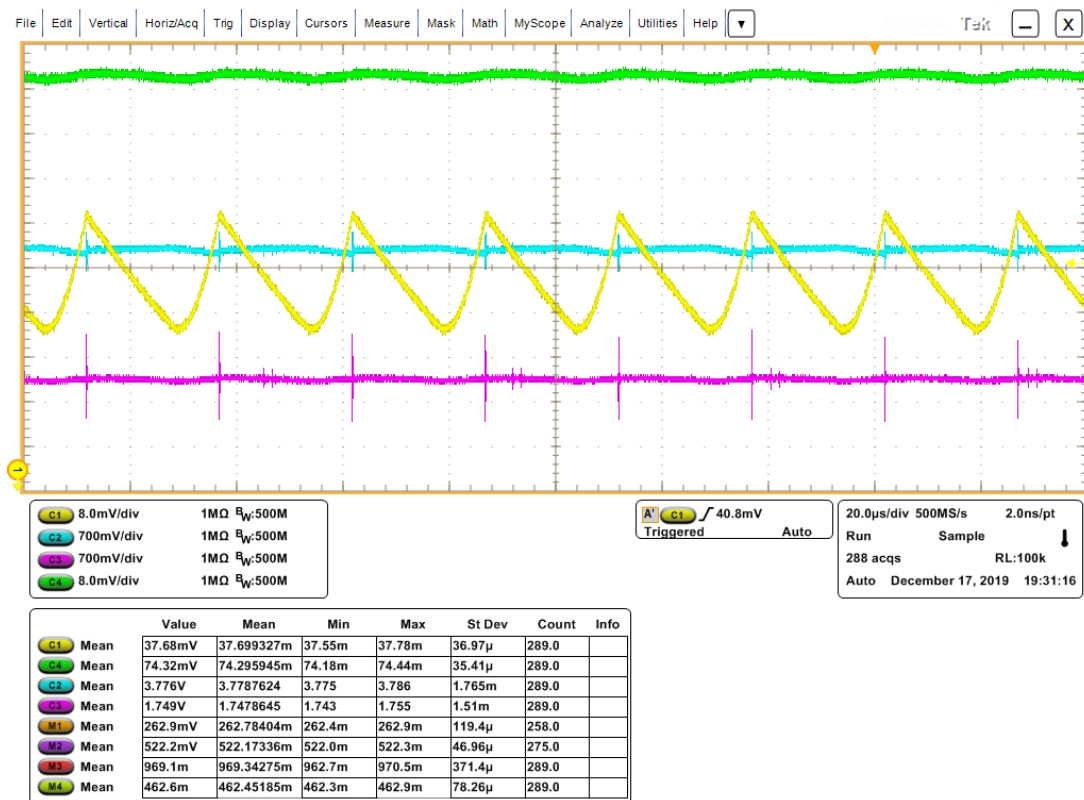


Figura 127: Resultado experimental Zeta síncrono, $D = 0,37$

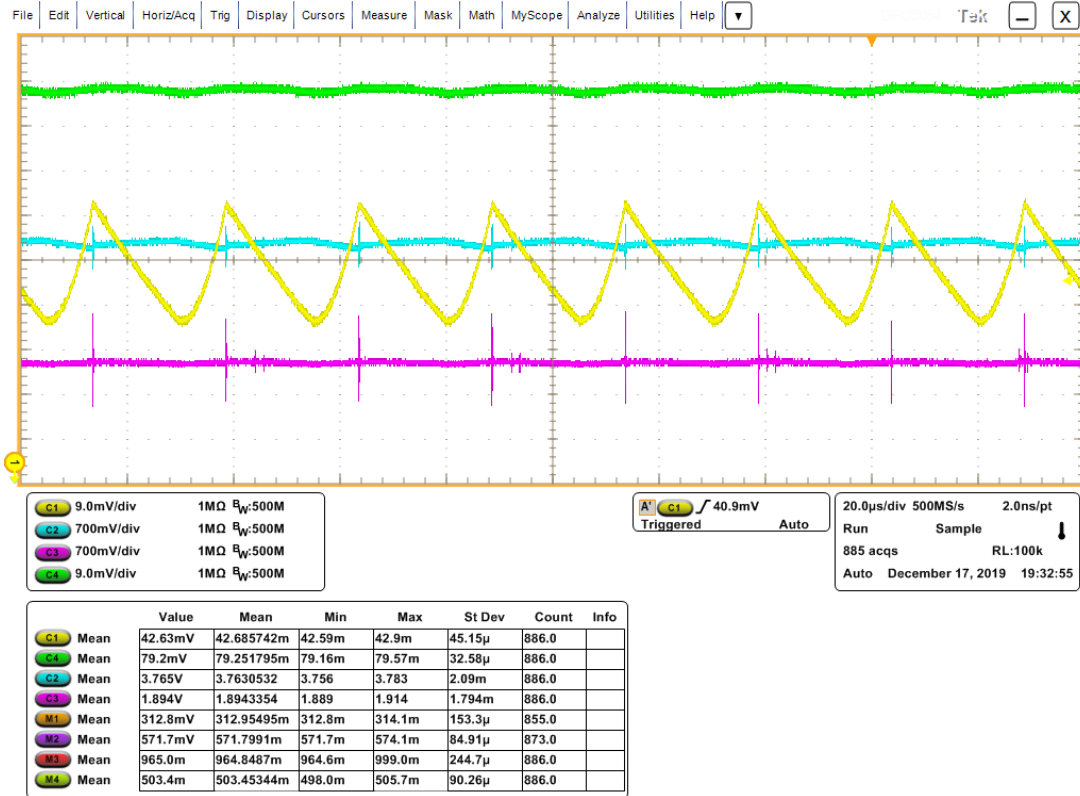


Figura 128: Resultado experimental Zeta síncrono, $D = 0,40$

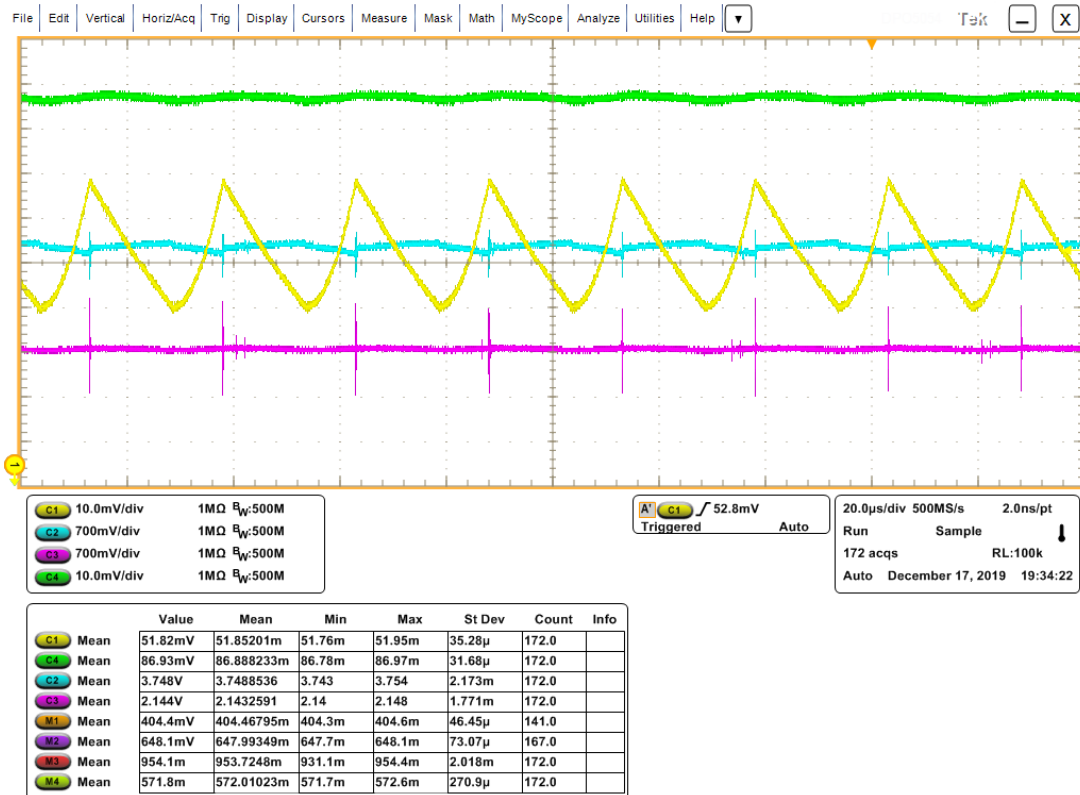


Figura 129: Resultado experimental Zeta síncrono, $D = 0,42$

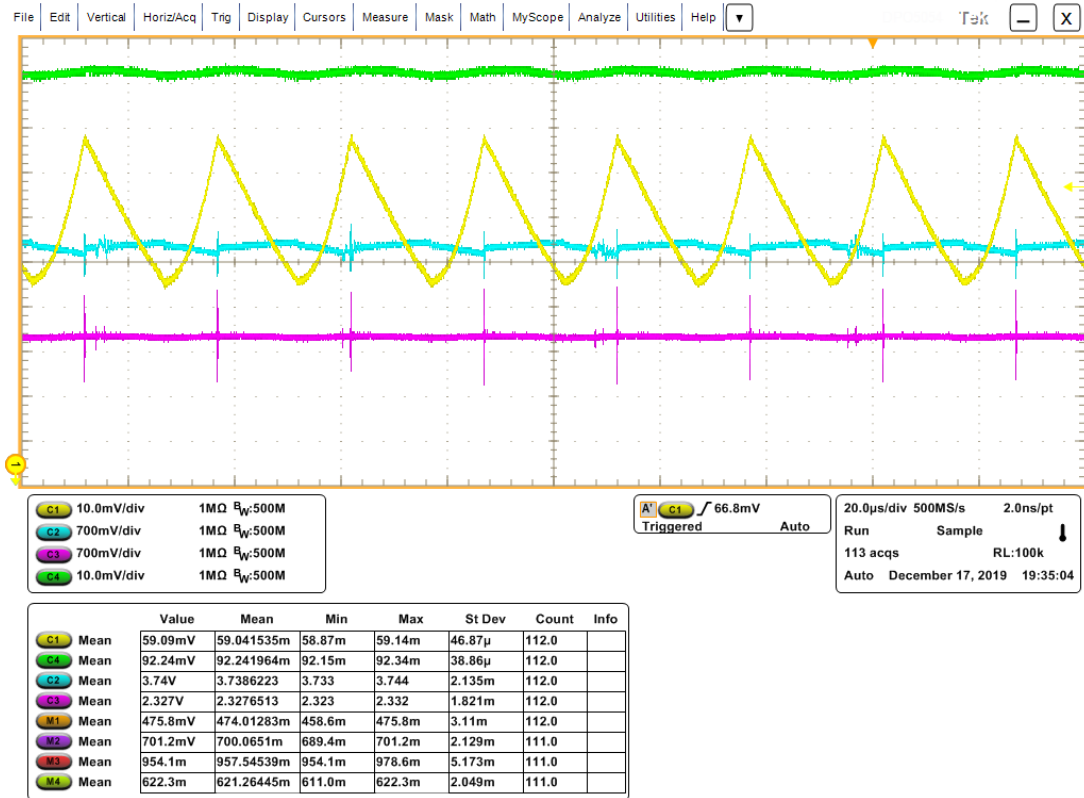


Figura 130: Resultado experimental Zeta síncrono, $D = 0,45$

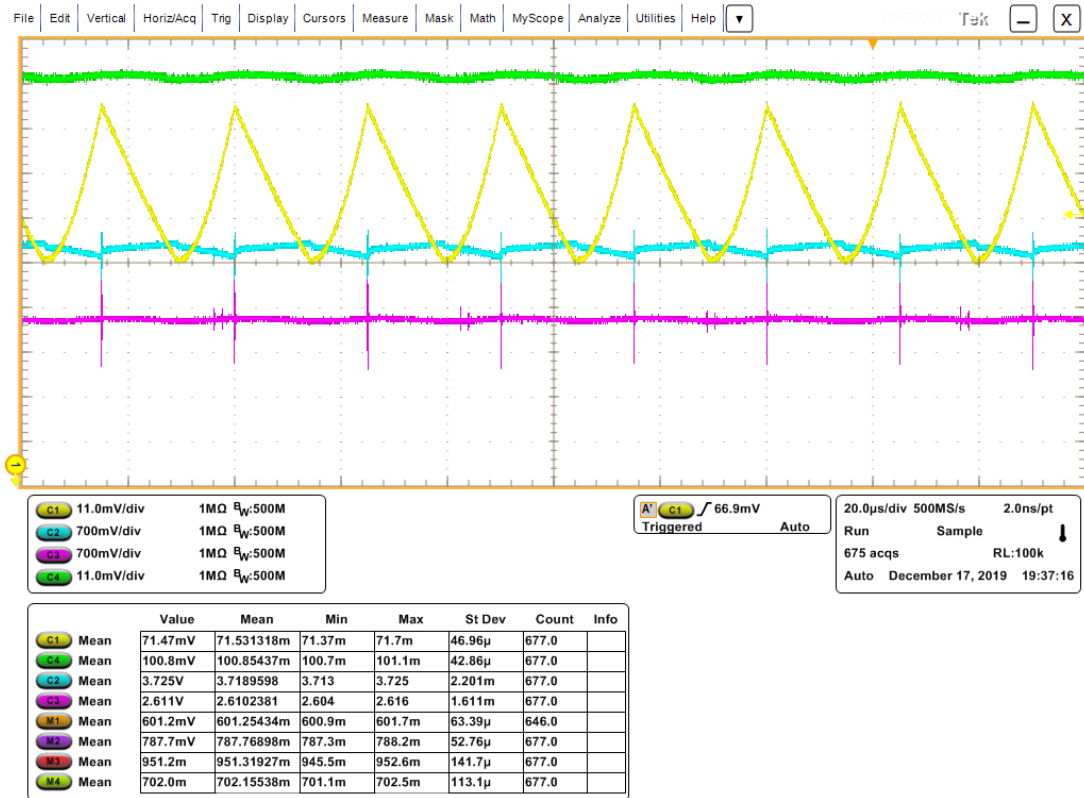


Figura 131: Resultado experimental Zeta síncrono, $D = 0,47$

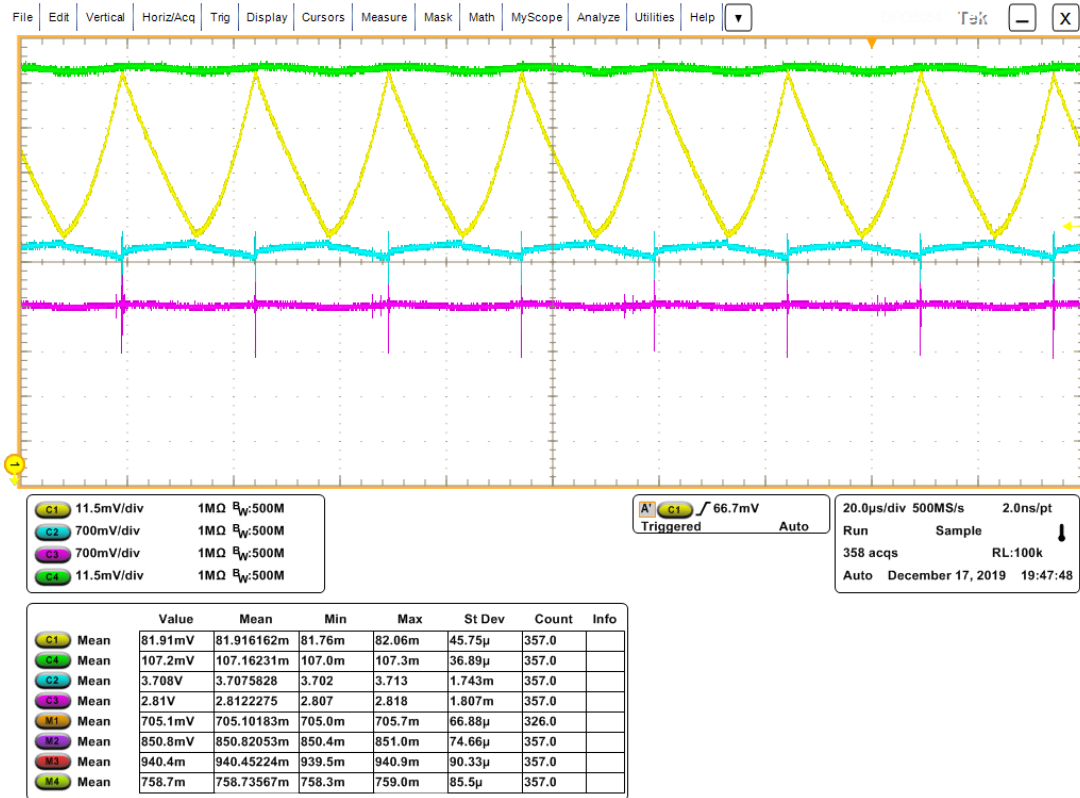


Figura 132: Resultado experimental Zeta síncrono, $D = 0,50$

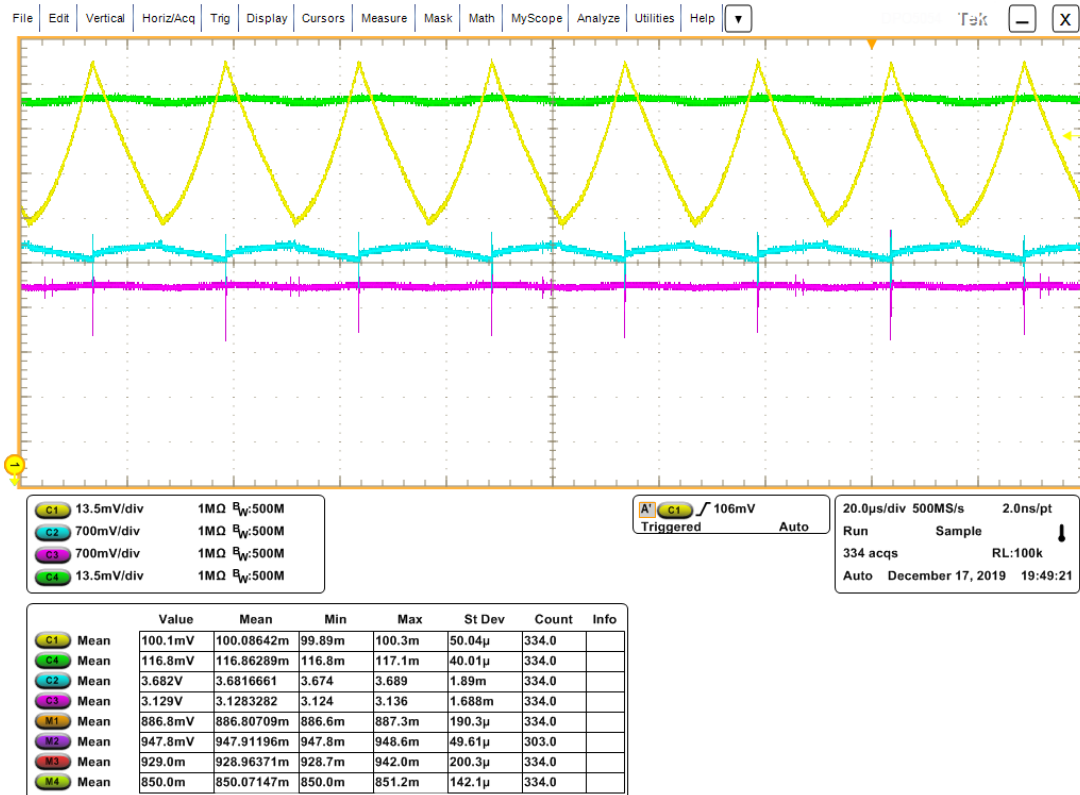


Figura 133: Resultado experimental Zeta síncrono, $D = 0,52$

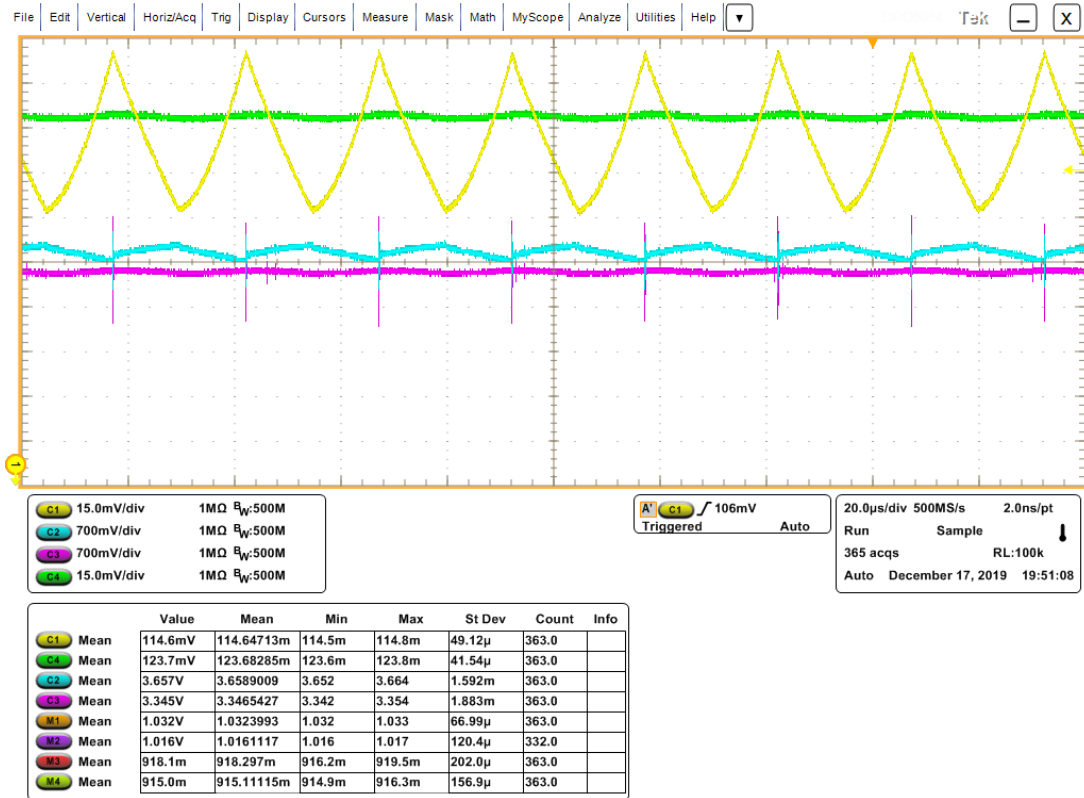


Figura 134: Resultado experimental Zeta síncrono, $D = 0,55$

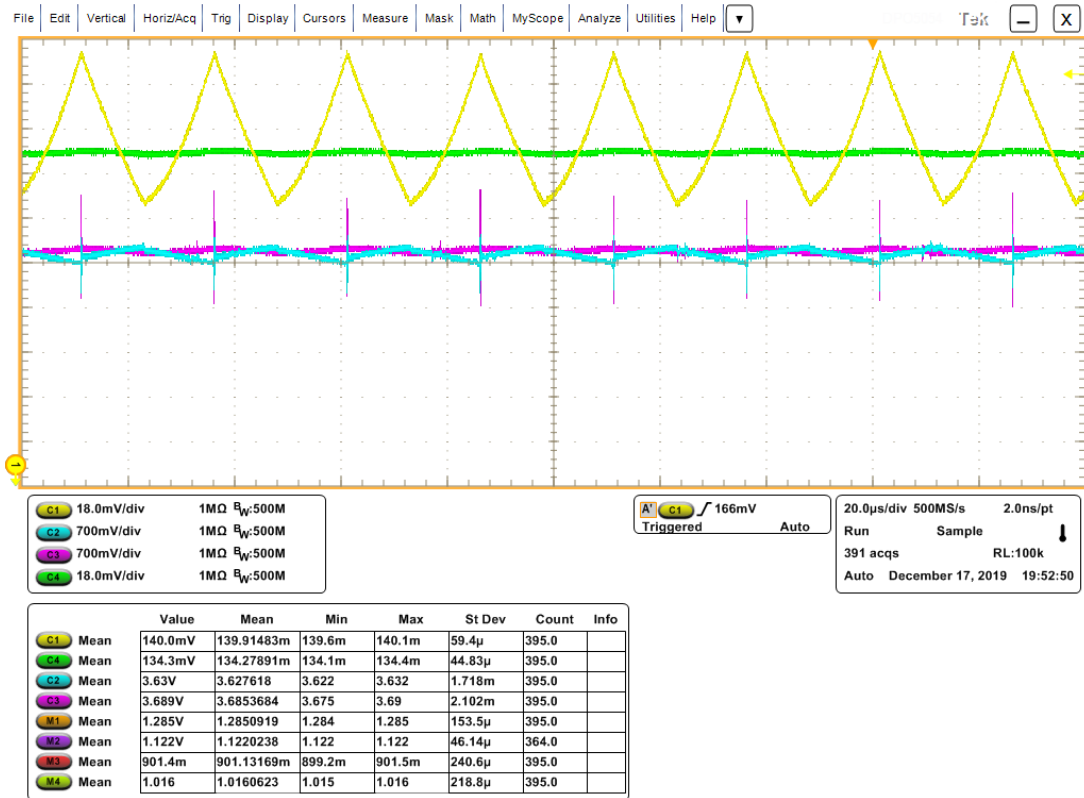


Figura 135: Resultado experimental Zeta síncrono, $D = 0,57$

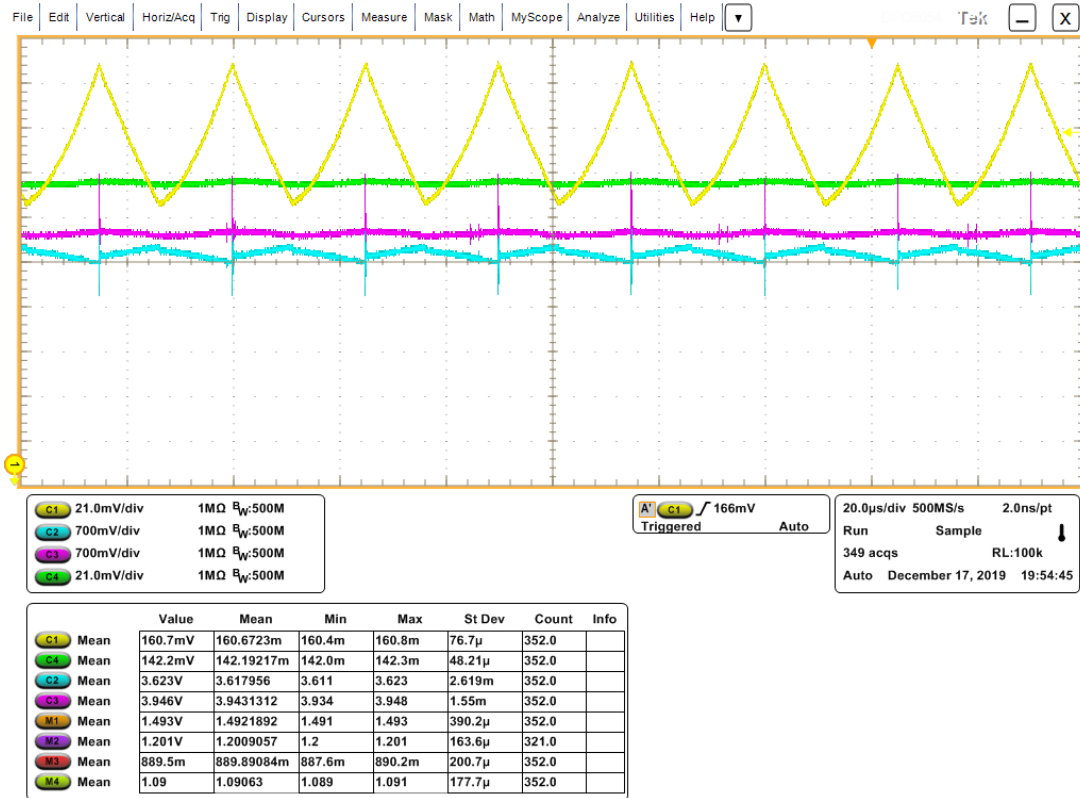


Figura 136: Resultado experimental Zeta síncrono, $D = 0,60$

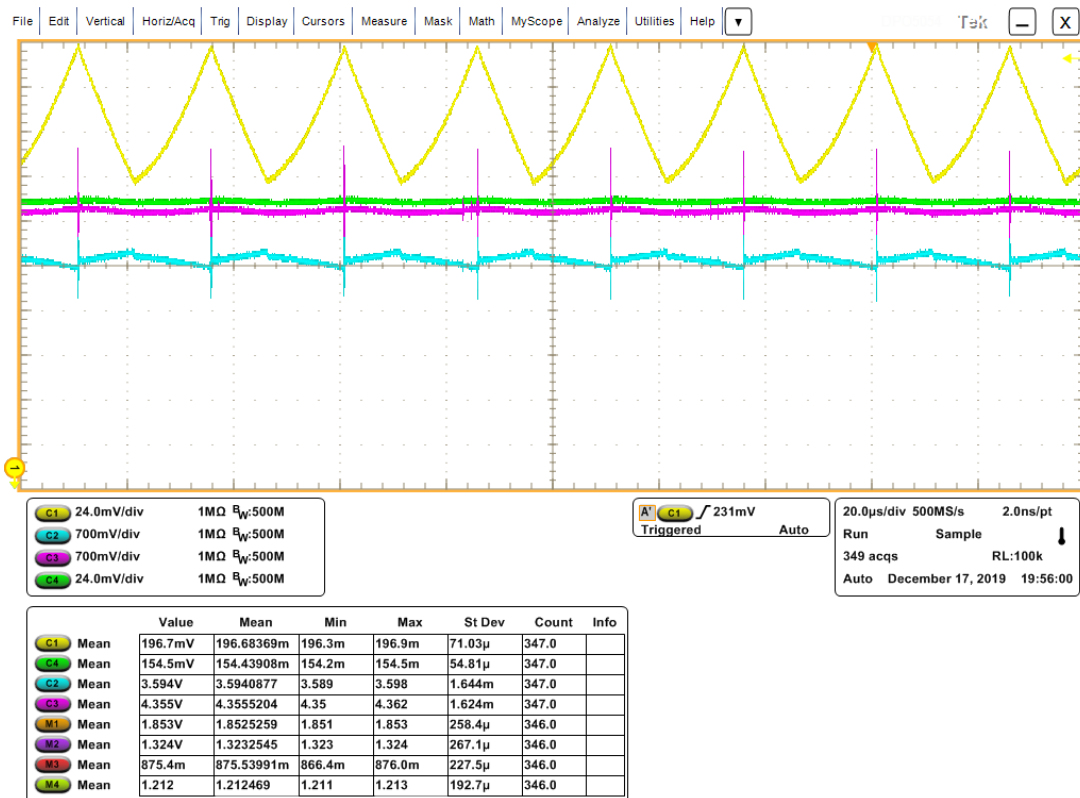


Figura 137: Resultado experimental Zeta síncrono, $D = 0,62$

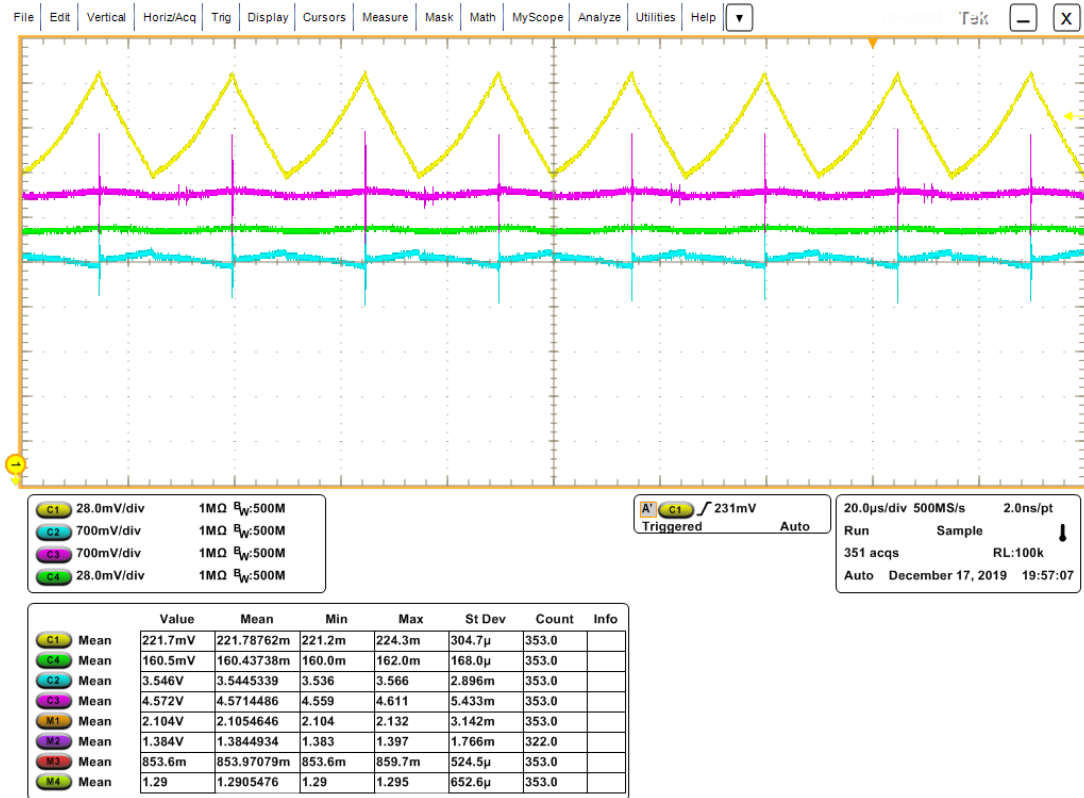


Figura 138: Resultado experimental Zeta síncrono, $D = 0,65$

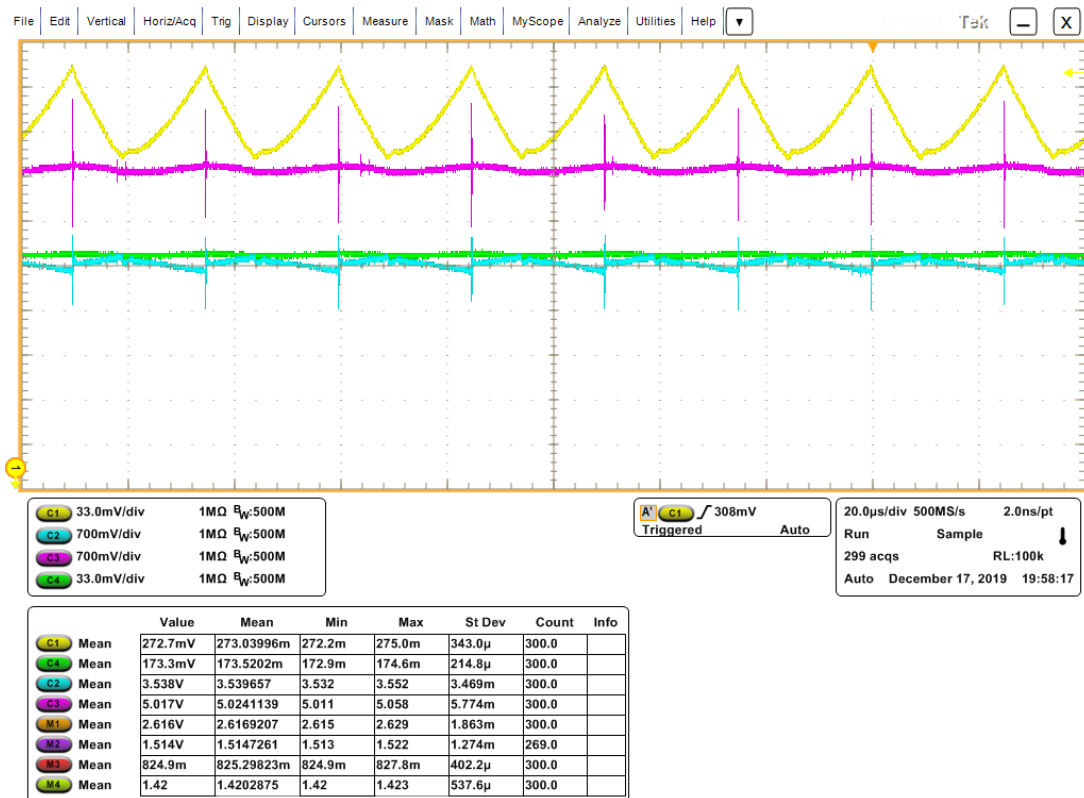


Figura 139: Resultado experimental Zeta síncrono, $D = 0,67$

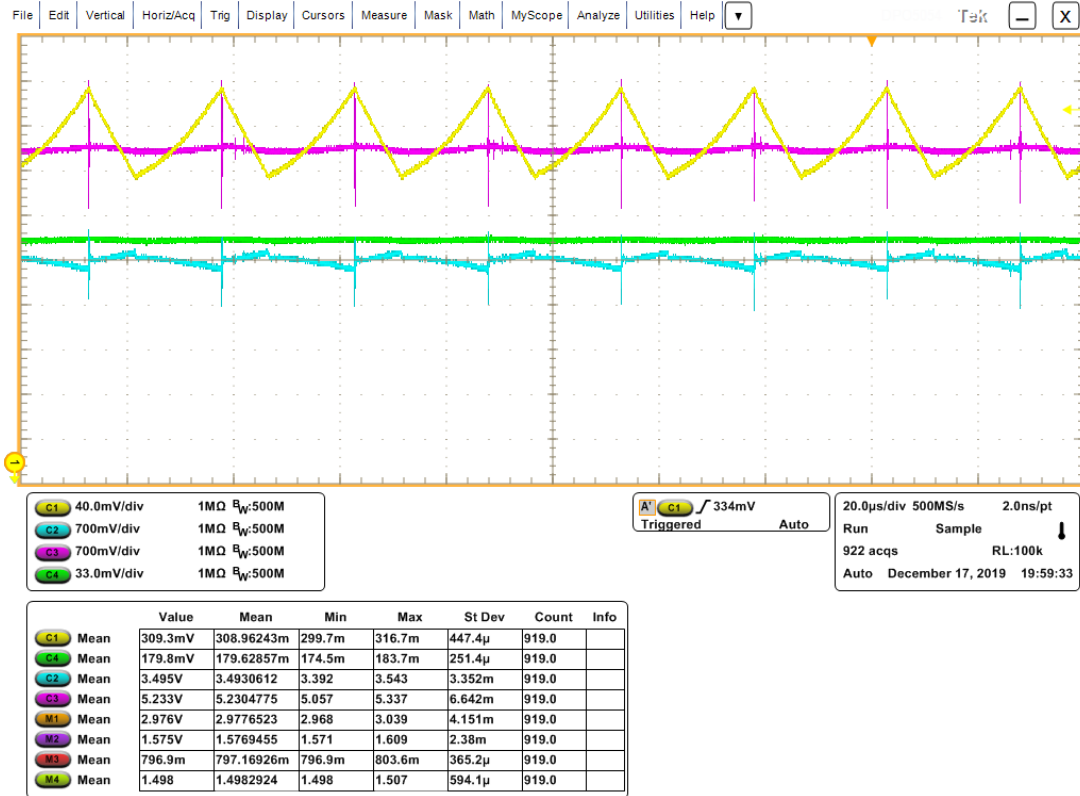


Figura 140: Resultado experimental Zeta síncrono, $D = 0,70$

