RODRIGO AUGUSTO MODESTO

Estudo, Projeto e Implementação de Sistemas UPQC/UPS Trifásicos Aplicados no Condicionamento Ativo de Energia Elétrica

Tese apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Doutor em Ciências, Programa de Pós-Graduação em Engenharia Elétrica.

Área de Concentração: Sistemas Dinâmicos

Orientador: Prof. Dr. Azauri Albano de Oliveira Jr.

Coorientador: Prof. Dr. Sérgio Augusto Oliveira da Silva

São Carlos
2015

Trata-se da versão corrigida da tese. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Modesto, Rodrigo Augusto
M691e Estudo, Projeto e Implementação de Sistemas UPQC/UPS Trifásicos Aplicados no Condicionamento Ativo de Energia Elétrica / Rodrigo Augusto Modesto; orientador Azauri Albano de Oliveira Jr; coorientador Sérgio Augusto Oliveira da Silva. São Carlos, 2015.

Tese (Doutorado) - Programa de Pós-Graduação em Engenharia Elétrica e Área de Concentração em Sistemas Dinâmicos -- Escola de Engenharia de São Carlos da Universidade de São Paulo, 2015.

1. Condicionamento Ativo de Potência. 2. Conversores PWM . 3. Supressão de Harmônicos. 4. UPQC. 5. UPS. I. Título.

FOLHA DE JULGAMENTO

Candidato: Tecnólogo **RODRIGO AUGUSTO MODESTO**.

Título da tese: "Estudo, projeto e implementação de sistemas UPQC/UPS trifásicos aplicados no condicionamento ativo de energia elétrica".

Data da defesa: 11/02/2015

Comissão Julgadora:	**Resultado:**
Prof. Dr. **Sergio Augusto Oliveira da Silva (Co-Orientador)** (Universidade Tecnológica Federal do Paraná/UTFPR)	APROVADO
Prof. Dr. **José Roberto Boffino de Almeida Monteiro** (Escola de Engenharia de São Carlos/EESC)	APROVADO
Prof. Dr. **Alessandro Luiz Batschauer** (Universidade do Estado de Santa Catarina/UDESC)	APROVADO
Prof. Dr. **Marcello Mezaroba** (Universidade do Estado de Santa Catarina/UDESC)	APROVADO
Prof. Dr. **Marcelo Cabral Cavalcanti** (Universidade Federal de Pernambuco/UFPE)	APROVADO

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica:
Prof. Associado **Luis Fernando Costa Alberto**

Presidente da Comissão de Pós-Graduação:
Prof. Associado **Paulo César Lima Segantine**

Dedico este trabalho aos meus pais, Inês e Edson, e a minha esposa Danyele.

Agradecimento

Agradeço em primeiro lugar aos meus pais Edson e Inês, em especial ao meu pai que sempre esteve presente principalmente na minha vida profissional me ensinando a honrar os compromissos com responsabilidade e dedicação, que não pode acompanhar a finalização deste trabalho.

A minha esposa Danyele, por todo apoio, paciência e amor que sempre esteve ao meu lado me apoiando principalmente nos momentos mais difíceis.

Ao meu orientador Azauri Albano de Oliveira Junior, que acreditou no meu trabalho e que oportunizou o desenvolvimento deste trabalho dando orientações e apoio necessários para a conclusão deste projeto.

Ao meu coorientador Sérgio Augusto Oliveira da Silva, com a sua dedicação incontestável ao trabalho e sabedoria, esteve sempre no decorrer deste projeto me orientando e me incentivando a superar os desafios encontrados.

Aos membros da banca examinadora os Professores Alessandro Luiz Batschauer, Marcelo Cabral Cavalcanti, Marcello Mezaroba e Jose Roberto Boffino De Almeida Monteiro.

Aos colegas do laboratório da Universidade Tecnológica Federal do Paraná em especial aos Professores Leonardo Bruno Garcia Campanhol e Leonardo Poltronieri Sampaio, pela amizade, e pelas ideias e ajudas durante a implementação prática do projeto. E aos amigos Rodrigo Barrivieira, Edson Junior Acrodi e Tiago dos Santos, que fizeram parte do laboratório durante o desenvolvimento de seus trabalhos de mestrado que eu pude acompanhar me proporcionando um excelente aprendizado.

Agradeço à Universidade Tecnológica Federal do Paraná campus Cornélio Procópio por ter viabilizado o afastamento das minhas atividades docentes no período final deste doutorado.

Sumário

Lista de Figuras 13

Lista de Tabelas 23

Lista de Siglas 25

Lista de Símbolos 27

Resumo 33

Abstract 35

Capítulo 1

Introdução, Objetivos do Trabalho e Organização da Tese 37

1.1 Introdução 37

1.2 Objetivos 40

1.3 Organização do Trabalho 41

Capítulo 2

Condicionadores de Energia Elétrica 43

2.1 Fontes Ininterruptas de Energia (UPS) 43

2.1.1 Topologias de Fontes Ininterruptas de Energia (UPS) 44

2.1.1.1 UPS de Dupla Conversão de Energia 44

2.1.1.2 UPS de Simples Conversão de Energia 45

2.1.1.3 UPS *Line Interactive* com Compensação Ativa de Potência Série e Paralela 47

2.2 Condicionadores de Qualidade de Energia Unificados (UPQC) 52

2.3 Princípio de Compensação Dual 52

2.4 Topologias De UPQC/UPS Trifásica a Quatro Fios com Condicionamento Ativo de Potência 56

2.5 Conclusões 59

Capítulo 3

Modelagem e Algoritmos de Controle 61

3.1 Modelagens das Topologias de UPQC/UPS 61

3.1.1 Fluxo de Potência no UPQC/UPS 64

3.2 Algoritmo de Geração de Referência 67
3.2.1 Sistema *PLL* 69
3.2.2 Algoritmo de Geração de Referência e Controle Baseado no Método SRF 73
3.2.3 Modelagem dos Inversores de tensão *VSI* Operando como Fonte de Corrente 76
3.2.3.1 Modelagem do conversor T-L operando como fonte de corrente 76
3.2.3.2 Modelagem do conversor F-L operando como fonte de corrente 81
3.2.3.3 Modelagem do conversor S-C operando como fonte de corrente 86
3.2.4 Modelagem do conversor de tensão *VSI* Operando como Fonte de Tensão 89
3.2.5 Modelo da Malha de Tensão do Barramento CC 95
3.2.5.1 Modelo da malha de controle do desequilíbrio de tensão do barramento CC 97
3.3 Conclusões 99

Capítulo 4

Projeto dos Controladores das Malhas de Tensão e Corrente e Resultados de Simulação 101

4.1 Projeto dos Controladores 101
4.1.1 Projetos dos Controladores dos Conversores Série 102
4.1.2 Projeto dos Controladores do Conversor Paralelo 107
4.1.3 Projeto dos controladores de tensão do barramento CC 114
4.2 Discretização dos Controladores 118
4.3 Resultados de Simulações 119
4.3.1 Resultados de Simulações – Topologia Composta por Dois Conversores F-L 121
4.3.1.1 Resultados de simulações do sistema operando como UPQC 123
4.3.1.2 Resultados de simulações do sistema operando como UPS 128
4.3.2 Resultados de Simulações – Topologia Composta por Um Conversor S-C e um F-L 129
4.3.2.1 Resultados de simulações do sistema operando como UPQC 131
4.3.2.2 Resultados de simulações do condicionador de energia operando como UPS 135

4.3.3 Resultados de Simulações – Topologia Composta por Um Conversor T-L e um F-L 136
4.3.3.1 Resultados de simulações do sistema operando como UPQC 137
4.3.3.2 Resultados de simulações do sistema operando como UPS 140
4.4 Conclusões 142

Capítulo 5

Resultados Experimentais 145

5.1 Descrição Do Protótipo 145
5.2 Resultados Experimentais – Topologia Composta Por Dois Conversores F-L 148
5.2.1 Resultados Experimentais do Sistema Operando como UPQC. 149
5.2.2 Resultados Experimentais do Sistema Operando como UPS 164
5.3 Resultados Experimentais – Topologia Composta Por Um Conversor S-C e um Conversor F-L. 166
5.3.1 Resultados Experimentais do Sistema Operando como UPQC. 167
5.3.2 Resultados Experimentais do Sistema Operando como UPS 178
5.4 Resultados Experimentais – Topologia Composta por um Conversor T-L e um Conversor F-L. 180
5.4.1 Resultados Experimentais do Sistema Operando como UPQC. 180
5.4.2 Resultados Experimentais do Sistema Operando como UPS 189
5.5 Análise Comparativa das Topologias Apresentadas 191
5.6 Conclusões 194

Capítulo 6

Conclusões e Propostas de Continuidade 197

6.1 Propostas de Continuidade 199
6.2 Publicações 200

Referências Bibliográficas 201

Apêndice A – Código C Implementado no *DSP* (Conversor Paralelo F-L) 211

Apêndice B – Código C Implementado no *DSP* (Conversor Série F-L) 227

Lista de Figuras

Figura 1 – Cargas lineares e não lineares conectadas ao PAC. 38
Figura 2 – Diagrama em blocos simplificado da UPS de dupla conversão de energia. 45
Figura 3 – Diagrama em blocos simplificado da UPS de simples conversão de energia. 46
Figura 4 – Diagrama em blocos simplificado da UPS Line Interactive com compensação ativa de potência série e paralela. 47
Figura 5 – UPS Line Interactive trifásica com compensação ativa série e paralela. .48
Figura 6 – UPS Line Interactive trifásica a quatro fios com compensação ativa série e paralela. 49
Figura 7 – UPS Line Interactive monofásica com compensação ativa série e paralela. 51
Figura 8 – Diagrama simplificado de um sistema UPQC. 52
Figura 9 – UPQC/UPS trifásica composta por dois conversores S-C. 57
Figura 10 – UPQC/UPS trifásica composta por dois conversores F-L. 58
Figura 11 – UPQC/UPS trifásica composta por um conversor S-C e um F-L. 58
Figura 12 – UPQC/UPS trifásica composta por um conversor T-L e um F-L aplicado em sistemas trifásicos a três e a quadro fios. 59
Figura 13 – Diagrama simplificado da UPS. 62
Figura 14 – Circuito monofásico simplificado da UPS. 63
Figura 15 – Fluxo de potência: $(vsa, vsb, vsc) > (vLa, vLb, vLc)$. 65
Figura 16 – Fluxo de potência: $(vsa, vsb, vsc) < (vLa, vLb, vLc)$. 65
Figura 17 – Fluxo de potência: $(vsa, vsb, vsc) = (vLa, vLb, vLc)$. 65
Figura 18 – Diagrama de blocos compensador SRF. 69
Figura 19 – Sistema p-PLL. 70
Figura 20 – Filtro auto sintonizado (STF). 71
Figura 21 – Diagrama de Bode do STF considerando diversos valores do parâmetro K (ωc = 377 rad/sec). 71
Figura 22 – Esquema STF-p-PLL Trifásico. 72
Figura 23 – Sistema PLL: (a) Tensões da rede (vsa, vsb, vsc); (b) Correntes fictícias ($i'\alpha$ e $i'\beta$); (c) Potência fictícia trifásica (p') 73

Figura 24 – Algoritmo de geração de referência e controle de corrente do conversor série. 74
Figura 25 – Algoritmo de geração de referência e controle de tensão do conversor paralelo. 75
Figura 26 – Filtro Ativo de Potência Série (Conversor T-L) a três fios. 77
Figura 27 – Circuito equivalente do conversor série no referencial síncrono $dq0$..... 80
Figura 28 – Diagrama de blocos do modelo no referencial síncrono dq. 81
Figura 29 – Filtro Ativo de Potência Série (Conversor F-L) a quatro fios. 82
Figura 30 – Circuito equivalente do conversor série no referencial síncrono $dq0$..... 85
Figura 31 – Diagrama de blocos do modelo no referencial síncrono $dq0$. 86
Figura 32 – Filtro Ativo de Potência Série (Conversor S-C) a quatro fios. 87
Figura 34 – Circuito equivalente do conversor série no referencial síncrono $dq0$..... 88
Figura 35 – Diagrama de blocos do modelo no referencial síncrono $dq0$. 88
Figura 35 – Filtro Ativo de Potência Paralelo de Tensão a quatro fios. 89
Figura 36 – Circuitos equivalentes no referencial $dq0$. 94
Figura 37 – Modelo em diagrama de Blocos do sistema em Coordenadas $dq0$..... 95
Figura 38 – Geração de referência e controle do conversor série. 98
Figura 39 – Circuito simplificado da planta de desequilíbrio de tensão do barramento CC..... 99
Figura 40 – Diagrama em blocos das malhas de controle dos conversores série. . 103
Figura 41 – Resposta em frequência das funções $Gs(dq)(s)$, $GMAs(dq)(s)$ e $GPIs(dq)(s)$. 105
Figura 42– Resposta em frequência da malha de corrente com controlador PI no referencial síncrono dq. 105
Figura 43 – Resposta em frequência das funções $Gs(0)(s)$, $GMAs(0)(s)$ e $GPIs(0)(s)$..... 107
Figura 44 – Resposta em frequência da malha de corrente com controlador PI no referencial zero. 107
Figura 45 – Diagrama em blocos das malhas de controle do conversor paralelo... 109
Figura 46 – Resposta em frequência das funções $Gpi(d,q)$ e $GMApi(d,q)$. 110
Figura 47 – Diagrama em blocos da malha externa de tensão. 111
Figura 48 – Resposta em frequência das funções $Gpv(d,q)$, $GpPIvd,q$ e $GMApv(d,q)$..... 112

Figura 49 – Resposta em frequência do conversor paralelo com os controladores da malha externa de tensão e da malha interna de corrente no referencial síncrono dq. 113
Figura 50 – Resposta em frequência do conversor paralelo com os controladores projetados das malhas externa de tensão e interna de corrente no referencial zero. 114
Figura 51 – Resposta em frequência da malha de tensão do barramento CC. 116
Figura 52 – Resposta em frequência da malha de controle de desequilíbrio de tensão do barramento CC. 117
Figura 53 – Diagrama em blocos dos UPQCs/UPSs simulados. 119
Figura 54 – Esquema elétrico dos conjuntos de cargas 1 e 2. 121
Figura 55 - Condicionador de energia composto por dois conversores VSI F-L. 122
Figura 56 – Diagrama em blocos do controlador do conversor paralelo. 123
Figura 57 - Diagrama em blocos da geração da corrente de referência e controle do conversor série. 123
Figura 58 – Tensões do UPQC: (a) Tensões da rede elétrica (vsa, vsb, vsc); Tensões na carga (vLa, vLb, vLc). 124
Figura 59 – Correntes no UPQC: (a) Correntes da carga (iLa, iLb, iLc); (b) Corrente de neutro do conversor paralelo (iCn); (c) Correntes na rede (isa, isb, isc); (d) Corrente de neutro do conversor série (isn). 125
Figura 60 – Tensões do UPQC: Tensão da carga (vLa); Tensão da rede (vsa); Tensão de compensação (vCa). 125
Figura 61 – Correntes do UPQC: Corrente da carga (iLa); Corrente da rede (isa); Corrente de compensação (iCa). 126
Figura 62 – Correntes do UPQC: (a) Correntes de entrada e saída da fase a (isa e iLa); (b) Correntes de entrada e saída da fase b (isb e iLb); (c) Correntes de entrada e saída da fase c (isc e iLc). 126
Figura 63 – Tensão do barramento (VCC). 127
Figura 64 – Tensões do UPQC: (a) Tensões de entrada (vsa, vsb, vsc); (b) Tensões de saída (vLa, vLb, vLc). 127
Figura 65 – Tensões na UPS: (a) Tensões da rede (vsa, vsb, vsc); (b) Tensões na carga (vLa, vLb, vLc). 128

Figura 66 – Correntes da fase “a” do sistema UPS: (a) Corrente de entrada (isa); (b) Corrente da carga (iLa); (c) Corrente no conversor paralelo (iCa). 129
Figura 67 – Condicionador de energia composto pelos conversores S-C e F-L..... 130
Figura 68 - Diagramas em blocos da geração da corrente de referência e controle do conversor série. 131
Figura 69 – Tensões do UPQC: (a) Tensões da rede elétrica (vsa, vsb, vsc); (b) Tensões na carga (vLa, vLb, vLc)..... 131
Figura 70 – Correntes no UPQC: (a) Correntes da carga (iLa, iLb, iLc); (b) Corrente de neutro do conversor paralelo (iCn); (c) Correntes na rede (isa, isb, isc); (d) Corrente de neutro do conversor série (isn). 132
Figura 71 – Correntes do UPQC: (a) Correntes de entrada e saída da fase a (isa e iLa); (b) Correntes de entrada e saída da fase b (isb e iLb); (c) Correntes de entrada e saída da fase c (isc e iLc)..... 133
Figura 72 – Tensão total do barramento CC (VCC) e em ambos os capacitores do barramento CC (VCC+) e (VCC-). 133
Figura 73 – Tensão total do barramento CC (VCC) e em ambos os capacitores do barramento CC (VCC+) e (VCC-). 134
Figura 74 – Tensões do UPQC: (a) Tensões de entrada (vsa, vsb, vsc); (b) Tensões de saída (vLa, vLb, vLc)..... 134
Figura 75 – Tensões na UPS: (a) Tensões da rede (vsa, vsb, vsc); (b) Tensões na carga (vLa, vLb, vLc). 135
Figura 76 – Correntes da UPS: (a) Corrente de entrada (isa); (b) Corrente da carga (iLa); (c) Corrente no conversor paralelo (iCa). 136
Figura 77 – Condicionador de energia composto pelos conversores T-L e F-L..... 137
Figura 78 - Diagramas em blocos da geração da corrente de referência e controle do conversor série. 137
Figura 79 – Tensões do UPQC: (a) Tensões da rede elétrica (vsa, vsb, vsc); Tensões na carga (vLa, vLb, vLc). 138
Figura 80 – Correntes no UPQC: (a) Correntes da carga (iLa, iLb, iLc); (b) Corrente de neutro do conversor paralelo (iCn); (c) Correntes na rede (isa, isb, isc); (d) Corrente de neutro do conversor série (isn). 138

Figura 81 – Correntes do UPQC: (a) Correntes de entrada e saída da fase a (isa e iLa); (b) Correntes de entrada e saída da fase b (isb e iLb); (c) Correntes de entrada e saída da fase c (isc e iLc). 139
Figura 82 – Tensão do barramento (VCC). 139
Figura 83 – Tensões do UPQC: (a) Tensões de entrada (vsa, vsb, vsc); (b) Tensões de saída (vLa, vLb, vLc). 140
Figura 84 – Tensões na UPS: (a) Tensões da rede (vsa, vsb, vsc); (b) Tensões na carga (vLa, vLb, vLc). 141
Figura 85 – Correntes da UPS: (a) Corrente de entrada (isa); (b) Corrente da carga (iLa); (c) Corrente no conversor paralelo (iCa).....141
Figura 86 – Diagrama em blocos do protótipo experimental. 146
Figura 87 – Foto do protótipo. 148
Figura 88 – Condicionador implementado com dois conversores VSI F-L. 149
Figura 89 – Pré-carga dos capacitores do barramento CC: Tensão do barramento CC (Vcc) e correntes da rede (isa, isb, isc) do UPQC (100 V/div, 50 A/div, 1 s/div). 150
Figura 90 – Condicionador com as chaves (sw1, sw2 e sw3) previstas para o estágio de pré-carga. 150
Figura 91 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases “a, b e c” (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases a, b e c (isa, isb, isc) e de neutro na rede (isn); (c) Correntes do conversor paralelo nas fases a, b e c (ica, icb, icc) e de neutro do conversor paralelo (icn); (d) Correntes da fase “a”: carga (iLa), conversor paralelo (ica) e rede (isa). 152
Figura 92 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (vsa, vsb, vsc) (50 V/div) e corrente da fase “b” da rede (isb) (10 A/div); (b) Tensões da carga (vLa, vLb, vsL) (50 V/div) e corrente da carga da fase “a” (iLa) (10 A/div). 153
Figura 93 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 1: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 154

Figura 94 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): Tensões da fase “c” para $Vsc = VLc$: entrada vsc, saída vLc e transformador de acoplamento vCc (50 V/div). 155
Figura 95 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da fase “c” para $Vsc > VLc$: entrada vsc, saída vLc e transformador de acoplamento vCc (50 V/div); (b) Tensões da fase “c” para $VLc > Vsc$: entrada vsc (60 V/div), saída vLc (60 V/div) e transformador de acoplamento vCc (50 V/div)..... 155
Figura 96 – Potência do UPQC: Tensões $Vsc = VLc$: (a) Entrada e (b) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA; Tensões $Vsc > VLc$ (c) Entrada e (d) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA; Tensões $VLc > Vsc$: (e) Entrada e (f) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA. 156
Figura 97 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 500ms/div): (a) retirada da carga da fase “a”: Tensão do barramento CC (vcc) e correntes de carga (iLa, iLb, iLc); (b) retirada da carga da fase “a”: Tensão do barramento CC (vcc) e correntes da rede (isa, isb, isc)..... 157
Figura 98 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 250ms/div): (a) degrau de carga: Tensão do barramento CC (vcc) e correntes da rede (isa, isb, isc); (b) retirada da carga: Tensão do barramento CC (vcc) e correntes da rede (isa, isb, isc)..... 158
Figura 99 – Correntes do UPQC com a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases abc (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases abc (isa, isb, isc) e de neutro na rede (isn). 159
Figura 100 – Correntes da fase “a” do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (iLa), conversor paralelo (ica) e rede (isa). 159
Figura 101 – Correntes e tensões da fase “a” para a carga monofásica 2 (10 A/div, 50 V/div e 5 ms/div): (a) Tensão de entrada (vsa) e a corrente de entrada (isa); (b) Tensão de saída (vLa) e a corrente de saída (iLa)..... 160
Figura 102 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa)..... 161

Figura 103 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (iLa, iLb, iLc) (5 A/div); (b) Correntes compensadas da rede (isa, isb, isc) (10 A/div); (c) Correntes do conversor paralelo (ica, icb, icc) (10 A/div); (d) Correntes da fase “a”: carga iLa (20 A/div), conversor paralelo ica (10 A/div) e rede isa (20 A/div). 162
Figura 104 – Tensões do UPQC com a carga trifásica (2,5 ms/div): Tensões da carga (vLa, vLb, vsL) (50 V/div). 162
Figura 105 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 163
Figura 106 – Correntes e tensões da UPS durante as transições entre os modos standby-backup-standby: (a) Tensão de saída fase “a” (vLa) (50 V/div, 10 ms/div) e as correntes da rede (isa, isb e isc) (10 A/div, 10 ms/div); (b) correntes da fase “c” (10 A/div, 10 ms/div): Corrente da rede (isc), corrente no conversor paralelo (icc), corrente da carga (iLc); (c) correntes da fase “a” (10 A/div, 10 ms/div): Corrente da rede (isa), corrente no conversor paralelo (ica), corrente da carga (iLa).....165
Figura 107 – Correntes e tensões da UPS durante as transições entre os modos standby-backup-standby (50 V/div, 10 A/div, 10 ms/div): (a) Tensão de saída fase “a” (vLa), Corrente da rede (isa) e a corrente no conversor paralelo (ica); (b) Tensão de saída fase “c” (vLc), Corrente da rede (isc) e a corrente no conversor paralelo (icc). 166
Figura 108 – Condicionador implementado com um conversor S-C e uma conversor F-L.....167
Figura 109 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases a, b e c (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases a, b e c (isa, isb, isc) e de neutro na rede (isn); (c) Correntes do conversor paralelo nas fases a, b e c (ica, icb, icc) e de neutro do conversor paralelo (icn); (d) Correntes da fase “a”: carga (iLa), conversor paralelo (ica) e rede (isa).....168
Figura 110 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (vsa, vsb, vsc) (50 V/div) e corrente da fase “a” da rede (isa) (10 A/div); (b) Tensões da carga (vLa, vLb, vsL) (50 V/div) e corrente da carga da fase “a” (iLa) (10 A/div). 169

Figura 111 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 1: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 170
Figura 112 – Tensão do barramento CC (100 V/div, 250 ms/div). Tensão do barramento CC (vcc) e tensão nos capacitores do barramento CC ($vcc+$) e ($vcc-$). 171
Figura 113 – Tensões do barramento CC e correntes do UPQC (50 V/div, 20 A/div, 500ms/div). (a) retirada da carga da fase “a”: Tensões do barramento CC ($vcc+$) e ($vcc-$) e correntes de carga (iLa e iLb); (b) retirada da carga da fase “a”: Tensões do barramento CC ($vcc+$) e ($vcc-$) e correntes da rede (isa e isb). 172
Figura 114 – Correntes do UPQC para a carga monofásica 2 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases a, b e c (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases a, b e c (isa, isb, isc) e de neutro na rede (isn). 173
Figura 115 – Correntes da fase “a” do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (iLa), conversor paralelo (ica) e rede (isa). 173
Figura 116 – Correntes e tensões para a carga monofásica 2 (20 A/div, 50 V/div e 5 ms/div): (a) Tensões de entrada (vsa, vsb e vsc) e a corrente de entrada (isa); (b) Tensões de saída (vLa, vLb e vLc) e a corrente de saída (iLa). 174
Figura 117 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 175
Figura 118 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (iLa, iLb, iLc) (5 A/div); (b) Correntes compensadas da rede (isa, isb, isc) (10 A/div); (c) Correntes do conversor paralelo (ica, icb, icc) (10 A/div); (d) Correntes da fase “a”: carga iLa (20 A/div), conversor paralelo ica (10 A/div) e rede isa (20 A/div). 176
Figura 119 – Tensões do UPQC com a carga trifásica (2,5 ms/div): Tensões da carga (vLa, vLb, vsL) (50 V/div). 176
Figura 120 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 177
Figura 121 – Correntes e tensões da UPS durante as transições entre os modos standby-backup-standby: (a) Tensão de saída fase “a” (vLa) (50 V/div, 10 ms/div) e

as correntes da rede (isa, isb e isc) (10 A/div, 10 ms/div); (b) correntes da fase “c” (10 A/div, 10 ms/div): Corrente da rede (isc), corrente no conversor paralelo (icc), corrente da carga (iLc); (c) correntes da fase “a” (10 A/div, 10 ms/div): Corrente da rede (isa), corrente no conversor paralelo (ica), corrente da carga (iLa).....179
Figura 122 – Condicionador implementado com um conversor T-L e um conversor F-L. 180
Figura 123 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases a, b e c (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases a, b e c (isa, isb, isc); (c) Correntes do conversor paralelo nas fases a, b e c (ica, icb, icc) e de neutro do conversor paralelo (icn); (d) Correntes da fase “a”: carga (iLa), conversor paralelo (ica) e rede (isa). 181
Figura 124 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (vsa, vsb, vsc) (50 V/div) e corrente da fase “a” da rede (isa) (10 A/div); (b) Tensões da carga (vLa, vLb, vsL) (50 V/div) e corrente da carga da fase “a” (iLa) (10 A/div). 182
Figura 125 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 1: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 183
Figura 126 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 500ms/div). (a) retirada da carga da fase “a”: Tensão do barramento CC (vcc) e correntes de carga (iLa, iLb, iLc); (b) retirada da carga da fase “a”: Tensão do barramento CC (vcc) e correntes da rede (isa, isb, isc). 184
Figura 127 – Correntes do UPQC para a carga monofásica 2 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases a, b e c (iLa, iLb, iLc) e de neutro (iLn); (b) Correntes compensadas da rede nas fases a, b e c (isa, isb, isc). 184
Figura 128 – Correntes da fase “a” do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (iLa), conversor paralelo (ica) e rede (isa).....185
Figura 129 – Correntes e tensões para a carga monofásica 2 (20 A/div, 50 V/div e 5 ms/div): (a) Tensões de entrada (vsa, vsb e vsc) e a corrente de entrada (isa); (b) Tensões de saída (vLa, vLb e vLc) e a corrente de saída (iLa). 185
Figura 130 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 186

Figura 131 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (iLa, iLb, iLc) (5 A/div); (b) Correntes compensadas da rede (isa, isb, isc) (10 A/div); (c) Correntes do conversor paralelo (ica, icb, icc) (10 A/div); (d) Correntes da fase "a": carga iLa (20 A/div), conversor paralelo ica (10 A/div) e rede isa (20 A/div). 187
Figura 132 – Tensões do UPQC com a carga trifásica (5 ms/div): Tensões da carga (vLa, vLb, vsL) (50 V/div). 188
Figura 133 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 2: (a) Tensão da rede (vsa); (b) Tensão da carga (vLa); (c) Corrente da rede (isa); (d) Corrente da carga (iLa). 189
Figura 134 – Correntes e tensões da UPS durante as transições entre os modos standby-backup-standby: (a) Tensão de saída fase "a" (vLa) (50 V/div, 10 ms/div) e as correntes da rede (isa, isb e isc) (10 A/div, 10 ms/div); (b) correntes da fase "c" (10 A/div, 10 ms/div): Corrente da rede (isc), corrente no conversor paralelo (icc), corrente da carga (iLc); (c) correntes da fase "a" (10 A/div, 10 ms/div): Corrente da rede (isa), corrente no conversor paralelo (ica), corrente da carga (iLa). 190

Lista de Tabelas

Tabela 1 – Parâmetros utilizados no sistema *PLL.* 72
Tabela 2 – Parâmetros para o projeto dos controladores PI dos conversores série 104
Tabela 3 – Parâmetros para o projeto dos controladores do conversor paralelo 108
Tabela 4 – Parâmetros para o projeto do controlador do barramento CC.....115
Tabela 5 – Parâmetros para o projeto do controlador de desequilíbrio de tensão do barramento CC.....116
Tabela 6 – Parâmetros utilizados nas simulações 120
Tabela 7 – Parâmetros do protótipo implementado.....147
Tabela 8 – Parâmetros das cargas utilizadas nos ensaios experimentais 148
Tabela 9 – DHTs das correntes de entrada e saída das três topologias.....191
Tabela 10 – DHTs das tensões de entrada e saída das três topologias 192
Tabela 11 – Características dos conversores série e paralelo.....193
Tabela 12 – Custo comparativo das topologias UPSs (Potência nominal 10kVA) ..193

Lista de Siglas

ABRACE – Associação Brasileira de Grandes Consumidores Industriais de Energia e de Consumidores Livres

CSI – *Current Souce Inverter* (Inversor de corrente)

DHT – Distorção harmônica total

DSP – Processador Digital de Sinais

DVR – *Dynamic Voltage Restoration* (Restaurador Dinâmico de Tensão)

FAP – Filtro Ativo de Potência

FAPP – Filtro Ativo de Potência Paralelo

FAPS – Filtro Ativo de Potência Série

F-L – Inversor Trifásico de Quatro Braços *Four-Leg*

IEC – *International Electrotechnical Commission* (Comissão Internacional de Eletrotécnica)

MLP – Modulação por Largura de Pulsos

PAC – Ponto de acoplamento comum

PLL – *Phase-Locked Loop* (Circuito de Sincronismo)

QEE – Qualidade de energia elétrica

S-C – Inversor Trifásico de Três Braços com Neutro *Split-Capacitor*

SEP – Sistema Elétrico de Potência

SRF – *Synchronous Reference Frame* (Sistema de Referência Síncrona)

STF – *Self Tuning Filter* (Filtro auto sintonizado)

SVM – Modulação Vetorial

T-L – Inversor Trifásico de Três Braços *Tree-Leg*

UPQC –*Unified Power Quality Conditioner* (Condicionadores de Qualidade de Energia Unificados).

UPS – *Uninterruptible Power Supply* (Sistema de Energia ininterrupta)

VSI – *Voltage Source Inverter* (Inversor de tensão)

VTCD – Variações de tensão de curta duração

Lista de Símbolos

$\hat{\theta}_{pll}$ – Ângulo de fase

$\emptyset_c$ – Margem de fase do controlador

$\emptyset_d$ – Margem de fase desejada

$\emptyset_{d_CC}$ – Margem de fase desejada da malha de tensão do barramento CC

$\emptyset_{d_CCdif}$ – Margem de fase desejada da malha de desequilíbrio de tensão do barramento CC

$\emptyset_{d_i}$ – Margem de fase desejada da malha interna de corrente do conversor paralelo

$\emptyset_{d_v}$ – Margem de fase desejada da malha externa de tensão do conversor paralelo

$\emptyset_g$ – Margem de fase da planta

C_{fp} – Capacitor de filtragem do conversor paralelo

DHT_{i_L} – Distorção harmônica total da corrente da carga

$G_{pv_{cc}}(s)$ – Função de transferência da planta do barramento CC

$G_{pv_{dif}}(s)$ – Função de transferência da planta de desequilíbrio do barramento CC

$G_{pi(0)}(s)$ – Função de transferência da malha interna de corrente no referencial zero do conversor paralelo em malha aberta

$G_{pi(d,q)}(s)$ – Função de transferência da malha interna de corrente no referencial síncrono *dq* do conversor paralelo em malha aberta

$G_{pv(0)}(s)$ – Função de transferência da malha externa de tensão no referencial zero do conversor paralelo em malha aberta

$G_{pv(d,q)}(s)$ – Função de transferência da malha externa de tensão no referencial síncrono *dq* do conversor paralelo em malha aberta

$G_{s(0)}(s)$ – Função de transferência em malha aberta no referencial zero do conversor série

$G_{s(d,q)}(s)$ – Função de transferência em malha aberta no referencial síncrono *dq* do conversor série

$Ki_{v_{CC}}(s)$ – Ganho integrativo da malha de controle da tensão total do barramento CC

$Ki_{v_{CCdif}}(s)$ – Ganho integrativo da malha de controle de desequilíbrio de tensão do barramento CC.

K_{ip_vdq} – Ganho integrativo no referencial síncrono *dq* da malha interna de corrente do conversor paralelo

$Ki_{pv(0)}(s)$ – Ganho integrativo da malha externa de tensão no referencial zero do conversor paralelo

$Ki_{pv(d,q)}(s)$ – Ganho integrativo da malha externa de tensão do conversor paralelo

$Ki_{s(0)}(s)$ – Ganho integrativo no referencial zero da malha de corrente do conversor série

$Ki_{s(d,q)}(s)$ – Ganho integrativo no referencial síncrono *dq* da malha de corrente do conversor série

$Kp_{v_{CC}}(s)$ – Ganho proporcional da malha de controle da tensão total do barramento CC

$Kp_{v_{CCdif}}(s)$ – Ganho proporcional da malha de controle de desequilíbrio de tensão do barramento CC;

$Kp_{pi(0)}(s)$ – Ganho proporcional da malha interna de corrente no referencial zero do conversor paralelo

$Kp_{pi(0)}(s)$ – Ganho proporcional no referencial síncrono *dq* da malha interna de corrente do conversor paralelo

$Kp_{pi(d,q)}(s)$ – Ganho proporcional no referencial síncrono *dq* da malha interna de corrente do conversor paralelo

$Kp_{pv(0)}(s)$ – Ganho proporcional da malha externa de tensão no referencial zero do conversor

$Kp_{pv(d,q)}(s)$ – Ganho proporcional da malha externa de tensão do conversor paralelo

$Kp_{s(0)}(s)$ – Ganho proporcional no referencial zero da malha de corrente do conversor série

$Kp_{s(d,q)}(s)$ – Ganho proporcional no referencial síncrono *dq* da malha de corrente do conversor série

L_D – Indutância de dispersão do transformador série

$L_{a,b,c}$ – Indutância de filtragem do conversor série

L_{fP} – Indutância de filtragem do conversor paralelo

L_{fs} – Indutância total de cada uma das fases

M_c – Módulo do controlador na frequência de cruzamento desejada

P_L – Potência ativa consumida pela carga

P_b – Potência ativa para carregar as baterias

R_T – Resistência série dos enrolamentos do transformador série

$R_{a,b,c}$ – Resistência série dos indutores de filtragem

R_{fp} – Resistência dos enrolamentos do indutor de filtragem

R_{fs} – Resistência total de cada uma das fases

S_L – Potência aparente da carga

S_P – Potência aparente do conversor paralelo

S_S – Potência aparente do conversor série

V_{CC} – Tensão do barramento CC

$cos\emptyset_1$ – Fator de deslocamento

f_s – Frequência de chaveamento

$i_{B_{CC}}$ – Ação de controle do controlador do barramento CC

$i_{d_{CC}}$ – Componente contínua da corrente no referencial síncrono d

$i_{C(a,b,c)}$ – Corrente de compensação do conversor paralelo nas fases *abc*

$i_{L(a,b,c)}$ – Corrente instantânea na carga nas fases *abc*

$i_{s(a,b,c)}$ – Corrente instantânea na rede elétrica nas fases *abc*

i_{Lh} - Parcela harmônica da corrente instantânea na carga

i_{Lf} – Componente fundamental da corrente instantânea na carga

i_{dLh} – Corrente oscilante de linha no referencial síncrono direto

i_{dLm} – Corrente média de linha no referencial síncrono direto

i_{s0}^{*} – Corrente de Referência no referencial síncrono zero

i_{sd}^{*} – Corrente de referência no referencial síncrono d

i_{sq}^{*} – Corrente de Referência no referencial síncrono q

$i_{\alpha}^{'}$ – Corrente fictícia

$i_{\beta}^{'}$ – Corrente fictícia

k_b – Fator de carga das baterias

$p^{'}$ – Potência fictícia trifásica

u_{ab_pwm} – Tensão PWM entre os pontos *a* e *b*

u_{an_pwm} – Tensão PWM entre os pontos *a* e *n*

u_{bc_pwm} – Tensão PWM entre os pontos *b* e *c*

u_{bn_pwm} – Tensão PWM entre os pontos *b* e *n*

u_{cn_pwm} – Tensão PWM entre os pontos *c* e *n*

$v_{d_{CC}}$ – Componente contínua da tensão no referencial síncrono d

v_L – Tensão instantânea na carga

v_{L0}^* – Tensão de referência no referencial síncrono zero

v_{Ld}^* – Tensão de referência no referencial síncrono d

v_{Lq}^* – Tensão de referência no referencial síncrono q

v_S – Tensão instantânea da rede elétrica

v_{Sh} – Parcela harmônica da tensão instantânea da rede elétrica

v_{Sf} – Componente fundamental da tensão instantânea da rede elétrica

$x_{a,b,c}$ – Valores instantâneos de tensão e/ou corrente

x_d – Valores instantâneos de tensão e/ou corrente no referencial síncrono d

xd_{CC} – Componente contínua no referencial síncrono d

x_q – Valores instantâneos de tensão e/ou corrente no referencial síncrono q

x_α – Valores instantâneos de tensão e/ou corrente no referencial α

x_β – Valores instantâneos de tensão e/ou corrente no eixo em quadratura β

$\widehat{\omega}$ – Frequência angular da rede

ω_{C_CC} – Frequência de cruzamento desejada da malha de tensão do barramento CC

ω_{C_CCdif} – Frequência de cruzamento desejada da malha de desequilíbrio de tensão do barramento CC

ω_{C_i} – Frequência de cruzamento desejada da malha interna de corrente do conversor paralelo

ω_{C_v} – Frequência de cruzamento desejada da malha externa de tensão do conversor paralelo

ω_c – Frequência de corte

ω_c – Frequência de cruzamento

K – Fator de seletividade do filtro *STF*

K_{PWM} – Ganho do modulador PWM

P_{PWM} – Pico da portadora PWM triangular implementada no DSP

$cos\theta$ – Coordenadas do vetor unitário síncrono

$sen\theta$ – Coordenadas do vetor unitário síncrono

θ – Posição angular do vetor tensão/corrente

Resumo

Modesto, R. A. **Estudo, Projeto e Implementação de Sistemas UPQC/UPS Trifásicos Aplicados no Condicionamento Ativo de Energia Elétrica.** 2015. 243 f. Tese (Doutorado) – Escola de Engenharia de São Carlos, Universidade de São Paulo – USP, 2015.

Este trabalho apresenta o estudo, análise e a implementação de três topologias de condicionadores ativos de energia elétrica, utilizados para a melhoria da qualidade da energia em sistemas elétricos trifásicos a quatro fios. Estes condicionadores de qualidade de energia podem trabalhar tanto como um condicionador unificado de qualidade de energia (UPQC), bem como uma fonte de alimentação ininterrupta (UPS), permitindo: (i) a supressão das correntes harmônicas da carga; (ii) a compensação de energia reativa da carga; (iii) compensação dos desequilíbrios das correntes de carga; (iv) a compensação de desequilíbrios de tensão da rede; (v) supressão das tensões harmônicas da rede elétrica; (vi) a regulação das tensões de saída (tensões de carga); e (vii) fornecimento de energia ininterrupta para as cargas críticas (sistema UPS). Dentre as três topologias de UPQC/UPS estudadas, uma delas é proposta neste trabalho com o intuito de reduzir a tensão no barramento CC. Além disso, todas as topologias em estudo são constituídas por dois conversores PWM, nos quais é adotada uma estratégia de controle dual. Desse modo, o conversor colocado em paralelo com a carga, funciona como uma fonte de tensão senoidal, enquanto que o conversor colocado em série entre a rede elétrica e a carga, é controlado para operar como uma fonte de corrente senoidal. Tanto os controladores de tensão, quanto os de corrente são implementados no referencial síncrono *dq*0. Além disso, a técnica de modulação vetorial espacial tridimensional (3-D-SVM) é empregada nos conversores. Testes experimentais são apresentados para validar o desenvolvimento teórico e verificar o bom desempenho estático e dinâmico dos condicionadores ativos de energia elétrica, operando como UPQC, bem como sistema UPS.

Palavras-chaves: Condicionamento Ativo de Potência, conversores PWM, Supressão de Harmônicos, UPQC, UPS.

Abstract

Modesto, R. A. **Study, Design and Implementation of an UPQC/UPS Systems Applied in Three-phase Active Power Conditioning.** 2015. 243 f. Tese (Doutorado) – Escola de Engenharia de São Carlos, Universidade de São Paulo – USP, 2015.

This work presents the study, analysis and implementation of three topologies of active power conditioners, which are used to improve the power quality in three-phase four-wire systems. These power quality conditioner can work as unified power quality conditioner (UPQC), as well as an uninterruptible power supply (UPS) system allowing: (i) suppression of load harmonic currents; (ii) compensation of load reactive power; (iii) load unbalances compensation; (iv) utility voltage unbalances compensation; (v) utility voltage harmonics suppression; (vi) regulation of the output voltages (load voltages); and (vii) uninterruptible power for critical loads when working as UPS system. Among the three topologies of UPQC/UPS studied, one of them is proposed in this work in order to reduce the DC-bus voltage. Besides, all the topologies are comprised of two PWM converters, where a dual control strategy is adopted. The first converter, which is placed in parallel with the load, operates as a sinusoidal voltage source, while the second, which is placed in series between the utility grid and the load, is controlled to operate as a sinusoidal current source. Both the voltage and current controllers are implemented into the synchronous rotating reference frame (dq0-axes). In addition, the series and parallel converters use the three-dimensional space vector modulation (3-D-SVM) technique. The experimental tests are presented to validate the theoretical development and to verify the effective static and dynamic performance of the proposed active power conditioners, operating as UPQC and UPS.

Keywords: Active Power Conditioning, PWM converters, harmonics suppression, UPQC, UPS.

Capítulo 1

Introdução, Objetivos do Trabalho e Organização da Tese

1.1 Introdução

Problemas relacionados com a Qualidade da Energia Elétrica (QEE) são definidos em [1], como sendo qualquer problema manifestado na tensão, corrente ou nas variações de frequência que resulte em falha ou má operação de equipamentos. Estes distúrbios estão presentes em todos os níveis do sistema elétrico e podem afetar consumidores residenciais, comerciais e industriais.

A preocupação com a QEE é algo muito evidente na atualidade, principalmente do ponto de vista do fornecimento de energia elétrica a cargas críticas, tais como computadores, controle de processos industriais, sistema de controle de tráfego aéreo, equipamentos hospitalares, dentre outros.

Alguns problemas de QEE mais críticos são as elevações, afundamentos e interrupções de tensão, os quais podem resultar em desligamentos de processos industriais, falhas em sistemas de comunicações e até mesmo danos em equipamentos, dentre outros. Consequentemente, tais problemas resultam em prejuízos financeiros, conforme um estudo realizado pela Associação Brasileira de Grandes Consumidores Industriais de Energia e de Consumidores Livres (ABRACE). Como exemplo, pode-se citar uma indústria química na qual foram registradas 76 interrupções de curta duração entre 2007 e 2011, o que gerou prejuízos da ordem de R$ 18,8 milhões, sendo R$ 11,2 milhões de prejuízos diretos e R$ 7,6 milhões de prejuízos indiretos, os quais envolvem as perdas de produção e os custos adicionais de manutenção ou reposição de equipamentos, respectivamente [2].

Por outro lado, a evolução dos dispositivos semicondutores tem contribuído cada vez mais para o aumento da utilização de equipamentos eletrônicos que, na maioria das vezes, tem em seu estágio de entrada conversores eletrônicos de

potência, tendo como consequência uma resposta não linear mesmo para uma excitação senoidal, isto quando não são previstos em sua concepção formas de minimizar ou até mesmo resolver este tipo de problema. As cargas não lineares são responsáveis pela degradação da qualidade da energia, criando perturbações e/ou distorções nas tensões da rede e nas correntes drenada por ela. Pelo fato dessas cargas drenarem da rede elétrica correntes não senoidais, diversos problemas são provocados no sistema elétrico e nas suas instalações, podendo-se citar:

- Baixos níveis do fator de potência da instalação;
- Interferência em equipamentos e instrumentos sensíveis;
- Sobre dimensionamento de condutores elétricos e transformadores;
- Altas taxas de distorções harmônicas da tensão da rede elétrica devido à circulação de harmônicos de corrente na mesma.

Os harmônicos de tensão se originam em função das correntes harmônicas drenadas da rede que, ao interagirem com a impedância da linha resultam numa considerável elevação da distorção harmônica total (DHT) das tensões, afetando a QEE de todos os usuários conectados a um mesmo ponto de acoplamento comum (PAC) do sistema, conforme apresentado na Figura 1, na qual v_S representa a tensão no PAC e i_S a corrente drenada pelas cargas.

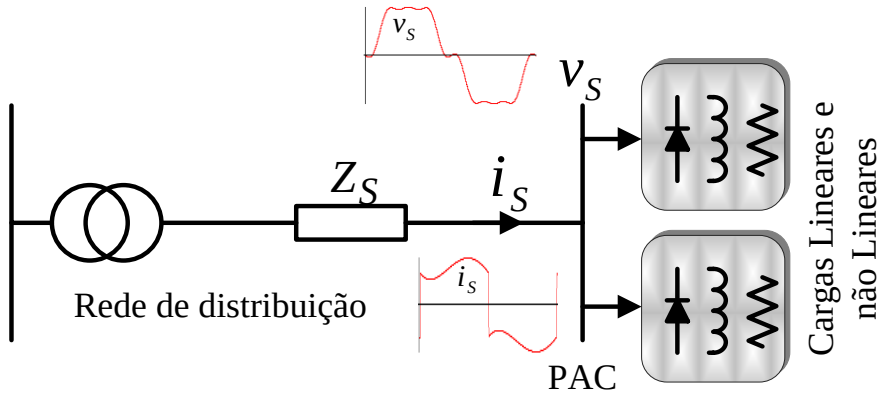


Figura 1 – Cargas lineares e não lineares conectadas ao PAC.

Além dos distúrbios citados anteriormente, outros parâmetros relacionados à QEE podem ocorrer, como por exemplo, alterações da tensão em regime permanente, baixos fatores de potência e de deslocamento, desequilíbrios e flutuações (fliker) de tensão, bem como variações de tensão de curta duração

(VTCD), tais como os afundamentos (*sags*) e elevações (*sweels*). Esses distúrbios são tratados no módulo 8 do PRODIST (Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional) [3], o qual objetiva o estabelecimento de procedimentos relativos à QEE, tais como indicadores de qualidade, metodologia para apuração dos indicadores, dentre outros.

Existem diversas publicações sobre QEE que demonstra a relevância do tema. A maioria dos estudos concentram esforços no sentido de buscar formas adequadas de avaliação e mitigação dos problemas de QEE [4, 5]. Ainda nesse contexto, normas internacionais trazem recomendações ou até mesmo impõem limites referentes às distorções harmônicas de tensão e corrente [6, 7].

No contexto da Eletrônica de Potência, estudos têm sido feitos com o objetivo de minimizar ou até mesmo resolver os problemas de QEE principalmente utilizando diversas topologias de conversores estáticos para esta finalidade [8-12]. Além disso, diversos algoritmos de controle têm sido propostos para que estes conversores atendam com a máxima eficiência os objetivos de suprimir os distúrbios presentes na tensão e/ou corrente [13-17].

Umas das principais aplicações da Eletrônica de Potência no contexto de QEE, já bastante difundida, é a utilização dos conversores estáticos operando como Filtros Ativos de Potência (FAP). Os FAPs apresentam diversas topologias e podem ser conectados à rede elétrica de diversas formas, tendo como objetivo, na maioria das aplicações, atuar na supressão das correntes harmônicas geradas por cargas não lineares [8-11].

Com o objetivo de melhorar a qualidade da energia principalmente do ponto de vista do fornecimento de energia às cargas críticas, fontes ininterruptas de energia (UPS - *Uninterruptible Power Supply*) monofásicas e trifásicas têm sido usados para o fornecimento de energia elétrica ininterrupta de boa qualidade para diversos tipos de cargas críticas existentes, protegendo-as dos distúrbios oriundos da rede elétrica. Um sistema UPS é um equipamento eletrônico que também pode ser caracterizado com uma carga não linear, originando como consequência, alguns dos problemas de QEE já citados anteriormente. No entanto, se forem previstos em seu projeto, tal equipamento pode controlar as correntes drenadas da rede, de forma

que as mesmas possuam baixa DHT, contribuindo, desta forma, para a obtenção de um elevado fator de potência.

Alguns sistemas UPS operam no modo *standby*, ou seja, com a rede presente, de forma similar aos Condicionadores de Qualidade de Energia Unificados (UPQC - *Unified Power Quality Conditioner*). O UPQC é formado pela combinação de dois conversores, sendo um deles conectado em série entre a rede e a carga e o outro em paralelo com a carga, realizando, simultaneamente, o condicionamento das tensões de saída (carga) e das correntes de entrada (rede). Seu objetivo principal se concentra em fornecer às cargas tensões equilibradas, reguladas e com baixa DHT, enquanto drena da rede elétrica correntes senoidais, equilibradas e em fase com as tensões de alimentação.

Os UPQCs bem como os sistemas UPSs operando no modo *standby* de forma similar aos UPQCs, são, de maneira resumida, retratados como a associação da operação simultânea de dois FAP, sendo eles um paralelo e o outro série. A modelagem e as estratégias de controle desses FAP são tradicionalmente feitas considerando o FAP série (conversor série) operando como uma fonte de tensão não senoidal, enquanto o FAP paralelo (conversor paralelo) operando como uma fonte de corrente não senoidal. No entanto, alguns trabalhos têm tratado o funcionamento dos conversores série e paralelo de forma dual [16-18], ou seja, consideram o conversor série operando como fonte de corrente senoidal, enquanto o conversor paralelo operando como fonte de tensão senoidal, sempre como objetivo final de realizar o condicionamento simultâneo das tensões de saída e das correntes de entrada do sistema.

1.2 Objetivos

O objetivo geral deste trabalho se concentra em estudar e implementar experimentalmente três topologias de UPQC/UPS, empregadas em sistemas elétricos trifásicos a três e a quatro fios. Tais sistemas têm a finalidade de realizar o condicionamento simultâneo das correntes de entrada, bem como das tensões de saída, sempre controlados de forma dual aos UPQCs convencionais, ou seja,

controlando os conversores série e paralelo como fontes senoidais de corrente e tensão, respectivamente. Ressalta-se como uma das principais contribuições deste trabalho a implementação do controle dual de compensação nas três topologias de UPQC/UPS. Além disso, dentre as três topologias em estudo, uma delas é inédita. A avaliação dos desempenhos estáticos e dinâmicos, obtidos por meio de resultados experimentais das três topologias operando tanto como UPQC quanto UPS também se destaca como uma contribuição relevante neste trabalho..

Os objetivos específicos deste trabalho estão descritos a seguir:

- Implementar experimentalmente três topologias de sistemas UPQC/UPS trifásicos, sempre controladas de modo dual aos UPQCs convencionais, com capacidade de alimentar cargas de até 10 kVA;
- Propor uma nova topologia de sistema UPQC/UPS aplicado em sistemas trifásicos a quatro fios, com a finalidade de operar com tensão no barramento CC reduzida;
- Estudar e modelar os conversores utilizados nas três topologias implementadas de UPQCs/UPSs aplicadas em sistemas trifásicos a quatro fios;
- Estudar e implementar métodos de compensação ativa de potência em FAP série e paralelo;
- Identificar e propor novas estratégias de controle utilizadas em FAP série e paralelo que possam ser aplicados na compensação de potência em sistemas UPQCs/UPSs trifásicos;
- Estudar e implementar uma estrutura de PLL trifásico que rejeite os problemas relacionados às condições anormais de operação das tensões da rede elétrica, tais como, desequilíbrios, harmônicos, variações de frequência e saltos de fase;
- Realizar a análise comparativa entre as topologias de UPQC/UPS implementadas.

1.3 Organização do Trabalho

No segundo capítulo é apresentada a revisão bibliográfica referente às topologias de sistemas UPSs e UPQCs, bem como as estratégias de controle

utilizadas nestes sistemas. Também neste capítulo, são apresentadas as três topologias de UPQC/UPS que serão implementadas experimentalmente neste trabalho, aplicadas em sistemas trifásicos a quatro fios. Dentre elas, é proposta uma nova topologia de UPQC/UPS.

A modelagem matemática do sistema e dos conversores utilizados nas topologias em estudo são abordados no terceiro capítulo. Os algoritmos utilizados para a geração das referências de tensão e corrente, a estratégia proposta para compensar os desequilíbrios de tensão do barramento CC também são apresentados neste capítulo.

Os projetos dos controladores, bem como os parâmetros utilizados para o projeto dos controladores são detalhados no quarto capítulo. Além disso, são apresentados os resultados obtidos nas simulações computacionais, visando avaliar o desempenho e o funcionamento das topologias de UPQCs/UPSs e das estratégias adotadas para o controle das mesmas.

Os detalhes da implementação experimental, juntamente com a descrição dos principais componentes utilizados na montagem do protótipo estão apresentados no capítulo 5. Neste capítulo são apresentados os resultados experimentais das três topologias de UPQC/UPS, os quais são obtidos utilizando três conjuntos de cargas não lineares, sendo dois compostos por cargas monofásicas e uma por carga trifásica. Além disso, a análise comparativa entre as topologias implementadas, juntamente com as estimativas de custos das mesmas também são apresentadas.

No sexto capítulo, as conclusões são apresentadas, juntamente com as propostas de continuidade deste trabalho.

Capítulo 2

Condicionadores de Energia Elétrica

No presente capítulo, o estudo dos condicionadores de qualidade de energia é tratado. Inicialmente é apresentada de forma resumida a norma da IEC (*International Electrotechnical Commission*) 62040, que classifica as UPSs através de parâmetros de desempenho obtidos por meio de testes também padronizados por esta mesma norma. As topologias de UPSs mais comuns são abordadas neste capítulo, no entanto, as UPSs com a capacidade de condicionamento ativo de potência série e paralela, ou seja, as topologias que no modo *standby* operam de forma similar aos UPQCs serão estudadas com mais detalhes.

É apresentada uma revisão bibliográfica referente às publicações de sistemas UPQC, onde o controle é dual em relação ao tradicionalmente utilizado para estes sistemas, ou seja, os conversores série e paralelo são tratados como fontes senoidais de corrente e tensão, respectivamente, diferentemente da forma convencional onde tais conversores são tratados como fontes de corrente e tensão não senoidais. Sendo assim, neste capítulo são descritas as principais características da estratégia de controle dual usada na compensação de potência das topologias em estudo.

Além disso, neste capítulo também são apresentadas as três topologias de UPQC/UPS que serão implementadas experimentalmente neste trabalho, as quais são aplicadas em sistemas trifásicos a quatro fios.

2.1 Fontes Ininterruptas de Energia (UPS)

As fontes ininterruptas de energia são equipamentos que têm como principal função, fornecer energia elétrica para determinadas cargas no momento em que há uma interrupção no fornecimento de energia da rede de distribuição. Existem

diversos tipos de fontes ininterruptas de energia, porém, neste trabalho, serão somente abordados os sistemas estáticos, que têm como principal característica a utilização de conversores estáticos para realizar a conversão de energia elétrica alternada para contínua e de contínua para alternada, ao mesmo tempo que faz a conexão da fonte armazenadora de energia com a carga. Esses sistemas também são conhecidos como *No Breaks* e que neste trabalho serão tratados como UPS.

As UPSs são divididas em duas categorias, sendo elas a de dupla conversão de energia (*on-line*) e a de simples conversão de energia (*off-line*). Dentro destas duas categorias são usadas diversas nomenclaturas para identificar as diversas topologias existentes. No entanto, a norma IEC 62040-3 de 1999, bem como a sua segunda edição de 2011 [19], sugere a desvinculação dos termos *on-line* com sistemas de dupla conversão de energia e *off-line* com sistemas de simples conversão de energia. Neste caso é proposta a classificação das UPSs baseando-se em parâmetros de desempenho. Esses parâmetros são analisados considerando-se os seguintes aspectos: dependência da tensão de saída das UPSs em relação à tensão da rede; forma de onda da tensão de saída; e curvas de tolerância dinâmicas da saída das UPSs. Com relação às correntes de entrada, a norma IEC 62040-3 estabelece os limites das componentes harmônicas impostos pela norma IEC 61000-3-2 [21], para correntes de entrada até 16 A por fase, e a IEC 61000-3-4 [22] para correntes de entrada maiores que 16 A por fase.

2.1.1 Topologias de Fontes Ininterruptas de Energia (UPS)

2.1.1.1 UPS de Dupla Conversão de Energia

A topologia mais comum de UPS é a de dupla conversão de energia, mostrada na figura 2. Nesta topologia, o inversor é ligado em série entre o retificador e a carga, fazendo com que a carga fique alimentada continuamente pelo inversor. Com a rede presente, ou seja, no modo *standby*, tanto o estágio retificador quanto o inversor operam simultaneamente realizando a conversão CA/CC e CC/CA, respectivamente, caracterizando assim a dupla conversão de energia. Na ausência

da rede, ou seja, no modo *backup,* o inversor permanece alimentando a carga continuamente. No entanto a energia entregue à carga é proveniente do banco de baterias, e consequentemente o conversor CA/CC permanece inoperante.

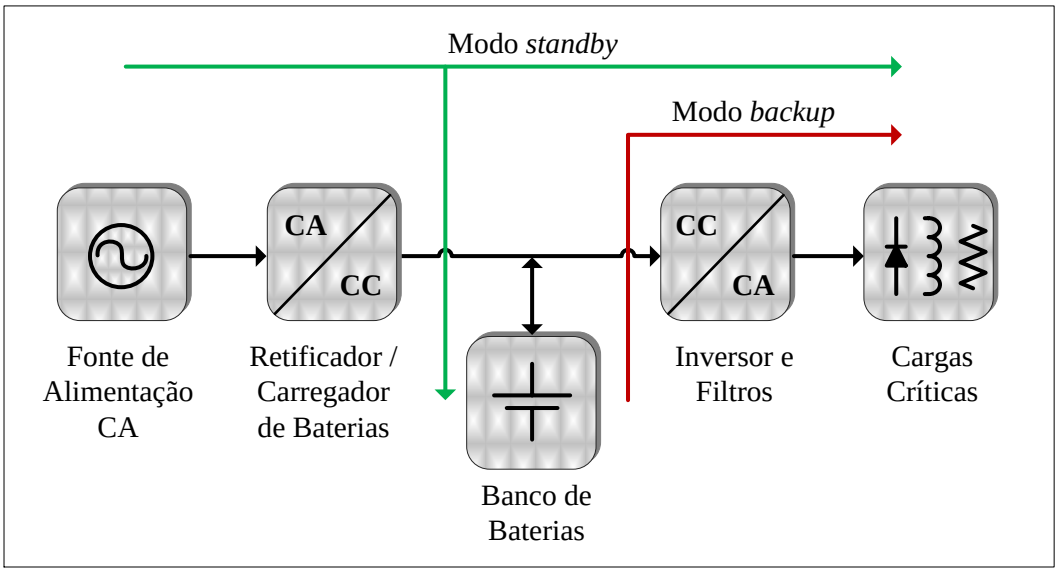


Figura 2 – Diagrama em blocos simplificado da UPS de dupla conversão de energia.

O fato da carga ser continuamente alimentada pelo inversor, não existe transitórios nas tensões de saída durante as transições entre os modos de operação *standby-backup* e vice-versa, No entanto, esta topologia apresenta um baixo rendimento devido à dupla conversão de energia. Além disso, devido ao fato do estágio de entrada ser um retificador, o sistema pode apresentar um baixo fator de potência e um elevado conteúdo harmônico na corrente de entrada, quando não são previstos em seu projeto técnica de filtragens ou até mesmo a utilização de pré-reguladores.

2.1.1.2 UPS de Simples Conversão de Energia

Existem algumas configurações de UPS de simples conversão de energia. A mais comum delas é também conhecida por *passive standby* a qual é apresentada na figura 3, onde a energia é diretamente transferida da rede elétrica para a carga. O

conversor CC/CA é conectado em paralelo com a carga e, somente na ocorrência de uma interrupção, a energia proveniente do elemento armazenador de energia é fornecida à carga por intermédio do inversor. O banco de baterias é carregado por um conversor CA/CC também conectado em paralelo à rede elétrica e projetado para uma potência bem inferior à potência do inversor.

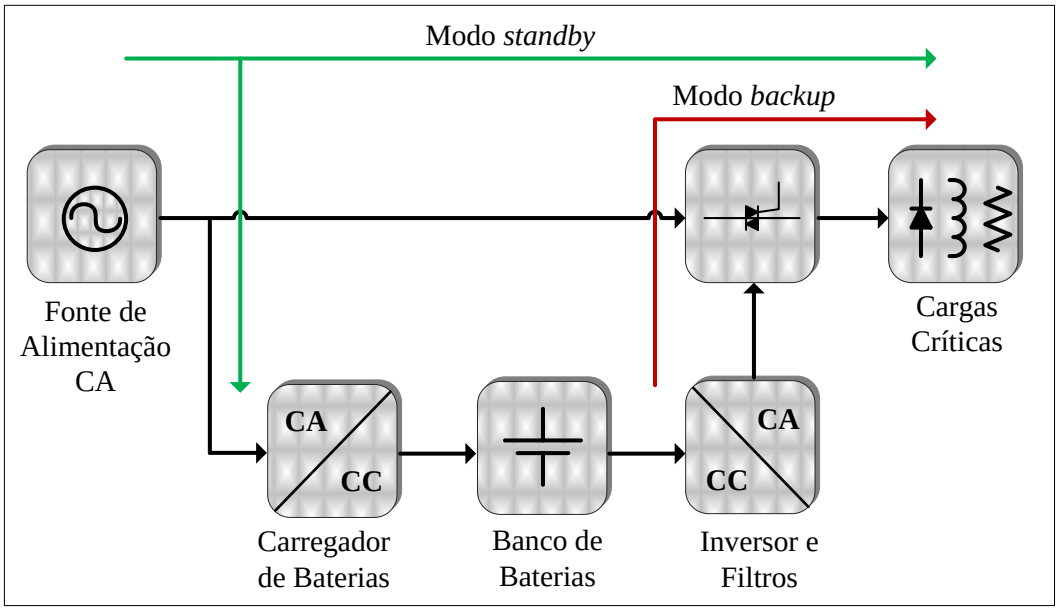


Figura 3 – Diagrama em blocos simplificado da UPS de simples conversão de energia.

Esta configuração de UPS apresenta uma alta eficiência, projeto simples e de baixo custo, e ainda existe a possibilidade de sincronismo com a rede elétrica. Porém, na presença da rede elétrica, não há condicionamento da tensão de saída, bem como, da corrente de entrada, sem contar a existência de um tempo de transferência entre os modos de operação *standby-backup* e *backup-standby* o que pode resultar transitórios nas tensões de saída devido ao tempo de comutação da chave estática.

Outras configurações de UPS de simples conversão de energia têm sido propostas com o objetivo de aliar as vantagens deste tipo de sistema com a possibilidade de efetuar o condicionamento das tensões de saída, ou das correntes de entrada, aliada à minimização dos tempos de transferência entre os modos de operação. Tais configurações são conhecidas como: *Line interactive* convencional; *Tri-port* e Ferro-ressonante [24, 25].

2.1.1.3 UPS *Line Interactive* com Compensação Ativa de Potência Série e Paralela

As UPSs *Line Interactive* com compensação ativa de potência série e paralela, também conhecidas como *Delta-Conversion*, têm a capacidade de obter, simultaneamente, um elevado fator de potência e uma boa regulação da tensão de saída, obtendo-se resultados similares aos dos sistemas de dupla conversão de energia, no entanto com um rendimento mais elevado. Este sistema é composto por dois conversores bidirecionais em corrente conectados no mesmo barramento CC formado pelo banco de baterias. A conexão do conversor série é feito por intermédio de um transformador colocado entre a rede elétrica e a carga. O diagrama em blocos simplificado desta estrutura é apresentado na figura 4.

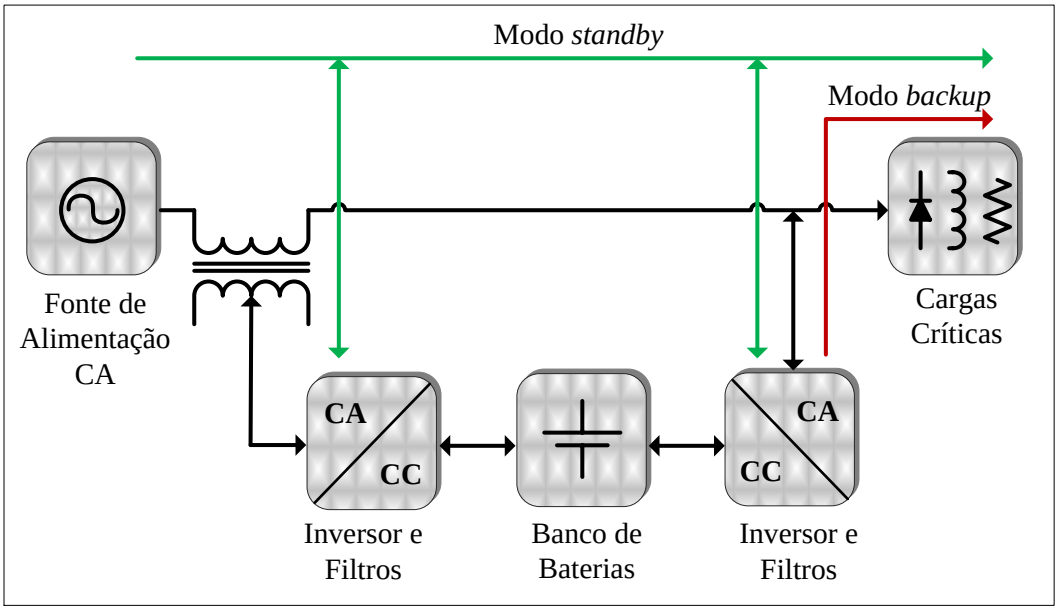


Figura 4 – Diagrama em blocos simplificado da UPS *Line Interactive* com compensação ativa de potência série e paralela.

Os primeiros estudos referentes a esta topologia de UPS Line Interactive com compensação série e paralela foram propostos por Kamran e Habetler [23], onde os autores trataram esta topologia como sendo uma UPS *on-line* ou mesmo de dupla conversão de energia. A figura 5 mostra o circuito de potência da UPS que foi proposta para sistemas trifásicos a três fios.

O conversor paralelo é responsável em manter as tensões de saída reguladas com baixo conteúdo harmônico e em fase com a tensão de entrada, independentemente do modo de operação e eliminando qualquer tempo de transferência entre os modos de operação. A inexistência do tempo de transferência entre os modos de operação é devido ao conversor paralelo estar continuamente controlando a tensão de saída e, na ocorrência de uma interrupção, a chave estática da entrada é aberta e o conversor série é inibido, fazendo com que toda corrente consumida pela carga se dê por meio do conversor paralelo.

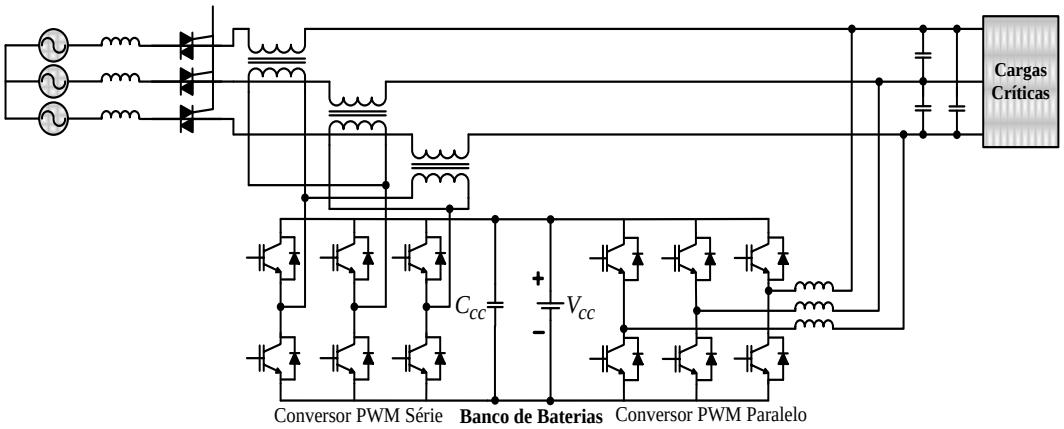


Figura 5 – UPS *Line Interactive* trifásica com compensação ativa série e paralela.

Toda diferença entre as tensões de entrada e de saída é assumida pelo conversor série. Considerando que a tensão de saída é senoidal e com amplitude constante, a tensão sobre o conversor série será composta por duas componentes: uma componente fundamental de tensão com amplitude igual à diferença entre a entrada e a saída e as componentes harmônicas presentes nas tensões de entrada. A soma dessas componentes terá um valor muito pequeno se comparado com as da tensão de entrada ou da saída, possibilitando o dimensionamento do conversor série para uma potência entre 10 e 20 % da potência nominal da UPS [23].

O conversor série opera somente no modo *standby*, impondo uma corrente senoidal e em fase com a tensão de entrada através do transformador série. Além disso, tem a função de controlar o fluxo de potência entre os conversores e efetuar a carga do banco de baterias a uma taxa controlada.

Uma estrutura similar à apresentada na figura 5 foi proposta por Silva [18, 24]. No entanto, as principais diferenças desta topologia são que a mesma pode ser aplicada em sistemas trifásicos a três e a quatro fios, bem como os algoritmos utilizados para geração de referência das correntes e tensões, os quais foram baseados no Sistema de Eixos de Referência Síncrona (SRF) [26]. Foram utilizados dois conversores *Split Capacitor* (S-C) conforme mostra a figura 6, onde o conversor paralelo funciona como uma fonte de tensão senoidal com baixa DHT e equilibrada, oferecendo baixa impedância para as correntes harmônicas da carga. Já o conversor série, no modo *standby,* funciona como uma fonte de corrente senoidal e equilibrada, oferecendo alta impedância para as correntes harmônicas da carga.

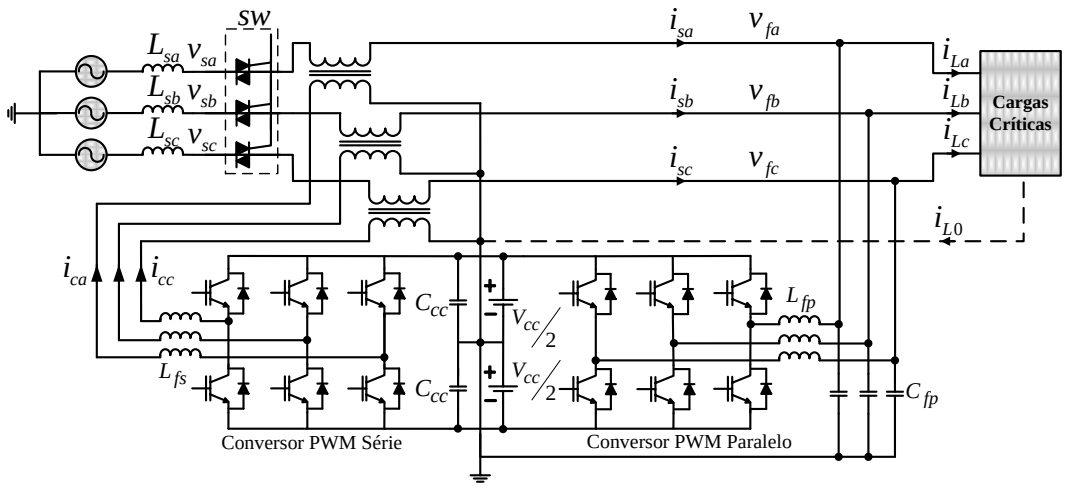


Figura 6 – UPS *Line Interactive* trifásica a quatro fios com compensação ativa série e paralela.

O algoritmo SRF da forma que foi implementado em [18, 24] além da efetiva capacidade de correção do fator de potência e da supressão dos harmônicos gerados pelas cargas, também realiza a compensação dos desbalanços das correntes de entrada quando cargas desequilibradas estão conectadas na saída da UPS, eliminando a circulação de corrente pelo condutor de neutro. Apesar desta característica ser uma vantagem do ponto de vista do sistema elétrico, pode resultar em uma redução da eficiência da UPS, pois haverá uma maior circulação de energia pelos conversores para efetuar a compensação das componentes de sequência negativa e zero.

Em [27, 28] um algoritmo também baseado no método SRF foi proposto para a geração das correntes de referência do conversor série da UPS apresentado na figura 6. Neste caso, o algoritmo SRF foi empregado em cada uma das fases do sistema de forma independente, ou seja, gerando correntes de referência independentes para cada fase. Sendo assim, as correntes de entrada tornam-se senoidais e em fase com as tensões da rede, no entanto, com amplitudes iguais às das correntes de saída, melhorando a eficiência do sistema quando cargas monofásicas desequilibradas são alimentadas.

Na literatura também são encontradas diversas publicações de sistemas UPS similares aos aqui apresentados, no entanto, aplicados em sistemas monofásicos [29-33]. Estas publicações utilizam uma topologia muito similar à que foi proposta em [29] e está apresentada na figura 7. Todos esses trabalhos tratam os filtros ativos série e paralelo como fontes senoidais de corrente e tensão, respectivamente, e as principais diferenças entre eles estão concentradas nos algoritmos utilizados para a geração das referências, nos circuitos de sincronismos e nos controladores utilizados.

Em [32] foi feita uma análise de uma UPS *Line Interactive* com compensação ativa série e paralela monofásica similar à da figura 7. Esta análise foi feita entre os dois modos de controle dos conversores da UPS quando esta opera no modo s*tandby*, ou seja, quando a UPS está operando como UPQC.

Um dos modos de operação é igual aos dos trabalhos aqui apresentados em que o conversor paralelo opera como uma fonte de tensão senoidal e o conversor série como uma fonte de corrente senoidal, denominado pelos autores como modo de operação OPM 1. No outro modo de operação chamado pelos autores de OPM 2, o conversor paralelo funciona como uma fonte de corrente não senoidal enquanto o conversor série opera como uma fonte de tensão não senoidal, da mesma forma que são tradicionalmente tratados os FAPs e os UPQCs convencionais. Em ambos os modos de operação os algoritmos utilizados para a geração das referências foram baseados no método SRF.

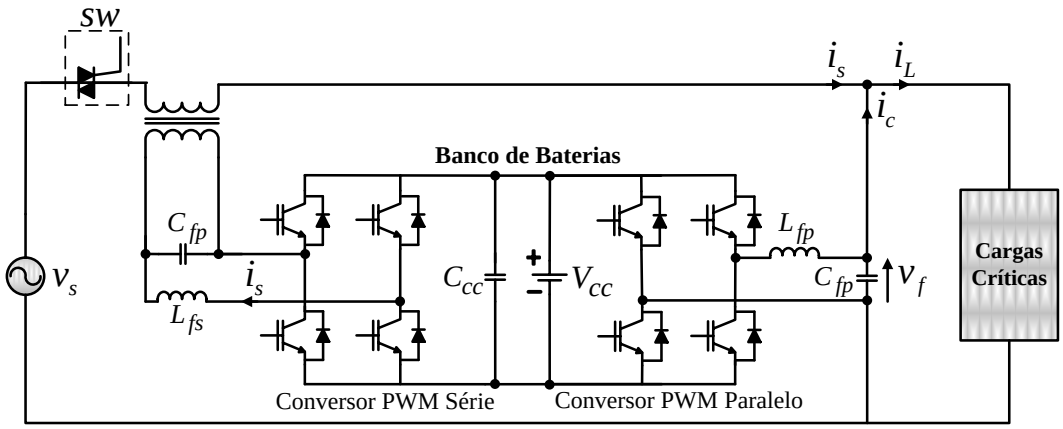


Figura 7 – UPS *Line Interactive* monofásica com compensação ativa série e paralela.

Em [32] são comprovadas algumas vantagens que o modo de operação OPM 1 apresenta em relação ao modo de operação OPM 2, conforme estão relacionadas abaixo:

- Inexistência de transitório na tensão de saída na ocorrência de uma interrupção, bem como, no retorno da rede elétrica já que no modo OPM 1 o conversor paralelo é continuamente controlado como uma fonte de tensão senoidal. Enquanto que no modo OPM 2, na ocorrência de uma interrupção, o conversor paralelo deve mudar de uma fonte de corrente não senoidal, para uma fonte de tensão senoidal;
- Maior facilidade dos conversores imporem as referências no modo OPM 1 já que as mesmas são senoidais, resultando em uma menor DHT na tensão de saída, bem como, na corrente de entrada;
- No modo OPM 2 existe a necessidade de mais uma malha de controle para compensar afundamentos e elevações de tensão, o que não ocorre no modo OPM 1 devido a referência do mesmo ser fixa.

Todos os trabalhos aqui apresentados de UPS com condicionamento ativo de potência operam como filtro ativo de potência realizando o condicionamento simultâneo das tensões de saída, bem como, das correntes de entrada. Os sistemas que realizam o condicionamento unificado são foco de diversos estudos publicados,

tais como os UPQCs, nos quais os trabalhos até aqui apresentados foram baseados. Na próxima seção será apresentada uma revisão bibliográfica dos UPQCs.

2.2 Condicionadores de Qualidade de Energia Unificados (UPQC)

Um UPQC é a combinação de um Filtro Ativo de Potência Paralelo (FAPP) com um Filtro Ativo de Potência Série (FAPS) em uma única estrutura, conforme o diagrama em blocos da figura 8, onde dois conversores estão conectados no mesmo barramento CC, também chamada de ligação *back-to-back*. Geralmente os FAPP são usados para eliminar harmônicos e compensar reativos de cargas não lineares. Estes filtros injetam correntes de compensação, iguais e em fase oposta as componentes que se deseja eliminar, realizando a supressão das correntes harmônicas e/ou compensando os reativos. Já, os FAPS são usados para eliminar distorções na forma de onda da tensão, balancear e regular as tensões fornecidas a cargas. Geralmente ele é conectado em série entre a fonte e a carga através de um transformador de acoplamento. Este filtro soma à tensão de alimentação as componentes de compensações, com amplitudes iguais e com fases opostas das tensões harmônicas mais uma parcela fundamental responsável em manter as tensões de saída reguladas e equilibradas.

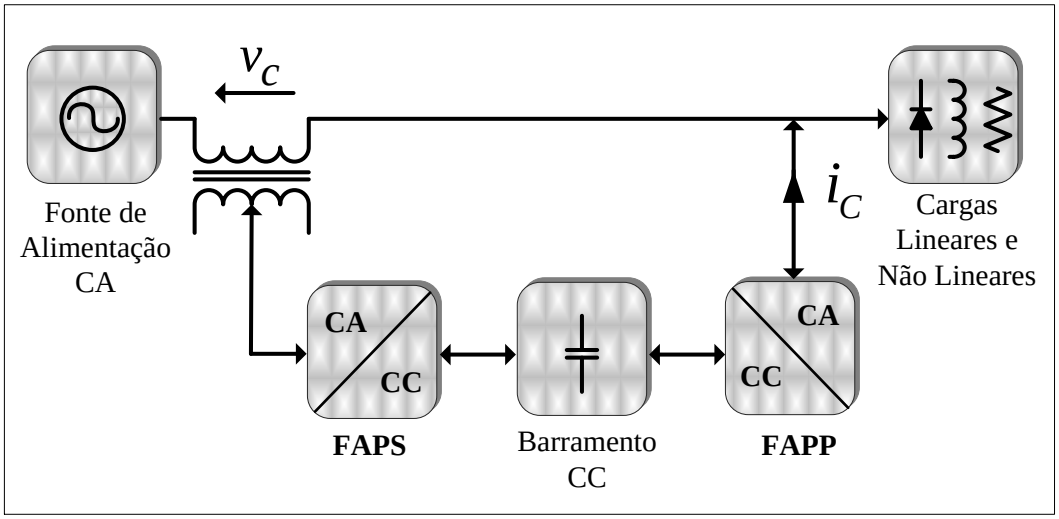


Figura 8 – Diagrama simplificado de um sistema UPQC.

Uma das primeiras propostas de um sistema capaz de realizar o condicionamento simultâneo da tensão de saída e da corrente de entrada foi proposto em [34] por Moran 1989, na qual foi denominado *Line Voltage Regulator/Conditioner* (LVRC) aplicado em sistemas monofásicos, onde foram utilizados dois conversores de corrente (CSI – *Current Souce Inverter*) conectados a um mesmo barramento CC.

No entanto, alguns anos depois os sistemas UPQCs ganharam notoriedade, principalmente após Fujita e Akagi comprovarem a aplicação prática desses sistemas através de resultados experimentais obtidos com um protótipo de 20 kVA apresentados em [35]. Foram utilizados dois conversores de tensão (VSI – *Voltage Source Inverter*) trifásicos a três fios conectados ao mesmo barramento CC, para realizar a função de filtro ativo série e paralelo.

Posteriormente diversos outros trabalhos têm focado os estudos em outras topologias de conversores, outros controladores, algoritmos de compensação, etc. [36-44].

Os afundamentos de tensão são um problema bastante relevante na área de qualidade de energia. A atenuação ou até mesmo a eliminação deste distúrbio se caracteriza como uma das principais funções dos UPQCs. A forma que o sistema vai atuar para mitigar este distúrbio tem sido foco de diversos trabalhos encontrados na literatura, podendo-se dividir em três principais métodos para compensar os afundamentos de tensão: o método convencional que impõe uma tensão em fase com a tensão da rede no conversor série, método de injeção mínima de energia no qual é imposta uma tensão em quadratura à tensão da rede no conversor série e o método VA mínimo, que consiste em injetar uma tensão por intermédio do conversor série com um ângulo de defasagem que resulte na menor dissipação de energia no conversor série.

O método mais utilizado para compensar afundamentos de tensão por intermédio de um UPQC é feito injetando-se uma componente de tensão no transformador série em fase com a tensão da rede. Esta componente injetada em fase com a tensão da rede tem magnitude igual à diferença entre a tensão da rede no momento do afundamento e a tensão requerida na carga. Para equilibrar o fluxo de potência e controlar a tensão no barramento CC, o conversor paralelo demanda

uma energia ativa maior, aumentando a amplitude da corrente de entrada durante a compensação do afundamento de tensão, o que resulta em maiores perdas nos conversores.

Em [45] é proposta a utilização de ultracapacitores no barramento CC para a compensação dos problemas de qualidade de energia em sistemas trifásicos a quatro fios. A utilização de um banco de capacitores formado por ultracapacitores é justificada devido à grande densidade de carga que é possível ser armazenada. Neste trabalho são tratados os problemas de afundamentos de tensão e, principalmente, os afundamentos desbalanceados, ou seja, quando o afundamento de tensão em cada uma das fases ocorre com magnitude diferente. A compensação dos afundamentos é feita da forma que foi descrita acima e devido à elevada capacitância no barramento CC, o sistema tem uma maior capacidade de compensação dos afundamentos de tensão.

Com o intuito de diminuir as perdas nos conversores e aumentar a eficiência do UPQC durante a ocorrência de um afundamento de tensão, outros métodos são propostos. O método de injeção mínima de energia foi proposto inicialmente e aplicado em um Restaurador Dinâmico de Tensão (DVR) em [46] e em um sistema UPQC em [47-49], também conhecido como método de compensação pelo controle de energia reativa. Este método consiste em injetar uma tensão por intermédio do conversor série em quadratura com a tensão da rede, de tal forma que a tensão resultante na saída seja a tensão requerida, resultando em uma menor energia ativa processada pelos conversores. No entanto, existe uma diferença do ângulo de fase da tensão de saída em relação à entrada. Além disso, para compensar um mesmo percentual de afundamento, este método precisa impor uma tensão com amplitude maior se comparado com o método convencional.

Outro método encontrado na literatura utilizado para a compensação dos afundamentos de tensão, que também propõe minimizar a dissipação de energia no UPQC durante a compensação do afundamento de tensão e consequentemente elevar a eficiência do sistema é conhecido como o método VA mínimo. Este método consiste em injetar uma tensão, por intermédio do conversor série, nem em fase e nem em quadratura com a tensão da rede, mas sim encontrando um ângulo para a

tensão de compensação que irá resultar em uma menor dissipação de energia no conversor série [47, 50, 51].

No entanto, também existe a possibilidade de modelar e controlar os conversores de um UPQC como fontes de tensão e corrente senoidais [52-56], da mesma maneira que é feito com as UPSs conforme apresentado na seção anterior.

2.3 Princípio de Compensação Dual

Na estratégia de controle dual o conversor PWM série é controlado para operar como uma fonte de corrente senoidal, com a finalidade de tornar as correntes de entrada senoidais, equilibradas e em fase com as respectivas tensões da rede elétrica. Neste caso, a sua impedância deve ser suficientemente elevada para isolar as correntes harmônicas geradas pelas cargas não lineares. Por outro lado, o conversor PWM paralelo deve manter as tensões de saída senoidais, equilibradas, reguladas e em fase com as respectivas tensões da rede elétrica. Em outras palavras, é controlada para operar como uma fonte de tensão senoidal, de tal modo que a sua impedância deve ser baixa suficiente para absorver as correntes harmônicas das cargas [18].

Uma vez que os conversores série e paralelo têm impedâncias alta e baixa, respectivamente, as correntes harmônicas das cargas fluem naturalmente através do conversor paralelo. Além disso, a compensação da potência reativa é assegurada controlando as referências do conversor série para estarem em fase com as respectivas tensões da rede elétrica.

Por outro lado, as tensões harmônicas e desequilíbrios são compensados assegurando que as tensões de saída sejam controladas para seguir referências senoidais e equilibradas, de tal modo que as diferenças de amplitude entre as tensões de entrada e as tensões de saída aparecem nos transformadores série. Isto significa que os transformadores de acoplamento série naturalmente absorvem quaisquer perturbações presentes nas tensões da rede elétrica.

A estratégia de controle dual apresenta algumas vantagens se compara com estratégia de controle convencional, tais como:

- Inexistência de transitório na tensão de saída na ocorrência de uma interrupção, bem como, no retorno da rede elétrica (UPS);
- Maior facilidade de os conversores imporem as referências. Devido às referências de tensão e corrente serem senoidais em *abc* e contínuas no referencial síncrono *dq0*;
- Controladores PI são capazes de zerar o erro em regime estacionário quando implementados no referencial síncrono *dq0*;
- Não tem necessidade de utilizar algoritmos para calcular as tensões e correntes de referência, tais como: (PQ, SRF, CPT, FFT e RNA);
- Não tem necessidade de malhas adicionais de controle para compensar afundamentos e elevações de tensão.

2.4 Topologias de UPQC/UPS Trifásica a Quatro Fios com Condicionamento Ativo de Potência

Algumas topologias de UPQC/UPS trifásicas com compensação simultânea das correntes de entrada e das tensões de saída têm sido utilizadas, e a escolha das configurações dos conversores série e paralelo utilizados nesses condicionadores estão relacionada com a configuração da rede elétrica, níveis de tensão e as características da carga quanto ao número de fases.

A figura 9 mostra uma topologia de UPQC/UPS composta por dois conversores trifásicos *Split-Capacitor* (S-C) conectados no mesmo barramento CC [18, 24, 27, 28, 32, 55]. No barramento CC existe uma derivação central para conexão do condutor de neutro o que caracteriza os conversores S-C.

A principal vantagem desta topologia se caracteriza pela menor quantidade de dispositivos semicondutores de potência, pelo fato do condutor de neutro ser conectado diretamente ao ponto central do barramento CC. No entanto, o inerente desequilíbrio de tensão no barramento CC leva a necessidade de utilização de um ou mais malhas de controle para contornar tal problema [54, 55]. Além disso, desconsiderando as perdas nos conversores, a tensão total do barramento CC deve ser no mínimo o dobro do pico da tensão CA de fase na saída, tendo como

consequência a necessidade de utilizar uma quantidade maior de baterias para operação como UPS, elevando os custos de implementação.

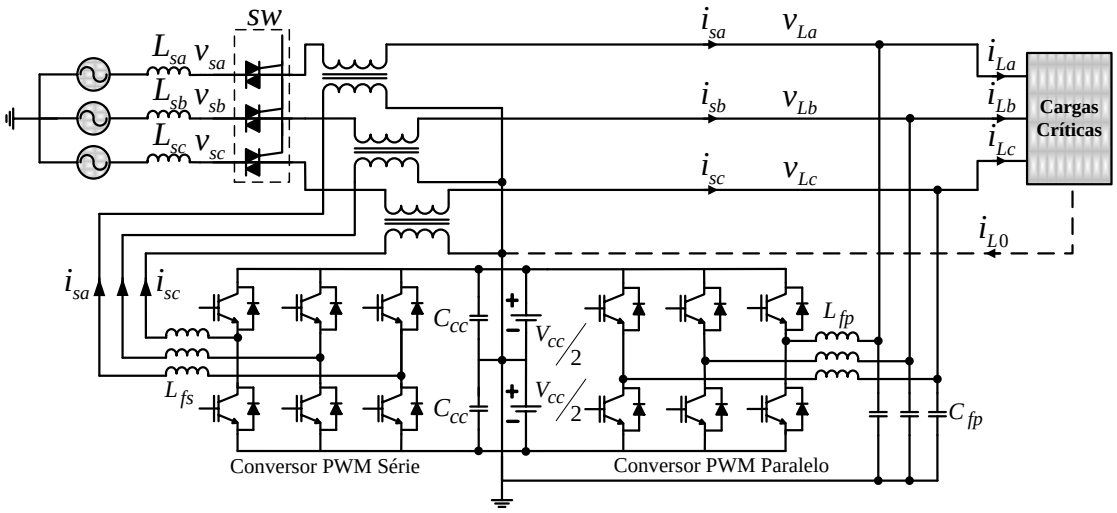


Figura 9 – UPQC/UPS trifásica composta por dois conversores S-C.

Portanto, uma vez que a tensão no barramento é mais elevada, há a necessidade de dimensionar as chaves de potência para suportarem tensões de bloqueio direto mais elevadas, implicando no aumento do custo do conversor, bem como das perdas de comutação.

Uma alternativa para contornar os problemas citados anteriormente consiste na utilização de conversores compostos por quatro pares de chaves, conhecidos como *Four-Leg* (F-L) [45, 53], conforme mostrado na figura 10. Nesta topologia não existe o problema relacionado aos desequilíbrios de tensão no barramento CC e, além disso, estes operam com níveis de tensão no barramento CC menores do que a topologia da figura 9. Neste caso, a tensão do barramento CC, já desconsiderando as perdas nos conversores, deve ser no mínimo igual ao pico da tensão AC de linha na saída.

Como a topologia apresentada na figura 10, têm um número maior de dispositivos semicondutores se comparada com a topologia da figura 9, este trabalho propõem uma nova topologia apresentada na figura 11 e realiza o estudo de mais outra topologia que utiliza uma quantidade menor de chaves se comparado com a topologia da figura 10, e ao mesmo tempo contornam os problemas existentes na topologia da figura 9.

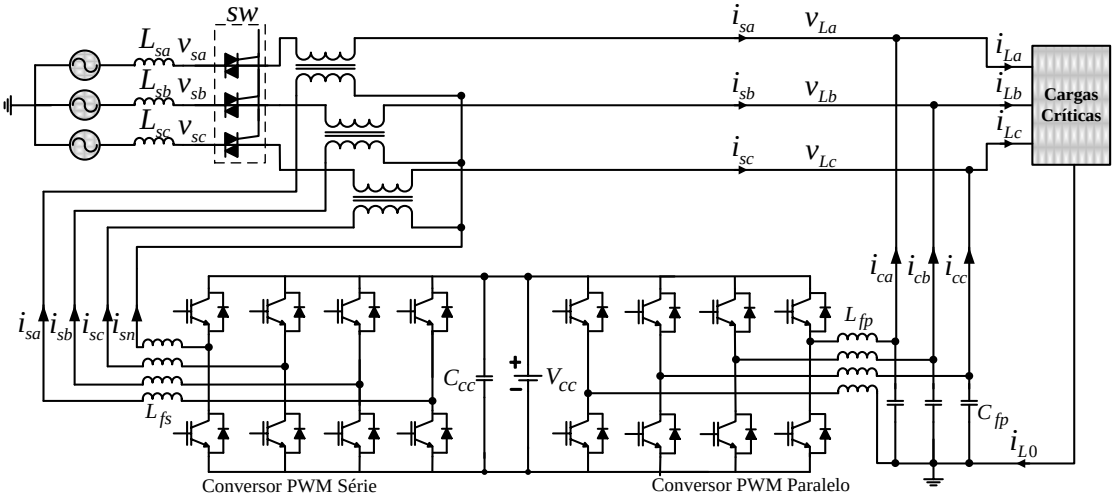


Figura 10 – UPQC/UPS trifásica composta por dois conversores F-L.

A topologia proposta na figura 11 é composta por um conversor S-C utilizado em série e um conversor F-L utilizado em paralelo. Esta topologia apresenta um número menor de chaves se comparado à topologia da figura 9 e opera com o mesmo nível de tensão no barramento CC da topologia composta por dois conversores F-L, já que a tensão no conversor série será determinada pela diferença da tensão de entrada em relação à saída do UPQC/UPS. Portanto, os níveis de tensão do barramento CC deverão ser suficientes para que o conversor série seja capaz de impor as correntes na entrada do sistema. Observa-se que nesta topologia devido a derivação central no barramento CC existe a necessidade de efetuar a compensação dos desequilíbrios de tensão no barramento CC.

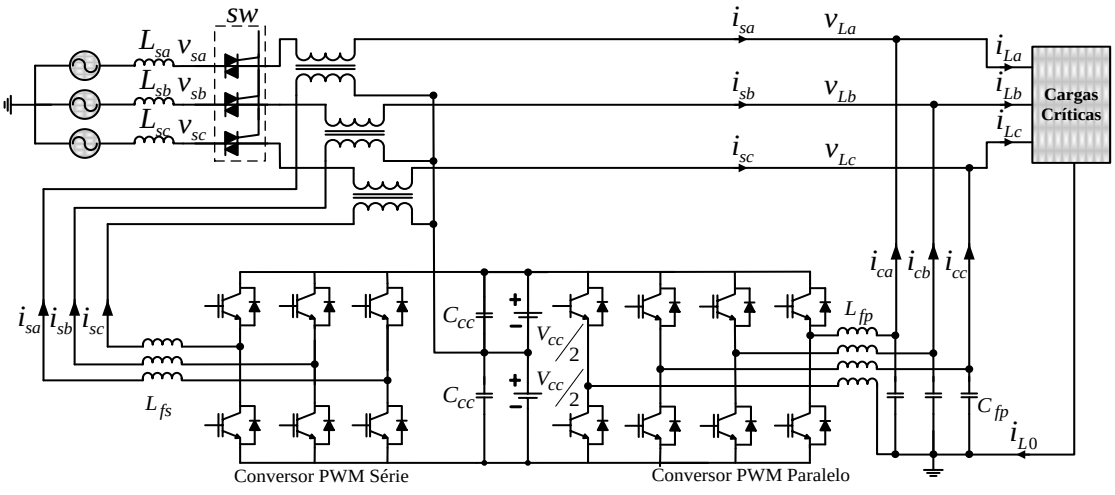


Figura 11 – UPQC/UPS trifásica composta por um conversor S-C e um F-L.

As topologias das figuras 9, 10 e 11, possibilitam um controle independente das correntes de entrada, ou seja, podem compensar somente os harmônicos e os reativos gerados pelas cargas, sem a preocupação de se obter correntes equilibradas na rede. No entanto, as componentes de sequência negativa e zero também podem ser compensadas, tornando as correntes de entrada equilibradas e consequentemente a corrente no condutor de neutro será igual à zero. Desta forma, como a corrente no condutor de neutro do conversor série será também igual a zero não há a necessidade da conexão do condutor neutro da rede com o conversor série, conforme pode ser observado pela topologia apresentada na figura 12, na qual o conversor série é composto por um conversor trifásico a três fios *Tree-Leg* (T-L). Está topologia também pode ser utilizada em redes elétricas trifásicas a três fios, possibilitando a alimentação de cargas trifásicas e monofásicas [57].

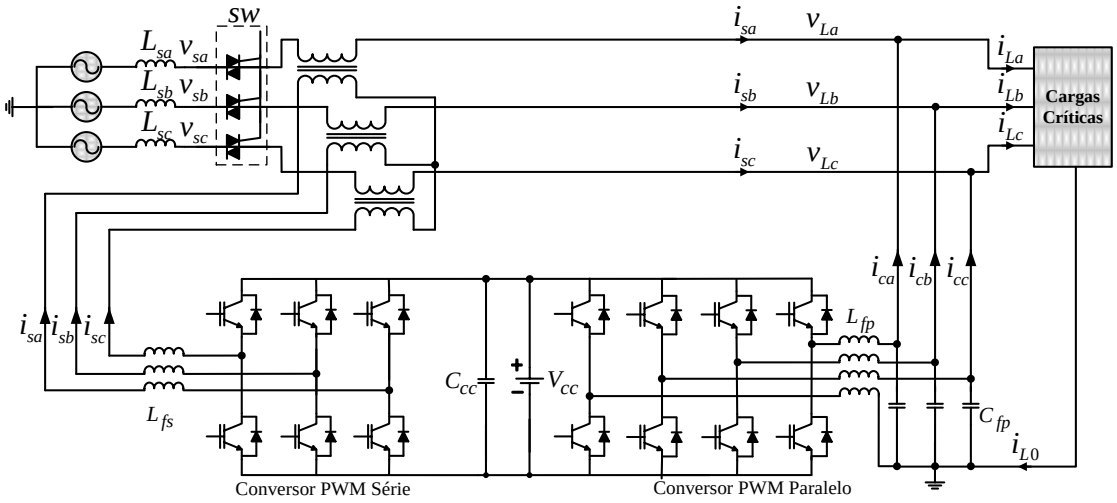


Figura 12 – UPQC/UPS trifásica composta por um conversor T-L e um F-L aplicado em sistemas trifásicos a três e a quadro fios.

2.5 Conclusões

Este capítulo apresentou uma breve descrição das normas relacionadas aos sistemas UPS. As principais topologias de UPSs foram apresentadas, no entanto, a revisão bibliográfica foi focada nas topologias com capacidade de realizar o condicionamento simultâneo das tensões de saída, bem como, das correntes de entrada. Estes sistemas apresentam uma estrutura muito similar aos empregados nos UPQCs, já que no modo de operação *standby* estes realizam exatamente a

mesma função. Devido a grande semelhança dos sistemas UPS em estudo com relação aos UPQCs, a revisão bibliográfica destes sistemas também foi apresentada neste capítulo.

Foram apresentadas algumas configurações de UPQC/UPS trifásicas a quatro fios utilizando diferentes tipos de conversores controlados em tensão tanto no conversor paralelo, quanto no conversor série. Dentre as configurações apresentadas, uma delas é proposta neste trabalho como alternativas para a redução dos níveis de tensão no barramento CC se comparadas com a topologia composta por dois conversores S-C e com um número menor de dispositivos semicondutores de potência se comparada com a topologia composta por dois conversores F-L. A topologia composta por um conversor T-L e um conversor F-L elimina o desequilíbrio de tensão no barramento CC, além disso, a topologia composta por um conversor T-L e um F-L possibilita a alimentação de cargas monofásica mesmo quando o sistema elétrico for trifásico a três fios.

A revisão bibliográfica apresentada neste capítulo enfatiza a relevância do tema em estudo, pois apesar de ser bem difundido, publicações recentes evidenciam que existem muitos aspectos a serem melhor explorados, principalmente no que diz respeito aos algoritmos de compensação que possibilitem uma elevação na eficiência do sistema, controladores mais robustos que garantam um bom desempenho estático e dinâmico, bem como topologias que apresentem uma maior flexibilidade quanto à configuração do sistema elétrico, dentre outros.

Capítulo 3

Modelagem e Algoritmos de Controle

Este capítulo apresenta as modelagens das topologias de UPQC/UPS em estudo neste trabalho. Inicialmente é feita a análise dos sistemas UPQC/UPS considerando que os conversores série e paralelo são fontes ideais de corrente e tensão, respectivamente, com intuito de mostrar o princípio de funcionamento dos sistemas UPQCs ou UPSs *line-interactive* operando no modo *standby*, controlados de forma dual, ou seja, considerando que os conversores série e paralelo são controlados como fontes de corrente e tensão senoidais, respectivamente. Além disso, os fluxos de potências através dos conversores série e paralelo são apresentados.

Os algoritmos utilizados para a geração das referências e controle no referencial síncrono de tensão e corrente dos conversores série e paralelo são apresentados neste capítulo, juntamente com o sistema *PLL* trifásico implementado.

A modelagem dos conversores série, bem como a modelagem do conversor paralelo no referencial síncrono *dq0* são abordadas neste capítulo, juntamente com o modelo do barramento CC e da planta de controle do desequilíbrio de tensão deste barramento CC. Além disso, este capítulo apresenta o algoritmo utilizado para compensar os desequilíbrios de tensão CC.

3.1 Modelagens das Topologias de UPQC/UPS

As topologias de UPQCs/UPSs estudadas neste trabalho realizam a supressão dos harmônicos e compensam reativos gerados por cargas não lineares. Simultaneamente a isso, os distúrbios presentes nas tensões da rede também são compensados. Além disso, os sistemas UPSs devem garantir o fornecimento

ininterrupto de energia às cargas, por um tempo determinado definido pela capacidade do banco de baterias.

Os conversores série e paralelo serão modelados e controlados como fontes de corrente e tensão senoidais, respectivamente, de forma similar aos apresentados em [24, 25, 26-34, 52-56]. Apesar do sistema ser modelado e controlado de forma dual a maneira tradicionalmente feita para os FAPP e para os FAPS, as correntes harmônicas irão circular pelo conversor paralelo e os distúrbios de tensão que são compensados, estarão presentes nos transformadores de acoplamento do conversor série, da mesma forma que ocorre quando os FAPP e os FAPS são utilizados isoladamente conforme a figura 13. Assim, as correntes de compensação circulam pelo conversor paralelo e as perturbações presentes nas tensões da rede são indiretamente compensadas e naturalmente absorvidas pelos transformadores de acoplamento série.

Uma vez que o conversor série comporta-se como uma fonte de corrente senoidal, a sua elevada impedância deverá ser suficiente para isolar a rede das correntes harmônicas da carga. Enquanto que, pelo fato do conversor paralelo comportar-se como uma fonte de tensão senoidal, sua baixa impedância será suficiente para absorver as correntes harmônicas da carga.

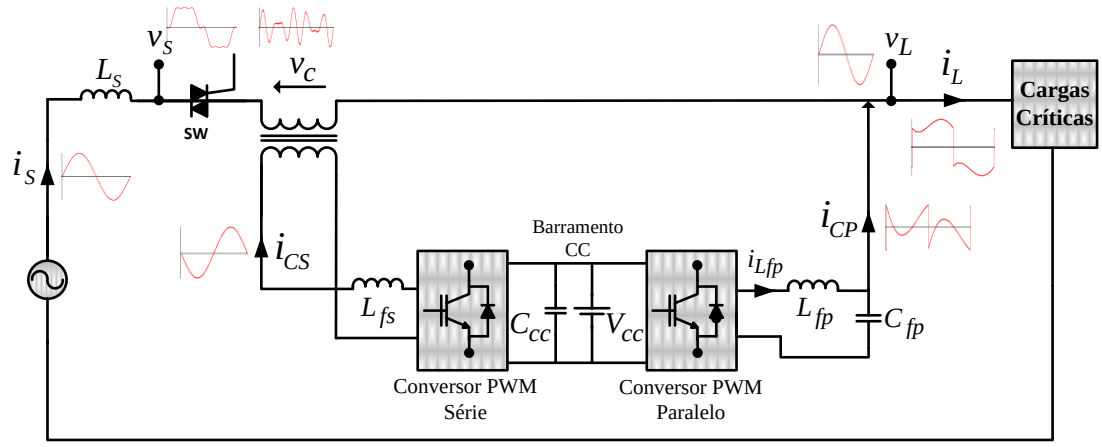


Figura 13 – Diagrama simplificado da UPQC/UPS.

Com intuito de apresentar o princípio de funcionamento, o condicionador de energia elétrica UPQC/UPS é representado por um circuito equivalente monofásico, para cada uma das fases, como apresentado na figura 14, onde o conversor paralelo

e o conversor série estão representados por fontes ideais de tensão e corrente, respectivamente. Fazendo esta consideração, o conversor paralelo terá capacidade de fornecer tensões sem distorções, independentemente do tipo de carga. De forma análoga o conversor série irá impor uma corrente senoidal no circuito.

Considerando que a tensão da rede $v_S(t)$ seja distorcida, ela será composta por uma parcela fundamental $v_{Sf}(t)$ mais a somatória dos componentes harmônicos $v_{Sh}(t)$, conforme (3.1).

$$v_S(t) = v_{Sf}(t) + \sum_{h=2}^{\infty} v_{Sh}(t) \tag{3.1}$$

A fonte de tensão ideal que representa o conversor paralelo impõe uma tensão em seus terminais igual à parcela fundamental da tensão da rede $v_{Sf}(t)$ e, consequentemente, a tensão na carga $v_L(t)$ será igual a $v_{Sf}(t)$ e a tensão nos terminais da fonte de corrente $v_c(t)$ será igual à somatória das parcelas harmônicas $v_{Sh}(t)$ presentes na tensão da rede $v_S(t)$.

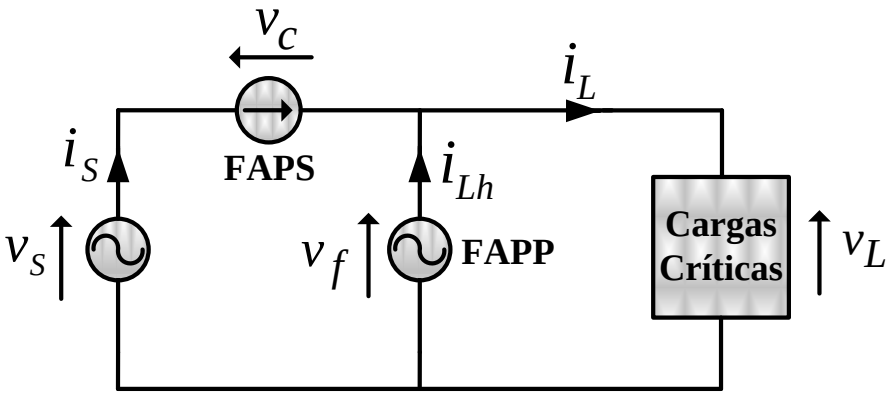


Figura 14 – Circuito monofásico simplificado da UPQC/UPS.

Como a carga conectada na saída do UPQC/UPS pode apresentar um comportamento não linear, a corrente $i_L(t)$ será composta por uma parcela fundamental $i_{Lf}(t)$ mais a somatória das componentes harmônicas $i_{Lh}(t)$, conforme a expressão (3.2).

$$i_L(t) = i_{Lf}(t) + \sum_{h=2}^{\infty} i_{Lh}(t) \tag{3.2}$$

Como a fonte de corrente que representa o conversor série impõe uma corrente composta somente pela parcela fundamental da corrente da carga $i_{Lf}(t)$, independente da tensão em seus terminais, irá resultar um caminho de alta impedância para as componentes harmônicas da corrente da carga $i_{Lh}(t)$. Desta forma, restará somente a fonte de tensão do conversor paralelo para essas componentes circularem, a qual apresenta baixa impedância.

Para que o sistema se aproxime ao máximo do descrito anteriormente, diversos fatores estão envolvidos no projeto e implementação do sistema, principalmente no que se refere à eficácia dos algoritmos utilizados para a geração das referências de tensão e corrente e a capacidade dos inversores em sintetizarem estas referências.

3.1.1 Fluxo de Potência no UPQC/UPS

O fluxo de potência através dos conversores série e paralelo pode mudar de sentido dependendo das amplitudes das tensões de entrada (v_{sa}, v_{sb}, v_{sc}) em relação às tensões de saída (v_{La}, v_{Lb}, v_{Lc}). As figuras 15, 16 e 17 mostram o sentido do fluxo das potências ativas instantâneas no UPQC/UPS desconsiderando as perdas e a carga do banco de baterias, onde a potência da rede, do conversor série, do conversor paralelo e da carga são representadas por p_s, p_{cs}, p_{cp} e p_L, respectivamente.

Quando as tensões da rede são maiores que as tensões da carga, o fluxo de potência flui da rede para o barramento CC via conversor série, e do barramento CC para a carga via conversor paralelo, ou seja, $p_s = p_{cs} + p_o = p_{cp} + p_o = p_L$, conforme apresentado na figura 15.

Com as tensões de entrada menores que as tensões de saída, o controlador de tensão do barramento CC faz com que as correntes de entrada se elevem, para equilibrar o fluxo de potência. O fluxo de potência flui no sentido da saída do conversor paralelo para o barramento CC, e deste para os transformadores de

acoplamento via conversor série, ou seja, $p_s + p_{cs} = p_o = p_{cp} + p_L$, onde $p_{cs} = p_{cp}$, como mostrado na figura 16.

Considerando as tensões de entrada iguais às tensões de saída e o sistema alimentando uma carga puramente resistiva, não existe potência ativa circulando pelos conversores série e paralelo, portanto, $p_s = p_o = p_L$, como mostra a figura 17.

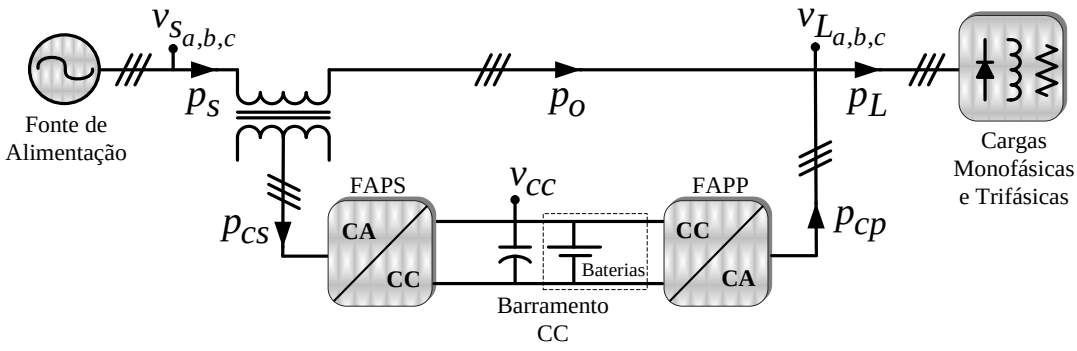


Figura 15 – Fluxo de potência: (v_{sa}, v_{sb}, v_{sc}) > (v_{La}, v_{Lb}, v_{Lc}).

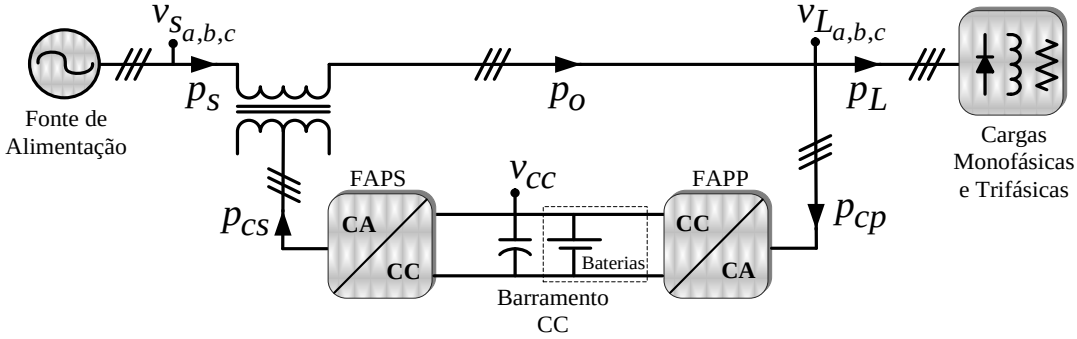


Figura 16 – Fluxo de potência: (v_{sa}, v_{sb}, v_{sc}) < (v_{La}, v_{Lb}, v_{Lc}).

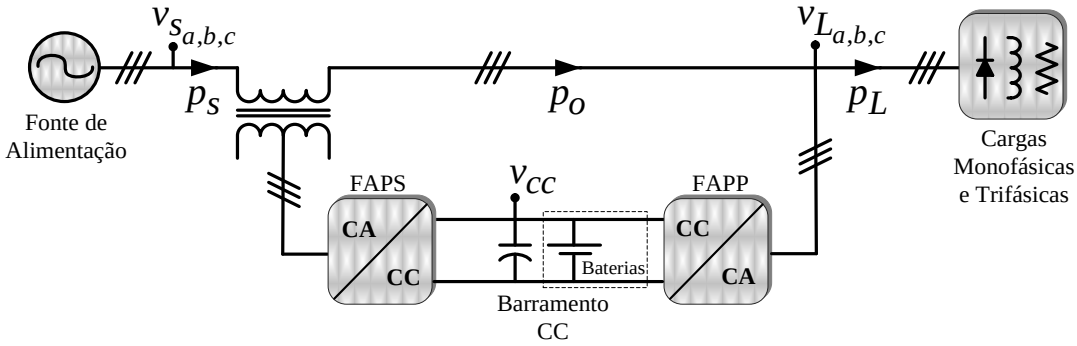


Figura 17 – Fluxo de potência: (v_{sa}, v_{sb}, v_{sc}) = (v_{La}, v_{Lb}, v_{Lc}).

As potências aparentes processadas pelos conversores série e paralelo, dependem diretamente da relação entre os valores eficazes das tensões de entrada e saída, do fator de deslocamento, da DHT das correntes da carga e do fator de carga do banco de baterias [18].

Considerando que as tensões de entrada e saída são senoidais, assim como as correntes de entrada são senoidais, em regime permanente, as potências aparentes nos conversores série e paralelo, normalizadas em função da potência aparente da carga são dadas pelas equações (3.3) e (3.4) [14], respectivamente.

$$\left|\frac{S_S}{S_L}\right| = \frac{cos\emptyset_1\sqrt{[(1+k_b)(1-V_L/V_S)]^2}}{\sqrt{1+DHT_{i_L}^2}} \tag{3.3}$$

$$\left|\frac{S_P}{S_L}\right| = \sqrt{\frac{cos^2\emptyset_1\frac{V_L}{V_S}(1+k_b)(\frac{V_L}{V_S}(1+k_b)-2)}{1+DHT_{i_L}^2}+1} \tag{3.4}$$

onde:

S_L: Potência aparente da carga;

S_S: Potência aparente do conversor série;

S_P: Potência aparente do conversor paralelo;

$cos\emptyset_1$: Fator de deslocamento;

DHT_{i_L}: Distorção harmônica total da corrente da carga;

k_b: Fator de carga das baterias ($k_b = P_b/P_L$);

P_b; Potência ativa para carregar as baterias;

P_L: Potência ativa consumida pela carga.

O dimensionamento do conversor paralelo da UPS deve ser feito levando em consideração a potência nominal da carga. Enquanto que o dimensionamento do conversor série deve-se considerar principalmente, a compensação dos distúrbios presentes nas tensões da rede elétrica como afundamentos de tensão, elevações de tensão e harmônicos. Durante estes distúrbios, haverá uma componente

fundamental de tensão no transformador série, e como a fundamental da corrente da carga circula pelo transformador série, resultará em uma potência média absorvida ou fornecida pelo conversor série.

3.2 Algoritmo de Geração de Referência

Conforme descrito no item 3.1.1 os conversores série e paralelo são controlados como fontes de tensão e corrente senoidais. Portanto, uma forma de gerar estas referências é calcular as parcelas fundamentais tanto da tensão da rede $v_{Sf}(t)$ como da corrente da carga $i_{Lf}(t)$. Diversos algoritmos utilizados para a geração de referências para FAPPs são propostos, baseados em cálculos de potências [58-60], ou por meio de técnicas de processamento digital de sinais, tais como, filtragem adaptativa, transformada rápida de Fourier, redes neurais artificiais [61-64], dentre outras.

O algoritmo proposto neste trabalho para geração das referências de tensão e corrente para os conversores é baseado no sistema de Eixos de Referência Síncrona (SRF) [26]. Ele se caracteriza em transformar as tensões e/ou as correntes fundamentais no referencial estacionário *abc* em grandezas contínuas no referencial síncrono *dq*, no qual estes giram em velocidade síncrona em relação aos vetores espaciais de tensão/corrente. As parcelas harmônicas de corrente ou tensão no referencial *dq* que possuem frequências diferentes da síncrona, ou seja, diferente da frequência fundamental do sistema elétrico, passam a serem formas de onda alternadas e sobrepostas ao termo contínuo. As parcelas fundamentais serão facilmente obtidas através da utilização de um filtro passa baixa.

O filtro passa baixa utilizado pode influenciar diretamente na dinâmica do algoritmo SRF. Quando é utilizado um filtro passa baixa de 2ª ordem este deve ter uma frequência de corte situada uma década abaixo da menor frequência que se deseja filtrar, o que garante uma boa rejeição das componentes oscilantes do referencial síncrono. Uma alternativa aos filtros de 2ª ordem convencionais são os filtros digitais, podendo-se citar o filtro de média móvel utilizado em [11] e [12], o qual

garante uma boa rejeição às componentes oscilantes aliada a uma melhor resposta dinâmica.

Antes da transformação para o referencial síncrono as tensões e correntes são transformadas do sistema trifásico estacionário *abc* para o sistema bifásico estacionário $\alpha\beta 0$ utilizando a transformada de *Clark*, conforme a equação (3.5). Do referencial estacionário bifásico são transformadas para o sistema de eixos bifásicos síncronos através da matriz representada pela equação (3.6). Para se gerar as coordenadas do vetor unitário síncrono $cos\theta$ e $sen\theta$, existe a necessidade de se usar algum circuito de detecção de ângulo de fase. Neste trabalho será utilizado um sistema de detecção de fase conhecido por *PLL* (*Phase Locked Loop*).

$$\begin{bmatrix} x_\alpha \\ x_\beta \\ x_0 \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \tag{3.5}$$

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \begin{bmatrix} cos\theta & sen\theta \\ -sen\theta & cos\theta \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} \tag{3.6}$$

onde:

$x_{a,b,c}$: Valores instantâneos de tensão e/ou corrente no referencial estacionário trifásico *abc*;

x_α: Valores instantâneos de tensão e/ou corrente no referencial estacionário α;

x_β: Valores instantâneos de tensão e/ou corrente no referencial estacionário β;

x_d: Valores instantâneos de tensão e/ou corrente no referencial síncrono d;

x_q: Valores instantâneos de tensão e/ou corrente no referencial síncrono q;

θ: Posição angular do vetor tensão/corrente;

$sen\theta$: coordenadas do vetor unitário síncrono;

$cos\theta$: coordenadas do vetor unitário síncrono.

Utilizando a componente contínua do referencial d, xd_{CC} e aplicando as matrizes de transformação inversa representadas pelas expressões (3.7) e (3.8) obtém-se somente as parcelas fundamentais das tensões e/ou correntes no referencial $\alpha\beta$ e *abc*, respectivamente.

$$\begin{bmatrix} x_\alpha \\ X_\beta \end{bmatrix} = \begin{bmatrix} cos\theta & -sen\theta \\ sen\theta & cos\theta \end{bmatrix} \begin{bmatrix} xd_{CC} \\ 0 \end{bmatrix} \tag{3.7}$$

$$\begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 & \frac{1}{\sqrt{2}} \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & \frac{1}{\sqrt{2}} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \\ x_0 \end{bmatrix} \tag{3.8}$$

O diagrama em blocos da figura 18 representa o algoritmo baseado no método SRF para a extração das componentes fundamentais de tensão ou corrente no referencial *abc*.

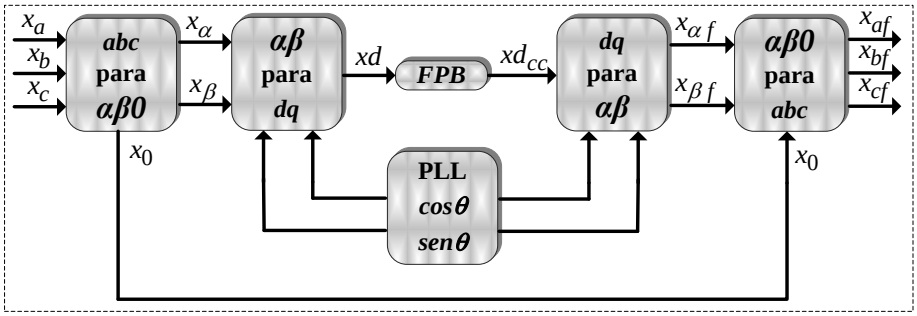


Figura 18 – Diagrama de blocos compensador *SRF*.

3.2.1 Sistema *PLL*

Diversas estruturas de *PLL* têm sido propostas para sistemas trifásicos [65, 66] e monofásicos [67, 68]. Para a geração das coordenadas do vetor unitário síncrono ($sen\theta$ e $cos\theta$) utilizados no método SRF, são necessários o ângulo de fase e a frequência da rede elétrica. Um sistema *PLL* trifásico deve detectar o ângulo de fase referente à componente de sequência positiva da componente fundamental das tensões da rede.

Neste trabalho o vetor unitário síncrono é obtido através do *p-PLL* proposto em [67] (figura 19), aplicado em sistemas trifásicos já que o respectivo *PLL* é baseado na teoria de potência ativa instantânea trifásica.

Este sistema *PLL* estará atracado, ou seja, sincronizado com a componente de sequência positiva da rede elétrica, quando a componente CC ($\bar{p}'$) da potência fictícia trifásica (p') (equação 3.9) for anulada. A frequência angular da rede ($\hat{\omega}=2\pi f$) é obtida pelo controlador PI. Integrando a frequência angular ($\hat{\omega}$) é obtido o ângulo de fase $\hat{\theta}_{pll} = \hat{\omega}t$ que é utilizado para calcular as correntes fictícias (i'_α e i'_β).

$$p' = V_{pk} sen(\omega t) sen(\hat{\theta}_{pll}) + V_{pk} sen(\omega t - \pi/2) sen(\hat{\theta}_{pll} - \pi/2) \quad (3.9)$$

onde V_{pk} é o valor de pico das tensões $v_{\alpha f}$ e $v_{\beta f}$.

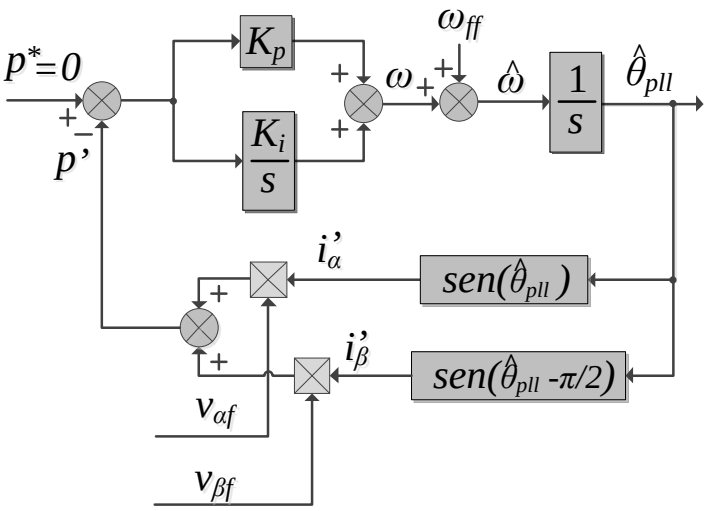


Figura 19 – Sistema *p-PLL.*

As tensões de entrada do sistema *PLL* são tensões em quadratura ($v_{\alpha f}$ e $v_{\beta f}$) que serão obtidas por um filtro auto sintonizado (*STF-self tuning filter*) (figura 20) que está detalhado em [69]. Os sinais de entrada do algoritmo de filtragem do *STF* são compostos por dois sinais em quadratura, podendo estes ser representados tanto por grandezas de tensão como de corrente. Neste caso as tensões de entrada do algoritmo *STF* (v'_α e v'_β) são as tensões da rede elétrica (v_{sa}, v_{sb}, v_{sc}) transformadas para o eixo bifásico estacionário, através da equação (3.5).

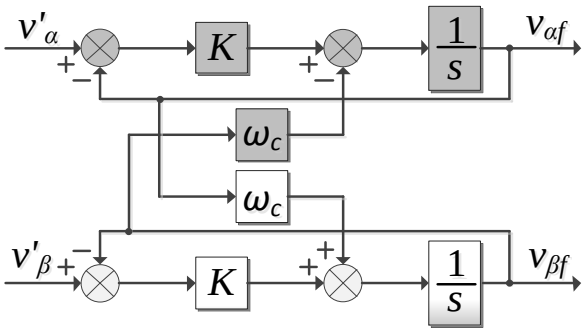


Figura 20 – Filtro auto sintonizado (*STF*).

As funções de transferências do *STF* são representadas pelas equações (3.10) e (3.11). O algoritmo *STF* se comporta como um filtro passa faixa, onde (ω_c) é a frequência de corte e o parâmetro *K* está diretamente relacionado com a seletividade do filtro, ou seja, quanto menor o valor de *K* mais seletivo será o filtro, isto pode ser observado pelo diagrama de Bode da figura 21, considerando a frequência de corte (ω_c) igual a 377 rad/sec e os valores de *K* variando de 5 a 25.

$$v_{\alpha f}(s) = \frac{K}{s}\left[v'_\alpha(s) - v_{\alpha f}(s)\right] - \frac{\omega_c}{s} v_{\beta f}(s) \tag{3.10}$$

$$v_{\beta f}(s) = \frac{K}{s}\left[v'_\beta(s) - v_{\beta f}(s)\right] + \frac{\omega_c}{s} v_{\alpha f}(s) \tag{3.11}$$

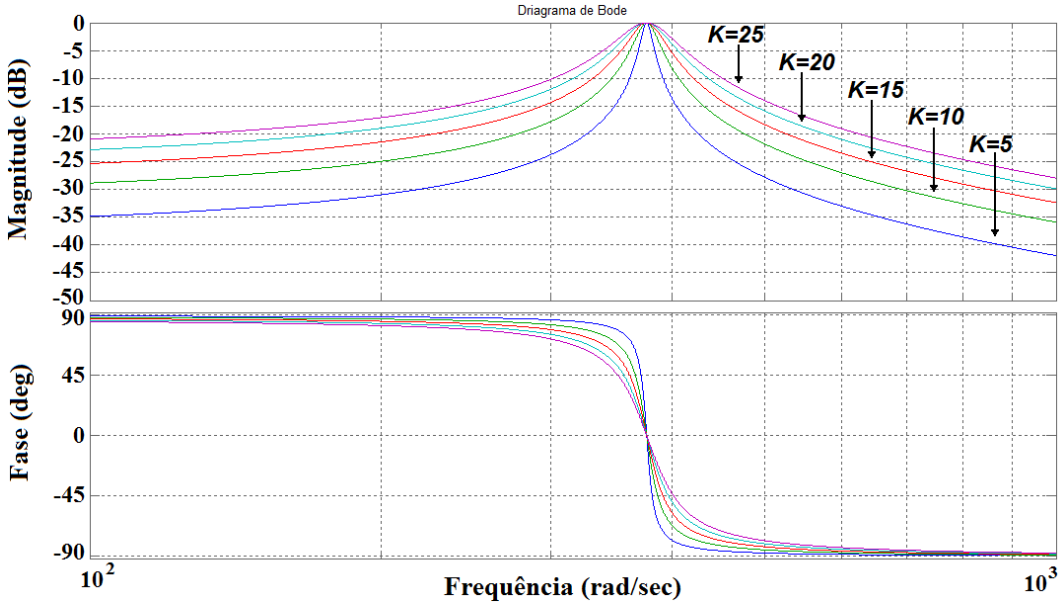


Figura 21 – Diagrama de Bode do STF considerando diversos valores do parâmetro *K* (ω_c = 377 rad/sec).

A utilização do *STF* em conjunto com o *PLL* garante uma maior rejeição às distorções que podem existir nas tensões da rede, e garante a operação do sistema com tensões desequilibradas. Já o *p-PLL* é responsável em garantir o sincronismo, detectar o ângulo de fase e adaptar a frequência de corte do *STF*, possibilitando a operação do sistema com variações de frequência nas tensões da rede e garantindo que os sinais de saída do *STF* estejam em quadratura. O esquema completo do *STF-p-PLL* trifásico é apresentado na figura 22.

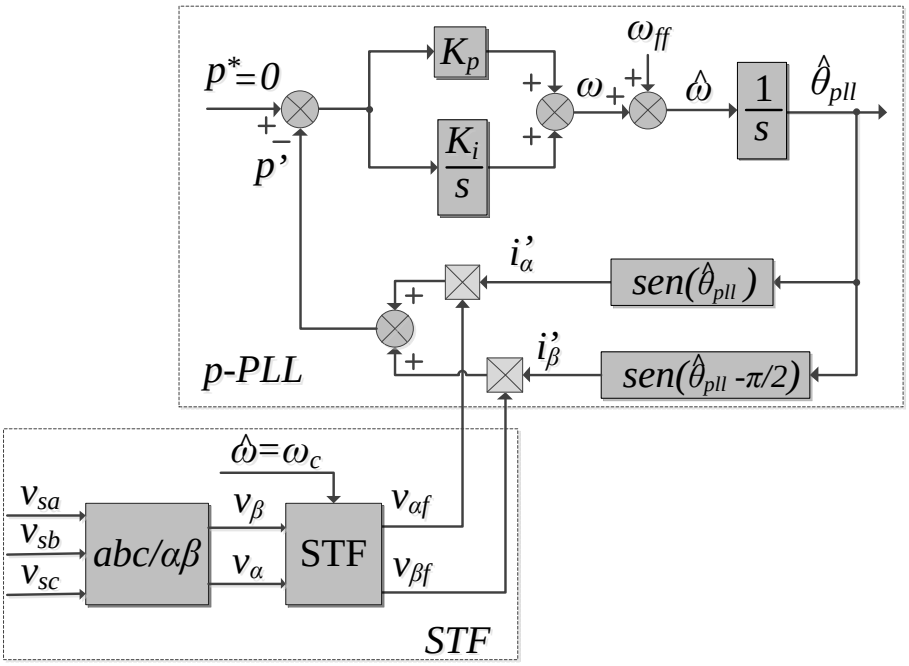


Figura 22 – Esquema *STF-p-PLL* Trifásico.

Os parâmetros utilizados no *p-PLL* e no *STF* são mostrados na tabela 1. Na figura 23 estão apresentados os resultados do sistema *PLL* trifásico mostrado na figura 22. Na figura 23 (a) estão apresentadas as tensões da rede (v_{sa}, v_{sb}, v_{sc}) desequilibradas e com harmônicos. As correntes fictícias (i'_α e i'_β) são mostradas na figura 23 (b) e a potência fictícia trifásica (p') é mostrada na figura 23 (c).

Tabela 1 – Parâmetros utilizados no sistema *PLL*.

Taxa de amostragem	40*kHz*
Parâmetro *K*	10
Ganho Proporcional	1000
Ganho Integral	25000

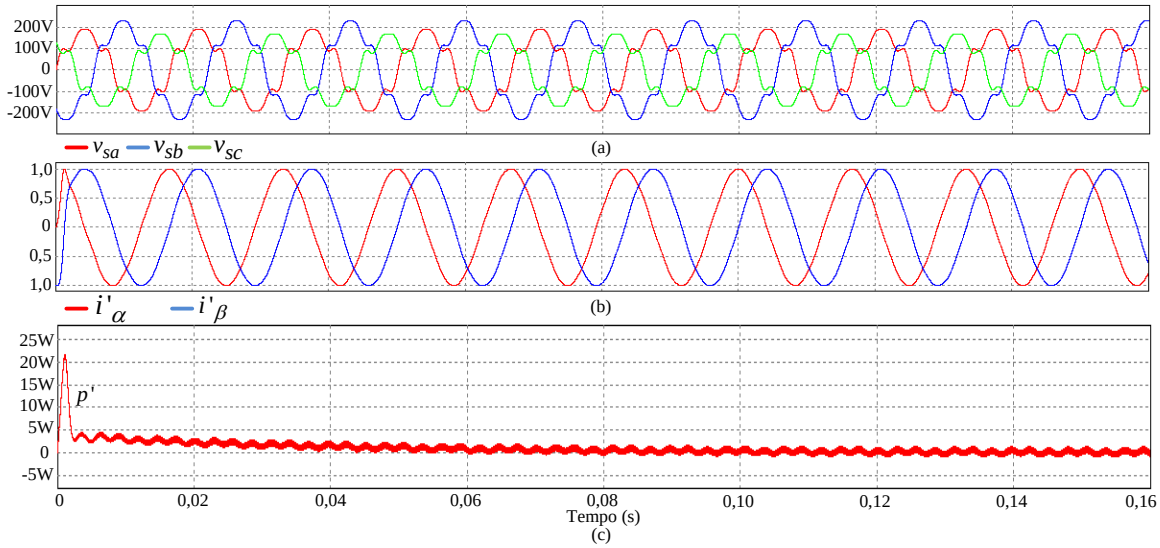


Figura 23 – Sistema *PLL*: (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}); (b) Correntes fictícias (i'_α e i'_β); (c) Potência fictícia trifásica (p').

3.2.2 Algoritmo de Geração de Referência e Controle Baseado no Método SRF.

Para que os condicionadores de energia UPQC/UPS obtenham um bom desempenho, não bastam referências ideais de tensões e correntes para os conversores série e paralelo, mas também controladores que garantam que os conversores sintetizem estas referências, com os menores erros possíveis de fase e amplitude. Estes controladores devem ser robustos o suficiente para garantir a operação dentro dos limites estabelecidos durante os transitórios.

Quando as referências de tensão e corrente são geradas no referencial estacionário *abc* como, por exemplo, da forma apresentada na figura 19, geralmente os controladores também são implementados nesse mesmo referencial. Os controladores Proporcional e Integral (PI) são bastante utilizados nestas aplicações, no entanto, apresentam erros de amplitude e fase em regime permanente [70-73]. Diversos controladores têm sido propostos para anular o erro em regime permanente utilizando técnicas de controle linear e não linear, tais como os controladores ressonantes, realimentação de estado, preditivos, redes neurais e lógica fuzzy [13], [70-79].

Outra técnica bastante utilizada para o controle de conversores estáticos é o controle realizado no referencial síncrono. Neste caso, geralmente são utilizados

controladores PI no referencial síncrono dq, o que é suficiente para anular o erro em regime permanente, quando as referências são grandezas contínuas no referencial síncrono dq.

Como os conversores série e paralelo do UPQC/UPS vão controlar grandezas senoidais, as referências para estes conversores no referencial síncrono são representadas por grandezas contínuas. Portanto, a utilização de controladores PI neste referencial é uma boa alternativa para o controle dos conversores série e paralelo da UPQC/UPS [80].

O diagrama em blocos da figura 24 apresenta o algoritmo de geração de referência e controle do conversor série que deverá impor uma corrente senoidal na entrada do sistema, corrente esta que deverá ser composta somente pela componente fundamental de sequência positiva da corrente da carga, somada a uma parcela de corrente utilizada para compensar as perdas do sistema de forma a manter o fluxo de potência equilibrado.

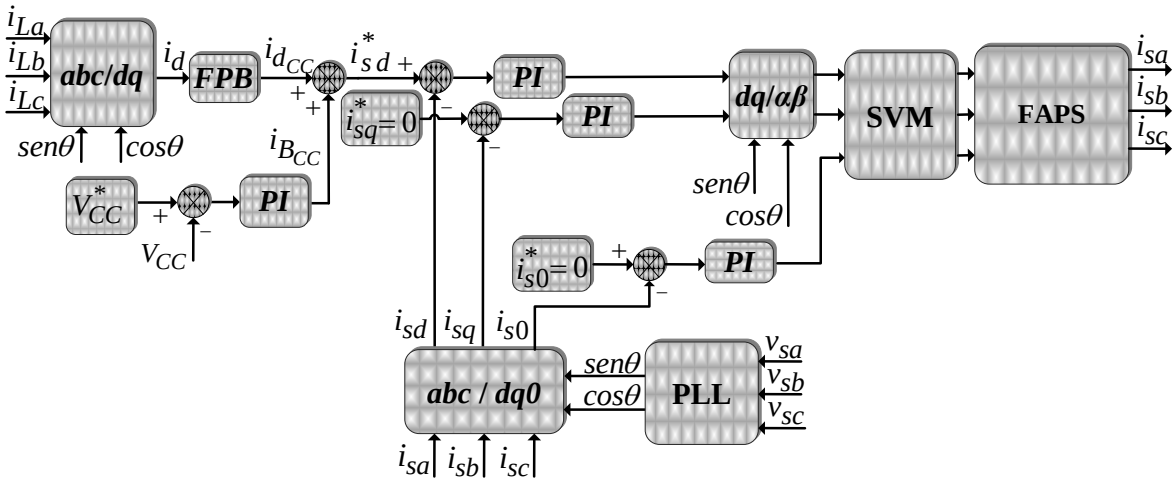


Figura 24 – Algoritmo de geração de referência e controle de corrente do conversor série.

A corrente de referência no referencial síncrono (i^*_{sd}) (figura 24) é obtida medindo-se as correntes da carga nas três fases (i_{La}, i_{Lb}, i_{Lc}) e aplicando as transformadas das equações (3.5) e (3.6), respectivamente. A ação de controle do controlador do barramento CC ($i_{B_{CC}}$) é somada à corrente média do referencial síncrono ($i_{d_{CC}}$), a qual é utilizada para manter a tensão do barramento CC constante, compensando as perdas inerentes dos elementos de filtragem, bem como dos

dispositivos semicondutores. Além disso, $i_{B_{CC}}$ tem a função de equilibrar o fluxo de potência no UPQC, em função das diferenças de amplitude entre as tensões de entrada (v_{sa}, v_{sb}, v_{sc}) e as respectivas tensões de saída (v_{La}, v_{Lb}, v_{Lc}), conforme tratado em [23] e [24]. Esta corrente $i_{B_{CC}}$é também utilizada para realizar a carga do banco de baterias da UPS pelo método de carga por tensão constante [24], drenando uma parcela de potência ativa da rede. Para que as correntes de entrada no referencial estacionário *abc* estejam em fase com as tensões da rede e equilibradas, a referência no eixo síncrono q (i_{sq}^{*}), bem como a referência no eixo estacionário *0* (i_{s0}^{*}) devem ser iguais a zero.

As ações de controle dos controladores da malha de corrente no referencial estacionário $\alpha\beta$ são obtidas pela equação (3.7).

O algoritmo de geração de referência e controle do conversor paralelo está representado no diagrama de blocos da figura 25. O conversor paralelo deve manter a tensão de saída senoidal, equilibrada e regulada. Portanto, a referência de tensão no referencial síncrono d (v_{Ld}^{*}), deve ser uma constante que representa a tensão fundamental da saída (v_{La}, v_{Lb}, v_{Lc}). Já a referência no referencial síncrono q (v_{Lq}^{*}), bem como a do referencial zero (v_{LO}^{*}) devem ser iguais a zero. O controle no referencial síncrono é feito tanto para a malha interna de corrente, como para a malha externa de tensão, conforme os modelos apresentados nas próximas seções dos conversores operando como fonte de tensão.

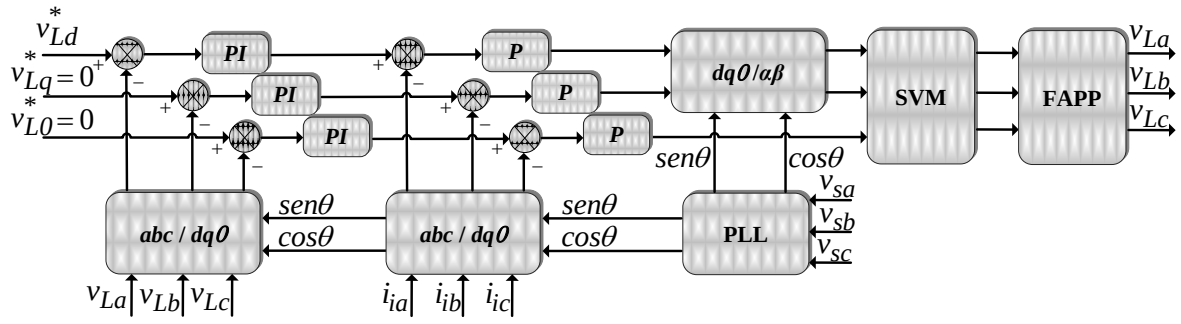


Figura 25 – Algoritmo de geração de referência e controle de tensão do conversor paralelo.

O bloco (SVM – Space Vector Modulation) das figuras 24 e 25 representa a modulação vetorial espacial tridimensional. Apesar de ser mais complexa a sua

implementação, apresenta algumas vantagens em relação à modulação por largura de pulsos senoidal (SPWM) [81, 82].

3.2.3 Modelagem dos Inversores de tensão *VSI* Operando como Fonte de Corrente

Diversas topologias de conversores podem ser utilizadas para operar como fonte de corrente em topologias de UPS ou UPQC trifásicas, conforme apresentado no capítulo anterior.

3.2.3.1 Modelagem do conversor T-L operando como fonte de corrente

Considera-se as correntes do conversor trifásico de três fios T-L mostrado na figura 26 equilibradas.

Os transformadores conectados na saída do conversor da figura 26 representam os transformadores de acoplamento do conversor série com relação de transformação unitária, (L_{fsa}, L_{fsb} e L_{fsc}) representam as indutâncias totais de cada uma das fases equação (3.12) e (R_{fsa}, R_{fsb} e R_{fsc}) representam as resistências totais de cada uma das fases conforme (3.13).

$$L_{fsa,b,c} = L_{a,b,c} + L_{Da,b,c} \tag{3.12}$$

$$R_{fsa,b,c} = R_{a,b,c} + R_{Ta,b,c} \tag{3.13}$$

onde:

$L_{a,b,c}$: Indutâncias das fases *abc*;

$L_{Da,b,c}$: Indutâncias de dispersão das fases *abc*;

$R_{a,b,c}$: Resistências dos indutores das fases *abc*;

$R_{Ta,b,c}$: Resistências totais dos enrolamentos dos transformadores.

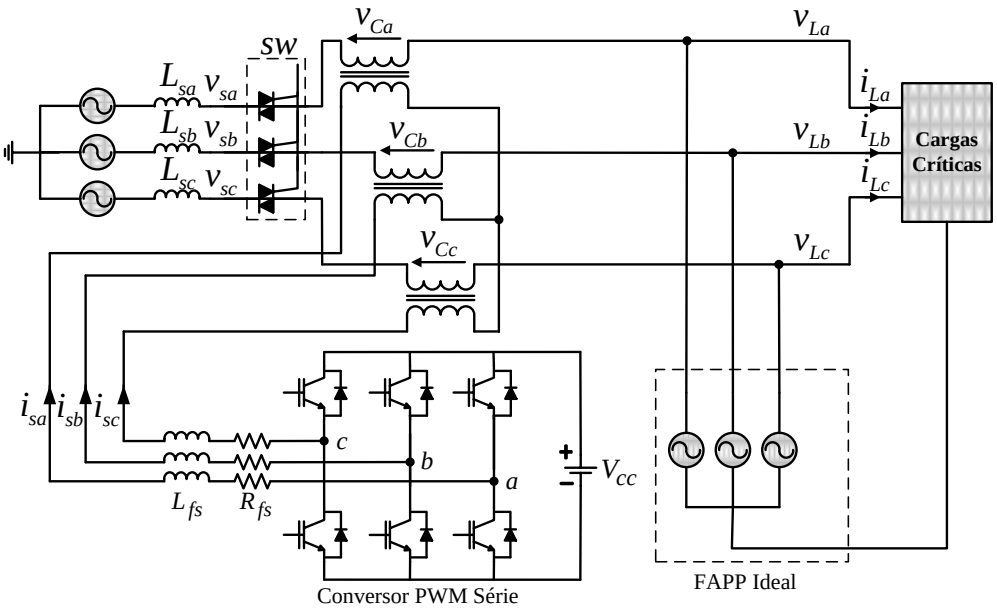


Figura 26 – Filtro Ativo de Potência Série (Conversor T-L) a três fios.

Aplicando a Lei de Kirchhoff das tensões entre os pontos a e b, b e c do circuito da figura 26, obtém-se a tensões PWM entre os pontos a e b, b e c:

$$u_{ab_pwm} = v_{Lfsa} + v_{Rfsa} + v_{Cab} - v_{Rfsb} - v_{Lfsb} \tag{3.14}$$

$$u_{bc_pwm} = v_{Lfsb} + v_{Rfsb} + v_{Cbc} - v_{Rfsc} - v_{Lfsc} \tag{3.15}$$

Aplicando a Lei de Kirchhoff das correntes no circuito da figura 26, tem-se:

$$i_{sa} + i_{sb} + i_{sc} = 0 \tag{3.16}$$

Considerando as resistências $R_{fsa} = R_{fsb} = R_{fsc} = R_{fs}$ e as indutâncias $L_{fsa} = L_{fsb} = L_{fsc} = L_{fs}$ as quedas de tensão sobre elas são definidas pela equação (3.17) e (3.18), respectivamente.

$$v_{Rfsa,b,c} = R_{fsa,b,c}.\, i_{Sa,b,c} \tag{3.17}$$

$$v_{Lfsa,b,c} = L_{fsa,b,c}\frac{di_{Sa,b,c}}{dt} \tag{3.18}$$

Reescrevendo as equações (3.14) e (3.15) na forma matricial, e isolando as quedas de tensão nas resistências e nas indutâncias tem-se a equação (3.19).

$$\begin{bmatrix} u_{ab_pwm} - v_{Cab} \\ u_{bc_pwm} - v_{Cbc} \\ 0 \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ 1 & 1 & 1 \end{bmatrix} . \begin{bmatrix} v_{Lfsa} + v_{Rfsa} \\ v_{Lfsb} + v_{Rfsb} \\ v_{Lfsc} + v_{Rfsc} \end{bmatrix} \tag{3.19}$$

Isolando os termos do lado direito da equação (3.19), obtém-se:

$$\begin{bmatrix} v_{Lfsa} + v_{Rfsa} \\ v_{Lfsb} + v_{Rfsb} \\ v_{Lfsc} + v_{Rfsc} \end{bmatrix} = \frac{1}{3}\left(\begin{bmatrix} 2 & 1 \\ -1 & 1 \\ -1 & -2 \end{bmatrix} . \begin{bmatrix} u_{ab_pwm} \\ u_{bc_pwm} \end{bmatrix} + \begin{bmatrix} -2 & -1 \\ 1 & -1 \\ 1 & 2 \end{bmatrix} . \begin{bmatrix} v_{Cab} \\ v_{Cbc} \end{bmatrix} \right) \tag{3.20}$$

Transformando as grandezas de linha para fase do lado direito da equação (3.20) através da equação (3.21), obtém-se (3.22).

$$\mathrm{T}_{\mathrm{linha_fase}} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \end{bmatrix} \tag{3.21}$$

$$\begin{bmatrix} v_{Lfsa} + v_{Rfsa} \\ v_{Lfsb} + v_{Rfsb} \\ v_{Lfsc} + v_{Rfsc} \end{bmatrix} = \frac{1}{3}\begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} . \begin{bmatrix} u_{a_pwm} \\ u_{b_pwm} \\ u_{c_pwm} \end{bmatrix} + \frac{1}{3}\begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix} . \begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix} \tag{3.22}$$

Isolando as tensões nos indutores, e obtendo as correntes e suas derivadas a partir da equação (3.22), o modelo em espaço de estados do conversor série T-L em coordenadas estacionárias *abc* é dada em (3.23).

$$\begin{aligned} \begin{bmatrix} \frac{di_{sa}}{\mathrm{dt}} \\ \frac{di_{sb}}{\mathrm{dt}} \\ \frac{di_{sc}}{\mathrm{dt}} \end{bmatrix} = {} & \frac{R_{fs}}{L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix} . \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} + \frac{1}{3L_{fs}}\begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} . \begin{bmatrix} u_{a_pwm} \\ u_{b_pwm} \\ u_{c_pwm} \end{bmatrix} \\ & + \frac{1}{3L_{fs}}\begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix} . \begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix} \end{aligned} \tag{3.23}$$

O modelo representado pela equação (3.23) pode também ser definido por:

$$\dot{x}(t) = A.x(t) + B.u(t) + F.w(t) \tag{3.24}$$

onde:

$x=\begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix}$; $u=\begin{bmatrix} u_{a_pwm} \\ u_{b_pwm} \\ u_{c_pwm} \end{bmatrix}$; $w=\begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix}$;

$A=\frac{R_{fs}}{L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix}$; $B=\frac{1}{3L_{fs}}\begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix}$; $F=\frac{1}{3L_{fs}}\begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix}$.

A representação de (3.23) no referencial estacionário $\alpha\beta0$, é obtida aplicando a matriz de transformação da equação (3.5). Assim (3.24) pode ser reescrita como:

$$\dot{x_{\alpha\beta0}}(t) = A_{\alpha\beta0}.x_{\alpha\beta0}(t) + B_{\alpha\beta0}.u_{\alpha\beta0}(t) + F_{\alpha\beta0}.w_{\alpha\beta0}(t) \tag{3.25}$$

onde:

$$x_{\alpha\beta0} = \begin{bmatrix} i_{s\alpha} \\ i_{s\beta} \\ i_{s0} \end{bmatrix}; u_{\alpha\beta0} = \begin{bmatrix} u_{\alpha_pwm} \\ u_{\beta_pwm} \\ u_{0_pwm} \end{bmatrix}; w_{\alpha\beta0} = \begin{bmatrix} v_{C\alpha} \\ v_{C\beta} \\ v_{C0} \end{bmatrix};$$

$$A_{\alpha\beta0} = \frac{R_{fs}}{L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix}; B_{\alpha\beta0} = \frac{1}{3L_{fs}}\begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F_{\alpha\beta0} = \frac{1}{3L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & 0 \end{bmatrix}.$$

Aplicando a matriz de transformação do referencial estacionário $\alpha\beta0$ para o referencial síncrono dq da equação (3.6) em (3.25), o modelo em espaço de estados do conversor série T-L em coordenadas síncrona dq é dada em (3.26).

$$\dot{x_{dq0}}(t) = A_{dq0}.x_{dq0}(t) + B_{dq0}.u_{dq0}(t) + F_{dq0}.w_{dq0}(t) \tag{3.26}$$

onde:

$$x_{dq0} = \begin{bmatrix} i_{sd} \\ i_{sq} \\ i_{s0} \end{bmatrix}; u_{dq0} = \begin{bmatrix} u_{d_pwm} \\ u_{q_pwm} \\ u_{0_pwm} \end{bmatrix}; w_{dq0} = \begin{bmatrix} v_{Cd} \\ v_{Cq} \\ v_{C0} \end{bmatrix};$$

$$A_{dq0} = \begin{bmatrix} -\frac{R_{fs}}{L_{fs}} & \omega & 0 \\ -\omega & -\frac{R_{fs}}{L_{fs}} & 0 \\ 0 & 0 & -\frac{R_{fs}}{L_{fs}} \end{bmatrix}; B_{dq0} = \frac{1}{3L_{fs}}\begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F_{dq0} = \frac{1}{3L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix}.$$

O modelo do conversor série pode ser representado por três circuitos nos eixos $dq0$ conforme a figura 27 obtidos pelas equações (3.28), (3.30) e (3.32).

$$\frac{di_{sd}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{sd} + \omega.i_{sq} + \frac{u_{d_pwm}}{L_{fs}} - \frac{v_{Cd}}{L_{fs}} \tag{3.27}$$

$$u_{d_{pwm}} = v_{Rfs} + v_{Lfs} + v_{Cd} - \omega.L.i_{sq} \tag{3.28}$$

$$\frac{di_{sq}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{sq} - \omega.i_{sd} + \frac{u_{q_pwm}}{L_{fs}} - \frac{v_{Cq}}{L_{fs}} \tag{3.29}$$

$$u_{q_pwm} = v_{Rfs} + v_{Lfs} + v_{Cq} + \omega.L.i_{sd} \tag{3.30}$$

$$\frac{di_{s0}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{s0} \tag{3.31}$$

$$v_{Lfs} = -v_{Rfs} \tag{3.32}$$

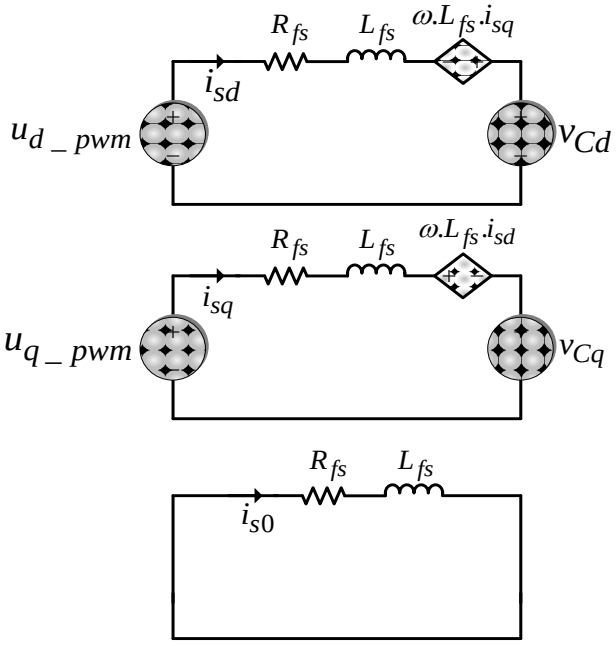


Figura 27 – Circuito equivalente do conversor série no referencial síncrono $dq0$.

Observa-se que existe um acoplamento entre os circuitos do referencial síncrono. No entanto, os efeitos causados pelo acoplamento podem ser anulados se for previsto o desacoplamento no algoritmo de controle. A figura 28 mostra o diagrama em blocos do modelo físico da planta em coordenadas $dq0$, onde D_d e D_q são as razões cíclicas no sistema de referência síncrona geradas pelos controladores e V_{cc} é a tensão do barramento CC.

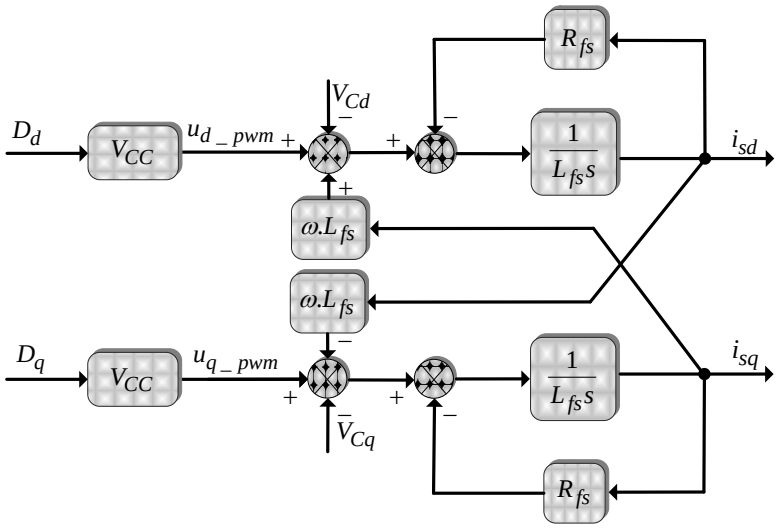


Figura 28 – Diagrama de blocos do modelo no referencial síncrono dq.

3.2.3.2 Modelagem do conversor F-L operando como fonte de corrente

O conversor da figura 29 é de um inversor trifásico de quatro fios F-L. Os transformadores conectados na saída do conversor F-L representam os transformadores de acoplamento do conversor série com relação de transformação unitária, (L_{fsa}, L_{fsb} e L_{fsc}) representam as indutâncias totais de cada uma das fases equação (3.33) e (R_{fsa}, R_{fsb} e R_{fsc}) representam as resistências totais de cada uma das fases conforme (3.34).

$$L_{fsa,b,c} = L_{a,b,c} + L_{Da,b,c} \tag{3.33}$$

$$R_{fsa,b,c} = R_{a,b,c} + R_{Ta,b,c} \tag{3.34}$$

onde:

$L_{a,b,c}$: Indutâncias das fases *abc*;

$L_{Da,b,c}$: Indutâncias de dispersão das fases *abc;*

$R_{a,b,c}$: Resistências dos indutores das fases *abc*;

$R_{Ta,b,c}$: Resistências totais dos enrolamentos dos transformadores.

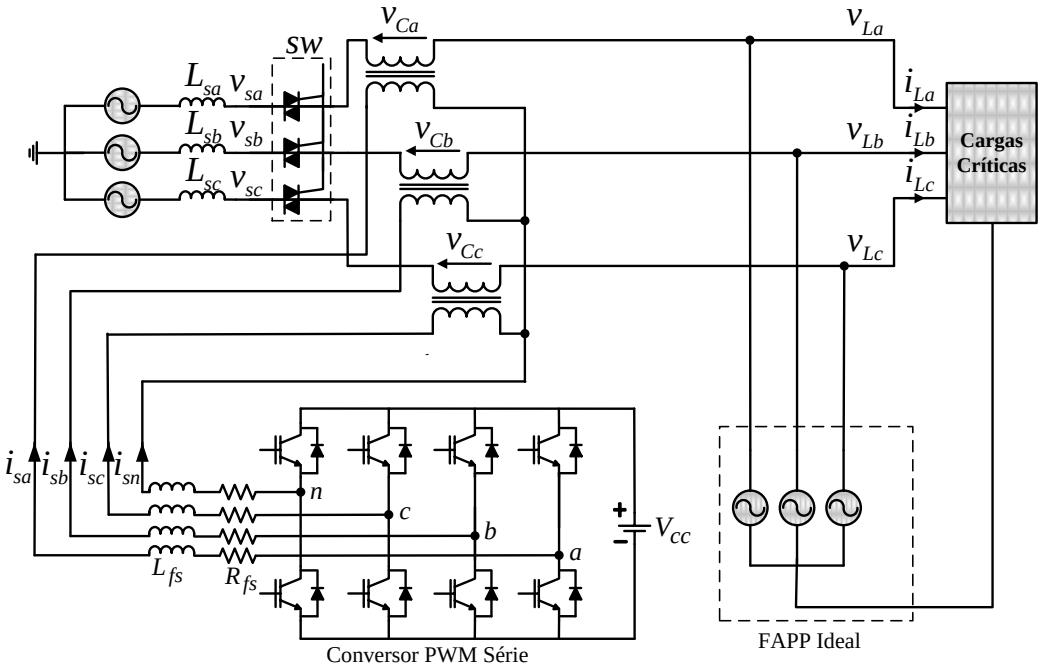


Figura 29 – Filtro Ativo de Potência Série (Conversor F-L) a quatro fios.

As tensões produzidas pelo inversor do conversor série entre os pontos a e n, b e n, c e n são dadas pelas equações (3.35), (3.36) e (3.37), respectivamente.

$$u_{an_pwm} = R_{fsa}.i_{sa} + L_{fsa}\frac{di_{sa}}{dt} + v_{Ca} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \tag{3.35}$$

$$u_{bn_pwm} = R_{fsb}.i_{sb} + L_{fsb}\frac{di_{sb}}{dt} + v_{Cb} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \tag{3.36}$$

$$u_{cn_pwm} = R_{fsc}.i_{sc} + L_{fsc}\frac{di_{sc}}{dt} + v_{Cc} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \tag{3.37}$$

Considerando as resistências $R_{fsa} = R_{fsb} = R_{fsc} = R_{fsn} = R_{fs}$ e as indutâncias $L_{fsa} = L_{fsb} = L_{fsc} = L_{fsn} = L_{fs}$.

Somando as equações (3.35), (3.36) e (3.37) e isolando as derivadas das correntes de cada uma das fases.

$$\frac{di_{sa}}{dt} = \frac{1}{4L_{fs}}\left[\left(3u_{an_pwm} - u_{bn_pwm} - u_{cn_pwm}\right) + \left(-4v_{Rfs} - 3v_{Ca} + v_{Cb} + v_{Cc}\right)\right] \tag{3.38}$$

$$\frac{di_{sb}}{dt} = \frac{1}{4L_{fs}}\left[\left(-u_{an_pwm} + 3u_{bn_pwm} - u_{cn_pwm}\right) + \left(-4v_{Rfs} + v_{Ca} - 3v_{Cb} + v_{Cc}\right)\right] \tag{3.39}$$

$$\frac{di_{sc}}{dt} = \frac{1}{4L_{fs}}\left[\left(-u_{an_pwm} - u_{bn_pwm} + 3u_{cn_pwm}\right) + \left(-4v_{Rfs} + v_{Ca} + v_{Cb} - 3v_{Cc}\right)\right] \tag{3.40}$$

O modelo em espaço de estados do conversor série F-L em coordenadas estacionárias *abc* é dada em (3.41).

$$\begin{bmatrix} \frac{di_{sa}}{\mathrm{dt}} \\ \frac{di_{sb}}{\mathrm{dt}} \\ \frac{di_{sc}}{\mathrm{dt}} \end{bmatrix} = \frac{R_{fs}}{L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix}.\begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} + \frac{1}{4L_{fs}}\begin{bmatrix} 3 & -1 & -1 \\ -1 & 3 & -1 \\ -1 & -1 & 3 \end{bmatrix}.\begin{bmatrix} u_{an_pwm} \\ u_{bn_pwm} \\ u_{cn_pwm} \end{bmatrix} + \frac{1}{4L_{fs}}\begin{bmatrix} -3 & 1 & 1 \\ 1 & -3 & 1 \\ 1 & 1 & -3 \end{bmatrix}.\begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix} \tag{3.41}$$

O modelo obtido pela equação (3.41) também pode ser representado pela equação (3.24), onde:

$$x = \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix};\ u = \begin{bmatrix} u_{an_pwm} \\ u_{bn_pwm} \\ u_{cn_pwm} \end{bmatrix};\ w = \begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix};$$

$$A = \frac{R_{fs}}{L_{fs}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix};\ B = \frac{1}{4L_{fs}}\begin{bmatrix} 3 & -1 & -1 \\ -1 & 3 & -1 \\ -1 & -1 & 3 \end{bmatrix};\ F = \frac{1}{4L_{fs}}\begin{bmatrix} -3 & 1 & 1 \\ 1 & -3 & 1 \\ 1 & 1 & -3 \end{bmatrix}.$$

O modelo do conversor série no referencial estacionário $\alpha\beta 0$, é obtida aplicando a matriz de transformação da equação (3.5) em (3.41). Assim (3.41) pode ser reescrita como:

$$\begin{bmatrix} \frac{di_{s\alpha}}{\mathrm{dt}} \\ \frac{di_{s\beta}}{\mathrm{dt}} \\ \frac{di_{s0}}{\mathrm{dt}} \end{bmatrix} = \frac{R_{fs}}{L_{fs}} \begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix} . \begin{bmatrix} i_{s\alpha} \\ i_{s\beta} \\ i_{s0} \end{bmatrix} + \frac{1}{4L_{fs}} \begin{bmatrix} 4 & 0 & 0 \\ 0 & 4 & 0 \\ 0 & 0 & -1 \end{bmatrix} . \begin{bmatrix} u_{\alpha_pwm} \\ u_{\beta_pwm} \\ u_{0_pwm} \end{bmatrix} + \frac{1}{4L_{fs}} \begin{bmatrix} -4 & 0 & 0 \\ 0 & -4 & 0 \\ 0 & 0 & -1 \end{bmatrix} . \begin{bmatrix} v_{C\alpha} \\ v_{C\beta} \\ v_{C0} \end{bmatrix} \tag{3.42}$$

Aplicando a matriz de transformação do referencial estacionário $\alpha\beta 0$ para o referencial síncrono dq da equação (3.6) em (3.42), o modelo em espaço de estados do conversor série F-L em coordenadas síncrona dq é dada em (3.43).

$$\dot{x_{dq0}}(t) = A_{dq0} . x_{dq0}(t) + B_{dq0} . u_{dq0}(t) + F_{dq0} . w_{dq0}(t) \tag{3.43}$$

onde:

$$x_{dq0} = \begin{bmatrix} i_{sd} \\ i_{sq} \\ i_{s0} \end{bmatrix}; \; u_{dq0} = \begin{bmatrix} u_{d_pwm} \\ u_{q_pwm} \\ u_{0_pwm} \end{bmatrix}; \; w_{dq0} = \begin{bmatrix} v_{Cd} \\ v_{Cq} \\ v_{C0} \end{bmatrix};$$

$$A_{dq0} = \begin{bmatrix} -\frac{R_{fs}}{L_{fs}} & \omega & 0 \\ -\omega & -\frac{R_{fs}}{L_{fs}} & 0 \\ 0 & 0 & -\frac{R_{fs}}{L_{fs}} \end{bmatrix}; \; B_{dq0} = \frac{1}{4L_{fs}} \begin{bmatrix} 4 & 0 & 0 \\ 0 & 4 & 0 \\ 0 & 0 & 1 \end{bmatrix};$$

$$F_{dq0} = \frac{1}{4L_{fs}} \begin{bmatrix} -4 & 0 & 0 \\ 0 & -4 & 0 \\ 0 & 0 & -4 \end{bmatrix}.$$

ou ainda:

$$\begin{bmatrix} \frac{di_{sd}}{\mathrm{dt}} \\ \frac{di_{sq}}{\mathrm{dt}} \\ \frac{di_{s0}}{\mathrm{dt}} \end{bmatrix} = \begin{bmatrix} -\frac{R_{fs}}{L_{fs}} & \omega & 0 \\ -\omega & -\frac{R_{fs}}{L_{fs}} & 0 \\ 0 & 0 & -\frac{R_{fs}}{L_{fs}} \end{bmatrix} . \begin{bmatrix} i_{sd} \\ i_{sq} \\ i_{s0} \end{bmatrix} + \frac{1}{4L_{fs}} \begin{bmatrix} 4 & 0 & 0 \\ 0 & 4 & 0 \\ 0 & 0 & 1 \end{bmatrix} . \begin{bmatrix} u_{dpwm} \\ u_{q_pwm} \\ u_{0_pwm} \end{bmatrix} + \frac{1}{4L_{fs}} \begin{bmatrix} -4 & 0 & 0 \\ 0 & -4 & 0 \\ 0 & 0 & -1 \end{bmatrix} . \begin{bmatrix} v_{Cd} \\ v_{Cq} \\ v_{C0} \end{bmatrix} \tag{3.44}$$

O modelo do conversor série pode ser representado por três circuitos nos eixos *dq0* conforme a figura 30 obtidos pelas tensões geradas no referencial síncrono, equações (3.46), (3.48) e (3.50).

$$\frac{di_{sd}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{sd} + \omega.i_{sq} + \frac{u_{d_pwm}}{L_{fs}} - \frac{v_{Cd}}{L_{fs}} \tag{3.45}$$

$$u_{d_pwm} = v_{Rfs} + v_{Lfs} + v_{Cd} - \omega.L.i_{sq} \tag{3.46}$$

$$\frac{di_{sq}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{sq} - \omega.i_{sd} + \frac{u_{q_pwm}}{L_{fs}} - \frac{v_{Cq}}{L_{fs}} \tag{3.47}$$

$$u_{q_pwm} = v_{Rfs} + v_{Lfs} + v_{Cq} + \omega.L.i_{sd} \tag{3.48}$$

$$\frac{di_{s0}(t)}{dt} = -\frac{R_{fs}}{L_{fs}}.i_{s0} + \frac{1}{4L_{fs}}.u_{0_pwm} - \frac{1}{4L_{fs}}.v_{C0} \tag{3.49}$$

$$u_{0_pwm} = 4v_{Lfs} + 4v_{Rfs} + v_{C0} \tag{3.50}$$

O termo ω da matriz A_{dq0} da equação (3.43) justifica o acoplamento existente entre os eixos d e q, conforme a figura 30. O efeito deste acoplamento é possível de ser eliminado se forem previstos nos algoritmos de controle. A figura 31 mostra o diagrama de blocos do modelo físico da planta do inversor F-L do conversor série no sistema de referencial síncrono $dq0$, onde D_d, D_q e D_0 são as razões cíclicas no sistema de referência síncrona geradas pelo modulador e V_{CC} é a tensão do barramento CC.

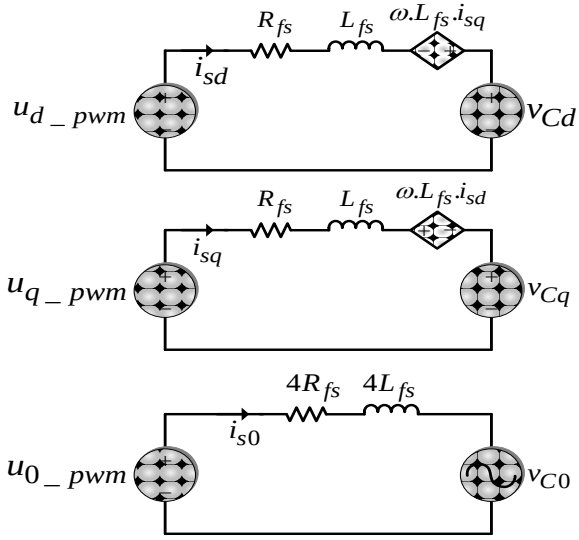


Figura 30 – Circuito equivalente do conversor série no referencial síncrono $dq0$.

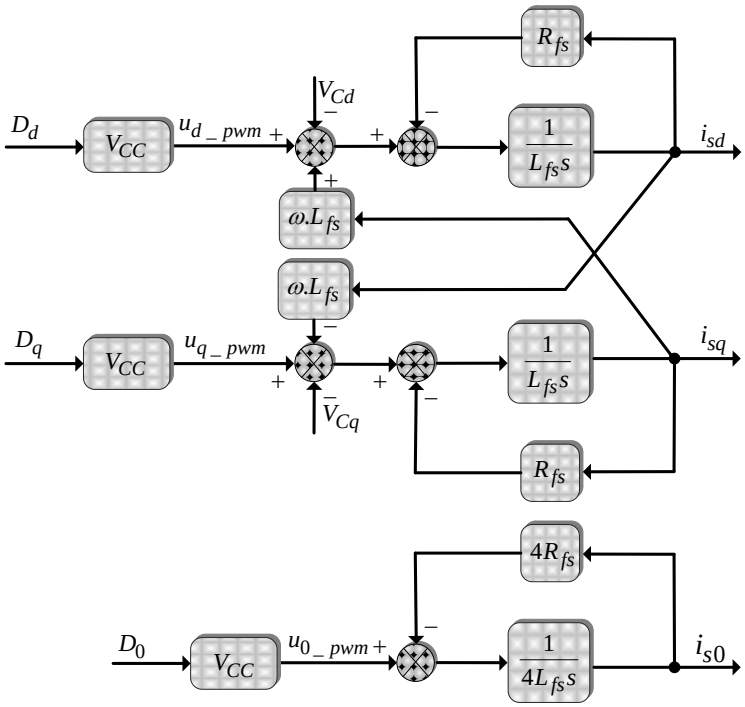


Figura 31 – Diagrama de blocos do modelo no referencial síncrono $dq0$.

3.2.3.3 Modelagem do conversor S-C operando como fonte de corrente

O conversor da figura 32 é de um inversor trifásico de quatro fios S-C. Pela figura 32 pode ser observada uma indutância conectada ao ponto central do barramento CC, a utilização desta indutância é opcional e neste trabalho optou-se pela utilização desta para reduzir os ripples de corrente. Além disso, o controle dos desequilíbrios de tensão CC é feito através do eixo zero e a inclusão desta indutância é justificada pela modelagem apresentada a seguir.

Os transformadores conectados na saída do conversor da figura 32 representam os transformadores de acoplamento do conversor série, com relação de transformação unitária, (L_{fsa}, L_{fsb} e L_{fsc}) representam as indutâncias totais de cada uma das fases equação (3.51) e (R_{fsa}, R_{fsb} e R_{fsc}) representam as resistências totais de cada uma das fases conforme (3.52).

$$L_{fsa,b,c} = L_{a,b,c} + L_{Da,b,c} \tag{3.51}$$

$$R_{fsa,b,c} = R_{a,b,c} + R_{Ta,b,c} \tag{3.52}$$

onde:

$L_{a,b,c}$: Indutâncias das fases *abc*;

$L_{Da,b,c}$: Indutâncias de dispersão das fases *abc*;

$R_{a,b,c}$: Resistências dos indutores das fases *abc*;

$R_{Ta,b,c}$: Resistências totais dos enrolamentos dos transformadores.

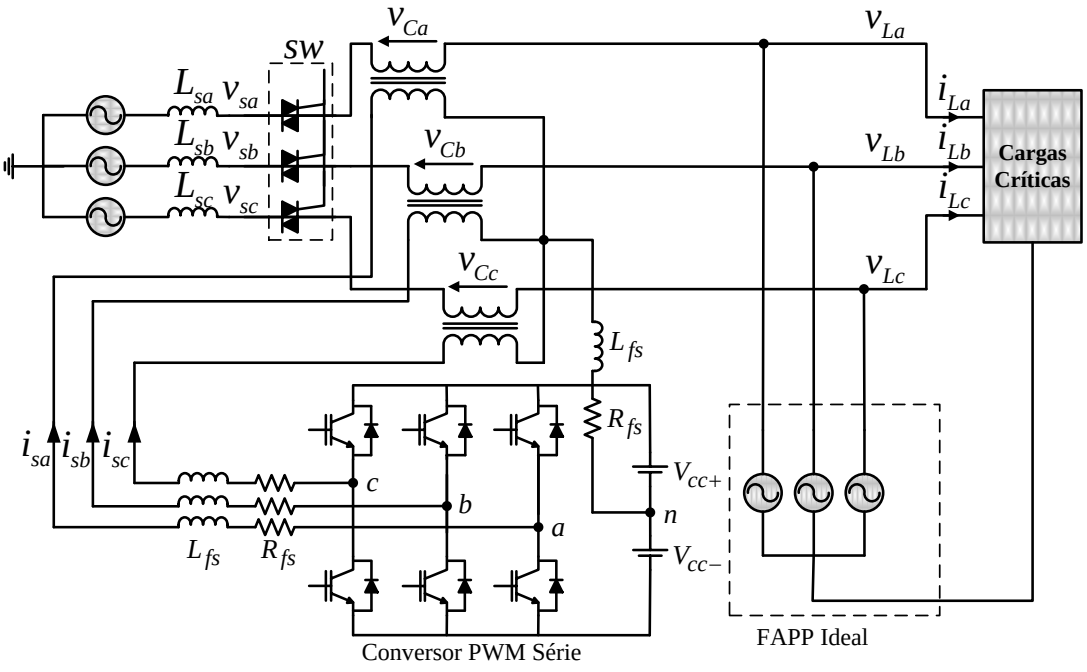


Figura 32 – Filtro Ativo de Potência Série (Conversor S-C) a quatro fios.

As tensões produzidas pelo inversor do conversor série entre os pontos *a* e *n*, *b* e *n*, *c* e *n* são dadas pelas equações (3.53), (3.54) e (3.55), respectivamente.

$$u_{an_pwm} = R_{fsa}.i_{sa} + L_{fsa}\frac{di_{sa}}{dt} + v_{Ca} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \quad (3.53)$$

$$u_{bn_pwm} = R_{fsb}.i_{sb} + L_{fsb}\frac{di_{sb}}{dt} + v_{Cb} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \quad (3.54)$$

$$u_{cn_pwm} = R_{fsc}.i_{sc} + L_{fsc}\frac{di_{sc}}{dt} + v_{Cc} + L_{fsn}\frac{di_{sn}}{dt} + R_{fsn}.i_{sn} \quad (3.55)$$

Como as equações (3.53), (3.54) e (3.55) são exatamente iguais às equações (3.35), (3.36) e (3.37), realizando os mesmos procedimentos descritos para o conversor F-L da figura 29 irá resultar exatamente no mesmo modelo matemático,

conforme as figuras 33 e 34 que mostram o circuito equivalente e o diagrama em blocos do modelo em *dq0*, respectivamente.

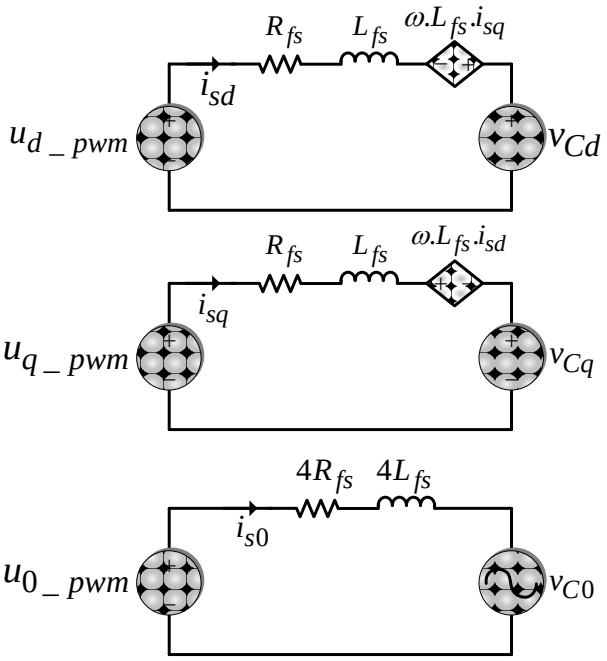


Figura 33 – Circuito equivalente do conversor série no referencial síncrono $dq0$.

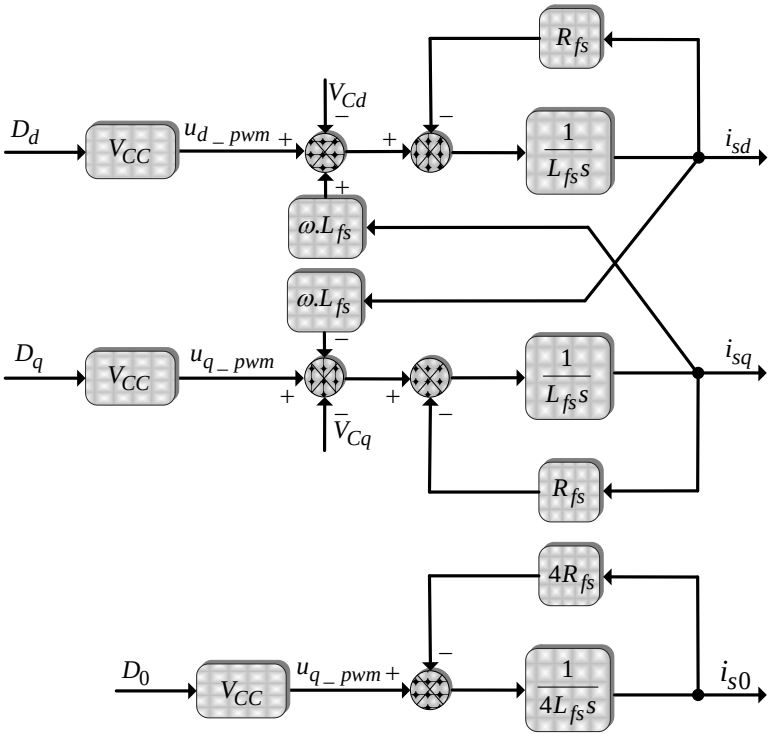


Figura 34 – Diagrama de blocos do modelo no referencial síncrono $dq0$.

3.2.4 Modelagem do conversor de tensão *VSI* Operando como Fonte de Tensão

O conversor paralelo utilizado nas topologias apresentadas na seção 2.3 é representado pelo conversor trifásico a quatro fios F-L, o qual opera como uma fonte de tensão igual à da figura 35. Na modelagem deste inversor os capacitores de filtragem serão considerados $C_{fpa} = C_{fpb} = C_{fpc} = C_{fp}$ as resistências dos enrolamentos dos indutores serão $R_{fpa} = R_{fpb} = R_{fpc} = R_{fpn} = R_{fp}$ e as indutâncias $L_{fpa} = L_{fpb} = L_{fpc} = L_{fpn} = L_{fP}$.

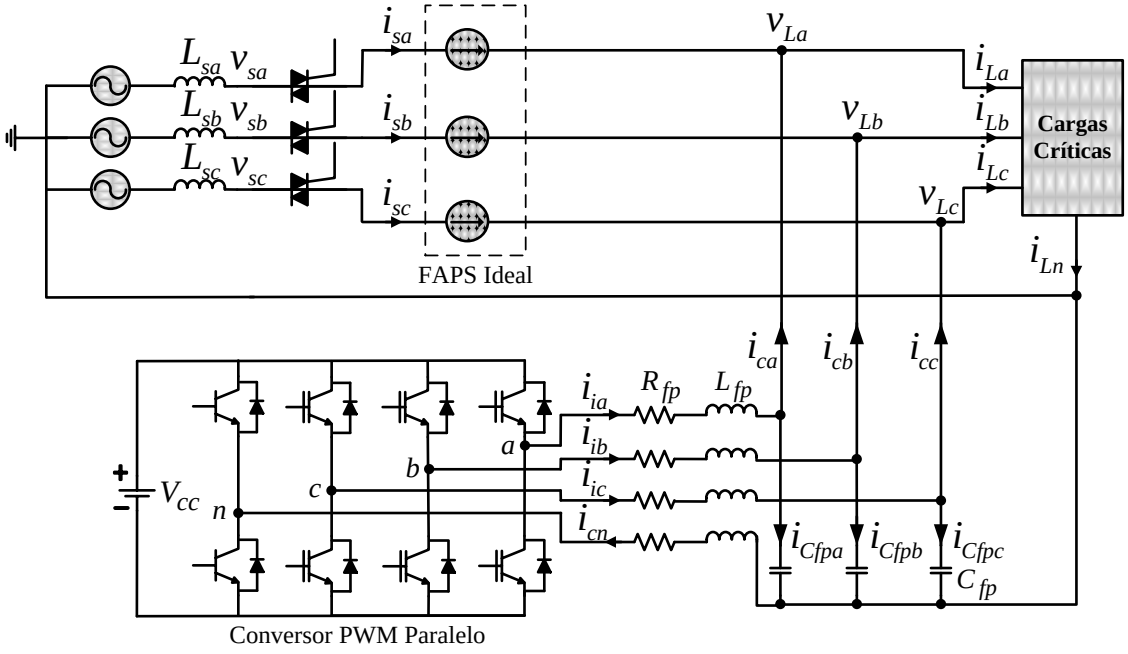


Figura 35 – Filtro Ativo de Potência Paralelo de Tensão a quatro fios.

As tensões produzidas pelo inversor entre os pontos a e n, b e n, c e n são dadas pelas equações (3.56), (3.57) e (3.58), respectivamente.

$$u_{an_pwm} = R_{fpa}.i_{ia} + L_{fpa}\frac{di_{ia}}{dt} + v_{La} + L_{fpn}\frac{di_{cn}}{dt} + R_{fpn}.i_{cn} \tag{3.56}$$

$$u_{bn_pwm} = R_{fpb}.i_{ib} + L_{fpb}\frac{di_{ib}}{dt} + v_{Lb} + L_{fpn}\frac{di_{cn}}{dt} + R_{fpn}.i_{cn} \tag{3.57}$$

$$u_{cn_pwm} = R_{fpc}.i_{ic} + L_{fcc}\frac{di_{ic}}{dt} + v_{Lc} + L_{fpn}\frac{di_{cn}}{dt} + R_{fpn}.i_{cn} \tag{3.58}$$

A soma das equações (3.56), (3.57) e (3.58) resulta em:

$$u_{abc_pwm} = R_{fp}(i_{iabc}) + L_{fp}\left(\frac{di_{iabc}}{dt}\right) + v_{Labc} + 3.L_{fpn}\frac{di_{cn}}{dt} + 3.R_{fpn}.i_{cn} \quad (3.59)$$

onde:

$u_{abc_pwm} = u_{an_pwm} + u_{bn_pwm} + u_{cn_pwm}$

$i_{iabc} = i_{ia} + i_{ib} + i_{ic}$

$\frac{di_{iabc}}{dt} = \frac{di_{ia}}{dt} + \frac{di_{ib}}{dt} + \frac{di_{ic}}{dt}$

$v_{Labc} = v_{La} + v_{Lb} + v_{LC}$

Isolando-se as derivadas das correntes de cada uma das fases, resultam as equações dinâmicas das variações das correntes nos indutores de filtragem do conversor paralelo, dadas pelas equações (3.60), (3.61) e (3.62).

$$\frac{di_{ia}}{dt} = \frac{1}{4L_{fp}}\left[\left(3u_{an_pwm} - u_{bn_pwm} - u_{cn_pwm}\right) + \left(-4R_{fp} - 3v_{La} + v_{Lb} + v_{Lc}\right)\right] \quad (3.60)$$

$$\frac{di_{ib}}{dt} = \frac{1}{4L_{fp}}\left[\left(-u_{an_pwm} + 3u_{bn_pwm} - u_{cn_pwm}\right) + \left(-4R_{fp} + v_{La} - 3v_{Lb} + v_{Lc}\right)\right] \quad (3.61)$$

$$\frac{di_{ic}}{dt} = \frac{1}{4L_{fp}}\left[\left(-u_{an_pwm} - u_{bn_pwm} + 3u_{cn_pwm}\right) + \left(-4R_{fp} + v_{La} + v_{Lb} - 3v_{Lc}\right)\right] \quad (3.62)$$

O modelo da malha interna de corrente do inversor de tensão F-L em espaço de estados no eixo estacionário *abc* é dado pela equação (3.63).

$$\begin{bmatrix}\frac{di_{ia}}{\mathrm{dt}}\\ \frac{di_{ib}}{\mathrm{dt}}\\ \frac{di_{ic}}{\mathrm{dt}}\end{bmatrix} = \frac{R_{fp}}{L_{fp}}\begin{bmatrix}-1 & 0 & 0\\ 0 & -1 & 0\\ 0 & 0 & -1\end{bmatrix}.\begin{bmatrix}i_{ia}\\ i_{ib}\\ i_{ic}\end{bmatrix} + \frac{1}{4L_{fp}}\begin{bmatrix}3 & -1 & -1\\ -1 & 3 & -1\\ -1 & -1 & 3\end{bmatrix}.\begin{bmatrix}u_{an_pwm}\\ u_{bn_pwm}\\ u_{cn_pwm}\end{bmatrix} + \frac{1}{4L_{fp}}\begin{bmatrix}-3 & 1 & 1\\ 1 & -3 & 1\\ 1 & 1 & -3\end{bmatrix}.\begin{bmatrix}v_{La}\\ v_{Lb}\\ v_{Lc}\end{bmatrix} \quad (3.63)$$

Para obtenção do modelo completo do inversor de tensão é necessário obter a equação dinâmica em função das ondulações de tensão nos capacitores de filtragem C_{fpa}, C_{fpb} e C_{fpc}. Como a corrente no capacitor de filtragem C_{fpa} é dada por:

$$i_{Cfpa} = C_{fpa}\frac{dv_{La}}{dt} \tag{3.64}$$

Pela lei de Kirchhoff das correntes, a corrente no capacitor de filtragem também pode ser representada pela equação (3.65).

$$i_{Cfpa} = i_{ia} - i_{ca} \tag{3.65}$$

Substituindo (3.64) em (3.65) tem-se:

$$\frac{dv_{La}}{dt} = \frac{i_{ia}}{C_{fpa}} - \frac{i_{ca}}{C_{fpa}} \tag{3.66}$$

Realizando os mesmos procedimentos para as fases *b* e *c*, as variações de tensão nos capacitores de filtragem C_{fpb} e C_{fpc}, são dadas pelas equações (3.67) e (3.68).

$$\frac{dv_{Lb}}{dt} = \frac{i_{ib}}{C_{fpb}} - \frac{i_{cb}}{C_{fpb}} \tag{3.67}$$

$$\frac{dv_{Lc}}{dt} = \frac{i_{ic}}{C_{fpc}} - \frac{i_{cc}}{C_{fpc}} \tag{3.68}$$

A representação na forma matricial das equações (3.66), (3.67) e (3.68) é dada por:

$$\begin{bmatrix} \frac{dv_{La}}{\mathrm{dt}} \\ \frac{dv_{Lb}}{\mathrm{dt}} \\ \frac{dv_{Lc}}{\mathrm{dt}} \end{bmatrix} = \frac{1}{C_{fp}}\begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}.\begin{bmatrix} i_{ia} \\ i_{ib} \\ i_{ic} \end{bmatrix} + \frac{1}{C_{fp}}\begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix}.\begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} \tag{3.69}$$

O modelo completo em espaço de estados do conversor paralelo trifásico a quatro fios com conversor F-L no referencial estacionário *abc* é dado por:

$$\dot{x}(t) = A.x(t) + B.u(t) + F.w(t) \tag{3.70}$$

onde:

$$x=\begin{bmatrix} i_{ia} \\ i_{ib} \\ i_{ic} \\ v_{La} \\ v_{Lb} \\ v_{Lc} \end{bmatrix};\ u=\begin{bmatrix} u_{an_pwm} \\ u_{bn_pwm} \\ u_{cn_pwm} \end{bmatrix};\ w=\begin{bmatrix} i_{Ca} \\ i_{Cb} \\ i_{Cc} \end{bmatrix};$$

$$A=\begin{bmatrix} A_1 & A_2 \\ A_3 & A_4 \end{bmatrix};\ A_1 = \begin{bmatrix} -\frac{R_{fp}}{L_{fp}} & 0 & 0 \\ 0 & -\frac{R_{fp}}{L_{fp}} & 0 \\ 0 & 0 & -\frac{R_{fp}}{L_{fp}} \end{bmatrix};$$

$$A_2 = \begin{bmatrix} -\frac{3}{4L_{fp}} & \frac{1}{4L_{fp}} & \frac{1}{4L_{fp}} \\ \frac{1}{4L_{fp}} & -\frac{3}{4L_{fp}} & \frac{1}{4L_{fp}} \\ \frac{1}{4L_{fp}} & \frac{1}{4L_{fp}} & -\frac{3}{4L_{fp}} \end{bmatrix};\ A_3 = \begin{bmatrix} \frac{1}{C_{fp}} & 0 & 0 \\ 0 & \frac{1}{C_{fp}} & 0 \\ 0 & 0 & \frac{1}{C_{fp}} \end{bmatrix};$$

$$A_4 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$B=\begin{bmatrix} B_1 \\ B_2 \end{bmatrix};$$

$$B_1=\begin{bmatrix} \frac{3}{4L_{fp}} & -\frac{1}{4L_{fp}} & -\frac{1}{4L_{fp}} \\ -\frac{1}{4L_{fp}} & \frac{3}{4L_{fp}} & -\frac{1}{4L_{fp}} \\ -\frac{1}{4L_{fp}} & -\frac{1}{4L_{fp}} & \frac{3}{4L_{fp}} \end{bmatrix};$$

$$B_2=\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F=\begin{bmatrix} F_1 \\ F_2 \end{bmatrix};\ F_1=\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};\ F_2=\begin{bmatrix} -\frac{1}{C_{fp}} & 0 & 0 \\ 0 & -\frac{1}{C_{fp}} & 0 \\ 0 & 0 & -\frac{1}{C_{fp}} \end{bmatrix}$$

O modelo do conversor paralelo no referencial estacionário $\alpha\beta 0$, é obtido aplicando a matriz de transformação da equação (3.5) em (3.70) e posteriormente para o referencial síncrono dq utilizando a matriz de transformação da equação (3.6). Assim, o modelo do inversor de tensão no referencial síncrono é dado pela equação (3.71).

$$\dot{x_{dq0}}(t) = A_{dq0}.x_{dq0}(t) + B_{dq0}.u_{dq0}(t) + F_{dq0}.w_{dq0}(t) \tag{3.71}$$

onde:

$$\dot{x_{dq0}} = \begin{bmatrix} i_{id} \\ i_{iq} \\ i_{i0} \\ v_{Ld} \\ v_{Lq} \\ v_{L0} \end{bmatrix}; u_{dq0} = \begin{bmatrix} u_{d_pwm} \\ u_{q_pwm} \\ u_{0_pwm} \end{bmatrix}; w_{dq0} = \begin{bmatrix} i_{Cd} \\ i_{Cq} \\ i_{C0} \end{bmatrix};$$

$$A_{dq0} = \begin{bmatrix} A_1 & A_2 \\ A_3 & A_4 \end{bmatrix};$$

$$A_1 = \begin{bmatrix} -\frac{R_{fp}}{L_{fp}} & \omega & 0 \\ -\omega & -\frac{R_{fp}}{L_{fp}} & 0 \\ 0 & 0 & -\frac{R_{fp}}{L_{fp}} \end{bmatrix}; A_2 = \begin{bmatrix} -\frac{1}{L_{fp}} & 0 & 0 \\ 0 & -\frac{1}{L_{fp}} & 0 \\ 0 & 0 & -\frac{1}{4L_{fp}} \end{bmatrix};$$

$$A_3 = \begin{bmatrix} \frac{1}{C_{fp}} & 0 & 0 \\ 0 & \frac{1}{C_{fp}} & 0 \\ 0 & 0 & \frac{1}{C_{fp}} \end{bmatrix}; A_4 = \begin{bmatrix} 0 & \omega & 0 \\ -\omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$B_{dq0} = \begin{bmatrix} B_1 \\ B_2 \end{bmatrix}; B_1 = \begin{bmatrix} \frac{1}{L_{fp}} & 0 & 0 \\ 0 & \frac{1}{L_{fp}} & 0 \\ 0 & 0 & \frac{1}{4L_{fp}} \end{bmatrix}; B_2 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F_{dq0} = \begin{bmatrix} F_1 \\ F_2 \end{bmatrix};$$

$$F_1 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F_2 = \begin{bmatrix} -\frac{1}{C_{fp}} & 0 & 0 \\ 0 & -\frac{1}{C_{fp}} & 0 \\ 0 & 0 & -\frac{1}{C_{fp}} \end{bmatrix}.$$

O modelo da equação (3.71) pode ser representado por três circuitos no referencial $dq0$ conforme a figura 36.

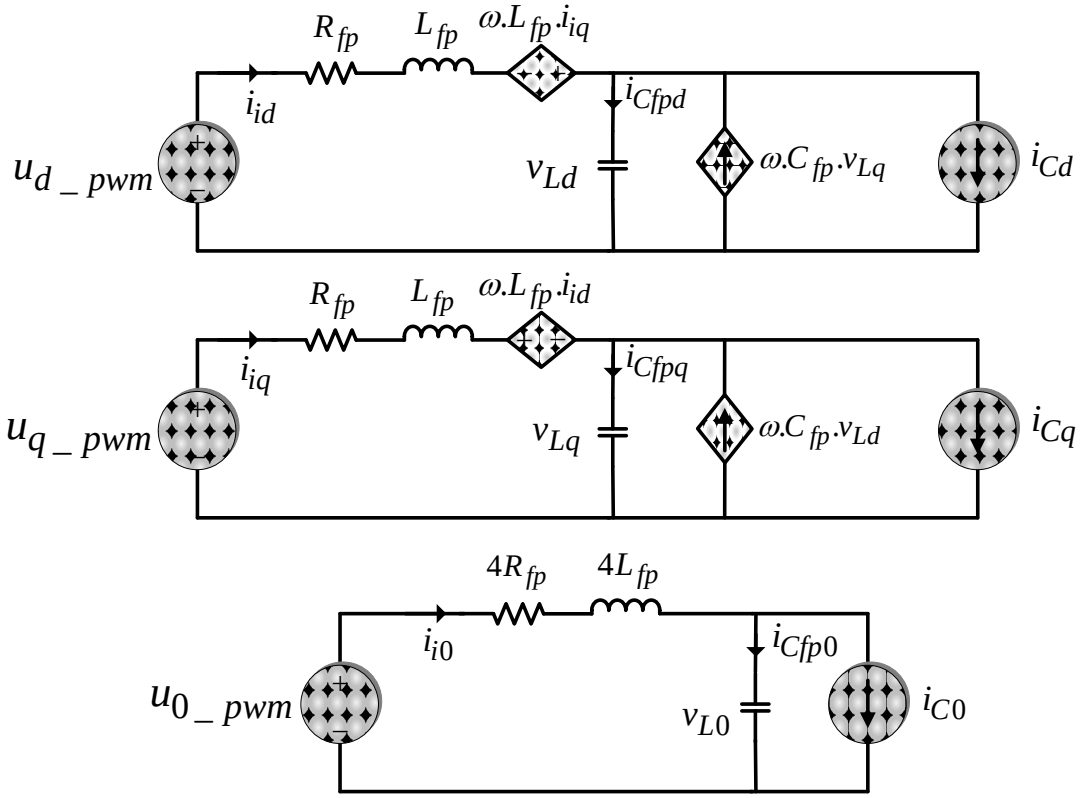


Figura 36 – Circuitos equivalentes no referencial $dq0$.

A figura 37 mostra o diagrama de blocos do modelo físico da planta do conversor paralelo F-L no referencial síncrono $dq0$, onde D_d, D_q e D_0 são as razões cíclicas no sistema de referência síncrona geradas pelo modulador e V_{cc} é a tensão do barramento CC.

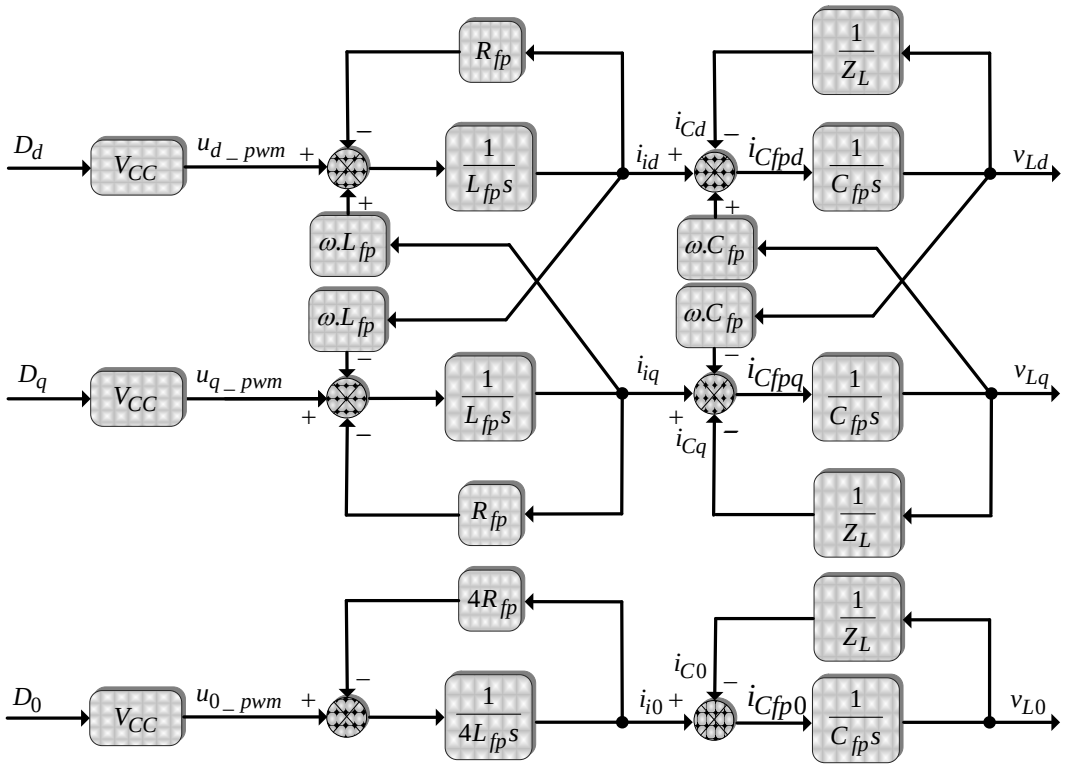


Figura 37 – Modelo em diagrama de Blocos do sistema em Coordenadas $dq0$.

3.2.5 Modelo da Malha de Tensão do Barramento CC

A modelagem descrita a seguir para o barramento CC foi apresentada em [18] e descrita em detalhes em [24].

A partir de um sistema trifásico, onde (v_{sa}, v_{sb}, v_{sc}) e (i_{sa}, i_{sb}, i_{sc}) representam as tensões e correntes de entrada, a potência ativa instantânea trifásica é dada por:

$$p_s = v_{sa}i_{sa} + v_{sb}i_{sb} + v_{sc}i_{sc} \tag{3.72}$$

Considerando as tensões e as correntes de entrada do UPQC/UPS equilibradas e senoidais, a potência ativa instantânea na entrada, representada no referencial síncrono dq é dada por:

$$p_s = v_d i_d = p_{sm} \tag{3.73}$$

onde v_d e i_d são grandezas continuas no referencial síncrono (d), respectivamente.

A corrente de saída de linha no referencial síncrono (d) é representada por:

$$i_{dL} = i_{dLm} + i_{dLh} \tag{3.74}$$

onde:

i_{dLm}: Corrente média de linha no referencial síncrono direto;

i_{dLh}: Corrente oscilante de linha no referencial síncrono direto.

A potência ativa instantânea de saída é dada por (3.75).

$$p_L = v_d i_{dL} \tag{3.75}$$

Divide-se a potência de saída em duas parcelas, uma parcela média p_{Lm} e uma parcela oscilante p_{Lh} dadas pelas equações (3.76) e (3.77), respectivamente.

$$p_{Lm} = v_d i_{dLm} \tag{3.76}$$

$$p_{Lh} = v_d i_{dLh} \tag{3.77}$$

A potência que circula pelo conversor paralelo p_C é dada pela equação (3.78).

$$p_C = p_{sm} - p_L \tag{3.78}$$

Das equações (3.73), (3.76) e (3.77) e sabendo que i_{dLm} é igual a i_d, (3.78) pode ser reescrita por (3.79).

$$p_C = p_{sm} - (p_{sm} + v_d i_{dLh}) = p_h \tag{3.79}$$

Considerando uma parcela ativa de potência (p_{cm}) que flui entre a rede e o conversor paralelo, de forma a compensar as perdas nos conversores série e paralelo, as parcelas ativa de corrente (i_{cm}) e oscilante de compensação (i_{ch}) circulam pelo conversor paralelo. Desta forma, a expressão (3.80) pode ser escrita por:

$$p_C = v_d i_{cm} + v_d i_{ch} = p_{cm} + p_h \tag{3.80}$$

Então, considerando que a potência ativa p_C é igual a potência p_{CC} no lado do barramento CC tem-se:

$$p_{cm} = v_d i_{cm} = v_{CC} i_{CC} = p_{CC} \tag{3.81}$$

A equação da corrente do capacitor é dada por:

$$i_{CC} = C_{CC} \frac{dv_{CC}}{dt} \tag{3.82}$$

Pela equação (3.81), a corrente do capacitor CC pode obtida por:

$$\frac{dv_{CC}}{dt} = \frac{v_d i_{cm}}{C_{CC} v_{CC}} \tag{3.83}$$

Realizando a modelagem por pequenos sinais, fazendo as manipulações matemáticas e aplicando a Transformada de Laplace, obtém-se a função de transferência da planta do barramento CC, dada por:

$$G_{pv_cc} = \frac{\hat{v}_{CC}(\mathrm{s})}{\hat{\imath}_{cm}(\mathrm{s})} = \frac{v_d}{v_{CC} C_{CC} \mathrm{s}} \tag{3.84}$$

O modelo apresentado para a malha de tensão do barramento CC é válida para o controle da tensão total do barramento CC em todas as topologias apresentadas na seção 2.3.

3.2.5.1 Modelo da malha de controle do desequilíbrio de tensão do barramento CC

Nas topologias com derivação no ponto central do barramento CC, como as apresentadas nas figuras 9 e 11 do capítulo anterior, existe a possibilidade de ocorrer desequilíbrios de tensão em relação ao ponto médio do barramento CC. Estes desequilíbrios podem aumentar em decorrência da existência de componentes contínuas nas tensões de saída e nas correntes de entrada, as quais aparecem em função dos diferentes tempos de comutação das chaves de potência dos braços dos inversores.

Desse modo, tais desequilíbrios devem ser compensados. Neste trabalho, isso é feito utilizando um controlador proporcional-integral que atua na referência do referencial zero do conversor série. Qualquer valor médio não nulo no referencial zero representa uma componente contínua no referencial *abc*, portanto, a ação de controle do controlador de desequilíbrio deverá representar a referência de corrente no referencial zero do conversor série composto por um conversor S-C do UPQC/UPS da figura 11. A figura 38 representa o diagrama em blocos de geração de referência e controle do conversor série com o controlador de desequilíbrio de tensão do barramento CC em destaque.

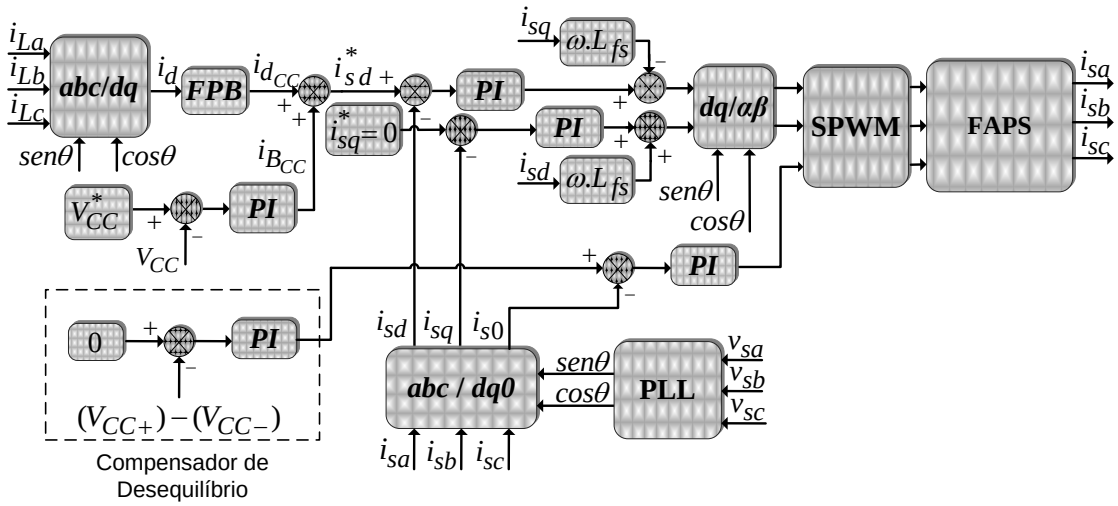


Figura 38 – Geração de referência e controle do conversor série.

Para o projeto do compensador de desequilíbrio é necessário obter o modelo matemático que relaciona o desequilíbrio de tensão em relação ao ponto médio do barramento CC e a corrente de entrada do UPQC/UPS. Considera-se o circuito simplificado mostrado figura 39 para a obtenção do referido modelo matemático.

A malha de controle de desequilíbrio de tensão deve ser muito mais lenta que a malha de controle de corrente do referencial zero do conversor série, de modo que o controlador não introduza componentes alternadas no referencial zero o que resultaria em correntes desequilibradas na entrada do UPQC/UPS. Desta forma, são consideradas duas fontes de corrente, as quais representam as correntes nas chaves de potência [54, 55].

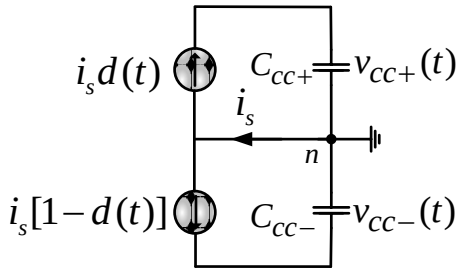


Figura 39 – Circuito simplificado da planta de desequilíbrio de tensão do barramento CC.

As correntes nos capacitores (C_{CC+}) e (C_{CC-}) considerando o circuito monofásico da figura 39 são dadas pelas equações (3.85) e (3.86), respectivamente.

$$i_s d(t) = C_{CC+} \frac{dv_{CC+}(t)}{dt} \tag{3.85}$$

$$i_s[1 - d(t)] = C_{CC-} \frac{dv_{CC-}(t)}{dt} \tag{3.86}$$

Aplicando a Transformada de Laplace nas equações (3.85) e (3.86), obtém-se a função de transferência do modelo de desequilíbrio de tensão para uma fase. Assim:

$$\frac{v_{CC+}(s)}{i_s(s)} - \frac{v_{CC-}(s)}{i_s(s)} = \frac{D}{C_{CC+}\mathrm{s}} - \frac{(D-1)}{C_{CC-}\mathrm{s}} \tag{3.87}$$

Sabendo que $C_{CC+} = C_{CC-} = 2C_{CC}$ e que existe a contribuição das três fases, a função de transferência da planta é dada pela equação (3.88).

$$G_{pv_{dif}} = \frac{3}{2C_{CC}\mathrm{s}} \tag{3.88}$$

3.3 Conclusões

Neste capítulo foi apresentada uma descrição detalhada do princípio de funcionamento dos condicionadores de energia elétrica UPQC/UPS utilizando fontes ideais de tensão e corrente para demonstrar, de forma simplificada, a maneira que os distúrbios presentes nas tensões e correntes são eliminados. A descrição dos

fluxos de potência através dos conversores série e paralelo também foram mostrados.

Foram apresentados os algoritmos de geração de referência e controle dos conversores série e paralelo, os quais são baseados no método SRF. Juntamente com os controladores implementados no referencial síncrono, que é justificado pelo fato de os conversores série e paralelo operarem como fontes de tensão e corrente senoidais e consequentemente suas referências são contínuas no referencial síncrono, o que reduz os erros em regime permanente.

O sistema *PLL* trifásico abordado na seção 3.2.1, o qual é baseado no sistema *p-PLL* foi descrito neste capítulo. A proposta de utilizar o *p-PLL* em conjunto com o filtro *STF* possibilita a boa operação do sistema *STF-p-PLL* em sistemas trifásicos desequilibrados, ao mesmo tempo em que aumenta a imunidade do sistema a tensões distorcidas.

As modelagens em espaço de estado dos conversores série e paralelo, tanto no referencial estacionário *abc,* quanto no referencial síncrono $dq0$ foram apresentadas bem como o modelo matemático do barramento CC, juntamente com o modelo da planta de desequilíbrio de tensão CC. Além disso, foi proposta uma estratégia para a compensação dos desequilíbrios de tensão CC.

Capítulo 4

Projeto dos Controladores das Malhas de Tensão e Corrente e Resultados de Simulação

Neste capítulo são apresentados os projetos dos controladores das malhas de tensão e corrente do conversor paralelo, da malha de corrente dos conversores série e da malha de tensão do barramento CC.Também são apresentados os resultados obtidos com as simulações computacionais das configurações de UPQC/UPS apresentadas no terceiro capítulo, utilizando a ferramenta de simulação PSIM 9.0®.

4.1 Projeto dos Controladores

Os conversores série e paralelo são controlados no referencial síncrono, por meio de controladores PI conforme mostrados nas figuras 24 e 25 do capítulo três. O procedimento usado para a determinação dos ganhos proporcional e integral dos controladores é baseado na resposta em frequência, via diagrama de Bode, considerando nas especificações de projeto a margem de fase, bem como a frequência de cruzamento do ganho do sistema compensado em $0\mathrm{dB}$.

A estabilidade e o amortecimento do sistema estão relacionados com a margem de fase desejada $\emptyset_d$, ou seja, quanto maior $\emptyset_d$ mais amortecido será o sistema. Para sistemas chaveados é adequado que a margem de fase desejada deva se situar entre 45º e 90º [24, 83, 84].

Já o tempo de resposta do sistema está relacionado com a frequência de cruzamento ω_c, ou seja, quanto maior ω_c, menor será o tempo de resposta. A escolha de ω_c também está atrelada com a frequência de chaveamento dos conversores, de forma que as oscilações referentes ao chaveamento não interfiram

nas malhas de controle. Portanto é recomendado que ω_c seja definido entre um quarto e um décimo da frequência de chaveamento [83].

Os ganhos proporcional e integral dos controladores são obtidos pelas equações (4.1) e (4.2), respectivamente.

$$K_p = M_c . cos\, \emptyset_c \tag{4.1}$$

$$K_i = -K_p . \omega_c . tan\, \emptyset_c \tag{4.2}$$

onde M_c representa o módulo dos controladores PI na frequência de cruzamento desejada (ω_c) e $\emptyset_c$ é definido como a margem de fase a qual os controladores devem possuir, conforme definido pela equação (4.3). Esta é calculada pela diferença entre a margem de fase desejada ($\emptyset_d$) e a margem de fase da planta ($\emptyset_g$) acrescida de 180^0, de forma a garantir que o sistema compensado tenha um $\emptyset_d$ em ω_c conforme especificado no projeto.

$$\emptyset_c = \emptyset_d - \left(\emptyset_g + 180^0\right) \tag{4.3}$$

4.1.1 Projetos dos Controladores dos Conversores Série

Os parâmetros apresentados na tabela 2 são utilizados para o projeto dos controladores dos conversores série modelados no capítulo anterior. Através dos modelos apresentados na seção 3.2.3 pode ser observado que os modelos no referencial síncrono são exatamente iguais para todos os conversores série das topologias implementadas, com exceção da ausência do referencial zero no conversor T-L.

A figura 40 mostra o diagrama em blocos de controle de corrente do conversor série no referencial síncrono *dq*0, onde pode se observado os controladores de corrente no referencial síncrono *dq*0 $Gs_{PI(d,q)}(s)$ e $Gs_{PI(0)}(s)$, os quais estão definidos pelas equações (4.4) e (4.5). Além disso, na figura 40, pode ser notada a existência do ganho K_{PWM}, o qual representa o ganho do modulador PWM definido por $K_{PWM} = 1/P_{PWM}$ [85], onde P_{PWM} é o valor de pico da portadora PWM triangular implementada no DSP.

Tabela 2 – Parâmetros para o projeto dos controladores PI dos conversores série

Frequência de chaveamento	$f_s = 20\ \text{kHz}$
Indutâncias de acoplamento	$L_{fsa,b,c} = 1{,}5\ \text{mH}$
Resistências série dos indutores de acoplamento	$R_{fsa,b,c} = 0{,}15\ \Omega$
Indutâncias de dispersão dos transformadores de acoplamento série	$L_{Da,b,c} = 0{,}42\ \text{mH}$
Resistências dos transformadores de acoplamento série	$R_{Ta,b,c} = 0{,}26\ \Omega$
Relação de transformação dos transformadores	$n = 1$
Tensão do Barramento CC	$V_{CC} = 400\ \text{V}$
Ganho do modulador PWM	$K_{PWM} = 2{,}66\ 10^{-4}$
Frequência de cruzamento desejada da malha de corrente do conversor série	$\omega_C = 2\pi f_s/9\ rad/s$
Margem de fase desejada	$\emptyset_d = 70^0$

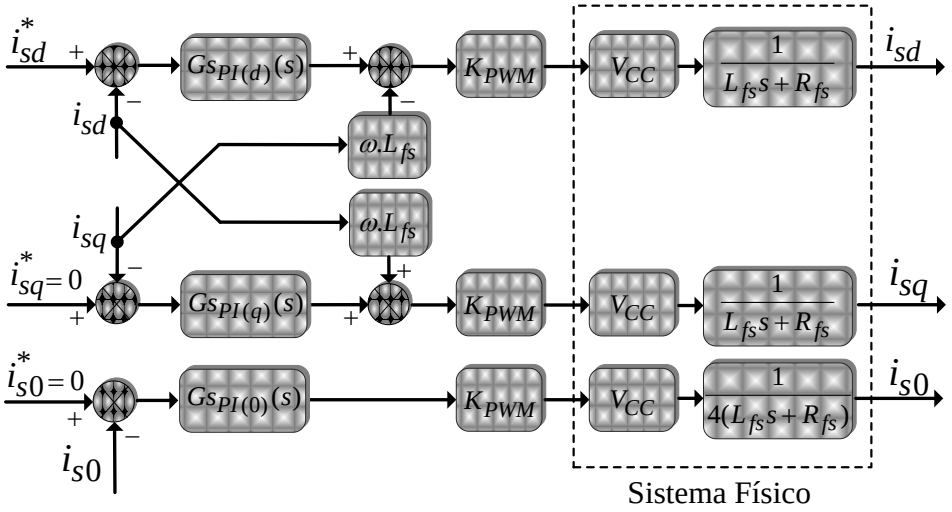


Figura 40 – Diagrama em blocos das malhas de controle dos conversores série.

$$Gs_{PI(d,q)}(s) = \frac{Kp_{s(d,q)}s + Ki_{s(d,q)}}{s} \tag{4.4}$$

$$Gs_{PI(0)}(s) = \frac{Kp_{s(0)}s + Ki_{s(0)}}{s} \tag{4.5}$$

onde:

$Kp_{s(d,q)}(s)$: Ganho proporcional do controlador PI nas coordenadas dq;

$Ki_{s(d,q)}(s)$: Ganho integrativo do controlador PI nas coordenadas dq;

$Kp_{s(0)}(s)$: Ganho proporcional no referencial zero;

$Ki_{s(0)}(s)$: Ganho integrativo no referencial zero.

Pelo diagrama em blocos da figura 40, obtém-se a função de transferência da malha de corrente no referencial síncrono *dq* utilizada para o projeto dos controladores dada pela equação (4.6). Já a função de transferência em malha aberta do sistema compensado $G_{MAs(d,q)}(s)$ é dada pela equação (4.7).

$$G_{s(d,q)}(s) = \frac{K_{PWM}V_{CC}}{L_{fs}s + R_{fs}} \tag{4.6}$$

$$G_{MAs(d,q)}(s) = \frac{K_{PWM}V_{CC}(Kp_{s(d,q)}s + Ki_{s(d,q)})}{L_{fs}s^2 + R_{fs}s} \tag{4.7}$$

Com base nas especificações de projeto definidas na tabela 2 e pelas equações (4.1) e (4.2), os ganhos dos controladores PI nas coordenadas dq ($Kp_{s(d,q)}$) e ($Ki_{s(d,q)}$) são dados por:

$Kp_{s(d,q)}(s) = 233{,}1020$

$Ki_{s(d,q)}(s) = 1{,}2176 \times 10^6$

A figura 41 apresenta a resposta em frequência de $G_{s(d,q)}$, $G_{PIs(d,q)}$ e $G_{MAs(d,q)}$. Através deste diagrama verifica-se que a magnitude do sistema compensado na frequência de cruzamento desejada (ω_c) é muito próxima de 0dB, assim como a margem de fase desejada nesta mesma frequência é igual a 70^0, comprovando que os controladores PI projetados atenderam às especificações de projeto.

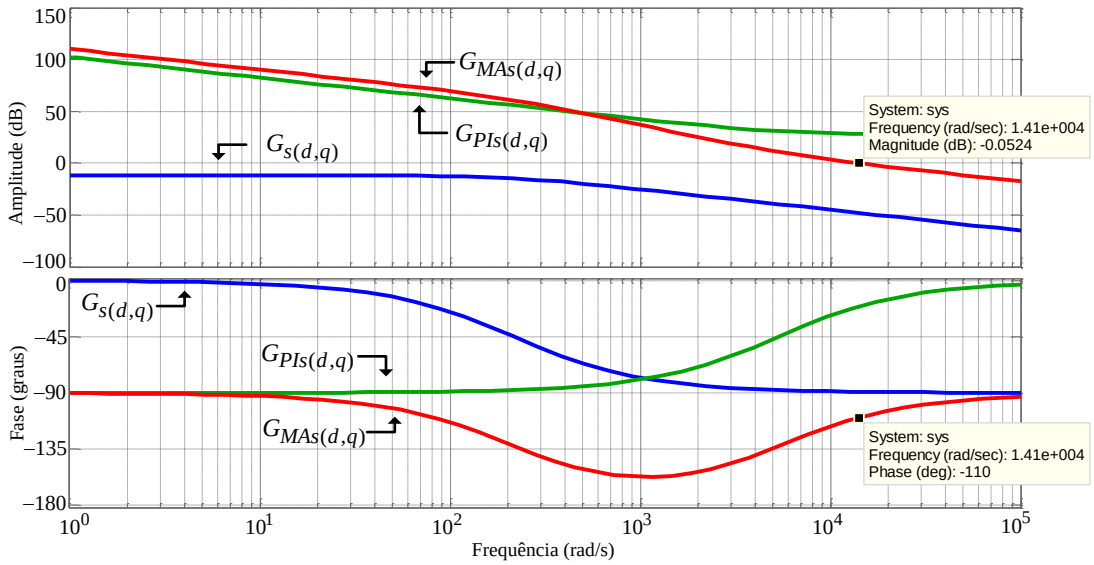


Figura 41 – Resposta em frequência das funções $G_{s(dq)}(s)$, $G_{MAs(dq)}(s)$ e $G_{PIs(dq)}(s)$.

A função de transferência do sistema compensado em malha fechada pode ser representada pela equação (4.8). A banda passante da malha de corrente no referencial síncrono dq com o controlador PI projetado é mostrada na figura 42.

$$\frac{I_{S(d,q)}(s)}{I^{*}_{S(d,q)}(s)} = \frac{X_1(Kp_{s(d,q)}s + Ki_{s(d,q)})}{L_{fs}s^2 + (R_{fs} + X_1 Kp_{s(d,q)})s + X_1 Ki_{s(d,q)}} \tag{4.8}$$

onde: $X_1 = K_{PWM}V_{CC}$.

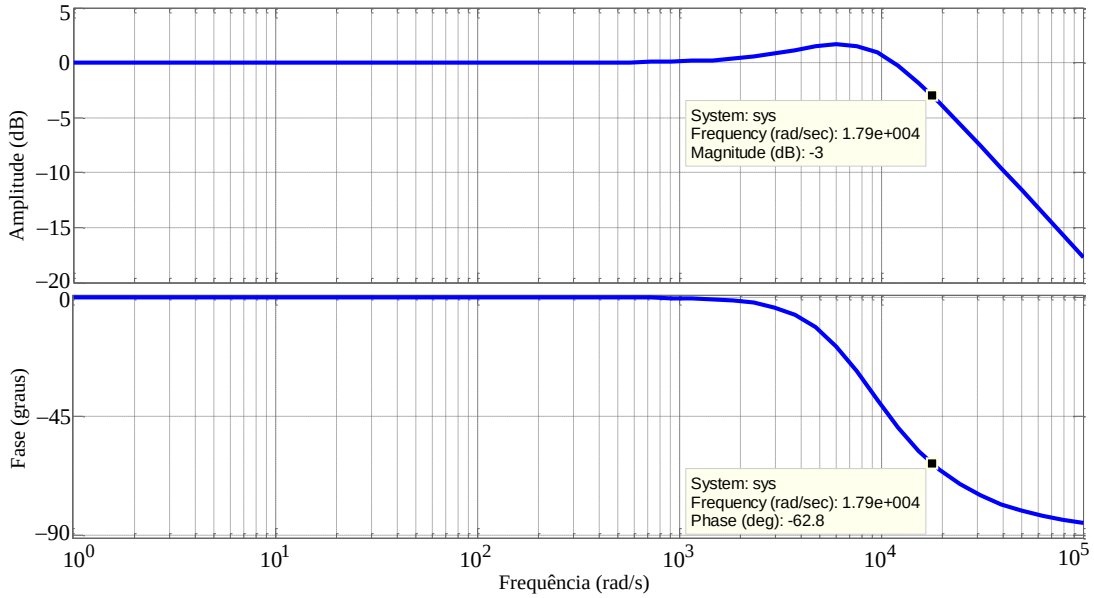


Figura 42– Resposta em frequência da malha de corrente com controlador PI no referencial síncrono dq.

Para o conversor série implementado por meio do conversor T-L, há somente os controladores do referencial dq. Já para os conversores F-L e S-C há a necessidade de implementar um controlador também no referencial estacionário zero. A função de transferência em malha aberta do referencial estacionário zero é dada pela equação (4.9). Já a função de transferência em malha aberta do sistema compensado $G_{MAs(0)}(s)$ é dada por (4.10).

$$G_{s(0)}(s) = \frac{K_{PWM}V_{CC}}{4(L_{fs}s + R_{fs})} \tag{4.9}$$

$$G_{MAs(0)}(s) = \frac{K_{PWM}V_{CC}(Kp_{s(0)}s + Ki_{s(0)})}{4(L_{fs}s^2 + R_{fs}s)} \tag{4.10}$$

Com base nas especificações de projeto definidas na tabela 2 e pelas equações (4.1) e (4.2), os ganhos do controlador PI no eixo estacionário zero $Kp_{s(0)}$ e $Ki_{s(0)}$ são dados por:

$Kp_{s(0)}(s) = 932{,}4100$

$Ki_{s(0)}(s) = 4{,}8705 \times 10^6$

A figura 43 apresenta a resposta em frequência de $G_{s(0)}$, $G_{PIs(0)}$ e $G_{MAs(0)}$. Através deste diagrama verifica-se que a magnitude do sistema compensado na frequência de cruzamento desejada (ω_c) é muito próxima de 0dB, assim como a margem de fase desejada nesta mesma frequência é igual a 70^0, comprovando que os controladores PI projetados atenderam às especificações de projeto.

A função de transferência do sistema em malha fechada pode ser representada pela equação (4.11). A banda passante da malha de corrente no referencial estacionário zero com o controlador PI projetado é mostrada na figura 44.

$$\frac{I_{S(0)}(s)}{I^*_{S(0)}(s)} = \frac{X_1(Kp_{s(0)}s + Ki_{s(0)})}{4L_{fs}s^2 + \left(4R_{fs} + X_1Kp_{s(0)}\right)s + X_1Ki_{s(0)}} \tag{4.11}$$

onde: $X_1 = K_{PWM}V_{CC}$.

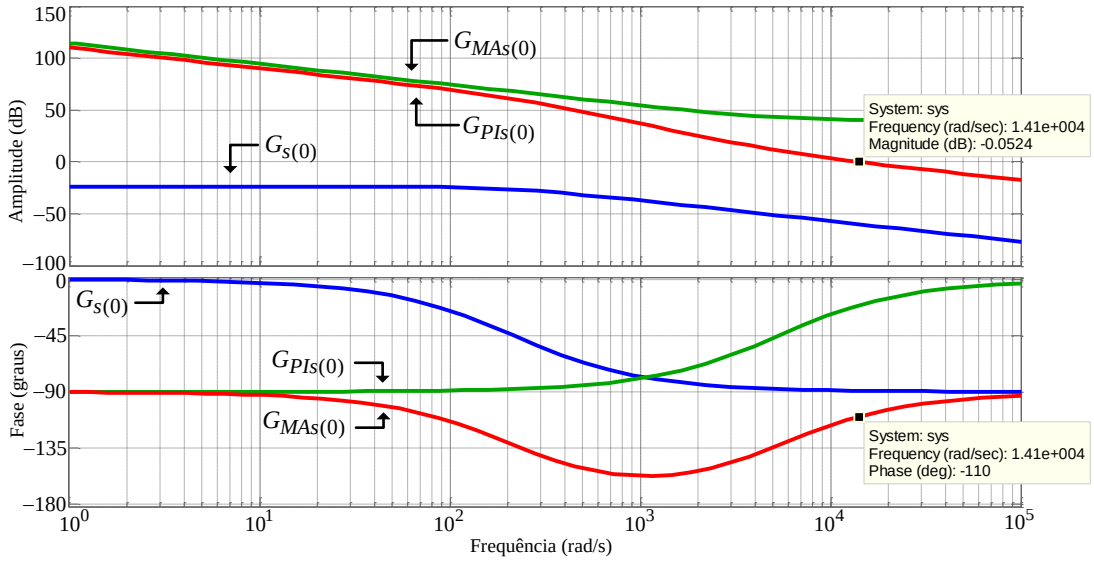


Figura 43 – Resposta em frequência das funções $G_{s(0)}(s)$, $G_{MAs(0)}(s)$ e $G_{PIs(0)}(s)$.

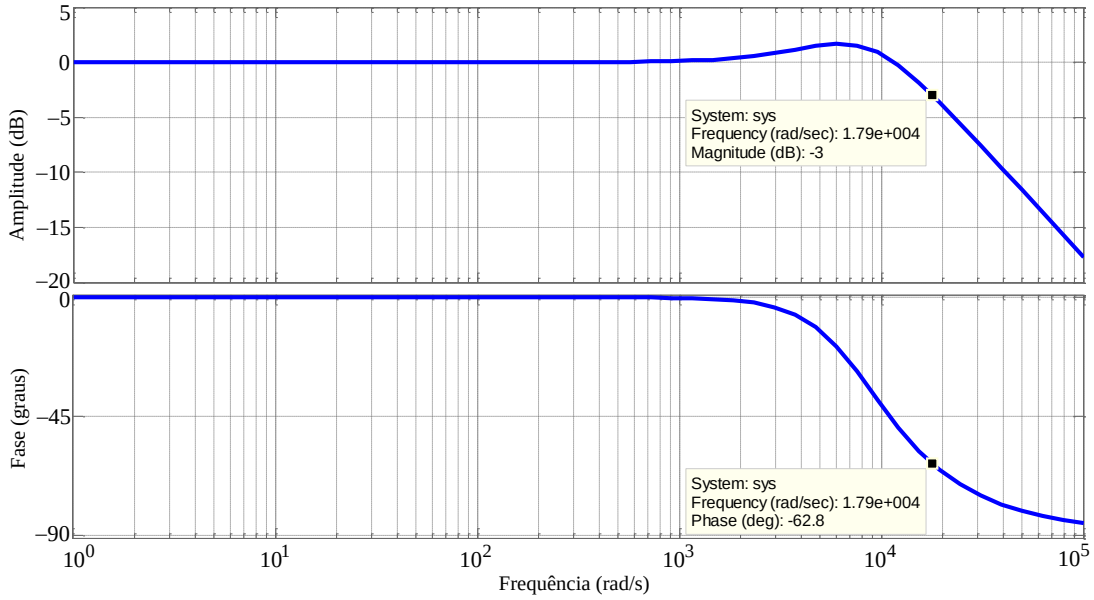


Figura 44 – Resposta em frequência da malha de corrente com controlador PI no referencial zero.

4.1.2 Projeto dos Controladores do Conversor Paralelo

Os parâmetros utilizados para o projeto dos controladores do conversor paralelo F-L modelado no capítulo anterior estão apresentados na tabela 3. Pela modelagem apresentada anteriormente para este conversor, observa-se a existência de uma malha interna de corrente e outra externa de tensão, ambas no referencial

*dq*0. Neste caso, foram implementados controladores PI para as malhas de tensão e controladores proporcionais nas malhas internas de corrente.

Tabela 3 – Parâmetros para o projeto dos controladores do conversor paralelo

Frequência de chaveamento	$f_s = 20\ \text{kHz}$
Indutância de acoplamento	$L_{fpa,b,c} = 1\ \text{mH}$
Resistência série da indutância de acoplamento	$R_{fpa,b,c} = 0{,}12\ \Omega$
Capacitância de filtragem	$C_{fpa,b,c} = 85\ \mu\text{F}$
Tensão do Barramento CC	$V_{CC} = 400\ \text{V}$
Ganho do modulador PWM	$K_{PWM} = 2{,}66.10^{-4}$
Frequência de cruzamento desejada da malha interna de corrente	$\omega_{C_i} = 2\pi f_s/6\ rad/s$
Margem de fase desejada da malha externa de tensão	$\emptyset_{d_v} = 55^0$
Frequência de cruzamento desejada da malha externa de tensão	$\omega_{C_v} = 0{,}16.\omega_{C_i}\ rad/s$

A figura 45 mostra o diagrama em blocos de controle da malha interna de corrente do conversor paralelo, bem como da malha externa de tensão, ambas no referencial síncrono *dq*0, onde pode ser observado os controladores de corrente $Gp_{Pi(d,q)}(s)$ e $Gp_{Pi(0)}(s)$, que são definidos pelas equações (4.12) e (4.13) e os controladores PI de tensão $Gp_{PIv(d,q)}(s)$ e $Gp_{PIv(0)}(s)$, os quais são definidos pelas equações (4.14) e (4.15). Além disso, pode ser notada a existência do ganho do modulador PWM (K_{PWM}). As correntes dos capacitores de saída $i^*_{Cfp(d,q,0)}$ que estão mostradas na figura 45, são estimadas considerando as derivadas das tensões medidas de saída e as respectivas capacitâncias (C_{fp}).

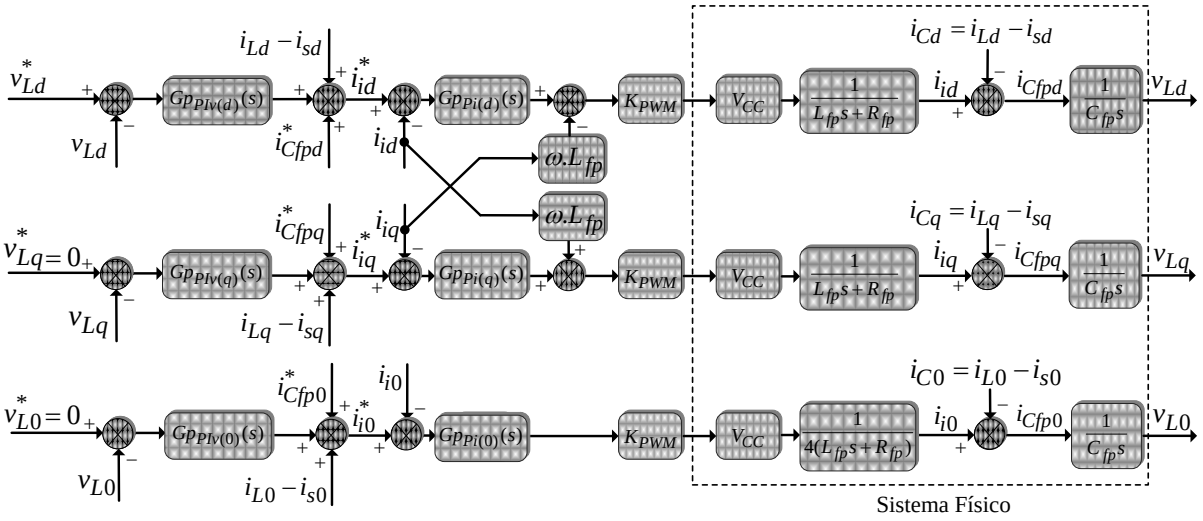


Figura 45 – Diagrama em blocos das malhas de controle do conversor paralelo.

$$Gp_{Pi(d,q)}(s) = Kp_{pi(d,q)} \tag{4.12}$$

$$Gp_{pi(0)}(s) = Kp_{pi(0)} \tag{4.13}$$

$$Gp_{PIv(d,q)}(s) = \frac{Kp_{pv(d,q)}s + Ki_{pv(d,q)}}{s} \tag{4.14}$$

$$Gp_{PIv(0)}(s) = \frac{Kp_{pv(0)}s + Ki_{pv(0)}}{s} \tag{4.15}$$

onde:

$Kp_{pi(d,q)}(s)$: Ganho proporcional da malha interna de corrente no referencial dq;

$Kp_{pv(d,q)}(s)$: Ganho proporcional da malha externa de tensão no referencial dq;

$Ki_{pv(d,q)}(s)$: Ganho integrativo da malha externa de tensão no referencial dq;

$Kp_{pv(0)}(s)$: Ganho proporcional da malha externa de tensão no referencial zero;

$Ki_{pv(0)}(s)$: Ganho integrativo da malha externa de tensão no referencial zero;

$Kp_{pi(0)}(s)$: Ganho proporcional da malha interna de corrente no referencial zero.

A função de transferência da malha interna de corrente do conversor paralelo em malha aberta nos referencial síncronos *dq* é dada por (4.16). Já a função de transferência da malha interna em laço aberta do sistema compensado $G_{MApi(d,q)}(s)$ é dada por (4.17).

$$G_{pi(d,q)}(s) = \frac{K_{PWM} V_{CC}}{L_{fp} s + R_{fp}} \tag{4.16}$$

$$G_{MApi(d,q)}(s) = \frac{K_{PWM} V_{CC} Kp_{pi(d,q)}}{L_{fp} s + R_{fp}} \tag{4.17}$$

Com base nas especificações de projeto definidas na tabela 3 e pelas equações (4.1) e (4.2), o ganho dos controladores proporcional nas coordenadas dq ($Kp_{pi(d,q)}$) é dado por:

$Kp_{pi(d,q)}(s) = 196{,}4756$

A figura 46 apresenta a resposta em frequência de $G_{pi(d,q)}$ e $G_{MApi(d,q)}$. Através deste diagrama verifica-se que a magnitude do sistema na frequência de cruzamento desejada (ω_c) é muito próxima de 0dB. No entanto, a margem de fase do sistema compensado fica inalterado devido ao controlador da malha interna de corrente ser somente um controlador proporcional.

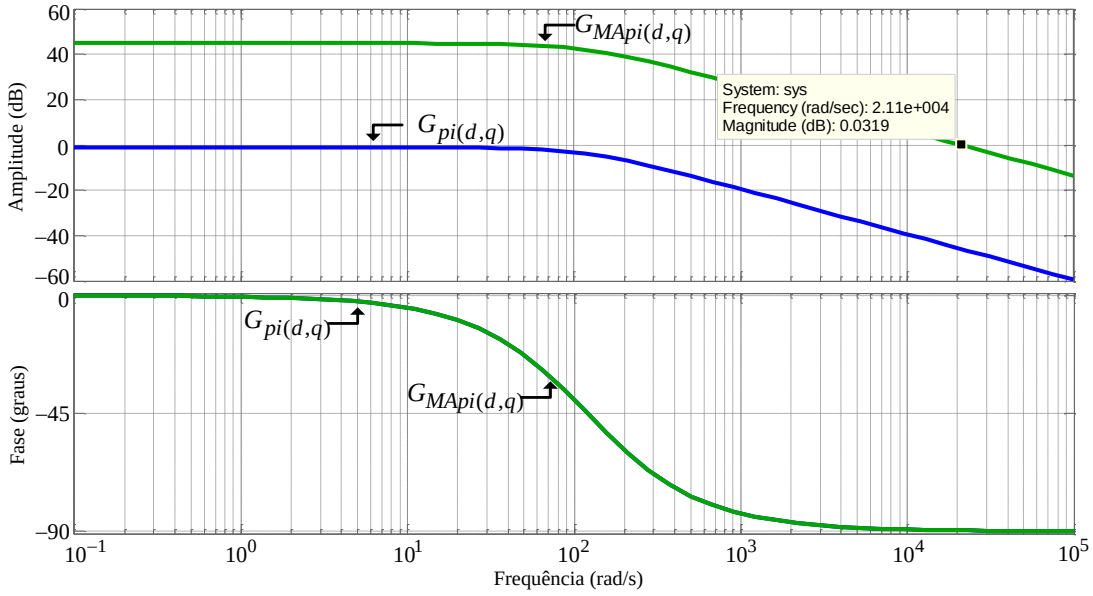


Figura 46 – Resposta em frequência das funções $G_{pi(d,q)}$ e $G_{MApi(d,q)}$.

A figura 47 representa o diagrama em blocos da malha interna de tensão em laço aberto e a função de transferência da malha de tensão é dada pela equação (4.18).

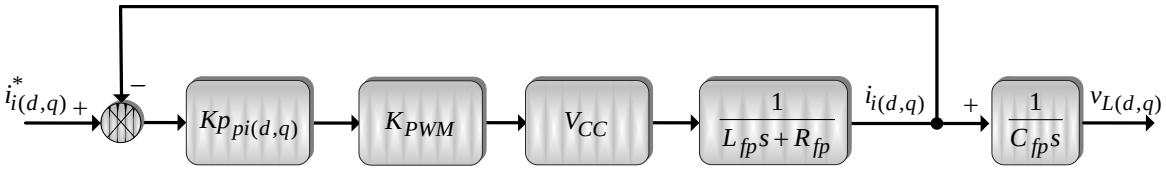


Figura 47 – Diagrama em blocos da malha externa de tensão.

$$G_{pv(d,q)}(s) = \frac{v_{L(d,q)}}{i^*_{i(d,q)}} = \frac{Kp_{pi(d,q)}K_{PWM}V_{CC}}{L_{fp}C_{fp}s^2 + \left(C_{fp}Kp_{pi(d,q)}K_{PWM}V_{CC} + C_{fp}R_{fp}\right)s} \quad (4.18)$$

Com base nas especificações de projeto definidas na tabela 3 e pelas equações (4.1) e (4.2), os ganhos do controlador PI no eixo síncrono *dq* $Kp_{pv(d,q)}$ e $Ki_{pv(d,q)}$ são dados por:

$Kp_{pv(d,q)}(s) = 0{,}2333$

$Ki_{pv(d,q)}(s) = 549{,}5942$

A função de transferência da malha externa de tensão em laço aberta do sistema compensado $G_{MApv(d,q)}(s)$ é dada pela equação (4.19).

$$G_{MApv(d,q)}(s) = \frac{K_{PWM}V_{CC}Kp_{pi(d,q)}}{L_{fp}s + R_{fp}} \quad (4.19)$$

A figura 48 apresenta a resposta em frequência de $G_{pv(d,q)}$, $Gp_{PIv(d,q)}$ e $G_{MApv(d,q)}$. Através deste diagrama verifica-se que a magnitude do sistema compensado na frequência de cruzamento desejada (ω_c) é muito próxima de 0dB, assim como a margem de fase desejada nesta mesma frequência é igual a 55^0, comprovando que os controladores PI projetados atenderam às especificações de projeto.

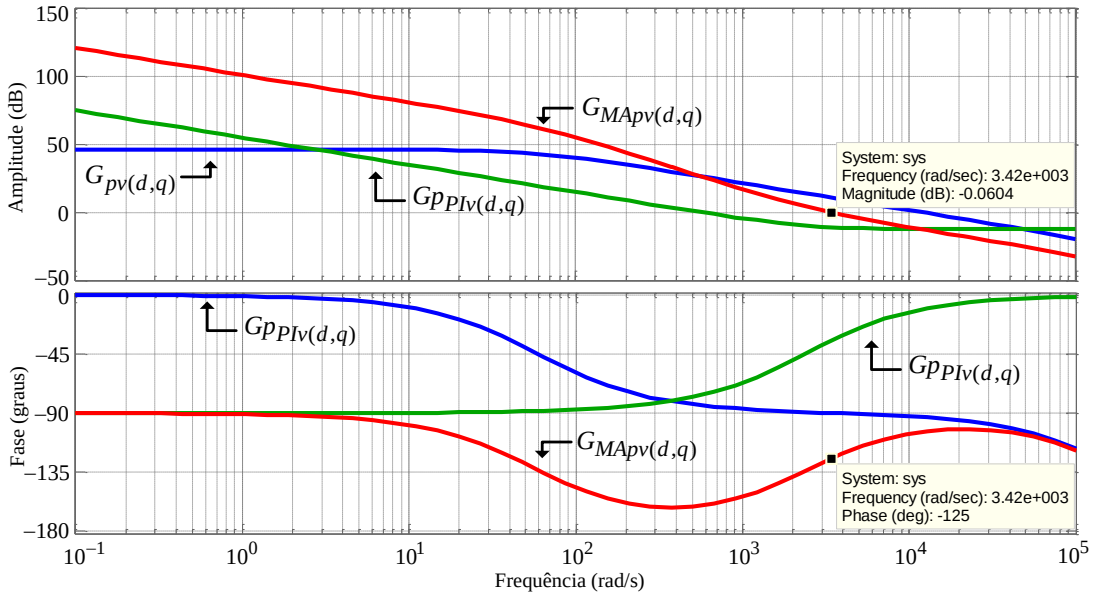


Figura 48 – Resposta em frequência das funções $G_{pv(d,q)}$, $Gp_{PIv(d,q)}$ e $G_{MApv(d,q)}$.

A função de transferência do sistema compensado em malha fechada pode ser representada pela equação (4.20). A banda passante do conversor paralelo no referencial síncrono dq com os controladores projetados é mostrada na figura 49.

$$\frac{V_{L(d,q)}(s)}{V^{*}_{L(d,q)}(s)} = \frac{X_{1(d,q)}s^2 + X_{2(d,q)}s + X_{3(d,q)}}{Y_{1(d,q)}s^3 + Y_{2(d,q)}s^2 + Y_{3(d,q)}s + Y_{4(d,q)}} \tag{4.20}$$

onde:

$X_{1(d,q)} = K_{PWM}V_{CC}C_{fp}Kp_{pi(d,q)}$;
$X_{2(d,q)} = K_{PWM}V_{CC}Kp_{pi(d,q)}Kp_{pv(d,q)}$;
$X_{3(d,q)} = K_{PWM}V_{CC}Kp_{pi(d,q)}Ki_{pv(d,q)}$;
$Y_{1(d,q)} = C_{fp}L_{fp}$;
$Y_{2(d,q)} = C_{fp}(K_{PWM}V_{CC}Kp_{pi(d,q)} + R_{fp})$;
$Y_{3(d,q)} = K_{PWM}V_{CC}Kp_{pi(d,q)}Kp_{pv(d,q)} + 1$;
$Y_{4(d,q)} = X_{3(d,q)}$.

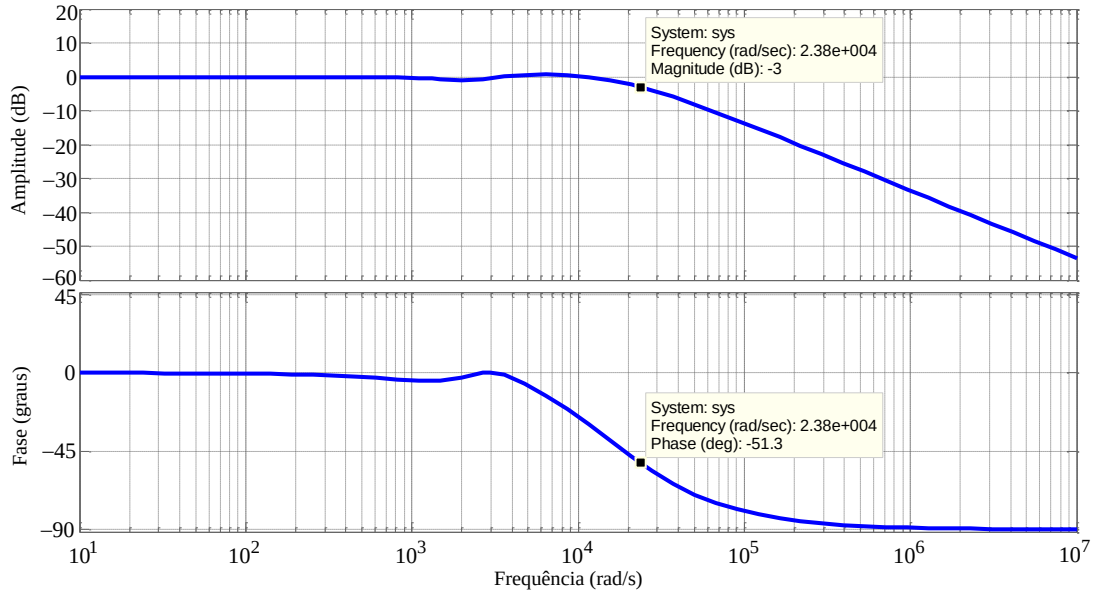


Figura 49 – Resposta em frequência do conversor paralelo com os controladores da malha externa de tensão e da malha interna de corrente no referencial síncrono dq.

Realizando o mesmo procedimento para o referencial zero, onde a função de transferência em malha aberta de corrente é dada pela equação (4.21) e a função de transferência em malha aberta de tensão é dada pela equação (4.22), os ganhos dos controladores da malha interna de corrente, bem como os da malha externa de tensão são dados por:

$$Kp_{pi(0)}(s) = 785{,}9022$$

$$Kp_{pv(0)}(s) = 0{,}2381$$

$$Ki_{pv(0)}(s) = 526{,}8184$$

$$G_{pi(0)}(s) = \frac{K_{PWM}V_{CC}}{4(L_{fp}s + R_{fp})} \tag{4.21}$$

$$G_{pv(0)}(s) = \frac{Kp_{pi(0)}K_{PWM}V_{CC}}{4L_{fp}C_{fp}s^2 + 4\left(C_{fp}Kp_{pi(0)}K_{PWM}V_{CC} + C_{fp}R_{fp}\right)s} \tag{4.22}$$

A função de transferência do sistema em malha fechada pode ser representada pela equação (4.23). A banda passante do conversor paralelo no referencial zero com os controladores projetados é apresentada na figura 50.

$$\frac{v_{L(0)}(s)}{v^*_{L(0)}(s)} = \frac{X_{1(0)}s^2 + X_{2(0)}s + X_{3(0)}}{Y_{1(0)}s^3 + Y_{2(0)}s^2 + Y_{3(0)}s + Y_{4(0)}} \tag{4.23}$$

onde: $X_{1(0)} = K_{PWM}V_{CC}C_{fp}Kp_{pi(0)}$;
$X_{2(0)} = K_{PWM}V_{CC}Kp_{pi(0)}Kp_{pv(0)}$;
$X_{3(0)} = K_{PWM}V_{CC}Kp_{pi(0)}Ki_{pv(0)}$;
$Y_{1(0)} = 4C_{fp}L_{fp}$;
$Y_{2(0)} = C_{fp}(K_{PWM}V_{CC}Kp_{pi(0)} + 4R_{fp})$;
$Y_{3(0)} = K_{PWM}V_{CC}Kp_{pi(0)}Kp_{pv(0)} + 1.$
$Y_{4(0)} = X_{3(0)}$

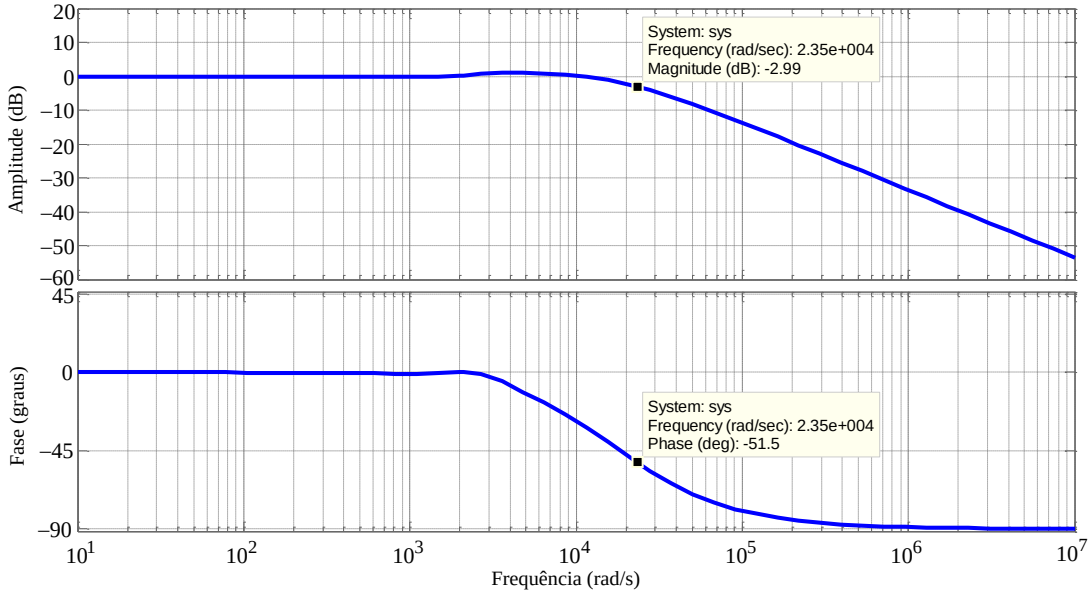


Figura 50 – Resposta em frequência do conversor paralelo com os controladores projetados das malhas externa de tensão e interna de corrente no referencial zero.

4.1.3 Projeto dos controladores de tensão do barramento CC

Para o projeto do controlador PI da tensão total do barramento CC é considerado o sistema modelado na seção 3.2.5. Os parâmetros utilizados no projeto do referido controlador estão apresentados na tabela 4.

Tabela 4 – Parâmetros para o projeto do controlador do barramento CC

Ondulação da tensão do barramento CC	$f_{ond} = 360$ Hz
Capacitância do barramento CC	$C_{CC} = 9400\ \mu$F
Tensão do Barramento CC	$V_{CC} = 400$ V
Margem de fase desejada da malha de tensão do barramento CC	$\emptyset_{d_CC} = 89^0$
Frequência de cruzamento desejada da malha de tensão do barramento CC	$\omega_{C_CC} = 2\pi f_{ond}/18\ rad/s$

Os ganhos do controlador de tensão do barramento CC obtidos com as equações (4.1), (4.2) e com os parâmetros apresentados na tabela 4, são dados por:

$Kp_{v_{CC}}(s) = 0{,}0357$

$Ki_{v_{CC}}(s) = 0{,}1202$

onde:

$Kp_{v_{CC}}(s)$: Ganho proporcional da malha de controle da tensão total do barramento CC;

$Ki_{v_{CC}}(s)$: Ganho integrativo da malha de controle da tensão total do barramento CC.

A função de transferência em malha fechada do sistema compensado é representada pela equação (4.24), enquanto a resposta em frequência é apresentada na figura 51.

$$\frac{V_{CC}(\mathrm{s})}{V_{CC}^{*}(\mathrm{s})} = \frac{v_d(Ki_{v_{CC}}Kp_{v_{CC}}s)}{v_{CC}C_{CC}s^2 + Kp_{v_{CC}}v_d s + Ki_{v_{CC}}v_d} \tag{4.24}$$

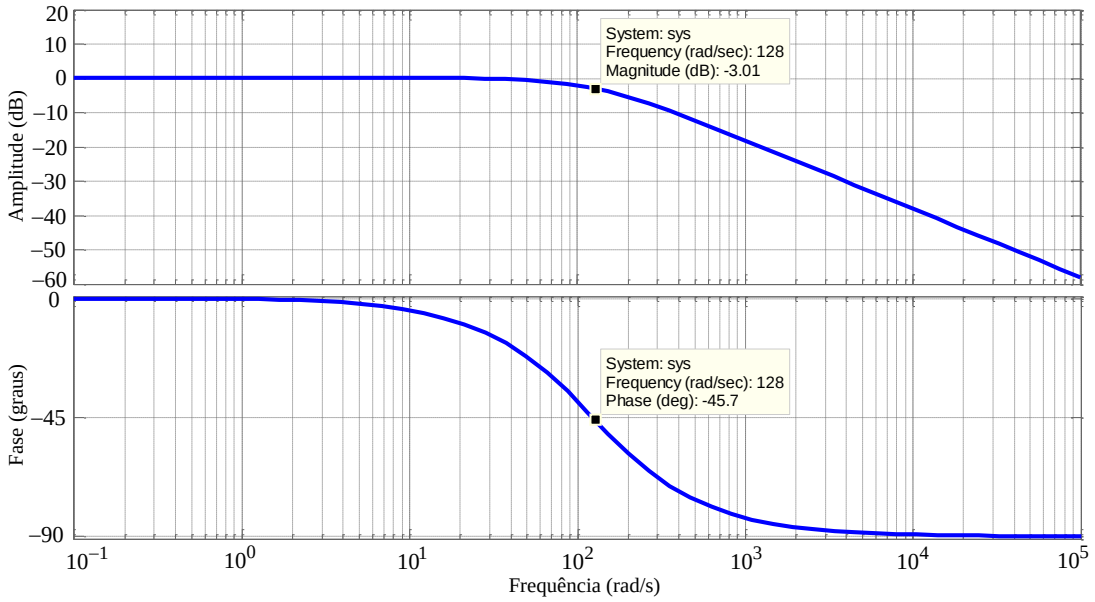


Figura 51 – Resposta em frequência da malha de tensão do barramento CC.

Para a topologia de UPS/UPQC composta por um conversor série S-C é utilizado um controlador PI para compensar o desequilíbrio de tensão do barramento CC conforme apresentado na seção 3.2.5.1. Para o projeto do controlador PI é considerado os parâmetros da tabela 5 e o modelo matemático representado por (3.86).

Tabela 5 – Parâmetros para o projeto do controlador de desequilíbrio de tensão do barramento CC

Ondulação da tensão do barramento CC	$f_{ond} = 180$ Hz
Capacitância do barramento CC	$2C_{CC} = 18800\ \mu$F
Tensão do Barramento CC	$V_{CC}/2 = 200$ V
Margem de fase desejada da malha de desequilíbrio de tensão do barramento CC	$\emptyset_{d_CCdif} = 89^0$
Frequência de cruzamento desejada da malha de desequilíbrio de tensão do barramento CC	$\omega_{C_CCdif} = 2\pi f_{ond}/20\ rad/s$

Os ganhos do controlador de desequilíbrio de tensão do barramento CC obtidos com as equações (4.1), (4.2) bem como com os parâmetros da tabela 5 são dados por:

$$Kp_{v_{CCdif}}(s) = 0{,}7086$$

$$Ki_{v_{CCdif}}(s) = 0{,}6995$$

onde:

$Kp_{v_{CCdif}}(s)$: Ganho proporcional da malha de controle de desequilíbrio de tensão do barramento CC;

$Ki_{v_{CCdif}}(s)$: Ganho integrativo da malha de controle de desequilíbrio de tensão do barramento CC.

A função de transferência em malha fechada do sistema compensado é representada pela equação (4.25). Já a resposta em frequência da malha de controle do desequilíbrio de tensão do barramento CC é apresentada na figura 52.

$$\frac{V_{CCdif}(s)}{V^{*}_{CCdif}(s)} = \frac{3(Ki_{v_{CCdif}} Kp_{v_{CCdif}} s)}{2C_{CC}s^2 + 3(Kp_{v_{CCdif}} + Ki_{v_{CCdif}})} \tag{4.25}$$

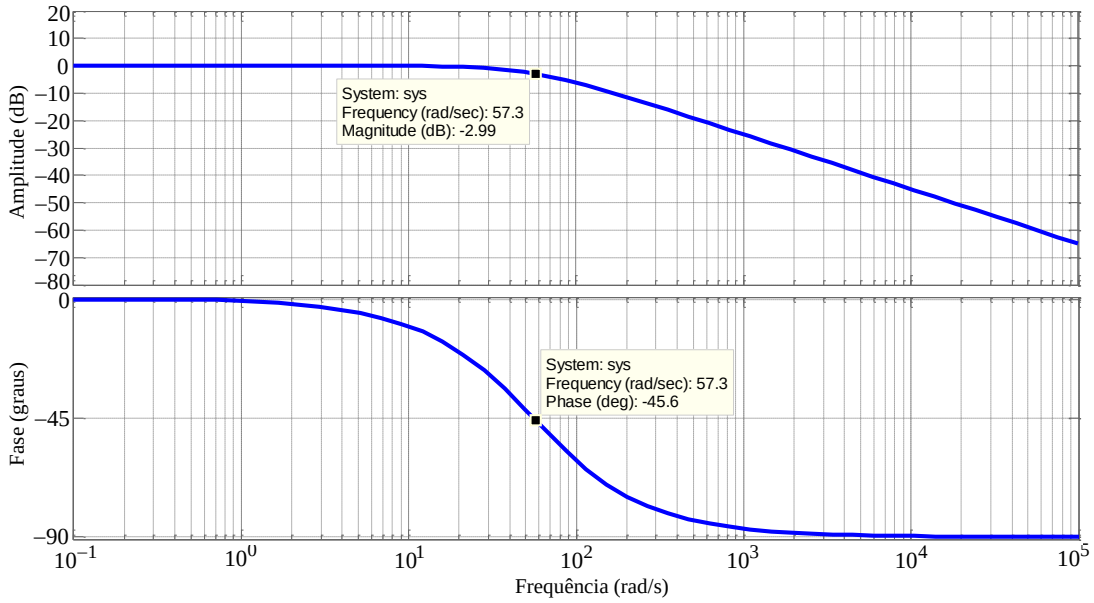


Figura 52 – Resposta em frequência da malha de controle de desequilíbrio de tensão do barramento CC.

4.2 Discretização dos Controladores

Como os controladores serão implementados digitalmente em DSPs, se faz necessário efetuar a discretização desses controladores. Neste trabalho optou-se pelo método de transformação de Tustin também conhecida como transformação Bilinear ou Trapeizoidal.

Seja o controlador PI no domínio do tempo contínuo, representado pela função de transferência da equação 4.26.

$$G_{PI}(s) = K_P \frac{(s + \omega_Z)}{s} \tag{4.26}$$

Substituindo a variável complexa (*s*) pelo equivalente no domínio (*z*), dado por:

$$s = \frac{2}{T_s} \frac{z - 1}{z + 1} \tag{4.27}$$

onde, T_s representa o período de amostragem. Substituindo a equação 4.27 em 4.26 e colocando (*z*) em evidência, obtém-se:

$$G_{PI}(z) = \frac{K_P}{2} \left[\frac{z(2 + \omega_Z T_s) + (\omega_Z T_s - 2)}{z - 1} \right] \tag{4.28}$$

A função de transferência do controlador PI discretizado, é dado por:

$$G_{PI}(z) = \frac{K_P}{2} \left(\frac{B\, z + A}{z - 1} \right) \tag{4.29}$$

onde *A* e *B* são:

$$A = 2 + \omega_Z T_s \tag{4.30}$$

$$B = \omega_Z T_s - 2 \tag{4.31}$$

Multiplicando a equação 4.29 por Z^{-1}/Z^{-1} obtém-se a equação de diferenças representada pela equação 4.32.

$$G_{PI}(z) = \frac{u(z)}{e(z)} = \frac{K_P}{2}\left(\frac{B + Az^{-1}}{1 - z^{-1}}\right) \tag{4.32}$$

Aplicando a transformada-z inversa em 4.32 obtém-se 4.33.

$$u(k) = \frac{K_P}{2}\left[Be(k) + Ae(k-1)\right] + u(k-1) \tag{4.33}$$

onde k representa a amostra atual do sinal discretizado, e $(k-1)$ uma amostra anterior.

4.3 Resultados de Simulações

Para a obtenção dos resultados de simulação foram implementados, além do circuito de potência das topologias de UPQC/UPS apresentadas no capítulo anterior, os controladores de tensão e corrente no referencial síncrono do conversor paralelo, os controladores de corrente no referencial síncrono para as diferentes configurações dos conversores série, os algoritmos de geração de referências de tensão e corrente e os algoritmos utilizados para a implementação da modulação vetorial. O diagrama em blocos que representa as simulações computacionais é mostrado na figura 53.

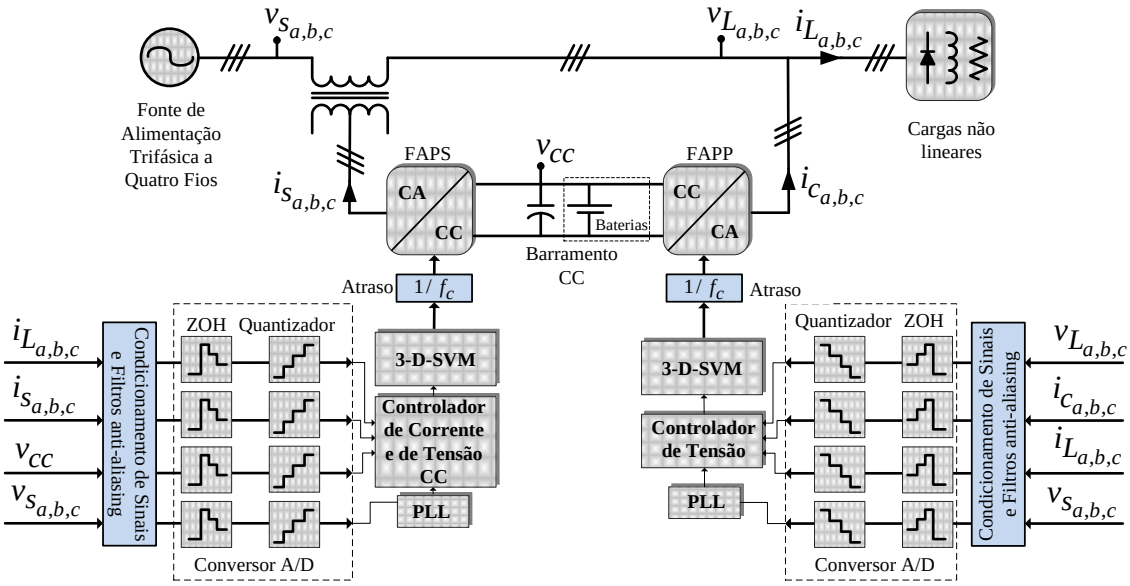


Figura 53 – Diagrama em blocos dos UPQCs/UPSs simulados.

Os parâmetros utilizados nas simulações estão relacionados na tabela 6.

Tabela 6 – Parâmetros utilizados nas simulações

Tensão eficaz nominal da rede (fase)	$V_{sa,b,c} = 127\ \text{V}$
Valores eficazes do 5º e 7º harmônicos da tensão da rede	$V_5 = 19\ \text{V},$ $V_7 = 12\ \text{V}$
Tensão eficaz nominal de saída (fase)	$V_{La,b,c} = 127\ \text{V}$
Tensão do barramento CC	$V_{CC} = 400\ \text{V}$
Frequência da rede de alimentação	$f_s = 60\ \text{Hz}$
Frequência de chaveamento dos conversores série e paralelo	$f_C = 20\ \text{KHz}$
Pico da triangular do modulador PWM	$P_{PWM} = 3750$
Ganho do modulador PWM	$K_{PWM} = 2{,}66.10 - 4$
Taxa de amostragem do conversor analógico digital	$f_a = 40\ \text{KHz}$
Frequência de corte do filtro anti-aliasing	$f_{caa} \cong 19\ \text{KHz}$
Indutância da rede elétrica	$L_s = 10\ \mu\text{H}$
Resistência da rede elétrica	$R_s = 3{,}76\ m\Omega$
Relação de transformação do transformador de acoplamento série	$n = 1$
Resistência total dos enrolamentos dos transformadores de acoplamento série	$R_{Ta,b,c} = 0{,}26\ \Omega$
Indutância de dispersão dos transformadores de acoplamento série	$L_{Da,b,c} = 0{,}42\ m\text{H}$
Potência dos transformadores de acoplamento série	$5{,}5k\ \text{VA}$
Indutância de acoplamento dos conversores série	$L_{fs} = 1{,}50\ m\text{H}$
Resistência dos indutores de acoplamento série	$R_{fs} = 0{,}15\ \Omega$
Indutância de acoplamento do conversor paralelo	$L_{fp} = 1{,}00\ m\text{H}$
Resistência do indutor de acoplamento do conversor paralelo	$R_{fs} = 0{,}12\ \Omega$
Capacitância de filtragem do conversor paralelo	$C_{fp} = 85\ \mu\text{F}$
Capacitância total do barramento CC	$C_{CC} = 9400\ \mu\text{F}$

Os comportamentos estáticos e dinâmicos das topologias de UPQC/UPS são avaliados com os sistemas alimentando dois conjuntos de cargas monofásicas, denominados carga 1 e carga 2, conforme os esquemas elétricos apresentados na figura 54. Além disso, os comportamentos estáticos e dinâmicos são avaliados com a presença de distúrbios de tensão na rede elétrica, tais como harmônicos, desequilíbrios, elevações (swell) e afundamentos (sags), bem como variações de carga.

Além disso, os comportamentos dinâmicos das três topologias de UPS durante as transições entre os modos *standby-backup*, e *backup-standby* também são apresentados nesta seção.

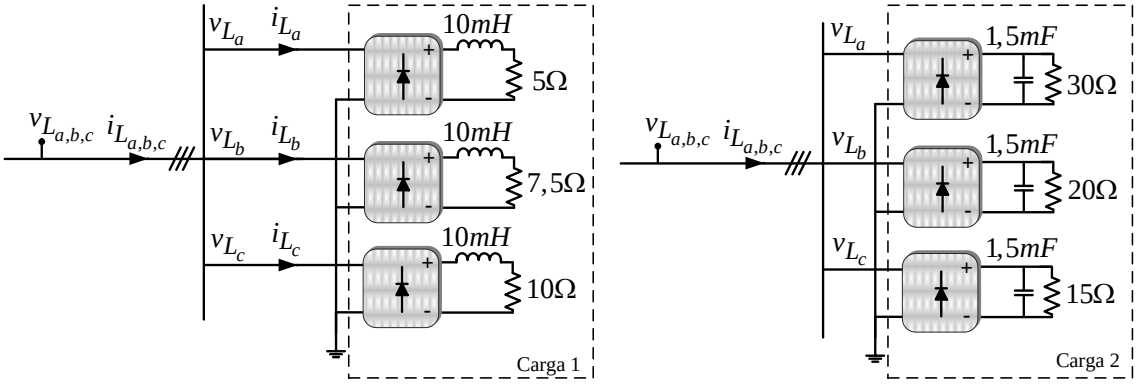


Figura 54 – Esquema elétrico dos conjuntos de cargas 1 e 2.

4.3.1 Resultados de Simulações – Topologia Composta por Dois Conversores F-L

Nesta seção serão apresentados os resultados de simulações do condicionador de energia composto por dois conversores VSI F-L (figura 55) operando como UPQC e como UPS *Line-Interactive*. Em ambos os casos, as simulações foram realizadas utilizando as duas cargas apresentadas na figura 54.

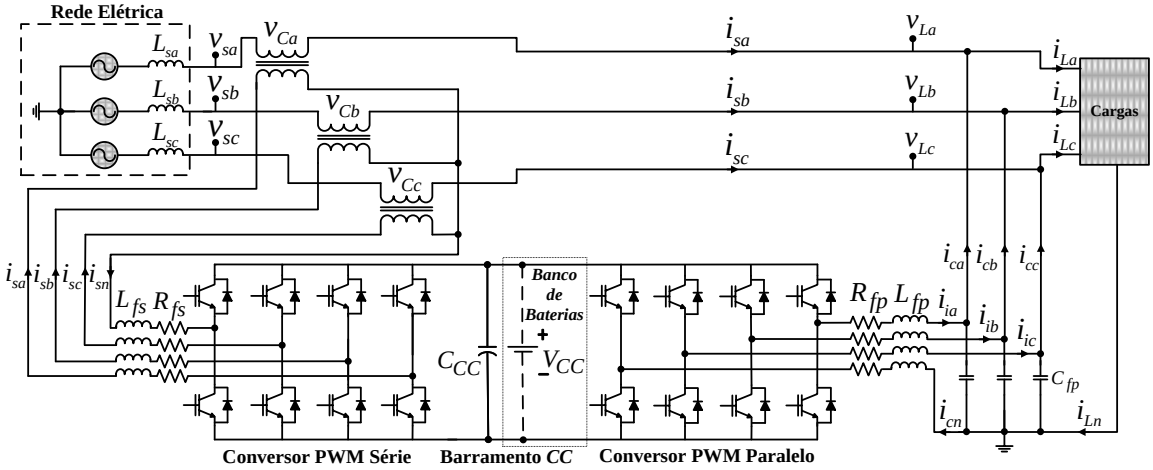


Figura 55 - Condicionador de energia composto por dois conversores VSI F-L.

O diagrama em blocos completo da malha de controle de tensão do conversor paralelo está representado na figura 56. O valor da tensão de referência v_{Ld}^* no referencial síncrono direto *d* é um valor constante e representa as tensões impostas pelo UPQC/UPS à carga, considerando o sistema de eixos trifásico estacionário *abc* (v_{La}, v_{Lb}, v_{Lc}). Como se deseja impor tensões senoidais e equilibradas, as tensões de referência v_{Lq}^* e v_{L0}^* são definidas como zero. As correntes dos capacitores de saída $i_{Cfp(d,q,0)}^*$ mostradas na figura 56, são estimadas considerando as derivadas das tensões medidas na carga, bem como as respectivas capacitâncias (C_{fp}).

O diagrama em blocos completo do controle de corrente do conversor série está exposto na figura 57. O algoritmo de compensação das correntes do conversor série é baseado no método *SRF*, o qual tem por objetivo fornecer a referência de corrente i_{sd}^* capaz de propiciar que o conversor série sintetize as correntes senoidais de entrada (i_{sa}, i_{sb}, i_{sc}). A corrente direta de referência i_{sd}^* representa as componentes de sequência positiva das correntes da carga. Adicionada a i_{sd}^* tem-se a corrente $i_{B_{CC}}$, a qual é utilizada para manter a tensão do barramento CC constante, compensando as perdas inerentes dos elementos de filtragem, bem como dos dispositivos semicondutores. Além disso, $i_{B_{CC}}$ tem a função de equilibrar o fluxo de potência no UPQC/UPS, em função das diferenças de amplitude entre as tensões de entrada (v_{sa}, v_{sb}, v_{sc}) e as respectivas tensões de saída (v_{La}, v_{Lb}, v_{Lc}). Nota-se que, devido ao fato do conversor série sintetizar correntes senoidais e equilibradas, as correntes de referência i_{sq}^* e i_{s0}^* são definidas como zero.

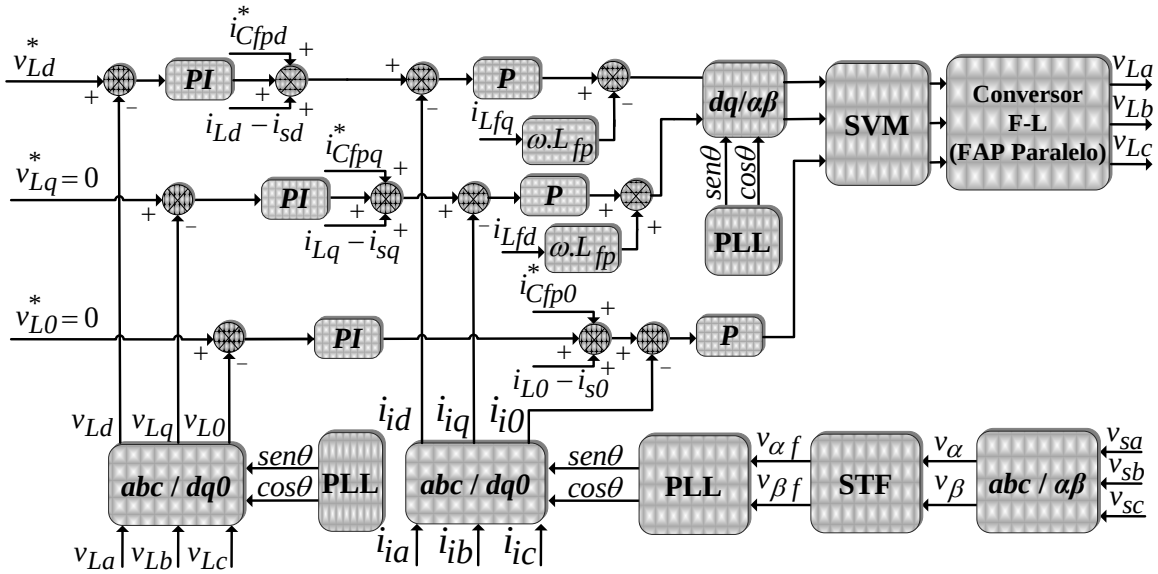


Figura 56 – Diagrama em blocos do controlador do conversor paralelo.

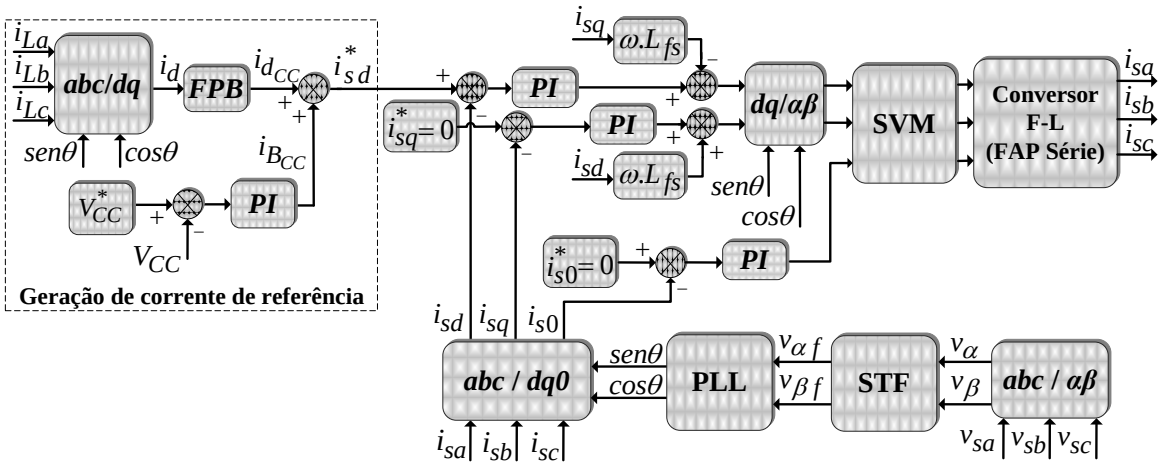


Figura 57 - Diagrama em blocos da geração da corrente de referência e controle do conversor série.

4.3.1.1 Resultados de simulações do sistema operando como UPQC

Os resultados de simulações apresentados nas figuras 58 a 61 são do UPQC alimentando a carga 1. As tensões da rede (v_{sa}, v_{sb}, v_{sc}) são mostradas na figura 58 (a). Já as tensões de saída (v_{La}, v_{Lb}, v_{Lc}) são mostradas na figura 58 (b).

As correntes de saída (i_{La}, i_{Lb}, i_{Lc}), são mostradas na figura 59 (a). Enquanto as correntes de entrada (i_{sa}, i_{sb}, i_{sc}) são mostradas na figura 59 (c). As figuras 59 (b) e (d) são as correntes de neutro do conversor paralelo i_{Cn} e do neutro da rede i_{sn}, respectivamente.

A diferença da tensão de saída em relação à tensão de entrada, ou seja, a tensão nos terminais do transformador série somente da fase "*a*" está presente na figura 60, juntamente com as tensões de entrada e saída desta mesma fase.

A corrente de compensação (i_{Ca}) composta pelas componentes harmônicas da corrente da carga, juntamente com a corrente da carga da fase "*a*" e a corrente de entrada da mesma fase estão apresentadas na figura 61.

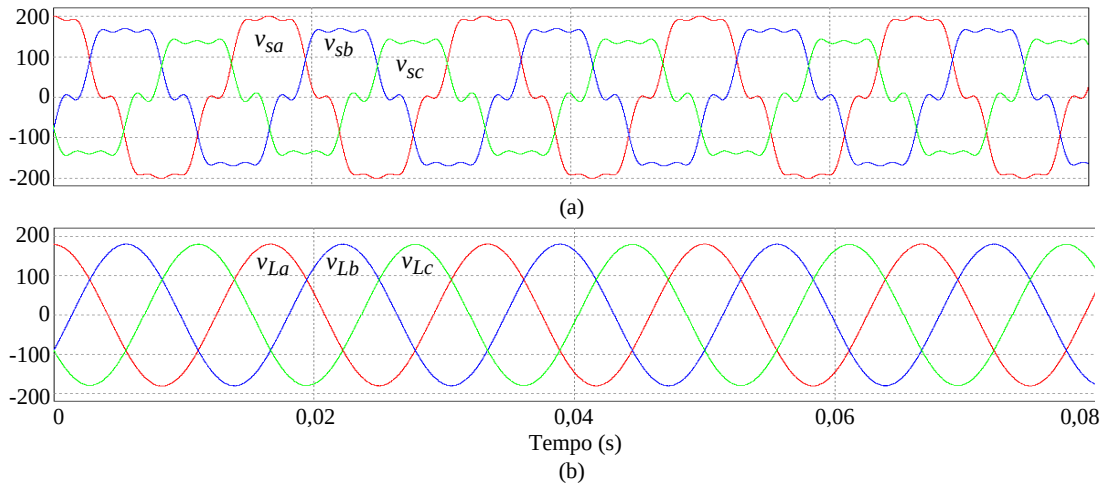


Figura 58 – Tensões do UPQC: (a) Tensões da rede elétrica (v_{sa}, v_{sb}, v_{sc}); Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

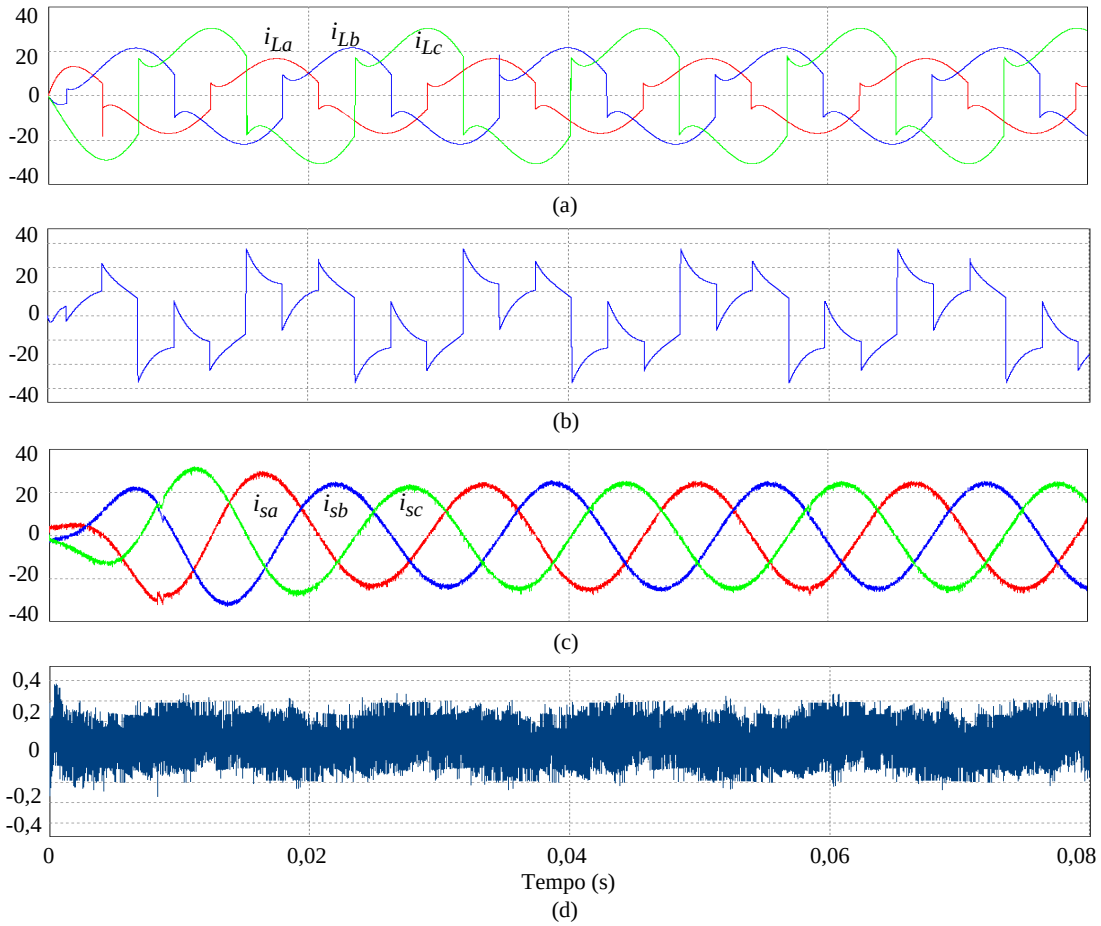


Figura 59 – Correntes no UPQC: (a) Correntes da carga (i_{La}, i_{Lb}, i_{Lc}); (b) Corrente de neutro do conversor paralelo (i_{Cn}); (c) Correntes na rede (i_{sa}, i_{sb}, i_{sc}); (d) Corrente de neutro do conversor série (i_{sn}).

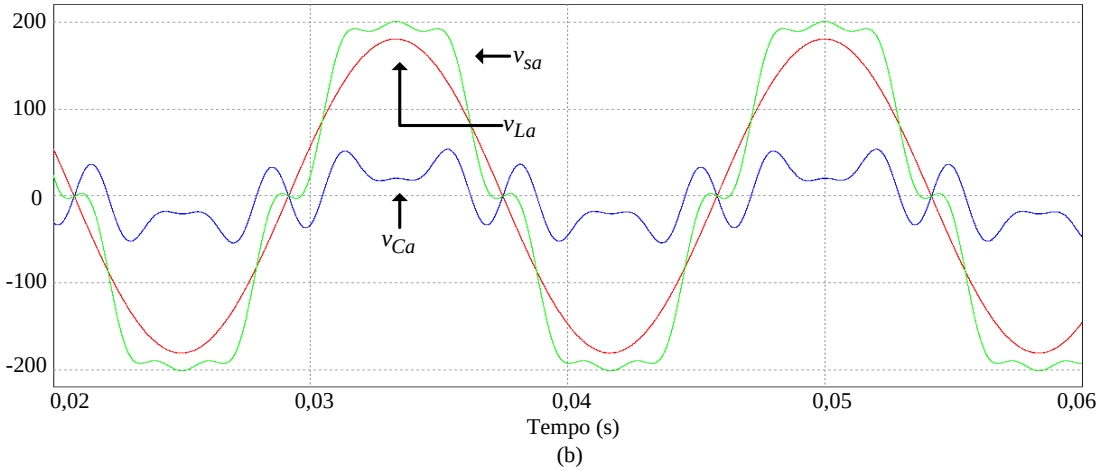


Figura 60 – Tensões do UPQC: Tensão da carga (v_{La}); Tensão da rede (v_{sa}); Tensão de compensação (v_{Ca}).

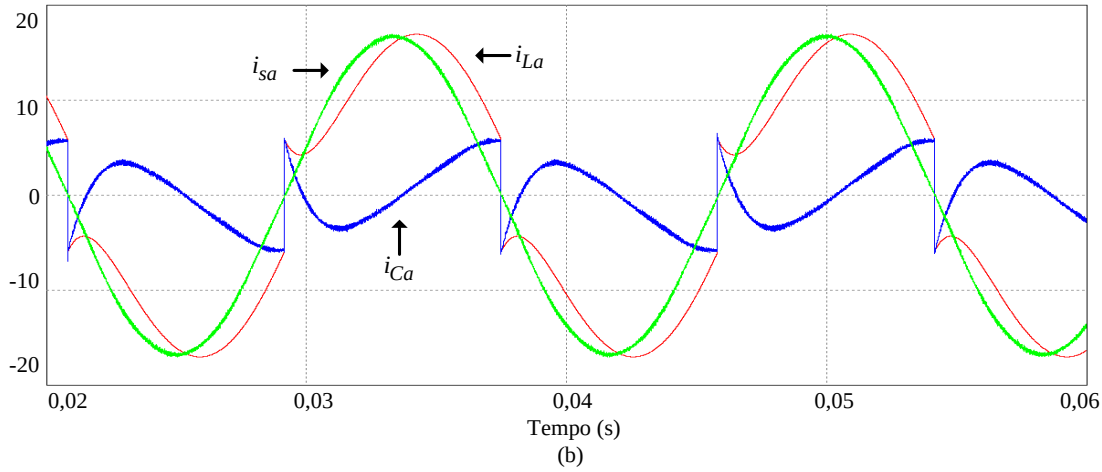


Figura 61 – Correntes do UPQC: Corrente da carga (i_{La}); Corrente da rede (i_{sa}); Corrente de compensação (i_{Ca}).

Os resultados de simulações apresentados nas figuras 62 a 64 são referentes ao UPQC alimentando a carga 2. A figura 62 apresenta tanto as correntes de carga (i_{La}, i_{Lb}, i_{Lc}), quanto as correntes de entrada já compensadas (i_{sa}, i_{sb}, i_{sc}), onde em 60ms ocorre um degrau de carga. Como pode ser notado, as correntes de entrada são senoidais e equilibradas. O comportamento da tensão do barramento CC (V_{CC}) durante o degrau de carga é apresentado na figura 63.

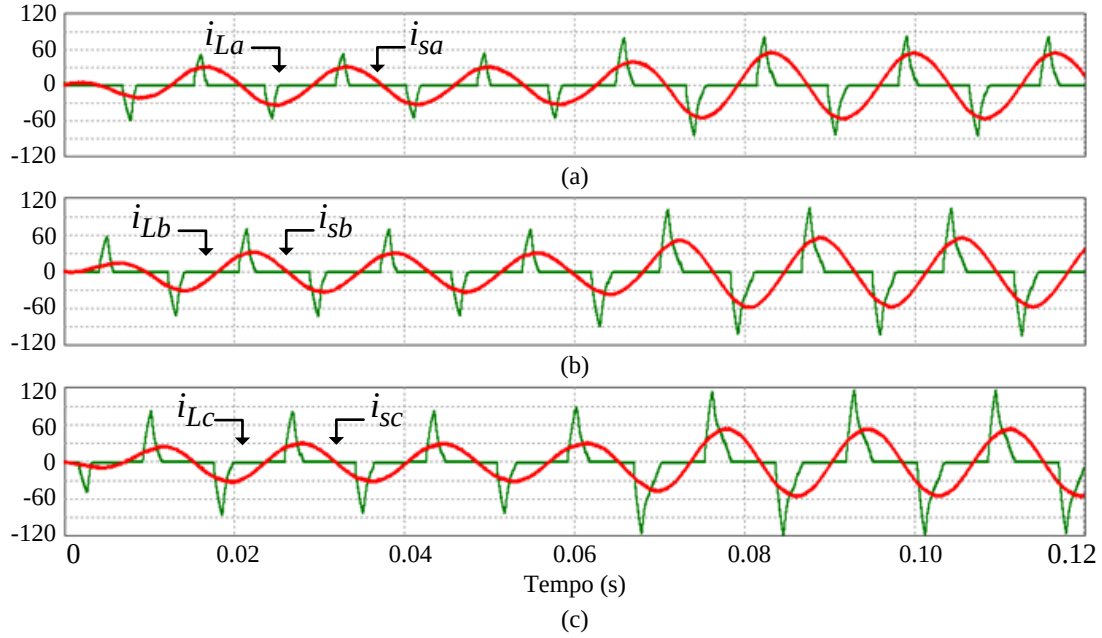


Figura 62 – Correntes do UPQC: (a) Correntes de entrada e saída da fase *a* (i_{sa} e i_{La}); (b) Correntes de entrada e saída da fase *b* (i_{sb} e i_{Lb}); (c) Correntes de entrada e saída da fase *c* (i_{sc} e i_{Lc}).

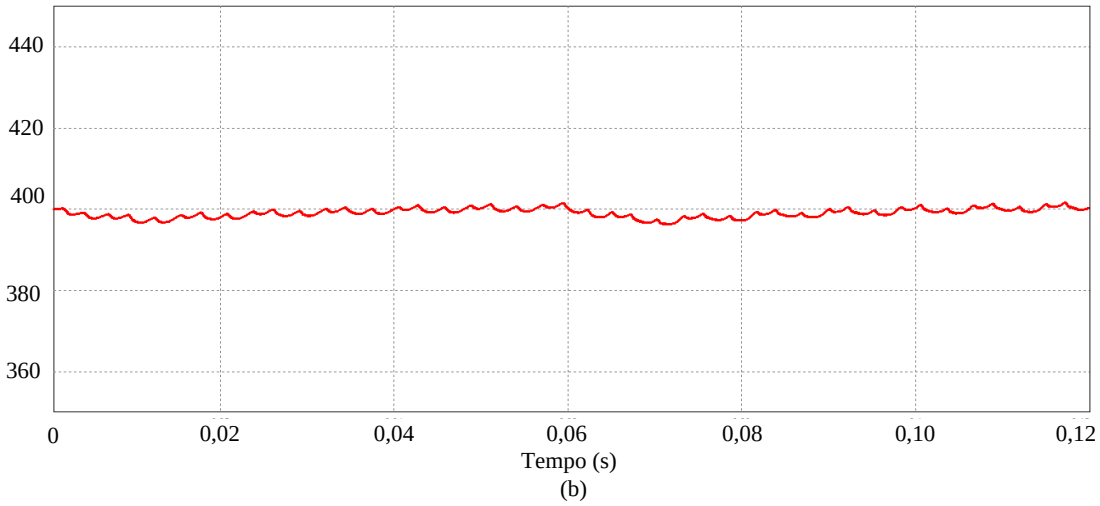


Figura 63 – Tensão do barramento (V_{CC}).

As compensações das tensões harmônicas da rede, bem como dos distúrbios de *sag* e *swell* estão mostradas na figura 64. Na figura 64 (a) a tensão da rede possui valor nominal até 104,16ms. Entre 104,16ms e 187,5ms ocorre o distúrbio de tensão *sag*. Já o distúrbio de tensão *swell* ocorre entre 295,83 e 404,16ms. Na figura 64 (b) são mostradas as tensões de saída.

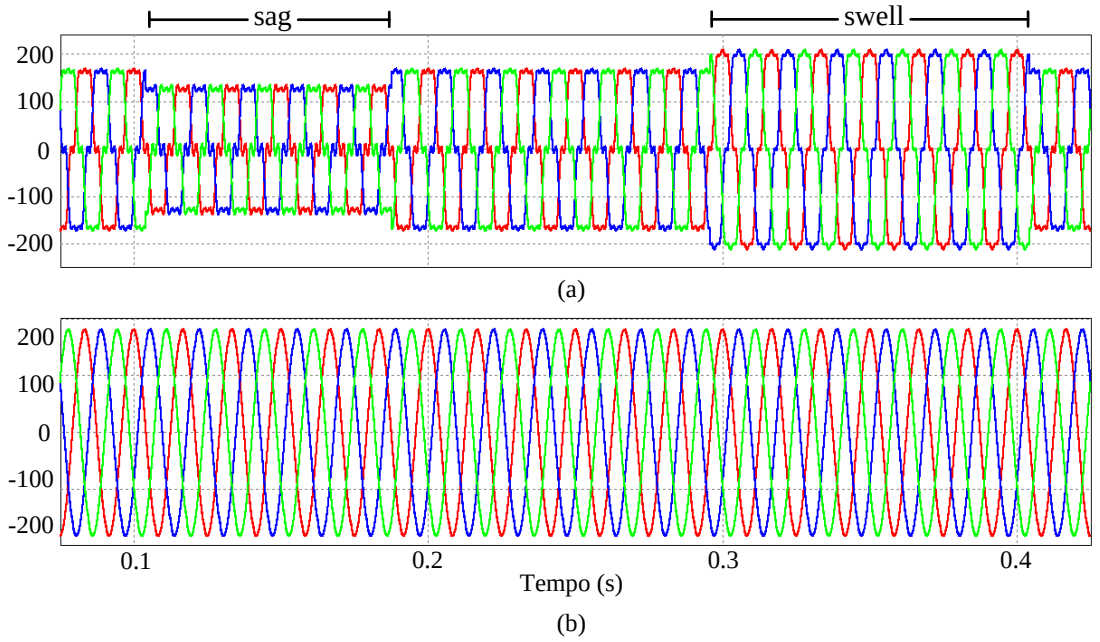


Figura 64 – Tensões do UPQC: (a) Tensões de entrada (v_{sa}, v_{sb}, v_{sc}); (b) Tensões de saída (v_{La}, v_{Lb}, v_{Lc}).

4.3.1.2 Resultados de simulações do sistema operando como UPS

O comportamento dinâmico das tensões de saída, durante a ocorrência de uma interrupção de energia elétrica em 60ms e o seu retorno em 100ms está mostrado na figura 65.

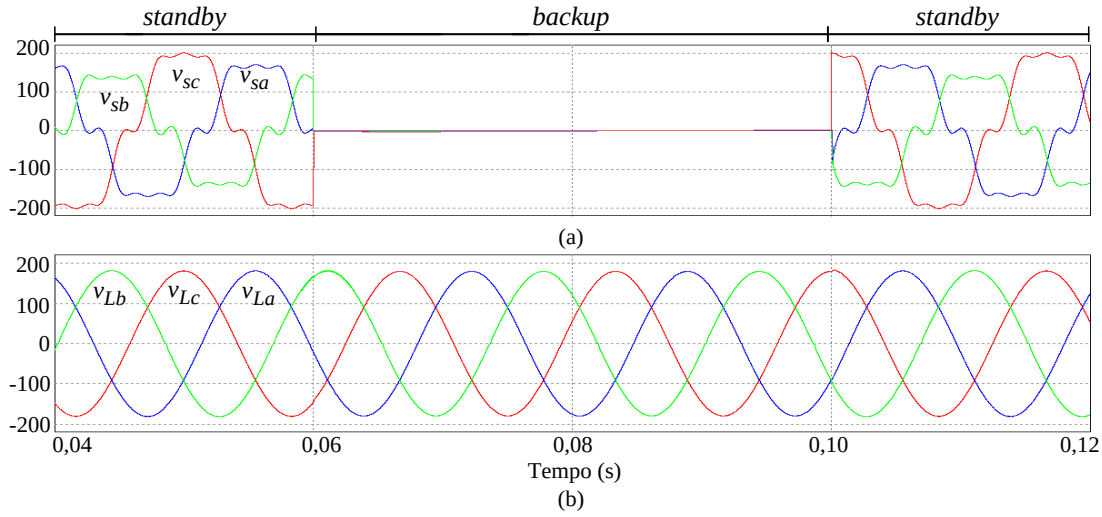


Figura 65 – Tensões na UPS: (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}); (b) Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

Pela figura 65 pode ser observado que praticamente não existe transitório na tensão de saída durante a interrupção e o retorno da rede elétrica. A ausência de transitório nas tensões de saída deve-se ao fato destas tensões serem continuamente controladas pelo conversor paralelo, como pode ser percebido pela alteração da forma de onda de corrente fornecida por este conversor, que durante a interrupção irá fornecer a corrente total drenada pela carga, conforme mostrado na figura 66.

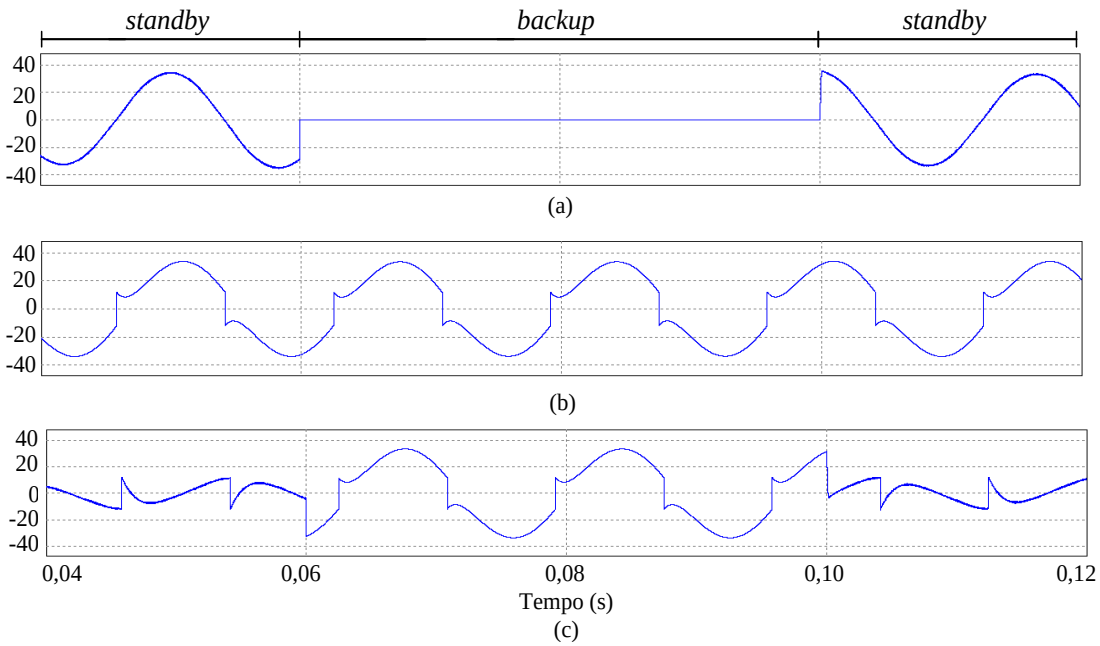


Figura 66 – Correntes da fase "a" do sistema UPS: (a) Corrente de entrada (i_{sa}); (b) Corrente da carga (i_{La}); (c) Corrente no conversor paralelo (i_{Ca}).

4.3.2 Resultados de Simulações – Topologia Composta por Um Conversor S-C e um F-L

Nesta seção serão apresentados os resultados de simulações do condicionador de energia formado pelo conversor S-C e um conversor F-L (figura 67) operando tanto como UPQC como UPS *Line-Interactive*. Em ambos os casos as simulações foram realizadas utilizando as duas cargas apresentadas na figura 54.

O diagrama em blocos completo da malha de controle de tensão está representado na figura 56, enquanto o diagrama em blocos completo do controle de corrente do conversor série está representando na figura 68.

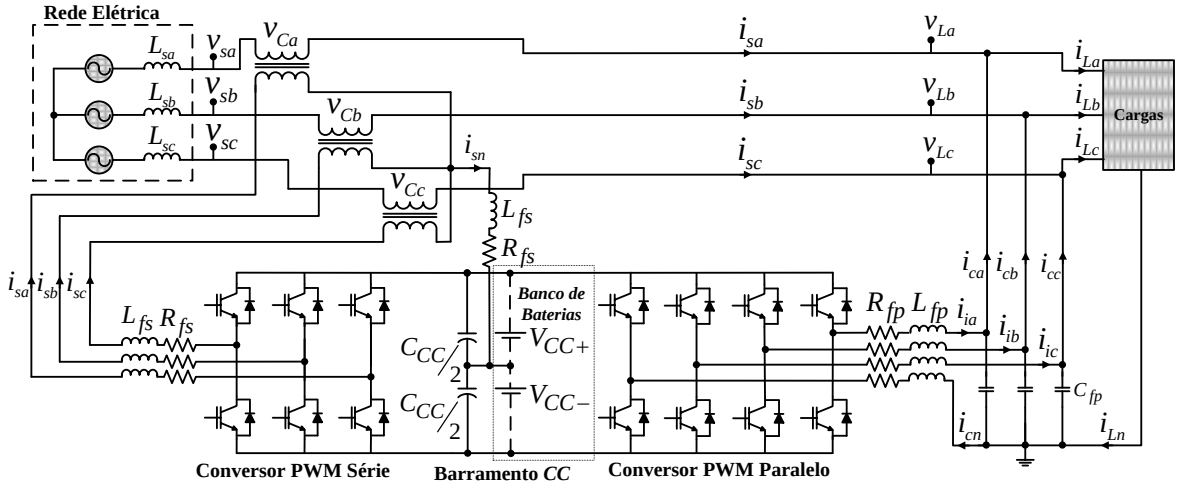


Figura 67 – Condicionador de energia composto pelos conversores S-C e F-L.

O algoritmo de compensação das correntes do conversor série o qual foi implementado utilizando o método *SRF,* tem por objetivo fornecer a corrente direta de referência i_{sd}^{*} capaz de propiciar que o conversor série sintetize as correntes senoidais de entrada (i_{sa}, i_{sb}, i_{sc}). A corrente i_{sd}^{*} representa as componentes de sequência positiva das correntes da carga. Adicionada a i_{sd}^{*} tem-se a corrente $i_{B_{CC}}$, a qual é utilizada para manter a tensão do barramento CC constante, compensando as perdas inerentes aos elementos de filtragem, bem como dos dispositivos semicondutores. Além disso, $i_{B_{CC}}$ tem a função de equilibrar o fluxo de potência no UPQC/UPS, em função das diferenças de amplitude entre as tensões de entrada (v_{sa}, v_{sb}, v_{sc}) e as respectivas tensões de saída (v_{La}, v_{Lb}, v_{Lc}). Nota-se que, devido ao fato do conversor série sintetizar correntes senoidais e equilibradas, a corrente de quadratura de referência i_{sq}^{*} é definida como zero. Devido a conexão no ponto central do barramento CC, existe a necessidade de compensar os desequilíbrios de tensão neste barramento, conforme discutido na seção 3.2.5.1. Neste caso, a corrente de referência do eixo zero i_{s0}^{*} é obtida na saída do compensador de desequilíbrio conforme pode ser observado na área em destaque do diagrama em blocos da figura 68.

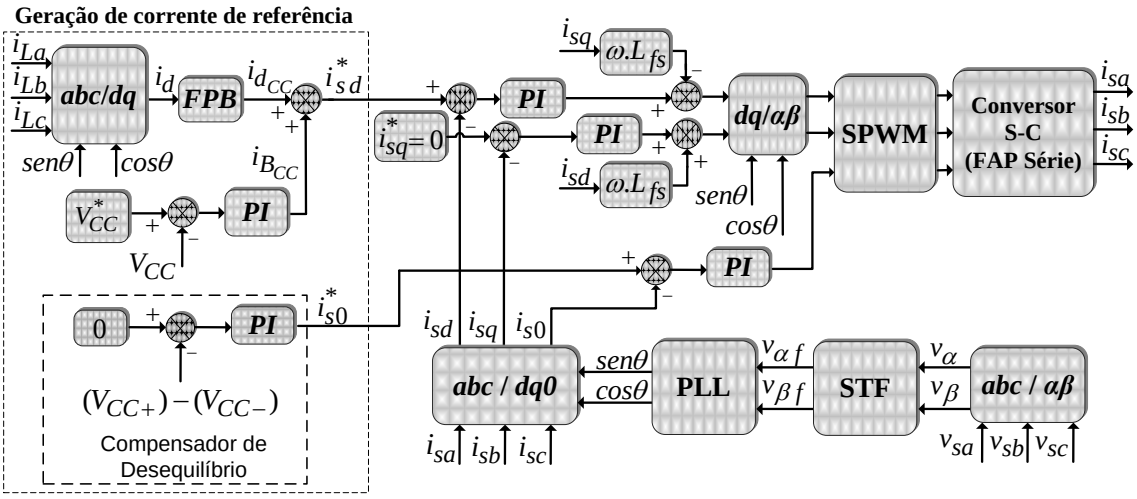


Figura 68 - Diagramas em blocos da geração da corrente de referência e controle do conversor série.

4.3.2.1 Resultados de simulações do sistema operando como UPQC

Os resultados de simulações apresentados nas figuras 69 e 70 são referentes ao UPQC alimentando a carga 1. As tensões da rede (v_{sa}, v_{sb}, v_{sc}) são mostradas na figura 69 (a). Já as tensões de saída (v_{La}, v_{Lb}, v_{Lc}) são mostradas na figura 69 (b).

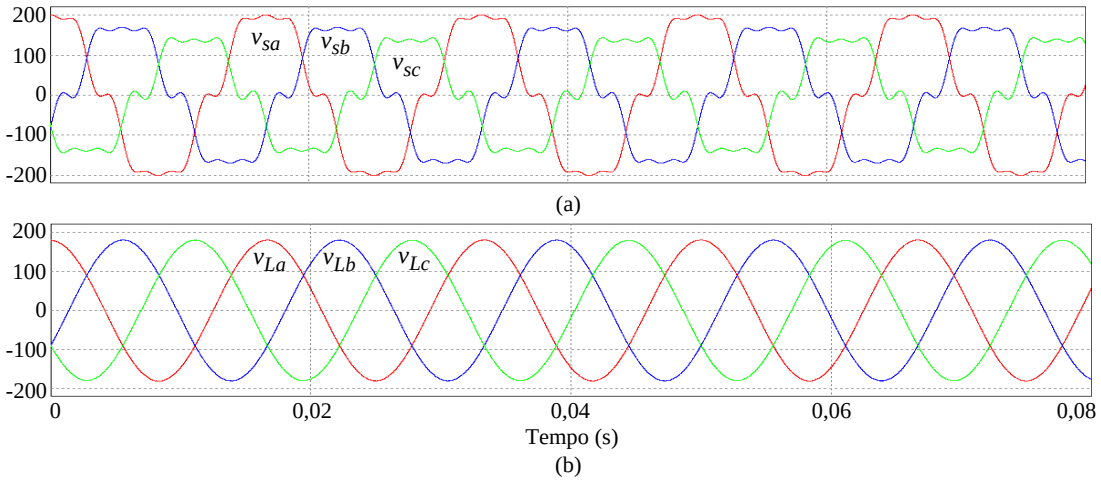


Figura 69 – Tensões do UPQC: (a) Tensões da rede elétrica (v_{sa}, v_{sb}, v_{sc}); (b) Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

As correntes de saída (i_{La}, i_{Lb}, i_{Lc}), são expostas na figura 70 (a). Já as correntes de entrada (i_{sa}, i_{sb}, i_{sc}) são mostradas na figura 70 (c), enquanto nas

figuras 70 (b) e (d) são apresentadas as correntes de neutro do conversor paralelo e do conversor série, respectivamente.

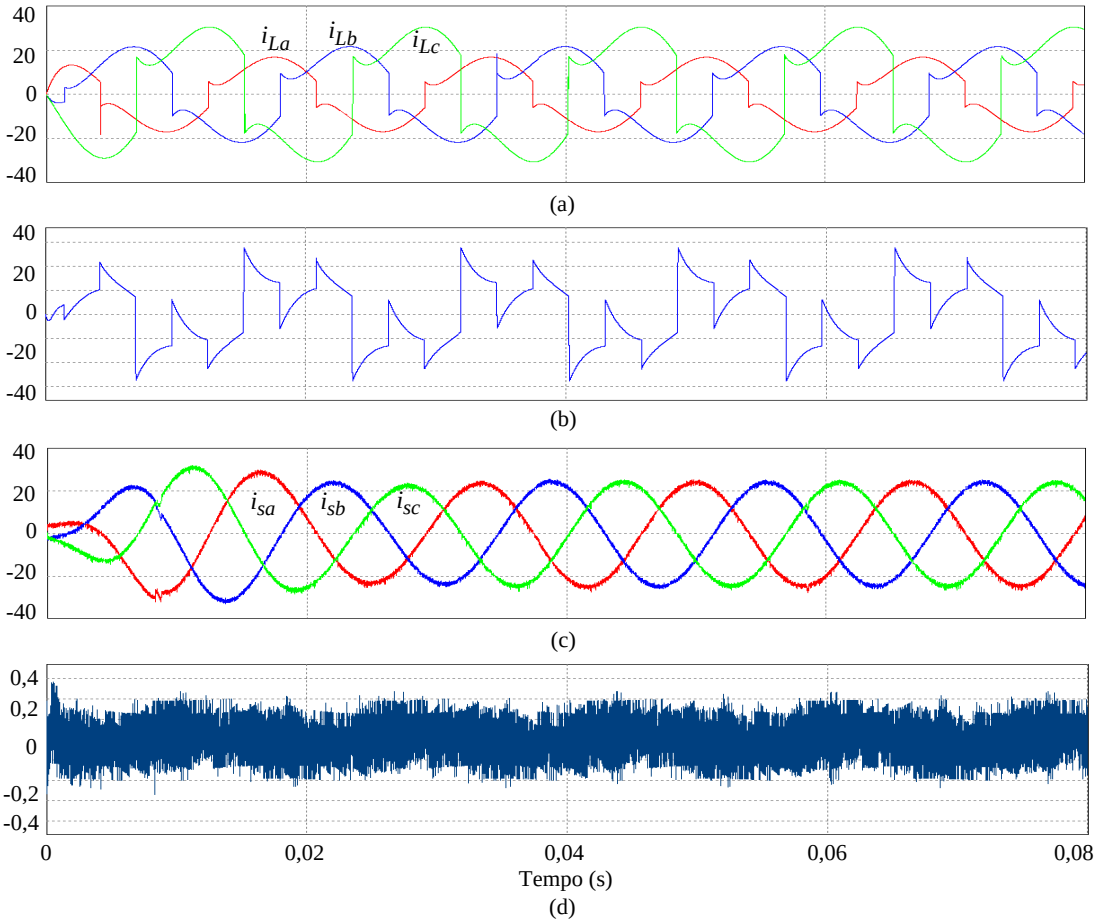


Figura 70 – Correntes no UPQC: (a) Correntes da carga (i_{La}, i_{Lb}, i_{Lc}); (b) Corrente de neutro do conversor paralelo (i_{Cn}); (c) Correntes na rede (i_{sa}, i_{sb}, i_{sc}); (d) Corrente de neutro do conversor série (i_{sn}).

Os resultados de simulações apresentados nas figuras 71 a 74 são referentes ao UPQC alimentando a carga 2. A figura 71 apresenta tanto as correntes de carga (i_{La}, i_{Lb}, i_{Lc}), quanto as correntes de entrada já compensadas (i_{sa}, i_{sb}, i_{sc}), onde em 60ms ocorre um degrau de carga. Como pode ser notado, as correntes de entrada são senoidais e equilibradas. O comportamento estático da tensão do barramento CC (V_{CC}) durante o degrau de carga é apresentado na figura 72.

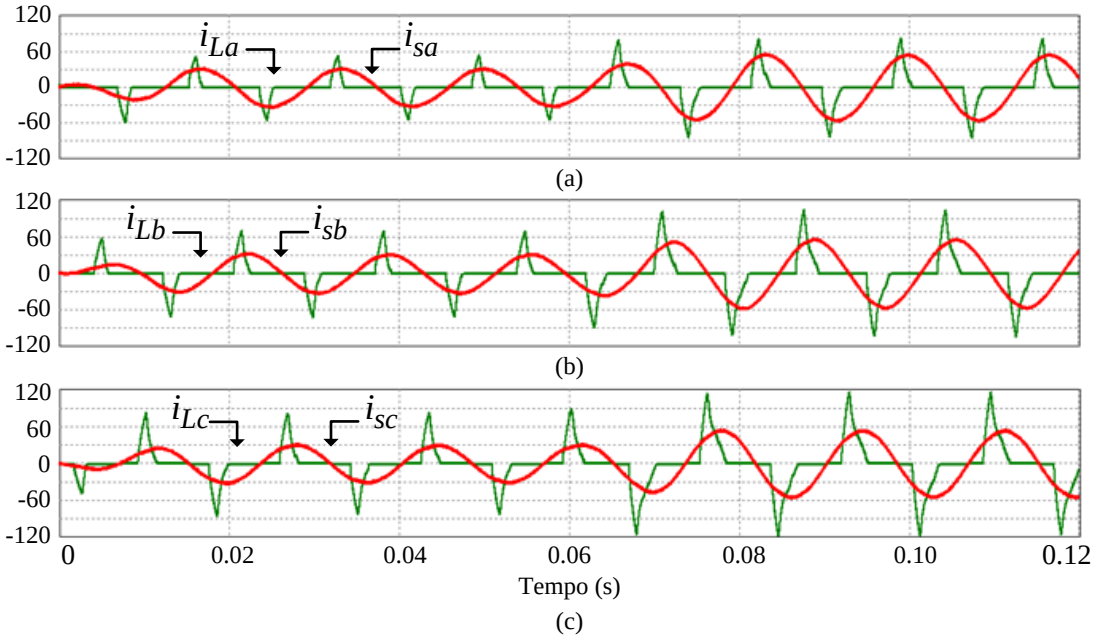


Figura 71 – Correntes do UPQC: (a) Correntes de entrada e saída da fase *a* (i_{sa} e i_{La}); (b) Correntes de entrada e saída da fase *b* (i_{sb} e i_{Lb}); (c) Correntes de entrada e saída da fase *c* (i_{sc} e i_{Lc}).

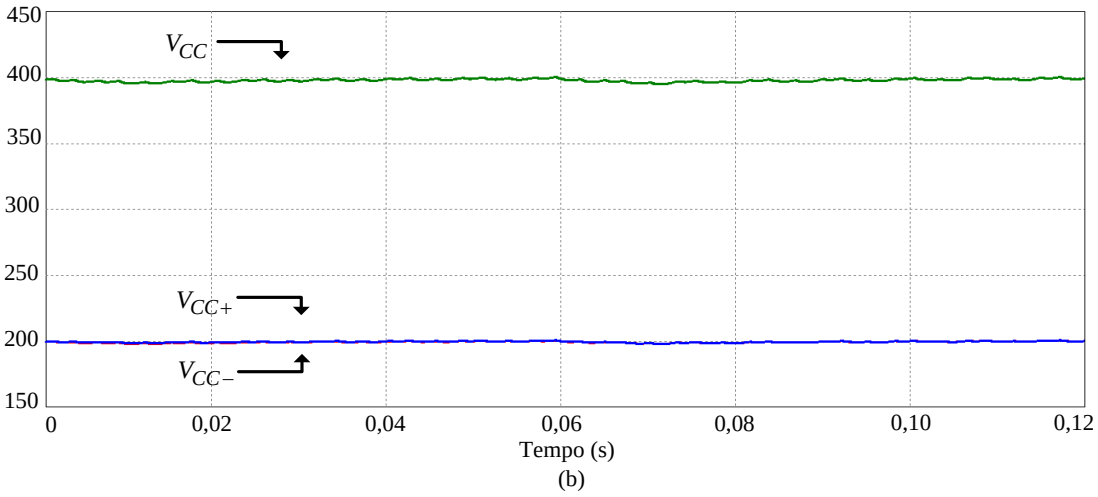


Figura 72 – Tensão total do barramento CC (V_{CC}) e em ambos os capacitores do barramento CC (V_{CC+}) e (V_{CC-}).

O comportamento dinâmico do controlador de desequilíbrio de tensão do barramento CC pode ser visto na figura 73, onde o controlador de desequilíbrio é habilitado após 100ms. Percebe-se inicialmente que as tensões V_{cc+} e V_{cc-} não estavam equilibradas e após a habilitação do controlador de desequilíbrio a diferença de tensão entre elas foi anulada.

As compensações das tensões harmônicas da rede, bem como dos distúrbios de *sag* e *swell* estão mostradas na figura 74. Na figura 74 (a) a tensão da rede possui seu valor nominal até 104,16ms. Entre 104,16ms e 187,5ms ocorre o distúrbio de tensão *sag*. Já o distúrbio de tensão *swell* ocorre entre 295,83 e 404,16ms. A figura 74 (b) mostra as tensões de saída.

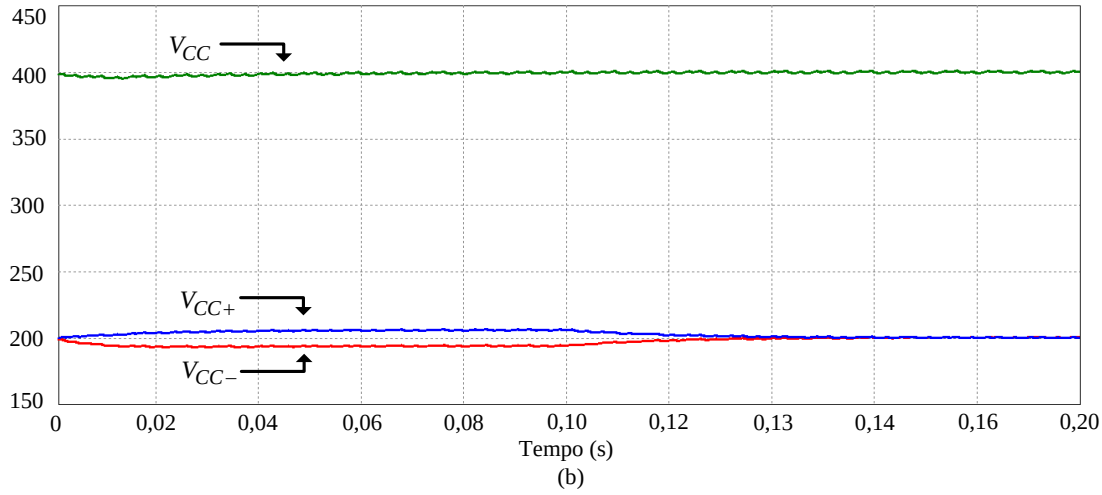


Figura 73 – Tensão total do barramento CC (V_{CC}) e em ambos os capacitores do barramento CC (V_{CC+}) e (V_{CC-}).

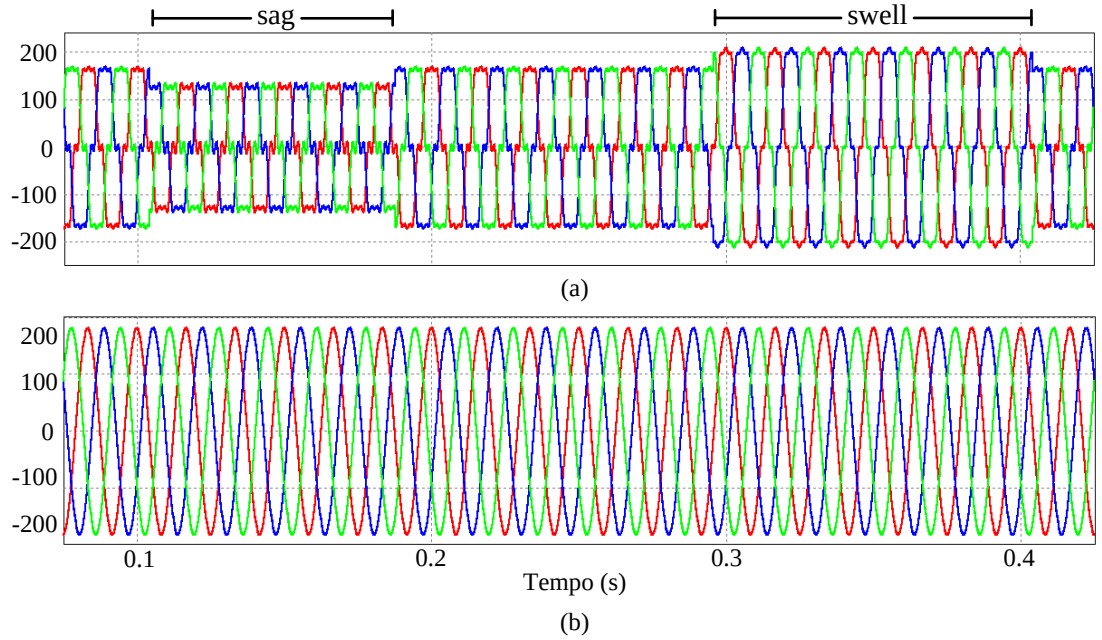


Figura 74 – Tensões do UPQC: (a) Tensões de entrada (v_{sa}, v_{sb}, v_{sc}); (b) Tensões de saída (v_{La}, v_{Lb}, v_{Lc}).

4.3.2.2 Resultados de simulações do condicionador de energia operando como UPS

O comportamento dinâmico das tensões de saída, durante a ocorrência de uma interrupção de energia elétrica em 60ms e o seu retorno em 100ms está presente na figura 75.

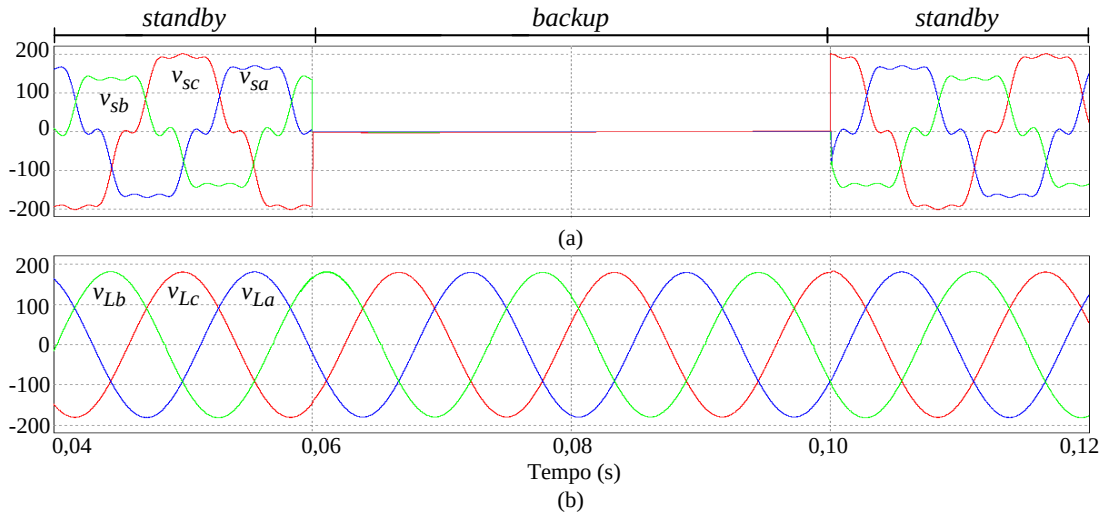


Figura 75 – Tensões na UPS: (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}); (b) Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

Pela figura 75 pode ser observado que praticamente não existe transitório algum na tensão de saída durante a interrupção e o retorno da rede elétrica. A ausência de transitório nas tensões de saída deve-se ao fato destas tensões serem continuamente controladas pelo conversor paralelo, como pode ser percebido somente pela alteração da forma de onda de corrente fornecida por este conversor que durante a interrupção o qual irá fornecer a corrente total drenada pela carga, conforme mostrado na figura 76.

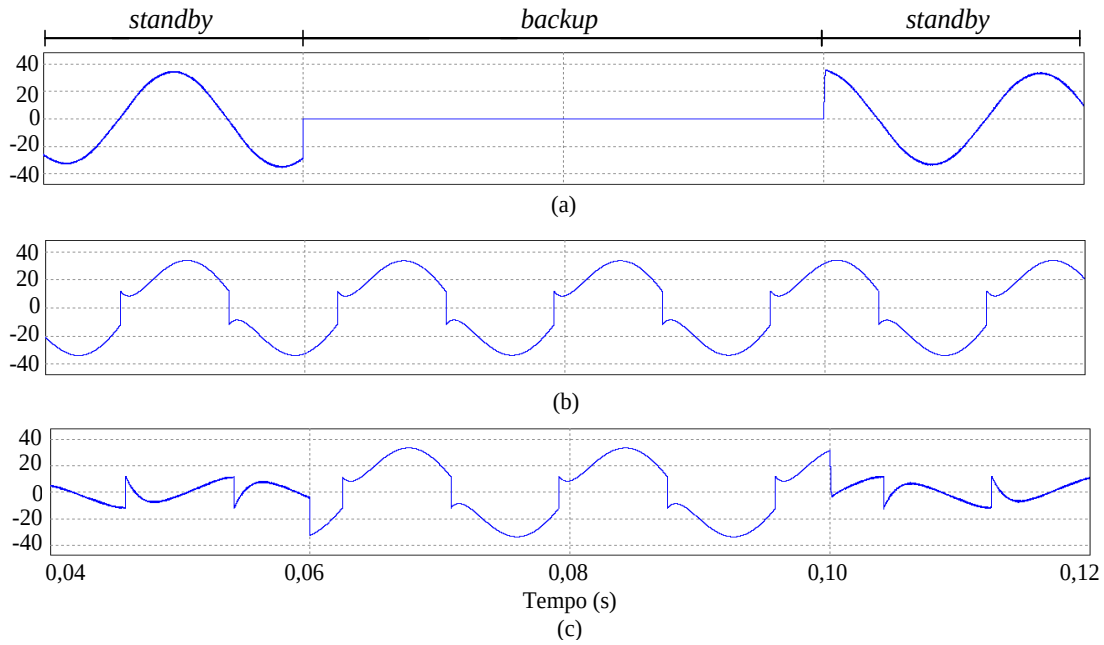


Figura 76 – Correntes da UPS: (a) Corrente de entrada (i_{sa}); (b) Corrente da carga (i_{La}); (c) Corrente no conversor paralelo (i_{Ca}).

4.3.3 Resultados de Simulações – Topologia Composta por Um Conversor T-L e um F-L

Nesta seção serão apresentados os resultados de simulações do condicionador de energia formado pelos conversores T-L e F-L (figura 77) operando como UPQC e como UPS *Line-Interactive*. Em ambos os casos simulações foram realizadas utilizando as duas cargas apresentadas na figura 54.

O diagrama em blocos completo da malha de controle de tensão do conversor paralelo está representado na figura 56 enquanto o diagrama em blocos completo do controle de corrente do conversor série está representando na figura 78.

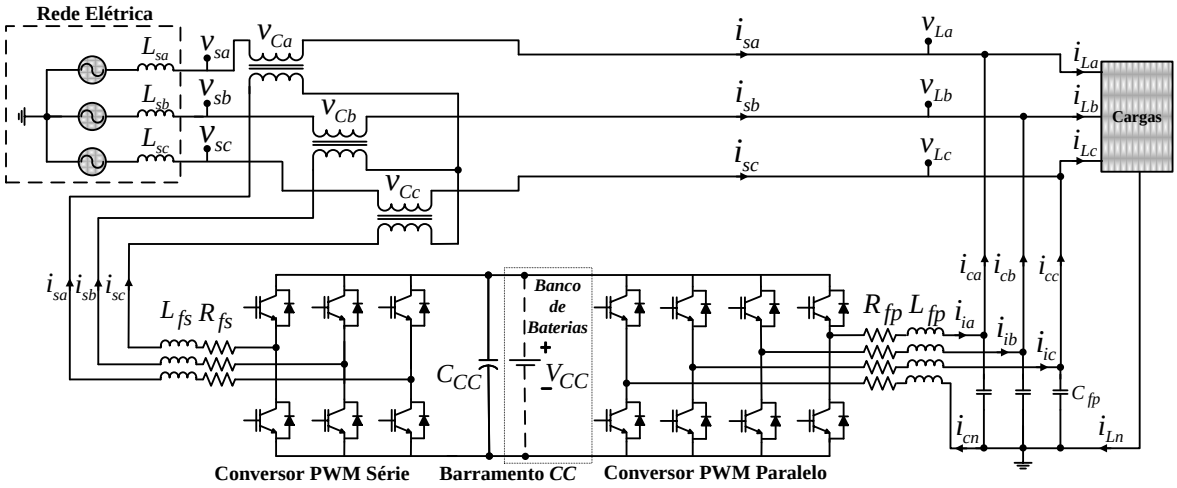


Figura 77 – Condicionador de energia composto pelos conversores T-L e F-L.

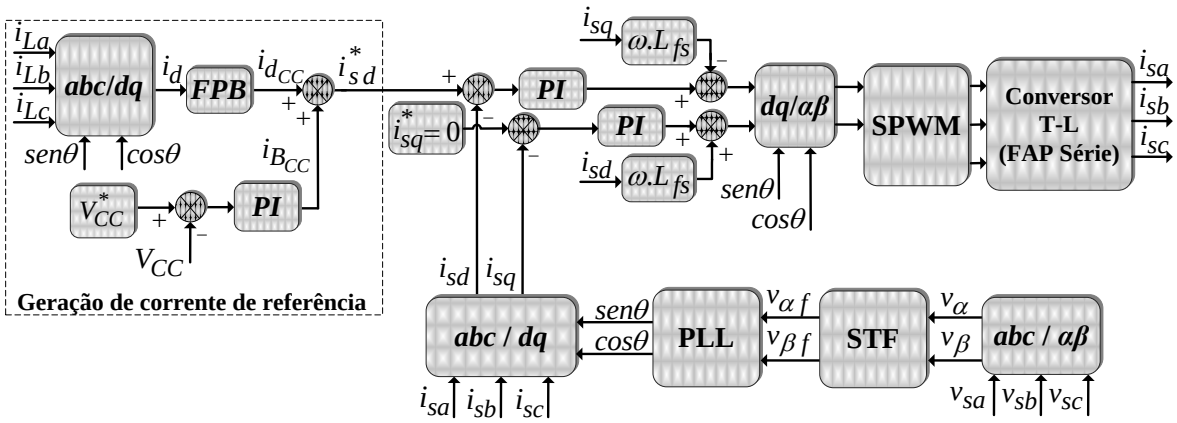


Figura 78 - Diagramas em blocos da geração da corrente de referência e controle do conversor série.

4.3.3.1 Resultados de simulações do sistema operando como UPQC

Os resultados de simulações apresentados nas figuras 79 e 80 são do UPQC alimentando a carga 1. As tensões da rede (v_{sa}, v_{sb}, v_{sc}) são mostradas na figura 79 (a). Já as tensões de saída (v_{La}, v_{Lb}, v_{Lc}) são mostradas na figura 79 (b).

As correntes de saída (i_{La}, i_{Lb}, i_{Lc}), estão presentes na figura 80 (a) enquanto as correntes de entrada (i_{sa}, i_{sb}, i_{sc}) são mostradas na figura 80 (c). As figuras 80 (b) e (d) apresentam as correntes de neutro do conversor paralelo e do conversor série, respectivamente.

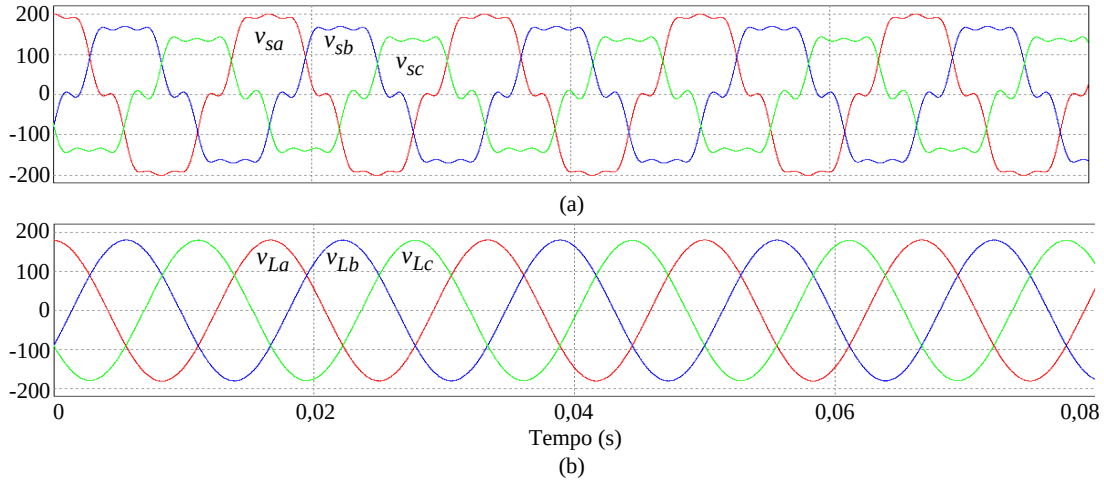


Figura 79 – Tensões do UPQC: (a) Tensões da rede elétrica (v_{sa}, v_{sb}, v_{sc}); Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

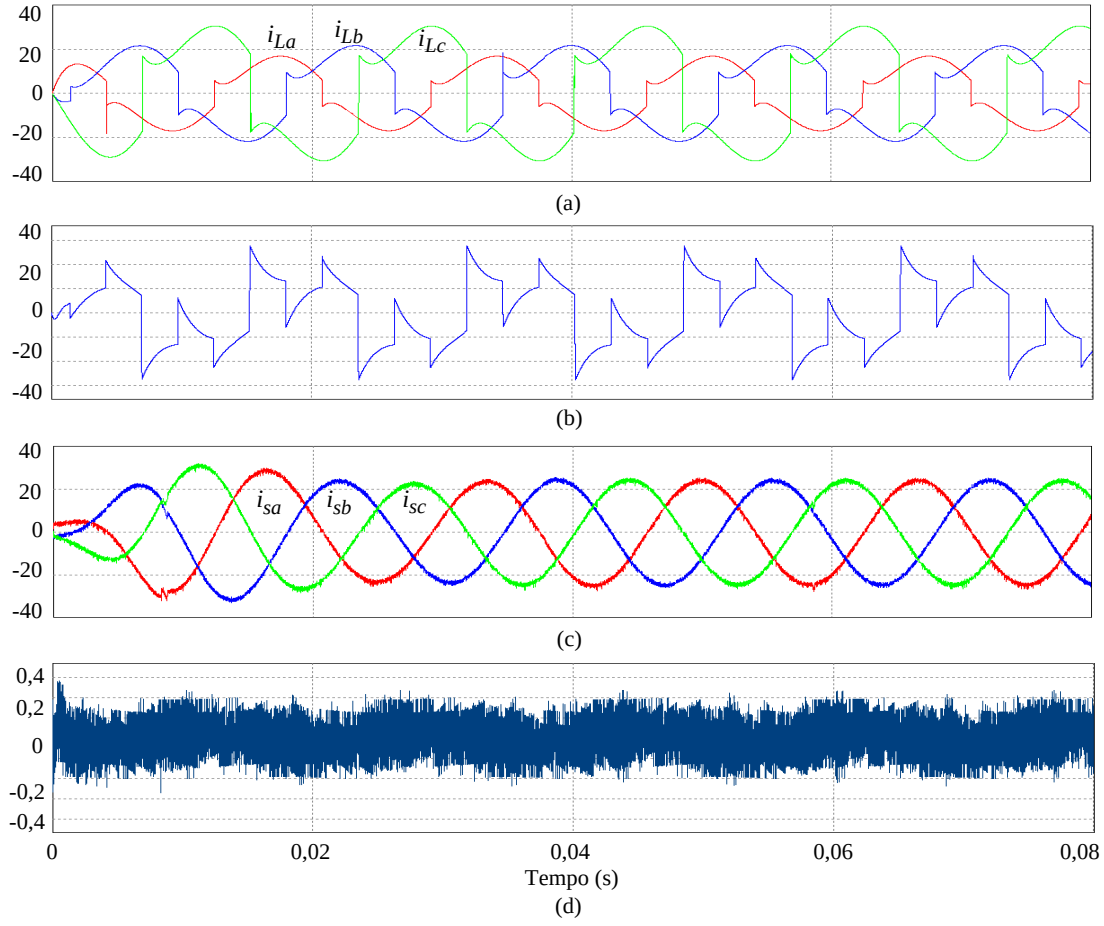


Figura 80 – Correntes no UPQC: (a) Correntes da carga (i_{La}, i_{Lb}, i_{Lc}); (b) Corrente de neutro do conversor paralelo (i_{Cn}); (c) Correntes na rede (i_{sa}, i_{sb}, i_{sc}); (d) Corrente de neutro do conversor série (i_{sn}).

Os resultados de simulações apresentados nas figuras 81 a 82 são referentes ao UPQC alimentando a carga 2. A figura 81 apresenta tanto as correntes de carga (i_{La}, i_{Lb}, i_{Lc}), quanto as correntes de entrada já compensadas (i_{sa}, i_{sb}, i_{sc}), onde em 60ms ocorre um degrau de carga. Como pode ser notado, as correntes de entrada são senoidais e equilibradas. O comportamento da tensão do barramento CC (V_{CC}), durante o degrau de carga, é apresentado na figura 82.

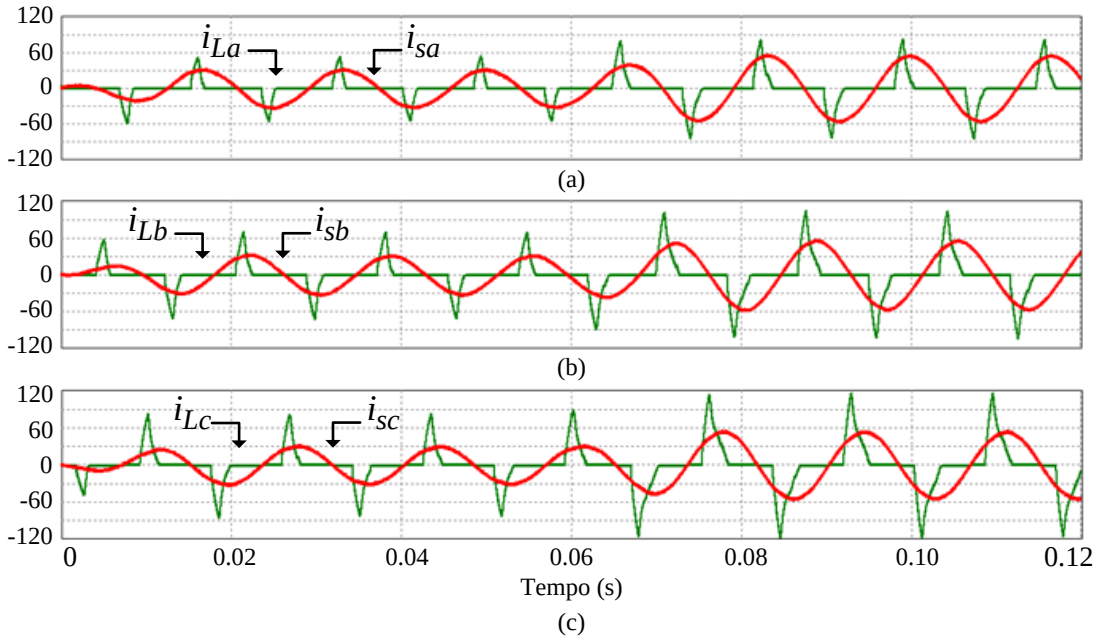


Figura 81 – Correntes do UPQC: (a) Correntes de entrada e saída da fase *a* (i_{sa} e i_{La}); (b) Correntes de entrada e saída da fase *b* (i_{sb} e i_{Lb}); (c) Correntes de entrada e saída da fase *c* (i_{sc} e i_{Lc}).

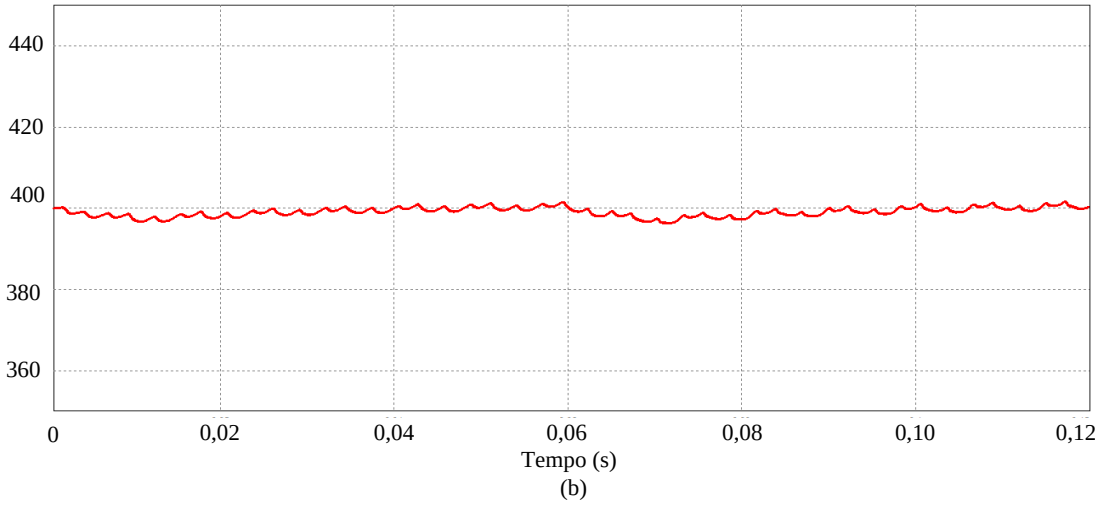


Figura 82 – Tensão do barramento (V_{CC}).

As compensações das tensões harmônicas da rede, bem como dos distúrbios de *sag* e *swell* são mostradas na figura 83. Na figura 83 (a) a tensão da rede possui seu valor nominal até 104,16ms. Entre 104,16ms e 187,5ms ocorre o distúrbio de tensão *sag*. Já o distúrbio de tensão *swell* ocorre entre 295,83 e 404,16ms. A figura 83 (b) mostra as tensões senoidais, equilibradas e reguladas de saída.

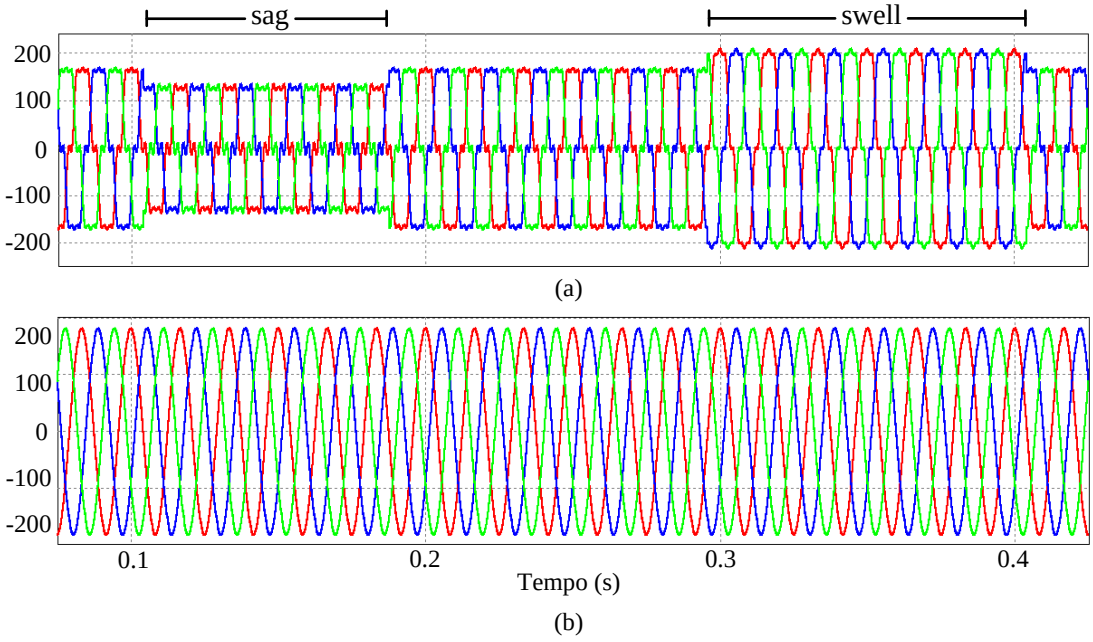


Figura 83 – Tensões do UPQC: (a) Tensões de entrada (v_{sa}, v_{sb}, v_{sc}); (b) Tensões de saída (v_{La}, v_{Lb}, v_{Lc}).

4.3.3.2 Resultados de simulações do sistema operando como UPS

O comportamento dinâmico das tensões de saída, durante a ocorrência de uma interrupção de energia elétrica em 60ms e o seu retorno em 100ms está presente na figura 84.

Pela figura 84 pode ser observado que praticamente não existe transitório na tensão de saída durante a interrupção e o retorno da rede elétrica. A ausência de transitório nas tensões de saída deve-se ao fato destas tensões serem continuamente controladas pelo conversor paralelo, como pode ser percebido somente pela alteração da forma de onda de corrente fornecida por este conversor

que durante a interrupção irá fornecer a corrente total drenada pela carga, conforme mostrado na figura 85.

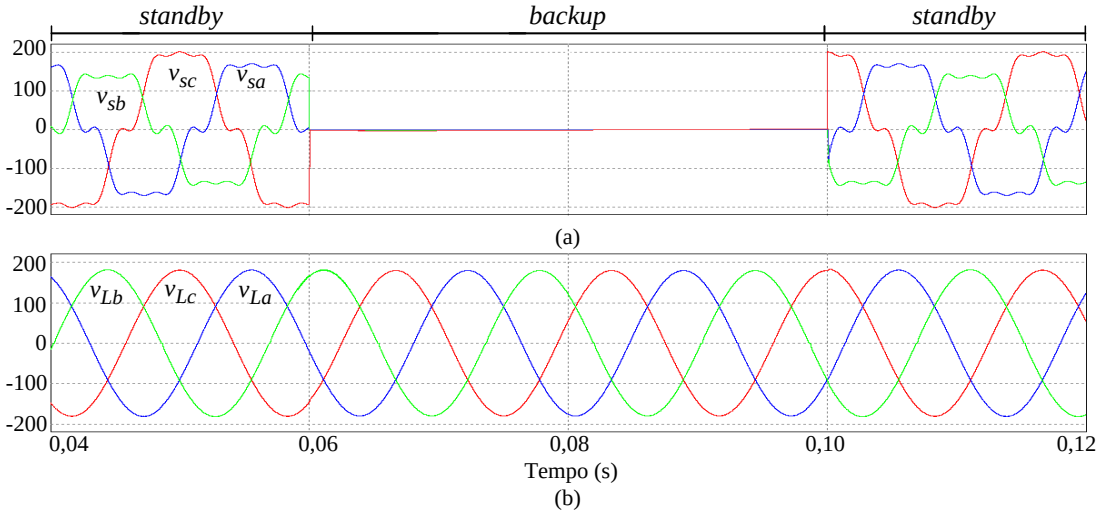


Figura 84 – Tensões na UPS: (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}); (b) Tensões na carga (v_{La}, v_{Lb}, v_{Lc}).

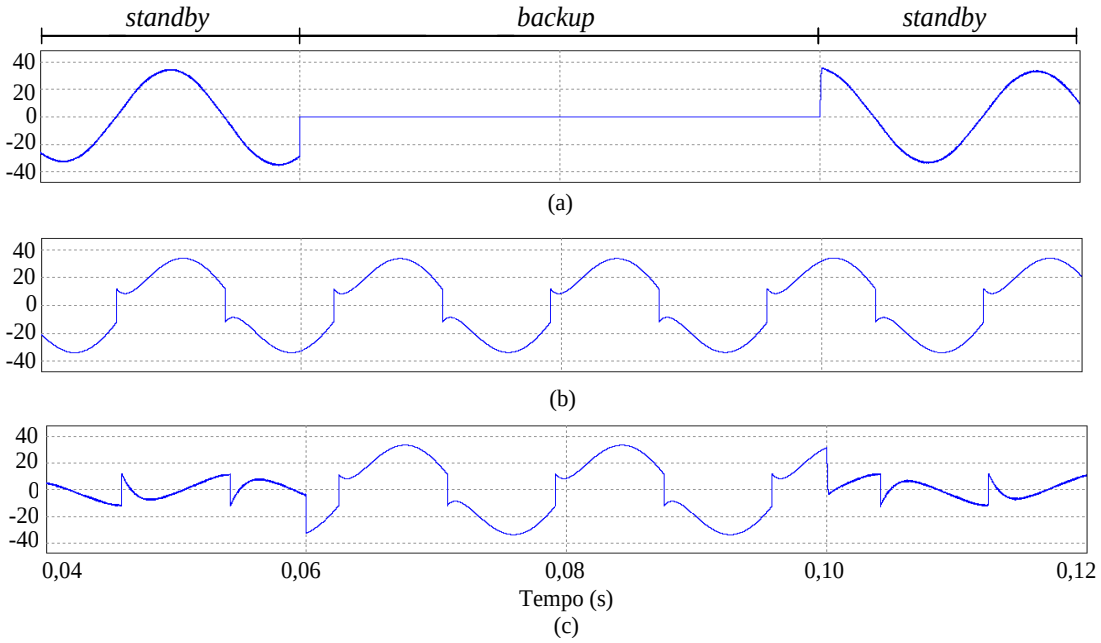


Figura 85 – Correntes da UPS: (a) Corrente de entrada (i_{sa}); (b) Corrente da carga (i_{La}); (c) Corrente no conversor paralelo (i_{Ca}).

4.4 Conclusões

Neste capítulo foi apresentada a metodologia utilizada para o projeto dos controladores de tensão e corrente, juntamente com os projetos dos controladores PI implementados no referencial síncrono para os conversores série T-L, S-C e F-L operando como fonte de corrente e para o conversor paralelo F-L operando como fonte de tensão. Para o conversor paralelo foram projetados um controlador PI para a malha externa de tensão referencial síncrono $dq0$ e um controlador proporcional na malha interna de corrente também no mesmo referencial. Além disso, foi apresentado o projeto do controlador da tensão total do barramento CC, bem como o controlador de desequilíbrio de tensão do mesmo barramento CC no caso da topologia de UPS/UPQC composta pelos conversores S-C e F-L.

Foram apresentadas simulações computacionais das topologias de condicionadores de energia UPQC/UPS apresentados no terceiro capítulo, juntamente com todos os algoritmos de geração das referências e controle, bem como os algoritmos responsáveis em calcular as razões cíclicas da modulação SVM utilizada no inversor de tensão F-L. Pelas análises dos resultados observou-se um desempenho muito semelhante das topologias de UPQC/UPS apresentadas.

O comportamento dinâmico do controlador de tensão do barramento CC projetado para as topologias de UPQC/UPS pôde ser verificado com as simulações apresentadas, onde os condicionadores foram submetidos a variações de carga, elevações de tensão e afundamento de tensão. Além disso, na topologia composta de um conversor S-C e um conversor F-L foi implementado um controlador para compensar os desequilíbrios de tensão do barramento CC, onde pôde ser observada a capacidade da estratégia adotada e do controlador projetado em compensar o desequilíbrio de tensão do barramento CC.

As simulações das topologias UPS durante uma interrupção no fornecimento de energia elétrica, bem como no retorno deste fornecimento, puderam avaliar o comportamento dinâmico das tensões de saída, onde ficou evidente a inexistência de transitórios nas tensões de saída nos momentos de transição entre os modos de operação *standby-backup* e *backup-standby*.

Portanto, baseado nos resultados obtidos com as simulações fica comprovada a eficácia das topologias de UPQC/UPS em compensar as tensões da rede, bem como as correntes da carga. Além disso, comprovou-se o adequado funcionamento dos algoritmos propostos para a geração das referências e controle dos condicionadores de energia UPQC/UPS, bem como do desempenho dos controladores projetados.

Capítulo 5

Resultados Experimentais

Este capítulo apresenta os resultados experimentais referentes às três topologias de condicionadores ativos de energia implementados neste trabalho, onde cada uma delas desempenha as funções de UPQC e UPS totalizando seis topologias distintas em teste.

As formas de onda das tensões e correntes apresentadas neste capítulo foram coletadas utilizando um osciloscópio digital Tektronix 2024. Já outros dados relacionados com a qualidade de energia, tais como, espectros harmônicos, taxas de distorção harmônicas, fatores de potência e de deslocamento, dentre outros, foram medidos por meio do medidor de qualidade de energia elétrica Fluke 43B.

Inicialmente é apresentada a descrição do protótipo experimental implementado para a validação das topologias estudadas, bem como dos algoritmos de controle e seus controladores para a operação dos condicionadores ativos de potência em modo dual.

5.1 Descrição Do Protótipo

A descrição do protótipo pode ser dividida em circuito de potência e circuito de controle. O circuito de controle é composto pelos dois processadores digitais de sinais (DSP) onde foram implementados os algoritmos de geração de referências, controle dos conversores, circuitos de sincronismo PLL, modulações e proteções. Além disso, o circuito de controle também é composto pelas placas de condicionamento de sinais e filtros *anti-aliasing*. O diagrama em blocos que representa o protótipo implementado é mostrado na figura 86.

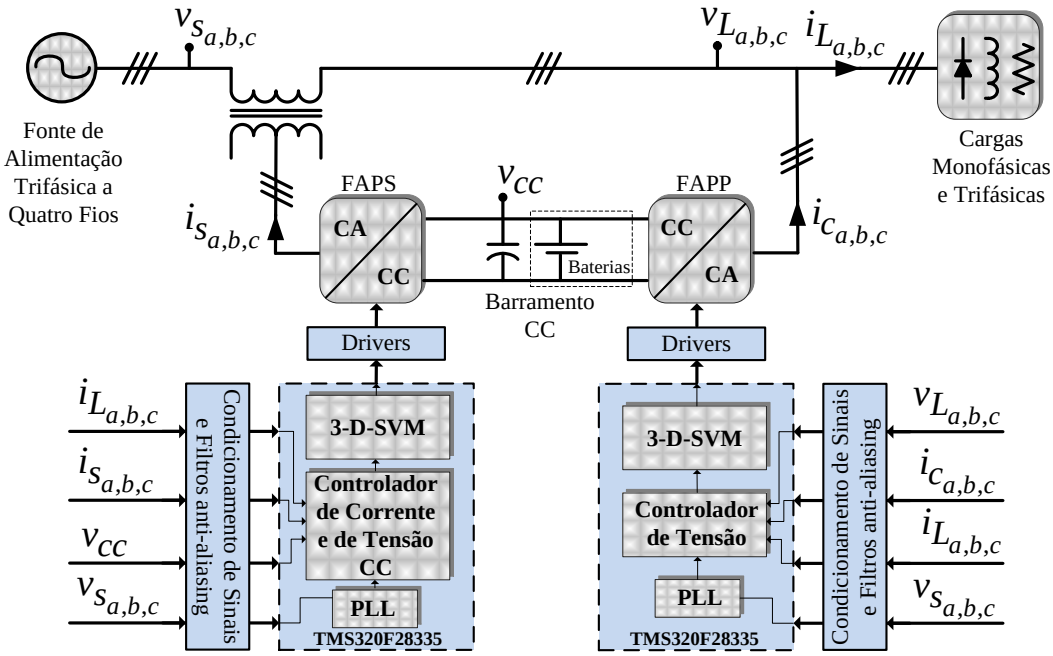


Figura 86 – Diagrama em blocos do protótipo experimental.

A parte principal do circuito de potência é formada por dois módulos inversores da Semikron modelo SKS 50F B6U. Cada um destes módulos possui quatro braços de IGBTs. A utilização destes módulos possibilitou testar as três topologias estudadas, utilizando apenas um único protótipo. O que difere uma topologia da outra são as alterações nas ligações do conversor série, do barramento CC e dos códigos do DSP que controlam o conversor série.

As características principais dos componentes utilizados no protótipo estão descritas a seguir:

- **Módulos de potência e drivers:** Dois módulos trifásicos *four leg* SKS 50F B6U Semikron, compostos por IGBTs SKM 100GB 124D (100A/1200V). Drivers isolados Semikron modelo SKHI22B;
- **Barramento CC:** A capacitância total do barramento CC é de 9400µF para operação do sistema como UPQC. Para o sistema operar como UPS é conectado ao barramento CC um banco de baterias compostos por 32 baterias seladas de 12V/7Ah;
- **Placas de condicionamento de sinais e medições:** As medições das tensões da rede, tensões do barramento CC e as tensões de saída foram feitas utilizando sensores de tensão da marca LEM modelo

LV25-P. As medições das correntes das cargas, correntes do conversor série e as correntes do conversor paralelo foram feitas utilizando sensores de efeito *Hall* da marca LEM modelo LA100-P;

- **Controle dos conversores e geração dos comandos das chaves:** Dois DSPs da *Texas Instruments* modelo TMS320F28335 de ponto flutuante com frequência de clock de 150 MHz, 16 entradas analógicas de 12 bits e 12 saídas PWM, sendo um para cada conversor.

A tabela 7 apresenta os parâmetros do protótipo implementado, enquanto que a tabela 8 apresenta os parâmetros das cargas utilizadas nos ensaios práticos.

Tabela 7 – Parâmetros do protótipo implementado

Tensão eficaz nominal da rede (fase)	$V_{sa,b,c} = 127\ \mathrm{V}$
Tensão eficaz nominal de saída (fase)	$V_{La,b,c} = 127\ \mathrm{V}$
Tensão do barramento CC	$V_{CC} = 400\ \mathrm{V}$
Frequência da rede de alimentação	$f_s = 60\ \mathrm{Hz}$
Frequência de chaveamento dos conversores série e paralelo	$f_C = 20\ \mathrm{KHz}$
Pico da triangular do modulador PWM	$P_{PWM} = 3750$
Ganho do modulador PWM	$K_{PWM} = 2{,}66.10 - 4$
Taxa de amostragem do conversor analógico digital	$f_a = 40\ \mathrm{KHz}$
Frequência de corte do filtro anti-aliasing	$f_{caa} \cong 19\ \mathrm{KHz}$
Indutância da rede elétrica	$L_s = 10\ \mu\mathrm{H}$
Resistência da rede elétrica	$R_s = 3{,}76\ m\Omega$
Relação de transformação do transformador de acoplamento série	$n = 1$
Resistência total dos enrolamentos dos transformadores de acoplamento série	$R_{Ta,b,c} = 0{,}26\ \Omega$
Indutância de dispersão dos transformadores de acoplamento série	$L_{Da,b,c} = 0{,}42\ m\mathrm{H}$
Potência dos transformadores de acoplamento série	$5{,}5k\ \mathrm{VA}$
Indutância de acoplamento dos conversores série	$L_{fs} = 1{,}50\ m\mathrm{H}$
Resistência dos indutores de acoplamento série	$R_{fs} = 0{,}15\ \Omega$
Indutância de acoplamento do conversor paralelo	$L_{fp} = 1{,}00\ m\mathrm{H}$
Resistência do indutor de acoplamento do conversor paralelo	$R_{fs} = 0{,}12\ \Omega$
Capacitância de filtragem do conversor paralelo	$C_{fp} = 85\ \mu\mathrm{F}$
Capacitância total do barramento CC	$C_{CC} = 9400\ \mu\mathrm{F}$

Tabela 8 – Parâmetros das cargas utilizadas nos ensaios experimentais

	Fase ‘a’	Fase ‘b’	Fase ‘c’
Carga 1	Retificador monofásico de onda completa com carga RL (R=8,10 Ω e L=380 mH) S_a = 1,59 kVA	Retificador monofásico de onda completa com carga RL (R=10,12 Ω e L=346 mH) S_b = 1,26 kVA	Retificador monofásico de onda completa com carga RL (R=13,50 Ω e L=357 mH) S_c = 0,95 kVA
Carga 2	Retificador monofásico de onda completa com carga RC (R=13,5 Ω C=940 µF) S_a = 1,94 kVA	Retificador monofásico de onda completa com carga RL (R=10,12 Ω e L=346 mH) S_b = 1,26 kVA	Retificador monofásico de onda completa com carga RL (R=8,10 Ω e L=380 mH) S_c = 1,59 kVA
Carga 3	Retificador trifásico de onda completa com carga R (R=17,7 Ω) S = 4,17 kVA		

A figura 87 apresenta a foto do protótipo implementado com a indicação das suas principais partes.

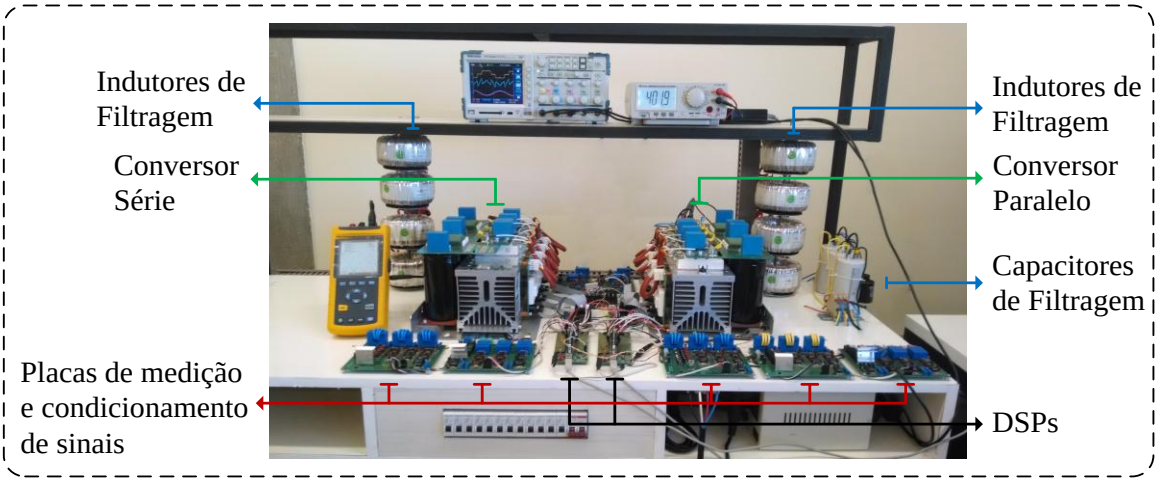


Figura 87 – Foto do protótipo.

5.2 Resultados Experimentais – Topologia Composta Por Dois Conversores F-L.

Nesta seção serão apresentados os resultados experimentais do condicionador de energia composto por dois conversores VSI F-L (figura 88) operando como UPQC e como UPS *Line-Interactive*. Em ambos os casos os testes experimentais foram realizados utilizando as três cargas apresentadas na tabela 8. Os comportamentos estáticos e dinâmicos são avaliados com a presença de

distúrbios de tensão na rede elétrica, tais como harmônicos, desequilíbrios, elevações (swell) e afundamentos (sags), bem como variações de carga.

Além disso, são apresentados resultados da UPS referentes as transições entre os modos *standby* (rede presente) para *backup* (rede ausente), bem como *backup* para *standby.*

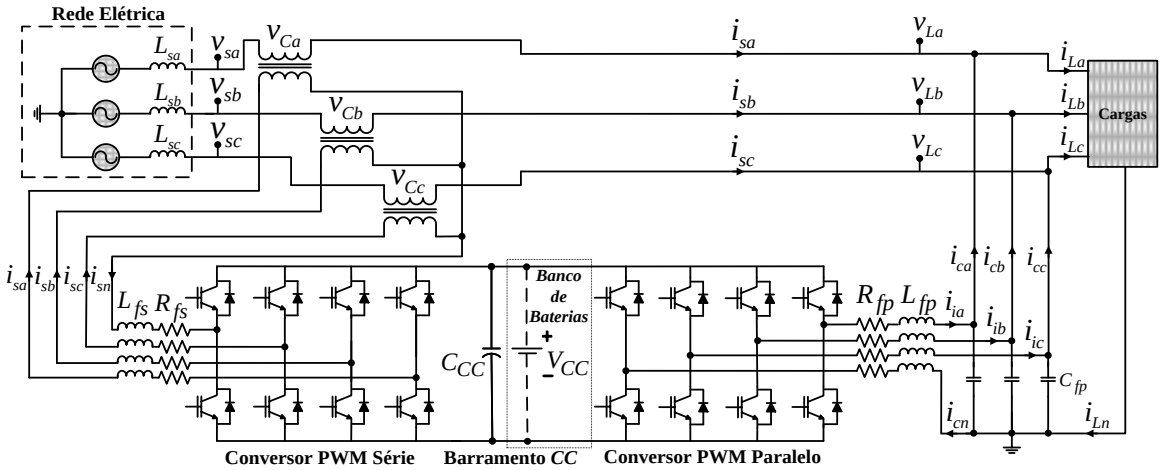


Figura 88 – Condicionador implementado com dois conversores VSI F-L.

5.2.1 Resultados Experimentais do Sistema Operando como UPQC.

Pelo fato do barramento *CC* de um UPQC ser composto somente por um banco de capacitores (C_{cc}) é necessário realizar uma lógica de partida do sistema prevendo a pré-carga do mesmo. Nesta lógica foram previstas quatro etapas de pré-carga, sendo elas: E1, E2, E3 e E4. Na figura 89 são mostradas a tensão (V_{cc}) e as correntes da rede. Na etapa E1, têm-se V_{cc} = 15 V devido à alimentação dos *drivers* dos inversores. Em E2 ocorre a pré-carga do banco de capacitores, onde o UPQC comporta-se como um retificador não controlado, resultando em V_{cc}= 311 V (tensão de pico de linha da rede). Nesta etapa, já que o conversor série permanece inativo, ocorre o aumento da corrente drenada da rede em função da carga dos capacitores do barramento CC. Na etapa E3 o conversor paralelo entra em operação controlando as tensões de saída em 0 V. Já na etapa E4, o conversor série é ativado elevando a tensão do barramento V_{cc} para o valor de referência desejado, ou seja, 400 V.

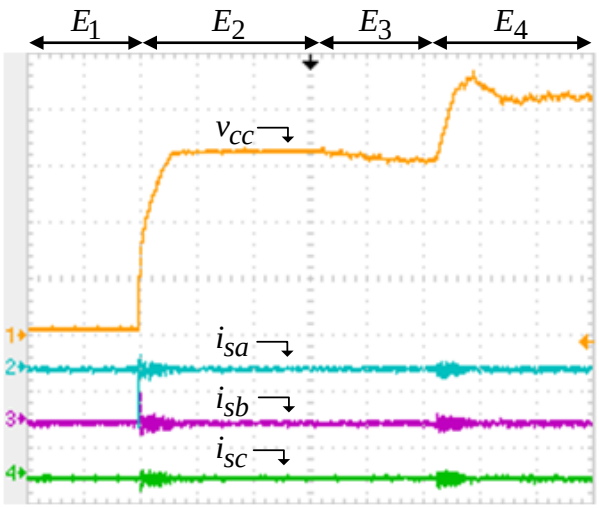


Figura 89 – Pré-carga dos capacitores do barramento CC: Tensão do barramento CC (V_{cc}) e correntes da rede (i_{sa}, i_{sb}, i_{sc}) do UPQC (100 V/div, 50 A/div, 1 s/div).

Em aplicações práticas, durante o estágio de pré-carga, o UPQC não deve interferir no funcionamento da carga. Sendo assim, para que a lógica de partida descrita acima seja executada, deve-se prever a utilização de uma chave *by-pass* entre a rede e a carga (*sw2*), de forma que esta permaneça alimentada. Outra chave deve ser colocada na saída do UPQC (sw3) cuja finalidade é manter a carga desconectada do UPQC durante o estágio de pré-carga, conforme apresentado na figura 90.

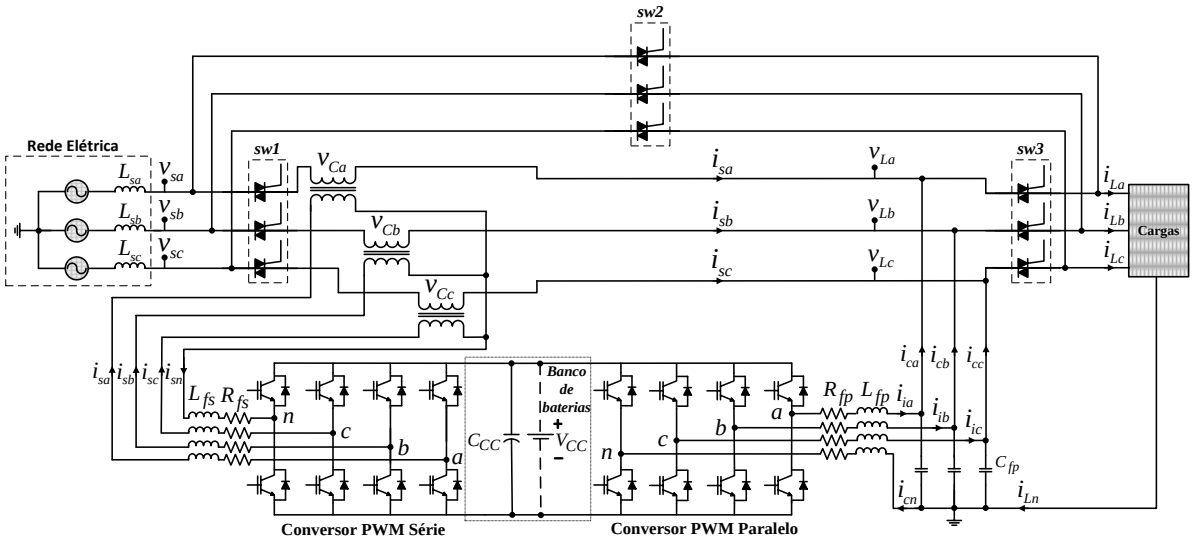


Figura 90 – Condicionador com as chaves (*sw1, sw2 e sw3*) previstas para o estágio de pré-carga.

O comportamento do UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibradas, reguladas e com baixa DHT, com o sistema alimentando a carga monofásica 1 da tabela 8, são apresentados nas figuras 91 a 98.

As correntes da carga (i_{La}, i_{Lb} *e* i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são mostradas na figura 91 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) e a corrente de neutro da rede (i_{sn}) são mostradas na figura 91 (b), enquanto as correntes do conversor paralelo (i_{ca}, i_{cb} e i_{cc}) e a sua corrente de neutro (i_{cn}) são mostradas na figura 91 (c). A figura 91 (d) apresenta as correntes do UPQC considerando apenas a fase "a".

Observa-se que as correntes compensadas da rede tornaram-se equilibradas e muito próximas de uma senoide de forma que, para esta situação, (i_{cn}) é igual a (i_{Ln}), enquanto (i_{sn}) é nula. Isso demonstra que, além dos harmônicos, o UPQC compensou as componentes de sequência negativa e zero, resultando no equilíbrio de corrente entre as fases e a eliminação da circulação da corrente de neutro na rede.

O comportamento das tensões do UPQC alimentando a carga monofásica 1 é apresentado na figura 92. Na figura 92 (a) são mostradas as tensões trifásicas da rede (v_{sa}, v_{sb} e v_{sc}) juntamente com a corrente de entrada da fase "b" (i_{sb}), a figura 92 (b) mostra as tensões de saída (v_{La}, v_{Lb} e v_{Lc}), juntamente com a corrente da carga da fase "a" (i_{La}). Observa-se que o conversor paralelo fornece tensões senoidais, equilibradas e com baixa taxa de distorção harmônica para as cargas, como pode ser observado na figura 92.

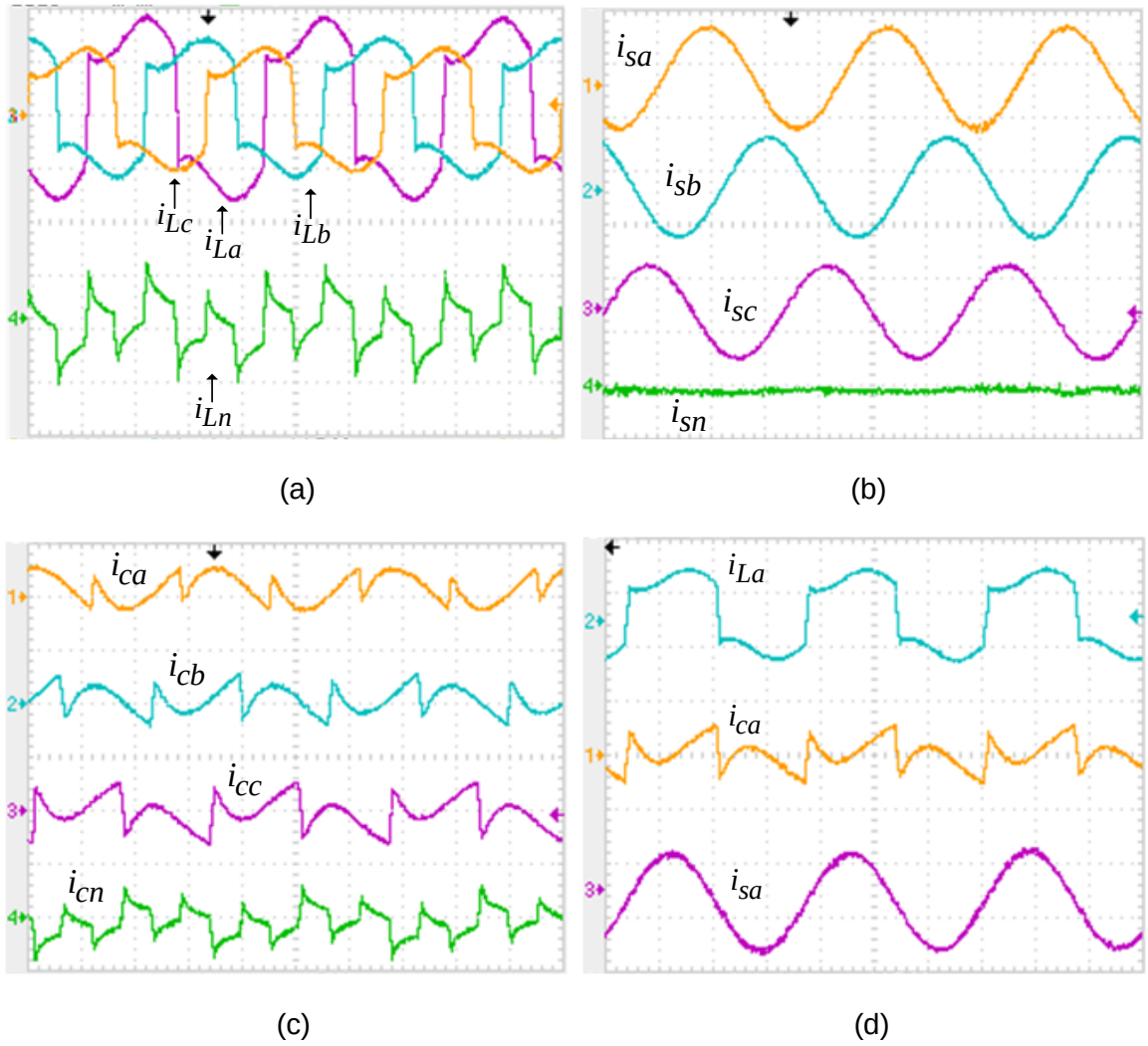
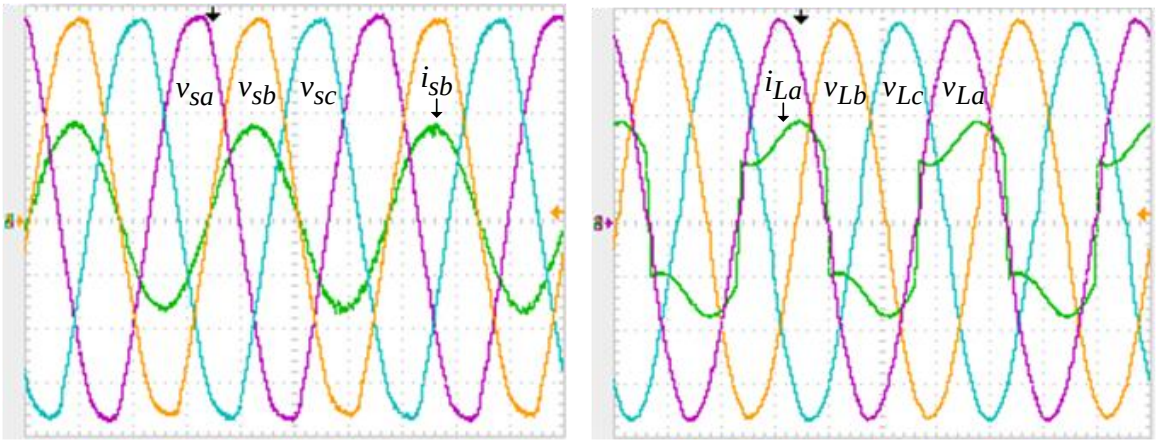


Figura 91 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases "*a, b e c*" (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *a, b e c* (i_{sa}, i_{sb}, i_{sc}) e de neutro na rede (i_{sn}); (c) Correntes do conversor paralelo nas fases *a, b e c* (i_{ca}, i_{cb}, i_{cc}) e de neutro do conversor paralelo (i_{cn}); (d) Correntes da fase "a": carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).



(a) (b)

Figura 92 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}) (50 V/div) e corrente da fase "b" da rede (i_{sb}) (10 A/div); (b) Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div) e corrente da carga da fase "a" (i_{La}) (10 A/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC estão apresentados na figura 93. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 1, medidas na fase "a", são apresentadas nas figuras 93 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 93 (c) e (d).

A figura 94 mostra as tensões de entrada (v_{sc}) e saída (v_{Lc}) do UPQC juntamente com a tensão sobre o transformador de acoplamento do conversor série (v_{Cc}), a qual representa a diferença de tensão entre a entrada e a saída.

Pela figura 95 (a) e (b) é possível verificar a regulação da tensão de saída mediante variações da tensão de entrada. Porém devido a questões práticas de implementação, as tensões de entrada foram mantidas fixas e as referências das tensões de saída foram alteradas. As tensões sobre o transformador de acoplamento série (v_{Cc}), considerando a fase "c" são mostradas nas figuras 95 (a) e (b) quando as tensões eficazes V_{sc} (127 V) > V_{Lc} (114 V) e quando V_{Lc} (140 V) > V_{sc} (127 V).

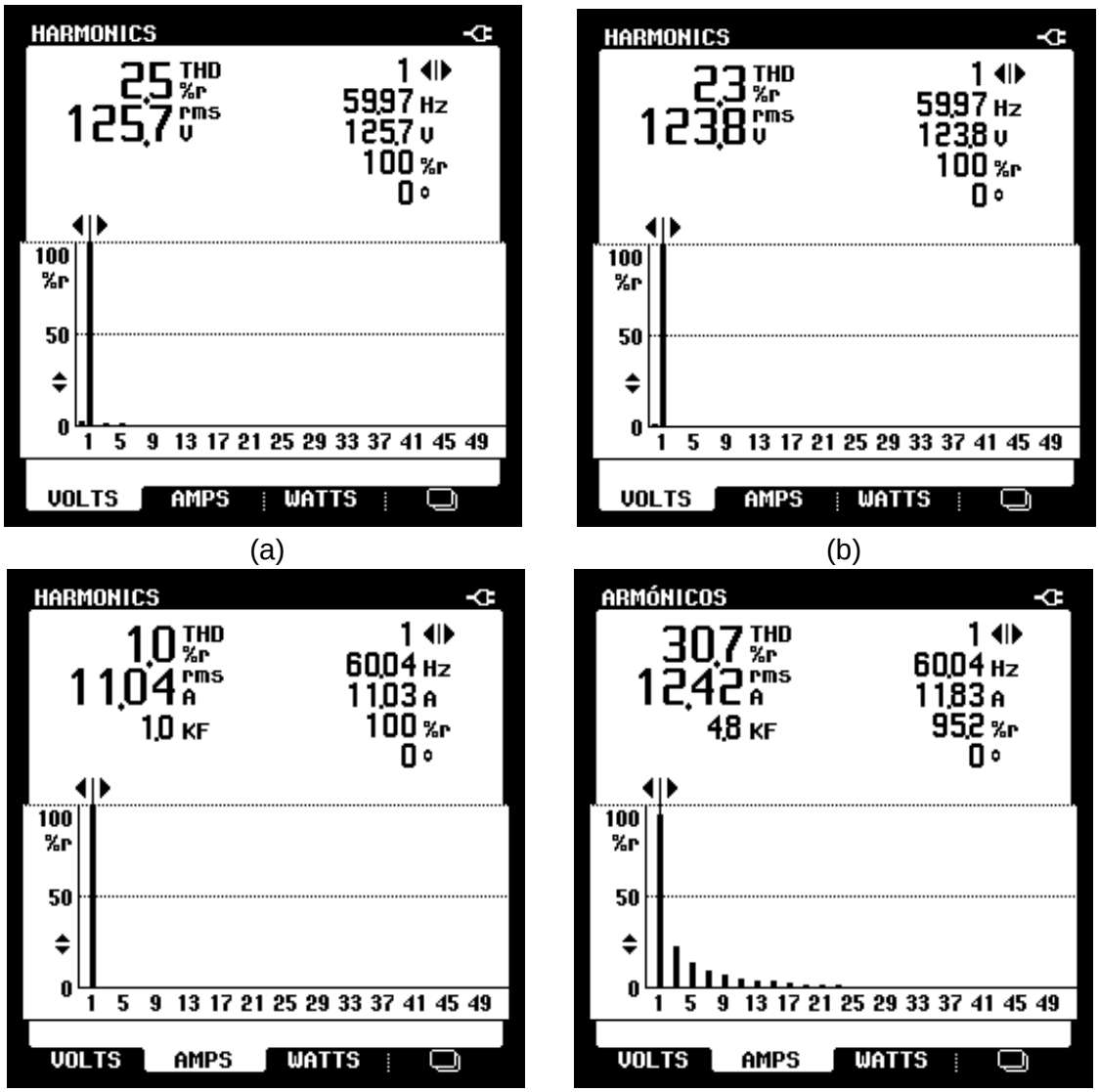


Figura 93 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 1: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

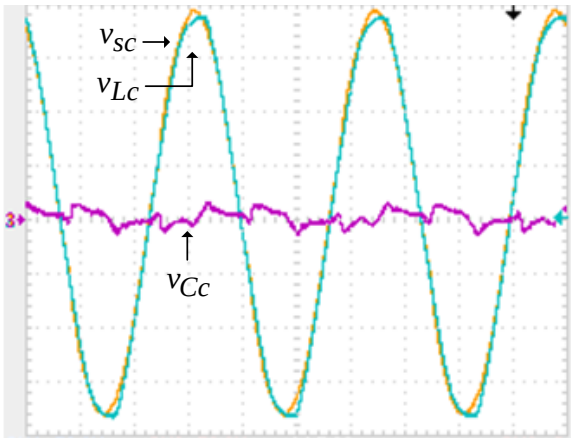
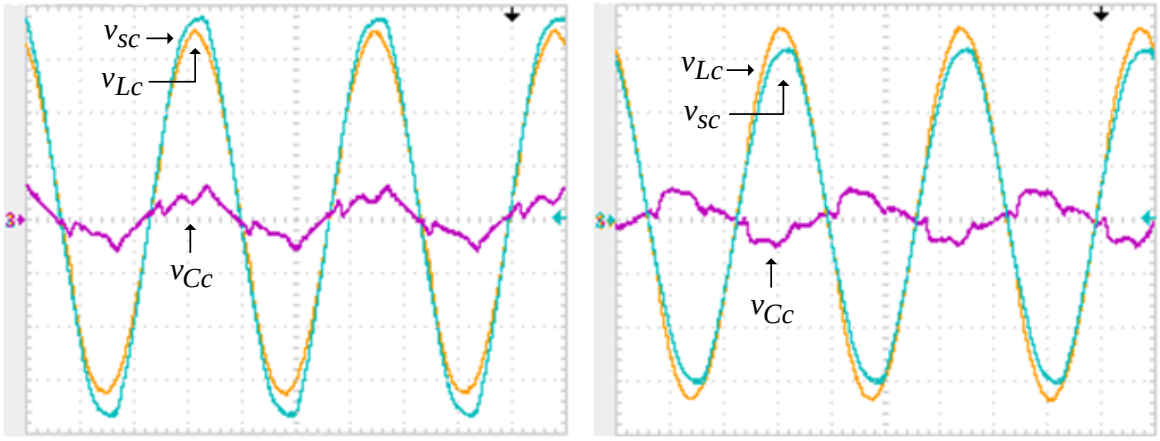


Figura 94 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): Tensões da fase "c" para $V_{sc} = V_{Lc}$: entrada v_{sc}, saída v_{Lc} e transformador de acoplamento v_{Cc} (50 V/div).



(a) (b)

Figura 95 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da fase "c" para $V_{sc} > V_{Lc}$: entrada v_{sc}, saída v_{Lc} e transformador de acoplamento v_{Cc} (50 V/div); (b) Tensões da fase "c" para $V_{Lc} > V_{sc}$: entrada v_{sc} (60 V/div), saída v_{Lc} (60 V/div) e transformador de acoplamento v_{Cc} (50 V/div).

As potências de entrada e saída do UPQC medidas na fase "c" juntamente com a tensão e corrente de entrada e saída para $\boldsymbol{V_{sc} = V_{Lc}}$, $\boldsymbol{V_{sc} > V_{Lc}}$ e $\boldsymbol{V_{Lc} > V_{sc}}$ estão apresentados nas figuras 96 (a), (b), (c), (d), (e) e (f), respectivamente.

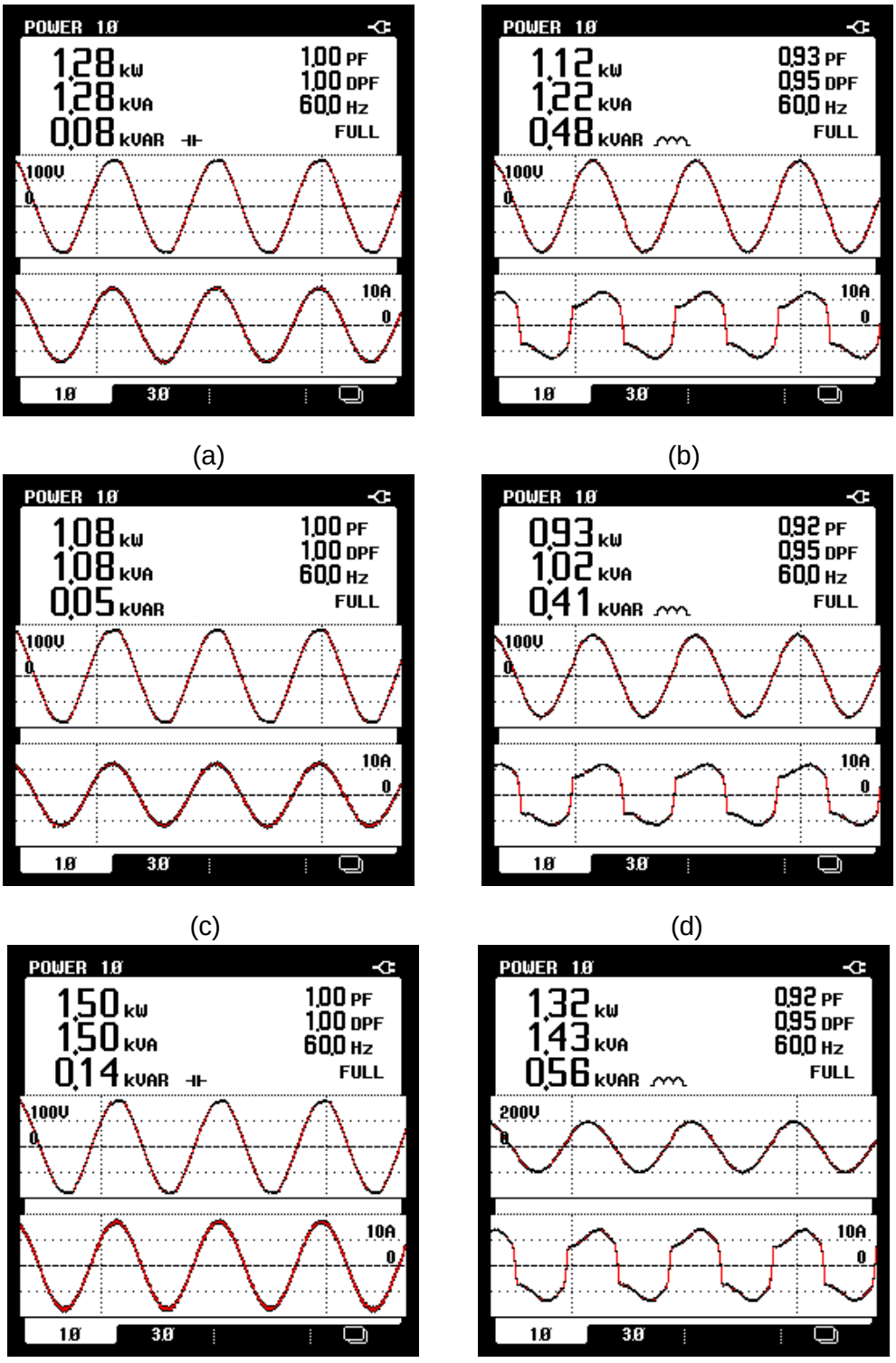
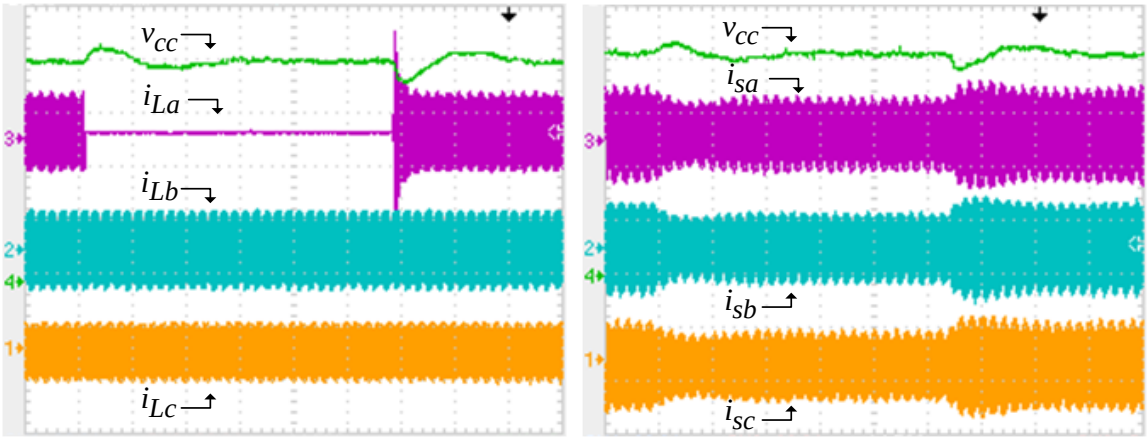


Figura 96 – Potência do UPQC: Tensões $V_{sc} = V_{Lc}$: (a) Entrada e (b) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA; Tensões $V_{sc} > V_{Lc}$ (c) Entrada e (d) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA; Tensões $V_{Lc} > V_{sc}$: (e) Entrada e (f) Saída: Fator de potência (PF), fator de deslocamento (DPF), potências em kW, kvar e kVA.

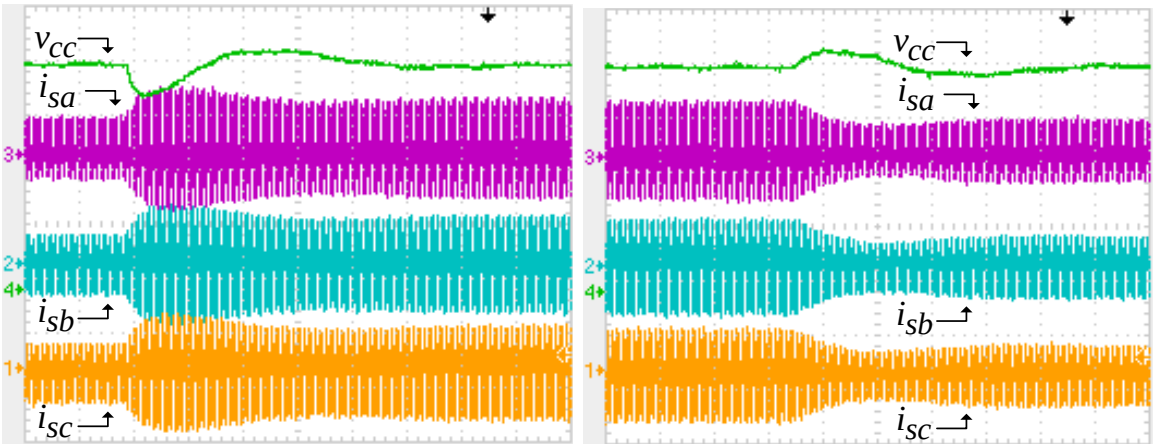
As figuras 97 (a) e (b) apresentam o comportamento dinâmico da tensão do barramento CC (V_{cc}) considerando que a carga da fase “a” é desconectada e reconectada após alguns segundos. Além da tensão do barramento CC, a figura 97 (a) apresenta as correntes das cargas (i_{La}, i_{Lb} e i_{Lc}). Já a figura 97 (b) apresenta as correntes da fonte (i_{sa}, i_{sb} e i_{sc}), bem como a tensão do barramento CC. Pode ser observada a atuação do controlador de tensão do barramento CC nas correntes de entrada, de forma a manter a tensão controlada em 400 V. Além disso, fica evidente pela figura 97 (b) a capacidade do sistema UPQC em manter as correntes da rede equilibradas, mesmo com a ausência da carga conectada à fase “a”.



(a) (b)

Figura 97 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 500ms/div): (a) retirada da carga da fase “a”: Tensão do barramento CC (v_{cc}) e correntes de carga (i_{La}, i_{Lb}, i_{Lc}); (b) retirada da carga da fase “a”: Tensão do barramento CC (v_{cc}) e correntes da rede (i_{sa}, i_{sb}, i_{sc}).

O comportamento da tensão do barramento CC (V_{cc}) durante degraus de carga nas três fases simultaneamente, ou seja, de 60% para 100% e de 100% para 60%, respectivamente, é mostrado nas figuras 98 (a) e (b). Na figura 98 (a) são apresentadas as correntes de entrada nas três fases (i_{sa}, i_{sb} e i_{sc}) e a tensão do barramento CC (V_{cc}) durante um degrau de carga de 60% para 100%. Na figura 98 (b) estão mostradas as correntes de entrada (i_{sa}, i_{sb} e i_{sc}) e a tensão do barramento CC (V_{cc}) durante a redução da corrente de carga de 100% para 60%.

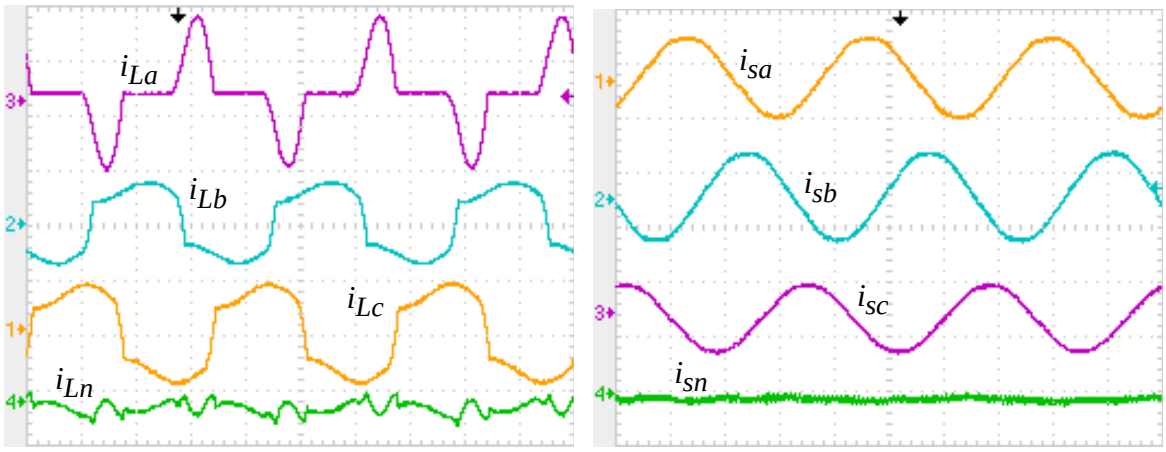


(a) (b)

Figura 98 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 250ms/div): (a) degrau de carga: Tensão do barramento CC (v_{cc}) e correntes da rede (i_{sa}, i_{sb}, i_{sc}); (b) retirada da carga: Tensão do barramento CC (v_{cc}) e correntes da rede (i_{sa}, i_{sb}, i_{sc}).

O comportamento do UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibras, reguladas e com baixo DHT, com o sistema alimentando a carga monofásica 2 da tabela 8, está apresentado nas figuras 99 a 102.

As correntes da carga (i_{La}, i_{Lb} e i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são mostradas na figura 99 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) e a corrente de neutro da rede (i_{sn}) são mostradas na figura 99 (b).



(a) (b)

Figura 99 – Correntes do UPQC com a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases *abc* (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *abc* (i_{sa}, i_{sb}, i_{sc}) e de neutro na rede (i_{sn}).

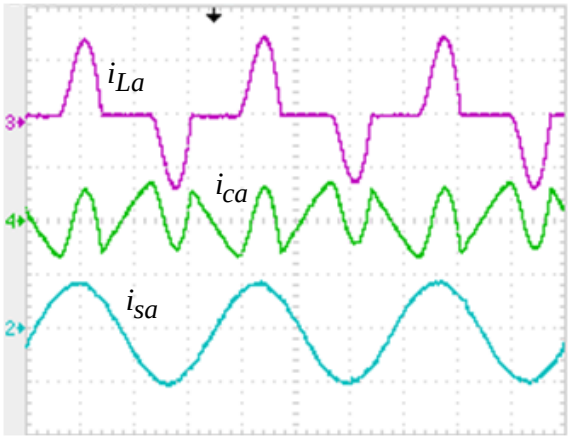
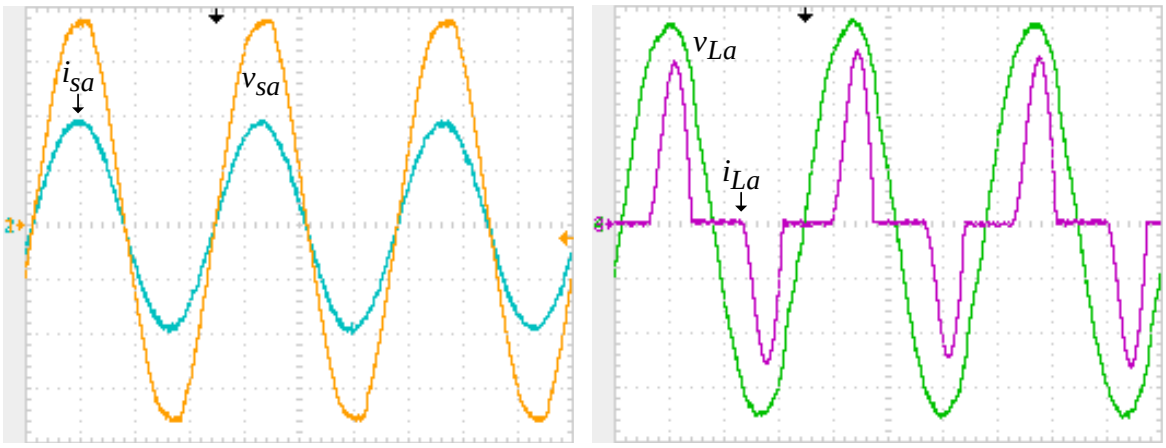


Figura 100 – Correntes da fase "a" do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).

A figura 100 apresenta as correntes do UPQC considerando apenas a fase "a", onde mostra a corrente da carga (i_{La}), a corrente de compensação que circula pelo conversor paralelo na fase "a" (i_{Ca}) e corrente da rede na fase "a" (i_{sa}).



(a) (b)

Figura 101 – Correntes e tensões da fase "a" para a carga monofásica 2 (10 A/div, 50 V/div e 5 ms/div): (a) Tensão de entrada (v_{sa}) e a corrente de entrada (i_{sa}); (b) Tensão de saída (v_{La}) e a corrente de saída (i_{La}).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga monofásica 2 estão apresentados na figura 102. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 2, medidas na fase "a", são mostradas nas figuras 102 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 102 (c) e (d).

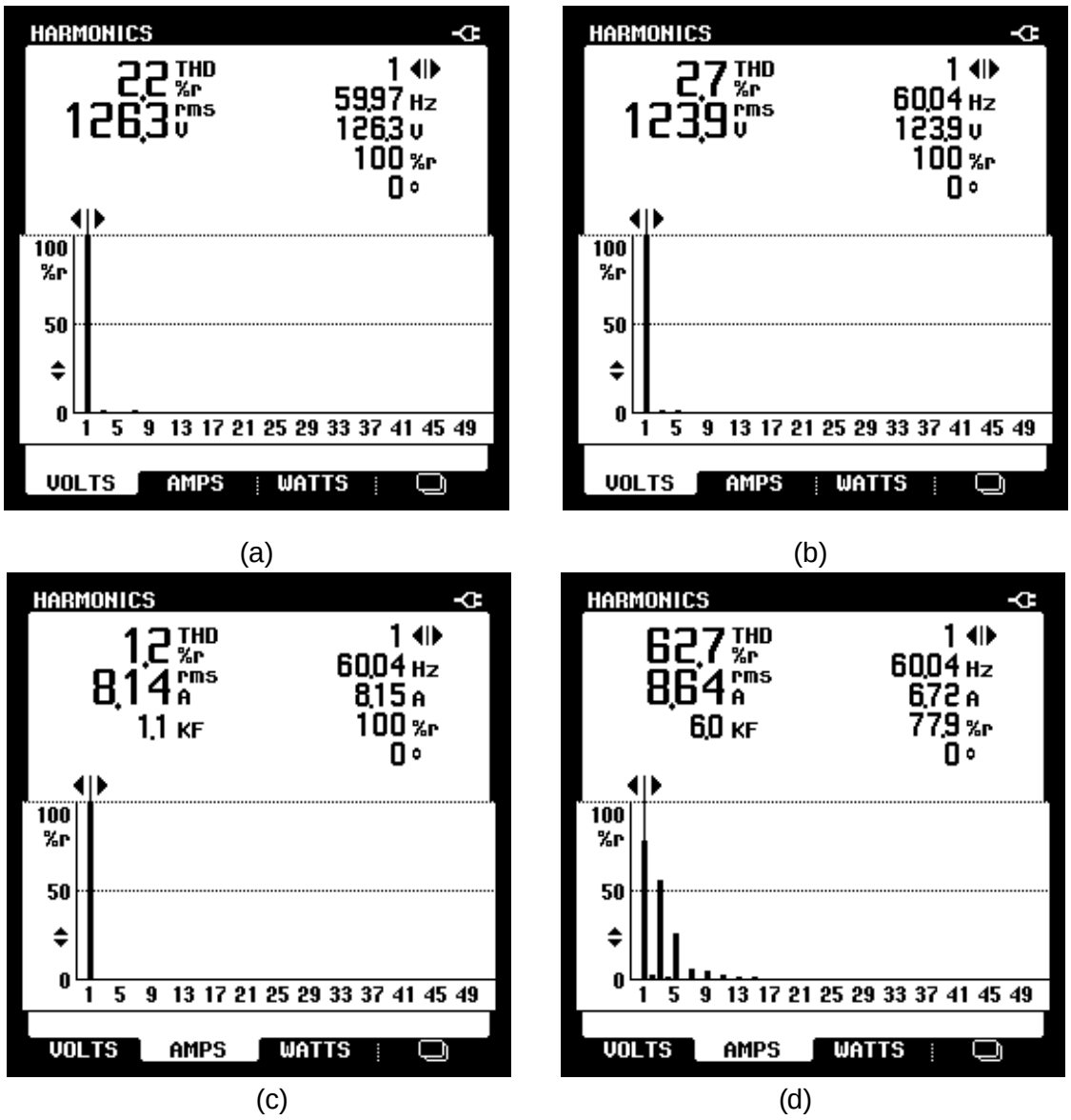


Figura 102 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

Os resultados apresentados nas figuras 103 a 105 são do sistema alimentando a carga trifásica da tabela 8. As correntes da carga (i_{La}, i_{Lb} e i_{Lc}), da rede (i_{sa}, i_{sb} e i_{sc}), e de compensação (i_{ca}, i_{cb} e i_{cc}) são mostradas, respectivamente nas figuras 103 (a), (b) e (c). A figura 103 (d) apresenta as correntes do UPQC considerando apenas a fase "a".

As tensões de saída do UPQC nas três fases (v_{La}, v_{Lb} e v_{Lc}) alimentando a carga trifásica são mostradas na figura 104.

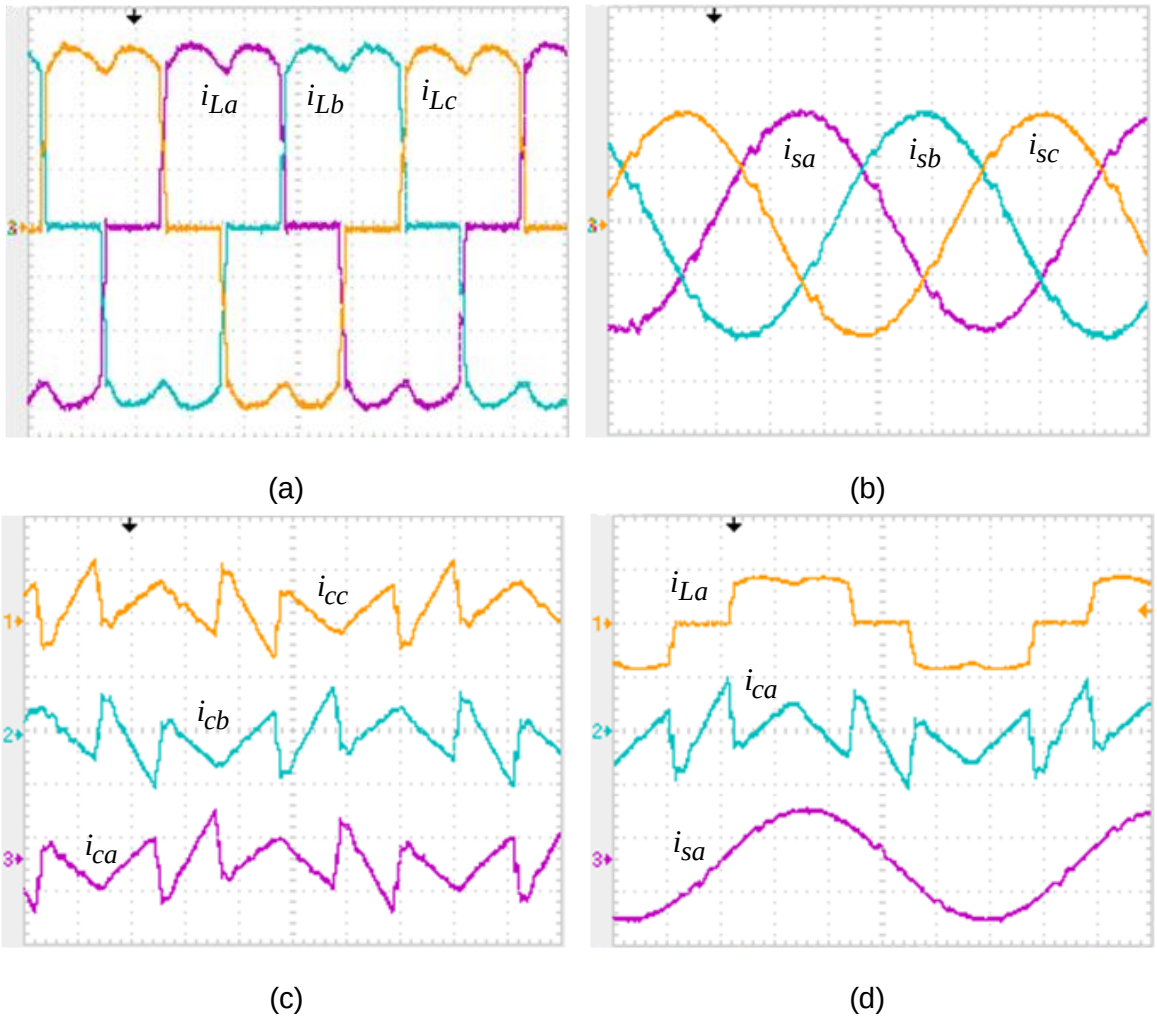


Figura 103 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (i_{La}, i_{Lb}, i_{Lc}) (5 A/div); (b) Correntes compensadas da rede (i_{sa}, i_{sb}, i_{sc}) (10 A/div); (c) Correntes do conversor paralelo (i_{ca}, i_{cb}, i_{cc}) (10 A/div); (d) Correntes da fase "a": carga i_{La} (20 A/div), conversor paralelo i_{ca} (10 A/div) e rede i_{sa} (20 A/div).

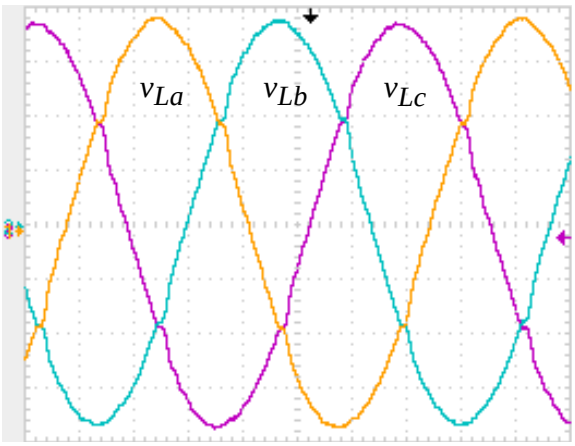


Figura 104 – Tensões do UPQC com a carga trifásica (2,5 ms/div): Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga trifásica estão apresentados na figura 105. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga trifásica, medidas na fase “a”, estão mostradas nas figuras 105 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 105 (c) e (d).

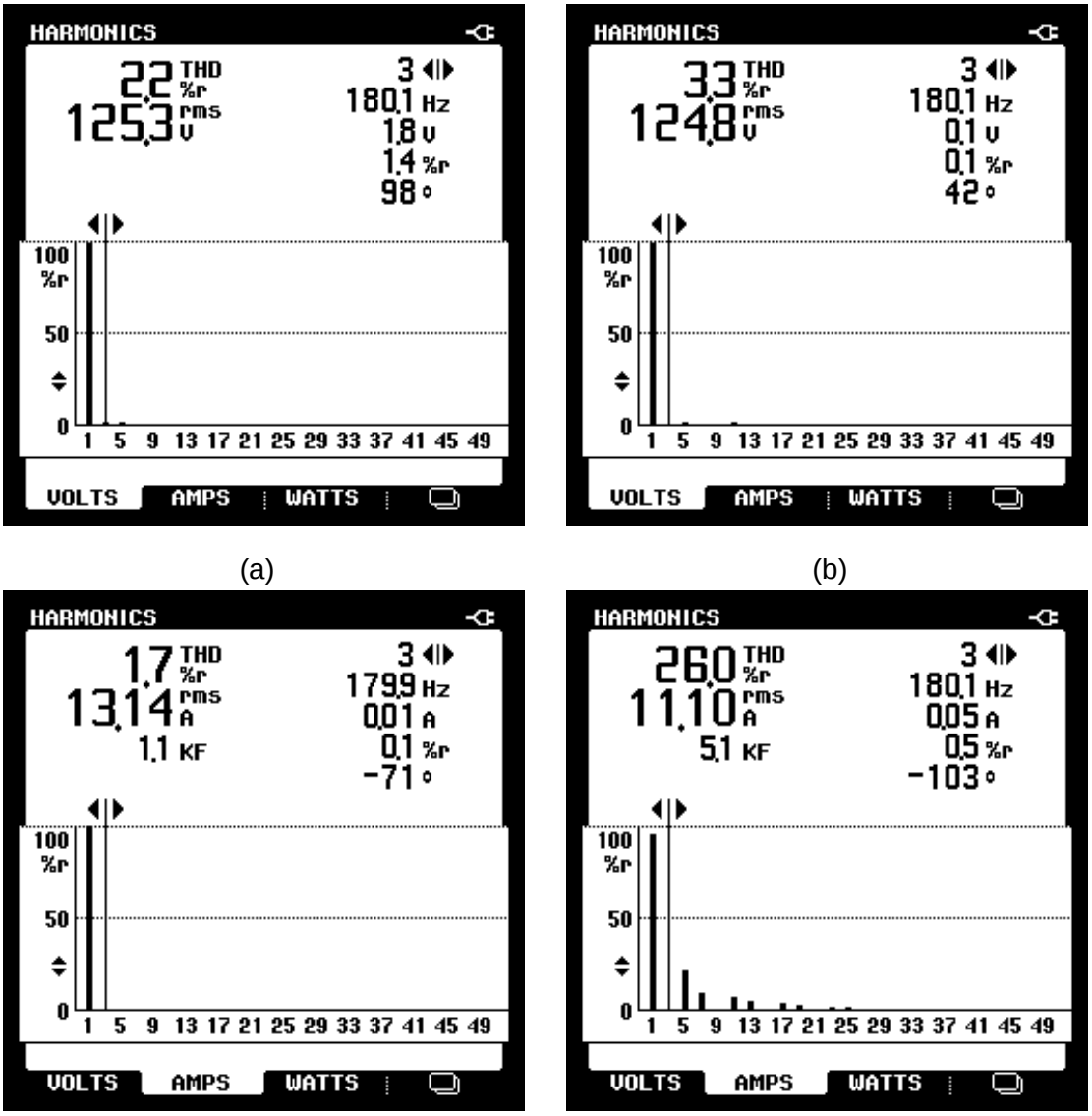


Figura 105 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

5.2.2 Resultados Experimentais do Sistema Operando como UPS

Os resultados experimentais do condicionador de energia operado como UPS *Line-Interactive* estão apresentados nas figuras 106 e 107, onde é apresentado o comportamento dinâmico da UPS durante as transições entre os modos *standby* para *backup* e vice e versa.

O comportamento do sistema UPS alimentando a carga 2 durante as transições estão apresentados na figura 106. Na figura 106 (a) são mostradas as correntes compensadas da rede (i_{sa}, i_{sb} e i_{sc}) e a tensão de saída na fase "a" (v_{La}). Como pode ser observado, houve uma interrupção no fornecimento de energia da rede elétrica durante aproximadamente dois ciclos da rede. No entanto, o sistema UPS continua alimentando a carga sem qualquer interrupção ou transitório. As correntes relacionadas com a fase "c" durante a interrupção e retorno do fornecimento por parte da rede elétrica são apresentadas na figura 106 (b), onde são mostradas a corrente da rede (i_{sc}), a corrente do conversor paralelo (i_{cc}) e a corrente da carga (i_{Lc}). As correntes da fase "a" durante esta mesma transição entre os modos de operação da UPS são apresentadas na figura 106 (c), onde são mostradas a corrente da rede (i_{sa}), a corrente do conversor paralelo (i_{ca}) e a corrente da carga (i_{La}).

Pode ser observado nas figuras 106 (b) e (c) que no momento da interrupção no fornecimento de energia da rede elétrica, o conversor paralelo assume totalmente a corrente da carga. Já no momento do retorno da rede elétrica o conversor paralelo passa a fornecer somente as correntes de compensação resultante das diferenças entre as correntes de entrada e de saída.

Na figura 107 (a) e (b) são apresentadas as tensões de saída das fases "a" e "c" durante as transições entre os modos de operação da UPS, podendo observar em mais detalhes o comportamento das tensões de saída. Pelo fato do conversor paralelo ser continuamente controlado em tensão praticamente não existe transitório nos momentos de transição entre os modos de operação de *standby-backup* .e vice e versa.

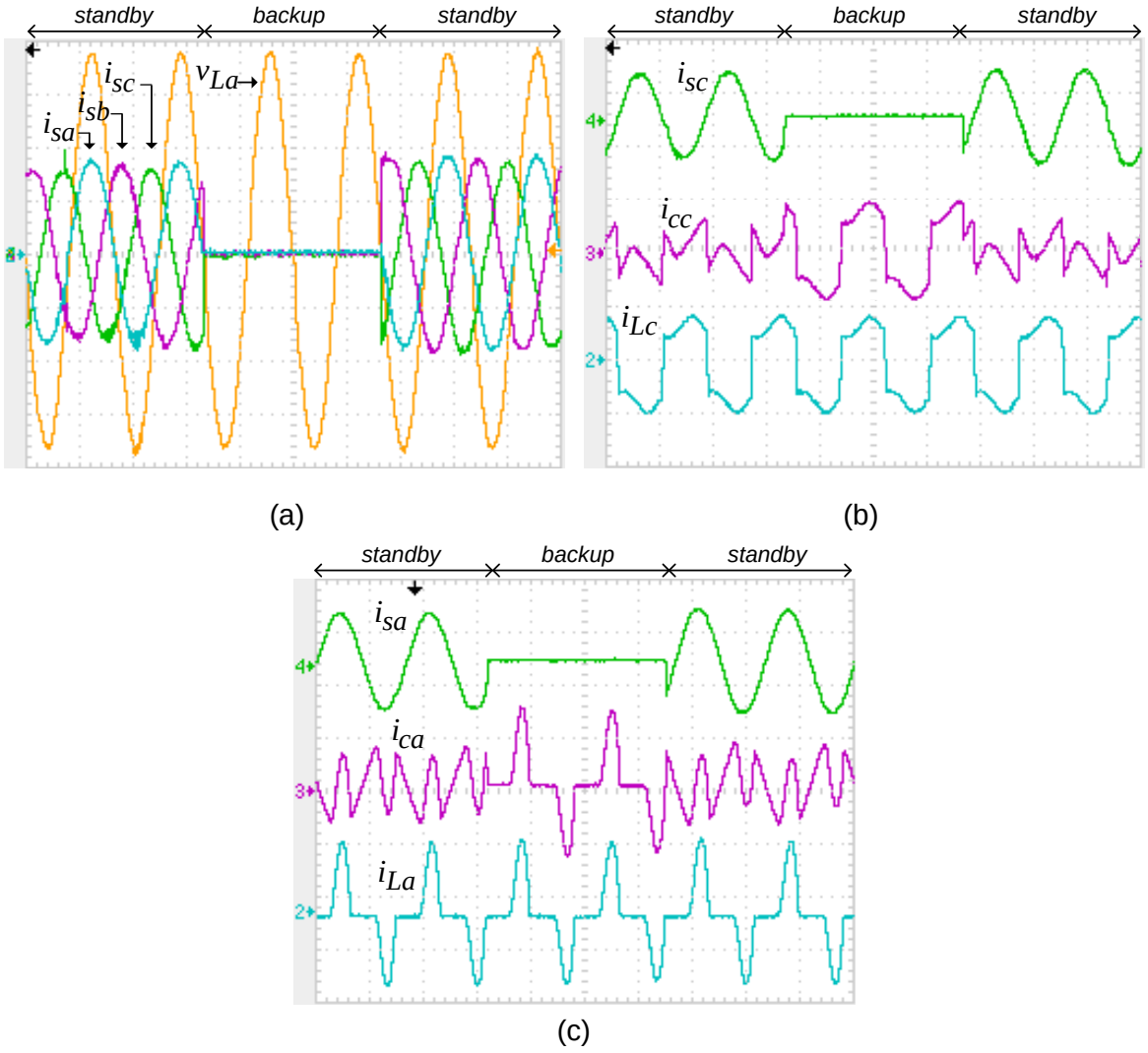
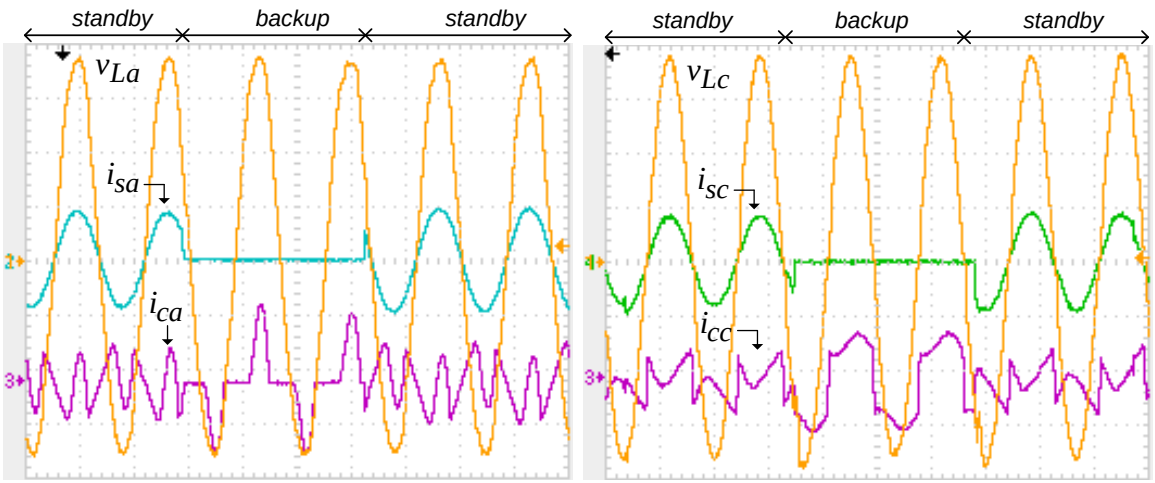


Figura 106 – Correntes e tensões da UPS durante as transições entre os modos *standby-backup-standby*: (a) Tensão de saída fase "a" (v_{La}) (50 V/div, 10 ms/div) e as correntes da rede (i_{sa}, i_{sb} e i_{sc}) (10 A/div, 10 ms/div); (b) correntes da fase "c" (10 A/div, 10 ms/div): Corrente da rede (i_{sc}), corrente no conversor paralelo (i_{cc}), corrente da carga (i_{Lc}); (c) correntes da fase "a" (10 A/div, 10 ms/div): Corrente da rede (i_{sa}), corrente no conversor paralelo (i_{ca}), corrente da carga (i_{La}).



(a) (b)

Figura 107 – Correntes e tensões da UPS durante as transições entre os modos *standby-backup-standby* (50 V/div, 10 A/div, 10 ms/div): (a) Tensão de saída fase "a" (v_{La}), Corrente da rede (i_{sa}) e a corrente no conversor paralelo (i_{ca}); (b) Tensão de saída fase "c" (v_{Lc}), Corrente da rede (i_{sc}) e a corrente no conversor paralelo (i_{cc}).

5.3 Resultados Experimentais – Topologia Composta Por Um Conversor S-C e um Conversor F-L.

Nesta seção serão apresentados os resultados experimentais do condicionador de qualidade de energia composto por um conversor VSI S-C e um conversor VSI F-L (figura 108) operando como UPQC e como UPS *Line-Interactive*. Em ambos os casos os testes experimentais foram realizados utilizando as três cargas da tabela 8. Os comportamentos estáticos e dinâmicos foram avaliados. Além disso, são apresentados resultados da UPS referente as transições entre os modos *standby* para *backup* e *backup* para *standby.*

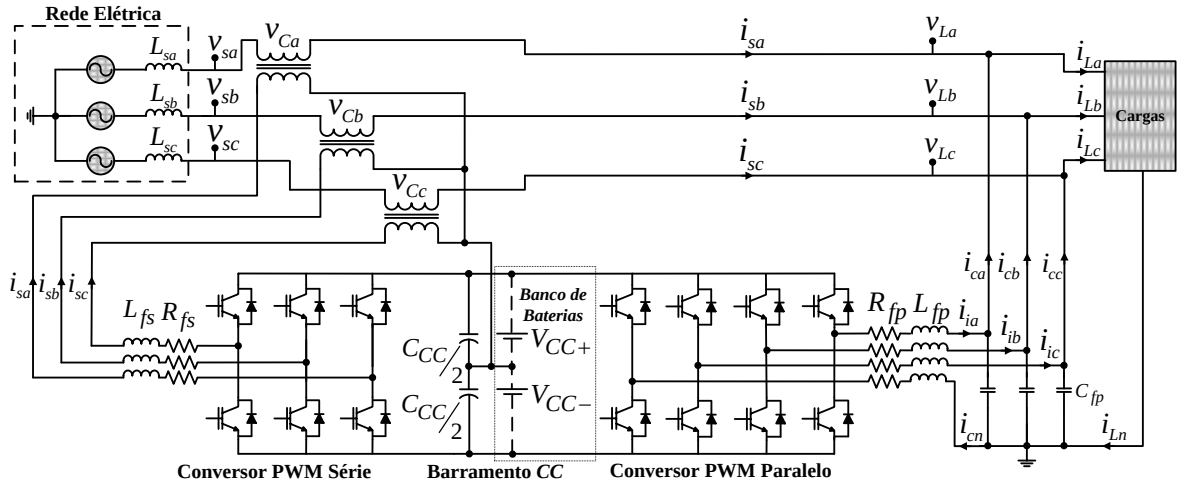


Figura 108 – Condicionador implementado com um conversor S-C e uma conversor F-L.

5.3.1 Resultados Experimentais do Sistema Operando como UPQC.

O comportamento do UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibradas, reguladas e com baixa DHT, com o sistema alimentando a carga monofásica 1 da tabela 8, são apresentados nas figuras 109 a 113.

As correntes da carga (i_{La}, i_{Lb} *e* i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são mostradas na figura 109 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) e a corrente de neutro da rede (i_{sn}) são mostradas na figura 109 (b), enquanto as correntes do conversor paralelo (i_{ca}, i_{cb} e i_{cc}) e a sua corrente de neutro (i_{cn}) são mostradas na figura 109 (c). A figura 109 (d) apresenta as correntes do UPQC considerando apenas a fase “a”.

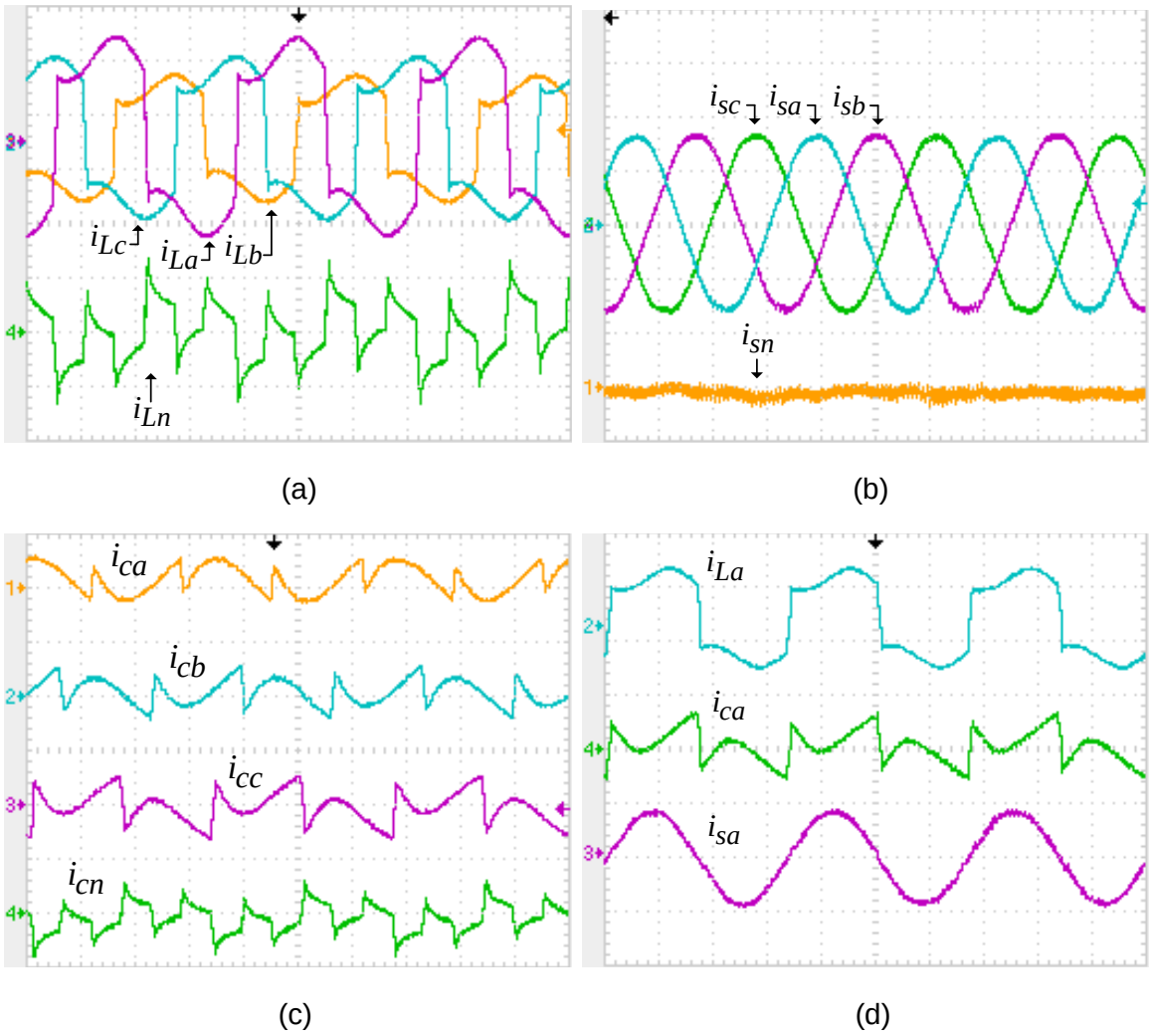
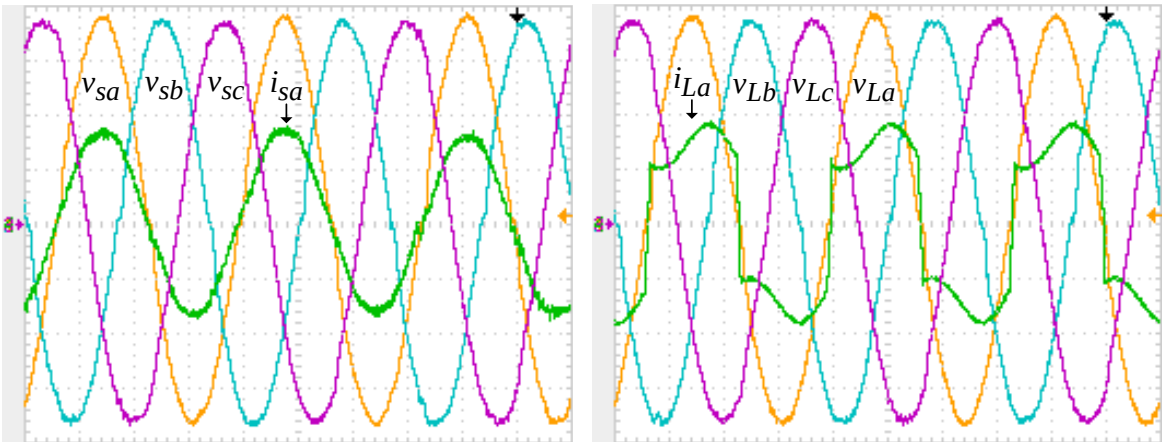


Figura 109 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases *a, b e c* (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *a, b e c* (i_{sa}, i_{sb}, i_{sc}) e de neutro na rede (i_{sn}); (c) Correntes do conversor paralelo nas fases *a, b e c* (i_{ca}, i_{cb}, i_{cc}) e de neutro do conversor paralelo (i_{cn}); (d) Correntes da fase "a": carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).

Observa-se que as correntes compensadas da rede tornaram-se equilibradas e muito próximas de uma senoide de forma que, para esta situação, (i_{cn}) é igual a (i_{Ln}), enquanto (i_{sn}) é nula. Isso demonstra que, além dos harmônicos, o UPQC compensou as componentes de sequência negativa e zero, resultando no equilíbrio de corrente entre as fases e a eliminação da circulação da corrente de neutro na rede.

O comportamento das tensões do UPQC alimentando a carga monofásica 1 é apresentado na figura 110. Na figura 110 (a) são mostradas as tensões trifásicas da rede ($\boldsymbol{v_{sa}}$, $\boldsymbol{v_{sb}}$ e $\boldsymbol{v_{sc}}$) juntamente com a corrente de entrada da fase "a" ($\boldsymbol{i_{sa}}$), a figura 110 (b) mostra as tensões de saída ($\boldsymbol{v_{La}}$, $\boldsymbol{v_{Lb}}$ e $\boldsymbol{v_{Lc}}$), juntamente com a corrente da carga da fase "a" ($\boldsymbol{i_{La}}$). Observa-se que o conversor paralelo fornece tensões senoidais, equilibradas e com baixa taxa de distorção harmônica para as cargas, como pode ser observado na figura 110.



(a) (b)

Figura 110 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}) (50 V/div) e corrente da fase "a" da rede (i_{sa}) (10 A/div); (b) Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div) e corrente da carga da fase "a" (i_{La}) (10 A/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC estão apresentados na figura 111. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 1, medidas na fase "a", estão mostradas nas figuras 111 (a) e (b), enquanto as DHTs correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 111 (c) e (d).

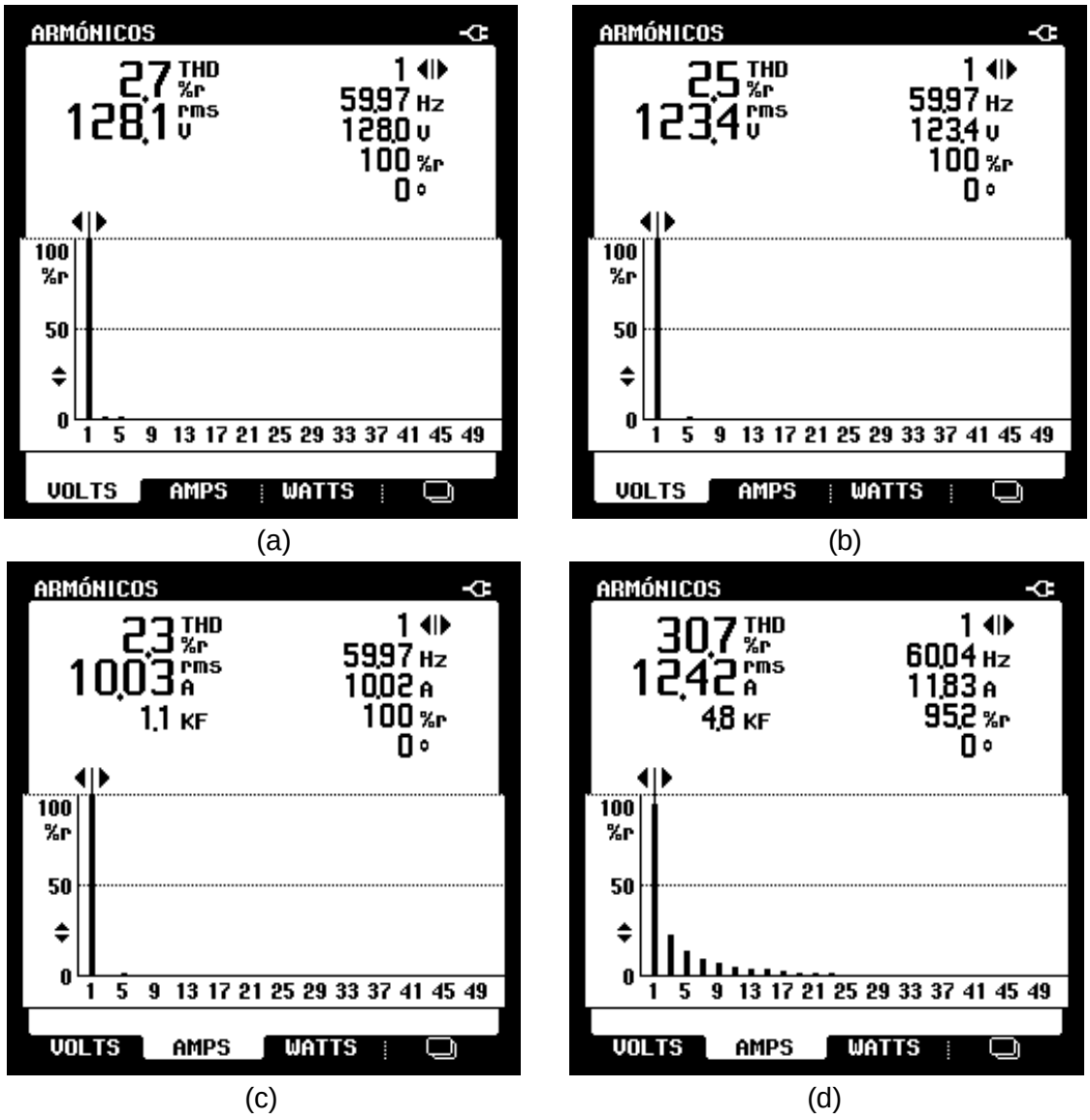


Figura 111 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 1: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

O comportamento dinâmico do controlador de desequilíbrios de tensão do barramento CC é apresentado na figura 112. Neste teste experimental o sistema é iniciado sem o referido controle, fazendo com que a diferença de tensão dos capacitores do barramento CC aumente no decorrer do tempo. Em um dado instante é dado um comando externo ao *DSP* que habilita o controlador de desequilíbrios de tensão, habilitando o algoritmo apresentado na seção 3.2.5.1. Na figura 112 é mostrada a tensão total do barramento CC (V_{cc}), a qual permanece constante em 400 V independentemente ou não do controlador de desequilíbrios estar habilitado. Junto a esta são mostradas as tensões sobre os capacitores do barramento CC

(V_{cc+}) e (V_{cc-}). Percebe-se inicialmente que (V_{cc+}) e (V_{cc-}) não estavam equilibradas e após a habilitação do controlador de desequilíbrios a diferença de tensão entre elas foi anulada.

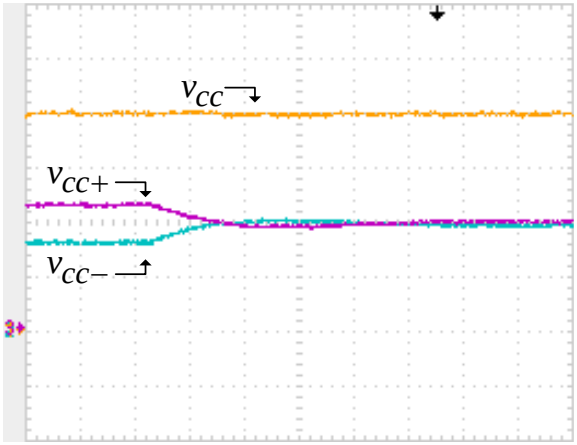
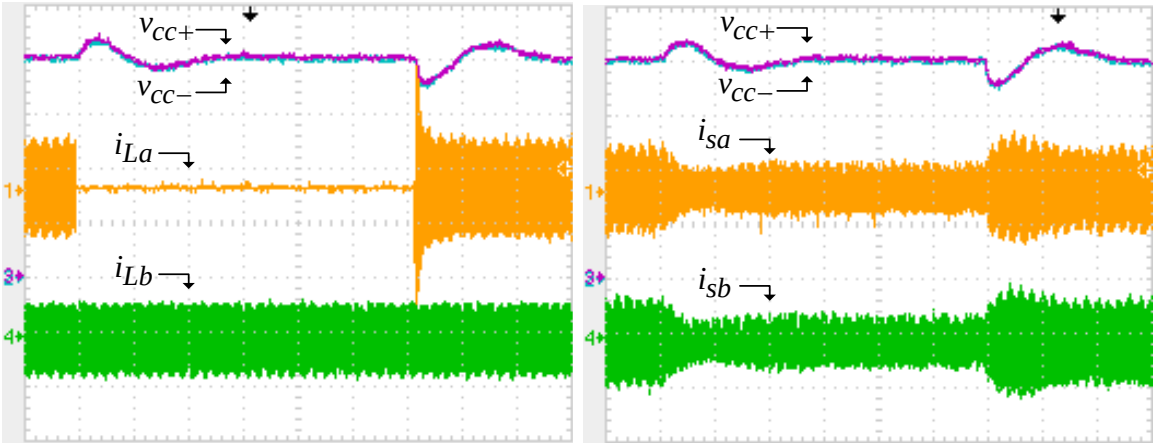


Figura 112 – Tensão do barramento CC (100 V/div, 250 ms/div). Tensão do barramento CC (v_{cc}) e tensão nos capacitores do barramento CC (v_{cc+}) e (v_{cc-}).

As figuras 113 (a) e (b) apresentam o comportamento dinâmico da tensão do barramento CC (V_{cc}), considerando que a carga da fase "a" é desconectada e reconectada após alguns segundos. Além das tensões do barramento CC (V_{cc+}) e (V_{cc-}), a figura 113 (a) apresenta as correntes das cargas (i_{La} e i_{Lb}). Já a figura 113 (b) apresenta as correntes da fonte (i_{sa} e i_{sb}), bem como as tensões do barramento CC (V_{cc+}) e (V_{cc-}). Pode ser observada a atuação do controlador de tensão do barramento CC nas correntes de entrada, de forma a manter a tensão controlada em 400 V juntamente com o controlador de desequilíbrio que mantém a diferença das tensões praticamente nula. Além disso, fica evidente pela figura 113 (b) a capacidade do sistema UPQC em manter as correntes da rede equilibradas, mesmo com a ausência da carga conectada à fase "a".



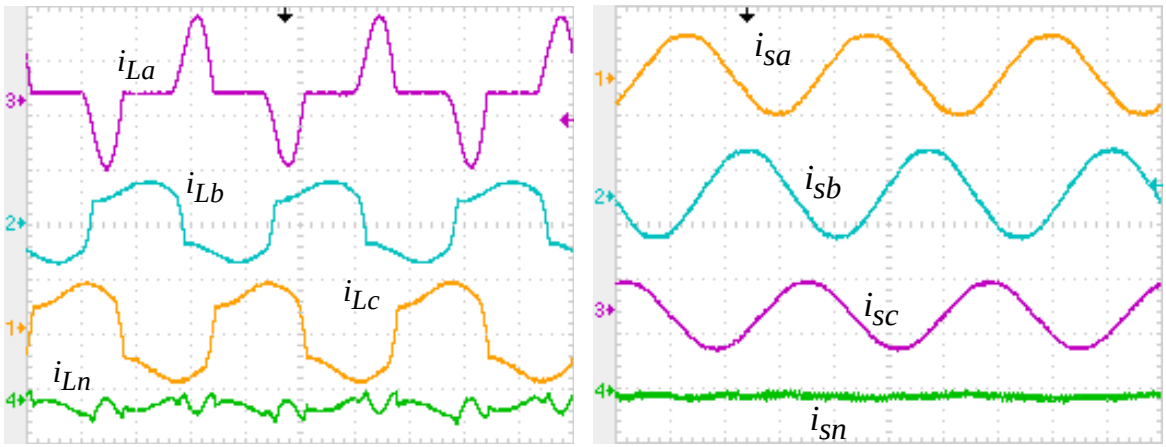
(a) (b)

Figura 113 – Tensões do barramento CC e correntes do UPQC (50 V/div, 20 A/div, 500ms/div). (a) retirada da carga da fase "a": Tensões do barramento CC (v_{cc+}) e (v_{cc-}) e correntes de carga (i_{La} e i_{Lb}); (b) retirada da carga da fase "a": Tensões do barramento CC (v_{cc+}) e (v_{cc-}) e correntes da rede (i_{sa} e i_{sb}).

O comportamento da UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibradas, reguladas e com baixo DHT, com o sistema alimentando a carga monofásica 2 da tabela 8, está apresentado nas figuras 114 a 117.

As correntes da carga (i_{La}, i_{Lb} e i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são mostradas na figura 114 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) e a corrente de neutro da rede (i_{sn}) são mostradas na figura 114 (b).

As correntes do UPQC considerando apenas a fase "a", onde mostra a corrente da carga (i_{La}), a corrente de compensação que circula pelo conversor paralelo na fase "a" (i_{Ca}) e a corrente da rede na fase "a" (i_{sa}) são mostradas na figura 115.



(a) (b)

Figura 114 – Correntes do UPQC para a carga monofásica 2 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases *a, b e c* (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *a, b e c* (i_{sa}, i_{sb}, i_{sc}) e de neutro na rede (i_{sn}).

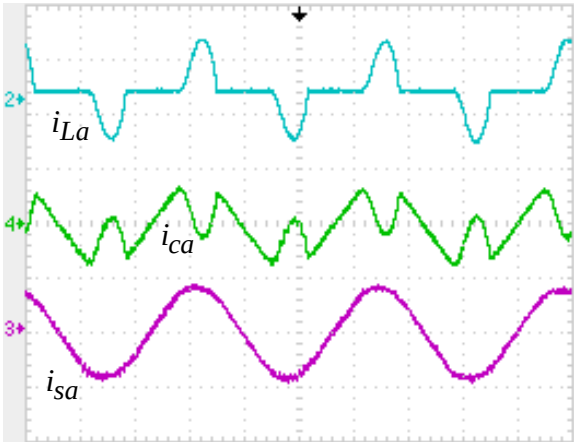
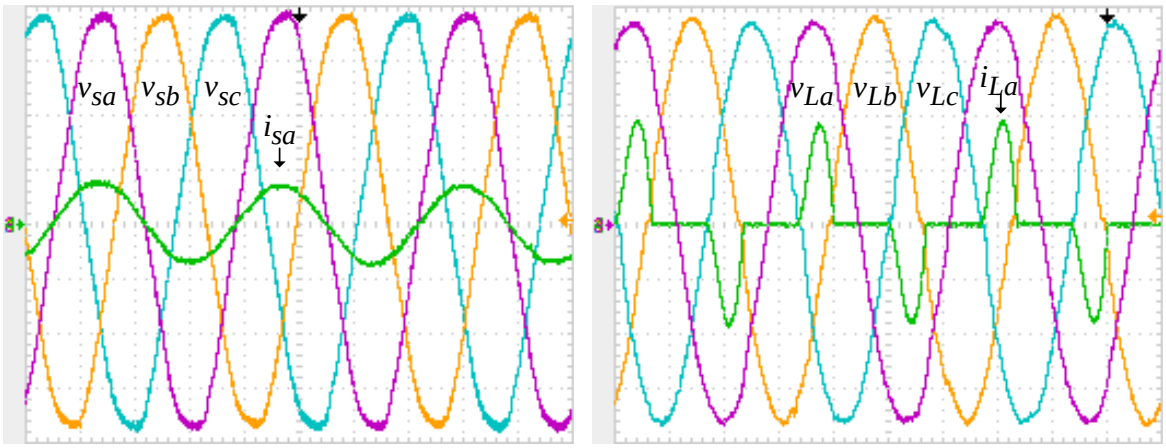


Figura 115 – Correntes da fase "a" do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).

As tensões de entrada das fases "a,b e c" (v_{sa}, v_{sb} e v_{sc}) juntamente com a corrente de entrada (i_{sa}) são mostradas na figura 116 (a), enquanto que as tensões de saída das fases "a, b e c" (v_{La}, v_{Lb} e v_{Lc}) e a corrente da carga (i_{La}) estão apresentadas na figura 116 (b).



(a) (b)

Figura 116 – Correntes e tensões para a carga monofásica 2 (20 A/div, 50 V/div e 5 ms/div): (a) Tensões de entrada (v_{sa}, v_{sb} e v_{sc}) e a corrente de entrada (i_{sa}); (b) Tensões de saída (v_{La}, v_{Lb} e v_{Lc}) e a corrente de saída (i_{La}).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga monofásica 2 estão apresentados na figura 117. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 2, medidas na fase "a", estão mostradas nas figuras 117 (a) e (b) , enquanto as DHTs das correntes de entrada (i_{sa}) e de saída (i_{La}) são mostradas nas figuras 117 (c) e (d).

As figuras 118 a 120 são do sistema UPQC alimentando a carga trifásica da tabela 8. As correntes da carga (i_{La}, i_{Lb} e i_{Lc}), da rede (i_{sa}, i_{sb} e i_{sc}), e de compensação (i_{ca}, i_{cb} e i_{cc}) são mostradas, respectivamente nas figuras 118 (a), (b) e (c). A figura 118 (d) apresenta as correntes do UPQC considerando apenas a fase "a".

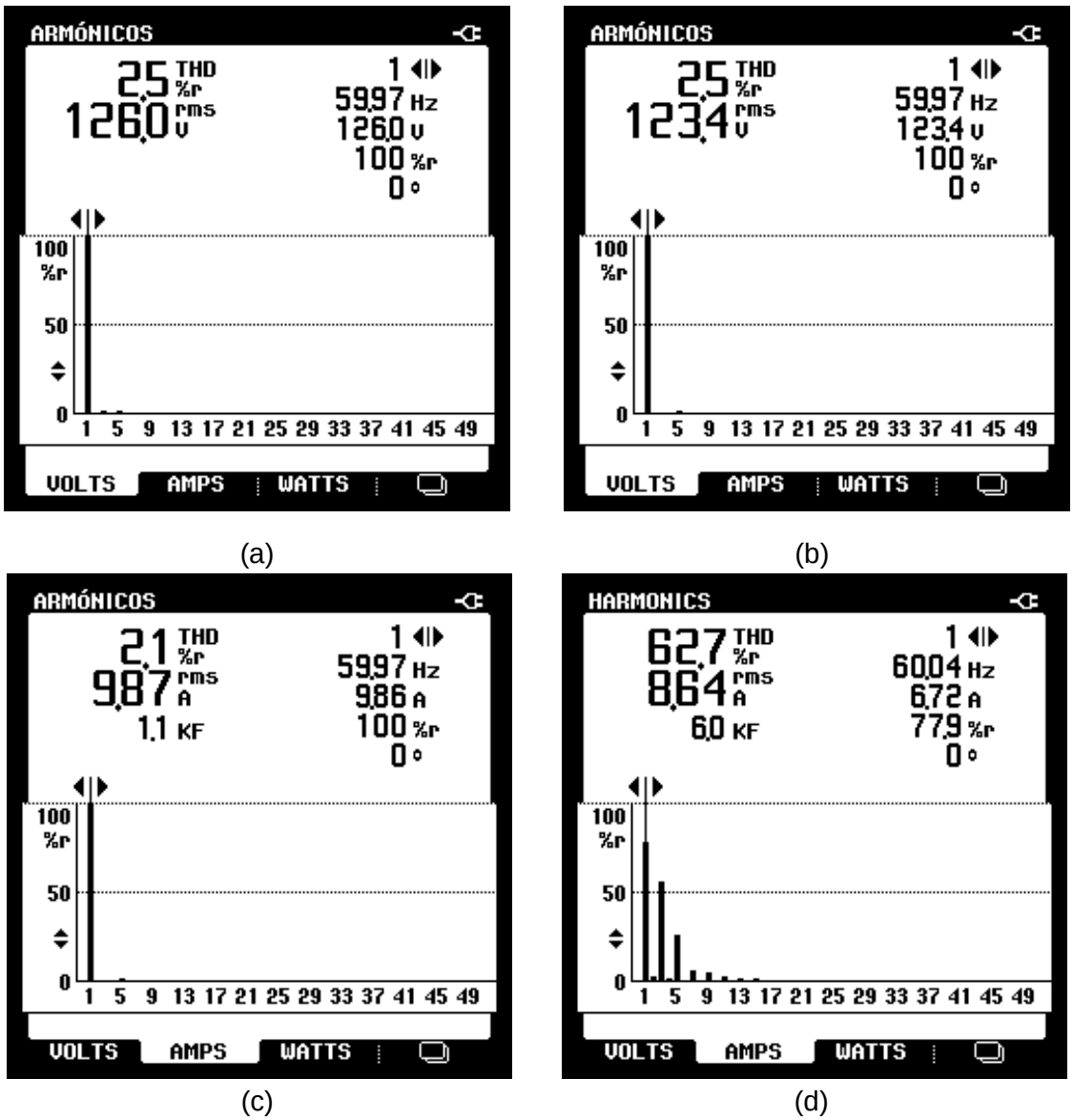


Figura 117 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

As tensões de saída do UPQC nas três fases (v_{La}, v_{Lb} e v_{Lc}) alimentando a carga trifásica são mostradas na figura 119.

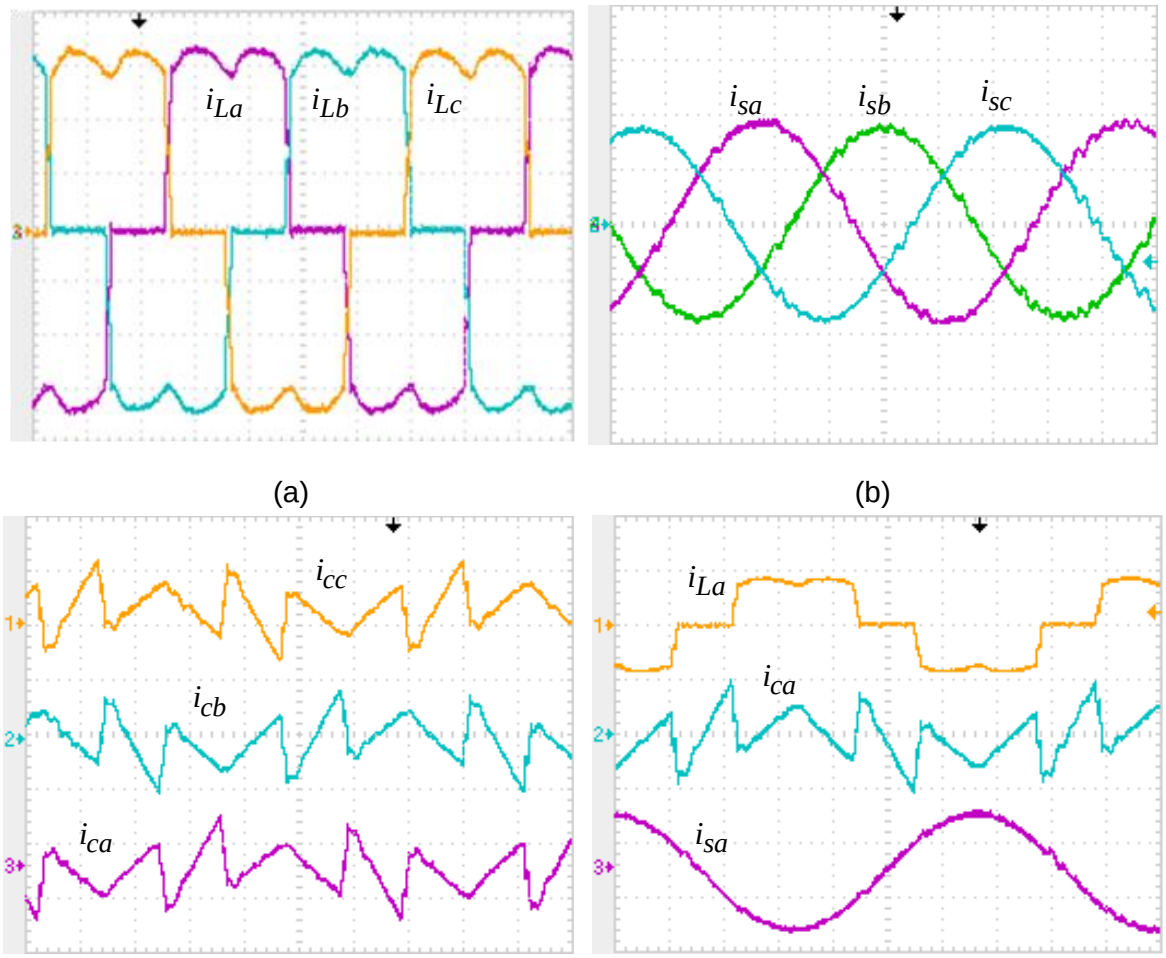


Figura 118 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (i_{La}, i_{Lb}, i_{Lc}) (5 A/div); (b) Correntes compensadas da rede (i_{sa}, i_{sb}, i_{sc}) (10 A/div); (c) Correntes do conversor paralelo (i_{ca}, i_{cb}, i_{cc}) (10 A/div); (d) Correntes da fase "a": carga i_{La} (20 A/div), conversor paralelo i_{ca} (10 A/div) e rede i_{sa} (20 A/div).

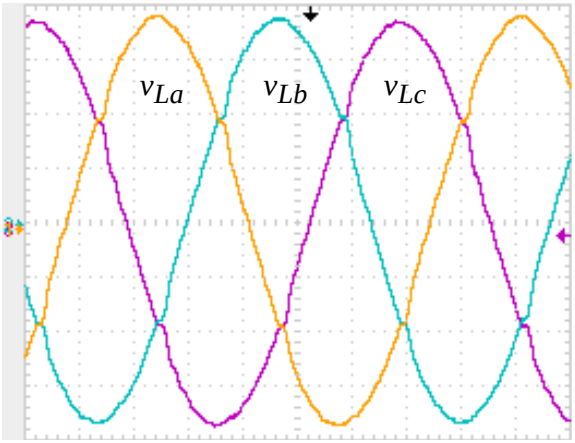
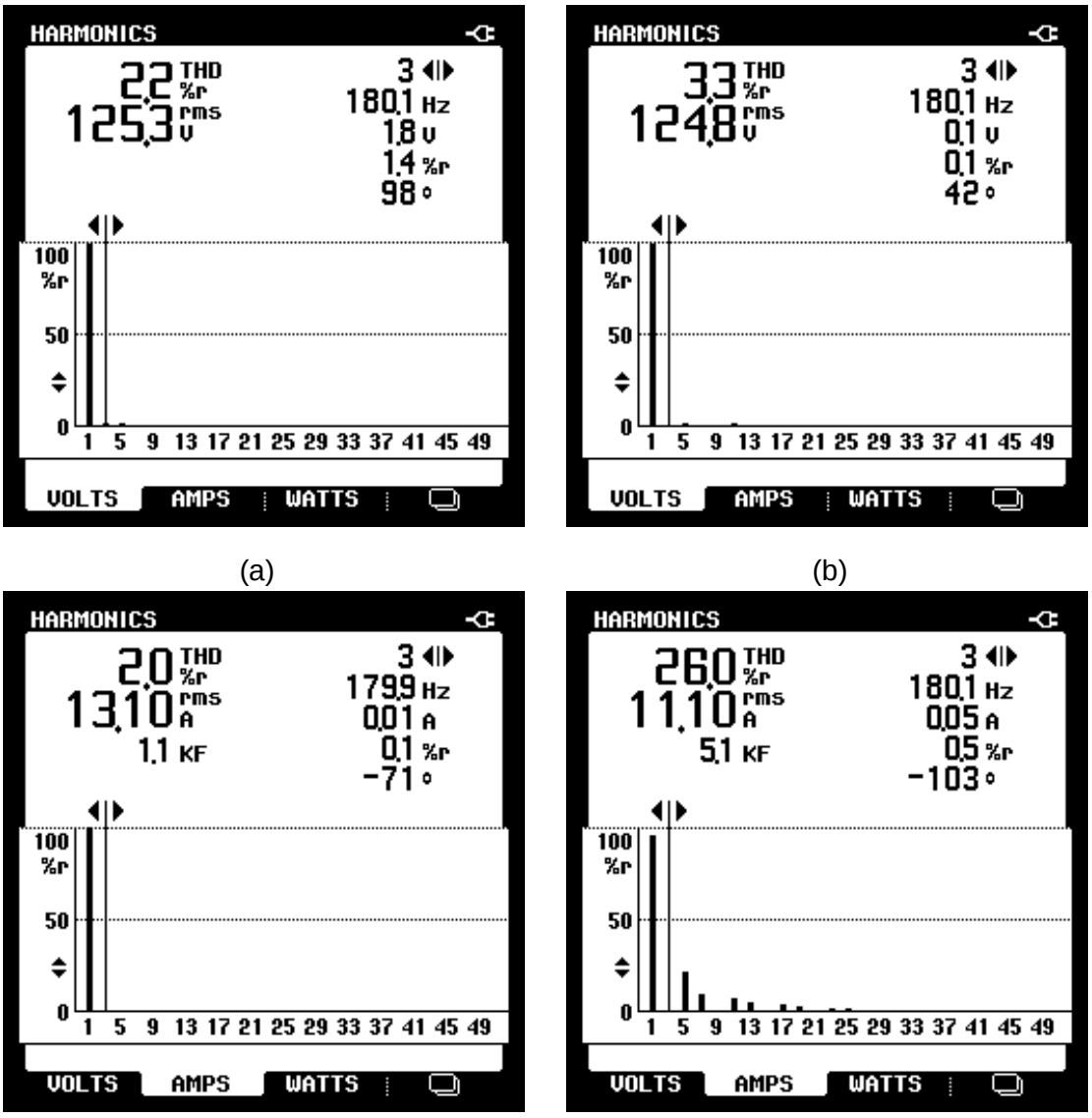


Figura 119 – Tensões do UPQC com a carga trifásica (2,5 ms/div): Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga trifásica estão apresentados na figura 120. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga trifásica, medidas na fase “a”, estão mostradas nas figuras 120 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 120 (c) e (d).



(a) (b)

(c) (d)

Figura 120 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

5.3.2 Resultados Experimentais do Sistema Operando como UPS

O comportamento dinâmico do sistema UPS alimentando a carga 2 durante as transições entre os modos *standby* para *backup* e de *backup* para *standby* é apresentado na figura 121. Na figura 121 (a) mostram-se as correntes compensadas da rede (i_{sa}, i_{sb} e i_{sc}) e a tensão de saída na fase "a" (v_{La}). Como pode ser observado houve uma interrupção no fornecimento de energia da rede elétrica durante aproximadamente dois ciclos, no entanto, o sistema UPS continua alimentando a carga sem qualquer interrupção ou transitório. As correntes relacionadas com a fase "c" durante a interrupção e retorno do fornecimento por parte da rede elétrica são apresentadas na figura 121 (b), onde se observa a corrente da rede (i_{sc}), a corrente do conversor paralelo (i_{cc}) e a corrente da carga (i_{Lc}). As correntes da fase "a" durante esta mesma transição entre os modos de operação da UPS são apresentadas na figura 121 (c), onde são mostradas a corrente da rede (i_{sa}), a corrente do conversor paralelo (i_{ca}) e a corrente da carga (i_{La}).

Pode ser observado nas figuras 121 (b) e (c) que no momento da interrupção no fornecimento de energia, o conversor paralelo assume totalmente a corrente da carga e no momento do retorno da rede elétrica o conversor paralelo passa a fornecer somente a corrente de compensação resultante da diferença entre a corrente de entrada e de saída.

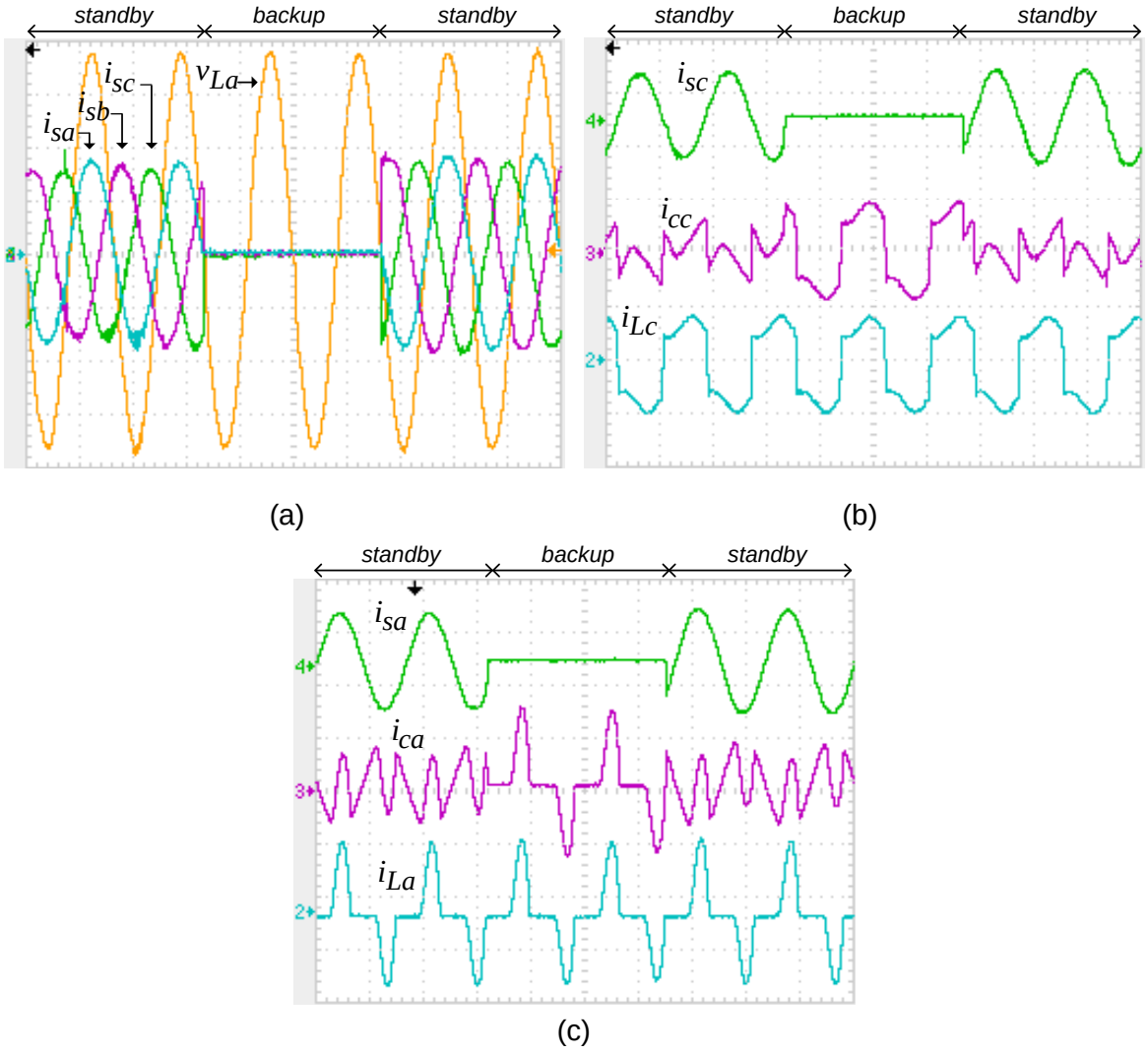


Figura 121 – Correntes e tensões da UPS durante as transições entre os modos *standby-backup-standby*: (a) Tensão de saída fase "a" (v_{La}) (50 V/div, 10 ms/div) e as correntes da rede (i_{sa}, i_{sb} e i_{sc}) (10 A/div, 10 ms/div); (b) correntes da fase "c" (10 A/div, 10 ms/div): Corrente da rede (i_{sc}), corrente no conversor paralelo (i_{cc}), corrente da carga (i_{Lc}); (c) correntes da fase "a" (10 A/div, 10 ms/div): Corrente da rede (i_{sa}), corrente no conversor paralelo (i_{ca}), corrente da carga (i_{La}).

5.4 Resultados Experimentais – Topologia Composta por um Conversor T-L e um Conversor F-L.

Nesta seção serão apresentados os resultados experimentais do condicionador de qualidade de energia composto por um conversor VSI T-L e um conversor VSI F-L (figura 122) operando como UPQC e como UPS *Line-Interactive*. Em ambos os casos os testes experimentais foram realizados utilizando as três cargas apresentadas na tabela 8. Os comportamentos estáticos e dinâmicos são avaliados com a presença de distúrbios de tensão na rede elétrica, tais como harmônicos, desequilíbrios, elevações (swell) e afundamentos (sags), bem como variações de carga.

Além disso, são apresentados resultados da UPS referentes as transições entre os modos *standby* para *backup*, bem como *backup* para *standby.*

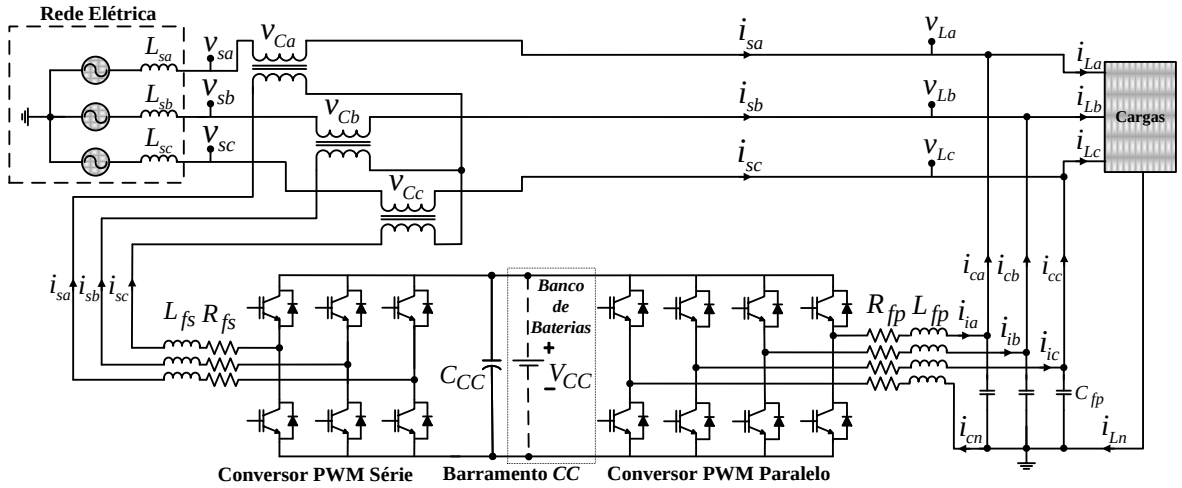
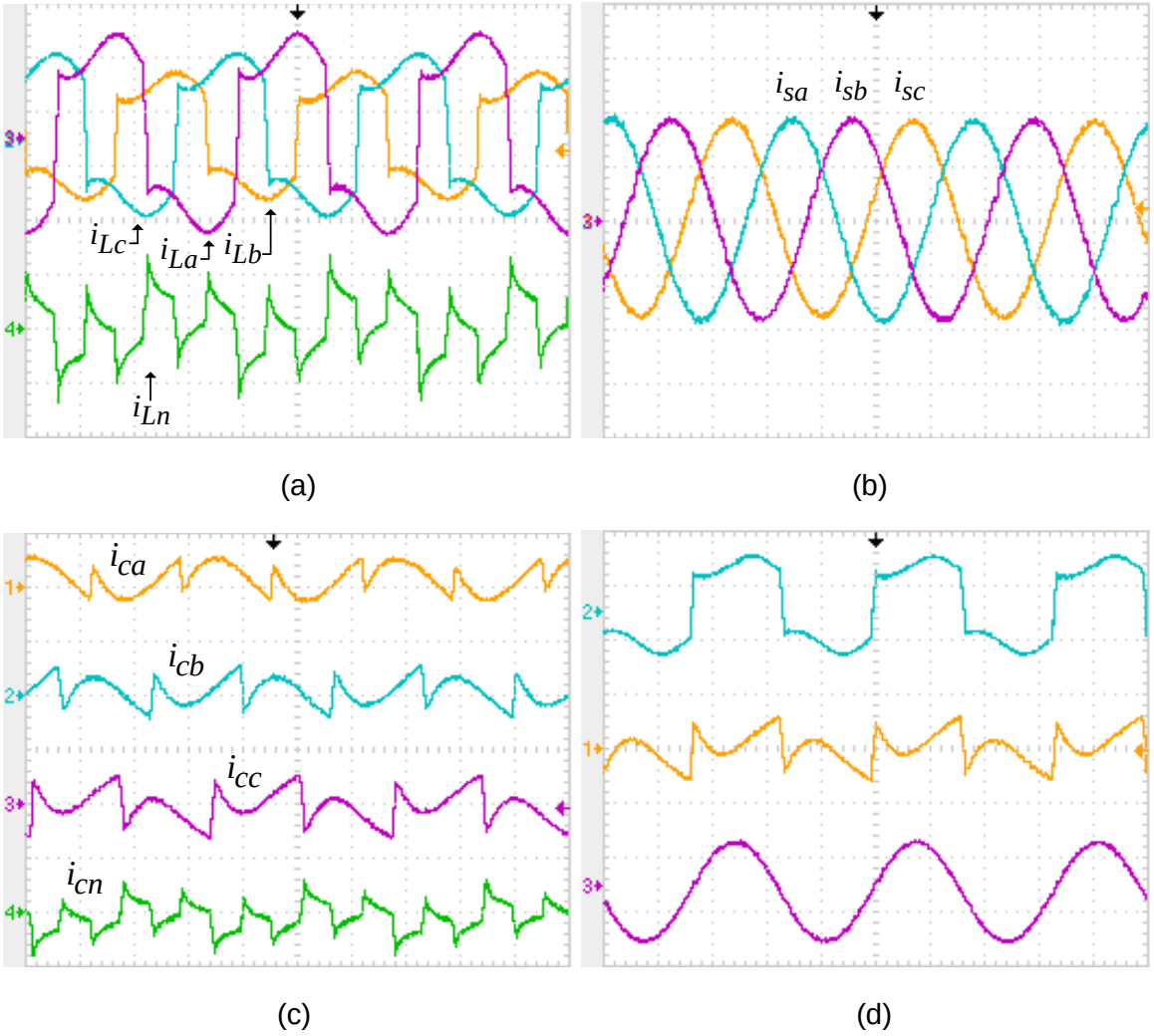


Figura 122 – Condicionador implementado com um conversor T-L e um conversor F-L.

5.4.1Resultados Experimentais do Sistema Operando como UPQC.

O comportamento do UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibradas, reguladas e com baixa DHT, com o sistema alimentando a carga monofásica 1 da tabela 8, está apresentado nas figuras 123 a 126.

As correntes da carga (i_{La}, i_{Lb} *e* i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são apresentadas na figura 123 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) são mostradas na figura 123 (b), enquanto as correntes do conversor paralelo (i_{ca}, i_{cb} e i_{cc}) e a sua corrente de neutro (i_{cn}) são mostradas na figura 123 (c). A figura 123 (d) apresenta as correntes do UPQC considerando apenas a fase "a".



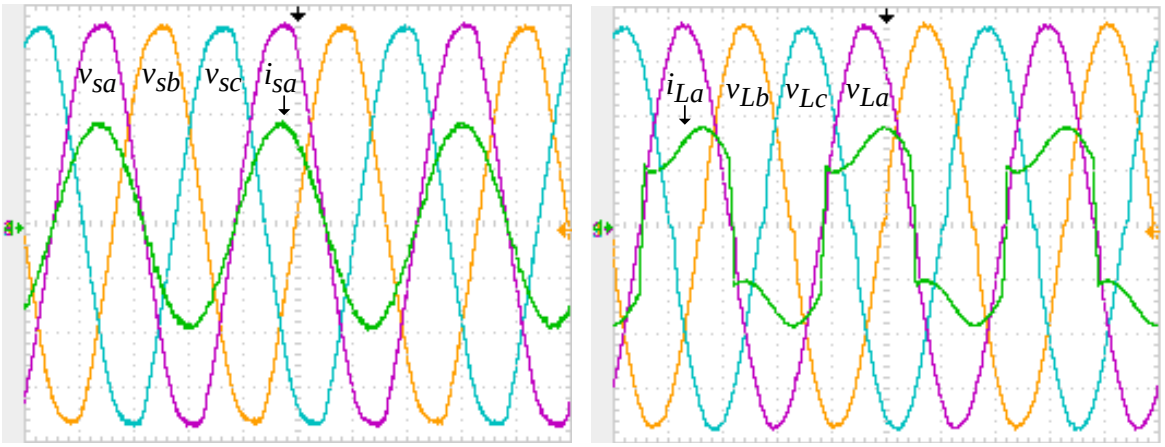
(a) (b)

(c) (d)

Figura 123 – Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases *a, b e c* (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *a, b e c* (i_{sa}, i_{sb}, i_{sc}); (c) Correntes do conversor paralelo nas fases *a, b e c* (i_{ca}, i_{cb}, i_{cc}) e de neutro do conversor paralelo (i_{cn}); (d) Correntes da fase "a": carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).

Observa-se que as correntes compensadas da rede tornaram-se equilibradas e muito próximas de uma senoide de forma que, para esta situação, (i_{cn}) é igual a (i_{Ln}), portanto toda a corrente de neutro da carga circula pelo conversor paralelo.

O comportamento das tensões do UPQC alimentando a carga monofásica 1 é apresentado na figura 124. Na figura 124 (a) são mostradas as tensões trifásicas da rede (v_{sa}, v_{sb} e v_{sc}) juntamente com a corrente de entrada da fase "a" (i_{sa}), a figura 124 (b) mostra as tensões de saída (v_{La}, v_{Lb} e v_{Lc}), juntamente com a corrente da carga da fase "a" (i_{La}). Observa-se que o conversor paralelo fornece tensões senoidais, equilibradas e com baixa taxa de distorção harmônica para as cargas, como pode ser observado na figura 124.



(a) (b)

Figura 124 – Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (v_{sa}, v_{sb}, v_{sc}) (50 V/div) e corrente da fase "a" da rede (i_{sa}) (10 A/div); (b) Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div) e corrente da carga da fase "a" (i_{La}) (10 A/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC estão apresentados na figura 125. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 1, medidas na fase "a", estão presentes nas figuras 125 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 125 (c) e (d).

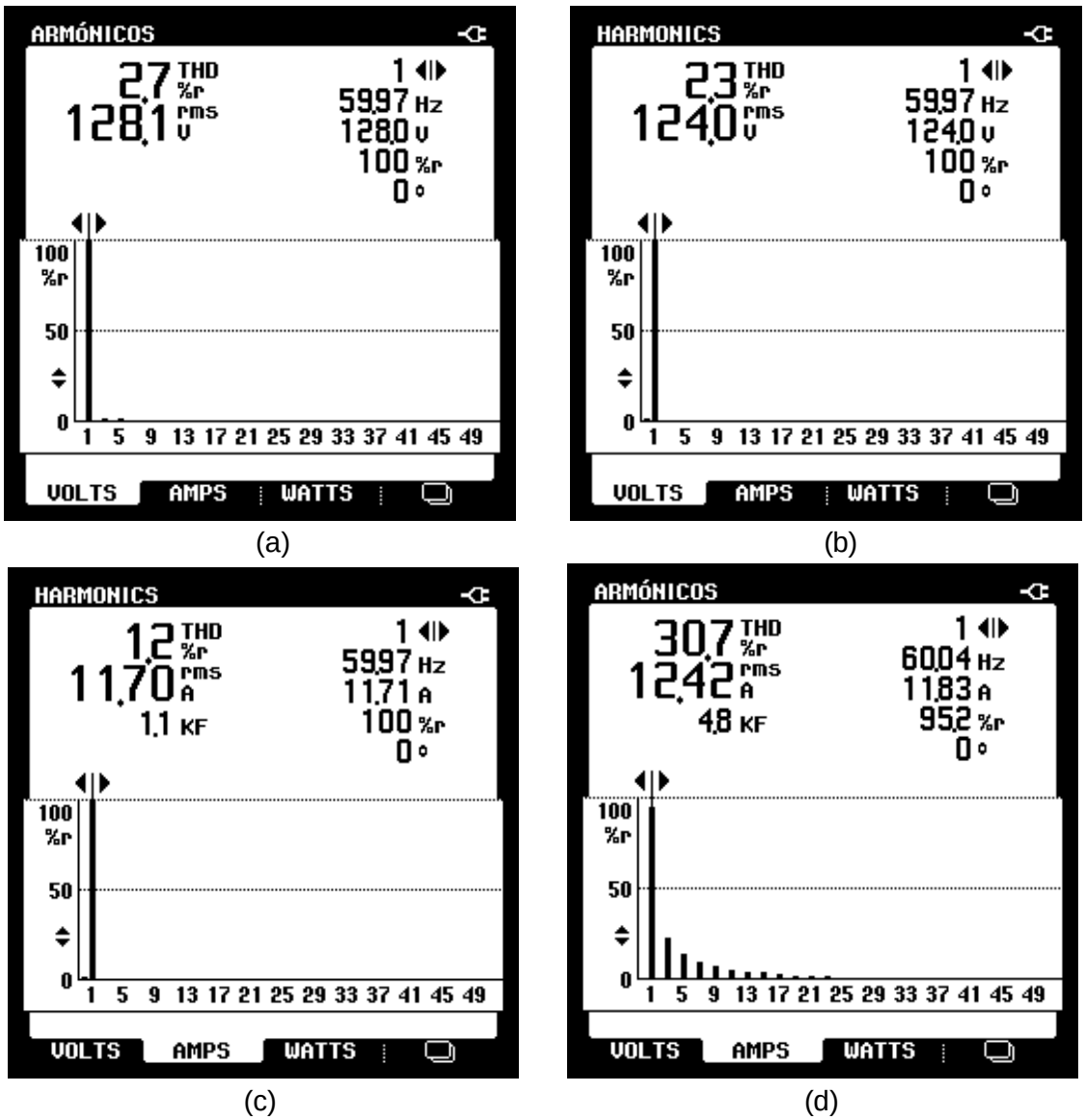
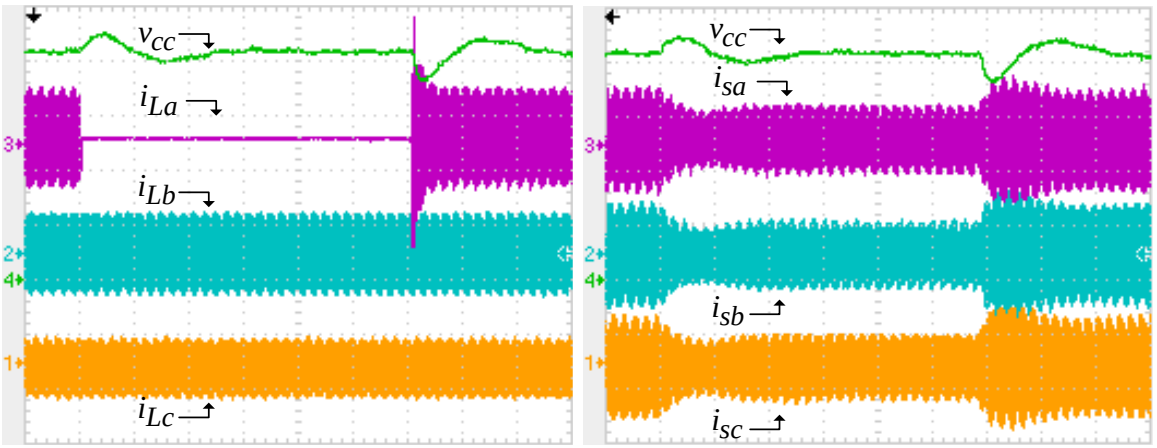


Figura 125 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 1: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

As figuras 126 (a) e (b) apresentam o comportamento dinâmico da tensão do barramento CC (V_{cc}) considerando que a carga da fase "a" é desconectada e reconectada após alguns segundos. Além da tensão do barramento CC, a figura 126 (a) apresenta as correntes das cargas (i_{La}, i_{Lb} e i_{Lc}). Já a figura 126 (b) apresenta as correntes da fonte (i_{sa}, i_{sb} e i_{sc}), bem como a tensão do barramento CC. Pode ser observada a atuação do controlador de tensão do barramento CC nas correntes de entrada, de forma a manter a tensão controlada em 400 V. Além disso, fica evidente pela figura 126 (b) a capacidade do sistema UPQC em manter as correntes da rede equilibradas, mesmo com a ausência da carga conectada à fase "a".

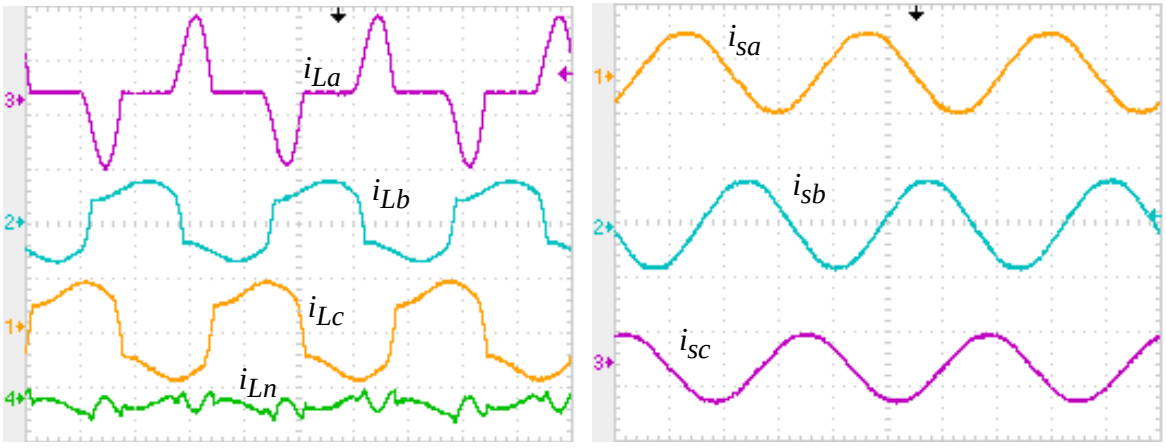


(a) (b)

Figura 126 – Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 500ms/div). (a) retirada da carga da fase "a": Tensão do barramento CC (v_{cc}) e correntes de carga (i_{La}, i_{Lb}, i_{Lc}); (b) retirada da carga da fase "a": Tensão do barramento CC (v_{cc}) e correntes da rede (i_{sa}, i_{sb}, i_{sc}).

Os resultados do UPQC compensando as correntes de entrada e mantendo as tensões de saída equilibradas, reguladas e com baixo DHT, com o sistema alimentando a carga monofásica 2 da tabela 8, estão apresentados nas figuras 127 a 130.

As correntes da carga (i_{La}, i_{Lb} *e* i_{Lc}) e a corrente de neutro da carga (i_{Ln}) estão na figura 127 (a). As correntes compensadas da fonte (i_{sa}, i_{sb} e i_{sc}) são mostradas na figura 127 (b).



(a) (b)

Figura 127 – Correntes do UPQC para a carga monofásica 2 (20 A/div, 5 ms/div): (a) Correntes da carga nas fases *a, b e c* (i_{La}, i_{Lb}, i_{Lc}) e de neutro (i_{Ln}); (b) Correntes compensadas da rede nas fases *a, b e c* (i_{sa}, i_{sb}, i_{sc}).

As correntes do UPQC considerando apenas a fase “a”, onde mostra a corrente da carga (i_{La}) a corrente de compensação que circula pelo conversor paralelo na fase “a” (i_{Ca}) e a corrente da rede na fase “a” (i_{sa}) são mostradas na figura 128.

As tensões de entrada das fases “a, b e c” (v_{sa}, v_{sb} e v_{sc}) juntamente com a corrente de entrada (i_{sa}) são mostradas na figura 129 (a), enquanto que as tensões de saída das fases “a, b e c” (v_{La}, v_{Lb} e v_{Lc}) e a corrente da carga (i_{La}) estão apresentadas na figura 129 (b).

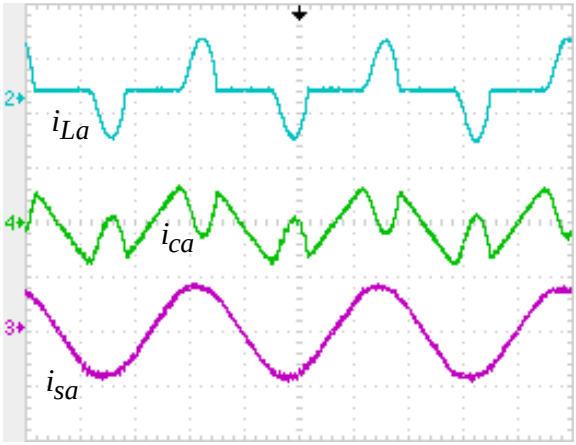
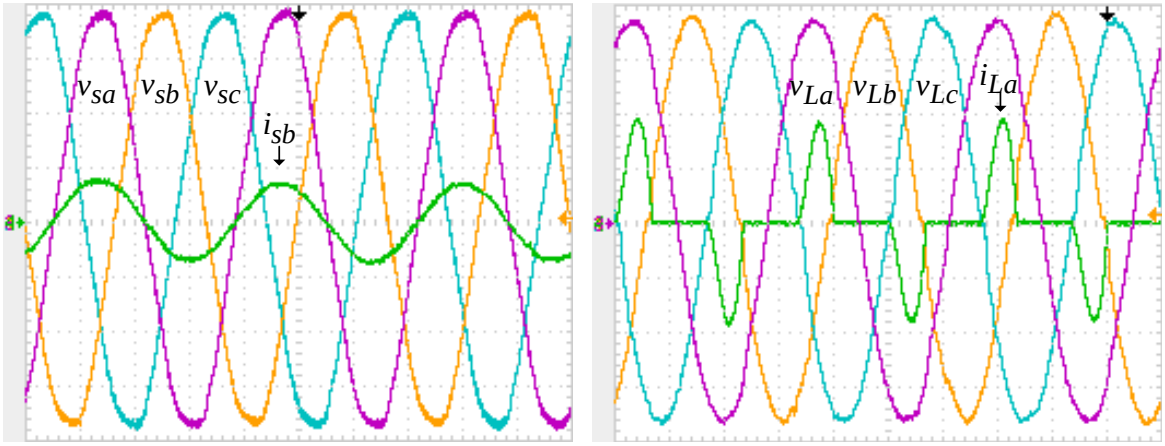


Figura 128 – Correntes da fase “a” do UPQC para a carga monofásica 2 (20 A/div e 5 ms/div): Carga (i_{La}), conversor paralelo (i_{ca}) e rede (i_{sa}).



(a) (b)

Figura 129 – Correntes e tensões para a carga monofásica 2 (20 A/div, 50 V/div e 5 ms/div): (a) Tensões de entrada (v_{sa}, v_{sb} e v_{sc}) e a corrente de entrada (i_{sa}); (b) Tensões de saída (v_{La}, v_{Lb} e v_{Lc}) e a corrente de saída (i_{La}).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga monofásica 2 estão presentes na figuras 130. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga 2, medidas na fase “a”, estão mostradas nas figuras 130 (a) e (b) , enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) são mostradas nas figuras 130 (c) e (d).

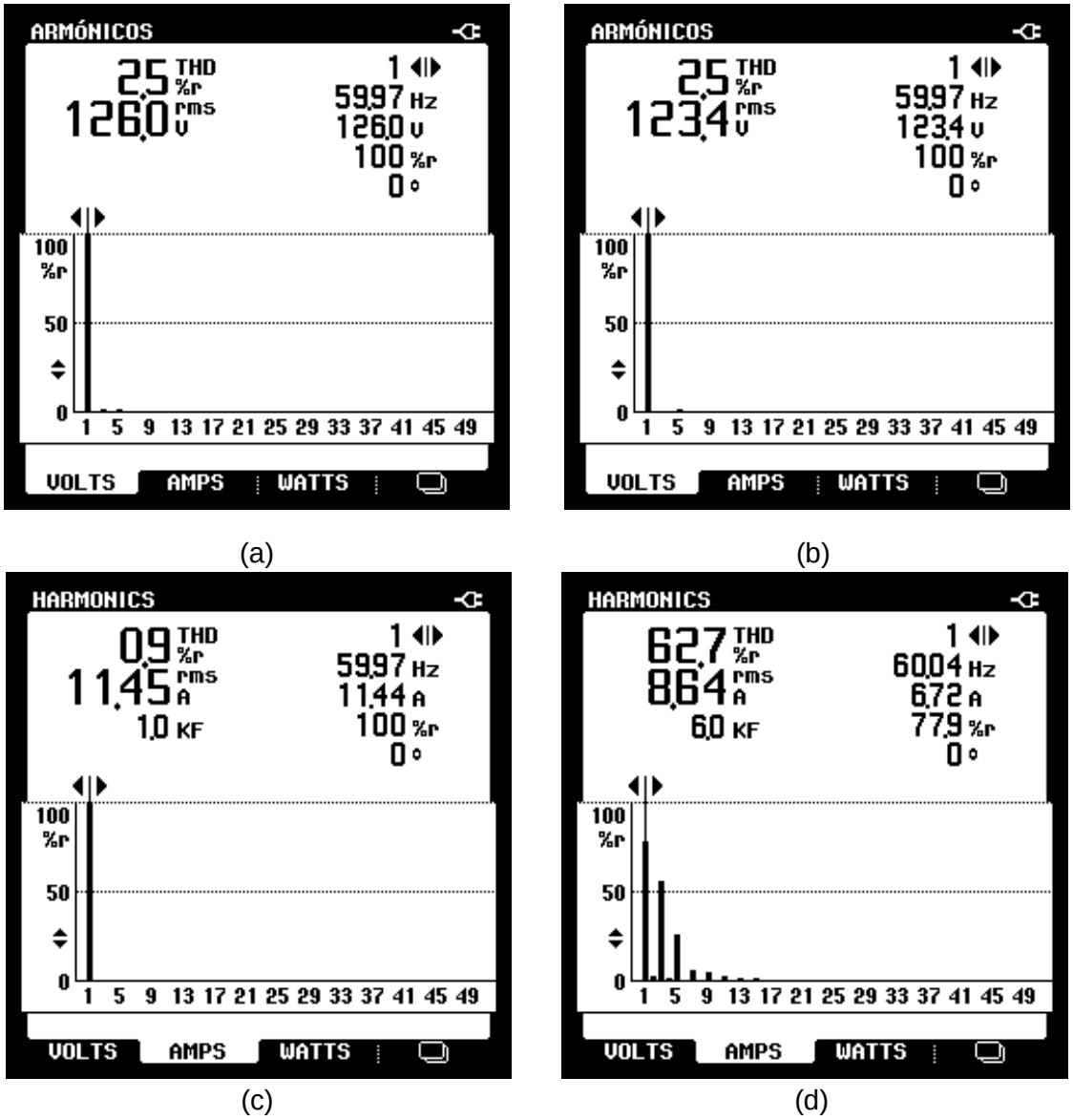


Figura 130 – Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

As figuras 131 a 133 são do sistema UPQC alimentando a carga trifásica da tabela 8. As correntes da carga (i_{La}, i_{Lb} e i_{Lc}) juntamente com a tensão da carga na fase "a" (v_{La}), da rede (i_{sa}, i_{sb} e i_{sc}), e de compensação (i_{ca}, i_{cb} e i_{cc}) são mostradas, respectivamente nas figuras 131 (a), (b) e (c). A figura 131 (d) apresenta as correntes do UPQC considerando apenas a fase "a".

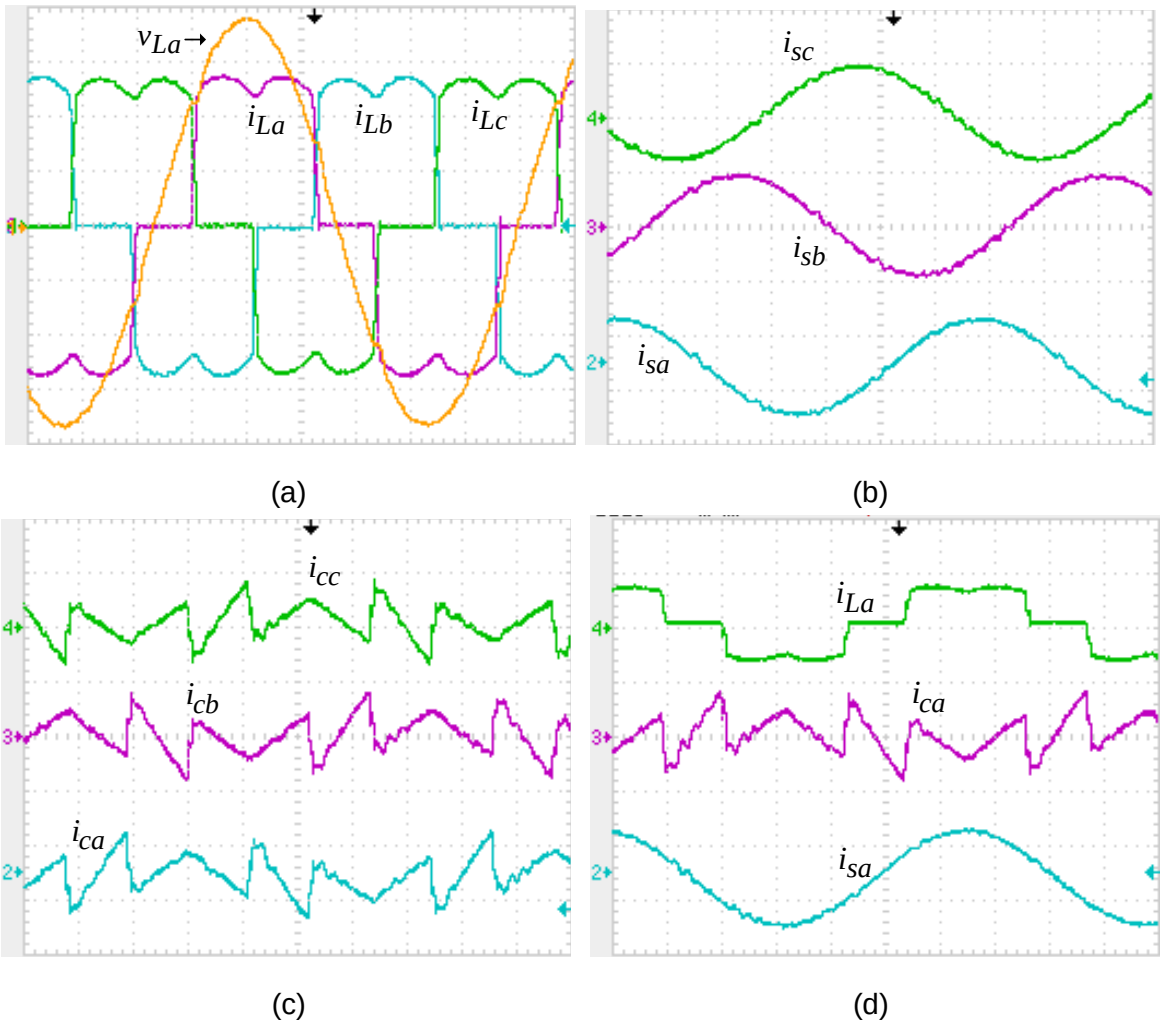


Figura 131 – Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (i_{La}, i_{Lb}, i_{Lc}) (5 A/div); (b) Correntes compensadas da rede (i_{sa}, i_{sb}, i_{sc}) (10 A/div); (c) Correntes do conversor paralelo (i_{ca}, i_{cb}, i_{cc}) (10 A/div); (d) Correntes da fase "a": carga i_{La} (20 A/div), conversor paralelo i_{ca} (10 A/div) e rede i_{sa} (20 A/div).

As tensões de saída do UPQC nas três fases (v_{La}, v_{Lb} e v_{Lc}) alimentando a carga trifásica são mostradas na figura 132.

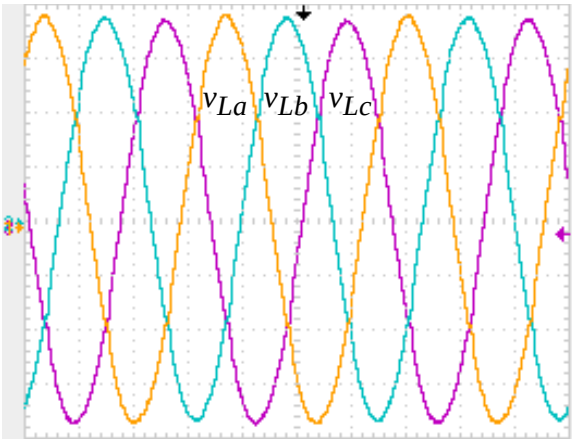


Figura 132 – Tensões do UPQC com a carga trifásica (5 ms/div): Tensões da carga (v_{La}, v_{Lb}, v_{sL}) (50 V/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC alimentando a carga trifásica estão apresentados na figura 133. As DHTs das tensões na rede (v_{sa}) e na carga (v_{La}) do sistema alimentando a carga trifásica, medidas na fase “a”, estão mostradas nas figuras 133 (a) e (b), enquanto as DHTs das correntes de entrada (i_{sa}) e saída (i_{La}) estão nas figuras 133 (c) e (d).

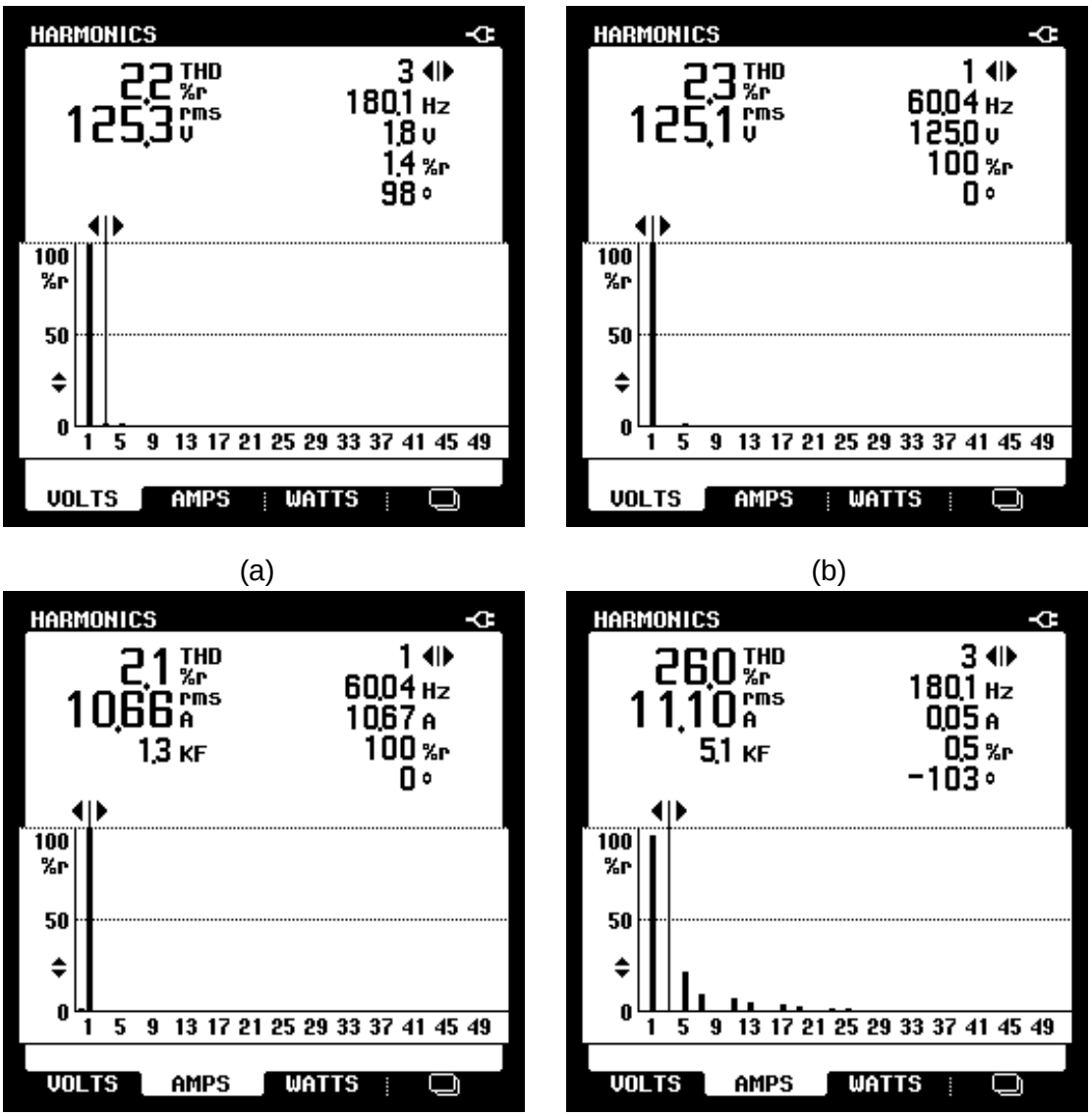


Figura 133 – Espectros harmônicos e DHTs das tensões e correntes da fase "a" para a carga 2: (a) Tensão da rede (v_{sa}); (b) Tensão da carga (v_{La}); (c) Corrente da rede (i_{sa}); (d) Corrente da carga (i_{La}).

5.4.2 Resultados Experimentais do Sistema Operando como UPS

O comportamento dinâmico do sistema UPS alimentando a carga monofásica 2 durante as transições entre os modos *standby* para *backup* e de *backup* para *standby* está apresentado na figura 134. Na figura 134 (a) são mostradas as correntes compensadas da rede (i_{sa}, i_{sb} e i_{sc}) e a tensão de saída na fase "a" (v_{La}). Como pode ser observado, houve uma interrupção no fornecimento de energia da rede elétrica durante aproximadamente dois ciclos da rede. No entanto, o sistema

UPS continuou alimentando a carga sem qualquer interrupção ou transitório. As correntes relacionadas com a fase “c” durante a interrupção e retorno do fornecimento por parte da rede elétrica são apresentadas na figura 134 (b), onde são mostradas a corrente da rede (i_{sc}), a corrente do conversor paralelo (i_{cc}) e a corrente da carga (i_{Lc}). As correntes da fase “a” durante esta mesma transição entre os modos de operação da UPS são apresentadas na figura 134 (c), onde são mostradas a corrente da rede (i_{sa}), a corrente do conversor paralelo (i_{ca}) e a corrente da carga (i_{La}).

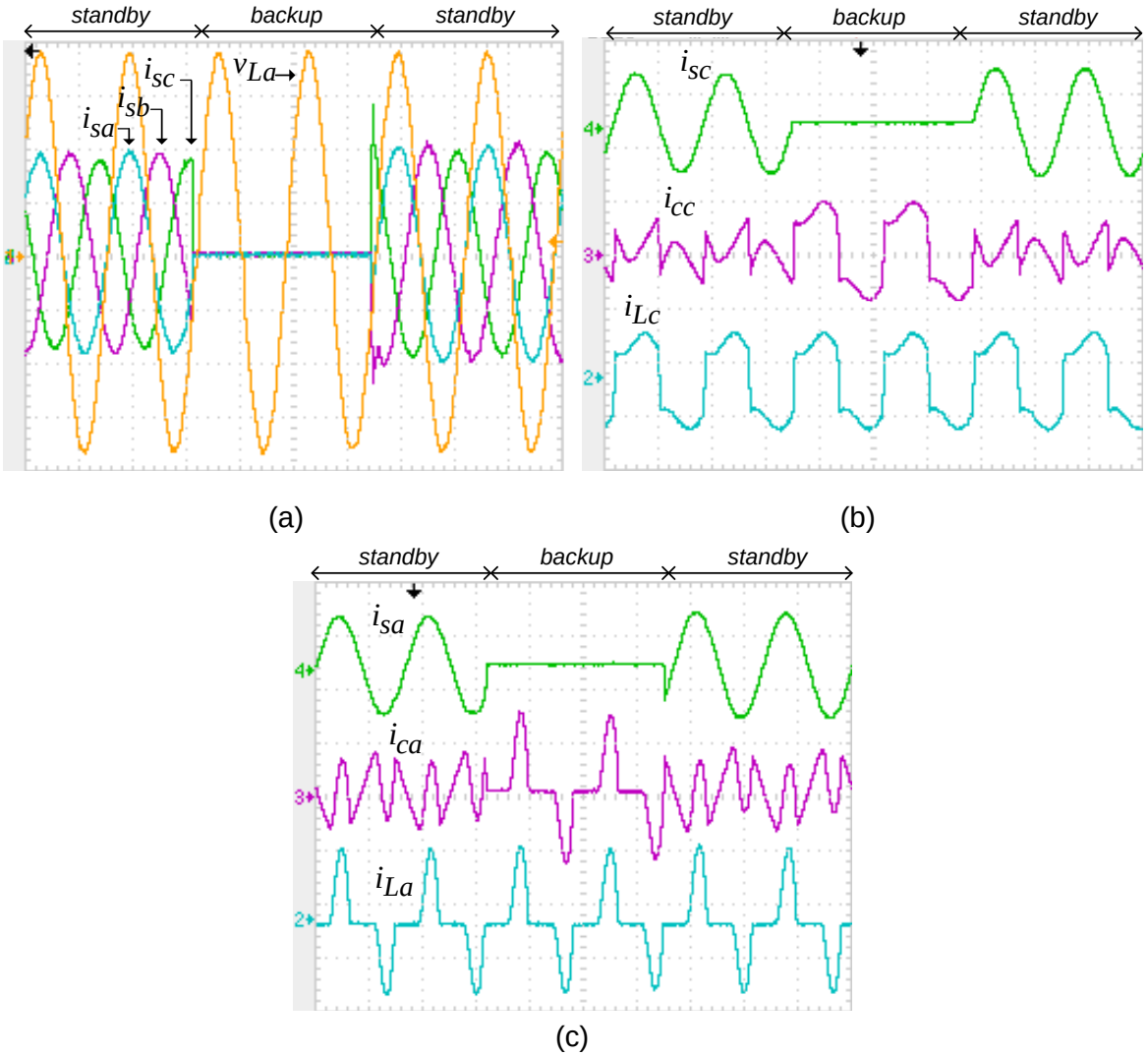


Figura 134 – Correntes e tensões da UPS durante as transições entre os modos *standby-backup-standby*: (a) Tensão de saída fase “a” (v_{La}) (50 V/div, 10 ms/div) e as correntes da rede (i_{sa}, i_{sb} e i_{sc}) (10 A/div, 10 ms/div); (b) correntes da fase “c” (10 A/div, 10 ms/div): Corrente da rede (i_{sc}), corrente no conversor paralelo (i_{cc}), corrente da carga (i_{Lc}); (c) correntes da fase “a” (10 A/div, 10 ms/div): Corrente da rede (i_{sa}), corrente no conversor paralelo (i_{ca}), corrente da carga (i_{La}).

Pode ser observado nas figuras 134 (b) e (c) que no momento da interrupção no fornecimento de energia da rede elétrica, o conversor paralelo assume totalmente a corrente da carga. Já no momento do retorno da rede elétrica o conversor paralelo passa a fornecer somente as correntes de compensação resultante das diferenças entre as correntes de entrada e de saída.

5.5 Análise Comparativa das Topologias Apresentadas

Nas seções anteriores foram apresentados os resultados experimentais das três topologias de condicionadores de energia implementados neste trabalho, operando tanto como UPQC quanto UPS. Também pode ser notado que em todos os testes foram adotadas as mesmas cargas. Neste caso, torna-se possível avaliar aspectos referentes aos desempenhos de cada topologia, as características de cada conversor, as DHTs das tensões e correntes de cada topologia.

A tabela 9 apresenta as DHTs das correntes de entrada nas fases *abc* das três topologias alimentando as três cargas, bem como das correntes de saída nas fases “a, b e c”. Todas as medições de DHTs foram realizadas em regime permanente.

Tabela 9 – DHTs das correntes de entrada e saída das três topologias

Topologias		Cargas monofásicas (1Φ) e trifásica (3Φ)	Distorção Harmônica Total (DHT%)					
Série	Paralelo		i_{La}	i_{Lb}	i_{Lc}	i_{sa}	i_{sb}	i_{sc}
F-L	F-L	Carga 1 (1Φ)	30,7	29,3	24,9	1,0	1,0	1,3
		Carga 2 (1Φ)	62,7	25,0	29,3	1,2	1,0	1,1
		Carga 3 (3Φ)	26,0	26,0	26,0	1,7	1,7	1,7
S-C	F-L	Carga 1 (1Φ)	30,7	29,3	24,9	2,3	2,2	2,2
		Carga 2 (1Φ)	62,7	25,0	29,3	2,1	2,0	2,4
		Carga 3 (3Φ)	26,0	26,0	26,0	2,0	2,0	2,0
T-L	F-L	Carga 1 (1Φ)	30,7	29,3	24,9	1,2	1,5	1,3
		Carga 2 (1Φ)	62,7	25,0	29,3	0,9	1,1	1,3
		Carga 3 (3Φ)	26,0	26,0	26,0	2,1	2,1	2,1

Pode ser observado pela referida tabela, a capacidade das topologias em realizar a compensação das correntes harmônicas das cargas. No entanto, a topologia composta por um conversor S-C e um F-L apresentou DHTs mais elevadas nas três situações em comparação as outras duas topologias.

As DHTs das tensões de entrada nas fases "*abc*" das três topologias, bem como as DHTs das tensões de saída nas fases "*abc*" das três topologias alimentando as três cargas são apresentadas na tabela 10. Pode ser observado pela tabela 10 que as DHTs das tensões de saída ficaram muito próximas nas três topologias e que as DHTs variam conforme a carga que o sistema está alimentando.

Tabela 10 – DHTs das tensões de entrada e saída das três topologias

Topologias		Cargas monofásicas (1Φ) e trifásica (3Φ)	Distorção Harmônica Total (DHT%)					
Série	Paralelo		v_{La}	v_{Lb}	v_{Lc}	v_{sa}	v_{sb}	v_{sc}
F-L	F-L	Carga 1 (1Φ)	2,5	2,9	2,5	2,3	2,2	1,9
		Carga 2 (1Φ)	2,2	2,3	2,2	2,7	2,2	2,3
		Carga 3 (3Φ)	2,2	2,2	2,2	3,3	3,3	3,3
S-C	F-L	Carga 1 (1Φ)	2,7	2,6	2,5	2,5	2,2	2,2
		Carga 2 (1Φ)	2,5	2,7	2,8	2,5	2,3	2,6
		Carga 3 (3Φ)	2,2	2,2	2,2	3,3	3,3	3,3
T-L	F-L	Carga 1 (1Φ)	2,7	2,4	2,6	2,3	2,3	2,1
		Carga 2 (1Φ)	2,5	2,5	2,7	2,5	2,2	2,3
		Carga 3 (3Φ)	2,2	2,2	2,2	2,3	2,3	2,3

Na tabela 11 são apresentadas as principais características dos conversores série e paralelo utilizados nas três topologias. O termo frequência resultante apresentado nesta tabela representa a frequência de chaveamento resultante nas tensões e correntes dos conversores série e paralelo.

A estimativa de custos das topologias implementadas neste trabalho está apresentada na tabela 12, onde também é incluída a topologia de UPS composta por dois conversores S-C discutida no capítulo três, que apesar de não ter sido implementada neste trabalho é largamente utilizada em sistemas trifásicos a quatro

fios. As estimativas de custos estão normalizadas e tendo como base 1 pu, que se refere ao custo da topologia de UPS composta por dois conversores S-C. Estão relacionados nesta tabela os principais componentes e dispositivos utilizados na implementação, o item diversos representa o custo dos DSPs, sensores de tensão e corrente, placas de condicionamentos de sinais, fios, conectores, dentre outros.

Tabela 11 – Características dos conversores série e paralelo

Topologias	Série F-L	Paralelo F-L	Série S-C	Paralelo F-L	Série T-L	Paralelo F-L
Número de IGBTs	8	8	6	8	6	8
Tensão CC	400V		400V		400V	
Modulação	SVM	SVM	SPWM	SVM	SPWM	SVM
Frequência de Chaveamento	20kHz	20kHz	20kHz	20kHz	20kHz	20kHz
Frequência Resultante	40kHz	40kHz	20kHz	40kHz	20kHz	40kHz

Tabela 12 – Custo comparativo das topologias UPSs (Potência nominal 10kVA)

Elementos	Série S-C	Paralelo S-C	Série F-L	Paralelo F-L	Série S-C	Paralelo F-L	Série T-L	Paralelo F-L
Módulos IGBTs	6x (75A/1200V) 0,105 pu		8x (75A/600v) 0,101		7x (75A/600v) 0,089		7x (75A/600v) 0,089	
Gate Driver (IGBTs)	6x 0,127 pu		8x 0,169 pu		7x 0,148 pu		7x 0,148 pu	
Transformadores Série	3x 0,158 pu		3x 0,158 pu		3x 0,158 pu		3x 0,158 pu	
Indutores de Filtragem	6x 0,076 pu		8x 0,101 pu		7x 0,089 pu		7x 0,089 pu	
Capacitores de Filtragem	3x 0,013 pu		3x 0,013 pu		3x 0,013 pu		3x 0,013 pu	
Capacitores CC	2x 350V 0,063 pu		1x 500V 0,040 pu		2x 250V 0,041 pu		1x 500V 0,040 pu	
Baterias	45x (12V / 7Ah) 0,139 pu		38x (12V / 7Ah) 0,118 pu		38x (12V / 7Ah) 0,118 pu		38x (12V / 7Ah) 0,118 pu	
Diversos	0,314 pu		0,291 pu		0,314 pu		0,291 pu	
Custo Total	1 pu		0,996 pu		0,973 pu		0,949 pu	

A topologia composta por dois conversores S-C apresenta o custo mais elevado dentre as topologias comparadas, devido ao maior número de baterias. No entanto, a diferença é de apenas 0,4% em comparação à topologia composta por dois conversores F-L, que apesar do número maior de chaves apresenta uma tensão CC menor se comparada à topologia composta por dois conversores S-C. A topologia composta por um conversor T-L e um conversor F-L implementada neste trabalho, apresenta o custo mais baixo dentre as topologias comparadas, com o custo 5,03% mais baixo que a topologia composta por dois conversores S-C.

Como pode ser observado nas seções anteriores, o desempenho das três topologias na compensação dos harmônicos das correntes das cargas, no controle das tensões de saída e durante as transições da UPS entre os modos de operação de *standby* - *backup* e de *backup* - *standby* foram semelhantes.

A topologia composta por dois conversores F-L e a topologia composta por um conversor S-C e um F-L tem a possibilidade de efetuar o controle independente das correntes de entrada o que possibilitaria a operação do sistema até mesmo com uma interrupção no fornecimento de energia em uma das fases. Enquanto que a topologia composta por um conversor T-L e um F-L somente pode operar com correntes de entrada equilibradas.

No entanto, a topologia composta por um conversor T-L e um F-L tem a possibilidade de operar em sistemas trifásicos a três fios e alimentar cargas monofásicas, o que é uma vantagem em relação às outras topologias, além do custo mais baixo entre as topologias.

5.6 Conclusões

Neste capítulo foram apresentados os resultados experimentais das três topologias de condicionador de energia estudadas neste trabalho, as quais foram obtidas a partir da implementação de um protótipo, possibilitando a validação de todo desenvolvimento teórico apresentado.

Uma análise comparativa das três topologias de UPQC/UPS foi apresentada, destacando-se as DHTs das tensões e correntes nas fases "*abc*" dos sistemas alimentando três tipos de cargas distintas, as principais características dos conversores utilizados nas três topologias, e as estimativas de custos das três topologias implementadas, comparadas a topologia composta por dois conversores S-C.

Os comportamentos estáticos e dinâmicos das três topologias operando como UPQC foram apresentados, onde demonstraram um desempenho muito satisfatório mediante os distúrbios da rede elétrica, tais como harmônicos, elevações de tensão, afundamentos de tensão e variações de carga. Foram também apresentados resultados considerando a partida do sistema para a pré-carga do barramento CC. O condicionamento das correntes de entrada das três topologias de UPQC foi verificado levando-se em consideração a supressão de harmônicos e compensação de reativos e desbalanços de carga.

O comportamento das três topologias de UPS mediante interrupção e retorno da rede elétrica, ou seja, durante as transições entre os modos *standby* - *backup*, e vice e versa, também foram apresentados, onde pode ser observado que não houve transitório nas tensões fornecidas para as cargas.

O comportamento dinâmico dos controladores de tensão CC foi avaliado durante as variações de carga nas três topologias. É importante destacar que na topologia composta por um conversor S-C e um conversor F-L, existem dois controladores de tensão CC, um responsável pelo controle total da tensão CC, e um outro que controla os desequilíbrios de tensão no barramento CC. Sendo assim, a eficácia da estratégia utilizada, bem como, a eficácia do controlador utilizado para a eliminação dos desequilíbrios de tensão CC puderam ser observadas.

Os resultados obtidos referentes às tensões de saída e nas correntes de entrada das três topologias são bastante semelhantes. Em todas as topologias obtiveram-se tensões reguladas, com baixo DHT e equilibradas, ao mesmo tempo em que drenaram da rede, correntes equilibradas, com baixa DHT e em fase com as tensões de entrada, resultando a obtenção de elevados fatores de potência.

Sendo assim, pôde-se comprovar o bom funcionamento das topologias implementadas experimentalmente, juntamente com os algoritmos e as estratégias de controle operando em modo dual.

Capítulo 6

Conclusões e Propostas de Continuidade

No capítulo dois foram apresentadas as principais topologias de UPSs e UPQCs. As UPSs estudadas neste trabalho apresentam uma estrutura similar a de uma UPQC e portando, pode realizar as mesmas funções quando opera no modo *standby*. Portanto, o sistema tem a capacidade de minimizar ou até mesmo suprimir boa parte dos distúrbios de QEE, tanto do ponto de vista da qualidade do fornecimento a cargas críticas, como a qualidade do consumo de energia elétrica.

Ainda no segundo capítulo, foram apresentadas algumas configurações de UPQCs/UPSs trifásicas a quatro fios utilizando diferentes tipos de conversores *VSI* tanto no conversor paralelo, quanto no conversor série. Dentre as topologias apresentadas uma delas é proposta neste trabalho, como alternativas que apresentam uma tensão mais reduzida no barramento CC em comparação com a topologia composta por dois conversores S-C.

No terceiro capítulo foi descrito o princípio de funcionamento do UPQC/UPS, utilizando fontes ideais de tensão e corrente para demonstrar de forma simplificada a maneira que os distúrbios presentes nas tensões e correntes são eliminados. Foram apresentados os algoritmos de geração de referência e controle dos conversores série e paralelo, algoritmos baseados no método SRF juntamente com os controladores implementados no referencial síncrono.

As modelagens em espaço de estado dos conversores *VSI* operando como fonte de corrente senoidal, bem como fonte de tensão senoidal, tanto no referencial estacionário *abc,* quanto no referencial síncrono *dq0* foram apresentadas.

Para a geração das coordenadas do vetor unitário síncrono $cos\theta$ e $sen\theta$, foi proposto à utilização do *p-PLL* em conjunto com o filtro auto sintonizado *STF*, o que garante o bom funcionamento do sistema *PLL* com tensões desequilibradas e com maior rejeição as distorções harmônicas das tensões da rede elétrica.

Ainda no terceiro capítulo foi apresentada a estratégia proposta para compensar o desequilíbrio de tensão do barramento CC que pode existir na topologia composta por um conversor S-C no conversor série.

Os resultados obtidos com as simulações computacionais foram apresentados no capítulo quatro, nas quais as topologias de UQPC/UPS apresentadas no segundo capítulo, bem como os algoritmos de geração de referência e os controladores projetados foram avaliadas na presença de distúrbio de tensão e corrente. Demonstrou-se a eficácia do sistema na supressão dos distúrbios presentes nas tensões da rede, bem como nas correntes da carga tornando as tensões de saída senoidais e equilibradas e as correntes de entrada senoidais, equilibradas e em fase com as tensões da rede elétrica. Além disso, o comportamento das tensões de saída durante as transições dos modos de operação *standby* para *backup* e de *backup* para *standby*, não apresentou transitório, comprovando a eficácia do sistema quando controlado de modo dual.

No quinto capítulo foram descritos os detalhes da implementação experimental, bem como, os principais componentes utilizados na montagem do protótipo experimental. Os resultados experimentais, apresentados das três topologias de UPQC/UPS foram obtidos com os sistemas alimentando três conjuntos de cargas não lineares com o propósito de demonstrar a eficácia das topologias de UPQC/UPS na supressão das correntes harmônicas, compensação dos reativos e das componentes de sequência negativa e zero, tornando as correntes de entrada equilibradas, em fase com as respectivas tensões da rede elétrica e com baixa DHT.

Por outro lado, as tensões de saída das três topologias de UPQC/UPS, foram avaliadas mediante a, elevações de tensão, afundamentos de tensão e harmônicos de tensão. A alimentação desses conjuntos de carga que apresentam altas derivadas de correntes que podem resultar em distorções nas tensões, demonstrou o bom desempenho da estratégia adotada para o controle do conversor paralelo que nestas condições forneceu tensões reguladas, equilibradas e com baixa DHT.

O comportamento dinâmico das topologias operando como UPS foi apresentado durante as transições entre os modos de operação *standby-backup* e

de *backup-standby*. Pelos resultados apresentados durante estas transições pode ser observado que não existiram transitórios nas tensões fornecidas às cargas.

Apesar de a utilização de condicionadores de energia, ser algo de certa forma já bem difundido, as publicações mais recentes mostram que existem muitos fatores a serem abordados, tais como, os algoritmos que possibilitam uma elevação na eficiência do sistema, controladores mais robustos que garantam um bom desempenho do sistema, topologias que apresentem uma maior flexibilidade quanto à configuração do sistema elétrico, o que denota que este é ainda um tema em desenvolvimento.

Os resultados experimentais apresentados nesta tese confirmam os resultados obtidos por simulação e demonstram que as topologias implementadas e as estratégias de controle adotadas são eficazes para a eliminação de diversos problemas de QEE.

6.1 Propostas de Continuidade

Baseado nos estudos realizados e nos resultados obtidos, assuntos correlatos podem ser investigados e aprofundados em trabalhos futuros, tais como:

- Classificar as topologias de UPSs implementadas neste trabalho baseando-se na norma IEC 62040-3;
- Implementar outros controladores nas malhas de controle do UPQC/UPS como, por exemplo, os controladores preditivos e ressonantes;
- Estudar outras formas de compensação de afundamentos e elevações de tensão que resultem em uma menor dissipação de energia no conversor série;
- Estudar os impactos das interferências eletromagnéticas conduzidas pelas topologias implementadas e propor formas de filtragens;
- Estudar os algoritmos de detecção de ilhamento para definir estratégias de desconexão do sistema durante uma interrupção no fornecimento de energia elétrica.

6.2 Publicações

Artigos publicados em congressos:

Modesto, R. A.; Silva, S. A. O.; Oliveira Junior, A. A.. **Line-Interactive UPS System Applied to Three-Phase Four-Wire Systems with Universal Filtering Capabilities**. In: International Symposium on Industrial Electronics, 2014, Istambul. IEEE-ISIE 2014, 2014. p. 1855-1861.

Modesto, R. A. ; Silva, S. A. O. ; Oliveira Jr., A. A. . **Análise de um Condicionador Unificado de Qualidade de Energia em Sistemas Trifásicos a Quatro Fios. In: XX Congresso Brasileiro de Automática**, 2014, Belo Horizonte. XX Congresso Brasileiro de Automática, 2014. p. 312-319.

Modesto, R. A.; Barriviera, R.; Silva, S. A. O.; Oliveira Junior, A. A. **A Simplified Strategy Used to Control the Output Voltage and the Input Current of a Single-Phase Line-Interactive UPS System**.. In: Brazilian Power Electronics Conference, 2013, Gramado-RS. COBEP 2013, 2013. p. 1-6.

Modesto, R. A.; Silva, S. A. O.; Oliveira Junior, A. A.; Barriviera, R. . **Método de Compensação Ativa de Potência Utilizando Redes Neurais Artificiais Aplicado a um Filtro Ativo de Potência Paralelo Monofásico**.. In: IX Simpósio Brasileiro de Automação Inteligente, 2013, Fortaleza. IX SBAI, 2013. p. 1-6.

Artigos em periódicos aceitos para publicação:

Modesto, R. A.; Silva, S. A. O.; Oliveira Junior, A. A.. **Power Quality Improvement Using a Dual UPQC/UPS in Three-Phase Four-Wire Systems**. IET Power Electronics

Modesto, R. A.; Silva, S. A. O.; Oliveira Junior, A. A.. **Estudo e Implementação de um Condicionador Unificado de Qualidade de Energia Dual Utilizando Conversores Four-Leg**. Revista Eletrônica de Potência – SOBRAEP

Referências Bibliográficas

[1] R.C. Dugan, M.F. McGranaghan, S. Santoso, H.W. Beaty, “Electrical Power Systems Quality,” 2 ed. McGraw-Hill, New York, 2002.

[2] Associação Brasileira de Grandes Consumidores Industriais de Energia e de Consumidores Livres. Contribuições Referentes à Consulta Pública da ANEEL No 007/2012. Brasília, DF, 2012.

[3] Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional (2010). PRODIST, Módulo 8: Qualidade da Energia Elétrica, ANEEL.

[4] K. Bhimsingh, Al-Haddad, and A. Chandra, "A Review of Active Filters for Power Quality improvement", IEEE Transactions on Industry Electronics., Vol.46, no.5, pp .960, 1999.

[5] D. Granados-Lieberman, R. J. Romero-Troncoso, R. A. Osornio-Rios, A. Garcia-Perez, E. Cabal-Yepez, "Techniques and methodologies for power quality analysis and disturbances classification in power systems: a review," Generation, Transmission & Distribution, IET , vol.5, no.4, pp.519-529, April 2011

[6] IEEE Std. 519-1992, "IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power Systems," June 1992.

[7] IEC 61000-3-2 International Std, "Electromagnetic Compatibility (EMC) - Part 3: Limits – Section 2: Limits for Harmonic Current Emissions, " ed. 3, 2005.

[8] H. Akagi, Y. Kanagawa, A. Nabae, “Instantaneous reactive power compensator comprising switching devices without energy storage components,” IEEE Transactions on Industry Applications, vol. 20, no. 3, pp. 625-630, 1984.

[9] O. Vodyakho, and C. C. Mi, “Three-Level Inverter-Based Shunt Active Power Filter in Three-Phase Three-Wire and Four-Wire Systems,” IEEE Trans. on Power Electronics. vol. 24, no. 5, pp. 1350-1363, May 2009.

[10] S. Bhattacharya, T. M. Frank, D. M. Divan and B. B. Banerjee, “Parallel Active Filter System Implementation and Design Issues for Utility Interface of Adjustable Speed Drive Systems,” IEEE/IAS Annual Meeting, pp. 1032-1039, 1996.

[11] R. A. Modesto, “Método de Compensação Ativa De Potência Aplicado a Um Filtro Ativo Paralelo Monofásico”. Dissertação de mestrado, UEL, Londrina, Brasil, 2007.

[12] S. A. O. Silva, R. A. Modesto, “A Comparative Analysis of SRF-based Controllers Applied to Active Power Line Conditioners” Olrlando-Florida-USA:The 34th Annual Conference of the IEEE Industrial Electronics Society - IECON´2008, 2008.

[13] R. L. A. Ribeiro, C. C. Azevedo, R. M. Souza,: ‘A robust adaptive control strategy of active power filters for power-factor correction, harmonic compensation, and balancing of nonlinear loads’, IEEE Trans. Power Electron., 2012, 27, (2), pp. 718-730.

[14] F. Briz, P. García, M. W. Degner, et al.: ‘Dynamic behavior of current controllers for selective harmonic compensation in three-phase active power filters’, IEEE Trans. Ind. Appl., 2013, 49, (3), pp. 1411-1420.

[15] M. Angulo, D. A. Ruiz-Caballero, J. Lago, et al.: ‘Active power filter control strategy with implicit closed-loop current control and resonant controller’, IEEE Trans. Ind. Electron., 2013, 60, (7), pp. 2721-2730.

[16] EPRI. Electric Power Research Institute, Inc. (Palo Alto, CA). S. A. MORAN e M. B. BRENNEN “Active power line conditioner with fundamental negative sequence compensation”, U.S. Patent 5384696, 30 Oct. 1992, 24 Jan. 1995.

[17] F. Kamran and , T. G. Habetler, “Combined deadbeat control of a series- parallel converter combination used as a universal power filter", IEEE Transactions on Power Electronics, v. 13, pp. 160-168, Jan. 1998.

[18] S. A. O. Silva, P. D. Garcia, P. C. Cortizo, P. F. Seixas, “A Three-Phase Line-Interactive UPS System Implementation with Series-Parallel Active Power-Line Conditioning Capabilities”. IEEE Transactions on Industry Applications, v. 38, n.6, p. 1581-1590, 2002

[19] IEC 62040-3 International Std, " Uninterruptible power systems (UPS) - Part 3: Method of specifying the performance and test requirements, " ed. 2, 2011.

[20] IEC 61000-2-2 International Std, "Electromagnetic Compatibility (EMC) - Part 2: Environment – Section 2: Compatibility levels for low-frequency conducted disturbances and signaling in public low-voltage power supply systems, " ed. 2, 2002.

[21] IEC 61000-3-2 International Std, "Electromagnetic Compatibility (EMC) - Part 3: Environment – Section 2: Limits – Limits for harmonic current emissions (equipment input current ≤16 A per phase), " ed. 2, 2002.

[22] IEC 61000-3-4 International Std, "Electromagnetic Compatibility (EMC) - Part 3: Environment – Section 4: Limits – Limitation of emission of harmonic currents in low-voltage power supply systems for equipment with rated current greater than 16 A, " ed. 2, 2002.

[23] F. Kamran, Thomas G. Habetler., “A Novel On-line UPS With Universal Filtering Capabilities”, IEEE/PESC Power Electronics Specialists Conference, Atlanta, pp.500-506, 1995.

[24] S. A. O. Silva, “Sistemas de Energia Ininterrupta Line Interactive Trifásicos com Compensação Ativa de Potência Série e Paralela”, Tese (Doutorado em Engenharia Elétrica) – Colegiado do Programa de Pós-graduação em Engenharia Elétrica, Universidade Federal de Minas Gerais, Belo Horizonte, 2001.

[25] IEEE Std. 446-1995, “IEEE Recommended Practices for Emergency and Standby Power Systems for Industrial and Commercial Applications”, December, 1995.

[26] Bhattacharya, S.; Divan, D. M.; Banerjee, B. “Synchronous Frame Harmonic Isolator Using Active Series Filter”. In: EPE’91, v. 3, p. 30-35, 1991.

[27] S. A. O. Silva, R. A. Modesto, “Active Power Line Compensation Applied to a Three-Phase Line Interactive UPS System Using SRF Method,” IEEE/PESC, Power Electronics Specialists Conference, pp. 2358-2362, 2005.

[28] S. A. O. Silva, R. A. Modesto, “Dynamic Response Improvement of a Three-Phase Line Interactive UPS System with Active Power Line Conditioning,” IEEE/PESC, Power Electronics Specialists Conference, pp. 1055-1059, 2007.

[29] S. J. Jeon and G. H. Cho, “A Series-Parallel Compensated Uninterruptible Power Supply with Sinusoidal Input Current and Sinusoidal Output Voltage,” in Proc. 28th IEEE Power Electronics Specialists Conference, pp. 297-303, 1997.

[30] H.L. Jou, J. C. Wu, C. Tsai, K. D. Wu, M.S Huang, “Novel Line-Interactive Uninterruptible Power Supply”, IEE Proc.-Electr. Power Appl., Vol. 151, No. 3, pp. 359-364, 2004.

[31] S.A.O. Silva, R.A. Modesto, A. Goedtel, C.F. Nascimento, “A Single-Phase UPS System with Series-Parallel Power-Line Conditioning,” in Proc. of IEEE Annual Conference of the IEEE Industrial Electronics Society, pp.120-124 2009.

[32] S. A. O. Silva, R. Barriviera, R. A. Modesto, M. Kaster, A. Goedtel, “Single-phase power quality conditioners with series-parallel filtering capabilities,” in proc. of IEEE 20th International Symposium on Industrial Electronics, pp. 1124-1130, 2011.

[33] R. Barriviera, S. A. O. Silva, M. S. Kaster, R. A. Modesto, “Implementação de um Sistema UPS Monofásico com Condicionamento Ativo de Potência Série e Paralelo”, Revista Eletrônica de Potência, vol. 17, no. 1, pp. 752-761, Setembro/Novembro 2012.

[34] S. Moran, “A Line Voltage Regulator/Conditioner for Harmonic-Sensitive Load Isolation,” in Proc. of IEEE Industry Applications Society, p.947-951, 1989.

[35] H. Fujita, and H. Akagi, "The Unified Power Quality Conditioner: The Integration of Series Active Filters and Shunt Active Filters", IEEE/PESC, Power Electronics Specialists Conference pp 494-501, 1996.

[36] M. Aredes, K. Heumann, E. H. Watanabe, “An Universal Active Power Line Conditioner.” IEEE Transaction on Power Delivery, v. 13, n. 2, pp. 545-551, 1998.

[37] V. Khadkikar, ‘Enhancing electric power quality using UPQC: A comprehensive overview’, IEEE Trans. Power Electron., 2012, 27, (5), pp. 2284-2297.

[38] A. Teke, M. Meral, M. Cuma, et al.: “Open unified power quality conditioner with control based on enhanced phase locked loop”, IET Generation, Transmission Distribution, 2013, 7, (3), pp. 254–264

[39] K. Karanki, G. Geddada, M. K. Mishra, B. K. Kumar, “A modified three-phase four-wire UPQC topology with reduced DC-link voltage rating”, IEEE Trans. Ind. Electron., 2013, 60, (9), pp. 3555-3566.

[40] V. Khadkikar, A. Chandra, A.O. Barry, T.D. Nguyen, “Power Quality Enhancement Utilising Single-Phase Unified Power Quality Conditioner: Digital Signal Processor-Based Experimental Validation,” IET Power Electronics, Vol. 4, Iss. 3, pp. 323–331, 2010.

[41] M. Ucar, S. Ozdemir, E. Ozdemir, “A Four-Leg Unified Series–Parallel Active Filter System for Periodic and Non-Periodic Disturbance Compensation.” Elsevier Electric Power Systems Research, v. 81, pp. 1132-1143, 2011.

[42] G. Vadirajacharya, Kinhal, P. Agarwal, H. O. Gupta, “Performance Investigation of Neural-Network-Based Unified Power-Quality Conditioner,” IEEE Transactions on Power Delivery, v. 26, n. 1, 2011.

[43] H. Heydari, A. H. Moghadasi, “Optimization Scheme in Combinatorial UPQC and SFCL Using Normalized Simulated Annealing,” IEEE Transactions on Power Delivery, v. 26, n. 3, 2011.

[44] K. H. Kwan, P. L. So, Y. C. Chu, “An Output Regulation-Based Unified Power Quality Conditioner With Kalman Filters,” IEEE Transactions on Industrial Electronics, v. 59, n. 11, 2012.

[45] M. Ucar, S. Ozdemir, “3-Phase 4-leg Unified Series–Parallel Active Flter System With Ultracapacitor Energy Storage For Unbalanced Voltage Sag Mitigation,” Elsevier Electric Power and Energy Systems, v. 49, pp. 149-159, 2013.

[46] S. S. Choi, B. H. Li, D. M. Vilathgamuwa, “Dynamic Voltage Restoration with Minimum Energy Injection” IEEE Transactions on Power Systems, v. 15. n. 1, pp. 51-57, 2000.

[47] W. C. Lee, D. M. Lee, T. K. Lee, “New Control Scheme for a Unified Power Quality Compensator-Q With Minimum Active Power Injection” IEEE Transactions on Power Delivery, v. 25. n. 2, pp. 1068-1076, 2010.

[48] M. Basu, S. P. Das, G. K. Dubey, “Performance Study of UPQC-Q for Load Compensation and Voltage Sag Mitigation” in Proc. IEEE 28th Annual Conference. Ind. Electron. Soc., pp. 698–703, 2002.

[49] M. Basu, S. P. Das, G. K. Dubey, “Investigation on the Performance of UPQC-Q for Voltage Sag Mitigation and Power Quality Improvement at a Critical Load Point” IET Generation Transmiss. Distrib., v. 2, n. 3, pp. 414–423, 2008.

[50] Y. Kolhatkar, S. Das, “Experimental Investigation of a Single-Phase UPQC With Minimum VA Loading,” IEEE Trans. Power Del., v. 22, n. 1, pp. 371–380, 2007.

[51] D. Kisck, V. Navrapescu, M. Kisck, “Single-Phase Unified Power Quality Conditioner With Optimum Voltage Angle Injection for Minimum VA Requirement” in Proc. IEEE Int. Symp. Ind. Electron., pp. 2443–2448, 2007.

[52] M. Aredes, R. M. Fernandes, “A Dual Topology of Unified Power Quality Conditioner: the iUPQC” in in Proc. 13th International European Power Electronics Conference, pp. 1-10, 2009.

[53] S. A. O. Silva, R. A. Modesto, A. Goedtel, C. F. Nascimento, “Compensation Algorithms Applied to Power Quality Conditioners in Three-Phase Four-Wire Systems,” in Proc. of IEEE Annual Conference of the IEEE Industrial Electronics Society, pp.730-735, 2010

[54] R. J. M. Santos, M. Mezaroba, J. C. Cunha, “A Dual Unified Power Quality Conditioner Using a Simplified Control Technique” In: XI Congresso Brasileiro de Eletrônica de Potência”, 2011.

[55] R. J. M. Santos, J. C. Cunha, M. Mezaroba, “A simplified control technique for a dual unified power quality conditioner”, IEEE Trans. Ind. Electron., 2014, 61, (11), pp. 5851-5860

[56] M. Aredes, D. A. C. Ferreira, M. J. V. Siqueira, B. W. França, L. F. Silva, R. Gerencer, “Performance analysis and technical feasibility of an iUPQC in industrial grids”, Journal of Power and Energy Engineering, 2014, 2, pp. 500-508.

[57] V. Khadkikar, A. Chandra, “A Novel Structure for Three-Phase Four-Wire Distribution System Utilizing Unified Power Quality Conditioner (UPQC)”, IEEE Transaction on Industry Applications., 2009, vol. 45, (5), pp. 1897-1902.

[58] H. Akagi, Y. Kanazawa, A. Akira “Instantaneous Reactive Power Compensators Switching Devices Without Energy Srtorege Components”, IEEE, pp. 825-830, 1989.

[59] J. Liu, J. Yang, Z. Wang, “A New Aproach For Single-Phase Harmonic Current Detecting and its Applicatio in a Hybrid Active Power Filter”, IEEE/IECON, pp. 849-854, 1999.

[60] M. T. Haque, “Single-Phase PQ Theory for Active Filters”, IEEE/TENCON, pp. 1941-1944, 2002.

[61] R. R. Pereira, C. H. Silva, L. E. Borges, G. Torres, “Application of Adaptative Filters in Active Power Filters”, IEEE/COBEP, pp. 770-774, 2009.

[62] B. Han, “Single-phase active power filter using FFT with harmonic phase-delay compensation”, IEEE/PES, 2009.

[63] C. F. Nascimento, A. A. Oliveira. Junior, A. Goedtel, I. N. Silva, and P. J. A. Serni, “Neural Network-Based Approach for Identification of the Harmonic Content of a Nonlinear Load in a Single-Phase System”. IEEE Latin America Transactions, vol. 8, no. 1, pp. 65-73, 2010.

[64] L. B. G. Campanhol, A. Goedtel, S. A. O. Silva, C. F. Nascimento, “Neural-Networks and Synchronous Reference Frame Applied in the Harmonic Compensation with a Three-Phase Parallel Active Power Filter”. Renewable Energy & Power Quality Journal, v. 10, p. 517, 2012

[65] V. Kaura, V. Blasko, “Operation of a phase locked loop system under distorted utility conditions”. Industry Applications, IEEE Transactions on., v. 33, n. 1, p. 58 – 63, jan./feb. 1997.

[66] S. A. O. Silva, E. Tomizaki, R. Novochadlo, E. A. A. Coelho, “PLL structures for utility connected systems under distorted utility conditions”. In: IEEE Industrial Electronics, IECON 2006. 34nd Annual Conference on. Paris, France. IEEE, 2006. p. 2636-2641.

[67] S. A. O. Silva, R. Novochadlo, R. A. Modesto, “Single-phase PLL structure using modified p-q theory for utility connected systems”. In: Power Electronics Specialists Conference, 2008. PESC 2008. IEEE. Rhodes, Greece. IEEE, 2008. p. 4706-4711.

[68] V. D. Bacon, S. A. O. Silva, L. B. Campanhol, B. A. Angélico, “Stability analysis and performance evaluation of a single-phase phase-locked loop algorithm using a non-autonomous adaptive filter” IET Power Electronics., pp. 1-12, 2014

[69] M. Abdusalam, P. Poure, S. Karimi, S. Saadate, “New Digital Reference Current Generation for Shunt Active Power Filter under Distorted Voltage Conditions”. Electric Power Systems Research Journal, Vol. 79, pp. 2923-2932

[70] N. D. Zmood, D. G. Holmes, “Stationary Frame Current Regulation of PWM Inverters With Zero Steady-State Error”. IEEE Transactions on Power Electronics, v. 18, n. 3, pp. 814-822, 2003.

[71] A. Ortiz, M. Aredes, L. G. B. Rolim, E. Bueno, P. Rodriguez, “A New Current Control For The STATCOM Based On Secondary Order Generalized Integrators”. In Proc. IEEE/PESC, Power Electronics Specialists Conference, pp. 1378-1383, 2008.

[72] U. A. Miranda, M. Aredes, L. G. B. Rolim, “A DQ Synchronous Reference Frame Control for Single-Phase Converters”. In Proc. IEEE/PESC, Power Electronics Specialists Conference, pp. 1377-1381, 2005.

[73] B. Saritha, P.A. Jakiraman, “Observer Based Current Control of Single-Phase Inverter in DQ Rotating Frame”, International Conference on Power Electronics, Drives and Energy Systems, pp. 1 – 5, 2006.

[74] R. D. Lorenz and D. B. Lawson, “Performance of Feedforward Current Regulators for Feld Oriented Induction Machine Controllers,” IEEE Trans. Ind. Applicat., v. 1, pp. 597–602, 1987.

[75] H. Ning, X. Dehong, Z Ye., J. Zhang, G. Shen, Y. Zhang, M. Jie, L. Changjin, “Weighted Average Current Control in a Three-Phase Grid Inverter With an LCL Filter” IEEE Transactions on Power Electronics, v. 28, n. 6, 2013.

[76] K. P. Gokhale, A. Kawamura, R. G. Hoft, “Dead Beat Microprocessor Control of PWM Inverter for Sinusoidal Output Waveform Synthesis,” IEEE Trans. Ind. Applicat., v. 1, pp. 901–909, 1987.

[77] B. Burton, F. Karman, R. G. Harley, T. G. Habetler, M. A. Brooke, R. Poddar, “Identification and Control of Induction Motor Stator Currents Using Fast On-Line Random Training of a Neural Network,” IEEE Trans. Ind. Applicat., vol. 33, pp. 697–704, May/June 1997.

[78] G. K. Vadirajacharya, A. Promod, O. G. Hari, “Performance Investigation of Neural-Network-Based Unified Power-Quality Conditioner”, IEEE Transactions on Power Delivery, v. 26, n. 1, 2011.

[79] R. Liu, N. Xia, X. Wang, “The Research on Fuzzy-PID Control in Unified Power Quality Conditioner” In proc. Industrial Electronics and Applications, pp. 821-824, 2009.

[80] R. A. Modesto, S. A. O. Silva, R. Barriviera, M. Kaster, “Analysis of a Single-Phase Line-Interactive UPS System”. Renewable Energy & Power Quality Journal, v. 10, p. 411-417, 2012.

[81] H. Pinheiro, F. Botterón, C. Rech, L. Schuch, “Modulação Space Vector Para Inversores Alimentados em Tensão: Uma Abordagem Unificada” Revista Controle & Automação, v.16 n.1, 2005.

[82] S. R. Bowes, Y. S. Lai, “The Relationship Between Space-Vector Modulation and Regular-Sampled PWM” IEEE Transactions on Industrial Electronics, v. 44, n. 5, 1997.

[83] BARBI, Ivo. Projetos de fontes chaveadas. Florianópolis: Edição do Autor, 2001.

[84] B. A. Angélico, L. B. G. Campanhol, S. A. O. Silva, “Proportional–integral/proportional–integral–derivative tuning procedure of a single-phase shunt active power filter using Bode diagram”, IET Power Electronics, 2014, pp. 1–13.

[85] S. Buso, P. Mattavelli, Digital Control in Power Electronics, Morgan & Claypool Publishers, USA, 2006.

Apêndice A – Código C Implementado no *DSP* (Conversor Paralelo F-L)

```
/* Tese de Doutorado – Rodrigo Augusto Modesto – EESC/USP */
/* Conversor paralelo VSI F-L com controle de Tensão e Corrente */
/* Sensor de corrente com 3 voltas */

#include "DSP28x_Project.h"     // Device Headerfile and Examples
#include "math.h"
#include "constantes.c"
#include "svm_v10.c"
#include "transformadas.c"
#include "pPLL.c"
#include "saturador.c"
#include "PI_Vdq.c"
#include "PI_V.c"
#include "rampa_vdc.c"
#include "igbts_off.c"
#include "corrente_icfp.c"
#include "STF.c"

// Prototype statements for functions found within this file.
interrupt void adc_isr(void);

// Variáveis utilizadas no PLL
float32 Seno1, SenoTabela, CossenoTabela, CossenoTabela1, SenoTabela1;
Uint16 EndSeno, EndCosseno, EndCosseno1, EndSeno1;

// Variáveis utilizadas na aquisição das Correntes e Tensões
Uint16 Corrente0;
Uint16 Corrente1;
Uint16 Corrente2;
Uint16 Corrente3;
Uint16 Corrente4;
Uint16 Corrente5;
Uint16 Tensao0;
Uint16 Tensao1;
Uint16 Tensao2;
Uint16 Tensao3;
Uint16 Tensao4;
Uint16 Tensao5;
Uint16 Tensao6;

// Variáveis que Representam as Correntes e Tensões reais
float32 ilfpa;
float32 ilfpb;
float32 ilfpc;
float32 Corrente_La;
float32 Corrente_Lb;
float32 Corrente_Lc;
float32 Tensao_a;
float32 Tensao_b;
float32 Tensao_c;
float32 Tensao_dc;
float32 vla;
```

```
float32 vlb;
float32 vlc;

float32 ilf_alfa, ilf_beta, ilf_zero;

// Variáveis STF

float32 erro_valfa[2];
float32 valfa_saida[2];
float32 erro_vbeta[2];
float32 vbeta_saida[2];

// Variáveis que representam as correntes no capacitor do FAP

float32 icfpa[2];
float32 icfpb[2];
float32 icfpc[2];

float32 vla1[2];
float32 vlb1[2];
float32 vlc1[2];

float32 icf_alfa;
float32 icf_beta;
float32 icf_zero;

float32 icf_d=0;
float32 icf_q=0;


// Variáveis para a Função do PLL
float32 valfa_PLL, vbeta_PLL;
float32 Pot_q_linha[2];
float32 ErroPI_PLL[2];
float32 erro_Teta;
float32 ialfa_linha;
float32 ibeta_linha;
float32 Seno;
float32 Seno_n;
float32 Cosseno;
float32 Cosseno_n;
float32 W[2];
float32 Teta[2];
Uint16 PLL_ok;

// Variáveis para a Função transformadas
float32 van, vbn, vcn;
float32 valfa, vbeta, vzero, vd, vq;
float32 vlalfa, vlbeta, vlzero, vld, vlq;
float32 iLalfa, iLbeta, iLzero;
float32 u_alfa_sat, u_beta_sat, u_0_sat;
float32 ialfa_ref, ibeta_ref, izero_ref;
float32 id_ref, iq_ref;
float32 ilf_d, ilf_q;
float32 Iref_alfa;
float32 Iref_beta;
float32 Iref_alfa_h;
float32 Iref_beta_h;
float32 vds;
float32 vqs;
float32 vs_alfa, vs_beta, vs_zero;
```

```
// Variáveis para a Função SVM
Uint16 S;
float32 P1, P2, P3, P4, P5, P6;
float32 t1, t2, t3, t0;
float32 t_cmd_Sa, t_cmd_Sb, t_cmd_Sc, t_cmd_Sn;
float32 S1_2, S3_4, S5_6, S7_8;     // Variáveis que armazenam a Razão
Cíclica da SVM
float32 svm;

// Variáveis para a Função do PI de Tensão
float32 erroV_d[2];     // Erro para a Entrada do PI de tensão eixo d
float32 erroV_q[2];
float32 erroV_zero[2];
float32 u_d[2];   // Saída do PI de tensão
float32 u_q[2];
float32 u_zero[2];

// Variáveis para a Função do PI de Corrente

float32 erroI_d;  // Erro para a Entrada do PI de tensão eixo d
float32 erroI_q;
float32 erroI_zero;
float32 u_d_I;    // Saída do PI de corrente
float32 u_q_I;
float32 u_zero_I;

// Variáveis para a Função do Saturador do PI
float32 u_d_sat;
float32 u_q_sat;
float32 u_zero_sat;
float32 u_zero_sat_4;


// Variáveis dos Integradores Discreto
float32 Eint_d[2];
float32 Eint_q[2];
float32 Eint_zero[2];
float32 Sint_d[2];
float32 Sint_q[2];
float32 Sint_zero[2];


// Variáveis para a Função de Proteção de Sobretensão do Barramento CC
Uint16 Sobre_Tensao;
Uint16 Sub_Tensao;
float32 fpb_dcin[2];
float32 fpb_dcout[2];
float32 Vdc_Filtrado;


// Variáveis para Utilização no Programa Principal
int16 i;
Uint16 FlagDeConversao;
Uint16 q;
Uint16 Protecao;

float32 Atraso;

//Uint16 LoopCount;
```

```
// Prototype statements for functions found within this file.
      void InitEPwm1Example(void);
      interrupt void epwm1_isr(void);
      void update_compare(EPWM_INFO*);

// To keep track of which way the compare value is moving
#define EPWM_CMP_UP   1
#define EPWM_CMP_DOWN 0

void Gpio_select(void)
{
      EALLOW;
      GpioCtrlRegs.GPAMUX2.all = 0;
      GpioCtrlRegs.GPBMUX2.all = 0;
      GpioCtrlRegs.GPADIR.bit.GPIO17 = 0;
      GpioCtrlRegs.GPBDIR.bit.GPIO48 = 0;
      GpioCtrlRegs.GPBDIR.bit.GPIO60=1;
      GpioCtrlRegs.GPBDIR.bit.GPIO61=1;
      GpioCtrlRegs.GPAQSEL2.bit.GPIO17 = 10;
      GpioCtrlRegs.GPBQSEL2.bit.GPIO48 = 10;
      GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO48 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO60 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO61 = 0;

      EDIS;

      GpioDataRegs.GPBCLEAR.bit.GPIO61=1;
      GpioDataRegs.GPACLEAR.bit.GPIO17=1;
      GpioDataRegs.GPBCLEAR.bit.GPIO48=1;
}

void main(void)
{
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the DSP2833x_SysCtrl.c file.
   InitSysCtrl();

   Gpio_select();

     EALLOW;
   #if (CPU_FRQ_150MHZ)     // Default - 150 MHz SYSCLKOUT
     #define ADC_MODCLK 0x3 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
150/(2*3)= 25.0 MHz
   #endif
   #if (CPU_FRQ_100MHZ)
     #define ADC_MODCLK 0x2 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
100/(2*2)= 25.0 MHz
   #endif


   EDIS;

// For this case just init GPIO pins for ePWM1, ePWM2, ePWM3, ePWM4
// These functions are in the DSP2833x_EPwm.c file
   InitEPwm1Gpio();          // Para inibir o acionamento das chaves de
cada braço comentar estas linhas
   InitEPwm2Gpio();
   InitEPwm3Gpio();
```

```
   InitEPwm4Gpio();

//   InitEPwm5Gpio();


// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
   DINT;

// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP2833x_PieCtrl.c file.
   InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
   IER = 0x0000;
   IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example.  This is useful for debug purposes.
// The shell ISR routines are found in DSP2833x_DefaultIsr.c.
// This function is found in DSP2833x_PieVect.c.
   InitPieVectTable();

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
   EALLOW;  // This is needed to write to EALLOW protected registers
   PieVectTable.EPWM1_INT = &epwm1_isr;
   PieVectTable.ADCINT = &adc_isr;
   EDIS;    // This is needed to disable write to EALLOW protected
registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP2833x_InitPeripherals.c
// InitPeripherals();  // Not required for this example
   InitAdc();  // For this example, init the ADC

   // Enable ADCINT in PIE
   PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
   IER |= M_INT1; // Enable CPU Interrupt 1
   EINT;          // Enable Global interrupt INTM
   ERTM;          // Enable Global realtime interrupt DBGM

//
================================================================================
===========
//   LoopCount = 0;

   AdcRegs.ADCTRL1.bit.ACQ_PS = 4;          // Acquisition window size
   AdcRegs.ADCTRL1.bit.CPS = 0;             // Core clock pre-scaler
   AdcRegs.ADCTRL3.bit.ADCCLKPS = 3;        // Core clock divider
   AdcRegs.ADCREFSEL.bit.REF_SEL = 0 ;      // Set Refernce Voltage
   AdcRegs.ADCOFFTRIM.bit.OFFSET_TRIM = 0;  // Set Offset Error
   AdcRegs.ADCTRL1.bit.CONT_RUN = 1;        // 0:Start-Stop or continuous
sequencer mode
   AdcRegs.ADCTRL3.bit.ADCBGRFDN = 0x3;     // Bandgap and reference
powered up
```

```
   AdcRegs.ADCTRL3.bit.SMODE_SEL = 0;       // 1:Simultaneous, 0:Sequential
sampling
   AdcRegs.ADCTRL1.bit.SEQ_CASC = 1;
   AdcRegs.ADCMAXCONV.all = 9;         // Setup 1 conv's on SEQ1, SEQ2 and
SEQ3 (9 => 10 ADCs)
   AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x8; // Setup ADCINB0 as 1st SEQ1
conv. vla- (0x2 => ADCINA2)
   AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x9; // Setup ADCINB1 as 3nd SEQ1
conv. vlb- (0x3 => ADCINA3)
   AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0xA; // Setup ADCINB2 as 2nd SEQ1
conv. vlc- (0x4 => ADCINA4)
   AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0xB; // Setup ADCINB3 as 1st SEQ1
conv. vsa
   AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0xC; // Setup ADCINB4 as 2nd SEQ2
conv. vsb
   AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0xD; // Setup ADCINB5 as 3nd SEQ2
conv. vsc
   AdcRegs.ADCCHSELSEQ2.bit.CONV06 = 0x0; // Setup ADCINB2 as 3nd SEQ2
conv. ilfpa
   AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x1; // Setup ADCINB3 as 1st SEQ2
conv. ilfpb - (0x8 => ADCINB0)
   AdcRegs.ADCCHSELSEQ3.bit.CONV08 = 0x2; // Setup ADCINB4 as 2nd SEQ3
conv. ilfpc - (0x9 => ADCINB1)
   AdcRegs.ADCCHSELSEQ3.bit.CONV09 = 0x3; // Setup ADCINB5 as 3nd SEQ3
conv. - (0xA => ADCINB2)
   AdcRegs.ADCTRL2.all = 0;
   AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;  // Enable SEQ1 interrupt (every
EOS)
   AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1;// Enable SOCA from ePWM to start
SEQ1

// Assumes ePWM1 clock is already enabled in InitSysCtrl();
   EPwm6Regs.ETSEL.bit.SOCAEN = 1;        // Enable SOC on A group
   EPwm6Regs.ETSEL.bit.SOCASEL = 4;       // Select SOC from from CPMA on
upcount
   EPwm6Regs.ETPS.bit.SOCAPRD = 1;        // Generate pulse on 1st event
   EPwm6Regs.CMPA.half.CMPA = 0x0080;      // Set compare A value
   EPwm6Regs.TBPRD = 1875; // 1875=40kHz;  2500=30kHz; 3750=20ks  // Set
period for ePWM1 TAXA DE AMOSTRAGEM=FC/2*TBPRD
   EPwm6Regs.TBCTL.bit.CTRMODE = 0;        // count up and start

// For this example, only initialize the ePWM

   EALLOW;
   SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;
   EDIS;

   InitEPwm1Example();       // Inicializa Epwm1 ao Epwm4

   // Desliga todos os IGBTs
   Desliga_Chaves();

   EALLOW;
   SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
   EDIS;

// Step 5. User specific code, enable interrupts:

// Enable CPU INT3 which is connected to EPWM1-3 INT:
   IER |= M_INT3;
```

```
// Enable EPWM INTn in the PIE: Group 3 interrupt 1-3
   PieCtrlRegs.PIEIER3.bit.INTx1 = 1;

// Enable global Interrupts and higher priority real-time debug events:
   EINT;   // Enable Global interrupt INTM
   ERTM;   // Enable Global realtime interrupt DBGM


// === Inicializa as Variáveis do Programa Principal
====================================
i=0;
q=0;

FlagDeConversao=0;

//Sobre_Corrente=0;
Sobre_Tensao=0;
Sub_Tensao=0;

vdc_ok=0;
vdc_ref=0;
idcc=0;
Vref_dc_sat[0]=0;
Vref_dc_sat[1]=0;

Pot_q_linha[0]=0;
Pot_q_linha[1]=0;

ErroPI_PLL[0]=0;
ErroPI_PLL[1]=0;

erro_Teta=0;
W[0]=0;
W[1]=0;

Teta[0]=0;
Teta[1]=0;

Cosseno=0;
Cosseno_n=0;
Seno=0;
Seno1=0;
Seno_n=0;
ialfa_linha=0;
ibeta_linha=0;

SenoTabela=0;
CossenoTabela=0;
CossenoTabela1=0;
SenoTabela1=0;
EndSeno=0;
EndCosseno=0;
EndCosseno1=0;

PLL_ok=0;

erro_Vdc[0]=0;
erro_Vdc[1]=0;

Eint_Vdc[0]=0;
Eint_Vdc[1]=0;
```

```
Sint_Vdc[0]=0;
Sint_Vdc[1]=0;

Vref_dc[0]=0;
Vref_dc[1]=0;

u_alfa_sat=0;
u_beta_sat=0;
u_0_sat=0;

erroV_d[0]=0;
erroV_d[1]=0;

erroV_q[0]=0;
erroV_q[1]=0;

erroV_zero[0]=0;
erroV_zero[1]=0;

erroI_d=0;  // Erro para a Entrada do PI de tensão eixo d
erroI_q=0;
erroI_zero=0;
u_d_I=0;    // Saída do PI de corrente
u_q_I=0;
u_zero_I=0;
u_zero_sat_4=0;

Eint_d[0]=0;
Eint_d[1]=0;
Eint_q[0]=0;
Eint_q[1]=0;
Eint_zero[0]=0;
Eint_zero[1]=0;
Sint_d[0]=0;
Sint_d[1]=0;
Sint_q[0]=0;
Sint_q[1]=0;
Sint_zero[0]=0;
Sint_zero[1]=0;
S_Sat_d[0]=0;
S_Sat_d[1]=0;
S_Sat_q[0]=0;
S_Sat_q[1]=0;
S_Sat_zero[0]=0;
S_Sat_zero[1]=0;
Dif_Sat_d=0;
Dif_Sat_q=0;
Dif_Sat_zero=0;
fpb_dcin[0]=0;
fpb_dcin[1]=0;
Pre_Carga=0;
Atraso=0;

u_d[0]=0;
u_d[1]=0;
u_q[0]=0;
u_q[1]=0;
u_zero[0]=0;
u_zero[1]=0;

u_d_sat=0;
```

```
u_q_sat=0;
u_zero_sat=0;

Protecao=0;
S=0;
van=0; vbn=0; vcn=0;
vla=0; vlb=0; vlc=0;

vla1[0]=0;
vla1[1]=0;

vlb1[0]=0;
vlb1[1]=0;

vlc1[0]=0;
vlc1[1]=0;

icfpa[0]=0;
icfpa[1]=0;

icfpb[0]=0;
icfpb[1]=0;

icfpc[0]=0;
icfpc[1]=0;

icf_alfa=0;
icf_beta=0;
icf_zero=0;

icf_d=0;
icf_q=0;

valfa=0; vbeta=0; vzero=0; vd=0; vq=0;
vlalfa=0; vlbeta=0; vlzero=0; vld=0; vlq=0;
ilf_alfa=0; ilf_beta=0; ilf_zero=0;
P1=0; P2=0; P3=0; P4=0; P5=0; P6=0;
t1=0; t2=0; t3=0; t0=0;
t_cmd_Sa=0; t_cmd_Sb=0; t_cmd_Sc=0; t_cmd_Sn=0;
S1_2=0; S3_4=0; S5_6=0; S7_8=0;

valfa_l=0; vbeta_l=0; vzero_l=0;
mod_ucmd=0; ualfa_l=0; ubeta_l=0; uzero_l=0;
vds=0; vqs=0;
vs_alfa=0; vs_beta=0; vs_zero=0;

iLalfa=0; iLbeta=0; iLzero=0;
iLd=0; iLq=0;
ialfa_ref=0; ibeta_ref=0; izero_ref=0;
Iref_alfa_h=0;
Iref_beta_h=0;
Iref_alfa_tmp=0;
Iref_beta_tmp=0;

id_ref=0; iq_ref=0;

Iref_alfa=0;
Iref_beta=0;
Iref_0=0;
Ic_alfa=0;
Ic_beta=0;
```

```
Ic_0=0;

Corrente0=0;
Corrente1=0;
Corrente2=0;
Corrente3=0;
Corrente4=0;
Corrente5=0;
Tensao0=0;
Tensao1=0;
Tensao2=0;
Tensao3=0;
Tensao4=0;
Tensao5=0;
Tensao6=0;

ilfpa=0;
ilfpb=0;
ilfpc=0;
Corrente_La=0;
Corrente_Lb=0;
Corrente_Lc=0;
Tensao_a=0;
Tensao_b=0;
Tensao_c=0;
Tensao_dc=0;

//LoopCount=0;

while(1)
{
      if (FlagDeConversao==1){      // Executa o código dentro do if a cada
período de amostragem

      GpioDataRegs.GPBSET.bit.GPIO60=1;

// Tensões de fases para o PLL
      Tensao_a=(float)Tensao0;
      Tensao_a=((Tensao_a)-2031)*(0.454212);

      van=Tensao_a;

      Tensao_b=(float)Tensao1;
      Tensao_b=((Tensao_b)-2029)*(0.454212);

      vbn=Tensao_b;

      Tensao_c=(float)Tensao2;
      Tensao_c=((Tensao_c)-2029)*(0.454212);

      vcn=Tensao_c;

      Clark_vs();       // Transforma as tensões da rede para alfa-beta

      STF();

      PLL();
if (Atraso>10 && Protecao==0) // Tempo em segundos
{

// Tensões de Saída
```

```
      vla=(float)Tensao4;
      vla=((vla)-2038)*(0.470461469);

      vlb=(float)Tensao5;
      vlb=((vlb)-2030)*(0.470461469);

      vlc=(float)Tensao6;
      vlc=((vlc)-2031)*(0.470461469);

      if( (vla)>=limite_mais || (vlc)>=limite_mais || (vlc)>=limite_mais ||
      (vla)<=limite_menos || (vlc)<=limite_menos || (vlc)<=limite_menos )
            {
                  while(1)
                  {
                  Desliga_Chaves();
                  Sobre_Tensao=1;
                  }
            }


 Clark_vL();      //transforma as tensões da carga para alfa beta zero
 Park_vL();             //transforma as tensões da carga para dq


      // Correntes do FAPP
      ilfpa=(float)Corrente0;
      ilfpa=((ilfpa)-2033)*(0.0120879);

      ilfpb=(float)Corrente1;
      ilfpb=((ilfpb)-2031)*(0.0120879);

      ilfpc=(float)Corrente2;
      ilfpc=((ilfpc)-2029)*(0.0120879);

      Clark_ilfp();  //transforma as corrente do FAP para alfa beta zero
      Park_ilfp();   //transforma as corrente do FAP para dq


      //Incrementa referência de tensão após pressionado o botão
      if ((GpioDataRegs.GPBDAT.bit.GPIO48 == 0) && (fap_continuo==0)&&
(vdc_ref==0))
                        {
                              fap_continuo=1;
                        }

      if (fap_continuo==1){
            Rampa_Vdc();   //Incrementa referencia vd_ref
            }

      //Decrementa referência de tensão após pressionado o botão
      if ((GpioDataRegs.GPBDAT.bit.GPIO48 == 0) && (fap_continuo==1) &&
(vdc_ref>=vd_ref))
                        {
                              fap_continuo=0;
                        }
      if (fap_continuo==0){
            Rampa_Vdc_menos();
            }


      erroV_d[i]=(vdc_ref - vld);
```

```
      erroV_q[i]=(vq_ref - vlq);
      erroV_zero[i]=(vzero_ref - vlzero);

//Malha externa de tensão do FAP
      PI_Vdq();

//Correntes no capacitor do FAP
      Corrente_icfp();
      Clark_icfp();
      Park_icfp();

//Malha interna de corrente do FAP
      erroI_d=((u_d[i]+icf_d)-ilf_d);
      erroI_q=((u_q[i]+icf_q)-ilf_q);
      erroI_zero=((u_zero[i]+icf_zero)-ilf_zero);

//Desacoplamento

      erroI_d=erroI_d-(0.376*ilf_q);
      erroI_q=erroI_q+(0.376*ilf_d);

      u_d_I=(erroI_d*Kdq);
      u_q_I=(erroI_q*Kdq);
      u_zero_I=(erroI_zero*Kzero);

      Saturador();

      Inversa_Park_Depois_PI();


// === Malha Fechada ===
      valfa_l=u_alfa_sat;//-valfa;      // Entrada da SVM
      vbeta_l=u_beta_sat;//-vbeta;
      vzero_l=u_0_sat;//-vzero;
// ======================

      Planos_Separacao();
      Tetraedros();
      Intervalos_Tempo();
      Razao_Ciclica();

      S1_2=(t_cmd_Sa+Gsvm);
      S3_4=(t_cmd_Sb+Gsvm);
      S5_6=(t_cmd_Sc+Gsvm);
      S7_8=(t_cmd_Sn+Gsvm);


      EPwm1Regs.CMPA.half.CMPA = S1_2;    //epwm1
      EPwm1Regs.CMPB = S1_2;

      EPwm2Regs.CMPA.half.CMPA = S3_4;    //epwm2
      EPwm2Regs.CMPB = S3_4;

      EPwm3Regs.CMPA.half.CMPA = S5_6;    //epwm3
      EPwm3Regs.CMPB = S5_6;

      EPwm4Regs.CMPA.half.CMPA = S7_8;    //epwm3
      EPwm4Regs.CMPB = S7_8;


}
```

```
else{
      Atraso=Atraso+0.0004;   // Atraso de 10s para entrar o controle
}

//
*****************************************************************************
i=1;
GpioDataRegs.GPBCLEAR.bit.GPIO60=1;
FlagDeConversao=0;
}     // if FlagDeConversao
}     // while
}     // main

interrupt void  adc_isr(void)
{

  Tensao4 = (AdcMirror.ADCRESULT0);      // ADCINA2
  Tensao5 = (AdcMirror.ADCRESULT1);      // ADCINA3
  Tensao6 = (AdcMirror.ADCRESULT2);      // ADCINA4

  Tensao0 = (AdcMirror.ADCRESULT3);      // ADCINA5
  Tensao1 = (AdcMirror.ADCRESULT4);      // ADCINA6
  Tensao2 = (AdcMirror.ADCRESULT5);      // ADCINA7

  Corrente0 = (AdcMirror.ADCRESULT6);          // ADCINB2
  Corrente1 = (AdcMirror.ADCRESULT7);          // ADCINB3
  Corrente2 = (AdcMirror.ADCRESULT8);          // ADCINB4

  Tensao3 = (AdcMirror.ADCRESULT9);      // ADCINB5

FlagDeConversao=1;

  // Reinitialize for next ADC sequence
  AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;         // Reset SEQ1
  AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;       // Clear INT SEQ1 bit

  PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;   // Acknowledge interrupt to PIE

}

interrupt void epwm1_isr(void)
{

   // Clear INT flag for this timer
   EPwm1Regs.ETCLR.bit.INT = 1;

   EPwm2Regs.ETCLR.bit.INT = 1;
   EPwm3Regs.ETCLR.bit.INT = 1;
   EPwm4Regs.ETCLR.bit.INT = 1;
//   EPwm5Regs.ETCLR.bit.INT = 1;

   // Acknowledge this interrupt to receive more interrupts from group 3
   PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}


void InitEPwm1Example()
{

      //EPWM1 - MODULO 1 - CONFIGURACAO
   // Setup TBCLK
```

```
EPwm1Regs.TBPRD = Gpwm;
EPwm1Regs.TBPHS.half.TBPHS = 0x0000;     // Phase is 0
EPwm1Regs.TBCTR = 0x0000;              // Clear counter

// Setup counter mode
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up  PWM
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;    // Disable phase loading
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;// Clock ratio to SYSCLKOUT
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

// Set actions
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm1Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm1Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values
EPwm1Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
EPwm1Regs.ETSEL.bit.INTEN = 1;
EPwm1Regs.ETPS.bit.INTPRD = ET_3RD;

   //EPWM2 - MODULO 2 - CONFIGURACAO
// Setup TBCLK
EPwm2Regs.TBPRD = Gpwm;
EPwm2Regs.TBPHS.half.TBPHS = 0x0000;
EPwm2Regs.TBCTR = 0x0000;

// Setup counter mode
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

// Set actions
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values
EPwm2Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
EPwm2Regs.ETSEL.bit.INTEN = 1;
EPwm2Regs.ETPS.bit.INTPRD = ET_3RD;

   //EPWM3 - MODULO 2 - CONFIGURACAO
// Setup TBCLK
EPwm3Regs.TBPRD = Gpwm;
EPwm3Regs.TBPHS.half.TBPHS = 0x0000;
EPwm3Regs.TBCTR = 0x0000;
```

```
    // Setup counter mode
    EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
    EPwm3Regs.TBCTL.bit.PHSEN = TB_DISABLE;
    EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
    EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    // Setup shadowing
    EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    // Set actions
    EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm3Regs.AQCTLB.bit.CBU = AQ_SET;
    EPwm3Regs.AQCTLB.bit.CBD = AQ_CLEAR;

    // Interrupt where we will change the Compare Values
    EPwm3Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
    EPwm3Regs.ETSEL.bit.INTEN = 1;
    EPwm3Regs.ETPS.bit.INTPRD = ET_3RD;

       //EPWM4 - MODULO 4 - CONFIGURACAO
    // Setup TBCLK
    EPwm4Regs.TBPRD = Gpwm;
    EPwm4Regs.TBPHS.half.TBPHS = 0x0000;
    EPwm4Regs.TBCTR = 0x0000;

    // Setup counter mode
    EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
    EPwm4Regs.TBCTL.bit.PHSEN = TB_DISABLE;
    EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
    EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    // Setup shadowing
    EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    // Set actions
    EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm4Regs.AQCTLB.bit.CBU = AQ_SET;
    EPwm4Regs.AQCTLB.bit.CBD = AQ_CLEAR;

    // Interrupt where we will change the Compare Values
    EPwm4Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
    EPwm4Regs.ETSEL.bit.INTEN = 1;
    EPwm4Regs.ETPS.bit.INTPRD = ET_3RD;
}
```

Apêndice B – Código C Implementado no *DSP* (Conversor Série F-L)

```
/* Tese de Doutorado – Rodrigo Augusto Modesto – EESC/USP */
/* Conversor série VSI F-L com controle de Tensão e Corrente */
/* Sensor de corrente com 3 voltas */

#include "DSP28x_Project.h"     // Device Headerfile and Examples Include
#include "math.h"
#include "constantes.c"
#include "svm_v10.c"
#include "transformadas.c"
#include "pPLL.c"
#include "filtro.c"
#include "saturador.c"
#include "PI_Vdq.c"
#include "rampa_vdc.c"
#include "igbts_off.c"
#include "Saturador_PI_Vdc1.c"
#include "PI_Vdc.c"
#include "STF.c"

// Prototype statements for functions found within this file.
interrupt void adc_isr(void);

#define EPWM_CMP_UP   1
#define EPWM_CMP_DOWN 0

float32 Seno1, SenoTabela, CossenoTabela, CossenoTabela1, SenoTabela1;
Uint16 EndSeno, EndCosseno, EndCosseno1, EndSeno1;

// Variáveis STF

float32 erro_valfa[2];
float32 valfa_saida[2];
float32 erro_vbeta[2];
float32 vbeta_saida[2];

// Variáveis utilizadas na aquisição das Correntes e Tensões
Uint16 Corrente0;
Uint16 Corrente1;
Uint16 Corrente2;
Uint16 Corrente3;
Uint16 Corrente4;
Uint16 Corrente5;
Uint16 Tensao0;
Uint16 Tensao1;
Uint16 Tensao2;
Uint16 Tensao3;
Uint16 Tensao4;
Uint16 Tensao5;
Uint16 Tensao6;

float32 acdc1;
```

```
// Variáveis que Representam as Correntes e Tensões reais
float32 ilfpa;
float32 ilfpb;
float32 ilfpc;
float32 iLa;
float32 iLb;
float32 iLc;
float32 Tensao_a;
float32 Tensao_b;
float32 Tensao_c;
float32 Tensao_dc;
float32 vla;
float32 vlb;
float32 vlc;

float32 ilf_alfa, ilf_beta, ilf_zero;

// Variáveis para a Função do PLL
float32 valfa_PLL, vbeta_PLL;
float32 Pot_q_linha[2];
float32 ErroPI_PLL[2];
float32 erro_Teta;
float32 ialfa_linha;
float32 ibeta_linha;
float32 Seno;
float32 Seno_n;
float32 Cosseno;
float32 Cosseno_n;
float32 W[2];
float32 Teta[2];
Uint16 PLL_ok;

// Variáveis para a Função transformadas
float32 van, vbn, vcn;
float32 valfa, vbeta, vzero, vd, vq;
float32 ilalfa, ilbeta, ilzero, ild, ilq;
float32 iLalfa, iLbeta, iLzero;
float32 u_alfa_sat, u_beta_sat, u_0_sat;

float32 ialfa_ref, ibeta_ref, izero_ref;
float32 id_ref, iq_ref;
float32 ilf_d, ilf_q;
float32 Iref_alfa;
float32 Iref_beta;
float32 Iref_alfa_h;
float32 Iref_beta_h;
float32 Iref_alfa_tmp;
float32 Iref_beta_tmp;
float32 Iref_0;
float32 Ic_alfa;
float32 Ic_beta;
float32 Ic_0;
float32 vds;
float32 vqs;
float32 vs_alfa, vs_beta, vs_zero;

// Variáveis para a Função do Filtro passa Baixa
float32 fpb_iLd_in[2], fpb_iLd_out[2], iddc;

// Variáveis para a Função SVM
Uint16 S;
```

```
float32 P1, P2, P3, P4, P5, P6;
float32 t1, t2, t3, t0;
float32 t_cmd_Sa, t_cmd_Sb, t_cmd_Sc, t_cmd_Sn;
float32 S1_2, S3_4, S5_6, S7_8;          // Variáveis que armazenam a Razão
Cíclica da SVM
float32 svm;


// Variáveis para a Função do PI de Corrente
float32 erroI_d;  // Erro para a Entrada do PI de tensão eixo d
float32 erroI_q;
float32 erroI_zero;
float32 u_d_I;    // Saída do PI de corrente
float32 u_q_I;
float32 u_zero_I;

// Variáveis para a Função do Saturador do PI
float32 u_d_sat;
float32 u_q_sat;
float32 u_zero_sat;
float32 u_zero_sat_4;

// Variáveis dos Integradores Discreto
float32 Eint_d[2];
float32 Eint_q[2];
float32 Eint_zero[2];
float32 Sint_d[2];
float32 Sint_q[2];
float32 Sint_zero[2];

// Variáveis para a Função do PI de Tensão do Barramento CC
float32 idcc;     // Referência de corrente para o eixo d - compensação das
perdas da estrutura
float32 Eint_Vdc[2];
float32 Sint_Vdc[2];
float32 erroVdc[2];
float32 Vref_dc[2];
float32 Vref_dc_sat[2];
float32 acvdc[2];
float32 usat_PI_Vdc1[2];

// Variáveis para a Função de Proteção de Sobretensão do Barramento CC
Uint16 Sobre_Tensao;
Uint16 Sub_Tensao;
float32 fpb_dcin[2];
float32 fpb_dcout[2];
float32 Vdc_Filtrado;

// Variáveis para Utilização no Programa Principal
int16 i;
Uint16 FlagDeConversao;
Uint16 q;
Uint16 Protecao;
float32 Atraso;

int fap_continuo;

float tempo_interrup;

//Uint16 LoopCount;
```

```
// Prototype statements for functions found within this file.
      void InitEPwm1Example(void);
      interrupt void epwm1_isr(void);
      void update_compare(EPWM_INFO*);

void Gpio_select(void)
{
      EALLOW;
      GpioCtrlRegs.GPAMUX2.all = 0;
      GpioCtrlRegs.GPBMUX2.all = 0;
      GpioCtrlRegs.GPADIR.bit.GPIO17 = 0;
      GpioCtrlRegs.GPBDIR.bit.GPIO48 = 0;
      GpioCtrlRegs.GPBDIR.bit.GPIO60=1;
      GpioCtrlRegs.GPBDIR.bit.GPIO61=1;
      GpioCtrlRegs.GPAQSEL2.bit.GPIO17 = 100;
      GpioCtrlRegs.GPBQSEL2.bit.GPIO48 = 100;
      GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO48 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO60 = 0;
      GpioCtrlRegs.GPBPUD.bit.GPIO61 = 0;

      EDIS;

      GpioDataRegs.GPBCLEAR.bit.GPIO61=1;
      GpioDataRegs.GPACLEAR.bit.GPIO17=1;
      GpioDataRegs.GPBCLEAR.bit.GPIO48=1;

}

void main(void)
{
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the DSP2833x_SysCtrl.c file.
   InitSysCtrl();

   Gpio_select();

     EALLOW;
   #if (CPU_FRQ_150MHZ)     // Default - 150 MHz SYSCLKOUT
     #define ADC_MODCLK 0x3
   #endif
   #if (CPU_FRQ_100MHZ)
     #define ADC_MODCLK 0x2
   #endif

   EDIS;

// For this case just init GPIO pins for ePWM1, ePWM2, ePWM3
// These functions are in the DSP2833x_EPwm.c file
   InitEPwm1Gpio();
   InitEPwm2Gpio();
   InitEPwm3Gpio();
   InitEPwm4Gpio();

//   InitEPwm5Gpio();

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
   DINT;
```

```
// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP2833x_PieCtrl.c file.
   InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
   IER = 0x0000;
   IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example.  This is useful for debug purposes.
// The shell ISR routines are found in DSP2833x_DefaultIsr.c.
// This function is found in DSP2833x_PieVect.c.
   InitPieVectTable();

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
   EALLOW;  // This is needed to write to EALLOW protected registers
   PieVectTable.EPWM1_INT = &epwm1_isr;
   PieVectTable.ADCINT = &adc_isr;
   EDIS;    // This is needed to disable write to EALLOW protected
registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP2833x_InitPeripherals.c
// InitPeripherals();  // Not required for this example
   InitAdc();  // For this example, init the ADC

   // Enable ADCINT in PIE
   PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
   IER |= M_INT1; // Enable CPU Interrupt 1
   EINT;          // Enable Global interrupt INTM
   ERTM;          // Enable Global realtime interrupt DBGM

//
===========================================================================
===========
//   LoopCount = 0;

   AdcRegs.ADCTRL1.bit.ACQ_PS = 4;          // Acquisition window size -
   AdcRegs.ADCTRL1.bit.CPS = 0;             // Core clock pre-scaler
   AdcRegs.ADCTRL3.bit.ADCCLKPS = 3;        // Core clock divider
   AdcRegs.ADCREFSEL.bit.REF_SEL = 0 ;      // Set Refernce Voltage
   AdcRegs.ADCOFFTRIM.bit.OFFSET_TRIM = 0;  // Set Offset E
   AdcRegs.ADCTRL1.bit.CONT_RUN = 1;        // 0:Start-Stop or continuous
sequencer mode
   AdcRegs.ADCTRL3.bit.ADCBGRFDN = 0x3;     // Bandgap and reference
powered up
   AdcRegs.ADCTRL3.bit.SMODE_SEL = 0;       // 1:Simultaneous, 0:Sequential
sampling
   AdcRegs.ADCTRL1.bit.SEQ_CASC = 1;

   AdcRegs.ADCMAXCONV.all = 9;
   AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x2; // Setup ADCINB0 as 1st SEQ1
conv. iLa- (0x2 => ADCINA2)
   AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x3; // Setup ADCINB1 as 3nd SEQ1
conv. iLb- (0x3 => ADCINA3)
```

```
   AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x4; // Setup ADCINB2 as 2nd SEQ1
conv. iLc- (0x4 => ADCINA4)
   AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x5; // Setup ADCINB3 as 1st SEQ1
conv. vsa
   AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x6; // Setup ADCINB4 as 2nd SEQ2
conv. vsb
   AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0x7; // Setup ADCINB5 as 3nd SEQ2
conv. vsc
   AdcRegs.ADCCHSELSEQ2.bit.CONV06 = 0x8; // Setup ADCINB2 as 3nd SEQ2
conv. isa (ilfpa)
   AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x9; // Setup ADCINB3 as 1st SEQ2
conv. isb (ilfpb) - (0x8 => ADCINB0)
   AdcRegs.ADCCHSELSEQ3.bit.CONV08 = 0xA; // Setup ADCINB4 as 2nd SEQ3
conv. isc (ilfpc) - (0x9 => ADCINB1)
   AdcRegs.ADCCHSELSEQ3.bit.CONV09 = 0x0; // Setup ADCINA0 as 3nd SEQ3
conv. VDC - (0xA => ADCINB2)
   AdcRegs.ADCTRL2.all = 0;
   AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;  // Enable SEQ1 interrupt (every
EOS)
   AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1;// Enable SOCA from ePWM to start
SEQ1

// Assumes ePWM1 clock is already enabled in InitSysCtrl();
   EPwm6Regs.ETSEL.bit.SOCAEN = 1;        // Enable SOC on A group
   EPwm6Regs.ETSEL.bit.SOCASEL = 4;       // Select SOC from from CPMA on
upcount
   EPwm6Regs.ETPS.bit.SOCAPRD = 1;        // Generate pulse on 1st event
   EPwm6Regs.CMPA.half.CMPA = 0x0080;      // Set compare A value
   EPwm6Regs.TBPRD = 1875;
   EPwm6Regs.TBCTL.bit.CTRMODE = 0;         // count up and start

// For this example, only initialize the ePWM

   EALLOW;
   SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;
   EDIS;

   InitEPwm1Example();        // Inicializa Epwm1 ao Epwm4

   // Desliga todos os IGBTs
   Desliga_Chaves();

   EALLOW;
   SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
   EDIS;

// Step 5. User specific code, enable interrupts:

// Enable CPU INT3 which is connected to EPWM1-3 INT:
   IER |= M_INT3;

// Enable EPWM INTn in the PIE: Group 3 interrupt 1-3
   PieCtrlRegs.PIEIER3.bit.INTx1 = 1;

// Enable global Interrupts and higher priority real-time debug events:
   EINT;   // Enable Global interrupt INTM
   ERTM;   // Enable Global realtime interrupt DBGM


// === Inicializa as Variáveis do Programa Principal
====================================
```

```
{
      EPwm1Regs.CMPA.half.CMPA = 0;
      EPwm1Regs.CMPB = Gpwm;
      EPwm2Regs.CMPA.half.CMPA = 0;
      EPwm2Regs.CMPB = Gpwm;
      EPwm3Regs.CMPA.half.CMPA = 0;
      EPwm3Regs.CMPB = Gpwm;
      EPwm4Regs.CMPA.half.CMPA = 0;
      EPwm4Regs.CMPB = Gpwm;
}

i=0;
q=0;

FlagDeConversao=0;

acdc1=0;

//Sobre_Corrente=0;
Sobre_Tensao=0;
Sub_Tensao=0;

vdc_ok=0;
vdc_ref=0;
idcc=0;
Vref_dc_sat[0]=0;
Vref_dc_sat[1]=0;

Pot_q_linha[0]=0;
Pot_q_linha[1]=0;

ErroPI_PLL[0]=0;
ErroPI_PLL[1]=0;

erro_Teta=0;
W[0]=0;
W[1]=0;

Teta[0]=0;
Teta[1]=0;

Cosseno=0;
Cosseno_n=0;
Seno=0;
Seno1=0;
Seno_n=0;
ialfa_linha=0;
ibeta_linha=0;

SenoTabela=0;
CossenoTabela=0;
CossenoTabela1=0;
SenoTabela1=0;
EndSeno=0;
EndCosseno=0;
EndCosseno1=0;

PLL_ok=0;

erro_valfa[0]=0;
erro_valfa[1]=0;
```

```
valfa_saida[0]=0;
valfa_saida[1]=0;
erro_vbeta[0]=0;
erro_vbeta[1]=0;
vbeta_saida[0]=0;
vbeta_saida[1]=0;

erroVdc[0]=0;
erroVdc[1]=0;

Eint_Vdc[0]=0;
Eint_Vdc[1]=0;
Sint_Vdc[0]=0;
Sint_Vdc[1]=0;

Vref_dc[0]=0;
Vref_dc[1]=0;

usat_PI_Vdc1[0]=0;
usat_PI_Vdc1[1]=0;

acvdc[0]=0;
acvdc[1]=0;


fpb_iLd_in[0]=0;
fpb_iLd_in[1]=0;
fpb_iLd_out[0]=0;
fpb_iLd_out[1]=0;
iddc=0;

fap_continuo=0;
tempo_interrup=0;

u_alfa_sat=0;
u_beta_sat=0;
u_0_sat=0;

erroV_d[0]=0;
erroV_d[1]=0;

erroV_q[0]=0;
erroV_q[1]=0;

erroV_zero[0]=0;
erroV_zero[1]=0;

erroI_d=0;  // Erro para a Entrada do PI de tensão eixo d
erroI_q=0;
erroI_zero=0;
u_d_I=0;    // Saída do PI de corrente
u_q_I=0;
u_zero_I=0;
u_zero_sat_4=0;

Sint_zero[0]=0;
Sint_zero[1]=0;

Eint_d[0]=0;
Eint_d[1]=0;
Eint_q[0]=0;
```

```
Eint_q[1]=0;
Eint_zero[0]=0;
Eint_zero[1]=0;

Sint_d[0]=0;
Sint_d[1]=0;
Sint_q[0]=0;
Sint_q[1]=0;
Sint_zero[0]=0;
Sint_zero[1]=0;

S_Sat_d[0]=0;
S_Sat_d[1]=0;
S_Sat_q[0]=0;
S_Sat_q[1]=0;
S_Sat_zero[0]=0;
S_Sat_zero[1]=0;
Dif_Sat_d=0;
Dif_Sat_q=0;
Dif_Sat_zero=0;

fpb_dcin[0]=0;
fpb_dcin[1]=0;

Pre_Carga=0;

Atraso=0;

u_d[0]=0;
u_d[1]=0;
u_q[0]=0;
u_q[1]=0;
u_zero[0]=0;
u_zero[1]=0;

u_d_sat=0;
u_q_sat=0;
u_zero_sat=0;

Protecao=0;

S=0;
van=0; vbn=0; vcn=0;
vla=0; vlb=0; vlc=0;

vla1[0]=0;
vla1[1]=0;

vlb1[0]=0;
vlb1[1]=0;

vlc1[0]=0;
vlc1[1]=0;

icfpa[0]=0;
icfpa[1]=0;

icfpb[0]=0;
icfpb[1]=0;

icfpc[0]=0;
```

```
icfpc[1]=0;

icf_alfa=0;
icf_beta=0;
icf_zero=0;

icf_d=0;
icf_q=0;

valfa=0; vbeta=0; vzero=0; vd=0; vq=0;
ilalfa=0; ilbeta=0; ilzero=0; ild=0; ilq=0;
ilf_alfa=0; ilf_beta=0; ilf_zero=0;
P1=0; P2=0; P3=0; P4=0; P5=0; P6=0;
t1=0; t2=0; t3=0; t0=0;
t_cmd_Sa=0; t_cmd_Sb=0; t_cmd_Sc=0; t_cmd_Sn=0;
S1_2=0; S3_4=0; S5_6=0; S7_8=0;

valfa_l=0; vbeta_l=0; vzero_l=0;
mod_ucmd=0; ualfa_l=0; ubeta_l=0; uzero_l=0;
vds=0; vqs=0;
vs_alfa=0; vs_beta=0; vs_zero=0;

iLalfa=0; iLbeta=0; iLzero=0;
iLd=0; iLq=0;
ialfa_ref=0; ibeta_ref=0; izero_ref=0;
Iref_alfa_h=0;
Iref_beta_h=0;
Iref_alfa_tmp=0;
Iref_beta_tmp=0;
id_ref=0; iq_ref=0;
Iref_alfa=0;
Iref_beta=0;
Iref_0=0;
Ic_alfa=0;
Ic_beta=0;
Ic_0=0;

Corrente0=0;
Corrente1=0;
Corrente2=0;
Corrente3=0;
Corrente4=0;
Corrente5=0;
Tensao0=0;
Tensao1=0;
Tensao2=0;
Tensao3=0;
Tensao4=0;
Tensao5=0;
Tensao6=0;

ilfpa=0;
ilfpb=0;
ilfpc=0;
iLa=0;
iLb=0;
iLc=0;
Tensao_a=0;
Tensao_b=0;
Tensao_c=0;
Tensao_dc=0;
```

```
//LoopCount=0;

while(1)
{

      if (FlagDeConversao==1){      // Executa o código dentro do if a cada
período de amostragem

      GpioDataRegs.GPBSET.bit.GPIO60=1;

// Tensões de fases para o PLL
      Tensao_a=(float)Tensao0;
      Tensao_a=((Tensao_a)-2031)*(0.454212);
      van=Tensao_a;

      Tensao_b=(float)Tensao1;
      Tensao_b=((Tensao_b)-2029)*(0.454212);
      vbn=Tensao_b;

      Tensao_c=(float)Tensao2;
      Tensao_c=((Tensao_c)-2029)*(0.454212);
      vcn=Tensao_c;

      Clark_vs();       // Transforma as tensões da rede para alfa-beta

      STF();

      PLL();

// Tensão do Barramento DC
      Tensao_dc=(float)Tensao3;
      Tensao_dc=((Tensao_dc)-2039)*(0.454212);

if (Atraso>10 && Protecao==0) // && PLL_ok==1) // Tempo em segundos
{

      if (Tensao_dc>500)
      {
      while(1)
      {
      EPwm1Regs.CMPA.half.CMPA = 0;
      EPwm1Regs.CMPB = Gpwm;
      EPwm2Regs.CMPA.half.CMPA = 0;
      EPwm2Regs.CMPB = Gpwm;
      EPwm3Regs.CMPA.half.CMPA = 0;
      EPwm3Regs.CMPB = Gpwm;
      EPwm4Regs.CMPA.half.CMPA = 0;
      EPwm4Regs.CMPB = Gpwm;
      }
      }

      // Correntes da carga
      iLa=(float)Corrente3;         // Corrente da carga iLa
      iLa=((iLa)-2035)*(0.0120879);

      iLb=(float)Corrente4;         // Corrente da carga iLb
      iLb=((iLb)-2038)*(0.0120879);

      iLc=(float)Corrente5;         // Corrente da carga iLc
      iLc=((iLc)-2030)*(0.0120879);
```

```
      Clark_iL();  //transforma as correntes da carga para alfa beta zero
      Park_iL();   //transforma as correntes da carga para dq

      FPA_iLd();   //Extrai valor dc da corrente ild


      // Correntes do FAPS
      ilfpa=(float)Corrente0;       // Corrente do filtro ica
      ilfpa=((ilfpa)-2034)*(0.0120879);

      ilfpb=(float)Corrente1;       // Corrente do filtro icb
      ilfpb=((ilfpb)-2033)*(0.0120879);

      ilfpc=(float)Corrente2;       // Corrente do filtro icc
      ilfpc=((ilfpc)-2033)*(0.0120879);

      if( (ilfpa)>=limite_mais || (ilfpb)>=limite_mais ||
(ilfpc)>=limite_mais ||
      (ilfpa)<=limite_menos || (ilfpb)<=limite_menos ||
(ilfpc)<=limite_menos )
            {
                  while(1)
                  {
                  Desliga_Chaves();
                  Sobre_Tensao=1;
                  }
            }

      Clark_ilfp();  //transforma as corrente do FAPS para alfa beta zero
      Park_ilfp();   //transforma as corrente do FAPS para dq

      //Desliga FAPS após pressionado o botão
      if ((GpioDataRegs.GPBDAT.bit.GPIO48 == 0) && (fap_continuo==0))
                        {
                              fap_continuo=1;
                        }

            if (fap_continuo==1)
            {
            EPwm1Regs.CMPA.half.CMPA = 0;
            EPwm1Regs.CMPB = Gpwm;
            EPwm2Regs.CMPA.half.CMPA = 0;
            EPwm2Regs.CMPB = Gpwm;
            EPwm3Regs.CMPA.half.CMPA = 0;
            EPwm3Regs.CMPB = Gpwm;
            EPwm4Regs.CMPA.half.CMPA = 0;
            EPwm4Regs.CMPB = Gpwm;
            }

            if ((GpioDataRegs.GPBDAT.bit.GPIO48 == 0) && (fap_continuo==0)
&& (tempo_interrup==0))
                        {
                              fap_continuo=1;
                        }


                        if (fap_continuo==1)
                        {
                              EPwm1Regs.CMPA.half.CMPA = 0;
                              EPwm1Regs.CMPB = Gpwm;
```

```
                              EPwm2Regs.CMPA.half.CMPA = 0;
                              EPwm2Regs.CMPB = Gpwm;
                              EPwm3Regs.CMPA.half.CMPA = 0;
                              EPwm3Regs.CMPB = Gpwm;
                              EPwm4Regs.CMPA.half.CMPA = 0;
                              EPwm4Regs.CMPB = Gpwm;

                        if (tempo_interrup<=666)
                              {
                                    tempo_interrup=tempo_interrup+0.5;
                              }
                              if (tempo_interrup>=666)
                              {
                                    fap_continuo=0;
                              }
                        }

            if (fap_continuo==0)
            {

      // Controle de tensao do Barramento DC

      erroVdc[i]=(400-Tensao_dc);
      PI_Vdc();
      Saturador_PI_Vdc1();

      if (tempo_interrup>0)
      {
            tempo_interrup=tempo_interrup-0.01;
      }

      if (tempo_interrup<=0)
      {
            tempo_interrup=0;
      }


      erroV_d[i]=((iddc+usat_PI_Vdc1[i]) - ilf_d);
      erroV_q[i]=(vq_ref - ilf_q);
      erroV_zero[i]=(vzero_ref - ilf_zero);

      //Malha interna de corrente FAPS
      PI_Vdq();

      //Desacoplamento

      u_d_I=u_d[i]-(0.564*ilf_q);
      u_q_I=u_q[i]+(0.564*ilf_d);

      u_zero_I=u_zero[i];


      Saturador();

      Inversa_Park_Depois_PI();


// === Malha Fechada ===
      valfa_l=u_alfa_sat;//-valfa;      // Entrada da SVM
      vbeta_l=u_beta_sat;//-vbeta;
      vzero_l=u_0_sat;//-vzero;
```

```
// ====================

      Planos_Separacao();
      Tetraedros();
      Intervalos_Tempo();
      Razao_Ciclica();

      S1_2=(t_cmd_Sa+Gsvm);
      S3_4=(t_cmd_Sb+Gsvm);
      S5_6=(t_cmd_Sc+Gsvm);
      S7_8=(t_cmd_Sn+Gsvm);

      EPwm1Regs.CMPA.half.CMPA = S1_2;    //epwm1
      EPwm1Regs.CMPB = S1_2;

      EPwm2Regs.CMPA.half.CMPA = S3_4;    //epwm2
      EPwm2Regs.CMPB = S3_4;

      EPwm3Regs.CMPA.half.CMPA = S5_6;    //epwm3
      EPwm3Regs.CMPB = S5_6;

      EPwm4Regs.CMPA.half.CMPA = S7_8;    //epwm3
      EPwm4Regs.CMPB = S7_8;
      }

else{
      Atraso=Atraso+0.0004;   // Atraso de 10s para entrar o controle
}

i=1;

GpioDataRegs.GPBCLEAR.bit.GPIO60=1;

FlagDeConversao=0;
}     // if FlagDeConversao
}     // while
}     // main

interrupt void  adc_isr(void)
{

  Corrente3 = (AdcMirror.ADCRESULT0);          // ADCINA2
  Corrente4 = (AdcMirror.ADCRESULT1);          // ADCINA3
  Corrente5 = (AdcMirror.ADCRESULT2);          // ADCINA4

  Tensao0 = (AdcMirror.ADCRESULT3);      // ADCINA5
  Tensao1 = (AdcMirror.ADCRESULT4);      // ADCINA6
  Tensao2 = (AdcMirror.ADCRESULT5);      // ADCINA7

  Corrente0 = (AdcMirror.ADCRESULT6);          // ADCINB2
  Corrente1 = (AdcMirror.ADCRESULT7);          // ADCINB3
  Corrente2 = (AdcMirror.ADCRESULT8);          // ADCINB4

  Tensao3 = (AdcMirror.ADCRESULT9);      // ADCINA0

FlagDeConversao=1;

  // Reinitialize for next ADC sequence
  AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;         // Reset SEQ1
  AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;       // Clear INT SEQ1 bit
  PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;   // Acknowledge interrupt to PIE
```

```
}

interrupt void epwm1_isr(void)
{
   // Update the CMPA and CMPB values
  // update_compare(&epwm1_info);

   // Clear INT flag for this timer
   EPwm1Regs.ETCLR.bit.INT = 1;
   EPwm2Regs.ETCLR.bit.INT = 1;
   EPwm3Regs.ETCLR.bit.INT = 1;
   EPwm4Regs.ETCLR.bit.INT = 1;
//   EPwm5Regs.ETCLR.bit.INT = 1;

   // Acknowledge this interrupt to receive more interrupts from group 3
   PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}

void InitEPwm1Example()
{

      //EPWM1 - MODULO 1 - CONFIGURACAO
   // Setup TBCLK
   EPwm1Regs.TBPRD = Gpwm;
   EPwm1Regs.TBPHS.half.TBPHS = 0x0000;
   EPwm1Regs.TBCTR = 0x0000;

   // Set Compare values
  // EPwm1Regs.CMPA.half.CMPA = valor;     // Set compare A value
   //EPwm1Regs.CMPB = valor;               // Set Compare B value

   // Setup counter mode
   EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
   EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;
   EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
   EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

   // Setup shadowing
   EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
   EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
   EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
   EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

   // Set actions
   EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
   EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
   EPwm1Regs.AQCTLB.bit.CBU = AQ_SET;
   EPwm1Regs.AQCTLB.bit.CBD = AQ_CLEAR;

   // Interrupt where we will change the Compare Values
   EPwm1Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
   EPwm1Regs.ETSEL.bit.INTEN = 1;
   EPwm1Regs.ETPS.bit.INTPRD = ET_3RD;

      //EPWM2 - MODULO 2 - CONFIGURACAO
   // Setup TBCLK
   EPwm2Regs.TBPRD = Gpwm;
   EPwm2Regs.TBPHS.half.TBPHS = 0x0000;
   EPwm2Regs.TBCTR = 0x0000;

   // Setup counter mode
```

```
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;


// Set actions
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values
EPwm2Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
EPwm2Regs.ETSEL.bit.INTEN = 1;
EPwm2Regs.ETPS.bit.INTPRD = ET_3RD;

   //EPWM3 - MODULO 3 - CONFIGURACAO
// Setup TBCLK
EPwm3Regs.TBPRD = Gpwm;
EPwm3Regs.TBPHS.half.TBPHS = 0x0000;
EPwm3Regs.TBCTR = 0x0000;

 // Set Compare B value
  // Setup counter mode
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm3Regs.TBCTL.bit.PHSEN = TB_DISABLE;
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;


// Set actions
EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm3Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm3Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values
EPwm3Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
EPwm3Regs.ETSEL.bit.INTEN = 1;
EPwm3Regs.ETPS.bit.INTPRD = ET_3RD;

   //EPWM4 - MODULO 4 - CONFIGURACAO
// Setup TBCLK
EPwm4Regs.TBPRD = Gpwm;
EPwm4Regs.TBPHS.half.TBPHS = 0x0000;
EPwm4Regs.TBCTR = 0x0000;

// Set Compare B value
```

```
 // Setup counter mode
 EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
 EPwm4Regs.TBCTL.bit.PHSEN = TB_DISABLE;
 EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
 EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;

 // Setup shadowing
 EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
 EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
 EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
 EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;


 // Set actions
 EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;
 EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
 EPwm4Regs.AQCTLB.bit.CBU = AQ_SET;
 EPwm4Regs.AQCTLB.bit.CBD = AQ_CLEAR;

 // Interrupt where we will change the Compare Values
 EPwm4Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO;
 EPwm4Regs.ETSEL.bit.INTEN = 1;
 EPwm4Regs.ETPS.bit.INTPRD = ET_3RD;
}
```