UNIVERSIDADE DE SÃO PAULO
Instituto de Física de São Carlos
Departamento de Física e Informática

**Desenvolvimento de Instrumentação Eletrônica
para estudos de codificações neurais no duto
óptico em moscas**

Lirio Onofre Baptista de Almeida

Dissertação apresentada ao Instituto de Física de São Carlos, da Universidade de São Paulo, para obtenção do título de Mestre em Física Aplicada.

Orientador: Prof. Dr. Jan Frans Willem Slaets

São Carlos
Novembro de 2006

Baptista de Almeida, Lirio Onofre
Desenvolvimento de Instrumentação Eletrônica
para estudos de codificações neurais no duto ótico em
moscas /Lirio Onofre Baptista de Almeida. -- São Carlos,
2006.

Dissertação(Mestrado)-- Instituto de Física de
São Carlos, 2006.

Orientador: Prof. Dr. Jan Frans Willen Slaets

1.Neurobiofísica 2. instrumentação eletrônica 3.
Sistemas operacionais de tempo real I. Título

FOLHA DE APROVAÇÃO

Membros da Comissão Julgadora da Dissertação de Mestrado de Lirio Onofre Baptista de Almeida, apresentada ao Instituto de Física de São Carlos, da Universidade de São Paulo, em 30/11/2006.

Comissão Julgadora:

IFSC-USP

IFSC-USP

EESC-USP

Agradecimentos

Ao meu orientador, Prof. Jan Frans Willem Slaets, por décadas de grande amizade, confiança, apoio, profissionalismo, e infinita paciência nestes vinte e poucos (para ser modesto) anos de trabalhos sob sua coordenação. Sem sua orientação, este trabalho não seria possível.

Ao Prof. Roland Köberle pelo apoio, absoluta confiança, estímulo, ensinamentos, e também pela paciência e privilégio de um aprendizado através de um convívio de inestimável valor.

Aos amigos do grupo de Instrumentação Eletrônica e Informática: Ailton B. Alves, Ivanilda Zucolotto De Stefani, Marcos R. Gonçalves, Prof. Luciano F. Costa, Prof. Carlos A. Ruggiero e Prof. Guilherme M. Sipahi, e ao Prof. Ulysses T. Borelli Jr, André Muezerie e Maria B. Gomes da Silva, pelo apoio técnico, convívio e amizade.

Ao Prof. Gonzalo Traviesso, Mateus J. Martins, Ednei A. da Silva, Luciano Joioso, Cláudio Kakuda, pelas programações em C e entusiasmo nas explorações de temas como sistemas operacionais de tempo real, e aos amigos Rodrigo Guido e Mario A. Gazirola pelas avaliações com DSPs e FPGAs.

A todos os colegas do laboratório Dipteralab, a equipe do Sinfor pelo apoio, amizade e cooperação. A José R. Ferro, Salvador Ferro, e Valdir Azevedo da Oficina de manutenção eletrônica. Aos colegas da oficina mecânica, oficina de ótica, setor de compras, importação e administração.

À Cláudia Toffaneli pelas lições de *Open Office*, a Sonia A. dos Santos, Maria Cristina V. L. da Silva, Cristiane G. L. Estella e Wladerez A. G. Caiado, pela ajuda indispensável nas tarefas administrativas e aos funcionários da nossa biblioteca pelo sempre pronto e precioso apoio.

Ao Prof. Eduardo Marques, amigo e entusiasta incansável, Prof. Marcos e Prof^ª. Regina Santana do ICMC, e também ao Prof. Valentin Obac Roda, da EESC pelos longos anos de ensinamentos, trabalho e convívio.

Ao Prof. Dorival M. Milani, Prof^ª. Célia L. O. Kawabata, Prof. Durval M. Akamatu e Prof^ª. Patricia Magno, pelo incentivo.

Ao IFSC e sua comissão de pós graduação, pelo apoio à inserção acadêmica dos servidores não docentes deste instituto.

E por fim, a minha esposa Silvana, meus filhos Vinicius e Jaqueline, pelo apoio e incentivo durante este trabalho.

Sumário

1	Introdução	1
1.1	A neurobiofísica	1
1.2	Neurociências e metodologias de desenvolvimento de instrumentação eletrônica.....	2
1.3	A instrumentação eletrônica e o desenvolvimento da eletro-fisiologia	2
1.4	O neurônio e os <i>spikes</i>	3
1.4.1	O neurônio	3
1.4.2	Potencial de ação	5
1.4.3	Captação extracelular.....	6
1.4.4	Codificação neural	7
1.5	Objetivos	9
2	Materiais e Métodos.....	10
2.2	Sistemas de aquisição dedicados desenvolvidos.....	11
2.3	Blocos dos sistemas	11
3	Pesquisa e desenvolvimento do <i>Front End</i> Analógico.....	13
3.1	O Micro-eletrodo de tungstênio.....	14
3.1.1	Características mecânicas.....	15
3.1.2	Propriedades elétricas.....	16
3.2	Circuito <i>Head stage</i>	18
3.2.1	Amplificador diferencial de instrumentação.....	18
3.2.2	Implementação do circuito.....	18
3.3	Pré-amplificador	19
3.4	Filtros ativos passa banda	20
3.4.1	Tipos de filtro e características de resposta.....	21
3.4.1	Topologia <i>Sallen-key</i> e Implementação do circuito.....	23
3.5	Monitor de áudio.....	26
3.6	Discriminador analógico/digital.....	27
3.6.1	Implementação do circuito.....	27
3.6.2	Estágios analógicos do discriminador.....	28
3.6.3	Estágios de lógica digital do discriminador.....	29
4	Desenvolvimento do <i>hardware</i> digital dedicado e programas de controle.....	32
4.1	Abordagens utilizadas para a aquisição de <i>timestamps</i>	32
5	Descrição do primeiro protótipo desenvolvido.....	34
5.1	Descrição do <i>hardware</i> digital dedicado.....	35
5.1.1	Registro de <i>timestamps</i>	38
5.1.2	Lógica de sincronismo e controle de interrupções.....	38
5.1.3	Conversores Digital/Analógico	39
5.1.4	Decodificação de endereços E/S – ISA.....	40
5.2	Computador hospedeiro e programa de controle.....	40
5.3	Especificações do primeiro protótipo:.....	43
6	Descrição do segundo protótipo desenvolvido.....	44
6.1	Descrição do <i>hardware</i> digital dedicado	45
6.2	Computador hospedeiro, sistema operacional de tempo real e programa de controle.....	48
6.2.1	Sistemas Operacionais de Tempo Real - Introdução ao RTLinux.....	48
6.2.2	Programa de controle desenvolvido:.....	50
6.3	Especificações do segundo protótipo.....	52
7	Resultados	53
7.1	Medidas do <i>front end</i> analógico	54
7.1.1	Captação, amplificação e filtragem dos <i>spikes</i>	54
7.1.2	Discriminação dos <i>spikes</i>	56
7.1.3	Medidas no <i>front end</i> analógico com dois canais de entrada.....	57
7.2	Medidas efetuadas no primeiro sistema desenvolvido:.....	59
7.2.1	Latências e tempos de execução para rotinas de interrupção.....	59
7.2.2	Análise dos <i>timestamps</i> armazenados.....	61
7.2.3	Medidas do atraso entre o sinal TLAIN e a geração do sinal DAC1out	63
7.2.4	Medidas do sistema em operação integrada com o VSImg.....	63
7.2.5	Medidas utilizando os <i>spikes</i> do neurônio H1 da mosca.....	66

7.3 Medidas efetuadas no segundo sistema desenvolvido:	68
7.3.1 Comparações entre os Sistemas Operacionais Linux e RTLinux	68
7.3.2 Medidas de Latências e tempos de execução para rotina de interrupção no segundo protótipo	71
7.3.3 Análise dos <i>timestamps</i> gerados e armazenados pelo segundo sistema	73
8 Conclusões	75
8.1 Contribuições	76
9 Futuros desenvolvimentos	80
10 Referências bibliográficas	82

Índice de ilustrações

Figura 1: Neurônio e seus principais componentes	4
Figura 2: Sinapse	4
Figura 3: Potencial de ação	6
Figura 4: Captação extra-celular	7
Figura 5: <i>Spikes</i> -padrões temporais irregulares [15]	8
Figura 6: Sequência de <i>spikes</i> [15]	8
Figura 7: Trens de <i>spikes</i> para estímulos variáveis [16]	8
Figura 8: Trens de <i>spikes</i> para estímulos constantes [16]	8
Figura 9: Diagrama em blocos simplificado do experimento	10
Figura 10: Secção frontal do cérebro da mosca e a Captação do sinal do neurônio H1 na placa lobular [19]	10
Figura 11: <i>Spike</i> neural após amplificação	10
Figura 12: Diagrama em blocos simplificado do sistema dedicado	12
Figura 13: Diagrama em blocos - <i>front end</i> analógico	13
Figura 14: Micro-eletrodo e suas características - <i>FHC Inc., 1201 - USA</i>	15
Figura 15: Circuito equivalente de um micro-eletrodo - [20]	16
Figura 16: Circuito <i>head stage</i> , <i>Lay-out</i> e imagens de sua montagem	19
Figura 17: Circuito pré-amplificador	20
Figura 18: Resposta para pulsos - <i>Butterworth e Bessel</i> (<i>Ti_Active Filter Design Techniques</i>)	21
Figura 19: Resposta para pulsos - <i>Chebyshev e Bessel</i> (www.inst.eecs.berkeley.edu/~ee247/fa05/lectures)[33]	22
Figura 20: Resposta para pulsos - <i>Chebyshev e Bessel</i> (www.inst.eecs.berkeley.edu/~ee247/fa05/lectures)	22
Figura 21: <i>Sallen-Key</i> passa-baixas	23
Figura 22: <i>Sallen-Key</i> passa-altas	23
Figura 23: Projeto do filtro passa baixas- <i>Filter-Pro</i>	25
Figura 24: Projeto do filtro passa altas- <i>Filter-Pro</i>	25
Figura 25: Diagrama em blocos dos Filtros e conexões	26
Figura 26: Limites da janela de amplitude do discriminador	27
Figura 27: Diagrama em blocos do circuito discriminador	28
Figura 28: Diagrama em blocos da lógica digital de análise de altura de pulso	29
Figura 29: Temporizações e formas de onda da lógica de análise de altura de pulso do discriminador	29
Figura 30: Diagrama em blocos da lógica digital de análise de largura de pulso do discriminador	30
Figura 31: Diagrama com as temporizações e formas de onda da lógica de análise de largura de pulso do discriminador	30
Figura 32: Conexão do <i>front end</i> analógico com o <i>hardware</i> digital dedicado	31
Figura 33: Diagrama em blocos simplificado dos sistemas de aquisição e controle de estímulos	32
Figura 34: Diagrama em blocos do primeiro protótipo desenvolvido	34
Figura 35: Diagrama em blocos do <i>hardware</i> digital dedicado - primeiro protótipo	37
Figura 36: Diagrama das conexões do conversor Digital Analógico DAC715P	39
Figura 37: Registros de controle e estado	40
Figura 38: Registros de dados	40

Figura 39: Fluxograma do programa de controle.....	41
Figura 40: Programa de controle	42
Figura 41: Programa de controle	42
Figura 42: <i>Hardware</i> digital dedicado.....	43
Figura 43: Diagrama em blocos do <i>hardware</i> digital dedicado.....	45
Figura 44: Diagrama em blocos - lógica de controle.....	46
Figura 45: Lógica de controle.....	46
Figura 46: Diagrama da interface computador hospedeiro - <i>hardware</i> dedicado e DAC.....	47
Figura 47: Temporizações.....	47
Figura 48: Registros e conexões do porto paralelo.....	47
Figura 49: Arquitetura do SO Linux [54].....	49
Figura 50: Arquitetura do SO RT Linux [54].....	49
Figura 51: <i>FIFOs</i> : Representação e <i>RT-APIs</i> [54].....	50
Figura 52: Fluxograma do Módulo de Tempo Real.....	51
Figura 53: Comunicação entre os processos RT e não RT.....	51
Figura 54: Fluxograma do programa de interface.....	51
Figura 55: Diagrama em blocos do <i>front end</i> analógico.....	54
Figura 56: <i>Spike</i> amplificado monitorado por osciloscópio.....	55
Figura 57: Montagem da mosca.....	55
Figura 58: Relação sinal/ ruído e discriminação.....	56
Figura 59: Baixa relação sinal/ ruído.....	56
Figura 60: Canal 1 <i>front end</i>	57
Figura 61: Canal 2 <i>front end</i>	57
Figura 62: Efeitos do ruído no sinal de entrada (CH1) na saída do discriminador (CH2).....	58
Figura 63: Filtragem do <i>spike</i> neural - antes e após filtragem do sinal.....	59
Figura 64: Medidas obtidas com osciloscópio.....	60
Figura 65: Diagrama das conexões para medidas.....	60
Figura 66: Configuração para a avaliação da precisão dos <i>timestamps</i>	61
Figura 67: Medidas na configuração utilizada para avaliação.....	62
Figura 68 Tempo de subida do sinal DAC_OUT.....	63
Figura 69 Tempo de descida do sinal DAC_OUT.....	63
Figura 70: Configuração utilizada para medidas no sistema juntamente com o VSImG.....	64
Figura 71: Foto-detector e <i>Display</i>	64
Figura 72: Sinal do foto-detector e saída do DAC.....	64
Figura 73: Medida do tempo de resposta	64
Figura 74: Medidas do posicionamento da imagem	65
Figura 75 Diagrama em blocos do experimento.....	66
Figura 76: Representação do sinal de estímulo utilizado para testes.....	66
Figura 77: <i>Raster Plot</i> , representação dos segmentos do sinal de controle do estímulo e gráfico com segmentos de 20 segundos sobrepostos.....	67
Figura 78: Medidas do <i>jitter</i> SO Linux	69
Figura 79: RTLinux - PentiumPro 200MHz.....	69
Figura 80: Medida com recurso de <i>zoom</i> -SO Linux.....	69
Figura 81: RTLinux (Celeron 466MHz).....	69
Figura 82: Comparação do TSC-Pentium PRO 200MHz.....	70
Figura 83: Comparação do TSC-Celeron 466MHz.....	70
Figura 84: Conexões para testes.....	71
Figura 85: Tempos de Latência e execução - CPU Amd K6II.....	71
Figura 86: Medidas de <i>Jitter</i> CPU Amd K6II.....	72
Figura 87: Medidas de <i>Jitter</i> CPU Pentium Pro.....	72
Figura 88: SPKin1: 100Hz, 18833 <i>Timestamps</i>	73
Figura 89: SPKin2: 100Hz, 18834 <i>Timestamps</i>	73
Figura 90: TLAIN: 500Hz , 94217 <i>Timestamps</i>	73
Figura 91: Diagrama em blocos do sistema <i>SOPC</i>	81

Lista de tabelas

Tabela 1: Coeficientes para filtro <i>Bessel</i> (<i>Texas Instr. -Filter Design Techniques</i>)	24
Tabela 2: Porto paralelo	47
Tabela 3: Tempos de latência e execução	60
Tabela 4: Diferença entre os tempos registrados	62
Tabela 5: Atrasos medidos abrangendo a operação do sistema:	65
Tabela 6: Medidas de <i>Jitter</i> nos <i>timestamps</i> registrados	69
Tabela 7: Comparação entre computadores e SOs.	70
Tabela 8: Tempos de latência e execução	72
Tabela 9: Valores máximos e mínimos do <i>jitter</i> nos <i>timestamps</i> registrados	74

Abstract

This work describes the project and implementation of custom build electronic instrumentation to be used in neurobiophysical research, more precisely in neural coding experiments with invertebrates. A hard real time computer controlled integrated system was developed capable to acquire the timestamps of evoked neural spikes of a fly submitted to visual stimuli. The visual stimuli generator is a custom build system connected to the hard real time computer capable to generate images at a frame rate of 500Hz. Dedicated hardware was developed, including an analog front end and FPGA based digital circuits. The IBM/PC compatible computer hosted hardware provides the system interface with the end user. Two prototypes were build, one based on dedicated hardware and the other based on real time routines executed on the host computer. Both systems are in use at the Dipterlab of our institute to study the information transmission of the optic flow signal in fly.

Resumo

Este trabalho descreve o projeto e a implementação de instrumentação eletrônica dedicada para neurobiofísica, com foco para pesquisas em codificação neural com invertebrados. Foram desenvolvidos sistemas de tempo real, controlados por computador, para a aquisição de tempos de disparo de *spikes* neurais oriundos de neurônios do cérebro de moscas, e para a geração de sinais de controle de estímulos visuais gerados a uma taxa de varredura vertical de 500Hz, usado para estimulações visuais em invertebrados. Estes sistemas possuem *hardware* dedicado, incluindo *front end* analógico, *hardware* digital baseado em FPGAs, hospedado em microcomputador IBM/PC compatível, que prove a interface do sistema com o usuário. Dois protótipos foram construídos, sendo o primeiro com ênfase em hardware dedicado, e o segundo com ênfase em sistema operacional de tempo real para controle do hospedeiro. Ambos sistemas estão sendo utilizados no laboratório Dipteralab do IFSC, para o estudo da transmissão da informação no duto óptico da mosca.

1 Introdução

1.1 *A neurobiofísica*

O fenômeno do comportamento inteligente é algo que fascina e desafia a ciência, tanto o comportamento gerado por nossos cérebros como o de outros animais. O cérebro é uma estrutura complexa, com cerca de 10^{11} neurônios nos humanos, classificados em pelo menos mil tipos diferentes. Cada neurônio, com centenas ou milhares de conexões (sinapses) com outros vizinhos ou distantes, formando uma rede densa e complexa. Este órgão nos provê de memória, consciência, criatividade, emoções, linguagem, e muitas outras atividades que permitem a interação com nosso meio ambiente.

Do ponto de vista da física, seria muito interessante entender os princípios gerais que governam a estrutura e a dinâmica dos circuitos neurais que fazem o alicerce destes fenômenos. Como as informações computacionais são codificadas nas atividades neurais? Este é um desafio para áreas de pesquisa como a neurobiofísica.

Devido a grande quantidade de dados gerados em experimentos de neurofisiologia, são necessárias uma instrumentação eletrônica complexa e capacidade de processamento, visando o controle de experimentos e análise destes dados[1][2][3].

1.2 Neurociências e metodologias de desenvolvimento de instrumentação eletrônica

As atividades experimentais nestas linhas de pesquisas estão diretamente ligadas a metodologias de desenvolvimento de instrumentação eletrônica e técnicas computacionais para o registro e análise de atividades cerebrais. Esta abordagem multidisciplinar é o núcleo da neurociência computacional.

Sistemas comerciais para aplicações nestas áreas tem um custo elevado pela sua especialização, sendo geralmente focados para pesquisas em áreas clínicas, psicológicas e de reabilitação, com recursos limitados para experimentos em neurobiofísica. O desenvolvimento de instrumentação para pesquisa em neurobiofísica com invertebrados objetivando o estudo da codificação neural, é um requisito para laboratórios desta natureza, devido à baixa, ou quase nula disponibilidade comercial de instrumentação eletrônica para este fim, sendo esta a motivação principal para este trabalho.

1.3 A instrumentação eletrônica e o desenvolvimento da eletro-fisiologia

A eletro-fisiologia concentra-se nos fenômenos elétricos dos organismos vivos. Para a investigação destes fenômenos, o desenvolvimento de instrumentação eletrônica dedicada sempre foi de fundamental importância. Antes da invenção da válvula triodo por DeForest, em 1907, eram desenvolvidos instrumentos eletromagnéticos para medidas de correntes vitais, como a de nervos, músculos, coração e cérebro. Em 1825, o fisiologista italiano Leopoldo Nobili foi o primeiro a reportar medidas de corrente elétrica em um sapo utilizando um instrumento do tipo

galvanômetro. Augustus Waller em 1887 obteve o primeiro registro de um pulso de coração em funcionamento, através de um eletrômetro de capilaridade. Willem Einthoven na Holanda, introduziu em 1903 o galvanômetro de cordas e o termo eletrocardiograma, vindo a ganhar o premio Nobel em 1924 pela descoberta do mecanismo do eletrocardiograma. O eletro-encefalograma foi desenvolvido por Hans Berger na Áustria, que durante o período de 1924 a 1938 estudou os padrões de ondas cerebrais através de um instrumento que utilizava tiras de metal e um galvanômetro sensível sobre um rolo de papel contínuo. A amplificação dos pequenos sinais elétricos de origem biológica foi introduzida por cientistas como Alexander Forbes de Harvard e Herbert Gasser em St. Louis, com a utilização de válvulas eletrônicas. Em 1937, o osciloscópio também foi introduzido nas investigações de eventos eletrofisiológicos por Erlanger e Gasser para o estudo das propriedades de fibras nervosas.

O desenvolvimento e o aumento do uso de instrumentos eletrônicos alterou não somente a metodologia e as possibilidades de experimentos, mas também mudou o ambiente e a aparência dos laboratórios de eletrofisiologia[4][5][6].

1.4 *O neurônio e os spikes*

1.4.1 *O neurônio*

Os neurônios são células especializadas para a comunicação inter-celular, formando uma complexa rede entre si, e comunicando-se também com músculos e outros órgãos. São conhecidas pela capacidade de propagar sinais rapidamente sobre grandes distâncias. Fazem isto gerando pulsos elétricos característicos, chamados potenciais de ação, ou *spikes*, que se propagam pelas fibras nervosas. Os neurônios

representam e transmitem informação disparando seqüências de *spikes*, com vários padrões de tempo, variando a taxa de disparos e o tempo entre os pulsos[7] [8].

Existem milhares de tipos de neurônios, alguns com arborizações dendríticas complexas, outros com axônios que podem chegar até 1 metro de extensão.

O neurônio é formado basicamente por três partes: os dendritos, o corpo celular (soma) e o axônio (fibra nervosa). Os axônios podem apresentar um revestimento externo lipídico, na forma de uma bainha de mielina. Esta bainha funciona como uma capa isolante de um fio elétrico, ao longo do axônio(fig.1).

Os dendritos são elementos de entradas que recebem sinais vindos de outras células, processam e enviam a informação para a região do soma, que processa estes sinais, gerando pulsos elétricos que se iniciam na região de contato do axônio com o soma. Os pulsos gerados (informação) propagam-se através do axônio até seus

terminais pré-sinápticos, que por sua vez, através de estruturas chamadas sinapses, estão ligados quimicamente ou eletricamente às redes dendríticas de outros neurônios (Fig.2)[1].

Recentes estudos sugerem que os dendritos, como os axônios, também têm canais de íons disparados por voltagens, e podem gerar potenciais elétricos que carregam informações para a região do soma. Nesta nova visão, os dendritos deixam de ser simples elementos passivos para a entrada de informações. O processamento dendrítico multiplica a capacidade computacional de um neurônio, podendo desta forma, ocorrer computações complexas no mesmo[9].

1.4.2 *Potencial de ação*

Há uma diferença de potencial elétrico entre o interior do neurônio e seu meio extracelular. Este potencial é aproximadamente -70mV em relação ao meio extracelular, que convencionalmente é definido como 0 mV , estando a célula polarizada. Quando íons carregados positivamente fluem para fora da célula, ou íons negativamente carregados vão para dentro da célula, a diferença do potencial fica mais negativa, resultando na hiperpolarização.

Quando este potencial se torna menos negativo ou positivo, a célula fica despolarizada. Se o neurônio for despolarizado suficientemente para levar o potencial da membrana acima de um certo limiar, um processo de realimentação positiva é iniciado, e o neurônio gera um potencial de ação, ou *spike*, conforme *figura 3*.

A geração de um *spike* também depende dos disparos anteriores da célula. Após o disparo de um *spike*, a célula fica impossibilitada de disparar outro *spike* por

um período de alguns milissegundos. Este período é chamado de período refratário absoluto. Por um período mais longo, podendo chegar a dezenas de milissegundos, chamado período refratário relativo, ainda há dificuldade para a geração de *spikes*.

Os potenciais de ação são a forma que a natureza utiliza para propagar os sinais dos neurônios por grandes distancias nos organismos.

Figura 3: Potencial de ação

Os potenciais de ação são regenerados ao longo do seu percurso pelo axônio, viajando rapidamente sem atenuações[10].

1.4.3 Captação extracelular

Quando um neurônio está uniformemente polarizado, o potencial de sua membrana é o mesmo em todas as partes do neurônio, não havendo fluxo de corrente no meio extracelular. Quando um potencial de ação é gerado, é produzido um fluxo de corrente nos tecidos que circundam o neurônio, gerando tensões que podem ser detectadas na forma de *spikes* extracelulares. Dependendo do neurônio, o *spike* pode ter uma largura de pulso de 0,2 até 20ms, com amplitude podendo variar de 2 μ V, misturando-se ao nível de ruído do próprio micro-eletrodo, até vários milivolts[11].

A vantagem do registro extracelular para a neurociência reside no fato de se obter o registro da atividade elétrica de um neurônio, sem danificá-lo com perfurações para a inserção de micro-eletrodos. Por esta razão, o método de registro extracelular de *spikes* neurais é largamente utilizado para experimentos “in vivo”,

Figura 4: Captação extra-celular

sendo um dos métodos menos invasivo disponíveis atualmente. A principal dificuldade para este método é a grande propensão à captação de ruídos eletromagnéticos e potenciais de ação de neurônios vizinhos[12][13].

1.4.4 Codificação neural

O problema da codificação neural está em entender como seqüências de *spikes* estão relacionadas aos estímulos sensoriais, atividades motoras, e finalmente com pensamentos e intenções[14]. A importância da estrutura temporal da seqüência de pulsos na codificação da informação é bastante discutida na literatura e a questão central é saber como o cérebro a utiliza[15].

Os *spikes* ocorrem em padrões temporais irregulares (fig. 5, fig.6). Se o tempo preciso de disparos entre cada *spike* for importante, a variação destes tempos aumenta a capacidade de transmissão de informação nas sequências de *spikes*.

O neurônio H1 da mosca, que codifica informação sobre a velocidade da imagem na direção e sentidos preferenciais, faz um uso eficiente desta capacidade para a transmissão de informação. Esta eficiência é atingida pelo estabelecimento de uma precisa relação temporal entre cada *spike* disparado, sendo observado a reprodutibilidade das respostas de certos neurônios quando submetidos às mesmas variações do estímulo repetidas vezes (fig.7 e 8)[16].

1.5 Objetivos

Este trabalho tem como objetivo, suprir o laboratório Dipteralab do IFSC com a instrumentação eletrônica e computacional necessária à aquisição de dados neurais e o controle da geração de estímulos visuais para invertebrados.

Para o estudo da transmissão de informação nos trens de *spikes* neurais, é necessário um sistema de instrumentação eletrônica controlado por computador, que possa captar, amplificar, filtrar, discriminar e efetuar o registro dos instantes de ocorrência (*timestamps*) de *spikes* neurais. Estes dados devem ser gravados em arquivos para análise posterior, sendo que o sistema também deve gerar sinais analógicos, para a geração de estímulos visuais. Estas funções devem estar sob especificações de *hard real time*, com tempos de respostas previsíveis e precisão no registro de *timestamps* na ordem de microsegundos.

Para viabilizar estas pesquisas, foram desenvolvidos desde os estágios analógicos para captura dos sinais neurais, os sistemas computadorizados para o registro dos *timestamps* e para a geração de sinais de controle do gerador de estímulos visuais.

Os objetivos já alcançados incluem dois protótipos para aquisição de dados e controle da geração de estímulos visuais, que estão atualmente em utilização no laboratório Dipteralab do IFSC, para elaboração de suas pesquisas.

2 Materiais e Métodos

2.1 Arquitetura de um experimento típico com invertebrados

Um experimento largamente utilizado e testado para o estudo da informação sensorial processada pelo cérebro consiste na aplicação de um estímulo e a observação da resposta da parte selecionada do sistema em estudo. Frequentemente, estas pesquisas envolvem o uso de invertebrados, como por exemplo, moscas[17].

Na figura 9, tem-se o diagrama da instrumentação eletrônica em um experimento realizado no Dipteralab, a figura 10 apresenta a ilustração da secção frontal do cérebro da mosca, mostrando o neurônio H1 na placa lobular, com um micro-eletrodo próximo ao axônio[18], e na figura 11, pode-se observar um típico *spike* neural, capturado pelo sistema.

Figura 9: Diagrama em blocos simplificado do experimento

Figura 10: Secção frontal do cérebro da mosca e a Captação do sinal do neurônio H1 na placa lobular [19]

Figura 11: Spike neural após amplificação

No laboratório Dipteralab do IFSC são feitas medidas em neurônios do sistema sensorial visual de moscas, sensíveis a movimentos horizontais (neurônio H1).

O experimento consiste em gerar estímulos visuais, alterando a posição horizontal de uma imagem, e registrar os tempos de ocorrência dos *spikes* neurais. Os sinais para o controle dos estímulos devem ser sincronizados com o sistema de geração de imagens.

2.2 Sistemas de aquisição dedicados desenvolvidos

Foram desenvolvidos dois sistemas dedicados para aquisição de dados neurais e geração de sinais para a produção de estímulos visuais, sendo atualmente utilizados na execução de experimentos em Neurobiofísica no Laboratório Dipteralab do IFSC.

2.3 Blocos dos sistemas

Estes sistemas podem ser divididos em dois blocos funcionais principais (fig.12), sendo o primeiro, chamado de *Front End* analógico, constituído dos estágios iniciais analógicos para a captação, amplificação, filtragem e discriminação dos *spikes*. O próximo bloco consiste em um *hardware* digital dedicado controlado por computador hospedeiro. Esta parte do sistema tem como tarefa a geração dos sinais de estímulos, o registro em arquivos no computador hospedeiro dos *timestamps* dos *spikes* neurais e dos sinais de sincronismo do gerador de imagens para estímulo visual.

3 Pesquisa e desenvolvimento do *Front End* Analógico

Devido a natureza biológica e a baixa amplitude dos *spikes* neurais, os estágios iniciais do sistema de aquisição tem a função de captação e condicionamento dos sinais neurais extracelulares. Os circuitos dos amplificadores dos estágios iniciais são projetados para alto ganho de tensão, baixo ruído, alta impedância de entrada e alta rejeição de ruído de modo comum. Estes estágios iniciais de processamento analógico do sinal compõem a parte da instrumentação eletrônica que chamamos de *Front End* analógico, sendo composto pelas seguintes partes:

- Micro-eletrodo de tungstênio e a interface com o meio extracelular.
- Amplificador diferencial para micro-eletrodo (*head stage*).
- Pré-amplificador.
- Filtro passa-banda.
- Monitor de áudio.
- Discriminador.

A seguir, na figura 13 é apresentado o diagrama em blocos do *front end* analógico.

Os sinais neurais são captados pelo método extracelular, utilizando um micro-eletrodo de tungstênio, posicionado nas proximidades do neurônio em análise e um eletrodo de referência, normalmente um fio de prata mergulhado na hemolinfa da região lateral da cabeça da mosca. O micro-eletrodo e o eletrodo de referência são conectados à entrada diferencial do circuito *head stage*. Este circuito é projetado para ficar o mais próximo possível do micro-eletrodo, para reduzir capacitâncias parasitas e a captação de ruídos externos.

O sinal na saída do *head stage* é amplificado novamente pelo pré-amplificador e passa por um filtro do tipo passa banda para redução de componentes do sinal indesejados para o experimento. Após amplificação e filtragem, o sinal é monitorado visualmente por um osciloscópio e auditivamente através de um amplificador de áudio e alto-falante.

A saída do filtro está conectada também à entrada do circuito discriminador, que tem por função determinar janelas de amplitude e largura de pulso para validar os sinais de entrada e alimentar entradas de sinal do *hardware* digital dedicado.

3.1 O Micro-eletrodo de tungstênio

Os micro-eletrodos de tungstênio são amplamente utilizados para o registro extracelular da atividade neural. Foram desenvolvidos por volta de 1950, e desde então utilizados com sucesso na análise de sinais neurais[19].

3.1.1 Características mecânicas

Para minimizar os danos causados pela sua inserção no tecido neural, os micro-eletrodos precisam ter pequeno diâmetro, devem ser suficientemente duros para não entortarem durante a penetração e posicionamento no local desejado.

Figura 14: Micro-eletrodo e suas características - FHC Inc., 1201 - USA

Os micro-eletrodos de tungstênio são fabricados com isolamento em verniz epóxi ou vidro, sendo o isolamento em epóxi mais fácil de ser construído, porém de curta durabilidade, devido ao desgaste da camada isolante, que causa um aumento da área de contato exposta do micro-eletrodo, levando à redução na sua impedância.

A área da superfície da porção não isolada, o perfil e formato da ponta do micro-eletrodo são fatores que definem sua seletividade, ou seja, a capacidade de isolar o sinal de um único neurônio em meio a vários neurônios em atividade próximos ao neurônio em observação[20][21]. Na figura 14, as especificações de um micro-eletrodo de tungstênio utilizado nos experimentos do Dipteralab.

3.1.2 Propriedades elétricas

Devido à atividade térmica dos elétrons em um material resistivo, qualquer resistência gera um ruído, chamado ruído *Johnson* [23].

Este ruído é definido por:

$$E = \sqrt{4kTR(f_h - f_l)}$$

onde E é em Volts, k é a constante de Boltzman ($1,38 \times 10^{-23}$ J/ ° K), T temperatura absoluta, (° K), R a resistência e $f_h - f_l$ a banda passante entre as frequências de corte superior e inferior. Podemos reduzir o nível deste ruído limitando a banda passante. Micro-eletrodos de tungstênio geram ruído proporcional à sua impedância, com alta impedância, acima de $5 \text{ M}\Omega$, geram ruídos de até $50 \mu\text{V}$ pico a pico na faixa de frequências até 10 KHz , valores consideráveis para sinais extracelulares[24]. O circuito equivalente de um micro-eletrodo, para o registro extracelular de um potencial elétrico e_n gerado por um neurônio é visto na figura 15, onde:

Figura 15: Circuito equivalente de um micro-eletrodo - [20]

e_n = Potencial gerado por um neurônio.

Z_a = Impedância de entrada do amplificador (*head stage*).

C_s = Capacitância em paralelo com a entrada de sinal do amplificador incluindo a capacitância entre o micro-eletrodo e os tecidos que o circundam, e

também capacitâncias acumuladas de cabos de conexões e blindagens desde a entrada do amplificador até o local de captação de sinais. A conexão do micro-eletrodo ao circuito *head stage* através de cabos coaxiais podem atenuar os sinais captados, uma vez que a capacitância de um cabo coaxial de baixo ruído chega a 28pF/ft, resultando em uma impedância de 5,6M Ω a 1KHz [25]. Por este motivo, o micro-eletrodo foi acoplado diretamente na entrada do circuito *head stage*, para diminuir capacitâncias parasitas, captação de ruídos e interferências externas.

R_m = Resistência da parte metálica, normalmente desprezível.

R_s = Resistência do tecido e fluidos entre o micro-eletrodo e o eletrodo de referência.

C_e e **R_e** = Capacitância e resistência de fuga da região da interface entre a ponta de metal do micro-eletrodo e os fluidos condutores extracelulares.

As características mecânicas e elétricas do micro-eletrodo e suas interações com o meio extra-celular influenciam na captação dos *spikes* neurais. O micro-eletrodo, ao ser colocado na região extracelular desejada, constitui, juntamente com o meio ao seu redor, circuitos equivalentes e interações eletroquímicas [19], exercendo um importante papel na captação da atividade elétrica neural.

São utilizados nos experimentos do Dipteralab micro-eletrodos de tungstênio fabricados pela *FHCinc.* com impedância entre 2M Ω e 5M Ω [26].

3.2 Circuito *Head stage*

3.2.1 Amplificador diferencial de instrumentação

O circuito *head stage* utiliza um amplificador diferencial para instrumentação, com acoplamento para corrente alternada, obtido através da realimentação no pino de referência do amplificador de instrumentação com um filtro passa-baixas. Esta configuração tem como característica uma alta rejeição de ruído de modo comum, minimização de efeitos de potenciais estáticos na ponta do eletrodo, e rejeição de componentes de baixas frequências indesejáveis no sinal captado [27]. A saída do circuito *head stage* provê um sinal amplificado, de baixa impedância, diminuindo depois deste estágio, sensivelmente a susceptibilidade a captação de ruídos e interferências externas, permitindo a transmissão do sinal através de cabos blindados comuns, para os próximos estágios de processamento analógico.

3.2.2 Implementação do circuito

O micro-eletrodo é conectado diretamente ao circuito impresso do *head stage* que fica suportado mecanicamente no micro-manipulador utilizado para o posicionamento do micro-eletrodo na região extracelular adequada ao experimento.

Para tal, foi projetado um circuito *head stage* miniaturizado, utilizando componentes do tipo *SMD* (*montagem em superfície*).

Este circuito foi construído na configuração de amplificador de corrente alternada, com resposta em frequência limitada por um filtro passa-alta com corte em torno de 300Hz e ganho em voltagem de 100 vezes ($R_G = 500 \Omega$).

O circuito exibido na figura 16, é baseado no amplificador de instrumentação INA111, com banda de 2MHz com ganho=10, transistores FET na entrada, e 106dB min. de rejeição de modo comum [28]. O circuito do filtro passa-baixas da realimentação do pino de referência do INA111 utiliza um amplificador operacional OPA602 [29]. Os resistores utilizados são do tipo filme metálico, 1% de precisão.

Figura 16: Circuito *head stage*, Lay-out e imagens de sua montagem

3.3 Pré-amplificador

Este circuito é formado por um amplificador inversor com ganho de tensão de 100 vezes, totalizando juntamente com o circuito *head stage*, um ganho de voltagem de 10.000 (fig.17). A implementação deste estágio utiliza um amplificador operacional de baixo ruído e baixa distorção [30], resistores de filme metálico, 1% de precisão. O sinal de saída do pré-amplificador é levado por cabos blindados, até o

rack onde estão instalados os filtros, discriminador, sistema de aquisição, osciloscópios, monitor de áudio, gerador de imagens para estímulo visual (VSImG), e computadores hospedeiros do sistema. O *rack* que acondiciona estes equipamentos deve ficar a uma distância de , pelo menos 1m do local onde a mosca está montada, para evitar a captação de ruídos gerados pelos equipamentos.

Figura 17: Circuito pré-amplificador

3.4 Filtros ativos passa banda

O sinal extracelular traz componentes de baixas e altas frequências, tais como LFP (*Local Field Potential*) abaixo dos 200Hz [31], condições variáveis de interferências eletromagnéticas externas, assim como variações na impedância, seletividade, posicionamento e ruído térmico intrínseco do micro-eletrodo utilizado, com suas conseqüentes contribuições para a relação sinal/ruído do sinal captado, sendo imprescindível o uso de filtros passa banda antes do processo de discriminação do *spike* neural [32].

3.4.1 Tipos de filtro e características de resposta

São utilizados filtros ativos passa altas e passa baixas, com frequências de cortes em 300Hz e 7KHz respectivamente[12] [22]. Para análises das temporizações entre *spikes*, o tipo de filtro *Bessel* é adequado,[11] pois a característica de resposta em fase para uma maior faixa de frequências (*Constant group delay*), tem como consequência, uma resposta melhor para transientes, conforme ilustração na figura 18, contendo a comparação das respostas em frequências de filtros Butterworth, Chebyshev e Bessel, para sinais em forma de pulsos na entrada.

O filtro do tipo Bessel apresenta resposta quase sem ondulações. Nos gráficos das figuras 19 e 20 temos uma comparação entre as respostas dos filtros do tipo Bessel e Chebyshev para sinais de entrada na forma de pulsos. O filtro do tipo Chebyshev apresenta ondulações para pulsos de entrada e degradação no sinal no caso de trens de pulso de largura variável[33].

Figura 19: Resposta para pulsos - Chebyshev e Bessel
www.inst.eecs.berkeley.edu/~ee247/fa05/lectures[33]

Figura 20: Resposta para pulsos - Chebyshev e Bessel
 (www.inst.eecs.berkeley.edu/~ee247/fa05/lectures)

3.4.1 Topologia Sallen-key e Implementação do circuito

O projeto dos filtros foi desenvolvido através do software gratuito FilterPRO da *Texas Instruments* e consiste em filtros ativos do tipo *Bessel*, de terceira ordem, implementados com amplificadores operacionais de baixo ruído (TL074).

Os filtros utilizam a topologia *Sallen-Key*, com ganho unitário, passa altas e passa baixas, conforme figuras 21 e 22 [34]. Para a obtenção do filtro de 3ª ordem, são utilizados dois circuitos acoplados em cascata.

Circuito Sallen-Key passa-baixas:

$$A(s) = \frac{1}{1 + \omega_c C_1 (R_1 + R_2) s + \omega_c^2 R_1 R_2 C_1 C_2 s^2}$$

$$\begin{aligned} a_1 &= \omega_c C_1 (R_1 + R_2) \\ b_1 &= \omega_c^2 R_1 R_2 C_1 C_2 \end{aligned}$$

a_1 e b_1 são os coeficientes que definem o tipo do filtro, sendo fornecidos por tabela de coeficientes, neste caso, o filtro *Bessel*.

Dados valores para C_1 e C_2 , o valor de R_1 e R_2 podem ser calculados pela expressão abaixo, o valor de C_2 deve satisfazer a condição:

$$C_2 \geq C_1 \frac{4b_1}{a_1^2}$$

$$R_{1,2} = \frac{a_1 C_2 \mp \sqrt{a_1^2 C_2^2 - 4b_1 C_1 C_2}}{4\pi f_c C_1 C_2}$$

Circuito Sallen-Key passa-altas:

$$A(s) = \frac{1}{1 + \frac{2}{\omega_c R_1 C} \cdot \frac{1}{s} + \frac{1}{\omega_c^2 R_1 R_2 C^2} \cdot \frac{1}{s^2}}$$

$$\begin{aligned} a_1 &= \frac{2}{\omega_c R_1 C} \\ b_1 &= \frac{1}{\omega_c^2 R_1 R_2 C^2} \end{aligned}$$

Dado o valor de C, os valores para R1 e R2 são calculados por:

$$R_1 = \frac{1}{\pi f_c C a_1}$$

$$R_2 = \frac{a_1}{4\pi f_c C b_1}$$

Os valores a1 e b1 são obtidos a partir da tabela 1, que contém coeficientes para o projeto de filtros do tipo *Bessel*. até 7ª ordem. Esta tabela foi obtida do artigo: *Active Filter Design Techniques, Texas-instruments* [35].

Table 16–4. Bessel Coefficients

n	l	a _l	b _l	k _l = f _{Cl} / f _C	α _l
1	1	1.0000	0.0000	1.000	—
2	1	1.3617	0.6180	1.000	0.58
3	1	0.7560	0.0000	1.323	—
	2	0.9996	0.4772	1.414	0.69
4	1	1.3397	0.4889	0.978	0.52
	2	0.7743	0.3890	1.797	0.81
5	1	0.6656	0.0000	1.502	—
	2	1.1402	0.4128	1.184	0.56
	3	0.6216	0.3245	2.138	0.92
6	1	1.2217	0.3887	1.063	0.51
	2	0.9686	0.3505	1.431	0.61
	3	0.5131	0.2756	2.447	1.02
7	1	0.5937	0.0000	1.648	—
	2	1.0944	0.3395	1.207	0.53
	3	0.8304	0.3011	1.695	0.66
	4	0.4332	0.2381	2.731	1.13

Tabela 1: Coeficientes para filtro *Bessel* (Texas Instr. -Filter Design Techniques)

A seguir, nas figuras 23 e 24, telas capturadas do programa *FilterPro* da *Texas Instruments*, com os projetos e simulações dos filtros[36].

Figura 23: Projeto do filtro passa baixas- Filter-Pro

Figura 24: Projeto do filtro passa altas- Filter-Pro

O primeiro estágio do filtro é do tipo passa altas com corte em 300Hz, e o segundo, do tipo passa baixas com corte em 7KHz, configurando assim, o filtro passa banda (fig.25).

3.5 Monitor de áudio

O monitoramento auditivo é muito útil para auxiliar no posicionamento do micro-eletrodo na região do neurônio em análise, em função do estímulo visual apresentado, uma vez que a tarefa de posicionamento do micro-eletrodo é normalmente acompanhada visualmente, através de um microscópio. O ouvido tem uma grande capacidade de discriminar frequências e os sinais neurais terem seus componentes de frequência na faixa de áudio, o monitoramento auditivo é bastante eficiente para esta tarefa. Utiliza-se para a função de monitor de áudio uma caixa acústica com amplificador interno de uso comum para computadores do tipo IBM/PC compatível com sua entrada de áudio conectada à saída do filtro.

3.6 Discriminador analógico/digital

A utilização de um discriminador analógico/digital tem como vantagem uma alta resolução temporal, mesmo utilizando circuitos de baixa complexidade.

Este estágio recebe em sua entrada o *spike* neural amplificado e filtrado, disparando um pulso digital no padrão TTL na saída, sempre que o sinal analógico na sua entrada estiver em conformidade com ajustes de janelas definidas pelo usuário[37]. Estas janelas definem limites de amplitude e largura de pulso, para considerar um sinal válido ou não em sua entrada. A figura 26 apresenta uma ilustração dos ajustes dos níveis de comparação inferior / superior para a criação de janela de amplitude para discriminação do sinal de entrada.

3.6.1 Implementação do circuito

O circuito discriminador utiliza comparadores analógicos combinados com lógica digital para efetuar uma análise de altura dos pulsos em função de níveis ajustáveis de voltagens de referência inferior e superior, e também efetua uma análise de largura do pulso, através de temporizadores com ajustes para largura

mínima e máxima para o sinal de entrada. Na figura 27 é apresentado o diagrama em blocos do circuito desenvolvido.

3.6.2 Estágios analógicos do discriminador

O circuito de entrada do discriminador (pré-amp.) é constituído de um amplificador operacional, do tipo TL072 na configuração de amplificador de tensão inversor, com ganho de voltagem variável de 0,1 a 10 vezes, e um circuito inversor com ganho unitário, para possibilitar inversão de fase do sinal de entrada. A seguir, o sinal do *spike* é comparado a voltagens de referência por comparadores de precisão, do tipo LM393 [38]. Cada comparador estabelece um nível de comparação, sendo um nível inferior e um nível superior determinando assim os limites para uma janela de amplitude. Os ajustes dos níveis de comparação são feitos através de potenciômetros de 10 voltas, de fio, acoplados a um contador de voltas mecânico. As tensões de referência são fornecidas por reguladores do tipo LM78L05 e LM79L05. As saídas dos comparadores são conectadas aos circuitos de lógica combinacional e temporizadores, implementados em lógica TTL LS.

3.6.3 Estágios de lógica digital do discriminador

Os circuitos lógicos têm a função de gerar sinais de saídas para janelas de amplitude e largura de pulso válida, e gerar o tempo morto de resposta ajustável (*dead time*), caso esta função estiver ativada. A seguir, na figura 28, diagrama em blocos do circuito lógico para análise de altura de pulso e suas respectivas temporizações nos sinais representados na figura 29.

O circuito para análise de largura de pulso é utilizado quando ocorre a captação de sinais com largura de pulso maior que a largura típica de *spikes*. Este circuito gera um pulso de saída apenas quando o sinal em sua entrada estiver com largura maior que a mínima e menor que a máxima ajustada pelo usuário. Abaixo, na figura 30, diagrama em blocos do circuito lógico para análise de largura de pulso:

A seguir, na figura 31, as temporizações nos diversos pontos do circuito para análise de largura de pulso.

Uma vez discriminado, o sinal alimenta a entrada do próximo estágio do sistema, o *hardware* digital dedicado, conforme ilustra o diagrama em blocos da figura 32:

Figura 32: Conexão do *front end* analógico com o *hardware* digital dedicado

4 Desenvolvimento do *Hardware* digital dedicado e programas de controle

Foram desenvolvidos dois protótipos para o registro de *timestamps* de *spikes* neurais e controle de estímulos visuais. Cada sistema foi projetado e construído com abordagens distintas. Os sistemas de aquisição e controle de estímulos podem ser divididos em duas partes principais: *Hardware* digital dedicado e programa controlador do sistema através de computador hospedeiro, conforme ilustrado no diagrama da figura 33.

4.1 Abordagens utilizadas para a aquisição de *timestamps*

O primeiro protótipo desenvolvido foi baseado fortemente em *hardware* digital dedicado, implementado em circuitos do tipo CPLD (*Complex Programmable Logic Devices*) [39], utilizando interface ISA de 16 bits para comunicação com o computador hospedeiro controlado pelo sistema operacional de uso geral Windows98[®]. O próprio *hardware* digital dedicado registra os *timestamps* dos sinais

em suas entradas e envia os dados ao computador hospedeiro através de pedidos de interrupções de *hardware*.

Novos experimentos e a conseqüente necessidade de expansão do número de canais de entrada para o registro de dados neurais, motivou a construção de um novo sistema de aquisição.

O segundo protótipo, tem o registro de *timestamps* efetuado pelo computador hospedeiro, com uma conseqüente minimização no *hardware* digital dedicado. O computador hospedeiro, controlado por sistema operacional de tempo real (RTLinux), efetua os registros dos *timestamps através* de interrupções. Embora com menor resolução e maior *Jitter* no registro dos tempos, esta segunda abordagem tem a vantagem da utilização dos recursos e ferramentas disponíveis em um PC do tipo *Desktop* largamente padronizado, capaz de executar tarefas de *hardware* especializado, com a necessária eficiência e precisão.

5 Descrição do primeiro protótipo desenvolvido

Neste primeiro protótipo, o *hardware* digital dedicado possui dois canais de entrada para o registro de *timestamps* e dois canais de saída analógica para o controle de estímulos. Os *timestamps* são gerados pelo próprio *hardware* dedicado, através de contador e registros de 32bits, conforme diagrama em blocos abaixo (fig.34):

O canal de entrada rotulado SPKin, recebe o sinal neural, enquanto o canal rotulado TLAin recebe o pulso de sincronismo vertical do gerador de imagens para estímulo visual (VSImG).

Para o controle de estímulos no VSImG, foram implementados dois canais de saída analógica, com resolução de 16 bits. O *hardware* digital dedicado utiliza o sinal de relógio externo, na frequência de 1MHz, fornecido pelo VSImG. Desta forma, tanto o sistema de geração de imagens para estímulos visuais, como o sistema de aquisição de dados neurais, operam sob um mesmo relógio, mantendo sincronismo, precisão e eliminando desvios de frequência entre relógios distintos.

O *hardware* digital dedicado é controlado por um computador hospedeiro, que opera sob o sistema operacional para uso geral, o Windows98®.

O programa para o controle do *hardware* digital dedicado foi desenvolvido em linguagem C. Para comunicação com o computador hospedeiro, o *hardware* digital dedicado utiliza o barramento ISA. Embora este seja um padrão antigo, ainda é bastante eficiente e de fácil implementação para aplicações em Instrumentação Eletrônica controladas por computador.

Devido a sua importância e demanda, atualmente são disponibilizados comercialmente modelos de placas mãe para PC com barramento ISA, por fabricantes como SOYO Group Inc. e iBASE Technology Inc., entre outros. A SOYO fabrica o modelo SY-P4I845PE/GVISA Plus com 3 *slots* ISA e iBASE Technology fabrica vários modelos para aplicações de alta confiabilidade, como exemplo o MB880 com 2 *slots* ISA, para Pentium4, até 3.8GHz [40][41].

5.1 Descrição do hardware digital dedicado

O *hardware* digital dedicado foi implementado em um circuito CPLD Altera, MAX7000S–EPM7160SLC84-10. CPLDs apresentam características de atrasos menores, e mais previsíveis que as FPGAs, fato que as torna ideais para aplicações de controle com temporizações críticas e alta performance[42]. FPGAs (*Field programmable gate arrays*), tipicamente oferecem maior capacidade de circuitos lógicos.

Estes circuitos integrados programáveis, permitem programação no próprio circuito (*ISP-in system programmability*), através de interface **JTAG** [43], permitindo interações rápidas e eficientes durante o desenvolvimento e depuração do projeto. A

interface **JTAG** possui um conjunto de especificações que possibilitam ao projetista efetuar testes em dispositivos ou placas montadas, durante desenvolvimento, possibilitando o acesso aos circuitos internos do componente sob teste através de pinos de E/S. Esta interface possui quatro, ou opcionalmente cinco pinos adicionados ao dispositivo, projetados de modo que múltiplos *chips* possam ser conectados na mesma interface.

As conexões da interface JTAG são:

1. TDI (Test Data In)
2. TDO (Test Data Out)
3. TCK (Test Clock)
4. TMS (Test Mode Select)
5. TRST (Test Reset) optional.

Para a utilização de dispositivos re-configuráveis, do tipo CPLD/FPGA, são necessárias novas metodologias de projetos de *hardware*, com o uso de ferramentas EDA (*Electronic Design Automation*) [44].

Para este projeto, foram utilizados os ambientes de desenvolvimento da Altera MAX II Plus e Quartus II.

O circuito implementado contém vários blocos, tais como: aquisição de *timestamps*, lógica de controle para interrupção, decodificação de endereços E/S para interface ISA, e DACs, representados no diagrama da figura 35.

5.1.1 Registro de timestamps

Este bloco tem por função o registro do instante de ocorrência dos eventos externos nas entradas SPKin e TLAIN. O circuito lógico para o registro de *timestamps* é constituído de um contador de 32 bits, dois registros de 32 bits, circuito multiplexador 4x1 de 16 bits e circuito de sincronismo com o relógio do contador. O contador, uma vez inicializado pelo *software* controlador, conta os pulsos do relógio na frequência de 1MHz. Quando um sinal proveniente do discriminador do sinal neural ou do sincronismo vertical do VSIImG chega na respectiva entrada SPKin ou TLAIN, este é sincronizado com o relógio do sistema, e o valor instantâneo da contagem é transferido o respectivo registro. O registro para o *timestamp* tem 32 bits, tendo sua transferência dos dados efetuada em duas etapas para o computador hospedeiro, pelo circuito multiplexador 4x16bits, devido à largura de 16 bits do barramento de dados da interface ISA.

5.1.2 Lógica de sincronismo e controle de interrupções

A lógica de sincronismo garante que o sinal de disparo para os registro ocorra quando os dados estão válidos na saída do contador. Como os sinais SPKin e TLAIN são totalmente assíncronos, este circuito não permite que haja coincidências entre os dois pulsos para gerar o pedido de interrupção. Cada interrupção será causada pelo pulso de SPKin ou de TLAIN, com intervalo mínimo de 80 micro-segundos entre cada pedido de Interrupção ao computador hospedeiro, tempo suficiente para execução da rotina de interrupção em máquinas com processadores do tipo Pentium MMX 233MHz sob o sistema operacional Windows 98®. Para um processador Amd

K6 II 400 MHz, o tempo de execução da rotina de interrupção fica por volta de 25 μ s.

Para monitorar eventual falha de registro de algum sinal de entrada, foi implementado um circuito de proteção de *Overflow*. Quando um sinal de entrada ligar seu *bit* de estado na lógica de controle de Irq, e a rotina de interrupção não desligá-lo, teremos o *bit* de *Overflow* ligado, indicando assim que uma leitura de tempo não foi efetuada. Estes *bits* ficam armazenados no registro de estado, no endereço H308 dos dados D0 a D3. Quando o computador hospedeiro recebe um pedido de interrupção gerado por um pulso na entrada TLAIN, a rotina de interrupção, além de ler os dados do *timestamp* no registro correspondente, também envia o dado correspondente ao estímulo que será enviado ao VSImG, para o endereço no qual está mapeado o conversor Digital/Analógico (DAC).

5.1.3 Conversores Digital/Analógico

As saídas de sinais analógicos são utilizadas pelo VSImG para a determinar as posições da imagem, quadro a quadro, na geração de estímulos visuais. Para a geração destes sinais, são utilizados conversores D/A de 16 bits -DAC715P-Texas Instruments/Burr Brown [45], com as entradas de dados ligadas diretamente ao barramento de dados da Interface ISA (fig.36).

Figura 36: Diagrama das conexões do conversor Digital Analógico DAC715P

5.1.4 Decodificação de endereços E/S – ISA

O circuito de seleção de endereços de Entrada/Saída é baseado em lógica combinacional, e decodifica endereços em H0300 até H031C. Conforme figuras 37 e 38 abaixo, temos o mapeamento de endereços dos registros de controle, estado e dados do *hardware* dedicado:

5.2 Computador hospedeiro e programa de controle

O computador hospedeiro tem como configuração uma CPU K6III 400MHz, 384MB RAM, operando sob o sistema operacional Windows 98.

O programa de controle tem a função de inicializar o *hardware* dedicado, a alocação de memória RAM para o armazenamento dos dados (*timestamps*), leitura do arquivo de dados referentes à geração de estímulos, armazená-los em memória RAM, e instalação da rotina de interrupção. A cada pulso que chega tanto na entrada de SPK_{in} ou TLA_{in} no *hardware* dedicado, é disparado um pedido de interrupção ao computador hospedeiro, através do barramento ISA. O computador hospedeiro, ao receber o pedido de interrupção, verifica qual entrada do *hardware* digital dedicado originou a interrupção, através da leitura do registro de estado do *hardware*

dedicado. Em função do estado deste registro, se for a entrada SPKin, executa a leitura de dados do registro da entrada SPKin, armazenando-a na *memória RAM*.

Se o sinal for oriundo da entrada TLAIN, além de ler o dados do registro correspondente, deverá enviar os dados do estímulo, para o endereço de E/S que corresponde ao conversor Digital/Analógico (DAC) para a geração da saída do sinal de estímulo. Se houver um pedido de interrupção que não for atendido, o *hardware* ativará um *bit* de *OverRun* no registro de estado para a entrada correspondente, que sinaliza a ocorrência de falha na leitura dos tempos de disparos para um pulso de entrada.

O programa de controle do sistema de aquisição também calcula e apresenta na tela a cada 10 segundos a taxa de disparo do canal de entrada dos *spikes* neurais. Ao término da aquisição, os dados são transferidos da memória RAM para arquivos no disco rígido[46].

Nas figuras 40 e 41, a captura da tela de interface do programa de controle.

```

[Inactive C:\WINDOWS\DESKTOP\AQSYS1~2.EXE]
Abrindo arquivo de Estimulo DAC1...
As primeiras 50 posicoes File0 sao:-20957, -21719, -2159
19, -21084, -21084, -20576, -20703, -21211, -20957, -2133
60, -18925, -19687, -19941, -19179, -19941, -19052, -1829
79, -18671, -19433, -19814, -19433, -20322, -20957, -2159
65, -21846, -22100, -21211, -22227, -21719, -21592, -2159
51, -24640, -24386, -24767, -23878,
counter ON
Vetor de interrupcao #5 programado!

<<< Iniciando monitoramento dos spikes >>>

Irq TLA OverRun!=1
# de spikes em 9.83 segundos (= 5000 telas) 334
Tempo de aquisicao 0 minutos
Min_spike_int = 0 ms
Inf_spike_int = 0 ms
# de spikes em 9.83 segundos (= 5000 telas) 379

```

Figura 40: Programa de controle

```

[Inactive C:\WINDOWS\DESKTOP\AQSYS1~2.EXE]
# de spikes em 9.83 segundos (= 5000 telas) 341
Tempo de aquisicao 1 minutos
Min_spike_int = 0 ms
Inf_spike_int = 0 ms
# de spikes em 9.83 segundos (= 5000 telas) 342
Tempo de aquisicao 1 minutos
Min_spike_int = 0 ms
Inf_spike_int = 0 ms

Valor de dwCountA(TLA) = 40555
Valor de dwCountB(SPK) = 2884
*****

Vetor de interrupcao #5 restaurado

Valor de dwCountA = 44508
Valor de dwCountB = 3177

Fim da execucao!

```

Figura 41: Programa de controle

Este protótipo tem sido utilizado no laboratório Dipteralab do IFSC, em experimentos para o registro de sinais de um único neurônio em observação, sob um ou dois estímulos visuais simultâneos diferentes.

5.3 Especificações do primeiro protótipo:

- *Timestamp* com 32 bits precisão, 1 μ s resolução.
- Frequência de relógio externa, 1,042MHz. Este sinal externo é fornecido pelo sistema de geração de imagens (VSImG), mantendo assim, o sistema de aquisição de dados em sincronismo com o VSImG.
- 1 canal de entrada para registro de *Timestamp* de *spikes* neurais.
- 1 canal de entrada para registro de *Timestamp* de sincronismo do VSImG
- 2 saídas analógicas com resolução de 16 bits, de 0 a 5V, 4 μ s de tempo de subida e descida de pulsos.
- Barramento de comunicação com computador hospedeiro tipo ISA-16 bits.
- Computador Hospedeiro tipo IBM/PC compatível, CPU Pentium 233MHz min, 256MB RAM. Sistema Operacional Windows 98[®].
- Programa para controle do *hardware* lógico dedicado, gravação em arquivos dos *timestamps* adquiridos e saída de dados para a geração de sinais de controle para o VSImG (*Visual Stimuli Image Generator*).

Figura 42: *Hardware* digital dedicado

A figura 42 apresenta o protótipo com o circuito CPLD mais conversores D/A montados em uma placa padrão com o barramento ISA.

6 Descrição do segundo protótipo desenvolvido

Novos experimentos, visando o registro de sinais de dois neurônios simultaneamente, sob um mesmo estímulo, motivou o projeto de um segundo sistema de aquisição de sinais neurais e geração de sinais de controle para estímulo visual.

A necessidade de expansão do número de canais de entrada para a aquisição de dados neurais, levou a construção de um novo sistema, com a minimização do *hardware* dedicado externo e utilização do porto paralelo, configurado para o modo EPP, como interface com o computador hospedeiro. As medidas dos tempos de ocorrência dos sinais de entrada (*timestamps*) são feitas pelo computador hospedeiro, através de interrupções de *hardware* e leitura do registro TSC [46] do processador.

Para obter uma precisão satisfatória dos *timestamps* armazenados para a análise dos dados, sem a utilização de *hardware* externo para o registro intermediário dos *timestamps*, o computador hospedeiro utiliza um sistema operacional de tempo real, que permite atribuição de total prioridade ao atendimento de interrupções e transferência de dados, conseguindo desta maneira, especificações de *Hard Real Time* para o sistema de aquisição [48]. Com esta abordagem, foi desenvolvido um protótipo de aquisição de sinais neurais multi canal de tempo real.

Neste protótipo, foram implementados três canais de entrada, sendo sua arquitetura expansível até oito canais. Este sistema é composto pelas seguintes partes:

a) *hardware* digital dedicado: Neste segundo protótipo, foram implementados dois canais de entrada para sinais neurais: SPKin1, SPKin2, e um canal TLAIN, para o registro do sincronismo com VSimG. Para o controle da geração de estímulos visuais, foi implementada uma saída analógica com resolução de 16 bits.

b) Computador hospedeiro, do tipo IBM/PC compatível, com sistema operacional RTLinux, disponibilizado gratuitamente pela FMS Labs [49]. A precisão dos registros dos instantes de ocorrência (*timestamps*) obtida com esta configuração é da ordem de 25µs, com *jitter* de +/- 5µs.

6.1 Descrição do hardware digital dedicado

Os diversos estágios de processamento analógico dos sinais neurais, desde sua captação até a discriminação descritos na seção do *front end analógico*, foram duplicados para possibilitar a aquisição de dados de dois neurônios simultaneamente.

O *hardware* digital dedicado contém gerador de relógio interno, lógica de controle para sincronismo, registros para sinais de entrada e geração de interrupções, interface para comunicação com o porto paralelo do computador hospedeiro, e interface e controle para o DAC, conforme diagrama em blocos na figura 43.

Figura 43: Diagrama em blocos do hardware digital dedicado

O *hardware* digital dedicado recebe em suas entradas, os *spikes* discriminados e o sinal de sincronismo do VSIImG. Por serem assíncronos entre si, estes sinais são sincronizados com o relógio interno de 10MHz, na lógica de controle do *hardware* dedicado, para evitar a ocorrência de *glitches*, em seguida armazenados em registro. Sempre que um evento chegar a uma das entradas do *hardware* digital dedicado, um pedido de interrupção é gerado ao computador hospedeiro, através do sinal *acknowledge* do porto paralelo. Se dois ou mais eventos de entrada ocorrerem simultaneamente ou durante o período de latência da rotina de interrupção, serão registrados com o mesmo *timestamp* pelo computador hospedeiro. Se ocorrer um evento na entrada durante a execução da rotina de interrupção, este será armazenado no registro intermediário *sync* (fig.45), controlado pelo temporizador T1 e liberado ao término da execução da rotina de interrupção, gerando um novo pedido de interrupção para o registro de seu *timestamp*. Quando a rotina de interrupção é terminada, o temporizador T2 gera um pulso que limpa o registro que contém a identificação do canal de entrada que causou o pedido de interrupção.

Nas figuras 44 e 45, os diagramas da lógica de controle.

A interface do *hardware* dedicado com o porto paralelo do computador hospedeiro é constituída de circuitos bi-direcionais *tri-state*, registro para a

transferência de dados do porto paralelo para o conversor digital/analógico e lógica de controle para leitura ou escrita de dados e comandos (fig.46). Como o porto paralelo tem 8 bits para dados e o conversor utilizado é de 16bits, o registro de dados do estímulo recebe dois *bytes* da interface paralela e transfere para o DAC 16 bits.

As temporizações envolvidas estão representadas na figura 47, onde qualquer entrada IN0,1 ou 2 dispara o sinal Irq (Ack). Como resposta do hospedeiro, o sinal de *strobe* dispara T1 na sua descida e ao final da execução da rotina de interrupção, dispara T2 que limpa os registros de estado e o sinal Irq.

Nas figura 48 e tabela 2, os sinais do porto paralelo com seus respectivos registros, pinos e funções [50][51]. Os sinais utilizados pela interface estão assinalados na tabela 2 nas células com fundo cinza.

DB25 - LPT	
Pin No.	Sinal
1	Strobe - C0
2	Data 0+
3	Data 1+
4	Data 2+
5	Data 3+
6	Data 4+
7	Data 5+
8	Data 6+
9	Data 7+
10	Ack- Irq - S6
11	Busy+
12	Paper End+
13	Select- C3
14	Auto Feed- C1
15	Error-
16	Init- C2
17	Select In-

Tabela 2: Porto paralelo

6.2 Computador hospedeiro, sistema operacional de tempo real e programa de controle

O computador hospedeiro utilizado atualmente neste sistema, utiliza uma CPU AMD K6III de 400MHz, 384MB de memória RAM, sob o sistema operacional RTLinux.

6.2.1 Sistemas Operacionais de Tempo Real - Introdução ao RTLinux

Sistemas operacionais de uso genérico, são otimizados para multi-programação, como Windows, Linux e Unix, tendo como objetivo obter uma performance média otimizada, atendendo a um maior número possível de tarefas com características diversas. Sistemas Operacionais de Tempo Real são caracterizados por terem que atender a limites de tempo de execução, podendo ser classificado em função das conseqüências de falha no cumprimento dos limites de tempo especificados. Segundo este ponto de vista, tem-se a seguinte classificação: *Soft Real Time* e *Hard Real Time* [48].

Soft Real Time: sistemas em cuja falha no cumprimento dos limites de tempo não acarreta em danos significativos, tais como: sistemas que envolvem compartilhamento de voz e de imagem, transações bancárias *on-line*.

Hard Real Time: aqueles cujas conseqüências de uma falha no cumprimento dos limites de tempo podem inviabilizar a utilidade do sistema, tais como: controle de processos industriais, controladores de voo, etc. Apesar da velocidade de execução contribuir na construção de um eficiente sistema de tempo real crítico, este tipo de sistema não deve necessariamente ser associado à velocidade, e sim à sua previsibilidade dos tempos de resposta. Além do sistema operacional RTLinux,

existem outros sistemas disponíveis, comerciais ou livres, como: RTAI, KURT, Koan Klinux, LynuxWorks, TimeSys, ART Linux [52].

O RTLinux adiciona uma camada ao *Kernel* do Linux, ficando entre o *Kernel* padrão, e o *hardware* do computador. Esta nova camada introduz um *scheduler* próprio, que determina uma baixa prioridade para o *Kernel* do Linux padrão, o qual é executado como uma tarefa independente. A camada de abstração introduzida pelo RTLinux funciona interceptando todas interrupções de *hardware*. As tarefas de tempo real são privilegiadas, tendo acesso direto ao *hardware*, e não usam memória virtual. São escritas na forma de módulos e podem ser carregadas dinamicamente na memória. Para a comunicação inter-processos, as tarefas de tempo real e processos do espaço de usuário do linux, utilizam mecanismos como estrutura de dados do tipo FIFO (fig. 51) e memória compartilhada. Esta abordagem mantém o *Kernel* do Linux com todas suas funcionalidades, o *Kernel* existente é convertido em um ambiente de *hard real time*, mantendo as vantagens do Linux como ambiente *Desktop* [53].

Abaixo, representação da arquitetura e camada adicionada pelo RTLinux:

6.2.2 Programa de controle desenvolvido:

Para o controle do *hardware* dedicado, o programa de tempo real é carregado como um módulo, e recebe através de estruturas de dados do tipo FIFO

(FIFO_CMD), comandos do programa monitor executado no ambiente de usuário do Linux (fig.53). Quando ocorre uma interrupção causada pelo *hardware* dedicado, o módulo por sua vez executa a rotina de atendimento à interrupção, sob o *Kernel* de tempo real, verificando o registro do *hardware* dedicado para identificar o canal de entrada que gerou o pedido, e executar a leitura do registro TSC (*Time Stamp Counter*) para armazenar o instante de ocorrência (*timestamp*) do evento em uma outra estrutura de dados do tipo FIFO (FIFO_DATA), terminando a execução da rotina de interrupção. Se a rotina de interrupção detectar uma entrada no canal TLAIN, que é dedicado ao sinal de sincronismo do VSImG, além de registrar o tempo de ocorrência, a rotina de interrupção também envia um dado de 16 bits para o *hardware* dedicado correspondente ao sinal de controle do estímulo para o VSImG.

Os dados com os valores para os estímulos são carregados previamente na FIFO pelo usuário no início do programa monitor, que lê o arquivo contendo os valores para os estímulos usados durante o experimento.

Ao término do experimento, o programa monitor faz a leitura dos dados dos registros dos *timestamps* contidos na respectiva FIFO, gravando o conteúdo em

arquivos no disco rígido. O TSC é um registrador de 64 bits, contido no processador *Pentium*, que conta os ciclos do relógio da CPU desde a inicialização do processador. Este registro foi implementado em processadores X86 a partir do *Pentium*. O RTLinux possui funções especiais para a leitura do TSC e operações nas FIFOs, para comunicação dos processos de tempo real com outros processos, conforme exemplos abaixo:

```
t = gethrtime() & ~0xFF;
rtf_put(FIFO_RD_LPT, &t, sizeof(unsigned long long));
```

Os fluxogramas do módulo de tempo real e do programa monitor estão representados nas figuras 52 e 54, respectivamente.

6.3 Especificações do segundo protótipo

- *timestamp* com 64 bits $\sim 25\mu\text{s}$ de resolução + $-5\mu\text{s}$ de *Jitter*, efetuado através da leitura do TSC, com resolução de ciclos do relógio da CPU.
- Frequência de relógio interna para o *hardware* digital dedicado: 10MHz
- 2 canais de entrada para registro de *timestamp* de *spikes* neurais.
- 1 canal de entrada para registro de *timestamp* de sincronismo do VSImG
- 1 saída analógica com resolução de 16 bits, de 0 a 5V, $4\mu\text{s}$ de tempo de subida e descida de pulsos.
- Comunicação com computador hospedeiro através do porto paralelo.
- Computador Hospedeiro tipo IBM/PC compatível, CPU AMD K6III 400MHz, 384MB RAM. Sistema Operacional de Tempo Real, RTLinux.
- Programa de controle do *hardware* lógico dedicado, gravação dos *timestamps* adquiridos em arquivos e transferência de dados para o controle da geração de estímulos.

7 Resultados

Durante o desenvolvimento dos sistemas de aquisição, foram feitas medidas para avaliar o desempenho, confiabilidade e características, como precisão e tempos de respostas dos sistemas. Para isto, medidas nos diversos estágios dos sistemas foram feitas. No *front end* analógico, avaliação da rejeição de ruídos, amplificação em tensão, e discriminação do *spike* neural. Para o *hardware* digital dedicado e computador hospedeiro foram feitas medidas da precisão dos *timestamps* registrados, latências e tempos de execução para rotinas de interrupção no computador hospedeiro e comparações de desempenho entre os Sistemas Operacionais (S.O.) RTLinux e Linux para tarefas de tempo real[55][56].

Para validar a integração entre o sistema desenvolvido e o sistema de geração de imagens para estímulos visuais (VSIImG), foram efetuadas diversas medidas, desde o *front end* analógico até a respectiva movimentação da imagem apresentada no monitor de vídeo do VSIImG, possibilitando, assim, uma avaliação do desempenho dos sistemas de aquisição e geração de estímulos como um todo.

Como metodologia para avaliação dos sistemas, foram utilizados instrumentos de medidas para determinar respostas em tempo real, e análise dos dados referentes aos *timestamps* coletados durante os testes e experimentos. Os instrumentos utilizados para medidas incluem osciloscópios, geradores de sinais, contadores digitais e circuitos projetados especialmente para esta finalidade, tais como: geradores de sinais com características próximas aos *spikes*, circuito foto-detector para medições de atrasos, repetibilidade no posicionamento e movimentos

de imagens utilizadas para a geração de estímulos visuais. As análises de precisão e *jitter* dos dados relativos aos *timestamps* contidos nos arquivos gerados pelos sistemas desenvolvidos, foram feitas através de programas como *Mathlab* e *Scilab*.

As medidas nos vários estágios dos dois sistemas de aquisição desenvolvidos, são descritas a seguir:

7.1 Medidas do Front End analógico

Para a verificação do funcionamento dos estágios do *front end* analógico, foram efetuadas medidas dos *spikes* neurais após amplificação de tensão e filtragem, e medidas do sinal na saída do estágio discriminador.

O diagrama em blocos do *front end* analógico, na figura 55, ilustra os diversos blocos para o condicionamento do sinal neural e discriminação.

7.1.1 Captação, amplificação e filtragem dos spikes.

Durante o posicionamento do micro-eletrodo na região extracelular adequada, o sinal captado é observado no osciloscópio, buscando-se uma otimização

da relação sinal ruído do *spike*. Durante este procedimento, os *spikes* captados apresentam diferente relação sinal ruído, em função da posição do micro-eletrodo na região extra-celular. Os *spikes* do neurônio H1, após amplificação e filtragem, são visualizados na tela capturada do osciloscópio Tektronix TDS430A (Fig.56) durante medidas, no canal superior da tela do osciloscópio com amplitude de 2,32 Volts pico a pico. No canal inferior, o sinal de saída do circuito discriminador, que emite um pulso no padrão TTL, de largura fixa, com aproximadamente 30 μ s, após validação do sinal de entrada pelos valores dos limiares de amplitude ajustados pelo usuário.

Figura 56: *Spike* amplificado monitorado por osciloscópio

Na figura 57, montagem da mosca, micro-eletrodo e *headstage* no suporte do micro-manipulador.

Figura 57: Montagem da mosca

7.1.2 Discriminação dos spikes

A atuação eficiente do discriminador depende da relação sinal ruído do sinal a ser discriminado. Conforme posicionamento do micro-eletrodo na região extracelular, o sinal medido pode variar de amplitude desde centenas de milivolts até alguns volts pico a pico. Nas figuras abaixo (fig. 58 e 59), medidas de *spikes* com diferente relação sinal ruído e amplitude. Um sinal ruidoso com baixa amplitude (720mVpp - fig.59), pode ter sua discriminação propensa a erros. Na figura 58, pode-se observar a atuação do discriminador, com a captura de *spikes* com amplitude de 1,0Vpp aproximadamente, e também a ocorrência de pulsos de menor amplitude, oriundos da atividade de neurônios vizinhos, estes rejeitados pelo circuito discriminador.

7.1.3 Medidas no *front end* analógico com dois canais de entrada de entrada

A implementação do *front end* analógico com dois canais de entrada, fez necessária a avaliação de outros fatores, como a verificação de *crosstalk* entre canais e a captação de maior nível de ruído juntamente com o sinal de entrada. Devido às dificuldades envolvidas para a disponibilidade prolongada de sinais neurais oriundos do sistema nervoso da mosca para desenvolvimento e testes dos circuitos, foi utilizado o gerador de sinais de baixa amplitude, projetado para esta função, para a introdução de sinais assíncronos nas duas entradas do *front end* simultaneamente.

Nas figuras 60 e 61 abaixo, telas do osciloscópio com os sinais já amplificados oriundos do gerador de *spikes* artificiais, e no canal inferior, a saída dos circuitos discriminadores. Após verificação com os sinais artificiais introduzidos nas

Figura 60:Canal 1 *front end*

Figura 61:Canal 2 *front end*

entradas do *front end* analógico e conforme resultados satisfatórios obtidos nas medidas com os dois canais em atividade simultaneamente, as próximas medidas e avaliações para verificação dos circuitos foram feitas utilizando os *spikes* neurais da mosca.

Testes utilizando a captação de dois sinais neurais simultaneamente apresentaram uma maior propensão à captação de ruídos externos e *crosstalk* entre canais, devido a maior complexidade da montagem mecânica dos *headstages*, manutenção da simetria entre os micro-eletrodos e eletrodos de referência, e maior dificuldade para a aplicação de blindagens eletromagnéticas.

Como consequência, houve uma diminuição da rejeição do ruído de modo comum e a ocorrência de *crosstalk* entre os canais de aquisição. Na configuração com dois canais, o aumento de ruídos captados pelos micro-eletrodos, cabos e estágios amplificadores, juntamente com o sinal neural podem causar disparos na saída do discriminador, observados nas medidas com a utilização do recurso de persistência variável no *display* do osciloscópio (fig.62).

Figura 62: Efeitos do ruído no sinal de entrada (CH1) na saída do discriminador (CH2)

Para minimizar disparos espúrios dos discriminadores, no sistema de aquisição com dois canais no *front end* analógico, a frequência de corte dos filtros passa baixas do *front End* de dois canais, foi reduzida para 5KHz, minimizando os efeitos dos componentes de alta frequência nos sinais dos *spikes* neurais captados pelos estágios iniciais do *front end* analógico, sobre a discriminação do sinal. Conforme resultados das medidas apresentadas na figura 63, observa-se à esquerda o sinal ruidoso do *spike* antes do estágio do filtro passa baixas e a direita o mesmo sinal após filtragem.

Figura 63: Filtragem do *spike* neural - antes e após filtragem do sinal

A captação e amplificação de ruídos devido a não simetria das conexões de entrada com a fonte de sinal, filtragem deficiente de ruídos, *crosstalk* entre canais, em sistemas com *front end* analógico com vários canais, aumentam a possibilidade de falsos disparos na saída dos discriminadores e estes sinais terem seus *timestamps* registrados como se fossem disparos de *spikes* neurais, devendo ser objeto de cuidadosa verificação.

7.2 Medidas efetuadas no primeiro sistema desenvolvido: hardware digital dedicado e computador hospedeiro

Foram medidos tempos de latências e execução para rotinas de interrupção, atrasos entre os sinais de entrada e de saída e precisão dos *timestamps* registrados.

7.2.1 Latências e tempos de execução para rotinas de interrupção

Estas medidas fornecem parâmetros sobre as limitações do computador hospedeiro, no atendimento a interrupções de *hardware* para sinais assíncronos, que dificultam a eficiência no agendamento de tarefas do sistema operacional. Para a realização destas medidas, o *hardware* digital dedicado foi alimentado com sinais

digitais assíncronos em suas entradas, providos por dois geradores de funções HP33220A, sendo na entrada TLAIN com frequência de 500Hz, e na entrada SPKin, 100Hz, conforme diagrama em blocos (fig.64).

O sinal que gera o pedido de interrupção e o endereço de E/S acessado pela primeira instrução da rotina de interrupção foram monitorados por um osciloscópio digital Tektronix TDS460A (fig.65).

Os tempos medidos de latência para atendimento do pedido de interrupção e execução da rotina no sistema baseado em um computador hospedeiro com processador AMD K6II 400MHz, 384MB memória RAM, operando sob Windows 98®, podem ser observados com a captura da tela do osciloscópio, na figura 65, mostrando uma variação por volta de 25µs nos tempos de latência para atendimento da rotina de interrupção, enquanto que, o tempo médio de execução da rotina de interrupção, não tem variação mensurável pelo osciloscópio. Dependendo das condições de cargas do sistema operacional, este tempo pode ser maior, com os valores medidos, aproximados, na tabela 3 a seguir.

Latência mínima Irq	Latência máxima Irq	Tempo de execução rotina Irq
17µ s*	42µ s*	12µ s*

Tabela 3: *estes valores são aproximados e dependem do *hardware* utilizado pelo computador hospedeiro, como velocidade do processador, memória RAM, *chipset* da placa mãe, e sistema operacional utilizado.

Estes valores atendem à necessidade de tempos de resposta para este sistema, proporcionando estabilidade nas temporizações envolvidas, dependentes do computador hospedeiro.

7.2.2 Análise dos timestamps armazenados

Para a avaliação da precisão dos *timestamps* registrados pelo sistema, foram feitos testes utilizando o sinal de sincronismo vertical do VSImG na entrada TLAIN e a saída analógica DAC1_OUT alimentando a entrada SPKin do *hardware digital* dedicado, conforme o diagrama da figura 66.

O circuito registra os instantes de subida do sinal na entrada TLAIN e SPKin.

O arquivo contendo os dados de controle do estímulo, foi programado para conter dados referentes à 0V e 1,4V na saída do conversor, alternadamente, de modo que, a cada pedido de interrupção feito pela entrada TLAIN, a saída do DAC troca de estado, gerando uma onda quadrada com 1,4 Volts de amplitude, e metade da frequência do sinal TLAIN.

A seguir, na figura 67, medidas com osciloscópio, no canal superior, o sinal na entrada TLAIN e o inferior a saída do DAC1 que alimenta a entrada SPKin.

Figura 67: Medidas na configuração utilizada para avaliação

As medidas foram efetuadas sob as seguintes condições:

- Frequência de relógio: 1,042Mhz, proveniente do VSimG.
- Sinal na entrada TLAIN: 508Hz , 146.371 *timestamps* registrados.
- Saída analógica de sinal (DAC1 out): 254Hz - Onda quadrada, 1.4Vpp.
- Sinal na entrada SPKin: 254Hz (DAC1 out), 73.185 *timestamps* registrados.
- Computador hospedeiro: processador K6II-400MHz 384MB RAM

A análise dos dados gravados nos arquivos contendo o registro dos *timestamps*, verificando-se a diferença entre os tempos registrados, resultou na tabela abaixo:

	Max μ s	Min μ s	Média μ s	Jitter max μ s
*Timestamp SPKin	4.096	4.096	4.096	0
*Timestamp TLAIN	2.048	2.048	2.048	0

Tabela 4: *Número de timestamps analisados da entrada SPKin = 73.185
*Número de timestamps analisados da entrada TLAIN = 146.371

Os tempos registrados para cada entrada foram idênticos em todos os registros, demonstrando precisão e estabilidade no registro dos *timestamps* e na geração do sinal analógico para controle de estímulos.

7.2.3 Medidas do atraso entre o sinal TLain e a geração do sinal DACout

Esta medida caracteriza a resposta do Conversor D/A, em termos de atrasos em relação ao sinal de sincronismo do VSimG. Conforme medidas abaixo, este tempo está em torno de 800ns, tanto para a transição de subida (fig.68) ou de descida (fig.69) para um sinal com 1,4 Volts de amplitude na saída do DAC.

Este tempo de atraso é importante, porque os *timestamps* do sinal de sincronismo vertical do VsimG são registrados, através da entrada TLain e utilizados para a análise dos dados como referência do controle do estímulo aplicado em cada tela apresentada durante os experimentos.

7.2.4 Medidas do sistema em operação integrada com o VSimG

O sistema de aquisição e o sistema de geração de imagens para estímulos visuais (VSimG), operam de forma integrada, sendo necessário medidas para a verificação dos tempos de atraso entre o sinal de sincronismo vertical do VSimG, que alimenta a entrada TLain do *hardware* digital dedicado, em relação ao sinal de controle para o estímulo e a conseqüente movimentação da imagem na tela do

VSimG. O foto-detector construído para esta finalidade, foi posicionado em frente à tela do VSimG, com sua saída conectada à entrada do discriminador.

No diagrama da figura 70, as conexões do sistema de aquisição com o VSimG e foto-detector utilizados para medidas.

Figura 70: Configuração utilizada para medidas no sistema juntamente com o VSimG

Figura 71: Foto-detector e Display

Na figura 71, o foto-detector posicionado em frente à tela do monitor de vídeo Tektronix608, que possui as seguintes características: deflexão eletrostática, fósforo P31-com tempo de decaimento de 340 μ s a 10%.

Uma barra vertical é apresentada na tela, e movimentada no sentido horizontal, com sua posição controlada pela saída analógica do *hardware* dedicado. Quando a barra luminosa passa em sua frente ao foto-detector, este gera um pulso em sua saída. A cada transição de descida da onda quadrada do CH2, na figura 73, o foto detector dispara um pulso, que corresponde à passagem da barra luminosa à sua

Figura 72: Sinal do foto-detector e saída do DAC

Figura 73: Medida do tempo de resposta

frente. A medida do atraso entre a descida do sinal de saída do DAC e do sinal do fotodetector após discriminação, é de aproximadamente 30 μ s. Esta medida representa o tempo de resposta do sistema como um todo, desde o sinal de estímulo para uma nova posição da imagem, a resposta efetiva do monitor de vídeo com a movimentação da imagem na tela, incluindo persistências do fósforo e atrasos do front end analógico (fig.72).

A seguir, na figura 74, medidas da repetibilidade no posicionamento da imagem em função do sinal de estímulo. Conforme registrado na medida efetuada por osciloscópio, nota-se a resposta do foto detector apenas quando a tensão de controle da posição da imagem atinge o valor correspondente à posição do foto detector na tela do monitor.

Figura 74: Medidas do posicionamento da imagem

Na tabela 5, os diversos atrasos medidos abrangendo a operação do sistema:

Atraso entre a variação da saída do DAC (sinal de controle do estímulo) e a detecção do movimento da imagem pelo fotodetector com sua saída após passar pelo discriminador.	30μs**
Atraso entre o pulso na entrada TLain e a saída do DAC	~800ns *

Tabela 5 * valores constantes intrínsecos ao *hardware* digital dedicado

** valores constantes e dependentes do monitor de vídeo, persistência do fósforo, e atrasos intrínsecos do *front end* analógico.

7.2.5 Medidas utilizando os spikes do neurônio H1 da mosca.

Pelo registro do sinal do neurônio H1 da mosca, observa-se a repetibilidade dos tempos de resposta do H1 nas sequências de *spikes* em função do estímulo visual apresentado, conforme experimento ilustrado na figura 75.

O sinal de saída (DAC1 ou DAC2), é gerado a partir de um conjunto de dados fornecidos pelo usuário através de um arquivo. Para testes, são usados 5000 valores para cada 10s, na taxa de 500 Hz, uma parte dos dados se repete a cada 10 segundos, e outra parte contém dados com valores aleatórios para os próximos 10 segundos, compondo segmentos com duração de 20s que são repetidos durante o tempo do experimento.

A seguir, na figura 76, a representação gráfica da composição do sinal utilizado para o controle do VSImgG, na geração de estímulos visuais.

Os tempos de resposta do neurônio H1 da mosca em relação aos estímulos visuais apresentados, podem ser observadas em um gráfico do tipo *raster*. Na figura 77, *raster plot* obtido com os *timesteps* dos *spikes* do neurônio H1 da mosca:

Figura 77: *Raster Plot*, representação dos segmentos do sinal de controle do estímulo e gráfico com segmentos de 20 segundos sobrepostos

Observamos o alinhamento vertical das sequências de *spikes* na primeira metade do gráfico *raster*, indicando a repetibilidade da resposta dos trens de *spikes* do neurônio H1 para um mesmo estímulo visual apresentado (ilustrado nos gráficos tipo XY em linhas vermelha e violeta abaixo do gráfico tipo *raster*), validando desta forma, a operação do sistema de aquisição e controle de estímulos visuais.

7.3 Medidas efetuadas no segundo sistema desenvolvido: Hardware digital dedicado, e computador hospedeiro com sistema operacional de tempo real

O segundo sistema de aquisição e controle do sinal de estímulo está fortemente baseado nas características do sistema operacional de tempo real, assim, este também foi objeto de avaliações através de medidas de tempos de respostas, e precisão dos *timestamps* registrados. Comparações entre os S.O. Linux e RTLinux foram feitas em função da precisão e previsibilidade do tempo de resposta para a execução de tarefas periódicas em tempo real [56].

7.3.1 Comparações entre os Sistemas Operacionais Linux e RTLinux

Para este propósito, foram utilizadas medidas através de instrumentos em tempo real e análise dos dados coletados durante testes, para condições de concorrência em sistemas operacionais executando *Xwindow*, KDE, *Browsers* e consoles simultaneamente. Foram utilizados dois microcomputadores com sistema operacional Linux, distribuição Conectiva versão 8-*Kernel* versão 2.4.18, com o *patch* do RTLinux versão 3.1 aplicado para os testes. Um microcomputador com processador Pentium PRO de 200MHz de relógio interno, 256MB de memória RAM, e outro com processador Celeron de 466MHz de relógio interno e 256MB de memória RAM.

Os programas de testes geram uma onda quadrada na frequência de 25Hz na saída de dados D0 no porto paralelo do microcomputador e durante a transição do estado do dado D0, o programa registra o valor da contagem do TSC.

Para observação de variações na largura dos semi-ciclos da onda quadrada gerada pelos programas de testes, o sinal no pino do Dado 0, foi medido por osciloscópios (Tektronix TDS524 e TDS430A) nos dois microcomputadores avaliados.

Figura 78: Medidas do *jitter* SO Linux *

*Medidas obtidas com osciloscópio Tektronix TDS524

Figura 79: RTLinux - PentiumPro 200MHz*

Figura 80: Medida com recurso de *zoom* -SO Linux**

**medidas obtidas com osciloscópio TDS460A

Figura 81: RTLinux (Celeron 466MHz)**

Na tabela 6, valores das medidas feitas com o uso de osciloscópio:

	PentiumPRO 200MHz	Celeron 466 MHz
<i>Jitter</i> max. SO Linux	≈ 6500 µs	≈ 7600 µs
<i>Jitter</i> max. SO RT Linux	≈ 180 µs (36 x menor)	≈ 20 µs (380 x menor)

Tabela 6: Medidas de *Jitter* nos *timestamps* registrados

É apresentada a *análise dos timestamps*, nas figuras 82 e 83, com gráficos obtidos a partir dos dados registrados, para comparação das variações dos valores do TSC para o programa executado no SO de tempo real (RT) e não RT (NRT).

Figura 82: Comparação do TSC-Pentium PRO 200MHz

Figura 83: Comparação do TSC-Celeron 466MHz

Na tabela 7, os valores máximos e mínimos do TSC registrados durante os testes realizados nas comparações entre o Linux e RTLinux.

PentiumPRO 200MHz			
RT Linux		Linux	
	TSC (ns)		TSC (ns)
Min.	19.998.400	Min.	17.068.912
Max.	20.034.110	Max.	83.972.409
Jitter Max.	68.740	Jitter Max.	66.903.49

Celeron 466 MHz			
RT Linux		Linux	
	TSC (ns)		TSC (ns)
Min.	19.977.440	Min.	17.420.337
Max.	20.021.760	Max.	20.332.343
Jitter Max.	44.320	Jitter Max.	2.912.006

Tabela 7: Comparação entre computadores e SOs.

As medidas realizadas demonstram as características de precisão e previsibilidade nas temporizações sob o controle do RTLinux, cuja eficiência fica mais evidente quando há concorrência entre vários processos, que é uma situação típica dos sistemas operacionais atuais, largamente utilizados.

7.3.2 Medidas de Latências e tempos de execução para rotina de interrupção no segundo protótipo

Devido à abordagem utilizada para o projeto deste sistema, tempos de latência e execução da rotina de interrupção influem diretamente na precisão dos *timestamps* registrados. Estas medidas fornecem parâmetros sobre as limitações do computador hospedeiro, no atendimento a interrupções de *hardware* para sinais assíncronos.

Para a realização destas medidas o *hardware* digital dedicado foi alimentado com três sinais digitais assíncronos em suas entradas, providos por três geradores de funções HP33220A, conforme diagrama em blocos na figura 84. Foram efetuadas medidas em dois computadores operando sob RTLinux com Conectiva 8, no modo gráfico, com X-Window mais KDE e também no modo "Single User". O primeiro utilizando um processador PentiumPRO 200MHz com 256MB RAM (fig.87), e o segundo com um processador AMDII 400MHz com 256MB RAM (fig.85 e 86).

Figura 84: Conexões para testes

Figura 85: Tempos de Latência e execução - CPU Amd K6II

O sinal do pedido de interrupção gerado pelo *hardware* dedicado e o sinal *strobe* de saída do porto paralelo ativado pela primeira instrução da rotina de interrupção, foram monitorados por um osciloscópio digital Tektronix TDS460A. A rotina RTtask2 atende às interrupções causadas pela entrada TLain, e a rotina RTtask1 atende às interrupções das entradas SPKin1 e SPKin2.

Figura 86: Medidas de Jitter CPU Amd K6II

Figura 87: Medidas de Jitter CPU Pentium Pro

Tempos aproximados, na tabela 8, medidos através de osciloscópio

Osciloscópio utilizado: <i>TektronixTDS460A</i>	PentiumPRO 200MHz	AMD K6-II 400MHz	AMD K6-II 400MHz *S U
Latência Min Irq	6µs	4 µs	4 µs
Latência Max Irq	8 µs	8 µs	4,5 µs
Tempo de execução Min. RTtask1	4 µs	4 µs	4 µs
Tempo de execução Max. RTtask1	8 µs	10 µs	4,5 µs
Tempo de execução Min. RTtask2	23 µs	20 µs	20 µs
Tempo de execução Max. RTtask2	27 µs	27 µs	23 µs

Tabela 8: Tempos de latência e execução

*Modo *single user* no Linux.

7.3.3 Análise dos timestamps gerados e armazenados pelo segundo sistema

A verificação da diferença entre os tempos registrados, através do programa Scilab, resultou nos gráficos das figuras abaixo. A maior densidade de pontos situa-se na região correspondente à frequência do sinal de entrada, porém, há ocorrência de *timestamps* com erros de até $\approx 50\mu\text{s}$, distribuídos em torno do valor central do período dos sinais de entrada (Figs. 88, 89, 90). Essas medidas foram efetuadas no computador hospedeiro com processador K6II-400MHz 256 MB RAM [57][58][59].

Figura 88: SPKin1: 100Hz, 18833 *Timestamps*

Figura 89: SPKin2: 100Hz, 18834 *Timestamps*

Figura 90: TLAIN: 500Hz, 94217 *Timestamps*.

A seguir, na tabela 9, os valores máximos e mínimos do *jitter* nos *timestamps* registrados:

	Max μ s	Min μ s	Média μ s	Jitter max μ s
*Timestamp SPKin-1(100Hz)	10.021	9.972	9.999,6018	49
*Timestamp SPKin-2(100Hz)	10.028	9.978	9.999,8572	50
*Timestamp TLAin (500Hz)	2.013	1.969	1.991,0677	44

Tabela 9: *Número de *timestamps* analisados da entrada SPKin1 e SPKin2 = 18.833, 18.834
 *Número de *timestamps* analisados da entrada TLAin = 94.217

O sistema de aquisição de sinais de *spikes* neurais e geração de sinal de controle para estímulos visuais utilizando o computador hospedeiro controlado por um sistema operacional de tempo real, para a geração e registro de *timestamps* dos *spikes* neurais, mostrou ser uma opção para este tipo de instrumentação, apresentando um *jitter* da ordem de 50 μ s para os *timestamps* registrados.

8 Conclusões

Os sistemas desenvolvidos, especializados para o suporte em pesquisas em neurobiofísica, apresentaram precisão e estabilidade adequada para seu uso em experimentos visando o estudo da codificação neural, tanto para o registro das respostas de neurônios do sistema visual do duto ótico da mosca aos estímulos apresentados, como no controle da geração de estímulos visuais.

Os sistemas dedicados desenvolvidos são altamente integrados na aquisição de dados e geração de estímulos visuais, com vantagens sobre sistemas comerciais, principalmente nas características de geração e controle de estímulos visuais para invertebrados.

A utilização de ferramentas EDA e metodologias do tipo SOPC (*System-On-a-Programmable-Chip*) para CPLD/FPGAs, aceleram o desenvolvimento de instrumentação eletrônica, possibilitando alta complexidade e flexibilidade e nos projetos de *hardware* digital dedicado, se comparado às formas tradicionais de desenvolvimento.

O desenvolvimento de instrumentação eletrônica com *hardware* dedicado, baseado em FPGAs, controlado por computador hospedeiro do tipo *desktop*, operando sob sistema operacional de tempo real, oferece características difíceis de se obter com metodologias tradicionais de desenvolvimento de instrumentação eletrônica, estas normalmente controladas localmente por microcontroladores. Estas características incluem vantagens tais como: ambientes gráficos do tipo Xwindow com ferramentas para interfaces com usuários, capacidade de processamento,

armazenamento e conectividade, compondo assim, um sistema eficiente para aquisições de dados, controle de estímulos visuais, processamento e monitoramento dos dados obtidos em tempo real.

A convergência para o desenvolvimento de instrumentação eletrônica com o uso de FPGAs e computadores com sistema operacional de tempo real, agregam as vantagens acima citadas. Estas características são importantes para instrumentação eletrônica aplicada a pesquisas em áreas multidisciplinares, como a neurobiofísica, tornando a P&D neste tipo de instrumentação eletrônica fundamental para o avanço da neurociência, e preenche uma lacuna na demanda pelos mesmos, na P&D de instrumentação eletrônica aplicada à física experimental.

8.1 Contribuições

O Desenvolvimento dos circuitos analógicos para aquisição dos sinais extracelulares, como amplificadores, filtros e discriminadores, juntamente com os sistemas digitais (*hardware e software*) para controle e aquisição de dados neurais e o desenvolvimento de um gerador de estímulos visuais (não detalhado nesta dissertação), viabilizou a implantação de experimentos *in vivo* no laboratório Dipteralab do IFSC. Este trabalho é parte do projeto temático da Fapesp: 0203565-4 – Explorando o código neural da mosca.

Os sistemas construídos estão em funcionamento, sendo utilizados na realização de experimentos no DipteraLab. Diversos trabalhos em neurobiofísica foram realizados com a utilização dos sistemas acima descritos, resultando em dissertações de mestrado, trabalhos de eventos, e atualmente em andamento, teses de

doutorado e dissertações de mestrado. Os sistemas desenvolvidos também foram utilizados pelo Prof. Dr. Rob de Ruyter van Steveninck[†], durante sua visita ao laboratório Dipterab, resultando em contribuições de ordem prática, pela sua grande experiência nesta área. A seguir, trabalhos publicados baseados nos dados experimentais obtidos com a utilização dos sistemas descritos nesta dissertação:

- M. Baptista, C. Grebogi and R. Koberle, *Dynamically Multilayered Visual System of the Multifractal Fly*, Phys. Rev. Lett. 97, 178102 (2006).
- Deusdedit Spavieri Jr., Lírío O. B. Almeida, Jan F.W.Slaets, Roland Koberle; *Information-theoretic receptive fields in the fly's visual system*,
International Seminar and Workshop: Nonlinear Dynamics in
Biophysics-Max-Planck-Institut Für Physik Komplexer Systeme-
Dresden, Germany - June 20 - July 15, 2005.
- Rodrigo C. Guido, Jan F W Slaets, Roland Köberle, Lírío O B Almeida and José C Pereira – *A new technique to construct a wavlet transform matching a specified signal with applications to digital, real time spike and overlap pattern recognition*, Digital Signal Processing, Volume 16, Issue 1, Pages 24-44 Elsevier Inc. January 2006.
- Spavieri Jr .Deusdedit Lineu, Koberle, Roland, *Transmissão de informação no duto óptico da mosca em função da posição espacial do estímulo*, IFSC - USP, Encontro Nacional de Física da Matéria Condensada Sociedade Brasileira de Física, Poços de Caldas - SP, 2004.

[†] Biocomplexity Institute - Dep. of Physics and Program in Neural Science - Indiana University

Dissertações de mestrado:

- Anjos, Carlos A. Silva dos, *Registro de dois neuronios H1*.
Orient.: Prof. Dr.Koberle, Roland, IFSC - 2006.
- Pinto, Bruna Dayana Lemos, *Translação e rotação: processamento de informação no sistema visual da mosca*.
Orient.:Prof. Dr. Koberle, Roland, IFSC - 2005.
- Spavieri Junior, Deusdedit Lineu, *Codificação neural e integração dendrítica no sistema visual da mosca*.
Orient.: Prof. Dr.Koberle, Roland, IFSC - 2004.

Tese de doutorado:

- Rodrigo Capobianco Guido, *Spikelet: Uma Nova Transformada Wavelet Aplicada ao Reconhecimento Digital de Padrões, em Tempo-Real, de Spikes e Overlaps em Sinais Neurofisiológicos do Campo Visual da Mosca*.
Orient: Prof. Dr. Jan Frans Willem Slaets – IFSC Nov./2003.

Trabalho de conclusão de curso de graduação

- M A Gazziro. *Instrumentação para Neurobiofísica. utilização de DSP para discriminação de sinais biológicos*.
Orient: Prof. Dr.Jan Frans Willem Slaets.
Co-orient.: Prof. Dr. Roland Köberle , IFSC - Out./2002.

Dissertação de mestrado em andamento

- Nataly H. Hoe de Castro. *Mutifractalidade e o código neural da mosca..*
Orient.:Prof. Dr. Koberle, Roland, IFSC - Início: 2006.

Teses de doutorado em andamento

- Carlos Alessandro Silva dos Anjos. *Informação gerada por registro simultâneo de ambos os neurônios H1 da mosca.*
Orient.: Prof. Dr. Koberle, Roland, IFSC - Início: 2006.
- Nelson Mesquita Fernandes. *Redução dimensional no espaço de estímulos no sistema visual da mosca..*
Orient.: Prof. Dr Koberle, Roland, IFSC - Início: 2005.
- Mario Alexandre Gazziro, *Desenvolvimento e implementação de instrumentação eletrônica para criação de estímulos visuais para experimentos com o duto óptico da mosca,*
Orient.: Prof. Dr. Jan Frans Willem Slaets. IFSC - Início 2006.
- Bruna Dayana Lemos Pinto. *Interação entre dois neurônios do sistema visual da mosca .*
Orient.: Prof. Dr. Koberle, Roland, IFSC - Início: 2005.

9 Futuros desenvolvimentos

Para viabilizar novos experimentos é necessário o desenvolvimento de projetos de sistemas de aquisição de dados neurais com maior número de canais de entrada mantendo a resolução dos *timestamps* em 1 μ s, e uma maior flexibilidade na programação e geração de estímulos visuais naturalísticos para invertebrados. Existe uma demanda global para sistemas de geração de estímulos visuais mais naturalísticos, principalmente para o uso com invertebrados. Estes sistemas possuem dificuldades a serem contornadas, como o uso de *displays* capazes de operar com taxas elevadas de quadros por segundo. Para se manter a precisão e flexibilidade, será necessário o desenvolvimento de um sistema para a aquisição de dados neurais, mantendo o *hardware* dedicado em FPGAs mais densas, com a função de realizar os *timestamps* via *hardware*, com armazenamento de dados local, geração de sinais de controle para estímulo e comunicação com computador hospedeiro sob o sistema operacional RTLinux.

Devido aos requisitos deste tipo de instrumentação eletrônica, o projeto de um sistema embarcado do tipo SOPC oferece muitas vantagens em termos de flexibilidade e possibilidades de expansões, capacidade de armazenamento local de dados neurais e de estímulos, possibilitando mudança em tempo real dos padrões de estímulos e imagens a serem utilizadas durante um experimento, com maior independência do computador hospedeiro.

A seguir, na figura 91, o diagrama em blocos da proposta para um sistema com *Softcore* NIOS II, funções dedicadas e periféricos embarcados:

Figura 91: Diagrama em blocos do sistema SOPC

Neste futuro projeto, o número de canais de entrada deve ser expansível de acordo com as necessidades de aquisição de sinais neurais, e todo o *hardware* embarcado controlado por uma CPU NIOS II, do tipo RISC, de 32 bits implementada em lógica programável da Altera. Esta CPU tem capacidade de processamento entre 10 e 100 MIPS, podendo chegar a 215 MIPS por unidade, permitindo a implementação de SOPC, e o rápido desenvolvimento de sistemas completos, inclusive para aquisição com arranjos de múltiplos eletrodos[60].

10 Referências bibliográficas

1. Kandel, E.R., Schwartz, J.H., and Jessel, T.M., *Principles of Neural Science*. Elsevier.2000.
2. F. Rieke,D. Warland, R.R. de Ruyter van Steveninck, W. Bialek. *Spikes-Exploring the neural code*. MIT Press, Cambridge, 1996.
3. William Bialek, Thinking about the brain, Physics of Biomolecules and Cells: Les Houches Session LXXV, H Flyvbjerg, F Julicher, P Ormos, & F David, eds., pp. 485-577, EDP Sciences, Les Ulis; Springer-Verlag, Berlin, 2002.
4. Alexander Forbes and Catharine Thacher, Amplification of action currents with the electron tube in recording with the string galvanometer - From the Laboratory of Physiology in the Harvard Medical School, The American Journal of Physiology VOL. 52 JULY 1, 1920 No. 3 - April 6, 1920.
5. H. S. Gasser and H. S. Newcomer, Physiological action currents in the phrenic nerve. an application of the thermionic vacuum tube to nerve physiology the american journal of physiology - August 1, 1921.
6. Landman Robert J., Electronics in the Development of Modern Medicine, IEEE, President/H&L Instruments, LLC-August 31, 2004.
7. Dayan, Peter- Abbott L. F. - Theoretical Neuroscience: Computational and Mathematical Modeling of Neural Systems- MIT Press; 1st edition (December 1, 2001) ISBN: 0262041995.
8. Koch Christof, Segev Idan, The role of single neurons in information processing, Nature Neuroscience 3, 1171 - 1177, 2000.
9. Thomas Euler,-Winfred Denk, Dendritic processing, Current Opinion in Neurobiology, Max-Plank institute for medical research, dept of biomedical Optics Germany, 2001.
10. Paul P Bertrand,The Basis of Neurobiology:The Neuron, Department of Physiology, N633, 8344- The University of Melbourne.
11. The Axon guide for electrophysiology & biophysics: Laboratory techniques Copyright © 1993 Axon Instruments, Inc.

12. Millar J., Extracellular single and multiple unit recording with microelectrodes. In: Monitoring Neuronal Activity, A Practical Approach, (Stamford, J.A Ed), pg 1-27, Oxford University Press ISBN 019963243, 1992.
13. Shoham, Srikantan Nagarajan, The theory of central nervous system recording - Cap. 2.4, Neuroprosthetics : Theory and Practice (Series on Bioengineering & Biomedical Engineering)-US-ISBN:9812380221 vol.2 Horsch, Kenneth W., Dhillon, Gurpreet, World Scientific Pub Co. Inc. Published 2004.
14. Schneidman, Elad; Brenner, Naama; Tishby, Naftali; de Ruyter van Steveninck, Rob R.; Bialek, William, Universality and individuality in a neural code, eprint arXiv:physics/0005043 05/2000.
15. S. P. Strong,¹ Roland Koberle,^{1,2} Rob R. de Ruyter van Steveninck,¹ and William Bialek, Entropy and Information in Neural Spike Trains, physical review letters volume 80- january 1998.
16. Stevenick, R. -Lewen, G. Strong, S -Koberle, R – Bialek,W. – Reproducibility and Variability in Neural Spibe Trains – Science, Volume 275 pp. 1805-1808, 1997.
17. Craig S. Nunemaker¹, R. Anthony DeFazio¹ and Suzanne M. Moenter, A targeted extracellular approach for recording long-term firing patterns of excitable cells: a practical guide , Biol. Proced. Online 5(1): 53-62.2003.
18. G D Lewen, W Bialek and R R de Ruyter van Steveninck, Neural coding of naturalistic motion stimuli, Network: Computation in Neural Systems,317–329 Institute of Physics Publishing, 2001.
19. Borst A, Flanagan V. L., Sompolinsky H., Adaptation without parameter change:Dynamic gain control in motion detection - PNAS - Proceedings of the National Academy of Sciences 6172–6176 vol. 102 no. 17, April 26, 2005.
20. Robinson D. A., The Electrical Properties of Metal Microelectrodes, PROCEEDINGS OF THE IEEE, VOL. 56, NO. 6, June 1968.
21. Stulík K., Amatore C., Holub K., Mareček V., and Kutner W. Microelectrodes. definitions, characterization, and applications, Pure Appl. Chem., Vol. 72, No. 8, pp. 1483–1492, 2000.
22. Verhagen J. V., Gabbott P. L., Rolls E. T., A simple method for reconditioning epoxy-coated microelectrodes for extracellular single neuron recording, December 2002 Elsevier Science B.V. 2003.
23. Payne J.-Electrophysiology Notes, Johnson Noise. www.npa.uiuc.edu/courses/physl416/electrophys.pdf. (ultimo acesso em 26/09/06).

24. Lemon R., Prochazka A - Methods for neuronal recording in conscious animals- February, 1984 Publisher: John Wiley & Sons ISBN: 0471901741.
25. <http://www.texcal.us/coaxial-cable/mini-noise/50ohm2.html> (ultimo acesso em 16/11/06).
26. <http://www.fh-co.com/metalmicroelectrodes.html> (ultimo acesso em 26/09/06).
27. Stitt R. M., AC coupling instrumentation and difference amplifiers- Application Bulletin, Texas Instruments-Burr-Brown.
28. INA111- FET-Input INA111-High Speed FET-Input Instrumentation Amplifier Datasheet -Texas Instruments -Burr-Brown
<http://focus.ti.com/docs/prod/folders/print/ina111.html> (ultimo acesso em 26/09/06).
29. OPA602 Difet ® OPAMP Burr Brow-Datasheet (1995) Burr-Brown Division of Texas Instruments. <http://focus.ti.com/lit/ds/symlink/opa602.pdf>.
30. OPA604 FET-Input, Low Distortion Operational Amplifier Datasheet (1995) Burr-Brown Division of Texas Instruments.
<http://focus.ti.com/docs/prod/folders/print/opa604.htm> (ultimo acesso em 26/09/06).
31. Perelman, Y. Ginosar, R. , An Integrated System for Multichannel Neuronal Recording with Spike / LFP Separation and Digital Output, Proceedings. 2nd International 377- 380 ISBN: 0-7803-8710-4, IEEE EMBS Neural Engineering, 2005.
32. Banks DJ, Ewins DJ, Balachandran W. ,The Effects of High Pass Filtering on Extracellularly Recorded Action Potentials Predicted by Computer Modelling, Biomedical Engineering - Applications, Basis and Communications, 9 (6), pp 363-366, 1997.
33. Analog-Digital Interfaces in VLSI Technology, [Dept of Electrical Engineering & Computer Sciences University of California at Berkeley](http://www-inst.eecs.berkeley.edu/~ee247/fa05/lectures)
www-inst.eecs.berkeley.edu/~ee247/fa05/lectures (ultimo acesso em 26/09/06).
34. James Karki, Analysis of the Sallen-Key Architecture- Application Report SLOA024B July Texas Instruments Inc.1999 – Revised September 2002.
35. Thomas Kugelstadt, Active Filter Design Techniques, Literature Number SLOA088, Texas Instruments Inc., 2001.
36. Active Filter Design Application, FilterPro - MFB and Sallen-Key Low-Pass Filter Design Program (Rev. A),
<http://focus.ti.com/docs/toolsw/folders/print/filterpro.html> (ultimo acesso em 26/09/06).

37. Lewicki, M. S- A review of methods for spike sorting : the detection and classification of neural action potentials, Network : computation in neural systems, ISSN 0954-898X vol. 9, no4, Institute of Physics, Bristol-UK, 1998.
38. LM193/LM293/LM393/LM2903-Low Power Low Offset Voltage Dual Comparators Datasheet, National Semiconductor Corporation, <http://www.national.com/pf/LM/LM393.html#Datasheet> (ultimo acesso em 26/09/06).
39. MAX 7000 Family: High-Performance CPLDs, Altera Corporation, 2006, <http://www.altera.com/products/devices/max7k/m7k-index.html> (ultimo acesso em 26/09/06).
40. SY-P4I845PE/GVISA Plus SOYO® Group, Inc. - <http://www.soyousa.com/products/proddesc.php?id=335> (ultimo acesso em 26/09/06).
41. LGA775 945G Express Industrial Motherboard, IBASE Technology Inc. <http://www.ibase.com.tw/mb886.htm> (ultimo acesso em 26/09/06).
42. About Complex Programmable Logic Devices (CPLD), http://cpld.globalspec.com/LearnMore/Semiconductors/Programmable_Logic_Devices/CPLD (ultimo acesso em 26/09/06).
43. JTAG JointTest Action Group – IEEE Std.1149.1-1990 http://standards.ieee.org/reading/ieee/std_public/description/testtech/1149.1-1990_desc.html Introduction to JTAG technology, <http://www.jtag.tk/>, (ultimo acesso em 26/09/06).
Boundary-Scan Technology, <http://www.jtag.com> (ultimo acesso em 26/09/06).
44. Electronic Design Automation , <http://www.eda.org/> (ultimo acesso em 26/09/06).
45. AD715P - Data Sheet, Texas Instruments/Burr Brown.
46. JAMSA, K. and KLANDER, L. Programando em C/C++ "a Bíblia". Makron Books do Brasil Editora Ltda. Brasil, 1999.
47. Pentium Model-Specific Registers and What They Reveal <http://www.x86.org/articles/p5msr/pentiummsrs.htm> (ultimo acesso em 26/09/06).
48. Laplante, Phillip A., Real-time systems design and analysis : an engineer's handbook / IEEE press Wiley-Interscience ISBN 0-471-22855-9.
49. FMS Labs, <http://www.fsmlabs.com/> (ultimo acesso em 26/09/06).

50. Harries I., Interfacing to the IBM-PC Parallel Printer Port, Department of Computing, Imperial College, London, UK,
<http://www.doc.ic.ac.uk/%7Eih/doc/par/> (ultimo acesso em 26/09/06).
51. Mendonça, A. – Kelenovsky, R.- PC:Um guia prático de *hardware* e interfaceamento - – 3edição , MZ Editora Ltda.
52. Dankwardt Kevin, -<http://www.linuxdevices.com>, (ultimo acesso em 15/11/06).
53. Yodaiken V., Barabanov M., A Real-Time Linux, New Mexico Institute of Technology, 1997.
54. Getting started with RTLINUX, FMS Labs, Inc., 2001.
55. Proctor F.M., Measuring performance in real-time linux, National Institute of Standards and Technology-USA.
56. Joioso A L, Kakuda C M , Almeida L O B, RTLinux – Sistema Operacional de Tempo Real, Monografia apresentada para a conclusão da disciplina de Sistemas Operacionais, Profª Regina H.C.Santana, ICM C-USP, 2005.
57. Stephens R., The rules of jitter analysis, Agilent technologies,
<http://www.home.agilent.com> (ultimo acesso em 17/11/06).
58. Understanding and Characterizing Timing Jitter, 10/03 ID/BT 55W-1614, Tektronix, Inc. 2003, <http://www.tektronix.com/jitter> (ultimo acesso em 17/11/06).
59. Jenkins S., Jitter analysis of RTLinuxFree 3.2 pre 3, september, 2004.
60. Quartus II Version 5.1 Handbook, Introduction to SOPC Builder, NiosII *hardware* Development Tutorial, AlteraCorp., <http://www.altera.com> (ultimo acesso em 17/11/06).