Ronaldo Hideki Yamada

Proposta de Malha de Controle de Corrente do Capacitor para Inversor de Tensão Senoidal para Unidade de Alimentação Ininterrupta Alimentando Cargas não Lineares

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos para a obtenção do título de Mestre em Engenharia

São Paulo

2010

Ronaldo Hideki Yamada

Proposta de Malha de Controle de Corrente do Capacitor para Inversor de Tensão Senoidal para Unidade de Alimentação Ininterrupta Alimentando Cargas não Lineares

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos para a obtenção do título de Mestre em Engenharia

Área de concentração: Engenharia Elétrica - Sistemas de Potência

Orientador: Prof. Dr. Clóvis Goldemberg

São Paulo

2010

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de setembro de 2010.

Assinatura do autor _____

Assinatura do orientador _____

FICHA CATALOGRÁFICA

Yamada, Ronaldo Hideki
Proposta de malha de controle de corrente do capacitor para inversor de tensão senoidal para unidade de alimentação ininterrupta alimentando cargas não lineares / R.H. Yamada. -- ed.rev. -- São Paulo, 2010.
71 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Energia e Automação Elétricas.

1. Fontes chaveadas 2. Eletrônica de potência I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Energia e Automação Elétricas II. t.

Resumo

O objetivo deste trabalho é analisar uma topologia de controle para a malha de tensão de um inversor para fontes de alimentação ininterruptas (UPS) com forma de onda senoidal na saída. É proposto um sistema de controle com duas malhas, uma de tensão com controlador ressonante e outra do tipo PI de corrente no qual a variável de controle é a corrente do capacitor de filtro de saída. Mais especificamente pretende-se estudar o problema de rastreamento de tensão nos inversores de UPS monofásicos, apresentando o estado da arte e uma classificação dos controladores que servem de solução para este problema específico.

Palavras-chave: Eletrônica de potência, fontes chaveadas.

Abstract

This work analyses a uninterruptible power supply (UPS) inverter control scheme with sinusoidal output voltage. A two-loop control scheme is proposed; one voltage loop using a resonant controller and a PI current controller with the output capacitor filter current as control variable. A review on voltage tracking control in one-phase voltage source inverter is presented, showing the state of the art and a controller classification for this specific problem.

Keywords: Power Electronics, Switching Power Supplies.

Lista de Figuras

Figura 2.1: Circuito equivalente da “carga normal” apresentada na referida norma. 3
Figura 2.2: Formas de onda de $v_{BC}(t)$, $v_O(t)$, $i_O(t)$ e $i_{O\{RMS\}}(t)$ da carga padrão obtidas com software PSIM. 5
Figura 2.3: Esquema de um inversor de tensão de UPS. 5
Figura 2.4: Diagrama de blocos do modelo do inversor com a carga. 6
Figura 2.5: Valor de (di/dt) e corrente drenada por uma “carga normal" de 1 kVA. 9
Figura 2.6: a) di/dt_{max} em função do valor da indutância de filtro L b) L_{max} em função da tensão de barramento V_B para di/dt_{max}. 10
Figura 2.7: Diagrama de blocos da planta e do controlador ideal G. 11
Figura 3.1: Processos representativos em um controle digital. 14
Figura 3.2: Formas de onda amostradas por um conversor AD de 12 bits a) corrente do indutor e b) corrente no capacitor. 16
Figura 3.3: Classificação das estratégias de controle para UPS (Shahgholian et al, 2009)..... 17
Figura 3.4: Diagrama de blocos de um controle usando realimentação de estados. 18
Figura 3.5: Diagramas de Bode sem realimentação de estados. 18
Figura 3.6: Diagramas de Bode com realimentação de estados. 19
Figura 3.7: Diagrama de blocos de um controle com ação de aprendizado interativo (Deng et al, 2007). 20
Figura 3.8: Configurações de controle considerados neste trabalho. 22
Figura 3.9: Inserção do bloco limitador as malhas externas e internas de controle. 23
Figura 3.10: Efeito do limitador de corrente para um curto-circuito na saída p/ t>25ms. 23
Figura 3.11: Circuito de teste da capacidade de rastreamento de um controlador PI, empregando apenas a corrente do indutor. 23
Figura 3.12: Resultados de simulação utilizando controlador PI (K_p=13, T_I=100μs) mostrando presença de erro de rastreamento a um sinal quadrado de 1pu. 24
Figura 3.13: Diagramas de Bode do sistema em malha fechada da malha de corrente interna com controlador PI (K_p=13, T_I=100μs). 24
Figura 3.14: Realimentação da tensão do capacitor e a malha interna de corrente. 25
Figura 3.15: Resultados de simulação com controlador PI (K_p=13, T_I=100μs) e redução do erro de rastreamento através da realimentação direta da tensão do capacitor. 25

Figura 3.16: Realimentação da corrente do capacitor na malha interna. 26
Figura 3.17: sobrecorrente provocado por um “offset” de 1% na tensão de saída do inversor. (1) para o caso da “carga normal padrão” de 1kVA e (2) para o caso da mesma carga, porém com redução em 50% da resistência série Rs. 27
Figura 3.18: Resposta em frequência de um controlador P+R proposto. 29
Figura 3.19: Controle do inversor utilizando uma malha de tensão P+R e uma malha de corrente PI. 30
Figura 3.20: Formas de onda do inversor alimentando uma carga normal de 1 kVA utilizando uma malha de tensão P+R e uma malha de corrente PI 30
Figura 4.1: Esquema de um inversor de tensão de UPS. 31
Figura 4.2: Montagem da carga normal. 32
Figura 4.3: Formas de onda da “carga normal” alimentado pela rede CA. 33
Figura 4.4 Diagrama de blocos – controlador PID - PI. 34
Figura 4.5: Formas de onda na carga do inversor com controle por malha de tensão PID e malha de corrente PI. 34
Figura 4.6: Espectros de tensão e corrente na carga do inversor com controle por malha de tensão PID e malha de corrente PI. 35
Figura 4.7: Formas de tensão e corrente na carga do inversor com controle por malha de tensão PID e malha de corrente PI. 35
Figura 4.8: Controle do inversor utilizando uma malha de tensão P+R e uma malha de corrente PI. 36
Figura 4.9: Formas de onda na carga do inversor com controle por malha de tensão P+R e malha de corrente PI. 36
Figura 4.10: Espectros de tensão e corrente na carga do inversor com controle por malha de tensão P+R e malha de corrente PI. 37
Figura 4.11: Formas de onda na carga do inversor com controle por malha de tensão P+R e malha de corrente PI. 37
Figura 4.12: a) Formas de onda simuladas do transitório de energização da carga no inversor com controle por malha de tensão P+R e malha de corrente PI. b) Detalhe mostrado formas de onda da corrente. 38
Figura 4.13:Forma de onda da corrente no capacitor. 38
Figura 4.14: Formas de onda de $i_C[kT]$, $i_{Cml}(t)$ e $i_C(t)$ 40

Figura 4.15: Detalhe das formas de onda de $i_C[kT]$, $i_{Cml}(t)$ e $i_C(t)$ 40
Figura 4.16: Relação temporal teórica entre os sinais de geração do PWM, a tensão do inversor $V_S(t)$ e a corrente no capacitor $i_C(t)$. 41
Figura 4.18: Processos responsáveis por atrasos externos ao controle..... 41
Figura A.1: Circuito utilizado nas simulações no PSIM. 56

Lista de Tabelas

Tabela 2.1: Parâmetros da carga utilizada como padrão. 4
Tabela 2.2: Características da carga utilizada como padrão. 4
Tabela 2.3: Parâmetros do filtro LC em p.u. publicados em diversos trabalhos. 8
Tabela 2.4: Parâmetros do filtro LC adotados neste trabalho. 11
Tabela 4.1: Parâmetros utilizados nos ensaios e simulações. 31
Tabela 4.2 “Carga normal” - Valores teóricos e experimentais. 32
Tabela 4.3 -Valores medidos na carga para inversor com malhas PID – PI. 35

Lista de Abreviaturas e Siglas

ABNT	Associação brasileira de normas técnicas
ADC	“Analog to Digital Convertor” ou Conversor análogo-digital
CA	Corrente alternada
CC	Corrente continua
DSP	“Digital Signal Processor” ou Processador digital de sinais
FC	Fator de crista, relação entre o valor de pico e seu valor eficaz.
IEC	International Electrotechnical Commission
IGBT	“Insulated Gate Bipolar Transistor”
NBR	Norma brasileira
PWM	“Pulse Width Modulation” ou Modulação por largura de pulso
RMS	“Root Mean Square” ou Valor médio quadrático
SPED	Sistema Público de Escrituração Digital
TC	Transformador de corrente
THD	“Total Harmonic Distortion” ou Distorção harmônica total
TI	Tecnologia da informação
UPS	“Uninterruptible Power supply” ou Fonte ininterrupta de energia
ZOH	“Zero Order Holder” ou Amostrador de ordem zero

Lista de símbolos

$\mathbf{A}$	Matriz de sistema do filtro LC.
$\mathbf{B}$	Matriz de entrada do filtro LC.
$\mathbf{C}$	Matriz de saída do filtro LC.
C	Capacitância do filtro de saída do inversor
C_C	Capacitância do filtro do barramento da carga
f_{out}	Frequência da tensão de saída do inversor
f_R	Frequência de resonância do filtro
i_O	Corrente de saída
i_L	Corrente no indutor de filtro
i_C	Corrente no capacitor de filtro
i_{Cml}	Valor médio local de corrente no capacitor de filtro de saída
L	Indutância do filtro de saída
R_S	Resistência série de uma carga normal
R_a	Resistência de descarga de uma carga normal
T	Período, inverso da frequência
v_B	Tensão de barramento CC do inversor
v_{BC}	Tensão do barramento CC da carga
v_C	Tensão do capacitor de filtro
v_L	Tensão no indutor de filtro
v_S	Tensão de saída do modulador PWM
v_O	Tensão de saída

Sumário

Resumo i
Abstract ii
Lista de Figuras iii
Lista de Tabelas vi
Lista de Abreviaturas e Siglas vii
Lista de símbolos viii
Capítulo 1 - Introdução 1
Capítulo 2 - Modelos de carga e do Inversor 3
2.1 Modelagem de uma “carga normal” 3
2.2 Modelo do inversor 5
2.3 Modelo discreto do filtro de saída. 7
2.4 Modelo discreto da “carga normal”. 7
2.5 Determinação dos parâmetros do filtro LC 8
2.6 Proposta de um controle ideal para “carga normais” 11
2.7 Resumo do capítulo. 12
Capítulo 3 - Estratégias de controle para rastreamento da tensão de saída do inversor 13
3.1 Controle digital 13
3.2 Efeito da dinâmica da corrente do capacitor de filtro sobre a resolução do algoritmo de controle 15
3.3 Filosofias de controle para rastreamento da tensão de saída do inversor. 16
3.3.1 Realimentação instantânea (“Instantaneous Feedback”) 17
3.3.2 Pré-compensação e Aprendizado (“Feedforward & Learning”). 19
3.3.3 Controle não linear 20
3.4 Configurações de controle. 21
3.5 Malha única de tensão (capacitor). 22
3.6 Malha externa de tensão (capacitor) e malha interna de corrente (indutor). 22
3.7 Malha externa de tensão tipo “Feedforward e malha interna de corrente. 24
3.8 Malha externa “Feedforward” da corrente de carga e malha interna de corrente do indutor 25
3.9 Malha externa de tensão (capacitor), malha interna de corrente (capacitor). 26

3.10 Controlador do tipo ressonante. 28
3.11 Analise do controlador do tipo ressonante. 28
3.12 Resumo do Capítulo. 30
Capítulo 4 - Resultados de simulação e experimentais 31
4.1 Circuito de potência 31
4.2 Montagem experimental da carga normal. 32
4.3 Detalhes do hardware de controle 33
4.4 Resultados 34
4.4.1 Controle em cascata por malha de tensão PID e malha de corrente PI. 34
4.4.2 Controle em cascata malha de tensão P+Ressonante e malha de corrente PI com medida da corrente no capacitor. 36
4.5 Considerações sobre a medição da corrente no capacitor. 38
4.6 Algoritmo da escolha do ponto de amostragem da corrente do capacitor. 41
Capítulo 5 - Considerações finais 43
Propostas para trabalhos futuros 43
Bibliografia 45
Apêndice 1 - Normalização dos parâmetros do filtro LC. 52
Apêndice 2 - Simulação em C do DSP 53
Apêndice 3 - Geração do sinal de referência quando a frequência da componente fundamental não é múltipla inteira da frequência de chaveamento 57

Capítulo 1 - Introdução

Sistemas ininterruptos de fornecimento de energia ou UPSs (“Uninterruptible Power Supplies”) são equipamentos que garantem o suprimento contínuo de energia elétrica CA, mesmo em caso de interrupções de fornecimento de energia pela concessionária. Os UPS podem ser rotativos ou estáticos. Os sistemas estáticos são compostos de um banco de baterias, um conversor para carrega-las, de um inversor e de uma chave de transferência para rede se aplicável. A tensão CA gerada pelo inversor pode ser em onda quadrada ou senoidal.

Existem três categorias básicas de UPSs conforme a NBR 15014:2003 (ABNT, 2003): “on-line”, “standby” e “line-interactive”. Nos sistemas “on-line”, durante uma falha da rede não há chaveamento entre a entrada CA e a saída do UPS de forma que carga não sente transitórios. O seu custo é alto, porém, seu desempenho é elevado, sendo adequado para aplicações que requerem rígidas especificações de regulação de tensão e precisão na freqüência. Os sistemas “standby” são de baixo custo e apenas atuam durante falhas de energia, quando através de um processo de chaveamento o inversor alimentado por uma bateria é conectado à saída do UPS. O processo de transferência ocorre em um intervalo da ordem de milisegundos e a maioria dos computadores PC são insensíveis a este transitório. Em condições normais de operação, a saída do UPS encontra-se conectada à rede CA sem qualquer processo de condicionamento ou de correção de eventuais flutuações de tensão. Os sistemas “line-interactive” são híbridos e combinam as tecnologias “standby” e “on-line”. Nestes casos o inversor encontra-se sempre conectado à saída do UPS. A bateria é carregada pelo inversor operando como retificador quando o fornecimento de energia pela rede é normal. Durante uma falha, a chave de transferência desliga a rede CA e o fluxo de potência ocorre da bateria via inversor para a saída do UPS.

Os UPSs são equipamentos cada vez mais imprescindíveis em função das necessidades do ambiente de computação da atualidade, onde a perda de dados e o tempo de inatividade do computador são inaceitáveis (Deng et al, 2004, Curtis, 2007). No Brasil o governo exige das empresas um conjunto de processos contábeis e fiscais tais como a emissão de notas fiscais eletrônicas e a introdução do sistema público de escrituração digital (SPED, 2007), que dependem de equipamentos de TI (Tecnologia da Informação),

As fontes de alimentação dos equipamentos de TI em geral absorvem correntes não senoidais. O seu elevado conteúdo harmônico (Souza, 2000) causa um forte impacto na rede

da concessionária de energia elétrica devido ao aumento de perdas e problemas de mau funcionamento de equipamentos de outros usuários conectados a rede. Outra terminologia adotada para UPSs na NBR 15014:2003 (ABNT, 2003) é “No-break”.

O foco deste trabalho será nos UPSs do tipo “on-line” citados nas normas NBR 15014:2003 (ABNT, 2003) e IEC62040-3 bem como em (Krishnan et al, 1993, Karve, 2000) e que fornecem energia de forma continua e com tensão senoidal (Ryan et al, 1996, Nasiri et al., 2005, Loh et al, 2003, Abdel-Rahim et al, 1994, Félix et al, 2007). Da mesma forma, eles próprios absorvem da rede uma corrente senoidal (Emadi et al, 2005) ou com a mesma forma da tensão da rede, comportando-se como uma carga puramente resistiva e desta forma não necessitam de filtros ativos (Félix et al, 2007, Nascimento et al, 2007). Alguns trabalhos foram publicados (Yu et al, 1995, da Silva 2002) analisando a possibilidade de UPSs do tipo “line–interactive” poderem agregar esta função, com a vantagem de poderem atingir rendimentos maiores e conseqüente economia de energia.

A geração de tensão senoidal na saída dos UPSs “on-line” é um típico problema de rastreamento (Martinz, 2007). Na literatura são descritas diversas técnicas para a solução do mesmo, cada uma com suas vantagens e desvantagens como será exposto no Capítulo 3. Para tanto, é necessário que o UPS tenha capacidade de fornecer tensão com uma baixa impedância da saída.

O objetivo deste trabalho é analisar uma topologia de controle para a malha de tensão de um inversor para fontes de alimentação ininterruptas (UPS) com forma de onda senoidal na saída. É proposto um sistema de controle com duas malhas (Loh et al, 2003), uma de tensão com controlador ressonante e outra do tipo PI de corrente no qual a variável de controle é a corrente do capacitor. Mais especificamente pretende-se estudar o problema de rastreamento de tensão nos inversores de UPS monofásicos, apresentando o estado da arte e uma classificação dos controladores que servem de solução para este problema específico.

O trabalho está estruturado da seguinte forma:

No capítulo 2 são descritos modelos utilizados para os inversores de UPS monofásicos com tensão de saída senoidal alimentando cargas não lineares comumente encontradas no mercado. No capítulo 3 é apresentada uma classificação dos controladores com comentários sobre seu desempenho e detalhes da solução proposta. No capítulo 4 são apresentados resultados de simulações computacionais da estratégia proposta e comparados com os resultados descritos em algumas de referência. No capítulo 5 são discutidos os resultados obtidos e tecidos os comentários finais.

Capítulo 2 - Modelos de carga e do Inversor

Neste capítulo serão apresentados modelos para a carga, baseados na norma NBR 15204:2005(ABNT, 2005), e para o inversor, além de uma proposta de dimensionamento para o filtro de saída.

2.1 Modelagem de uma "carga normal"

Um dos objetivos deste trabalho é a modelagem de uma carga não linear para o inversor. A carga modelada neste trabalho constitui uma aproximação dos circuitos encontrados nos estágios de entrada das fontes chaveadas de microcomputadores. Esta aproximação é apresentada na norma brasileira NBR:15204:2005(ABNT, 2005) e denominada de "carga normal". É definida como " uma carga não linear com fator de potência igual a 0,65, fator de crista da corrente igual a 2,7, que consome uma dada potência em VA especificada na condição nominal da tensão de saída". A Fig. 2.1 mostra o modelo de circuito equivalente.

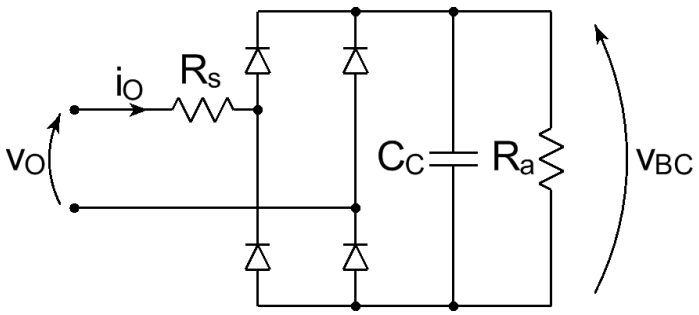


Figura 2.1: Circuito equivalente da "carga normal" apresentada na referida norma.

Os parâmetros da "carga normal" são calculados pelas equações (2.1) a (2.4) dados na normal 15204:2005. Uma definição complementar, presente na norma, é o nível de ondulação do barramento CC de 5%.

$$V_{BC} = 1{,}22 \times V_O \tag{2.1}$$

$$R_S = 0{,}04 \times \frac{V_O^2}{S_a} \tag{2.2}$$

$$R_a = \frac{V_{BC}^2}{0{,}66 \times S_a} \tag{2.3}$$

$$C_C = \frac{7{,}5}{f \times R_S} \tag{2.4}$$

sendo:

V_O Tensão nominal de saída no UPS (V);

f Frequência nominal de saída no UPS (Hz);

V_{BC} Tensão retificada (V);

S_a Potência aparente (VA);

C_C Capacitor do barramento CC (F);

R_a Resistor de carga (Ω);

R_S Resistor série (Ω);

A norma NBR:15204:2005(ABNT, 2005) adota ainda uma "carga não linear de referência", cuja potência é de 200 VA e corresponde à potência aparente consumida por um microcomputador PC típico. Por outro lado este valor de potência difere das cargas utilizadas em grande parte referências bibliográficas consultadas. Neste trabalho será utilizada uma carga de 1 kVA adotada por (Ryan et al, 1996), cujas especificações são dadas pela Tabela 2.1. Esta carga corresponde a cinco "cargas não lineares de referência".

Tabela 2.1: Parâmetros da carga utilizada como padrão.

Parâmetro	Valor
V_O	115 Vrms
S_a	1 kVA
f	60 Hz
V_{BC}	140 Vcc
R_S	0,529 Ω
R_a	29,8 Ω
C_C	4.191 μF

A Tabela 2.2 apresenta as características da carga padrão a ser utilizada neste trabalho calculadas com o software PSIM.

Tabela 2.2: Características da carga utilizada como padrão.

Parâmetro	Valor
S_a	1150 kVA
V_{BC}	143 Vcc
FP	0,65
FC	2,7

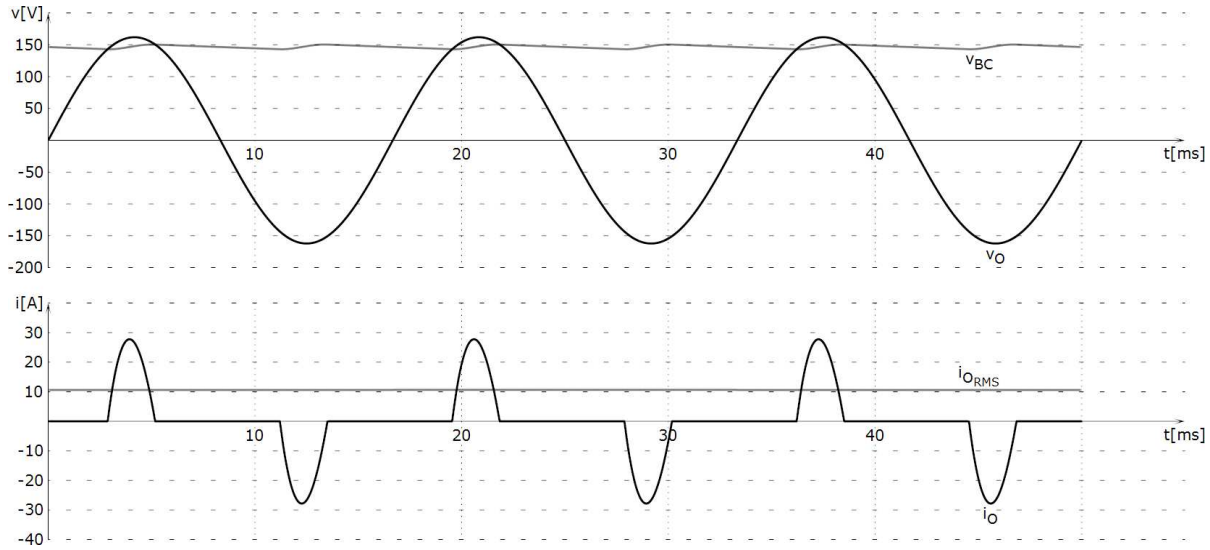


Figura 2.2: Formas de onda de $v_{BC}(t)$, $v_O(t)$, $i_O(t)$ e $i_{O\{RMS\}}(t)$ da carga padrão obtidas com software PSIM.

2.2 Modelo do inversor

Em (Martinz, 2007) é apresentado um modelo para inversores do tipo fonte de tensão encontrado em UPSs, cujo ciruito é mostrado na Fig. 2.3. A ponte H do inversor é modelada como uma fonte de tensão ideal, uma vez que sua frequência de chaveamento é muito superior à frequência de corte do filtro LC de saída. Desta forma o inversor é representado apenas por um filtro LC alimentado por uma fonte de tensão. A carga é modelada como uma perturbação na corrente do capacitor de filtro, ou seja, como uma fonte de corrente. Um inconveniente desta modelagem é que esta perturbação de corrente é dependente da própria tensão de saída do inversor.

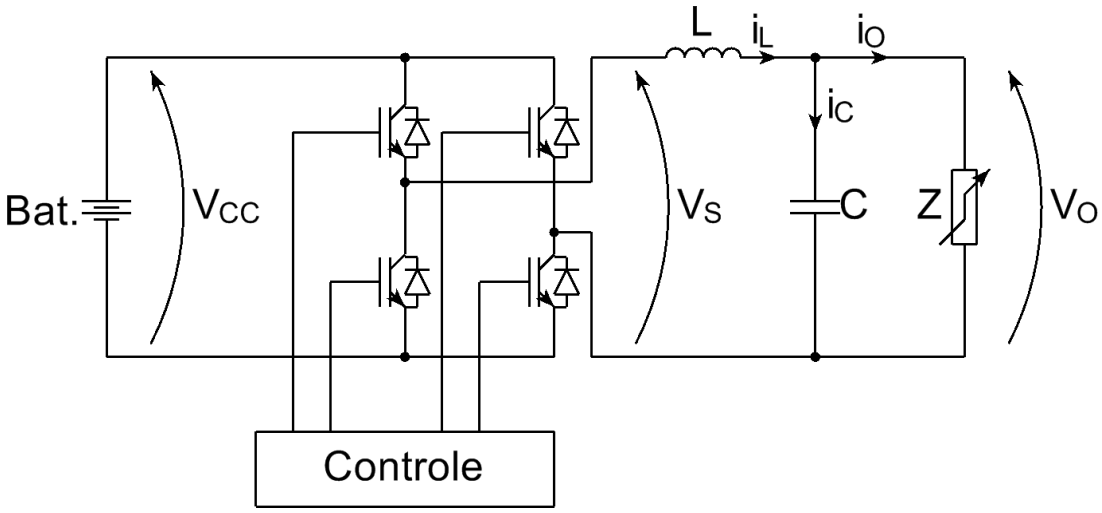


Figura 2.3: Esquema de um inversor de tensão de UPS.

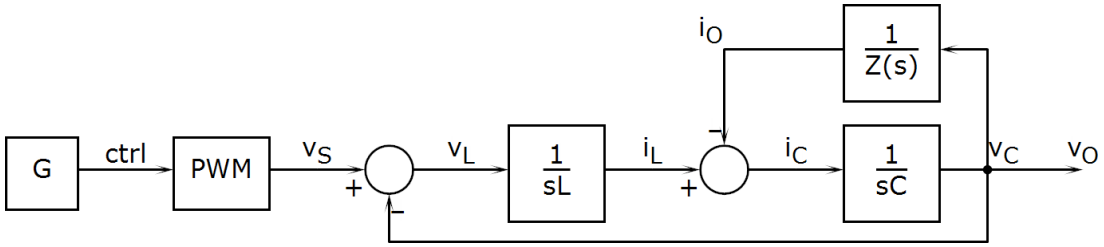


Figura 2.4: Diagrama de blocos do modelo do inversor com a carga.

A Fig. 2.4 apresenta o diagrama de blocos do inversor com a carga. Note que a carga é representada por uma perturbação $i_O(t)$ que é função $Z(...)^{-1}$ de $v_O(t)$. Um modelo mais detalhado da carga é apresentado na seção 2.4. As equações diferenciais que representam o filtro de saída são dadas por:

$$\frac{\partial i_L(t)}{\partial t} = \frac{1}{L} v_L(t) = \frac{1}{L}(v_S(t) - v_O(t)) \tag{2.5}$$

$$\frac{\partial v_{out}(t)}{\partial t} = \frac{1}{C}(i_L(t) - i_O(t)) \tag{2.6}$$

A partir das equações diferenciais acima é obtido a seguinte representação no espaço de estados.

$$\dot{\mathbf{x}}(t) = \mathbf{A}\mathbf{x}(t) + \mathbf{B_1} v_S(t) + \mathbf{B}_2 i_O(t) \tag{2.7}$$

$$\mathbf{y}(t) = \mathbf{C}\mathbf{x}(t) \tag{2.8}$$

sendo:

$$\mathbf{x}(t) = \begin{bmatrix} v_O(t) \\ i_L(t) \end{bmatrix}$$
$$\mathbf{y}(t) = v_O(t)$$
$$\mathbf{A} = \begin{bmatrix} 0 & C^{-1} \\ -L^{-1} & 0 \end{bmatrix}$$
$$\mathbf{B_1} = \begin{bmatrix} 0 \\ L^{-1} \end{bmatrix}$$
$$\mathbf{B}_2 = \begin{bmatrix} -C^{-1} \\ 0 \end{bmatrix}$$
$$\mathbf{C} = \begin{bmatrix} 1 & 0 \end{bmatrix}$$

2.3 Modelo discreto do filtro de saída.

Nas simulações apresentadas neste trabalho será utilizada uma representação discretizada, com intervalo de amostragem $T = 1/f_S$, cujo modelo em espaço de estados na forma de equações de diferença é dada por:

$$\mathbf{x}[k+1] = \mathbf{\Phi}\mathbf{x}[k] + \mathbf{\Psi_1} u[k] + \mathbf{\Psi_2} r[k] \tag{2.9}$$

$$\mathbf{y}[k] = \mathbf{C}[k] \tag{2.10}$$

sendo:

$$u[k] = v_s(kT)\ ,\ r[k] = i_O(kT)$$

$$\mathbf{\Phi} = \begin{bmatrix} \cos\left(\frac{T}{\omega}\right) & \omega \operatorname{sen}\left(\frac{T}{\omega}\right) C^{-1} \\ -\omega \operatorname{sen}\left(\frac{T}{\omega}\right) L^{-1} & \cos\left(\frac{T}{\omega}\right) \end{bmatrix}$$

$$\mathbf{\Psi_1} = \begin{bmatrix} 1-\cos\left(\frac{T}{\omega}\right) \\ \omega \operatorname{sen}\left(\frac{T}{\omega}\right) L^{-1} \end{bmatrix}$$

$$\mathbf{\Psi_2} = \begin{bmatrix} -\omega \operatorname{sen}\left(\frac{T}{\omega}\right) C^{-1} \\ 1-\cos\left(\frac{T}{\omega}\right) \end{bmatrix}$$

2.4 Modelo discreto da “carga normal”.

Na seqüência é derivado um modelo discreto e aproximado para a carga normal, que será utilizado nas simulações numéricas, dado pelo seguinte conjunto de equações:

$$i_O = \begin{cases} \dfrac{v_C - v_{BC}}{R_S} & \text{, se } \mathrm{v_C} > v_{BC} \\ 0 & \text{, se } |\mathrm{v_C}| < |v_{BC}| \\ \dfrac{v_C + v_{BC}}{R_S} & \text{, se } \mathrm{v_C} < -v_{BC} \end{cases} \tag{2.11}$$

$$v_{BC}[k'+1] = v_{BC}[k'] + \frac{|i_O| - \dfrac{v_{BC}}{R_a}}{C_C} * T' \tag{2.12}$$

Neste modelo os diodos são considerados como ideais. Para contornar problemas numéricos do software de simulação foi adotado um passo de integração T´ o qual é 500 vezes menor do que o período de amostragem da malha de controle do sistema .

2.5 Determinação dos parâmetros do filtro LC

Devido à importância que o filtro de saída assume na modelagem dos inversores do tipo fonte de tensão, a determinação de seus valores tem sido objeto de diversos artigos. Para comparar os valores obtidos nas diversas referências elaborou-se uma tabela dos valores de L e C normalizados. A determinação dos valores de base está descrita no Apêndice 1. Pela Tabela 2.3 constata-se que não há um consenso sobre o melhor método para determinação de seus valores em função da dispersão dos valores obtidos em p.u..

Tabela 2.3: Parâmetros do filtro LC em p.u. publicados em diversos trabalhos.

Autor	L(p.u.)	C(p.u.)
(Martinz, 2007)	0,181	0,0003
(Kawamura et al,1984)	0,074	0,0009
(Branco et al, 2008)	0,011	0,0140
(Guerrero et al,2007)	0,019	0,0051
(da Silva et al, 2002)	0,033	0,0130
(Escoba et al, 2007)r	0,016	0,0038
(Zhang et al, 2005)	0,020	0,0059
(Rech, 2001)	0,031	0,0019
(Willmann et al, 2007)	0,156	0,0046
(Loh et al, 2003)	0,002	0,0436
(Mihalache, 2002)	0,026	0,0018
(Torrico-Bascopé et al, 2006)	0,011	0,0011
(Kawamura et al, 1988)	0,133	0,0071
(Deng et al, 2008)	0,045	0,0038
(Ryan et al, 1996)	0,042	0,0005
(Rossetto et al, 1995)	0,389	0,0055
(Felix et al, 2007)	0,028	0,0022
(Yokoyama et al, 1994)	0,031	0,0021
(Kawamura et al, 1990)	0,031	0,0021
(Jung et al, 1993)	0,006	0,0020
(Abdel-Rahim et al, 1994)	0,188	0,0113
(Deng et al, 2004)	0,045	0,0038
Mediana	**0,031**	**0,0038**

Um método de projeto para o filtro LC adotado por diversos autores é determinar inicialmente o valor do capacitor a partir da componente fundamental da corrente que flui através do mesmo, assumindo que seja uma porcentagem (por ex. 10%) da corrente nominal

do inversor. O valor do indutor é obtido impondo-se uma frequência de corte de 10 a 20 vezes menor que a frequência de chaveamento do inversor. Desta forma consegue-se representar o modulador do inversor por uma fonte de tensão ideal controlada.

Neste trabalho é proposta uma metodologia de projeto alternativa. Inicialmente simulou-se a "carga normal" de 1 kVA definida na secão 2.1, alimentada por uma fonte de tensão senoidal nominal (115 V, 60 Hz) para se obter a taxa de variação de corrente imposta pela carga, como motra a Fig. 2.5. O valor de di/dt imposto pela carga atinge 55 A/ms no início e 40 A/ms ao final do intervalo de condução. Pelas formas de onda da Fig. 2.5 verifica-se a maior solicitação de corrente imposta pela carga ocorre no instante em a tensão na saída do inversor é máxima. Neste instante a queda de tensão disponível sobre o indutor é mínima, que corresponde, portanto à condição crítica para dimensionamento do valor da indutância como mostra a equação (2.13).

$$\frac{d}{dt}i(t)=\frac{v_L(t)}{L}=\frac{v_B(t)-v_C(t)}{L} \tag{2.13}$$

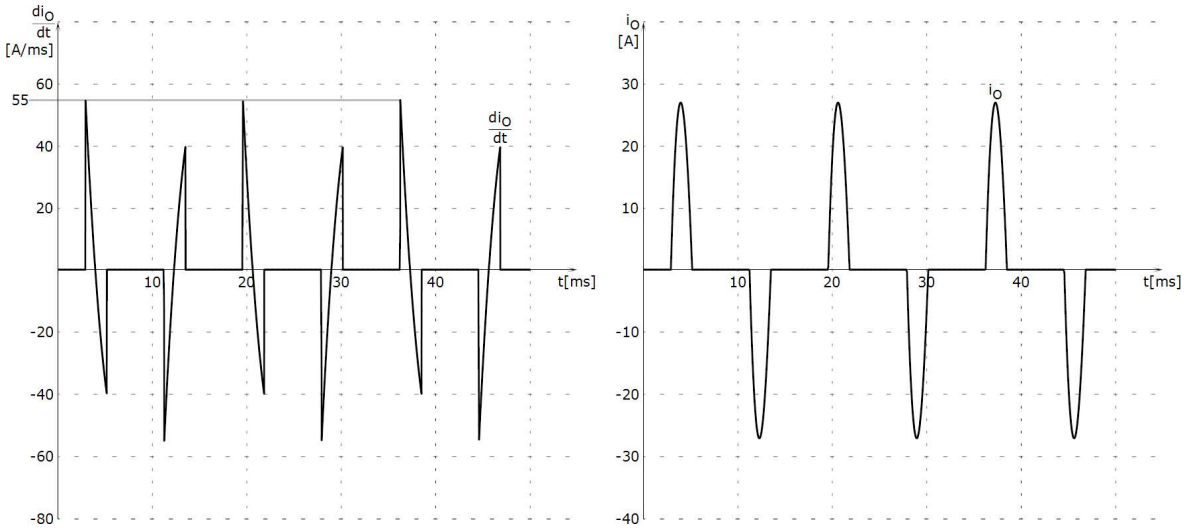


Figura 2.5: Valor de (di/dt) e corrente drenada por uma "carga normal" de 1 kVA.

Desta forma a indutância de filtro L é um fator limitante para a taxa de variação de corrente que o controle pode impor na saída do inversor, afetando a capacidade do mesmo de rastrear a corrente solicitada pela carga e manter senoidal a corrente (também a tensão) no capacitor. Então é assumida a premissa que o calculo do valor da indutância de filtro não limite a atuação do controlador.

Considerando que o valor de pico da tensão na saída do modulador PWM é dado por:

$$\max\{|v_S(t)|\}=V_{CC}-2V_{IGBTdrop} \tag{2.14}$$

o valor de pico da tensão sobre o indutor $v_{L\,crista}$ vale:

$$v_{Lcrista} = V_{CC} - 2V_{IGBT} - \sqrt{2}V_C \tag{2.15}$$

e o valor máximo da taxa de variação da corrente é dado por:

$$\max_{t\in\{crista\}}\left\{\frac{d}{dt}i(t)\right\} = \frac{V_{CC} - 2V_{IGBTdrop} - \sqrt{2}V_C}{L} \tag{2.16}$$

lembrando que esta condição ocorre no instante de pico da tensão de saída do inversor.

A fig. 2.6 mostra o gráfico da taxa de variação da corrente em função do valor da indutância para uma tensão no capacitor de 115Vrms, considerando uma queda nos semicondutores de 2V e admitindo uma tensão de barramento de 215Vcc, fornecida por um barramento constituído de 16 baterias de 12Vcc em série.

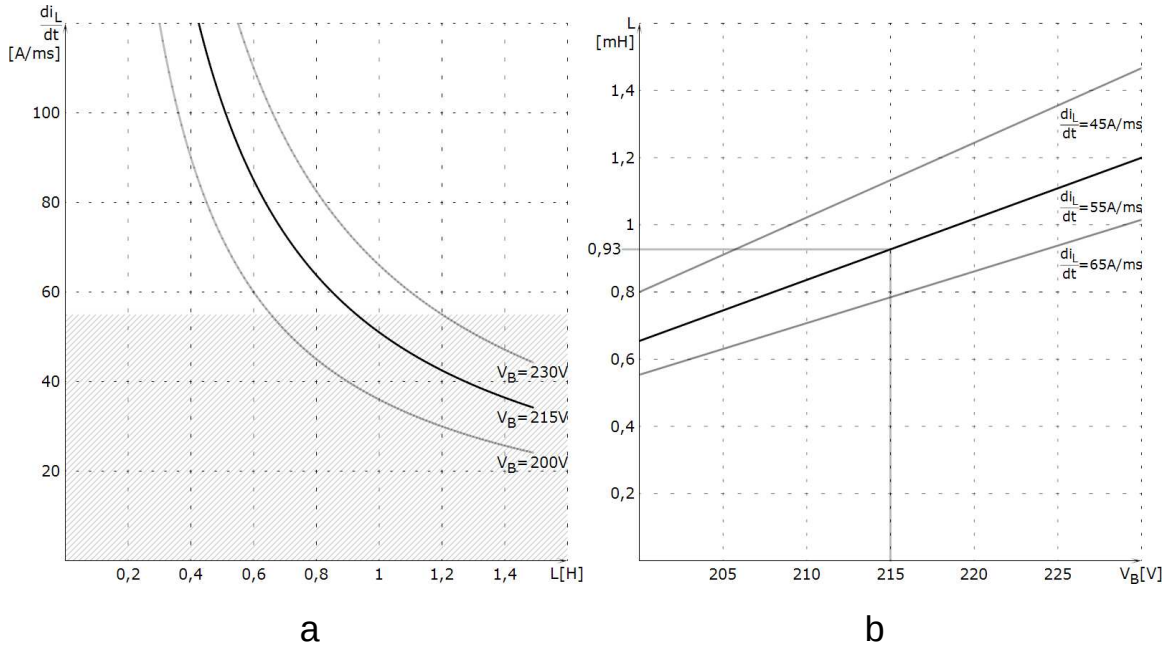


Figura 2.6: a) di/dt$_{max}$ em função do valor da indutância de filtro L

b) L$_{max}$ em função da tensão de barramento V$_B$ para di/dt$_{max}$.

Para a carga especificada na Tabela 2.1, a indutância do filtro deve ser menor que 0,9 mH para que o controle consiga rastrear fielmente a corrente de saída.

O capacitor de filtro é obtido impondo-se uma frequência de corte inferior a 20 vezes a frequência de chaveamento, no caso fixada em 750 Hz. Utilizando os valores da Tabela 2.1 nas equações (2.9) e (2.10) obtêm-se os parâmetros do filtro adotado neste trabalho mostrados na Tabela 2.4.

Tabela 2.4: Parâmetros do filtro LC adotados neste trabalho.

Parâmetros	Valor
Indutância do filtro de saída (L)	900 μH
Capacitancia do filtro de saída (C)	50 μF
Tensão nominal de saída (v_O)	115 Vac
Frequencia nominal de saída (f)	60 Hz
Frequencia de amostragem (f_S)	20 kHz

Aplicando-se a normalização descrita no Apêndice 1 aos valores de L e C calculados resultam:

$$L_{p.u.} = 0{,}026 \qquad C_{p.u.} = 0{,}0042$$

Comparando estes valores com os da Tabela 2.3 verifica-se que os mesmos estão próximos das medianas de 0,031 para indutância e 0.0038 para a capacitância, ou seja, os valores obtidos estão coerentes com os encontrados na literatura.

2.6 Proposta de um controle ideal para "carga normais"

O diagrama de blocos da Fig. 2.7 mostra que o sinal de controle (ctrl) produz uma tensão de saída (v_O) senoidal quando aplicado ao conjunto PWM + filtro + "carga normal".

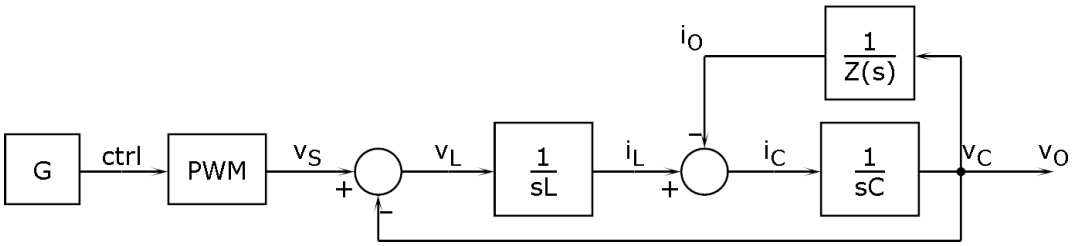


Figura 2.7: Diagrama de blocos da planta e do controlador ideal G.

Aplicando-se lógica inversa no diagrama de blocos para se obter o sinal de entrada que produz um sinal senoidal na saída verifica-se no domínio do tempo que vale a equação:

$$v_S(t) = v_O(t) + L\frac{di_O(t)}{dt} + LC\frac{d^2 v_O(t)}{dt^2} \qquad (2.17)$$

Simulando o conversor com esta lei de controle no software PSIM resultam as formas de onda da Fig. 2.8 que mostram que a tensão de saída $v_o(t)$ é perfeitamente senoidal. Como o passo de integração utilizado neste software é bem pequeno (50ns) pode se considerar que o controle é efetivamente realizado em tempo continuo.

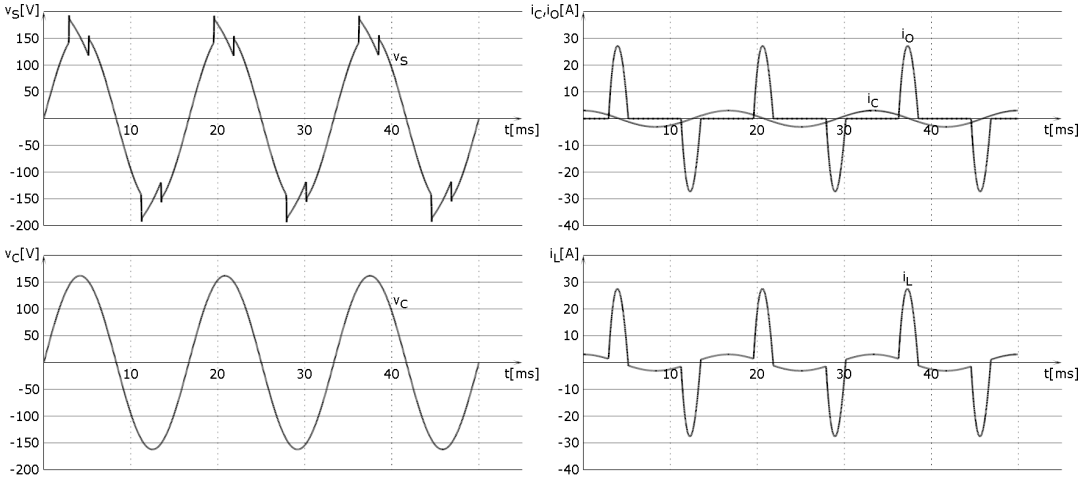


Figura 2.8: Formas de onda $v_S(t), v_C(t), i_O(t), i_C(t)$ e $i_L(t)$ para o controlador ideal G

Apesar de ser possível obter uma tensão perfeitamente senoidal por simulação a sua implementação na prática esbarra nas seguintes dificuldades: i) um controle que utiliza uma "resposta derivativa" é de difícil realização, pois um controlador deste tipo seria muito sensível a ruídos e à própria ondulação resultante dos processos de modulação empregados no inversor; ii) um outro agravante é que nos processos discretos utilizados no controle digital, a realização de derivadores ou diferenciadores traz consigo um inerente atraso, o qual limita a resposta deste controle.

2.7 Resumo do capítulo.

Neste capítulo foram apresentados modelos para o inversor fonte de tensão a para carga a serem utilizados neste trabalho. Ao final foi idealizada uma lei de controle aplicável ao inversor para se obter uma tensão senoidal na saída, porém sem realização física.

Capítulo 3 - Estratégias de controle para rastreamento da tensão de saída do inversor

Existem várias técnicas de controle propostas na literatura para se realizar o rastreamento da tensão de saída do inversor. Grande parte delas utiliza técnicas e no controle digital.

3.1 Controle digital

A partir dos anos cinquenta começou-se a pesquisar o emprego de circuitos digitais. No inicio estes circuitos eram volumosos, tinham custo e consumo de energia elevados, além de baixa confiabilidade quando comparados com as soluções analógicas. Os primeiros circuitos digitais destinavam-se ao monitoramento e supervisão de sistemas de controle analógicos.

Apesar da sua elevada velocidade, as soluções de controle analógicas apresentam algumas desvantagens em relação aos esquemas digitais. Entre as quais podemos citar a variação paramétrica dos componentes em relação a temperatura e a susceptibilidade à interferência eletromagnética (Rech, 2001). Por outro lado as implementações digitais facilitam a realização de calculos sofisticados e a aplicação de funções lógicas com elevada precisão (Rech, 2001).

Com o surgimento dos microprocessadores de baixo custo nos anos oitenta, estas soluções tornaram-se ainda mais atrativas comercialmente devido a repetibilidade de produção, a confiabilidade de funcionamento e a flexibilidade de projeto (Rech, 2001, Maksimovic et al, 2004).

O projeto de controles digitais colocou em evidência dois novos processos no desenvolvimento de controladores: a quantização e a discretização. A quantização resulta da necessidade de se representar numericamente as grandezas físicas a serem manipuladas no processo digital. Essa representação é limitada por um número finito de valores numéricos imposto pela resolução da palavra interna[1] e pela resolução das interfaces[2] entre o controle digital e a planta externa.

---

[1] Palavra interna neste contexto significa , por exemplo, o número binário que representa uma grandeza analógica digitalizada.

[2] Por interfaces entenda-se o conversor analógico digital e o modulador PWM.

O efeito da quantização impõe certas limitações na realização digital de um algoritmo de controle tais como a introdução de erros de quantização, erros de arredondamento e oscilações de ciclo limite presentes em sistemas não lineares.

O erro de quantização decorre do fato dos conversores análogos digitais disponibilizarem um número limitado de valores discretos para representação do valor convertido. A grandeza analógica, que é continua, passa por um processo denominado quantização, onde uma faixa contínua de valores é convertida em um único valor discreto. Desta forma é introduzido um erro de representação, ou de quantização. Esse fenômeno de quantização pode representar um erro significativo a medida que processadores digitais de sinais comerciais possuem somente conversores com menos de 10 bits a 16 bits. Desta forma o usuário pode ter menos de 1024 valores discretos disponíveis para realizar o processo de quantização.

A multiplicação é um dos processos mais utilizados em processamento de sinais. A multiplicação de dois números de m bits significativos produz como resultado um número com 2m bits significativos. Em função do tamanho da palavra o resultado da multiplicação não pode ser armazenado ou transmitido internamente sem antes passar por um processo de truncamento ou arredondamento, o qual introduz uma imprecisão adicional no processo.

Em função dos erros comentados, sistemas que seriam assintoticamente estáveis podem apresentar oscilações em torno dos seus pontos de equilíbrio. Estas oscilações podem realimentar sistemas acoplados gerando oscilações permanentes, que são os ciclos limites.

A discretização resulta da necessidade do processador de executar passos em tempos finitos na tarefa de controle como por exemplo: coletar amostras das grandezas (sample & hold), realizar cálculos (com duração em ciclos do processador), converter as grandezas digitais em saídas analógicas (por ex, o número de ciclos necessárias para executar a modulação PWM). Cada processo envolve um intervalo de tempo associado.

A Fig. 3.1 mostra um fluxograma típico da seqüência de passos que ocorre em um processamento digital.

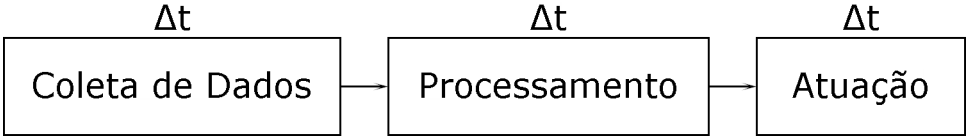


Figura 3.1: Processos representativos em um controle digital.

Uma etapa importante é o processo de coleta de amostras. Para esta finalidade geralmente são utilizados conversores análogo-digitais, nos quais a saída é amostrada, ou seja, de tempo em tempo é colhida uma amostra de alguma grandeza e a mesma é digitalizada para servir de entrada para os algoritmos de controle. Desta forma, perdem-se informações sobre as variações da grandeza que ocorrem entre duas amostragens sucessivas.

Nas saídas de um controle digital geralmente são utilizados conversores digitais-analógicos ou saídas em modulação por largura de pulso. Ambas as saídas só sofrem alterações em seus níveis quando o algoritmo de controle atualiza os seus valores, o que só ocorre de tempos em tempos. Há o caso em que o próprio atuador possui uma saída síncrona, onde a atualização de seus valores só ocorre em instantes pré-determinados. Como resultado tais atuadores funcionam como amostradores de ordem zero (ZOH) ou como atrasadores discretos (z^{-1}). Desta forma o controle digital fica incapacitado de modificar os valores na saída entre duas atualizações sucessivas o que determina automaticamente a banda passante do algoritmo de controle.

3.2 Efeito da dinâmica da corrente do capacitor de filtro sobre a resolução do algoritmo de controle

A introdução de erros de quantização, truncamento e a oscilação de ciclo limite gerados no processo digital podem afetar a estabilidade dos sistemas de controle. Existem três alternativas para atenuar estes efeitos: uma é aumentar o numero de bits; a outra é utilizar um artifício denominado normalização que consiste em realizar transformações de escala que maximizem a utilização do espaço representável. Desta forma os erros que afetam os valores na escala de um digito passam a ter menor peso. Essa normalização pode e deve ser aplicada nas interfaces de entrada e saída do DSP. A terceira é a utilização da transformação do operador gama-delta

A utilização da corrente no capacitor como variável de controle representa uma otimização. O aprimoramento da sua representação resulta em um efeito similar ao do aumento do número de bits. Considerando que a corrente média local do capacitor (vide Capítulo 4) representa 10% da corrente nominal de saída e que esta corrente é mantida pelo controle como forma senoidal, enquanto a corrente de saída pode possuir o chamado fator de crista de 3:1 a redução de amplitude a ser representada é de 20 vezes o que representa um aumento de 4 bits. A Fig. 3.2. mostra a amplitude da corrente do capacitor é menor que a da

corrente do indutor. Portanto a utilização da corrente do capacitor como variável de controle permite que o controle utilize melhor o espaço representável.

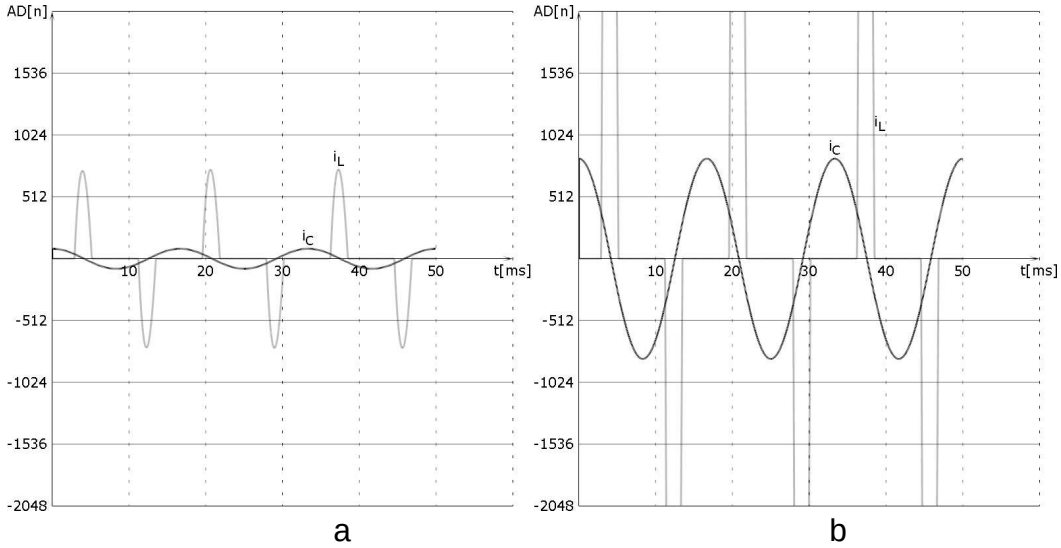


Figura 3.2: Formas de onda amostradas por um conversor AD de 12 bits a) corrente do indutor e b) corrente no capacitor.

3.3 Filosofias de controle para rastreamento da tensão de saída do inversor.

A Fig. 3.3 apresenta um diagrama de blocos (Shahgholian et al, 2009) sistematizando as técnicas de controle utilizadas em inversores tipo fonte de tensão alimentando cargas não lineares. Note que certos controladores precisam ser utilizados em conjunto. Nesta seção serão analisadas cada uma das técnicas apresentadas no diagrama da Fig 3.3.

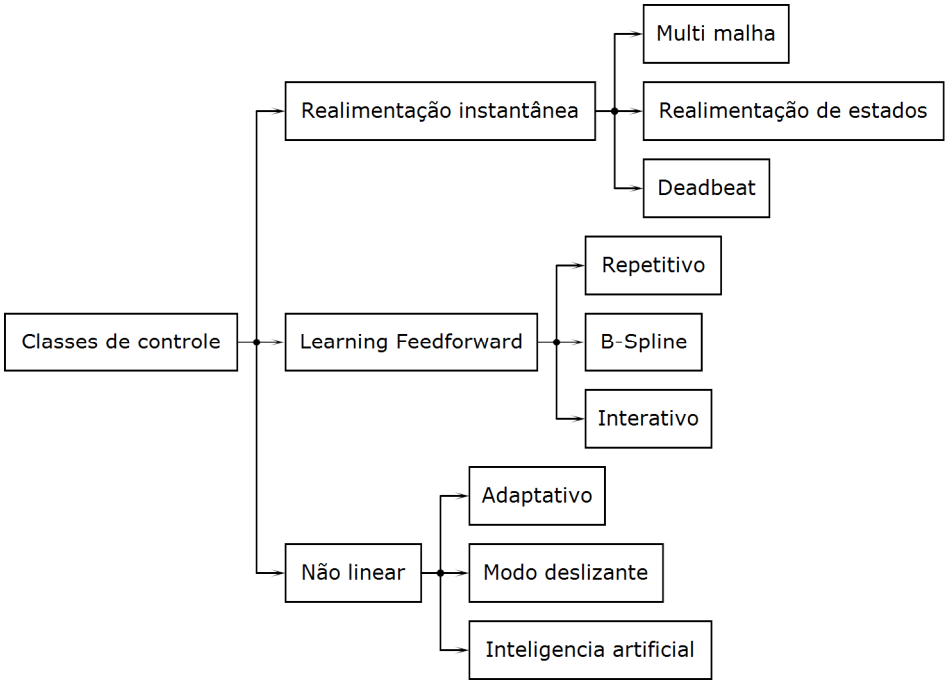


Figura 3.3: Classificação das estratégias de controle para UPS (Shahgholian et al, 2009).

3.3.1 Realimentação instantânea ("Instantaneous Feedback")

Nesta categoria o objetivo do controle é manter as grandezas controladas dentro de certas faixas, utilizando informações presentes ou de alguns instantes no passado. A sua denominação sugere que a sua atuação seja a mais rápida possível.

O controle multi-malha ("multi-loop control") utiliza além da tensão de saída (variável rastreada) uma malha interna que pode ser de corrente no capacitor (Ryan et al, 1996, Ryan et al, 1995) ou de corrente no indutor (Wu et al, 1999). Neste esquema o controlador da malha interna permite fazer uma compensação rápida dos distúrbios (Loh et al, 2003, Martinz, 2007). Este controle se destaca por ter realização simples, permitindo obter bons resultados (Loh et al, 2003) comparáveis a outras técnicas mais complexas. Esta categoria de controlador será mais detalhada a partir da seção 3.4.

No controle por realimentação de estados, as variáveis de estado são medidas ou estimadas. Com tal informação é possível utilizar técnicas como o realocamento de pólos, onde através de uma matriz de ganhos **K** que multiplica o vetor das variáveis de estado para se obter uma reposta desejada (Zhou et al, 2006).

No caso do filtro LC do inversor as variáveis podem ser as mesmas do controle multimalha, porém com o cancelamento de pólos pode-se melhorar o desempenho do controle. Porém tal controle exige conhecimento exato dos parâmetros da planta, o que na

pratica nem sempre é possível. Além disso, há problemas com a dinâmica do próprio modulador PWM e o fato do controle ser aplicado em domínio discreto que inclui atrasos de transporte e que afetam adversamente o controle.

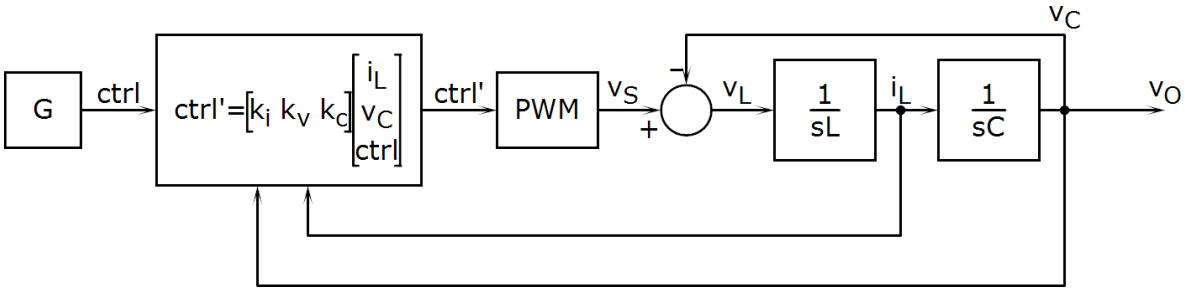


Figura 3.4: Diagrama de blocos de um controle usando realimentação de estados.

As Figs. 3.5 e 3.6 mostram a título de exemplo os diagramas de Bode da função de transferência $\frac{Vo(s)}{Crtl(s)}$ e $\frac{Vo(s)}{Crtl'(s)}$ de um filtro LC alimentado por um modulador PWM com e sem o realocamento de pólos respectivamente para o qual foi realizado um cancelamento de pólos.

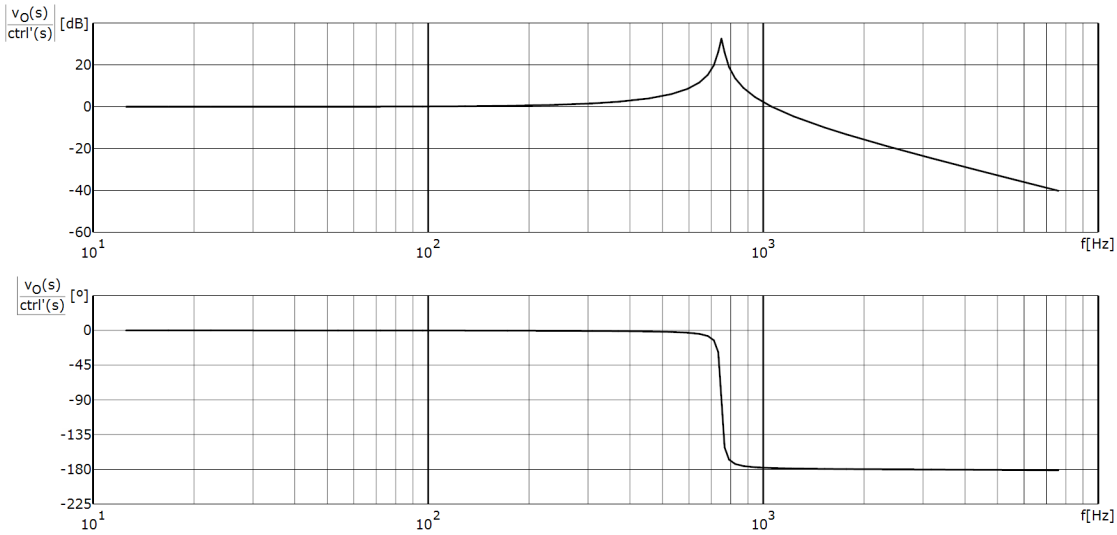


Figura 3.5: Diagramas de Bode <u>sem</u> realimentação de estados.

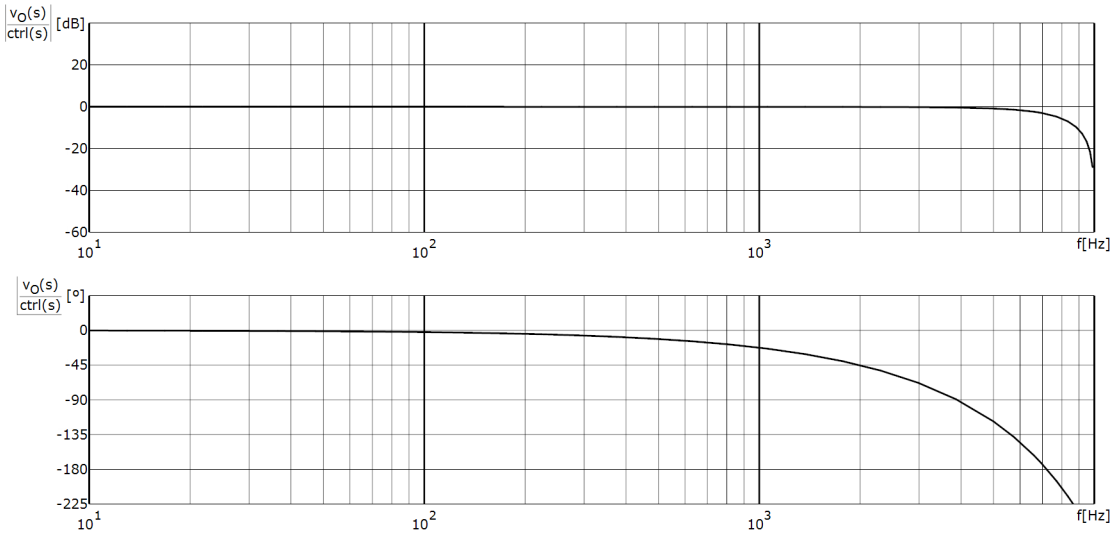


Figura 3.6: Diagramas de Bode <u>com</u> realimentação de estados.

O controlador "dead-beat" exige que o sistema seja localmente linearizável. A partir do modelo linearizado é possível através das equações de diferenças obter um vetor de controle de tal forma que o erro na planta seja nulo em no máximo *n* passos (*n* é a ordem da planta). A sua realização física pode ser feita através de controladores lineares (por ex. um PID) com ajuste dos parâmetros de forma que sua resposta seja análoga ao do um controlador "dead beat". Nesta condição obtêm-se o chamado controlador de resposta "dead beat" como o apresentado em (Martinz 2007). Controladores com resposta tipo "dead beat" se tornam atrativos para emprego na malha mais interna. Isso se deve pela característica de sua resposta que permite uma correção em tempo mínimo.

Porém, variações paramétricas não modeladas na planta podem afetar adversamente este tipo de controlador como mostra o trabalho de (Kawamura et al, 1998), onde, apesar do controlador "dead-beat" estar associado a um algoritmo de adaptação paramétrica o sistema não consegue obter bons resultados quando empregado em cargas não lineares (Deng, 2008).

3.3.2 Pré-compensação e Aprendizado ("Feedforward & Learning").

Apesar dos desafios que a "carga normal" impõe para se realizar o rastreamento da tensão de saída do inversor, a corrente absorvida pela mesma (vide corrente i_O da Fig. 2.5) é cíclica. Esta propriedade pode ser utilizada pelo controle, que pode "prever" o seu comportamento e se adiantar evitando os atrasos do controle digital.

Os controladores que se utilizam deste método são comumente chamados de controladores repetitivos, ou com ação repetitiva. Da mesma forma que a ação repetitiva

elimina os erros cíclicos (Rech, 2003, Tzou et al, 1997), ela pode aumentar o erro nos transitórios. Algumas autores utilizam lógicas de controle híbridas, nas quais ocorre uma comutação (ou mesmo desabilitação) do controlador com ação repetitiva para um controlador de realimentação instantânea quando for detectada a mudança de regime da carga.

Geralmente no projeto de tais controladores há a premissa de se saber qual a relação N entre o período do distúrbio que a carga provoca e o período entre as amostragens do controle. Nas aplicações em UPSs pode haver uma dificuldade em se determinar essa relação N.

Isto ocorre em sistemas que utilizam alimentação por moto-gerador cuja freqüência pode variar, mas período de amostragem normalmente é fixo. Uma possibilidade é tornar esse período um múltiplo inteiro do próprio período da rede. Mas sendo esse período variável podem ocorrer outros problemas, como possíveis interferências e ressonâncias. Portanto no projeto de tais controladores uma análise cuidadosa deve assegurar a estabilidade do sistema.

No caso de um inversor alimentado uma “carga normal” o distúrbio é cíclico sendo natural que o controle para minimizar o erro também o seja. Um controle que utiliza os sinais de controle dos ciclos passados e os seus respectivos erros é denominado controle de aprendizado interativo (Deng et al, 2007).

Porém, um controle que utiliza somente a ação interativa, teria um tempo de resposta lento durante transitórios até a atualização do sinal de controle na memória. Portanto esta estratégia requer uma malha de controle adicional para condições transitórias. Esta função é desempenhada pelo controlador PD no sistema de controle da Fig. 3.7.

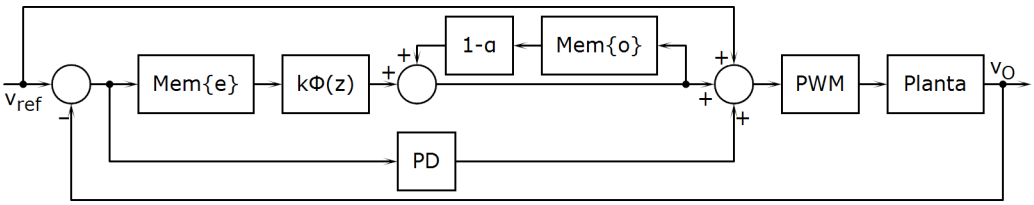


Figura 3.7: Diagrama de blocos de um controle com ação de aprendizado interativo (Deng et al, 2007).

3.3.3 Controle não linear

Nesta classe estão os controladores por modos deslizantes, adaptativo e as técnicas de inteligência artificial aplicadas a controles, como a lógica fuzzy e as redes neurais.

Um controle é dito adaptativo, se o mesmo consegue se adequar às mudanças nos parâmetros da planta, alterando a sua lei de controle. Isso torna possível por exemplo a

utilização de controles como de realimentação de estados ou “dead-beat” que normalmente seriam sensíveis a variações paramétricas.

Num esquema de controle adaptativo, deve existir um algoritmo, que através da observação das entradas na planta e de suas saídas consegue encontrar coeficientes que satisfaçam ou aproximem uma função objetivo. Este algoritmos podem ser métodos de aproximação do tipo mínimos quadrados recursivo (RLS),

No controle por modos deslizantes (“sliding mode control”) são mapeadas famílias de trajetórias que as variáveis de controle assumem para cada estado do controle, podendo tais mapas assumirem a forma de superfícies. O controle pode então comutar seus estados de forma que as variáveis percorram uma trajetória desejada. Bons resultados têm sido obtidos (Rodriguez et al, 2008). desde que as superfícies deslizantes sejam conhecidas e o controle assegure que as variáveis percorram estas trajetórias.

No controle por lógica fuzzy, são estabelecidas regras para cada ponto de operação e/ou estado de controle. Tais regras podem ser dadas na forma de uma superfície, cuja realização é facilitada pelo uso de tabelas. Esta superfície é moldada pelo projetista do controle de forma a obter determinados resultados. Tal controle é flexível o suficiente para acomodar diversos objetivos de controle, porém, na sua implementação depende muito da experiência de seu projetista (Kazmierkowski et al, 1998).

No controle por redes neurais é estabelecida uma rede, que deve ser “treinada” para que altere os parâmetros de um controlador mais simples como um PID de forma a otimizar a performance do mesmo (Jung et al, 2007).

3.4 Configurações de controle.

Além das técnicas de controle sistematizada na Figura 3.3, há diversas topologias de controle possíveis. A fig. 3.8 apresenta uma diagrama de blocos com as topologias de controle a serem consideradas nesta trabalho.

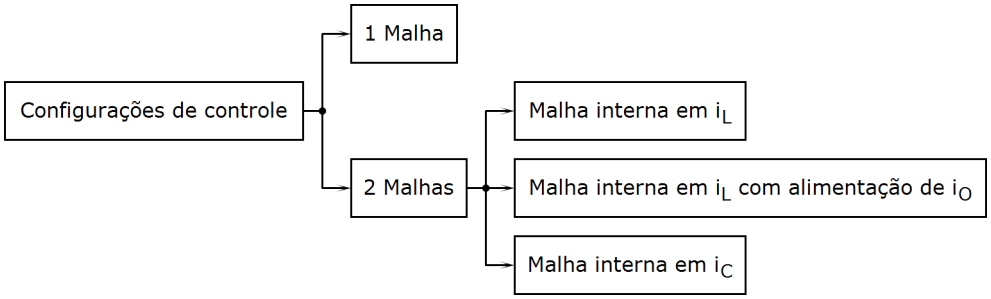


Figura 3.8: Configurações de controle considerados neste trabalho.

3.5 Malha única de tensão (capacitor).

No trabalho de (Kawakura et al, 1998) é apresentado uma configuração de controle com somente com uma malha de tensão e utilizando a técnica "dead-beat", no qual é ressaltada a vantagem da não utilização de sensores de corrente. Porém, o controle não obtém bons resultados de controle para cargas não lineares. Já no trabalho de (Rech, 2001) são analisados três alternativas de controladores: i) OSAP ("One Sample Ahead Preview"), ii) "PID-feedforward-preditivo" e iii) um controlador por modelo de referência. Também foram analisados os mesmos controladores com ação de um controlador repetitivo, obtendo resultados satisfatórios somente para os dois últimos.

3.6 Malha externa de tensão (capacitor) e malha interna de corrente (indutor).

Independente da categoria de controle é frequente a utilização de um esquema multi-malhas. Neste esquema a malha mais externa fornece à malha mais interna uma referência de corrente a ser rastreada, ou seja, o inversor e a malha interna passam a ser encarados como uma fonte controlada de corrente. No caso da monitoração de corrente do indutor, ao introduzir um limitador entre a saída da malha externa e a entrada de referência da malha de corrente (vide Fig. 3.9), o controlador da malha mais interna agirá de forma a manter a corrente no indutor, também limitada no valor da referência.

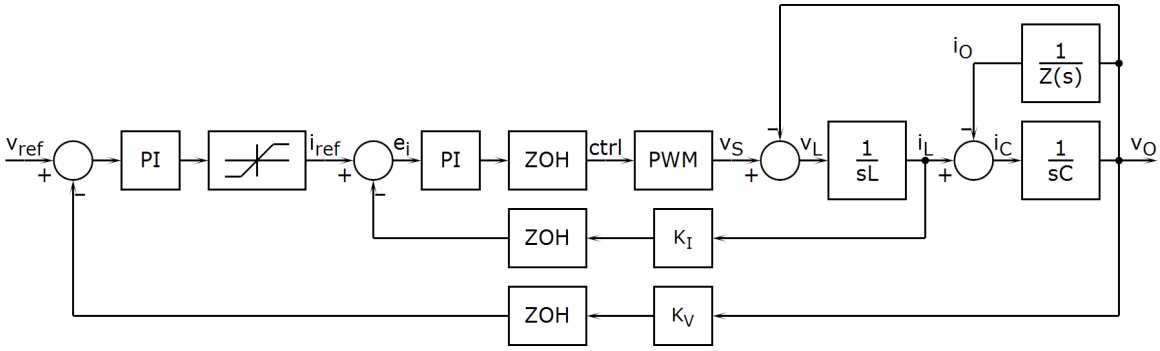


Figura 3.9: Inserção do bloco limitador as malhas externas e internas de controle.

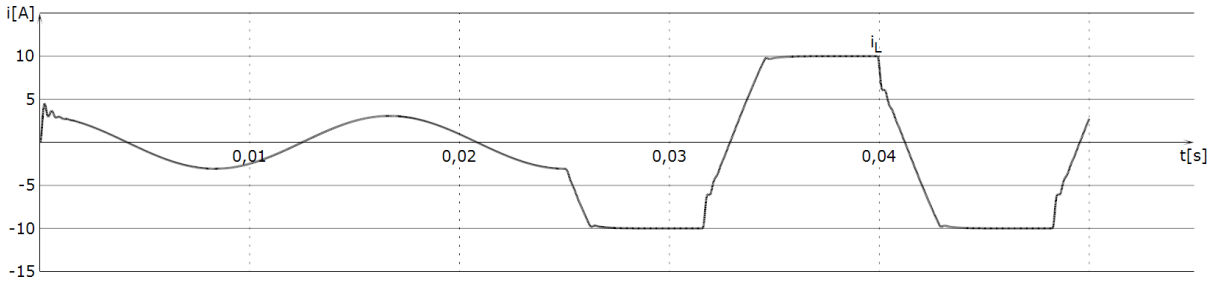


Figura 3.10: Efeito do limitador de corrente para um curto-circuito na saída p/ t>25ms.

A figura 3.10 mostra a ação do limitador de corrente no próprio algorítmo de controle para um curto-circuito na saída do inversor. Desta forma evita-se inclusive o acionamento de outras proteções normalmente presentes em circuitos de excitação de IGBTs. Para o caso de sobrecargas momentâneas, a restauração da operação do inversor pós-falta é menos complexa do que o caso em que são ativadas as proteções de hardware.

A fig. 3.11 apresenta uma configuração de controle utilizando um controlador PI na malha de corrente e as Figs. 3.12 e 3.13. mostram a existência de um erro de rastreamento na corrente do indutor, para o caso onde a referência é uma onda quadrada de amplitude igual a 1A.

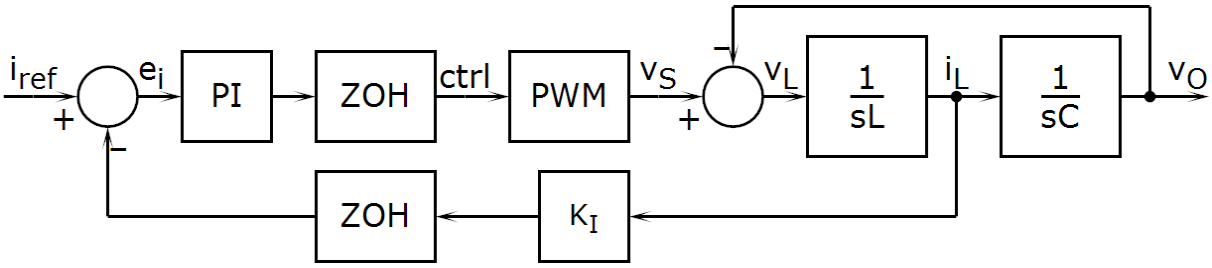


Figura 3.11: Circuito de teste da capacidade de rastreamento de um controlador PI, empregando apenas a corrente do indutor.

Este erro de rastreamento pode ser um efeito da variação da tensão no capacitor, que se reflete na tensão no indutor e limita a capacidade do controle em manter a corrente pré-estabelecida. Este erro de rastreamento deve ser compensado pela malha externa para que a tensão de saída do inversor seja mantida senoidal.

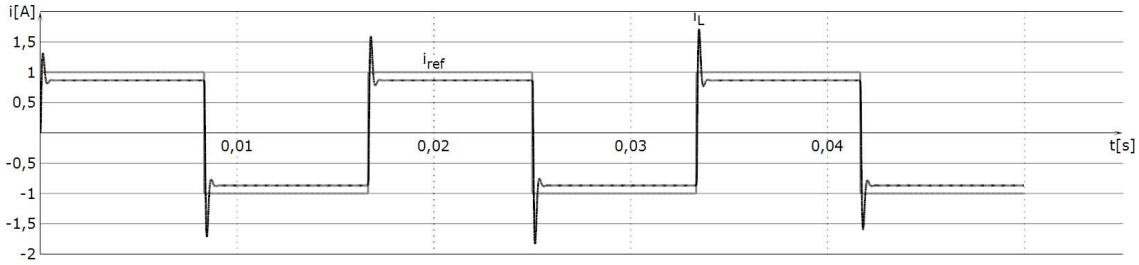


Figura 3.12: Resultados de simulação utilizando controlador PI (K_p=13, T_I=100μs) mostrando presença de erro de rastreamento a um sinal quadrado de 1pu.

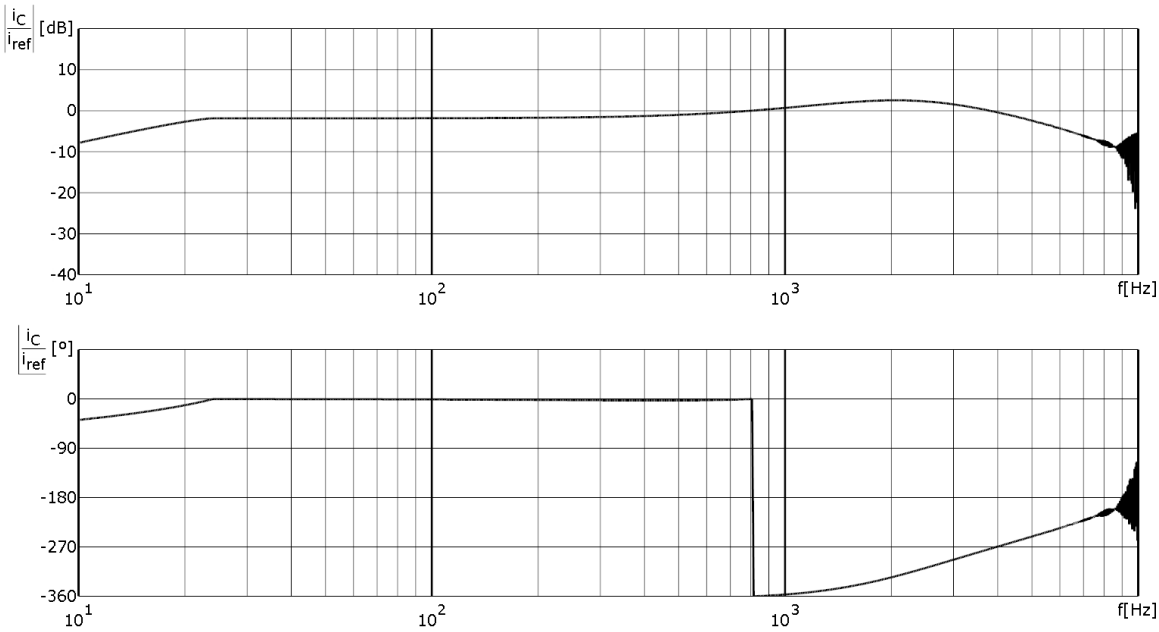


Figura 3.13: Diagramas de Bode do sistema em malha fechada da malha de corrente interna com controlador PI (K_p=13, T_I=100μs).

3.7 Malha externa de tensão tipo "Feedforward e malha interna de corrente.

Uma abordagem válida é a utilização de uma realimentação direta da tensão do capacitor do tipo "feedforward" conforme (Martinz 2007), também chamada de desacoplamento da tensão de saída. Este desenvolvimento é uma decorrência de algoritmos de controle do tipo "dead-beat" onde a saída do controlador de corrente do tipo PI, cujo valor se aproxima da tensão do capacitor realimenta a saída do controlador PI, permitindo redução significativa do erro de rastreamento.

O diagrama de blocos da Fig. 3.14 é obtido a partir do diagrama da Fig. 3.11 porém acrescentando uma realimentação direta da tensão do capacitor. A Fig. 3.15 mostra que esta configuração reduz o erro de rastreamento.

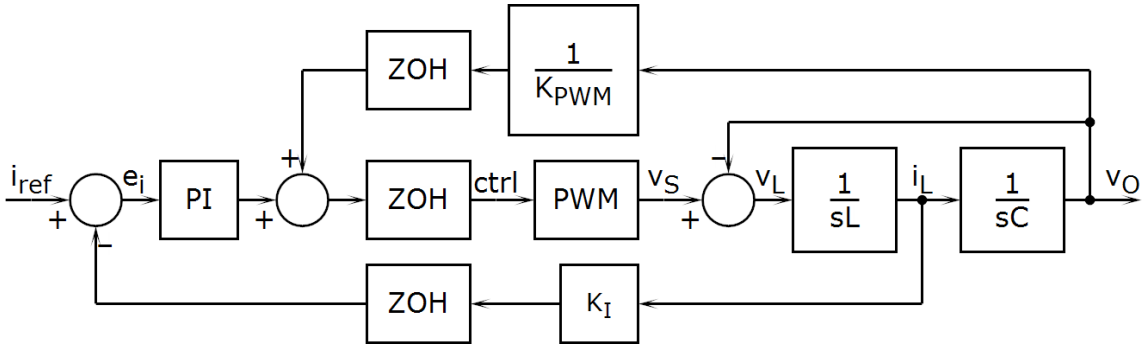


Figura 3.14: Realimentação da tensão do capacitor e a malha interna de corrente.

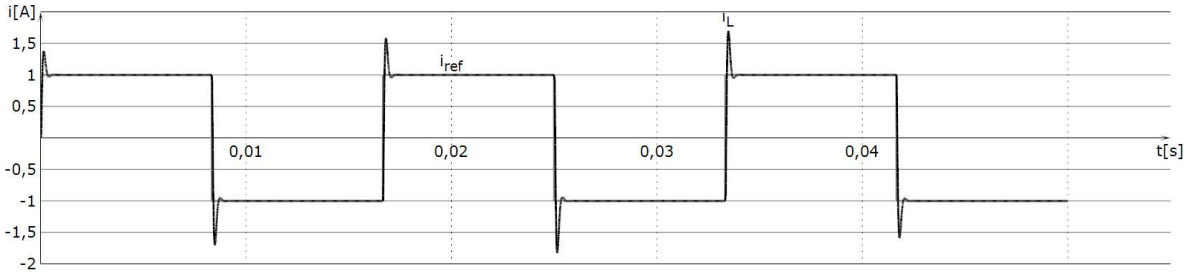


Figura 3.15: Resultados de simulação com controlador PI (K_p=13, T_I=100μs) e redução do erro de rastreamento através da realimentação direta da tensão do capacitor.

Para minimizar o erro de rastreamento, cuidados adicionais devem ser tomados na medida ou estimativa da tensão do capacitor. Qualquer desvio do valor medido refletido na saída afetará adversamente a qualidade do rastreamento.

3.8 Malha externa "Feedforward" da corrente de carga e malha interna de corrente do indutor.

A partir da proposta de controlador ideal apresentada na da seção 2.6 verifica-se que o sinal de controle aplicado ao modulador PWM devia ter uma componente proporcional à derivada da corrente de carga que era de difícil implementação na prática. Quando se utilizam duas malhas, uma interna capaz de rastrear fielmente uma corrente de referência, basta que a malha mais externa forneça como referência uma corrente igual à corrente que se deseja no capacitor de filtro mais a corrente da carga.

Sendo a corrente da carga monitorada de forma independente da corrente do indutor, esta pode ser aplicada diretamente, salvo algumas conversões de escala.

3.9 Malha externa de tensão (capacitor), malha interna de corrente (capacitor).

A estratégia de controle onde se mede a corrente do capacitor é apontada como alternativa que alia baixo custo com bom desempenho no rastreamento da tensão de saída (Ryan et al, 1996, Loh et al, 2003). Nestes trabalhos a realimentação da corrente do capacitor no rastreamento da tensão de saída teve desempenho similar aos esquemas nos quais se realimenta as correntes do indutor e da carga.

O fato da corrente de capacitor ser uma fração da corrente de carga contribui para diminuir o custo destes sistemas. Além disso, a corrente que circula pelo capacitor inerentemente não possui componente continua, permitindo o uso de transformadores de corrente para sua medição. Caso contrário a tensão no capacitor apresentaria uma componente continua crescente no tempo.

Os transformadores de corrente possuem baixo custo e evitam os erros de "offset" presentes em sensores de efeito Hall. Outra vantagem no uso da corrente do capacitor, reside no fato da amplitude da corrente ser independente da carga. A corrente do capacitor só depende da forma de onda da tensão a ser gerada. Essa constância permite um melhor dimensionamento dos circuitos de medição e dos conversores análogo digitais. O resultado é que se trabalha como se a amostragem fosse feita com um número maior de bits, obtendo-se uma maior sensibilidade numérica.

A Fig. 3.16 apresenta um diagrama de blocos utilizando a corrente do capacitor ma malha interna de realimentação.

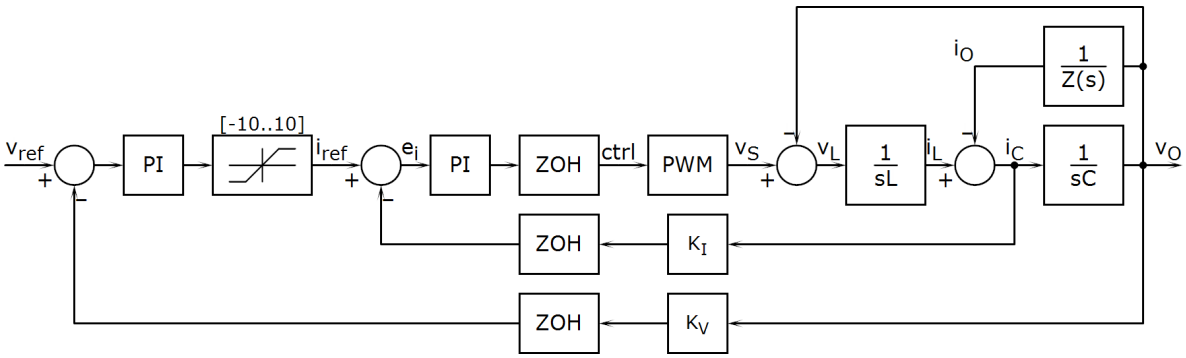


Figura 3.16: Realimentação da corrente do capacitor na malha interna.

Porém tal esquema não possibilita a inclusão de uma proteção contra sobrecorrente como citado em (Loh et al, 2003, Martinz, 2007). O controle pela corrente do capacitor dificulta a implementação de novos esquemas que vem surgindo, com o emprego de

inversores em paralelo, que dependem da medição e controle instantâneo da corrente de carga ou do indutor.

Algumas implementações de controle usando a corrente do capacitor podem produzir tensão de saída senoidal, porém com uma componente CC que não é admissível numa aplicação do tipo UPS, que podem ter transformadores como carga. Esta componente CC poderia levar a uma má distribuição de corrente entre os diodos de um retificador em ponte completa, como encontrado em fontes chaveadas de computadores.

A Fig. 3.17 mostra a corrente absorvida por uma “carga normal”de 1 kVA alimentada por uma tensão senoidal com 1% de tensão CC. Este “offset” de tensão provoca uma assimetria de 27% no valor RMS da corrente CA da ponte retificadora. Esta assimetria aumenta com o valor em p.u. (vide Apêndice 1) da capacitância do barramento CC da “carga normal”. Quando se diminui a resistência série Rs do ramo CA (vide Fig. 2.1) da “carga normal” em 50% o “offset” de 1% na tensão de saída do inversor provoca uma assimetria de 60 % na corrente da ponte de diodos desta carga.

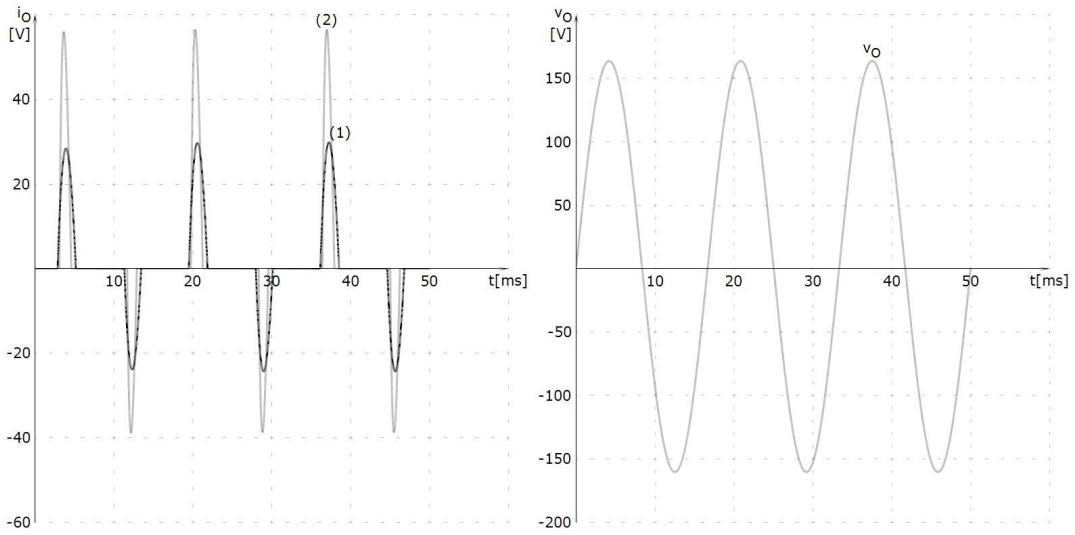


Figura 3.17: sobrecorrente provocado por um “offset” de 1% na tensão de saída do inversor. (1) para o caso da “carga normal padrão” de 1kVA e (2) para o caso da mesma carga, porém com redução em 50% da resistência série Rs.

Para corrigir este “offset” foi implementado uma realimentação através de um controlador I da própria saída que é aplicada ao modulador PWM de forma anular o nível médio do sinal PWM. Esta parcela é adiciona a malha de corrente. O ganho discretizado deste

controlador é propositadamente baixo, 2^{-13}, da ordem do LSB do próprio DSP de forma a minimizar o efeito do mesmo sobre controle.

3.10 Controlador do tipo ressonante.

Controladores do tipo ressonante aparecem na literatura em (Loh et al, 2003) e (Zmood et al, 1999). (Zmood et al, 1999) implementa o controlador ressonante em um inversor trifásico e compara a característica deste controle com os esquemas de controle que fazem transformações de coordenadas. Tanto no controlador com transformação de coordenadas, como no ressonante, o erro de rastreamento na frequência de ressonância é eliminado, porém o último é mais simples. Esta característica dos controladores ressonantes os tornam adequados para aplicações em malhas externas de tensão dos controladores PI que possuem erro de rastreamento.

3.11 Analise do controlador do tipo ressonante.

A função de transferência do controlador tipo ressonante (Poh et al, 2003) é dada por:

$$G(s) = K_P + \frac{K_R s}{s^2 + 2\omega_C s + \omega_O{}^2} \qquad (3.1)$$

sendo:

K_P Ganho proporcional do controlador,

K_R Ganho ressonante,

ω_O Frequência de ressonância,

ω_C Frequência de corte.

A Fig. 3.18 apresenta os diagramas de Bode de um controlador ressonante (P+R) com K_p=0,1, K_R=1, ω_0=377 rad/s e ω_c=10 rad/s. O ganho na frequência de ressonância é limitado e vale $K_I / 2\omega_C$.

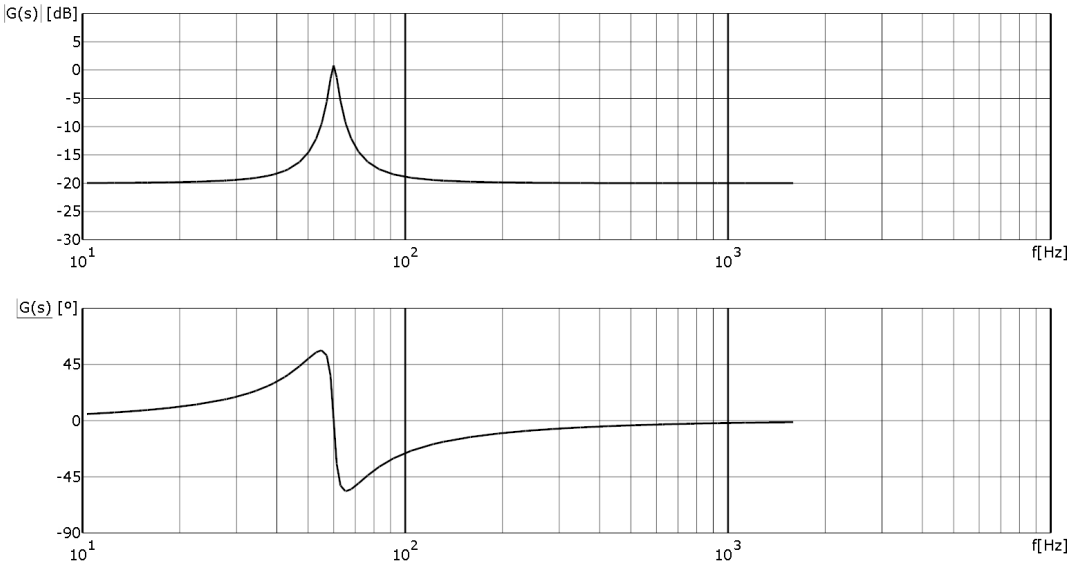


Figura 3.18: Resposta em frequência de um controlador P+R proposto.

Na forma discretizada, utilizando a transformação de Tustin, com normalização de frequência e intervalo de amostragem $T = 1/2$, o controlador da Fig. 3.19 é representado na forma:

$$G[z] = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \tag{3.2}$$

sendo

b_0 = 0,1049; b_1 = -0,1955; b_2 = 0,09408; a_1 = -0,1955; a_2 = 0,9901;

A Fig. 3.19 mostra o diagrama de blocos do sistema de controle de um inversor utilizando um controlador ressonante na malha de tensão e um controlador PI na malha de corrente do capacitor. A Fig. 3.20 mostra as formas de onda de V_{ref} , V_o, I_C e I_o para o inversor alimentando uma “carga normal” de 1 kVA e tensão de barramento de 215Vcc utilizando o controlador ressonante P+R da Fig. 3.18.

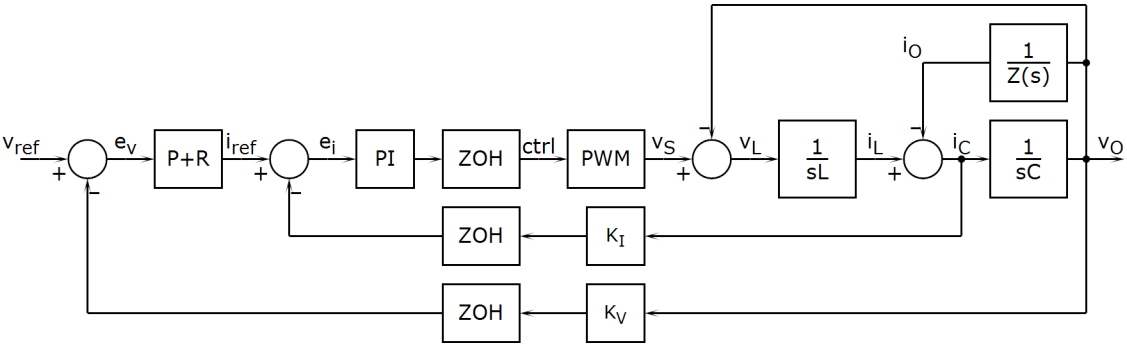


Figura 3.19: Controle do inversor utilizando uma malha de tensão P+R e uma malha de corrente PI.

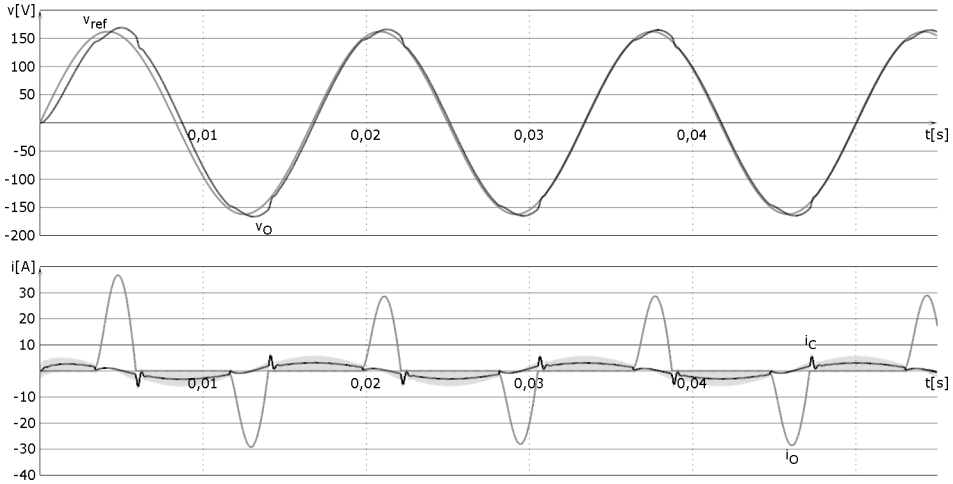


Figura 3.20: Formas de onda do inversor alimentando uma carga normal de 1 kVA utilizando uma malha de tensão P+R e uma malha de corrente PI .

3.12 Resumo do Capítulo.

Neste capítulo foram apresentados alguns comentários sobre controle digital e analisadas as configurações de controle do inversor com uma ou duas malhas. Na estratégia com duas malhas verificou-se que, dependendo do controlador escolhido, ocorre um erro de rastreamento para a malha mais interna. Também foram analisadas algumas abordagens para minimizar esse erro.

Capítulo 4 - Resultados de simulação e experimentais

Neste capítulo são apresentados resultados de simulação e experimentais de um inversor fonte de tensão senoidal alimentando uma “carga normal” de 1 kVA com duas malhas de controle. São analisadas duas alternativas de controle: i) utilizando um controlador PID de tensão e um controlador PI de corrente (corrente do indutor de filtro) e ii) utilizando um controlador P+r (ressonante) na malha de tensão e um controlador PI de corrente com a corrente do capacitor de filtro como variável de controle.

4.1 Circuito de potência

Os testes foram realizados em equipamentos cedidos pela TS Shara. O inversor utiliza uma ponte H com IGBTs operando em 20 kHz , com um filtro LC na saída alimentando uma carga não linear, como mostrado na Fig. 4.1

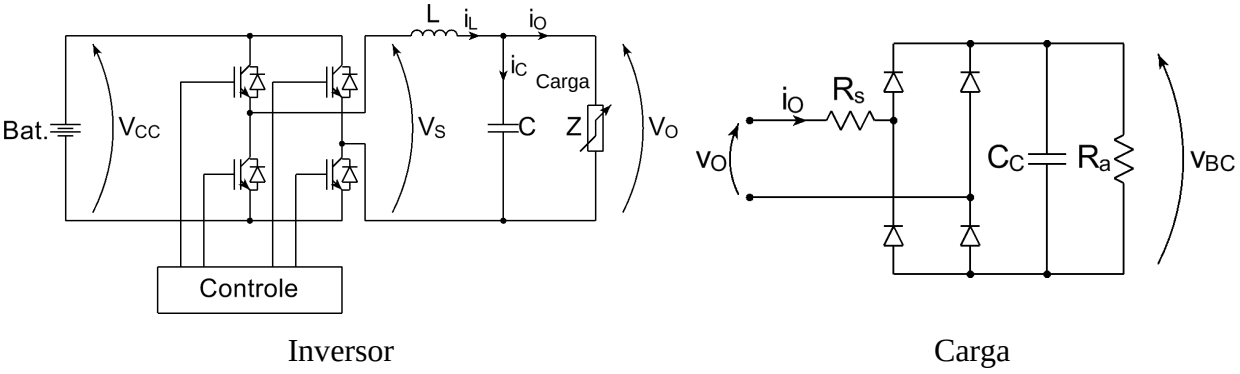


Figura 4.1: Esquema de um inversor de tensão de UPS.

Os parâmetros utilizados nos ensaios e nas simulações são apresentados na Tabela 4.1.

Tabela 4.1: Parâmetros utilizados nos ensaios e simulações.

Parâmetros	Valor
Indutância do filtro de saída (L)	900 μH
Capacitância do filtro de saída (C)	50 μF
Tensão nominal de saída (v_O)	115 Vrms
Tensão nominal do barramento (v_B)	215 Vcc
Frequência nominal de saída (f)	60 Hz
Frequência de amostragem (f_S)	20 KHz
Carga não linear	Conforme Sec. 2.1
Carga linear	13 Ω
Ganho dos medidores de tensão(k_V)	0,001 V/V
Ganho dos medidores de corrente (k_I)	0,0759 V/A

4.2 Montagem experimental da carga normal.

A “carga normal” de 1 kVA para avaliação das estratégias de controle foi montada com os valores apresentados na seção 2.1. A Fig. 4.2 mostra os dois bancos de resistores Ra e Rs e o banco de capacitores Cc. Por uma questão de disponibilidade de componentes alguns parâmetros da “carga normal” descrita na Tabela 2.1 tiverem que ser ligeiramente alterados como mostra a Tabela 4.2. A “carga normal” foi ensaiada na rede medindo-se fator de potência = 0,65 e fator de crista da corrente = 2,7. As formas de onda de corrente são apresentadas na Fig.4.3.

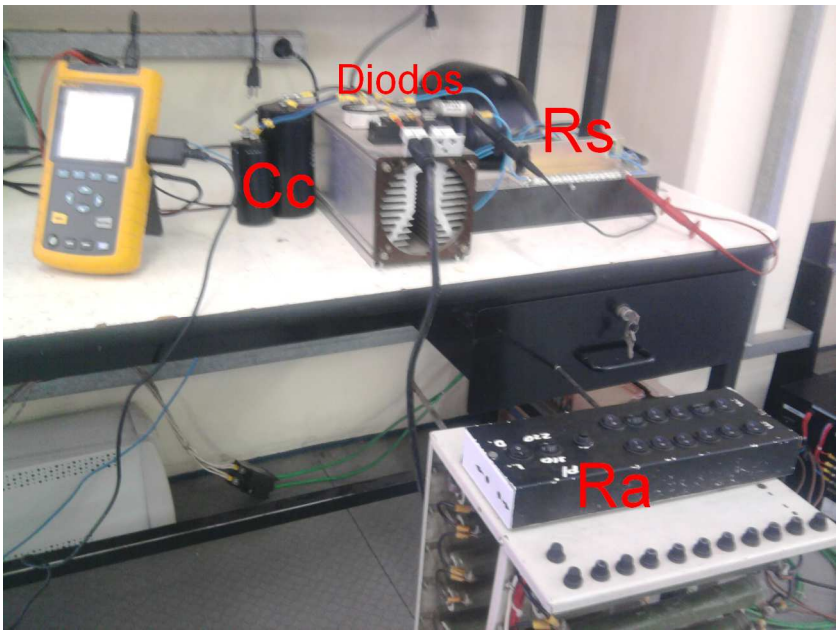


Figura 4.2: Montagem da carga normal.

Tabela 4.2 “Carga normal” - Valores teóricos e experimentais.

Parâmetro	Valor Teórico	Valor Real
V_O	115 Vrms	115,6 Vrms
P_a	1 kVA	0,97 kVA
f	60 Hz	60 Hz
V_{BC}	140 Vcc	146 Vcc
R_s	0,529 Ω	0,54 Ω
R_a	29,8 Ω	28,2 Ω
C_C	4.191 µF	4.400 µF
F_C	2,7	2,3
FP	0,65	0,75

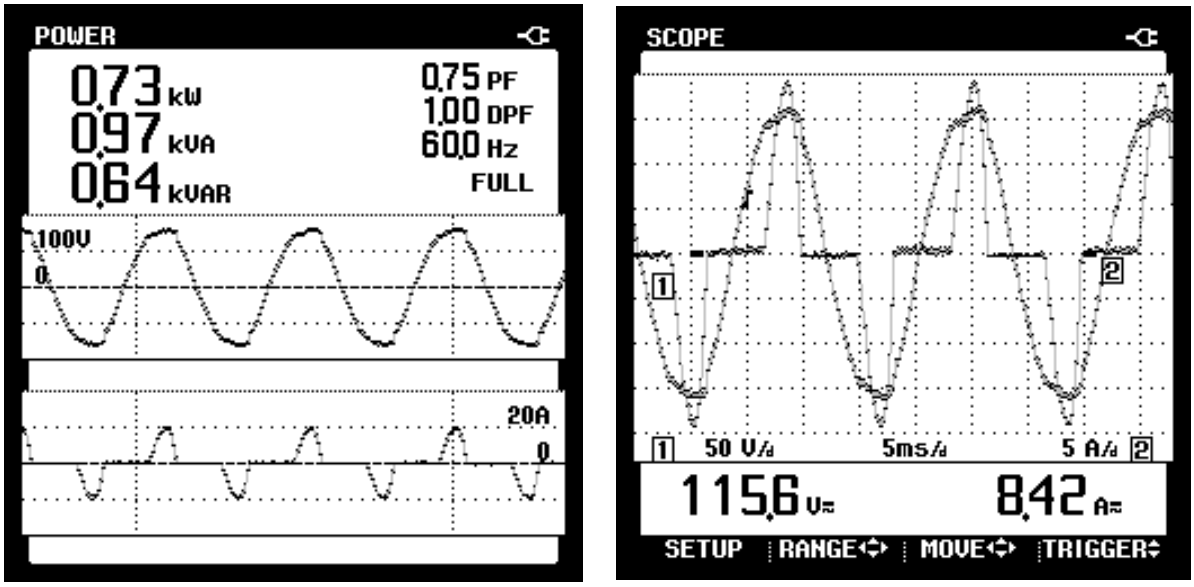


Figura 4.3: Formas de onda da "carga normal" alimentado pela rede CA.

4.3 Detalhes do hardware de controle

A placa de controle utiliza um DSP da Freescale modelo 56F8035. No algoritmo de controle foi utilizada somente a capacidade aritmética de 15 bits de ponto fixo. apesar do processador disponibilizar acumuladores de 36bits. Os sinais de controle foram gerados pelo módulo de PWM do DSP e para a amostragem utilizou-se o seu módulo A/D. O PWM utilizado é do tipo simétrico amostrado, com frequência de chaveamento de 20kHz. Foi utilizada a freqüência de relógio de 96MHz obtendo-se uma resolução de 2400 níveis para o PWM.

A amostragem dos sinais foi configurada de forma a ser sincronizada com a geração do sinal de PWM e com um atraso programável. Esse atraso programável permite a compensação de efeitos provocados pela propagação de atrasos do sinal de controle. A amostragem também foi configurada de forma a ser o dobro da frequência do PWM. Foram descartadas metade dessas amostras. Um algoritmo é usado para obter as melhores amostras conforme discutido na seção 4.6.

As simulações de referência que aparecem neste capítulo foram realizadas no software PSIM, com a utilização do bloco DLL. A DLL realiza todas as funções que são realizadas por um DSP como: amostragem, geração de PWM e cálculos em precisão de ponto fixo de 15 bits. Mais detalhes são apresentados no Apêndice 2.

4.4 Resultados

4.4.1 Controle em cascata por malha de tensão PID e malha de corrente PI.

Neste item são apresentados os resultados do inversor utilizando um controlador PID de tensão e um controlador PI de corrente utilizando a corrente do indutor de filtro como variável de controle como mostra o diagrama de blocos da Fig. 4.4.

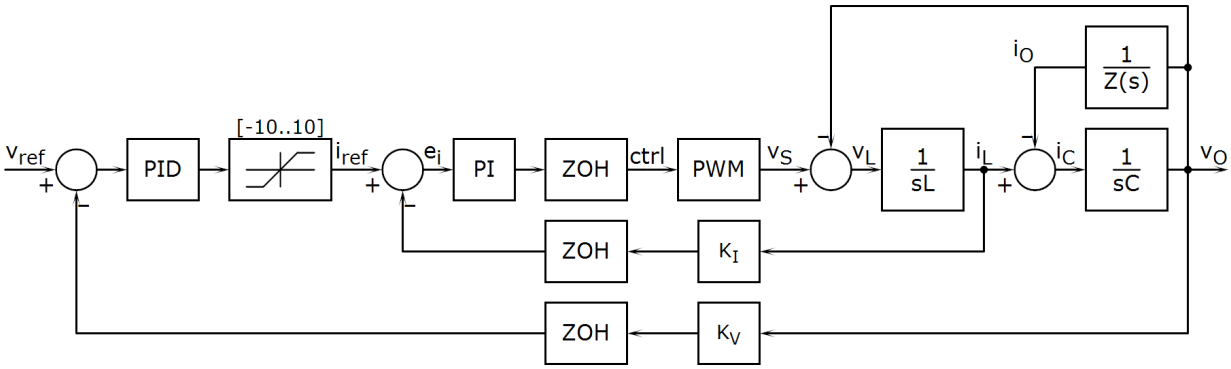


Figura 4.4 Diagrama de blocos – controlador PID - PI.

As Figs. 4.5 e 4.6 apresentam as formas de onda de tensão e corrente na carga e respectivos espectros para o inversor com controle multi-malha (malha de tensão PID e malha de corrente PI). Observa-se que tensão na carga é praticamente senoidal (THD= 5,8 %) e com desvio de apenas +1,7 V em relação ao valor especificado. A fig. 4.7 apreenta os resultados simulados no PSIM que mostram uma certa aderência com os resultados experimentais.

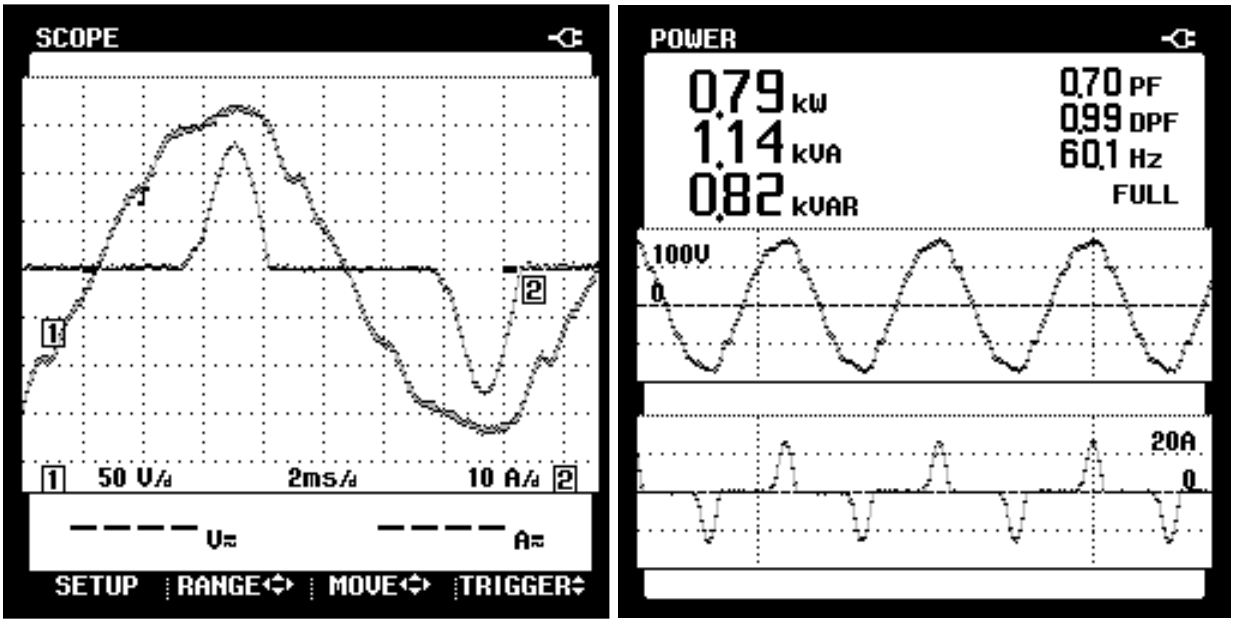


Figura 4.5: Formas de onda na carga do inversor com controle por malha de tensão PID e malha de corrente PI.

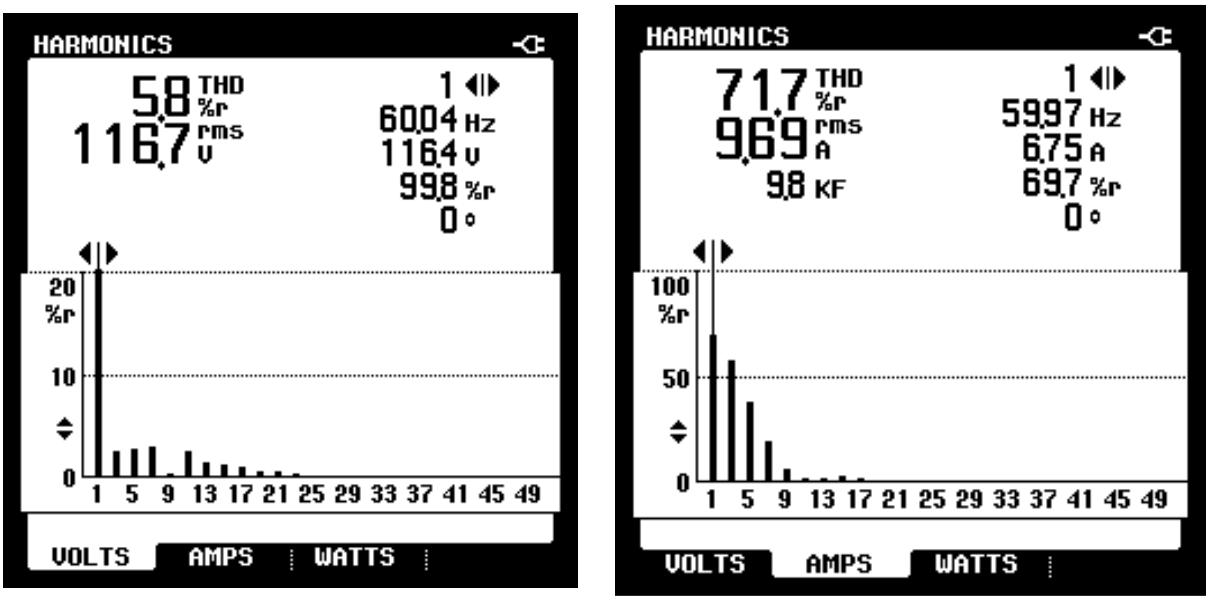


Figura 4.6: Espectros de tensão e corrente na carga do inversor com controle por malha de tensão PID e malha de corrente PI.

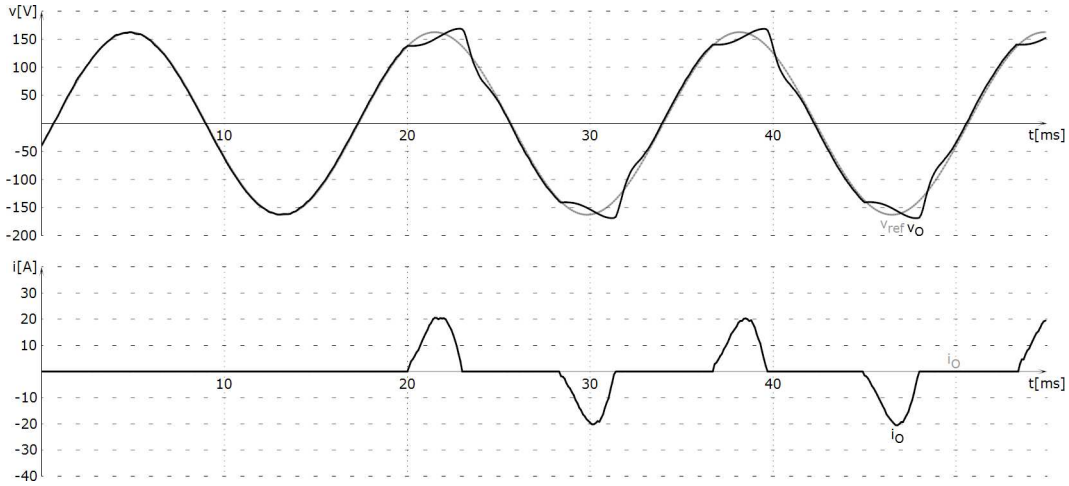


Figura 4.7: Formas de tensão e corrente na carga do inversor com controle por malha de tensão PID e malha de corrente PI.

Tabela 4.3 -Valores medidos na carga para inversor com malhas PID – PI.

Parâmetros	Valor
Potência aparente	1140 VA
Potência ativa	790 W
Fator de potência	0,70
Tensão	116 V
THD (tensão)	5,80 %
Corrente	9,69
THD (corrente)	171,7 %

4.4.2 Controle em cascata malha de tensão P+Ressonante e malha de corrente PI com medida da corrente no capacitor.

Neste item são apresentados os resultados do inversor utilizando um controlador P+ressonante de tensão e um controlador PI de corrente utilizando a corrente do capacitor de filtro como variável de controle como mostra o diagrama de blocos da Fig. 4.8.

As Figs. 4.9 e 4.10 apresentam as formas de onda de tensão e corrente na carga e respectivos espectros para o inversor com controle multi-malha (malha de tensão P+ressonante e malha de corrente PI).

Observa-se que tensão na carga é senoidal (THD= 1,4 %) e com desvio de apenas -0,3 V em relação ao valor especificado

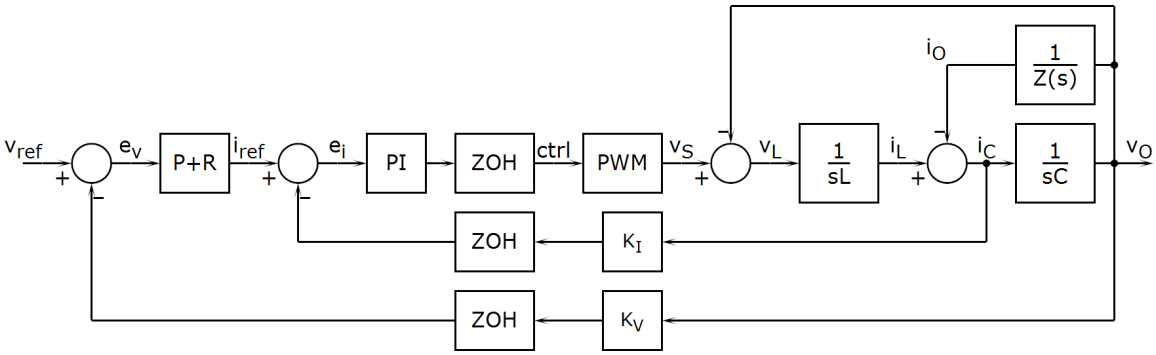


Figura 4.8: Controle do inversor utilizando uma malha de tensão P+R e uma malha de corrente PI.

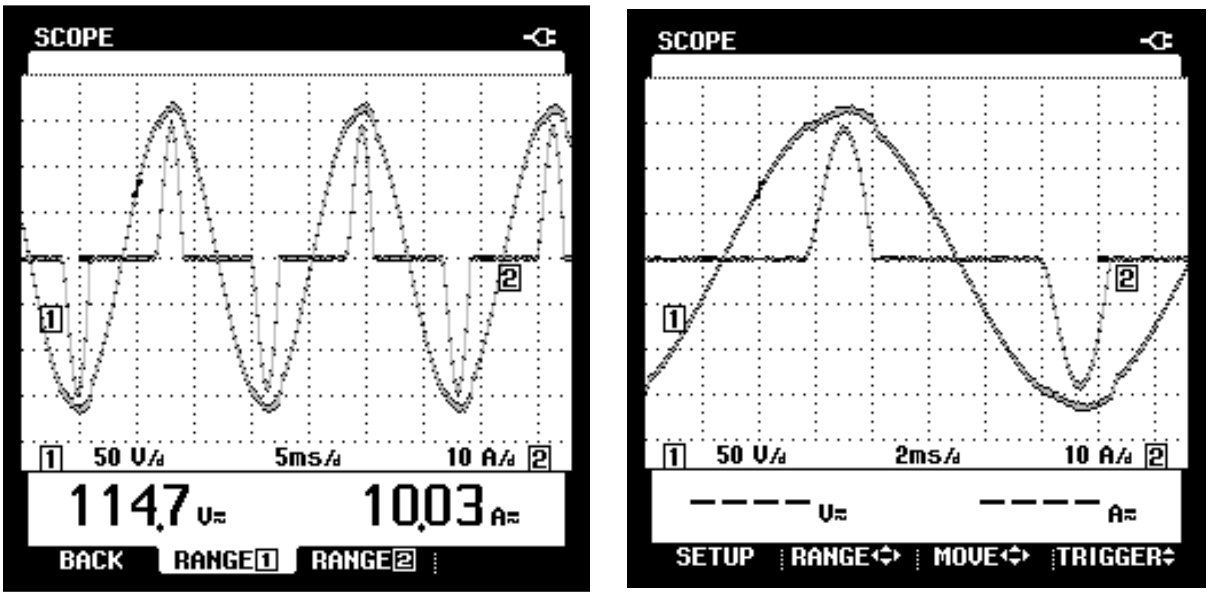


Figura 4.9: Formas de onda na carga do inversor com controle por malha de tensão P+R e malha de corrente PI.

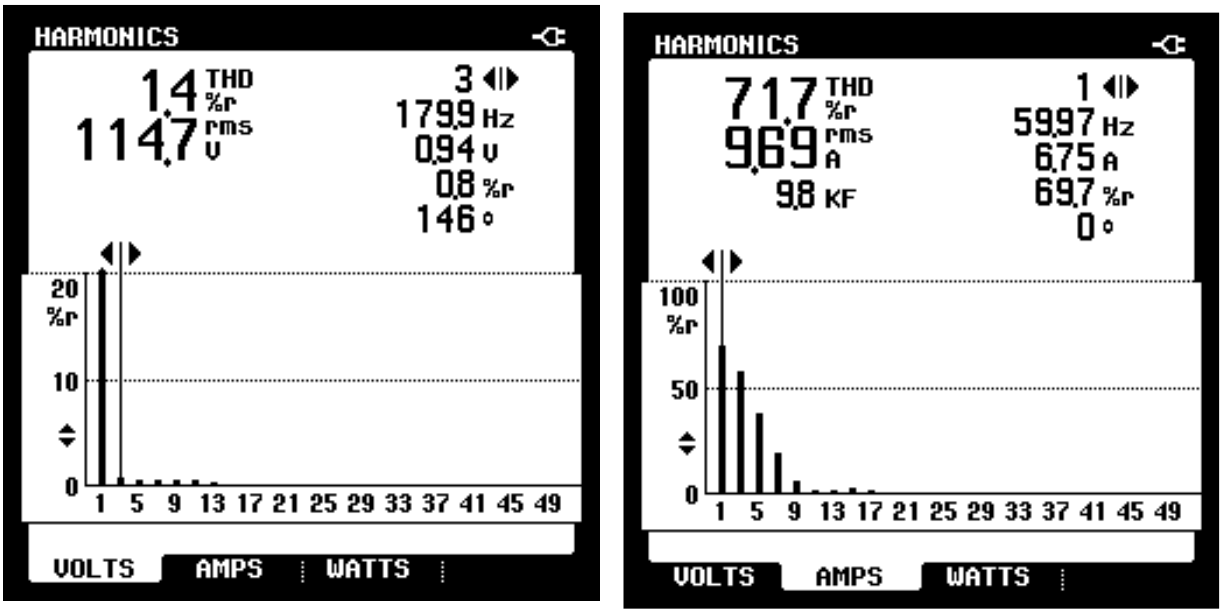
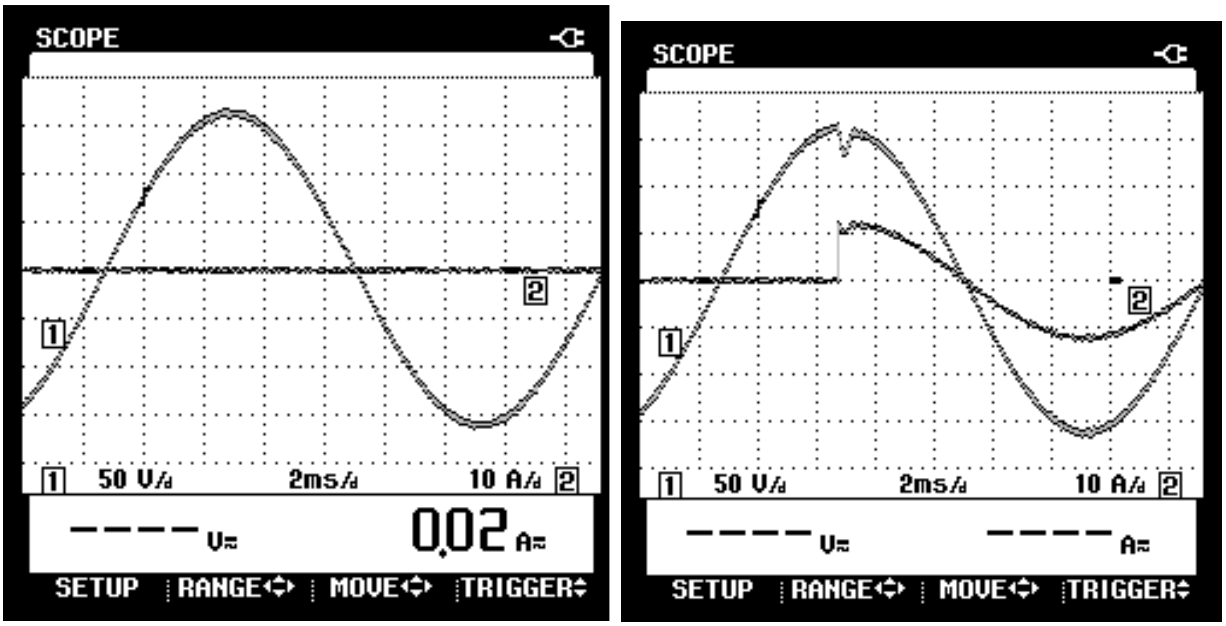


Figura 4.10: Espectros de tensão e corrente na carga do inversor com controle por malha de tensão P+R e malha de corrente PI.

A Figs. 4.11 e 4.12 mostram as formas de onda medidas e simuladas da tensão na carga no instante de energização da “carga normal”.



Em Vazio **Transitório de carga**

Figura 4.11: Formas de onda na carga do inversor com controle por malha de tensão P+R e malha de corrente PI.

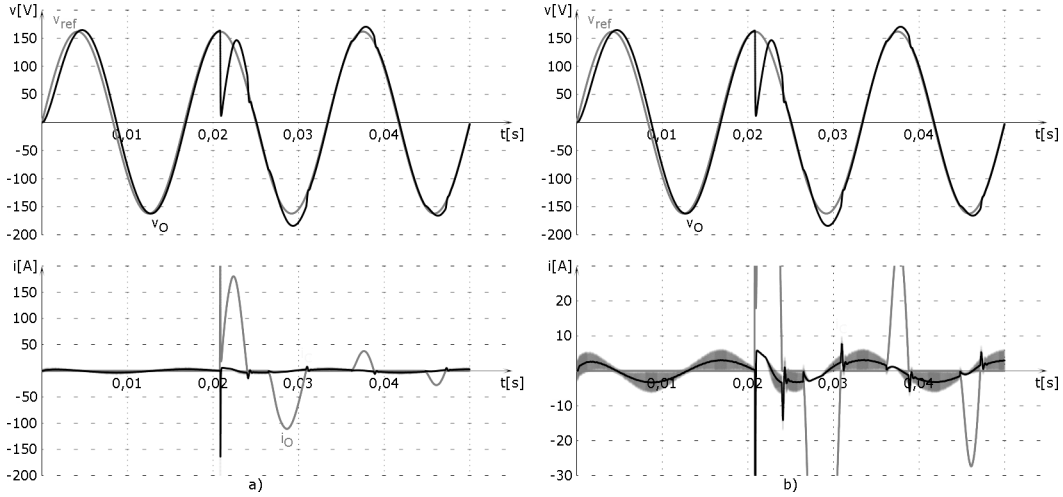


Figura 4.12: a) Formas de onda simuladas do transitório de energização da carga no inversor com controle por malha de tensão P+R e malha de corrente PI. b) Detalhe mostrado formas de onda da corrente.

4.5 Considerações sobre a medição da corrente no capacitor.

A tensão do inversor com modulação PWM, quando aplicada sobre o filtro de saída LC, gera uma corrente $i_C(t)$ com componentes de alta frequência. A forma de onda da corrente no capacitor de filtro tem um aspecto ruidoso como mostra a Fig. 4.13. Além disso, como a corrente no capacitor é a derivada da tensão sobre o mesmo, qualquer ruído de tensão é amplificado em sua corrente.

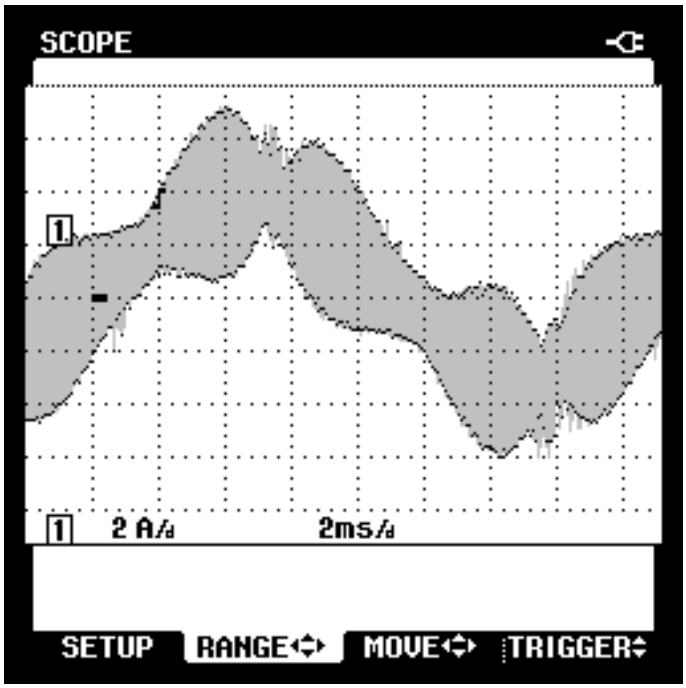


Figura 4.13:Forma de onda da corrente no capacitor.

A corrente no capacitor pode ser decomposta numa componente $i_{Cml}(t)$ definida por uma média local dada por:

$$i_{Cml}(t) = \frac{1}{T}\int_{t-T/2}^{t+T/2} i_C(t)dt \tag{4.1}$$

e por uma componente alternada dada por:

$$i_{Cca}(t) = i_C - \bar{i}_C(t) \tag{4.2}$$

Como a tensão do capacitor é dada pela integral de sua corrente $i_C(t)$ vale a seguinte expressão:

$$v_C(t) = \frac{1}{C}\int_{-\infty}^{t} i_C(t)dt = \frac{1}{C}\int_{-\infty}^{t} i_{Cml}(t)dt + v_{Ccr}(t) \tag{4.3}$$

O termo $v_{Ccr}(t)$ representa a componente residual da ondulação da tensão $v_C(t)$, a qual para efeito de rastreamento pode ser desprezada. Portando a componente $i_{Cml}(t)$ é a variável de controle.

Como a tensão de saída é a própria tensão do capacitor e sabendo-se que a tensão na saída do inversor deve ser senoidal, ou seja, $v_O(t) = V_O \operatorname{sen}(\omega t)$, partindo-se da equação (4.3) a corrente $i_{Cml}(t)$ vale:

$$i_{Cml}(t) = I_{Cml}\cos(\omega t) \tag{4.4}$$

sendo

$$I_{Cml} = 2\pi \times f \times C \times V_O \tag{4.5}$$

Além disso, a componente $i_{Cml}(t)$ deve ser mensurável, sem interferência da componente $i_{Cca}(t)$, cuja amplitude é I_{Cca}. Em um inversor em ponte completa essa amplitude é dada por:

$$I_{Cca} = F_f \frac{V_B}{4Lf_S} \tag{4.6}$$

sendo F_f uma constante menor que a unidade e dependente do índice modulação. Para manter a condição de mensurabilidade citada, deve-se ter $I_{Cml} >> I_{Cca}$. Porém, esta condição não se verifica na prática. Para melhorar esta condição poderia-se aumentar a frequência de comutação f_S ou aumentar os valores da capacitância C ou indutância L de filtro. O aumento de f_S elevaria as perdas de comutação e o aumento de L ou C diminuiria ainda mais a largura de banda disponível para o controle fornecer as correntes solicitadas pela carga.

Por outro lado, como a frequência de comutação f_S é muito maior que a frequência de ressonância f_R do filtro LC, a componente $i_{Cca}(t)$ possui uma forma de onda aproximadamente triangular.

Esta forma de onda $i_C(t)$ permite que a amostragens $i_C[kT]$ sejam realizadas nos pontos médios de suas arestas para se obter uma boa aproximação da forma de $i_{Cml}(t)$, como mostram as Figs. 4.14 e 4.15.

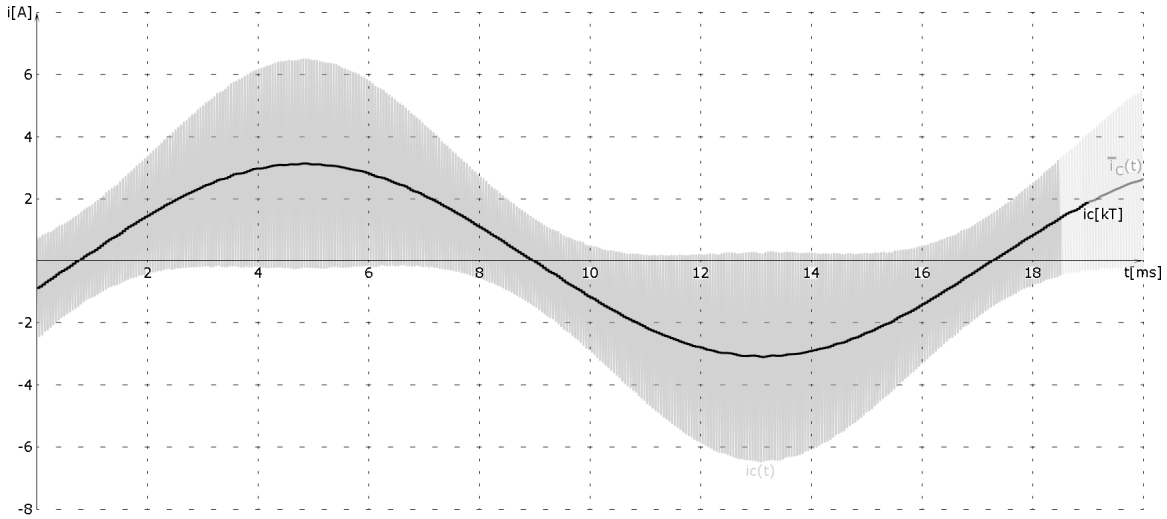


Figura 4.14: Formas de onda de $i_C[kT]$, $i_{Cml}(t)$ e $i_C(t)$.

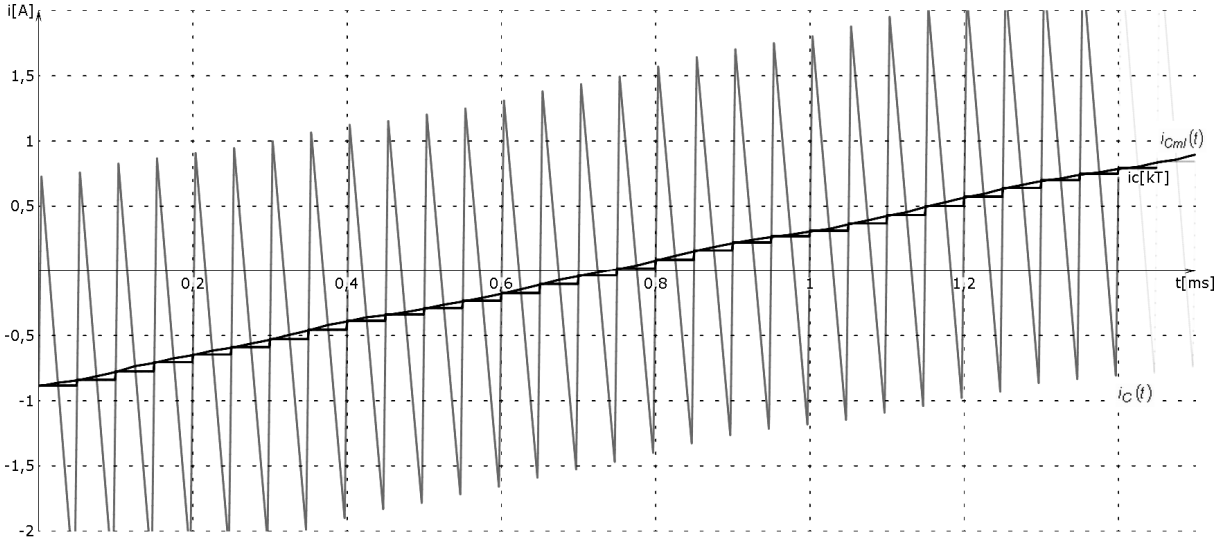


Figura 4.15: Detalhe das formas de onda de $i_C[kT]$, $i_{Cml}(t)$ e $i_C(t)$.

A amostragem exatamente no ponto médio das arestas é coincidente com o instante entre duas comutações consecutivas do modulador PWM. Para o caso da modulação PWM

com portadora triangular simétrica esta amostragem coincide com o vértice de sua portadora, como mostra a Fig. 4.16.

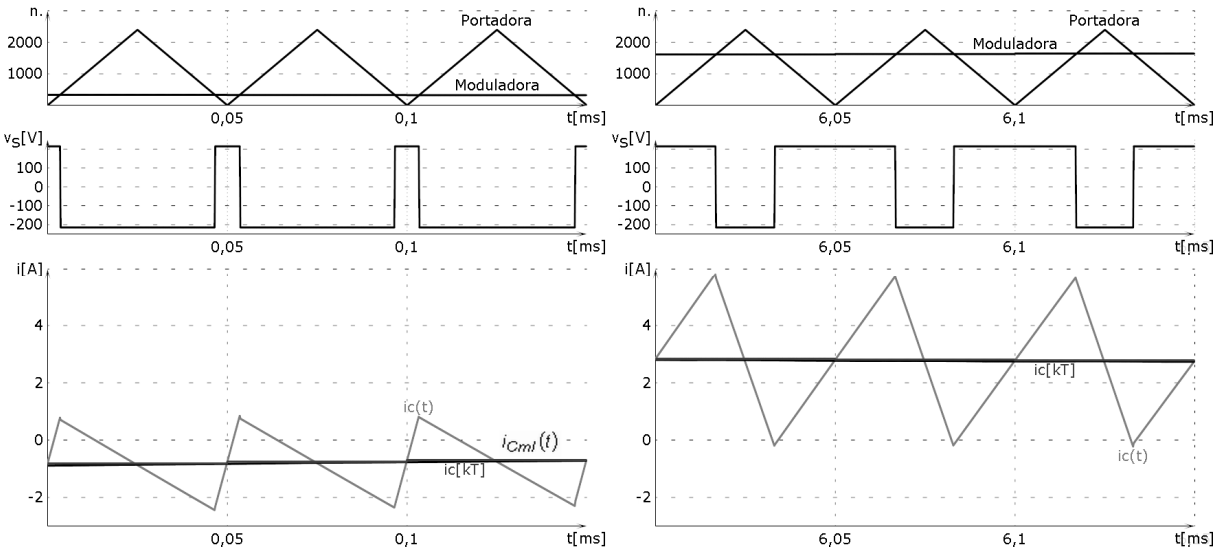


Figura 4.16: Relação temporal teórica entre os sinais de geração do PWM, a tensão do inversor $V_S(t)$ e a corrente no capacitor $i_C(t)$.

No entanto, durante a implementação do controle, verificou-se que a informação da corrente no capacitor era lida de forma distorcida. Concluiu-se que atrasos externos ao DSP eram responsáveis por essa distorção como especificações do driver do IGBT HCPL316J onde típico o tempo de propagação de 0,3us e o fluxograma da Fig. 4.17. Verificou-se também que a introdução do tempo morto respondia por uma parte significativa deste atraso, com o agravante de que o atraso não é constante e sim dependente da corrente que circula pelo indutor de filtro.

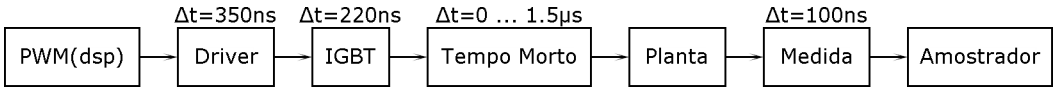


Figura 4.17: Processos responsáveis por atrasos externos ao controle.

4.6 Algoritmo da escolha do ponto de amostragem da corrente do capacitor.

Foi visto que o instante de amostragem no caso da corrente de capacitor influi no valor do mesmo, sendo necessárias correções para sincronizar este instante com o centro do intervalo entre duas comutações consecutivas. Considerando que há elementos que introduzem atrasos entre a geração do sinal de PWM e o mesmo e manifestar na tensão $v_S(t)$, torna-se necessário compensa-lo atrasando a tomada de amostras.

O atraso pode ser obtido através do seguinte procedimento para um inversor na configuração em meia ponte:

a) Com o modulador desligado é amostrado o valor i_C ;

b) O modulador é acionado com razão cíclica de 50%;

c) A amostragem de i_C é atrasada até se obter o mesmo valor que no item a).

No caso de inversores com configuração em ponte completa, a razão cíclica no item b) deve ser 25% ou 75%.

Com este procedimento há uma melhora sensível na qualidade do sinal amostrado da corrente do capacitor.

Para determinadas larguras de pulso produzidas pelo módulo PWM, o intervalo entre as comutações é bem reduzido e a taxa de variação da corrente do capacitor é significativa. Desta forma os erros provocados por pequenos desvios no ponto de amostragem seriam significativos. Ainda há o problema da introdução do tempo morto, que gera uma incerteza no na determinação do instante de comutação da chaves.

Como o DSP permite a realização de duas amostragens por período de PWM, neste trabalho optou-se por escolher a amostragem da corrente nos intervalos em que há a menor taxa de variação da corrente, descartando a outra.Para o caso do inversor com filtro LC e tensão de saída senoidal este intervalo coincide com intervalo sem comutação de chaves.

A escolha é feita da seguinte maneira, se o valor do PWM for maior que 50% é utilizada a segunda amostra de corrente, em caso contrário a primeira.

A utilização dessa técnica trouxe uma diminuição da distorção harmônica para o caso de carga linear, não sendo sentida nenhuma alteração para a carga não linear.

Capítulo 5 - Considerações finais

Neste trabalho foi mostrada a dificuldade e as soluções de compromisso adotadas para a obtenção de uma tensão fielmente senoidal na saída de inversores do tipo fonte de tensão, alimentando cargas não lineares padronizadas.

Foram também apresentadas diversas técnicas e topologias de controle que vem sendo desenvolvidas nos últimos 30 anos para resolver o problema de rastreamento de tensão, apontando algumas de suas deficiências que continuam a ser investigadas por diversos autores.

Foi verificado que numa configuração multi-malha há uma sinergia entre o controle tipo PI da malha de corrente do capacitor e o controle do tipo ressonante da malha de tensão. Essa sinergia se dá entre outros fatores, pelo fato do controlador PI de corrente apresentar um erro de rastreamento que é mitigado pelo controle ressonante na malha de tensão.

Foram discutidos os benefícios de ordem prática, raramente citados na literatura, para a utilização da corrente de capacitor como variável de controle. Desta forma obtêm-se um melhor aproveitamento da faixa disponível dos circuitos sensores e no próprio DSP, que ganha uma maior resolução para implementação dos algoritmos de controle. A utilização da corrente de capacitor também permite a utilização de transformadores de corrente dimensionados para uma fração da corrente nominal do inversor.

É apresentada uma metodologia que leva compensa os atraso de propagação do sinal PWM e possibilita utilizar a corrente de capacitor como variável de controle.

Note que quanto mais perfeita for a senoide na saída do inversor, maiores serão as solicitações de corrente sobre os semicondutores.

Propostas para trabalhos futuros

Analisar a degradação de desempenho do controle quando a frequência fundamental não é igual a frequência natural do controle ressonante e propor possíveis soluções para este problema fato.

Analisar a possibilidade do uso de um controle híbrido, que faça uso das correntes de capacitor, indutor ou da carga e prover o controle com a possibilidade de limitação de corrente e balanceamento de corrente em sistemas distribuídos.

Verificar a possibilidade de diminuir ainda mais a corrente que passa pelo transformador, utilizando capacitores em paralelo no filtro LC do inversor e medindo a corrente em apenas um deles.

Bibliografia

Abdel-Rahim, N. & Quaicoe, J.E., Multiple feedback loop control strategy for single-phase voltage-source UPS inverter. *Records of the IEEE Power Electronics Specialists Conference*, v. 2, pp. 958 –964, 1994.

Abdel-Rahim, N. M. & Quaicoe, J.E., Analysis and design of a multiple feedback loop control strategy for single-phase voltage-source UPS inverters. *IEEE Transactions on Power Electronics*, v. 11, pp. 532 -541, 1996.

ABNT NBR 15014:2003 – Conversor e semicondutor – Sistema de alimentação de potência ininterrupta, com saída em corrente alternada (nobreak) – Terminologia. Brasil: ABNT, 2003.

ABNT NBR 15204:2005 - Conversor a semicondutor - Sistema de alimentação de potência ininterrupta com saída em corrente alternada (nobreak) - Segurança e desempenho, 2005.

Bose, B.K., An adaptive hysteresis-band current control technique of a voltage-fed PWM inverter for machine drive system. *IEEE Transactions on Power Electronics*, v. 37, pp. 402-408, 1990.

Branco, C. G. C.; Cruz, C. M. T.; Torrico-Bascope, R. P.; Antunes, F. L. M., A Nonisolated Single-Phase UPS Topology With 110-V/220-V Input–Output Voltage Ratings, *IEEE Transactions on Industrial Electronics*, v. 55, pp. 2974 - 2983, 2008.

Buso, S. & Fasolo, S. & Mattavelli, P., Uninterruptible power supply multiloop control employing digital predictive voltage and current regulators. *IEEE Transactions on Industry Applications*, v. 37, pp. 1846 -1854, 2001.

Carnieletto, R. & Ramos, D.B. & Simoes, M.G. & Farret, F.A., Simulation and analysis of DQ frame and P+Resonant controls for voltage source inverter to distributed generation. *Brazilian Power Electronics Conference*, pp. 104 -109, 2009.

Curtis, P. M., Maintaining Mission Critical Systems in a 24/7 Environment. Willey-IEEE Press, 2007.

da Silva, S.A.O., Donoso-Garcia, P.F., Cortizo, P.C., Seixas, P.F., A three-phase line-interactive UPS system implementation with series-parallel active power-line conditioning capabilities, *IEEE Transactions on Industry Applications*, v. 38, pp. 1581 - 1590, 2002.

Deng, H., Oruganti, R., Srinivasan, D., A Simple Control Method for High-Performance UPS Inverters Through Output-Impedance Reduction. *IEEE Transactions on Indusrtial Electronics*, v. 55, pp. 888 -898, 2008.

Deng, H., Oruganti, R., Srinivasan, D., Analysis and Design of Iterative Learning Control Strategies for UPS Inverters. *IEEE Transactions on Indusrtial Electronics*, v. 54, pp. 1739 - 1751, 2007.

El-Bakry, M.A. & Aly, A.E.-M.M. & Khalil, H.S. & Shehata, S.A. An UPS with proper crest factor and efficiency for computer loads. *Proceedings of the IEEE Intersociety Energy Conversion Engineering Conference*, v. 3, pp. 1726-1731, 1997.

Emadi, A. & Nasiri, A. & Bekiarov, S. B., *Uninterruptible Power Supplies and Active Filters*. Florida: CRC Press,(2005.

Félix, C. H. & Seixas, P. F. & Cortizo, P. C., Digital control of a three-phase UPS. *Revista de Eletrônica de Potência*, pp. 189-196, 2007.

Escobar, G. Valdez A. A., Leyva-Ramos, J., Mattavelli P., Repetitive-Based Controller for a UPS Inverter to Compensate Unbalance and Harmonic Distortion. *IEEE Transactions on Indusrtial Electronics*, v. 54, pp. 504 -510, 2007.

Félix, C. H. & Seixas, P. F. & Cortizo, P. C., Digital control of a three-phase UPS. *Revista de Eletrônica de Potência*, pp. 189-196, 2007.

Gabe, I. J., Contribuição ao controle de inversores PWM Alimentados em Tensão Conectados a Rede Através de Filtro LCL. Dissertação de Mestrado, Universidade Federal de Santa Maria: Santa Maria, RS, 2008.

Guerrero, J., Vicuna, L. D., Uceda, J., Uninterruptible power supply systems provide protection. *IEEE Industrial Electronics Magazine*, v. 1, pp. 28-38, 2007

Jung S. & Kim S. S., Hardware Implementation of a Real-Time Neural Network Controller With a DSP and an FPGA for Nonlinear Systems, *IEEE Transactions on Industrial Electronics*, v. 54, pp. 265–271, 2007.

Lee, J., Park, G., Choi, J., CRA based robust digital controller for a single phase UPS inverte, *European Power Electronics and Applications Conference*, pp. 1 -10, 2007.

Kai Zhang, K., Peng, Li., Kang, Y., Xiong, J., Chen, J., State-feedback-with-integral control plus repetitive control for UPS inverters. *IEEE Applied Power Electronics Conference and Exposition*, v. 1, pp. 553 -559, 2005.

Kawabata, T., Miyashita, T., Yamamoto, Y., Dead beat control of three phase PWM inverter. *IEEE Transactions on Power Electronics*, v. 5, pp. 21 -28, 1990.

Kawamura, A., Haneyoshi, T., Hoft, R.G., Deadbeat controlled PWM inverter with parameter estimation using only voltage sensor. *IEEE Transactions on Power Electronics*, v. 3, pp. 118 - 125, 1988.

Kawamura, A., Yokoyama, T., Comparison of five different approaches for real time digital feedback control of PWM inverters, *IEEE Industry Applications Society Annual Meeting Confence Records*, pp. 1005 –1011, 1990.

Kawamura, A., Hoft, R., Instantaneous Feedback Controlled PWM Inverter with Adaptive Hysteresis. *IEEE Transactions on Industry Applications*, v. 20, pp. 769 -775, 1984.

Karve, S., Three of a kind [UPS topologies, IEC standard], *IET Journals*, v. 46 , pp. 27 – 31, 2000.

Kazmierkowski, M. P., Malesani, L., Current Control Techniques for Three-Phase Voltage-Source PWM Converters: A Survey, *IEEE Transactions on Industrial Electronics*, v. 45, pp. 691-703,1998

Kecun, G., Yuxing, D., DSP Control Method of Single-phase Inverters for UPS Applications. *Chinese Control Conference*, pp. 670 -672, 2007.

Kukrer, O., Komurcugil, H., Deadbeat control method for single-phase UPS inverters withcompensation of computation delay. *IEE Proceedings – Electric Power Applications*, v. 146, pp. 123 -128, 1999.

Loh, P. C., Newman, M. J., Zmood, D.N., Holmes, D.G., A comparative analysis of multiloop voltage regulation strategies for single and three-phase UPS systems. *IEEE Transactions on Power Electronics*, v. 18, pp. 1176 - 1185, 2003.

Maksimovic, D., Zane, R., Erickson, R., Impact of digital control in power electronics, *IEEE International Symposium of Power Semiconductor Devices and ICs*, pp. 13 - 22, 2004.

Malesani, L., Mattavelli, P., Buso, S., Robust dead-beat current control for PWM rectifiers and active filters, v. 2, *IEEE Industry Applications Society Annual Meeting Confence Records*, pp. 1377 –1384, 1998.

Martinz, F. O., Estudo de estratégias de rastreamento da corrente e da tensão de saída CA de um conversor tipo fonte de tensão. Dissertação de mestrado, São Paulo: EPUSP, 2007

Mattavelli, P., A modified dead-beat control for UPS using disturbance observers, *IEEE Power Electronics Specialists Conference*, v. 4, pp. 1618 - 1623, 2002.

Mattavelli, P.,Marafao, F.P. Repetitive-based control for selective harmonic compensation in active power filters *IEEE Transactions on Industrial Electronics* v.51, pp 1018-1024, 2004.

Michels, L. Metodologia de Projeto de Fontes Ininterruptas de Energia Monofásicas Empregando Controladores de Ação Repetitiva Auxiliar no Estágio de Saída. Tese de doutorado, Santa Maria: Universidade Federal de Santa Maria, 2007.

Mihalache, L. ,DSP control method of single-phase inverters for UPS applications, *IEEE Applied Power Electronics Conference and Exposition*, v.1, pp. 590 – 596, 2002.

Nascimento, C. F., Determinação do conteudo harmônico de corrente Baseada em Redes Neurais Artificiais para Cargas Não Lineares Monofásicas. Dissertação de mestrado, São Paulo, EESC, Universidade de São Paulo, 2007.

Qin, Y., Du, S., A DSP based active power filter for line interactive UPS. *Proceedings of the IEEE Industrial Electronics, Control, and Instrumentation*, v. 2, pp. 884 –888, 1995.

Rech, C., Pinheiro, H., Grundling, H. A., Hey, H. L., Pinheiro, J.R., Comparison of digital control techniques with repetitive integral action for low cost PWM inverters. *IEEE Transactions on Power Electronics,* v. 18, pp. 401 - 410, 2003.

Rech, C., Pinheiro, H., Grundling, H. A., Hey, H. L., Pinheiro, J.R., A modified discrete control law for UPS applications, *IEEE Transactions on Power Electronics,* v. 18, no 5, pp. 1138 - 1145, 2003.

Rech, C. (2001) Análise e implementação de técnicas de controle digital aplicadas a fontes ininterruptas de energia. Universidade Federal de Santa Maria: Dissetação de Mestrado, Santa Maria, RS

Rodriguez, E., Vazquez, N., Hernandez, C., Correa, J., A Novel AC UPS With High Power Factor and Fast Dynamic Response, *IEEE Transactions on Industrial Electronics,* v. 55, pp. 2963-2973, 2008.

Rossetto, L.; Malesani, L.; Tenti, P.; Buso, S.; Pollmann, A., Fully digital control of a three phase UPS by VECON integrated controller, *Conference Record of the IEEE Industry Applications Society Annual Meeting*, v. 3, pp. 2663 – 2669, 1995

Ryan, M. J., Brumsickle, W. E., Lorenz, R. D., Control topology options for single-phase UPS inverters. *Proceedings of the International Conference on Power Electronics, Drives and Energy Systems for Industrial Growth*, v. 1, pp. 553-558, 1996.

Ryan, M. J., Lorenz, R. D., A high performance sine wave inverter controller with capacitor current feedback and ldquo;back-EMF rdquo; decoupling, *IEEE Power Electronics Specialists Conference*, v.1, pp. 507-513, 1995.

Shahgholian, G., Shafaghi, P., Faiz, J., Nonlinear Control Techniques in Uninterruptible Power Supply Inverter, *International Conference on Computer and Electrical Engineering*, pp. 51-55, 2009.

Singh, A. K., Singh, G. K., Mitra, R., Some Observations on Multiplicity and Operating/Processing Modes of PC Loads with UPS. *International Conference on Electrical Engineering*,. pp. 1 -5, 2007.

Solter, W., A new international UPS classification by IEC 62040-3, *International Telecommunications Energy Conference*, pp. 541 - 545, 2002.

Souza, F.P., Correção do fator de potência para instalações de baixa potência empregando filtros ativos. Dissertação de Mestrado, Universidade Federal de Santa Catarina, 2000.

SPED - Sistema Público de Escrituração Digital instituido pelo Decreto Nº 6.022 de 22 de janeiro de 2007.

Torres, B.S., *Sintonia de Controladores PID em um Sistema Multimalha*, Disertação de Metrado, Universidade Federal de Minas Gerais, Belo Horizonte, 2002

Torrico-Bascope, R.P.; Oliveira, D.S.; Branco, C.O.C.; Antunes, F.L.M.; Cruz, C.M., A high frequency transformer isolation 110V/220V input voltage UPS system, *IEEE Applied Power Electronics Conference and Exposition*, 2006.

Tzou, Y. Y., Ou, R. S, Jung, s. L., Chang, M. Y., High-performance programmable AC power source with low harmonic distortion using DSP-based repetitive control technique, *IEEE Transactions on Power Electronics*, v. 12,, pp. 715 -725, 1997.

Tzou, Y. Y., Jung, S. L., Yeh, H. C., Adaptive repetitive control of PWM inverters for very low THD AC-voltage regulation with unknown loads, *IEEE Transactions on Power Electronics*, v. 14, pp. 973 -981, 1999.

Willmann, G.; Coutinho, D.F.; Pereira, L.F.A.; Libano, F.B., Multiple-Loop H-Infinity Control Design for Uninterruptible Power Supplies, *IEEE Transactions on Industry Applications*, v. 54, pp 1591 – 1602, 2007.

Wu, H., Lin, D., Zhang, D., Yao, K., Zhang, J., A current-mode control technique with instantaneous inductor-current feedback for UPS inverters. *IEEE Applied Power Electronics Conference and Exposition*, v. 2, pp. 951 –957, 1999.

Yingnian, X., Yang, Z., Yong, K., Rui, X., Study on IMC-PID control for single-phase voltage-source UPS inverters, *IEEE International Conference on Industrial Electronics and Applications*, pp. 824 -828, 2008.

Yokoyama, T.; Kawamura, A., Disturbance observer based fully digital controlled PWM inverter for CVCF operation, *IEEE Transactions on Power Electronics,* v. 9, pp. 473-480, 1994.

Zhou L., Jian, X, Zhang, K, Shi, P., A High Precision Multiple Loop Control Strategy for Three Phase PWM Inverters, IEEE Industrial Electronics and Control Annual Conference, pp. 1781 – 1786, 2006.

Zmood, D. N., Holmes, D. G., Bode, G., Frequency domain analysis of three phase linear current regulators. *IEEE Annual Meeting of the Industry Applications Society*, v. 2, pp. 818 – 825, 1999.

Apêndice 1 - Normalização dos parâmetros do filtro LC.

Devido a diversidade de configurações encontradas nos trabalhos publicados tornou-se necessário adotar uma normalização para os parâmetros do filtro LC para comparação dos seus valores. Para esta finalidade foi adotado o conceito de p.u. (valor por unidade) que é a relação entre o valor absoluto do parâmetro e um valor de base convenientemente escolhido. Neste trabalho foram adotado como valores de base:

- Potência aparente nominal de saída S_O;
- Tensão de saída v_O;
- Frequência de saída f_O;

O valor da capacitância de base é dado por:

$$C_B = \frac{S_O}{2\pi f_O v_O^2} \tag{A4.1}$$

e o valor da indutância de base é:

$$L_B = \frac{v_O^2}{2\pi f_O S_O} \tag{A4.2}$$

Portanto os parâmetros do filtro LC em p.u. são dados por:

$$C_{pu} = \frac{C}{C_B} \tag{A4.3}$$

$$L_{pu} = \frac{L}{L_B} \tag{A4.4}$$

Apêndice 2 - Simulação em C do DSP

O fato do DSP ser programado em C facilitou entre outras coisas a implementação de um bloco DLL que pode ser utilizado no software PSIM para simulação do algoritmo de controle. Para ser mais fiel esta simulação foi realizada na mesma aritmética de ponto fixo do DSP.

O DSP 56F8037 foi utilizado nos experimentos. Apesar de possuir acumuladores de 36 bits, só foi utilizada a capacidade de aritmética de 16 bits (Q15). Nesta notação Q15 o intervalo de valores de -1 a 1 é mapeado no espaço entre -32768 a 32767, sendo o primeiro bit o de sinal.

Na implementação da linguagem C nesta família de DSPs há funções chamadas intrínsecas, as quais são compiladas diretamente como instruções da linguagem de máquina, como por exemplo, as instruções multiplica e acumula (MAC) e multiplica dois números em notação Q15. Estas duas funções no código da DLL foram implementadas em C, mimetizando o comportamento de ambas no DSP. São elas:

```
Frac32 L_mac(Frac16, Frac16);
```

e

```
Frac16 mult(Frac16,Frac16);
```

Além da aritmética foram simulados dois outros processos realizados pelo DSP na DLL: a geração do sinal PWM e o processo de amostragem e conversão;

Na geração do sinal de PWM foi utilizado um registro inteiro de 16 bits denominado PWMVAL. Este realiza a função de contador bidirecional, aumentando ou diminuindo seu valor a um passo imposto pelo software de simulação.

O registro denominado PWMMOD fornece o valor máximo de contagem, que assim como seu correspondente no DSP determina o período e a freqüência da portadora do sinal PWM.

Para a atualização dos valores da razão cíclica em cada um dos canais do modulador PWM são utilizados dois registros. Um mantêm o valor mais recente, dado pelo algoritmo de controle denominado PWMVALn onde n varia de 0 a 5. Este valor é copiado de forma síncrona uma vez a cada período do PWM (quando o contador atinge o valor zero) para os respectivos registro PWMBUFn. Estes registros por sua vez são comparados com o valor do

contador, e o resultado desta comparação determina a saída de cada canal PWM. Desta forma foi simulada mesma modulação PWM realizada pelo DSP.

Para simular os canais de A/D foram realizadas duas amostragens por período: uma delas casada com os atrasos externos e a outra 1/2 período de PWM atrasada em relação a primeira.

É esperado que o software de simulação entregue os valores de tensão de forma continua entre 0V e 3,3V. Estes valores são então trabalhados para terem a mesma resolução do AD do DSP que é de 12 bits deslocados de 3 casas a esquerda.

Os registros dos canais A/D são denominados AD_CHn onde n varia entre de 0 a 7 e pode-se impor um offset através dos registros AD_OFFn.

Trecho da implementação da aritmética do DSP em C para a DLL:

```
#define Frac16 short
#define Frac32 int

Frac32 L_mac(Frac32 laccum,
                      Frac16 sinp1,Frac16 sinp2)
{
   laccum += L_mult(sinp1,sinp2);
   return laccum;
}

Frac16 div_s(Frac16 s_denominator,Frac16 s_numerator)
{
      Frac32 a = s_numerator;
      a <<= 16;
      a /= s_denominator;
      return (Frac16)a;
}

Frac16 round(Frac32 lvar1)
{
      return (Frac16)(lvar1>>16);
}

Frac16 mult(Frac16 sinp1,Frac16 sinp2)
{
      int c = ((int)sinp1*(int)sinp2)>>15;
      if(c > MAX_16)
            return MAX_16;
      if(c < MIN_16)
            return MIN_16;
      return c;
}

Frac32 L_mult(Frac16 a, Frac16 b){
      return ((Frac32)a) * ((Frac32)b)<<1;
}

Frac32 L_add(Frac32 src_dst,Frac32 src2)
```

```
{
	return src_dst+src2;
}
Frac32 L_sub(Frac32 src_dst,Frac32 src2)
{
	return src_dst-src2;
}
Frac16 abs_s(Frac16 svar1)
{
	return (svar1>0)?svar1:-svar1;
}

Frac16 extract_l(Frac32 src){
	return (Frac16)src;
}
Frac32 L_deposit_l(Frac16 ssrc)
{
	return (Frac32)ssrc;
}

Frac16 div_ls(register Frac32 l_numerator,register Frac16 s_denominator)
{
	Frac16 r =l_numerator/s_denominator;
	return r;
}
```

Trecho da implementação em software do módulo PWM

```
void HW_PWMOUT(){
	outputs[0] = (bfPWMVAL[0] > (PWM_CNTR+PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL0_MASK)==0)? 1.0:0.0;
	outputs[1] = (bfPWMVAL[1] > (PWM_CNTR+PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL1_MASK)==0)? 1.0:0.0;
	outputs[2] = (bfPWMVAL[2] > (PWM_CNTR+PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL2_MASK)==0)? 1.0:0.0;
	outputs[3] = (bfPWMVAL[2] < (PWM_CNTR-PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL3_MASK)==0)? 1.0:0.0;
	outputs[4] = (bfPWMVAL[4] > (PWM_CNTR+PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL4_MASK)==0)? 1.0:0.0;
	outputs[5] = (bfPWMVAL[4] < (PWM_CNTR-PWMDEAD))&((ArchIO.pwm.out &
PWM_OUT_OUTCTL5_MASK)==0)? 1.0:0.0;
}
void HW_PWM(){
	static bool pwm_dir  = 0;
	int i;

	if(pwm_dir){
		ArchIO.pwm.cntr++;
		if(ArchIO.pwm.cntr==ArchIO.pwm.cmod){
			pwm_dir=FALSE;
		}
	} else {
		ArchIO.pwm.cntr--;
		if(ArchIO.pwm.cntr==0){
			pwm_dir=TRUE;
			for(i =0; i < 6; i++)
				bfPWMVAL[i] = ArchIO.pwm.val[i];
			ArchIO.pwm.ctrl |= PWM_CTRL_PWMF_MASK;
			HW_ADR();
```

```
                    if(PWM_CTRL & PWM_CTRL_PWMRIE_MASK)
                          ReloadPWM();
              }
        }
        HW_PWMOUT();
}
```

Trecho da implementação em C do módulo AD.

```
/* Le um canal ch a partir do vertor de entradas fornecido pelo PSIM */
Frac16 HW_CCH(int ch){
        int r = (int)(inputs[ch]*4096/3.3);
        if(r > 2047)r = 2047;
        if(r < -2047) r = -2047;
        return r<<3;
}

Frac16 HW_CCHu(int ch){
        int r = (int)(inputs[ch]*4096/3.3);
        if(r > 4095)r = 4095;
        if(r < 0) r = 0;
        return r<<3;
}
void HW_ADR()
{
        AD_I_REDE = HW_CCH(0);
        AD_V_REDE = HW_CCH(1);

        AD_V_INV  = HW_CCH(8);
        AD_I_LINV = HW_CCH(9);

        AD_I_BAT = HW_CCH(10);
        AD_V_BAT = HW_CCHu(11);

}
```

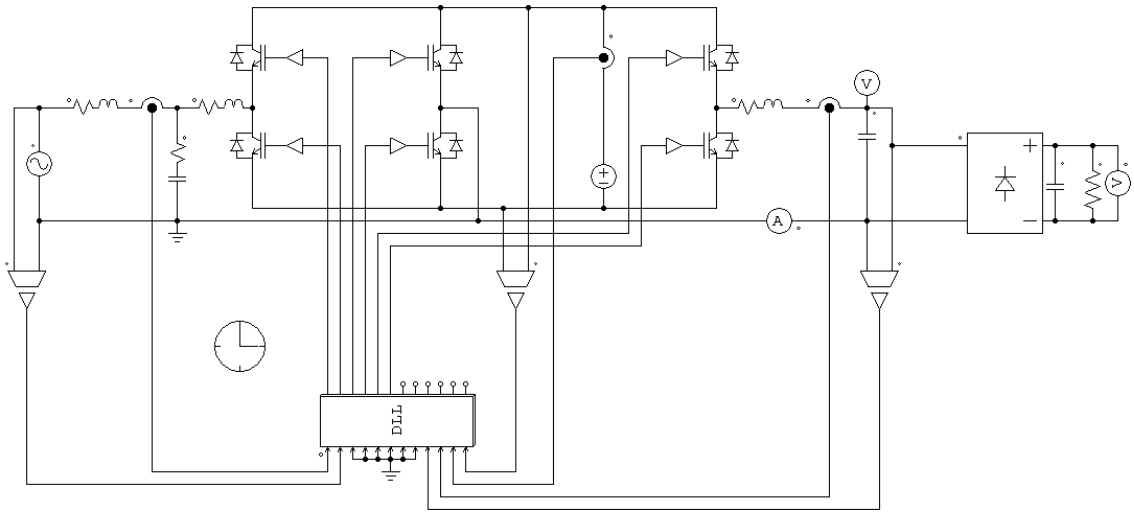


Figura A.1: Circuito utilizado nas simulações no PSIM.

Apêndice 3 - Geração do sinal de referência quando a frequência da componente fundamental não é múltipla inteira da frequência de chaveamento.

Como a obtenção do seno (ou cosseno) de um argumento é uma operação conhecidamente onerosa em processamento, uma alternativa seria o emprego de tabelas com os valores de tais funções já pré-calculadas. Em aplicações como UPS que devem trabalhar sincronizadas com a frequência da rede, não é possível manter esta frequência como submúltiplo da frequência de chaveamento, sendo necessário algum algoritmo de interpolação para se extrair os dados desta tabela.

Neste trabalho adotou-se a interpolação linear, pois a sua realização no DSP é simples.

Para tanto é utilizada uma tabela **F** com 2^N +1 valores contemplando um período completo mais uma amostra, um ponteiro PTR composto de uma parte inteira PTRi de N bits mais uma parte fracionaria PTRf de 32-N bits, sendo esse ponteiro incrementado de INC unidades, onde INC é dado em valor fracionário pela expressão.

$$Frac\{INC\} = \frac{2^N \times f}{f_S}$$

Ou em valor numérico por:

$$INC = \frac{2^{32} \times f}{f_S}$$

A partir das partes fracionárias PTRi e PTRf, sendo esta ultima normalizada no intervalo de 0 a 1, o valor da função interpolada $\hat{F}$ pode ser obtido pela expressão:

$$\hat{F}(PTR) = \mathbf{F}[PTR_i] \times (1 - PTR_f) + \mathbf{F}[PTR_i + 1] \times PTR_f$$

Na sequencia é apresentado o trecho de código usado na interpolação:

```
#define N 6;
Frac16 F[2^N+1]={ //2^N+1 valores de }
Frac32 ptr;
Frac16 ptrf;
int ptri;
…
// geração do sinal de referência f;
ptr += inc;
ptri = round(ptr)>>(16-N);
ptrf = round(ptr << N);
f = mult(F[ptri],(FRAC16(1.0)-ptrf))+mult(F[ptri+1],ptrf);
// Fim da geração
```