

JOSÉ SIDNEI COLOMBO MARTINI

AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS
- ROTAS DE CIRCUITO IMPRESSO -

"Dissertação de Mestrado" apresentada
à Escola Politécnica da Universidade
de São Paulo, para obtenção do título
de Mestre de Engenharia.

Área de Concentração - Engenharia de
Eletrociadade.

Orientador: Prof. Dr. Antonio Marcos de Aguirra Massola

São Paulo
- 1975 -

AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS
- ROTAS DE CIRCUITO IMPRESSO -

JOSE SIDNEI COLOMBO MARTINI

DISSERTAÇÃO DE MESTRADO
ESCOLA POLITÉCNICA
UNIVERSIDADE DE SÃO PAULO

1975

ORIENTADOR:

Prof. Dr. Antonio Marcos de Aguirra Massola

A minha esposa e a
minha filha dedico
este trabalho.

A G R A D E C I M E N T O

Ao Prof. Dr. Antonio Marcos de Aguirra Massola pela dedicação e orientação constante.

Aos Profs. Drs. Rubens Guedes Jordão, Ernesto João Robba e Antonio Hélio Guerra Vieira pelo apoio e incentivo.

Aos engenheiros Luiz Edmundo Cavolina da Cunha e Selma Shin Shimizu Melnikoff pela importante colaboração dada desde o inicio do trabalho.

Aos engenheiros Moacyr Martucci Junior, Célio Yoshiyuki Ikeda e Paulo Tamaki pela atenção e auxílio em diversas fases do desenvolvimento.

Aos engenheiros Luiz Edmundo Cavolina da Cunha e Walter Rodrigues F. Filho pela preparação de exemplos e testes.

Aos operadores Flávio Augusto Godoy e Lázaro Vieira da Cruz pelos processamentos realizados.

As secretárias Sonia Regina Izarelli, Dulce Hilária Neuwald, Maria de Lourdes Torres e Sineide Terezinha Vieira, pelos serviços de datilografia.

Ao Sr. Miguel Hernandes Morales pelos serviços de desenho.

Aos Srs. Ademir Souza Viana, Miguel Capor e Valdecir Finco pelos serviços de impressão.

A todos os colegas do Laboratório de Sistemas Digitais que direta ou indiretamente cooperaram para a realização deste trabalho.

Obrigado.

S I N O P S E

Apresenta-se inicialmente o problema do Circuito Impresso na Automação de Projetos de Sistemas Digitais.

É descrito um processo de fabricação, já em uso mencionando-se as principais fases da implementação de circuitos impressos.

Dá-se ênfase aos algoritmos desenvolvidos para a definição do mapa de rotas, bem como à forma de descrição dos dados para processamento de problemas.

São descritos sumariamente os arquivos e programas usados para a realização do "Lay-out", e complementarmente, discute-se um caso exemplo desde o seu preparo até as saídas gráficas.

Alguns exemplos reais são expostos na forma como foram processados.

Dá-se destaque ainda ao conjunto de mensagens de erro emitidas pelos programas, que auxiliam o usuário no projeto do mapa de rotas de interconexão.

A B S T R A C T

The problem of printed circuit boards in digl
tal systems project automation is initially presented.

A manufacturing process for printed circuit boards
is considered and the important phases of its implementation
are described. This manufacturing process has been already
sucessfully implemented.

The central point of this dissertation is the
set of algorithms developped for route mapping. The format
description for processing is also a problem of importance
and concern.

The files and programs for lay-out construction
are briefly described, and an example illustrates all the
relevant steps in the process, starting from data prepara
tion and ending with the graphic outputs.

Several real case examples are also presented in
the form they were processed.

A set of error messages printed by the program is
presented. These messages are of great help to the user in
projecting interconnection routing map.

I N D I C E

1. INTRODUÇÃO
2. ROTAS DE CIRCUITO IMPRESSO E AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS.
 - 2.1 - OBJETIVO
 - 2.2 - AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS
3. CIRCUITO IMPRESSO - UM PROCESSO DE PRODUÇÃO
 - 3.1 - OBJETIVO
 - 3.2 - CAMADAS DE CIRCUITO IMPRESSO
 - 3.3 - PLANTA DAS ROTAS ("Lay-out")
 - 3.4 - ARTE FINAL
 - 3.5 - PRODUÇÃO DO CIRCUITO IMPRESSO
4. METODOLOGIA UTILIZADA
 - 4.1 - OBJETIVO
 - 4.2 - A MATRIZ EQUIVALENTE
 - 4.3 - COMPONENTES E LIGAÇÕES
 - 4.4 - DESCRIÇÃO DOS DADOS
 - 4.5 - ORDENAÇÃO DE SEGMENTOS DE LIGAÇÕES
 - 4.6 - ALGORITMO DAS RAIAS
 - 4.7 - O ALGORITMO DE LEE (ondas)
5. PROGRAMAS E ARQUIVOS
 - 5.1 - OBJETIVO
 - 5.2 - ARQUIVOS
 - 5.3 - SUBPROGRAMAS UMC
 - 5.4 - SUBPROGRAMAS SMC
 - 5.5 - PROGRAMAS MCI

6. FORMA DE UTILIZAÇÃO

- 6.1 - OBJETIVO**
- 6.2 - PREPARATIVOS INICIAIS**
- 6.3 - DESCRIÇÃO DO PROBLEMA**
- 6.4 - LISTAGEM DA EXECUÇÃO**
- 6.5 - OUTROS EXEMPLOS**

7. OBSERVAÇÕES FINAIS

APÊNDICE I - MENSAGENS DE ERRO

APÊNDICE II - LISTAGEM DE PADRÕES

REFERÊNCIAS BIBLIOGRÁFICAS

CAPÍTULO I - INTRODUÇÃO

INTRODUÇÃO

O objetivo primeiro desta dissertação, é fornecer uma descrição da técnica usada no desenvolvimento de um conjunto de programas para definição de rotas de circuito impresso. Esses programas foram desenvolvidos no Laboratório de Sistemas Digitais do Departamento de Engenharia de Eletricidade da Escola Politécnica da Universidade de São Paulo.

O desenvolvimento desse conjunto de programas, foi considerado no sentido de facilitar a realização de circuitos impressos, numa de suas fases mais trabalhosas, qual seja, a definição da posição das rotas de interligação, que quando realizada manualmente, é a fase mais demorada e mais cara de todo processo de fabricação.

O segundo propósito é o de descrever uma metodologia, através da qual, numa segunda etapa, possam esses programas desenvolvidos, fazer parte de um Sistema de Automação de Projetos de Sistemas Digitais, no qual o tratamento do problema de rotas de circuito impresso é uma das partes.

O terceiro objetivo é o de documentar os recursos e forma de uso dos programas, bem como, apresentar de maneira geral os vínculos de restrições que normalmente limitam o processo.

Tendo em vista esses objetivos, o Capítulo 2 tem por finalidade mostrar o posicionamento do problema de circuito impresso dentro da Automação de Projetos de Sistemas Digitais.

O Capítulo 3 procura descrever a evolução das formas de montagem de circuitos eletrônicos, bem como, expor o método de produção de circuitos impressos para o qual esse trabalho foi

desenvolvido. O Capítulo 4 é a parte central do trabalho onde são descritos os algoritmos usados e a forma de entrada dos dados desenvolvida. O Capítulo 5 descreve de maneira sumária os principais programas e subprogramas, apresentando também as formas de saída de informações.

O Capítulo 6 é destinado a exemplos processados e finalmente no Capítulo 7 são apresentadas observações e outras considerações.

Em Apêndice são listados os erros detetáveis pelo programa, para auxiliar o usuário na depuração de falhas na descrição do problema.

CAPÍTULO 2 - ROTAS DE CIRCUITO IMPRESSO E AUTOMAÇÃO
DE PROJETOS DE SISTEMAS DIGITAIS

ROTAS DE CIRCUITO IMPRESSO E AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS

2.1 - OBJETIVO

Com esse capítulo, pretende-se posicionar a atividade do projeto de rotas de circuito impresso, dentro de um plano de Automação de Projetos de Sistemas Digitais, bem como relacionar algumas de suas principais etapas.

2.2 - AUTOMAÇÃO DE PROJETOS DE SISTEMAS DIGITAIS

"Automação de Projetos" é o termo comumente utilizado para indicar a utilização de computadores, e técnicas computacionais, no auxílio do projeto e desenvolvimento de sistema digitais.

Essa técnica vem sendo desenvolvida desde a década de 60, porém nos últimos anos tem-se dado uma importância maior a "Automação de Projetos" (A.P.), decorrente da complexidade e nível de sofisticação de sistemas digitais, agora possíveis graças ao aparecimento de novas tecnologias.

Sistemas de A.P., específicos, tem sido desenvolvidos por indústrias produtoras de sistemas digitais, apesar de seu custo de desenvolvimento, implantação e atualização serem relativamente dispendiosos. Visam maior segurança, rapidez, padronização e baixo custo por projeto, características indispensáveis na atual indústria eletrônica.

Simplificadamente, estão dispostas, na figura 2.1, as principais fases de um Sistema de Automação de Projetos de Sistemas Digitais.

Existe, na realidade, um forte laço de Interdependência entre cada uma das fases, o que vem a dar maior importância à aplicação de computadores na implementação da A.P.

Como disposto na figura 2.1, um sistema Integrado de A.P. seria constituído de:

- a) Arquivo Central - Um banco de dados alimentado inicialmente com informações que caracterizam um projeto. É fundamental a organização desse arquivo, pois ele dependem todas as fases da A.P.. Desse arquivo, cada uma das fases receberá informações e dados gerados em fases anteriores, bem como dados específicos para sua realização. Por outro lado, cada fase processada adicionará, no arquivo central, os resultados obtidos para uso posterior.
- b) Transcodificador - É um conjunto de programas que, para cada fase, busca as informações necessárias no arquivo central, formatando-as convenientemente para uso da fase, permitindo assim modularidade entre as fases.
- c) Descrição do Projeto Lógico - Através de forma adequada, o projetista alimenta o arquivo central com informações, vínculos e parâmetros para cada uma das fases, bem como descreve a planta do sistema elétrico em projeto.
- d) Documentação - Cada vez que uma nova informação é gerada e adicionada ao arquivo central, é produzida uma documentação

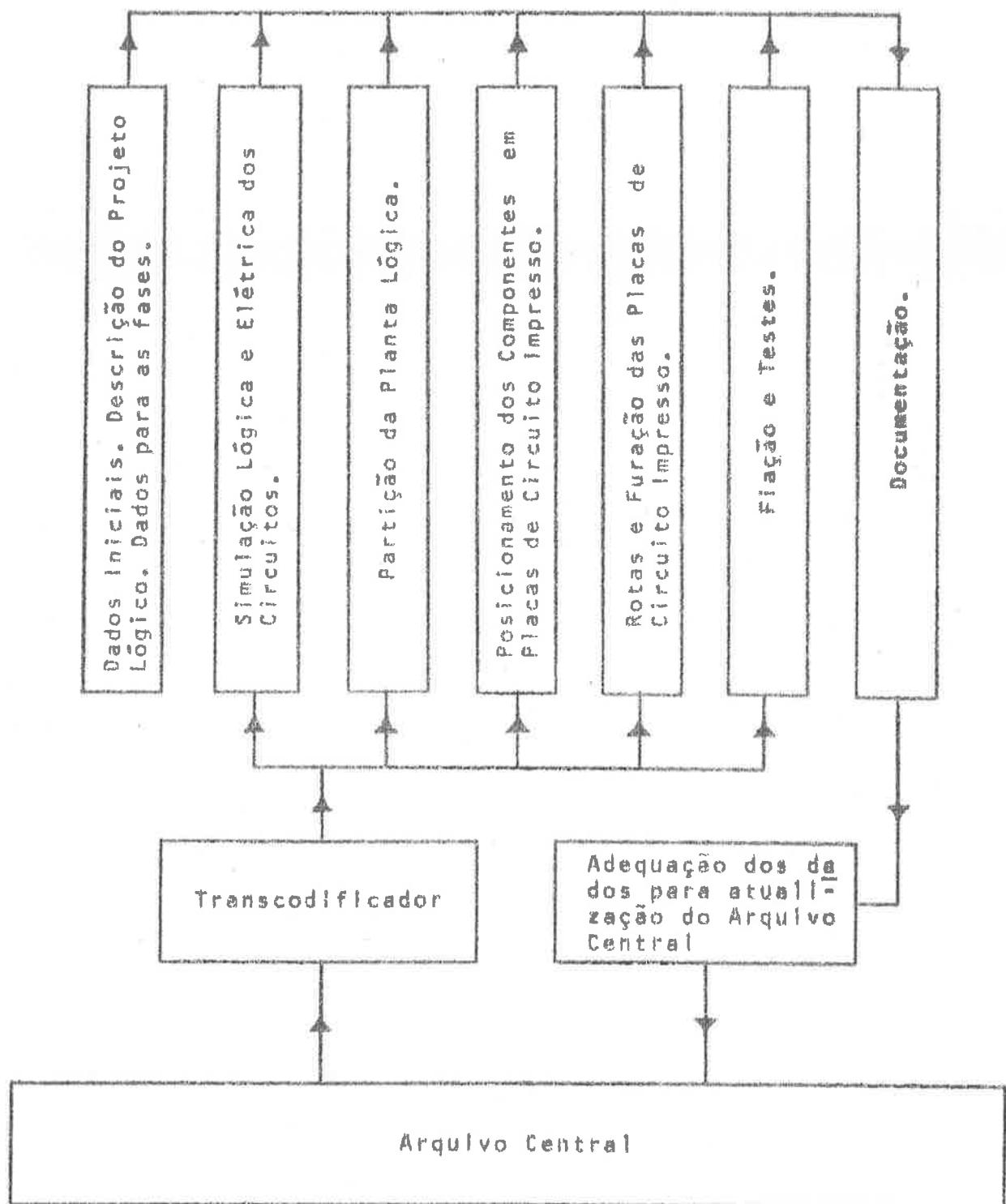


Figura 2.1 - Estrutura Simplificada de um Sistema de Automação de Projetos

gráfica através de gráficos ou relatórios, para auxílio do projetista, e para registro do andamento do projeto. O conjunto dessas plantas e relatórios, permitirão um perfeito entendimento de cada etapa de projeto, sendo de grande valia, não só na fase de elaboração da montagem do circuito elétrico, como também para futuras alterações ou manutenções.

- e) Adequação dos Dados - Quer seja na fase inicial de descrição, quer seja após o processamento de uma fase específica, as informações que serão alimentadas no arquivo central, deverão ser adequadas por um conjunto de programas que tratarão do formato e posicionamento desses novos dados no arquivo central. Essa fase, juntamente com o Transcodificador, será responsável por todas as operações de entrada e saída de dados do arquivo central.
- f) Simulação Lógica e Elétrica do Circuito - Através da execução desta fase o circuito lógico ou parte dele, pode ter a simulação de seu comportamento observado, tornando possível assim a introdução de correções e simplificações. A simulação pode se dar em vários níveis: nível lógico, nível de portas, nível de registradores etc. Dessa forma, através de um processo interativo, pode-se atingir um grau de otimização do projeto, praticamente impossível de ser alcançado, não fossem os recursos computacionais.
- g) Partição da Planta Lógica - Uma vez testado o projeto lógico do sistema elétrico, a preocupação seguinte é a do particionamento da planta lógica como um todo, em partes, com vistas a implementação física. Para tanto, um conjunto de programas visa, segundo critérios definidos pelo projetista, a determinação dos circuitos que serão realizados em cartões ou placas

de circuito impresso.

Para tanto, dentre outros dados, a dimensão da placa de circuito impresso e o tipo de conector (número de contatos elétricos), já devem ser disponíveis.

- h) Posicionamento dos Componentes - Após a escolha adequada dos componentes elétricos, que serão utilizados para a construção de uma placa, deve ser resolvido o problema da distribuição topológica desses componentes sobre a mesma. Note-se que a definição dos componentes a serem utilizados, pode ser feita automaticamente após a partição.

Para a definição da posição de cada componente na placa de circuito impresso, devem ser levadas em consideração as ligações elétricas entre um componente e os demais.

Para a realização desta fase, deve ser disponível além da relação dos componentes, a relação das interligações entre os componentes.

Assim que esteja definida a posição de cada componente, ter-se-á definido uma árvore interligando contatos elétricos, cujas posições agora já estão definidas.

- i) Rotas e Furacão das Placas de Circuito Impresso - Uma vez determinadas as posições dos componentes elétricos numa placa de circuito impresso, é preciso definir a posição das rotas ou caminhos condutores, que devem interligar dois ou mais contatos elétricos, para isso, um conjunto de programas, aplicam algoritmos apropriados e respeitam vínculos pré estipulados, para produzir plantas de interconexão entre terminais de conectores, furos metallizados, terminais de circuitos integrados, etc.. É conveniente notar, que a complexidade das plantas de interconexão (rotas), dependerá da posição escolhida para os componentes, dos algoritmos usados para

implementar esta fase, dos vínculos impostos, tais como: distância mínima entre rotas etc.. Com isso, para uma mesma placa de circuito impresso, pode-se obter várias soluções dependentes dessas restrições. Isso mostra a existência de uma forte inter-relação entre Partição, Posicionamento e as rotas de circuito impresso. Para se obter uma solução viável para uma placa, pode-se ter a necessidade de reprocessamento de fases anteriores, até que seja atingida uma solução satisfatória. Como resultado da execução desta fase obtém-se:

- relação das posições das ligações;
- mapa ("lay-out") de cada uma das faces da placa de circuito impresso;
- posição dos furos metalizados necessários para a realização das ligações;
- informações adicionais tais como: comprimento de cada ligação definida, relação de eventuais ligações não realizadas, porcentual de interligação conseguido, etc..

j) Flaçao e Testes - Aqui, um conjunto de programas estabelece as ligações de flaçao em painéis de conectores, respeitando os vínculos da tecnologia empregada ("wire-wrap", por exemplo). Esses programas, fornecem como resultado, o comprimento de cada fio a ser utilizado, níveis de interconexão, códigos de pinos a serem interligados etc.. Um outro conjunto de programas, recebendo os dados referentes a uma placa (esquema lógico, relação de componentes, descrição das ligações), tentará determinar conjuntos de sequências de sinais de teste, para determinação de falhas elétricas em placas já montadas.

Cada uma das fases é constituída de programas independentes mas que, em função dos resultados que apresentem, podem implicar no reprocessamento de fases anteriores, buscando uma otimização do

projeto, através de um procedimento interativo.

No presente trabalho foi implementada a fase de "Rotas e Furação de Placas de Circuito Impresso", e para tanto foi desenvolvida uma "linguagem de entrada" (apesar de não sofrer o tratamento teórico de linguagens), que possibilita a execução independente desta fase que embora isolada, foi projetada com a característica de fácil adaptação ao Sistema Integrado de Automação. Dessa maneira, os programas de Rotas e Furação, do ponto de vista operacional, se comportam como o indicado na figura 2.2.

Cabe ressaltar que, apesar de isolada, a fase de Rotas e Furação de circuito impresso tem sido utilizada em trabalhos experimentais apresentando resultados positivos, quer do ponto de vista de economia de mão de obra, quer no que diz respeito a resultados técnicos alcançados.

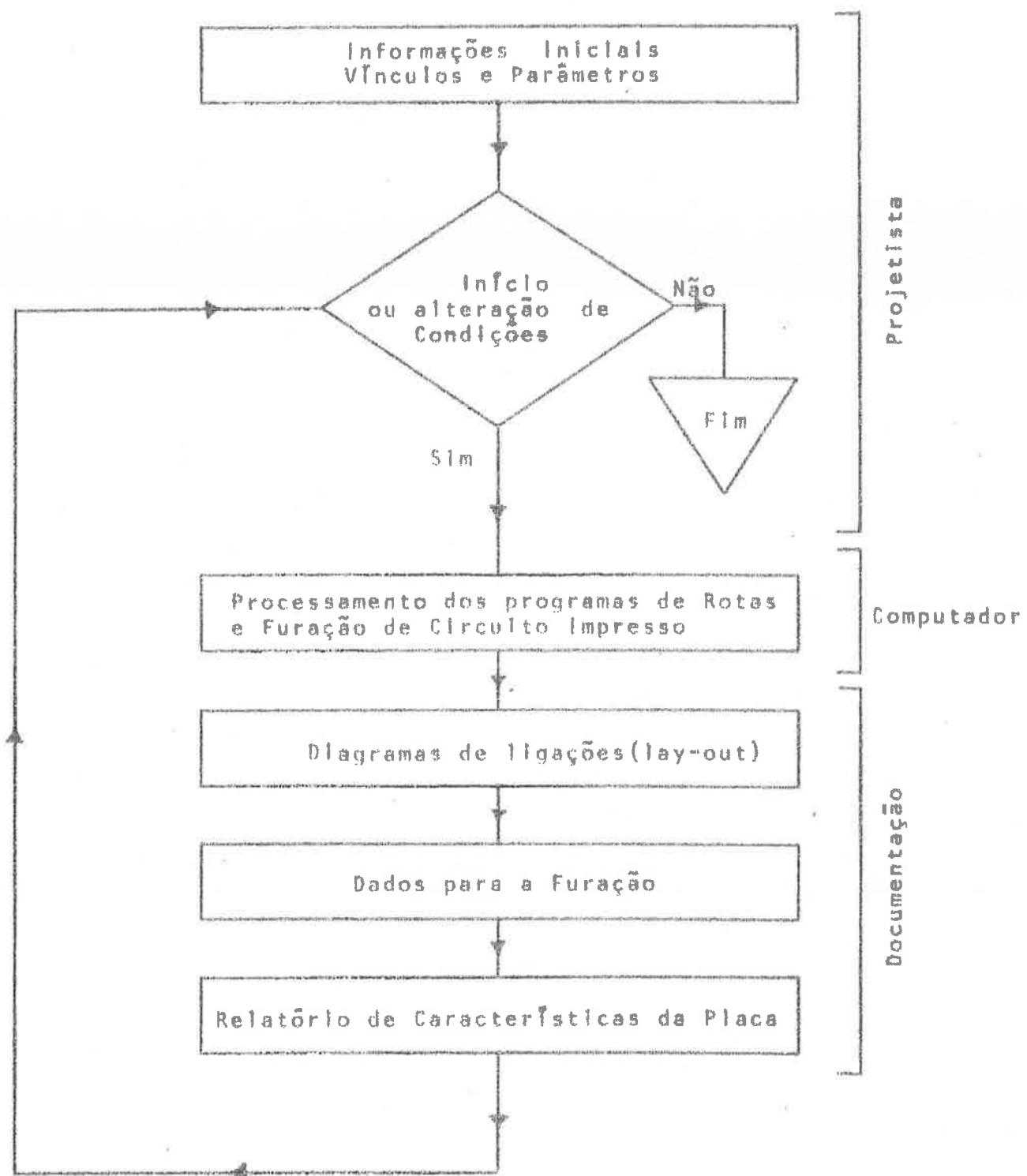


Figura 2.2 - Processo Operacional da Fase Implementada

CAPÍTULO 3 - CIRCUITO IMPRESSO - UM PROCESSO DE PRODUÇÃO

CIRCUITO IMPRESSO - UM PROCESSO DE PRODUÇÃO

3.1 - OBJETIVO

Neste capítulo, procurou-se descrever alguns dos problemas de engenharia, no projeto e fabricação de placas de circuito impresso, com o propósito de justificar algumas das restrições, que serão consideradas nos próximos capítulos.

Faz-se menção às principais etapas do processo de produção, de circuito impresso, onde o problema da definição das rotas ocupa papel de destaque.

Não se teve a intenção de esgotar o assunto de produção, mas sim, abordar superficialmente cada uma das etapas do processo de projeto e fabricação, desde a etapa do recebimento de dados, que caracterizam uma placa, até sua liberação para uso.

As principais fases aqui consideradas e adiante descritas são:

- Projeto e elaboração da planta de rotas de interligação (Lay-Out).
- Arte final
- Processamento fotográfico
- Furação
- Processamento químico e eletrolítico
- Testes de fabricação
- Montagem dos componentes
- Teste funcional da placa

Existem outros processos de fabricação onde, de acordo com o nível de automação empregado, uma ou mais das fases descritas são aglutinadas, ou simplesmente inexistem.

No caso deste trabalho, todas as fases são consideradas, sendo as duas primeiras pertinentes ao projeto, e as demais, à fabricação e montagem.

3.2 - CAMADAS DE CIRCUITO IMPRESSO

Com o advento dos semicondutores, e consequente miniaturização dos circuitos eletrônicos, surgiu a necessidade de uma nova tecnologia de montagem de circuitos, em substituição ao tradicional chassis e réguas de terminais, para dar suporte mecânico, e possibilitar a interligação dos componentes eletrônicos.

Paralelamente, surgiram projetos elétricos mais complexos, como o caso dos computadores, onde a necessidade de rápida manutenção, exigia que partes do circuito, pudessem ser substituídas prontamente e com o menor emprego de mão de obra.

Assim surgiram as primeiras montagens em cartão ou placas, isolantes, onde pelo uso de lhosas ou rebites metálicos, era possível a fixação e interligação de componentes, empregando-se para tanto, fios metálicos isolados. Essa técnica, já atendia parcialmente às necessidades de compactação e rápida substituição, pela utilização de conectores para interligar uma placa com o restante do sistema elétrico.

Esse processo, no entanto, deixava a desejar, sob o ponto de vista de tempo necessário para produção de placas de circuito, pois era preciso que se cortasse fios de tamanhos adequados, e se soldasse aos terminais de componentes convenientes. Para circuitos padronizados, e produzidos em quantidades, que justificasse

vam uma linha de produção, o tempo dispendido ainda era elevado.

Surgiu então o circuito Impresso, que consiste no tratamento de uma placa de fenolite ou fibra de vidro, revestida por uma fina folha de cobre. (Figura 3.1)

Dessa maneira, sobre a face cobreada era impresso o padrão de rotas desejado.

Nesse processo de impressão ao invés de tinta era usada uma substância não atacável por agentes corrosivos, portanto protegendo a região cobreada sobre a qual se depositava.

Esse procedimento era executado, após a placa ter sido furada convenientemente, para alojar os terminais dos componentes elétricos.

Após o processo de impressão, a placa era submetida a um banho químico que corroia as regiões de cobre não protegidas, produzindo assim as rotas elétricas sobre a placa isolante.

Finalmente, após uma operação de limpeza, o circuito impresso estava pronto para receber os componentes e ser submetido à operação final de soldagem.

O acoplamento elétrico entre placas e restante do sistema elétrico, era feito através de encaixe em um conector apropriado, e para tal, um determinado padrão de rotas de entrada ou saída de sinal elétricos era produzido, na região de conexão da placa. (Figura 3.2)

Nessa época, o número de rotas elétricas era limitado praticamente pelo número de componentes que eram destinados a uma placa, pois sendo na sua maioria componentes discretos (resistores, capacitores, transistores), o número de terminais a serem

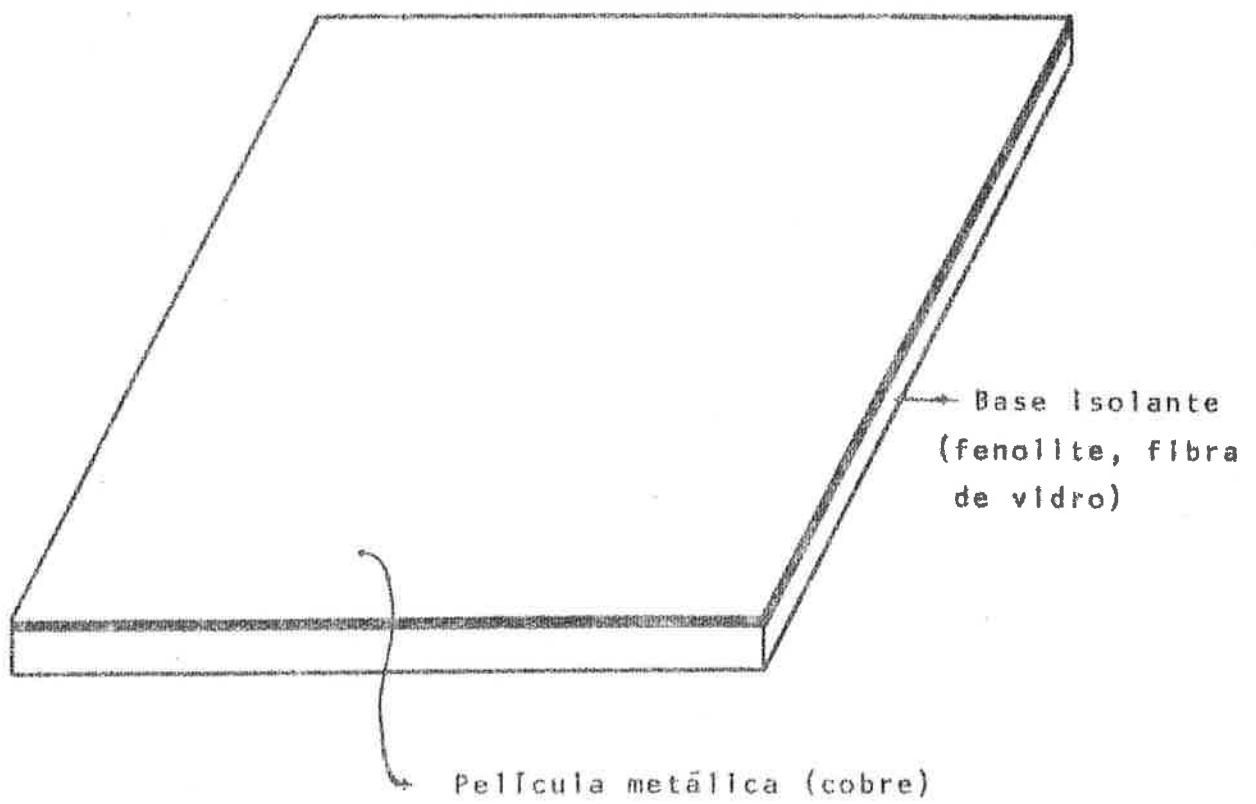


Figura 3.1 - Placa de circuito Impresso

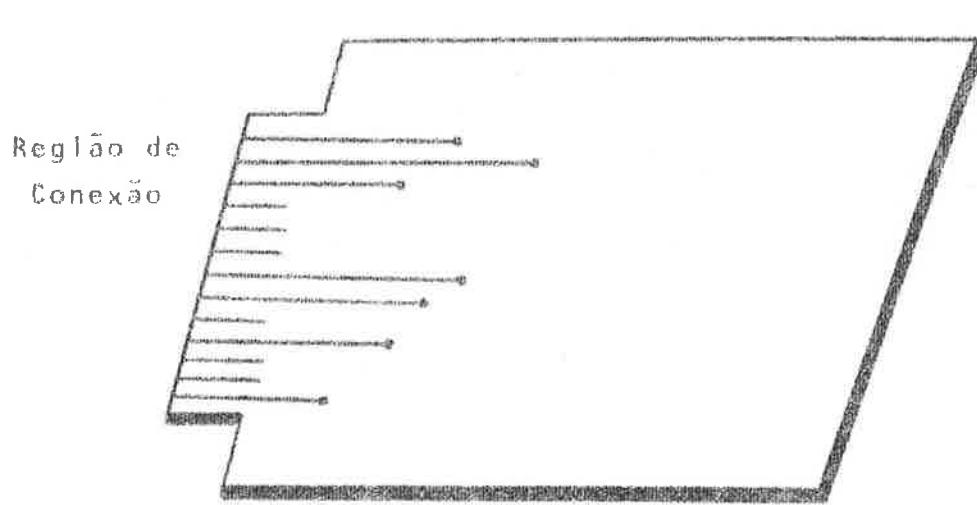


Figura 3.2 - Conexão

conectados era razoavelmente baixo considerando-se as dimensões físicas de tais componentes.

Um problema, entretanto, restava ser resolvido. A medida em que se tornava complexo o conjunto de ligações, aumentava o número de "Saltos", que eram executados com pequenos pedaços de fio isolado, interligando dois trechos de uma mesma rota, interrompida por um eventual obstáculo (outra rota, por exemplo). (Figura 3.3)

Inicialmente, os circuitos impressos eram produzidos em placas com metallização em uma só face. Com o passar do tempo surgiram as placas bimetalizadas (metallizadas em ambas as faces), onde o problema dos saltos podia ser resolvido, fazendo-se com que a rota ultrapassasse o obstáculo, utilizando-se do recurso de passagem para a outra face da placa, retornando em sequída para a face original.

Agora um novo problema aparecia. Para executar a conexão elétrica entre dois segmentos de uma mesma rota, cada qual em uma das faces da placa, utilizavam-se um pedaço de fio que era introduzido num furo da placa, que atingia os dois segmentos, e soldado em ambas as faces. (Figura 3.4)

Esse problema foi resolvido, posteriormente, com o desenvolvimento da tecnologia de "furos metallizados".

Através de um processo químico e eletrolítico consegue-se depositar cobre nas paredes internas de furos numa placa de circuito impresso. Essa metallização permite que se execute um salto elétrico de uma para outra face, sem a necessidade de solda ou fios adicionais. (Figura 3.5)

Com o advento dos circuitos integrados, o número de terminais elétricos a serem interligados é tal, a ponto de ser praticamente obrigatório, o uso de furos metallizados, para a produção de placas com alta densidade de circuitos integrados.

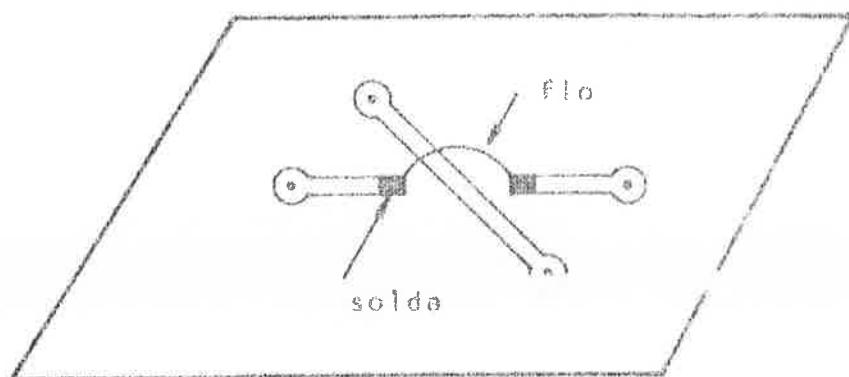


Fig. 3.3 - "Salto" Elétrico ("JUMP")

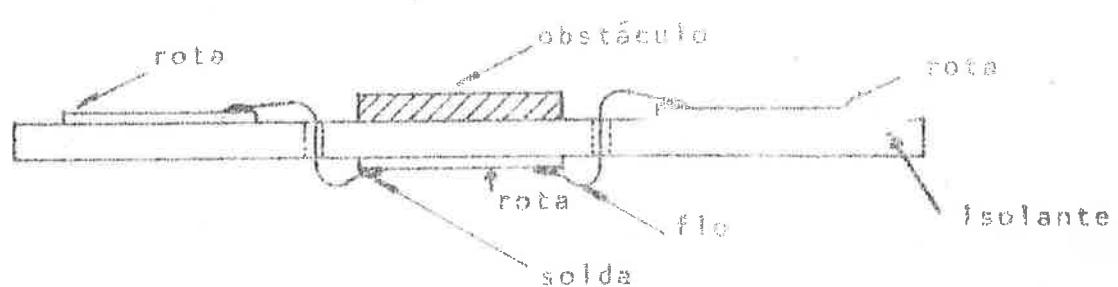


Fig. 3.4 - "Salto" Elétrico. Placa metallizada em ambas as faces.

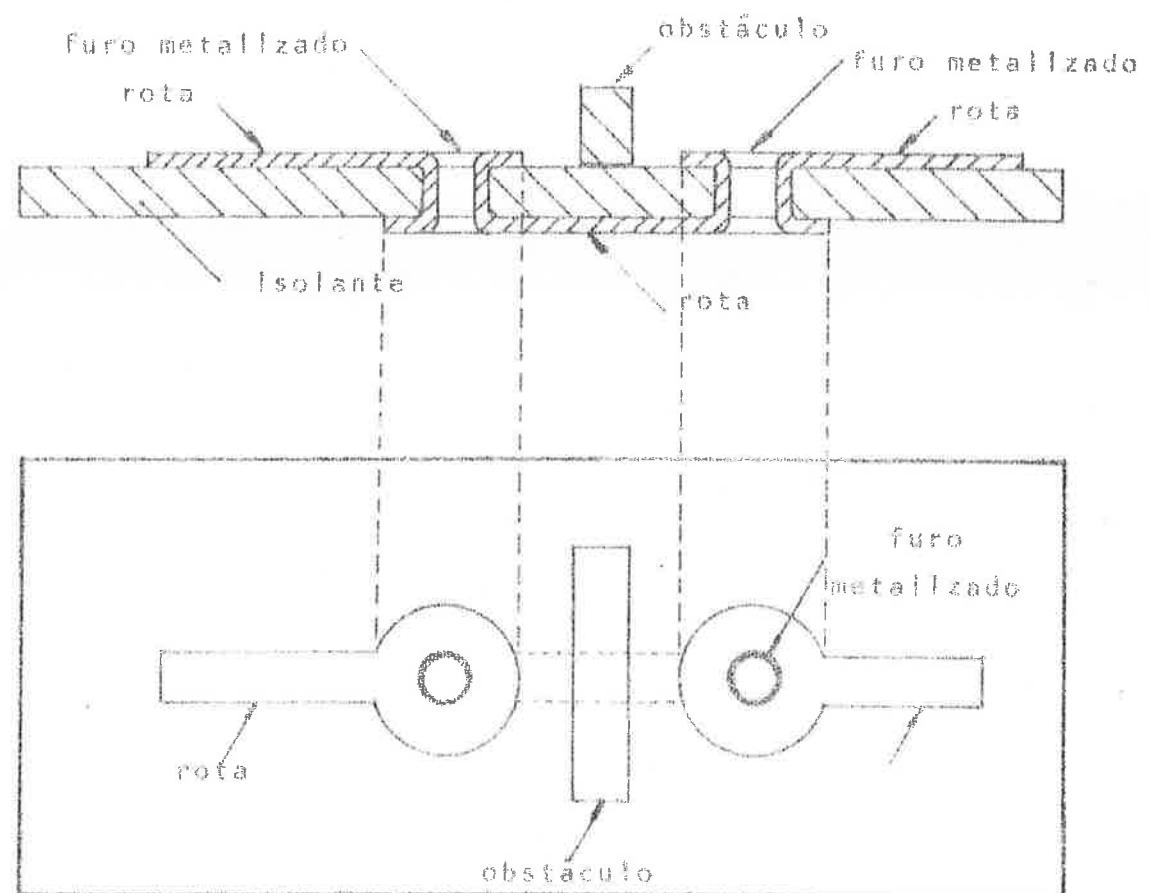


Fig. 3.5 - Furos Metállizados

Por vezes, entretanto, o número de rotas necessárias numa placa é tão grande, que respeitados os vínculos adicionais impostos por projeto, a disponibilidade das duas faces da placa não é suficiente para se poder interligar os componentes.

Para realizar circuitos em tais circunstâncias, desenvolveu-se a tecnologia "multi-níveis" onde várias placas de circuito impresso são justapostas paralelamente, acopladas mecanicamente, e interligados entre si por segmentos de fio metálico que transpassam uma ou mais placas possibilitando a condução de sinais elétricos a níveis diferentes. (Figura 3.6)

A tecnologia de multi níveis é também aplicada para interligar placas de circuito impresso com alto índice de interligação entre si. A vantagem obtida por esse processo, é a de economizar espaço (contatos) nos conectores, que são os acopladores elétricos entre as placas e o sistema elétrico. Por outro lado, montagens em multi níveis são problemáticas para serem reparadas quando da necessidade da substituição de componentes.

O trabalho aqui apresentado, é orientado para a realização de placas metallizadas em ambas as faces, com recurso de utilização de furos metallizados, podendo essas placas serem independentes ou pertencerem a uma montagem em multi nível. O tratamento será feito considerando-se uma placa isoladamente.

O processo de produção, para o qual este trabalho foi desenvolvido, é descrito nos itens seguintes deste capítulo. Entretanto, por se tratar da abordagem de uma das fases do processo, os resultados aqui apresentados, podem ser aplicáveis a qualquer outro processo, desde que a fase de definição da posição das rotas de circuito impresso, seja uma das componentes do método escolhido.

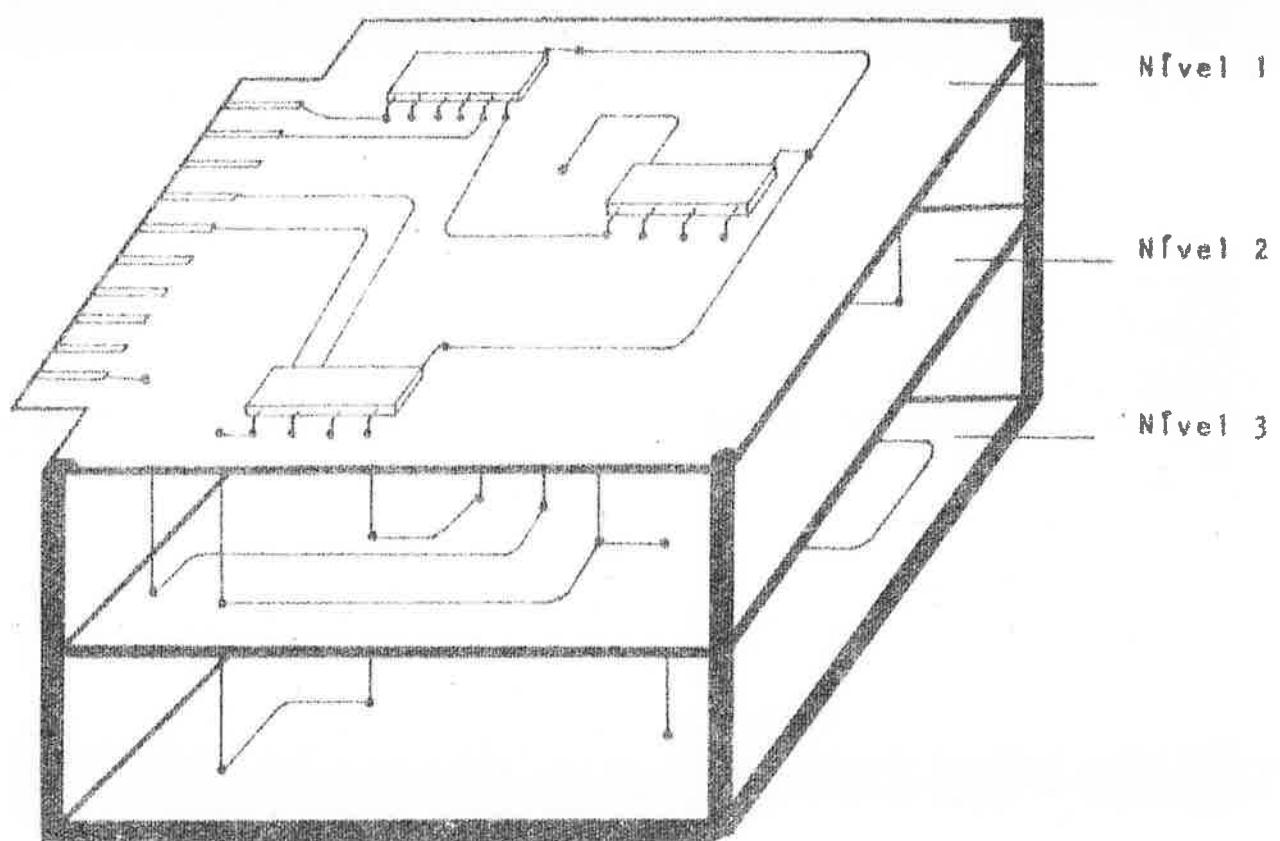


Fig. 3.6 - MultInvels

3.3 - PLANTA DAS ROTAS (LAY-OUT)

Chama-se de Planta das Rotas, ou "Lay-Out" de circuito impresso, a descrição gráfica da topologia dos segmentos, que representam os caminhos elétricos de interligação entre os pontos que devem ser conectados.

A planta de rotas é o resultado do projeto de ligação, observando-se vínculos pré-estabelecidos.

Os vínculos principais são:

- Dimensão física da placa
- Relação e dimensão dos componentes elétricos que fazem parte do circuito
- Posição na placa de cada componente
- Relação das rotas cujas posições são pré-definidas
- Relação das interligações a serem executadas
- Outros vínculos tais como: distância mínima entre rotas coplanares e paralelas, distância mínima entre dois furos metallizados, número de rotas que podem passar entre terminais adjacentes de um circuito integrado, área mínima permitida para uma solda, fase sobre a qual serão fixados os componentes, tipo de fixação etc.

Com essas informações, o projetista passa a representar graficamente, sobre uma folha térmica e higroscopicamente estável, a posição dos terminais dos componentes. Essa folha além de ser translúcida, deve ser previamente reticulada, obedecendo dimensões que decorrem dos vínculos do projeto. Sobre o reticulado, adota-se um sistema de coordenadas. Assim após a representação de to-

dos componentes e de posse da lista de interligações, parte-se para o projeto dos caminhos de interconexão, respeitando-se os vínculos impostos.

Quando o projeto está concluído, tem-se o diagrama esquemático das posições das rotas bem como as coordenadas de cada furo metalizado definido.

Quando realizado manualmente, o projeto da posição das rotas, que consiste na busca de interligações, é a fase mais trabalhosa e demorada de todo o processo e dependente da prática da pessoa que a executa. Por vezes, quando boa parte de um projeto já está realizada, é necessário voltar atrás, pois um compromisso de posição de rota já assumido, pode dificultar o prosseguimento do projeto, ou mesmo invalidá-lo.

Normalmente, a planta é executada em escala ampliada, para possibilitar ao projetista, maior liberdade de traço e retificação, se necessário, para o desenvolvimento desta fase.

Nos últimos anos, grande esforço, para automação do projeto de rotas, tem sido desenvolvido, por entidades de pesquisa e firmas produtoras de sistemas digitais, com a finalidade de se obter métodos computacionais, que possam reduzir os custos de projeto, bem como abreviar o tempo necessário para produzi-lo.

A planta de rotas pode ser uma única para uma dada placa, mas nesse caso deve-se utilizar traços ou cores distintas para a identificação dos segmentos de rotas que pertençam a uma e outra face da placa.

Em processos computacionais, essa planta pode ser desdobrada, facilitando a fase seguinte.

3.4 - ARTE-FINAL

Uma vez obtida a planta de rotas de uma placa de circuito impresso, é preciso que se execute uma nova planta, réplica da primeira, porém mais precisa. É a arte-final.

Utilizando-se uma folha de material translúcido, térmica e higroscópicamente estável, passa-se a um processo de colagem por superposição.

Sobre uma prancha com tampo de vidro, iluminada por transparência, coloca-se a planta de rotas, e sobre esta, a folha de arte final. Inclina-se então o processo de colagem de fitas adesivas especiais não transparentes, que representam as rotas, e padrões pre-definidos para simbolizar regiões de metalização.

Esta operação pode ser considerada artesanal pois consiste em copiar por superposição a planta de rotas executando uma colagem que será a real imagem do circuito impresso.

Nesta fase deve ser feita distinção entre as faces da placa, executando-se uma planta de arte-final para cada face da placa projetada.

A planta de arte-final deve conter tão somente os detalhes que farão parte da placa de circuito impresso, e nas suas reais proporções.

Como no caso da planta de rotas, a planta de arte-final, normalmente, é executada em escala ampliada, para facilitar a execução e permitir maior precisão no processo. Por ser produzida por superposição a escala adotada é a mesma da planta de rotas.

A diferença básica entre as plantas de rotas e arte-final é que enquanto a primeira guarda a informação de posição de uma rota, a segunda a representa em sua posição e características reais.

Uma escala de ampliação comumente utilizada é de 4 vezes.

Obtem-se assim, para uma dada placa de circuito impresso, duas plantas de arte-final, correspondentes respectivamente a cada uma das faces da placa, onde estão demarcadas as posições e regiões em cada face, onde deverá existir condução elétrica.

3.5 - PRODUÇÃO DO CIRCUITO IMPRESSO

Obtida a arte-final de uma placa dá-se prosseguimento ao processo de produção do circuito impresso através do processamento fotográfico.

Cada uma das plantas de arte final será fotografada e reduzida às dimensões reais da placa a ser realizada. A redução é executada na operação de fotografia, obtendo-se assim um foto lito para cada face da placa.

É importante que a arte-final seja conferida, rigorosamente, pois um eventual erro ocasionará falhas elétricas, somente detetáveis no final do processo de produção.

Com os filmes revelados passa-se a fabricação do circuito impresso. Nessa altura as placas virgens (metallizadas completamente em ambas as faces) já devem ter passado pelo processo de furação, tendo sido perfuradas nos pontos onde serão produzidos os furos metallizados para passagem de sinal elétrico, e

nos pontos de fixação e contato dos componentes.

Em seguida é realizado o processo de metallização dos furos e posteriormente, devidamente limpas, as placas são submetidas a substâncias específicas sendo sensibilizadas por um processo fotográfico. As placas passam a seguir, por uma série de banhos químicos e eletrolíticos, onde as superfícies serão corroídas e eliminadas, nas regiões onde não devem existir rotas.

Como resultado obtém-se placas de circuito impresso com elevado grau de precisão.

Notese que após a obtenção dos filmes fotográficos, pode-se produzir placas em número desejado, com o mínimo emprego de mão de obra, por um processo repetitivo de fabricação.

Uma vez prontas as placas sofrem uma operação de inspeção para que sejam verificadas eventuais falhas de fabricação. Aprovadas nesse teste, as placas estão prontas para receber os componentes elétricos e pontos de solda, que fixarão os terminais dos componentes nos furos metallizados.

Resta agora o teste funcional, ou seja a observação do comportamento elétrico de cada placa. Para tanto acopla-se a placa a um circuito apropriado de teste (normalmente um computador), programado para verificar exaustivamente o comportamento da mesma.

Nesta fase pode-se constatar defeitos ocasionados por falha de componente, falha de solda, falha de circuito impresso ou falha de projeto.

Outros processos existem, que possibilitam a produção de placas de circuito impresso de maneira mais automática. Por exem-

pto, a produção imediata do filme fotográfico como resultado do processamento de programas de projeto de rotas. Para isso é necessário entretanto, um sistema de computação relativamente complexo, dotado de periféricos específicos e de alta precisão.

CAPITULO 4 - METODOLOGIA UTILIZADA

METODOLOGIA UTILIZADA

4.1 - OBJETIVO

Neste capítulo pretende-se expor os critérios e métodos escolhidos para a abordagem do problema de rotas de circuito impresso. Cabe frisar que a preocupação primeira desse trabalho, é apresentar uma solução a um problema de engenharia, motivo pelo qual ater-se-á a detalhes que, do ponto de vista matemático, podem ser considerados de menor importância.

4.2 - A MATRIZ EQUIVALENTE

A abordagem do problema de rotas de interconexão, aqui, limita-se ao caso de implementação de circuitos elétricos em placas bimetalizadas, onde a existência de rotas pode se dar em cada uma das faces da placa. Essa restrição, entretanto, não é uma séria limitação pois a grande maioria das montagens elétricas atuais, são realizadas em placas bimetalizadas.

Pressupõe-se também a possibilidade de furos metallizados, tecnologia que torna possível a passagem de um sinal elétrico de uma para a outra face da placa.

Inicialmente, surge a necessidade de se referenciar um ponto qualquer de qualquer um dos lados de uma placa, para tanto basta adotar um sistema de coordenadas para cada face, entendendo-se por "placa" um retângulo de substrato isolante recoberto por uma película, condutora eletricamente, em ambas as faces.

Levando-se em consideração a espessura, a placa pode ser considerada como sendo um paralelepípedo ortogonal de dimensões $V \times H \times E$, conforme figura 4.1 .

Definindo-se , sobre as faces do paralelepípedo de dimensão $V \times H$, um reticulado onde as linhas são paralelas as bordas das faces e de tal forma que a projeção ortogonal do reticulado da face superior concida com o reticulado da face inferior, pode-se imaginar que a placa é composta de pequenos paralelepípedos justapostos , de dimensão $A \times A' \times E$ conforme figura 4.2 .

As dimensões V , H e E são dados definidos em fases anteriores, portanto vínculos já estabelecidos. As dimensões A e A' devem ser aqui definidas.

Considere-se uma das faces da placa, conforme figura 4.3 .

Seja : W = Largura mínima de um condutor elétrico Impresso (rota).

S = Espaçamento mínimo entre dois condutores elétricos impressos e de sinais elétricos diferentes.

D = Distância entre pinos contíguos de componentes elétricos usados.

Assim, Inicialmente, para que um ponto possa ser atingido por uma rota bastaria que :

$$A \geq W + S$$

Figura 4.4 .

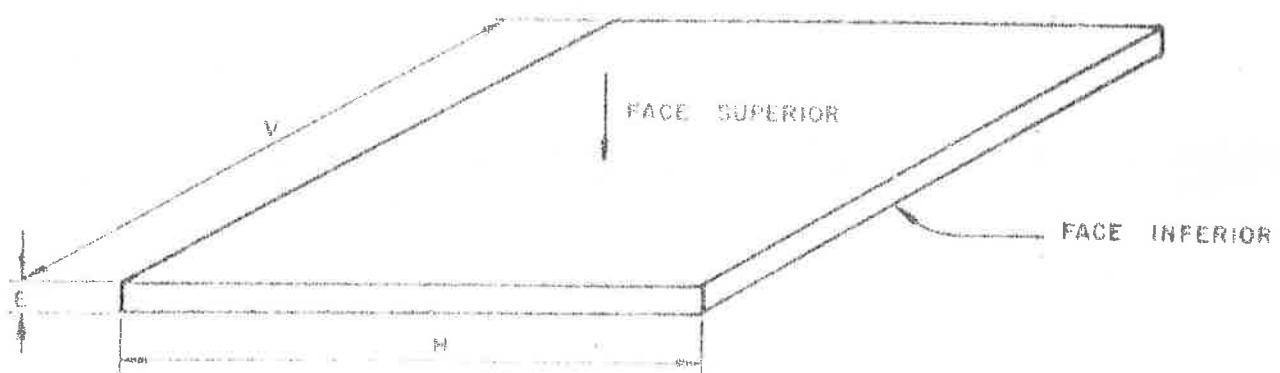


Figura 4.1 - Placa como um Paralelepípedo

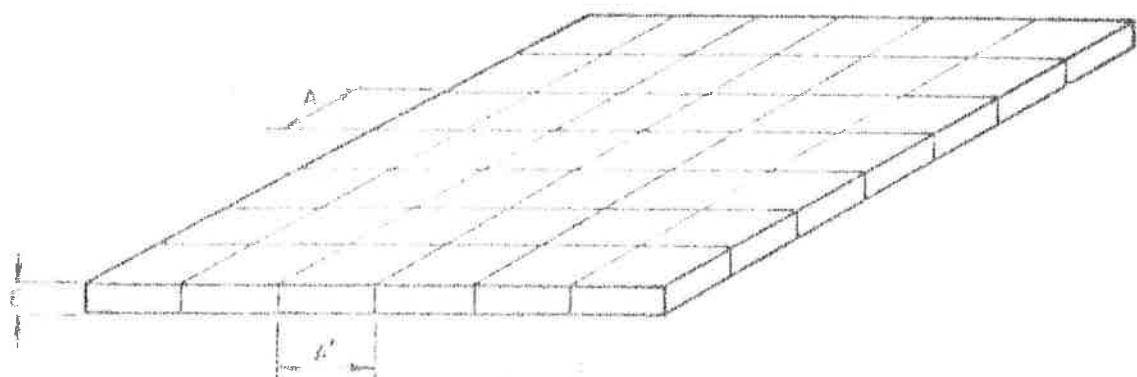


Figura 4.2 - A Placa composta pela juxtaposição
de pequenos Paralelepípedos

Na realidade porém, em montagens com circuitos integrados por exemplo, o vínculo é restritivo e é assim considerado.

Seja a representação de furos contíguos de um circuito integrado conforme figura 4.5. Esses furos são feitos para o encaixe dos terminais do circuito integrado. A distância entre os pinos é um vínculo que depende do componente utilizado. (Usualmente a distância é de 0.1 de polegada).

Para que cada furo possa ser atingido por uma rota elétrica tem-se :

$$A = d, \quad A \geq W + S$$

Nos casos reais entretanto, para circuitos impressos com grande densidade de componentes, os vínculos citados não bastam. Pelo elevado número de interconexões, é necessário que entre cada par de furos possa passar uma ou mais rotas, viabilizando maior número de ligações.

Assim, se for desejado que entre cada par de furos contíguos possam passar n rotas tem-se :

$$A = \frac{d}{n+1} \quad \text{e} \quad d \geq (n+1)(W+S)$$

Um caso típico é o de $n = 1$ (vide figura 4.6). Neste caso as restrições são :

$$A = \frac{d}{2} \quad \text{e} \quad d \geq 2(W+S)$$

Até aqui foi considerado somente o caráter de "furos contíguos". Considerações análogas devem ser feitas para "furos opostos" (vide figura 4.5).

Sendo : m = número de rotas possíveis entre furos opostos

D = distância entre furos opostos

$$\text{tem-se : } A' = \frac{D}{m+1} \quad \text{e} \quad D \geq (m+1)(W+S)$$

Um caso típico é o de $m = 3$ (vide figura 4.7). Neste caso as restrições são :

$$A' = \frac{D}{4} \quad \text{e} \quad D \geq 4(W+S)$$

Desta forma define-se o reticulado para discretização da placa de circuito impresso, onde cada paralelepípedo terá a dimensão $A \times A' \times E$, conforme exposto.

Chamar-se-á ELEMENTO DE PLACA a cada paralelepípedo de dimensões $A \times A' \times E$.

Chamar-se-á CÉLULA a cada uma das faces de dimensões $A \times A'$, de um elemento.

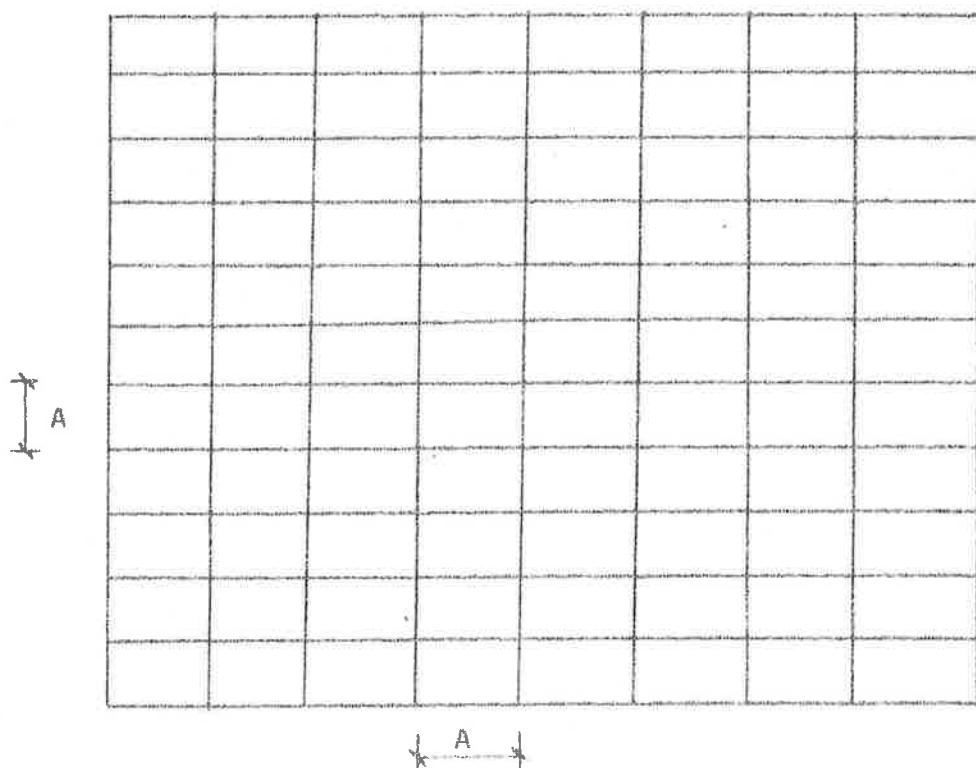


Figura 4.3 - Face superior da placa



Figura 4.4 - Binomialmento do reticulado levando-se em consideração W e S .

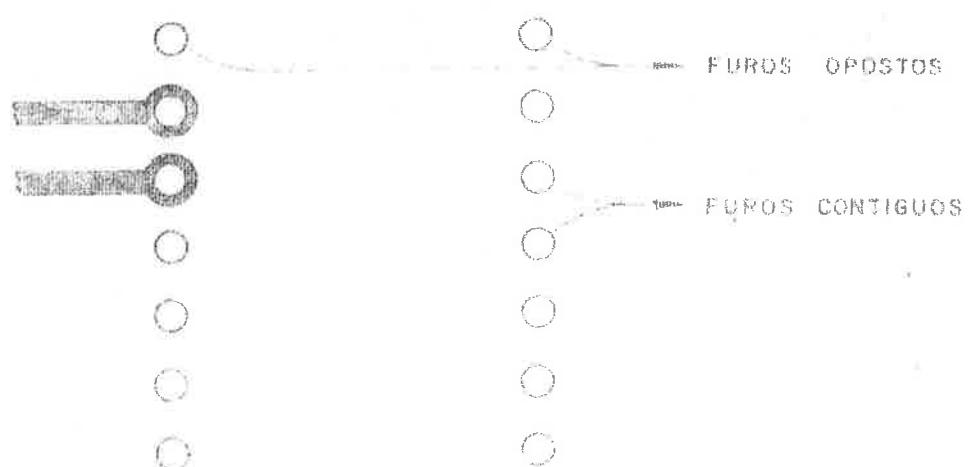


Figura 4.5 - Representação do padrão de furos para circuito integrado de 14 terminais.

Após a definição do reticulado conveniente, para um dado problema, pode-se imaginar a placa de circuito impresso como sendo uma matriz-placa tridimensional com: N linhas, M colunas e 2 planos, onde : $N = \frac{V}{A}$ e $M = \frac{H}{AT}$

Assim pode-se definir um "sistema de coordenadas absolutas", cartesianas. Para que haja compatibilidade entre o sistema de coordenadas e o tratamento matricial adotou-se o sistema de coordenadas para um espaço de três dimensões (i, j, k), onde a matriz de elementos ocupa o primeiro quadrante de orientada segundo o plano (i, j), (figura 4.8).

Logo, cada elemento da placa fica indicado por um par ordenado (x, y), e cada célula por um termo ordenado (x, y, z) onde:

$$1 \leq x \leq M$$

com x e y inteiros

$$1 \leq y \leq N$$

$$z \begin{cases} = 1 \text{ superior} \\ = 2 \text{ inferior} \end{cases}$$

Tem-se então uma "MATRIZ EQUIVALENTE" à placa de circuito impresso.

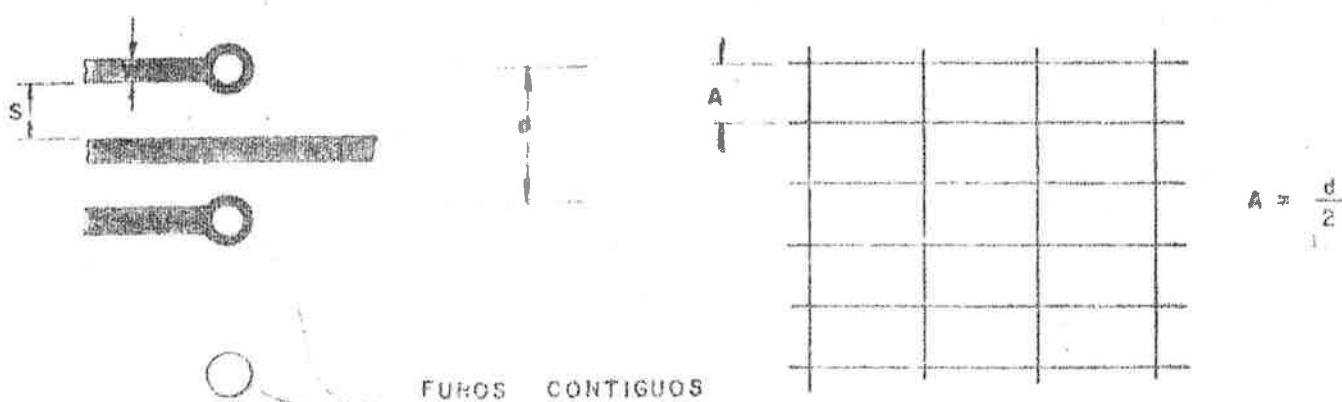


Figura 4.6 - Dimensionamento de A para o caso n = 1

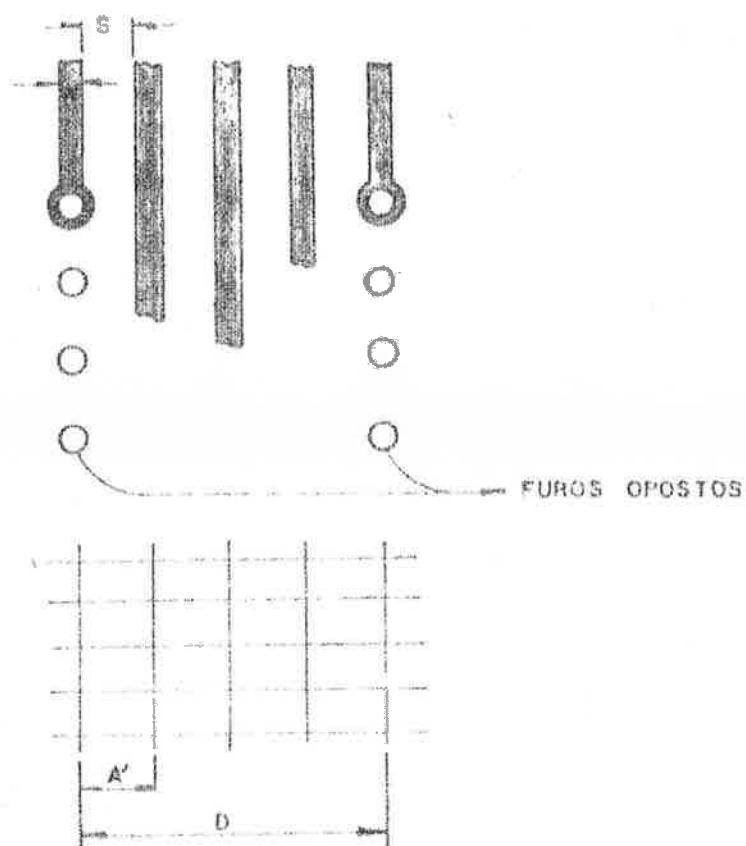


Figura 4.7 - Dimensionamento de A' para o caso $m = 3$

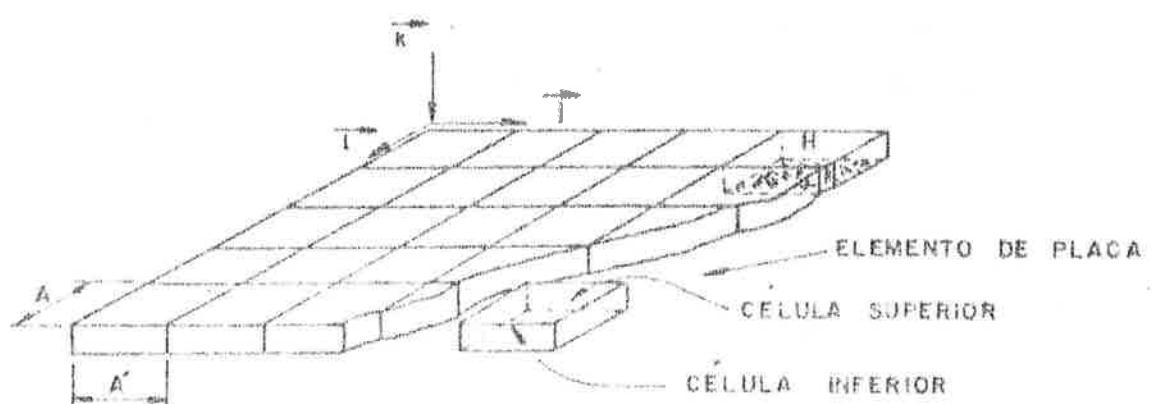


Figura 4.8 - Matriz da placa de circuito impresso

Em termos computacionais, essa matriz é de dimensão ($N, M, 2$), onde cada elemento matricial estará associado a uma célula.

Assim na figura 4.8 a célula G terá um elemento matricial equivalente $(1, 5, 2)$ e a célula H $(1, 5, 1)$.

A cada elemento estarão associadas informações que caracterizam o compromisso da célula, a ele associada, com o processo de definição das rotas de circuito impresso. Uma delas é o "CÓDIGO DE OCUPAÇÃO" que, além de indicar a situação de ocupação, também registra a eventual relação com outras células.

Alguns dos códigos de ocupação são utilizados para situações especiais e serão discutidos em ocasião oportuna. Abaixo são descritos alguns códigos de ocupação :

Código 0 : Célula vazia

Código 1 : Célula ocupada por pino. Esse código aparece sempre aos pares pois quando da existência de um furo numa placa ele ocupa duas células, as que pertencem a um mesmo elemento da placa.

Código 2 : Célula ocupada sem compromisso com outras células.

Código 3 : Célula ocupada por Furo metallizado. Também aparece aos pares como no código 1.

Código 4 : Célula já integrante de uma rota.

Código 7 : Célula livre porém proibida para furo. Isso indica que a outra célula do mesmo elemento de placa já está ocupada.

Inicialmente todas as células são atribuídas o código 0 .

4.3 - COMPONENTES E LIGAÇÕES

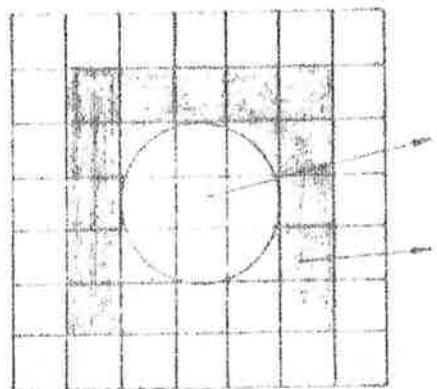
Não são somente os furos e as rotas que ocupam espaço numa placa de circuito impresso. Pode o projetista forçar outros vínculos necessários. Suponha-se, por exemplo, que para fixação mecânica, seja preciso reservar uma certa área da placa, para um furo de fixação. Nesta área, não poderão passar rotas em nenhuma das faces da placa, nem tampouco poderá ser utilizada para fixação de componentes elétricos. Dever-se então permitir ao projetista, o recurso de pré-definir características de células para atender às necessidades do projeto.

Como na fase de implementação física de uma placa de circuito impresso, a operação pode ser afetada por erros de posicionamento da placa, ou por erros intrínsecos à própria operação, previstos e dentro de certos limites, a posição destinada a um furo, deve ser circundada por uma região que garanta que o furo cai dentro dela. Isso quer dizer que, toda vez que se define um furo, na realidade está se definindo uma região dentro da qual o furo pode ser realizado.

Outro caso de definição de área, é o caso de regiões de solda para fixação de componentes elétricos.

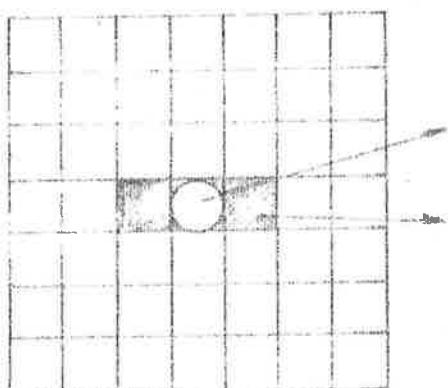
Por questões construtivas algumas formas de regiões pré-definidas, são utilizadas com muita frequência. Tais formas pré-definidas são chamadas de "PADRÕES DE OCUPAÇÃO". Padrões de ocupação como os mostrados na figura 4.9 podem ocorrer centenas ou milhares de vezes numa única placa de circuito impresso.

Fisicamente, os componentes eletrônicos podem ser fixados numa placa de circuito impresso de duas maneiras :



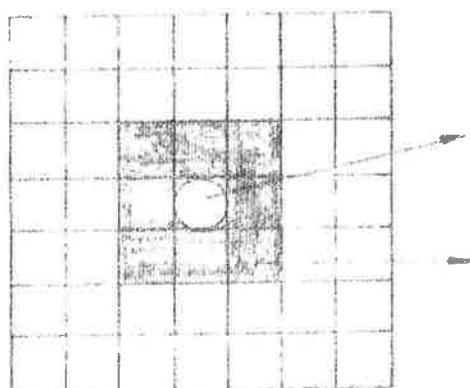
Furo de fixação de placa

Região proibida para sinal elétrico



Furo para pino de circuito integrado

Região reservada na face da placa onde ficam os componentes



Furo para pino de circuito integrado

Região reservada na face da placa onde ficam as soldas

Figura 4.9 - Regiões pré-definidas ou reservadas

- Por Contato : Quando o componente e a solda de fixação ficam do mesmo lado da placa. Neste caso uma raia elétrica só pode atingir um terminal do componente pela face da placa sobre a qual ele se fixa (figura 4.10).
- Por Penetração: Quando os terminais de um componente eletrônico alojam-se em furos metallizados. Aqui uma raia elétrica pode atingir um terminal por qualquer das duas faces da placa. Este tipo de fixação é caracterizado pelo fato de o componente e respectivas soldas de fixação ficarem em faces distintas (figura 4.11) .

Considerando-se um b�힍olo elétrico (por exemplo um resistor), se fixado por contato ocupará teoricamente, duas células; se fixado por penetração ocupará também as duas outras células dos elementos de placa aos quais pertenciam as duas anteriores.

De maneira geral, dado um certo reticulado e a consequente matriz-placa um "PADRÃO DE COMPONENTE" é o conjunto de células que serão ocupadas pelos pontos de fixação de um componente elétrico.

Por simplicidade um padrão de componente é sempre definido num "sistema de coordenadas relativas", semelhante ao aplicado sobre a matriz-placa, considerando-se um reticulado de mesmas dimensões. Para exemplificar, na figura 4.12 é mostrada a representação de um circuito integrado de 14 pinos através de seu padrão. Assume-se que o circuito seja fixado por contato.

As células ocupadas, supondo que o componente esteja fixado na Face superior da placa, são :

(1,1,1), (3,1,1), (5,1,1), (7,1,1), (9,1,1), (11,1,1), (13,1,1),
(13,5,1), (11,5,1), (9,5,1), (7,5,1), (5,5,1), (3,5,1), (1,5,1).

Para facilitar o posicionamento de um padrão de componente, define-se o PONTO CARACTERÍSTICO de posicionamento, que é um dos elementos do padrão, referenciado por coordenadas relativas.

Para se posicionar um padrão de componente na matriz equivalente basta tomar as coordenadas absolutas de um ponto do plano (x, y), da matriz equivalente, e sobre ele fazer coincidir o ponto característico de posicionamento do padrão desejado.

Assim, se for escolhido o ponto (5, 6) do plano (x, y) da matriz equivalente e de se desejar aplicar sobre ele o padrão da figura 4.12, o componente será posicionado ocupando as células :

(6,7,1), (8,7,1), (10,7,1), (12,7,1), (14,7,1), (16,7,1), (18,7,1),
(18,11,1), (16,11,1), (14,11,1), (12,11,1), (10,11,1), (8,11,1),
(6,11,1).

Desde que o ponto (0, 0), do sistema relativo de coordenadas, seja o ponto característico escolhido para posicionamento do padrão. Cumpre lembrar que nessa operação os eixos x e y relativos ao sistema relativo e ao sistema absoluto de coordenadas são mantidos paralelos respectivamente e orientados nos mesmos sentidos.

Esse tipo de posicionamento facilita a descrição, pelo usuário, pois de outra forma, seria necessária a descrição célula a célula, no sistema absoluto de coordenadas respectivamente representando cada um dos pontos do padrão do componente.

No caso dos padrões de ocupação, uma forma semelhante de descrição é adotada e poderá ser melhor entendida no subcapítulo 4.4 .

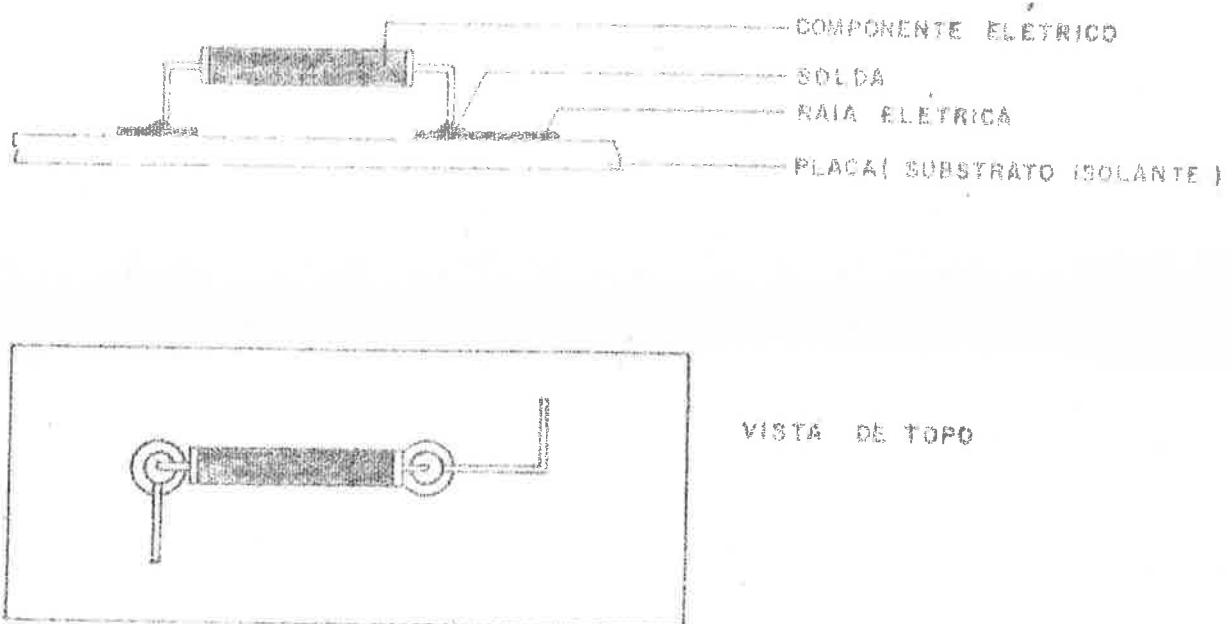


Figura 4.10 - Fixação por contato

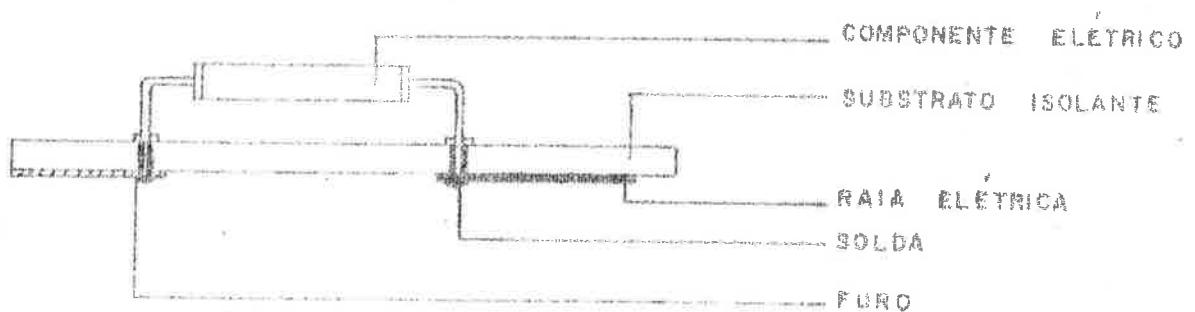


Figura 4.11 - Fixação por penetração

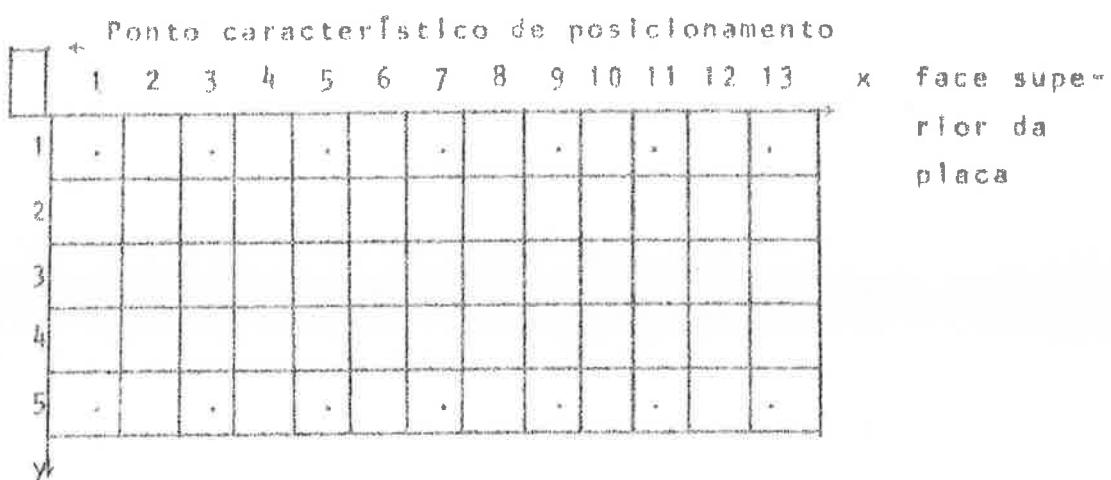


Figura 4.12 - Padrão de circuito integrado de 14 pinos

Dessa forma, dada uma placa de circuito impresso, a relação de componentes que nela devem ser fixados e a posição de cada componente na placa, resta cuidar do detalhe das interconexões entre células que alojam pinos de componentes elétricos : as ligações.

Cabe aqui uma observação. Normalmente todos os sinais elétricos que chegam ou que saem de uma placa de circuito impresso, o fazem através de um conector , posicionado numa das bordas da placa (Figura 4.13).

Para efeito de circuito impresso o conector é classificado como um "componente elétrico especial", podendo, portanto,sófrer o mesmo tratamento que os componentes elétricos.

Os padrões de componentes e de ocupação são definidos pelo projetista.

As interconexões são descritas através de uma lista de ligações, onde cada item dessa lista é composto por um conjunto de pontos a serem interligados. Esses pontos podem ser: terminais de conector, pinos de circuitos integrados, terminais de resistores e capacitores ou genericamente, qualquer células da placa, em qualquer das suas faces.

Por questões construtivas as ligações são classificadas em três grupos :

GRUPO 1 - LIGAÇÕES ESPECIAIS - Essas ligações caracterizam rotas de circuito impresso, cujas posições são previamente definidas pelo projetista. São definidas por um conjunto de segmentos de reta onde as extremidades de cada segmento são células descritas por suas coordenadas. Cabe ao projetista definir em que face da placa deve ser alocado cada segmento. No caso de um segmento ser alocado numa das faces da placa, e o segmento seguinte na outra, nas coordenadas comuns aos dois segmentos, será definido automaticamente um furo metallizado. Na figura 4.14 é mostrado um corte de uma placa onde o segmento A - B foi declarado na Face superior e o segmento B - C na face inferior. Como ambos pertencem a uma mesma ligação, o ponto B será um furo metallizado.

Como normalmente esse tipo de ligação é utilizada para descrever rotas de alimentação (Vcc) ou rotas de terra elétrico, pode o projetista, somente neste Grupo, definir rotas de maior largura que a largura padrão W.

Na figura 4.15 a rota A-B-C-D-A pode ser entendida como sendo uma rota A-C de largura maior. A necessidade desse recurso deve-se aos níveis de corrente que estão associados a essas rotas, serem maiores que os das demais.

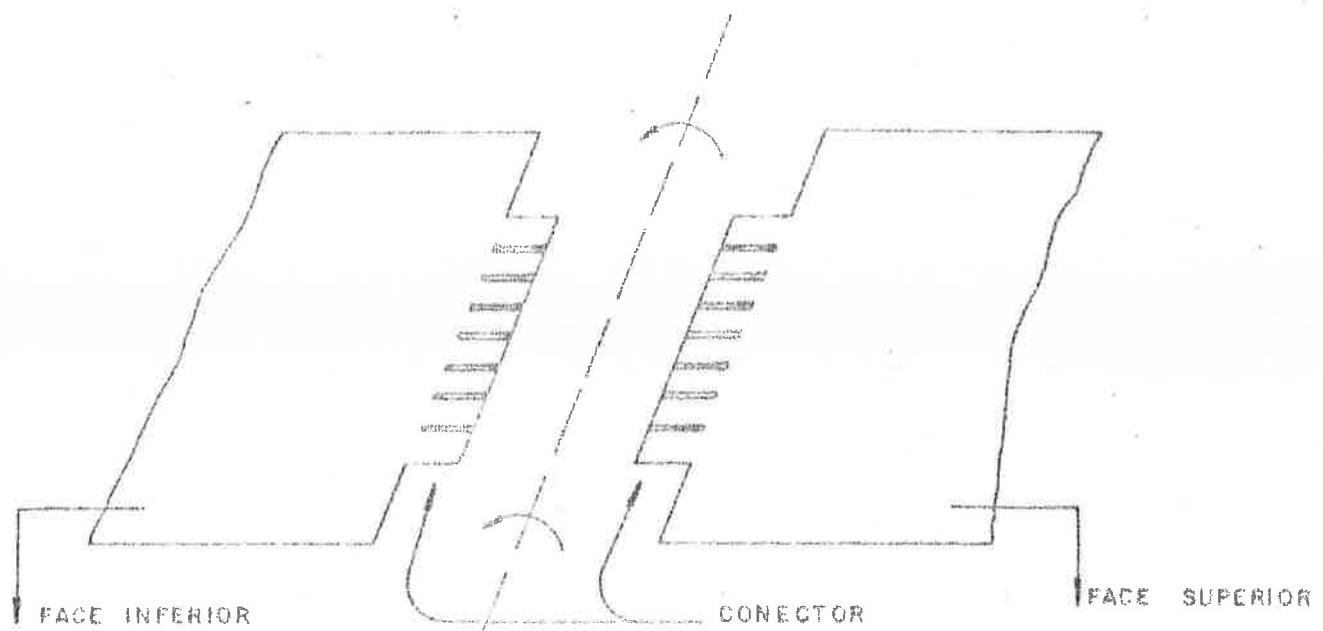


Figura 4.13 - Conector

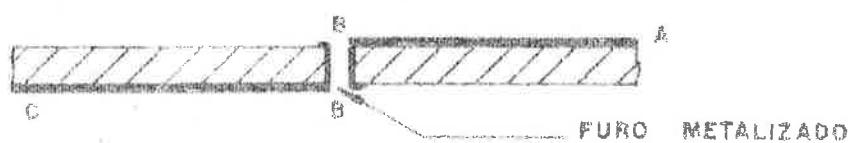


Figura 4.14 - Corte de placa. Ligação de segmentos em faces distintas

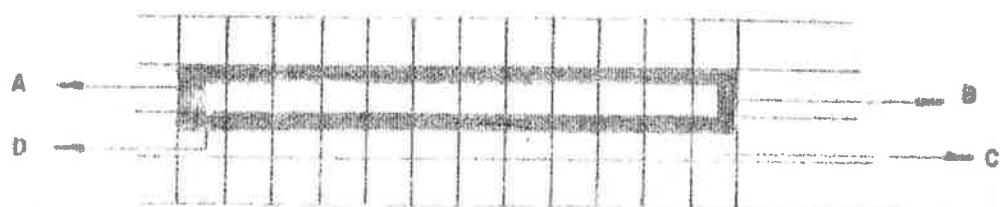


Figura 4.15 - Rota de Largura maior

Cada ligação é caracterizada ainda por um código que a identifica. Somente no caso do Grupo 1 um mesmo código de ligação pode ser declarado mais que uma vez numa placa, caracterizando rotas não conexas, para permitir maior liberdade ao usuário.

GRUPO 2 - LIGAÇÕES PRIORITÁRIAS - Por questões elétricas, em circuitos onde tem-se altas frequências envolvidas pode uma determinada ligação, ter que ser realizada por uma rota cujo comprimento seja o menor possível. Como as ligações desse grupo são tratadas por algoritmos específicos, é preciso que essas ligações sejam atendidas antes que as demais. Dessa forma a placa estará ainda com poucos "obstáculos" e a rota poderá ser definida satisfazendo os requisitos de menor distância.

Por obstáculo, aqui, entende-se uma outra rota de sinal elétrico diferente, células de padrões de componentes e de ocupação.

Dentro desse Grupo de Ligações, a ordem de prioridade para tratamento das rotas será a ordem de declaração de ligações.

As rotas que implementam as interconexões desse grupo são compostas por um conjunto de segmentos consecutivos interligados por furos metallizados, isso para atender ao requisito das "DIREÇÕES PREFERENCIAIS DA PLACA". Define-se como segue, direção preferencial para uma placa.

Dada uma placa e um sistema de coordenadas, caracteriza-se uma direção chamada VERTICAL que é indicada pelo eixo y. Outra direção chamada HORIZONTAL é caracterizada pelo eixo x. Define-se ainda para uma das faces da placa a denominação SUPERIOR e para a outra face a denominação INFERIOR. Para evitar cruzamento de rotas de sinal elétrico diferentes, faz-se com que numa das faces da placa, sejam alocados segmentos de rotas paralelos entre si, e de mesma direção que a direção preferencial desta face, sendo os demais segmentos na outra face, também paralelos entre si, e de mesma direção que a direção preferencial da face. Para definir as direções preferenciais, basta o projetista estabelecer um dos dois vínculos:

SUPERIOR e HORIZONTAL (logo inferior e vertical)

ou

SUPERIOR e VERTICAL (logo inferior e horizontal)

Os segmentos de uma mesma rota e em faces distintas, são conectados por furos metallizados.

Dá-se o nome de direção preferencial pois, em alguns casos adiante descritos, bem como no caso das ligações especiais, tais direções podem ser contrariadas.

GRUPO 3 - LIGAÇÕES NORMAIS - São consideradas normais, as de mais ligações que não apresentam restrições que posam enquadrá-las nos grupos anteriores. Obedecem as direções preferenciais da placa e, para efeito de execução, são classificadas segundo um critério adiante exposto.

Assim, teoricamente, após a realização de todas as ligações de uma placa, ter-se-á em cada face, um conjunto de segmentos paralelos entre si que, ligados com furos metallizados aos segmentos da outra face, definirão as rotas de circuito impresso para a placa proposta.

Ao atingir essa situação estará resolvido o problema de "Lay-out" para a placa, através das plantas de segmentos de rotas de cada face, e da relação e posição dos furos metallizados necessários para a interconexão.

4.4 - DESCRIÇÃO DOS DADOS

Conforme exposto no Capítulo 2, a fase de definição de rotas de circuito impresso pode ser considerada uma das partes integrantes de um Sistema Integrado de Automação de Projetos de Sistemas Digitais. No entanto, o problema da definição de rotas de circuito impresso é muito mais amplo, abrangendo também a área dos circuitos analógicos. Assim, atualmente, em todo desenvolvimento de circuito eletrônico, um problema a ser resolvido é o circuito impresso.

Com o objetivo de se poder implementar, isoladamente, esta etapa da Automação de Projetos, bem como de se poder resolver problemas específicos de circuito impresso, foi desenvolvida uma forma de descrição de dados que possibilita ao projetista, descrever problemas com facilidade, através de uma Pseudo-línguagem adequada, que atende tanto ao requisito de fácil utilização como orienta o usuário quando da ocorrência de erros. Note-se que a preocupação principal não foi desenvolver uma línguagem no seu aspecto sintático e semântico, mas sim, estabelecer um padrão para a fácil comunicação usuário - programa-usuário - .

Toda a descrição do problema é orientada para a utilização de cartões perfurados.

Optou-se pela definição de campos em posições fixas de cartões pois, como normalmente a descrição de um problema de circuito impresso envolve tabelas de dados, é mais fácil localizar um eventual erro, quer em listagens quer no próprio cartão.

As declarações da pseudo-línguagem estão divididas em dois níveis principais :

- Nível de controle
- Nível de especificação

As declarações em nível de controle são gerais e indicam a ação a ser tomada pelo programa, em referência as declarações seguintes.

As declarações em nível de especificação são particulares e caracterizam o problema a ser resolvido. Através delas far-se-á a descrição dos dados.

- Declaração em Nível de Controle

São caracterizadas por um caráter "*" na primeira coluna do cartão seguido de uma palavra de controle que indica a situação ou procedimento.

Relaciona-se a seguir os principais cartões de controle e suas funções básicas.

DECLARAÇÕES DE CONTROLE	
*	INICIAR
*	GERAR
*	ARMAZENAR
*	DELIR
*	LSTAR
*	FIN
*	IDENTIFICAÇÃO
*	PARÂMETROS
*	COMPONENTES
*	SINAIS

* INICIAR

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 8	" INICIAR "
9 - 80	Comentários

Esse comando prepara o sistema de programas, limpando todos os arquivos de dados, bibliotecas de padrões, preparando o sistema para nova utilização, através da adequação de valores de ponteiros.

* GERAR

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 6	" GERAR "
7 - 80	Comentários

Esse comando permite que sejam compilados novos dados, que resultarão em um novo padrão de componente, ou padrão de ocupação, segundo as normas de descrição adotadas e adiante expostas. A compilação consiste numa análise formal de descrição, bem como na análise lógica dos dados, procedendo a uma triagem sumária do modelo, detetando erros e emitindo mensagens, que estão relacionadas no APÊNDICE I.

* ARMAZENAR

COLUNAS	CONTEÚDO
1 - 1	" *
2 - 10	"ARMAZENAR"
11 - 80	Comentários

Após a geração, esse comando executa a inclusão do novo padrão na biblioteca de padrões. Notar-se que tal ação só será efetivada se algumas condições forem satisfeitas, por exemplo: não tiver ocorrido erro na compilação, o nome do novo padrão não existir na biblioteca, etc.

* DELIR (Apagar)

COLUNAS	CONTEÚDO
1 - 1	" *
2 - 6	" DELIR "
7 - 80	Comentários

Esse comando permite que sejam apagados os padrões, cujos nomes venham relacionados a seguir, atualizando o índice da biblioteca bem como relocando os arquivos de dados.

* LISTAR

COLUNAS	CONTEÚDO
1 ~ 1	" * "
2 ~ 7	" LISTAR "
8 ~ 80	Comentários

Esse comando causa a listagem completa de todos os padrões gerados e incorporados à biblioteca, no mesmo formato que foram especificados, possibilitando ao usuário, a qualquer instante, informação detalhada dos padrões disponíveis.

* FIM

COLUNAS	CONTEÚDO
1 ~ 1	" * "
2 ~ 4	" FIM "
5 ~ 80	Comentários

Esse comando termina o processamento de forma normal.

Os comandos até aqui relacionados, são pertinentes a manipulação da biblioteca de padrões. Os comandos que se seguem são aplicáveis à execução de processamentos para os quais os padrões necessários estejam previamente gerados.

* IDENTIFICAÇÃO

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 14	"IDENTIFICAÇÃO"
15 - 80	Comentários

Esse comando indica que os cartões que se seguem serão aceitos para informação e controle do usuário. As informações necessárias que devem constar são: o nome do circuito, a data do processamento, e uma breve descrição.

* PARÂMETROS

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 11	"PARÂMETROS"
12 - 80	Comentários

Esse controle indica que os dados a seguir são limitações para a solução do problema.

Dados paramétricos são por exemplo: a dimensão da placa de circuito impresso para a qual se busca solução, a indicação das direções preferências, o limite de contrariamente tolerável com relação as direções preferenciais etc.

* COMPONENTES

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 12	"COMPONENTES"
13 - 80	Comentários

Esse comando indica que os cartões que se seguem, são descriptores dos componentes que fazem parte do problema a ser resolto. A descrição em si da declaração destes dados é adiante indicada.

* SINAIS

COLUNAS	CONTEÚDO
1 - 1	" * "
2 - 7	" SINAIS "
8 - 80	Comentários

É o comando que informa que os dados a seguir indicam as ligações, conexões, que devem ser efetuadas segundo critério de prioridade estabelecido.

O controle imposto por um dos comandos acima descritos é válido até o aparecimento de um outro cartão de controle, salientando-se que para terminar deve ser usado o comando * FIM .

O uso desses comandos é elucidado com os exemplos que seguem adiante.

- Declaração em Nível de Especificação

Tais declarações são válidas no âmbito de um determinado controle. Assim, obedecendo à ordem acima adotada passa-se a relacionar as declarações de especificação de cada declaração de controle assumida.

* INICIAR (CONTROLE)

Não requer declaração de especificação. Após a ocorrência desse comando deve aparecer um novo comando de controle.

* GERAR (CONTROLE)

Após um comando de * GERAR devem seguir informações do padrão a ser gerado. Esse padrão pode ser um padrão de componentes ou um padrão de ocupação.

Padrão de Componentes

No caso de um padrão de componente, o controle de especificação que se segue, é da forma :

COLUNAS	CONTEÚDO
1 ~ 4	" TIPO "
5 ~ 5	" ("
6 ~ 9	AAAA
10 ~ 10	") "
11 ~ 11	" , "
12 ~ 15	" TEBA "
16 ~ 16	" ("
17 ~ 19	BBB
20 ~ 20	") "
21 ~ 21	" , "
22 ~ 25	" NUTE "
26 ~ 26	" ("
27 ~ 29	CCC
30 ~ 30	") "
31 ~ 31	" , "
32 ~ 35	" ISOL "
36 ~ 36	" ("
37 ~ 40	DDDD
41 ~ 41	") "
42 ~ 80	Comentários

ou seja :

TIPO (AAAA), TEBA (BBB), NUTE (CCC), ISOL (DDDD)

onde :

" TIPO " : Mnemônico de tipo,

" TEBA " : Mnemônico de terminal base,

" NUTE " : Mnemônico de número de terminals,

" ISOL " : Mnemônico de Isolação,

AAAA : É o código ou nome que será atribuído ao padrão sendo gerado. Esse código ou nome, é um conjunto de 4 (quatro) caracteres alfanuméricos iniciado por qualquer caracter que não o " \$ ".

BBB : Dada a representação de um componente num sistema relativo de coordenadas, toma-se um dos terminais do componente para caracterizar um ponto ou um elemento do reticulado que será utilizado para posicionar o padrão do tal componente na matriz equivalente.

O valor associado a BBB será o número do terminal escolhido do componente em questão.

CCC : É o número de terminais que fazem parte do componente

DDDD : É o código ou nome do padrão de ocupação que será aplicado a cada um dos terminais do padrão de componente sendo gerado.

A seguir, seguem-se os comandos de especificação que descrevem a topologia dos terminais do componente sendo gerado. O comando característico é o que segue :

COLUMNAS	CONTEÚDO
1 - 4	" TERM "
5 - 5	" ("
6 - 8	EEE
9 - 9	" , "
10 - 12	FFF
13 - 13	") "
14 - 14	" , "
15 - 18	" COLO "
19 - 19	" ("
20 - 22	GGG
23 - 23	" , "
24 - 26	RHH
27 - 27	") "
28 - 28	" , "
29 - 32	" INCR "
33 - 33	" ("
34 - 36	III
37 - 37	" , "
38 - 40	JJJ
41 - 41	") "
42 - 42	" , "
43 - 43	K
44 - 80	Comentários

Onde :

" TERM " : Mnemônico de terminal

" COLO " : Mnemônico de coordenadas locais

" INCR " : Mnemônico de Incremento

ou seja :

TERM (EEE, FFF), COLO (GGG, HHH), INCR (III, JJJ), K

onde de maneira analítica pode ser interpretado por :

" Do TERMINal EEE ao terminal FFF, assumindo-se para o terminal EEE as COordenadas LOcais relativas (GGG, HHH) com INCREmentos respectivos III para X e JJJ para Y assinalem-se célula(s) com característica K ".

OBSERVAÇÃO : Cada comando desse tipo pode descrever vários terminais de um padrão.

Os terminais de padrão de componente são numerados de 1 a N, onde N é o número total de terminais, de maneira sequencial.

Onde :

EEE : Número Inteiro de três algarismos que caracteriza o "terminal de partida".

FFF : Número Inteiro de três algarismos que caracteriza o "terminal de chegada".

GGG : Número Inteiro de três algarismos que caracteriza a abcissa do terminal EEE no sistema relativo de coorde
nadas.

HHH : Número Inteiro de três algarismos que caracteriza a ordenada do terminal EEE no sistema relativo de coor
denadas .

III : Número Intelro de três algarismos que Indica o Incremento na abscissa do terminal EEE para atingir a abscissa do terminal seguinte.

JJJ : Número Intelro de três algarismos que Indica o Incremento na ordenada do terminal EEE para atingir a ordenada do terminal seguinte .

K : Caracter alfanumérico que Indica se o terminal ocupa a célula superior, Inferior ou ambas do elemento onde se posiciona.

K = " U " - Célula superior (contato)

K = " L " - Célula Inferior (contato)

K = " F " - Células superior e Inferior (penetração)

Observar-se que os caracteres U, L e F foram escolhidos simbolizando respectivamente: "upper", "lower" e "full" pois outras letras viáveis como: C (cima), B (baixo) ou S (superior), I (Inferior), são utilizados com outro significado em comandos adiante descritos.

Esse tipo de comando é útil para se descrever sequências de terminais como usualmente é o caso em se tratando de circuitos Integrados.

Exemplo :

TERM (2, 5), COLO (1, 2), INCR (2, 0), F

Indica que a descrição é feita do terminal 2 até o terminal 5, (logo 2, 3, 4 e 5).

Coordenadas do terminal 2 : (1, 2)

Incremento : (2, 0)

Logo : terminal 3 - coordenadas (3, 2)

terminal 4 - coordenadas (5, 2)

terminal 5 - coordenadas (7, 2)

A indicação F implica na ocupação das células superior e inferior de cada elemento ao qual foi associado um terminal.

Para a descrição de um único terminal basta fazer EEE = FFF com valores quaisquer para III e JJJ.

Numa geração de padrão de componente pode-se usar vários comandos do tipo acima exposto.

Padrão de Ocupação

No caso de padrão de ocupação, os comandos de especificação que seguem o comando de controle * GERAÇÃO são da forma :

COLUNAS	CONTEÚDO
1 - 4	" TIPO "
5 - 5	" ("
6 - 9	AAAA
10 - 10	") "
11 - 11	" , "
12 - 15	" TEBA "
16 - 16	" ("
17 - 19	BBB
20 - 20	") "
21 - 21	" , "
22 - 25	" NUTE "
26 - 26	" ("
27 - 29	CCC
30 - 30	") "
31 - 80	Comentários

" TIPO " : Mnemônico de tipo

" TEBA " : Mnemônico de terminal base

" NUTE " : Mnemônico de número de termos

ou seja :

TIPO (AAAA), TEBA (BBB), NUTE (CCC)

onde :

AAAA : É o código ou nome do padrão de ocupação sendo gerado constituído por um conjunto de quatro caracteres alfanuméricos iniciando pelo caractere " \$ ".

BBB : Forçosamente um conjunto de três algarismos zero ("000")

CCC : É um número intiero de três algarismos que indica o número de células envolvidas no padrão de ocupação.

Notese que o fato de se forçar BBB ser um valor igual a zero possibilita assumir que no sistema relativo de coordenadas um terminal hipotético não existente, esteja posicionado no elemento (0, 0) .

Em seguida os comandos de especificação que descrevem a topologia e o tipo da ocupação na seguinte forma :

COLUNAS	CONTEUDO
1 ~ 4	" TCEL "
5 ~ 5	" ("
6 ~ 8	PPP
9 ~ 9	") "
10 ~ 10	" / "
11 ~ 11	" X "
12 ~ 14	QQQ
15 ~ 15	" , "
16 ~ 16	" Y "
17 ~ 19	RRR
20 ~ 20	" - " ou " / "
21 ~ 21	" # " ou " X " ou S
22 ~ 24	" PPP " ou QQQ
25 ~ 25	" Y " ou " , "
26 ~ 26	" Y " ou " Y "
27 ~ 29	" PPP " ou RRR
30 ~ 30	" Y " ou " - " ou " / "
31 ~ 40	o mesmo que de 21 a 30
41 ~ 50	o mesmo que de 21 a 30
51 ~ 60	o mesmo que de 21 a 30
61 ~ 70	o mesmo que de 21 a 30
71 ~ 71	" Y " ou S
72 ~ 80	Comentários

" TCEL " : Mnemônico de tipo de célula

ou seja :

TCEL (PPP) / X QQQ, Y RRR ~ X QQQ, Y RRR ~ ... / S

onde :

PPP : Número Inteiro de três algarismos que Indica o tipo de ocupação podendo assumir os valores :

006 = metallização

007 = proibição de furo

008 = proibição de furo e rota

QQQ : Número Inteiro de três algarismos que Indica a abclissa de um elemento do padrão gerado.

RRR : Número Inteiro de três algarismos que Indica a ordenada de um elemento do padrão gerado.

S : Um caracter alfanumérico que Indica a face da placa considerada,

S = U face superior

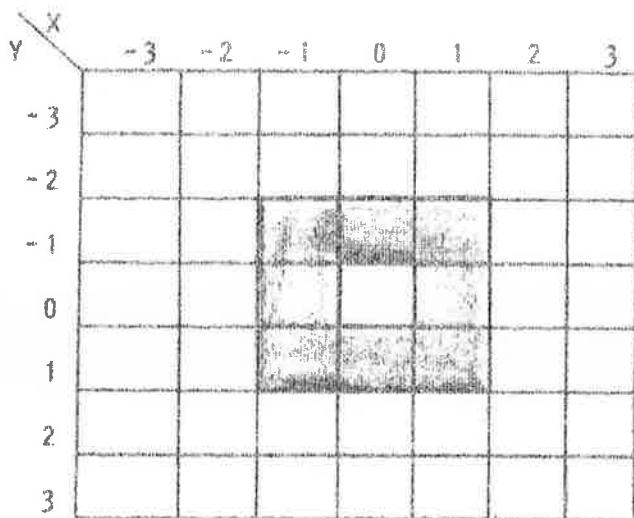
S = L face inferior

Para melhor entendimento do uso desses comandos seguem alguns exemplos de geração.

Outros exemplos no Capítulo 6.

Caso 1

Geração de um padrão de ocupação. Seja o padrão de ocupação re presentado pela figura abaixo :



Considere-se que esta seja a representação da face superior do padrão, indicando que a região demarcada deve ser uma metallização.

Seja \$MET o código deste padrão.

A geração do padrão é então realizada da seguinte forma :

* GERAR

TIPO (\$MET), TEBA (000), NUTE (008)

TCEL (006) / XW = 1, YW = 1 - XW = 1, YWW0 = XW = 1, YWW1/U

TCEL (006) / XWW0, YW = 1 - XWW0, YWW1/U

TCEL (006) / XWW1, YW = 1 - XWW1, YWW0 = XWW1, YWW1/U

O que significa :

TIPO (\$MET) = Código ou nome do padrão gerado. Incluído por " \$" pois é de ocupação.

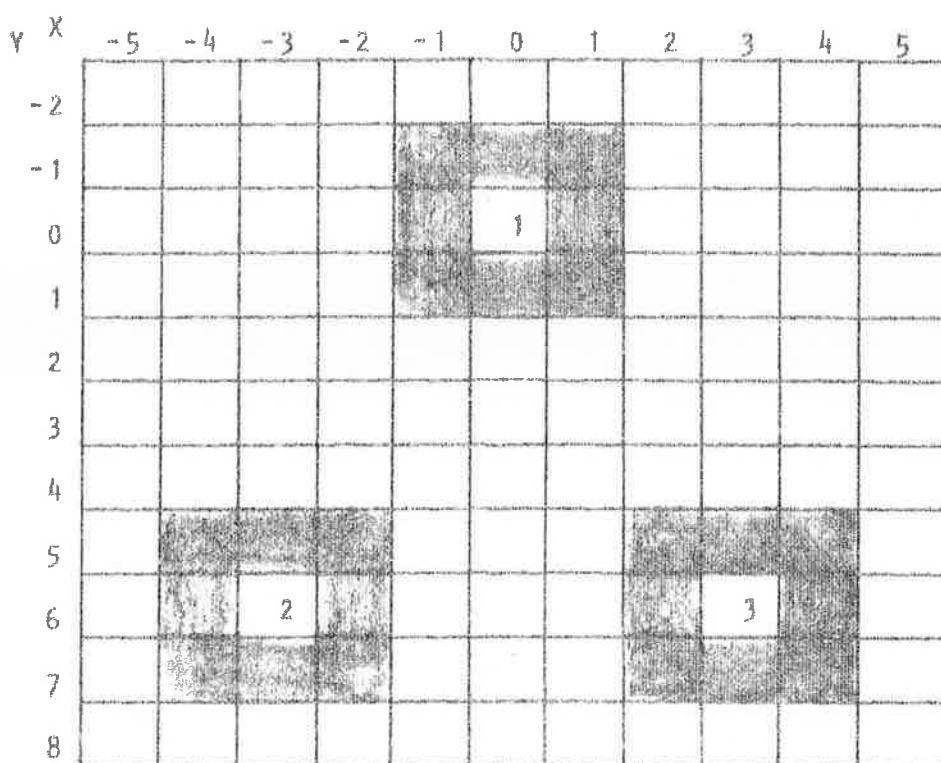
TEBA (000) = Imposição de programa. A célula (0, 0) é reservada para um terminal de um padrão de componente.

NUTE (008) = Indica que o padrão é composto de 8 células
TCEL (006) = Código indicativo de metallização. O sinal
elétrico atribuído à metallização será o mesmo
do terminal que venha a ocupar a célula
(0, 0)
U = Indica que as células são definidas na face
superior

OBSERVAÇÃO : O número de comandos TCEL é livre, respeitando-se somente a limitação de no máximo 6 (sets) pares de coordenadas (6 células), descritas por cartão.

Caso 2 : Geração de um padrão de componente

Seja um componente de 3 terminais fixado por contato na face superior de uma placa. Seja ainda considerado que ao redor de cada terminal deva existir uma região de metallização conforme exemplo anterior e seja finalmente "TRAN" , o código associado a este padrão de componente cuja descrição da posição dos terminais, é conforme figura abaixo.



O terminal 1 foi escolhido como o ponto característico de localização.

A geração do padrão é da forma :

* GERAR

TIPO (TRAN), TEBA (001), NUTE (003), ISOL (\$MET)

TERM (001, 001), COLO (000, 000), INCR (000, 000), U

TERM (002, 003), COLO (-03, 006) , INCR (006, 000), U

O que significa :

TIPO (TRAN) = Código ou nome do padrão gerado

TEBA (001) = Terminal de posicionamento é o 1.

NUTE (003) = Número de terminals é 3

ISOL (\$MET) = A Isolação (padrão de ocupação) ao redor de cada terminal é a do padrão \$MET.

TERM (001,001)= A descrição neste comando será feita somente para o terminal 1.

COLO (000,000)= Coordenadas locais do terminal 1 são (0, 0), porque ele foi tomado como terminal de posicionamento.

INCR (000,000)= Não há Incremento a considerar

U = 0 terminal 1 é assumido na face superior da placa

TERM (002,003)= Este comando fará a descrição dos terminais de 2 a 3

COLO (-03,006)= Coordenadas do terminal 2 : (-3, 6)

INCR (006,000)= Incrementos que adicionados respectivamente as coordenadas do terminal 2, determinarão as coordenadas dos terminais seguintes. (No caso o terminal 3).

* ARMAZENAR (Controle)

Não requer controle de especificação. Após esse comando deve surgir outro comando de controle.

* DELETAR (Controle)

Os controles que se seguem são cartões nos quais, nas quatro primeiras colunas deve ser especificado o nome ou código do padrão a ser excluído da biblioteca. Vários cartões com nome de padrão podem ser colocados sob o controle do comando * DELETAR.

* LISTAR (Controle)

Não requer controle de especificação. Após esse comando deve seguir outro comando de controle.

* FIM (Controle)

Não requer controle de especificação. Esse é o último comando de processamento, quer de geração ou execução de rotas.

* IDENTIFICAÇÃO (Controle)

Os comandos que seguem são para uso do usuário facilitando a caracterização de um dado processamento.

Data

COLUNAS	CONTEÚDO
1 - 4	"DATA"
5 - 5	" "
6 - 7	00
8 - 8	" / "
9 - 10	MM
11 - 11	" / "
12 - 13	AA
14 - 80	Comentários

ou seja :

DATA = DD/MM/AA

onde : DD é o dia
MM é o mês
AA o ano do processamento

NOME

Com este comando pode o usuário atribuir um nome ou código ao processamento para seu controle.

O comando é da forma :

COLUNAS	CONTEÚDO
1 - 4	" NOME "
5 - 5	" " "
6 - 80	Nome ou código do processamento

DESCRIÇÃO

É permitido de 1 a 5 cartões de descrição para cada processamento. Com esse comando, pode o usuário, declarar comentários ou informações auxiliares que desejar. Esse comando é constituido de 1 cartão principal e até 4 cartões de continuação.

Forma do cartão principal :

COLUNAS	CONTEÚDO
1 - 4	" DESC "
5 - 5	" "
6 - 72	Descrição
73 - 80	Comentários

Forma do cartão de continuação :

COLUNAS	CONTEÚDO
1 - 5	" BBBB "
6 - 72	Descrição
73 - 80	Comentários

Observe-se que dentro do controle de IDENTIFICAÇÃO, é obrigatório o aparecimento de cada um dos comandos de especificação descritos na seguinte ordem :

DATA

NOME

DESCRÍÇÃO

* PARAMETROS (Controle)

Os comandos de especificação a seguir limitam e definem o processamento de uma placa de circuito impresso.

Dimensão

COLUNAS	CONTEÚDO
1 - 4	" DIME "
5 - 5	" " "
6 - 6	" X "
7 - 9	XXX
10 - 10	" " "
11 - 11	" Y "
12 - 14	YYY
15 - 80	Comentários

DIME = XXXX, YYY

onde :

XXX = número inteiro de três algarismos que define o número de elementos de uma linha da matriz equivalente da placa a ser processada.

YYY = número inteiro de três algarismos que define o número de elementos de uma coluna da matriz equivalente da placa a ser processada.

Esse comando dá as dimensões da placa em processamento considerando como unidade o elemento de matriz conforme definido em 4.2 .

Número de Camadas

Esse comando especifica o tipo físico de placa onde será implementado o circuito.

Forma de comando :

COLUNAS	CONTEÚDO
1 - 4	" NCAM "
5 - 5	" " "
6 - 8	RRR
9 - 80	Comentários

NCAM : Mnemônico de número de camadas. Esse comando foi definido visando ampliação dos programas desenvolvidos.

NCAM = RRR

onde :

RRR = 001 = Circuito Impresso com só uma das faces metallizadas.

RRR = 002 = Circuito Impresso com as duas faces metallizadas.

Tipo de Ligação

Esse comando define as direções preferenciais em cada face da placa, e é da seguinte forma :

COLUNAS	CONTEÚDO
1 - 4	" TLIG "
5 - 5	" " "
6 - 7	QQ
8 - 80	Comentários

TLIG : Mnemônico de tipo de ligação

TLIG = QQ

onde :

QQ = " SV " Indica que a direção preferencial adotada na face superior é a vertical. Logo na inferior a direção preferencial será horizontal.

QQ = " SH " Indica que a direção preferencial adotada na face superior é a horizontal. Logo na inferior será vertical.

No âmbito do controle PARAMETROS as declarações de especificação definidos são obrigatórias e na seguinte ordem :

DIMENSÃO

NÚMEROS DE CAMADAS

TIPO DE LIGAÇÃO.

* COMPONENTES (Controle)

Os comandos de especificação que se seguem definirão os componentes elétricos que farão parte do circuito a ser implementado na placa de circuito impresso em estudo.

Cada componentes deve ser especificado em um cartão (Cartão descritor).

O formato geral do comando de especificação é o que segue :

COLUNAS	CONTEÚDO
1 - 1	" C "
2 - 4	NNN
5 - 5	" " "
6 - 9	MMMM
10 - 10	" / "
11 - 11	" X "
12 - 14	xxx
15 - 15	" , "
16 - 16	" Y "
17 - 19	yyy
20 - 20	" / "
21 - 80	Comentários

ou seja :

C NNN - MMMM/Xxxx,yyy/ (Comentários)

onde :

NNN = Número inteiro de três algarismos que caracteriza o componente (nº de ordem)

MMMM = Código ou nome do padrão de componente que se adapta ao componente em questão

xxx = Número inteiro de três algarismos que caracteriza a abscissa, no sistema absoluto de coordenadas, do elemento sobre o qual será superposto o elemento característico de posicionamento do padrão de componente MMMM.

yyy = Número inteiro de três algarismos que caracteriza a ordenada, no sistema absoluto de coordenadas, do elemento sobre o qual será superposto o elemento característico de posicionamento do padrão de componente MMMM.

Após a última barra (" / ") ou seja das colunas 21 a 72 o usuário poderá usar para comentários ou discriminação do componente.

Na declaração do conjunto de componentes que fazem parte de uma placa de circuito impresso, os números NNN dos vários cortes devem ser sequenciais iniciando por 001 .

* SINAIS (Controle)

No âmbito desse comando de controle existem três subníveis de controle, cada qual caracterizando um dos três tipos de interconexão consideradas anteriormente.

Primerro Subnível de Controle.

Sinais Especiais

Dentro desse subnível o usuário pode fazer interconexões ponto a ponto ou ponto a plno em locais estabelecidos a priori. Neste são permitidas ligações paralelas aos eixos X e Y .

Forma do sub comando de controle :

COLUNAS	CONTEÚDO
1 ~ 1	" ~ "
2 ~ 10	"ESPECIAIS"
11 ~ 80	Comentários

Os comandos de especificação que se seguem são da seguinte forma (Cartão descriptor) :

COLUNAS	CONTEÚDO
1 ~ 1	" S "
2 ~ 4	NNN
5 ~ 5	0 ~ 0
6 ~ 9	PPPP
10 ~ 10	0 / 0
11 ~ 11	A
12 ~ 14	aaa
15 ~ 15	" , "
16 ~ 16	B
17 ~ 19	bbb
20 ~ 20	0 ou " / "
21 ~ 30	Semelhante ao campo 11 ~ 20
31 ~ 40	Semelhante ao campo 11 ~ 20
41 ~ 50	Semelhante ao campo 11 ~ 20
51 ~ 60	Semelhante ao campo 11 ~ 20
61 ~ 70	Semelhante ao campo 11 ~ 20
71 ~ 80	Comentários

ou seja :

S NNN - PPPP/Aaaa, Bbbb 0 Aaaa, Bbbb 0 ... bbb/

onde :

NNN = Número Inteiro de três algarismos que Identifica o sinal quanto a sua ordem.

PPPP = Conjunto de quatro caracteres alfanuméricos que Indica o nome ou código que Identifica o sinal.

Se A = " X " e B = " Y "

As coordenadas do ponto elemento serão descritas pelas coordenadas absolutas (X, Y) no sistema absoluto de coordenadas. Então :

aaa = Número Inteiro de três algarismos que indica a abclissa de uma das extremidades de um segmento de ligação.

bbb = Número Inteiro de três algarismos que indica a ordenada de uma das extremidades de um segmento de ligação.

(aaa, bbb) caracterizam um ponto ou elemento na matriz equivalente.

Se A = " P " e B = " C "

As coordenadas do ponto (elemento) serão descritas indiretamente através da indicação do pino (P) do componente (C). As coordenadas absolutas são automaticamente calculadas pois já se fixou a posição de cada componente , logo de cada pino. Então :

aaa = Número Inteiro de três algarismos que indica o número do terminal de um certo componente que é uma das extremidades de um segmento de ligação.

bbb = Número Inteiro de três algarismos que indica o número de ordem do componente do qual o pino (terminal) aaa caracteriza uma extremidade de um segmento de ligação.

Se D = " U "

Significa que o primeiro ponto deve ser ligado ao segundo ponto, pela face superior.

Notar-se que "a esquerda" de D foram declaradas as coordenadas de dois pontos. Considerar-se "a esquerda" de D a definição das coordenadas que o antecedem.

Se D = "L"

Significa que o primeiro ponto deve ser conectado ao segundo ponto, pela face inferior.

Observe-se que num mesmo sinal sempre que ocorre alteração da face de definição de ligações será implicitamente considerado um furo metallizado para interligação dos segmentos.

Segundo Subnível de Controle

Sinais Prioritários

Forma do sub comando de controle :

COLUNAS	CONTEÚDO
1 - 1	" - "
2 - 13	"PRIORITÁRIOS"
14 - 80	Comentários

Dentro deste subnível as ligações serão realizadas por algoritmos e a forma dos comandos de especificação que seguem é identica à forma de especificação de subnível - ESPECIAIS com a seguinte alteração :

D = " - "

O que significa que o próprio programa escolherá a face para alocação dos segmentos de interconexão.

Observe-se que no caso do subnível - ESPECIAIS os pontos definidos devem estar, dois a dois, alinhados numa horizontal ou vertical. No caso do subnível - PRIORITÁRIOS os pontos especificados são quaisquer e o programa se incumbe de adaptar os segmentos de interconexão.

Terceiro Subnível de Controle

Sinais Normais

Dentro desse subnível as ligações são tratadas por algoritmos e a forma do controle de especificação é identico ao caso do subnível - PRIORITÁRIAS.

Note que nos três casos expostos acima são permitidos tantos cartões de continuação quantos forem necessários bastando para isso que no cartão principal e eventuais cartões de continuação antecedentes não seja declarada a barra delimitadora de fim de comando e que nos cartões continuação seja obedecida a mesma tabulação do cartão principal após a barra delimitadora de Início deixando-se em branco as colunas de 1 a 10 nos cartões de continuação.

Convém notar também que a numeração de ordem das ligações dentro de cada subnível deve ser sequencial e iniciada por 001 .

- Comando de Especificação de Saídas Gráficas

Após o processamento de um problema os resultados de saída ficam armazenados à disposição do usuário de tal modo que de um dado processamento possa-se obter tantas saídas gráficas, quantas desejadas.

O comando de especificação para saída gráfica é do tipo que se segue (Cartão descritor).

COLUNAS	CONTEÚDO
1 ~ 4	" NLAY "
5 ~ 5	" .. "
6 ~ 8	NNN
9 ~ 10	" BB "
11 ~ 14	" MAGN "
15 ~ 15	" .. "
16 ~ 18	PPP
19 ~ 20	" BB "
21 ~ 24	" MODO "
25 ~ 25	" .. "
26 ~ 28	RRR
29 ~ 80	Comentários

NLAY = Número do "Lay-out"

MAGN = Magnitude

MODO = Modo

então :

NLAY - NNN BB MAGN - PPP BB MODO - RRR

onde :

NNN = Número inteiro de três algarismos que caracteriza o "Lay out" que será produzido. Essa informação é para controle do usuário.

PPP = Número inteiro de três algarismos que indica o fator de ampliação da saída gráfica. Por exemplo PPP = 001 a saída será em verdadeira grandeza com relação a placa de circuito impresso. PPP = 002 a saída será em escala 2:1 etc.

RRR = Número Inteiro de três algarismos que Indica o tipo da saída gráfica. RRR = 001 saída com superposição das faces (cores diferentes). RRR = 002 saídas distintas para cada uma das faces.

A cada comando de especificação de saída como o descrito acima obtém-se uma saída distinta de um mesmo processamento.

Em resumo, os comandos são classificados conforme tabela abaixo :

COMANDOS	
Controle	Especificação
INICIAR	-
GERAR	TIPO, TEBA, NUTE, ISOL, TERM, COLO, INCR, TIPO, TEBA, NUTE, TCEL
ARMAZENAR	-
DELIR	Nome dos padrões
LISTAR	-
IDENTIFICAÇÃO	Data Nome Descrição
PARAMETROS	Dimensão Número de Comandos Descrição
COMPONENTES	Comando Descritor
SINAIS ESPECIAIS	Cartão Descritor
SINAIS PRIORITARIOS	Cartão Descritor
SINAIS NORMAIS	Cartão Descritor
SAÍDAS GRAFICAS	Cartão Descritor
FIM	-

Um exemplo de descrição de um processamento referente a um circuito hipotético, é o que segue abaixo :

* IDENTIFICAÇÃO

DATA - 30/06/75

NOME - CIRCUITO HIPOTÉTICO

DESC - UM CIRCUITO PARA EXEMPLO

* PARAMETROS

DIME - X070, Y040

NCAM - 002

TLIG - SV

* COMPONENTES

C001 - DA21/X004, Y018/

C002 - DA21/X009, Y018/

C003 - DB13/X050, Y030/

* SINAIS

- ESPECIAIS

S001 - VCC + /X070, Y001 U X070, Y040 L X020, Y017/

- PRIORITARIAS

S001 - VCC - /P007, C001 - P002, C002 - P005, C003 -

- NORMAIS

S001 - LD52 /P002, C001 - P009, C003 - P001, C002 -

S002 - KBX3 /P003, C003 - P008, C001 - P006, C002 -

* FIM

4.5 - ORDENAÇÃO DE SEGMENTOS DE LIGAÇÕES

Conforme exposto em 4.3 as ligações são divididas em três categorias, para melhor atender os requisitos de projeto de placas de circuito impresso. Assim enfocar-se-á o problema da ordenação dos segmentos (pares de pontos ou pinos) que constituem uma dada interconexão segundo cada uma das classes definidas.

- Sinais Especiais

Cabe salientar que esta classe de ligações permite ao usuário descrever segmentos, sempre numa das direções paralelas ou perpendiculares às direções preferenciais. Este recurso possibilita a definição de rotas de circuito impresso em posições previamente definidas. Neste caso, não há necessidade de um critério de ordenação para os vários segmentos que compõem uma ligação. Eles são alocados na matriz, segundo a ordem de especificação, desde que não haja impossibilidade devida à existência de rota já definida, em pelo menos uma das posições de matriz desejadas para a rota atual, uma vez que o usuário tem total liberdade para definir as ligações.

Se no entanto tratar-se de sinais distintos, mas de mesmo código ou nome (por exemplo TERRA, VCC, etc), um cruzamento será possível.

Assume-se que a cada ligação, corresponde um grafo conexo, isto é, que todos os pontos especificados numa ligação, devem ficar ligados entre si, através de um caminho direto, ou passando por outros pontos da ligação.

Em alguns casos, um mesmo sinal elétrico pode aparecer em posições distintas de uma placa e podem não estar ligados entre si (blindagem, alimentação, terra, por exemplo), neste caso, cada sinal deve ser descrito como uma ligação ou sinal distinto, podendo apresentar o mesmo código ou nome que o caracterize.

Se, de maneira simplificada, for definida a ligação: A - B - C - D - E a ordem assumida será A - B, B - C, C - D, D - E onde A, B, C, D e E são pontos a serem interligados.

No caso de um processamento existirem vários sinais da categoria especial, a alocação das respectivas rotas far-se-á na ordem em que foram especificadas.

- Sinais Prioritários

Nesta categoria de ligações, os sinais são tratados independentemente e executados na ordem em que são descritos.

Seja um sinal ou ligação que envolva, por exemplo, cinco pontos : A, B, C, D, E (Fig. 4.16). Várias são as maneiros possíveis de interligação desses pontos. Do ponto de vista elétrico, qualquer das maneiros mostradas na figura 4.16 satisfaz. No entanto, considerando-se o número de ligações numa placa de circuito impresso é elevado, a tendência é escolher a forma de interligação, cujo "comprimento" seja o menor. Com isso um menor número de células será ocupado para esta ligação, possibilitando maior liberdade para a definição das rotas posteriores.

Entende-se por "comprimento" de uma rota o número de células que esta rota ocupa para interligar os pontos da respectiva ligação.

Cabe aqui o conceito de "distância MANHATTAN" que será utilizado.

Dados dois pontos A e B numa placa de circuito impresso, entende-se por "distância MANHATTAN", ou simplesmente distância, entre esses dois pontos, a somatória dos módulos das diferenças das abscissas e das ordenadas desses dois pontos.

Assim seja o ponto A caracterizado pelo par ordenado (X_1, Y_1) e o ponto B por (X_2, Y_2) . A distância entre A e B será :

$$d = | X_1 - X_2 | + | Y_1 - Y_2 | \quad (\text{Fig. 4.17})$$

Este conceito se deve ao fato de que as rotas, ou os segmentos que as compõem devem ser sempre orientadas paralelamente às direções X e Y.

No caso de dois pontos pertencerem a uma reta paralela a uma das direções preferenciais, a distância, aqui considerada, coincide com o conceito Euclídeo de distância.

A célula será a unidade usada para caracterização da distância.

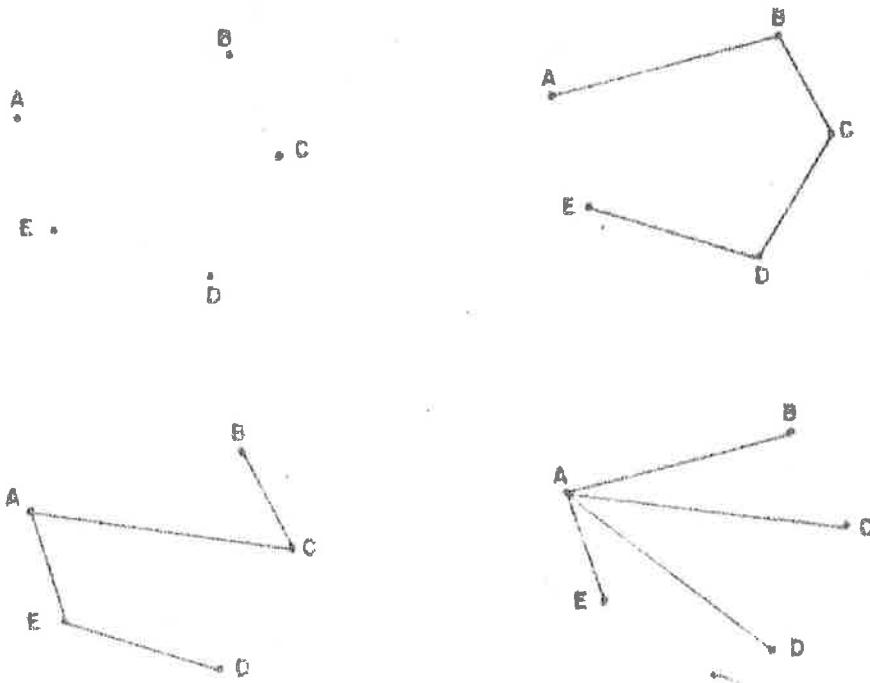
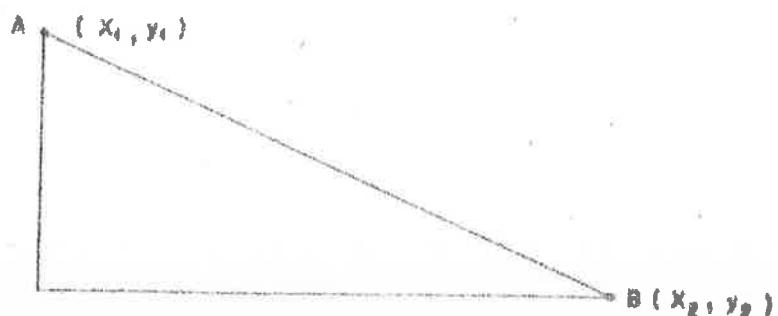


Figura 4.16



$$\text{distância Manhattan} = d = |x_1 - x_2| + |y_1 - y_2|$$

$$\text{distância Euclídea} = D = \sqrt{(x_1 - x_2)^2 + (y_1 - y_2)^2}$$

Figura 4.17

Seja, por exemplo, uma ligação correspondente a um certo sinal elétrico, e tratada em nível de prioritária. Suponha-se que esta ligação é descrita como sendo a interconexão entre os pontos A, B, C, D, E, F .

Dois são os problemas a serem resolvidos :

O primeiro é o de registrar as conexões efetuadas, indicando quando os pontos estão interligados, sem redundância e por um grafo conexo.

O segundo é o de resolver a ordem hierárquica dos pares de pontos a serem ligados.

Os dois problemas apresentados podem ser resolvidos usando-se uma matriz de interconexão e uma matriz de distâncias.

A matriz de Interconexão I, é definida como sendo composta de n linhas e n colunas, onde n é o número de pontos que caracterizam a ligação (no caso do exemplo $n = 6$). O elemento I_{ij} é igual a 1 se existe uma conexão direta entre o ponto i e o ponto j, e igual a 0 caso contrário. É portanto uma matriz binária e simétrica. Registra-se nesta matriz toda a conexão assim que for classificada para execução ($I_{ii} = 1$).

A matriz de distância D, é também uma matriz simétrica n por n onde o elemento D_{ij} indica a distância (Manhattan) entre o ponto i e o ponto j, com os elementos D_{ij} indicando uma distância impraticável para o problema (representando o infinito matemático), porém um valor conhecido.

No caso do exemplo seja a matriz de distância, a representada na figura 4.18 e na figura 4.19 a matriz de Interconexão, no final da ordenação, referentes à distribuição topológica dos pontos como na figura 4.20.

A distância 99 foi assumida, no exemplo, como indicadora de não necessidade de conexão (infinito matemático).

Tomou-se como critério de classificação a menor distância entre pares de pontos a serem ligados.

Pesquisando-se a matriz de distância, observa-se que a conexão mais curta é a que liga os pontos B e C (distância 3).

Fica então classificada a conexão B-C.

Atualiza-se a matriz de distâncias substituindo-se o valor 3 pelo valor 99 relativo à distância entre B e C.

	A	B	C	D	E	F
A	99	4	7	6	8	9
B	4	99	3	8	10	11
C	7	3	99	9	11	12
D	6	8	9	99	4	3
E	8	10	11	4	99	5
F	9	11	12	3	5	99

Figura 4.18 - Matriz de Distância

	A	B	C	D	E	F
A	1	0	0	0	0	0
B	0	1	0	0	0	0
C	0	0	1	0	0	0
D	0	0	0	1	0	0
E	0	0	0	0	1	0
F	0	0	0	0	0	1

Figura 4.19 - Matriz de Interconexão Inicial

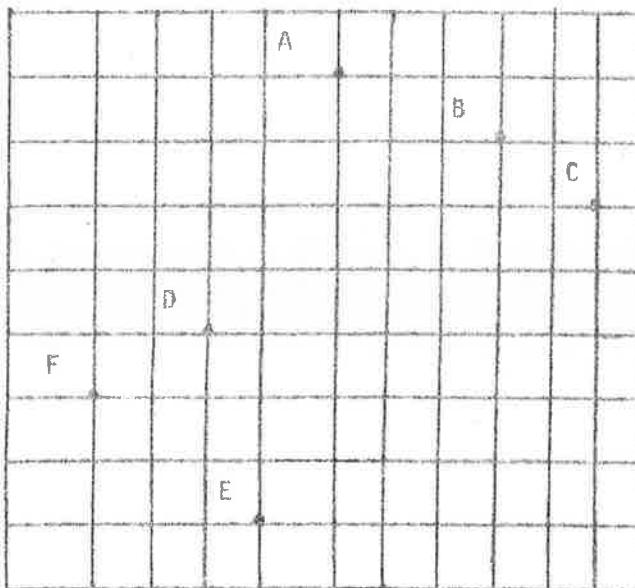


Figura 4.20 - Distribuição topológica dos pontos

Atualiza-se a matriz de Interconexão substituindo-se 0 por 1 nas posições relativas a conexão BC, ficando as matrizes como indicado em 4.21 .

Calcula-se a seguir a matriz $I^2 = I \times I$ utilizando-se a soma lógica ao invés da aritmética. Compara-se a matriz I^2 com a matriz I . Se na matriz I^2 aparecerem elementos 1 onde na matriz I existem elementos 0 , isso indica que os pontos que caracterizam esse elemento, estão conectados entre si através de um terceiro ponto que se interpõe, ou seja a conexão já existe e é composta por duas conexões já existentes.

Generalizando, a matriz I^k indica , através dos elementos 1 todos os pontos interconectados com até k segmentos , entre si .

	A	B	C	D	E	F
A	99	4	7	6	8	9
B	4	99	99	8	10	11
C	7	99	99	9	11	12
D	6	8	9	99	4	3
E	8	10	11	4	99	5
F	9	11	12	3	5	99

Matriz de Distâncias

	A	B	C	D	E	F
A	1	0	0	0	0	0
B	0	1	1	0	0	0
C	0	1	1	0	0	0
D	0	0	0	1	0	0
E	0	0	0	0	1	0
F	0	0	0	0	0	1

Matriz de Interconexão

Figura 4.21 - Após a classificação de BC

Matr.	I	A	B	C	D	E	F
A	99	99	7	6	8	9	
B	99	99	99	8	10	11	
C	7	99	99	9	11	12	
D	6	8	9	99	99	99	
E	9	10	11	99	99	5	
F	9	11	12	99	5	99	

Matr.	D	A	B	C	D	E	F
A	1	1	0	0	0	0	
B	1	1	1	0	0	0	
C	0	1	1	0	0	0	
D	0	0	0	1	1	1	
E	0	0	0	1	1	0	
F	0	0	0	1	0	1	

Matr.	I ²	A	B	C	D	E	F
A	1	1	1	0	0	0	
B	1	1	1	0	0	0	
C	1	1	1	0	0	0	
D	0	0	0	1	1	1	
E	0	0	0	1	1	1	
F	0	0	0	1	1	1	

Figura 4.22 - Matrizes após a Quarta Classificação

No exemplo sendo descrito seja a situação após a quarta classificação. Já foram classificadas as conexões :

$B = C$, $D = F$, $D = E$ e $A = B$.

As matrizes de distância e Interconexão são as da figura 4.22.

Tomando-se a matriz I, e calculando I^2 obtém-se uma matriz, que difere da matriz original nos elementos AC, CA, EF e FE indicando assim que os pontos A e C, e F e E estão ligados respectivamente entre si, figura 4.22. Diante desta informação assinala-se na matriz de distâncias, os elementos que são correspondentes a essas ligações, com o valor 99 no caso, indicando que não há mais necessidade de efetuar tais ligações.

A cada ligação feita parte-se para o cálculo das matrizes I^k sucessivamente até que a matriz I de ordem p tenha todos os elementos correspondentes, iguais aos da matriz I de ordem $p - 1$, partindo-se então para uma nova ligação.

Como mostrado nas figuras 4.18, 4.19, 4.21 e 4.22 nas posições da matriz de Interconexão onde aparece o elemento 1, na matriz de distâncias aparece o elemento 99. Isso possibilita em termos de implementação computacional, a possibilidade de emprego de uma matriz de distância-Interconexão onde, através de tratamento adequado, pode-se obter os mesmos resultados com a metade da área de memória necessária para a situação anteriormente descrita. Esta foi a solução adotada na implementação deste trabalho.

Como resultado do processo de ordenação descrito, tem-se uma sequência de pares de pontos, representados por suas coordenadas absolutas, ordenadas segundo um critério de menor distância, que quando interligados implementam a ligação correspondente ao sinal elétrico proposto, sem redundâncias.

O critério de ordenação adotado é justificado, pelo fato de que, se inicialmente são consideradas as interconexões ligando pontos distantes, possivelmente, algumas interconexões unindo pontos próximos terão as primeiras como obstáculo, e por ligarem pontos próximos menor o número de opções para a realização da ligação.

- Sinais Normais

No caso das ligações normais, os sinais elétricos não são considerados isoladamente mas sim levando-se em consideração as características de todos os demais desta categoria.

No caso das ligações prioritárias, pelo fato de cada sinal ser tratado independentemente e na ordem de sua especificação, o critério é o de classificar os segmentos dentro de um mesmo sinal. Para efeito de classificação o sinal poderia ser representado por :

$$S = \{ A, B, C, D, E, F \}$$

Indicando que o sinal S requer a interligação dos pontos A, B, C, D, E e F.

No caso dos prioritários a indicação do conjunto de segmentos ordenados poderia ser :

$$S = \{ B - C, D - F, D - E, A - B, A - D \}$$

ou seja a característica "sinal" está associada a um conjunto de segmentos ordenados iniciando por A - B e terminando por A - D .

No caso das ligações normais a característica "sinal" é associada a cada segmento. Com isso pode-se classificar os segmentos de todas as ligações ou sinal da categoria como se pertencessem a um único sinal hipotético.

Sejam os sinal R e T caracterizados pela ligação dos pontos respectivamente : A, B, C e D, E, F, G .

$$R = \{ A, B, C \}$$

e

$$T = \{ D, E, F, G \}$$

Um eventual conjunto ordenado será :

$$R \cdot T = \{ E = F(T), E = G(T), A = B(R), D = F(T), B = C(R) \}$$

onde os sinal R e T , são da categoria normal e cada segmento está afetado da indicação do sinal a que pertence.

O algoritmo de classificação adotado é o mesmo descrito para as ligações prioritárias. Parte-se de uma matriz de distâncias que contém um código indicador de ligação completada ou não necessária, na diagonal principal, e nos elementos que caracterizariam interconexões entre pontos de sinal elétricos distintos.

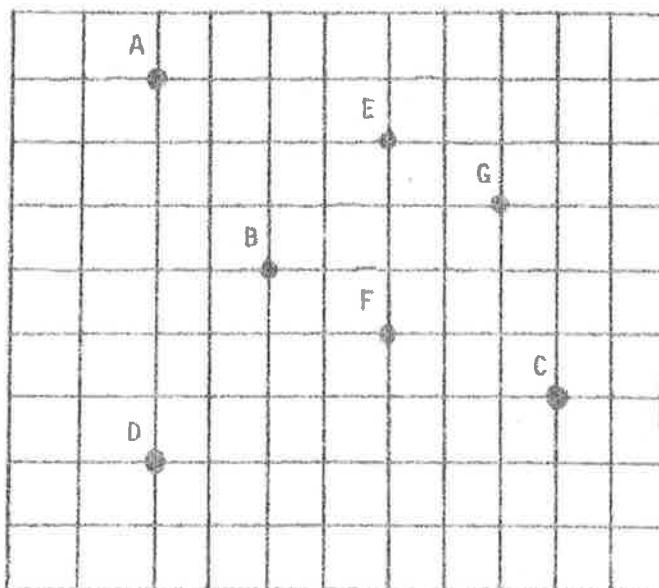
Analogamente, na matriz de interconexão, os elementos referidos serão iguais a 1 .

Para exemplificar, considerando-se os sinal R e T descritos, tem-se a matriz de distâncias e de interconexão conforme a figura 4.23 .

No final do processo ter-se-á o seguinte conjunto ordenado (supondo-se que somente as ligações R e T componham as ligações da categoria normal) :

$$R, T = \{ E = F(T), E = G(T), A = B(R), D = F(T), B = C(R) \}$$

Assim, o algoritmo traçador de rotas receberá um conjunto de pares de pontos que, após ligados dois a dois estarão executadas as conexões elétricas desejadas, não importando a ordem da descrição dos sinais.



Posição dos pontos a serem ligados

	A	B	C	D	E	F	G
A	1	0	0	1	1	1	1
B	0	1	0	1	1	1	1
C	0	0	1	1	1	1	1
D	1	1	1	1	0	0	0
E	1	1	1	0	1	0	0
F	1	1	1	0	0	1	0
G	1	1	1	0	0	0	1

Matriz de Interconexão

	A	B	C	D	E	F	G
A	99	5	12	99	99	99	99
B	5	99	7	99	99	99	99
C	12	7	99	99	99	99	99
D	99	99	99	99	9	6	10
E	99	99	99	9	99	3	3
F	99	99	99	6	3	99	4
G	99	99	99	10	3	4	99

Matriz de Distâncias

Figura 4.23

4.6 - ALGORITMO DAS RAIAS

Observando-se "Lay-outs" de várias placas de circuito impresso, pertencentes a sistemas digitais implementados, verificou-se que a grande maioria das rotas que interligavam dois pontos, eram compostas de até cinco trechos não alinhados. Em vista deste fato desenvolveu-se um algoritmo que pudesse atender os seguintes requisitos :

- Encontrar uma rota, se existir, que interligue dois pontos quaisquer de uma placa de circuito impresso.
- Número máximo de cinco trechos ortogonais consecutivos interligando dois pontos.
- Utilizar o menor número possível de furos metalizados em cada rota.
- Rapidez na execução.
- Obedecer as direções preferenciais da placa.

Define-se para tanto alguns conceitos, que são utilizados na descrição deste algoritmo.

Chama-se "raia", à possibilidade de ocupação de uma célula, ou conjunto de células, alinhadas numa das direções principais, que poderão ser ocupadas por uma rota de circuito impresso.

Uma rala tem seu início num dos pontos que devem ser interligados, ou numa célula de uma rala já definida. O fim da rala é função da existência de um obstáculo, como uma rota já definida, ou o fato de atingir pelo menos uma das coordenadas do ponto objeto de conexão.

Na figura 4.24 , seja um trecho de placa com um obstáculo representado pelas células indicadas pelo caracter P. Sejam as células A e B, os pontos terminals de uma ligação. O conjunto de células representadas pelos caracteres A e X constituem uma rala com Início em um ponto de uma conexão (A) , e término na coluna de mesma abscissa que a célula B.

O conjunto de células representadas pelos caracteres X, Y e B indicam uma rala com Início em uma das células da rala aclma descrita (X), e término no ponto B (atingindo pelo menos uma das coordenadas do ponto objetivo, no caso duas coordenadas de B).

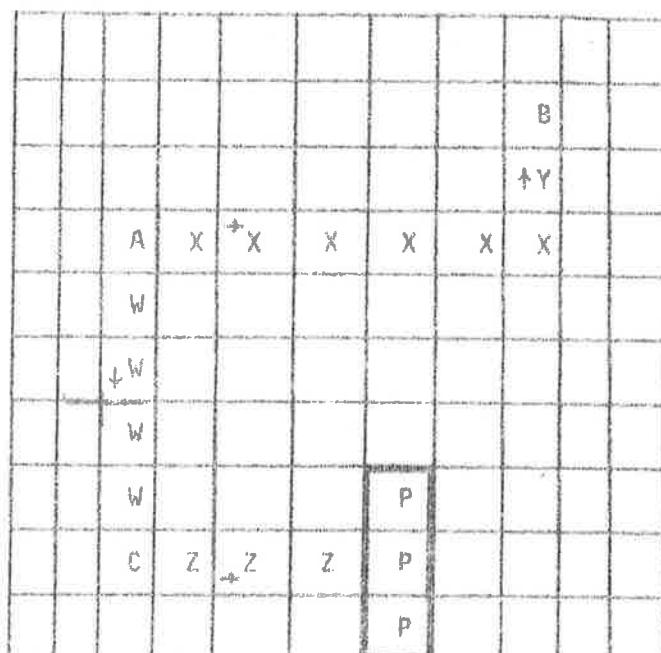


Figura 4.24

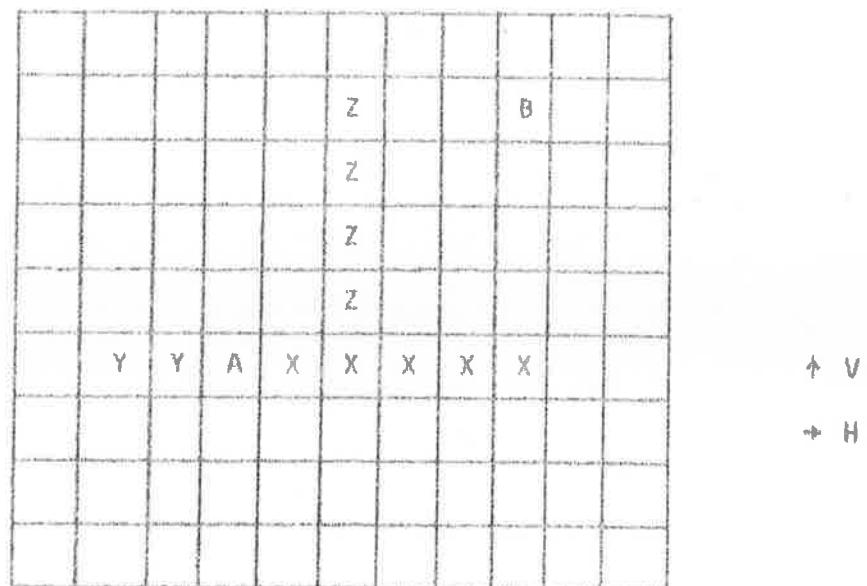


Figura 4.25

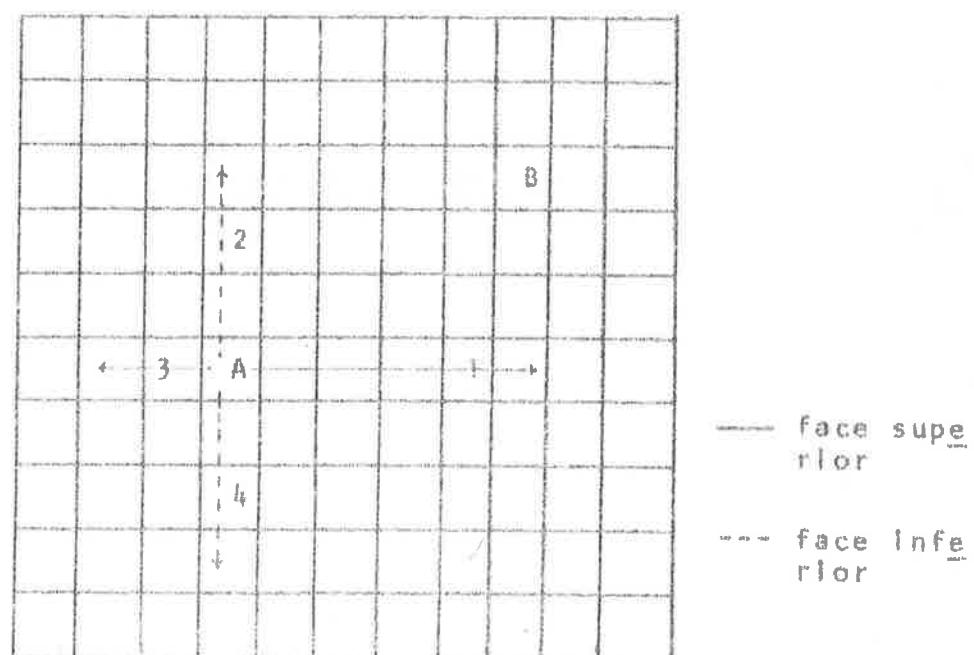


Figura 4.26

Ainda na figura 4.24, sejam A e C os pontos terminais de uma ligação. A rala representada pelos caracteres A, W e C inicia num terminal e termina em outro terminal.

No caso da conexão CB, a rala representada pelos caracteres C e Z termina pela presença do obstáculo F.

Lembra-se que uma rala não implica na ocupação de células, mas sim na possibilidade de ocupação caso seja conveniente..

Classificam-se as ralas em :

- Ralas Principais
- Ralas Secundárias
- Sub-Ralas

RAIAS PRINCIPAIS são as que nascem num ponto terminal de conexão, estão alinhadas segundo a direção preferencial da face da placa em que estão sendo consideradas, e caminham no sentido de se aproximar do terminal objetivo (o outro terminal).

RAIAS SECUNDÁRIAS, diferem das principais por caminharem no sentido de se afastarem do terminal objetivo.

SUB-RAIAS são ralas que nascem em um ponto de mesmas coordenadas de uma célula de rala principal ou secundária, porém na outra face da placa, sendo ortogonais à rala de qual se origina.

Na figura 4.25 seja A o terminal de partida da conexão entre os pontos A e B .

Considere-se a face superior da placa cuja direção preferencial é H. A rala representada pelos caracteres A e X é uma rala representada por A e Y é uma rala secundária. Na outra face, onde a direção preferencial é V , a rala representada por X e Z é uma Sub-rala.

Nota-se que, no caso geral, as sub-ráias são definidas na face oposta aquela onde são definidas as ráias principal e secundária.

Outro conceito digno de nota é o de SUCESSO.

Diz-se que uma ráia é um sucesso, se ela atinge uma ou mais coordenadas do ponto objetivo, ou de uma ráia objetivo.

Dados dois pontos A e B e considerando-se uma ligação de A para B então :

- Inicialmente, para as ráias de A, o objetivo será uma das coordenadas de B, ou eventualmente o próprio ponto B.
- Numa segunda etapa, assumindo-se que pelo menos uma das ráias de A tenha sido um sucesso, o objetivo, para as ráias de B, serão as ráias sucesso de A.

Chamase de melhor sub-ráia, de uma ráia principal ou secundária, aquela que embora não tendo atingido um objetivo, mais tenha se aproximado dele. Para cada ráia principal ou secundária pode existir no máximo uma melhor sub-ráia.

O ALGORITMO

Passo 1 - Início

Neste passo são estabelecidos os vínculos iniciais. São estabelecidas : as direções preferenciais para cada face, as dimensões da placa. São atualizados também, valores e ponteiros que controlam o processo.

Passo 2 - Leitura dos Pontos

Durante a etapa de ordenação de sinal normal é criado um arquivo onde cada registro é composto de informações referentes a um par de pontos, que são os terminais de um trecho de uma ligação. Chamando-se, esses dois pontos, respectivamente de A e B, pode-se dizer que, cada registro do arquivo contém :

- Abscissa do ponto A
- Ordenada do ponto A
- Código interno do sinal elétrico a que A e B pertencem
- Status do ponto A
- Abscissa do ponto B
- Ordenada do ponto B
- Distância entre os pontos A e B
- Status do ponto B

Por status entende-se uma das seguintes condições :

- 0 - último ponto do arquivo
- 1 - ponto ligado pelo algoritmo das ralas
- 2 - a ser tentada ligação
- 3 - ponto ligado pelo algoritmo de onda (adiante descrito).

Neste passo é extraído, na ordem, um registro do arquivo de sinal normal.

São atualizados valores referentes ao controle de ralas, sub-ralas, sucessos e melhores sub-ralas.

Verifica-se o algoritmo já tratou todos os pares ordenados. Caso tenha tratado o algoritmo é finalizado, caso contrário passa-se ao passo seguinte .

Passo 3 - Definição das Ralas

Sejam, genericamente, A e B os dois pontos lidos, e o ponto A o escolhido para o inicio do lançamento das ralas (A ponto inicial, B ponto final).

Com as coordenadas de A e B, calcula-se os objetivos para as ralas de A. Esses objetivos serão as coordenadas de B.

Observando-se a posição relativa de B em relação a A, define-se os sentidos para as ralas principais, secundárias e sub-ralas associadas ao ponto A para atingir B. Nesta ocasião são observadas as direções preferenciais para as faces da placa.

Seja o exemplo da figura 4.27, onde as direções preferenciais adotadas são : face superior-vertical e face Inferior horizontal.

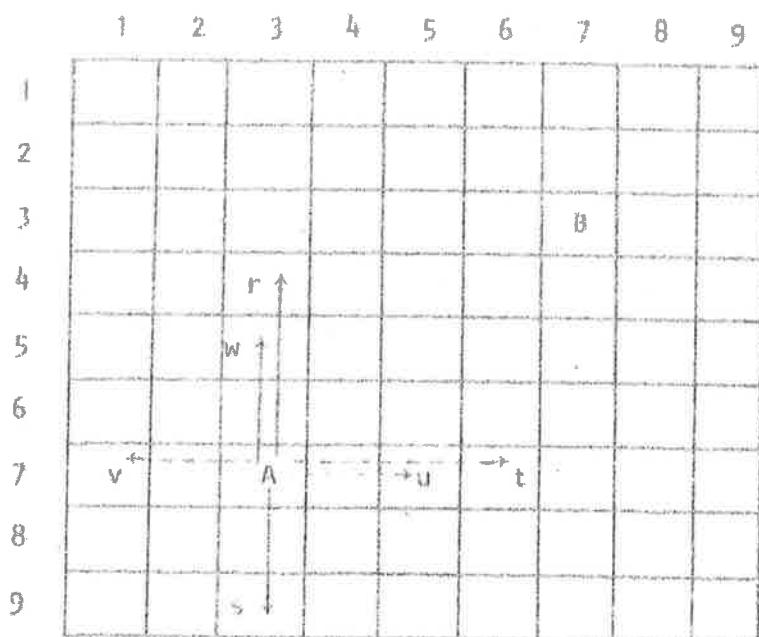
Os objetivos para o ponto A serão as coordenadas de B, ou seja :

$$A = (7, 3) \quad B = (3, 7)$$

Objetivos para A : linha 3 coluna 7

Assim, sem considerar eventuais obstáculos as possíveis ralas associadas a A serão :

- rala principal, face superior : r
- rala secundária, face superior : s
- sub-ralas relativas às ralas da face superior : t
- rala principal, face Inferior : u
- rala secundária, face inferior : v
- sub-ralas relativas às ralas da face inferior : w



↑ V (superior)

→ H (inferior)

Figura 4.27 - Sentido das Ráias

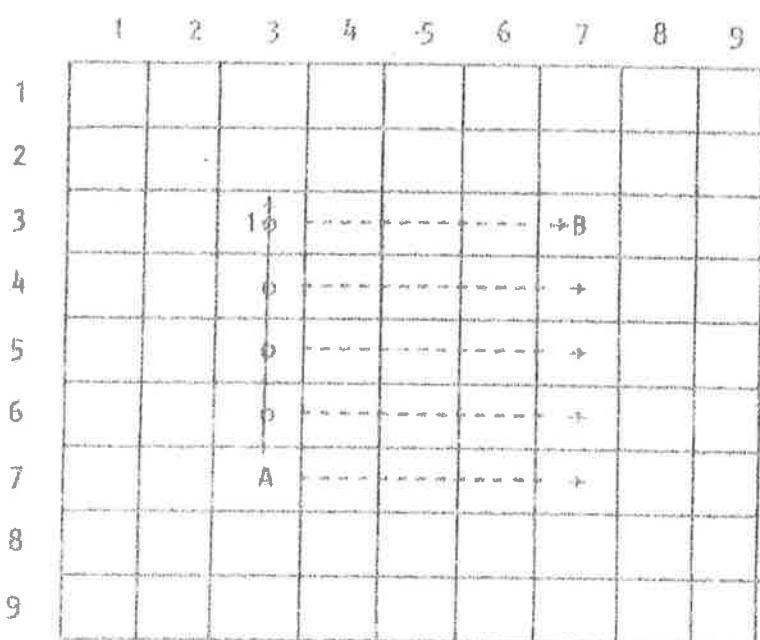


Figura 4.28 - Lançamento de Sub-ráias

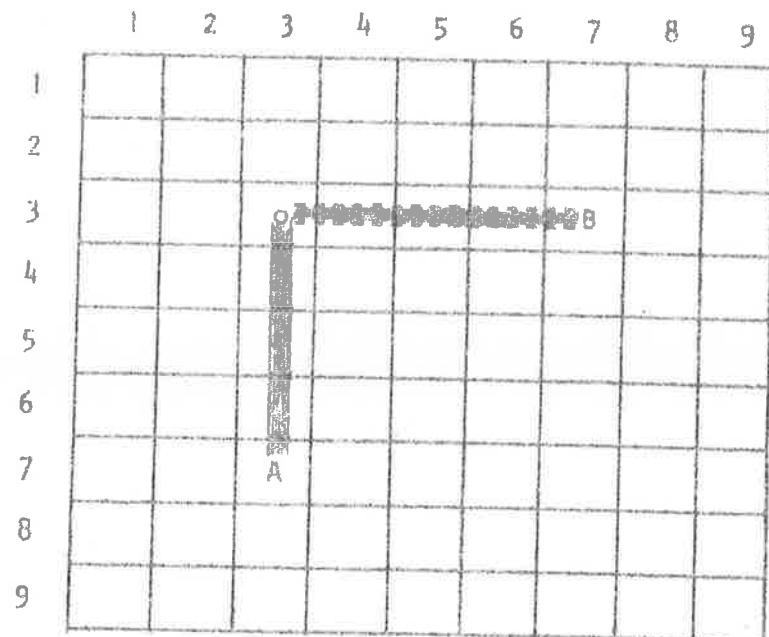


Figura 4.29 - Rota

Passo 4 - Determinação das Ralas Disponíveis

Uma vez definidas as ralas viáveis para, do ponto A atingir o ponto B, é necessário agora determinar quais são as ralas realmente possíveis, pela análise das células que constituem o elemento, ao qual o ponto A pertence.

Tem-se três casos a analisar:

- 1º Caso - O ponto A é representativo de um furo metallizado. Com isso as duas células do elemento estão comprometidas com o sinal elétrico ao qual A pertence. Pode-se então determinar, que poderão ser lançadas quatro ralas do ponto A. A rala principal e secundária de cada uma das faces.

OBSERVAÇÃO : Para facilitar o tratamento convencionou-se que:

rala 1 = rala principal face superior

rala 2 = rala principal face inferior

rala 3 = rala secundária face superior

rala 4 = rala secundária face inferior

Logo neste primeiro caso do ponto A poderão partir as ralas 1, 2, 3 e 4.

2º Caso - O ponto A ocupa somente a célula superior do elemento em que foi definido (A foi definido na face superior). Considerar-se então :

- a) Se a célula inferior do elemento a que A pertence estiver vazia e esse elemento puder ser considerado um furo metallizado, recal-se no 1º caso.
- b) Se a célula inferior do elemento a que A pertence estiver ocupada ou esse elemento não puder ser considerado um furo metallizado, então não se terá as ralas da face inferior. Logo, do ponto A somente poderão partir as ralas 1 e 3.

3º Caso - O ponto A ocupa somente o elemento inferior do elemento em que foi definido (A foi definido na face inferior). Considerar-se então :

- a) Se a célula superior do elemento a que A pertence estiver vazia e esse elemento puder ser considerado um furo metallizado, recal-se no 1º caso.
- b) Se a célula superior do elemento a que A pertence estiver ocupada ou esse elemento não puder ser considerado um furo metallizado, então não se terá as ralas da face superior. Logo, do ponto A somente poderão partir as ralas 2 e 4 .

Passo 5 - Lançamento de Ralas e Sub-ralas de A

Como resultado do passo 4 tem-se escaladas as ralas que devem ser lançadas.

O critério de lançamento é :

- Lançamento da rala 1 e suas sub-ralas se existirem.
- Se não houve sucesso, lança-se a rala 3 e suas sub-ralas.
- Lançamento da rala 2 e suas sub-ralas se existirem.
- Se não houve sucesso, lança-se a rala 4 e suas sub-ralas.

Exemplificando :

Seja o caso da Figura 4.27 , para o lançamento da rala 1 e suas sub-ralas. Supondo que tanto A como B possam ser furos metallizados, a rala 1 será a indicada por r .

A rala 1 será composta pelas células da face superior com coordenadas (7, 3), (6, 3), (5, 3), (4, 3) e (3, 3) , pois o objetivo será a linha 3 da matriz, linha esta que contém o ponto B .

Na figura 4.28 observa-se o desenrolar do lançamento das sub-ralas da rala 1, que terão o sentido de t indicado na figura 4.27 .

Do ponto A (7, 3) parte o processo.

Verifica-se a condição da célula inferior do ponto (7, 3). Se não estiver ocupada e o ponto (7, 3) puder ser um furo metallizado, lança-se a primeira sub-rala. Partindo de (7, 3), na face inferior tentará atingir a coluna 7 da matriz, a qual B pertence, portanto, objetivo para as sub-ralas da rala 1.

Caso a cédula inferior esteja já ocupada ou o ponto (7,3) não puder ser um furo metallizado, passa-se à análise de próxima sub-rala.

No caso do exemplo supõe-se que não haja obstáculos na matriz.

A primeira sub-rala da rala 1 parte de (7,3) indo até (7,7) vide figura 4.28.

Por ter atingido a coluna do ponto 8 a sub-rala considerada é um sucesso, e portanto o ponto (7,3) é anotado como sendo um ponto de partida de uma sub-rala a sucesso da rala 1.

Tomar-se agora o ponto (6,3), que posiciona a segunda célula da rala 1 e dele partire-se para o sucesso de lançamento da segunda sub-rala. Esta também será um sucesso, e o ponto (6,3) será anotado como sendo o ponto de partida do sucesso mais recente.

O procedimento se desenvolve até o ponto (3,3). Dele é lançada a última sub-rala da rala 1. Esta sub-rala atinge o ponto B. Logo, está definida a rota ligando A e B. Ela parte de (7,3) vai até (3,3) pela face superior, desce à face inferior por um furo metallizado em (3,3) e vai até (3,7) pela face inferior. Vide Figura 4.29.

Notar-se que no caso do ponto A estar alinhado com o ponto B (Figura 4.30), supõer-se que existe um ponto B', fictício, ligeiramente deslocado da posição de B e o processo desenvolver-se como já descrito e assim que uma sub-rala atinja o ponto B, está definida a rota. Se uma sub-rala atingir o ponto B' será um simples sucesso.

Na figura 4.31, com o obstáculo assinalado suposto em ambas as faces, a rota obtida é a indicada.

Na figura 4.32, com o obstáculo assinalado suposto em ambas as faces, não se obteve uma rota. A sub-rala da Linha 5 é um sucesso.

Na figura 4.33, não se obteve sub-rala sucesso. A sub-rala da Linha 4 é a melhor sub-rala da rala 1 do ponto A.

No caso de, após lançadas todas as sub-ratas da rala 1, não se ter obtido sucesso, anotar-se a melhor subrala, e parte-se para o lançamento da rala 3.

Caso tenha havido um sucesso lança-se a rala 2.

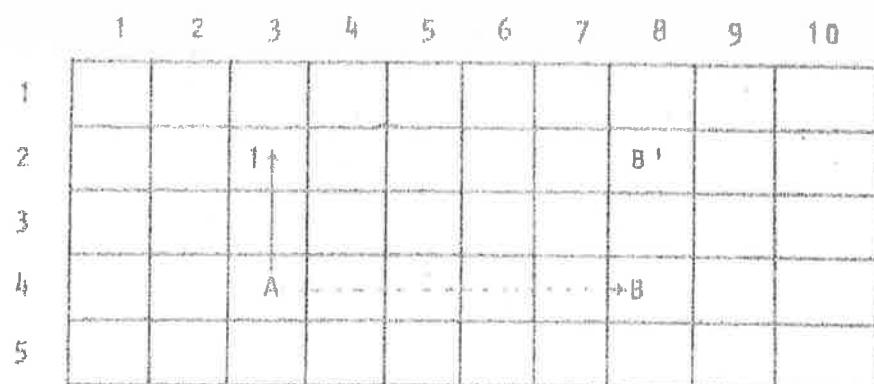


Figura 4.30 - Pontos Alinhados

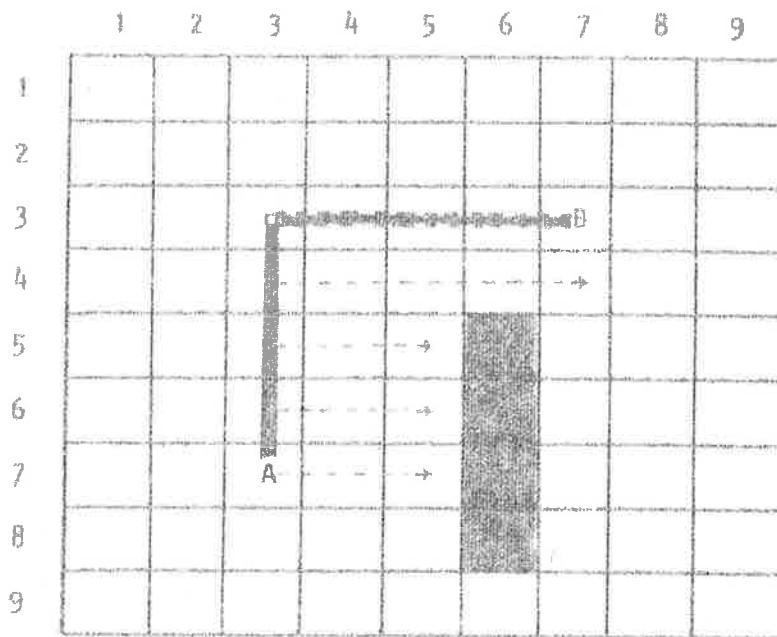


Figura 4.31 - Obstáculo

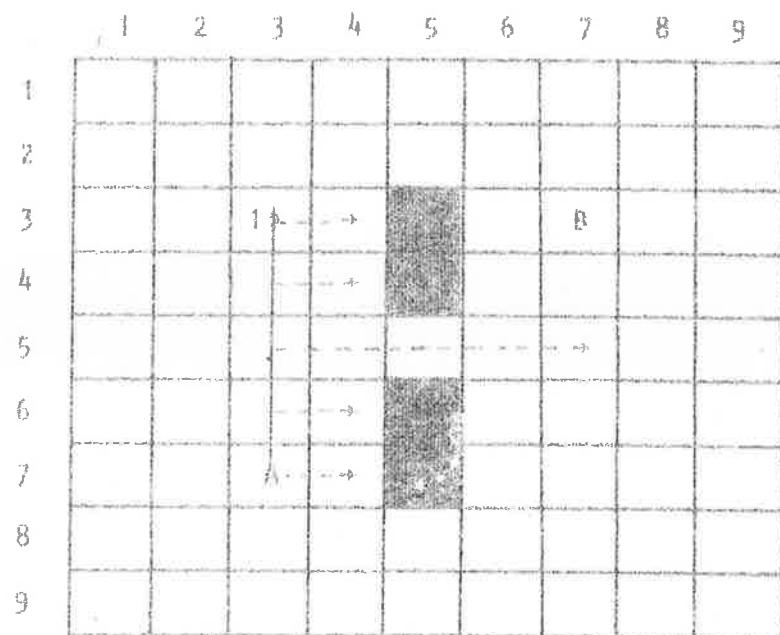


Figura 4.32 - Sucesso de uma Sub-rama

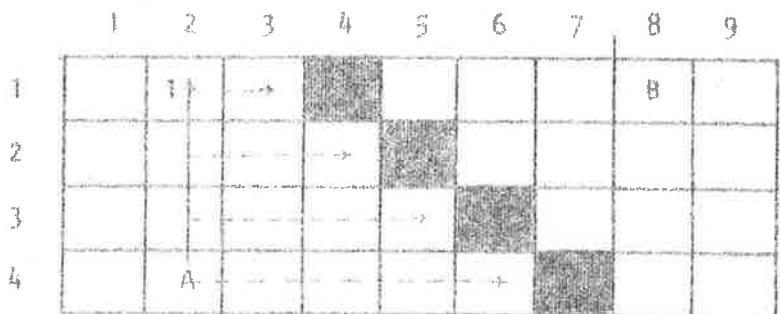


Figura 4.33 - Melhor Sub-rama

A rala 3, secundária da face superior, como todas as ralas secundárias, é definida na mesma direção que a rala principal, mas no sentido contrário, e é limitada a um número máximo de células (no caso, 2 células). O lançamento de suas sub-ralas, entretanto é idêntico ao da rala principal.

Na figura 4.34 a rala 3 é composta pelas células nas posições (7, 3) e (8, 3). Das sub-ralas da rala 3, a que parte da célula (8, 3) é um sucesso.

Anota-se os sucessos da rala 3 e caso não tenha havido nenhum, anota-se a melhor sub-rala.

De maneira semelhante lança-se a rala 2, principal da face Inferior, e suas sub-ralas, anotando-se os sucessos ou, caso não existam a melhor sub-rala. Neste caso, parte-se para o lançamento da rala 4, secundária da face Inferior, e suas sub-ralas.

Na figura 4.35 estão representados os lançamentos das ralas 2 e 4.

A rala 2, no exemplo, não possui sub-rala sucesso, tendo a me
lhor sub-rala inclada na célula (7, 3). Lançou-se então a ra
la 4 que teve uma sub-rala sucesso, a inclada na célula (7,
2).

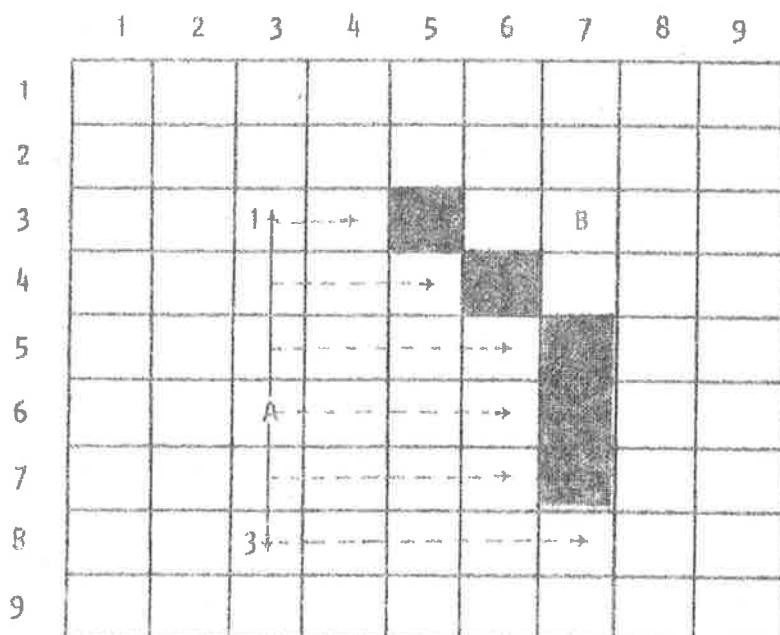


Figura 4.34 - Rala 3

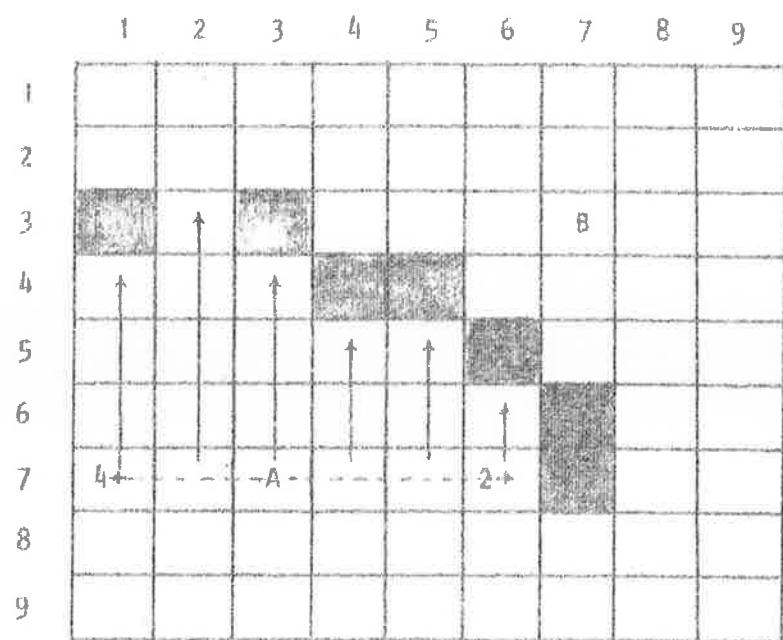


Figura 4.35 - Rala 2 e 4

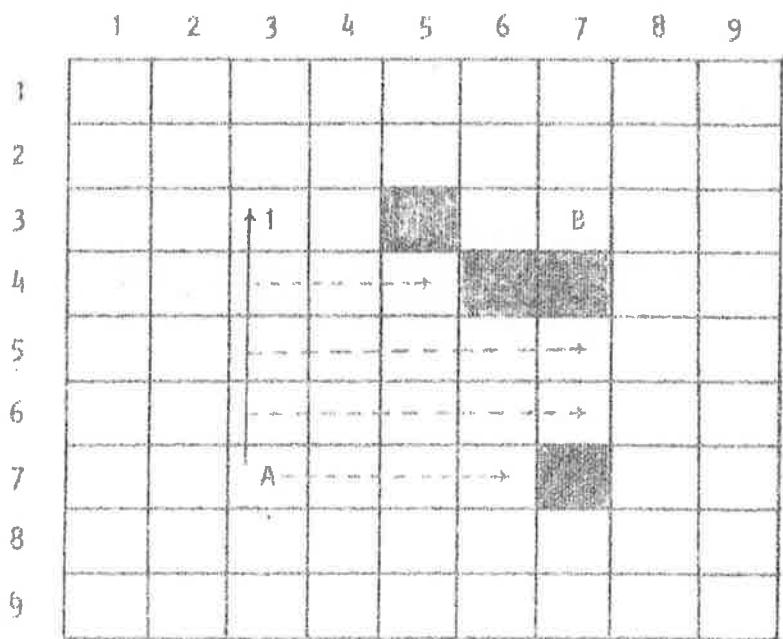


Figura 4.36

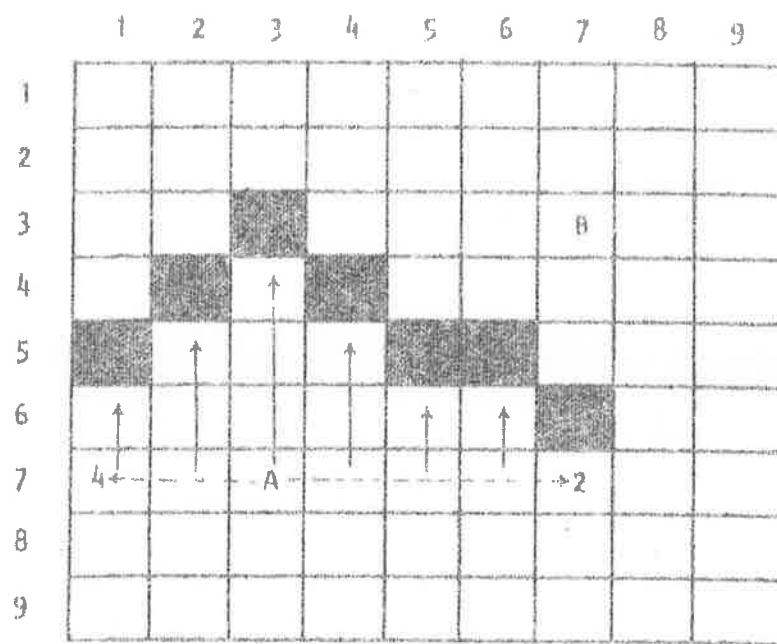


Figura 4.37

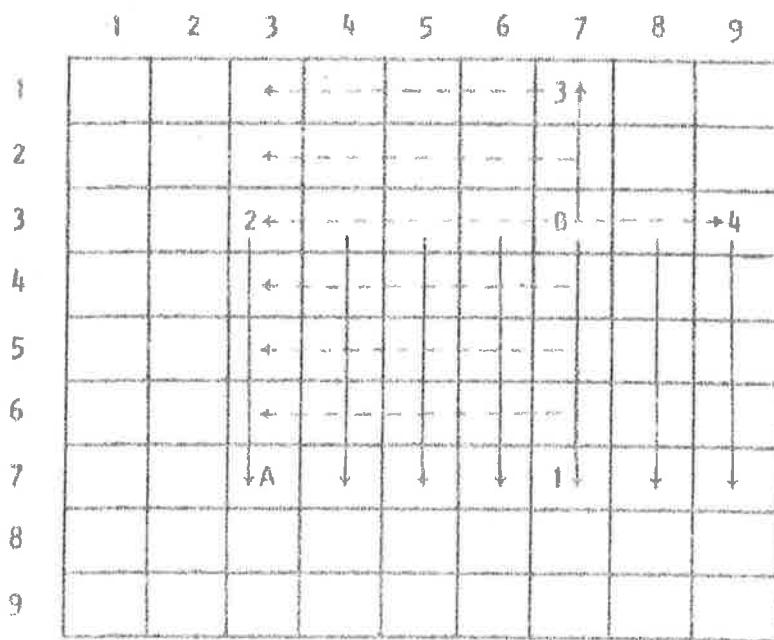


Figura 4.38

Passo 6 - Objetivo das Ralas e Sub-ralas de B

Após o lançamento de todas as ralas e sub-ralas do ponto A, caso o ponto B (objetivo) não tenha sido alcançado, parte-se para o lançamento das ralas e sub-ralas de B.

Para tanto deve-se Inicialmente, definir os objetivos para as ralas de B.

Por ocasião do lançamento das ralas do ponto A, foram anotados os eventuais sucessos de sub-ralas. Esses sucessos serão os objetivos para as sub-ralas de B. Assim se as ralas 1 ou 3 do ponto A tiveram algum sucesso, o sucesso mais recente no processo de lançamento, será um dos objetivos para o ponto B. Caso contrário uma sub-rala sucesso, hipotética, da rala 1 , do ponto A, partindo do próprio ponto A, será um dos objetivos para as sub-ralas de B.

De maneira semelhante é considerado o segundo objetivo para o ponto B relativamente às ralas 2 e 4 do ponto A. Dessa forma o ponto B terá duas sub-ralas como objetivo, bastando que uma de suas sub-ralas atinja um dos objetivos para se ter a rota definida.

Na figura 4.34 o objetivo para o ponto B é a sub-rala que parte de (8, 3). Na Figura 4.35 a sub-rala parte de (7, 2). Na figura 4.36 o objetivo para B é a sub-rala que parte de (5,3). Na figura 4.37 o objetivo será uma sub-rala que ocupa as células : (7, 3), (6, 3), (5, 3), (4, 3) e (3, 3).

Passo 7 - Lançamento das Ralas e Sub-ralas de B

Nesta Fase, Inicialmente é feita uma análise das ralas possíveis para o ponto B em função do estado de ocupação das células do elemento ao qual o ponto B pertence, definindo-se as ralas principais e secundárias de maneira análoga a realizada para o ponto A (Passo 4).

As ralas do ponto B terão a mesma direção, respectivamente, que as de A porém, sentido contrário (figura 4.38).

Definidas as ralas e os objetivos do ponto B, parte-se para o lançamento das sub-ralas das ralas de B, de maneira análoga ao passo 5.

Se durante o processo uma das sub-ralas de B atingir um objetivo, estará definida a rota, caso contrário passa-se ao passo 8 .

Casos típicos de definição de rota causadas por sucesso de sub-ralas de B são os mostrados nas figuras 4.39 e 4.40 .

Passo 8 - Quando esgotadas as Possibilidades de Sucesso, pelo Lançamento de Sub-ralas, das Ralas do Ponto B , e não se conseguiu definição da rota, resta ainda uma análise a ser feita.

Considere-se, inicialmente, as sub-ralas das ralas 1 e 3 do ponto A. Tome-se a melhor sub-rala das melhores sub-ralas das ralas 1 e 3 (eventualmente um sucesso de A).

Considere-se, de maneira semelhante, a melhor sub-rala , das sub-ralas das ralas 1 e 3 do ponto B

Verifique-se a existência de uma região retangular da matriz, limitada pelas sub-ralas definidas, onde dois lados opostos dessa região retangular são constituídos pelas tais sub-ralas (figura 4.41).

Faça-se o mesmo para as ralas 2 e 4 dos pontos A e B.

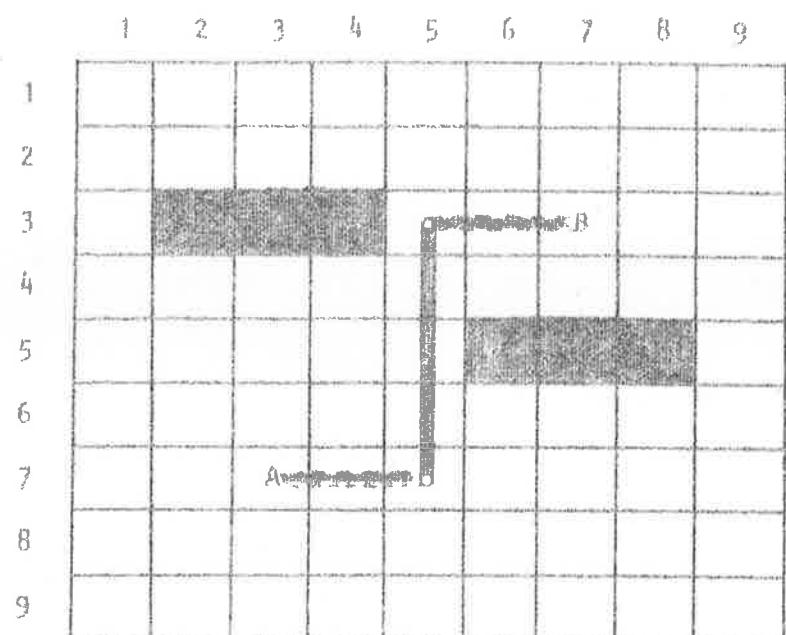


Figure 4.39

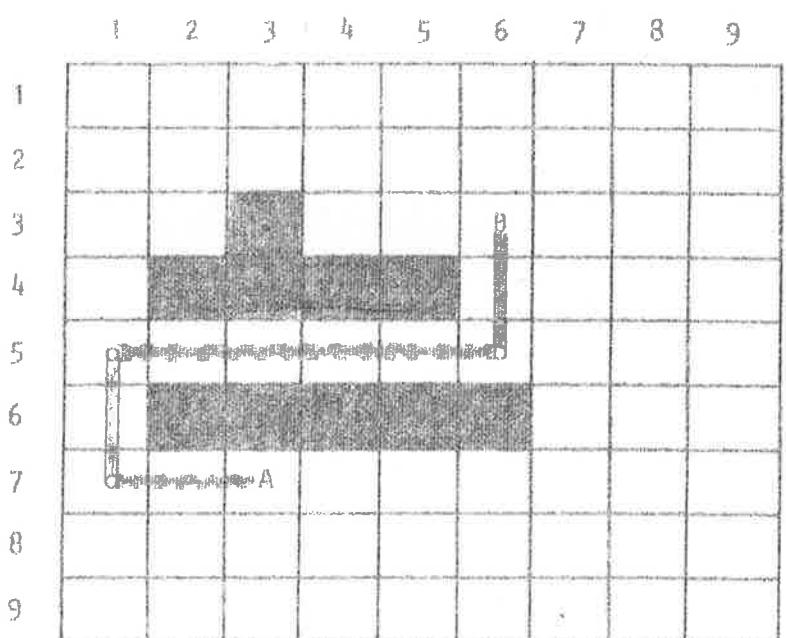


Figure 4.40

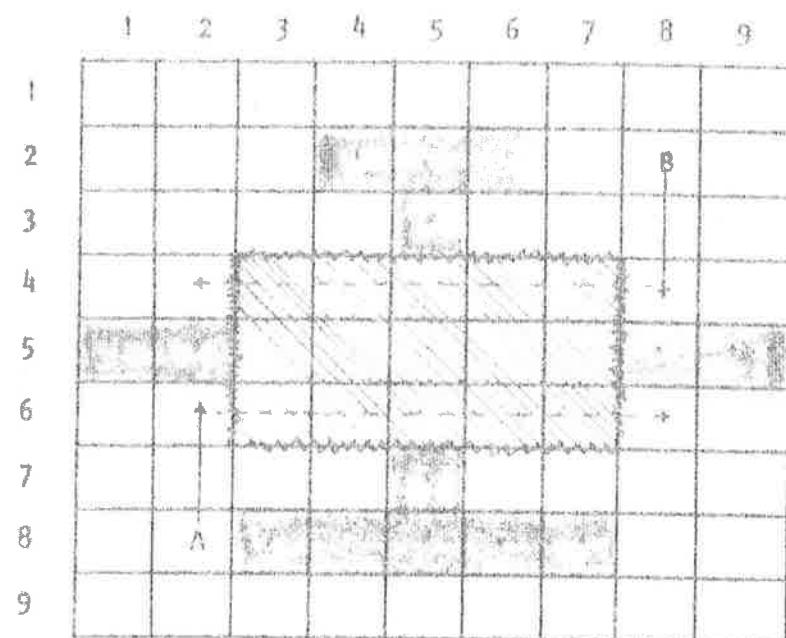


Figura 4.41

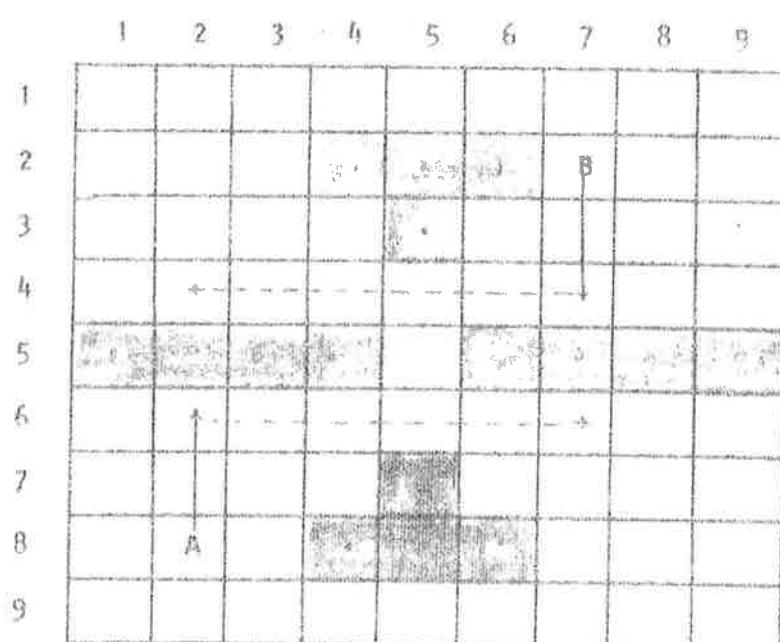


Figura 4.42

Se existir um caminho reto, ligando os lados do retângulo definido, e ortogonal as sub-ramas acima descritas, ter-se-á definida uma rota interligando A e B (figura 4.42).

Note-se que essa região retangular pode não existir. Caso não haja possibilidade de interligação dentro do retângulo, a ligação entre o ponto A e B será classificada para ser tentada pelo algoritmo da onda, adiante descrito.

Passo 9 - Análise da Rota Definida

Toda vez que uma rota é definida, observa-se se, dentre os segmentos que a compõem, se existe algum segmento (ou mais que um), cujo comprimento seja inferior ou igual a duas células (excluídas as extremidades). Caso exista, faz-se uma verificação na face oposta da placa à qual foi definido o segmento, verificando a possibilidade de se mudar o segmento de face.

Isso, sendo possível, fará com que o trecho de rota descrito contrarie a direção preferencial da face para a qual foi deslocado. No entanto, por se tratar de um segmento de comprimento ilimitado, não se tornará vínculo restritivo para futuras rotas. A cada segmento deslocado, nessas condições, são poupanados dois furos metallizados.

4.7 - O ALGORITMO DE LEE (ONDAS)

Conforme visto anteriormente, são submetidas a esse algoritmo as ligações de sinais prioritários, bem como as dos sinals normais, que não obtiveram sucesso quando tratados pelo algoritmo das raias.

Conforme referências no fim desse trabalho, vários são os autores que discutem as vantagens e desvantagens do algoritmo de Lee, sugerindo modificações e adaptações para torná-lo adequado a tipos típicos de problemas. Ocorre, entretanto, como poderá ser visto, que o emprego do algoritmo deve ser restrito, apesar de ser uma forte ferramenta para definição de rotas de circuito impresso. Isso porque o tempo de processamento necessário para a definição das rotas pode se tornar prohibitivo, se o algoritmo não for utilizada com certo critério.

As ligações que não tiverem sido definidas, após a submissão a esse algoritmo, serão listadas para que o usuário possa decidir por um reprocessamento, alterando posições de componentes, ou implementá-las com fios isolados (salto elétrico).

O objetivo básico é o de : dados dois pontos achar um caminho que os interligue, usando as regiões disponíveis em ambas as faces da placa.

Nesse caso, não há limitação quanto ao número de segmentos que compõem uma ligação.

Apesar do objetivo básico de interligar dois pontos, por questões construtivas, e para facilitar o projetista, o algoritmo pode tratar ligações ponto a sinal. Para exemplificar : Seja o caso do sinal elétrico de alimentação (VCC). Suponha-se que durante a descrição de um problema, tenha-se definido um sinal especial com o nome VCC .

Suponha-se também, que se tenha declarado a Interligação de dois pontos A e B por uma ligação cujo nome seja também VCC. O algoritmo ao identificar a existência de um sinal já definido, e da categoria especial, cujo nome é o mesmo da ligação em questão, interligará os dois pontos conectando-os à ligação já definida e pelo caminho mais curto disponível.

Esse algoritmo é também conhecido como "algoritmo da onda", pois seu desenvolvimento é muito semelhante à propagação de uma onda numa superfície líquida plana, onde os eventuais obstáculos, absorvem as ondas que os atingem.

Para a melhor compreensão do algoritmo utilizado, aplicado a problemas de circuito impresso de duas faces, descreve-se a seguir a aplicação a problemas de uma única face.

Sejam, na figura 4.43, os pontos A e B terminais de uma ligação cuja rota deve ser definida. Considerar-se que as regiões assinaladas são obstáculos, isso é, regiões que não podem ser ocupadas pela rota em questão. Parte-se, por exemplo, do ponto A.

Atribui-se a cada uma das células disponíveis (não obstáculo) e vizinhas de A o código "1" (figura 4.44).

Note-se que o conceito de vizinhança aqui atinge somente as células justapostas a uma célula dada e pertencentes às direções horizontal e vertical. Assim uma célula identificada pelas coordenadas (i, j) terá como vizinhas as células identificadas por (i-1, j), (i+1, j), (i, j-1), (i, j+1).

Em seguida, atribui-se o código "2" a cada uma das células vizinhas de cada uma das células rotuladas com o código "1", desde que ainda não estejam rotuladas e nem sejam células obstáculos (figura 4.45).

O processo continua, atribuindo-se códigos de valores sucessivos até que, ao se tentar atribuir o código "K", uma das duas situações abaixo se caracterize:

- Nenhuma das células de código "K - 1" possui célula vizinha disponível para a atribuição do código "K". Isso equivale a dizer que não há caminho que interliga os dois pontos propostos.
- Uma das células vizinhas de uma célula de código "K - 1" é o ponto objetivo, logo foi constatado que existe pelo menos um caminho entre os pontos propostos.

No caso do exemplo proposto a situação b) acima descrita é a indicada na figura 4.46.

A esta operação dá-se o nome de "expansão da onda".

Resta agora assinalar quais as células que constituirão a rota de interligação. Chama-se a esse procedimento de retração.

Parte-se agora do ponto B (no caso do exemplo), procurando-se, dentre as células vizinhas de B, qual a que está rotulada com um código (o de valor maior). Esta célula pertencerá à rota de interligação. Toma-se então esta célula e busca-se, dentre suas vizinhas, qual a que possui um código imediatamente inferior.

Esse processo se repete, até que se atinja o ponto A (figura 4.47).

Pode acontecer que, durante o processo de retração se depare com a situação de se ter duas células vizinhas, de uma certa célula, com um mesmo código. Neste caso aplique-se um critério arbitrário de decisão pois qualquer dos caminhos que se tome a rota definida ocupará o mesmo número de células.

1	2	3	4	5	6	7	8	9
1								
2								
3								
4								
5								
6								
7								
8	A						B	
9								

Figura 4.43

1	2	3	4	5	6	7	8	9
1								
2								
3								
4								
5								
6								
7		1						
8	1	A						
9		1						

Figura 4.44

	1	2	3	4	5	6	7	8	9
1									
2									
3									
4									
5									
6									
7	2	1	2						
8	1	A						B	
9	2	1	2						

Figura 4.45

	1	2	3	4	5	6	7	8	9
1	10	9	8	9	10	11	12	13	
2	9	8	7	8	9		11	12	13
3	8	7	6	7	8		10	11	12
4	7	6	5	6	7	8	9	10	11
5	6	5	4		8				
6			3		9	10	11		
7	2	1	2		10	11	12	13	
8	1	A			11	12	13	B	
9	2	1	2		12	13			

Figura 4.46

	1	2	3	4	5	6	7	8	9
1	10	9	8	9	10	11	12	13	
2	9	8	7	8	9		11	12	13
3	8	7	6	7	8		10	11	12
4	7	6	5	6	7	8	9	10	11
5	6	5	4		8				
6			3		9	10	11		
7	2	1	2	6	10	11	12	13	
8	1	A			11	12	13	0	
9	2	1	2		12	13			

Figura 4.47

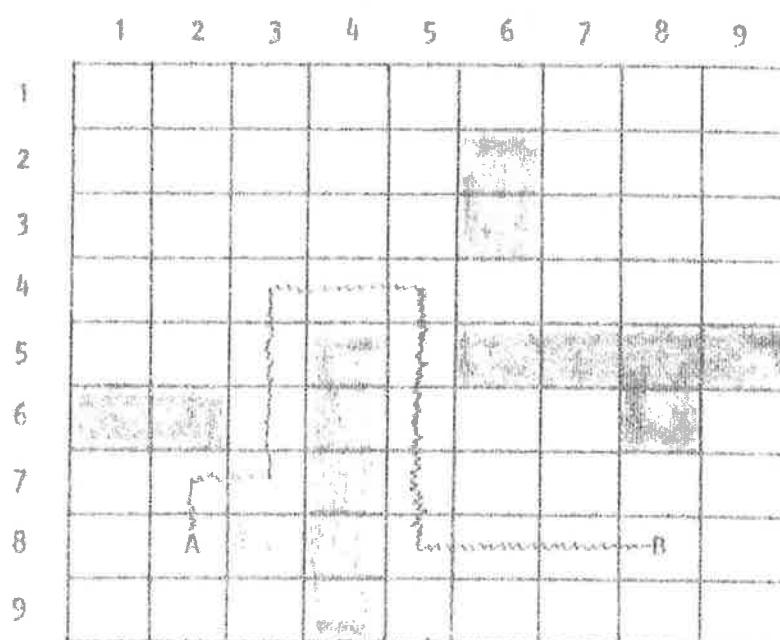


Figura 4.48

Após o retraço e consequente definição da rota, deve-se apagar os códigos atribuídos às células, ficando a matriz conforme a figura 4.48 .

Cabem aqui algumas considerações. O algoritmo de Lee , pelo fato de ser baseado na rotulação de células, é demorado, relativamente ao algoritmo das raias, na fase de execução. Isso porque além de rotular as células, após a definição da rota, é necessário restaurar o estado das células rotuladas, o que demanda tempo de processamento.

Normalmente, aplicam-se alguns critérios para a escolha do ponto de partida do algoritmo, procurando-se reduzir o número de células a serem rotuladas na fase de expansão da onda.

Seja o caso da figura 4.49. Note-se que se for escolhido o ponto C como ponto de partida, ter-se-á um maior número de células rotuladas do que se for escolhido o ponto D. Para se evitar casos como esse limita-se a região de expansão da onda dentro de uma moldura dentro da qual estão os pontos a serem ligados. Figura 4.50 .

Outro critério, que poderia ser adotado, seria a expansão de duas ondas simultaneamente, uma partindo do ponto C e outra do ponto D, interrompendo-se a expansão quando as duas frontes de ondas se encontrassem. Figura 4.51 .

Ainda dentro do retraço, podem ser aplicados critérios, para que as rotas sejam definidas de tal forma a se aproximarem , sempre que possível, de rotas já existentes, impedindo assim a fragmentação das regiões não ocupadas por rotas.

Considere-se agora o problema da aplicação do algoritmo de Lee para placas de circuito impresso metallizadas em ambas as faces. Neste caso o recurso do furo metallizado possibilita maior liberdade para a expansão, pois pode-se contar com as disponibilidades de ambas as faces da placa.

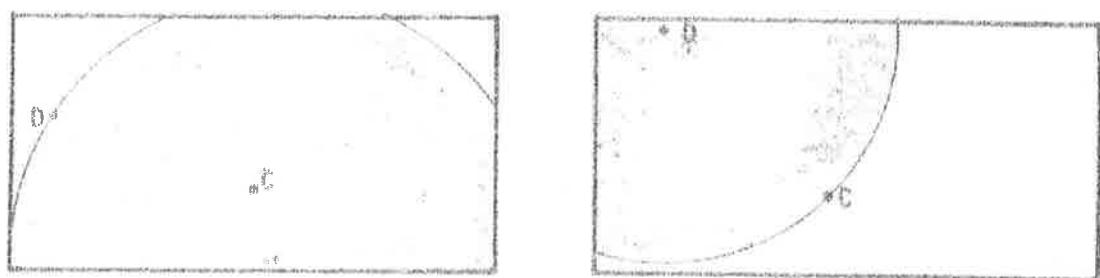


Figura 4.49

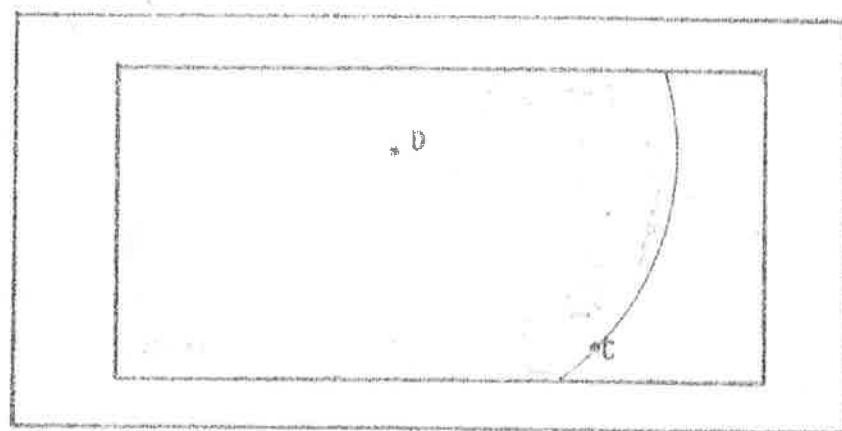


Figura 4.50

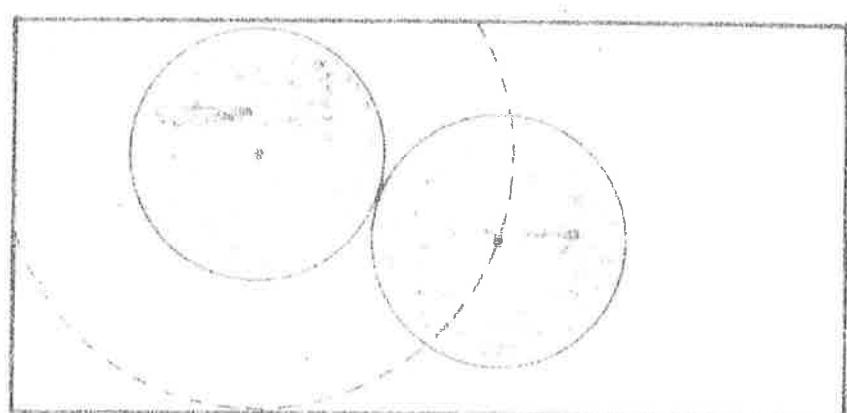


Figura 4.51

Cada célula, além das coordenadas que a identificam, será caracterizada por três informações básicas :

- Código de Propagação
- Código do Sinal Elétrico
- Código de Situação ("Status")

O Código de Propagação é utilizado durante a expansão da onda e no refracão. Os valores utilizados são :

- 0 = Furo
- 1 = Incremento x negativo ($- \Delta x$)
- + 1 = Incremento x positivo ($+ \Delta x$)
- 2 = Incremento y negativo ($- \Delta y$)
- + 2 = Incremento y positivo ($+ \Delta y$)

Para efeito dos exemplos adiante representar-se-á da seguinte forma :

- 0 = furo por *
- 1 = - Δx por *
- + 1 = Δx por *
- 2 = - Δy por *
- + 2 = Δy por *

Através desse código uma célula fica vinculada a uma de suas vizinhas.

O conceito de vizinhança aqui engloba o definido anteriormente e considera também a outra célula do elemento ao qual a célula de referência pertence. Assim dada uma célula, cinco são suas células vizinhas.

O Código do Sinal Elétrico é utilizado para assinalar as células que pertencem a uma rota já definida, ou a um sinal em expansão.

O Código de Situação (Status) caracteriza em que circunstâncias acha-se uma determinada célula. Assim,

0 = célula vazia, disponível para o algoritmo.

1 = pino, célula reservada para receber terminal elétrico de componente (penetração).

2 = "flat-pack", célula reservada para receber terminal elétrico de componente (contato).

3 = furo metalizado

4 = célula pertencente à segmento de rota na direção preferencial da face.

5 = valor temporário que substitui o valor 0 (zero) durante uma expansão.

6 = célula integrante de um padrão de ocupação.

7 = célula permitida para rota e proibida para furo.

8 = obstáculo

9 = Código temporário que substitui o valor 7 durante a expansão.

Para facilitar o registro das células que compõem a "frente de onda" durante a propagação, considerar-se uma lista de células que é atualizada a cada passo do algoritmo.

Para facilitar a descrição do algoritmo descrever-se a seguir os passos característicos que serão aplicados a um exemplo ilustrativo.

Seja o caso da figura 4.52. O problema é definir uma rota que interligue os pontos A e B.

V

	1	2	3	4	5	6	7
1							
2						B	
3							
4							
5							
6		A					
7							

FACE 1 (Superior)

H

	1	2	3	4	5	6	7
1							
2						B	
3							
4							
5							
6		A					
7							

FACE 2 (Inferior)

Figure 4-52

Estes pontos são considerados como sendo furos para alojar um terminal de componente elétrico, portanto ocupam as duas células do elemento onde são definidos.

Define-se para a face 1 (superior) a direção vertical como preferencial e para a face 2 (Inferior) a horizontal.

Na representação da figura 4.52 a face 2 deve ser observada como se a Face 1 fosse transparente. As células hachuradas são obstáculos.

PASSO 1 - Dados dois pontos a serem interligados, escolhe-se um dos pontos como ponto de partida. O outro ponto será a meta a ser atingida. No caso do exemplo o ponto A é partida e o ponto B é meta.

PASSO 2 - Colocar-se as coordenadas das células que caracterizam o ponto de partida na lista de frente de onda. Assume-se como coordenadas de um ponto : (X, Y, Z) onde X = abscissa, Y = ordenada e Z = face. Assim no caso da figura 4.52 a lista será :

{ (6, 2, 1), (6, 2, 2) }.

PASSO 3 - Tomar-se a lista de frente de onda atual e em relação às células assinaladas, marcar-se na matriz as células vizinhas que possam pertencer a uma eventual rota, obedecendo a direção preferencial da face. As coordenadas de cada nova célula assinalada, passam a constituir a "lista de frente de onda futura". Na figura 4.53 as setas apontam a célula que originou a expansão. No caso do exemplo tem-se então as listas :

Lista atual : { (6, 2, 1), (6, 2, 2) }

Lista futura: { (5, 2, 1), (7, 2, 1), (6, 1, 2) }

	1	2	3	4	5	6	7
1							
2							B
3							
4							
5			A				
6							
7							

FACE - 1

	1	2	3	4	5	6	7
1							
2							B
3							
4							
5							
6							
7							

FACE - 2

Figure - 4.53

PASSO 4 - Toma-se cada uma das células da lista futura, e verifica-se a possibilidade de atingir a célula da outra face através de um furo. A cada viabilidade assinala-se a célula na face oposta e inclui-se suas coordenadas na lista futura. Figura 4.54. Tem então :

Lista atual : { (6, 2, 1), (6, 2, 2) }

Lista futura: { (5, 2, 1), (7, 2, 1), (6, 1, 2), (6, 1, 1), (5, 2, 2), (7, 2, 2) }

No Figura 4.54 a possibilidade de uma célula ser atingida por um furo foi assinalada com o sinal "x".

PASSO 5 - Verifica-se a seguir, se existe alguma célula vizinha a alguma das células da lista atual, e na mesma face, que não tenha sido assinalada. Caso exista , essa célula poderá ser integrante de uma rota que contraria a direção preferencial da face. Assinala-se essa célula e atualizar-se a lista futura com suas coordenadas. Figura 4.55 .

Lista atual : { (6, 2, 1), (6, 2, 2) }

Lista futura: { (5, 2, 1), (7, 2, 1), (6, 1, 2), (6, 1, 1), (5, 2, 2), (7, 2, 2), (6, 3, 1) }

A cada célula assinalada, verifica-se se o objetivo foi atingido (meta). Caso tenha-se atingido passa-se ao passo 7. Caso contrário ao passo 6.

PASSO 6 - Muda-se o nome de "lista futura" para "lista atual" e considera-se uma nova "lista futura" inicialmente vazia, e volta-se ao passo 3.

Esse procedimento se repete até que a meta seja alcançada, ou até que se atinja uma situação onde as listas atual e futura estejam vazias.

	1	2	3	4	5	6	7
1							
2	X					R	
3							
4							
5		X					
6		A					
7		X					

FACE 1

	1	2	3	4	5	6	7
1							
2	X					R	
3							
4							
5		X					
6		A					
7		X					

FACE 2

	1	2	3	4	5	6	7
1							
2							B
3							
4							
5			↓				
6	X	A	←				
7		↑					

FACE 1

	1	2	3	4	5	6	7
1							
2							B
3							
4							
5			X				
6	+	A					
7		X					

FACE 2

Figures 4,55

No primeiro caso passa-se ao passo 7. No segundo, não há solução, a ligação é separada para informação ao usuário e passa-se ao passo 8.

No exemplo exposto, aplicando-se o algoritmo, atinge-se uma situação onde :

Frente de onda atual :

{ (2, 3, 1), (2, 5, 1), (3, 6, 1), (3, 2, 2), (3, 6, 2), (4, 7, 2), (7, 6, 2), (3, 2, 1), (4, 7, 1), (7, 6, 1), (2, 3, 2), (2, 5, 2) }

Frente de onda futura:

{ (1, 3, 1), (1, 5, 1), (2, 6, 1), ... }

O ponto (2, 6, 1) caracteriza a meta, ou seja, o ponto B. (Figura 4.56)

Nesse instante, interrompe-se a propagação da onda e passa-se ao passo 7.

PASSO 7 - Retraço. Atingido o ponto objetivo (meta), basta agora definir quais células constituirão a rota de interligação. Para tanto parte-se do ponto objetivo e segue-se para a célula apontada pelo seu indicador. Toda célula que for indicada, até atingir o ponto de partida, fará parte da rota.

No caso do exemplo, parte-se do ponto B na face 1, definindo-se a rota como segue :

B (2, 6, 1), (3, 6, 1), (4, 6, 1), (4, 6, 2), (4, 5, 2), (4, 4, 2), (4, 4, 1), (5, 4, 1), (5, 4, 2), (5, 3, 2), (5, 2, 2), (5, 2, 1), (6, 2, 1) A

Como se pode observar, parte-se de B caminhando-se pelas células indicadas. Ao se atingir um caractere "X", muda-se de face da placa.

Tem-se assim os segmentos da rota definidos em cada face, conforme mostra a figura 4.57, onde na face 1 tem-se somente segmentos verticais e na face 2, segmentos horizontais.

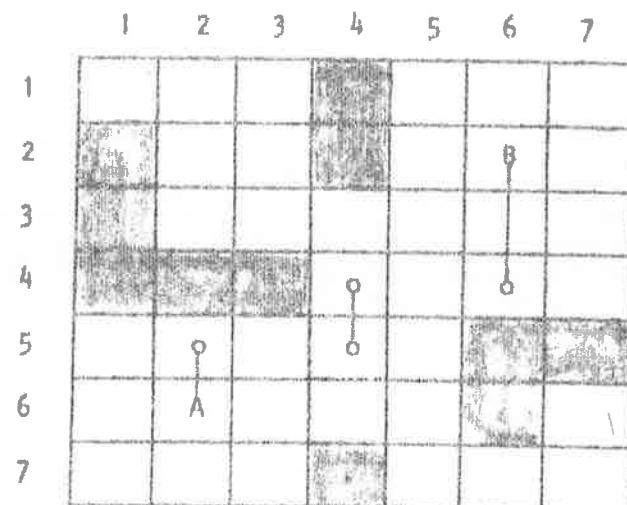
	1	2	3	4	5	6	7
1			↓		↓		
2			↓		↓	↓ B	
3		X	X	↓	↓	↓	
4				↓	↓	X	X
5	↓	↓	↓	X	↓		
6	X	A	+	↑	↑		
7	↑	↑	↑		↑	X	

FACE 1

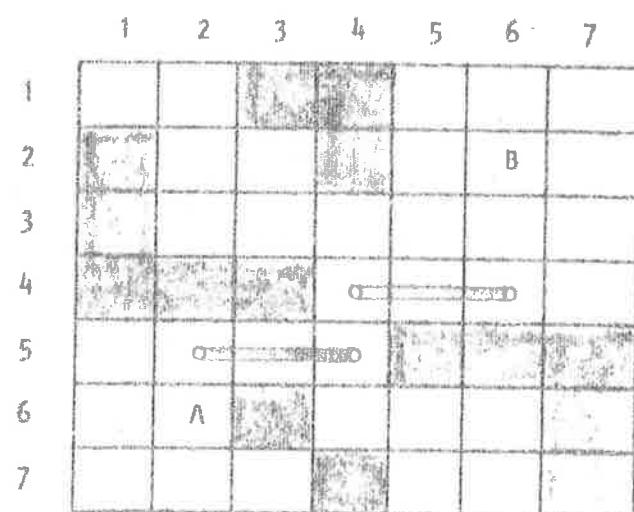
	1	2	3	4	5	6	7
1			↓				
2			X		X	B	
3		→	→	X	←	←	
4				X	←	←	←
5	→	X	+	←			
6	→	A		X	+	←	
7	→	X	←		X	→	

FACE 2

Figure 4.56



FACE 1



FACE 2

Figura 4.57

Ocorre, entretanto, que durante a definição das células que compõem a rota, algumas simplificações podem ser feitas. Por exemplo, dentro do passo 7, pode-se verificar se há possibilidade de mudança de face de algum segmento, cuja dimensão seja inferior ou igual a um determinado número de células, imposto pelo usuário, poupando assim furos metallizados. No exemplo descrito, considere-se a dimensão 2 (duas células), como sendo o limite de comprimento de segmento que possa mudar de face, desde que não haja obstáculos. Observa-se que dois segmentos da face 1 podem ser mudados para a face 2 obtendo-se a rota mostrada na figura 4.58.

Apesar dos segmentos deslocados contrariarem a direção preferencial da face para a qual foram translados, obtendo-se, em contrapartida, uma redução do número de furos metallizados.

A rota definida fica portanto:

B (2, 6, 1), (3, 6, 1), (4, 6, 1), (4, 6, 2), (4, 5, 2), (4, 4, 2), (5, 4, 2), (5, 3, 2), (5, 2, 2), (6, 2, 2) A

Como se vê, poupou-se 3 furos metallizados.

PASSO 8 - Após a definição da rota, ou deteção de sua impossibilidade, faz-se uma "limpeza" na matriz, apagando-se todos os códigos e indicações utilizados na expansão da onda, deixando-se assim, a matriz pronta para uma nova ligação.

É interessante observar que a aplicação do algoritmo de Lee é tanto mais rápido, quanto menor o número de células disponíveis na matriz. Por outro lado, quanto menor o número de células disponíveis, menor será a possibilidade de sucesso para uma interconexão.

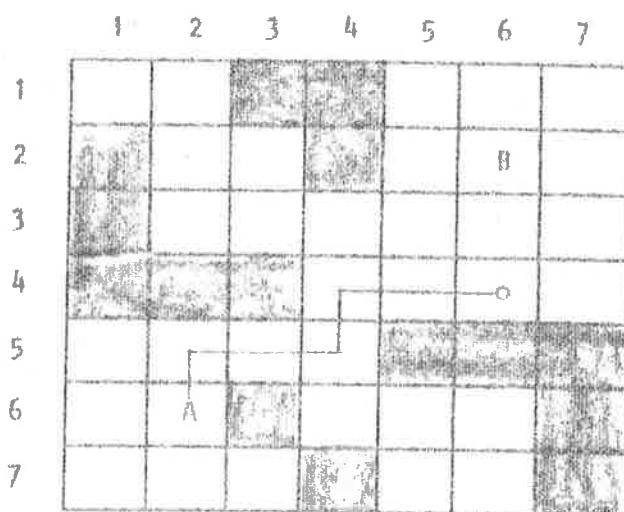
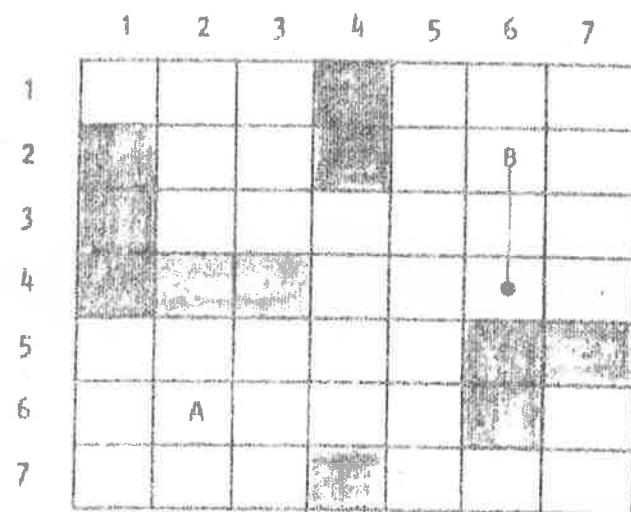


Figura 4.58

Como pode ser visto o algoritmo de Lee é mais poderoso que o das ralas pois, desde que haja uma possibilidade de conexão ele a detectará. Entretanto, pelo fato de se ter que assinalar cada uma das células atingidas pela expansão da onda, e após a definição de rota, ter-se que restaurar as células não pertencentes à rota, o tempo de processamento necessário é relativamente alto, comparado com o tempo dispendido pelo algoritmo das ralas, supondo-se uma mesma ligação. Por esse motivo, se utilizou, inicialmente um algoritmo (ralas) de menor recurso, porém bastante rápido, deixandose para o algoritmo de Lee as ligações mais complicadas.

CAPÍTULO 5 - PROGRAMAS E ARQUIVOS

PROGRAMAS E ARQUIVOS

5.1 - OBJETIVO

Neste capítulo procura-se descrever de forma sumária, cada um dos programas que constituem o Sistema de Traçado Automático de Rotas de Circuito Impresso. Faz-se menção também aos arquivos utilizados e às informações neles armazenadas.

A descrição que se segue é orientada ao esclarecimento do usuário, no referente às funções básicas de cada programa, e sua relação com as demais partes do sistema. A documentação técnica de cada programa, bem como listagens não foram incorporadas a este trabalho que, em sua essência, visa o uso do conjunto de programas de automação de Circuito Impresso.

5.2 - ARQUIVOS

Para a realização dos programas adiante descritos, foram utilizados 17 (dezessete) arquivos, orientados não só para armazenamento de dados necessários à execução do problema corrente, mas também para a futura inclusão desta fase da automação de projetos, no Sistema Integrado de Automação de Projetos de Sistemas Digitais.

ARQ01 - Arquivo diretório para gerência do arquivo de componentes elétricos que fazem parte da biblioteca.

É composto de 200 registros e armazena as seguintes informações, por registro:

- TIPO do componente.
- Número de terminais do componente.
- Terminal base do componente.
- Ponteiro Indicador do registro no arquivo ARQ10, onde inicia a descrição das coordenadas do componente.
- Número de registros no arquivo ARQ10 pertinente a esse componente.
- Tipo do padrão de ocupação associado a cada terminal do componente.

ARQ10 - Arquivo de descrição dos padrões de componentes e de ocupação que fazem parte da biblioteca. Cada registro armazena a informação de um cartão de descrição de componente.

Os dados que caracterizam cada registro são:

- Número do primeiro pino da sequência.
- Número do último pino da sequência.
- Abscissa do primeiro pino da sequência.
- Ordenada do primeiro pino da sequência.
- Incremento de abscissa para a partir de um pino obter o próximo.
- Incremento de ordenada para a partir de um pino obter o próximo.

- . Face sobre a qual o padrão é fixado.

No caso de padrão de ocupação as informações armazena_das são:

- . Face sobre a qual o padrão é fixado.
- . Código de "status" das células que compõem o pa_drão descrito.
- . Abscissas de células do padrão.
- . Ordenadas de células do padrão.

Note-se que neste caso em cada registro pode-se arma_znar até 3 pares de coordenadas de células.

ARQ2@ - Arquivo com mensagens indicativas do estado e pos_ição de execução de partes características dos pro_gramas.

Tais mensagens são impressas quando solicitadas espe_cificamente, para auxílio em diagnóstico de falhas do Sistema.

ARQ3@ - Arquivo de mensagens de erro.

Essas mensagens são impressas ao ser detetado um erro de especificação, ou erro lógico na descrição do pro_blem. Auxiliam o usuário na correção de falhas. A relação destas mensagens encontram-se no APÊNDICE I.

ARQ4@ - Arquivo onde são armazenadas as informações das seções:
* IDENTIFICAÇÃO e
* PARAMETROS

O registro básico é composto de:

- DATA da execução.
- NOME da placa.
- Descrição da placa.
- Número de camadas.
- Tipo de ligações.

ARQ5# → Arquivo índice dos componentes que fazem parte do problema.

Dados do registro básico:

- Número serial do componente.
- Código do componente (TIPO).
- Coordenadas globais do terminal básico.
- Ponteiro que indica, no arquivo ARQ6# o ínicio da descrição dos terminais.
- Número de terminais.
- Descrição, comentário do componente.

ARQ6# → Arquivo das coordenadas dos terminais dos componentes.

Dados armazenados:

- Abcissa de um terminal.
- Ordenada de um terminal.
- Face(s) sobre a(s) qual(l)s o terminal é definido.

- Código associado ao terminal.
- Ponteiro Indicador do padrão do componente específico (ARI#).
- Tipo de código de ocupação default.

ARQ7# - Arquivo Índice dos arquivos de sinais respectivamente: ARQ8#, ARQ9# e ARQ10#.

Dados armazenados:

- Ponteiro Indicador de um dos três arquivos citados.
- Índice do registro de Info da descrição no arquivo Indicado.
- Número de registros que compõem a descrição.
- Código do sinal.
- Número do sinal (Interno).

ARQ8# - Arquivos das coordenadas dos pontos a serem tratados por Ligações Especiais.

Dados armazenados:

- Coordenadas de pontos.
- Face de definição.

ARQ9# - Arquivo das coordenadas dos pontos a serem tratados por Ligações Prioritárias.

- Coordenadas de pontos.

ARQ100 - Arquivo das coordenadas dos pontos a serem tratados por Ligações Normais.

Dados Armazenados:

• Coordenadas dos pontos.

ARQ110 - Arquivo geral ordenado dos pares de pontos a serem ligados.

Registro padrão:

- Coordenadas do primeiro ponto.
- Código do sinal.
- Estado do 1º ponto.
- Coordenadas do segundo ponto.
- Distância manhattan entre os pontos.
- Estado do segundo ponto.

ARQ120 - Arquivo das Ligações feitas pelo algoritmo das rafas.

Registro padrão:

- Código do sinal.
- Número de pontos de esquina.
- Coordenadas de um ponto esquina.
- Tipo de esquina.
- Face da placa.

Notense que cada registro pode armazenar até 6 esquinas.

ARQ13@ - Arquivo das ligações faltas pelo algoritmo das ondas.

Informações armazenadas:

- . Código do sinal.
- . Número de pontos.
- . Coordenadas de ponto.
- . Tipo de ocupação.
- . Face da placa.

ARQ14@ - Arquivos de trabalho que registram a cópias

ARQ15@ da matriz equivalente da placa para facilitar

ARQ16@

ARQ17@ a saída gráfica das ligações Lay-out.

Tendo-se em vista a implementação destes arquivos apresenta-se a seguir a tabela de características dos mesmos:

ARQUIVO	Nº PAL/REG.	Nº REGISTROS	Nº DE PAL.PARA O ARQUIVO
ARQ01	12	200	2400
ARQ10	8	1000	8000
ARQ20	16	100	1600
ARQ30	16	100	1600
ARQ40	420	1	420
ARQ50	32	1000	32000
ARQ60	4	8000	32000
ARQ70	8	1000	8000
ARQ80	3	200	600
ARQ90	2	200	400
ARQ100	2	1600	3200
ARQ110	8	10880	87040

ARQUIVO	Nº PAL/REG.	Nº REGISTROS	Nº DE PAL.PARA O ARQUIVO
ARQ120	25	960	24000
ARQ130	4	6400	25600
ARQ140	200	200	40000
ARQ150	200	200	40000
ARQ160	200	200	40000
ARQ170	200	200	40000

5.3 - SUBPROGRAMAS UMC - UTILITÁRIOS DE MÁSCARA DE CIRCUITOS

- UMC#1 - Subprograma de apoio para identificação das várias fases de execução dos programas. Sua função é imprimir o nome de cada programa ou subprograma, a medida em que são executados.
- Essa impressão é condicionada a imposição de parâmetros específicos.
- UMC#2 - Subprograma comparador de sequências de caracteres. Utilizado na identificação de comandos de controle e de especificação.
- UMC#3 - Subprograma de conversão de dados de formato alfanumérico para numérico. É utilizado na análise dos dados de entrada.
- UMC#4 - Subprograma Impressor de mensagens de erro e observações. Em função de parâmetros de entrada localiza a mensagem adequada e imprime.
- UMC#5 - Subprograma de apoio para comparação de sequências de caracteres.
- UMC#6 - Subprograma tratados da condição de proximidade entre furos metallizados, permitindo distanciamentos de 0.1 ou 0.05 de polegada.

5.4 - SUBPROGRAMAS SMC - SUBPROGRAMAS DE MÁSCARA DE CIRCUITOS

- SMC#1 - Subprograma compilador da seção "Identificação" da placa de circuito impresso. Lê cartões e imprime os dados de entrada, analizando cada comando e detetando eventuais erros.
- SMC#2 - Subprograma compilador da seção "Paramêtros" da placa de circuito impresso. Lê e imprime os cartões de dados submetendo-os a uma análise crítica.
- SMC#3 - Subprograma compilador da seção "Componentes". Lê, imprime e analisa os dados desta seção.
- SMC#4 - Subprograma compilador da seção "Sinais". Lê, imprime, analiza os dados verificando a consistência com os demais dados já lidos.
- SMC#5 Subprograma preparador da biblioteca de padrões. Prepara a biblioteca para aceitar novas gerações através da atualização de ponteiros.
- SMC#6 - Subprograma tratador da geração de padrões de biblioteca. Verifica a existência de padrões gerados que possam ter o mesmo nome do padrão sendo gerado. Inclui novos padrões na biblioteca.
- SMC#7 - Subprograma tratador da exclusão de padrão da biblioteca.

teca. Apaga o padrão, relocando os demais. Atualiza o índice da biblioteca.

- SMC#8 - Subprograma listador dos padrões pertencentes à biblioteca. Os padrões são listados na forma exata em que os dados foram submetidos na fase de geração.
- SMC#9 - Subprograma alocador dos terminais de componentes, e respectivos padrões de ocupação, na matriz equivalente da placa. Nesta operação, verifica eventuais áreas de superposição de componentes, emitindo mensagens de erro.
- SMC#10 - Subprograma que estabelece rotas entre dois pontos através do lançamento de raias e subraias nos canais permissíveis da matriz representativa da placa do circuito.
- SMC#11 - Subprograma que estabelece rotas entre dois pontos através da execução do algoritmo da onda "Lee" na matriz equivalente da placa de circuito impresso.
- SMC#12 - Subprograma que traça o "lay-out" do circuito impresso segundo especificações dadas, gerando dados de contabilização do circuito.
- SMC#13 - Subprograma ordenador de pares de pontos pertencentes a um mesmo sinal elétrico, adotando o critério de distâncias crescentes. Gera o arquivo de ligações na ordem em que devem ser executadas.

SMC14 - Subprograma que executa as ligações especiais. Verifica eventuals conflitos de ocupação de células.

SMC15 - Subprograma geral de classificação que utiliza o algoritmo 271 - CACH - Vol. 8 - nº 11.

5.5 - PROGRAMAS MCI - MASCARAS DE CIRCUITO IMPRESSO

Seguem-se os programas principais do Sistema de Traçado de Rotas de Circuito Impresso. Tais programas, em sua maioria, são chamados pelo usuário, através de cartões de controle específicos (// XEQ), para executar as tarefas que resultarão na produção do "Lay-Out".

MCI00 - É um programa dedicado ao tratamento da biblioteca de padrões. Sua função principal é coordenar a chamada dos subprogramas que cuidarão da:

- Preparação
- Geração
- Exclusão
- Listagem

referentes aos padrões de biblioteca. Sob o controle desse programa podem ser declaradas as seguintes especificações de controle:

*INICIAR

*GERAR

*DELIR

*LISTAR

*FIM

MCI10 - É o programa que gerencia a compilação dos dados de descrição do problema. Administra a leitura, interpretação e impressão dos dados, bem como a impressão das mensagens de erro se for o caso. Gera arquivos para posterior processamento. O programa trata das seguintes declarações de controle:

*IDENTIFICAÇÃO

*PARAMETROS

*COMPONENTES

*SINAIS

*FIM

MCI20 - É o programa coordenador da ordenação dos pares de pontos que constituirão as ligações solicitadas. Esse programa não requer especificação de controle. Usa os arquivos anteriormente gerados e produz um novo arquivo ordenado que será utilizado para a execução das conexões.

MCI30 Esse é o programa que coordena a alocação dos componentes na matriz equivalente da placa de circuito impresso. Executa também a ligação entre os pontos solicitados empregando os algoritmos adequados através da chamada dos programas MCI3X (algoritmo das raias) ou MCI3A (algoritmo das ondas). Não necessita de comandos de controle específicos.

MCI3X - Programa chamado pelo MCI3B para gerenciar a execução das ligações feitas pelo algoritmo das ralas (NORMAIS).

Não requer declaração de controle.

MCI3A - Programa chamado pelo MCI3X para gerenciar a execução das ligações destinadas ao algoritmo da onda (PRIO RITÁRIAS e NORMAIS). Não requer declaração de controle.

MCI4B - Esse programa coordena a execução do desenho das rotas alocadas, e ainda produz a contabilização da placa. Requer comando de controle que especifique o nome do layout, a escala desejada, e a forma de gravação (com ou sem superposição).

Para melhor visualização da interrelação entre programas subprogramas e arquivos, segue abaixo a tabela de requisitos:

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
UMC#1	-	ARQ2B
UMC#2	UMC#1	-
UMC#3	UMC#1	-

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
UMC04	UMC01 UMC02	ARQ30
UMC05	UMC01 UMC02 UMC04	ARQ40
UMC06
SMC01	UMC01 UMC02 UMC04 UMC05	ARQ40
SMC02	UMC01 UMC02 UMC03 UMC04 UMC05	ARQ40

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
SMC#3	UMC#3 UMC#4	ARQ#1 ARQ5# ARQ6# ARQ1#
SMC#4	UMC#1 UMC#2 UMC#3 UMC#4	ARQ#1 ARQ5# ARQ4# ARQ7# ARQ6# ARQ9# AQ1##
SMC#5	UMC#1	ARQ#1 ARQ1#
SMC#6	UMC#1 UMC#2 UMC#3 UMC#4	ARQ#1 ARQ1#

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
SMC#7	UMC#1 UMC#4	ARQ#1 ARQ1#
SMC#8	-	ARQ#1 ARQ1#
SMC#9	UMC#4	ARQ#1 ARQ1# ARQ4# ARQ6#
SMC#10	UMC#6	ARQ#1 ARQ4# AQ11# AQ12#
SMC#11	UMC#6	ARQ#1 ARQ4# AQ11# AQ13#

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
SMC12		AQ14B AQ15B AQ16B AQ17B
SMC13		AQ19B ARQ9B ARQ8B ARQ7B AQ11B ARQ8I
SMC14		ARQ8I ARQ4B ARQ7B AQ11B
SMC15		AQ11B

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
MCI00	UMC01 UMC02 UMC04 SMC05 SMC06 SMC07 SMC08	-
MCI10	UMC02 UMC04 SMC01 SMC02 SMC03 SMC04	ARQ01 ARQ50 ARQ70
MCI20	SMC13 SMC15	AQ110
MCI30	SMC09 SMC11 SMC14	-

PROGRAMA OU SUBPROGRAMA	PROGRAMA OU SUBPROGRAMA REQUERIDO DIRETAMENTE	ARQUIVO REQUERIDO DIRETAMENTE
MCI3X	SMC1B	-
MCI3A	SMC11	ARQ4B AQ14B AQ15B AQ16B AQ17B ARQ8I ARQ7B AQ11B
MCI4B	UMC02 UMC03 UMC04 SMC12	ARQ4B

Outros programas foram desenvolvidos para facilitar o teste em cada uma das fases do desenvolvimento do Sistema . Por serem de uso específico e não necessários do ponto de vista do usuário, foram aqui omitidos .

CAPÍTULO 6 - FORMA DE UTILIZAÇÃO

FORMA DE UTILIZAÇÃO

6.1 - OBJETIVO

Neste capítulo procura-se dar, ao usuário, uma visualização das idéias até aqui expostas, através do acompanhamento da descrição e solução de um caso real.

Ater-se-á a adequação dos dados do problema, ao sistema de programas propostos, lembrando-se que os aspectos formais estão discutidos no Capítulo 4.

6.2 - PREPARATIVOS INICIAIS

Conforme descrito em capítulos anteriores, antes de se iniciar a codificação dos dados do problema, é conveniente que se faça um planejamento da posição dos componentes elétricos num mapa representativo da placa de circuito impresso.

Como o tratamento do problema, pelo computador, é feito de maneira discreta, é interessante que o planejamento seja feito - sobre um reticulado adequado, onde cada menor região retangular, limitada pelo reticulado, corresponda a uma célula, conforme definição anterior.

Neste caso específico, e na maioria dos casos experimentais processados, utilizou-se circuitos Integrados cujas características são:

$$D = \text{distância entre terminais opostos} = 0.3 \text{ polegada}$$

$$d = \text{distância entre terminais contíguos} = 0.1 \text{ polegada}$$

Toma-se, usualmente, circuitos integrados como referência, pois são os componentes que apresentam a menor flexibilidade de distancias entre terminais.

Levando-se em consideração as regiões pre-definidas de isolação e metallização, e adicionalmente o vínculo de número de rotas que possam se interpor a terminais, conforme abalxo descrito, chega-se ao dimensionamento do reticulado.

$$n = \text{número máximo de rotas entre terminais contíguos} = 1$$

$$m = \text{número máximo de rotas entre terminais opostos} = 3$$

Como, no entanto, as rotas entre terminais opostos ficarão, no caso, na mesma face da placa onde será feita a soldagem, adotou-se o critério de se considerar duas rotas fictícias adicionais viáveis, de tal forma que possam ser possíveis os padrões de metallização para solda ao redor de cada terminal de circuito integrado. Com essa consideração adicional fez-se $m=3+2=5$.

De acordo com o Capítulo 4.2 vem

$$A = \frac{d}{n + 1} = \frac{0.1}{1 + 1} = 0.05 \text{ polegada}$$

$$A' = \frac{D}{m + 1} = \frac{0.3}{5 + 1} = 0.05 \text{ polegada}$$

ou seja, o reticulado será de malha quadrada com 0.05 polegadas de lado.

Por questão de facilidade, muitas vezes, na fase de planejamento, usa-se um reticulado ampliado.

Sobre o reticulado definem-se o sistema de coordenadas globais conforme figura 6.1.

Outra preocupação inicial, é verificar se os padrões de componentes e de ocupação que se pretende utilizar, já estão gerados na biblioteca de padrões. No caso do exemplo, todos já haviam sido gerados anteriormente, mas para melhor compreensão do problema, são mostrados a seguir.

Padrão T16N - Como indicado na figura 6.2 é um padrão para circuito integrado de 16 pinos com eixo longitudinal paralelo à direção y. O terminal básico de referência é o 1.

Padrão T14N - É um padrão de circuito integrado de 14 pinos (figura 6.3). Terminal básico de referência: 1.

Padrão TRNT - É um padrão para transistor (fig. 6.4) Terminal básico de referência: 1

Padrão TP4V - É um padrão de conector de 4 contatos para entrada/saída de sinais elétricos da placa. Terminal básico de referência: 1 (fig. 6.5).

Padrão T10V - É um padrão de conector de 10 contatos para entrada/saída de sinais elétricos da placa. Terminal básico de referência: 1 (fig. 6.6).

Padrão TP8V - Semelhante ao T10V. 8 contatos (fig. 6.7).

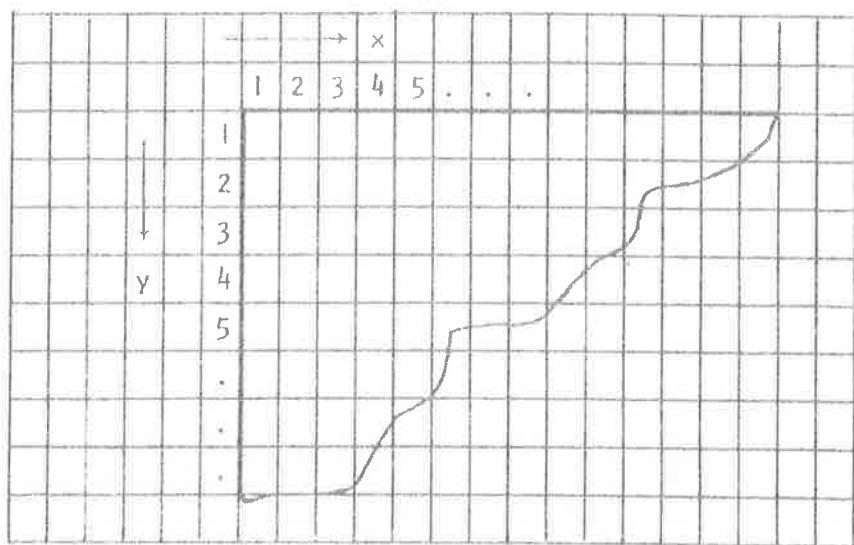


Fig. 6-1 - SISTEMA DE COORDENADAS GLOBAIS

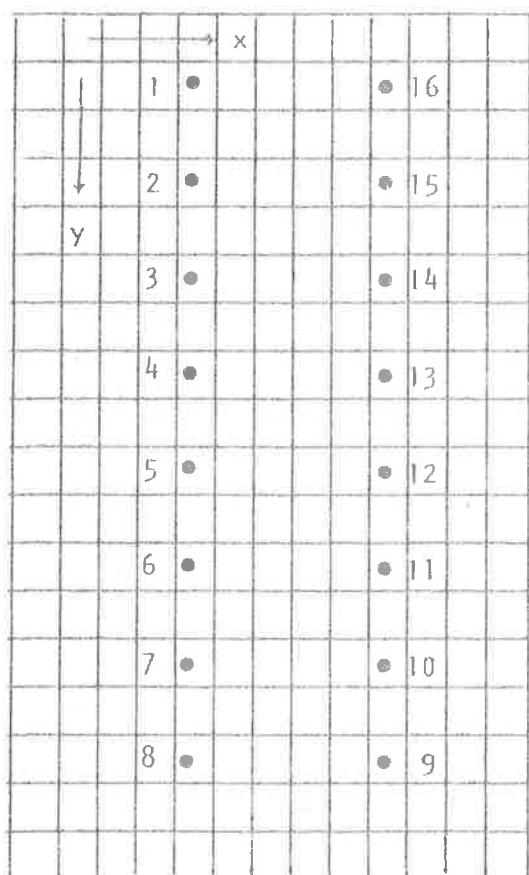


Fig. 6.2 - PADRÃO T16N

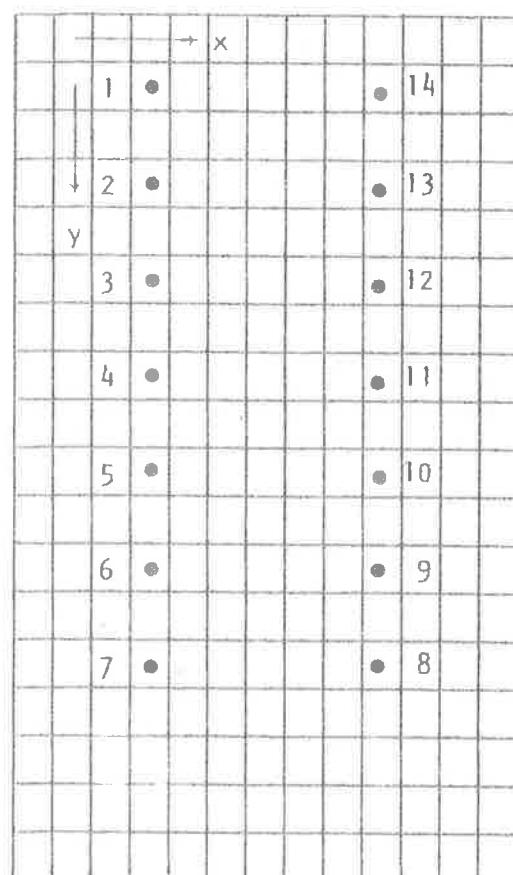


Fig. 6.3 - PADRÃO T14N

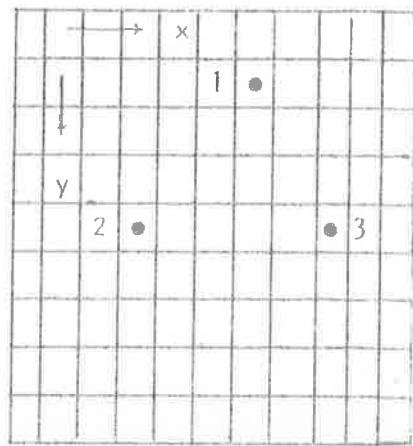


Fig. 6.4 - PADRÃO TRNT

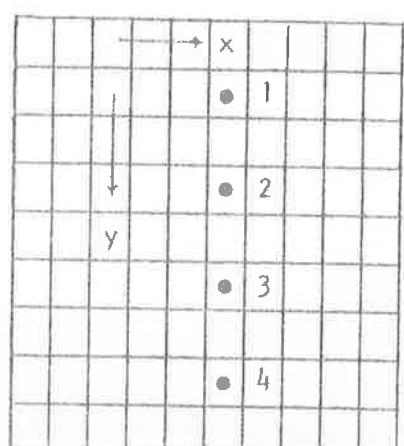


Fig. 6.5 - PADRÃO TP4V

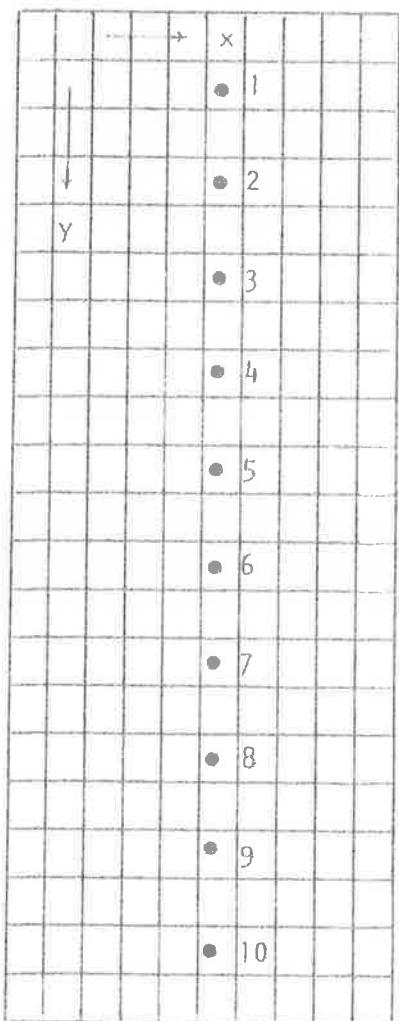


Fig. 6.6 - PADRÃO T10V

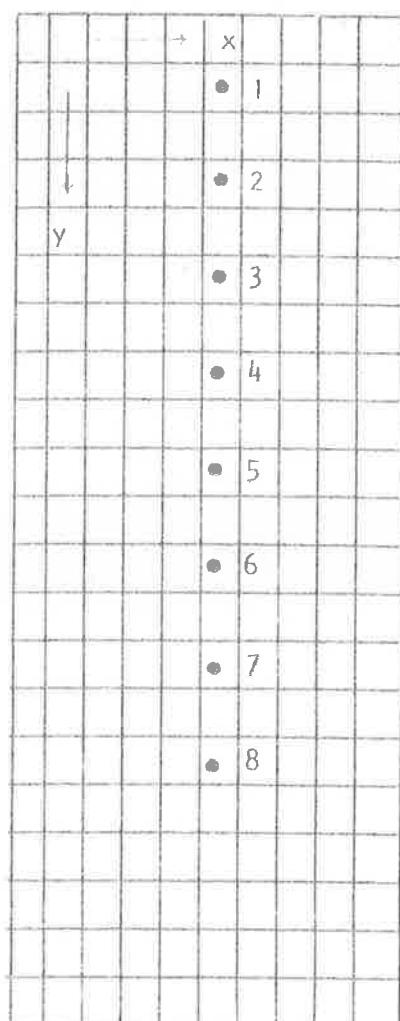


Fig. 6.7 - PADRÃO TP8V

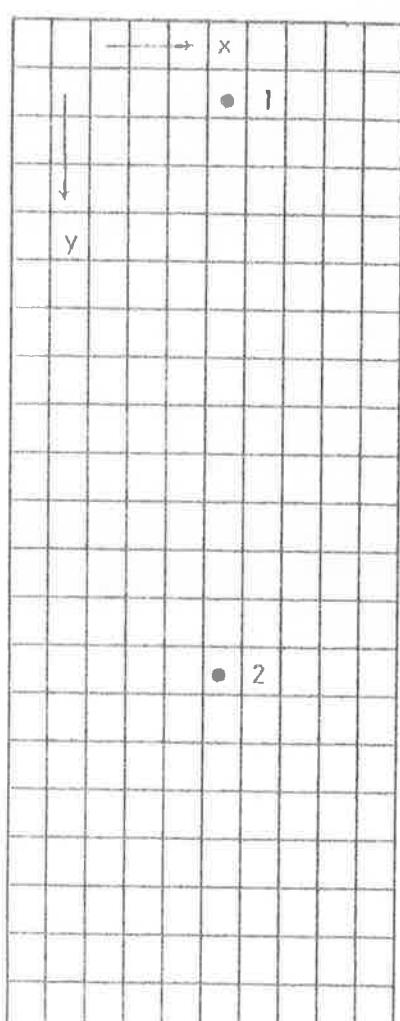


Fig. 6.8 - PADRÃO DX2N

Padrão DX2N - É um padrão para resistor. Terminal básico de referência: I (figura 6.8).

O padrão PRFS é um padrão utilizado para indicar a posição de ocupação para fixação por parafuso.

Salienta-se que a representação dos padrões acima descritos mostra somente os pontos de terminais, não indicando as regiões de ocupação das isolações e metalizações, pertinentes à geração desses padrões.

Com o uso sistemático dos padrões de componentes. Com o passar do tempo, tem-se uma coleção de padrões que cobre, praticamente, todas as necessidades para representação do problema, de circuito impresso. Entretanto, pode o usuário, a qualquer instante, gerar seus próprios padrões.

Na fase de planejamento, deve o projetista alocar sobre o reticulado, os padrões de componentes conforme tenha escolhido o posicionamento dos componentes elétricos sobre a placa de circuito impresso.

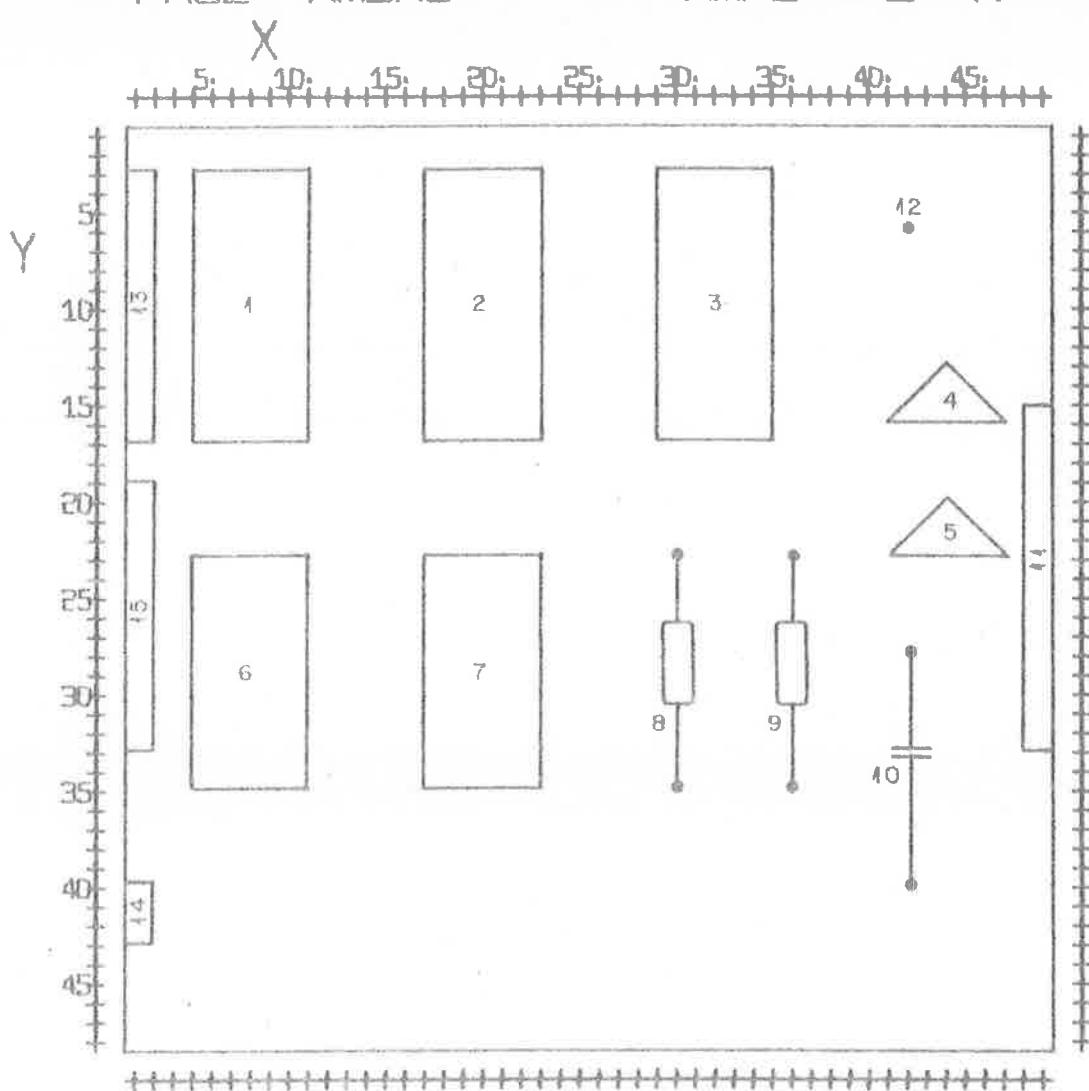
No exemplo sendo descrito, o posicionamento escolhido foi o indicado na figura 6.9.

Recomenda-se também que sobre o reticulado sejam esboçadas as ligações relativas aos sinais especiais, que são definidos pelo usuário, para facilitar sua posterior descrição.

Nesta fase inicial é interessante a representação de ambas as faces sobre um mesmo reticulado para facilitar a visualização de eventuais superposições.

DATA - 13/09/75
FACE - AMBAS

NOME - EX.
AMPL - 2. X



6.3 - DESCRIÇÃO DO PROBLEMA

O circuito elétrico aqui considerado, é constituído de 15 componentes, para efeito de uso dos programas.

Componente 1 = Circuito Integrado de 16 pinos.

Componente 2 = Circuito integrado de 16 pinos.

Componente 3 = Circuito integrado de 16 pinos.

Componente 4 = Transistor.

Componente 5 = Transistor.

Componente 6 = Circuito integrado de 14 pinos.

Componente 7 = Circuito integrado de 14 pinos.

Componente 8 = Resistor.

Componente 9 = Resistor.

Componente 10 = Capacitor.

Componente 11 = Terminal de 10 contatos.

Componente 12 = Euro para fixação (parafuso).

Componente 13 = Conector de 8 contatos.

Componente 14 = Conector de 4 contatos.

Componente 15 = Conector de 8 contatos.

Conforme mapa de posicionamento é construída a tabela de posições na qual, para cada componente, são descritas as coordenadas (x, y) do terminal básico de referência. Assim:

COMPONENTE	x	y
1	4	3
2	16	3
3	28	3
4	43	13
5	43	20
6	4	23
7	16	23
8	29	23
9	35	23
10	41	28
11	48	15
12	41	6
13	1	3
14'	1	40
15	1	19

O sinal elétrico envolvidos são descritos conforme sua categoria.

No caso dos sinal especiais a definição é feita através de segmentos especificandose ainda a face sobre a qual a rota deve ser alocada.

No exemplo:

SINAL	do ponto	ao ponto	pela face
+VCC	x = 1, y = 48 x = 48, y = 48 pino 10, compon. 11 x = 48, y = 48	x = 48, y = 48 pino 10, compon. 11 x = 48, y = 48 x = 1, y = 48	superior superior inferior inferior
-VCC	x = 1, y = 1 x = 48, y = 1 pino 1, compon. 11 x = 48, y = 1	x = 48, y = 1 pino 1, compon. 11 x = 48, y = 1 x = 1, y = 1	superior superior inferior inferior

Os sinais prioritários são descritos conforme a seguinte tabela:

SINAL	PINO	COMPONENTE	PINO	COMPONENTE
+VCC	1	1	16	1
	2	2	3	2
	4	2	16	2
	16	3	2	4
	2	5	14	7
	14	6	1	10

-continuação-

SINAL	PINO	COMPONENTE	PINO	COMPONENTE
~VCC	3	7	7	7
	8	1	8	2
	5	2	8	3
	2	10	7	6
	8	6		
+SCT	4	14	9	11
	7	2	10	6
-SCT	3	14	8	11

Os sinalis normais são descritos conforme a tabela abaixo:

SINAL	PINO	COMPONENTE	PINO	COMPONENTE
S001	1	13	5	7
S002	6	7	11	1
S003	12	1	3	13
	6	2		
S004	2	13	13	2
S005	9	7	1	3
	2	3		
S006	7	11	12	2
S007	6	11	11	2

SINAL	PINO	COMPONENTE	PINO	COMPONENTE
S008	5	11	10	2
S009	4	11	9	2
S010	5	13	14	3
S011	4	13	9	3
S012	13	3	1	8
S013	12	3	1	9
S014	2	8	1	4
S015	2	9	1	5
S016	3	4	3	11
S017	3	5	2	11
S018	4 6	15 1	11	6
S019	7 6	1 13	4	1
S020	5 2	1 1	3	15

-continuação-

SINAL	PINO	COMPONENTE	PINO	COMPONENTE
S021	9 5	6 15	12	6
S022	13 4	6 7	6	15
S023	2	15	3	1
S024	7	13	9	1
S025	10	1	8	13
S026	12 8	7 15	13	7
S027	11 1	7 15	8	7
S028	1 7	7 15	2	7
S029	10 3	7 3	15	3

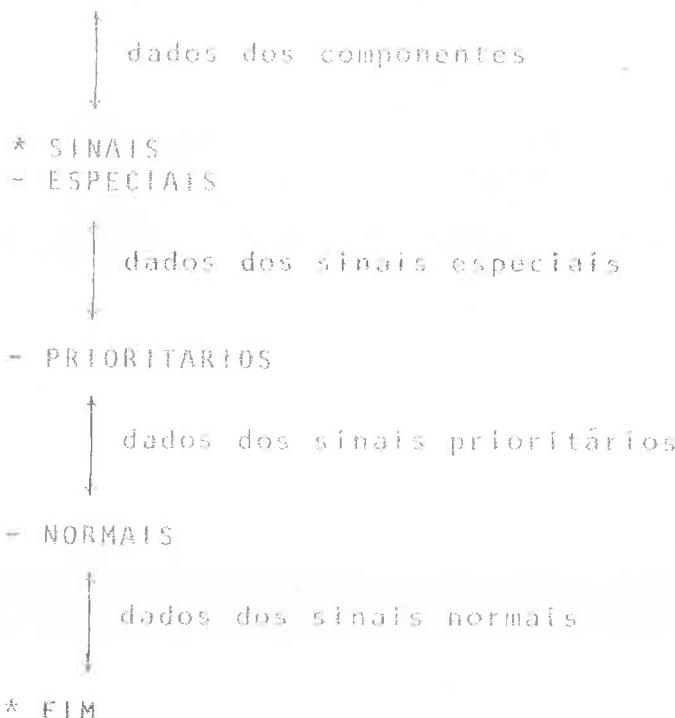
Ainda especificado o número de camadas: (2) o que significa, placa de circuito impresso bimetalizada (2 faces).

A dimensão da placa deve ser de 2,4 x 2,4 polegadas, o que representa 48 x 48 células de 0,05 polegadas.

Outra informação é que na face superior deverão ser alocadas as ligações paralelas ao eixo y.

Da forma como estão montados os programas a ordem de especificação dos comandos deve ser a seguinte:

```
// JOB
// XEQ MCI1@*
* IDENTIFICACAO
DATA =
NOME =
DESC =
TLIG =
* PARAMETROS
DIME =
MCAM =
TLIG =
* COMPONENTES
```



```
// XEQ MCI2@
// XEQ MCI3@
// XEQ MCI4@
```



6.4 - LISTAGEM DA EXECUÇÃO

No processamento do caso exemplo descrito obtiver-se como resultado:

- Listagem dos dados submetidos
- Mensagens auxiliares
- Análise das ligações efetuadas
- Contabilidade da placa.
- Gráfico do mapa de rotas definidas.

PAGE 1 STONFI

DISK DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

V2 M11 ACTUAL 16K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 06/ 10/ 75 * 17 H 06 MIN *

// XEQ MC110

*IDENTIFICACAO

DATA-13/09/75

NOME-EX.

DFSC-EXEMPLO ILUSTRATIVO

SIUNI/FOMUNDU

*PARAMETROS

DIME-X048,Y048

NCAM-002

TLIG-SV

*COMPONENTES

C001-116N/X004,Y003/CD4000

C002-116N/X016,Y003/CD4035

C003-116N/X028,Y003/CD4019

C004-TRNT/X043,Y013/T1

C005-TRNT/X043,Y020/T2

C006-114N/X004,Y023/CD4013

C007-114N/X016,Y023/CD4025

C008-DX2N/X029,Y023/R1

C009-DX2N/X035,Y023/R2

C010-DX2N/X041,Y028/G1

C011-T10V/X048,Y015/CONECTUR

C012-PRES/X041,Y006/PARAFUSO

C013-TP8V/X001,Y003/LIGACAO COM PLACA A

C014-TP4V/X001,Y040/LIGACAO COM PLACA A

C015-TP8V/X001,Y019/LIGACAO COM PLACA A

*SINAIS

-ESPECIAIS

S001-+VCC/X001,Y048UX048,Y048UP010,C011LX048,Y048LX001,Y048/

S002--VCC/X001,Y001UX048,Y001UP001,C011LX048,Y001LX001,Y001/

-PRIORITARIAS

S001-*VCC/P001,C001-P016,C001-P007,C002-P003,C002-P004,C002-P016,C002-

P016,C003-P002,C004-P007,C005-P014,C007-P014,C006-P001,C010/

S002--VCC/P003,C007-P007,C007-P007,C001-P008,C002-P009,C002-P008,C003-

P002,C010-P007,C006-P004,C006/

S003-*SCT/P004,C014-P009,C011-P007,C002-P010,C006/

S004--SCT/P003,C014-P008,C011/

-NORMAIS

S001-S001/P001,C013-P005,C007/

S002-S002/P006,C007-P011,C001/

S003-S003/P017,C001-P003,C013-P006,C002/

S004-S004/P002,C013-P013,C007/

S005-S005/P002,C007-P001,C003-P001,C003/

S006-S006/P007,C011-P012,C002/

S007-S007/P006,C011-P011,C002/

S003-S008/P005, C011-P010, C002/
 S009-S009/P004, C011-P009, C002/
 S010-S010/P005, C013-P014, C003/
 S011-S011/P006, C013-P009, C003/
 S012-S012/P013, C013-P001, C008/
 S013-S013/P012, C003-P001, C007/
 S014-S014/P007, C016-P001, C006/
 S015-S015/P002, C009-P001, C005/
 S016-S016/P003, C004-P003, C011/
 S017-S017/P005, C005-P002, C011/
 S018-S018/P004, C015-P011, C006-P005, C001/
 S019-S019/P007, C001-P004, C001-P005, C013/
 S020-S020/P009, C014-P013, C015-P002, C003/
 S021-S021/P002, C016-P012, C006-P005, C015/
 S022-S022/P023, C016-P016, C015-P008, C007/
 S023-S023/P002, C012-P003, C001/
 S024-S024/P007, C013-P009, C001/
 S025-S025/P010, C001-P008, C013/
 S026-S026/P012, C007-P013, C007-P004, C015/
 S027-S027/P011, C007-P008, C007-P003, C015/
 S028-S028/P001, C007-P002, C007-P007, C015/
 S029-S029/P030, C007-P015, C003-P001, C003/
 *FIM
 // ARQUIVOS GERADOS. FIM DA MELD.
 // REGISTRO

// ORDENACAO EXECUTADA. FIM DA ETAPA 3 (REGISTRO) DO SISTEMA NCI
 // REGISTRO

3. ANEXO ANALISE DAS LEGACIES EFETUADAS

= PARADA INTERFERIDO X= 1 Y= 21 -> X= 46 Y= 17 NO SIGNAL 5023
 = PARADA INTERFERIDO X= 1 Y= 9 -> X= 34 Y= 17 NO SIGNAL 5011
 = PARADA INTERFERIDO X= 1 Y= 3 -> X= 16 Y= 31 NO SIGNAL 5001

* NUMERO TOTAL DE LEGACIES= 32

* MEDIUM DE LEGACIES PESQUISADAS= 79

* EFICIENCIA= 96,54

// FIM REGISTRO

// XEQ MC140

NLAY=002 MAGN=002 MODO=002
** FIM DO LAY-OUT NLAY= 2

NLAY=001 MAGN=002 MODO=001
** FIM DO LAY-OUT NLAY= 1

* * * FIM

* * * CONTABILIDADE DA PLACA * * *

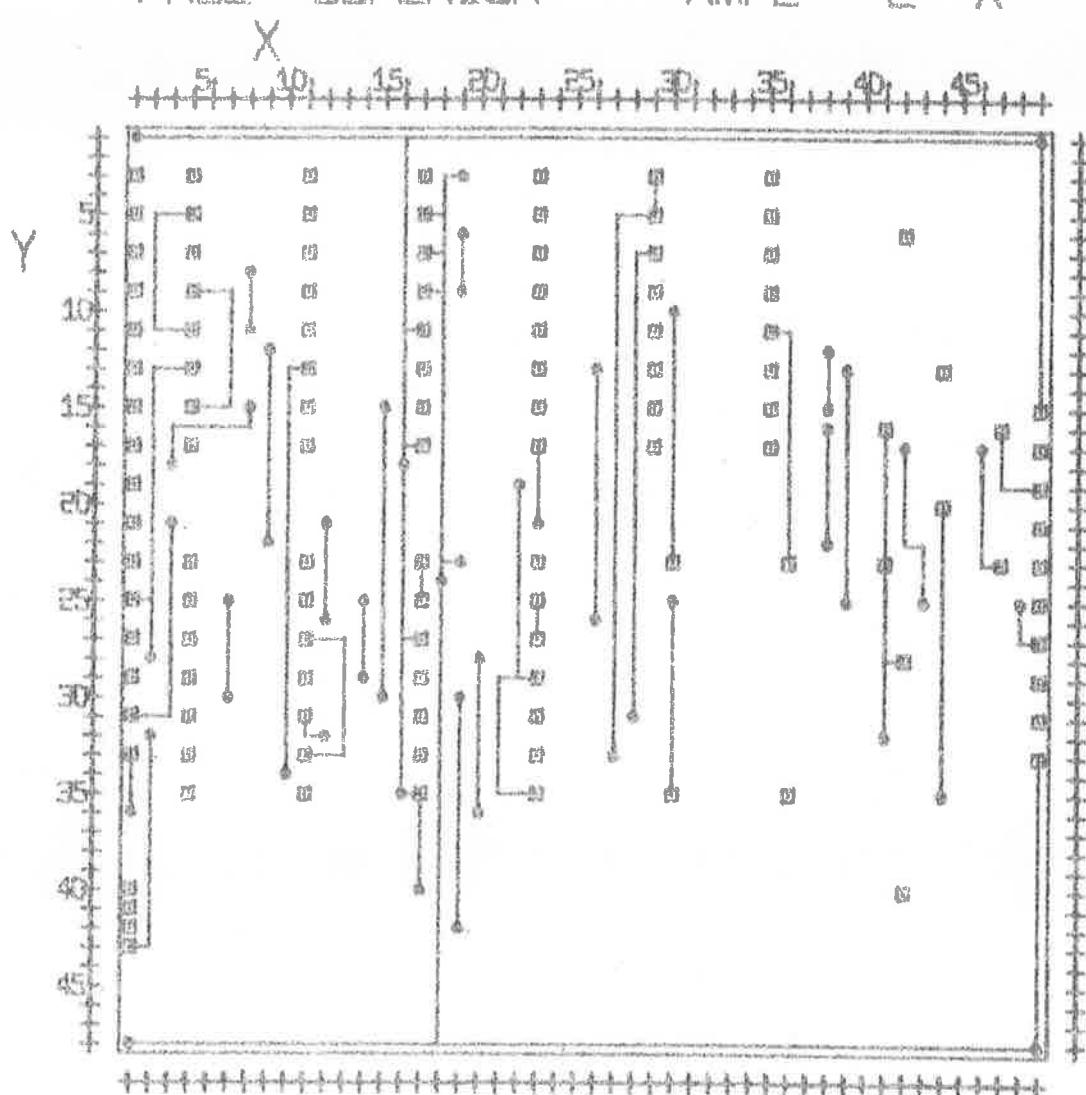
- * NUMERO DE PINOS DE COMPONENTES = 106
- * NUMERO DE PINOS TIPO FLAT-PACK = 0
- * NUMERO DE Furos MITALIZADOS = 33
- * COMPRIMENTO TOTAL DE FED = 334,10 CMS

// LAY-OUT EXECUTADO.

TEMPO DE EXECUÇÃO = 16 minutos

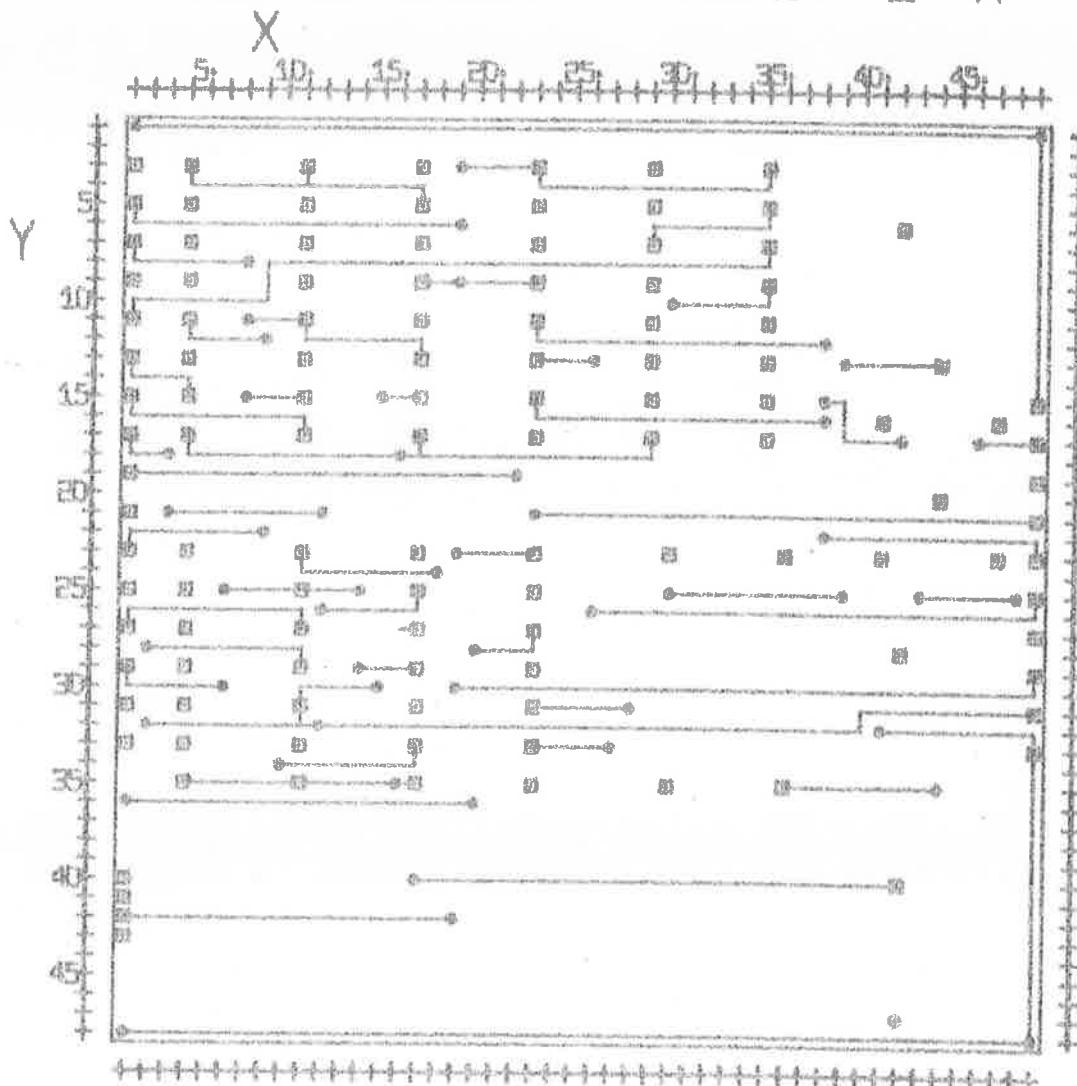
DATA - 13/08/75
FACE - SUPERIOR

NOME - EX.
AMPL - 2. X



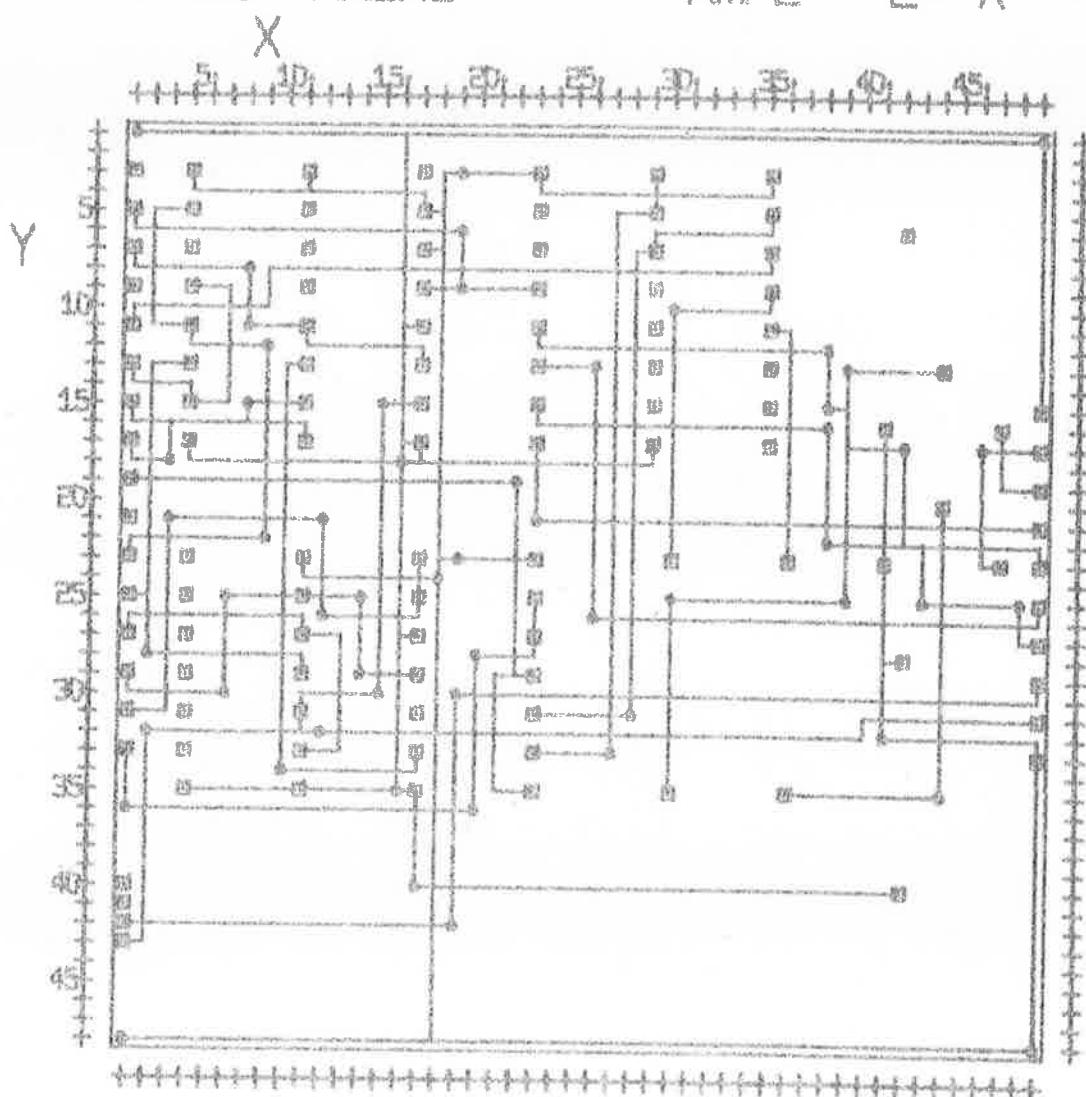
DATA - 13/09/75
FACE - INFERIOR

NOME - EX:
AMPL - 2: X



DATA - 13/09/75
FACE - AMBAS

NOME - EX.
AMPL - 2. X



6.5 - OUTROS EXEMPLOS

A seguir são apresentados os resultados de alguns processamentos, cujos mapas de rotas foram utilizado para a realização física do circuito impresso.

Apresenta-se no apêndice a listagem de parte dos padrões de biblioteca gerados. A geração de padrões é feita pela declaração de comandos conforme mostrado.

PAGE 1 SIDNEY

// JOB T 0001 500F 0022 500F SIDNEY E009,MANSI

LOG DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

VZ M11 ACTUAL 16K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 07/ 10/ 75 * 21 H 30 MIN *

// XEQ MC110

*IDENTIFICACAO

DATA-01/09/75

NOME-REL-2 GER. DE SINAIS

DESC-CIRCUITO IMPRESSO DOS OSCILADORES

PARTE-2- OSCILADOR LE2

*PARAMETROS

DIME-X070,Y050

NCAM-002

TL1G-SV

*COMPONENTES

C001-RCVD/X003,Y005/

C002-RCVD/X005,Y005/

C003-RCVD/X026,Y006/

C004-RCVD/X030,Y006/

C005-RCVD/X033,Y005/

C006-RCVD/X043,Y005/

C007-RCVD/X064,Y005/

C008-RCVD/X067,Y005/

C009-RCVD/X003,Y035/

C010-RCVD/X007,Y035/

C011-RCVD/X023,Y024/

C012-RCVD/X045,Y023/

C013-RCVD/X064,Y029/

C014-RCVD/X067,Y029/

C015-RCHC/X041,Y045/

C016-RCHC/X041,Y048/

C017-RCHS/X009,Y005/

C018-RCVS/X011,Y011/

C019-RCVS/X017,Y011/

C020-RCHS/X048,Y005/

C021-RCVS/X049,Y010/

C022-RCVS/X056,Y010/

C023-RCVS/X012,Y039/

C024-RCVS/X060,Y038/

C025-TR80/X004,Y026/

C026-TRBL/X067,Y023/

C027-TRBN/X020,Y039/

C028-TRBN/X050,Y038/

C029-CRIV/X017,Y022/

C030-CRIV/X052,Y021/

C031-TP4V/X001,Y038/

C032-TP03/X038,Y050/

C033-116S/X037,Y039/

C034-TP2V/X027,Y038/

C035-1P4H/X054,Y050/
 C036-P0NT-X017,Y050/
 C037-P0NT-X024,Y050/

*SINAIS

-ESPECIAIS

S001-005V/X070,Y050UX070,Y001LX037,Y001LX037,Y002LX069,Y002LX069,Y050/
 S002-1ERR/X070,Y050UX070,Y001UX001,Y001UX001,Y002UX069,Y002UX069,Y050/

S003-0012/X001,Y001LX001,Y002LX014,Y002LX014,Y001/

-PRIORITAKIDS

S001-005V/P001,C011-P001,C012-P001,C031-P016,C033-P001,C034/

S002-TERR/P002,C010,P002,C018-P001,C023-P002,C003-P003,C027-P002,C013
 P002,C022-P002,C024-P003,C006-P003,C028-P002,C016-P002,C009
 P002,C014-P008,C033-P002,C034-P001,C033/

S003-012V/P001,C002-P001,C001-P001,C007-P001,C008/

-NORMAIS

S001-S1 /P002,C001-P001,C009-P001,C025-P001,C023-P002,C029/

S002-S2 /P002,C025-P002,C002-P001,C018-P001,C029-P001,C017/

S003-S3 /P003,C025-P001,C010/

S004-S4 /P002,C017-P001,C003-P001,C019-P001,C004/

S005-S5 /P002,C019-P002,C004-P001,C027/

S006-S6 /P002,C027-P002,C011-P006,C033/

S007-S7 /P002,C008-P001,C014-P001,C026-P001,C024-P002,C050/

S008-S8 /P002,C026-P002,C007-P001,C022-P001,C030 P001,C020/

S009-S9 /P003,C026-P001,C013/

S010-S10 /P002,C020-P001,C006-P001,C021-P001,C005/

S011-S11 /P002,C021-P002,C005-P001,C028/

S012-S12 /P002,C028-P002,C012-P005,C033/

S013-S13 /P001,C015-P001,C032/

S014-S14 /P001,C015-P002,C032/

S015-S15 /P002,C015-P003,C032/

S016-S16 /P001,C032-P001,C035/

S017-S17 /P003,C033-P002,C035/

S018-S18 /P002,C031-P007,C033/

S019-S19 /P001,C031-P002,C033/

S020-S20 /P001,C037-P014,C033/

S021-S21 /P001,C035-P001,C031/

*FIM

// ARQUIVOS GERADOS. FIM DA ETAPA 3 (MC120) DO SISTEMA MC1

// XER MC120

// // ORDENACAO EXECUTADA. -FIM DA ETAPA 3 (MC120) DO SISTEMA MC1
 // XER MC120

*** ANALISE DAS LIGACOES EFETUADAS ***

* NUMERO TOTAL DE LIGACOES= 82

* NUMERO DE LIGACOES REALIZADAS= 0

* EFICIENCIA=100.00

// FIM MC120

PAGE 2 SIDNEY

// XEQ MC140

NLAY=001 MAGN=002 MU00=002
** FIM DO LAY-OUT NLAY= 1NLAY=001 MAGN=002 MU00=001
** FIM DO LAY-OUT NLAY= 1

*FIM

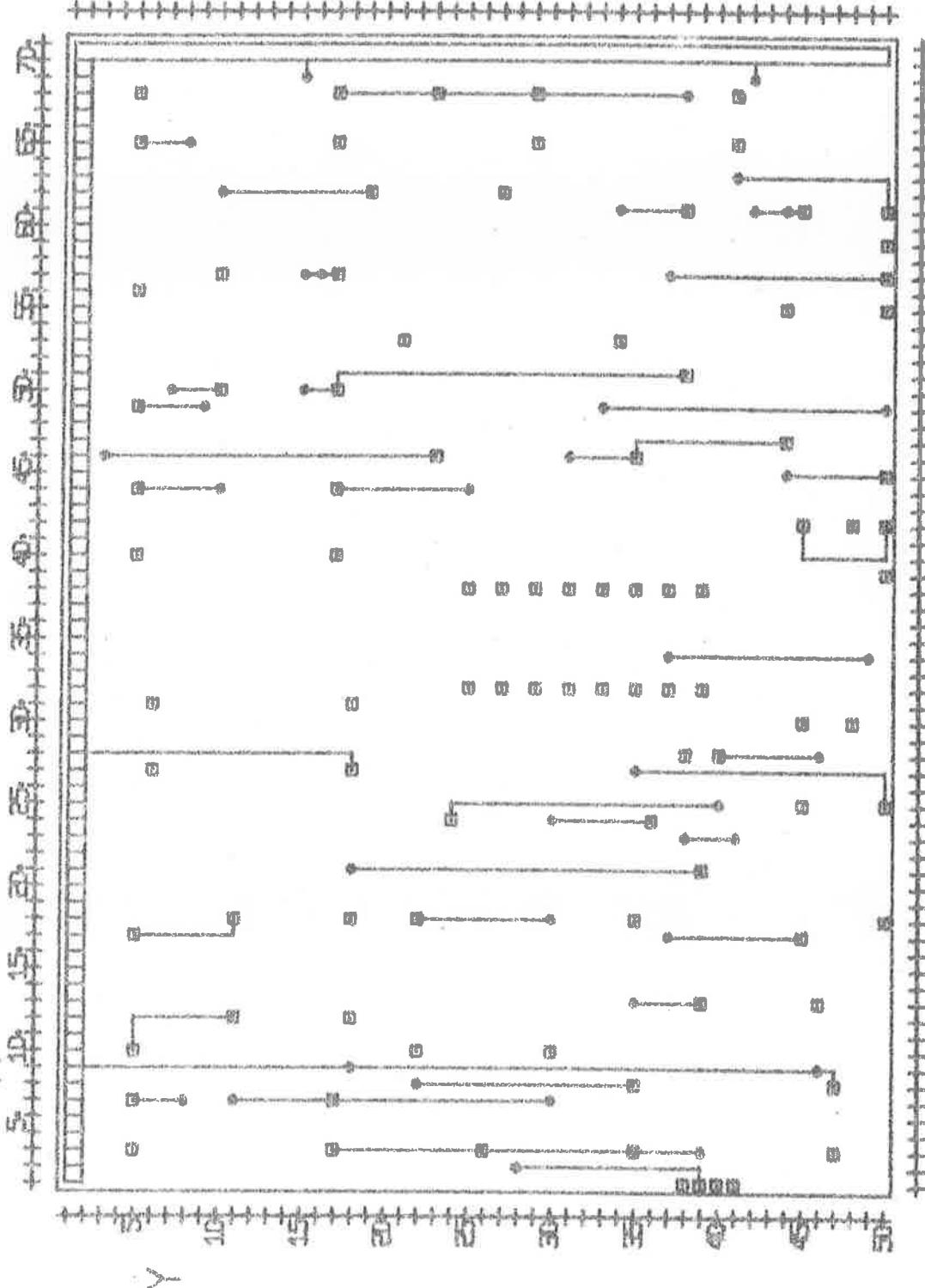
*** COTATILDADE DA PLACA ***

* NUMERO DE PINS DE COMPONENTES = 69
* NUMERO DE PINS TIPO FLAT-PACK = 10
* NUMERO DE FORTS METALIZADOS = 29
* COMPRIMENTO TOTAL DE FIL = 377.69 CMS

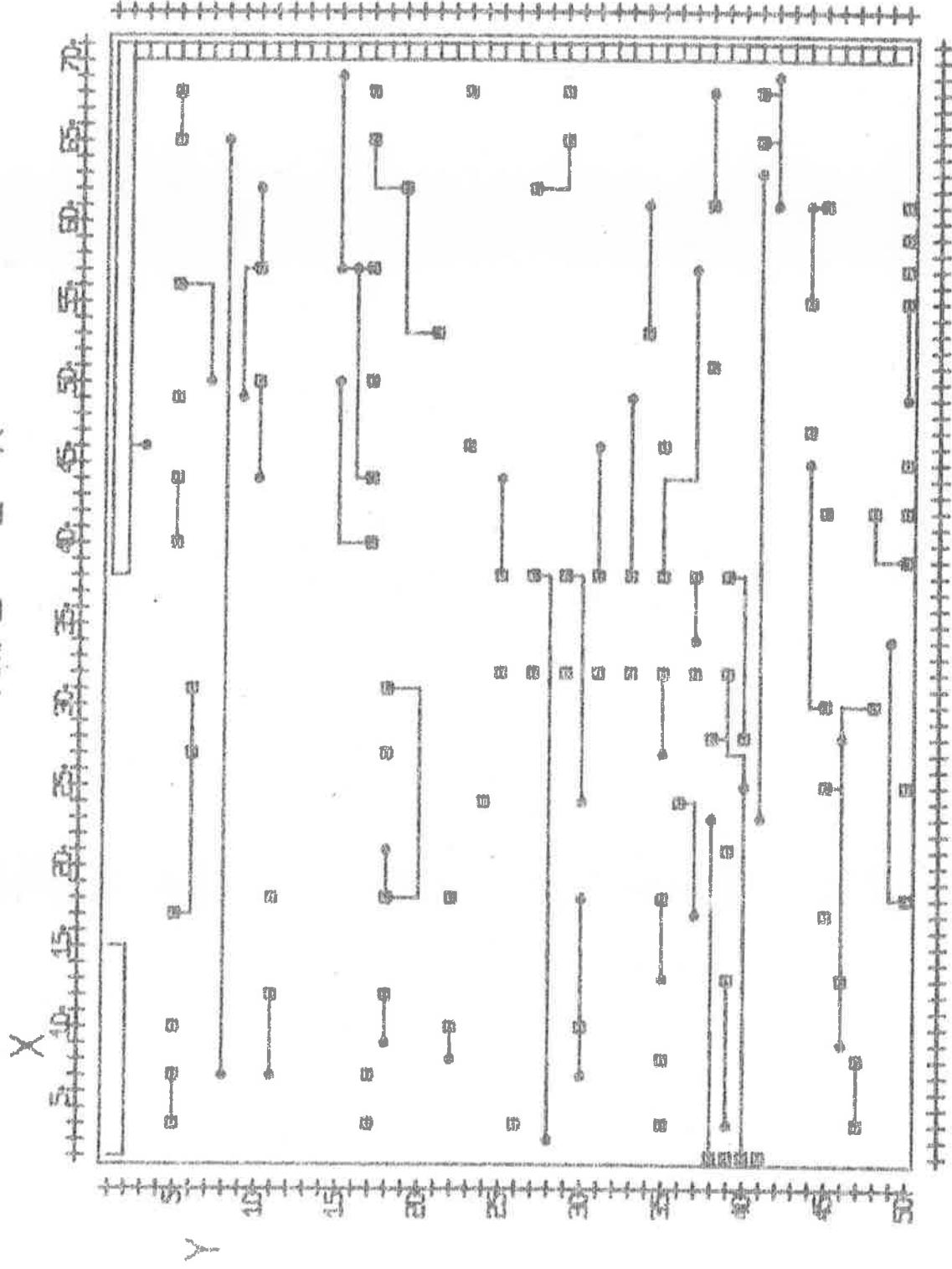
// LAY-OUT EXECUTADO.

TEMPO DE EXECUÇÃO = 18 minutos

DATA - 01/09/75
FACE - SUPERIOR
NAME - REILLY-2
AMPL - 2-X

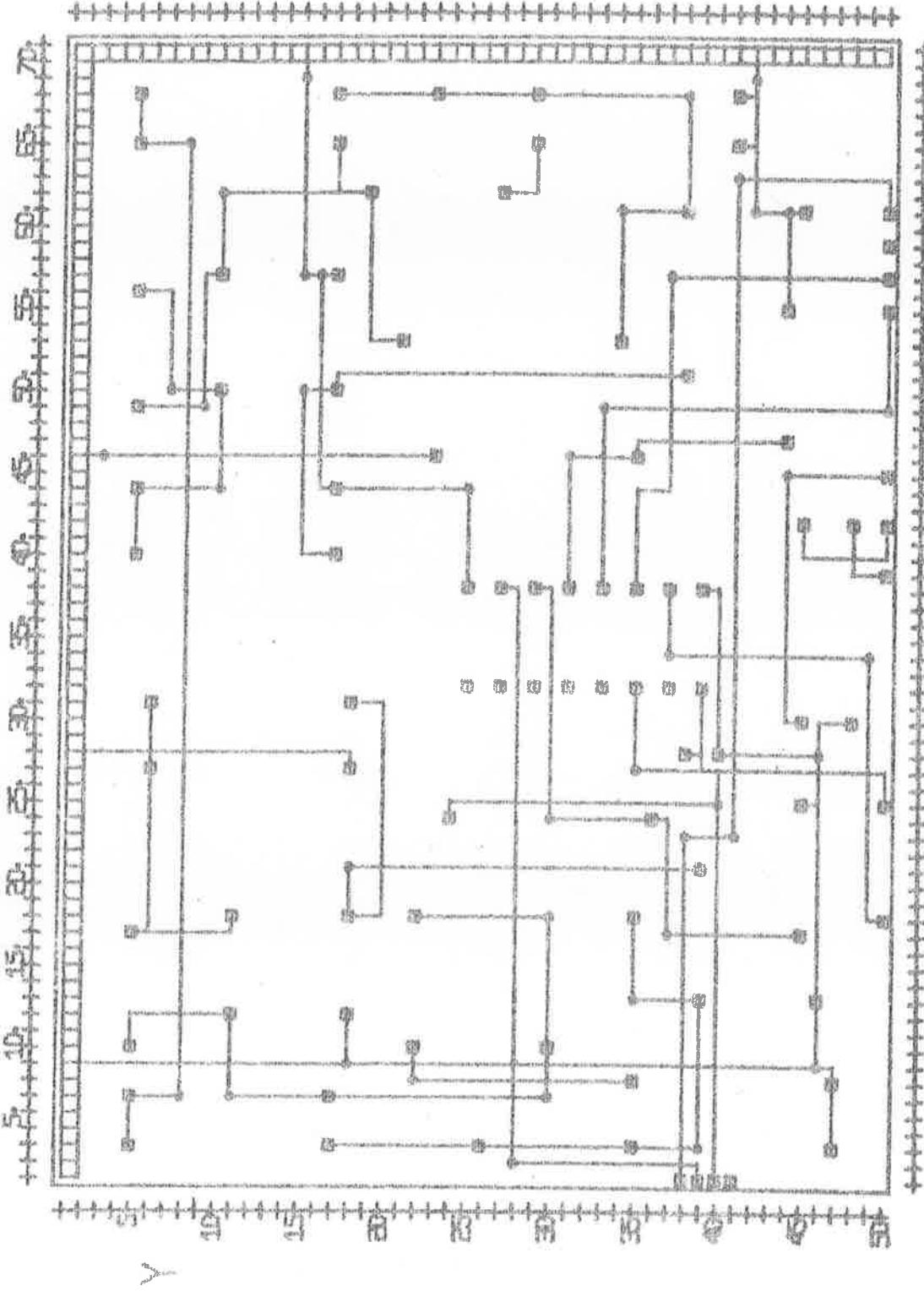


DATA - 01/09/75 NAME - REL-2
FACE - INFERIOR AMPL - 2. X



DATA- 01/09/75
FACE- AMBAS

NAME- ELL-X
AMPL- X



PAGE 1 WALTER

// JOB T 0001 500F 0022

500F

WALTER

F701,METRO

LUG DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

V2 M11 ACTUAL 15K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 07/ 10/ 75 * 19 H 25 MIN *

// XEQ MC110

*IDENTIFICACAO

DATA=02/09/75

NOME=REL-4 GER. DE SINAIS

DESC=CIRCUITO IMPRESSO DOS OSCILADORES

PARTE=4- OSCILADOR 3,4 E 5

*PARAMETROS

DIME=X070,Y050

NCAM=002

TLIG-SV

*COMPONENTES

C001=RCVD/X002,Y003/

C002=RCVD/X005,Y003/

C003=RCVD/X010,Y003/

C004=RCVD/X022,Y003/

C005=RCVD/X002,Y033/

C006=RCVD/X005,Y033/

C007=RCVD/X020,Y021/

C008=RCHS/X008,Y003/

C009=RCVS/X009,Y009/

C010=RCVS/X015,Y008/

C011=RCVS/X007,Y036/

C012=TR8U/X002,Y024/

C013=TR8N/X015,Y041/

C014=CR1M/X014,Y029/

C015=TP4H/X054,Y001/

C016=RCHG/X038,Y047/

C017=RCHG/X038,Y044/

C018=RCHG/X066,Y047/

C019=RCHG/X066,Y044/

C020=RCHG/X066,Y029/

C021=RCHG/X035,Y026/

C022=RCHG/X063,Y028/

C023=RCVS/X029,Y033/

C024=RCHS/X028,Y040/

C025=RCHS/X028,Y034/

C026=RCHS/X055,Y039/

C027=CR1H/X039,Y034/

C028=TR8S/X046,Y047/

C029=TR80/X061,Y034/

C030=RCHG/X038,Y023/

C031=RCHG/X038,Y020/

C032=RCHG/X066,Y023/

C033=RCHG/X066,Y020/

C034=RCHG/X063,Y004/

C035-RCHS/X028,Y015/

C036-RCHS/X028,Y009/

C037-RCHS/X028,Y003/

C038-RCHS/X055,Y015/

C039-CRIH/X039,Y010/

C040-TRBS/X046,Y023/

C041-TRBO/X061,Y010/

C042-T403/X038,Y001/

C043-PONT/X017,Y001/

C044-PONT/X024,Y001/

C045-PONT/X001,Y007/

C046-PONT/X001,Y009/

*SINAIS

-ESPECIAIS

S001-005V/X070,Y050LX070,Y001LX069,Y001LX069,Y050/

S002-012V/X067,Y050LX067,Y049LX001,Y049LX001,Y050/

S003-TERR/X070,Y050UX070,Y001UX069,Y001UX069,Y049UX001,Y049UX001,Y050/

-PRIORITAKEDS

S001-005V/P001,C007-P001,C022-P001,C034/

S002-TERR/P002,C006-P002,C009-P001,C011-P002,C003-P003,C013-P002,C005-

P002,C019-P002,C024-P002,C026-P002,C020-P003,C029-P002,C018-

P002,C032-P002,C033-P002,C035-P002,C038-P003,C041/

S003-012V/P001,C002-P001,C001-P001,C017-P001,C016-P001,C030-P001,C031/

-NORMAIS

S001-S1 /P002,C001-P001,C005-P001,C012-P001,C011-P002,C014/

S002-S2 /P002,C012-P002,C002-P001,C009-P001,C014-P001,C008/

S003-S3 /P003,C012-P001,C006/

S004-S4 /P002,C008-P001,C003-P001,C010-P001,C004/

S005-S5 /P002,C010-P002,C004-P001,C013/

S006-S6 /P002,C013-P002,C007-P003,C015/

S007-S7 /P002,C016-P001,C018-P001,C028-P001,C025-P002,C027/

S008-S8 /P002,C028-P002,C017-P001,C024-P001,C027-P001,C023/

S009-S9 /P003,C028-P001,C019/

S010-S10 /P002,C023-P001,C020-P001,C025-P001,C021/

S011-S11 /P002,C025-P002,C021-P001,C029/

S012-S12 /P002,C029-P002,C022-P001,C015/

S013-S13 /P002,C030-P001,C032-P001,C040-P001,C038-P002,C039/

S014-S14 /P002,C040-P002,C031-P001,C035-P001,C039-P001,C037/

S015-S15 /P002,C041-P002,C034-P002,C015/

S016-S16 /P003,C040-P001,C033/

S017-S17 /P002,C037-P001,C036-P001,C042-P002,C042/

S018-S18 /P002,C036-P001,C041-P001,C042/

S019-S19 /P001,C045-P001,C043/

S020-S20 /P001,C046-P001,C044/

*FIM

// ARQUIVOS GERADOS. FIM DA ETAPA 3 (MC120) DO SISTEMA MC1

// *

// XEQ MC120

// ORDENAGAO EXECUTADA. -FIM DA ETAPA 3 (MC120) DO SISTEMA MC1

// *

// XEQ MC130

*** ANÁLISE DAS LIGAÇÕES EFEITUADAS ***

* NÚMERO TOTAL DE LIGAÇÕES = 96

* NÚMERO DE LIGAÇÕES REALIZADAS = 96

* EFICIÊNCIA = 100,00

// FIM KELPO

PAGE 2 SIDNEY

// XEO MC160

NLAY=001 MAG0=002 MDOU=002
* FIN DU LAY-OUT NLAY= 1NLAY=001 MAG0=002 MDOU=001
* FIN DU LAY-OUT NLAY= 1

*FIN

*** CONTAGEM DA PLACA ***

* NÚMERO DE PINOS DE COMPONENTES = 76

* NÚMERO DE PINOS TIPO FLAT-PACK = 0

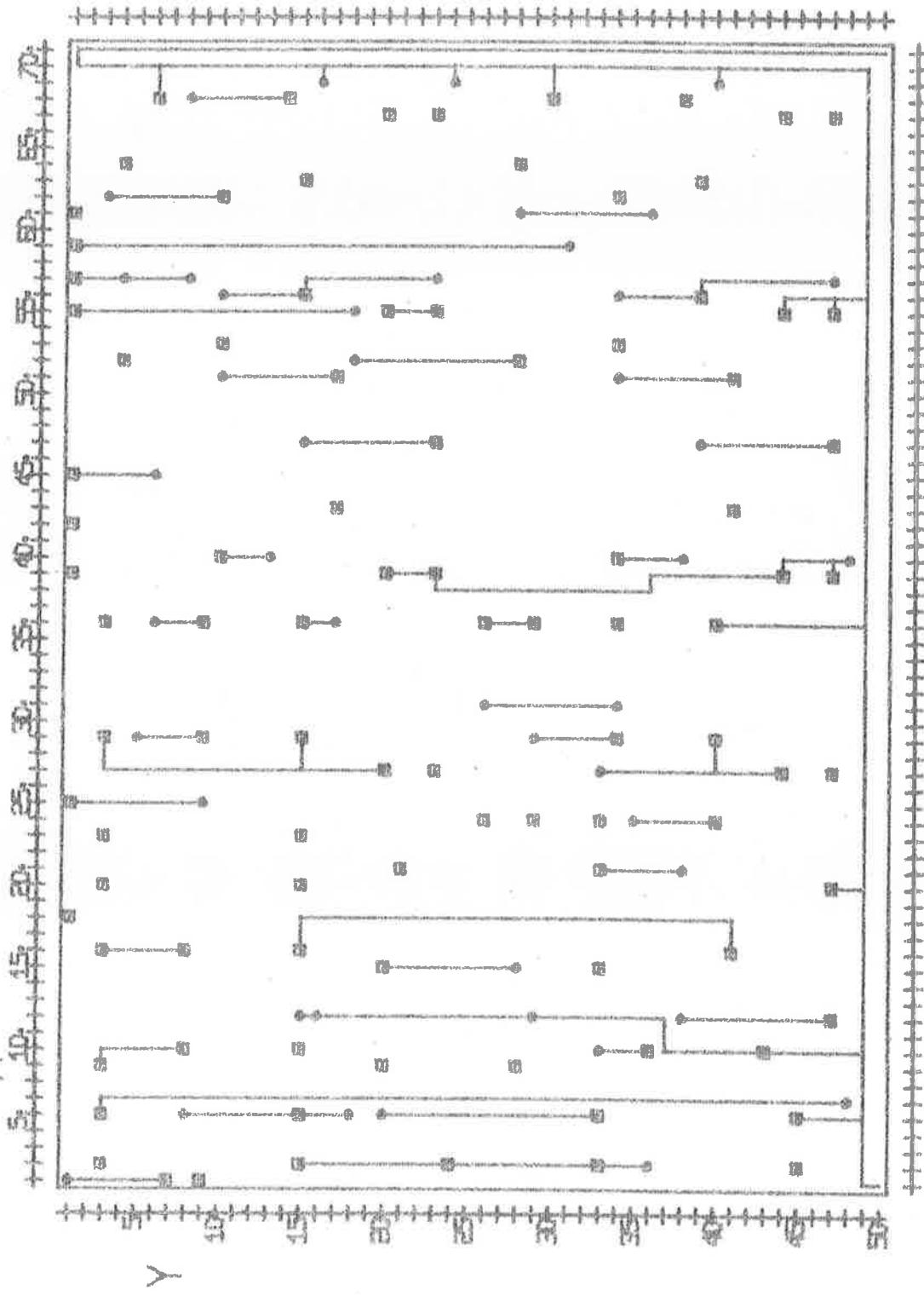
* NÚMERO DE Furos METALIZADOS = 17

* COMPRIMENTO TOTAL DE FIO = 125,18 CMS

// LAY-OUT EXECUTADO

TEMPO DE EXECUÇÃO = 14 minutos

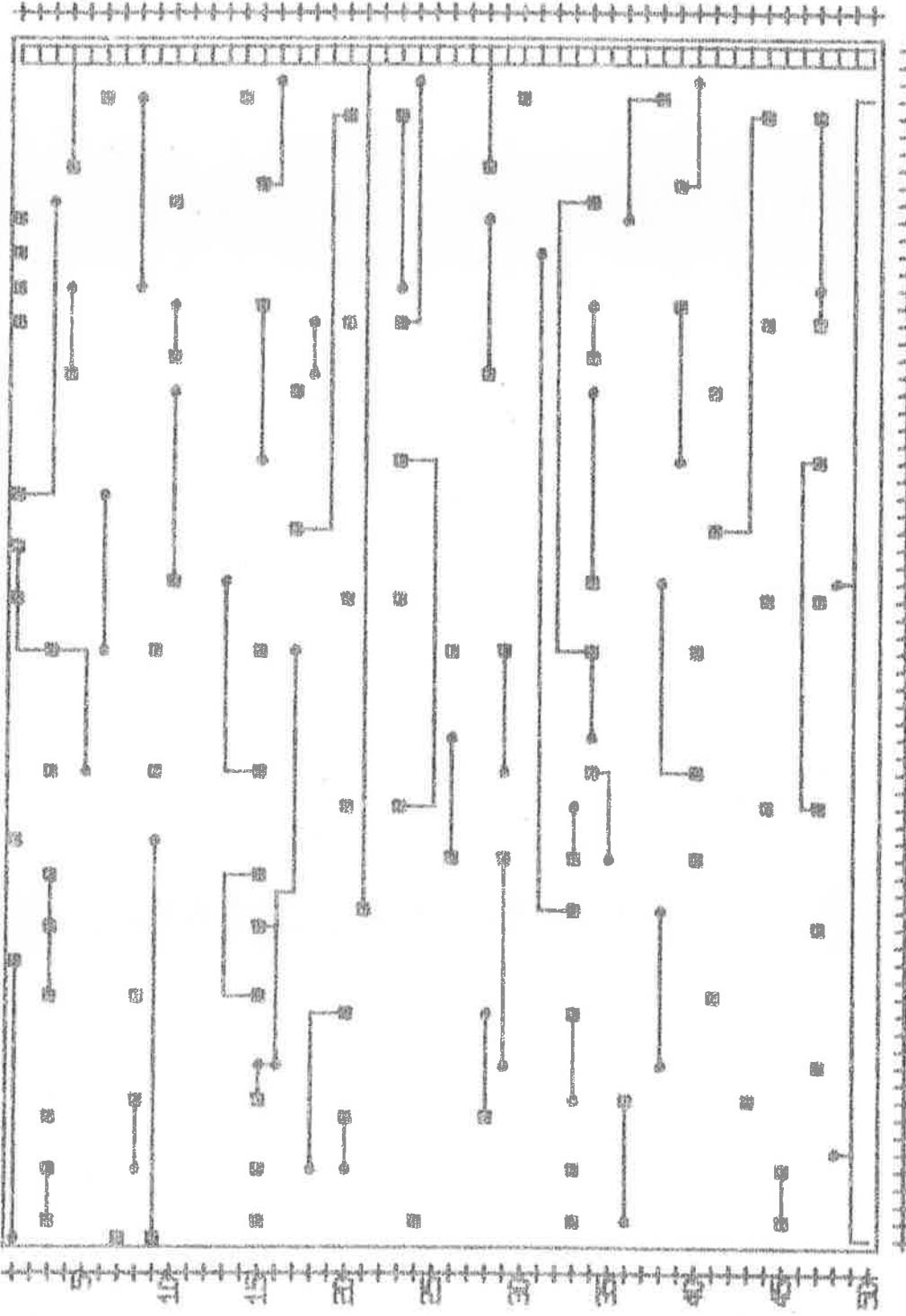
DATA- 02/09/75 NAME- FRI -4
FACE- SUPERIOR AFL- 2. X



DATA - 02/09/75
FACE - INFERIOR

NAME - REL-4
AMPL - 2. X

10 15 20 25 30 35 40 45 50 55 60 65 70 75 80 85 90 95 100



Y

DATA- 02/09/75
FACE- AMBAS

NOME - RELE - 4

PAGE 1 SIDNEY

LOG DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

V2 M11 ACTUAL 16K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 06/ 10/ 75 * 17 H 06 MIN *

// XEQ MC110

*IDENTIFICACAO

DATA-08/09/75

NOME-TRA-3 GER. DE SINAIS

DESC-CIRCUITO IMPRESSO DO GERADOR DE SINAIS

PARTL-3- TRANSMISSOR

*PARAMETROS

DIME-X070,Y050

NCAM-002

TLIG-SV

*COMPONENTES

C001-I145/X014,Y018/

C002-I145/X028,Y018/

C003-TRBO/X004+Y028/

C004-TRBO/X004+Y042/

C005-TRAN/X015,Y024/

C006-TRAN/X013,Y038/

C007-TRBO/X058,Y013/

C008-TRBO/X063,Y041/

C009-RCH /X045,Y002/

C010-RCH /X045,Y004/

C011-RCH /X045,Y006/

C012-RCH /X045,Y008/

C013-RCH /X045,Y010/

C014-RCH /X061,Y003/

C015-RCH /X061,Y005/

C016-RCV /X055,Y009/

C017-RCV /X018,Y019/

C018-RCV /X055,Y023/

C019-RCV /X058,Y023/

C020-RCV /X061,Y023/

C021-RCV /X052,Y037/

C022-RCV /X055,Y037/

C023-RCV /X058,Y037/

C024-RCV /X061,Y037/

C025-CANV/X018,Y031/

C026-CONV/X027,Y025/

C027-TV03/X051,Y028/

C028-TV13/X001,Y002/

C029-THE7/X013,Y001/

C030-T10V/X070,Y016/

C031-TP2V/X018,Y007/

C032-TP2V/X018,Y013/

C033-RCV /X064,Y023/

C034-2FV8/X031,Y036/

*SINAIS

-ESPECIAIS

S001-005V/X070,Y050LX070,Y049LX002,Y049LX002,Y027LX001,Y027LX001,Y050/
 S002-TERR/X070,Y050UX170,Y049UX002,Y049UX002,Y027UX001,Y027UX001,Y050/
 S003-C4CU/X035,Y019UX035,Y044UX049,Y044UX049,Y019UX035,Y019/
 S004-C41L/X034,Y019LX034,Y025LX040,Y025LX040,Y019LX034,Y019/
 S005-C42L/X044,Y019LX044,Y025LX050,Y025LX050,Y019LX044,Y019/
 S006-C43L/X034,Y038LX040,Y038LX040,Y044LX034,Y044LX034,Y038/
 S007-C44L/X044,Y038LX050,Y038LX050,Y044LX044,Y044LX044,Y038/

-PRIORITAKIOS

S001-035V/P014,C001-P002,C031-P001,C012-P014,C002-P002,C032-P013,C028/
 S002-TERR/P007,C001-P001,C031-P002,C011-P002,C014-P003,C005-P003,C006-
 P003,C007-P002,C016-P001,C019-P007,C002-P001,C032-P003,C002-
 P004,C002-P002,C026-P003,C027-P007,C028-P012,C028/

-NORMAIS

S001-S1 /P001,C001-P005,C028/
 S002-S2 /P002,C001-P003,C029-P006,C002-P006,C030/
 S003-S3 /P003,C001-P005,C001/
 S004-S4 /P004,C001-P008,C001/
 S005-S5 /P006,C001-P009,C001/
 S006-S6 /P010,C001-P011,C001-P004,C029/
 S007-S7 /P012,C001-P013,C001-P001,C010-P001,C014-P005,C002/
 S008-S8 /P002,C010-P001,C011-P002,C009/
 S009-S9 /P001,C009-P001,C028/
 S010-S10 /P001,C029-P001,C003/
 S011-S11 /P003,C003-P001,C005/
 S012-S12 /P002,C003-P002,C005-P001,C025-P002,C034/
 S013-S13 /P002,C029-P001,C004/
 S014-S14 /P003,C004-P001,C006/
 S015-S15 /P002,C004-P002,C006-P002,C017-P001,C034/
 S016-S16 /P002,C025-P001,C017/
 S017-S17 /P001,C026-P002,C027-P005,C028/
 S018-S18 /P001,C027-P009,C028/
 S019-S19 /P003,C028-P001,C018/
 S020-S20 /P002,C018-P002,C022-P002,C021/
 S021-S21 /P001,C021-P002,C015/
 S022-S22 /P001,C015-P001,C016-P001,C007/
 S023-S23 /P002,C007-P001,C033/
 S024-S24 /P002,C033-P002,C023-P002,C024-P001,C008/
 S025-S25 /P002,C008-P001,C019-P008,C030/
 S026-S26 /P011,C020-P001,C022-P001,C023-P001,C024-P001,C020/
 S027-S27 /P002,C020-P003,C008/
 S028-S28 /P010,C002-P001,C013/
 S029-S29 /P011,C002-P002,C013-P002,C012/
 S030-S30 /P001,C002-P005,C029-P009,C030/
 S031-S31 /P006,C029-P005,C030-P002,C028/
 S032-S32 /P007,C030-P010,C028/
 S033-S33 /P004,C028-P003,C030/
 S034-S34 /P008,C028-P004,C030/

*FIM

// ARQUIVOS GERADOS. FIM DA ETAPA 3 (MC120) DO SISTEMA-MC1
 // XEQ MC120

// MUDENAGAU EXECUTADA. - FIM DA ETAPA 3 (MC120) DO SISTEMA-MC1
 // XEQ MC130

*** ANALISE DAS LIGACOES EFETUADAS ***

- PAR NAO INTERLIGADO X= 45 Y= 2 - X= 1 Y= 2 DO SINAL 59
- PAR NAO INTERLIGADO X= 51 Y= 28 - X= 1 Y= 18 DO SINAL 518
- PAR NAO INTERLIGADO X= 1 Y= 16 - X= 70 Y= 22 DO SINAL 534
- PAR NAO INTERLIGADO X= 1 Y= 8 - X= 70 Y= 20 DO SINAL 533

* NUMERO TOTAL DE LIGACOES= 99

* NUMERO DE LIGACOES REALIZADAS= 95

* EFICIENCIA= 95.95

// FIM MC130

// XEQ MC140

NLAY-001 MAGN-002 MODU-002

** FIM DO LAY-OUT NLAY= 1

NLAY-001 MAGN-002 MODU-001

** FIM DO LAY-OUT NLAY= 1

*FIM

*** CINTABILIDADE DA PLACA ***

* NUMERO DE PINOS DE COMPONENTES= 108

* NUMERO DE PINOS TIPO FLAT-PACK = 0

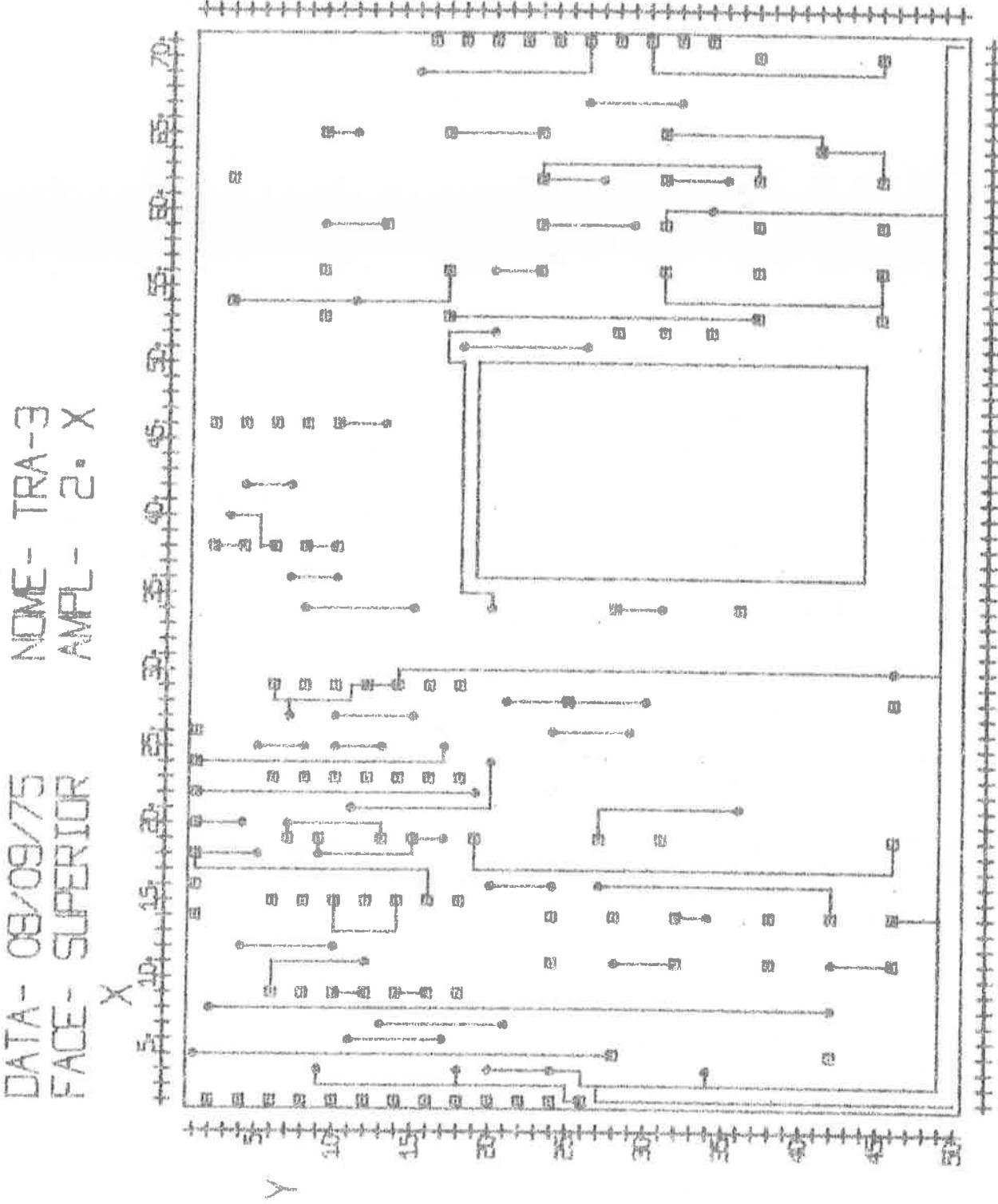
* NUMERO DE Furos METALIZADOS = 33

* COMPREIMENTO TOTAL DE FIO = +64.31 CMS

// LAY-OUT EXECUTADO.

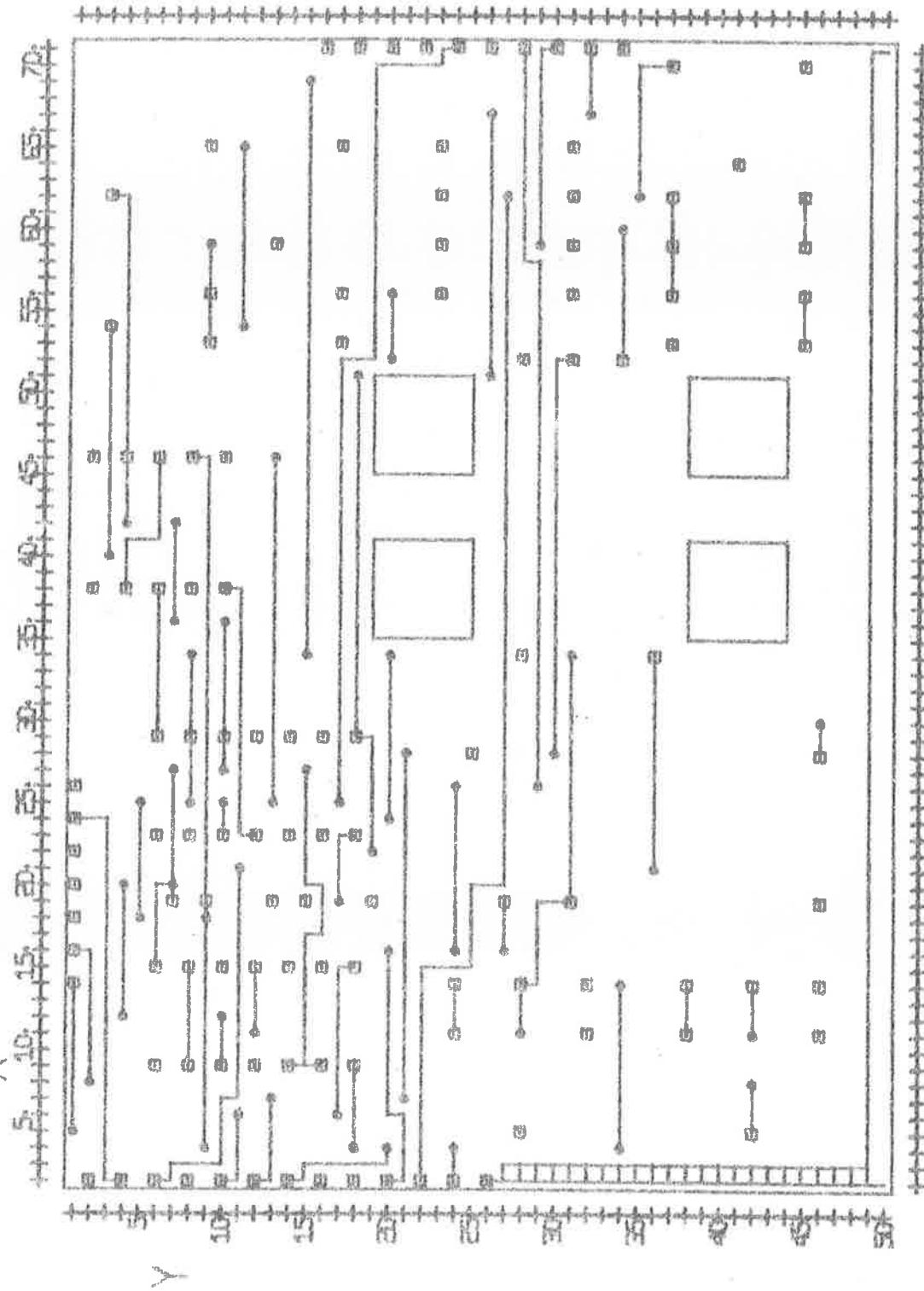
TEMPO DE EXECUCAO = 24 minutos

DATA - 08/09/75
FACE - SUPERIOR
AMPL - X



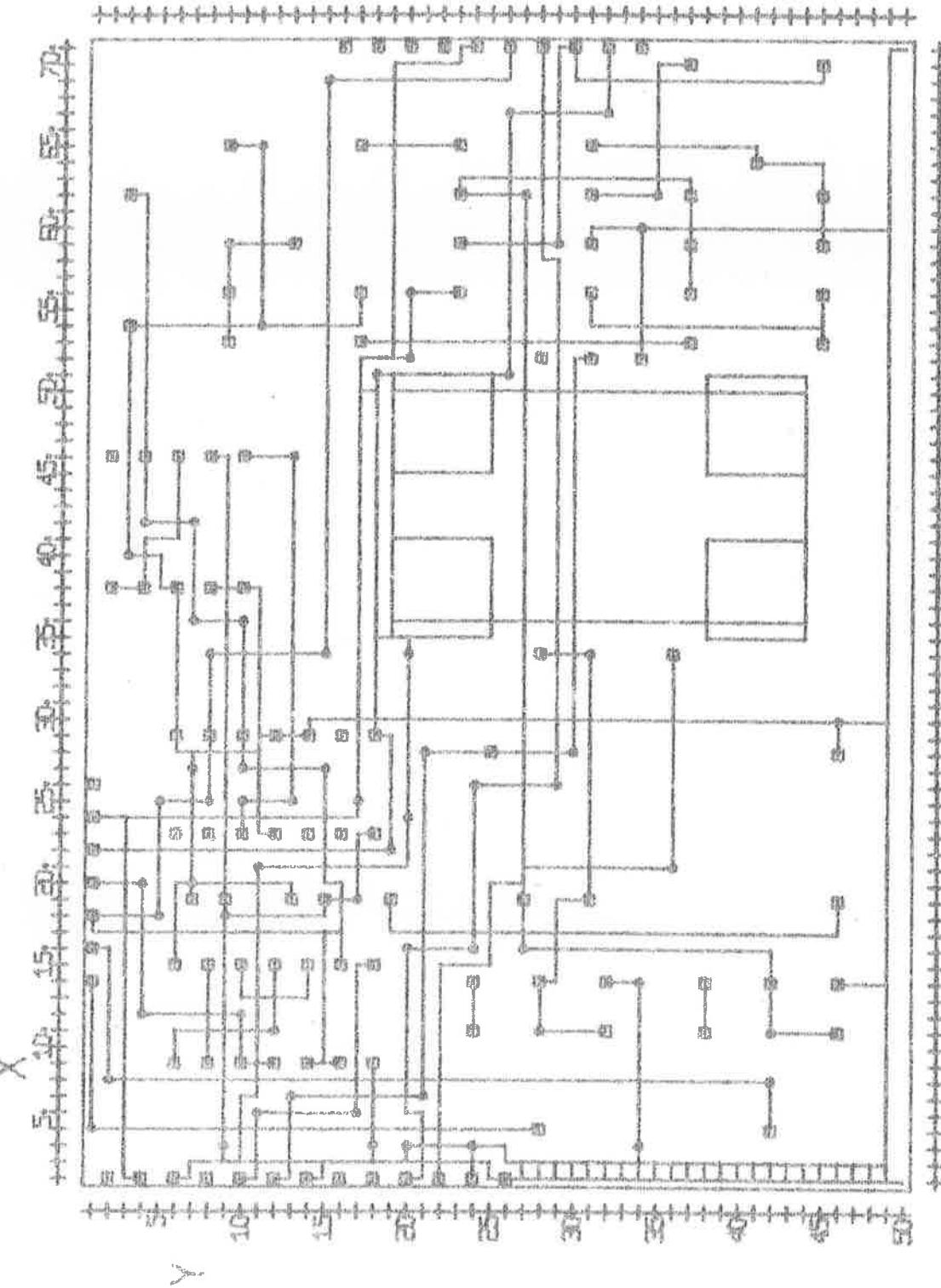
DATA - 08/09/75
FACE - INFERIOR

NAME - TRA-3
AMPL - 2. X



DATA - 08/09/75
FACE - AMBAS

NAME - TRA-3
AMPL - 2. X



PAGE 1 SIDNEY

// JOB 0001 500F 0022 500F SIDNEY E009,M

LOG DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

V2 M11 ACTUAL 16K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 06/ 10/ 75 * 17 H 06 M

// XEQ MC110

*IDENTIFICACAO

DATA=02/09/75

NOME=PAI-3 GER. DE SINAIS

DESC=CIRCUITO IMPRESSO PAINEL

PARTE 3

*PARAMETROS

DIME=X070,Y033

NCAM=002

TLIG=SV

#COMPONENTES

C001-114N/X042,Y011/

C002-114N/X028,Y011/

C003-114N/X014,Y011/

C004-RCH /X062,Y012/

C005-RCH /X062,Y014/

C006-RCH /X062,Y016/

C007-RCH /X062,Y018/

C008-RCH /X062,Y020/

C009-RCH /X062,Y022/

C010-RCH /X062,Y024/

C011-TP2H/X016,Y007/

C012-TP2H/X030,Y007/

C013-TP2H/X044,Y007/

C014-CONE/X006,Y032/

C015-TEXT/X066,Y005/

C016-TEXT/X066,Y009/

C017-TEXT/X066,Y013/

C018-TEXT/X066,Y017/

C019-TEXT/X066,Y021/

C020-TEXT/X066,Y025/

C021-TEXT/X066,Y029/

C022-TEXT/X062,Y029/

C023-TH20/X025,Y001/

C024-TH07/X002,Y001/

*SINAIS

*ESPECIAIS

S001-+05V/X042,Y033UX070,Y033UX070,Y001UX069,Y001UX069,Y042UX042,Y032/

S002-TERR/X042,Y033UX070,Y033UX070,Y001UX069,Y001UX069,Y032UX042,Y032/

-PRIORITARIOS

S001-+05V/P014,C001-P014,C002-P014,C003-P002,C004-P002,C005-P002,C006-P002,C007-P002,C008-P002,C009-P002,C010-P001,C011-P001,C012-P001,C013/

S002-TERR/P007,C001-P007,C002-P007,C003-P001,C022-P002,C011-P002,C012-P002,C013/

-NORMAIS

S001-S1 /P001,C017-P001,C007-P012,C001/
 S002-S2 /P001,C018-P001,C006-P010,C001/
 S003-S3 /P008,C001-P013,C001/
 S004-S4 /P009,C001-P011,C001-P001,C003/
 S005-S5 /P010,C003-P011,C014/
 S006-S6 /P008,C003-P004,C024/
 S007-S7 /P003,C002-P002,C023/
 S008-S8 /P006,C002-P001,C023/
 S009-S9 /P001,C019-P001,C008-P001,C002/
 S010-S10 /P001,C020-P001,C009-P002,C002-P005,C002/
 S011-S11 /P001,C021-P001,C010-P004,C002/
 S012-S12 /P001,C015-P001,C004-P001,C001/
 S013-S13 /P001,C016-P001,C005-P005,C001/
 S014-S14 /P020,C014-P017,C023/
 S015-S15 /P006,C024-P006,C001-P002,C001-P009,C003-P005,C023/
 S016-S16 /P005,C024-P003,C001-P004,C001-P013,C003-P006,C023/
 S017-S17 /P019,C023-P009,C002-P002,C024/
 S018-S18 /P018,C023-P010,C022/
 S019-S19 /P008,C002-P010,C023/
 S020-S20 /P012,C014-P001,C024/
 S021-S21 /P001,C014-P003,C023/
 S022-S22 /P002,C014-P004,C023/
 S023-S23 /P003,C014-P007,C023/
 S024-S24 /P004,C014-P008,C023/
 S025-S25 /P005,C014-P009,C023/
 S026-S26 /P006,C014-P011,C023/
 S027-S27 /P007,C014-P012,C023/
 S028-S28 /P008,C014-P013,C023/
 S029-S29 /P009,C014-P014,C023/
 S030-S30 /P010,C014-P015,C023/
 S031-S30 /P019,C014-P016,C023/
 *FIM
 // ARQUIVOS GLRADOS. FIM DO MC110.
 // XEQ MC120

// ORDENACAO EXECUTADA. -FIM DA ETAPA 3 (MC120) DO SISTEMA MC1
 // XEQ MC130

*** ANALISE DAS LIGACOES EFETUADAS ***

- PAR NAO INTERLIGADO X= 62 Y= 22 - X= 28 Y= 19 DO SIGNAL S10
- PAR NAO INTERLIGADO X= 28 Y= 11 - X= 62 Y= 20 DO SIGNAL S9
- PAR NAO INTERLIGADO X= 16 Y= 32 - X= 45 Y= 1 DO SIGNAL S26

* NUMERO TOTAL DE LIGACOES= 83

* NUMERO DE LIGACOES REALIZADAS= 80

* EFICIENCIA= 96.38

// FIM MC130

*** CONTABILIDADE DA PLACA ***

* NUMERO DE PINOS DE COMPONENTES = 62
* NUMERO DE PINOS TIPO FLAT-PACK = 20
* NUMERO DE FUROS METALIZADOS = 20
* COMPRIMENTO TOTAL DE FIO = 460,50 CMS

// LAY-OUT EXECUTADO.

// XEQ MC140

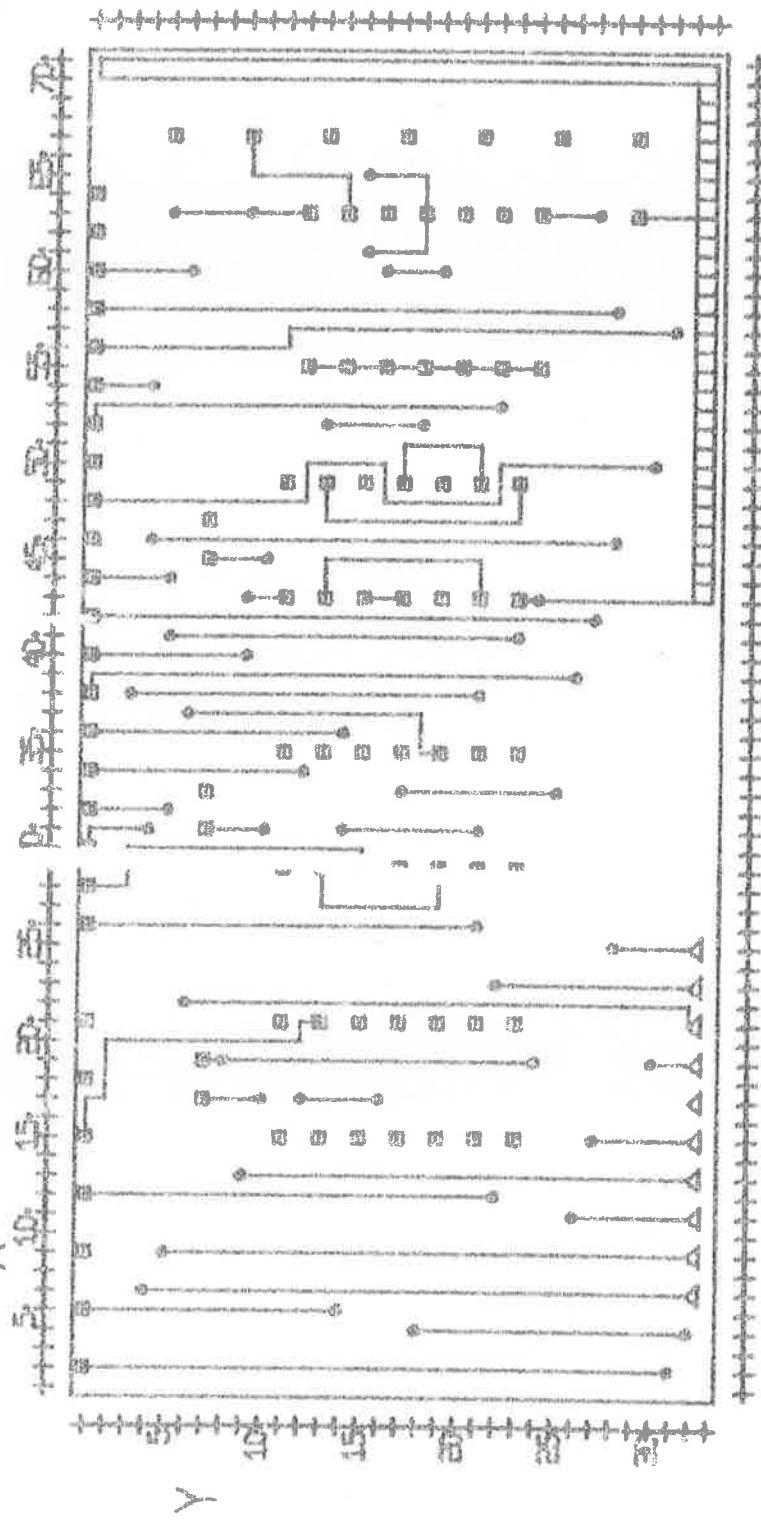
NLAY=001 MAGN=002 MODO=002
** FIM DO LAY-OUT NLAY= 1

NLAY=001 MAGN=002 MODO=001
** FIM DO LAY-OUT NLAY= 1

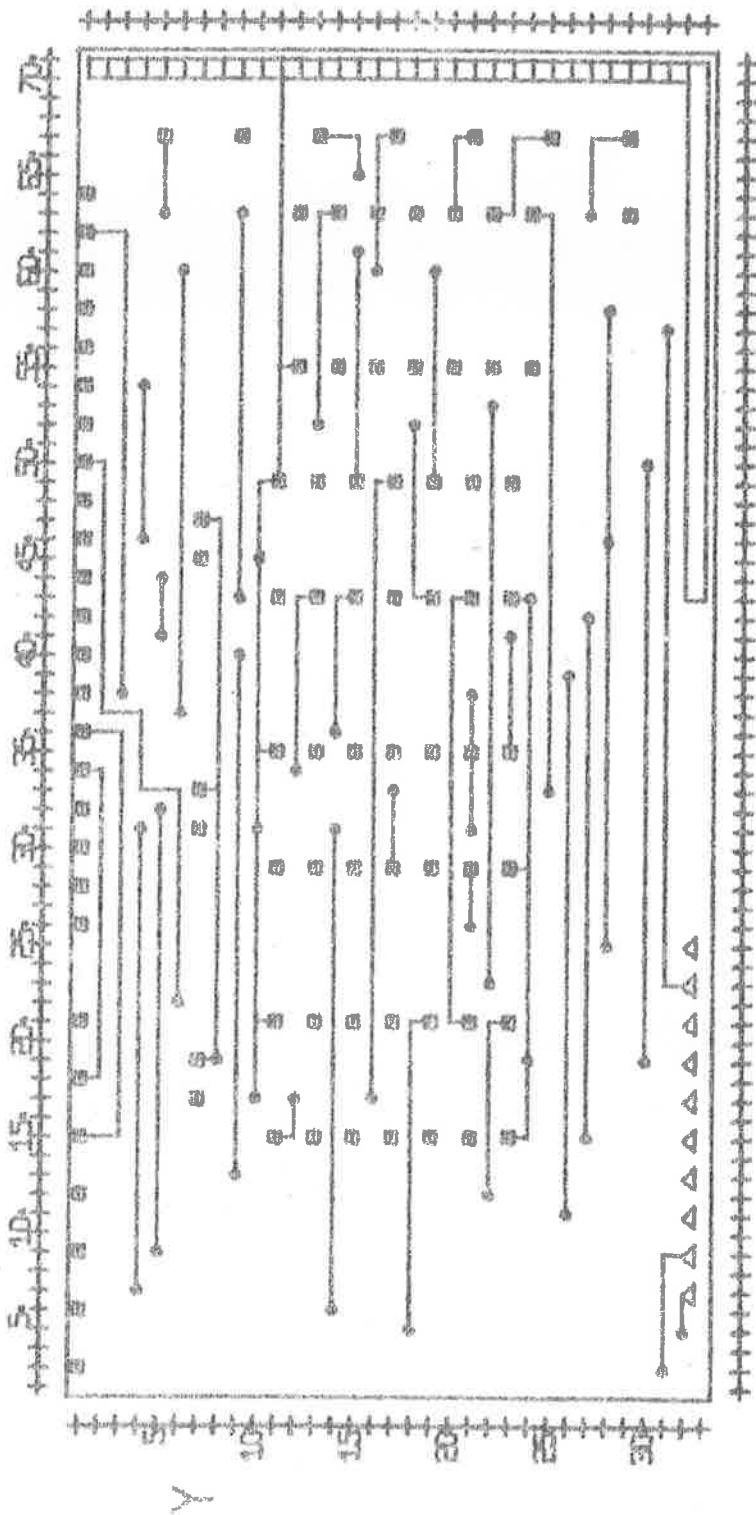
*FIN

TEMPO DE EXECUÇÃO = 23 minutos

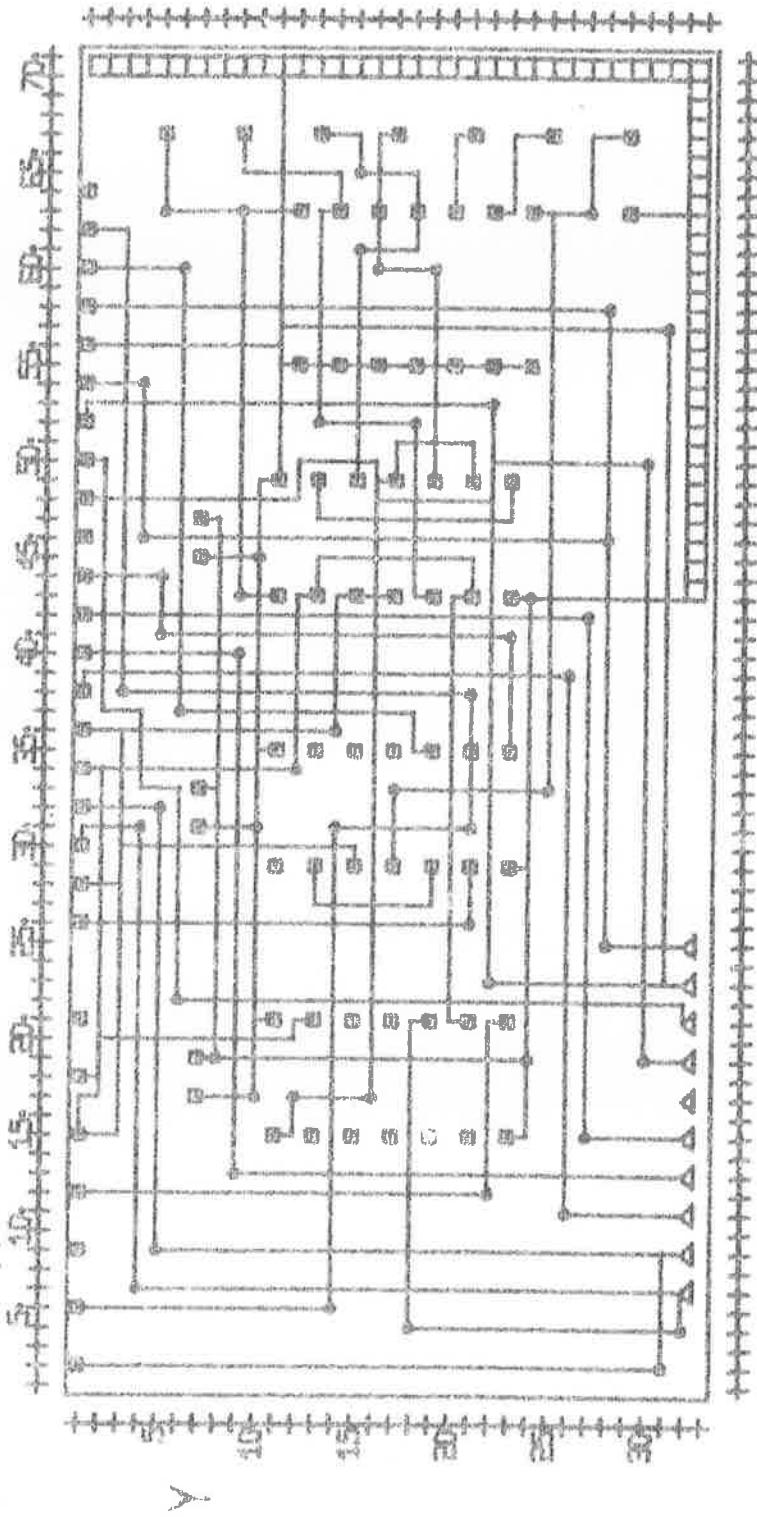
DATA - 02/08/75 NAME - PAI-3
FACE - SUPERIOR AMP - 2. X



DATA - 02/09/75 NOVE - PAI-3
FACE - INFERIOR AMPL - 2-X



DATA - 02/08/75 NAME - PAI-3
FACE - AMBAS AMPL - 2. X



PAGE 1 - SIDNEY -

// JOB 0001 500F 0022 500F SIDNEY E009,MANSUR

LOG DRIVE	CART SPEC	CART AVAIL	PHY DRIVE
0000	0001	0001	0000
0001	500F	500F	0001
0002	0022	0022	0002

V2 M11 ACTUAL 16K CONFIG 16K

* LABORATORIO DE SISTEMAS DIGITAIS * EPUSP * 06/ 10/ 75 * 17 H 06 MIN *

// XEQ MC110

*IDENTIFICACAO

DATA-03/09/75

NUME-PA1-2 GER. DE SINAIS

DESC-CIRCUITO IMPRESSO GERADOR DE SINAIS

PLACA PAINEL

PARTE 2

*PARAMETROS

DIME-X070,Y050

NCAM-002

TLIG-SV

*COMPONENTES

C001-X1140/X011,Y013/

C002-X1140/X031,Y013/

C003-X1140/X051,Y013/

C004-X1140/X011,Y027/

C005-X1140/X031,Y027/

C006-X1140/X051,Y027/

C007-X1140/X051,Y040/

C008-TP2V/X007,Y009/

C009-TP2V/X021,Y009/

C010-TP2V/X047,Y009/

C011-TP2V/X007,Y023/

C012-TP2V/X027,Y023/

C013-TP2V/X047,Y023/

C014-TP2V/X047,Y036/

C015-RCH/X017,Y032/

C016-RCH/X017,Y035/

C017-RCH/X017,Y038/

C018-RCV/X020,Y034/

C019-RCV/X023,Y034/

C020-RCV/X025,Y034/

C021-RCV/X029,Y034/

C022-RCV/X032,Y034/

C023-RCV/X035,Y034/

C024-RCV/X038,Y034/

C025-RCV/X041,Y034/

C026-TV07/X070,Y001/

C027-COTH/X004,Y046/

C028-COTH/X029,Y046/

C029-COTH/X049,Y046/

C030-TEXT/X045,Y042/

C031-TEXT/X009,Y042/

C032-TEXT/X013,Y042/

C033-TEXT/X017,Y042/

C034-TV20/X004,Y011/

C035-TP4H/X004,Y001/

C036-PONT/X030,Y001/

C037-PONT/X050,Y001/

C038-110V/X070,Y028/

*SINAIS

-ESPECIAIS

S001-405V/X006,Y049LX070,Y049LX070,Y050LX006,Y050/

S002-TERR/X006,Y049UX070,Y049UX070,Y050UX006,Y050/

-PRIORITARIOS

S001-405V/P014,C001-P014,C002-P014,C003-P014,C004-P014,C005-P014,C006-P014,C007-P019,C034-P002,C015-P002,C016-P002,C017-P002,C018-P002,C019-P002,C020-P002,C021-P002,C022-P002,C023-P002,C024-P002,C025-P001,C008-P001,C009-P001,C010-P001,C011-P001,C012-P001,C013-P001,C014/

S002-TERR/P020,C034-P007,C001-P007,C002-P007,C003-P007,C004-P007,C005-P007,C006-P007,C007-P002,C008-P002,C009-P002,C010-P002,C011-P002,C012-P002,C013-P002,C014-P001,C030/

-NORMAIS

S001-S1 /P008,C002-P014,C034/

S002-S2 /P006,C002-P013,C034/

S003-S3 /P008,C005-P012,C034/

S004-S4 /P005,C005-P011,C034/

S005-S5 /P008,C003-P010,C034/

S006-S6 /P006,C003-P009,C034/

S007-S7 /P002,C007-P008,C034/

S008-S8 /P006,C006-P018,C034/

S009-S9 /P005,C027-P001,C020/

S010-S10 /P003,C027-P001,C019/

S011-S11 /P004,C028-P001,C021/

S012-S12 /P004,C028-P001,C022/

S013-S13 /P001,C029-P001,C023/

S014-S14 /P003,C029-P001,C024/

S015-S15 /P005,C029-P001,C025/

S016-S16 /P001,C033-P001,C002/

S017-S17 /P004,C027-P002,C002/

S018-S18 /P001,C028-P001,C005/

S019-S19 /P003,C028-P002,C005/

S020-S20 /P005,C028-P001,C003/

S021-S21 /P002,C028,P002,C003/

S022-S22 /P004,C029-P001,C006/

S023-S23 /P006,C026-P002,C006/

S024-S24 /P004,C038-P010,C002/

S025-S25 /P005,C038-P005,C002/

S026-S26 /P006,C038-P010,C005/

S027-S27 /P007,C038-P005,C005/

S028-S28 /P008,C038-P010,C003/

S029-S29 /P009,C038-P005,C003/

S030-S30 /P010,C038-P010,C006/

S031-S31 /P007,C026-P005,C006/

S032-S32 /P001,C015-P001,C021-P012,C004/

S033-S33 /P001,C016-P001,C031-P010,C004/

S034-S34 /P001,C017-P002,C027-P001,C004/

S035-S35 /P001,C018-P001,C032-P005,C004/

S036-S36 /P008,C001-P016,C034/

S037-S37 /P006,C001-P013,C007/

S038-S38 /P010,C001-P002,C038/

S039-S39 /P005,C001-P003,C038/

S040-S40 /P007,C034-P004,C026/

S041-S41 /P001,C034-P001,C035/
 S042-S42 /P002,C034-P002,C035/
 S043-S43 /P003,C034-P003,C035/
 S044-S44 /P004,C034-P004,C035/
 S045-S45 /P013,C004-P008,C004/
 S046-S46 /P009,C004-P011,C004-P001,C001/
 S047-S47 /P002,C004-P006,C004/
 S048-S48 /P004,C004-P003,C004-P002,C001/
 S049-S49 /P001,C007-P008,C006/
 S050-S50 /P002,C026-P003,C007/
 S051-S51 /P003,C026-P005,C007/
 S052-S52 /P004,C007-P001,C037-P003,C003-P013,C003-P013,C002-P009,C007/
 S053-S53 /P006,C007-P001,C036-P004,C003-P009,C003-P009,C002-P011,C007/
 S054-S54 /P005,C007-P009,C001-P004,C001-P004,C002-P009,C005-P004,C005-
 P009,C006-P004,C006-P006,C034/
 S055-S55 /P010,C007-P013,C001-P005,C001-P003,C002-P013,C005-P003,C005-
 P013,C006-P003,C006-P005,C034/
 S056-S56 /P012,C007-P017,C034/
 *FIM
 // ARQUIVOS GERADOS. - FIM DA ETAPA 3 (MC120) DO SISTEMA MC1
 // XEQ MC120

// DRSNAGAO EXECUTADA. - FIM DA ETAPA 3 (MC120) DO SISTEMA MC1
 // XEQ MC130

*** ANALISE DAS LIGACOES EFETUADAS ***

= PAR NAO INTERLIGADO X= 45 Y= 46 ~ X= 51 Y= 13 DO SINAL S20
 = PAR NAO INTERLIGADO X= 70 Y= 38 ~ X= 39 Y= 21 DO SINAL S26
 = PAR NAO INTERLIGADO X= 19 Y= 13 ~ X= 70 Y= 32 DU SINAL S39
 = PAR NAO INTERLIGADO X= 61 Y= 13 ~ X= 4 Y= 27 DU SINAL S6
 = PAR NAO INTERLIGADO X= 19 Y= 7 ~ X= 70 Y= 30 DO SINAL S38
 = PAR NAO INTERLIGADO X= 61 Y= 27 ~ X= 4 Y= 45 DO SINAL S8

* NUMERO TOTAL DE LIGACOES= 164

* NUMERO DE LIGACOES REALIZADAS= 158

* EFICIENCIA= 96.34

// FIM MC130

/// XED MC140

NLAY-001 MAGN-002 MODO-002
** FIM DO LAY-OUT NLAY= 1

NLAY-001 MAGN-002 MODO-001
** FIM DO LAY-OUT NLAY= 1

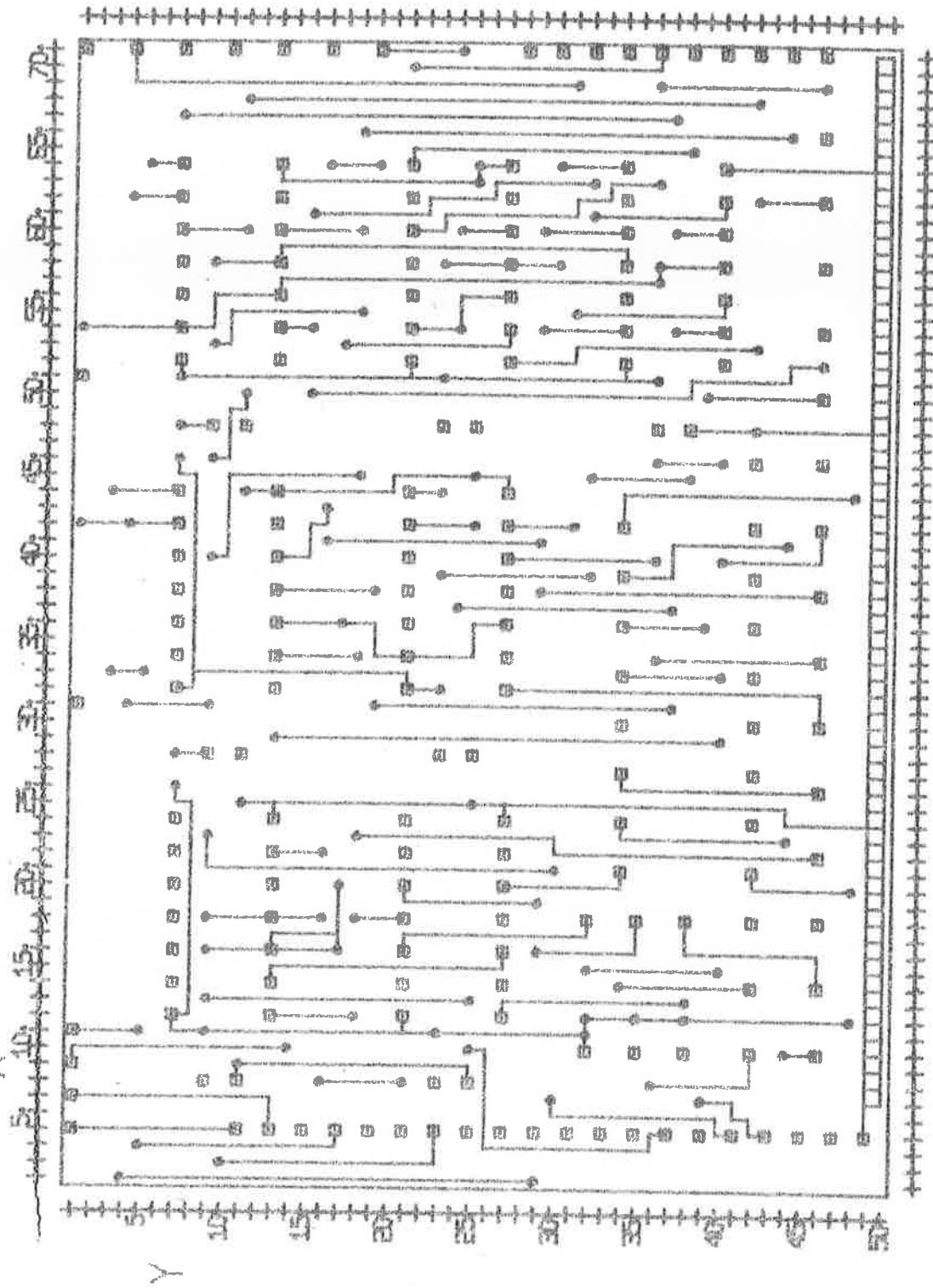
*FIM

*** CONTABILIDADE DA PLACA ***

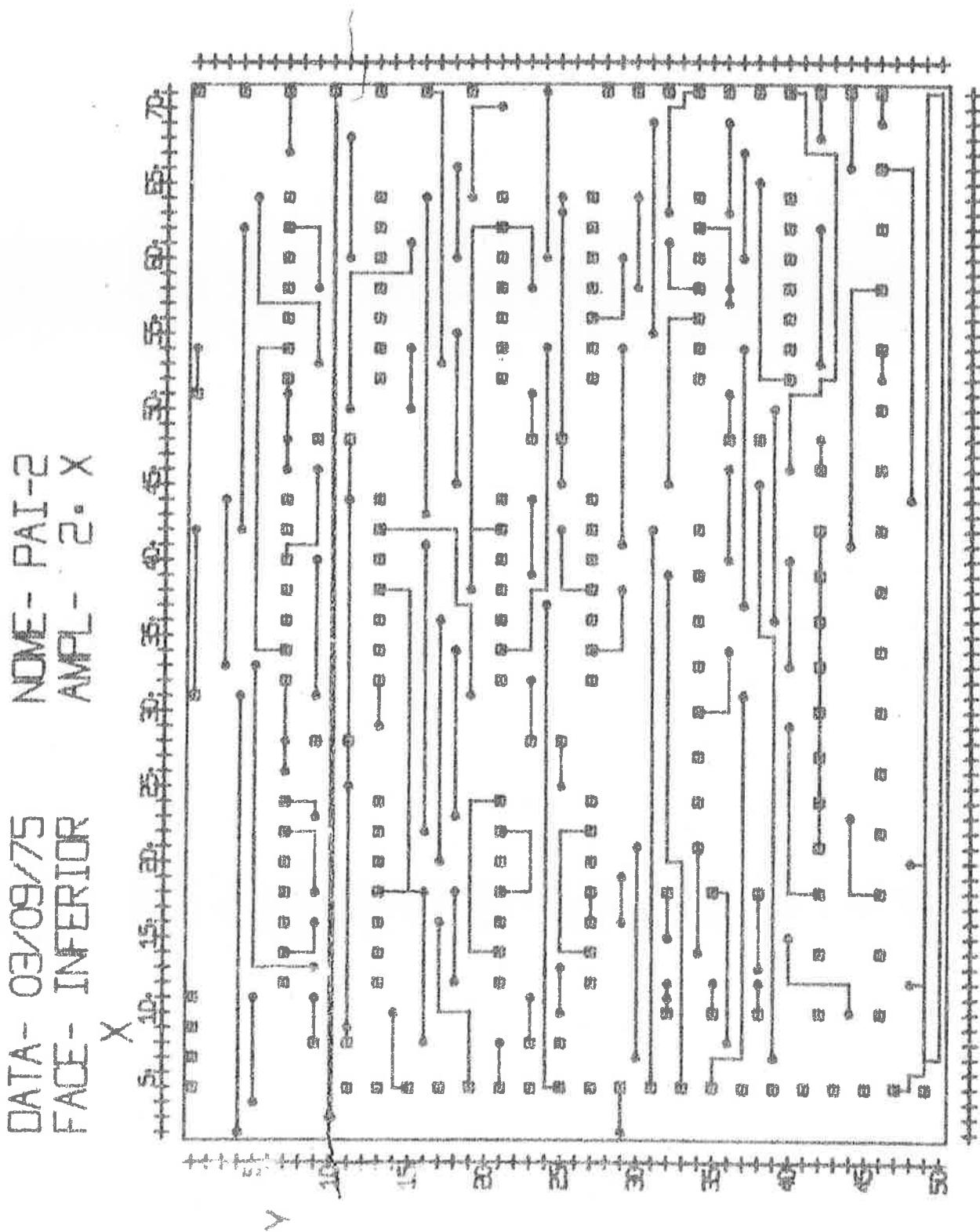
* NUMERO DE PINOS DE COMPONENTES= 157
* NUMERO DE PINOS TIPO FLAT-PACK = 0
* NUMERO DE Furos METALIZADOS = 81
* COMPRIMENTO TOTAL DE FIO = 727.20 CMS
// LAY-OUT EXECUTADO.

TEMPO DE EXECUÇÃO = 28 minutos

DATA - 03/09/75
FACE - SUPERIOR
NAME - PAT-2
AMPL - 2. X

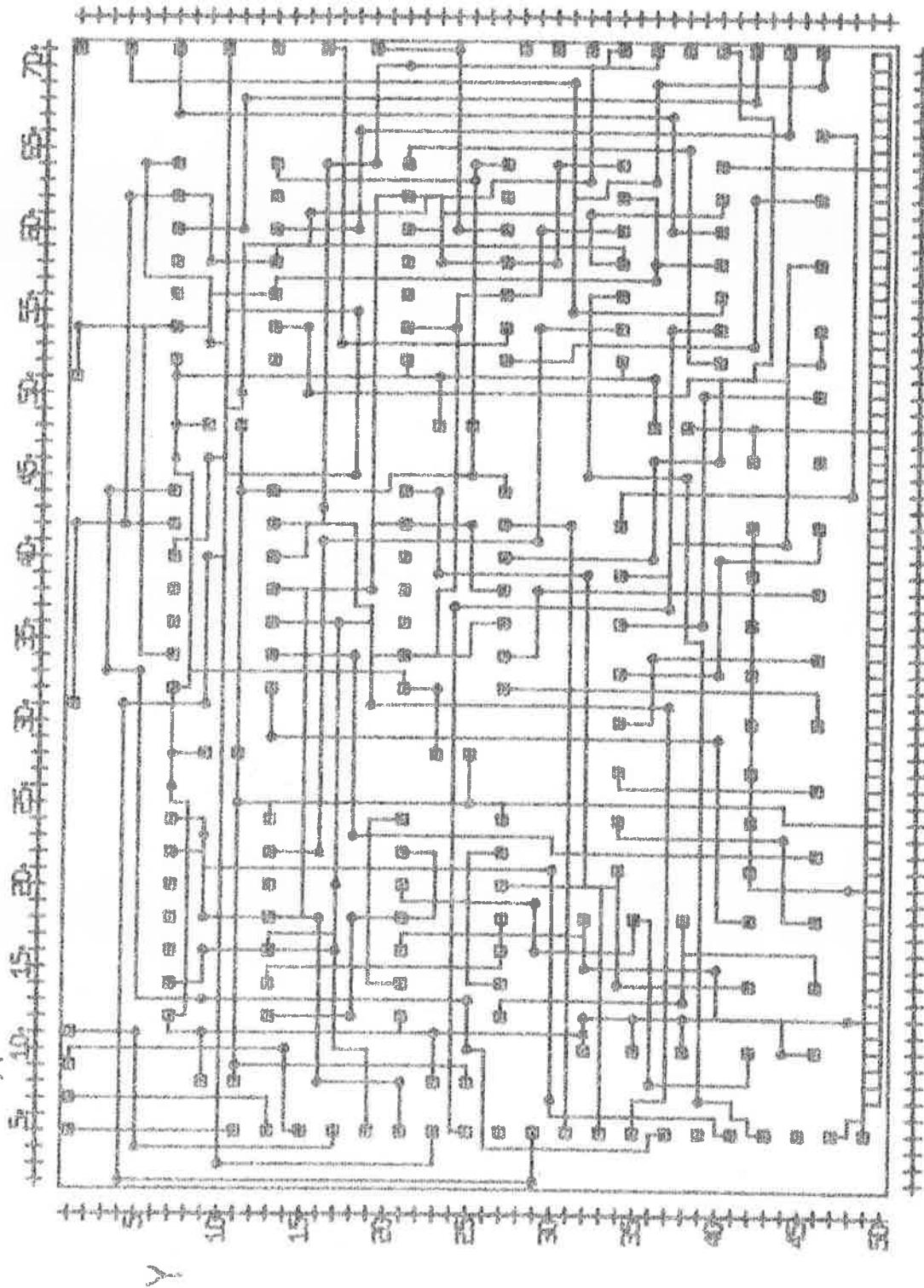


DATA- 03/09/75
FACE- INFERIOR
X



DATA - 03/09/75
FACE - AMBAS

NAME - PAI-2
AMPL - 2. X



CAPÍTULO 7 - OBSERVAÇÕES FINAIS

OBSERVAÇÕES FINAIS

Uma vez mais, ressalta-se que o objetivo desse trabalho, foi o de abordar um dos problemas de engenharia, envolvidos no processo de produção de circuito impresso. O tratamento matemático, para a descrição dos algoritmos apresentados, pode ser em parte observado nas referências citadas.

A forma de descrição dos dados do problema a ser resolvido foi criada tentando favorecer tanto quanto possível o projetista. Não se teve a intenção de definir uma linguagem ou um compilador de dados, porém, desprezando-se o aspecto formal, o sistema de programação desenvolvido procura identificar, e acusar, os principais erros de descrição, através de mensagens que podem ser observadas no Apêndice I.

Outro aspecto digno de nota é o porcentual de ligações com êxito que pode ser obtido pelo uso desses programas. Após o processamento de 40 casos, variando-se a complexidade dos problemas obtiveram-se porcentuais que variam de 95 a 100%. Seria ideal se a totalidade das conexões propostas pudessem ser alocadas automaticamente. Entretanto, como se pode verificar, este porcentual varia com o tipo de problema apresentado e com os vínculos estabelecidos. Além do mais, a medida em que se aumentar a densidade de componentes numa placa de circuito impresso, maior será o número de ligações necessárias, maior o número de rotas, possivelmente menor o porcentual de conexão.

Com isso quer-se posicionar a utilidade desse sistema de programas, não como uma solução absoluta para o problema das rotas de circuito impresso, mas como uma ferramenta útil, e econômica para se atingir uma solução.

Do ponto de vista operacional, várias são as maneiras que podem ser implementadas para se descrever os dados do problema ou se receber informações processadas. Optou-se entretanto por entrada em cartões e saída gráfica em papel, pela disponibilidade imediata de dispositivos periféricos acoplados ao computador.

O rendimento do processo de definição de rotas poderia ser aumentado, incorporando-se recursos de realimentação projetista-programa através da utilização de um "video-display" ligado ao computador, onde a interação do projetista com o programa far-se-ia durante a execução do próprio programa, quando pelo uso de uma "caneta magnética", poder-se-ia alterar posições de certas rotas ou descrever graficamente dados, que ora são codificados.

O computador utilizado foi o IBM-1130 do Laboratório de Sistemas Digitais do Departamento de Engenharia de Eletricidade da Escola Politécnica da Universidade de São Paulo, com a seguinte configuração:

- Unidade central de processamento com 16 K palavras de 16 bits cada.
- Leitora/Perfuradora de cartões 400/120 cartões por minuto.
- Impressora de 600 linhas/minuto.
- Memória auxiliar de disco magnético com 1.5 milhão de palavras.
- Traçador automático de gráficos, tambor para gráficos até 29 polegadas por 120 pés.

Os algoritmos foram escolhidos e adaptados segundo os objetivos do sistema de programas, tendo-se definido experimentalmente o critério de utilização de cada qual, procurando-se atingir um compromisso entre eficiência e tempo de processamento.

Uma das expansões possíveis para os programas é a inclusão do tratamento de circuitos impressos em multi-níveis. Esse tratamento não foi considerado por restrição imposta ao âmbito de duas camadas simplesmente.

Alguns detalhes ou técnicas de programação foram omitidos por não retratar detalhes importantes do ponto de vista do usuário, sendo porém disponíveis na documentação técnica dos programas.

Seria interessante notar que durante a fase de alocação matricial dos compromissos assumidos pela presença de componentes ou rotas, é feita uma verificação, para impedir a superposição de componentes ou rotas definidas, o que pode ser causado por um erro de projeto ou um eventual engano na descrição. Neste caso mensagens adequadas informam o usuário da impossibilidade.

Todos os programas foram implementados visando a translação de todo o sistema de programação para um computador de grande porte, onde outras fases da Automação de Projetos de Sistemas Digitais podem ser incorporadas. Atualmente são possíveis processamentos de placas com dimensões até 63 x 90 mm. Essa restrição deixará de existir assim que seja possível a utilização de maior capacidade de memória de computador. Entretanto, os exemplos do capítulo 6 dão mostra de que, apesar da limitação citada, os programas assunto desse trabalho, são plenamente aplicáveis, uma vez que tais exemplos, são casos de circuitos realizados com sucesso, e aplicados em sistemas digitais reais.

A linguagem de programação usada foi o FORTRAN-IV para permitir maior facilidade de conversão do sistema construído quando de sua implantação em outro computador.

APÊNDICE E - MENSAGENS DE ERRO

MENSAGENS DE ERRO

ERRO NO. = 1	*** REG. DISPONIVEL ***
ERRO NO. = 2	OMISSAO OU ERRO NA SECAO *IDENT.
ERRO NO. = 3	OMISSAO OU ERRO EM DATA
ERRO NO. = 4	OMISSAO OU ERRO EM NOME E DESC
ERRO NO. = 5	OMISSAO OU ERRO EM NOME
ERRO NO. = 6	OMISSAO OU ERRO EM DESC
ERRO NO. = 7	OMISSAO OU ERRO NO CARTAO *PARAM
ERRO NO. = 8	OMISSAO OU ERRO NA SECAO *PARAM.
ERRO NO. = 9	OMISSAO OU ERRO EM DIME
ERRO NO. = 10	PLACA MAIOR QUE A MAX PERMITIDA
ERRO NO. = 11	DEMENSÕES EM FORMATO NAO 13
ERRO NO. = 12	OMISSAO OU ERRO EM NCAM E TLIG
ERRO NO. = 13	OMISSAO OU ERRO EM NCAM
ERRO NO. = 14	NUMERO DE CAMADAS NAU E 1 OU 2
ERRO NO. = 15	NUMERO DE CAMADAS NAU 13
ERRO NO. = 16	OMISSAO OU ERRO EM TLIG
ERRO NO. = 17	TIPO DE LIG. DEVE SER SV,SH,LT
ERRO NO. = 18	OMISSAO OU ERRO NO CARTAO *COMP.
ERRO NO. = 19	FALTA SECAO *SINAIS
ERRO NO. = 20	OMISSAO/ERRO NA ESPEC. DE SINATS
ERRO NO. = 21	FALTA LISTA DE SINAIS
ERRO NO. = 22	CARTAO DEVE INICIAR COM 5
ERRO NO. = 23	ORDEN DE SINAL EM FORMATO NAO 13
ERRO NO. = 24	CARTAO DE SINAL FORA DE ORDEN
ERRO NO. = 25	FALTA BARRA (/) NO FIM DO CONJ.
ERRO NO. = 26	OMISSAO OU ERRO EM X OU Y.
ERRO NO. = 27	COORDENADAS EM FORMATO NAO 13
ERRO NO. = 28	PONTO FORA DA PLACA

ERRO NO. = 29	PINO SEM COMPON. CORRESPONDENTE
ERRO NO. = 30	NUMERO DE PINO E COMP. NAO 13
ERRO NO. = 31	COMPON. NAO EXISTENTE NA PLACA.
ERRO NO. = 32	PINO NAO EXISTENTE NO COMPONENTE
ERRO NO. = 33	FALTA LISTA DE COMPONENTES
ERRO NO. = 34	CARTAO DEVE INICIAR COM C
ERRO NO. = 35	ORDEN DE COMPONENTE NAO 13
ERRO NO. = 36	CARTAO DE COMPON. FORA DE ORDEM
ERRO NO. = 37	LIGACAO ESPECIAL NAO ORTOGONAL
ERRO NO. = 38	NAO EXISTE NA BIBLIOTECA
ERRO NO. = 39	COORDENADAS EM FORMATO NAO 13
ERRO NO. = 40	CARACTER DE LIGACAO NAO E U OU F
ERRO NO. = 41	COMPILACAO DESCONTINUADA.
ERRO NO. = 42	OMISSAO OU ERRO NA ESPEC. TIPO
ERRO NO. = 43	TIPO JA EXISTENTE NA BIBLIOTECA
ERRO NO. = 44	FALTA ESPECIFICACAO TEBA
ERRO NO. = 45	FALTA ESPECIFICACAO NUTE
ERRO NO. = 46	TERMINAL-BASE EM FORMATO NAO 13
ERRO NO. = 47	NUMERO DE TERMINALS NAO 13
ERRO NO. = 48	TEBA MAIOR QUE NUTE
ERRO NO. = 49	GERACAO DA MASCARA SUPRIMIDA
ERRO NO. = 50	FALTA ESPECIFICACAO TERM
ERRO NO. = 51	FALTA ESPECIFICACAO COLO
ERRO NO. = 52	FALTA ESPECIFICACAO INCR
ERRO NO. = 53	CONTIGO DE CELULA NAO E U,L OU F
ERRO NO. = 54	TERMINALS EM FORMATO NAO 13
ERRO NO. = 55	COORDENADAS LOCAIS NAO 13
ERRO NO. = 56	INCREMENTOS EM FORMATO NAO 13
ERRO NO. = 57	NAO EXISTE MASCARA PARA DELETAR
ERRO NO. = 58	MASCARA NAO EXISTE NA BIBLIOTECA

ERRO NO. = 59	COMANDO INVALIDO
ERRO NO. = 60	NUMERO MAXIMO DE MASCARAS = 199
ERRO NO. = 61	NUMERO DE TERM.-BASE INVALIDO
ERRO NO. = 62	*** REG. DISPONIVEL ***
ERRO NO. = 63	OMISSAO OU ERRO NO CARTAO *IDENT
ERRO NO. = 64	OMISSAO OU ERRO NO CARTAO *PARAM
ERRO NO. = 65	OMISSAO OU ERRO NO CARTAO *SINAL
ERRO NO. = 66	PINO EM AREA JA ALOCADA.
ERRO NO. = 67	OBSTACULO SOBRE AREA METALIZADA
ERRO NO. = 68	SUPERPOSICAO DE ISOLANTE A PINO
ERRO NO. = 69	METALIZACAO SOBRE UM OBSTACULO.
ERRO NO. = 70	OMISSAO OU ERRO NA ESPEC. ISOL
ERRO NO. = 71	A ISOLACAO AINDA NAO FOI GERADA
ERRO NO. = 72	TIPO DE ISOL. DEVE COMECAR COM \$
ERRO NO. = 73	FALTA CARTAO TCEL
ERRO NO. = 74	COD. DE ISOL. EM FORMATO NAO 13
ERRO NO. = 75	COD. DE ISOL. INVALIDO
ERRO NO. = 76	OMISSAO OU ERRO NA ESP. TCEL
ERRO NO. = 77	CURTO ENTRE DOIS SINAIS
ERRO NO. = 78	ERRO DE SINTAXE OU DE COLUNA.
ERRO NO. = 79	FORMATO DOS NUMEROS NAO 13.
ERRO NO. = 80	ISOLACAO DEFINIDA SOBRE PINO.

APÊNDICE II - LISTAGEM DE PADRÕES

TIPO(TRNT),TEBAL(1),NUTE(3),ISOL(\$R3H)
TERM(1, 1),COL0(0, 0),INCR(0, 0),F
TERM(2, 3),COL0(-3, 3),INCR(6, 0),F

TIPO(116N),TEBAL(1),NUTE(16),ISOL(\$R3H)
TERM(1, 8),COL0(0, 0),INCR(0, 2),F
TERM(9, 16),COL0(6, 14),INCR(0, -2),F

TIPO(TP6V),TEBAL(1),NUTE(8),ISOL()
TERM(1, 8),COL0(0, 0),INCR(0, 2),F

TIPO(114S),TEBAL(1),NUTE(14),ISOL(\$R3H)
TERM(8, 14),COL0(-6,-12),INCR(0, 2),F
TERM(7, 11),COL0(0,-12),INCR(0, 2),F

TIPO(116S),TEBAL(1),NUTE(16),ISOL(\$R3H)
TERM(9, 16),COL0(-6,-14),INCR(0, 2),F
TERM(8, 11),COL0(0,-14),INCR(0, 2),F

TIPO(RCH),TERBAL(1),NUTE(2),ISOL(\$R3H)
TERM(2, 1),COL0(-3, 0),INCR(8, 0),F

TIPO(RCV),TERBAL(1),NUTE(2),ISOL(\$R3V)
TERM(1, 2),COL0(0, 0),INCR(0, 0),F

TIPO(PONT),TERBAL(1),NUTE(1),ISOL()
TERM(1, 1),COL0(0, 0),INCR(0, 0),F

TIPO(CONH),TERBAL(1),NUTE(2),ISOL(\$Q3)
TERM(2, 1),COL0(-21, 0),INCR(21, 0),F

TIPO(CONV),TERBAL(1),NUTE(2),ISOL(\$Q3)
TERM(1, 2),COL0(0, 0),INCR(0, 2),F

TIPO(TPIN),TERBAL(1),NUTE(3),ISOL(\$Q3)
TERM(3, 2),COL0(-4, -4),INCR(7, 0),F
TERM(1, 1),COL0(0, 0),INCR(0, 0),F

TIPO(1160),TEBAL(1),NUTE(16),ISOL(\$R3V)
TERM(1, 8),COL0(0, 0),INCR(2, 0),F
TERM(16, 9),COL0(0, -6),INCR(2, 0),F

TIPO(0A20),TEBAL(1),NUTE(2),ISOL(\$R3H)
TERM(1, 2),COL0(0, 0),INCR(7, 0),F

TIPO(0AZN),TEBAL(1),NUTE(2),ISOL(\$R3V)
TERM(1, 2),COL0(0, 0),INCR(0, 7),F

TIPO(DEF3N),TEBAL(1),NUTE(3),ISOL(\$Q3)
TERM(1, 1),COL0(0, 0),INCR(0, 0),F
TERM(2, 3),COL0(5, 5),INCR(-10, 0),F

TIPO(0C20),TEBAL(1),NUTE(2),ISOL(\$Q3)
TERM(1, 2),COL0(0, 0),INCR(24, 0),F

TIPO(0S9V),TEBAL(1),NUTE(5),ISOL(\$Q3)
TERM(1, 5),COL0(0, 0),INCR(0, -4),F

TIPO(TP4V),TEBAL(1),NUTE(4),ISOL()
TERM(1, 4),COL0(0, 0),INCR(0, 1),F

TIPO(TP2H),TEBAL(1),NUTE(2),ISOL()
TERM(1, 2),COL0(0, 0),INCR(2, 0),F

TIPO(DB20),TEBAL(1),NUTE(2),ISOL(\$Q3)
TERM(1, 2),COL0(0, 0),INCR(17, 0),F

TIPO(114H),TEBAL(1),NUTE(14),ISOL(\$ISL)
TERM(1, 7),COL0(0, 0),INCR(2, 0),F
TERM(14, 8),COL0(0, -6),INCR(2, 0),F

TIPO(2FH8),TERAL(1),NUTE(2),ISOL()
TERM(1, 2),COL0(0, 0),INCR(8, 0),F

TIPO(2Fv8),TEBAL(1),NUTE(2),ISOL()
TERM(1, 2),COL0(0, 0),INCR(0, -8),F

TIPO(GNET),TERAL(1),NUTE(20),ISOL()
TERM(1, 10),COL0(0, 0),INCR(0, 2),U
TERM(11, 20),COL0(0, 0),INCR(0, 2),L

TIPO(DBN),TERAL(11),NUTE(16),ISOL(\$R3H)
TERM(1, 4),COL0(0, 0),INCR(0, 2),L
TERM(5, 8),COL0(10, -1),INCR(0, 2),L
TERM(9, 12),COL0(0, 0),INCR(0, 2),U
TERM(13, 16),COL0(10, -1),INCR(0, 2),U

TIPO(T10V),TEBAL(1),NUTE(10),ISOL()
TERM(1, 10),COL0(0, 0),INCR(0, 2),F

TIPO(0X20),TERAL(1),NUTE(2),ISOL(\$R3V)
TERM(1, 2),COL0(0, 0),INCR(12, 0),F

TIPO(0X2N),TERAL(1),NUTE(2),ISOL(\$Q3)
TERM(1, 2),COL0(0, 0),INCR(0, 12),F

TIPO(TP4H),TERAL(1),NUTE(4),ISOL()
TERM(1, 4),COL0(0, 0),INCR(2, 0),F

TIPO(PRES),TERAL(1),NUTE(1),ISOL(\$MET)
TERM(1, 1),COL0(0, 0),INCR(0, 0),F

TIPO(TBH),TERAL(1),NUTE(8),ISOL()
TERM(1, 8),COL0(0, 0),INCR(2, 0),F

TIPO(T10H),TERAL(1),NUTE(10),ISOL(\$R3V)
TERM(1, 10),COL0(0, 0),INCR(2, 0),F

TIPO(114N),TERAL(1),NUTE(14),ISOL(\$R3H)
TERM(1, 7),COL0(0, 0),INCR(0, 2),F
TERM(8, 14),COL0(6, 12),INCR(0, -2),F

REFERENCIAS BIBLIOGRÁFICAS

REFERÉNCIAS BIBLIOGRÁFICAS

- 1 - AKERS, SHELTON B.JR.
"A Modification of Lee's Path Connection Algorithm",
IEEE Transactions on Electronic Computers, fevereiro
1967 pag. 97 a 98.
- 2 - ARAMAKI, ITARU
"Automation of Etching-Pattern Layout", Communications
of the ACM, Vol 14, nº 11 novembro 1971 pag. 720 a 730.
- 3 - BOWDEN, G
"Automatic Layout of Printed Boards", Electrical
Communications, Vol. 47, nº 4, 1972.
- 4 - BREUER; M.A.
"Design Automation of Digital Systems", Englewood Cliffs,
New Jersey. Prentice Hall Inc., 1972.
- 5 - BROWN, DAVID B.
"Optimize IC package layouts with these manual steps".
IBM GDL, pg. 635 a 637.
- 6 - BROWN R. RODERICK
"The Automation of Topological Layout", AIEE Computer,
Maio 1962, pag. 136 a 139.

- 7 - CASE, P.W.
"Solid Logic Design Automation", IBM Journal, abril 1964, pag. 127 a 139.
- 8 - COLLMEYER, ARTHUR J.
"Developments In Design Automation", IEEE Computer, Janeiro 1974, pag. 9 a 11.
- 9 - EVANS, G.C.
"Automatic Interconnection System for Electronic Components", Proc. IEE, vol. 116, nº 12, dezembro 1969, pag. 1992 a 2000.
- 10 - FENCL, ZDENEK
"Algorithm 456 - Routing Problem", Communications of ACM, vol. 16, nº 9, setembro 1973, pag. 572 a 574.
- 11 - FISK, CLIFFORD J.
"ACCEL: Automated Circuit Card Etching Layout", Proceedings of IEEE, Vol. 55, nº 11, novembro 1967, pag. 1971 a 1982.
- 12 - FITCH, A.E
"A user looks at D.A. - Yesterday, Today, Tomorrow", Proc. 6º Design Automation Workshop, IBM Junho 1969, pag. 371 a 382.
- 13 - GEYER, JAMES M.
"Connection Routing Algorithm for Printed Circuit Boards", IEEE Transactions on Circuit Theory, Vol. CT-18, nº 1, Janeiro 1971, pag. 95 a 100.

- 14 - GLEN, R.R.
"Two Approaches to the Computer Routing of
Interconnections", IBM GDL, pag. 390 a 411.
- 15 - HASHIMOTO, AKIHIRO
"Wire Routing By Optimizing Channel Assignment Within
Large Apertures", Proc. 8 Design Automation Workshop
Atlantic, pag. 155 a 159.
- 16 - HEISS, SAM
"A Path Connection Algorithm for Multilayer Boards",
Proc. Share ACM/IEEE, Design Automation Workshop 1968,
pag. 6-1 a 6-14.
- 17 - HIGHTOWER, DAVID H.
"A Solution to Line-Routing Problems on the Continuous
plane", Proc. 1969, Design Automation Workshop, pag. 1-24.
- 18 - LASS, STANLEY E.
"Automated Printed Circuit Routing with a Stepping Aperture"
Communications of the ACM, Vol. 12, nº 5, maio 1969, pag.
262 a 265.
- 19 - LEE C. Y.
"An Algorithm for Path Connections and Its Applications",
IRE Transactions on Electronic Computers, setembro 1961,
pag. 346 a 365.
- 20 - LYNN, DAVID K.
"Computer-Aided Layout System for Integrated Circuits",
IEEE Transactions on Circuit Theory, Vol. CT-18, nº 1,
Janefro 1971, pag. 128 a 139.

- 21 - MAMELAK, J.S.
"The Placement of Computer Logic Modules", Journal ACM, Vol. 13, nº 4, outubro 1966, pag. 615 a 629.
- 22 - MASSOLA, A.M.A.
"Automação de Projetos de Sistemas Digitais- Simulação em Nível de Portas Lógicas", Tese de Doutoramento em Engenharia de Eletricidade - Escola Politécnica da Universidade de São Paulo, 1974.
- 23 - MAYS, C. HUGH
"A Brief Survey of Computer-Aided Integrated Circuit Layout", IEEE Transactions on Circuit Theory, Vol. CT-18 nº 1, Janeiro 1971, pag. 10 a 13.
- 24 - MOORE, RODNEY K.
"Planning Printed Circuit Board Designs for Maximum Benefits From Automation", IBM GDL, pag 560 a 579.
- 25 - RUBIN, FRANK
"The Lee Path Connection Algorithm", IEEE Transactions on Computer, Vol. C-23, nº 9, setembro 1974, pag. 907 a 914.
- 26 - ZANE, RONALD
"Computer Aided Design of Printed - Circuit Artwork", Relatório UCRL-18172 UCLA, abril 1968.
- 27 - ZUCKER, J. STEVEN
"Graphical Layout System for IC Mask Design", IEEE Transactions on Circuit Theory, Vol. CT-18, nº 1, Janeiro 1974, pag. 163 a 173.