ALEXANDRE DELLA SANTA BARROS

**PROJETO DE OSCILADORES DE MICROONDAS
DISTRIBUÍDOS COM REALIMENTAÇÃO REVERSA**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Engenharia.

São Paulo

2005

ALEXANDRE DELLA SANTA BARROS

**PROJETO DE OSCILADORES DE MICROONDAS
DISTRIBUÍDOS COM REALIMENTAÇÃO REVERSA**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Engenharia.

Área de concentração:
Microeletrônica

Orientadora:
Prof. Dra. Denise Consonni

2005

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 05 de outubro de 2005.

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Barros, Alexandre Della Santa

Projeto de osciladores de microondas distribuídos com realimentação reversa.
/ A.D.S. Barros. – São Paulo, 2005.

175p.

Dissertação (Mestrado) – Escola Politécnica da Universidade de São Paulo.
Departamento de Engenharia de Sistemas Eletrônicos.

1. Osciladores de Microondas 2. Circuitos de Microondas 3. Amplificadores 4.
Microeletrônica I. Universidade de São Paulo. Escola Politécnica. Departamento
de Engenharia de Sistemas Eletrônicos II.t.

*A meus pais, Nadia e Toninho,
a meus irmãos, Fernando e Roberto,
e a minha namorada, Regiane.*

AGRADECIMENTOS

À Dra. Fátima Salete Correra pela dedicada orientação, mesmo sabendo que não poderia ser oficialmente reconhecida devido a problemas burocráticos.

À Prof. Dra. Denise Consonni pelas sugestões e pela orientação formal deste trabalho.

Ao Laboratório de Microeletrônica da USP (LME-USP).

Às empresas *Omnisys Engenharia* e *NEC do Brasil*, pelo apoio à minha pesquisa e concessão de tempo para que eu pudesse realizar minhas atividades acadêmicas.

Ao Prof. Dr. Kléber da Cunha Pinto, Coordenador Geral do Laboratório de Microeletrônica, pelas facilidades colocadas à minha disposição.

A Jair P. de Souza, pela montagem do protótipo e da jiga de testes e pelo apoio no laboratório de medidas do LME-USP.

A Tereza Fumijo Mori, pela confecção do fotolito.

A Ana Rita Pereira dos Santos, pela realização da fotogração da placa de circuito impresso do protótipo.

Ao Eng. Carlos Mitikami, pelo auxílio na elaboração do leiaute da placa de protótipo.

Ao Eng. Jorge Hidemi Ohashi pela pesquisa e fornecimento do substrato utilizado para a fabricação do protótipo.

Ao Eng. Antonio Sandro Verri pelo auxílio na pesquisa de componentes para a fabricação do protótipo.

A todos que contribuíram direta ou indiretamente com este trabalho.

RESUMO

Esta dissertação propõe uma metodologia de projeto de osciladores distribuídos controlados por tensão – DVCO – com realimentação reversa em frequência de microondas. Estes constituem uma nova classe de osciladores recentemente proposta, a qual é obtida através da realimentação reversa de amplificadores distribuídos e tem como principal vantagem a possibilidade de sintonia em faixa ultra-larga de frequência. São apresentados os fundamentos teóricos de operação do circuito e é proposta uma extensão da análise linear apresentada na literatura, considerando linhas de transmissão artificiais m-derivadas, a qual permite prever as transcondutâncias mínimas necessárias dos transistores e a frequência inicial de oscilação. O método de projeto proposto é direcionado a DVCOs com realimentação reversa empregando transistores de efeito de campo dos tipos MESFET (*Metal Semiconductor Field Effect Transistor*) e PHEMT (*Pseudomorphic High Electron Mobility Transistor*), bem como ao uso de tecnologia de circuitos híbridos de microondas – MICs, e circuitos integrados monolíticos de microondas – MMICs. A metodologia proposta definiu critérios para implementar a topologia deste circuito através de componentes reais, considerando-se os parasitas associados aos mesmos. Para validação do procedimento de projeto, concebeu-se e simulou-se através do programa ADS da Agilent um oscilador intitulado DVCO 3 GHz, cuja faixa de frequência especificada estende-se de 1 a 3 GHz e a potência mínima de saída especificada é de 10 dBm. Um protótipo foi construído em circuito híbrido e seus resultados experimentais foram comparados aos simulados. A frequência de oscilação medida foi de 1,04 GHz a 3,05 GHz e a potência obtida esteve entre 9,8 e 14,3 dBm, apresentando boa concordância com as simulações. O ruído de fase foi medido entre 100 kHz e 1 MHz de distância da portadora, observando-se uma inclinação proporcional a $1/f^3$. Verificou-se que a diminuição da corrente de polarização I_{ds} dos transistores, através da redução de sua tensão de polarização de porta-fonte V_{gs} , melhorou o ruído de fase. Na condição de polarização de menor ruído de fase, observaram-se valores entre -84 e -93 dBc/Hz a 100 kHz da portadora.

ABSTRACT

In this dissertation, a design methodology applied to microwave reverse feedback distributed voltage controlled oscillators – DVCO – is proposed. This circuit constitutes a new class of oscillators, obtained from reverse feeding back of the distributed amplifier. The main advantage of this topology is its capacity to achieve ultra-wideband frequency tuning. Circuit theoretical background is presented and an extension of the linear analysis presented in the literature is proposed. It allows predicting transistor minimum transconductances and the oscillation initial frequency, considering m -derived artificial transmission lines. The proposed design method is applicable to reverse feedback DVCOs employing field effect transistors MESFET (Metal Semiconductor Field Effect Transistor) and PHEMT (Pseudomorphic High Electron Mobility Transistor), as well as using MIC (Microwave Integrated Circuits) and MMIC (Monolithic Microwave Integrated Circuits) technology. The proposed methodology defined criterion to employ real components, considering the component parasitics. In order to validate the design method, an oscillator named *DVCO 3 GHz* was designed and simulated through software *Agilent ADS*, with specified band from 1 up to 3 GHz and minimum output power of 10 dBm. A prototype was implemented in hybrid circuit technology and the measurements were compared to the simulation results. The measured oscillation frequency varied from 1,04 GHz up to 3,05 GHz and the output power was 9,8 to 14,3 dBm, presenting good agreement with simulations. Phase noise was measured in the range between 100 kHz and 1 MHz shift from carrier; in which it was observed a $1/f^3$ slope. It was verified that decreasing the transistor bias current I_{ds} through decreasing its gate bias voltage V_{gs} reduced phase noise. In the biasing condition for lowest phase noise, values between -84 and -93 dBc/Hz at 100 kHz off-set from carrier were measured.

SUMÁRIO

1	INTRODUÇÃO.....	1
1.1	Objetivos	3
1.2	Descrição dos capítulos.....	3
2	FUNDAMENTOS TEÓRICOS.....	5
2.1	Amplificador Distribuído	5
2.2	Linhas de transmissão artificiais [11]	9
2.2.1	Impedância imagem	9
2.2.2	Fator de propagação imagem	11
2.2.3	Características de seções em L, T e π	14
2.2.3.1	Seção em L.....	15
2.2.3.2	Seção em T.....	16
2.2.3.3	Seção em π	19
2.2.4	Implementação das estruturas distribuídas através de indutores e capacitores	21
2.2.4.1	Estrutura k-constante.....	21
2.2.4.2	Estrutura m-derivada.....	23
2.3	Topologias de oscilador distribuído	28
2.4	Comparação entre as topologias	31
2.5	Oscilador distribuído com realimentação reversa.....	32
2.5.1	Oscilações com apenas um transistor ativo de cada vez	34
2.5.2	Sintonia contínua de frequência de oscilação	38
2.5.2.1	Transcondutâncias mínimas para oscilação	45
2.5.3	Exemplo: oscilador com 9 estágios.....	46
2.5.3.1	Determinação do número de transistores do oscilador	46
2.5.3.2	Função de sintonia do oscilador	51
2.6	Conclusão.....	54
3	MÉTODO DE PROJETO.....	56
3.1	Especificações	60
3.2	Determinação do número de estágios	61
3.3	Escolha da tecnologia.....	62
3.4	Estabilização do transistor	65
3.5	Determinação dos parâmetros da linha de transmissão artificial	66
3.6	Implementação das indutâncias e estimativa das dimensões do circuito... ..	71
3.7	Projeto preliminar individual de cada estágio.....	73
3.8	Circuitos de casamento de impedâncias.....	74
3.9	Circuitos de polarização.....	76
3.10	Integração dos estágios e otimização do circuito.....	76
3.11	Simulações não-lineares.....	78
3.12	Conclusão.....	79
4	PROJETO DO OSCILADOR DISTRIBUÍDO	81
4.1	Especificações	81
4.2	Determinação do número de estágios	82

4.3	Seleção do substrato e do transistor	83
4.4	Estabilização do transistor	85
4.5	Determinação dos parâmetros do modelo da linha de transmissão artificial 90	
4.6	Implementação das indutâncias e estimativa das dimensões do circuito... 93	
4.7	Redimensionamento dos parâmetros do modelo da linha de transmissão artificial.....	97
4.8	Redimensionamento das linhas de alta impedância	98
4.9	Projeto preliminar individual de cada estágio.....	100
4.9.1	Acesso com uma porta	100
4.9.2	Acesso com um dreno	102
4.9.3	Acesso com dois drenos	104
4.9.4	Resumo dos elementos obtidos	105
4.10	Circuitos de casamento de impedâncias.....	105
4.11	Circuitos de polarização.....	109
4.12	Integração dos estágios e otimização do circuito.....	110
4.13	Simulação não-linear.....	131
4.14	Leiaute final e lista de componentes	132
4.15	Conclusão.....	136
5	CONSTRUÇÃO E CARACTERIZAÇÃO DO PROTÓTIPO.....	138
5.1	Construção do protótipo <i>DVCO 3 GHz</i>	138
5.2	Medidas de parâmetros “S”	141
5.3	Medidas de frequência, potência e composição harmônica das oscilações em função das tensões de porta.	143
5.3.1	Sintonia da frequência de oscilação	144
5.3.2	Potência dissipada na terminação da linha de porta.....	148
5.4	Medidas de ruído de fase	148
5.5	Conclusão.....	156
6	CONCLUSÕES E SUGESTÕES	158
	ANEXO A – IDENTIDADE TRIGONOMÉTRICA I.....	160
	ANEXO B – IDENTIDADE TRIGONOMÉTRICA II	161
	ANEXO C – PARÂMETROS DE LINHAS DE TRANSMISSÃO ARTIFICIAIS	162
	ANEXO D – FREQUÊNCIA DE CORTE DA LINHA M-DERIVADA	164
	ANEXO E – INDUTÂNCIA DA LINHA M-DERIVADA	165
	ANEXO F – ARTIGO PARA O CONGRESSO IMOC2005	167
7	REFERÊNCIAS BIBLIOGRÁFICAS.....	172

LISTA DE FIGURAS

Fig. 2.1 Topologia básica do amplificador distribuído	6
Fig. 2.2 Modelo unilateral simplificado do transistor MESFET ou HEMT	6
Fig. 2.3 Amplificador distribuído ideal com o modelo unilateral do transistor de efeito de campo.	7
Fig. 2.4 Célula básica em "T" da linha de transmissão artificial com k constante	9
Fig. 2.5 Uma rede de duas portas terminadas por suas impedâncias imagens.....	10
Fig. 2.6 Duas redes ligadas em cascata utilizando impedância imagem.....	11
Fig. 2.7 Rede de duas portas com terminações de impedâncias imagens.....	12
Fig. 2.8 Redes A e B ligadas em cascata utilizando impedâncias imagens idênticas nas portas de interconexão.....	13
Fig. 2.9 Três possíveis tipos de topologias de células de duas portas: (a) Seção em L; (b) Seção em T e (c) Seção em π	15
Fig. 2.10 Seção em T	17
Fig. 2.11 Seção em π	20
Fig. 2.12 Seção em L passa-baixas.	21
Fig. 2.13 Seção em L da estrutura m-derivada.....	24
Fig. 2.14 Célula básica em "T" da linha de transmissão artificial m-derivada.....	24
Fig. 2.15 Impedância imagem meio-paralela da estrutura m-derivada $Z_{\pi m}$ em função da frequência normalizada.	26
Fig. 2.16 Topologia básica do oscilador distribuído com realimentação direta.....	28
Fig. 2.17 Topologia básica do oscilador distribuído com realimentação reversa.....	30
Fig. 2.18 Frequências de oscilação associadas a cada um dos transistores do oscilador distribuído com realimentação reversa se apenas um dos transistores estiver polarizado na região ativa de cada vez.	31
Fig. 2.19 Modelo simplificado do oscilador distribuído com realimentação reversa	33
Fig. 2.20 <i>Loop</i> com ganho G_r do modelo simplificado do DVCO.....	34
Fig. 2.21 <i>Loops</i> dos estágios r e s do modelo linear simplificado do DVCO.	39
Fig. 2.22 Representação geométrica da composição dos ganhos de <i>loop</i> aberto dos estágios r e s na frequência f_{osc1}	41
Fig. 2.23 Representação geométrica da composição dos ganhos de <i>loop</i> aberto dos estágios r e s nas frequências: (a) f_{osc1} e (b) f_{osc2}	41
Fig. 2.24 Modelo simplificado do DVCO com realimentação reversa com adição do transistor T_{12} modelado através do gerador de corrente vinculado em vermelho.	49
Fig. 2.25 Valores mínimos de transcondutâncias dos transistores para oscilação de um DVCO composto por 9 estágios, com $m=0,8$ e $Z_0=50 \Omega$	53
Fig. 3.1 Esquema elétrico do circuito do oscilador distribuído a ser dimensionado..	58
Fig. 3.2 Fluxograma da metodologia de projeto do DVCO.....	59
Fig. 3.3 Célula básica em "T" da linha de transmissão artificial m-derivada.....	66
Fig. 3.4 Modelo unilateral simplificado sem perdas do transistor MESFET ou HEMT com cápsula.	67
Fig. 3.5 Plano de simulação dos parâmetros de espalhamento de acesso de (a) porta S11 e de (b) dreno S22.....	68
Fig. 3.6 Esquema da simulação computacional para determinação do modelo equivalente do acesso às portas dos transistores T_{12} e T_2	69

Fig. 3.7 (a) Trecho curto de linha de transmissão de alta impedância; (b) respectivo modelo elétrico aproximado.	71
Fig. 3.8. Esquema elétrico utilizado para determinação dos elementos em paralelo com o acesso de uma porta de um determinado transistor.	74
Fig. 3.9. Esquema elétrico da terminação com meia-seção de célula de linha m-derivada.....	75
Fig. 3.10. Diagrama de blocos simplificado do esquema a ser computacionalmente simulado.....	77
Fig. 4.1. Características simuladas do transistor NE33284A: (a) polarização: I_{ds} X V_{ds} e (b) G_m AC (2GHz) X V_{gs} , $V_{ds}=2V$	85
Fig. 4.2. Círculos de estabilidade de (a) entrada, (b) saída e (c) módulo do ganho direto em 50 ohms do transistor NE33284A.	87
Fig. 4.3. Esquema elétrico utilizado para ajuste do circuito de estabilização do transistor NE33284A.	88
Fig. 4.4. Círculos de estabilidade de (a) entrada, (b) saída e (c) módulo do ganho direto em 50 ohms obtidos após a introdução do resistor de estabilização para o transistor NE33284A.	89
Fig. 4.5. Esquema elétrico utilizado para estimativa do circuito equivalente do nó de interligação entre as portas dos transistores T_{12} e T_2	91
Fig. 4.6. Gráfico obtido na simulação comparando as fases de S11, resultante da interconexão das portas dos transistores T_{12} e T_2 , e S22, referente ao respectivo circuito equivalente.....	92
Fig. 4.7. Esquema elétrico utilizado para refinamento do modelo elétrico relativo a uma linha de transmissão de alta impedância.....	94
Fig. 4.8. Resultados obtidos na simulação comparativa entre uma linha de alta impedância e seu modelo elétrico.....	94
Fig. 4.9. Esquema elétrico utilizado para redimensionar o circuito equivalente de acesso ao nó composto pelas portas dos transistores T_{12} e T_2	96
Fig. 4.10. Comparação entre as fases de S11, perda de retorno do nó de interconexão dos transistores T_{12} e T_2 e S22, perda de retorno de seu respectivo circuito equivalente.....	97
Fig. 4.11. Esquema elétrico utilizado para comparação da linha de transmissão de alta impedância e seu modelo de circuito elétrico equivalente.	99
Fig. 4.12. Resultados da simulação comparativa entre a linha de transmissão de alta impedância e seu modelo elétrico.....	99
Fig. 4.13 Esquema elétrico utilizado para determinação da topologia do nó com uma porta de transistor através da comparação com o modelo equivalente desejado.	101
Fig. 4.14 Comparação entre as fases de S11 e S22 obtidas na comparação entre a impedância de acesso de um nó conectado a uma porta de transistor e o modelo do mesmo.....	102
Fig. 4.15 Esquema elétrico utilizado para determinação da topologia do nó conectado a um dreno através da comparação com o modelo equivalente desejado.....	103
Fig. 4.16 Comparação entre as fases de S11 e S22 obtidas na comparação entre a impedância de acesso de um nó conectado a um dreno de transistor e o modelo do mesmo.....	103
Fig. 4.17 Esquema elétrico utilizado para otimização do circuito do nó conectado a dois drenos através da comparação com o modelo equivalente desejado.	104

Fig. 4.18 Comparação entre as fases de S11 e S22 obtidas na comparação entre a impedância de acesso de um nó conectado a dois drenos de transistores e do modelo do mesmo.....	105
Fig. 4.19 Esquema elétrico utilizado para o ajuste das dimensões das linhas da meia célula m-derivada.....	107
Fig. 4.20 Resultados obtidos na simulação comparativa entre as linhas da meia célula m-derivada implementadas e as ideais.	109
Fig. 4.21. Esquema de simulação em <i>loop</i> aberto do oscilador integrado preliminar.	111
Fig. 4.22. Detalhadamente do bloco contendo o transistor NE33284A.....	112
Fig. 4.23. Resultados obtidos com o circuito não otimizado, o transistor T ₁ conduzindo ($V_{gs}=0V$) e os demais cortados ($V_{gs}=-0,9V$).....	114
Fig. 4.24. Resultados obtidos com o circuito não otimizado, o transistor T ₁₂ conduzindo ($V_{gs}=0V$) e os demais cortados.	115
Fig. 4.25. Resultados obtidos com o circuito não otimizado, o transistor T ₂ conduzindo ($V_{gs}=0V$) e os demais cortados.	116
Fig. 4.26. Resultados obtidos com o circuito não otimizado, o transistor T ₃ conduzindo ($V_{gs}=0V$) e os demais cortados.	117
Fig. 4.27. Curvas do transistor NE334s01: (a) polarização: I_{ds} X V_{ds} e (b) Transcondutância AC (2GHz) X V_{gs} simuladas do transistor.....	120
Fig. 4.28 Resultados obtidos com o circuito otimizado, o transistor T ₁ conduzindo ($V_{gs}=0V$) e os demais cortados.	122
Fig. 4.29 Resultados obtidos com o circuito otimizado, o transistor T ₁₂ conduzindo ($V_{gs}=0V$) e os demais cortados.	123
Fig. 4.30 Resultados obtidos com o circuito otimizado, o transistor T ₂ conduzindo ($V_{gs}=0V$) e os demais cortados.	124
Fig. 4.31 Resultados obtidos com o circuito otimizado, o transistor T ₃ conduzindo ($V_{gs}=0V$) e os demais cortados.	125
Fig. 4.32 Esquema elétrico do oscilador distribuído <i>DVCO 3 GHz</i> com <i>loop</i> aberto após otimização.	128
Fig. 4.33 Esquema elétrico interno dos blocos X14 e X15 contendo o modelo do transistor NE334s01.....	130
Fig. 4.34 Leiaute final do protótipo <i>DVCO 3GHz</i> com a posição de montagem dos seus componentes.	134
Fig. 5.1 Foto do protótipo <i>DVCO 3 GHz</i>	140
Fig. 5.2 Foto do <i>DVCO 3 GHz</i> com circuito de polarização externo.....	140
Fig. 5.3. Comparação entre os ganhos de inserção medido e simulado entre a saída (porta 2) do <i>DVCO 3 GHz</i> e o acesso auxiliar da linha de porta (porta 4). Medida e simulação realizadas com os transistores cortados ($V_{gs}=-1V$) e $V_{ds}=2V$	142
Fig. 5.4. Comparação entre as perdas de retorno medida e simulada na saída (porta 2) do <i>DVCO 3 GHz</i> , com os transistores cortados – $V_{gs}=-1V$ e $V_{ds}=2V$	142
Fig. 5.5. Comparação entre as perdas de retorno medida e simulada no acesso auxiliar da linha de porta (porta 4) do <i>DVCO 3 GHz</i> . Medida e simulação foram realizadas com os transistores cortados – $V_{gs}=-1V$ e $V_{ds}=2V$	143
Fig. 5.6 Frequência do oscilador em função da polarização dos transistores; medidas e simulações de balanceamento harmônico.	146
Fig. 5.7 Potência de saída do oscilador em função da condição de polarização dos transistores; medidas e simulações de balanceamento harmônico.	146

Fig. 5.8 Corrente total de polarização dos drenos dos transistores em função da condição de polarização: medidas e simulações de balanceamento harmônico.	146
Fig. 5.9 Nível de segunda harmônica; medidas e simulações de balanceamento harmônico.	147
Fig. 5.10 Nível de terceira harmônica; medidas e simulações de balanceamento harmônico.	147
Fig. 5.11 Medida de ruído de fase do sinal gerado por um oscilador.	149
Fig. 5.12 Esquema utilizado para medida de ruído de fase através de <i>injection locking</i>	150
Fig. 5.13 Espectro do sinal do DVCO com frequência central em 3 GHz, medido com filtro de 10 kHz, para três diferentes níveis de potência injetada.	151
Fig. 5.14 Espectro de saída do DVCO com frequência central em 1,0 GHz normalizado para uma banda de medida de 1 Hz.	152
Fig. 5.15 Espectro de saída do DVCO com frequência central em 1,7 GHz normalizado para uma banda de medida de 1 Hz.	153
Fig. 5.16 Espectro de saída do DVCO com frequência central em 2,3 GHz normalizado para uma banda de medida de 1 Hz.	153
Fig. 5.17 Espectro de saída do DVCO com frequência central em 3,0 GHz normalizado para uma banda de medida de 1 Hz.	153
Fig. 5.18 Ruído de fase de diversos VCOs comerciais a @100kHz.	155
Fig. C.1 Células básicas de linhas de transmissão artificiais: (a) m-derivada; (b) k-constante	162

LISTA DE TABELAS

Tabela 2.1. Freqüências características de cada transistor de DVCO de 9 estágios, para diferentes valores de m .	38
Tabela 2.2. Fase crítica $\theta_{mi(crit)}$ das células de atraso quando os s-ésimo e r-ésimo transistores estão polarizados na região ativa para um oscilador de nove estágios.	46
Tabela 2.3. Fase de cada célula de atraso θ_{mi} na condição de oscilação para apenas um transistor ativo de cada vez.	47
Tabela 2.4. Fase crítica das células de atraso quando os s-ésimo e r-ésimo transistores estão polarizados na região ativa para um oscilador de nove estágios.	49
Tabela 2.5. Atraso de fase de cada célula da linha de transmissão artificial na freqüência de oscilação em função do estágio polarizado na região ativa.	50
Tabela 2.6. Transcondutância máxima requerida de cada transistor de um oscilador distribuído com realimentação reversa do exemplo da Fig. 2.25.	53
Tabela 4.1. Especificações para o projeto do protótipo do oscilador.	81
Tabela 4.2. Freqüência de oscilação dos três primeiros estágios e do transistor cruzado para $m=1$.	82
Tabela 4.3. Características elétricas do transistor NE33284A.	83
Tabela 4.4. Transcondutância mínima requerida de cada transistor para DVCO ideal sem perdas com $m=1$.	84
Tabela 4.5. Freqüências características de oscilação de cada um dos transistores previstas pelo modelo linear, atualizadas devido às alterações de f_c para 2,86 GHz e m para 0,81.	98
Tabela 4.6. Parâmetros iniciais utilizados para a otimização do oscilador distribuído.	100
Tabela 4.7. Elementos em paralelo com cada nó do circuito.	105
Tabela 4.8. Elementos da meia célula m -derivada de casamento de impedâncias.	108
Tabela 4.9. Parâmetros do oscilador sem otimização.	118
Tabela 4.10. Características elétricas do transistor NE334s01.	120
Tabela 4.11. Parâmetros do oscilador após otimização.	126
Tabela 4.12. Resultados das simulações de balanceamento harmônico.	131
Tabela 4.13. Componentes do circuito otimizado do DVCO 3 GHz.	135
Tabela 5.1. Medidas de freqüência de oscilação, potência de saída e níveis de 2ª e 3ª harmônicas em função de diferentes condições de polarização dos 4 transistores do protótipo DVCO 3 GHz, para $V_{ds} = +2V$.	145
Tabela 5.2. Comparação entre as potências na terminação da linha de porta medida e simulada.	148
Tabela 5.3. Ruído de fase do protótipo DVCO 3 GHz a @100kHz.	154
Tabela 5.4. Características de alguns VCOs comerciais e do DVCO 3 GHz.	155
Tabela 6.1. Resumo dos resultados obtidos com o protótipo DVCO 3 GHz.	159

LISTA DE SIGLAS E ABREVIATURAS

FET	<i>Field effect transistor</i>
MESFET	<i>Metal Semiconductor Field Effect Transistor</i>
HEMT	<i>High Electron Mobility Transistor</i>
PHEMT	<i>Pseudomorphic High Electron Mobility Transistor</i>
MIC	<i>Microwave Integrated Circuits</i>
MMIC	<i>Monolithic Microwave Integrated Circuits</i>
DVCO	<i>Distributed Voltage Controlled Oscillator</i>
DC	<i>Direct Current</i>
SMD	<i>Surface Mounted Device</i>
LME	Laboratório de Microeletrônica
VCO	<i>Voltage Controlled Oscillator</i>
PLL	<i>Phased Locked Loop</i>

LISTA DE SÍMBOLOS

L_g	Indutância da linha de transmissão artificial de porta
L_d	Indutância da linha de transmissão artificial de dreno
C_{gs}	Capacitância porta-fonte
R_{gs}	Resistência porta-fonte
R_g	Resistência de terminação da linha de transmissão artificial de porta
R_d	Resistência de terminação da linha de transmissão artificial de dreno
C_{ds}	Capacitância dreno-fonte
R_{ds}	Resistência dreno-fonte
g_m	Transcondutância do transistor
V	Tensão elétrica
T	Transistor
n	Número de estágios de uma estrutura distribuída
L^*	Indutância distribuída
C^*	Capacitância distribuída
dx	Elemento infinitesimal de comprimento
k	Produto das impedâncias série e paralelo da linha de transmissão artificial
Z_{i1}	Impedância imagem da porta 1 de uma rede de 2 portas
Z_{i2}	Impedância imagem da porta 2 de uma rede de 2 portas
Z_g	Impedância do gerador
Z_r	Impedância da carga
Z_0	Impedância de referência do sistema
Z_{1s}	Impedância vista na porta 1 com a porta 2 em curto-circuito
Z_{2s}	Impedância vista na porta 2 com a porta 1 em curto-circuito
Z_{1o}	Impedância vista na porta 1 com a porta 2 em aberto
Z_{2o}	Impedância vista na porta 2 com a porta 1 em aberto
γ	Fator de propagação de uma linha de transmissão uniforme
θ	Fator de propagação imagem de uma linha de transmissão artificial
θ_r	Componente real do fator de propagação imagem de uma linha de transmissão artificial

θ_i	Componente imaginária do fator de propagação imagem de uma linha de transmissão artificial
I	Corrente elétrica
Z	Impedância do braço em série de uma célula de rede distribuída
y	Admitância do braço em paralelo de uma célula de rede distribuída
Z_L	Impedância imagem da célula de rede distribuída em L
Z_π	Impedância imagem da célula de rede distribuída em π
Z_T	Impedância imagem da célula de rede distribuída em T
L	Indutância concentrada
C	Capacitância concentrada
ω	Frequência angular
ω_c	Frequência angular de corte de uma linha de transmissão artificial
m	Índice de multiplicação da estrutura de linha de transmissão artificial m-derivada
j	$\sqrt{-1}$
ω_0	Frequência angular de ressonância do zero da estrutura de linha de transmissão artificial m-derivada
$Z_{\pi m}$	Impedância imagem da célula em π da estrutura de linha de transmissão artificial m-derivada
θ_{mi}	Parte imaginária do fator de transmissão imagem de uma estrutura de linha de transmissão artificial m-derivada
V_{gs}	Tensão de polarização porta-fonte de transistor FET
r	Índice referente ao estágio do oscilador distribuído
s	Índice referente ao estágio do oscilador distribuído, maior do que r
$\hat{G}_r$	Ganho, na forma fasorial, de <i>loop</i> aberto quando o transistor do estágio r está polarizado na região ativa
P	Nó elétrico do circuito do oscilador distribuído
Q	Nó elétrico do circuito do oscilador distribuído
φ	Fase de <i>loop</i> aberto do oscilador distribuído
q	Número inteiro positivo
$\Delta\varphi$	Diferença de fase de <i>loop</i> aberto entre estágios do oscilador distribuído
$\Delta\varphi_{crit}$	Diferença crítica de fase de <i>loop</i> aberto entre estágios do oscilador

	distribuído
l_{LT}	Comprimento de uma microlinha de transmissão
w_{LT}	Largura de uma microlinha de transmissão
LT	Microlinha de transmissão
C_g	Capacitor concentrado da linha de transmissão artificial de porta do DVCO
C_d	Capacitor concentrado da linha de transmissão artificial de dreno do DVCO
V_g	Tensão de polarização aplicada à porta do transistor FET
R	Resistor
C_s	Capacitor em série com a linha de acesso de porta do DVCO
C_f	Capacitor de filtragem das tensões de polarização do DVCO
C_{dd}	Capacitância da célula em L m-derivada da linha artificial de transmissão de dreno do oscilador distribuído
C_{gg}	Capacitância da célula em L m-derivada da linha artificial de transmissão de porta do oscilador distribuído
C_{sd}	Capacitância em série da linha artificial de dreno do DVCO
C_{sg}	Capacitância em série da linha artificial de porta do DVCO
L_{Tr}	Microlinha de transmissão de realimentação do DVCO
f_{min}	Frequência mínima de oscilação do DVCO
f_{max}	Frequência máxima de oscilação do DVCO
H	Espessura de substrato
ϵ_r	Constante dielétrica relativa de substrato
$GaAs$	Arseneto de Gálio
C_{g_pkg}	Capacitância de porta da cápsula do transistor
C_{d_pkg}	Capacitância de dreno da cápsula do transistor
L_{g_pkg}	Indutância de porta do transistor
L_{d_pkg}	Indutância de dreno do transistor
f	Frequência
λ	Comprimento de onda
c	Velocidade da luz no vácuo
C_{LT}	Capacitância de terminação equivalente de uma linha de transmissão

L_{LT}	Indutância equivalente de uma linha de transmissão
ϵ_{eff}	Constante dielétrica efetiva de uma linha de transmissão
S11	Parâmetro S de reflexão na porta 1
S22	Parâmetro S de reflexão na porta 2
S33	Parâmetro S de reflexão na porta 3
S44	Parâmetro S de reflexão na porta 4
S31	Parâmetro S de transmissão da porta 1 para a porta 3
S21	Parâmetro S de transmissão da porta 1 para a porta 2
x	Fator de divisão da tensão de porta dos transistores do DVCO
V_{ds}	Tensão de polarização dreno-fonte de transistor FET
Re	Resistor de estabilização dos transistores do oscilador distribuído
Ree	Resistor de estabilização de dreno do transistor T1 do protótipo <i>DVCO 3</i>
	<i>GHz</i>
BW	Largura de faixa de frequência
f_0	Frequência de oscilação
f_m	Deslocamento de frequência em relação à portadora para medida do ruído de fase
P_0	Potência de oscilação de saída
P_m	Potência medida de ruído de fase na frequência $f_0 + f_m$ com um filtro de largura de faixa BW
P_L	Potência de uma fonte externa de sincronismo injetada num oscilador
$L(f_m)$	Ruído de fase na frequência $f_m + f_0$
p	Índice da condição de polarização do circuito

PROJETO DE OSCILADORES DE MICROONDAS DISTRIBUÍDOS COM REALIMENTAÇÃO REVERSA

1 INTRODUÇÃO

A demanda por circuitos de microondas em faixa larga de frequência tem aumentado nos últimos anos. No entanto, os osciladores controlados por tensão – VCOs, comercialmente disponíveis têm faixas de sintonia limitadas em aproximadamente uma oitava.

Um tipo de oscilador sintonizável que possibilita sintonia em faixa larga de microondas é aquele que utiliza como ressonador a esfera YIG (*yttrium-iron-garnet*). A sintonia desse tipo de oscilador é feita através de um eletroímã, usado para variar o campo magnético que altera a frequência de ressonância da esfera YIG. Como consequência, o tempo de reposta da frequência de oscilação ao sinal de controle fica limitado pela resposta do eletroímã, sendo muito maior do que o de osciladores controlados por tensão. Outra desvantagem é a impossibilidade até o momento implementá-lo em tecnologia MMIC.

Com o objetivo de obter faixa larga de oscilação, Skvor e Divina [1] propuseram em 1992 uma topologia de oscilador baseada na realimentação reversa do amplificador distribuído. O circuito obtido é denominado oscilador distribuído controlado por tensão – DVCO – com realimentação reversa. O modelo teórico proposto [1] tinha a possibilidade de ter sua frequência sintonizada numa faixa de aproximadamente uma década.

Três anos depois, aplicando os princípios desenvolvidos, Skvor e Divina realizaram um ensaio preliminar e publicaram um artigo [3] relatando a implementação de um protótipo em circuito híbrido utilizando transistores FET. Esse oscilador distribuído foi projetado para oscilar numa faixa de frequência relativamente baixa, entre 52 e 112 MHz, para diminuir o efeito de parasitas.

Em 1998, eles descreveram outra implementação prática [2] através de um circuito híbrido utilizando transistores FET, desta vez em frequência de microondas, oscilando entre 1,0 e 3,8 GHz.

Em 1999, Kleeveland e outros [4] propuseram uma aplicação ligeiramente diferente de osciladores distribuídos. O objetivo, neste caso, era obter frequências de oscilação relativamente altas em tecnologia CMOS. Este oscilador utilizava realimentação direta de amplificadores distribuídos, obtendo a notável frequência de 17 GHz para uma tecnologia de 0,18 μm , porém não podia ser sintonizado. Mais tarde, Hajimiri e Wu [5]-[6] propuseram duas diferentes técnicas de sintonia de osciladores distribuídos com realimentação direta em silício, utilizando o termo DVCO (*Distributed Voltage Controlled Oscillator*) para descrever este tipo de circuito. Em 2002, Hajimiri e Wu [8] registraram a patente de osciladores distribuídos sintonizáveis.

Esta dissertação foi direcionada ao desenvolvimento e validação de metodologia de projeto de DVCOs com realimentação reversa para obtenção de sintonia em faixa larga de frequência, empregando transistores de efeito de campo dos tipos MESFET (*Metal Semiconductor Field Effect Transistor*) e PHEMT (*Pseudomorphic High Electron Mobility Transistor*), bem como ao uso de tecnologias MIC e MMIC.

Foram estudados os fundamentos de operação do oscilador distribuído, definindo-se uma metodologia de projeto e avaliando-se as potencialidades e limitações deste tipo de circuito. A análise linear proposta por Skvor e outros [1] e [2] foi estendida para o caso de DVCOs compostos por linhas de transmissão artificiais do tipo m-derivada, o que permite considerar os parasitas indutivos dos acessos de porta e dreno dos transistores. Além disso, foram propostas expressões originais para os cálculos das transcondutâncias mínimas dos transistores que permitem condição de oscilação do circuito.

A metodologia proposta definiu critérios para implementar a topologia deste circuito através de componentes reais, considerando-se os parasitas associados aos mesmos. A técnica desenvolvida foi aplicada ao projeto de um oscilador distribuído para a faixa de frequência de 1 a 3 GHz, no qual a otimização computacional foi utilizada para compensar a degradação do circuito devido aos parasitas.

O oscilador projetado foi fabricado através da tecnologia de circuito integrado híbrido em substrato flexível de microondas. O protótipo obtido foi caracterizado

quanto à faixa de frequência de operação, potência de saída, nível de harmônicas e ruído de fase.

Os resultados experimentais obtidos foram comparados aos previstos em simulação computacional para fins de validação da técnica de projeto desenvolvida.

1.1 Objetivos

Os objetivos do projeto de mestrado são sintetizados a seguir:

- Desenvolver uma metodologia de projeto de osciladores distribuídos de microondas, composta pelo projeto de um amplificador distribuído e do circuito de realimentação positiva associado ao mesmo;
- Aplicar a técnica desenvolvida ao projeto de um oscilador distribuído de microondas a PHMET, a ser construído por meio de tecnologia de circuito híbrido de microondas.
- Caracterizar o oscilador projetado através de medidas de frequência de oscilação, potência de saída, nível de harmônicas e ruído de fase em função das condições de polarização do circuito.
- Comparar os resultados experimentais àqueles da simulação computacional do oscilador, para discussão da validade e aplicabilidade do procedimento de projeto proposto.
- Analisar o desempenho deste oscilador quanto a ruído de fase, comparando-o a outras topologias de oscilador comercialmente disponíveis.

1.2 Descrição dos capítulos

A seguir, descreveremos brevemente o conteúdo encontrado em cada um dos capítulos que se seguirão.

No capítulo 2 são descritos os fundamentos teóricos de funcionamento de amplificador distribuído e das linhas de transmissão artificiais, presentes em sua topologia. São analisadas e comparadas duas possíveis formas de realimentação positiva do amplificador distribuído descritas na literatura que propiciam oscilação. Finalmente é feita uma análise teórica mais detalhada de funcionamento da topologia

de oscilador distribuído que utiliza realimentação reversa, cuja metodologia de projeto é o tema central deste trabalho.

No capítulo 3 é apresentada a metodologia de projeto proposta para DVCOs de microondas com realimentação reversa. São indicados os cálculos para obtenção dos parâmetros do circuito ideal a partir das expressões desenvolvidas no capítulo 2. De posse destes parâmetros, são definidos critérios para seleção de componentes e os passos para implementação do circuito ideal através de microlinhas de transmissão e componentes concentrados, considerando-se as respectivas parasitas.

No capítulo 4 utiliza-se a metodologia definida no capítulo 3, com o intuito de validação, para o projeto de um DVCO com realimentação reversa de 1 a 3 GHz utilizando tecnologia híbrida. São apresentadas as especificações, os passos intermediários do projeto com as respectivas simulações computacionais, bem como os parâmetros e as simulações finais do circuito obtido.

No capítulo 5 é descrita a construção do protótipo do circuito projetado, o qual intitulou-se *DVCO 3 GHz*. Em seguida, são apresentadas as medidas realizadas, bem como os resultados obtidos. Estes são comparados às especificações do circuito e às simulações realizadas no capítulo 4.

No capítulo 6 são apresentadas as conclusões do trabalho. A partir dos resultados obtidos, realiza-se a análise crítica da topologia de DVCOs com realimentação reversa e da metodologia de projeto proposta. Finalmente são fornecidas sugestões para futuros trabalhos.

2 FUNDAMENTOS TEÓRICOS

Apresentaremos primeiramente os fundamentos necessários ao projeto de um DVCO, as topologias existentes na literatura, bem como aquela escolhida para o nosso projeto.

Considerando-se que a parte ativa do DVCO é constituída por um amplificador distribuído, analisaremos inicialmente esse tipo de circuito, bem como linhas de transmissão artificiais, utilizadas em sua topologia. Em seguida, abordaremos o oscilador distribuído propriamente dito.

2.1 Amplificador Distribuído

O amplificador distribuído é um circuito que opera em faixa de frequência ultra-larga. Ele foi proposto inicialmente com tecnologia de válvulas para possibilitar a amplificação de sinais de vídeo por Percival [10].

Desde então, têm-se obtido amplificadores distribuídos com faixas de frequência de operação cada vez mais largas, empregando transistores de microondas, os quais surgiram com a evolução da tecnologia de dispositivos a estado sólido.

Com o amadurecimento da tecnologia de Circuitos Integrados Monolíticos de Microondas – MMICs, intensificou-se o desenvolvimento de amplificadores distribuídos, dado que essa tecnologia reduz os efeitos parasitas associados às conexões entre os elementos ativos e passivos que constituem o circuito, possibilitando aumentar sua faixa de frequência de operação [11]-[12].

A topologia do amplificador distribuído ideal é relativamente simples. Ele é constituído por duas linhas de transmissão artificiais – de porta e de dreno, nas quais são conectados transistores periodicamente distribuídos.

A topologia básica do amplificador distribuído é apresentada na Fig. 2.1. Considerando-se o modelo unilateral simplificado do transistor de efeito de campo (MESFET ou HEMT) da Fig. 2.2, obtém-se o modelo simplificado do amplificador distribuído mostrado na Fig. 2.3.

Fig. 2.1 Topologia básica do amplificador distribuído

Fig. 2.2 Modelo unilateral simplificado do transistor MESFET ou HEMT

Fig. 2.3 Amplificador distribuído ideal com o modelo unilateral do transistor de efeito de campo.

Observa-se na Fig. 2.3 que o amplificador distribuído comporta-se como duas linhas de transmissão artificiais finitas, acopladas através da transcondutância dos transistores. A linha de transmissão artificial de porta é composta por n células básicas, sendo cada uma composta pela indutância L_g , pela capacitância porta-fonte do transistor C_{gs} e pela resistência porta-fonte R_{gs} . Analogamente, as células básicas da linha de transmissão artificial de dreno são formadas pelas indutâncias de dreno L_d , pelas capacitâncias dreno-fonte do transistor C_{ds} e pelas condutâncias dreno-fonte $1/R_{ds}$.

O sinal de entrada do amplificador distribuído propaga-se através da linha artificial de porta até dissipar-se na resistência de terminação R_g . Os transistores amplificam esta onda viajante e transferem-na para a linha artificial de dreno, onde ela se propaga em ambos os sentidos. As linhas de transmissão artificiais de porta e dreno são projetadas de modo que os sinais que caminham pela linha de dreno no sentido direto — para a direita na Fig. 2.1, em direção à saída do amplificador,

somam-se em fase, o que garante máximo ganho e uma resposta em frequência plana. Já as parcelas de sinal de dreno que caminham no sentido reverso — para a esquerda na Fig. 2.1, combinam-se fora de fase, cancelando-se parcialmente. O resistor de terminação R_d tem a função de dissipar o resíduo desses sinais.

Para a correta operação do amplificador distribuído é necessário que a velocidade de propagação das linhas de dreno e porta sejam iguais. É preciso, ainda, que os comprimentos elétricos entre os transistores em ambas as linhas sejam idênticos.

O amplificador distribuído permite somar o ganho dos transistores sem comprometer a faixa de frequência do amplificador, pois as capacitâncias intrínsecas e parasitas dos dispositivos ativos, responsáveis pela limitação de faixa de frequência de outros tipos de amplificadores, tornam-se parte das linhas de transmissão artificiais. Desta forma, é possível obter faixas de frequência mais largas do que seria possível com topologias convencionais de amplificadores de microondas, nas quais o uso de transistores em paralelo aumenta o ganho, mas reduz a faixa de frequência de operação devido ao aumento do valor da capacitância total de entrada da associação de transistores.

Infelizmente, o aumento do número dos transistores em amplificadores distribuídos também eleva o valor das perdas das linhas de transmissão artificiais, as quais são modeladas pelas resistências porta-fonte R_{gs} e dreno-fonte R_{ds} (Fig. 2.2). Este compromisso leva a um número ótimo de transistores para atingir o máximo ganho possível. Em geral, para transistores de microondas comercialmente disponíveis, esse número varia de quatro a seis transistores.

2.2 Linhas de transmissão artificiais [11]

Uma linha de transmissão ideal sem perdas tem faixa de frequência de passagem infinita e impedância constante, podendo ser modelada por um conjunto infinito de células infinitesimais em cascata, composta por indutores em série e capacitores em paralelo ligados ao terra, conforme ilustrado na Fig. 2.4.

Fig. 2.4 Célula básica em "T" da linha de transmissão artificial com k constante

Sendo:

L^* = indutância da linha de transmissão por unidade de comprimento;

C^* = capacitância da linha de transmissão por unidade de comprimento;

dx = unidade infinitesimal de comprimento.

As linhas de transmissão artificiais utilizadas em amplificadores distribuídos são compostas por um número finito de células cascadeadas, compostas por indutâncias e capacitâncias concentradas, de valor finito.

Nesse caso, não teremos mais uma faixa de frequência infinita, mas uma estrutura passa-baixas denominada k -constante.

2.2.1 Impedância imagem

Em amplificadores e osciladores distribuídos, as linhas de transmissão artificiais são normalmente analisadas como redes de células de 2 portas ligadas em cascata, de forma que a saída de uma célula alimenta a entrada da próxima.

Nesta interconexão é importante ter cada célula operando com impedâncias apropriadas para que as condições de máxima transferência de potência sejam obtidas em toda a faixa de frequência. As impedâncias de terminação da rede devem ser selecionadas de forma a permitir que as características de cada célula possam ser determinadas separadamente.

Estas condições são obtidas através da chamada conexão de impedância imagem, como ilustrado na Fig. 2.5.

Fig. 2.5 Uma rede de duas portas terminadas por suas impedâncias imagens.

A rede opera com terminações Z_{i1} e Z_{i2} , as quais são escolhidas de forma que em cada um dos terminais, a impedância é a mesma vista de qualquer um dos sentidos. Estas impedâncias serão designadas por uma letra subscrita “i” de “imagem”, com um número adicional identificando o terminal, se necessário.

Em geral, as redes são compostas de forma que suas terminações possuam impedâncias imagens aproximadamente reais na faixa de frequência de passagem do sinal. Nestas condições, a terminação imagem é aproximadamente igual à impedância de casamento conjugado, a qual propiciará máxima transferência de potência. Além disso, através do projeto apropriado das redes, as impedâncias imagens podem ser alteradas para obter casamento de impedâncias.

A Fig. 2.6 mostra duas células, A e B, de duas portas conectadas em cascata, terminadas por impedâncias imagens em ambos os acessos. O gerador possui impedância Z_g e a carga possui impedância Z_r . A rede A foi projetada para ter impedância imagem $Z_{i1}=Z_g$ na sua entrada. Os acessos de interconexão das duas redes apresentam a mesma impedância imagem Z_{i2} . A rede B é projetada para ter

impedância imagem de saída Z_{i3} igual à impedância de carga Z_r . Este método de conexão pode obviamente ser estendido a qualquer número de células de duas portas.

Fig. 2.6 Duas redes ligadas em cascata utilizando impedância imagem.

Se as redes forem simétricas, as impedâncias imagens de entrada e saída são as mesmas. Neste caso, utiliza-se o termo impedância característica, identificada pelo símbolo Z_0 . Uma linha de transmissão uniforme é um exemplo familiar deste tipo de estrutura.

As impedâncias imagens de uma rede podem ser determinadas através da média geométrica entre suas impedâncias de curto-circuito e de circuito aberto, conforme expresso por (2.1) e (2.2), e deduzido em [13]:

$$Z_{i1} = \sqrt{Z_{1o} \cdot Z_{1s}} \quad , \quad (2.1)$$

$$Z_{i2} = \sqrt{Z_{2o} \cdot Z_{2s}} \quad ; \quad (2.2)$$

em que Z_{1s} é a impedância vista na porta 1 com a porta 2 em curto-circuito e Z_{1o} é a impedância vista através da porta 1 com a porta 2 em aberto. As definições para a porta 2 (Z_{2s} e Z_{2o}) são análogas às da porta 1.

2.2.2 Fator de propagação imagem

De uma forma similar ao que é feito com as linhas de transmissão uniformes, em que um fator de propagação γ é definido por unidade de comprimento, definimos um fator de propagação θ para as linhas de transmissão artificiais. Devido à natureza concentrada das linhas de transmissão artificiais, θ é definido por célula.

Dada uma rede de duas portas terminada por suas impedâncias imagens ilustrada na Fig. 2.7, é possível determinar o fator de propagação imagem θ . Trata-se de um número complexo, cuja parte real θ_r determina as perdas da rede e a parte imaginária θ_i determina o atraso de fase inserido pela rede (2.3), quando terminada por suas impedâncias imagens:

$$\theta = \theta_r + j\theta_i \quad . \quad (2.3)$$

Desvios em relação ao caso ideal, ou seja, quando as terminações não forem exatamente as impedâncias imagens, podem ser expressos em termos de coeficientes de reflexão.

Fig. 2.7 Rede de duas portas com terminações de impedâncias imagens.

O fator de propagação θ é definido em termos de tensões e correntes de entrada e saída, como expresso na expressão:

$$e^\theta = \sqrt{\frac{V_1 i_1}{V_2 i_2}} \quad , \quad (2.4)$$

em que as tensões V e correntes I são obtidas com as terminações imagem Z_i .

A definição do fator de propagação pode também ser dada em termos de impedâncias:

$$e^\theta = \frac{i_1}{i_2} \sqrt{\frac{Z_{i1}}{Z_{i2}}} = \frac{V_1}{V_2} \sqrt{\frac{Z_{i2}}{Z_{i1}}} \quad . \quad (2.5)$$

Através da dedução apresentada em [13], a expressão (2.5) pode ser manipulada até obter-se:

$$\tanh \theta = \sqrt{\frac{Z_{1s}}{Z_{1o}}} = \sqrt{\frac{Z_{2s}}{Z_{2o}}} . \quad (2.6)$$

Para determinarmos a expressão do fator de propagação resultante da associação em cascata de redes, analisaremos a Fig. 2.8, onde duas redes A e B possuem impedâncias imagens idênticas em suas interconexões.

Fig. 2.8 Redes A e B ligadas em cascata utilizando impedâncias imagens idênticas nas portas de interconexão.

Para a rede de duas portas A, teremos o fator de propagação θ_A , definido de forma que:

$$e^{\theta_A} = \sqrt{\frac{V_1 i_1}{V_2 i_2}} . \quad (2.7)$$

Para a rede de duas portas B, teremos o fator de propagação θ_B , definido de forma que:

$$e^{\theta_B} = \sqrt{\frac{V_2 i_2}{V_3 i_3}} . \quad (2.8)$$

O produto de (2.7) por (2.8) resulta em:

$$e^{\theta_A} \cdot e^{\theta_B} = e^{\theta_A + \theta_B} = \sqrt{\frac{V_1 i_1}{V_3 i_3}} , \quad (2.9)$$

no qual se expressa o fator de propagação da associação em cascata das redes A e B, ou seja, o fator de propagação resultante é igual a soma entre θ_A e θ_B .

Extrapolando-se para o caso de associação de um número qualquer n de redes de 2 portas, teremos (2.10).

$$\theta = \theta_A + \theta_B + \theta_C + \dots + \theta_n \quad (2.10)$$

Separando os fatores de propagação imagem em suas partes reais e imaginárias, obtém-se (2.11) e (2.12):

$$\theta_r = \theta_{rA} + \theta_{rB} + \theta_{rC} + \dots + \theta_{rn} \quad (2.11)$$

$$\theta_i = \theta_{iA} + \theta_{iB} + \theta_{iC} + \dots + \theta_{in} \quad (2.12)$$

É possível também provar através do teorema da reciprocidade que o fator de propagação imagem de uma rede de 2 portas tem o mesmo valor, independentemente do sentido de transmissão [13].

É importante frisar que essas equações (2.10)-(2.12) só têm validade se a terminação pela impedância imagem nas duas portas de cada rede for obedecida.

2.2.3 Características de seções em L, T e π

As topologias de células de 2 portas de interesse para o projeto de amplificadores e osciladores distribuídos são as seções em L, T e π (Fig. 2.9), por isso, apresentaremos a seguir as expressões de impedâncias imagens e fatores de transmissão associados às mesmas.

As impedâncias dos braços em série são identificadas por z e as admitâncias dos braços em paralelo por y .

Fig. 2.9 Três possíveis tipos de topologias de células de duas portas: (a) Seção em L; (b) Seção em T e (c) Seção em π .

2.2.3.1 Seção em L

Observando a Fig. 2.9a podemos determinar os valores das impedâncias de curto-circuito e circuito aberto vistas nos acessos da seção em L. Teremos, então:

$$Z_{1o} = \frac{z}{2} + \frac{2}{y} \quad , \quad (2.13)$$

$$Z_{1s} = \frac{z}{2} \quad , \quad (2.14)$$

$$Z_{2o} = \frac{2}{y} \quad , \quad (2.15)$$

$$Z_{2s} = \frac{2z}{zy + 4} \quad . \quad (2.16)$$

O valor da impedância imagem Z_{i1} vista pela esquerda da estrutura em L (Fig. 2.9a) é obtida através da substituição dos valores das impedância de curto-circuito Z_{1s} por (2.14) e circuito aberto Z_{1o} por (2.13) da estrutura em L em (2.1). Sua expressão é dada por:

$$Z_{i1} = \sqrt{\frac{z}{2} \cdot \left(\frac{z}{2} + \frac{2}{y}\right)} = \sqrt{\frac{z}{y} \left(1 + \frac{zy}{4}\right)} \quad . \quad (2.17)$$

Já a impedância imagem Z_{i2} da Fig. 2.9a vista pela direita pode ser obtida através substituição dos valores das impedância de curto-circuito Z_{2s} por (2.16) e circuito aberto Z_{1o} por (2.15) da estrutura em L em (2.2). Sua expressão é:

$$Z_{i2} = \sqrt{\frac{2z}{zy + 4} \cdot \frac{2}{y}} = \sqrt{\frac{z}{y} \left(1 + \frac{zy}{4}\right)^{-1}} \quad . \quad (2.18)$$

A expressão do fator de propagação imagem θ_L pode ser obtida através da substituição das impedâncias de curto-circuito Z_{1s} por (2.14) e circuito aberto Z_{1o} por (2.13) da estrutura em L em (2.6). Sua expressão é dada por:

$$\tanh \theta_L = \sqrt{\frac{z/2}{z/2 + 2/y}} = \sqrt{\left(1 + \frac{4}{zy}\right)^{-1}} \quad . \quad (2.19)$$

Note que, devido ao teorema da reciprocidade, o mesmo resultado seria obtido se fossem utilizados os valores de curto-circuito e circuito aberto da porta 2, Z_{1s} e Z_{1o} , respectivamente.

2.2.3.2 Seção em T

Agora suponha que conectemos duas estruturas em L de forma espelhada, como ilustrado na Fig. 2.10, terminando a célula resultante com suas impedâncias imagens em ambas as extremidades.

A estrutura resultante é simétrica e apresenta uma topologia em T, com impedância imagem Z_T . Ela também é chamada de meio-série, já que os seus elementos mais externos encontram-se em série.

Fig. 2.10 Seção em T

Como as duas seções em L espelhadas estão terminadas em ambas as extremidades por suas impedâncias imagens, a expressão da impedância imagem Z_T da seção em T é a mesma da impedância imagem Z_{i1} da seção L dada por (2.17) e repetida a seguir:

$$Z_T = \sqrt{\frac{z}{y} \left(1 + \frac{zy}{4}\right)} \quad . \quad (2.20)$$

Para determinar a expressão do fator de propagação da seção em T, o qual denominamos θ , basta notarmos que o mesmo será o dobro daquele da seção em L. Desta forma obtemos, a partir de (2.19) a expressão:

$$\tanh \frac{\theta}{2} = \sqrt{\left(1 + \frac{4}{zy}\right)^{-1}} \quad . \quad (2.21)$$

A expressão (2.21) pode ser simplificada, como demonstrado em [13], para a expressão:

$$\cosh \theta = 1 + \frac{zy}{2} \quad . \quad (2.22)$$

Para investigar o comportamento da expressão (2.22), expandimos θ em suas componentes real e imaginária e utilizamos a identidade hiperbólica, de forma a obter a seguinte expressão:

$$\cosh \theta = \cosh \theta_r \cos \theta_i + j \sinh \theta_r \sin \theta_i = 1 + \frac{zy}{2} . \quad (2.23)$$

Supondo que a impedância em série z e a admitância em paralelo y sejam puramente imaginárias, o produto zy será um número real. Portanto o produto (2.24) deve, necessariamente, resultar em zero:

$$\sinh \theta_r \sin \theta_i = 0 . \quad (2.24)$$

E, além disso, teremos que:

$$\cosh \theta_r \cos \theta_i = 1 + \frac{zy}{2} . \quad (2.25)$$

A expressão (2.24) mostra que ou θ_r é zero ou θ_i é um múltiplo inteiro de π . Consideraremos a expressão (2.25) em vista destas duas possibilidades.

A. Faixa de passagem ($\theta_r = 0$)

A condição $\theta_r = 0$ corresponde à faixa de passagem, já que não ocorre atenuação no sinal. Portanto $\cosh \theta_r = 1$, e a equação (2.26) exprime o atraso de fase da seção. Assim:

$$\cos \theta_i = 1 + \frac{zy}{2} , \quad \text{se } \theta_r = 0 . \quad (2.26)$$

Através da demonstração descrita no ANEXO A, e sabendo que θ_i é um número positivo, a expressão (2.26) pode ser modificada para (2.27), cujo formato será mais apropriado para utilização posterior:

$$\sin \frac{\theta_i}{2} = \frac{1}{2} \sqrt{-zy} , \quad \text{se } \theta_r = 0 . \quad (2.27)$$

Como a função cosseno é limitada entre +1 e -1, observa-se a partir de (2.26), que a condição de faixa de passagem é dada por:

$$-1 \leq \frac{zy}{4} \leq 0 \quad (2.28)$$

B. Faixa de atenuação

Se a equação (2.24) resulta em zero com θ_i igual a $-\pi$, 0 e $+\pi$, a parcela de atenuação θ_r não é necessariamente zero e o resultado é uma faixa de atenuação. Nestas condições existem duas possibilidades:

B.1 $\theta_i = 0$

Portanto $\cos \theta_i = 1$ e, a partir (2.25), obtemos a equação (2.29) que fornece a constante de atenuação imagem da seção:

$$\cosh \theta_r = 1 + \frac{zy}{2} \quad , \quad \text{se } \theta_i = 0 \quad . \quad (2.29)$$

B.2 $\theta_i = \pm \pi$

Portanto $\cos \theta_i = -1$ e, a partir de (2.25), obtemos:

$$\cosh \theta_r = -1 - \frac{zy}{2} \quad , \quad \text{se } \theta_i = \pm \pi \quad . \quad (2.30)$$

A princípio, observa-se que a faixa de atenuação seria dada pelo intervalo de frequências não contemplado pela expressão (2.28). No entanto, observa-se que a expressão (2.30) fornece uma restrição adicional, já que é necessário que o cosseno hiperbólico seja maior do que um. Portanto, a região da faixa de atenuação é:

$$\frac{zy}{4} < -1 \quad . \quad (2.31)$$

2.2.3.3 Seção em π

A seguir, considere-se a Fig. 2.11 que mostra as mesmas seções em L espelhadas e conectadas em cascata, formando uma seção simétrica em π . Agora a

impedância imagem no final é Z_{i2} , a qual é a impedância característica da seção π , a qual é chamada Z_π .

A impedância imagem Z_π é freqüentemente chamada de meio-paralela, já que os seus elementos mais externos encontram-se em paralelo.

Fig. 2.11 Seção em π

Como as duas seções em L espelhadas estão terminadas em ambas as extremidades por suas impedâncias imagens, a expressão da impedância da seção em π é a mesma da impedância imagem Z_{i2} da seção L dada por (2.18) e repetida a seguir:

$$Z_\pi = \sqrt{\frac{z}{y} \left(1 + \frac{zy}{4}\right)^{-1}} \quad (2.32)$$

Da mesma forma que ocorre com a seção em T, o fator de propagação da seção em π é o dobro daquele da seção em L. Portanto, os fatores de transmissão das seções em T e em π , o qual denominamos θ , são idênticos. E todas as expressões da análise do comportamento de θ (2.21)-(2.31) são aplicáveis à seção em π .

Observando as Fig. 2.9 notamos que as estruturas T e π são simétricas, isto é, suas impedâncias imagens de quaisquer dos dois lados são idênticas. Já a meia célula em L não é simétrica. E mais, ela possui a propriedade de transformar a impedância imagem série para a paralela, o que será especialmente útil para o casamento de impedâncias das linhas de transmissão artificiais dos amplificadores e osciladores distribuídos, como detalhado posteriormente.

2.2.4 Implementação das estruturas distribuídas através de indutores e capacitores

Os conceitos introduzidos no item 2.2.3 serão agora aplicados aos casos de interesse para o projeto de amplificadores e osciladores distribuídos, em que as impedâncias z e as admitâncias y são compostas por indutores e capacitores.

Serão apresentadas as estruturas de linhas de transmissão artificiais com estrutura k -constante e m -derivada.

A célula básica da estrutura k -constante é a versão concentrada da célula básica do modelo distribuído da linha de transmissão uniforme ideal apresentada na Fig. 2.4, composta por elementos infinitesimais.

A célula m -derivada, desenvolvida a partir da célula k -constante, é útil ao projeto de amplificadores e osciladores distribuídos, pois permite considerar indutâncias parasitas em série com os terminais de porta e dreno do transistor, as quais estão presentes na realização física do circuito.

Adicionalmente a estrutura m -derivada é utilizada para casamento de impedância de estrutura distribuída, diminuindo o efeito de descontinuidade da mesma em suas terminações.

2.2.4.1 Estrutura k -constante

Uma seção em L passa-baixas, conforme a ilustração da Fig. 2.12, é obtida a partir da associação de uma indutância $L/2$ em série e uma capacitância $C/2$ em paralelo.

Fig. 2.12 Seção em L passa-baixas.

Através da substituição dos valores z por $j\omega L$ e y por $j\omega C$ na desigualdade (2.28), podemos definir a faixa de passagem desta estrutura passa-baixas com sendo o intervalo:

$$0 \leq \frac{\omega^2 LC}{4} \leq 1 \quad . \quad (2.33)$$

Podemos, então, definir a frequência angular de corte desta estrutura:

$$\omega_c = \frac{2}{\sqrt{LC}} \quad . \quad (2.34)$$

Desta forma, a faixa de passagem pode ser expressa como:

$$0 \leq \omega \leq \omega_c \quad . \quad (2.35)$$

E a faixa de atenuação (2.36) compreenderá o intervalo de frequência excluído de (2.35).

$$\omega > \omega_c \quad . \quad (2.36)$$

Na transição da faixa de passagem para a de atenuação, a impedância imagem vai de real a imaginária. O fator de propagação, no entanto, muda de puramente imaginário para complexo em ω_c .

Analogamente ao que foi feito nas associações de seções em L espelhadas nas Fig. 2.10 e Fig. 2.11 pode-se associar em cascata de forma espelhada a seção passa-baixas em L (Fig. 2.12) para obtenção das seções passa-baixas em T e em π , as quais constituem as células básicas da linha de transmissão artificial k-constante.

Ela recebe este nome devido ao fato de o produto de suas impedâncias em série e em paralelo, aqui denominado k , ser independente da frequência. Assim:

$$z \cdot \frac{1}{y} = j\omega L \cdot \frac{1}{j\omega C} = \frac{L}{C} = k = cte \quad . \quad (2.37)$$

Substituindo z por $j\omega L$ e y por $j\omega C$ nas expressões (2.20) e (2.32) obtém-se, para a seção em L passa-baixas da Fig. 2.12, as expressões das impedâncias imagens Z_T e Z_π , respectivamente:

$$Z_T = \sqrt{\frac{L}{C} \left(1 - \frac{\omega^2}{\omega_c^2}\right)} \quad , \quad (2.38)$$

$$Z_\pi = \sqrt{\frac{L}{C} \left(1 - \frac{\omega^2}{\omega_c^2}\right)^{-1}} \quad . \quad (2.39)$$

O fator de transmissão imagem de uma célula k-constante em T ou em π na faixa de passagem pode ser obtido a partir da expressão (2.27), substituindo z por $j\omega L$ e y por $j\omega C$. Tal substituição resulta na expressão:

$$\text{sen} \frac{\theta_i}{2} = \frac{1}{2} \sqrt{\omega^2 LC} \quad , \quad \text{se} \quad \omega \leq \omega_c \quad . \quad (2.40)$$

Substituindo (2.34) em (2.40), obtemos a expressão (2.41), a qual será especialmente importante para a determinação da condição de fase de oscilação do oscilador distribuído com linhas de transmissão artificiais k-constante.

$$\theta_i = 2 \cdot \arcsen \frac{\omega}{\omega_c} \quad , \quad \text{se} \quad \omega \leq \omega_c \quad (2.41)$$

2.2.4.2 Estrutura m-derivada

A célula m-derivada é resultado de uma modificação daquela de k constante, descrita anteriormente. Na Fig. 2.13 apresentamos a ilustração de um seção em L da estrutura m-derivada, composta pelas indutância em série $L_m/2$, a capacitância em paralelo $C_m/2$ e a indutância em paralelo $2L_p$.

Fig. 2.13 Seção em L da estrutura m-derivada

Observa-se que, em relação à estrutura de k-constante, a indutância em série e a capacitância em paralelo são multiplicados por um fator m , tal que:

$$L_m = mL \quad , \quad (2.42)$$

$$C_m = mC \quad , \quad (2.43)$$

$$0 \leq m \leq 1 \quad . \quad (2.44)$$

Além disso, houve a introdução de uma indutância no braço em paralelo, a qual chamamos $2L_p$. A estrutura m-derivada é dimensionada de forma que sua impedância imagem meio-série Z_T seja idêntica, em qualquer frequência, àquela da estrutura k-constante. Para que isso seja possível, é necessário que a indutância L_p assumo o valor indicado pela expressão:

$$L_p = \frac{1-m^2}{4m} L \quad (2.45)$$

Associando em cascata duas seções em L de estrutura m-derivada espelhadas, obtemos uma célula em T, conforme ilustrado na Fig. 2.14.

Fig. 2.14 Célula básica em “T” da linha de transmissão artificial m-derivada

A ressonância da indutância L_p em série com a capacitância C_m provoca o aparecimento de um zero de transmissão na frequência ω_0 (2.46). Através da seleção de um valor adequado de m , é possível dimensionar ω_0 para assumir qualquer valor maior ou igual a ω_c :

$$\omega_0 = \frac{\omega_c}{\sqrt{1-m^2}} \quad (2.46)$$

A impedância imagem meio-paralela da estrutura m -derivada $Z_{\pi m}$ (Fig. 2.13) pode ser obtida a partir de (2.2). Utilizando as expressões das impedâncias Z_{o2} e Z_{s2} , respectivamente:

$$Z_{o2} = j\omega 2L_p + \frac{2}{j\omega C_m} \quad , \quad (2.47)$$

$$Z_{s2} = \frac{(j\omega 2L_p + \frac{2}{j\omega C_m}) \cdot (j\omega \frac{L_m}{2})}{(j\omega 2L_p + \frac{2}{j\omega C_m}) + (j\omega \frac{L_m}{2})} \quad , \quad (2.48)$$

obtém-se, então:

$$Z_{\pi m} = \frac{1 - \frac{\omega^2}{\omega_0^2}}{\sqrt{1 - \frac{\omega^2}{\omega_c^2}}} \sqrt{\frac{L}{C}} \quad . \quad (2.49)$$

A representação gráfica da expressão (2.49) é ilustrada na Fig. 2.15. Através da variação de m , altera-se a frequência de ressonância do braço paralelo da estrutura m -derivada e, por conseguinte se obtêm diversas curvas. O eixo das ordenadas possui os valores da impedância imagem $Z_{\pi m}$ normalizados em relação ao valor $\sqrt{\frac{L}{C}}$ e o das abscissas possui os valores de frequência normalizados em relação à frequência de corte ω_c .

Fig. 2.15 Impedância imagem meio-paralela da estrutura m-derivada $Z_{\pi m}$ em função da frequência normalizada.

Observa-se em todas as curvas da Fig. 2.15 que a impedância imagem $Z_{\pi m}$ aproxima-se bastante da impedância $\sqrt{\frac{L}{C}}$ em baixa frequência. No entanto, $Z_{\pi m}$ se desvia deste valor $\sqrt{\frac{L}{C}}$ à medida que a frequência cresce, sendo que este desvio é dependente do valor de m .

Para que seja obtido um casamento de impedância em faixa larga e seja respeitada a condição de terminação através de impedância imagem, o ideal seria que a impedância imagem fosse igual a $\sqrt{\frac{L}{C}}$ na faixa de frequência limitada superiormente pela frequência de corte ω_c . Dentre as curvas traçadas na Fig. 2.15,

aquela que mais se aproxima dessa condição ideal é a correspondente a m igual a 0,6.

Nesse caso, a impedância $Z_{\pi m}$ se mantém próxima de $\sqrt{\frac{L}{C}}$ até valores de frequência bem mais próximos da frequência de corte ω_c do que para os outros valores de m .

Devido a esta constatação, é comum a utilização de células em L m-derivadas com m igual a 0,6 nas terminações das linhas de transmissão artificiais, com o intuito de transformar a impedância imagem Z_T de uma estrutura de k-constante ou mesmo de uma m-derivada para a impedância imagem meio-paralela $Z_{\pi m}$.

Para determinarmos o fator de transmissão imagem de uma seção em T ou em π de uma estrutura m-derivada, recorreremos à expressão (2.22), substituindo a impedância em série z e a admitância em paralelo y respectivamente pelas expressões:

$$z = j\omega L_m, \quad (2.50)$$

$$y = \frac{1}{\frac{1}{j\omega C_m} + j\omega L_p}, \quad (2.51)$$

teremos, portanto:

$$\cosh \theta_m = 1 + \frac{j\omega L_m \cdot \frac{1}{\frac{1}{j\omega C_m} + j\omega L_p}}{2}. \quad (2.52)$$

Substituindo (2.42), (2.43) e (2.45) em (2.52), obtemos a expressão do fator de propagação imagem das células T e π da estrutura m-derivada θ_m :

$$\cosh \theta_m = 1 + \frac{2m^2 \frac{\omega^2}{\omega_c^2}}{\frac{\omega^2}{\omega_c^2}(1 - m^2) - 1}. \quad (2.53)$$

Na faixa de frequência de passagem da estrutura m-derivada sem perdas, o fator de propagação imagem é puramente imaginário (θ_{mi}). Podemos portanto, aplicar

a expressão simplificada específica à faixa de frequência de passagem (2.27). Desta forma, a expressão (2.53) reduz-se à seguinte:

$$\operatorname{sen} \frac{\theta_{mi}}{2} = \frac{\omega}{\omega_c} \sqrt{\frac{m^2}{1 - \frac{\omega^2}{\omega_c^2} (1 - m^2)}} \quad , \quad \text{se } \omega \leq \omega_c \quad . \quad (2.54)$$

2.3 Topologias de oscilador distribuído

Para se obter um oscilador a partir de um amplificador distribuído, é necessário algum tipo de realimentação positiva. Existem duas topologias propostas na literatura para isto: a realimentação direta (Fig. 2.16) e a reversa (Fig. 2.17).

A primeira utiliza o ganho direto do amplificador, simplesmente conectando a saída do amplificador à sua entrada, como vemos na Fig. 2.16.

Fig. 2.16 Topologia básica do oscilador distribuído com realimentação direta

Essa topologia visa à construção de osciladores que gerem sinais com a frequência mais elevada possível na tecnologia utilizada. Para tanto, o leiaute do circuito é feito de modo que o comprimento da linha de realimentação seja o menor

possível, possibilitando oscilação em frequências próximas ao limite superior da faixa de operação do amplificador distribuído.

Esta topologia de realimentação direta tem sido utilizada em circuitos de tecnologia de silício de baixo custo para a obtenção de frequências de oscilação de até 17 GHz [4] - [7].

Como os amplificadores distribuídos têm a propriedade de somar o ganho de seus transistores, ao invés de multiplicá-los, é possível obter-se ganhos maiores do que 1, necessários para oscilação, mesmo através de transistores com ganhos menores do que a unidade. Isto é especialmente atrativo em circuitos construídos em silício, já que os altos valores de suas parasitas e perdas impõem um limite crítico à máxima frequência de operação dos circuitos.

A sintonia do circuito pode ser feita em banda estreita através da variação do comprimento elétrico do *loop* de realimentação ou da adição de um *varactor* [5].

Já a topologia de oscilador distribuído utilizando realimentação reversa foi proposta por Skvor [2], com o objetivo de se construir osciladores de microondas de banda ultra-larga, com sintonia de frequência de mais de uma oitava. Essa topologia utiliza o ganho reverso do amplificador distribuído, definido como a relação entre a potência entregue ao resistor R_d da Fig. 2.1 e a potência de entrada.

O esquema simplificado da topologia do amplificador distribuído com realimentação do sinal reverso é apresentado na Fig. 2.17. Pode-se observar que a carga no início da linha de dreno do amplificador distribuído é retirada, conectando-se essa extremidade da linha de dreno ao começo da linha de porta. Dessa forma, o sinal que caminha no sentido reverso da linha de dreno é realimentado à entrada do circuito.

O ganho reverso tem valor reduzido nas condições normais de operação do amplificador distribuído, devido ao cancelamento que ocorre entre as contribuições fora de fase oriundas dos diversos transistores polarizados em suas regiões ativas. No entanto, no oscilador distribuído obtém-se ganho reverso significativo polarizando-se apenas um par de transistores de cada vez na região ativa, enquanto os demais são polarizados na região de corte.

É preciso, ainda, introduzir um transistor cruzado entre T_1 e T_2 , o qual fornece as condições de fase necessárias para a obtenção de oscilação em toda a faixa de frequência, como será discutido mais à frente. Esse transistor é destacado em vermelho na Fig. 2.17.

Fig. 2.17 Topologia básica do oscilador distribuído com realimentação reversa

A variação de frequência neste oscilador é proporcionada pela variação da transcondutância dos transistores, através da polarização de suas portas. Observando a Fig. 2.17, notamos que, se somente um dos transistores estiver polarizado na sua região ativa e o ganho de *loop* aberto de realimentação reversa for maior do que 1, é possível a oscilação numa determinada frequência.

A condição de fase de oscilação dependerá do comprimento do *loop* ativo de realimentação, o qual é função da posição do transistor polarizado na região ativa. Desta forma, teremos uma frequência diferente de oscilação para cada um dos transistores que forem polarizados individualmente, com os demais cortados.

Na Fig. 2.18 são ilustradas as frequências nas $n+1$ situações em que apenas um dos transistores está conduzindo e os demais cortados do circuito simplificado da Fig. 2.17. A frequência mais alta de oscilação ocorre quando o transistor polarizado na região ativa é o T_1 , pois o *loop* de realimentação associado a este transistor é o de menor comprimento. A frequência associada a cada transistor decresce à medida que

se polariza o transistor de maior índice, sendo a menor frequência associada ao transistor T_n .

Fig. 2.18 Frequências de oscilação associadas a cada um dos transistores do oscilador distribuído com realimentação reversa se apenas um dos transistores estiver polarizado na região ativa de cada vez.

Para que seja possível obter variação contínua de frequência, é necessário que dois transistores adjacentes estejam polarizados em sua região ativa ao mesmo tempo. Além disso, a variação da tensão de porta destes transistores deve ser complementar, isto é, ao passo que se aumenta a tensão de porta (V_{gs}) de um dos transistores no sentido da saturação, diminui-se a tensão de porta do outro – no sentido do corte.

A seguir, comparamos as duas topologias apresentadas do oscilador distribuído. Depois, no item 2.5, apresentaremos a teoria mais detalhada de funcionamento do circuito com realimentação reversa.

2.4 Comparação entre as topologias

No oscilador distribuído com realimentação direta todos os transistores operam simultaneamente. Isto possibilita um alto ganho e uma frequência relativamente alta de operação na tecnologia adotada. Para isto, é necessário que o comprimento da linha de realimentação seja o menor possível. De fato, os leiautes apresentados na literatura são feitos em forma de anel, possibilitando que esta linha tenha comprimento praticamente nulo.

A desvantagem deste tipo de topologia é que ela não propicia uma grande possibilidade de variação do comprimento elétrico do *loop* de realimentação, o que limita a faixa de frequência do oscilador.

Já o oscilador com realimentação direta funciona com apenas dois transistores conduzindo simultaneamente, o que reduz o ganho. Devido à natureza passa-baixas do circuito, a redução do ganho compromete a frequência máxima de operação. Favorece, no entanto, a obtenção de faixa de frequência mais larga de operação, pois ao polarizarmos apenas um par de transistores de cada vez, enquanto os demais estão cortados, obtém-se variação mais extensa do comprimento elétrico do *loop* de realimentação.

A ênfase do presente trabalho é a obtenção de oscilação em faixa de frequência larga. Sendo assim, nossos estudos concentram-se em osciladores de microondas distribuídos com realimentação reversa, cuja teoria será apresentada no capítulo 2.5, a seguir.

2.5 Oscilador distribuído com realimentação reversa

A proposta de utilizar o ganho reverso do amplificador distribuído para obter oscilação numa faixa de frequência larga foi apresentada em 1992 [1].

O princípio de funcionamento desta topologia será apresentado com base no modelo linear simplificado do oscilador distribuído com realimentação reversa da Fig. 2.19. Inicialmente a análise não considerará o transistor cruzado T_{12} .

Observa-se que as transcondutâncias dos transistores do tipo FET são modeladas por geradores de corrente vinculados. As células de linha de transmissão artificial sem perdas são modeladas por células com fator de transmissão θ . Para não perdermos generalidade, o modelo de linha de transmissão artificial utilizado será o m -derivado. Caso se deseje reduzi-lo ao k -constante, basta substituir o valor de m por 1. As células com fator de transmissão θ incorporam, portanto, as indutâncias em série da linha, bem como a indutância de acesso (de porta ou dreno) dos transistores e suas respectivas capacitâncias intrínsecas e parasitas em paralelo com eventuais capacitâncias externas. Considera-se, ainda, que as linhas artificiais de transmissão do modelo da Fig. 2.19 são terminadas pelas suas impedâncias imagens.

Fig. 2.19 Modelo simplificado do oscilador distribuído com realimentação reversa

A principal simplificação desta análise é considerar que as capacitâncias parasitas entre porta e fonte (C_{gs}) dos transistores não se alteram à medida que se varia a tensão de polarização de porta dos mesmos. Na faixa de frequência de microondas estas variações são significativas e deverão ser consideradas na fase de otimização computacional do circuito a ser desenvolvido. Além disso, utiliza-se o modelo unilateral do transistor da Fig. 2.2, no qual a capacitância porta-dreno C_{gd} e a indutância L_g em série com a porta são nulas. Outra simplificação é a consideração de que a linha não possui perdas, portanto $\theta = j \theta_{mi}$, de modo que as células de linha de transmissão artificial são reduzidas a linhas de atraso com fase θ_{mi} .

É importante salientar que a análise aqui apresentada baseia-se em modelos lineares, que representam seu desempenho em pequenos sinais. Dessa forma, essa análise prevê a frequência inicial de oscilação do circuito, na condição em que a amplitude do sinal gerado é suficientemente pequena para não perturbar as características do transistor no ponto de polarização adotado.

No entanto, à medida que a amplitude de oscilação cresce, até atingir o regime permanente, a frequência gerada desvia-se do valor inicial. Para previsão da frequência e amplitude de oscilação em regime permanente é necessário utilizar modelos não-lineares do transistor e realizar simulações computacionais em grandes sinais do circuito.

Como o transistor T_r opera numa configuração de fonte comum, a qual é intrinsecamente inversora, ele insere um atraso de fase π na tensão V_r injetada em sua porta. Sua corrente de dreno $\hat{i}$ pode, portanto, ser expressa pela equação:

$$\hat{i} = g_{m(r)} \cdot \hat{V}_r \cdot e^{-j\pi} \quad (2.55)$$

Ao atingir a linha artificial de dreno, a corrente $\hat{i}$ (2.55) divide-se em duas parcelas idênticas $\hat{i}/2$ para a esquerda e para a direita, já que encontra impedâncias idênticas para ambos os lados.

A tensão $\hat{V}_Q$ pode ser relacionada com a corrente $\hat{i}/2$ através da relação de impedância imagem da linha de transmissão artificial m-derivada $Z_{\pi m}$ (2.56):

$$\hat{V}_Q = \frac{\hat{i}}{2} \cdot Z_{\pi m} \quad (2.56)$$

A impedância meio-paralela $Z_{\pi m}$ foi definida na expressão (2.49).

Percorrendo o *loop* aberto de realimentação da Fig. 2.20 associado ao transistor T_r no sentido anti-horário (flecha em vermelho), pode-se relacionar as tensões $\hat{V}_r$ e $\hat{V}_P$ através da expressão:

$$\hat{V}_r = \hat{V}_P \cdot e^{-j[r-1]\theta_{mi}} \cdot e^{-j\theta_{mi}} \cdot e^{-j[r-1]\theta_{mi}} \quad (2.57)$$

Substituindo (2.57) em (2.55), obtemos:

$$\hat{i} = g_{m(r)} \cdot \hat{V}_P \cdot e^{-j[(2r-1)\theta_{mi} + \pi]} \quad (2.58)$$

Substituindo (2.58) em (2.56), obtemos a expressão (2.59), relacionando as tensões fasoriais nos pontos adjacentes P e Q:

$$\hat{V}_Q = \frac{g_{m(r)} \cdot \hat{V}_P \cdot e^{-j[\pi + (2r-1)\theta_{mi}]}}{2} Z_{\pi m} \quad (2.59)$$

Desta forma, podemos finalmente obter o ganho de *loop* aberto:

$$\hat{G}_r = \frac{\hat{V}_Q}{\hat{V}_P} = \frac{Z_{\pi m} \cdot g_{m(r)}}{2} e^{-j[\pi + (2r-1)\theta_{mi}]} \quad (2.60)$$

A partir de (2.60) podemos determinar o módulo do ganho de *loop* aberto:

$$|\hat{G}_r| = \frac{Z_{\pi m} \cdot g_{m(r)}}{2} \quad , \quad (2.61)$$

e sua respectiva fase de *loop* aberto:

$$\varphi = -\pi - 2(2r-1) \cdot \theta_{mi} \quad , \quad (2.62)$$

Substituindo (2.54) em (2.62) para eliminar θ_{mi} , obtém-se a expressão:

$$\varphi = -\pi - 2(2r-1) \cdot \arcsen\left(\frac{\omega}{\omega_c} \cdot \sqrt{\frac{m^2}{1 - \frac{\omega^2}{\omega_c^2}(1-m^2)}}\right) \quad , \quad \omega \leq \omega_c \quad . \quad (2.63)$$

Para que haja oscilação, é necessário que o critério de estabilidade de Nyquist [14] seja obedecido. Em osciladores de realimentação, como é o caso do DVCO, isso exige que [15]:

- A curva de variação da fase do ganho de *loop* aberto com a frequência seja decrescente. Tal condição é sempre verificada, como observado na expressão (2.63).
- O módulo do ganho de *loop* aberto deve ser maior ou igual a 1 na frequência em que a fase é um múltiplo inteiro de 2π .

Esta condição de fase pode ser obtida ao igualarmos a expressão (2.63) a $-2q\pi$. Assim:

$$\pi + 2(2r-1) \cdot \arcsen\left(\frac{\omega}{\omega_c} \cdot \sqrt{\frac{m^2}{1 - \frac{\omega^2}{\omega_c^2}(1-m^2)}}\right) = 2q\pi \quad , \quad \omega \leq \omega_c \quad , \quad (2.64)$$

onde q é um número inteiro positivo.

Igualando a variável q a 1 em (2.64), podemos obter uma das possíveis condições de fase necessárias a oscilação. Desta forma, a frequência inicial da oscilação seria dada pela expressão:

$$\frac{\omega}{\omega_c} = \frac{\sen\left(\frac{\pi}{4r-2}\right)}{\sqrt{m^2 + (1-m^2) \cdot \sen^2\left(\frac{\pi}{4r-2}\right)}} \quad . \quad (2.65)$$

Um caso particular da expressão (2.65) ocorre quando a estrutura da linha de transmissão artificial utilizada é a k-constante, em que m é igual a 1. Neste caso, a expressão (2.65) reduz-se a:

$$\frac{\omega}{\omega_c} = \text{sen}\left(\frac{\pi}{4r-2}\right) . \quad (2.66)$$

Portanto, a cada um dos transistores do oscilador distribuído com realimentação reversa, quando polarizados em sua região ativa e os demais na de corte, podemos associar um comprimento diferente de *loop* aberto e, conseqüentemente uma frequência de oscilação diferente, a qual denominaremos frequência característica. Para isso é necessário supor que os módulos dos ganhos (2.61) de todos estes diferentes caminhos de realimentação abertos sejam maiores ou iguais a um.

Para que possamos exemplificar os resultados obtidos através da expressão 2.65, calculamos a partir da variação do valor da variável r , os valores das frequências iniciais de oscilação de cada transistor de um DVCO com realimentação reversa de 9 estágios.

Na Tabela 2.1 esses valores são expressos em relação à frequência de corte f_c e de alguns diferentes valores de m . Observa-se que a frequência de oscilação máxima será igual à frequência de corte da linha de transmissão artificial f_c – considerando que a condição de ganho maior do que 1 seja satisfeita. Outra observação importante é que a largura da faixa de frequência diminui à medida que se diminui o valor de m . No exemplo analisado, obteve-se faixa de operação de aproximadamente uma década para $m=1$ e de duas oitavas para $m=0,4$.

Tabela 2.1. Freqüências características de cada transistor de DVCO de 9 estágios, para diferentes valores de m .

f/f_c									
$\begin{matrix} r \\ m \end{matrix}$	1	2	3	4	5	6	7	8	9
1,0	1,00	0,50	0,31	0,22	0,17	0,15	0,12	0,10	0,09
0,8	1,00	0,59	0,38	0,27	0,22	0,18	0,15	0,13	0,12
0,6	1,00	0,69	0,48	0,36	0,28	0,23	0,20	0,17	0,15
0,4	1,00	0,82	0,63	0,50	0,40	0,34	0,29	0,25	0,23

2.5.2 Sintonia contínua de freqüência de oscilação

A Tabela 2.1 exprime freqüências discretas de oscilação que podem ser obtidas através da seleção de um único transistor ativo de cada vez. Pretende-se, no entanto, que a sintonia de freqüência seja contínua na faixa compreendida entre a freqüência máxima f_c e a freqüência obtida quando somente o último estágio (n) estiver polarizado na região ativa.

Para isso, a cada intervalo de freqüências, associa-se um par de transistores, os quais são polarizados em sua região ativa. A variação contínua de fase de *loop* aberto entre as fases associadas a cada um dos transistores selecionados é possível através da variação complementar da polarização destes transistores, enquanto os demais estão cortados.

A fase resultante dessa combinação é obtida através do resultado da soma fasorial dos ganhos dos dois *loops* abertos formados pelos transistores localizados em diferentes posições do circuito e com diferentes transcondutâncias.

Se o módulo do ganho de *loop* aberto resultante desta composição for maior ou igual a 1, é possível variar continuamente a freqüência de oscilação no intervalo compreendido entre as freqüências associadas ao par de transistores selecionados.

Para verificar a questão da composição entre as contribuições de ganho de dois caminhos formados pelos transistores T_r e T_s do circuito simplificado da Fig. 2.21, faremos a análise geométrica ilustrada na Fig. 2.22. Considera-se que s é sempre maior do que r e que os demais transistores estão cortados.

Fig. 2.21 *Loops* dos estágios r e s do modelo linear simplificado do DVCO.

Os ganhos de *loop* aberto $\hat{G}_r$ e $\hat{G}_s$ destes caminhos ativos podem ser obtidos através da expressão (2.61), resultando em (2.67) e (2.68):

$$\hat{G}_r = \frac{Z_\pi \cdot g_{mr}}{2} e^{-j[\pi + (2r-1)\theta_{mi}]} \quad (2.67)$$

$$\hat{G}_s = \frac{Z_\pi \cdot g_{ms}}{2} e^{-j[\pi + (2s-1)\theta_{mi}]} \quad (2.68)$$

O ganho total de *loop* aberto neste caso pode ser obtido através da soma das expressões (2.67) e (2.68). O ganho de *loop* aberto resultante terá o módulo expresso pela equação (2.69) e a fase φ expressa pela equação (2.70). Assim:

$$|\hat{G}_r + \hat{G}_s| = \frac{Z_\pi}{2} \sqrt{g_{mr}^2 + g_{ms}^2 + 2 \cdot g_{mr} \cdot g_{ms} \cdot \cos[(s-r)\theta_{mi}]} \quad , \quad (2.69)$$

$$\varphi = -\frac{[(2r-1)\theta_{mi} + \pi]g_{mr} + [(2s-1)\theta_{mi} + \pi]g_{ms}}{g_{mr} + g_{ms}} \quad . \quad (2.70)$$

Observe que a fase de *loop* aberto φ (2.70) pode ser alterada através da variação das transcondutâncias dos transistores ativos g_{mr} e g_{ms} . Através da variação desta fase é possível sintonizar continuamente a frequência de oscilação do circuito, como será demonstrado posteriormente.

Os ganhos de *loop* aberto dos estágios r (2.67) e s (2.68) terão seus módulos $|\hat{G}_r|$ e $|\hat{G}_s|$ expressos, respectivamente, pelas equações:

$$|\hat{G}_r| = \frac{Z_\pi \cdot g_{mr}}{2} , \quad (2.71)$$

$$|\hat{G}_s| = \frac{Z_\pi \cdot g_{ms}}{2} . \quad (2.72)$$

As fases φ_r e φ_s dos ganhos de *loop* aberto $\hat{G}_r$ (2.67) e $\hat{G}_s$ (2.68) serão dadas por:

$$\varphi_r = -\pi - (2r - 1)\theta_{mi} , \quad (2.73)$$

$$\varphi_s = -\pi - (2s - 1)\theta_{mi} . \quad (2.74)$$

Desta forma, os fasores $\hat{G}_r$ e $\hat{G}_s$ podem ser expressos pela composição de suas componentes real e imaginária. Assim:

$$\hat{G}_r = |\hat{G}_r| \cdot \cos \varphi_r + |\hat{G}_r| \cdot \sen \varphi_r \cdot j , \quad (2.75)$$

$$\hat{G}_s = |\hat{G}_s| \cdot \cos \varphi_s + |\hat{G}_s| \cdot \sen \varphi_s \cdot j . \quad (2.76)$$

Desejamos reconhecer quais as condições necessárias para que a soma destes dois ganhos de *loop* aberto $\hat{G}_r$ e $\hat{G}_s$ resulte num fasor com módulo 1 e fase 2π para que haja oscilação, conforme ilustrado na Fig. 2.22. Suponhamos que as condições de ganho ilustradas na Fig. 2.22 ocorram numa frequência, que denominamos f_{osc1} , na qual são satisfeitas as condições de oscilação.

Fig. 2.22 Representação geométrica da composição dos ganhos de *loop* aberto dos estágios r e s na frequência f_{osc1} .

Suponha agora que, na mesma frequência f_{osc1} , as condições de polarização dos transistores T_r e T_s sejam alteradas complementarmente, aumentando a transcondutância de T_r e diminuindo a de T_s , conforme ilustrado na Fig. 2.23(a), sem alterar o módulo do ganho resultante igual a 1. A fase do vetor resultante, no entanto, foi alterada para um valor diferente de 2π , descaracterizando a condição de oscilação na frequência f_{osc1} .

Mantendo as mesmas condições de polarização da Fig. 2.23(a) observa-se que é possível obter outra condição de oscilação numa outra frequência, a qual denominamos f_{osc2} , maior do que f_{osc1} na situação ilustrada na Fig. 2.23(b). Observa-se que na frequência f_{osc2} é possível obter-se novamente a condição de fase de *loop* aberto igual a 2π .

Fig. 2.23 Representação geométrica da composição dos ganhos de *loop* aberto dos estágios r e s nas frequências: (a) f_{osc1} e (b) f_{osc2} .

Esta é, portanto, a forma utilizada para a sintonia contínua de frequência do circuito. A seguir, realizaremos a análise qualitativa da variação contínua da fase de *loop* aberto e, conseqüentemente da frequência de oscilação do circuito.

Para obter a situação limite de oscilação (módulo de ganho unitário e fase 2π), somam-se as componentes reais e imaginárias de (2.75) e (2.76), igualando o resultado ao valor esperado ($1+0j$). Obtemos, então, as expressões:

$$\left| \hat{G}_r \right|_{\min} \cdot \cos \varphi_s + \left| \hat{G}_s \right|_{\min} \cdot \cos \varphi_s = 1 \quad , \quad (2.77)$$

$$[\left| \hat{G}_r \right|_{\min} \cdot \text{sen} \varphi_s + \left| \hat{G}_s \right|_{\min} \cdot \text{sen} \varphi_s]j = 0j \quad . \quad (2.78)$$

Isolando a variável $\left| \hat{G}_r \right|_{\min}$ na equação (2.78) e supondo que $\text{sen} \varphi_r$ seja diferente de zero, obtemos:

$$\left| \hat{G}_r \right|_{\min} = -\left| \hat{G}_s \right|_{\min} \frac{\text{sen} \varphi_s}{\text{sen} \varphi_r} \quad . \quad (2.79)$$

E substituindo (2.79) em (2.77), para eliminarmos a variável $\left| \hat{G}_r \right|$, obtemos a equação:

$$-\left| \hat{G}_s \right|_{\min} \frac{\text{sen} \varphi_s}{\text{sen} \varphi_r} \cos \varphi_r + \left| \hat{G}_s \right|_{\min} \cos \varphi_s = 1 \quad . \quad (2.80)$$

Podemos, desta forma, resolver a equação (2.80) para a variável $\left| \hat{G}_s \right|$, o que resulta em:

$$\left| \hat{G}_s \right|_{\min} = \frac{\text{tg} \varphi_r}{\text{tg} \varphi_r \cdot \cos \varphi_s - \text{sen} \varphi_s} \quad . \quad (2.81)$$

Substituindo (2.81) em (2.79), obtemos analogamente a expressão de $\left| \hat{G}_r \right|$ em função das fases de *loop* aberto φ_r e φ_s :

$$\left| \hat{G}_r \right|_{\min} = \frac{tg \varphi_s}{tg \varphi_s \cdot \cos \varphi_r - sen \varphi_r} . \quad (2.82)$$

A expressão (2.82) reduz-se à (2.83), utilizando a dedução apresentada no Anexo B. E a expressão (2.81), analogamente, reduz-se à expressão (2.84). Assim:

$$\left| \hat{G}_r \right|_{\min} = \frac{-sen \varphi_s}{sen(\varphi_r - \varphi_s)} , \quad (2.83)$$

$$\left| \hat{G}_s \right|_{\min} = \frac{sen \varphi_r}{sen(\varphi_r - \varphi_s)} . \quad (2.84)$$

Observando as expressões (2.83) e (2.84), nota-se que os módulos dos ganhos de *loop* aberto $\left| \hat{G}_r \right|_{\min}$ e $\left| \hat{G}_s \right|_{\min}$ mínimos para que haja oscilação tendem ao infinito quando a diferença entre as fases φ_r e φ_s for um múltiplo inteiro de π . Isto é, neste caso, não é possível obter a condição de oscilação com ganho de *loop* aberto com módulo igual a 1 e fase 2π .

Além disso, observa-se que caso a diferença de fases entre os *loops* abertos dos estágios r e s ($\varphi_r - \varphi_s$) fique no intervalo limitado por π e 2π , a função seno torna-se negativa, obtendo-se nas expressões (2.83) e (2.84) valores negativos para os módulos dos ganhos de *loop* aberto $\left| \hat{G}_r \right|_{\min}$ e $\left| \hat{G}_s \right|_{\min}$. Considerando que os módulos dos ganhos de *loop* aberto $\left| \hat{G}_r \right|_{\min}$ (2.71) e $\left| \hat{G}_s \right|_{\min}$ (2.72) devem ser números não-negativos, já que as transcondutâncias dos transistores são maiores ou iguais a zero, conclui-se que a condição de diferença de fase ($\varphi_r - \varphi_s$) no intervalo limitado por π e 2π também é proibitiva. Isto é, neste caso não é possível obter a condição limite de oscilação com ganho de *loop* aberto com módulo unitário e fase 2π .

Define-se, portanto, a faixa de valores de diferença de fase de *loop* aberto entre os estágios ativos (r e s) na qual é possível que o circuito oscile como sendo:

$$0 < \varphi_r - \varphi_s < \pi . \quad (2.85)$$

Ou seja, a diferença de fase entre *loops* abertos ativos $\Delta\varphi$ deverá ser um número positivo limitado superiormente por $\Delta\varphi_{crit}$, tal que:

$$\Delta\varphi_{crit} = (\varphi_r - \varphi_s)_{crit} = \pi \quad . \quad (2.86)$$

Esta limitação de diferença máxima de fase $\Delta\varphi_{crit}$ entre os estágios r e s com transistores ativos deve ser respeitada para que possamos obter a variação contínua de frequência de oscilação em toda a faixa do circuito.

Por isso, determinaremos a seguir qual o máximo atraso de fase por célula em função da posição relativa (s-r) dos transistores ativos T_r e T_s no circuito que atende à condição (2.85). Isto é obtido através da subtração da expressão (2.74) pela (2.73), o que resulta em:

$$\Delta\varphi = \varphi_r - \varphi_s = 2(s-r)\theta_{mi} \quad . \quad (2.87)$$

Igualando (2.87) a (2.86), obtemos, como desejado, a expressão do atraso de fase máximo para cada célula da linha de transmissão artificial $\theta_{mi(crit)}$ (2.88), o qual, permite obter módulos de ganho de *loop* aberto maiores ou iguais a 1. Assim:

$$\theta_{mi(crit)} = \frac{\pi}{2(s-r)} \quad . \quad (2.88)$$

Por outro lado, é possível exprimir a fase θ_{mi} de cada célula de atraso para os *loops* formados por apenas um dos transistores polarizados na região ativa de cada vez, igualando a expressão (2.73) a 2π , para que se obtenha condição de fase de oscilação, resultando em:

$$\theta_{mi} = \frac{\pi}{2r-1} \quad . \quad (2.89)$$

A comparação entre os valores de atraso de fase θ_{mi} (2.89) com os máximos possíveis $\theta_{mi(crit)}$ da expressão (2.88) permite avaliar se é possível obter sintonia contínua de frequência através de dois transistores ativos T_r e T_s quaisquer.

Através dessa análise é possível obter-se duas conclusões importantes. A primeira é que não é possível obter-se sintonia contínua de frequência em todo o intervalo compreendido entre as frequências características de oscilação dos transistores T_1 e T_2 variando-se a polarização dos mesmos de forma complementar. Nesse caso é necessário utilizar o transistor adicional T_{12} , conectado entre T_1 e T_2 .

A segunda conclusão é que alguns intervalos de frequência podem ser sintonizados atuando-se de forma complementar na polarização de pares de transistores não adjacentes. Nesse caso, o(s) transistor(es) compreendido(s) entre esse par pode(m) ser removido(s) do circuito, e substituídos por componentes passivos eletricamente equivalentes à sua impedância de porta e dreno.

Estes conceitos serão observados através do exemplo do item 2.5.3.

2.5.2.1 Transcondutâncias mínimas para oscilação

Concluindo a análise linear proposta para o DVCO com realimentação reversa, propomos a dedução das transcondutâncias mínimas do par de transistores ativos, as quais permitem oscilação para a condição de linha de transmissão artificial sem perdas.

Inicialmente igualam-se as expressões (2.71) e (2.83) de forma a se obter a expressão da transcondutância mínima $g_{mr,min}$ do transistor ativo T_r em função das fases dos *loops* abertos do par de transistores adjacentes ativos T_r e T_s . Obtém-se, então:

$$g_{mr,min} = \frac{-2 \cdot \text{sen} \varphi_s}{Z_{\pi n} \cdot \text{sen}(\varphi_r - \varphi_s)} \quad (2.90)$$

Analogamente igualam-se as expressões (2.72) e (2.84) para obter a expressão da transcondutância mínima $g_{ms,min}$ do transistor ativo T_s , a qual resulta em:

$$g_{ms,min} = \frac{2 \cdot \text{sen} \varphi_r}{Z_{\pi n} \cdot \text{sen}(\varphi_r - \varphi_s)} \quad (2.91)$$

Substituindo (2.73) e (2.74) em (2.90) e (2.91) é possível deduzir a expressão das transcondutâncias mínimas $g_{mr,min}$ e $g_{ms,min}$ em função da impedância imagem da linha de transmissão artificial e das posições dos respectivos transistores T_r e T_s . Obtém-se, então:

$$g_{mr,min} = \frac{2 \cdot \text{sen} [\pi + (2s - 1) \cdot \theta_{mi}] }{Z_m \cdot \text{sen} [2 \cdot (s - r) \cdot \theta_{mi}] } , \quad (2.92)$$

$$g_{ms,min} = \frac{2 \cdot \text{sen} [\pi + (2r - 1) \cdot \theta_{mi}] }{Z_m \cdot \text{sen} [2 \cdot (r - s) \cdot \theta_{mi}] } . \quad (2.93)$$

2.5.3 Exemplo: oscilador com 9 estágios

Determinaremos os transistores realmente necessários para a confecção de um oscilador com faixa de frequência de aproximadamente três oitavas, implementado através de um oscilador distribuído com realimentação reversa de 9 estágios. A seguir (item 2.5.3.2), é apresentada uma possível função de sintonia para este circuito implementado através de linhas de transmissão artificiais m-derivadas.

2.5.3.1 Determinação do número de transistores do oscilador

Inicialmente, calculamos a partir de (2.88) os valores $\theta_{mi(crit)}$ em função da “distância” (s-r) entre o par de transistores ativos T_s e T_r . Os resultados são apresentados na Tabela 2.2, na qual contemplam-se todas as “distâncias” (s-r) entre estágios possíveis num oscilador de 9 estágios.

Tabela 2.2. Fase crítica $\theta_{mi(crit)}$ das células de atraso quando os s-ésimo e r-ésimo transistores estão polarizados na região ativa para um oscilador de nove estágios.

s-r	1	2	3	4	5	6	7	8
$\theta_{mi(crit)} (^{\circ})$	90	45	30	22,5	18	15	12,9	11,25

Depois, calculamos os valores de atraso de fase de cada célula de atraso θ_{mi} para os *loops* formados por apenas um dos transistores polarizados na região ativa de cada vez, através da expressão (2.89), os quais são apresentados na Tabela 2.3.

Tabela 2.3. Fase de cada célula de atraso θ_{mi} na condição de oscilação para apenas um transistor ativo de cada vez.

r	1	2	3	4	5	6	7	8	9
θ_{mi} (°)	180	60	36	25	20	17	14	12	11

Embora a Tabela 2.3 seja específica para o caso em que apenas um transistor é polarizado na região ativa de cada vez, sabe-se que a fase de cada célula de atraso varia continuamente em função da frequência. Portanto, caso um par de transistores esteja polarizado na região ativa, a fase de cada célula de atraso assumirá um valor intermediário entre aqueles obtidos através da Tabela 2.3. Por exemplo, se os transistores T_2 e T_3 estiverem polarizados na região ativa e o módulo do ganho resultante for maior ou igual a 1, a fase de cada célula de atraso na frequência de oscilação estará entre 60° e 36° .

Portanto, para que seja respeitado o limite de diferença de fases de *loop* aberto entre estágios ativos $\Delta\phi < \Delta\phi_{crit}$ (2.86) é necessário que o máximo valor de atraso de fase das células da linha de transmissão artificial obtido através da polarização de um par de transistores T_r e T_s (Tabela 2.3) seja menor do que o valor crítico, obtido em função de $(s-r)$ na Tabela 2.2.

A análise inicia-se com o intervalo compreendido entre os transistores 9 e 8 na Tabela 2.3. Observa-se que a fase por célula de atraso variaria entre 11° e 12° , conforme a frequência fosse sintonizada entre as frequências características dos transistores T_9 e T_8 . É necessário que a fase de cada célula obedeça aos limites de $\theta_{mi(crit)}$ da Tabela 2.2. O valor para a coluna de $(s-r)=(9-8)=1$ na Tabela 2.2 indica uma fase crítica de 90° . Isto é, este limite superior está respeitado com bastante folga ($12^\circ \ll 90^\circ$). Portanto, seria possível obter sintonia contínua no intervalo compreendido entre transistores nos estágios 8 e 9.

No entanto, nossa intenção é minimizar o número de transistores utilizados. Desta forma, suponhamos que a sintonia seja feita entre os transistores T_9 e T_7 . Observe que a fase por célula de atraso variaria entre 11° e 14° , conforme a frequência fosse sintonizada entre aquelas frequências associadas aos *loops* formados pelos transistores T_9 e T_7 . Como o valor para a coluna de $(s-r)=(9-7)=2$ na Tabela 2.2 indica uma fase crítica de 45° , concluímos que é possível ainda assim obter sintonia contínua entre as frequências associadas aos transistores T_9 e T_7 , já que $14^\circ < 45^\circ$.

Verificamos, portanto, que o transistor do oitavo estágio T_8 não é necessário. Isto é, o oitavo estágio seria composto apenas por indutâncias e capacitâncias e nenhum transistor.

Prosseguindo, verificaremos se o transistor T_7 é necessário. Portanto, estendemos ainda mais nosso intervalo e analisamos a condição de fase crítica para o intervalo definido pelos transistores T_6 e T_9 . Neste caso, a fase de cada célula de atraso variaria de 11° a 17° (Tabela 2.3). Como o valor para a coluna de $(s-r)=(9-6)=3$ indica uma fase crítica de $\theta_{mi(crit)} = 30^\circ$, a condição de fase é satisfeita ($17^\circ < 30^\circ$). Concluimos, portanto, que o transistor do sétimo estágio T_7 também não é necessário.

Repetindo este procedimento, chegamos à conclusão de que o transistor T_6 também não é necessário ($20^\circ < 22,5^\circ$), mas o transistor T_5 , sim, é necessário, pois não seria possível obter sintonia contínua entre as frequências características dos transistores T_4 e T_9 ($25^\circ > 18^\circ$). Seguindo, verificamos que o transistor do quarto estágio T_4 poderia formar um par com T_5 ($25^\circ < 90^\circ$), mas não é necessário, pois é possível obter oscilação em faixa contínua de frequência através do par formado por T_3 e T_5 ($36^\circ < 45^\circ$).

O transistor T_3 é, sim, necessário, pois não seria possível obter uma faixa de sintonia contínua entre T_2 e T_5 ($60^\circ > 30^\circ$).

Verificamos que é possível obter sintonia contínua através do par T_3 e T_2 ($60^\circ < 90^\circ$), mas não é possível obter sintonia contínua através do par T_3 e T_1 ($180^\circ > 45^\circ$), portanto T_2 é necessário.

Finalmente, chegamos ao intervalo compreendido entre os transistores T_1 e T_2 na Tabela 2.3. Observa-se que a fase por célula de atraso variaria entre 180° e 60° , conforme a frequência fosse sintonizada entre as frequências características dos transistores T_1 e T_2 . No entanto, é necessário que a fase de cada célula obedeça aos limites de $\theta_{mi(crit)}$ da Tabela 2.2. E o valor para a coluna de $(s-r)=(2-1)=1$ na Tabela 2.2 indica uma fase crítica de 90° . Isto é, este limite seria superado já que a fase associada ao *loop* formado pelo transistor T_1 é de 180° .

Por isso, concluimos que não é possível obter sintonia contínua no intervalo de frequência definido pelos primeiro e segundo estágios. Para que isso seja possível, é necessária a introdução de um transistor cruzado entre estes dois estágios, o qual

denominamos T_{12} , de forma que o seu caminho de realimentação ativo tenha um comprimento intermediário entre aqueles formados pelos transistores T_1 e T_2 . Seu dreno é ligado ao dreno de T_1 e sua porta é ligada à porta de T_2 . O circuito com este transistor T_{12} foi ilustrado na Fig. 2.17 e o modelo linear simplificado deste circuito é ilustrado na Fig. 2.24.

Fig. 2.24 Modelo simplificado do DVCO com realimentação reversa com adição do transistor T_{12} modelado através do gerador de corrente vinculado em vermelho.

Desta forma, podemos completar os dados da Tabela 2.2, acrescentando uma nova coluna relativa à diferença de fase entre *loops* abertos ativos, contemplando a adição do transistor cruzado T_{12} . Esta modificação é ilustrada através da Tabela 2.4, na qual é introduzida a coluna com a “distância” (s-r) igual a 0,5. O valor de 180° é obtido através da substituição de (s-r) por 0,5 na expressão de $\theta_{mi(crit)}$ (2.88).

Tabela 2.4. Fase crítica das células de atraso quando os s-ésimo e r-ésimo transistores estão polarizados na região ativa para um oscilador de nove estágios.

s-r	0,5	1	2	3	4	5	6	7	8
$\theta_{mi(crit)} (^\circ)$	180	90	45	30	22,5	18	15	12,9	11,25

Da mesma forma a Tabela 2.3 pode ser atualizada com a inclusão da coluna com o atraso de fase de cada uma das células de atraso para o caso em que somente o transistor T_{12} é polarizado na região ativa (Tabela 2.5). A expressão utilizada foi a (2.89), com r igual a 1,5. Os índices dos transistores que são realmente necessários num oscilador distribuído de nove estágios são destacados através de asteriscos.

Tabela 2.5. Atraso de fase de cada célula da linha de transmissão artificial na frequência de oscilação em função do estágio polarizado na região ativa.

r	1*	12*	2*	3*	4	5*	6	7	8	9*
$\theta_{mi} (^{\circ})$	180	90	60	36	25	20	17	14	12	11

* Os asteriscos indicam os estágios, nos quais transistores são realmente necessários num oscilador de 9 estágios.

Prosseguindo a análise, verificamos que o par formado pelos transistores T_1 e T_{12} possibilita a sintonia contínua de frequência, já que a fase por célula de atraso seria de 90° (coluna 12*, Tabela 2.5), abaixo do limite de 180° (coluna 0,5; Tabela 2.4).

O par formado pelos transistores T_{12} e T_1 também possibilita a sintonia contínua de frequência. Observa-se na Tabela 2.5 que a fase de cada célula de atraso, quando o par T_{12} e T_1 é polarizado na região ativa, varia entre 90° e 180° . O valor de fase crítico $\theta_{mi(crit)}$ é de 180° (coluna 0,5; Tabela 2.4).

É importante destacar que a variação de fase das células se dá de forma estritamente crescente – vide expressão (2.89). Portanto, todo o intervalo de fase de célula de linha de transmissão θ_{mi} compreendido neste intervalo está abaixo do valor crítico (180°) a menos do ponto extremo da faixa, no qual o transistor T_1 está na região ativa e os demais (inclusive T_{12}) estão cortados. Portanto, não há composição destrutiva de fases, situação essa já analisada no item 2.5.1.

Portanto, para obtenção de sintonia contínua de frequência num oscilador de 9 estágios são necessários, no mínimo, 6 transistores. São eles: T_1 , T_{12} , T_2 , T_3 , T_5 e T_9 .

É preciso também observar se os transistores possuem transcondutâncias suficientemente elevadas para garantir que o módulo do ganho de *loop* aberto seja maior ou igual a 1. Esta análise será realizada no item 2.5.3.2.

Embora a análise do número essencial de transistores tenha se restringido a um oscilador de 9 estágios, é possível verificar que, mesmo para os estágios subsequentes de um oscilador com mais de 9 estágios, não seria necessária a introdução de mais nenhum transistor cruzado.

Observe que o atraso de fase θ_{mi} , inserido por cada célula da linha de transmissão artificial é estritamente decrescente com relação ao aumento do índice r

do estágio – vide a expressão (2.89) – e o atraso de fase θ_{mi} relativo ao caso em que o transistor ativo é somente aquele do nono estágio (T_9) é de 11° (Tabela 2.5).

Além disso, a diferença de fase de *loop* aberto crítica $\theta_{mi(crit)}$ entre estágios adjacentes ($s-r=1$) é de 90° (Tabela 2.4). Como o atraso das células da linha de transmissão θ_{mi} nos estágios com índice superior a 9 serão menores do que 11° , estando bem abaixo do limite superior crítico (90°), conclui-se que não é necessário nenhum transistor cruzado entre estágios com índice r maior do que nove.

Conseqüentemente, o único transistor cruzado necessário num oscilador distribuído com realimentação reversa (com qualquer número de estágios) é o transistor T_{12} , localizado entre os primeiro e segundo estágios.

2.5.3.2 Função de sintonia do oscilador

Com o intuito de ilustrar os conceitos desenvolvidos sobre o modelo linear do DVCO com realimentação reversa nos itens anteriores, criamos um exemplo de uma função de sintonia através da análise linear.

Deseja-se a obtenção de um DVCO de 3 oitavas, através de linhas de transmissão artificiais m -derivadas com $m=0,8$ para um sistema com impedância de referência $Z_0 = 50 \Omega$.

A partir da Tabela 2.1, a qual expressa os resultados da equação (2.65), na linha $m=0,8$ é possível verificar que 9 estágios são suficientes para cobrir a faixa de frequência compreendida entre $0,12 \cdot f_c$ e f_c .

Serão utilizados somente os transistores que são estritamente necessários para obter sintonia contínua para um DVCO de 9 estágios, conforme apresentado na Tabela 2.5. São eles: T_1 , T_{12} , T_2 , T_3 , T_5 e T_9 .

Existem infinitas curvas que propiciariam a sintonia contínua das frequências na faixa de frequência desejada. A análise aqui apresentada será feita de forma a determinar as transcondutâncias de cada um dos transistores necessárias para obtenção da condição de ganho de *loop* aberto com fase 2π e módulo unitário. Dentro dessas condições, as curvas de transcondutâncias associadas a cada um dos transistores são únicas.

Nas condições de operação do circuito em *loop* fechado, efeitos não-lineares devido à saturação modificam a frequência e até mesmo a polarização do circuito. Por isso, é bastante difícil a determinação analítica de uma função de sintonia exata. É possível, no entanto, realizar esta análise através de simulações não-lineares.

O principal resultado da análise linear que realizamos a seguir é a definição das transcondutâncias mínimas de cada transistor necessárias à oscilação. É importante frisar que a análise é feita para um caso ideal em que não há perdas nas linhas de transmissão artificiais. Portanto, nos casos práticos, as transcondutâncias necessárias serão sempre maiores do que as calculadas, podendo ser definidas através de soluções analíticas mais complexas ou, como no caso da metodologia de projeto proposta no capítulo 3, através de simulações computacionais.

A partir das expressões propostas de transcondutâncias mínimas (2.92) e (2.93), é possível traçar as curvas de transcondutâncias mínimas $g_{mr,min}$ e $g_{ms,min}$ para que ocorram oscilações em função da frequência, conforme ilustrado na Fig. 2.25.

A impedância imagem $Z_{\pi m}$ das linhas de transmissão artificiais presente nas equações (2.92) e (2.93) é obtida a partir da expressão (2.49). O casamento desta impedância imagem $Z_{\pi m}$ com a impedância de referência do sistema $Z_0 = 50 \Omega$ deve ser feita através de meia seções de linhas de transmissão artificiais com $m=0,6$, conforme descrito no item 2.2.4.2.

Desta forma, utiliza-se no projeto das linhas artificiais de transmissão a equação:

$$\sqrt{\frac{L}{C}} = Z_0 \quad , \quad (2.94)$$

para o cálculo da impedância imagem $Z_{\pi m}$ (2.49).

O atraso de fase de cada célula da linha de transmissão artificial θ_{mi} é obtido através de (2.54).

As frequências limites de operação de cada transistor são calculadas através de (2.65), cujos resultados estão expressos na Tabela 2.1, linha $m=0,8$. Por exemplo, o par de transistores T5-T9 é ativo de $0,12 \cdot f_c$ a $0,22 \cdot f_c$.

O gráfico obtido na Fig. 2.25 tem seu eixo de frequência dividido em cinco faixas, sendo cada uma delas atendida por um par de transistores adjacentes.

Fig. 2.25 Valores mínimos de transcondutâncias dos transistores para oscilação de um DVCO composto por 9 estágios, com $m=0,8$ e $Z_0=50 \Omega$.

Os valores de pico identificados nas curvas da Fig. 2.25 foram listados na Tabela 2.6.

Tabela 2.6. Transcondutância máxima requerida de cada transistor de um oscilador distribuído com realimentação reversa do exemplo da Fig. 2.25.

Transistor	Transcondutância máxima (mS)
T_1	26,3
T_{12}	32,3
T_2	39,6
T_3	46,7
T_5	54,5
T_9	38,8

Observa-se que os valores de transcondutância necessários para oscilação (Tabela 2.6) dos estágios 3 e 5 são relativamente elevados, se comparados aos valores dos transistores comercialmente disponíveis, mesmo na ausência de perdas das linhas de transmissão artificiais. Caso não seja possível obter transistores com transcondutâncias suficientemente elevadas é possível utilizar transistores nos

estágios 4, 6, 7 e 8, de forma a obter condições em que as transcondutâncias necessárias dos transistores sejam menores.

2.6 Conclusão

O oscilador distribuído com realimentação reversa é capaz de gerar oscilações com sintonia contínua em faixa larga de frequência, desde que seja introduzido o transistor cruzado T_{12} entre os primeiro e segundo estágios. A sintonia de frequência é obtida através da variação da polarização complementar de um par de transistores de cada vez.

A análise linear proposta por Skvor, e outros [1]-[2], realizada para linhas de transmissão artificiais k-constante, foi generalizada neste capítulo para linhas de transmissão artificiais m-derivadas. Isto permite um modelamento mais realista do circuito do DVCO, já que as indutâncias parasitas de porta e dreno de seus transistores e a indutância equivalente das microlinhas de acesso podem ser consideradas.

Além disso, foi proposta uma forma de cálculo das transcondutâncias mínimas dos transistores para que a condição de mínimo ganho de *loop* aberto seja satisfeita, considerando linhas de transmissão artificiais sem perdas. Isto permite selecionar os transistores utilizados para o projeto do DVCO.

Através da análise das condições de fase em cada frequência foi mostrado como avaliar quais transistores são estritamente necessários para obtenção de sintonia contínua de frequência em toda a faixa. Os estágios que não necessitem de transistores podem ser compostos apenas por indutâncias e capacitâncias.

As linhas de transmissão artificiais que compõe o oscilador distribuído com realimentação reversa foram analisadas através da teoria de redes, a qual permite modelar separadamente cada uma das células constituintes da rede, desde que estas sejam terminadas por suas impedâncias imagens.

Todas as deduções realizadas para as linhas de transmissão artificiais, incluindo equações de impedância e fator de transmissão, e por extensão ao oscilador distribuído, basearam-se em modelos que pressupõe que cada uma de suas células constituintes está ligada às suas impedância imagem de entrada e saída.

Por isso, as linhas de transmissão artificiais que compõem o oscilador distribuído com realimentação reversa devem ser terminadas através de células em L m-derivadas com m igual a 0,6; valor este determinado empiricamente, a fim de proporcionar que as impedâncias imagens em suas terminações sejam o mais próximo possível da impedância de referência do sistema, em geral, puramente resistiva.

Desta forma, a impedância imagem nas terminações torna-se igual à impedância conjugada, o que garante um casamento de impedâncias adequado, e conseqüentemente máxima transferência de energia.

3 MÉTODO DE PROJETO

No capítulo 2 foram definidos modelos matemáticos baseados em componentes ideais, os quais permitem compreender e quantificar os princípios de funcionamento do oscilador distribuído com realimentação reversa.

No entanto, em frequências de microondas, uma série de efeitos parasitas dificulta a implementação prática do oscilador através de elementos reais. É necessário definir alguns critérios e considerações práticas que permitam controlar estes parasitas para garantir que o desempenho do circuito projetado aproxime-se do modelo matemático desejado.

A metodologia de projeto proposta neste trabalho consiste basicamente na determinação do número de estágios e dos componentes do circuito simplificado do oscilador distribuído com n estágios apresentado na Fig. 3.1.

Nessa figura os componentes apresentados em azul constituem o circuito de microondas propriamente dito. As linhas de transmissão artificiais de porta – abaixo na Fig. 3.1, e de dreno – acima na Fig. 3.1, são constituídas pelos seguintes itens:

- Capacitâncias e indutâncias dos transistores FET ($T_1, T_{12}, T_2, \dots, T_n$), intrínsecas e devidas a seu encapsulamento;
- Microlinhas em série de alta impedância LTg e LTd;
- Microlinhas de acesso de porta e dreno dos terminais do transistor LTgg e LTdd;
- Capacitâncias da linha de dreno Cd12, Cd3, ..., Cdn ligadas ao terra;
- Capacitâncias da linha de porta Cg1, Cg12, Cg3, ..., Cgn ligadas ao terra;

As linhas de transmissão artificiais de porta e de dreno são ligadas entre si pelo trecho de microlinha LTr – à esquerda na Fig. 3.1, o qual proporciona a realimentação positiva necessária às oscilações.

Periodicamente distribuídos nas linhas de transmissão artificiais encontram-se os transistores de efeito de campo (FET) $T_1, T_{12}, T_2, \dots, T_n$.

Destacados através de retângulos em cinza, encontram-se as células em L m-derivadas para casamento de impedâncias das linhas artificiais de transmissão de

porta e dreno. Cada uma das células em L m-derivadas é composta por duas microlinhas e um capacitor (C_{gg} ou C_{dd}).

Os componentes em verde são utilizados para polarização do circuito. A polarização das portas dos transistores deve ser feita de forma independente para permitir a sintonia da frequência de oscilação em toda a faixa de frequência. As tensões DC de polarização V_{g1} , V_{g12} , $V_{g2}, \dots$, V_{gn} são ligadas às portas dos transistores através dos resistores de alta impedância R_1 , R_{12} , $R_2, \dots$, R_n . Para isolar estas tensões entre si e da própria tensão de polarização de dreno, utilizam-se os capacitores em série com as portas dos transistores C_{s1} , C_{s12} , $C_{s2}, \dots$, C_{sn} .

Já a polarização de dreno é única para todos os transistores e é feita através do indutor de alta impedância L_d . Como as linhas de transmissão artificiais de porta e dreno estão em curto-circuito para corrente contínua, esta tensão de polarização de dreno poderia ser inserida em qualquer ponto da linha de transmissão artificial de porta ou dreno. Optou-se por utilizar uma região da linha de porta próxima ao resistor de terminação R_g de modo a deixar todas as tensões de polarização do mesmo lado do circuito.

Os capacitores C_{f1} , C_{f12} , $C_{f2}, \dots$, C_{fn} são utilizados para filtragem das tensões de polarização de porta e o capacitor C_{fd} para filtragem da tensão de polarização de dreno. Os capacitores C_{sd} e C_{sg} atuam como bloqueio DC, sendo utilizados para isolar a tensão de alimentação de dreno da saída e do resistor de terminação da linha de porta R_g , respectivamente.

A Fig. 3.1 apresenta o esquema elétrico do circuito de oscilador distribuído com realimentação reversa a ser dimensionado e, em seguida, a Fig. 3.2 mostra o fluxograma do procedimento proposto para o projeto do circuito.

Fig. 3.1 Esquema elétrico do circuito do oscilador distribuído a ser dimensionado

Fig. 3.2 Fluxograma da metodologia de projeto do DVCO

O procedimento de projeto inicia-se com a definição das especificações do DVCO e com a escolha da tecnologia de construção do circuito – MIC, circuito integrado de microondas, ou MMIC, circuito integrado monolítico de microondas. A partir da faixa de frequência e da potência de oscilação desejadas, são escolhidos o transistor e o substrato a serem utilizados. Através das reatâncias intrínsecas e parasitas deste transistor, são estimados os valores ideais da(s) indutância(s) e capacitância da linha de transmissão artificial m-derivada a ser utilizada.

De posse destes dados, é possível estimar o número de estágios, as dimensões do circuito e verificar a possibilidade de implementação do circuito projetado, fazendo um esboço do leiaute. Caso isto não ocorra, pode-se alterar iterativamente o substrato, o transistor ou mesmo a tecnologia adotada.

Na próxima etapa, são estimados os valores dos componentes e trechos de linhas de transmissão a serem utilizados em cada estágio do circuito separadamente.

Feito isso, todos os estágios são reunidos e é executada uma simulação computacional linear, onde são avaliadas as condições para início da oscilação e o casamento de impedância das linhas de transmissão artificiais de porta e de dreno. Nesta fase, é feita uma otimização do circuito, de forma a garantir a operação do oscilador nos diversos pontos de polarização possíveis dos transistores, considerando o efeito de microlinhas de transmissão adicionadas no leiaute para agregar todos os estágios.

Finalmente, são realizadas simulações em grandes sinais através de métodos não-lineares como, por exemplo, Balanceamento Harmônico ou Domínio do Tempo. Nesta etapa são confirmadas as condições de oscilação, estimando-se a frequência e a potência de saída do oscilador em função das tensões de polarização dos transistores. É possível adicionalmente computar-se o ruído de fase do oscilador, desde que se possuam modelos de ruído confiáveis dos componentes utilizados.

A seguir são detalhadas as etapas do projeto:

3.1 Especificações

Os parâmetros obrigatórios que devem ser definidos para o início do projeto são:

- Faixa de frequência oscilação — $f_{\min}$, $f_{\max}$

- Potência de saída de oscilação

Parâmetros adicionais podem ser definidos para completar a especificação do oscilador, tais como:

- Consumo de potência
- Ruído de fase
- Nível de sinais espúrios
- Nível de sinais harmônicos
- Sensibilidade de modulação
- Sensibilidade da frequência de oscilação com variações da impedância de carga
- Sensibilidade da potência de saída com variações da impedância de carga

3.2 Determinação do número de estágios

O número de estágios do oscilador distribuído pode ser determinado a partir da relação entre as frequências mínima e máxima da faixa de frequência de oscilação desejada e do valor do fator m – da linha de transmissão artificial m -derivada, utilizando-se a expressão (2.65), cujos resultados para os 9 possíveis primeiros estágios estão expressos na Tabela 2.1.

Como o valor de m não é conhecido a priori, consideraremos inicialmente m igual a 1. A obtenção de valores de m próximos a 1 é desejável pois propicia a faixa de frequência mais larga possível (item 2.5.1). Isto nem sempre é possível, pois o fator determinante de m será a indutância em série com os acessos de porta e dreno dos transistores utilizados. Em etapas posteriores o valor de m será redefinido e as frequências de oscilação de cada estágio poderão ser recalculadas através da expressão (2.65).

Considerando-se que a frequência máxima de oscilação será igual à frequência de corte, tem-se que $\frac{f_{\min}}{f_{\max}} = \frac{f_{\min}}{f_c}$. Na coluna referente a $m=1$ da Tabela 2.1

localiza-se o valor de $\frac{f}{f_c}$, o qual seja menor do que aquele que se deseja e que mais se aproxime do mesmo. Anotamos, então, o respectivo valor de r , o qual

corresponderá ao número de estágios n necessários para que o oscilador funcione na faixa de frequência especificada.

Os respectivos valores de frequência $\frac{f}{f_c}$ da Tabela 2.1 compreendidos no intervalo $[1, n]$ indicam as frequências aproximadas de oscilação associadas a cada um dos estágios.

Deve-se, então, verificar em qual dos estágios é realmente necessária a utilização de transistor. Isto é feito de forma a obter o menor número possível de transistores, mas garantindo que diferença de fase de *loop* aberto crítica entre os *loops* formados pelos transistores ativos seja menor do que π , conforme descrito nos itens 2.5.2 e 2.5.3.

Comparam-se a fase de cada célula de atraso da linha de transmissão artificial à fase crítica por célula de atraso. Os valores das fases críticas citadas estão tabelados para os nove primeiros estágios nas Tabela 2.4 e Tabela 2.5.

Como já mencionado no item 2.5.3.1, é também necessária a utilização do transistor intermediário entre os estágios 1 e 2, o qual denominamos T_{12} .

3.3 Escolha da tecnologia

O projetista de microondas dispõe de duas tecnologias planares que podem ser usadas na construção do DVCO.

A tecnologia de circuito integrado monolítico de microondas ou MMIC – do inglês *Monolithic Microwave Integrated Circuits*, é a mais recente, tendo se tornado comercialmente disponível na década de 1990. Nessa tecnologia todos os componentes do circuito são construídos diretamente no substrato que é um semiconductor semi-isolante, em geral arseneto de gálio – GaAs, por técnicas de microeletrônica capazes de definir estruturas sub-micrométricas. O projetista tem acesso a tecnologias MMICs que são fornecidas por *foundries* no exterior. Uma vez escolhida uma *foundry* e um de seus processos tecnológicos, fica definido o tipo de transistor que será utilizado, como MESFET, HEMT, PHEMT e seu comprimento de porta. Essa tecnologia permite diminuir os parasitas devido a conexões, que degradam o potencial de operação em faixa larga dos circuitos. Em termos financeiros, ela torna-se indicada quando o objetivo é produção em larga escala. Os

MMICs integram todos os componentes do circuito em chips com dimensões da ordem de milímetros, o que dificulta ou mesmo inviabiliza a realização de ajustes ou alterações no circuito, visando explorar experimentalmente os limites de seu desempenho.

A tecnologia de circuitos integrados de microondas ou MIC – do inglês *Microwave Integrated Circuits*, também conhecida como tecnologia de circuitos híbridos, é mais antiga que os MMICs. Essa tecnologia utiliza componentes discretos, como transistores, capacitores e resistores, os quais são montados sobre um substrato isolante contendo linhas de transmissão planares, definidas sobre fina camada metálica depositada sobre o substrato.

Os MICs utilizam substratos cerâmicos ou flexíveis, com baixas perdas em frequências de microondas, cujos principais parâmetros são sua espessura – H , e sua constante dielétrica relativa, ϵ_r .

Os MICs com substratos cerâmicos são mais adequados quando o circuito deve atender a especificações severas de temperatura, vibração e choque, como especificações militares ou espaciais. Um exemplo típico são os MICs com substrato de alumina metalizada com ouro, fotogravada por processos de microeletrônica, com componentes em *chip* conectados por técnica de microsoldagem de fios de ouro.

Substratos flexíveis são processados de forma similar a circuitos impressos de baixa frequência, exigindo especial atenção na precisão das dimensões das linhas de transmissão durante o processo fotolitográfico usado para definir as mesmas. Sobre esses substratos são montados componentes com encapsulamentos específicos para frequências de microondas ou componentes SMD – *Surface Mounted Devices*, usando-se técnicas de soldagem convencionais. A construção de MICs em substrato flexível exige processos bem menos sofisticados do que os que utilizam substratos cerâmicos, resultando em protótipos de menor custo de fabricação. O uso de substrato flexível facilita o retrabalho caso seja necessário trocar componentes danificados ou caso se deseje explorar a potencialidade do circuito realizando-se alterações no mesmo. Por esse motivo adotamos a tecnologia MIC em substrato flexível para a construção do protótipo de DVCO projetado neste trabalho.

Para a escolha do substrato deve-se considerar que a largura e comprimento das linhas de transmissão dependem diretamente de H e ϵ_r . No projeto do DVCO,

para que suas dimensões não fiquem exageradamente pequenas a ponto de inviabilizar a realização do circuito projetado, deve-se dar preferência a substratos com constantes dielétricas relativas baixas (abaixo de 4), evitando-se que as linhas de transmissão fiquem muito curtas, causando problemas de interferência eletromagnética devido à proximidade excessiva entre os transistores e demais componentes do circuito.

A espessura do substrato (H), por sua vez, não pode ser tão pequena a ponto de nos levar a larguras de trilhas mais estreitas do que as dimensões que podem ser definidas com precisão na tecnologia disponível; e não grande, a ponto de provocar uma dispersão elevada do campo elétrico das microlinhas, o que causaria interações eletromagnéticas entre as trilhas.

Escolhido um determinado substrato, prossegue-se o projeto. Depois de calculadas as dimensões dos componentes do circuito e feito o leiaute preliminar do mesmo, pode-se verificar a necessidade de se alterar o substrato para obter condições mais favoráveis à construção do circuito.

Assim como no caso do substrato, é necessário realizar uma escolha inicial do transistor a ser utilizado, a qual pode ser alterada em função dos resultados das simulações.

Ele deve ter uma potência de saturação maior do que a do nível de saída desejado. A transcondutância do transistor na faixa de frequência de interesse deve ser suficiente para que o ganho de *loop* aberto do DVCO seja maior do que 0 dB. É interessante ainda utilizar uma margem de ganho de aproximadamente 3 dB.

No capítulo 2 foi feita uma análise que permite determinar as transcondutâncias de cada transistor mínimas necessárias à oscilação, para um modelo de oscilador distribuído sem perdas. As transcondutâncias mínimas de cada transistor são dadas pelas expressões (2.92) e (2.93), sendo as fases de *loop* aberto φ_r e φ_s dos *loops* relativos aos transistores ativos T_r e T_s dadas por (2.73) e (2.74). O valor da fase das células de atraso θ_{mi} é dado por (2.54).

No item 2.5.3.2 foi apresentado um exemplo através da análise de um oscilador distribuído com 9 estágios, impedância nominal de $50\ \Omega$ e m igual a 0,8. A Fig. 2.25 apresenta o gráfico das transcondutâncias de cada transistor para satisfazer a condição de módulo de ganho de *loop* aberto igual a 1, cujos valores de pico são

apresentados na Tabela 2.6. Tais valores servem como referência para a seleção dos transistores.

A frequência de corte do transistor deve ser obviamente mais alta do que a máxima frequência de oscilação desejada. No entanto, este critério não é suficiente. É necessário que suas reatâncias intrínsecas e parasitas sejam compatíveis com a estrutura distribuída desejada.

Como a capacitância porta-fonte do transistor FET é maior do que sua capacitância dreno-fonte, ela estabelece uma limitação intrínseca do transistor. Outro fator a se considerar quando se usa a tecnologia MIC são efeitos limitantes da frequência máxima do oscilador devido à montagem e encapsulamento do transistor. Mesmo quando se utilizam transistores em *chip*, é necessário utilizar fios metálicos para conectar os terminais do transistor ao circuito, o que adiciona indutâncias em série com os acessos de porta, dreno e fonte. Em transistores encapsulados as reatâncias parasitas de cápsula contribuem adicionalmente para a limitação da frequência máxima de operação do DVCO.

Para o projeto do oscilador deve-se dispor de um modelo linear do transistor – do tipo circuito elétrico equivalente ou banco de parâmetros S – para que se possam verificar as condições de oscilação em pequenos sinais, bem como de um modelo não-linear do transistor, para que se possam realizar simulações em grandes sinais do circuito.

3.4 Estabilização do transistor

Uma vez selecionado o transistor é necessário verificar se o mesmo é incondicionalmente estável ou se existem impedâncias de terminação passivas que podem levar o transistor a oscilar quando conectadas à sua entrada e/ou saída.

A análise de estabilidade do transistor pode ser feita traçando-se os círculos de estabilidade de entrada e saída do mesmo.

Caso o transistor não seja incondicionalmente estável é necessário associar componentes de estabilização ao mesmo, como por exemplo, resistores em série e/ou paralelo com os terminais de porta e/ou dreno.

A escolha do circuito de estabilização deve ser feita considerando-se o compromisso entre a estabilidade e redução do ganho, aumento de figura de ruído e

redução de potência de saída do transistor, os quais são afetados pela associação dos resistores ao transistor.

Em transistores com ganho na faixa de microondas é comum a ocorrência de instabilidades, as quais geram oscilações internas dos mesmos. Embora, pretenda-se projetar um oscilador, é necessário que o circuito oscile através do *loop* de realimentação projetado e não através de realimentações internas dos transistores.

É importante verificar se a implementação do circuito de estabilização é fisicamente viável.

3.5 Determinação dos parâmetros da linha de transmissão artificial

A partir das especificações do oscilador distribuído (item do 3.1) e do transistor selecionado (item 3.3), é possível determinar um modelo ideal preliminar da linha de transmissão artificial que será utilizado e aprimorado nas etapas posteriores do projeto.

Será utilizada a linha de transmissão artificial do tipo m-derivada, cuja célula básica é ilustrada na Fig. 3.3.

Fig. 3.3 Célula básica em “T” da linha de transmissão artificial m-derivada

Os acessos dos transistores serão modelados através da indutância L_p e da capacitância C_m da Fig. 3.3. A indutância L_p modela efeitos indutivos do transistor e de sua cápsula e as microlinhas de acesso de porta ou dreno do transistor. No caso de a indutância L_p ser desprezível, o modelo da linha de transmissão artificial se reduz àquele de k-constante, bastando utilizar as mesmas expressões e definições descritas a seguir, com m igual a 1.

O modelo simplificado unilateral do transistor FET encapsulado é ilustrado na Fig. 3.4. A condutância dreno-fonte ($1/R_{ds}$) do modelo da Fig. 2.2, bem como resistências intrínsecas de porta e fonte e dreno por motivo de simplificação, de forma a utilizar o modelo de linhas de transmissão artificiais sem perdas, desenvolvido no capítulo 2.

Além disso, em relação ao modelo da Fig. 2.2, foram introduzidas as capacitâncias C_{g_pkg} e C_{d_pkg} e indutâncias L_{g_pkg} e L_{d_pkg} adicionadas pelo encapsulamento do transistor.

A indutância parasita da fonte do transistor não foi considerada por motivo de simplificação. Além disso, esta indutância é normalmente mais baixa do que as demais em transistores comerciais para evitar redução de ganho do transistor.

Fig. 3.4 Modelo unilateral simplificado sem perdas do transistor MESFET ou HEMT com cápsula.

O modelamento dos acessos de porta e dreno dos transistores será feito através de simulações computacionais, comparando os parâmetros S do modelo simplificado com os do modelo disponível do transistor, iterativamente. Como o modelo simplificado não prevê perdas, serão comparadas apenas as curvas das fases dos parâmetros S_{11} e S_{22} .

Considera-se que os circuitos de polarização dos transistores não irão causar alterações nas impedâncias de acesso dos transistores nas frequências de oscilação do circuito. Portanto, eles não serão incluídos nestas simulações. Na Fig. 3.5 encontram-se ilustrados os planos de simulação dos parâmetros de espalhamento dos nós de acesso de porta e dreno dos transistores do DVCO.

Fig. 3.5 Plano de simulação dos parâmetros de espalhamento de acesso de (a) porta S11 e de (b) dreno S22.

O primeiro ponto do circuito a ser modelado deve ser aquele de maior capacitância, pois será o limitante para a frequência máxima de oscilação. Trata-se do nó elétrico ao qual se encontram ligadas as portas dos transistores T_{12} e T_2 .

Através de simulações, como ilustrado na Fig. 3.6, determinam-se os valores do modelo simplificado equivalente L_{eq} e C_{eq} que melhor aproximam a reatância desejada. Os resistores de 25 ohms simulam a presença do restante da linha de transmissão artificial de dreno (50 ohms para cada lado). É importante incluir nesta simulação as linhas de acesso ao transistor, LTgg1 e LTgg2 na Fig. 3.6, pois esses elementos estarão presentes na construção do DVCO, alterando as impedâncias de porta e dreno do transistor. É interessante se definir a priori as dimensões dessas linhas através de considerações de leiaute.

Para obter os valores dos elementos do modelo do circuito elétrico equivalente de cada nó, conjunto transistor e linhas de acesso, comparam-se as fases dos parâmetros de espalhamento deste acesso com o do circuito equivalente L_{eq} e C_{eq} . Os módulos dos parâmetros de espalhamento não são considerados porque o

modelo da linha de transmissão artificial utilizado não considera perdas, já que é composto apenas por reatâncias. Como os acessos de porta e dreno dos transistores possuem perdas (vide modelo elétrico do FET na Fig. 2.2) não seria possível aproximar convenientemente os módulos das perdas de retorno.

As simulações são feitas na faixa de frequência do oscilador ligeiramente estendida, de forma iterativa, até a obtenção dos valores L_{eq} e C_{eq} que melhor aproximam o comportamento de fase do parâmetro S de reflexão deste acesso. Como valores iniciais dos parâmetros L_{eq} e C_{eq} do modelo do acesso deste nó elétrico é possível considerar os dados contidos no *datasheet* do componente.

Utiliza-se preferencialmente um modelo dos transistores com uma tabela de parâmetros S com polarização num ponto médio, entre o corte e a saturação do transistor, como $I_d = I_{dss}/2$.

Fig. 3.6 Esquema da simulação computacional para determinação do modelo equivalente do acesso às portas dos transistores T_{12} e T_2 .

A partir do modelo (L_{eq} , C_{eq}) do acesso do nó onde estão ligadas duas portas de transistores é possível avaliar a máxima frequência de corte do circuito.

Apresentamos as expressões (3.1)-(3.5) dos parâmetros C_m , L_m , L_p , m e f_c da linha de transmissão m-derivada, cuja célula básica é reproduzida na Fig. 3.3.

As deduções das expressões (3.3) e (3.4) foram desenvolvidas nos ANEXO C e D:

$$C_m = C_{eq} \quad , \quad (3.1)$$

$$L_p = L_{eq} \quad , \quad (3.2)$$

$$m = Z_0 \sqrt{\frac{C_{eq}}{4 \cdot L_{eq} + Z_0^2 \cdot C_{eq}}} \quad , \quad (3.3)$$

$$f_c = \frac{m}{\pi \cdot Z_0 \cdot C_{eq}} \quad , \quad (3.4)$$

$$L_m = Z_0 \cdot C_{eq} \quad . \quad (3.5)$$

Se o valor da frequência de corte f_c obtido em (3.4) for menor do que o desejado, verifica-se, primeiramente se é possível diminuir as dimensões das linhas de acesso do transistor. Se for possível, obtemos novos valores para C_{eq} e L_{eq} e verificamos novamente o valor da frequência de corte.

É possível, ainda, reduzir o valor dos capacitores em série com os acessos das portas dos transistores, de forma que estes novos capacitores, associados em série com as capacitâncias parasitas de porta C_{gs} , produzam uma capacitância equivalente mais baixa e compatível com a frequência de corte desejada. Atingido este objetivo, será necessário verificar posteriormente se os ganhos de *loop* aberto dos transistores T_{12} e T_2 são suficientemente altos para garantir oscilação com margem de ganho maior ou igual a 3 dB.

Caso nenhuma das duas soluções mencionadas tenha sucesso, é necessário trocar o transistor por outro, cujo valor da capacitância parasita de porta C_{gs} seja menor, retornando ao início do projeto.

Se a frequência de corte for maior do que a desejada, basta associarmos capacitâncias em paralelo, tocos ou capacitores concentrados até se obter a frequência desejada; ou ainda, aumentar a indutância em série alongando o comprimento das microlinhas de acesso.

3.6 Implementação das indutâncias e estimativa das dimensões do circuito

A implementação prática das indutâncias das linhas de transmissão artificiais será feita através de pequenos trechos de linhas de transmissão de alta impedância (Fig. 3.7), devido à facilidade que este artifício confere ao leiaute.

Fig. 3.7 (a) Trecho curto de linha de transmissão de alta impedância; (b) respectivo modelo elétrico aproximado.

Quando o comprimento de uma dada linha de transmissão for menor do que um sétimo do comprimento de onda considerado ($l < \lambda/7$), é possível utilizar as expressões aproximadas (3.6) e (3.7) descritas em [11]:

$$L_{LT} \cong \frac{Z_0 \cdot l}{\lambda \cdot f} \quad , \quad (3.6)$$

$$C_{LT} \cong \frac{l}{2 \cdot f \cdot Z_0 \cdot \lambda} \quad . \quad (3.7)$$

Mas λ pode ser expresso por (3.8):

$$\lambda \cong \frac{c}{f \cdot \sqrt{\epsilon_{eff}}} \quad (3.8)$$

onde c é a velocidade da luz no vácuo.

Substituindo (3.8) em (3.7), obtemos uma expressão para a capacitância da linha de transmissão, a qual é mais útil para nossa aplicação:

$$C_{LT} \cong \frac{l \cdot \sqrt{\epsilon_{eff}}}{2 \cdot c \cdot Z_0} \quad . \quad (3.9)$$

E, isolando l na expressão (3.6), em função da indutância obtemos

$$l \cong \frac{c \cdot L_{LT}}{Z_0 \cdot \sqrt{\epsilon_{eff}}} \quad . \quad (3.10)$$

Seleciona-se, portanto, uma largura de trilha que proporcione uma impedância alta (maior do que 50 ohms) e calcula-se o respectivo comprimento l da trilha.

Este modelo deve ser verificado através de simulação de seu parâmetro S_{21} , comparativa com o do trecho de linha de alta impedância numa faixa de frequência um pouco maior do que a desejada para o oscilador, comparando os resultados obtidos. É possível realizar alguns ajustes, alterando a largura e o comprimento da linha de transmissão para outros valores mais convenientes e verificando se a degradação não foi significativa.

É necessário respeitar o limite de largura mínima da trilha na tecnologia utilizada.

Através do comprimento obtido, esboça-se um leiaute preliminar de forma a verificar a possibilidade de implementação física do circuito.

Para evitar interações eletromagnéticas não previstas nas simulações, devemos respeitar um espaçamento entre microlinhas de transmissão de no mínimo a dimensão da espessura do substrato. De uma microlinha para uma ilha de terra, o espaçamento deve ser de no mínimo uma vez e meia a espessura do substrato [17].

Caso chegue-se à conclusão de que o circuito é impraticável, têm-se as seguintes possibilidades antes do reinício do projeto:

- Alterar o substrato;
- Trocar o transistor;
- Adotar a tecnologia MMIC;

Caso contrário segue-se com o projeto, utilizando-se os valores obtidos de comprimento (l) e largura (w) destas linhas de transmissão.

3.7 Projeto preliminar individual de cada estágio

É desejável que todas as linhas de transmissão que substituem as indutâncias do circuito tenham o mesmo comprimento para facilidade de leiaute.

Sendo assim, é necessário que todos os acessos dos transistores (portas e drenos) que preliminarmente podem ser modelados pelos elementos L_{trans} e C_{trans} possuam impedâncias de entrada semelhantes, de forma que a velocidade de propagação da onda na estrutura seja constante. Isto implica que todos os nós devem possuir uma impedância na faixa de frequência do oscilador semelhante àquela obtida com a indutância equivalente L_{eq} em série com o capacitor equivalente C_{eq} , parâmetros obtidos através do modelamento do nó elétrico de conexão entre as portas dos transistores T_1 e T_{12} , conforme descrito no item 3.5.

Para isso, é necessária a introdução de elementos externos em paralelo com estes acessos, de forma que todas as impedâncias fiquem semelhantes entre si. Isto pode ser obtido através de capacitores concentrados (que naturalmente possuem indutâncias parasitas), de tocos em aberto ou mesmo através da alteração das dimensões das linhas de acesso.

É importante notar que as capacitâncias de terminação C_{LT1} e C_{LT2} das linhas de transmissão que chegam nos acessos dos transistores também deverão ser consideradas. A Fig. 3.8 apresenta o esquema elétrico usado para determinar os valores dos elementos genéricos usados em paralelo com o nó de acesso à porta do transistor, de modo a tornar a impedância aproximadamente igual à da associação de L_{eq} e C_{eq} mostrada na mesma figura, na faixa de frequência de projeto.

Fig. 3.8. Esquema elétrico utilizado para determinação dos elementos em paralelo com o acesso de uma porta de um determinado transistor.

3.8 Circuitos de casamento de impedâncias

Para obter um bom casamento de impedâncias nas terminações das linhas de transmissão artificiais, utilizamos meias-seções de células de linhas de transmissão m-derivadas (vide item 2.2) como ilustrado na Fig. 3.9.

Fig. 3.9. Esquema elétrico da terminação com meia-seção de célula de linha m-derivada.

Utilizamos, como descrito no item 2.2.4.2, o valor de m igual a 0,6 e a frequência de corte do circuito f_c para determinarmos através das equações (3.11) e (3.12), deduzidas no ANEXO E, os valores de L_m e C_m , respectivamente:

$$\frac{L_m}{2} = \frac{m \cdot Z_0}{2 \cdot \pi \cdot f_c} \quad , \quad (3.11)$$

$$\frac{C_m}{2} = \frac{m}{2 \cdot \pi \cdot Z_0 \cdot f_c} \quad . \quad (3.12)$$

Calculamos também a indutância L_p através da expressão (3.13), derivada de (2.45):

$$2 \cdot L_p = \frac{1 - m^2}{2m^2} L_m \quad (3.13)$$

As indutâncias são implementadas através de trechos curtos de linhas de transmissão de alta impedância e as capacitâncias podem ser implementadas através de trechos curtos de linhas de transmissão de baixa impedância terminadas em aberto ou de capacitores concentrados. O procedimento para implementação destas indutâncias e capacitâncias é o mesmo daquele descrito no item 3.6.

3.9 Circuitos de polarização

Como a polarização da porta de cada um dos transistores deve ser feita de forma independente das demais, é necessário colocar capacitores para bloqueio de corrente contínua (C_{s1} , C_{s12} , C_{s2} , ..., C_{sn} na Fig. 3.1) em série com os terminais de porta.

É importante que os parasitas destes capacitores sejam considerados nas simulações através de um modelo de um circuito equivalente ou um banco de parâmetros S. É desejável também que estes capacitores possuam baixas perdas na faixa de frequência de oscilação.

A isolação em RF da tensão de porta será feita através dos resistores R_1 , R_{12} , R_2 , R_3 , ..., R_n com valor bem acima de 50 ohms. A filtragem destas tensões será feita pelos capacitores C_{f1} , C_{f12} , C_{f2} , C_{f3} , ... C_{fn} (Fig. 3.1).

A tensão de polarização do dreno será comum a todos os transistores e será aplicada através do indutor L_d , o qual deve possuir uma reatância bem maior do que 50 ohms em toda a faixa de frequência de funcionamento do oscilador. Ele pode ser implementado através de um fio enrolado ou trecho de linha de transmissão de alta impedância.

Para isolar esta tensão de polarização de dreno da saída e do resistor de carga da linha de porta R_g , utilizamos, respectivamente os capacitores em série C_{sd} e C_{sg} (Fig. 3.1), os quais devem possuir uma baixa reatância ($\ll 50$ ohms) na faixa de frequência de funcionamento do circuito.

3.10 Integração dos estágios e otimização do circuito

Neste ponto do projeto, temos uma versão preliminar do circuito. Cada estágio foi dimensionado individualmente, de forma que as impedâncias dos terminais de acesso apresentassem a impedância mais semelhante possível àquela esperada para composição das células com a indutância L_{eq} e a capacitância C_{eq} da linha de transmissão artificial projetada.

Além disso, os trechos curtos de linhas de transmissão de alta impedância que conectam os estágios tiveram seu comprimento (l) e largura (w) dimensionados, como também foram dimensionados os circuitos de polarização e os de casamento de impedância.

É importante ressaltar que as simulações dos estágios separados previamente realizadas foram limitadas a uma condição específica de polarização, com $I_{ds}=I_{dss}/2$.

Reunimos, então, todos os elementos projetados separadamente num único esquema semelhante àquele da Fig. 3.1. Os estágios são ligados através dos trechos de linha de transmissão de alta impedância (item 3.6) sem a realimentação reversa do oscilador. Na saída, é incluída a meia seção de célula m-derivada. Inserem-se também os capacitores de bloqueio DC, bem como a indutância de polarização dos drenos.

É interessante nesta etapa que se utilize um modelo não-linear do transistor, de forma que sua polarização possa ser alterada, e conseqüentemente seu ganho e suas capacitâncias intrínsecas.

À medida que todos os estágios são agregados, novos detalhes de leiaute devem ser incluídos como curvas e junções em “T”.

Ilustramos na Fig. 3.10 um diagrama de blocos do circuito que será simulado em pequenos sinais, para estimativa da perda de retorno nas 4 portas S11, S22, S33 e S44 e do ganho de *loop* aberto S31:

Fig. 3.10. Diagrama de blocos simplificado do esquema a ser computacionalmente simulado.

É necessário realizar a otimização deste circuito nas condições reais de operação, variando suas tensões de polarização de porta. A princípio, propomos fazer um conjunto de simulações com cada um dos transistores polarizado na região ativa, na condição de ganho máximo e os demais transistores cortados. Somente, após todos os critérios descritos abaixo terem sido verificados para estas $n+1$ situações, realizam-se simulações com variação complementar da polarização dos transistores.

Os critérios utilizados para avaliação do circuito devem ser:

- Módulo do ganho reverso (S31) maior do que 3 dB na frequência onde a fase de S31 é igual a zero.
- Perda de retorno de saída (S22) menor do que -10 dB em toda a faixa;
- Perda de retorno da terminação da linha de porta (S44) menor do que -10 dB em toda a faixa de frequência.
- Perdas de retorno das quatro portas S11, S22, S33 e S44 menores ou iguais a zero em toda faixa de frequência em que os transistores utilizados têm capacidade de oscilar. Isso evita possíveis oscilações indesejáveis, ou seja, que não ocorrem através do *loop* de realimentação da porta 3 para a porta 1.
- Verificação da manutenção da frequência máxima ($f_{\max}$) de oscilação especificada.
- Possibilidade de implementação física dos elementos desejados.

3.11 Simulações não-lineares

Para termos uma estimativa mais precisa da frequência e da potência de oscilação, bem como do nível de harmônicas em regime permanente, devemos realizar a simulação não-linear do circuito projetado. Caso se possuam modelos de ruído dos componentes do circuito, em especial, dos transistores, é possível simular também o ruído de fase do oscilador.

Essa simulação pode ser realizada no domínio do tempo, procedimento esse que permite avaliar tanto a resposta transitória como a condição de regime permanente da operação do oscilador. A simulação não-linear no domínio do tempo, no entanto, consome geralmente tempo elevado de processamento computacional.

O método do Balanceamento Harmônico [14] fornece como resultado o desempenho do oscilador em regime permanente, e utiliza simulações no domínio do tempo e da frequência, aplicadas respectivamente aos elementos não-lineares e lineares do circuito a ser simulado, obtendo assim maior eficiência computacional.

Durante a simulação não-linear do DVCO deve-se realizar a varredura das tensões DC de porta de pares de transistores adjacentes, polarizados em modo complementar, como será realizado na operação real do oscilador, verificando-se se a oscilação se mantém em todo o intervalo contido entre as frequências de oscilação de cada transistor polarizado individualmente na região ativa.

3.12 Conclusão

Foi proposta uma metodologia para o projeto de circuito DVCO com realimentação reversa em frequências de microondas. Utilizam-se as expressões apresentadas no capítulo 2 e um simulador computacional.

Foram definidos os critérios para seleção da tecnologia e dos transistores e as expressões para determinação dos parâmetros do circuito, tais como: número de estágios, valores dos componentes concentrados e dimensões das microlinhas de transmissão.

A partir da obtenção de um modelo LC do nó formado pelos acessos de porta de maior capacitância, são definidos os parâmetros da linha de transmissão artificial. Os demais acessos dos transistores são projetados separadamente, de forma a reproduzir o modelo LC previamente estabelecido. Isto é feito através de simulações computacionais lineares iterativas, nas quais são dimensionados os componentes do circuito.

São, então, projetadas as microlinhas de alta impedância para interconexão dos estágios bem como as meias-células de linhas de transmissão artificiais para casamento de impedâncias.

A seguir, os estágios são reunidos num único esquema em *loop* aberto. Nesta etapa é realizada a otimização do circuito através de simulações computacionais em diversas condições de polarização. São verificados os parâmetros perda de retorno e ganho de *loop* aberto na frequência em que a fase é igual a 2π .

Finalmente, são realizadas simulações não-lineares em *loop* fechado. São verificados o desvio de frequência em relação à condição prevista de oscilação em *loop* aberto, a potência de saída e os níveis de harmônicas. Caso se possuam os modelos de ruído dos componentes, podem ser realizadas simulações de ruído de fase.

4 PROJETO DO OSCILADOR DISTRIBUÍDO

Com o intuito de validar a metodologia de projeto proposta para DVCOs de microondas com realimentação reversa proposta no capítulo 3, desenvolveu-se um protótipo na faixa de 1 a 3 GHz.

Descreveremos a seguir o projeto deste protótipo intitulado *DVCO 3 GHz*, o qual foi implementado através de tecnologia de circuitos híbridos.

4.1 Especificações

A potência de saída de um oscilador deve ser bem mais alta do que o ruído térmico ambiente de forma que este não seja o fator determinante da pureza espectral do oscilador. Por isso, tipicamente utilizam-se valores de potência de saída entre 0 e 20 dBm.

A faixa de frequência de operação especificada foi escolhida por ser suficientemente alta para que efeitos parasitas e fenômenos típicos de microondas sejam significativos no comportamento do circuito. Por outro lado, nessas frequências os comprimentos das microlinhas de transmissão do circuito a ser construído em tecnologia MIC são suficientemente grandes para evitar acoplamentos eletromagnéticos entre os componentes do DVCO, que não podem ser adequadamente considerados pelo simulador de circuitos utilizado.

Os valores utilizados como especificação do projeto a ser realizado estão listados na Tabela 4.1:

Tabela 4.1. Especificações para o projeto do protótipo do oscilador

Parâmetro	Símbolo	Valor
Frequência mínima de oscilação	$f_{\min}$	1 GHz
Frequência máxima de oscilação	$f_{\max}$	3 GHz
Potência mínima da oscilação de saída	$P_{\min}$	10 dBm
Impedância nominal na saída	Z_0	50 Ω

4.2 Determinação do número de estágios

A frequência de corte da linha de transmissão artificial a ser projetada será igual à frequência de oscilação máxima desejada. A partir da relação entre as frequências máxima e mínima, dada pela expressão:

$$\frac{f_{\min}}{f_c} = \frac{1 \text{ GHz}}{3 \text{ GHz}} = 0,33 \quad (4.1)$$

e do valor de m da estrutura m -derivada da linha de transmissão utilizada, podemos determinar o número de estágios.

O valor de m da estrutura m -derivada da linha de transmissão artificial é desconhecido a princípio. No entanto, é desejável que ele seja o mais próximo possível de 1 para obtenção de faixa mais larga possível e frequência de oscilação mais alta possível.

Inicialmente, utilizamos m igual a 1. A Tabela 4.2 contém os valores iniciais de oscilação previstos para os três primeiros estágios para o caso em que m igual a 1. O valor 0,33 estaria localizado, portanto, entre os segundo e terceiro estágios.

Tabela 4.2. Frequência de oscilação dos três primeiros estágios e do transistor cruzado para $m=1$.

r	1	12	2	3
f/f_c	1,00	0,71	0,50	0,31
f (GHz)	3,00	2,13	1,5	0,93

O número de estágios necessário para cobrir a faixa desejada será, portanto, $n = 3$. Conforme a análise realizada no item 2.5.3.1, através das Tabela 2.4 e Tabela 2.5, conclui-se que devem ser utilizados transistores nos três estágios, além do transistor cruzado T_{12} . Assim, o número de transistores utilizados será de $n + 1 = 4$.

4.3 Seleção do substrato e do transistor

O substrato escolhido foi o RO5880 [18] da Rogers, à base de teflon, cuja constante dielétrica relativa ϵ_r é de 2,2, a espessura H de 0,787 mm e a espessura T do cobre é de 35 μm .

Escolhemos inicialmente o transistor do tipo PHEMT modelo NE33284A [19] da NEC, cujas principais características estão descritas na Tabela 4.3.

Tabela 4.3. Características elétricas do transistor NE33284A

Parâmetro		Valor
G_A	Ganho ($V_{ds}=2\text{V}$, $I_{ds}=10\text{mA}$, $f=4\text{ GHz}$)	15,0 dB
$P_{1\text{dB}}$	Ponto de compressão de 1 dB ($V_{ds}=2\text{V}$, $I_{ds} = 20\text{mA}$, $f=12\text{ GHz}$)	12 dBm
I_{DSS}	Corrente de saturação de dreno ($V_{ds}=2\text{V}$, $V_{gs} = 0\text{V}$)	40 mA
V_p	Tensão de corte ($V_{ds}=2\text{V}$, $I_{ds}=100\mu\text{A}$)	-0,8 V
g_m	Transcondutância ($V_{ds}=2\text{V}$, $I_{ds}=20\text{mA}$)	93 mS

A escolha do transistor foi baseada no seu ponto de compressão $P_{1\text{dB}}$ maior do que 10 dBm, nas pequenas dimensões do encapsulamento do transistor, de seus baixos valores de parasitas e na sua transcondutância.

Para se ter uma ordem de grandeza da transcondutância mínima necessária para que o circuito oscile em toda a faixa $g_{mr,\text{min}}$, pode-se utilizar a expressão (2.92), calculada nas frequências características (Tabela 4.2) destes transistores. Os valores de $Z_{\pi m}$ e θ_{mi} presentes na expressão (2.92) podem ser obtidos através de (2.49) e (2.54), respectivamente. Os valores obtidos através deste cálculo encontram-se na Tabela 4.4.

Tabela 4.4. Transcondutância mínima requerida de cada transistor para DVCO ideal sem perdas com $m=1$.

Transistor	Transcondutância de pico (mS)
T_1	21,7
T_{12}	28,7
T_2	37,6
T_3	46,4

Observe que as diferenças principais entre o circuito que estamos projetando e os cálculos através do modelo linear, cujos resultados são expressos na Tabela 4.4 são que o modelo linear não considera as perdas e utiliza $m=1$ (não conhecemos ainda o valor real de m no nosso circuito). Verificamos que a transcondutância do transistor escolhido NE33284A para $I_{ds}=20\text{mA}$ e $V_{ds}=2\text{V}$ (93 mS) é superior a de todos os 4 primeiros transistores da Tabela 4.4, cujo maior valor é 46,4 mS.

Será utilizada a tensão de dreno-fonte V_{ds} igual a 2,0 V, sugerida no *datasheet* do transistor NE33284A para máxima excursão da tensão de saída [19].

A curva característica DC I_{ds} versus V_{ds} , parametrizada em V_{gs} , bem como a transcondutância AC versus V_{gs} para $V_{ds}=2\text{V}$ obtidas através do modelo não-linear do transistor escolhido são apresentadas na Fig. 4.1. Observa-se que a transcondutância AC em 2 GHz é de 85 mS.

O programa de simulação utilizado em todo este trabalho é o ADS [20], versão 2003A, da *Agilent*, cujas ferramentas são voltadas para simulação de circuitos de microondas.

(a)

(b)

Fig. 4.1. Características simuladas do transistor NE33284A: (a) polarização: I_{ds} X V_{ds} e (b) G_m AC (2GHz) X V_{gs} , $V_{ds}=2V$.

4.4 Estabilização do transistor

Conforme ilustrado através dos círculos de estabilidade da Fig. 4.2, o transistor NE33284A não é incondicionalmente estável na faixa de frequências entre 1 e 20 GHz, sendo necessário associar ao mesmo, circuito de estabilização para evitar que ele oscile.

Várias configurações de circuito de estabilização foram testadas. Aquela que se mostrou mais eficiente foi obtida a partir da introdução de um resistor de 270 ohms em paralelo com a porta do transistor.

O circuito de estabilização foi projetado simulando-se o circuito esquemático apresentado na Fig. 4.3, onde são considerados, além do desempenho do transistor propriamente dito, os efeitos dos furos metalizados utilizados para aterrar os terminais de fonte, bem como trechos de linha de transmissão para acesso da porta e do dreno do transistor.

Fig. 4.2. Círculos de estabilidade de (a) entrada, (b) saída e (c) módulo do ganho direto em 50 ohms do transistor NE33284A.

É apresentado o esquema simulado na Fig. 4.3, o qual inclui o resistor de estabilização. Utilizou-se um circuito de estabilização que reduziu o risco de oscilações espúrias, deslocando praticamente para fora da área passiva da Carta de Smith os círculos que continham impedâncias de terminação de porta e dreno potencialmente instáveis. Os resultados obtidos com o transistor estabilizado são

ilustrados na Fig. 4.4. É importante notar que a variação do módulo do ganho direto em 50 ohms devido à inclusão do circuito de estabilização foi menor do que 1 dB.

Fig. 4.3. Esquema elétrico utilizado para ajuste do circuito de estabilização do transistor NE33284A.

É importante que as dimensões do resistor de estabilização sejam reduzidas para que o mesmo apresente o mínimo de parasitas e que este seja ligado o mais próximo possível da porta do transistor. Por isso, utilizaram-se resistores com encapsulamento 0402 da Kamaya [23], cujas dimensões são 1,0 mm de comprimento e 0,5 mm de largura.

Outro fator importante para a estabilização do transistor é diminuir a indutância parasita entre os terminais de fonte dos transistores e o plano de terra. Por isso, deve-se utilizar a mínima distância possível de seus terminais de fonte aos furos de passagem entre a face superior do substrato e a metalização do plano terra em seu verso.

Fig. 4.4. Círculos de estabilidade de (a) entrada, (b) saída e (c) módulo do ganho direto em 50 ohms obtidos após a introdução do resistor de estabilização para o transistor NE33284A.

4.5 Determinação dos parâmetros do modelo da linha de transmissão artificial

Para cálculo dos parâmetros da linha de transmissão artificial, inicialmente se determina um modelo LC série que, represente o comportamento da impedância do nó em que são conectados os terminais de porta dos transistores T_{12} e T_2 , na faixa de frequência de interesse.

A partir da tabela de parâmetros S do transistor utilizado com corrente de polarização I_{ds} igual a 20 mA e V_{ds} igual a 2 Volts, obtemos um modelo elétrico simplificado (L_{eq} , C_{eq}) para o nó formado pelas portas de dois transistores. O esquema simulado na Fig. 4.5 utiliza, além dos transistores, os elementos de leiaute que são conhecidos nesta etapa do projeto, tais como os furos de passagem de terra e as linhas de acesso dos transistores.

Foram incorporados também ao esquema da Fig. 4.5 os capacitores de desacoplamento DC. Foram consideradas duas famílias de capacitores para aplicação em alta frequência para utilização no DVCO, cujas tabelas de parâmetros S eram disponíveis:

- família R09 com encapsulamento 0403, de dimensões 1,02 mm e 0,76 mm, fabricada pela *Johanson* [22] e
- família 600S com encapsulamento 0603, de dimensões 1,52 mm e 0,76 mm, fabricada pela ATC [21].

Verificou-se que os capacitores da família 600S da ATC possuem parasitas de menor valor do que os capacitores da família R09 da *Johanson*. Estes, por sua vez, são menores. Portanto, nas posições onde as dimensões do leiaute permitiram, utilizaram-se os capacitores da família 600S da ATC. Nas outras, foram utilizados os capacitores da família R09 da *Johanson*, como no caso dos capacitores de bloqueio DC em série com as linhas de acesso das portas dos transistores. Para facilitar a confecção do leiaute, foram utilizados nessas posições os capacitores da família R09 da *Johanson*. Inicialmente o valor destes capacitores utilizados nas simulações foi de 4,7 pF, representados por tabelas de parâmetros S fornecidas pelo fabricante.

Uma vez definidos todos os elementos do circuito de estabilização dos transistores T_{12} e T_2 calculou-se o circuito LC série equivalente do nó que dá acesso a seus terminais de porta, obtendo-se da capacitância equivalente C_{eq} de 1,5 pF e a

indutância equivalente L_{eq} de 0,8 nH. Estes valores são preliminares, pois ainda não consideram as capacitâncias das linhas de transmissão de alta impedância de porta, as quais serão introduzidas posteriormente.

Fig. 4.5. Esquema elétrico utilizado para estimativa do circuito equivalente do nó de interligação entre as portas dos transistores T_{12} e T_2 .

A Fig. 4.6 ilustra a aproximação obtida através do circuito equivalente com o gráfico das fases de S_{11} e S_{22} , as quais representam respectivamente as perdas de retorno do esquema elétrico do acesso de porta da associação dos transistores T_{12} e T_2 e do modelo equivalente do mesmo.

Fig. 4.6. Gráfico obtido na simulação comparando as fases de S11, resultante da interconexão das portas dos transistores T_{12} e T_2 , e S22, referente ao respectivo circuito equivalente.

A partir das expressões (3.1)-(3.4) e utilizando os parâmetros L_{eq} e C_{eq} obtidos na simulação (Fig. 4.5), pode-se, então, calcular os parâmetros da célula m-derivada, C_m , L_p , L_m e m , e a frequência de corte f_c máxima possível. Os valores obtidos foram:

$$C_m = C_{eq} = 1,5 \text{ pF} \quad , \quad (4.2)$$

$$L_p = L_{eq} = 0,8 \text{ nH} \quad , \quad (4.3)$$

$$L_m = Z_0^2 \cdot C_{eq} = 3,75 \text{ nH} \quad , \quad (4.4)$$

$$m = Z_0 \sqrt{\frac{C_{eq}}{4 \cdot L_{eq} + Z_0^2 \cdot C_{eq}}} = 0,73 \quad , \quad (4.5)$$

$$f_c = \frac{m}{\pi \cdot Z_0 \cdot C_{eq}} = 3,1 \text{ GHz} \quad . \quad (4.6)$$

Observe que a frequência de corte máxima possível supera ligeiramente a frequência $f_{\max}$ especificada. Desta forma, é possível prosseguir com o projeto.

4.6 Implementação das indutâncias e estimativa das dimensões do circuito

A indutância L_m da linha de transmissão artificial m-derivada calculada em (4.4) será implementada através de um trecho curto de linha de transmissão de alta impedância:

Através do programa *Linecalc* do pacote *ADS* da *Agilent*, calcula-se a impedância característica da linha Z_0 . Os parâmetros de entrada são a largura da trilha w_{LT} , a constante dielétrica relativa do substrato ($\epsilon_r=2,2$), bem como a espessura do substrato ($H=0,787$ mm) e a espessura do cobre ($T=35\mu m$) relativas ao substrato *RO5880* [18] da *Rogers*.

Obtivemos, então:

$$w_{LT} = 0,5 \text{ mm} \quad , \quad (4.7)$$

$$Z_0 = 111,8 \Omega \quad , \quad (4.8)$$

$$\epsilon_{eff} = 1,732 \quad . \quad (4.9)$$

A impedância Z_0 obtida é suficientemente maior do que 50 ohms para servir como aproximação de uma indutância e sua largura w_{LT} viabiliza a implementação física no leiaute do circuito.

Pode-se agora calcular a partir das expressões (3.8)-(3.10) os parâmetros dos trechos de linha de transmissão de alta impedância, bem como o limite de validade das aproximações utilizadas ($l_{LT} < \lambda/7$). Obtemos, então:

$$\frac{\lambda}{7} = \frac{c}{7 \cdot f_{max} \cdot \sqrt{\epsilon_{eff}}} \cong 10,9 \text{ mm} \quad , \quad (4.10)$$

$$l_{LT} \cong \frac{c \cdot L_{LT}}{Z_0 \cdot \sqrt{\epsilon_{eff}}} \cong 7,6 \text{ mm} < \frac{\lambda}{7} \quad , \quad (4.11)$$

$$C_{LT} \cong \frac{l_{LT} \cdot \sqrt{\epsilon_{eff}}}{2 \cdot c \cdot Z_0} \cong 0,15 \text{ pF} \quad . \quad (4.12)$$

O comprimento l_{LT} obtido da linha (4.11) é relativamente curto para implementação física, conforme verificado num esboço do leiaute. Tentaremos aumentá-lo, caso seja possível.

Na Fig. 4.7 é ilustrado o esquema utilizado para comparar a linha de transmissão de alta impedância com seu modelo elétrico:

Fig. 4.7. Esquema elétrico utilizado para refinamento do modelo elétrico relativo a uma linha de transmissão de alta impedância.

Foram comparados os parâmetros S de transmissão da linha S34 e seu modelo equivalente S21 na Fig. 4.8. Observe que a aproximação foi boa na faixa de frequência entre 1 GHz e 3 GHz.

Fig. 4.8. Resultados obtidos na simulação comparativa entre uma linha de alta impedância e seu modelo elétrico.

Seria interessante, no entanto, utilizar um comprimento da linha de transmissão de alta impedância l_{LT} maior do que o obtido em (4.11) para viabilizar a confecção do leiaute. Estudos preliminares através de esboço do leiaute do circuito indicam que este comprimento l_{LT} deve ser de, no mínimo 10 mm para viabilizar a introdução do transistor cruzado T_{12} .

Foram feitas novamente as simulações para determinação do modelo equivalente do acesso de porta dos transistores T_1 e T_{12} , considerando desta vez a capacitância da linha de alta impedância. Mas como se deseja aumentar seu comprimento l_{LT} em aproximadamente 30% do valor obtido em (4.12) consideraremos um valor de capacitância de terminação da linha de transmissão correspondentemente maior:

$$C_{LT} = 0,2 \text{ pF} \quad . \quad (4.13)$$

O esquema elétrico desta nova simulação, incluindo as capacitâncias da linha de transmissão de alta impedância C_{LT} , encontra-se na Fig. 4.9.

Fig. 4.9. Esquema elétrico utilizado para redimensionar o circuito equivalente de acesso ao nó composto pelas portas dos transistores T_{12} e T_2 .

Através de alterações iterativas obtivemos os novos valores dos parâmetros do circuito equivalente L_{eq} e C_{eq} , respectivamente:

$$L_{eq} = 0,6 \text{ nH} \quad , \quad (4.14)$$

$$C_{eq} = 1,8 \text{ pF} \quad . \quad (4.15)$$

Observe-se que o valor da capacitância equivalente aumentou devido à inclusão da capacitância de terminação do modelo da linha de transmissão de alta impedância C_{LT} .

Os resultados obtidos, mostrando a boa aproximação alcançada na faixa de frequência entre 1 e 3 GHz no nó de interconexão de T2 e T12 são exibidos na Fig. 4.10:

Fig. 4.10. Comparação entre as fases de S11, perda de retorno do nó de interconexão dos transistores T₁₂ e T₂ e S22, perda de retorno de seu respectivo circuito equivalente.

4.7 Redimensionamento dos parâmetros do modelo da linha de transmissão artificial

A partir dos parâmetros equivalentes L_{eq} e C_{eq} obtidos (4.14) e (4.15) é possível redimensionar os componentes da linha de transmissão m-derivada. Obtém-se, então:

$$C_m = C_{eq} = 1,8 \text{ pF} \quad , \quad (4.16)$$

$$L_p = L_{eq} = 0,6 \text{ nH} \quad , \quad (4.17)$$

$$L_m = Z_0^2 \cdot C_{eq} = 4,5 \text{ nH} \quad , \quad (4.18)$$

$$m = Z_0 \sqrt{\frac{C_{eq}}{4 \cdot L_{eq} + Z_0^2 \cdot C_{eq}}} = 0,81 \quad (4.19)$$

$$f_c = \frac{m}{\pi \cdot Z_0 \cdot C_{eq}} = 2,86 \text{ GHz} \quad . \quad (4.20)$$

Observe que a frequência de corte f_c sofreu um decréscimo (4.20) e ficou abaixo da especificação $f_{\max}$ de 3 GHz, devido à inclusão das capacitâncias de terminação do modelo dos trechos das linhas de transmissão de alta impedância.

Considerando que tal redução não foi menor do que 5 % e esta ainda é uma fase preliminar do projeto, decidiu-se prosseguir assim para próxima etapa de projeto e recuperar a frequência de corte posteriormente, na fase de otimização.

Além da frequência máxima de corte f_c ter abaixado, outro parâmetro que se alterou e também acarretará em modificações nas frequências de oscilação na situação de apenas um transistor ativo de cada vez foi o parâmetro $m = 0,81$, inicialmente considerado igual a 1. Por isso, recalcularam-se as frequências características de cada transistor através da equação (2.65). Os resultados estão expressos na Tabela 4.5.

Tabela 4.5. Frequências características de oscilação de cada um dos transistores previstas pelo modelo linear, atualizadas devido às alterações de f_c para 2,86 GHz e m para 0,81.

	T_1	T_{12}	T_2	T_3
f/f_c	1,00	0,78	0,58	0,37
f (GHz)	2,86	2,22	1,66	1,06

Observe-se na Tabela 4.5 que a frequência mínima de operação foi recalculada, resultando em 1,06 GHz, pouco acima da frequência especificada de 1,00 GHz. Além do fato de esta diferença não ser grande, é importante considerar novamente que esta ainda é uma fase preliminar de projeto. Pequenos ajustes ainda poderão ser realizados na fase de otimização do circuito.

4.8 Redimensionamento das linhas de alta impedância

Outra observação importante é que a indutância L_m foi aumentada (4.18), como esperado. Utilizando os novos parâmetros L_{LT} (4.18) e C_{LT} (4.13) do modelo de circuito elétrico equivalente da linha de transmissão de alta impedância, faremos novas simulações, segundo esquema da Fig. 4.11, para determinar o comprimento l_{LT}

e largura w_{LT} destas linhas que melhor aproximam o comportamento desse modelo na faixa de 1 a 3 GHz.

Fig. 4.11.Esquema elétrico utilizado para comparação da linha de transmissão de alta impedância e seu modelo de circuito elétrico equivalente.

Foram, então, obtidas as novas dimensões da linha de transmissão de alta impedância (4.21) e (4.22), as quais proporcionam uma aproximação ainda melhor do modelo elétrico desejado e podem ser implementadas no leiaute. Isto é ilustrado na Fig. 4.12 através dos gráficos de parâmetros S comparando a linha (S43) ao modelo elétrico (S21).

$$l_{LT} = 10 \text{ mm} \quad (4.21)$$

$$w_{LT} = 0,5 \text{ mm} \quad (4.22)$$

Fig. 4.12.Resultados da simulação comparativa entre a linha de transmissão de alta impedância e seu modelo elétrico.

4.9 Projeto preliminar individual de cada estágio

O projeto preliminar de cada estágio do DVCO consiste em introduzir novos elementos em paralelo a cada acesso de portas e drenos do circuito de forma que os mesmos possuam impedâncias semelhantes àsquelas do modelo formado pela capacitância equivalente C_{eq} e pela indutância equivalente L_{eq} do nó de conexão das portas de T12 e T2.

A Tabela 4.6 resume os valores atualizados até esta etapa do projeto dos parâmetros de projeto que serão utilizados para as etapas que se seguirão.

Tabela 4.6. Parâmetros iniciais utilizados para a otimização do oscilador distribuído.

Parâmetro	Símbolo	Valor
Capacitância equivalente do modelo simplificado dos acessos dos transistores	C_{eq}	1,8 pF
Indutância equivalente do modelo simplificado dos acessos dos transistores	L_{eq}	0,6 nH
Capacitância equivalente de terminação da linha de transmissão entre os estágios	C_{LT}	0,2 pF
Indutância equivalente do trecho de linha de transmissão entre os estágios	L_{LT}	4,5 nH
Largura do trecho de linha de transmissão entre os estágios	w_{LT}	0,5 mm
Comprimento total do trecho de linha de transmissão entre os estágios	l_{LT}	10 mm

4.9.1 Acesso com uma porta

Apresenta-se a seguir o projeto do circuito associado às portas dos transistores T1 e T3.

A simulação do esquema elétrico para nó do circuito com uma porta aparece ilustrada na Fig. 4.13, na qual apresenta-se o esquema elétrico para determinar o modelo LC série equivalente de nós do circuito aos quais são conectados a terminal de porta de um único transistor. Esse nó tem capacitância inferior ao que está interconectado a dois transistores. Para equalizar essas capacitâncias adicionou-se à entrada do transistor um capacitor em paralelo. Utilizou-se um capacitor ATC de 0,7 pF [21], considerando-se que um de seus terminais seria aterrado através de uma

via e o outro conectado à linha de porta por um trecho de microlinha de transmissão de $w = 0,5 \text{ mm}$ e $l = 1 \text{ mm}$.

Utilizou-se uma tabela de parâmetros S para simulação do capacitor ligado em série com o acesso de porta do transistor e aquele ligado deste acesso ao terra em todas as simulações realizadas neste projeto.

O resultado desta simulação comparativa entre a impedância de acesso da porta do transistor, obtida após otimização, e o modelo elétrico que se deseja obter é apresentado na Fig. 4.14.

Fig. 4.13 Esquema elétrico utilizado para determinação da topologia do nó com uma porta de transistor através da comparação com o modelo equivalente desejado.

Fig. 4.14 Comparação entre as fases de S11 e S22 obtidas na comparação entre a impedância de acesso de um nó conectado a uma porta de transistor e o modelo do mesmo.

4.9.2 Acesso com um dreno

Apresenta-se a seguir o projeto do circuito associado ao dreno dos transistores T2 e T3.

A simulação realizada para um nó do circuito com um dreno aparece ilustrada na Fig. 4.15. Foi adicionado em paralelo com esse nó um capacitor de 1,0 pF da ATC [21] e um acesso ao mesmo constituído de um trecho de linha de transmissão com 1,0 mm de comprimento e 0,5 mm de largura, visando equalizar sua capacitância a C_{eq} e sua indutância a L_{eq} .

O resultado desta simulação comparativa entre a impedância de acesso e o modelo elétrico é apresentado na Fig. 4.16.

4.9.3 Acesso com dois drenos

Apresenta-se nesse item o projeto do circuito associado ao nó de convergência dos drenos dos transistores T1 e T12.

A simulação realizada para um nó do circuito com dois drenos aparece ilustrada na Fig. 4.17. Foi adicionado um capacitor de 0,4 pF da ATC [21] e um acesso ao mesmo constituído de um trecho de linha de transmissão com 4,0 mm de comprimento e 0,5 mm de largura.

O resultado desta simulação comparativa entre a impedância de acesso, obtida após otimização, e o modelo elétrico é apresentado na Fig. 4.18.

Fig. 4.17 Esquema elétrico utilizado para otimização do circuito do nó conectado a dois drenos através da comparação com o modelo equivalente desejado.

Fig. 4.18 Comparação entre as fases de S11 e S22 obtidas na comparação entre a impedância de acesso de um nó conectado a dois drenos de transistores e do modelo do mesmo.

4.9.4 Resumo dos elementos obtidos

Os elementos obtidos no item 4.9 são resumidos na Tabela 4.7:

Tabela 4.7. Elementos em paralelo com cada nó do circuito

Elemento	Valor
Capacitor ATC em paralelo com nó com uma porta	0,7 pF
Comprimento do trecho de linha de acesso ao capacitor	1,0 mm
Largura do trecho de linha de acesso ao capacitor	0,5 mm
Capacitor ATC em paralelo com nó com um dreno	1,0 pF
Comprimento do trecho de linha de acesso ao capacitor	1,0 mm
Largura do trecho de linha de acesso ao capacitor	1,0 mm
Capacitor ATC em paralelo com nó com dois drenos	0,4 pF
Comprimento do trecho de linha de acesso ao capacitor	4,0 mm
Largura do trecho de linha de acesso ao capacitor	0,5 mm

4.10 Circuitos de casamento de impedâncias

Esse item apresenta o projeto dos circuitos de casamento de impedância entre a linha de transmissão artificial de dreno e a impedância de carga do DVCO e a linha

de transmissão artificial de porta e sua resistência de terminação R_g . Cada um desses circuitos é constituído por meia-seção de célula m-derivada.

O cálculo dos parâmetros da meia-seção de célula m-derivada com m igual a 0,6 utiliza-se das expressões (3.11)-(3.13) e dos valores dos parâmetros listados na Tabela 4.6. Os resultados são apresentados através das expressões a seguir:

$$\frac{L_m}{2} = \frac{m \cdot Z_0}{2 \cdot \pi \cdot f_c} \cong 1,67 \text{ nH} \quad , \quad (4.23)$$

$$\frac{C_m}{2} = \frac{m}{2 \cdot \pi \cdot Z_0 \cdot f_c} \cong 0,67 \text{ pF} \quad , \quad (4.24)$$

$$2 \cdot L_p = \frac{1 - m^2}{2m^2} L_m \cong 2,97 \text{ nH} \quad . \quad (4.25)$$

A implementação das indutâncias $L_m/2$ e $2L_p$ será feita através de linhas de transmissão curtas de alta impedância e a capacitância $C_m/2$ será implementada através de um capacitor concentrado.

Utilizando a largura da linha de transmissão de 0,3 mm, próxima ao limite mínimo permitido pela tecnologia de fabricação, obtiveram-se, através do programa *Linecalc* da *Agilent*, os valores da impedância característica da microlinha e sua constante dielétrica efetiva (4.26) e (4.27), respectivamente. Além da largura da trilha, utilizaram-se como dados de entrada os parâmetros do substrato *RO5880* [18] da *Rogers*: constante dielétrica relativa do substrato ($\epsilon_r=2,2$), a espessura do substrato ($H=0,787$ mm) e espessura do cobre ($T=35\mu\text{m}$). Os resultados obtidos foram:

$$Z_0 = 133 \text{ } \Omega \quad , \quad (4.26)$$

$$\epsilon_{eff} = 1,7 \quad . \quad (4.27)$$

É possível agora calcular, a partir das expressões (3.8)-(3.10), os parâmetros dos trechos de linha de transmissão de alta impedância, bem como o limite de validade das aproximações utilizadas ($l_{LT} < \lambda/7$). Obteve-se, então:

$$\frac{\lambda}{7} = \frac{c}{7 \cdot f_{\max} \cdot \sqrt{\epsilon_{eff}}} \cong 11 \text{ mm} \quad , \quad (4.28)$$

$$l_{LTm} \cong \frac{c \cdot L_{LTm}}{Z_0 \cdot \sqrt{\epsilon_{eff}}} \cong 2,9 \text{ mm} < \frac{\lambda}{7} , \quad (4.29)$$

$$l_{LTp} \cong \frac{c \cdot L_{LTp}}{Z_0 \cdot \sqrt{\epsilon_{eff}}} \cong 5,1 \text{ mm} < \frac{\lambda}{7} . \quad (4.30)$$

Estes valores (4.28)-(4.30) são utilizados como primeira aproximação do circuito de meia-seção de célula m-derivada desejado. São realizadas simulações levando em conta a junção em “T”, a transição da largura da trilha de 0,3 mm para 2,45 mm (trilha de 50 ohms de saída), o furo de passagem de terra e uma tabela de parâmetros S do capacitor da ATC utilizado.

Desta forma é possível ajustar as dimensões dos trechos de linha de transmissão para se obter o melhor ajuste possível da meia-célula m-derivada requerida para o casamento de impedância na faixa de frequência compreendida entre 1 e 3 GHz. O circuito final obtido é ilustrado na Fig. 4.19.

Fig. 4.19 Esquema elétrico utilizado para o ajuste das dimensões das linhas da meia célula m-derivada

Os valores finais obtidos através dos ajustes iterativos realizados através do esquema ilustrado na Fig. 4.19 são listados na Tabela 4.8:

Tabela 4.8. Elementos da meia célula m-derivada de casamento de impedâncias

Elemento	Valor
Comprimento da linha em série	2,8 mm
Largura da linha em série	0,3 mm
Comprimento da linha em paralelo	4,0 mm
Largura da linha em paralelo	0,3 mm
Capacitor ATC utilizado	0,5 pF

A comparação entre os parâmetros S obtidos no circuito de meia-seção de célula m-derivada ideal e o implementado através de trechos curtos de linha de transmissão é exibida na Fig. 4.20.

Fig. 4.20 Resultados obtidos na simulação comparativa entre as linhas da meia célula m-derivada implementadas e as ideais.

4.11 Circuitos de polarização

A polarização de dreno será realizada através de um indutor solenoidal com núcleo de ar, pois possui parasitas mais baixas do que um indutor impresso, outra possível opção de realização. As dimensões deste indutor foram determinadas através de simulações no programa ADS, nas quais se observou que um indutor de fio de cobre de 2 mm de diâmetro com 6 voltas e 5 mm de comprimento se comportaria como um *choke* de RF na faixa de 1 a 3 GHz. O capacitor Cdf deve atuar como um curto-circuito AC na faixa de operação do oscilador, tendo sido realizado por meio de dois capacitores em paralelo com capacitâncias nominais de 10 pF e 10 nF.

Já a polarização das portas dos transistores foi realizada através de resistores de 2.200 ohms – R1, R12, R2 e R3 na Fig. 3.1. Um efeito secundário deste resistor é a formação de um divisor de tensão com o resistor de estabilização de 270 ohms. Desta forma, a tensão de porta aplicada externamente será dividida pelo fator x , cuja expressão é:

$$x = \frac{270}{2200 + 270} \cong 0,11 \quad . \quad (4.31)$$

As tensões de polarização dos transistores aplicadas pela fonte DC antes dos divisores resistivos serão denominadas V_{gs}' , de forma que:

$$V_{gs}' = \frac{V_{gs}}{x} \quad . \quad (4.32)$$

Os capacitores de desacoplamento de RF utilizados também para as tensões de polarização de porta foram de 10 pF e 10 nF, ligados em paralelo.

As resistências de polarização de porta foram associadas a capacitores que atuam como terra virtual na faixa de RF e microondas Cf1, Cf12, Cf2 e Cf3 na Fig. 3.1, realizados por meio de capacitores de 10 pF e 10 nF em paralelo.

4.12 Integração dos estágios e otimização do circuito

Os elementos do oscilador distribuído previamente dimensionados foram integrados conforme o diagrama de blocos da Fig. 3.10, de forma a obter o esquema da Fig. 4.21 que permite a simulação do oscilador em *loop* aberto. Uma modificação importante foi o uso de modelo não-linear para representar os transistores NE33284A [24], de forma que pudesse ser simulado o desempenho do circuito com as variações das tensões de polarização de porta.

Fig. 4.21. Esquema de simulação em *loop* aberto do oscilador integrado preliminar.

Para simplificação do esquema de simulação (Fig. 4.21) do circuito *DVCO* 3 GHz, os transistores NE33284A foram agrupados com seus resistores de estabilização, algumas linhas de acesso e furos de passagem formando os blocos X11, X12, X13 e X15. Este agrupamento é ilustrado na Fig. 4.22.

Fig. 4.22. Detalhadamente do bloco contendo o transistor NE33284A.

Foi realizada, então, a avaliação das condições de oscilação nas situações em que cada um dos transistores encontrava-se na região ativa, com tensão de porta $V_{gs} = 0V$ e os demais estavam no corte, conforme descrito no item 3.10.

Nas Fig. 4.23 até Fig. 4.26 encontram-se os resultados das simulações lineares de *loop* aberto obtidas para as 4 situações. Nessas figuras são apresentadas as perdas de retorno em função da frequência nos acesso das linhas artificiais de transmissão de porta – dB ($S(1,1)$) e dB ($S(4,4)$), e de dreno – dB ($S(2,2)$) e dB ($S(3,3)$).

As curvas de módulo de ganho reverso “dB ($S(3,1)$)” e sua respectiva fase “phase ($S(3,1)$)” fornecem o módulo do ganho e a fase de *loop* aberto,

respectivamente, permitindo analisar em que frequência ocorre a condição de oscilação: módulo de ganho de *loop* aberto maior do que 0 dB e fase de *loop* aberto igual a 2π .

Fig. 4.23. Resultados obtidos com o circuito não otimizado, o transistor T_1 conduzindo ($V_{gs}=0V$) e os demais cortados ($V_{gs}=-0,9V$).

Fig. 4.24. Resultados obtidos com o circuito não otimizado, o transistor T_{12} conduzindo ($V_{gs}=0V$) e os demais cortados.

Fig. 4.25. Resultados obtidos com o circuito não otimizado, o transistor T_2 conduzindo ($V_{gs}=0V$) e os demais cortados.

Fig. 4.26. Resultados obtidos com o circuito não otimizado, o transistor T_3 conduzindo ($V_{gs}=0V$) e os demais cortados.

Os resultados das Fig. 4.23 até Fig. 4.26 encontram-se resumidos na Tabela 4.9, na qual são listados os valores do ganho de *loop* aberto e perdas de retorno obtidos em cada condição de polarização na frequência onde a fase de S31 é igual a 2π . As frequências nas quais as fases propiciam condição de oscilação são comparadas àquelas previstas pelo modelo linear na Tabela 4.5. Observou-se boa concordância entre as frequências características previstas pelo modelo e as simuladas, com desvio menor do que 6 %.

Tabela 4.9. Parâmetros do oscilador sem otimização.

Transistor ativo	Frequência na qual a fase de S31 = 2π [GHz]		S31 [dB]	S11 [dB]	S22 [dB]	S33 [dB]	S44 [dB]
	Modelo	Simulado					
T ₁	2,86	2,95	11,5	-4,8	-2,2	-11,9	-5,7
T ₁₂	2,22	2,22	4,7	-20,9	-20,6	-11,5	-15,0
T ₂	1,66	1,65	3,3	-25,0	-18,6	-18,7	-14,2
T ₃	1,06	1,00	0,3	-13,0	-18,8	-16,6	-17,2

Destacam-se as seguintes observações com relação aos resultados obtidos através das simulações e resumidos na Tabela 4.9 do circuito da Fig. 4.21, as quais serão consideradas na otimização a ser realizada em seguida:

- O circuito possui as condições de fase 2π suficientes para obter oscilação na faixa de frequência compreendida entre 1 e 2,95 GHz, aproximadamente igual à especificada;
- Em todas as condições de polarização obteve-se módulo do ganho reverso S31 maior do que 0 dB, nas frequências onde a fase de S31 é 2π , teoricamente suficiente para oscilação. No entanto, gostaríamos de ter uma margem de segurança de pelo menos 3 dB, o que não ocorre quando o transistor ativo é o T₃. Além disso, gostaríamos que os ganhos de *loop* aberto de todos estágios não fossem tão diferentes de forma a resultarem em funções de sintonia mais simétricas.

- As perdas de retorno de saída S22 e de terminação da linha de porta S44 ficaram abaixo de -10 dB para todas as situações a menos daquela em que o transistor T_1 está ativo.
- Foram obtidos, fora da faixa de frequência de operação do oscilador, picos de ressonância na frequência de aproximadamente 6 GHz, nos quais os valores de perda de retorno S33 eram maiores do que zero. Isso poderia provocar oscilações indesejáveis no circuito.
- O esquema elétrico usado nestas simulações não inclui detalhes de leiaute, tais como curvas e junções em “T”, os quais deverão ser considerados na sua otimização.

Procedeu-se, então, à otimização do circuito de forma a se obterem as especificações desejadas, bem como o leiaute final do circuito. Os resultados obtidos estão ilustrados nas Fig. 4.28 até Fig. 4.31. Realizaram-se novamente as simulações nas quatro diferentes situações em que um dos transistores encontrava-se conduzindo, com tensão de porta $V_{gs} = 0V$, e os demais cortados, com tensão de porta $V_{gs} = -1 V$.

As principais alterações implementadas no circuito para melhorar seu desempenho e tornar a simulação mais fiel foram:

- Substituição dos transistores T_2 e T_3 pelo PHEMT NE334s01 [25] da NEC (Tabela 4.10). Este transistor possui características bastante semelhantes ao NE33284A, mas sua transcondutância máxima é maior, o que aumentou os ganhos de *loop* aberto do segundo e terceiro estágios. Conforme as simulações da Fig. 4.27, a transcondutância para $V_{gs} = 0V$ do transistor NE334s01 $g_m = 169 \text{ mS}$ é praticamente o dobro da transcondutância do transistor NE33284A $g_m = 85 \text{ mS}$. Isso pode permitir 3 dB a mais de ganho de *loop* aberto. Verificou-se, através dos círculos de estabilidade, que o transistor NE334s01 também pode ser estabilizado através de um resistor de 270Ω ligado da sua porta ao terra, assim como observado para o transistor NE33284A.

Tabela 4.10. Características elétricas do transistor NE334s01

Parâmetro		Valor
G_A	Ganho associado ($V_{ds}=2V$, $I_{ds}=15\text{ mA}$, $f=4\text{ GHz}$)	16,0 dB
I_{DSS}	Corrente de saturação de dreno ($V_{ds}=2V$, $V_{gs}=0V$)	80 mA
V_p	Tensão de corte ($V_{ds}=2V$, $I_{ds}=100\text{ }\mu A$)	-0,9 V
g_m	Transcondutância DC ($V_{ds}=2V$, $I_{ds}=14\text{ mA}$)	85 mS

(a)

(b)

Fig. 4.27. Curvas do transistor NE334s01: (a) polarização: I_{ds} X V_{ds} e (b) Transcondutância AC (2GHz) X V_{gs} simuladas do transistor.

- Os valores dos capacitores de desacoplamento DC em série com os terminais de porta dos transistores foram alterados. Isto foi feito para equilibrar os ganhos de *loop* aberto dos diferentes estágios. Desta forma, o primeiro estágio recebeu o capacitor com menor valor e o último estágio o de maior valor;
- Os elementos dos circuitos de casamento das meias-células m-derivadas foram alterados de forma a obter perdas de retorno mais reduzidas nas frequências próximas à $f_{\max}$ (3 GHz), onde estas não estavam adequadas;
- Foram introduzidos na simulação modelos representando os detalhes de leiaute, tais como curvas e junções em “T”, de forma a obter uma melhor fidelidade do resultado da simulação com o circuito real;
- Foram introduzidos os capacitores de desacoplamento DC na linha de dreno em série com a saída e na linha de porta, em série com o resistor de terminação para desacoplar a tensão de alimentação de dreno $+2 V_{DC}$. Utilizaram-se capacitores de 10 pF da ATC, representados nas simulações por sua tabela de parâmetros S.
- Constatou-se que os picos de ressonância nas curvas da perda de retorno S33 na frequência de aproximadamente 6 GHz ocorriam devido a ressonâncias no acesso de dreno do transistor T1. Por isso, foi colocado um resistor de 3,9 ohms em série com a linha que liga este acesso com o capacitor Cd1 ligado ao terra para amortecer a ressonância. Desta forma, o valor de S33 reduziu-se para zero naquela frequência onde ocorria ressonância.

Nas Fig. 4.28 até Fig. 4.31 encontram-se os resultados das simulações lineares de *loop* aberto obtidas para as 4 situações de polarização do circuito otimizado.

Fig. 4.28 Resultados obtidos com o circuito otimizado, o transistor T_1 conduzindo ($V_{gs}=0V$) e os demais cortados.

Fig. 4.29 Resultados obtidos com o circuito otimizado, o transistor T_{12} conduzindo ($V_{gs}=0V$) e os demais cortados.

Fig. 4.30 Resultados obtidos com o circuito otimizado, o transistor T_2 conduzindo ($V_{gs}=0V$) e os demais cortados.

Fig. 4.31 Resultados obtidos com o circuito otimizado, o transistor T_3 conduzindo ($V_{gs}=0V$) e os demais cortados.

Os resultados das Fig. 4.28 até Fig. 4.31 encontram-se resumidos na Tabela 4.11, na qual são listados os valores de ganho de *loop* aberto e perdas de retorno para as 4 diferentes situações de polarização simuladas na frequência em que a fase de S31 é igual a 2π .

Tabela 4.11. Parâmetros do oscilador após otimização

Transistor Ativo	Frequência — fase(S31) $=2\pi$ [GHz]	S31 [dB]	S11 [dB]	S22 [dB]	S33 [dB]	S44 [dB]
T ₁	3,00	4,8	-8,1	-9,3	-6,5	-12,9
T ₁₂	2,26	4,8	-17,1	-17,1	-10,3	-11,4
T ₂	1,54	6,2	-15,2	-9,8	-16,0	-12,4
T ₃	0,92	4,5	-10,1	-17,5	-10,6	-20,0

É possível destacar os seguintes aspectos dos resultados das simulações lineares realizadas com o circuito otimizado (Tabela 4.11), comparando com a etapa anterior, antes da otimização (Tabela 4.9):

- Existem condições de fase igual a 2π na faixa de frequência de 0,92 até 3,00 GHz, atendendo à respectiva especificação do circuito;
- O módulo de ganho reverso S31 na frequência onde a fase do *loop* é 2π é maior do que 3 dB em todas as condições de polarização simuladas. Além disso, a diferença entre os valores máximo e mínimo foi bastante reduzida, passando de 11,2 dB para 1,7 dB;
- As perdas de retorno de saída S22 e da terminação da linha de porta S44 foram reduzidas na frequência de corte (transistor T₁ conduzindo). Ainda assim, o módulo de S22 esteve um pouco acima de -10 dB para os casos em que os transistores T₁ (-8,1 dB) e T₂ (-9,8 dB) conduzem. Estima-se que estes valores não prejudicarão o funcionamento do circuito, podendo inclusive, serem diminuídos no circuito real devido à ocorrência de perdas no circuito não previstas nas simulações;

- O fato de S11 e S33 estarem acima de -10 dB na frequência de corte (transistor T₁ conduzindo) já era esperado, devido à interrupção das linhas de transmissão artificiais entre as portas 1 e 3 para simulação de *loop* aberto;
- Na implantação do leiaute foi possível respeitar as distâncias mínimas entre os elementos do circuito, segundo os critérios estabelecidos no item 3.6.

O esquema elétrico final do circuito obtido é apresentado na Fig. 4.32.

Fig. 4.32 Esquema elétrico do oscilador distribuído DVCO 3 GHz com loop aberto após otimização.

O modelo não-linear do tipo TOM [26] do transistor NE334s01 foi fornecido pelo fabricante e incluído nos blocos NE334s01 com símbolos X14 e X15 da Fig. 4.32 nas simulações do protótipo *DVCO 3 GHz*. Além dele, estes blocos contém o modelo das parasitas de encapsulamento, o resistor de estabilização e os furos de passagem de terra, conforme ilustrado na Fig. 4.33.

Fig. 4.33 Esquema elétrico interno dos blocos X14 e X15 contendo o modelo do transistor NE334s01.

4.13 Simulação não-linear

Uma vez que o circuito otimizado através das simulações de pequenos sinais apresentou o desempenho desejado, o passo seguinte do projeto foi a simulação do DVCO em grandes sinais, visando a previsão tanto da frequência de oscilação como da potência de oscilação e nível de harmônicas em função da polarização. Além disso, foi simulada a potência dissipada no resistor de terminação de linha artificial de porta Rg.

Foi realizada a simulação não-linear, com o *loop* de realimentação reversa fechado, utilizando-se o método de Balanceamento Harmônico do programa ADS da Agilent. Como feito anteriormente para a análise linear, simularam-se as situações nas quais cada um dos transistores está na região ativa ($V_{gs} = 0V$) e os demais estão cortados e também situações com dois transistores adjacentes ativos.

Como se pode verificar na Tabela 4.12, obtiveram-se potências acima de 10 dBm em todos os casos e a faixa de frequência de oscilação manteve-se conforme a especificada.

As frequências obtidas através do Balanceamento Harmônico foram comparadas com aquelas obtidas através da simulação linear de *loop* aberto, as quais, representam a frequência do início da oscilação, verificando-se que os desvios foram menores do que 12 % em relação à análise linear. Além disso, observou-se que o nível de harmônicas obtidos foi razoável.

Tabela 4.12. Resultados das simulações de balanceamento harmônico

	Simul. linear	Balanceamento Harmônico					
Transistor ativo	Frequência — fase(S31) = 2π [GHz]	Frequência de osc. [GHz]	Potência de saída [dBm]	2 ^a harm. [dBc]	3 ^a harm. [dBc]	Pot. Rg [dBm]	Id (mA)
T ₁	3,00	3,01	+10,6	-48,6	-36,3	-2,0	32,2
T ₁ , T ₁₂	-	2,63	+11,6	-60,0	-48,6	+1,8	38,3
T ₁₂	2,26	2,18	+10,7	-36,7	-49,8	+3,0	37,7
T ₁₂ , T ₂	-	1,85	+15,2	-21,7	-67,5	+6,2	63,6
T ₂	1,54	1,70	+15,0	-11,9	-65,6	+6,9	57,7

	Simul. linear	Balanceamento Harmônico					
Transistor ativo	Frequência — fase(S31) = 2π [GHz]	Frequência de osc. [GHz]	Potência de saída [dBm]	2 ^a harm. [dBc]	3 ^a harm. [dBc]	Pot. Rg [dBm]	Id (mA)
T ₂ , T ₃	-	1,57	+15,2	-17,3	-30,4	+4,9	57,6
T ₃	0,92	0,97	+13,1	-16,4	-16,7	+4,4	73,2

4.14 Leiaute final e lista de componentes

A otimização final do circuito *DVCO 3 GHz* foi feita simultaneamente à confecção do seu leiaute, resultando no circuito ilustrado na Fig. 4.34, em que se observa a implementação física do esquema apresentado na Fig. 4.32. A placa retangular obtida possui as dimensões de 61,2 mm de comprimento e 25,3 mm de largura.

O circuito *DVCO 3 GHz* possui uma saída principal (porta 2), terminando a linha artificial de dreno e uma saída auxiliar (porta 4), utilizada somente para algumas medidas descritas posteriormente. Ambas as saídas são acessadas através de linhas de 50 Ω com 2,4 mm de largura. A linha artificial de porta é normalmente terminada pelo resistor Rg, o qual pode ser retirado e um desvio realizado para essa saída auxiliar (porta 4).

O posicionamento dos componentes do *DVCO 3 GHz*, ilustrados em azul, também é indicado na Fig. 4.34.

A polarização das portas dos transistores T1, T12, T2 e T3 é feita através de fios que passam sobre a linha artificial de porta. Os resistores R1, R12, R2 e R3 de alta impedância para polarização de porta dos transistores são localizados o mais próximo possível das linhas de acesso das portas para causar a mínima interferência possível do circuito de polarização no comportamento AC do circuito.

Os resistores Re1, Re12, Re2 e Re3 de estabilização dos transistores são posicionados o mais próximo possível das portas destes transistores para diminuir as parasitas e propiciar boa estabilização.

Os furos de passagem de terra para ligação dos terminais de fonte dos transistores são posicionados o mais próximo possível dos mesmos, de forma a diminuir a indutância parasita de ligação das fontes ao terra e evitar instabilidades dos transistores.

As meias-células m-derivadas de terminação das linhas artificiais de porta e dreno são implementadas através dos capacitores C_{gg} e C_{dd} , respectivamente, e por linhas de alta impedância em série e em paralelo. As linhas de alta impedância em paralelo foram implementadas através de um ângulo que permite manter uma distância conveniente das linhas de acesso de $50\ \Omega$ ao circuito *DVCO 3 GHz* e das linhas de alta impedância em série das meias-células m-derivadas, visando reduzir acoplamento eletromagnético indesejável entre essas estruturas.

Fig. 4.34 Leiaute final do protótipo DVCO 3GHz com a posição de montagem dos seus componentes.

A Tabela 4.13 apresenta a lista de componentes utilizados para montagem do protótipo *DVCO 3 GHz* apresentado na Fig. 4.34

Tabela 4.13. Componentes do circuito otimizado do *DVCO 3 GHz*.

Componente		Valor	Fabricante
Cd12	Capacitor ligado do dreno do transistor T12 ao terra	0,6 pF	ATC
Cd2	Capacitor ligado do dreno do transistor T2 ao terra	0,9 pF	ATC
Cd3	Capacitor ligado do dreno do transistor T3 ao terra	0,9 pF	ATC
Cdd	Capacitor da meia-célula m-derivada da linha artificial de dreno	0,4 pF	ATC
Cg1	Capacitor ligado à porta do transistor T1 ao terra	0,6 pF	ATC
Cg3	Capacitor ligado à porta do transistor T3 ao terra	0,7 pF	ATC
Cgg	Capacitor da meia-célula m-derivada da linha artificial de porta	0,4 pF	ATC
Cs1	Capacitor de bloqueio DC da porta do transistor T1	1,2 pF	Johanson
Cs12	Capacitor de bloqueio DC da porta do transistor T12	3,3 pF	Johanson
Cs2	Capacitor de bloqueio DC da porta do transistor T2	4,7 pF	Johanson
Cs3	Capacitor de bloqueio DC da porta do transistor T3	10,0 pF	Johanson
Csd	Capacitor de bloqueio DC em série com a linha artificial de dreno	10,0 pF	ATC

Componente		Valor	Fabricante
Csg	Capacitor de bloqueio DC em série com a linha artificial de porta	10,0 pF	ATC
T1	Transistor do primeiro estágio	NE33284A	NEC
T12	Transistor cruzado entre o primeiro e segundo estágios	NE33284A	NEC
T2	Transistor do segundo estágio	NE334s01	NEC
T3	Transistor do terceiro estágio	NE334s01	NEC
Rg	Resistor de terminação da linha de transmissão artificial de porta	50 Ω	Kamaya
Cf1, Cf12, Cf2, Cf3, Cfd	Capacitores de filtragem das tensões de polarização	10 pF // 10 nF	ATC
Ld	Indutor de polarização de dreno dos transistores	(6 voltas / d = 3 mm)	-
R1, R12, R2, R3	Resistor de isolamento DC da polarização das portas	2200 Ω	Kamaya
Re1, Re12, Re2, Re3	Resistor de estabilização de cada transistor	270 Ω	Kamaya
Ree	Resistor de estabilização do dreno do primeiro estágio	3,9 Ω	Kamaya

4.15 Conclusão

A aplicação da metodologia proposta no capítulo 3 ao projeto do *DVCO 3 GHz* mostrou-se prática e efetiva. O protótipo de circuito híbrido *DVCO 3 GHz* foi especificado para oscilar de 1 a 3 GHz com potência mínima de saída de 10 dBm. O

circuito obtido utilizou os transistores PHEMT da NEC, modelos NE33284A e NE334s01.

O modelo obtido através do acesso de portas dos transistores T1 e T12 da linha de transmissão artificial m-derivada de referência do projeto apresentou frequência de corte $f_c=2,86$ GHz e $m=0,81$. A célula básica obtida, ilustrada na Fig. 2.14, possui capacitância $C_m=1,8$ pF e indutâncias $L_m=4,5$ nH e $L_p=0,6$ nH.

Um circuito preliminar foi obtido através deste modelo de linha de transmissão artificial m-derivada associando-se elementos em paralelo com cada acesso de porta e dreno dos transistores, de forma que a impedância obtida representasse a célula básica da Fig. 2.14. Este circuito preliminar foi simulado e as frequências características de oscilação simuladas estiveram bastante próximas daquelas previstas pelo modelo linear apresentado no capítulo 2.

O circuito foi, então, otimizado através de simulações lineares de forma a obter melhores resultados de ganho de *loop* e perda de retorno nas 4 diferentes condições de polarização em que apenas um dos transistores encontrava-se na região ativa. Além disso, os capacitores em série com as portas dos transistores foram ajustados para que os ganhos de *loop* aberto, quando cada transistor encontrava-se na região ativa e os demais cortados, fossem o mais próximos possíveis.

Os ganhos de *loop* aberto do circuito otimizado nas condições simuladas estiveram entre 4,5 e 6,2 dB. As perdas de retorno de saída e na terminação da linha de transmissão artificial de porta obtidas foram menores do que -8,1 dB.

Realizaram-se, em seguida, simulações não-lineares em *loop* fechado do tipo balanceamento harmônico. A potência de saída obtida esteve entre 10,7 e 15,2 dBm. Os níveis de segunda harmônica resultaram menores do que -11,9 dBc e os níveis de terceira harmônica menores do que -16,7 dBc.

Não foi possível simular o ruído de fase já que não se dispunha de modelos que representassem o ruído de baixa frequência dos transistores utilizados.

5 CONSTRUÇÃO E CARACTERIZAÇÃO DO PROTÓTIPO

A construção do protótipo do oscilador distribuído com realimentação reversa projetado no capítulo 4, o qual intitulamos *DVCO 3 GHz*, foi feita com recursos disponíveis no LME-EPUSP – Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo, de forma a obterem-se custos mais baixos e tempos mais curtos de execução.

Após sua construção, o protótipo *DVCO 3 GHz* foi caracterizado em parte no LME-EPUSP e parte no laboratório da empresa Omnisys Engenharia. Os resultados obtidos foram comparados aos simulados e às especificações, dando prosseguimento à validação da metodologia de projeto proposta no capítulo 3.

5.1 Construção do protótipo *DVCO 3 GHz*

O leiaute do circuito foi gerado no programa *ADS* da *Agilent*, editado no programa *AutoCad* e impresso em transparências na escala 10:1, a partir das quais foi gerado o fotolito em tamanho natural na sala limpa do LME-EPUSP, obtendo-se a máscara para sensibilização do substrato a ser fotografado. Após a fotografação do substrato, realizou-se a corrosão do cobre da face superior do substrato placa, definindo-se o leiaute projetado sobre a mesma. A camada de cobre que reveste a face inferior do substrato foi protegida da corrosão, constituindo o plano de terra do circuito.

A seguir, realizou-se o corte e furação da placa do substrato fotogravado, soldando-se a mesma a uma base metálica com epóxi condutor. As áreas de terra na face superior do substrato foram conectadas eletricamente ao plano de terra na face inferior através de furos passantes preenchidos com epóxi condutor.

Após a cura térmica do epóxi condutor, procedeu-se à montagem dos componentes sobre o substrato, utilizando-se solda de estanho, com exceção dos transistores que foram fixados com tinta de prata para facilitar sua substituição, se necessário durante os testes.

Na próxima etapa, a placa foi montada numa caixa metálica com as seguintes dimensões: 67,6 mm de comprimento, 43 mm de largura e 14 mm de altura. Para

conectar as tensões de polarização ao circuito foram utilizados capacitores do tipo *feed-throught* rosqueados nas paredes laterais da caixa. Os pinos centrais dos capacitores *feed-throught* foram soldados à placa de circuito impresso através de fios de cobre.

Utilizaram-se transições do tipo SMA-microlinhas para prover acesso em ambiente coaxial de 50 ohms para a saída principal do oscilador e para um ponto auxiliar do circuito de acesso da terminação da linha de transmissão artificial de porta, utilizado para algumas medidas descritas posteriormente.

Com o intuito de reduzir o número de fontes necessárias para os testes, utilizou-se um circuito externo de polarização com divisores resistivos de tensão, providos de resistores variáveis. Esse circuito foi polarizado com tensão de +2,0 V_{DC} para alimentar os drenos dos transistores e com tensão de -16 V_{DC} para polarização das portas dos mesmos. Os divisores resistivos foram projetados de modo que as tensões de porta externas ao DVCO pudessem ser ajustadas entre 0 e -10 V, permitindo variar a polarização dos transistores entre condução e corte de forma contínua.

A Fig. 5.1 apresenta a foto do DVCO 3 GHz montado em sua caixa de teste. Na Fig. 5.2 podemos observar o DVCO 3 GHz conectado ao circuito de polarização externo.

Fig. 5.1 Foto do protótipo *DVCO 3 GHz*.

Fig. 5.2 Foto do *DVCO 3 GHz* com circuito de polarização externo.

O oscilador foi caracterizado através de três grupos de medidas, descritos nos itens 5.2, 5.3 e 5.4.

5.2 Medidas de parâmetros “S”

Os principais objetivos destes testes são verificar falhas de montagem do protótipo através da comparação entre os resultados das medidas e das simulações; bem como verificar a confiabilidade dos modelos da simulação linear realizada.

Nestes testes o circuito foi caracterizado com todos os transistores cortados com $V_{gs} = -1V$ e a alimentação dos drenos em $+2 VDC$. Utilizaram-se a transição SMA-microlinha de saída – porta 2 – e a transição SMA-microlinha do acesso auxiliar da linha de porta – porta 4. O resistor de terminação da linha de porta foi retirado e a linha de porta foi ligada à linha de medida auxiliar de 50Ω através de uma extensão com tinta de prata.

Como a microlinha de acesso possui impedância de 50Ω e os equipamentos de medida também, são preservadas as características originais do circuito.

Foi utilizado o analisador vetorial de redes ZVC 1127.8600.61 da Rohde & Schwarz [27], na faixa de 0,1 a 4 GHz para medir os parâmetros S de transmissão e reflexão dos acessos.

As medidas foram comparadas com as simulações do circuito com o *loop* de realimentação fechado da Fig. 4.32, ou seja, as portas 3 e 1 foram curto-circuitadas. As simulações foram realizadas para os parâmetros S24, S22 e S44 na mesma faixa de frequência das medidas (0,1 a 4 GHz) e com todos os transistores cortados.

Na Fig. 5.3 são apresentados os resultados obtidos nas medidas e simulações do protótipo da perda de inserção S24 entre a transição SMA-microlinha da porta 2 e a transição SMA-microlinha do acesso auxiliar da linha de porta (porta 4). Utiliza-se a convenção de numeração das portas estabelecida na Fig. 3.10.

Quando o circuito foi montado, identificou-se que a perda de inserção S24 medida era muito maior do que a simulada em baixas frequências. Constatou-se que a origem da discrepância era o indutor de polarização de dreno, o qual possuía uma indutância muito baixa. Aumentou-se o diâmetro das suas espiras para 5 mm, obtendo-se uma curva mais semelhante à simulada, como exibido na Fig. 5.3. Aparentemente o modelo do indutor utilizado durante as simulações não correspondeu ao indutor real.

Fig. 5.3. Comparação entre os ganhos de inserção medido e simulado entre a saída (porta 2) do *DVCO 3 GHz* e o acesso auxiliar da linha de porta (porta 4). Medida e simulação realizadas com os transistores cortados ($V_{gs}=-1V$) e $V_{ds}=2V$.

Comparando as curvas simulada e medida na Fig. 5.3 observamos que ambas possuem um comportamento bastante parecido, embora estejam ligeiramente deslocadas no eixo das ordenadas. A perda de inserção S_{24} medida é aproximadamente 2 dB menor do que a perda de inserção S_{24} simulada. Nessa condição de polarização a principal causa de discrepância é provavelmente o valor de R_{ds} , resistência dreno-fonte, que no modelo do transistor é otimizada para representar o desempenho do dispositivo na região ativa de operação e não na região de corte.

Na Fig. 5.4 são comparados os resultados das medidas e das simulações da perda de retorno S_{22} em função da frequência, obtidos na transição SMA – microlinha da porta 2 do circuito.

Fig. 5.4. Comparação entre as perdas de retorno medida e simulada na saída (porta 2) do *DVCO 3 GHz*, com os transistores cortados – $V_{gs}=-1V$ e $V_{ds}=2V$.

Comparando as curvas obtidas na Fig. 5.4 observamos que ambas possuem também um comportamento bastante parecido. Quatro dos cinco pontos de mínimo locais foram previstos em frequências bastante próximas das medidas.

Na Fig. 5.5 são comparados os resultados das medidas e das simulações da perda de retorno S_{44} em função da frequência obtidos na porta 4 do circuito, onde encontra-se o acesso auxiliar à linha de porta.

Fig. 5.5. Comparação entre as perdas de retorno medida e simulada no acesso auxiliar da linha de porta (porta 4) do *DVCO 3 GHz*. Medida e simulação foram realizadas com os transistores cortados – $V_{gs}=-1V$ e $V_{ds}=2V$.

As curvas de perda de retorno medida e simulada na Fig. 5.5 apresentaram semelhança. A principal discrepância foi o deslocamento para frequências inferiores dos pontos de mínimo medidos.

5.3 Medidas de frequência, potência e composição harmônica das oscilações em função das tensões de porta.

Através da variação complementar da polarização de cada par de transistores consecutivos foi testada a habilidade de sintonia de frequência de oscilação do circuito, determinando-se sua faixa de frequência de operação. Em cada uma das condições de polarização foram avaliados os seguintes parâmetros: frequência de oscilação, potência de saída, corrente total de dreno e nível de segunda e terceira harmônicas.

Além disso, foi medida a potência dissipada na terminação da linha de porta nas situações de polarização em que apenas um dos transistores está conduzindo e os demais cortados.

As medidas foram comparadas aos resultados das simulações de balanceamento harmônico (item 4.13).

5.3.1 Sintonia da frequência de oscilação

A variação de frequência foi feita através da variação complementar das tensões de polarização de porta dos pares de transistores adjacentes entre -1,0 e -0,2 V. Verificou-se que houve variação contínua de frequência em toda a faixa. Nas medidas apresentadas limitamos o número de condições de polarização, utilizando passos de 0,2V para variação das tensões de polarização de porta dos transistores. Para cada condição de polarização dos transistores, foram anotados a frequência, a potência das oscilações e os níveis de 2ª e 3ª harmônicas.

Utilizou-se para a medida de potência, o medidor de potência: E4418B da Agilent com o seu respectivo sensor 8481 da Agilent [27]. Para as medidas de frequência e níveis de 2ª e 3ª harmônicas utilizou-se o Analisador de Espectro *HP 8565E* da *Agilent* [28].

Os resultados estão apresentados na Tabela 5.1 e nas Fig. 5.6 a Fig. 5.10. O índice p é um número seqüencial conferido às diferentes situações de polarização medidas em ordem crescente de frequência de oscilação.

Tabela 5.1. Medidas de frequência de oscilação, potência de saída e níveis de 2ª e 3ª harmônicas em função de diferentes condições de polarização dos 4 transistores do protótipo *DVCO 3 GHz*, para $V_{ds} = +2V$.

Condições de medida						Parâmetros medidos				
Transistores Ativos	p	V_{gs1} [V]	V_{gs12} [V]	V_{gs2} [V]	V_{gs3} [V]	f_{osc} [GHz]	$P_{saída}$ [dBm]	Nível 2ª harm. [dBc]	Nível 3ª harm. [dBc]	i_d [mA]
T_3	1	-1,0	-1,0	-1,0	-0,2	1,04	+11,9	-18	-23	57
T_2 - T_3	2	-1,0	-1,0	-0,8	-0,4	1,14	+12,4	-14	-23	41
	3	-1,0	-1,0	-0,6	-0,6	1,32	+10,7	-12	-30	30
	4	-1,0	-1,0	-0,4	-0,8	1,62	+12,4	-6	-60	36
T_2	5	-1,0	-1,0	-0,2	-1,0	1,70	+14,3	-19	-48	60
T_{12} - T_2	6	-1,0	-0,8	-0,4	-1,0	1,77	+13,9	-19	-44	48
	7	-1,0	-0,6	-0,6	-1,0	2,00	+13,4	-30	-45	43
	8	-1,0	-0,4	-0,8	-1,0	2,17	+13,7	-39	-45	45
T_{12}	9	-1,0	-0,2	-1,0	-1,0	2,30	+13,3	-42	-49	47
T_1 - T_{12}	10	-0,8	-0,4	-1,0	-1,0	2,35	+11,5	-50	-48	37
	11	-0,6	-0,6	-1,0	-1,0	2,47	+10,4	-60	-54	33
	12	-0,4	-0,8	-1,0	-1,0	3,00	+9,8	-45	-51	33
T_1	13	-0,2	-1,0	-1,0	-1,0	3,05	+12,5	-43	-42	44

Observando-se a Tabela 5.1 é possível verificar que, para a mesma tensão de polarização de porta, as correntes de polarização de dreno dos transistores T_2 e T_3 , do tipo NE334s01, são consideravelmente maiores do que as correntes de polarização de T_1 e T_{12} , do tipo NE33284A. Isto se deve ao fato de estes dois tipos de transistores possuírem diferentes valores de transcondutâncias DC.

Nota-se também que a potência DC máxima consumida pelos transistores, correspondente à corrente de 60 mA, foi de 120 mW.

Fig. 5.6 Frequência do oscilador em função da polarização dos transistores; medidas e simulações de balanceamento harmônico.

Fig. 5.7 Potência de saída do oscilador em função da condição de polarização dos transistores; medidas e simulações de balanceamento harmônico.

Fig. 5.8 Corrente total de polarização dos drenos dos transistores em função da condição de polarização: medidas e simulações de balanceamento harmônico.

Fig. 5.9 Nível de segunda harmônica; medidas e simulações de balanceamento harmônico.

Fig. 5.10 Nível de terceira harmônica; medidas e simulações de balanceamento harmônico.

Os gráficos das Fig. 5.6 à Fig. 5.10 compararam o desempenho medido do protótipo *DVCO 3 GHz* com os resultados das simulações de balanceamento harmônico realizadas. Houve boa concordância entre os dados obtidos e as simulações. A faixa de oscilação obtida foi de 1,04 a 3,05 GHz, muito próxima dos resultados simulados e das especificações do circuito.

Dentre os dados medidos notou-se que a potência de saída esteve entre 9,8 dBm e 14,3 dBm, praticamente conforme o especificado. Obteve-se sintonia contínua de frequência em toda a faixa do oscilador, com boa planicidade de potência, considerando-se a operação em banda ultra-larga.

5.3.2 Potência dissipada na terminação da linha de porta

Para a medida da potência dissipada na terminação da linha de porta, retirou-se o resistor de terminação, ligando a linha de porta à linha de acesso auxiliar com tinta de prata. A potência disponível no acesso auxiliar foi medida usando-se o medidor de potência E4418B da *Agilent* com o seu respectivo sensor 8481 da *Agilent* [27].

Na saída principal do circuito (porta 2) foi conectada uma carga de terminação de $50\ \Omega$.

As medidas, cujos resultados são expressos na Tabela 5.2, foram realizadas com apenas um transistor polarizado na região ativa de cada vez e os demais cortados ($V_{gs} = -1\text{ V}$). Para comparação, são também apresentados os resultados das simulações de balanceamento harmônico.

Tabela 5.2. Comparação entre as potências na terminação da linha de porta medida e simulada.

Transistor ativo	Pot. carga simulada [dBm]	Pot. carga medida [dBm]
T ₁	-2,0	-3,7
T ₁₂	+3,0	+4,3
T ₂	+6,9	+6,3
T ₃	+4,4	+3,4

Observe na Tabela 5.2 que as diferenças obtidas entre os resultados medidos e simulados estão abaixo de 2 dB, tendo sido considerados satisfatórios.

5.4 Medidas de ruído de fase

Embora o ruído de fase do oscilador não seja um parâmetro considerado na metodologia de projeto proposta que enfatiza a obtenção de oscilação em banda ultra-larga, procurou-se fazer uma investigação experimental desse ruído a fim de

proporcionar uma contribuição adicional ao tema, dado que não há informações disponíveis na literatura sobre o ruído de fase de DVCOs com realimentação reversa.

É possível caracterizar o ruído de fase de um oscilador medindo a relação entre potência total de oscilação e a densidade de potência a um certo deslocamento da frequência central de oscilação f_0 , como observado na Fig. 5.11.

Fig. 5.11 Medida de ruído de fase do sinal gerado por um oscilador.

O ruído de fase normalizado para uma banda de 1 Hz pode, então, ser obtido através da expressão:

$$L(f_m) = P_m[dB] - P_0[dB] - 10 \cdot \log(BW[Hz]) \quad [dBc] \quad , \quad (5.1)$$

na qual BW é a largura da faixa de frequência do filtro do analisador de espectro utilizado para a medida.

Em osciladores de baixa estabilidade, como é o caso do DVCO, a frequência de oscilação possui muitas flutuações de baixa frequência, o que dificulta a medida de ruído de fase na tela do analisador de espectro.

Por isso, o ruído de fase do DVCO 3 GHz foi medido sincronizando-se o mesmo a um sinal de referência sintetizado e observando-se o sinal no analisador de espectro.

O sincronismo de fase foi feito pelo método de *injection locking* [29]-[31]. Através desta técnica é possível transferir a estabilidade de uma referência externa

em frequências bem próximas a f_0 para o oscilador a ser medido. Desta forma, é possível manter f_0 fixa durante um tempo suficiente para realizar a medida de ruído de fase no analisador de espectro.

A transferência de sincronismo da fonte externa para o oscilador a ser medido dá-se de forma semelhante ao que ocorre num PLL (*Phased Locked Loop*) [33]. Dentro de uma determinada faixa de frequência próxima a f_0 , o ruído de fase de saída é bastante semelhante ao da referência de sincronismo. Fora desta faixa, o ruído de fase é igual ao do oscilador de baixa estabilidade quando sem sincronismo externo.

A faixa de frequência de sincronismo Δf_0 é proporcional à relação entre a potência P_0 de saída do oscilador e a potência do sinal injetado P_L [29]:

$$\frac{\Delta f_0}{f_0} = \frac{1}{Q_{ext}} \cdot \sqrt{\frac{P_L}{P_0}}, \quad (5.2)$$

em que Q_{ext} é o índice de mérito do oscilador.

A medida foi realizada através do esquema ilustrado na Fig. 5.12, na qual o sinal de sincronismo foi gerado pelo sintetizador de RF SML 03 [32] da ROHDE & SCHWARZ e injetado no DVCO através de um acoplador direcional de 10 dB. O espectro do sinal obtido foi medido através do analisador de espectro *HP 8565E* [28] da *Agilent*.

Fig. 5.12 Esquema utilizado para medida de ruído de fase através de *injection locking*.

A medida de ruído de fase do DVCO através do método *injection locking* somente pode ser considerada válida se for realizada fora da faixa de frequência $f_0 \pm \Delta f_0$, pois nesse intervalo predominam as características do sinal de referência.

Para avaliar se a frequência na qual seria medido o ruído de fase do DVCO, $f_0 + f_m$ estava fora do intervalo $f_0 \pm \Delta f_0$, foi realizada a variação da potência injetada P_L em passos de 5 dB. Adotou-se como critério que se a variação resultante da medida de ruído de fase em $f_0 + f_m$ fosse menor do que 1 dB, a medida seria considerada válida.

Na Fig. 5.13 é ilustrada a comparação entre os espectros obtidos para três diferentes potências P_L do sinal injetado, no caso em que apenas o transistor T1 do DVCO estava polarizado na região ativa ($V_{gs} = -0,2$ V) e os demais cortados.

Fig. 5.13 Espectro do sinal do DVCO com frequência central em 3 GHz, medido com filtro de 10 kHz, para três diferentes níveis de potência injetada.

Para uma relação de P_L/P_0 menor do que -73 dBc o sincronismo de fase foi perdido e não foi possível realizar medidas de ruído de fase. Este fato constituiu o limitante em relação à proximidade máxima de f_0 na qual se pôde realizar a medida de ruído de fase. Para esta relação $P_L/P_0 = -73$ dBc foi possível medir o ruído de fase até frequências próximas de 100 kHz da frequência central de oscilação f_0 .

O ruído de fase do DVCO 3 GHz foi, então, caracterizado para algumas condições de polarização ditas nominais, ou seja, aquelas condições previamente testadas, cujos resultados de sintonia foram exibidos na Tabela 5.1. Nas Fig. 5.14 a

Fig. 5.17 são exibidos os gráficos medidos de ruído de fase para os casos em que apenas um dos transistores do DVCO está polarizado na região ativa com $V_{gs} = -0,2 \text{ V}$ e os demais cortados.

Investigou-se a dependência do ruído e fase com a corrente de polarização de dreno, I_{ds} , do transistor ativo. Verificou-se que, com a diminuição de I_{ds} obtinha-se redução de 10 a 16 dB do ruído de fase a 100 kHz da portadora, acompanhada de redução da ordem de 3 % na frequência de oscilação e redução da ordem de 6 dB na potência de saída. No entanto, não foi possível realizar sintonia contínua de frequência em toda a faixa de frequência com corrente total de dreno de 15 mA.

Os gráficos de ruído de fase obtidos para a condição de polarização na qual a corrente dreno-fonte I_{ds} foi reduzida a 15 mA são adicionados nas Fig. 5.14 a Fig. 5.17 para efeito de comparação.

O eixo de frequências é representado de forma logarítmica para caracterizar melhor a inclinação da curva de ruído de fase. Todas as medidas realizadas mostraram que o ruído de fase em distâncias de 100 kHz a 1 MHz da frequência central de oscilação podem ser aproximados por curvas com inclinação de -30 dB por década, caracterizando ruído de fase proporcional a $1/f^3$.

Isso indica que o ruído de fase neste intervalo de frequência é predominantemente resultado da conversão do ruído de baixa frequência dos transistores com inclinação $1/f$ para as proximidades da frequência de oscilação [39].

Fig. 5.14 Espectro de saída do DVCO com frequência central em 1,0 GHz normalizado para uma banda de medida de 1 Hz.

Fig. 5.15 Espectro de saída do DVCO com frequência central em 1,7 GHz normalizado para uma banda de medida de 1 Hz.

Fig. 5.16 Espectro de saída do DVCO com frequência central em 2,3 GHz normalizado para uma banda de medida de 1 Hz.

Fig. 5.17 Espectro de saída do DVCO com frequência central em 3,0 GHz normalizado para uma banda de medida de 1 Hz.

Todos os resultados obtidos nas medidas de ruído de fase são apresentados para a distância da frequência central de @100 kHz na Tabela 5.3. Observa-se que a redução da corrente I_{ds} para 15 mA possibilitou uma redução de ruído de fase a 100 kHz de até 16 dB, nos casos em que apenas um transistor encontrava-se polarizado na região ativa de cada vez.

Tabela 5.3. Ruído de fase do protótipo DVCO 3 GHz a @100kHz.

Frequência de oscilação (GHz)	Polarização nominal			Ids = 15 mA	
	Polarização de porta	Ids (mA)	Ruído de fase (dBc/Hz)	Vgs (V)	Ruído de fase (dBc/Hz)
1,0	$V_{gs}(T3)=-0,2$ V	57	-79	-0,57	-93
1,3	$V_{gs}(T2)=-0,6$ V $V_{gs}(T3)=-0,6$ V	31	-77	-	-
1,7	$V_{gs}(T2)=-0,2$ V	60	-73	-0,50	-89
2,0	$V_{gs}(T2)=-0,6$ V $V_{gs}(T12)=-0,6$ V	37	-72	-	-
2,3	$V_{gs}(T12)=-0,2$ V	47	-73	-0,48	-84
2,5	$V_{gs}(T12)=-0,6$ V $V_{gs}(T1)=-0,6$ V	23	-75	-	-
2,7	$V_{gs}(T12)=-0,5$ V $V_{gs}(T1)=-0,8$ V	31	-67	-	-
3,0	$V_{gs}(T1)=-0,2$ V	44	-74	-0,40	-85

São apresentados na Tabela 5.4 o valor de ruído de fase a 100 kHz de alguns osciladores controlados por tensão comerciais [34]-[37] e do DVCO 3 GHz:

Tabela 5.4. Características de alguns VCOs comerciais e do DVCO 3 GHz.

VCO	Fabricante	Frequência		Faixa percentual	Ruído de fase @100 kHz [dBc/Hz]
		Mínima (GHz)	Máxima (GHz)		
JTOS-3000	Mini-circuits	2,30	3,00	26 %	-110
ROS-1500	Mini-circuits	1,00	1,50	40 %	-124
JTOS-1910	Mini-circuits	1,62	1,91	16 %	-117
HMC385LP4	Hittite	2,25	2,50	11 %	-115
VCO793-2300T	Sirenza	2,10	2,50	17 %	-118
VCO793-1500T	Sirenza	1,00	2,00	67 %	-120
DVCO 3 GHz (polarização nominal)	-	1,04	3,05	100 %	-67 a -79
DVCO 3 GHz (Idss=15 mA)	-	1,04	3,05	-	-84 a -93

As medidas de ruído de fase a uma distância de 100 kHz da frequência central f_0 no DVCO (Fig. 5.14 a Fig. 5.17) foram comparadas às especificações dos VCOs comerciais apresentadas na Tabela 5.4. Os resultados são apresentados graficamente na Fig. 5.18.

Fig. 5.18 Ruído de fase de diversos VCOs comerciais a @100kHz.

5.5 Conclusão

O protótipo *DVCO 3 GHz* oscilou com sintonia contínua de frequência entre 1,04 e 3,05 GHz, com uma potência de saída que variou entre 9,8 dBm e 14,3 dBm. Estes resultados estiveram praticamente dentro do especificado e bastante próximos daqueles previstos na análise de balanceamento harmônico.

As medidas de parâmetros S do circuito com todos os transistores na região de corte indicaram que a indutância do indutor de polarização de dreno estava abaixo do necessário, apresentando baixa impedância para baixas frequências. Este indutor, construído através de um fio enrolado, foi substituído por outro de maior diâmetro e número de voltas, permitindo obter resultados próximos aos esperados. Todos os resultados apresentados foram obtidos com o indutor novo.

Os níveis de harmônicas medidos variaram bastante com a alteração da frequência de oscilação, sendo obtidos valores entre -60 e -6 dBc para a segunda harmônica e -60 a -23 dBc para a terceira harmônica. De forma geral, as frequências de oscilação mais altas apresentaram níveis de segunda harmônica menores do que o das frequências de oscilação mais baixas. Isto se deve provavelmente à característica passa-baixas da estrutura de linhas de transmissão artificiais, que filtra a harmônica das frequências mais elevadas. Os resultados medidos de nível de harmônicas estiveram razoavelmente semelhantes àqueles das simulações de balanceamento harmônico.

O ruído de fase foi medido através de um analisador de espectro com o auxílio de técnica de sincronismo por injeção de um sinal externo, obtido de um sintetizador de RF. Foi possível medir o ruído a partir de 100 kHz da portadora.

As curvas obtidas de ruído de fase entre as distâncias de 100 kHz e 1 MHz da frequência central de oscilação apresentaram inclinação aproximadamente proporcional a $1/f^3$. Os resultados obtidos para a polarização inicialmente proposta nos testes de sintonia de frequência a 100 kHz da portadora estiveram entre -67 e -79 dBc/Hz.

Notou-se que a diminuição da corrente de polarização dreno-fonte para 15 mA, através da redução da tensão de polarização V_{gs} , melhorou o ruído de fase em

até 16 dB a 100 kHz. Nestas condições de polarização o ruído de fase medido com apenas um transistor polarizado na região ativa resultou entre -84 e -93 dBc/Hz.

Os resultados de ruído de fase medidos no DVCO a 100 kHz estiveram pelo menos 25 dB acima daqueles oferecidos pelos VCOs comerciais com sintonia eletrônica pesquisados, os quais operam com faixa de sintonia de frequência de, no máximo uma oitava.

Este resultado deve-se ao fato de o *DVCO 3 GHz* ser projetado para operar em faixa ultra-larga de 100 %, sendo que o circuito não inclui dispositivos ressonantes com índice de mérito elevado. A faixa máxima identificada nos VCOs comerciais foi de 67 %. Além disso, a complexidade do circuito inclui perdas que tendem a prejudicar o ruído de fase.

Deve-se considerar também que a maioria dos osciladores comerciais operando na banda L utilizam tecnologia de transistores bipolares, os quais possuem ruído de fase de baixa frequência menor do que MESFETs e PHEMTs, prejudicando uma comparação direta com o *DVCO 3 GHz* [41].

6 CONCLUSÕES E SUGESTÕES

A análise linear do DVCO com realimentação reversa apresentada nesta dissertação estendeu os resultados obtidos por Skvor [1]-[2] para circuitos compostos por linhas de transmissão artificiais do tipo m-derivada, as quais são uma generalização daquelas do tipo k-constante. Isto permitiu um modelamento mais fiel dos circuitos ao incorporar os parasitas indutivos de acessos de porta e dreno dos transistores. Além disso, foram propostas equações para o cálculo dos valores mínimos necessários das transcondutâncias dos transistores.

Foi proposta uma metodologia de projeto de circuitos DVCO com realimentação reversa com o auxílio de simulador computacional.

Tal metodologia foi aplicada com sucesso ao projeto de um protótipo na forma de um circuito híbrido, denominado *DVCO 3 GHz*, com faixa de operação entre 1,04 e 3,05 GHz e potência de saída de $(12,1 \pm 2,2)$ dBm.

As medidas de parâmetros S do circuito mostraram-se bastante próximas das simuladas, o que permitiu validar o modelo utilizado nas simulações de projeto do circuito.

As simulações de balanceamento harmônico revelaram-se relativamente adequadas na previsão da potência de oscilação, nível de harmônicas e da potência dissipada na carga de linha de porta.

O nível de harmônicas, em geral, foi menor para frequências de oscilação mais altas. Isto se deve ao comportamento passa-baixas da estrutura distribuída, a qual filtra as harmônicas nas frequências mais elevadas.

O ruído de fase do protótipo *DVCO 3 GHz* foi medido com auxílio da técnica *injection locking*. Notou-se que ele pode ser melhorado através da diminuição da corrente de polarização dos transistores, obtida com a redução da tensão de polarização de porta. Nessa condição, o ruído de fase medido a 100 kHz da portadora variou de -93 dBc/Hz a -85 dBc/Hz.

Na Tabela 6.1 encontram-se resumidos os valores obtidos nas medidas do protótipo *DVCO 3 GHz*, os quais são confrontados com as especificações de projeto e as simulações realizadas durante a fase de projeto.

Tabela 6.1. Resumo dos resultados obtidos com o protótipo DVCO 3 GHz.

Parâmetro	Especificação	Simulação	Medida
Faixa de frequência	1,00 a 3,00 GHz	0,97 a 3,01 GHz	1,06 a 3,05 GHz
Potência de saída	≥ 10 dBm	10,6 a 13,1 dBm	9,8 a 14,3 dBm
Nível de 2ª harmônica	-	-48,6 a -16,4 dBc	-60,0 a -6,0 dBc
Nível de 3ª harmônica	-	-65,6 a -16,7 dBc	-60,0 a -23 dBc
Ruído de fase @100kHz (polarização nominal)	-	-	-79 a -67 dBc/Hz
Ruído de fase @100kHz ($I_{ds} = 15$ mA)	-	-	-93 a -85 dBc/Hz

Como sugestão para futuros trabalhos citamos o estudo da utilização de sincronismo externo em DVCOs através de duas diferentes técnicas: PLL e *injection locking*.

A malha de PLL poderia ser fechada através do controle da frequência de oscilação do DVCO pela tensão de polarização de um dos transistores. Os demais teriam suas tensões de polarização fixas para cada frequência, as quais poderiam ser determinadas através de uma tabela gravada numa memória em função da frequência selecionada.

O sincronismo por *injection locking* poderia ser feito removendo-se a resistência de terminação da linha de transmissão artificial de porta Rg e injetando-se o sinal de sincronismo nesse acesso.

Outro possível estudo poderia avaliar condições de projeto para diminuir o ruído de fase de circuitos DVCO com realimentação reversa, utilizando, por exemplo, os conceitos apresentados em [42].

Sugere-se, ainda, o desenvolvimento de circuitos DVCO com realimentação direta em circuitos monolíticos de tecnologia de silício, a qual vem se tornando cada vez mais atrativa economicamente. Diversos trabalhos recentes [4]-[9] têm demonstrado a capacidade desta topologia em obter frequências de oscilação bastante elevadas para o silício à medida que as capacitâncias intrínsecas e parasitas são absorvidas nas linhas de transmissão artificiais.

ANEXO A – IDENTIDADE TRIGONOMÉTRICA I

Deseja-se manipular a expressão (A.1) de forma a substituir a função *cos seno* pela função *seno*:

$$\cos \theta = 1 + \frac{zy}{2} \quad . \quad (\text{A.1})$$

Para isso, utiliza-se a identidade trigonométrica:

$$\text{sen}^2 \frac{\theta}{2} = \frac{1}{2} [1 - \cos \theta] \quad . \quad (\text{A.2})$$

Substituindo (A.1) em (A.2), obtém-se:

$$\text{sen}^2 \frac{\theta}{2} = \frac{1}{2} \left[1 - 1 - \frac{zy}{2} \right] \quad , \quad (\text{A.3})$$

a qual, resulta em:

$$\text{sen}^2 \frac{\theta}{2} = \frac{-zy}{4} \quad . \quad (\text{A.4})$$

Resolvendo a equação (A.4), obtém-se finalmente:

$$\text{sen} \frac{\theta}{2} = \pm \frac{1}{2} \sqrt{-zy} \quad . \quad (\text{A.5})$$

ANEXO B – IDENTIDADE TRIGONOMÉTRICA II

Deseja-se simplificar a expressão:

$$R = \frac{tg \varphi_s}{tg \varphi_s \cdot \cos \varphi_r - sen \varphi_r} \quad . \quad (B.1)$$

Para isso, utilizaremos a substituição de variáveis:

$$\varphi_r = \varphi_s - \Delta\varphi \quad . \quad (B.2)$$

Substituindo (B.2) em (B.1), obtém-se:

$$R = \frac{tg \varphi_s}{tg \varphi_s \cdot \cos(\varphi_s - \Delta\varphi) - sen(\varphi_s - \Delta\varphi)} \quad . \quad (B.3)$$

Através da expansão da identidade trigonométrica do cosseno das somas em (B.3), obtém-se:

$$R = \frac{tg \varphi_s}{tg \varphi_s \cdot \cos \varphi_s \cdot \cos \Delta\varphi + tg \varphi_s \cdot sen \varphi_s \cdot sen \Delta\varphi - sen \varphi_s \cdot \cos \Delta\varphi + sen \Delta\varphi \cdot \cos \varphi_s} \quad (B.4)$$

Substituindo todas as ocorrências de tangente na expressão (B.4), obtém-se:

$$R = \frac{\frac{sen \varphi_s}{\cos \varphi_s}}{sen \Delta\varphi \cdot \left[\frac{sen \varphi_s}{\cos \varphi_s} \cdot sen \varphi_s + \cos \varphi_s \right]} \quad . \quad (B.5)$$

A expressão (B.5) reduz-se a:

$$R = \frac{sen \varphi_s}{sen \Delta\varphi \cdot [sen^2 \varphi_s + \cos^2 \varphi_s]} = \frac{sen \varphi_s}{sen \Delta\varphi} \quad . \quad (B.6)$$

Finalmente, substituindo (B.2) em (B.6), obtém-se a expressão simplificada:

$$R = \frac{sen \varphi_s}{sen(\varphi_s - \varphi_r)} \quad . \quad (B.7)$$

ANEXO C – PARÂMETROS DE LINHAS DE TRANSMISSÃO ARTIFICIAIS

Desejamos deduzir a frequência de corte f_c e o parâmetro m da linha de transmissão m -derivada em função dos valores de seus componentes concentrados.

As células básicas de ambas as estruturas distribuídas são ilustradas na Fig. C.1.

Fig. C.1 Células básicas de linhas de transmissão artificiais: (a) m -derivada; (b) k -constante

Sabemos que, para a linha m -derivada, a indutância em paralelo L_p pode se expressa pela equação [11]:

$$L_p = \frac{1 - m^2}{4m} L \quad (\text{C.1})$$

E a indutância em série da estrutura k -constante é apresentada em:

$$L = \frac{L_m}{m} \quad (\text{C.2})$$

Portanto, igualando as duas expressões anteriores, obtemos:

$$\frac{1 - m^2}{4m^2} = \frac{L_p}{L_m} \quad (\text{C.3})$$

Se resolvermos a equação (C.3) para a variável m , obtemos:

$$m = \sqrt{\frac{L_m}{L_m + 4L_p}} \quad (\text{C.4})$$

Sabendo que:

$$L_m = C_m \cdot Z_0^2 \quad (\text{C.5})$$

Obtemos, finalmente a expressão para o valor de m:

$$m = Z_0 \sqrt{\frac{C_m}{4 \cdot L_m + Z_0^2 \cdot C_m}} \quad (\text{C.6})$$

ANEXO D – FREQUÊNCIA DE CORTE DA LINHA M-DERIVADA

Partindo do princípio de que a frequência de corte de uma linha de transmissão artificial m-derivada é igual a de sua análoga k-constante (Fig. C.1), deduziremos a expressão da frequência de corte de uma linha artificial m-derivada em função de seus componentes a partir daquela de k-constante:

$$f_c = \frac{2}{2\pi\sqrt{C \cdot L}} \quad (\text{D.1})$$

Sabemos que as capacitâncias de ambas as estruturas relacionam-se através de:

$$C = \frac{C_m}{m} \quad (\text{D.2})$$

E que a indutância da linha de transmissão artificial de k-constante é expressa por:

$$L = Z_0^2 \cdot C = Z_0^2 \cdot \frac{C_m}{m} \quad (\text{D.3})$$

Portanto a frequência de corte pode ser escrita como:

$$f_c = \frac{2}{2\pi \cdot \sqrt{\frac{C_m}{m} \cdot Z_0^2 \cdot \frac{C_m}{m}}} \quad (\text{D.4})$$

E, finalmente simplificando esta expressão, obtemos:

$$f_c = \frac{m}{\pi \cdot Z_0 \cdot C_m} \quad (\text{D.5})$$

ANEXO E – INDUTÂNCIA DA LINHA M-DERIVADA

Apresenta-se a seguir a dedução da expressão da indutância em série L_m da linha de transmissão artificial m-derivada em função exclusivamente dos parâmetros dela mesma (m , f_c e Z_0). Observamos, então as expressões da frequência de corte f_c da linha k-constante e de sua impedância Z_0 :

$$f_c = \frac{2}{2\pi\sqrt{C \cdot L}} \quad (\text{E.1})$$

$$Z_0^2 = \frac{L}{C} \quad (\text{E.2})$$

Substituindo (E.2) em (E.1), obtemos a expressão da capacitância da linha k-constante:

$$f_c = \frac{2}{2\pi \cdot C \cdot Z_0} \Rightarrow C = \frac{1}{\pi \cdot Z_0 \cdot f_c} \quad (\text{E.3})$$

E a partir de (E.3), a expressão da capacitância da linha m-derivada:

$$\frac{C_m}{2} = \frac{m}{2 \cdot \pi \cdot Z_0 \cdot f_c} \quad (\text{E.4})$$

Sabemos que:

$$\frac{L_m}{2} = \frac{m \cdot L}{2} \quad (\text{E.5})$$

Mas:

$$L = C \cdot Z_0^2 \quad (\text{E.6})$$

Substituindo (E.3) em (E.6) e posteriormente (E.6) em (E.5) obtemos a expressão desejada:

$$\frac{L_m}{2} = \frac{m \cdot Z_0}{2 \cdot \pi \cdot f_c} \quad (\text{E.7})$$

ANEXO F – ARTIGO PARA O CONGRESSO IMOC2005

7 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] SKVOR, Z.; SAUNDRES S. R.; AITCHIISON C. S. **Novel Decade Electronically Tunable Microwave Oscillator Based on the Distributed Amplifier**. *Electronic Letters*, vol. 28, n° 17 p.1647-1648, 1992.
- [2] DIVINA, L.; SKVOR, Z. **The Distributed Oscillator at 4 GHz**. *IEEE Trans. MTT*. vol. 46, no. 12, p.2240-2243, Dez. 1998.
- [3] DIVINA, L.; SKVOR Z. **Experimental verification of a distributed amplifier oscillator** . in *Proc. 25th EuMC 1995 Conf.*. Kent, U.K.: Nexus Media Limited, p. 1163-1167, 1995.
- [4] KLEVELAND, B.; DIAZ, C.H., DIETER, D.; MADDEN, L.; LEE, T. H.; WONG, S. S. **Monolithic CMOS Distributed Amplifier and Oscillator**. *IEEE Int. Solid-State Circ. Paper MP 4.3*, Fev. 1999.
- [5] WU, H; HAJIMIRI, A. **A 10 GHz CMOS Distributed Voltage Controlled Oscillator**. *Proc. IEEE CICC*, p. 581-584, Mai 2000.
- [6] WU, H; HAJIMIRI, A. **Analysis and Design of Silicon Bipolar Distributed Oscillators**. *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, p.102-105, 2000.
- [7] WU, H.; HAJIMIRI, A. **Silicon-Based Distributed Voltage-Controlled Oscillators**. *IEEE Journal of Solid-state Circuits*, vol. 36 , n° 3, p.493-502, 2001.
- [8] HAJIMIRI, A.; WU, H. **Tunable, distributed, voltage controlled oscillator**. US patent 6,396,359,2002.
- [9] HAJIMIRI, A.; WU, H. **Distributed oscillator architectures**. Requerimento de patente americana, Nov 2004. Disponível em <<http://www.freshpatents.com/Distributed-oscillator-architectures-dt20041111ptan20040222859.php>>. Acesso em Jan 2005.
- [10] PERCIVAL, W. S. **Improvements in and relating to thermionic valve circuits**. *British Patent Specification No. 460, 562*, 1936.
- [11] WONG, T. T. Y. **Fundamentals of Distributed Amplification**. Boston-London, U.K. Artech House, 1993.
- [12] BEYER, J. B.; PRASAD, S. N.; BECKER, R. C.; NORDMAN, J. E.; HOHNENWARTER, G. K. **MESFET Distributed Amplifier Design Guidelines**. *IEEE Trans. MTT*, vol. MTT-32, no. 3, Mar 1984.
- [13] JOHNSON, W. C. **Transmission lines and networks**. International student version. McGraw-Hill Inc., 1950.
- [14] D'AZZO, J. J.; HOUPIS, C. H. **Feedback Control System Analysis and Synthesis**. New York: McGraw-Hill, 1960.
- [15] ODYNIEC, M. **RF and Microwave Oscillator Design**. Boston-London, U.K. Artech House, 2002.

- [16] MAYARAM, K.; LEE, D. C.; MOINIAN, S.; RICH, D. A. E ROYCHOWDHURY, J. **Computer-Aided Circuit Analysis Tools for RFIC Simulation: Algorithms, Features, and Limitations.** IEEE Transactions on Circuits and Systems-II: Analog and digital signal processing, vol. 47, p.274-286, Abr., 2000.
- [17] TRIQUINT TEXAS **Design Guide**, Revision 5.1.
- [18] ROGERS CORPORATION. **RT/duroid® 5870/5880 glass microfiber reinforced PTFE composites.** Apresenta informações técnicas sobre o substrato flexível RO5880. Disponível em <http://www.rogerscorporation.com/acm/about_our_products.htm#5870>. Acesso em Jan 2005.
- [19] NEC. **Super low noise HJ FET NE33284A.** Informações técnicas sobre o transistor NE33284A da NEC. Disponível em <<http://www.cel.com/pdf/datasheets/ne33284.pdf>>. Acesso em Jan 2005.
- [20] AGILENT TECHNOLOGIES. **Agilent EEsof EDA.** Contém informações sobre o programa de simulação de circuitos ADS da Agilent. Disponível em <<http://eesof.tm.agilent.com/>>. Acesso em Jan 2005.
- [21] AMERICAN TECHNICAL CERAMICS. **600S Series Ultra-Low ESR, High Q, NPO RF & Microwave Capacitors (MLCs).** Informações técnicas sobre os capacitores da série 600S do fabricante ATC. Disponível em <<http://www.atceramics.com/products/600s.asp>>. Acesso em Jan 2005.
- [22] JOHANSON TECHNOLOGY. **Porcelain NPO chip capacitors.** Informações técnicas sobre os capacitores da família R09 do fabricante Johanson. Disponível em <<http://www.johansontechnology.com/products/pnp/>>. Acesso em Jan 2005.
- [23] KAMAYA INC. Informações técnicas sobre os resistores 0402 do fabricante Kamaya. Disponível em <<http://www.kamaya.com/>>, opção **RMC series-Fixed Thick film; Rectangular Type**. Acesso em Jan 2005.
- [24] SERIES IV HP. **Eesof High Frequency Design Solutions**, Circuit Network Itens, Hewllwet Packard, July 1995.
- [25] NEC. **C Band super low noise HJ FET NE334S01.** Informações técnicas sobre o transistor NE334S01 da NEC. Disponível em <<http://www.cel.com/pdf/datasheets/ne334s01.pdf>>. Acesso em Jan 2005.
- [26] MCCAMAN, A.; MARCCORMACK, G.; SMITH, D. **An improved GaAs MESFET model for SPICE**, IEEE Transaction on Microwave Theory and Techniques, vol. MTT 38, pp. 822-824, June 1990.
- [27] ROHDE & SCHWARZ. **ZVR, ZVC (bidirectional, 4 channels).** Informações técnicas sobre o analisador de redes ZVC disponível através do caminho: “Product Portfolio > Test & measurement > Network Analysis > Analyzers < 8 GHz”. <<http://www.rohde-schwarz.com/>>. Acesso em Jan 2005.
- [28] AGILENT TECHNOLOGIES. **RF & Microwave Instruments & Systems.** Informações técnicas sobre os equipamentos de medidas de RF da Agilent.

- <<http://www.home.agilent.com/USeng/nav/-11882.0/pc.html>>. Acesso em Jan 2005.
- [29] KUROKAWA, K. **Noise in synchronized oscillators.** IEEE Trans. Microwave Theory and Techniques, vol. MTT-16, no. 4, Apr 1968.
 - [30] JEZEWSKI, M. T. **An Approach to the Analysis of Injection-Locked Oscillators.** IEEE Trans. Circuits and Systems, vol. CAS-21, no. 3, May 1974.
 - [31] RAZAVI, B. **An study of injection locking and pulling in oscillators.** IEEE Journal of solid-state circuits, vol. 39, no. 9, Sep 2004.
 - [32] ROHDE & SCHWARZ. **Signal Generator R&S SML.** Informações técnicas sobre o sintetizador de RF SML 03, P/N 1090.3000.13, disponível através do caminho: "Product Portfolio > Test & measurement > Signal Generation > Analog < Signal Generator R&S SML". <<http://www.rohde-schwarz.com/>>. Acesso em Jun 2005.
 - [33] GARDNER, F. M. **Phaselock Techniques.** Wiley-Interscience Publication, New York, 1979.
 - [34] MINI-CIRCUITS. **Voltage Controlled Oscillators.** Informações técnicas sobre os osciladores controlados por tensão deste fabricante. <<http://www.minicircuits.com/oscillat.shtml>>. Acesso em Jun 2005.
 - [35] SYNERGY MICROWAVE CORPORATION. **Voltage Controlled Oscillators.** Informações técnicas sobre os osciladores controlados por tensão deste fabricante. < <http://www.synergymwave.com/products/vco/vco.htm>>. Acesso em Jun 2005.
 - [36] HITTITE MICROWAVE CORPORATION. **MMIC VCO with buffer.** Informações técnicas sobre o oscilador controlado por tensão HMC390LP4. < www.hittite.com/product_info/product_specs/vcos/hmc390lp4.pdf >. Acesso em Jun 2005.
 - [37] SIRENZA MICRODEVICES. **793 Series VCOs.** Informações técnicas sobre os osciladores controlados por tensão deste fabricante. < http://www.sirenza.com/products_summary.asp?family=Signal%20Source&line=VCO&series=793%20Series&menu=signalsource>. Acesso em Jun 2005.
 - [38] LEESON, D. B. **A simple model of feedback oscillator noises spectrum.** Proc. IEEE, vol. 54, p. 329-330, Fev. 1966.
 - [39] HAJIMIRI, A. E; LEE, T.H. **A general theory of phase noise in electrical oscillators.** IEEE J. Solid-State Circuits, vol. 33, p.179-194, Fev 1998.
 - [40] HAJIMIRI, A. E; LEE, T.H. **Oscillator phase noise: a tutorial.** IEEE J. Solid-State Circuits, vol. 35, no. 33, p.326-333, 2000.
 - [41] ALI, F.; GUPTA, A. **HEMTs & HBTs: Devices, Fabrication, and Circuits.** Artech House, Inc., Boston, London, Jan 1991.
 - [42] WHITE, C. J. E HAJIMIRI, A. **Phase noise in distributed oscillators.** Electronics Letters, vol. 38, n° 17, p.1453-1454, Nov 2002.

- [43] ARAÚJO, C. F. E; CORRERA, F. S. **Amplificador Distribuído em GaAs – 1 a 17 GHz.** VII Simpósio Brasileiro de Microondas e Optoeletrônica-TELEMO 96; 929-934, vol. 2; Curitiba, 1996.
- [44] ARAÚJO, C. F. **Amplificador Distribuído de Microondas.** 83p. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo, São Paulo, 1998.
- [45] PRIGENT, M.; CAMIADE, M.; NALLATAMBY, J. C.; GUITTARD, J.; OBREGON, J. **An Efficient Design Method of Microwave Oscillator Circuits for Minimum Phase Noise.** IEEE Trans. MTT, vol. 47, no. 7, Jul 1999.
- [46] HEGAZI, E.; SJOLAND, H.; ABIDI, A. A. **A Filtering Technique to Lower LC Oscillator Phase Noise.** IEEE J. Solid-State Circuits, vol. 36, no. 12, Dez 2001.
- [47] KOUZNETSOV, K. A.; AND MEYER, R. G. **Phase Noise in LC Oscillators.** IEEE J Solid-State Circuits, vol. 35, no. 8, p. 1244-1248, Ago 1998.
- [48] GIERKINK, S. L. J. ; KLUMPERINK, E. A. M., VAN DER WEL, A. P.; HOOGZAAD, G.; NAUTA, B. **Intrinsic 1/f Device Noise Reduction and Its Effect on Phase Noise in CMOS Ring Oscillators.** IEEE J. Solid-State Circuits, vol. 34, no. 7, p. 1022-1025, Jul 1999.
- [49] CRANINCKX, J.; STEYAERT, M. **Low Noise Voltage Controlled Oscillators Using Enhanced LC-Tanks.** IEEE Trans. Circuits and Systems I: Analog and Digital Signal Processing, vol. 42, no. 12, p. 794-804. Dez. 1995.
- [50] CORRERA, F. S. **Oscilador de Microondas Controlado por Tensão.** Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo, São Paulo, 1983.
- [51] BARROS, A. D. S.; CORRERA, F. S. **Analysis of Reverse Feedback Distributed Oscillators with m-derived Artificial Transmission Lines.** SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference, 2005.