**UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA**

HENRIQUE LANZA FARIA TORRES

**Efeitos da radiação em transistores túnel-FET de
porta tripla**

**São Paulo
2018**

HENRIQUE LANZA FARIA TORRES

**Efeitos da radiação em transistores túnel-FET de
porta tripla**

Dissertação apresentada à Escola Politécnica da Universidade de
São Paulo para obtenção do título de Mestre em Ciências.

Área de concentração: Engenharia Elétrica / Microeletrônica.

Orientadora: Profa. Dra. Paula Ghedini Der Agopian.

Coorientador: Prof. Dr. João Antonio Martino.

**São Paulo
2018**

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 20 de JULHO de 2018

Assinatura do autor: HENRIQUE L. F. TORRES

Assinatura do orientador: Paula Ghisleni Dos Ogepian

Catálogo-na-publicação

Torres, Henrique Lanza Faria

Efeitos da radiação em transistores túnel-FET de porta tripla / H. L. F. Torres -- versão corr. -- São Paulo, 2018.

140 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. radiação de prótons 2. TID 3. TFET 4. MOSFET 5. SOI I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

Agradecimentos

Eu sou grato...

À Deus, pelo dom da vida e pela graça de suscitar em mim o desejo inabalável pela busca do conhecimento, a busca por ser, a cada dia, uma pessoa melhor.

À Professora Paula Agopian e ao Professor João Martino, por promoverem desafios, pelo incentivo, pela confiança, orientação e compartilhamento de tantas experiências e por acreditarem no trabalho que desenvolvi à sua luz guiadora.

Aos meus colegas do grupo de pesquisa, em especial, ao Caio Bordallo, pelas discussões, conselhos e sugestões, e pela ajuda, vez e outra, tão necessárias ao longo destes anos.

Aos meus colegas do LAMFI, Cleber Rodrigues e Marcos Rodrigues, pela dedicação empregada no auxílio da etapa experimental desta pesquisa, por se disporem a estender suas jornadas de trabalho e, com isso, me ajudar.

À minha esposa, minha amiga, meu amor, Tatiane Ribeiro Torres, por ser o anjo que Deus colocou ao meu lado para compartilhar comigo essa aventura que é viver. Por me cobrar quando necessário, por me ajudar quando precisei, por se fazer onipresente em todos os aspectos da minha vida. E à sua família, que agora também é minha, Joel, Maria do Carmo e Talita, por não medirem esforços para nos amparar.

Aos meus pais, Daniel e Lúcia, por me educarem, me amarem e me ensinarem, acima de tudo, valores, ferramentas tão necessárias na condução de uma vida pautada na moralidade, na honra e na humildade. Aos meus irmãos, Mara e Victor, por crescerem comigo e me ajudarem a crescer.

À FAPESP, pelo apoio financeiro e institucional destinados ao processo 2015/24817-1, tão fundamentais para o desenvolvimento desta pesquisa.

“Nosso futuro é uma corrida entre o crescente poder da tecnologia e a sabedoria com a qual a utilizamos.”

Stephen Hawking

Resumo

Frente à crescente necessidade de que novas tecnologias sejam capazes de operar com confiabilidade em ambientes hostis, a análise dos efeitos da radiação ionizante em dispositivos semicondutores se tornou um ramo de pesquisa em contínua ascensão, contribuindo para o desenvolvimento de tecnologias estratégicas e promovendo o aprimoramento científico e o desenvolvimento tecnológico da humanidade. Por outro lado, a atual tecnologia CMOS de fabricação de circuitos integrados apresenta sinais de limitação, em grande parte, devido às características físicas inerentes ao seu princípio de funcionamento, sendo necessário, portanto, que dispositivos com novos mecanismos de operação e geometrias sejam desenvolvidos. Dentre eles, transistores de tunelamento induzido por efeito de campo (TFET) se destacam por apresentarem menor corrente de dreno quando desligados e a possibilidade de se atingir inclinações de sublimar abaixo do limite teórico estabelecido por dispositivos MOSFET de 60 mV/déc à temperatura ambiente, permitindo-se a redução da tensão de alimentação dos transistores para cerca de 0,5 V. Buscando contribuir com as necessidades destas duas áreas de pesquisa, neste projeto de mestrado, foi analisado o comportamento de TFETs de silício com porta tripla, fabricados sobre lâmina SOI (silício sobre isolante), submetidos a até 10 Mrad(Si) de dose acumulada total enquanto não polarizados, gerada por uma fonte de prótons de 600 keV de energia. Em uma análise inicial, após exposição de dispositivos de 1 μm de largura de aleta a uma dose de 1 Mrad(Si), foi possível observar uma redução no nível corrente de dreno de estado ligado do dispositivo ($I_{ON} \approx 300 \text{ pA}$) de até 10%, não associada à uma alteração da corrente de porta. Além disso, o efeito da radiação nesses transistores reduz de 10% para 2% quando se aumenta o comprimento do canal de 150 nm para 1 μm . As razões para ambos os fenômenos foram discutidas com base na competição entre os efeitos de divisão da corrente de dreno na primeira e segunda interfaces e do aumento da resistência de canal em dispositivos mais longos. Para uma análise em função da dose acumulada total, dispositivos SOI TFET e SOI MOSFET, ambos de porta tripla, foram caracterizados eletricamente 14 dias após cada etapa de irradiação. De maneira geral, dispositivos de ambas as tecnologias, com largura de aleta igual a 40 nm, apresentaram baixa susceptibilidade aos efeitos cumulativos da radiação ionizante. No entanto, quando considerados dispositivos com largura de aleta muito maior que a altura da aleta ($W_{FIN} = 1 \mu\text{m}$), nos quais a influência das portas laterais sobre o acoplamento eletrostático do canal é praticamente inexistente, transistores túnel-FET se destacaram positivamente. Esses dispositivos se mostraram resistentes aos efeitos de dose ionizante total (TID) mesmo para doses de 5 Mrad(Si), enquanto os transistores SOI MOSFET apresentaram uma variação gradual de seus parâmetros a cada

dose acumulada. Um exemplo disso é a variação observada na inclinação de sublimiar, de 32,5% nos transistores SOI MOSFET e 5,6% nos transistores SOI TFET. Somente após 10 Mrad(Si) de irradiação por prótons é que os TFETs de aleta larga apresentaram variações mais significativas em sua curva de transferência ($I_D \times V_G$). Tanto para a configuração como tipo P quanto para a configuração como tipo N, notou-se um deslocamento de até 80 mV da curva de transferência do dispositivo para a esquerda, provocado, segundo análise via simulações, pelas cargas fixas positivas geradas pela irradiação no óxido enterrado do dispositivo. Adicionalmente, foi possível observar um aumento da corrente de tunelamento assistido por armadilhas (TAT) nesses dispositivos, provocada pelo aumento da densidade de estados de interface causada também pelos efeitos de TID. O aumento de TAT foi reconhecido como o principal responsável pela degradação de 23,3% da inclinação de sublimiar dos TFETs, com W_{FIN} igual 1 μm , após 10 Mrad(Si). Apesar das mudanças observadas, foi possível se sugerir, através da comparação com transistores SOI MOSFET de dimensões equivalentes, que transistores de tunelamento induzido por efeito de campo podem, futuramente, se tornar referência no quesito imunidade aos efeitos de dose ionizante total.

Palavras-chave: radiação de prótons, dose acumulada, TFET, MOSFET, SOI, caracterização.

Abstract

In light of the increasing need for new technologies to be able to operate reliably in harsh environments, the analysis of the effects of ionizing radiation on semiconductor devices has become a continually rising field of research, contributing to the development of strategic technologies and promoting scientific improvement and technological development of humankind. On the other hand, the current CMOS technology for the manufacture of integrated circuits shows signs of limitation, mostly, due to the physical characteristics inherent to its operating principle, thus, it is necessary that devices with new operating mechanisms and geometries be developed. Among them, tunnel field-effect transistors (TFET) stand out because of its lower OFF state current and the possibility of reaching subthreshold swing below the theoretical limit established by MOSFET devices of 60 mV/dec at room temperature, allowing to reduce transistors supply voltage to about 0.5 V. In order to contribute with both areas, the behavior of silicon based triple gate TFETs fabricated on a SOI (silicon-on-insulator) substrate and exposed to a total cumulative dose of 10 Mrad (Si) (while not biased) generated by a 600 keV proton beam was analyzed. In an initial analysis after exposure of 1 μm width devices to 1 Mrad(Si), it was possible to observe an ON state current reduction ($I_{ON} \approx 300$ pA) up to 10%, not associated to a gate current change. Beyond that, irradiation effects on these devices reduce from 10% to 2% with the channel length increasing from 150 nm to 1 μm . The reasons behind these phenomena were discussed based on the competition between a high channel resistance present in longer devices and the TFET drain current reduction due to the irradiation. For a total cumulative dose analysis, triple gate SOI TFET and triple gate SOI MOSFET devices were characterized 14 days after each irradiation phase. In general, devices of both technologies, with 40 nm fin width, presented low susceptibility to the cumulative effects of ionizing radiation. However, for devices with fin width larger than fin height ($W_{FIN} = 1 \mu\text{m}$) in which the influence of side gates on the electrostatic coupling of the channel is weak, tunnel-FET transistors have stood out. These devices were resistant to the effects of total ionizing dose (TID) even for doses as high as 5 Mrad(Si), while SOI MOSFET transistors showed a gradual variation of their parameters at each accumulated dose. The variation observed for the subthreshold swing, for example, was about 32.5% for SOI MOSFET devices and 5.6% for SOI TFET devices. TFETs with wider fin have shown significant variations on its transfer characteristic ($I_D \times V_G$) only after 10 Mrad(Si) of proton irradiation. For both P-type and N-type configurations, it was observed a shift of the transfer curve to the left up to 80 mV caused by, according to simulations, the

positive fixed charges generated in the buried oxide by irradiation. In addition, it was possible to observe a trap assisted tunneling (TAT) current increase caused by interface states promoted by TID effects. The increase of TAT was recognized as the main responsible for the degradation of 23.3% of the subthreshold swing of the TFETs after 10 Mrad(Si). In spite of the observed changes, it was possible to suggest, through comparison with SOI MOSFET devices of equivalent dimensions, which tunnel field-effect transistors may become a reference when considering immunity against total ionizing dose effects.

Keywords: proton radiation, accumulated dose, TFET, MOSFET, SOI, characterization.

Lista de Figuras

Figura 1: Escalamento das tensões de alimentação e de limiar ao longo de diferentes gerações tecnológicas.....	25
Figura 2: Corrente de dreno em função da tensão de porta para dispositivos MOSFET com tensões de limiar diferentes.	26
Figura 3: Curvas de transferência das principais alternativas de melhoria de MOSFET convencionais operando como chave.....	30
Figura 4: Barreira de potencial finito e largura finita.....	31
Figura 5: Densidade de probabilidade para uma situação típica de penetração de barreira.	32
Figura 6: Esquema simplificado de um nTFET.....	33
Figura 7: Bandas de energia relativas ao estado desligado de nTFETs.	34
Figura 8: Bandas de energia relativas ao estado ligado de nTFETs.	35
Figura 9: Bandas de energia referentes à aplicação de uma tensão negativa na porta de um nTFET.	36
Figura 10: Redução da corrente de dreno de estado desligado de um nTFET para diferentes extensões de eletrodo de porta.....	37
Figura 11: Representação esquemática do tunelamento assistido por armadilha.	40
Figura 12: Tunelamento entre bandas em um pTFET.....	41
Figura 13: Curva de transferência de um nTFET.....	43
Figura 14: Simulação da incidência de íons de He em um alvo de Si com 12 μm de espessura.....	46
Figura 15: Diagrama simplificado dos cinturões de Van Allen.....	48
Figura 16: Distribuição do fluxo de prótons em função da energia e da altitude.	49
Figura 17: Penetração de um íon em uma junção PN convencional (à esquerda) e em uma junção SOI (à direita).....	51
Figura 18: Deslocamento de um átomo da estrutura cristalográfica de um material devido à incidência de uma partícula energética.	52
Figura 19: Cargas fixas e armadilhas de interface geradas nos óxidos e interfaces com o silício devido à irradiação.....	54
Figura 20: Corrente de dreno em função da tensão de porta de um SOI ômega-FET do tipo N com diferentes larguras de aleta, antes e após 500 krad(SiO_2) de radiação.	56
Figura 21: Corrente de dreno em função da tensão de porta de SOI pFinFETs de diferentes dimensões, com e sem radiação.....	57
Figura 22: Cascatas de transistores TFET de porta tripla em uma lâmina SOI.....	59
Figura 23: Dimensões dos dispositivos referentes a cada posição da estrutura matricial de transistores. Valores de comprimento e largura de canal expressos em micrometro (μm).	60
Figura 24: Caracterização elétrica dos transistores utilizando o Keysight B1500A.....	62
Figura 25: Vista panorâmica do acelerador eletrostático de partículas do LAMFI no Instituto de Física da USP.	64
Figura 26: Perda de energia dos prótons de 600 keV ao longo da estrutura dos dispositivos SOI TFET.....	65

Figura 27: Perda de energia dos prótons de 1 MeV ao longo da estrutura dos dispositivos SOI TFET.....	66
Figura 28: Curva de Bragg de prótons de 600 keV.....	67
Figura 29: Alcance médio dos prótons de 600 keV dentro da estrutura dos dispositivos SOI TFET.....	68
Figura 30: Câmara de vácuo utilizada para espalhamento do feixe de prótons.....	70
Figura 31: Diagrama representativo da câmara de vácuo do acelerador eletrostático do LAMFI.....	71
Figura 32: Corrente de dreno em função da tensão de porta de um pTFET com 40 nm de largura e 150 nm de comprimento de canal.....	76
Figura 33: Corrente de dreno em função da tensão de porta de pTFETs com 40 nm de largura e diferentes comprimentos de canal.....	77
Figura 34: Corrente de dreno em função da tensão de dreno para um pTFET de $W_{FIN} = 1 \mu m$, $L = 150 nm$, antes e após 1 Mrad(Si) de radiação de prótons.....	79
Figura 35: Curvas de saída simuladas de um pTFET considerando cargas fixas posicionadas na primeira e segunda interfaces.....	80
Figura 36: Diagrama de bandas de energia ao longo da primeira interface do dispositivo simulado.....	81
Figura 37: Região onde portadores são gerados em um point TFET.....	82
Figura 38: Potencial eletrostático e geração de portadores de banda para banda simulados considerando cargas fixas nas interfaces entre óxido e silício.....	83
Figura 39: Diagrama de bandas de energia ao longo da segunda interface do dispositivo simulado.....	84
Figura 40: Simulação do digrama de bandas na primeira e segunda interfaces para $Q_{ox} = 5 \times 10^{12} cm^{-2}$	85
Figura 41: Correntes de porta e de dreno em função da tensão de dreno para um dispositivo pTFET de $W_{FIN} = 1 \mu m$ e $L = 250 nm$	86
Figura 42: Corrente de dreno em função da tensão de dreno para um pTFET com W_{FIN} e L igual a $1 \mu m$, antes e após 1 Mrad(Si) de radiação.....	87
Figura 43: Curvas de transferência de um pTFET para diferentes tensões de dreno.....	90
Figura 44: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{FIN}/L = 40/250 nm$	92
Figura 45: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 40/150 nm$	93
Figura 46: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{FIN}/L = 250/130 nm$	95
Figura 47: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{FIN}/L = 250/250 nm$	96
Figura 48: Curva de transferência em função da dose acumulada total em um nMuGFET com $W_{FIN}/L = 250/1000 nm$	97
Figura 49: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 250/250 nm$	98
Figura 50: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 500/1000 nm$	100

Figura 51: Simulação da curva de transferência de um pTFET em função da densidade de cargas fixas positivas no óxido de silício.....	102
Figura 52: Curvas $I_D \times V_G$ simuladas em função da densidade de estados de interface. ...	103
Figura 53: Curva de transferência em função da dose acumulada total em um nTFET de porta tripla com $W_{FIN}/L = 500/1000$ nm.	104
Figura 54: Curvas de transferência em função da dose acumulada total em dispositivos MuGFETs tipo P e tipo N, com $W_{FIN}/L = 1/10$ μm	106
Figura 55: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 1000/250$ nm.	108

Lista de Tabelas

Tabela 1: Espessura das camadas e materiais que compõem a estrutura do TFET.....	61
Tabela 2: Configuração das rotinas de medida das curvas de transferência dos pTFETs.....	63
Tabela 3: Configuração das rotinas de medida das curvas de saída dos pTFETs.....	63
Tabela 4: Taxa de dose e dose acumulada referente a cada uma das etapas de radiação.....	72
Tabela 5: Redução média da corrente de dreno de dispositivos pTFET irradiados com 1 Mrad(Si).	88
Tabela 6: Parâmetros básicos de um pMuGFET com $W_{FIN}/L = 40/250$ nm em função da dose acumulada total, para $V_D = -0,1$ V.....	92
Tabela 7: Inclinação de sublimar mínima de um pTFET de porta tripla com $W_{FIN}/L = 40/150$ nm em função da dose acumulada total, para $V_D = -0,9$ V.....	94
Tabela 8: Principais parâmetros de um pMuGFET com $W_{FIN}/L = 250/250$ nm em função da dose acumulada total, para $V_D = -0,1$ V.....	96
Tabela 9: Principais parâmetros de um pTFET de porta tripla com $W_{FIN}/L = 500/1000$ nm em função da dose acumulada total, para $V_D = -0,9$ V.....	100
Tabela 10: Principais parâmetros de MuGFETs do tipo P e do tipo N, com $W_{FIN}/L = 1/10$ μ m, em função da dose acumulada total, para $ V_D = 0,1$ V.....	107
Tabela 11: Principais parâmetros de um pTFET de porta tripla com $W_{FIN}/L = 1000/250$ nm em função da dose acumulada total, para $V_D = -0,9$ V.....	109
Tabela 12: Quadro comparativo da variação causada pelos efeitos de TID nos principais parâmetros de TFETs e MuGFETs com 1 μ m de largura da aleta, em duas condições de dose acumulada total.	111

Lista de siglas e abreviaturas

ASIC	<i>Application-Specific Integrated Circuit</i> (circuito integrado para aplicação específica)
BTBT	<i>Band to band tunneling</i> (tunelamento de banda para banda)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (metal-óxido-semicondutor complementar)
CITAR	Circuitos Integrados Tolerantes à Radiação
DD	<i>Displacement Damage</i> (dano por deslocamento)
DIBT	<i>Drain Induced Barrier Thinning</i> (estreitamento de barreira induzido pela tensão de dreno)
DRAM	<i>Dynamic Random-Access Memory</i> (memória de acesso aleatório dinâmica)
EOT	<i>Equivalent Oxide Thickness</i> (espessura de óxido equivalente)
ESA	<i>European Space Agency</i> (agência espacial europeia)
ESCC	<i>European Space Components Coordination</i> (coordenação europeia de componentes espaciais)
EUV	<i>Extremely Ultra Violet lithography</i> (litografia ultravioleta extrema)
FinFET	<i>Fin Field Effect Transistor</i> (transistor de efeito de campo tridimensional de porta dupla)
FPGA	<i>Field Programmable Gate Array</i> (arranjo de portas programável por campo)
IMEC	<i>Interuniversity Microelectronic Center</i> (centro interuniversitário de microeletrônica)
IoT	<i>Internet of Things</i> (<i>internet</i> das coisas)
LAMFI	Laboratório de Análise de Materiais por Feixes Iônicos
LERI	Laboratório de Efeitos da Radiação Ionizante
LET	<i>Linear Energy Transfer</i> (transferência linear de energia)
M2M	<i>Machine to Machine</i> (comunicação máquina a máquina)
MEMS	<i>Microelectromechanical System</i> (sistema microeletromecânico)
MOS	<i>Metal-Oxide-Semiconductor</i> (metal-óxido-semicondutor)
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> (transistor metal-óxido-semicondutor de efeito de campo)

MuGFETs	<i>Multi-Gate Field Effect Transistor</i> (transistor de efeito de campo de múltiplas portas)
PLC	<i>Power Line Cycles</i> (ciclo de linha de potência)
SDRAM	<i>Synchronous Dynamic Random-Access Memory</i> (memória de acesso aleatório dinâmica síncrona)
SEE	<i>Single Event Effect</i> (efeito de evento único)
SGDC	Satélite Geostacionário de Defesa e Comunicações Estratégicas
SoC	<i>System on Chip</i> (sistema em um chip)
SOI	<i>Silicon on Insulator</i> (silício sobre isolante)
SRH	Geração e recombinação Shockley-Read-Hall
SRIM	<i>Stopping and Range of Ions in Matter</i> (freamento e alcance de íons na matéria)
TAT	<i>Trap Assisted Tunneling</i> (tunelamento assistido por armadilha)
TFET	<i>Tunnel Field Effect Transistor</i> (transistor de tunelamento induzido por efeito de campo)
TID	<i>Total Ionizing Dose</i> (dose ionizante total)
WKB	Wentzel-Kramers-Brillouin

Lista de símbolos

a	Largura da barreira de potencial [m].
C_L	Capacitância de carga [F].
D	Dose de energia acumulada [Gy].
E	Energia da partícula [eV].
E_C	Nível de energia mínimo da banda de condução [eV].
E_F	Nível de energia de Fermi [eV].
E_g	Largura da banda proibida de energia [eV].
E_i	Nível de energia intrínseco [eV].
E_t	Nível de energia do defeito [eV].
E_V	Nível de energia máximo da banda de valência [eV].
f	Frequência [Hz].
g_d	Condutância de saída [S].
g_m	Transcondutância [S].
h	Constante de Planck [$6,626 \times 10^{-34}$ J.s].
$\hbar$	Constante de Planck normalizada [$1,055 \times 10^{-34}$ J.s].
H_{FIN}	Altura da aleta de silício de um transistor tridimensional [nm].
I_D	Corrente de dreno [A].
I_{DD}	Corrente consumida [A].
I_{OFF}	Corrente de dreno de estado desligado [A].
I_{ON}	Corrente de dreno de estado ligado [A].
k	Constante de Boltzmann [$1,381 \times 10^{-23}$ J/K].
k_{II}	Número de onda angular [m^{-1}].
L	Comprimento de canal [nm].
ΔL_G	Subposição de porta [nm].
m	Massa da partícula [kg].
m^*	Massa efetiva do portador [kg].
n	Concentração de elétrons na banda de condução por unidade de volume [cm^{-3}].
N_{FIN}	Quantidade de aletas.
n_i	Concentração intrínseca de portadores [cm^{-3}].
N_{it}	Densidade de estados de interface por unidade de área [$eV^{-1}.cm^{-2}$].
p	Concentração de lacunas na banda de valência por unidade de volume [cm^{-3}].

P_D	Potência dinâmica [W].
P_E	Potência estática [W].
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C].
Q_{ox}	Concentração de cargas fixas na interface entre óxido e silício por unidade de área [cm^{-2}] ou dentro do óxido de silício por unidade de volume [cm^{-3}].
S	Inclinação de sublimiar [mV/déc.].
$S(E)$	Poder de freamento [eV/m].
t_{ox}	Espessura do óxido [nm].
T	Temperatura absoluta [K].
T_{BTBT}	Probabilidade de tunelamento entre bandas.
$T_{tunneling}$	Coeficiente de tunelamento.
U	Taxa de recombinação líquida de portadores [$\text{cm}^{-3} \cdot \text{s}^{-1}$].
V_0	Altura da barreira de potencial [V].
V_D	Tensão de dreno [V].
V_{DD}	Tensão de alimentação [V].
V_{DS}	Tensão entre dreno e fonte [V].
V_G	Tensão de porta [V].
V_{GS}	Tensão entre porta e fonte [V].
V_{ON}	Tensão na qual BTBT se torna o mecanismo de condução predominante em túnel-FETs [V].
V_{onset}	Tensão de início de condução [V].
V_{th}	Tensão de limiar [V].
ΔV_{th}	Variação da tensão de limiar [V].
w	Energia necessária para produção de um par elétron-lacuna [eV].
W_{FIN}	Largura da aleta de silício [nm].
W_{FIN}/L	Razão de aspecto.
ϵ_{ox}	Permissividade elétrica do óxido [F/cm].
λ	Comprimento de tunelamento [m].
ρ	Densidade volumétrica do material [kg/m^3].
τ_n	Tempo de vida dos elétrons [s].
τ_p	Tempo de vida das lacunas [s].
$\Delta\Phi$	Faixa de sobreposição das bandas de energia [eV].
Ψ	Equação de onda.

Sumário

1	Introdução	20
1.1	O mercado de tecnologia atual e suas tendências	20
1.2	O papel da microeletrônica	21
1.3	Escalamento de dispositivos: soluções e desafios	22
1.4	FET: das limitações do MOSFET ao surgimento do Túnel-FET	24
1.5	A busca pela maior confiabilidade de sistemas eletrônicos em aplicações aeroespaciais	27
1.6	Objetivo e estrutura do trabalho	28
2	Transistores de tunelamento induzido por efeito de campo	30
2.1	O problema da barreira de potencial e o efeito túnel	31
2.2	Princípio de operação do Túnel-FET	33
2.3	Mecanismos de transporte de portadores	37
2.3.1	Geração e recombinação Shockley-Read-Hall (SRH)	38
2.3.2	Tunelamento assistido por armadilha (TAT)	39
2.3.3	Tunelamento de banda para banda (BTBT)	40
3	Radiação e sua interação com a matéria	44
3.1	Radiação ionizante	44
3.2	Radiação no ambiente espacial	47
4	Os efeitos da radiação ionizante em dispositivos eletrônicos	50
4.1	Efeitos de evento único (SEE)	50
4.2	Dano de deslocamento (DD)	52
4.3	Dose ionizante total (TID)	53
4.4	Os efeitos de TID em MOSFETs de múltiplas portas	55
5	Procedimento experimental	59
5.1	Amostras para realização do estudo	59
5.2	Processo de caracterização elétrica dos dispositivos	62
5.3	Etapa de irradiação dos túnel-FETs por prótons	64
5.4	Simulação de TFETs no TCAD Sentaurus	72
6	Resultados e análise	75
6.1	Caracterização elétrica antes da irradiação por feixe de prótons	75

6.2	A influência da radiação na característica de saída dos transistores pTFET após 1 Mrad(Si)	78
6.3	Comportamento de TFETs e MuGFETs em função da dose ionizante total.....	89
6.3.1	Transistores com $W_{FIN} = 40$ nm	91
6.3.2	Transistores com $W_{FIN} = 250$ nm	94
6.3.3	Transistores com $W_{FIN} = 500$ nm	99
6.3.4	Transistores com $W_{FIN} = 1$ μ m.....	105
7	Conclusões	112
8	Publicações geradas.....	118
9	Referências bibliográficas	119

1 Introdução

Os avanços tecnológicos observados na atualidade são provenientes das contribuições das mais diversas áreas do conhecimento. Logo, para se fundamentar a importância deste trabalho e as principais motivações que serviram de base para sua realização, neste capítulo introdutório a pesquisa é contextualizada dentro do cenário atual de desenvolvimento da tecnologia.

1.1 O mercado de tecnologia atual e suas tendências

É difícil precisar qual gatilho desencadeou a imersão tecnológica presenciada nos dias de hoje. Se foi a *Apple*, em 2007, através do anúncio daquele que viria a definir o conceito de *smartphone* ao qual as pessoas se habituaram, se foi a queda exponencial de preço do *hardware* ou a redução do *time-to-market* dos produtos que possibilitou a criação de soluções disruptivas. Ou seja, é difícil dizer se foi a criatividade que alavancou a tecnologia ou se é a tecnologia que permite que o homem se torne mais criativo.

O fato é que a velocidade dos avanços atuais não possui precedentes na história. Viver em um mundo com bilhões de pessoas conectadas através de dispositivos móveis portando um incrível poder de processamento, capacidade de armazenamento, acesso ao conhecimento e compartilhamento de informações abre um leque de possibilidades ilimitado. Por isso, hoje vive-se o que é considerada a quarta revolução industrial, caracterizada pela fusão de tecnologias e por romper as fronteiras entre as esferas física, digital e biológica (SCHWAB, 2016).

Plataformas de desenvolvimento mais baratas, o acesso a informações de qualidade e o conhecimento compartilhado por meio da *internet*, promovem iniciativas de projetos colaborativos, baseados em *software* e *hardware* abertos e livres, que em constante evolução, mudam a forma como os projetos são desenvolvidos e as soluções implementadas. Na revolução *Maker*, vertente também da nova revolução industrial, a tecnologia está sendo utilizada e desenvolvida pelas pessoas e para as pessoas, mudando totalmente a forma como as pessoas vivem, trabalham e se relacionam com o mundo e uns com os outros (ANDERSON, 2014).

Visto que muitos dos projetos hoje desenvolvidos para os mais diversos mercados apresentavam em comum a necessidade de estarem conectados, se comunicando, uma nova categoria de aplicações foi consolidada como uma das mais promissoras tecnologias emergentes, a *internet* das coisas (IoT - *Internet of Things*). Previsões sugerem que os cerca de 8,4 bilhões de

dispositivos hoje conectados à *internet*, em 2020 serão mais de 20 bilhões (GARTNER, 2017), gerando dados que, uma vez processados, se tornarão informação, conhecimento e, finalmente, sabedoria. Sendo esta previsão realista ou não, o fato é que o mercado global de semicondutores registrou em maio de 2017 um crescimento anual de 22,6%, o maior desde setembro de 2010 (SEMICONDUCTOR INDUSTRY ASSOCIATION, 2017).

Dadas sua complexidade e abrangência, aplicações voltadas à *internet* das coisas e comunicação máquina a máquina (M2M - *Machine to Machine*) dependem muito do desenvolvimento das mais diversas áreas correlacionadas, dentre as quais pode-se destacar: robótica, processamento de imagens e sinais, inteligência artificial, aprendizado de máquina, segurança dos dados coletados e processados dentro dos dispositivos, definição de novos padrões e protocolos para comunicação destes dados e, não menos importante, a indústria microeletrônica.

1.2 O papel da microeletrônica

No que concerne à microeletrônica atual, os avanços em toda a cadeia de desenvolvimento de semicondutores voltam seus holofotes para segmentos chave da indústria, que incluem mercados em constante crescimento, como computação de alta performance, aplicações automotivas, comunicações móveis e, também, o já mencionado mercado de IoT (NENNI, 2017).

De fato, aplicações destinadas a ambientes inteligentes e conectados ou criaram uma série de requisitos adicionais ou tornaram requisitos já existentes ainda mais críticos. Dentre as principais necessidades suscitadas por projetos de sistemas embarcados atuais, que acabam norteando os desenvolvedores de circuitos integrados em seus novos projetos, podemos destacar:

- A necessidade de miniaturização de componentes, circuitos e módulos;
- A constante melhoria no gerenciamento de energia e redução do consumo de potência, quando não, a necessidade de captação e conversão de energia do meio, visando uma melhor autonomia dos produtos;
- A busca pelo aumento do poder de processamento e capacidade de armazenamento dos sistemas, promovendo uma melhor eficiência de algoritmos embarcados;
- A necessidade de implementação nos projetos dos mais diversos padrões de comunicação sem fio e conexão à *internet*.

A fim de cumprir esses requisitos, a indústria da microeletrônica foca suas pesquisas na viabilização de novos materiais, no desenvolvimento de novos processos de fabricação e no projeto de novos dispositivos e arquiteturas.

Para criação de circuitos integrados menores e mais eficientes, muitas abordagens estão sendo adotadas pela indústria e centros de pesquisa, como o encapsulamento de múltiplos *chips* (TEXAS-INSTRUMENTS, 2000), a criação de circuitos integrados tridimensionais, a integração heterogênea de dispositivos (KAZIOR, 2014) e o desenvolvimento de sistemas microeletromecânicos (MEMS - *Microelectromechanical System*) (TORRES, 2014). Mas talvez, a abordagem mais idealmente trivial seja a miniaturização da unidade básica de todo circuito integrado, o transistor.

1.3 Escalamento de dispositivos: soluções e desafios

Os avanços na capacidade técnica de fabricação de circuitos integrados, entretanto, ocorrem em maior velocidade que os obtidos no processo de miniaturização dos dispositivos. Por isso, recentemente, houve uma dissociação entre a mínima dimensão possível de ser fabricada em uma geração tecnológica e o comprimento do canal dos transistores. Processos de fabricação em desenvolvimento, baseados em litografia ultravioleta extrema (EUV - *Extremely Ultra Violet*) tornam possível a fabricação de dispositivos com dimensão mínima de até 5 nm (ANTHONY, 2017), mas devido a limitações físicas, o comprimento de canal mínimo dos transistores hoje utilizados ainda giram em torno de 20 a 24 nm (SHRIVASTAVA; RAO, 2016).

A utilização de transistores menores é fator preponderante para o desenvolvimento de circuitos mais rápidos, que consumam menos potência e que ocupem uma menor área de silício. No entanto, apesar dos benefícios alcançados pela tecnologia metal-óxido-semicondutor complementar (CMOS - *Complementary Metal-Oxide-Semiconductor*) convencional, percebeu-se que o escalamento desta tecnologia estava aos poucos alcançando seu limite físico, uma vez que os problemas provenientes do escalamento dos transistores, como o aumento do efeito de canal curto e aumento das correntes de fuga, não mais podiam ser mitigados por técnicas conhecidas. Para contornar este problema, pesquisas por novos materiais e novas tecnologias se intensificaram, culminando no desenvolvimento de novas estruturas e dispositivos baseados em novos princípios de funcionamento (BERNSTEIN et al., 2010).

Como solução para manter a redução das dimensões dos transistores MOS, a utilização de uma estrutura que apresenta mais do que uma porta foi considerada, mantendo-se os mesmos

benefícios da estrutura CMOS com porta simples, tais como o auto alinhamento das regiões de fonte e dreno. A complexidade de fabricação dos MOSFETs de múltiplas portas na tecnologia planar limitou o desenvolvimento industrial deste tipo de dispositivo principalmente devido à dificuldade de se fabricar as portas inferiores perfeitamente alinhadas com as portas superiores (WONG; CHAN; TAUR, 1997).

Esta barreira foi transposta fabricando-se estruturas verticais com portas laterais, chamadas transistores de porta dupla ou FinFETs (LEE, 2016). Talvez os exemplos mais bem-sucedidos do desenvolvimento de novas estruturas utilizando a já madura tecnologia CMOS sejam produtos surpreendentes disponíveis no mercado, como processadores gráficos voltados a aceleração da capacidade computacional de *data centers* contendo cerca de 150 bilhões de transistores FinFET (NVIDIA, 2017) e SoCs (*System-on-Chip*), baseados em FinFETs da geração tecnológica de 10 nm, utilizados em grande escala na fabricação de *smartphones* (QUALCOMM, 2017).

De forma alternativa, empresas como a IBM, a AMD e a NXP, adotaram a fabricação de dispositivos planares e verticais em substratos de silício sobre isolante (SOI - *Silicon on Insulator*). Tal abordagem tem se mostrado uma excelente alternativa às limitações apresentadas pela tecnologia MOS convencional. Nesta tecnologia, uma camada de isolante, geralmente óxido de silício, é utilizada para separar o substrato de silício da região ativa do transistor, simplificando o processo de fabricação dos circuitos CMOS. Dentre as principais vantagens da tecnologia SOI, pode-se destacar a possibilidade de uma maior densidade de integração de componentes, uma maior imunidade aos efeitos de canal curto, o fato destes dispositivos apresentarem uma menor capacitância de junção de fonte/dreno e o isolamento intrínseco da camada ativa de silício em relação ao restante do substrato eliminar a ocorrência do efeito tiristor parasitário (*latch-up*) (COLINGE, 2004).

Apesar da tecnologia SOI dar longevidade aos transistores MOS, quando consideradas dimensões extremamente reduzidas, na ordem de dezenas de nanômetros, o problema do controle de cargas na região do canal torna-se recorrente (FERAIN; COLINGE; COLINGE, 2011). Esta limitação sugere a necessidade de novos dispositivos, desta vez, baseados em princípios de funcionamento diferentes.

1.4 FET: das limitações do MOSFET ao surgimento do Túnel-FET

Considerando-se a demanda crescente por tecnologias de baixo consumo e alta performance destinada a sistemas embarcados *wireless* e produtos portáteis, é necessário que novas tecnologias sejam capazes de operar com tensões de alimentação reduzidas. Esse conceito fica claro ao se analisar as equações correspondentes às parcelas de potência estática e dinâmica dissipadas por inversores CMOS (SEDRA; SMITH, 2007), equacionadas em (1) e (2), respectivamente:

$$P_E = I_{DD} \cdot V_{DD} \quad (1)$$

$$P_D = C_L \cdot V_{DD}^2 \cdot f \quad (2)$$

Onde V_{DD} é a tensão de alimentação, P_E é a potência dissipada em virtude das correntes de fuga, I_{DD} é a corrente consumida pelo dispositivo enquanto o circuito está inoperante, P_D é a potência dissipada devido às transições de estado do circuito, C_L é a capacitância de carga equivalente e f é a frequência do sinal de saída.

A redução da tensão de alimentação, por sua vez, deve ser acompanhada também da redução da tensão de limiar dos transistores (V_{th}), de forma que a sobretensão de condução ($V_{DD} - V_{th}$) se mantenha alta o suficiente para não degradar a performance elétrica dos dispositivos e circuitos digitais (HEER; SCHLICHTMANN, 2004). Mas, conforme apresentado pela Figura 1, tradicionalmente, o escalamento da tensão de limiar na tecnologia CMOS não tem sido tão eficiente quanto o escalamento da tensão de alimentação, evidenciado pela diminuição da sobretensão de condução de 4 V para 1 V, aproximadamente, entre as gerações de 1,4 μm e 65 nm:

Figura 1: Escalamento das tensões de alimentação e de limiar ao longo de diferentes gerações tecnológicas.

Fonte: Adaptado de (PACKAN, 2007).

Na tecnologia MOS, a tensão de limiar não pode ser reduzida na mesma proporção da tensão de alimentação pois isso aumentaria exponencialmente a corrente de dreno de estado desligado (I_{OFF}) dos transistores, uma vez que a inclinação de sublimiar (S) desta tecnologia está limitada a, no mínimo, 60 mV/déc à temperatura ambiente, devido ao seu princípio de funcionamento baseado na injeção termiônica de portadores (COLINGE, 2004). Esta relação entre a inclinação de sublimiar e o aumento exponencial da corrente de fuga com o aumento da tensão de limiar está adequadamente esquematizada na Figura 2, na qual dispositivos de mesmo S , porém com V_{th} diferentes, são exemplificados.

Figura 2: Corrente de dreno em função da tensão de porta para dispositivos MOSFET com tensões de limiar diferentes.

Fonte: Adaptado de (IONESCU; RIEL, 2011).

Posto isso, dentre os vários dispositivos em desenvolvimento ditos como promissores substitutos dos MOSFETs, o transistor de tunelamento induzido por efeito de campo (TFET - *Tunnel Field Effect Transistor*) se destaca, principalmente, pelo potencial para se atingir inclinações de sublimiar abaixo do limite teórico da tecnologia MOSFET e, ao mesmo tempo, apresentar melhor performance em relação aos efeitos de canal curto. Esta característica é possível pois, diferentemente do MOSFET, a geração de corrente de dreno do túnel-FET é dependente, fundamentalmente, da injeção de portadores por tunelamento quântico entre bandas de energia através da junção entre fonte e canal (TRIVEDI; AMIR; MUKHOPADHYAY, 2014).

Conforme sugerido anteriormente, a redução da inclinação de sublimiar abaixo do limite ideal de 60 mV/déc proposta pelo TFET torna possível a redução da tensão de limiar de forma a maximizar o fator de sobretensão de condução ($V_{DD} - V_{th}$), sem que isso degrade a corrente de dreno de estado desligado do dispositivo. Essa característica o transforma em um excelente componente a ser viabilizado para circuitos digitais e aplicações destinadas a baixa potência e baixa tensão (LAPEDUS, 2013).

Segundo a divisão de semicondutores da Toshiba, a tensão de operação dos TFETs poderá ser reduzida para um valor inferior a 0,5 V (menos da metade da de um MOSFET convencional). Já a corrente de fuga do TFET pode ser reduzida para cerca de 1% do valor apresentado por um

dispositivo MOS. Com isso, a empresa espera diminuir o consumo de circuitos integrados complexos, como microcontroladores e memórias, em cerca de 10 vezes, apenas com a utilização de TFETs em sua arquitetura (CLARKE, 2014).

1.5 A busca pela maior confiabilidade de sistemas eletrônicos em aplicações aeroespaciais

Conforme o ser humano evolui e amplia seus horizontes, as aplicações para a tecnologia se tornam cada vez mais audaciosas. Seja através do uso de aceleradores eletrostáticos para estudo da física de partículas em laboratórios destinados à pesquisa nuclear, ao se colocar satélites em órbita geoestacionária ou mesmo quando o objetivo é a exploração interplanetária, muitas das aplicações desenvolvidas ao longo das últimas décadas sujeitam circuitos e componentes eletrônicos aos mais diversos tipos de radiação.

Um dos primeiros registros de danos causados pela radiação em componentes eletrônicos data de fevereiro 1963, quando o satélite de comunicações civil Telstar sofreu uma falha prematura devido ao acúmulo de danos por radiação ocasionados por um teste nuclear de grande altitude, apenas sete meses após seu lançamento (BROWN; GABBE; ROSENZWEIG, 1963). No entanto, a consideração dos efeitos da radiação como fator crítico para o desenvolvimento de circuitos transistorizados está presente desde a crescente utilização destes componentes, chamando a atenção de grandes corporações do mercado de semicondutores, como a IBM (ZIEGLER et al., 1996).

Problemas causados pela radiação em sistemas eletrônicos embarcados de aviões e sondas espaciais também foram observados, evidenciando que os efeitos da radiação não se restringem somente à região próxima à Terra, mas também dentro de nossa atmosfera e muito além dela (WEBB; ALLEN, 2004).

Dentre as principais áreas atualmente reconhecidas nas quais sistemas eletrônicos tolerantes à radiação são demandados, pode-se destacar a medicina nuclear, a física de alta energia e as indústrias de aviação e aeroespacial. Estas áreas de pesquisa são estratégicas para o desenvolvimento tecnológico de um país, seja por fatores econômicos ou políticos, devido ao embargo à compra de componentes resistentes à radiação ou a dependência de outras nações para a construção e lançamento de satélites.

Considerando o cenário nacional, em maio de 2017 foi posicionado o primeiro Satélite Geostacionário de Defesa e Comunicações Estratégicas, o SGDC-1. Com um investimento na

ordem de R\$ 2,8 bilhões, o satélite foi construído pela empresa francesa Thales Alenia Space e colocado em órbita pela, também francesa, empresa Arianespace, evidenciando a pouca qualificação nacional nesse tipo de atividade (FORÇA AÉREA BRASILEIRA, 2017).

Frente ao grande desafio gerado pelo setor aeroespacial, com aplicação direta em outras áreas do conhecimento, passa a ser fundamental o investimento em pesquisa e o desenvolvimento de dispositivos e circuitos que operem de forma confiável em ambientes agressivos. De forma a diminuir o déficit que o Brasil possui nesta área, foi criado em 2012 o projeto CITAR (Circuitos Integrados Tolerantes à Radiação), uma iniciativa do Ministério da Ciência, Tecnologia, Inovações e Comunicações, em parceria com o Centro Universitário da FEI, com o Instituto Nacional de Pesquisa Espaciais (INPE), com o Centro de Tecnologia da Informação Renato Archer (CTI), com o Instituto de Física da Universidade de São Paulo (IFUSP), com o Instituto de Estudos Avançados (IEAv), com a Agência Espacial Brasileira (AEB) e com o Instituto Mauá Tecnologia. Tal parceria, resultou na inauguração recente do Laboratório de Efeitos da Radiação Ionizante (LERI), que tem por objetivo capacitar profissionais e desenvolver uma metodologia de testes mais adequada para qualificação de componentes eletrônicos provenientes de gerações tecnológicas mais atuais (CENTRO UNIVERSITÁRIO DA FEI, 2016).

1.6 Objetivo e estrutura do trabalho

Este trabalho de mestrado tem por objetivo realizar o estudo e a caracterização elétrica de transistores TFET, através de simulações numéricas e medidas experimentais, quando submetidos à radiação de prótons, visando um melhor entendimento destes efeitos em novas tecnologias e dispositivos em desenvolvimento e contribuindo para que esses possam ser utilizados em projetos expostos à radiação ionizante.

Este trabalho teve por base estruturas SOI TFET de porta tripla, com diferentes comprimentos de canal (150 nm, 250 nm, 1 μm e 10 μm) e larguras da aleta de silício (40 nm, 250 nm, 500 nm e 1 μm). Também foram caracterizados neste trabalho SOI MOSFETs de porta tripla contidos na mesma lâmina, com dimensões semelhantes, fabricados segundo o mesmo fluxo de processo. Dados que os efeitos da radiação em transistores MOS já são bem conhecidos, estes puderam então ser comparados com os transistores de tunelamento.

O comportamento destes dispositivos foi observado em função da dose acumulada total. A dose a que os dispositivos foram sujeitos variou de 1 Mrad(Si) a 10 Mrad(Si), proveniente de uma fonte de prótons de 600 keV de energia.

O estudo do comportamento destes dispositivos, antes e após cada etapa de irradiação, com foco nos efeitos permanentes da radiação, foi feito através de uma análise das curvas características de transferência ($I_D \times V_G$) e de saída ($I_D \times V_D$) dos transistores.

Para uma melhor compreensão deste projeto de pesquisa e suas atividades, este trabalho foi dividido em 7 capítulos, a saber:

Capítulo 1: neste capítulo introdutório, a pesquisa foi situada dentro do contexto tecnológico atual e as principais provocações que compõem a motivação para execução deste trabalho foram apresentadas.

Capítulos 2 a 4: estes capítulos abrangem os principais conceitos que servirão de suporte ao leitor para formação de um senso crítico sobre os temas abordados e como referência para o entendimento das etapas executadas, conclusões alcançadas e corroboração do desenvolvimento deste trabalho.

Capítulo 5: uma vez formada a base teórica para o desenvolvimento do projeto, este capítulo descreve detalhadamente os materiais, laboratórios e equipamentos utilizados e o procedimento experimental adotado, justificando a escolha por cada um dos parâmetros experimentais.

Capítulo 6: neste capítulo os principais resultados do projeto são analisados, buscando, na medida do possível, traçar um paralelo entre o trabalho desenvolvido e as condições reais nas quais os dispositivos podem ser aplicados.

Capítulo 7: por fim, este capítulo é responsável por consolidar objetivamente os principais avanços obtidos durante a execução deste trabalho, evidenciando suas qualidades e suas falhas, e por fim, propor trabalhos e análises futuras que visem enriquecer as conclusões alcançadas ao longo deste projeto.

2 Transistores de tunelamento induzido por efeito de campo

Na busca por transistores mais eficientes para uso em aplicações de baixa tensão e baixa potência, a pesquisa por novos materiais, geometrias e princípios de funcionamento é contínua. Dentre as descobertas mais promissoras está o TFET.

Mesmo com composição e estrutura ainda em fase de desenvolvimento (VERHULST et al., 2010), túnel-FETs já se destacam por oferecerem uma inclinação de sublimiar abaixo do limite teórico de 60 mV/déc em temperatura ambiente, permitindo assim o escalamento das tensões de alimentação e de limiar, sem afetar a corrente de dreno de estado desligado, resultando em características de chaveamento excelentes para lógica digital de alta frequência.

Estas vantagens são devidas ao mecanismo de corrente de dreno dominante responsável pelo funcionamento do TFET. Nesse dispositivo, os portadores são gerados pelo tunelamento entre bandas de energia induzido pela tensão de porta, lhe conferindo uma transição mais abrupta entre os estados desligado e ligado, conforme comparação qualitativa entre as curvas de transferência de diferentes dispositivos esboçada pela Figura 3.

Figura 3: Curvas de transferência das principais alternativas de melhoria de MOSFET convencionais operando como chave.

Fonte: Adaptado de (IONESCU; RIEL, 2011).

Na Figura 3 são comparadas as curvas de transferência de transistores de tunelamento (TFET), MOSFETs convencionais baseados em silício (*bulk* MOSFETs), transistores de múltiplas portas (MuG) e transistores compostos de materiais da classe III-V da tabela periódica, como o Índio (In), o Gálio (Ga) e o Arsênio (As). Tendo por referência o valor mínimo de inclinação de sublimar de 60 mV/déc a temperatura ambiente, observa-se que o TFET é o único capaz de atingir valores de S inferiores a este limite apresentado pelos demais dispositivos, possibilitando a redução da tensão de limiar destacada pelo ponto A. Todavia, nota-se no ponto B que a corrente atingida pelo TFET na região em que o transistor está ligado é menor se comparada aos demais dispositivos.

Neste capítulo, serão abordados os principais conceitos acerca do funcionamento de transistores de tunelamento.

2.1 O problema da barreira de potencial e o efeito túnel

O problema da barreira de potencial trata-se de um caso particular da aplicação da equação de Schrödinger, considerando a natureza ondulatória da matéria, usado para explicar fenômenos que não são classicamente observáveis.

Considere o sistema representado na Figura 4, formado por uma barreira de potencial de amplitude V_0 e largura a :

Figura 4: Barreira de potencial finito e largura finita.

Fonte: Autor.

Segundo a Física Mecânica Clássica, uma partícula com energia total $E < V_0$, incidindo na barreira através da região $x < 0$, se movendo no sentido crescente de x , terá probabilidade 1 de

ser refletida. Esta mesma partícula terá probabilidade 1 de ser transmitida para a região $x > a$ somente se sua energia for superior à amplitude da barreira, $E > V_0$. No entanto, isso não descreve precisamente os resultados da mecânica quântica. A teoria quântica prevê que se a energia E da partícula não for muito maior que V_0 , haverá alguma probabilidade de reflexão da partícula e, se E não for muito menor do que V_0 , também haverá uma probabilidade desta partícula ser transmitida através da barreira para a região $x > a$. A este efeito é dado o nome de efeito túnel ou simplesmente, tunelamento (EISBERG; RESNICK, 1979). Em linhas gerais, o tunelamento pode ser entendido como a probabilidade de um sistema ir de um estado para outro atravessando uma região proibida, devido à característica ondulatória das partículas.

No caso descrito acima haverá três equações de Schrödinger descrevendo esta partícula, uma para cada região (antes, após e dentro da barreira de potencial). Resolvendo estas equações, é possível perceber que na região $0 < x < a$, a função de onda decresce exponencialmente e esse comportamento pode ser verificado através do comportamento da densidade de probabilidade $\Psi^*(x,t)\Psi(x,t)$ na região, conforme representado na Figura 5:

Figura 5: Densidade de probabilidade para uma situação típica de penetração de barreira.

Fonte: Autor.

Analisando a Figura 5 pode-se notar que, mesmo nos casos em que a energia da partícula é menor que o potencial da barreira, se a largura da barreira for suficientemente pequena, haverá uma probabilidade, diferente de zero, desta partícula ser encontrada após a barreira de potencial. É importante mencionar, também, que a energia da partícula não é alterada após o tunelamento.

Finalmente, pode-se definir uma razão $T_{\text{tunneling}}$ entre a densidade de probabilidade transmitida através da barreira para a região $x > a$ e a densidade de probabilidade incidente, proveniente da região $x < 0$. A esta razão é dado o nome de coeficiente de transmissão ou coeficiente de tunelamento. Para o caso em que $E < V_0$, tem-se a seguinte definição de $T_{\text{tunneling}}$:

$$T_{tunneling} \cong 16 \frac{E}{V_0} \left(1 - \frac{E}{V_0}\right) e^{-2k_{II}a} \quad (3)$$

Esta aproximação é válida quando $k_{II}a \gg 1$. Onde o número de onda angular k_{II} vezes a largura da barreira a é dado por:

$$k_{II}a = \sqrt{\frac{2mV_0a^2}{\hbar^2} \left(1 - \frac{E}{V_0}\right)} \quad (4)$$

Sendo $\hbar$ a constante de Planck normalizada ($\hbar/2\pi$) e m a massa da partícula.

Ou seja, se uma partícula de massa m e energia total E incidir sobre uma barreira de potencial de altura $V_0 > E$ e largura finita a , existe uma certa probabilidade $T_{tunneling}$ de esta partícula atravessar a barreira e aparecer do outro lado desta barreira.

2.2 Princípio de operação do Túnel-FET

O túnel-FET é baseado em uma estrutura similar a um diodo PIN polarizado reversamente, porém com modulação de corrente de dreno controlada por meio de uma porta sobre a região intrínseca (REDDICK; AMARATUNGA, 1995). A Figura 6 apresenta a seção transversal da estrutura simplificada de um TFET tipo N, caracterizado pela impureza doadora utilizada para dopagem da região de dreno (N+).

Figura 6: Esquema simplificado de um nTFET.

Fonte: Adaptado de (IONESCU; RIEL, 2011).

A porta sobre a região intrínseca (i) do transistor controla a corrente de dreno por meio da modulação da barreira de energia, possibilitando o tunelamento de portadores através da junção entre fonte e canal.

Tendo a fonte P+ como referência, a polarização reversa da estrutura PIN se dá através da imposição de um potencial positivo do lado do dreno N+. Considerando que uma tensão nula seja aplicada à porta do dispositivo, o diagrama de faixas de energia da estrutura se comportará conforme Figura 7, onde pode-se observar uma grande distância entre o limite inferior da banda de condução do canal e o limite superior da banda de valência da fonte. Esta condição representa o estado desligado do TFET.

Figura 7: Bandas de energia relativas ao estado desligado de nTFETs.

Fonte: Autor.

Caso uma tensão positiva seja aplicada à porta, haverá um deslocamento para baixo das bandas de energia da região do canal. Quando a diferença de potencial entre porta e fonte for suficientemente alta a ponto de a energia mínima da banda de condução do canal ser inferior à energia máxima da banda de valência da fonte, havendo uma sobreposição entre esses níveis de energia e o estreitamento da barreira de potencial, os elétrons fixos à camada de valência na fonte tunelarão para a banda de condução do canal, tornando-se elétrons livres, conforme diagrama da Figura 8. Este é o processo dominante de geração de corrente em dispositivos TFET, denominado tunelamento de banda para banda (BTBT - *band to band tunneling*).

Figura 8: Bandas de energia relativas ao estado ligado de nTFETs.

Fonte: Autor.

Por outro lado, quando tensões negativas são aplicadas à porta, a energia das bandas de valência e condução na região de canal se deslocam para cima, conforme esquematizado na Figura 9. Quando a tensão aplicada à porta é negativa o suficiente para que o limite superior da banda de valência do canal fique acima do limite inferior da banda de condução do dreno, ocorre o tunelamento próximo ao dreno fazendo com que a corrente do dispositivo volte a subir. Este efeito indesejável é chamado de efeito ambipolar. A ambipolaridade é importante ser considerada pois é responsável por suprimir a boa característica de chaveamento de transistores túnel-FET (HRAZIIA et al., 2012).

Figura 9: Bandas de energia referentes à aplicação de uma tensão negativa na porta de um nTFET.

Fonte: Autor.

Para minimizar esta ambipolaridade foi proposto reduzir o comprimento de porta de maneira a criar uma região de canal próxima ao dreno não coberta pelo metal de porta (*underlap*), ou seja, foi proposto que a porta do dispositivo não se estenda até a junção entre canal e dreno, impedindo o tunelamento nesta região. A partir da minimização do efeito ambipolar uma melhor corrente de dreno de estado desligado é obtida (AGOPIAN et al., 2012a).

Nesta técnica, a definição adequada do afastamento da porta do transistor da junção entre dreno e canal (ΔL_G) é capaz de reduzir em várias ordens de grandeza a corrente de desligamento do dispositivo, como mostrado pela Figura 10, para um túnel-FET do tipo N. Na estrutura representada, quando $\Delta L_G < 0$ tem-se a sobreposição da porta sobre o dreno (análogo à sobreposição de 10 nm observada na junção entre fonte e canal), a estrutura possui porta auto alinhada no caso em que $\Delta L_G = 0$ e para $\Delta L_G > 0$ há a subposição entre porta e dreno. Como é possível observar, a subposição entre porta e dreno atua diretamente sobre o efeito ambipolar presente em túnel-FETs de porta auto alinhada, reduzindo a corrente de dreno de estado desligado e a tensão de início de condução, sem degradar sua corrente de dreno.

Figura 10: Redução da corrente de dreno de estado desligado de um nTFET para diferentes extensões de eletrodo de porta.

Fonte: Adaptado de (AGOPIAN et al., 2012a).

2.3 Mecanismos de transporte de portadores

Fundamentalmente, existem três mecanismos responsáveis pela geração de portadores que contribuem para a composição da corrente de dreno em transistores de tunelamento (AGOPIAN et al., 2012b). São eles:

- Geração e recombinação Shockley-Read-Hall (SRH);
- Tunelamento assistido por armadilha (TAT - *trap assisted tunneling*);
- Tunelamento de banda para banda (BTBT - *band to band tunneling*).

Cada um deles assume maior protagonismo, dependendo das condições de polarização do dispositivo. A seguir, estes mecanismos são explicados com maiores detalhes.

2.3.1 Geração e recombinação Shockley-Read-Hall (SRH)

Em materiais semicondutores, para que um elétron transite para a faixa de condução através do rompimento de uma ligação covalente, é necessário que ele ganhe energia igual ou superior à banda de energia proibida do material. Essa geração de pares elétron-lacuna pode acontecer de forma espontânea, como, por exemplo, através de processos de excitação térmica. No entanto, para que a concentração de portadores se mantenha estável ao longo do tempo, é necessário também que ocorra o processo de recombinação destes portadores, no qual elétrons da camada de condução ocupam lacunas vazias na camada de valência, se fixando novamente à rede cristalina.

Sabe-se, porém, que essa transição energética de portadores entre bandas de energia não é o único mecanismo de geração e recombinação de pares elétron-lacuna presente em semicondutores, em especial, no caso do silício, por se tratar de um semicondutor com transição indireta. Devido às impurezas do material e defeitos na rede cristalina, níveis de energia intermediários podem surgir mesmo dentro da faixa proibida. Nesses níveis intermediários, elétrons provenientes da banda de condução ou lacunas provenientes da banda de valência podem ser capturados. Uma vez armadilhados, estes portadores podem ser emitidos novamente. A energia decorrente das transições é dissipada através de vibrações da rede cristalina por meio de fônons. A este mecanismo de geração e recombinação de pares elétron-lacuna por meio de armadilhas em níveis energéticos intermediários da faixa proibida é dado o nome de Shockley-Read-Hall (SAH; NOYCE; SHOCKLEY, 1957).

A taxa de recombinação líquida SRH de portadores U pode ser matematicamente descrita como (COLINGE; COLINGE, 2002):

$$U = \frac{pn - n_i^2}{\tau_p \left(n + n_i e^{\left[\frac{E_t - E_i}{kT} \right]} \right) + \tau_n \left(p + n_i e^{\left[\frac{E_i - E_t}{kT} \right]} \right)} \quad (5)$$

Onde n é a concentração de elétrons na banda de condução, p é a concentração de lacunas na banda de valência, n_i é a concentração intrínseca de portadores, E_t é o nível de energia do defeito, E_i é o nível de energia intrínseco, k é a constante de Boltzmann, T é a temperatura e τ_n e τ_p são os tempos de vida de elétrons e lacunas, respectivamente. Quando $U = 0$ ($pn = n_i^2$), tem-se o equilíbrio termodinâmico do material, afinal a taxa de portadores sendo gerados é igual à de

portadores sendo recombinados. Para $U > 0$ ($pn > n_i^2$) a taxa de recombinação é maior que a de geração de portadores. E quando $U < 0$ ($pn < n_i^2$), a taxa de geração é maior que a de recombinação.

Analisando a equação (5) é fácil notar que a taxa recombinação líquida SRH é dependente da temperatura. Em túnel-FETs, esse mecanismo influencia diretamente na intensidade da corrente de fuga, uma vez que se trata da corrente proveniente da polarização reversa da estrutura PIN.

2.3.2 Tunelamento assistido por armadilha (TAT)

Como mencionado anteriormente, defeitos introduzidos na estrutura do material por impurezas são responsáveis por governarem, majoritariamente, o mecanismo de geração e recombinação de portadores em semicondutores indiretos. No caso de TFETs, um pequeno aumento da tensão de porta faz com que estes defeitos auxiliem elétrons aprisionados em níveis intermediários, provenientes da banda de valência da fonte, a tunelarem para a banda de condução do canal, antes mesmo da tensão de porta ser alta o suficiente para haver a sobreposição dos níveis energéticos na junção entre fonte e canal. Como resultado, tem-se o surgimento do tunelamento entre bandas assistido por armadilhas (TAT), uma corrente de dreno de fuga paralela à corrente de tunelamento de banda para banda, responsável por degradar a inclinação de sublimar dos transistores de tunelamento (SCHENK, 1993) (VANDOOREN et al., 2013).

Em linhas gerais, o TAT nada mais é do que o mecanismo de geração SRH sob influência do campo elétrico. Ou seja, o TAT, além de englobar o SRH, também considera a influência do campo elétrico vertical gerado pela polarização da porta do dispositivo. Por este motivo, o TAT também é diretamente dependente da temperatura (HURKX; KLAASSEN; KNUVERS, 1992).

Em TFETs, o TAT é o mecanismo predominante quando baixos valores de tensão são aplicados à porta. Em dispositivos de silício, em especial, sua importância e faixa de atuação são ampliadas devido à grande extensão da banda de energia proibida do material, o que faz com que o tunelamento de portadores devido à sobreposição das bandas de valência da fonte e condução do canal só ocorra quando valores mais altos de tensão são aplicados à porta do transistor.

A Figura 11 esquematiza o mecanismo de geração de portadores por TAT em um túnel-FET do tipo N, onde portadores armadilhados nos defeitos da região de depleção são capazes de tunelar para a banda de condução do canal quando uma pequena tensão de porta é aplicada ao TFET.

Figura 11: Representação esquemática do tunelamento assistido por armadilha.

Fonte: Autor.

2.3.3 Tunelamento de banda para banda (BTBT)

O tunelamento de portadores entre bandas é o principal mecanismo de condução de corrente em TFETs. Ele é predominante quando a tensão aplicada à porta do dispositivo desloca as bandas de energia na região do canal causando a sobreposição das bandas de valência e condução entre fonte e canal, promovendo o estreitamento da barreira de potencial, reduzindo o comprimento de tunelamento e aumentando a probabilidade que portadores tunelem de uma região para outra. A Figura 12 ilustra o diagrama de bandas de um pTFET e as principais variáveis envolvidas no efeito de tunelamento de portadores de banda para banda. Trata-se da mesma estrutura representada pela Figura 6, mas com a região P+ definida como o dreno e a região N+ como a fonte. Em linhas gerais, a mesma estrutura pode ser polarizada como um nTFET ou como um pTFET. Nestes casos, o tipo de impureza dopante da região do dreno é a responsável por caracterizar o componente (dreno tipo N para um nTFET e dreno tipo P para um pTFET).

Figura 12: Tunelamento entre bandas em um pTFET.

Fonte: Adaptado de (IONESCU; RIEL, 2011).

Com o dispositivo pTFET desligado, isto é, quando uma tensão nula é aplicada à porta ($V_G = 0$) estando a estrutura PIN reversamente polarizada ($V_{DS} < 0$), as bandas de energia se comportam como as linhas pontilhadas azuis da Figura 12. Neste caso, não há a sobreposição de bandas de energia e a probabilidade de injeção de portadores da fonte para o canal é praticamente inexistente. A corrente de estado desligado do dispositivo (I_{OFF}) existente nessa situação é devida principalmente à polarização reversa da estrutura PIN, dominada pela recombinação SRH, entretanto, uma contribuição do mecanismo TAT na composição desta corrente também é reportada (HEMANJANEYULU; SHRIVASTAVA, 2015).

Com a modulação da barreira de tunelamento através da aplicação de uma polarização de porta ($V_G < 0$), ocorre o tunelamento de portadores assim que a banda de valência do canal assume um nível máximo de energia superior à energia mínima da banda de condução da fonte. Isso permite que portadores com energia dentro da faixa de sobreposição $\Delta\Phi$ (lacunas, minoritárias na banda de condução em um pTFET) sejam induzidos da fonte para o canal. A corrente ON de dispositivos TFET é diretamente proporcional à probabilidade de tunelamento entre bandas T_{BTBT} destes portadores, definida na equação (6), obtida através da aproximação WKB (Wentzel-Kramers-Brillouin) quando a barreira de potencial a ser vencida é aproximada por uma barreira triangular (IONESCU; RIEL, 2011).

$$T_{BTBT} \cong \exp \left[-\frac{4\lambda\sqrt{2m^*E_g^3}}{3q\hbar(E_g + \Delta\Phi)} \right] \quad (6)$$

Onde λ é o comprimento de tunelamento, m^* a massa efetiva do portador, E_g é a largura da banda proibida de energia do material, q a carga elementar do elétron e $\hbar$ a constante de Planck normalizada.

Pela equação (6) é fácil notar que, em uma aproximação de primeira ordem, a corrente ON de dispositivos TFET é exponencialmente dependente da tensão de porta, uma vez que ela atua diretamente na redução do comprimento de tunelamento e no aumento da sobreposição entre as bandas de valência do canal e de condução da fonte, considerando, neste caso, o dispositivo tipo P ilustrado pela Figura 12. Nota-se, ainda, que a largura da faixa proibida do material também tem grande influência na corrente BTBT, uma vez que menores valores de E_g proporcionariam uma maior probabilidade de tunelamento.

A corrente ON promovida pelo mecanismo BTBT não é fortemente dependente da temperatura assim como a corrente OFF, regida pelos mecanismos de SRH e TAT. No BTBT, a temperatura exerce apenas uma influência indireta, uma vez que seu aumento se reflete no estreitamento da banda proibida E_g (SELBERHERR, 1989).

É importante mencionar que TFETs de silício baseados na estrutura PIN com contato de porta sobre a região intrínseca são caracterizados como *point* TFETs quando sua estrutura promover o tunelamento de portadores em um ponto na região próximo à junção entre fonte e canal. Apesar de suas vantagens, este tipo de dispositivo possui uma baixa corrente de dreno de estado ligado (I_{ON}), principalmente devido a área de tunelamento limitada e do alto valor de E_g do silício. Para resolver esse problema, novos materiais e geometrias estão sendo propostos (MORITA et al., 2013), assim como a otimização da concentração e perfil de dopantes na junção de tunelamento (SANDOW et al., 2009).

Para exemplificar a atuação de cada um dos mecanismos aqui mencionados, a Figura 13 apresenta a curva de transferência de um nTFET. Nela, os mecanismos de condução foram separados de forma que possa ser claramente observada a contribuição de cada um na composição da curva característica do dispositivo. A curva pontilhada corresponde ao comportamento do dispositivo considerando SRH e TAT, a curva tracejada mostra o comportamento de BTBT e a curva contínua representa a resposta final de todos os mecanismos atuando simultaneamente, ajustada com as demais curvas nas regiões de predominância de cada um dos efeitos.

Figura 13: Curva de transferência de um nTFET.

Fonte: (SIVIERI, 2016)

Nota-se na Figura 13, conforme já mencionado anteriormente, a degradação da inclinação de sublimar provocada pelo tunelamento assistido por armadilhas, visto que a curva relativa exclusivamente ao BTBT possui um S melhor do que a curva que considera TAT.

3 Radiação e sua interação com a matéria

A radiação é definida como a emissão ou propagação de energia na forma de ondas ou partículas, gerada por fontes naturais ou artificiais. Pode ser classificada em duas categorias, diferenciadas entre si apenas pela quantidade de energia transferida nos processos de interação:

- Não ionizantes: é a radiação de baixa energia, assumindo as mais diversas formas, como ondas eletromagnéticas ou o calor.
- Ionizantes: é caracterizada por possuir energia suficiente para ionizar os átomos com os quais interage nos meios em que se propaga. A radiação ionizante pode existir na forma de ondas eletromagnéticas, como raios X e raios gama, ou partículas energeticamente aceleradas, como partículas alfa, beta, nêutrons e prótons.

Uma vez que os efeitos de interação da radiação de partículas com materiais semicondutores é o foco deste trabalho, neste capítulo este tipo de radiação será contextualizado e os efeitos básicos que regem este processo de interação com a matéria serão abordados.

3.1 Radiação ionizante

Partículas energeticamente aceleradas possuem energia cinética usualmente especificada em elétron-volt (eV), onde 1 elétron-volt equivale a $1,6 \times 10^{-19}$ joules. Estas partículas, ao interagirem com um material, depositam toda ou parte de sua energia ao longo do caminho percorrido com o meio. A energia depositada por unidade de massa é denominada dose e sua unidade no Sistema Internacional de Unidades é o gray (Gy), referente à deposição de 1 joule de energia em 1 quilograma do material alvo. Outra unidade comum para medida de dose absorvida é o rad, onde 1 rad é equivalente a 0,01 gray. Como esta dose depende do material com o qual a partícula interagiu, o rad normalmente é expresso seguido do símbolo do elemento alvo entre parênteses. Por exemplo, as mesmas condições de irradiação capazes de gerar 1 rad(SiO₂) no óxido de silício geram apenas 0,56 rad(Si) no silício (COLINGE, 2004).

Cada tipo de radiação mencionado anteriormente deposita sua energia nos materiais de forma diferente, através dos diversos mecanismos conhecidos de interação da radiação com a matéria (GLENN F. KNOLL, 1999). Neste trabalho, o efeito mais importante a ser mencionado proveniente da interação entre partículas eletricamente carregadas com a matéria sólida é a criação de pares elétron-lacuna.

Ao incidir em um material alvo, partículas carregadas perdem energia a cada vez que interagem com o campo elétrico dos elétrons atômicos, podendo gerar um par elétron-lacuna para cada interação. Essa perda de energia da partícula ao longo de sua trajetória é denominada poder de freamento (*stopping power*) $S(E)$, definido na equação (7) como sendo a taxa de variação da energia da partícula dE ao longo da distância dx percorrida dentro do material:

$$S(E) = -\frac{dE}{dx} \quad (7)$$

Caso a velocidade dos íons incidentes seja maior ou igual à velocidade orbital dos elétrons do material, a maior parte da perda de energia da partícula estará associada à excitação e ionização dos átomos do material, processo denominado freamento eletrônico. Em contrapartida, caso a velocidade dos íons seja muito inferior à velocidade orbital dos elétrons do material, o processo de perda de energia predominante será o freamento nuclear, resultando no espalhamento da partícula dentro do material através de colisões atômicas (AGUIRRE, 2017). Estes dois mecanismos podem ser observados através de simulações da perda de energia e alcance de partículas incidentes em materiais, utilizando o software SRIM (*Stopping and Range of Ions in Matter*) (ZIEGLER; ZIEGLER; BIRSACK, 2010).

A Figura 14 apresenta o resultado de uma simulação da incidência de uma partícula alfa (He^{2+}) de 2 MeV de energia em um alvo de silício com 12 μm de espessura. Pode-se observar através do comportamento da perda de energia da partícula ao longo de sua trajetória dentro do material que, logo antes da partícula repousar dentro do alvo, ocorre o ponto de máxima perda de energia, conhecido como pico de Bragg. Nessa simulação também é possível se estimar o alcance máximo da partícula dentro do material irradiado até que ela perca toda sua energia cinética.

Figura 14: Simulação da incidência de íons de He em um alvo de Si com 12 μm de espessura.

Fonte: (MAGALHÃES, 2013).

Como visto anteriormente, se a energia cinética inicial do íon incidente não for alta o suficiente para que ele atravesse o material, este íon acabará ficando depositado dentro da estrutura. A energia transferida ao material alvo ao longo do caminho percorrido pela partícula possui relação direta com o poder de freamento da partícula e é denominada transferência linear de energia (LET - *Linear Energy Transfer*), definida como (DUZELLIER, 2005):

$$LET = \frac{1}{\rho} \cdot \frac{dE}{dx} \quad (8)$$

Como definido pela equação (8), o valor de LET considera não apenas a variação de energia da partícula, mas também a densidade volumétrica ρ do material alvo. Expresso normalmente em MeV.cm²/mg, o valor de LET, portanto, independe do material pois está normalizado pela sua densidade.

Por fim, pode-se calcular a quantidade de pares elétron-lacuna ($dN = dP$) gerados devido à irradiação de um volume dv do material como:

$$\frac{dN}{dv} = \frac{dP}{dv} = \frac{1}{w} \cdot \frac{dE}{dv} = \frac{\rho}{w} \cdot D \quad (9)$$

Onde D é a dose de energia acumulada no material e w é a energia efetiva necessária para se produzir um par elétron-lacuna neste material. Para o óxido de silício (SiO_2), por exemplo, $w = 17$ eV. Já para o silício, $w = 3,6$ eV.

Para que se tenha uma ideia dos valores envolvidos, sabe-se que 1 rad(Si) é capaz de gerar 4×10^{13} pares elétron-lacuna por cm^3 no silício e $7,6 \times 10^{12}$ pares elétron-lacuna por cm^3 no SiO_2 (COLINGE, 2004).

3.2 Radiação no ambiente espacial

As principais fontes de partículas energéticas no ambiente espacial são (CLAEYS; SIMOEN, 2002):

- Prótons e elétrons armadilhados no cinturão de Van Allen.
- Íons pesados armadilhados na magnetosfera.
- Prótons e íons pesados provenientes de raios cósmicos.
- Prótons e íons pesados provenientes de ventos solares.

O nível de radiação depende da região do espaço que está sendo considerada e da atividade solar. O Sol é responsável por grande parte da radiação presente no sistema solar, ejetando constantemente partículas carregadas no espaço através dos ventos solares.

Os ventos solares são compostos por diversas partículas, no entanto, devido à composição natural do Sol, 95% destas partículas são prótons com energia variando de 100 keV a 500 MeV. Já os raios cósmicos, fluxo de partículas proveniente de regiões além do sistema solar, são formados por 85% de prótons, 14% de partículas alpha e 1% de íons pesados (HOLMES-SIEDLE; ADAMS, 2002), podendo alcançar valores enormes de energia, maiores que centenas de GeV. Tais composições tornam os prótons as partículas mais numerosas no ambiente espacial.

Estas partículas, ao se aproximarem da Terra, interagem com o campo magnético terrestre, sendo aprisionadas em distintas regiões em torno de nosso planeta, denominadas cinturões de Van Allen (STASSINOPOULOS; RAYMOND, 1988). Estas regiões de alta concentração de partículas energéticas são importantes pois compreendem parte das órbitas de satélites de posicionamento global e telecomunicações.

A Figura 15 contém o diagrama simplificado dos cinturões de aprisionamento de partículas em torno da Terra. O cinturão interno, aprisionando majoritariamente prótons, e o cinturão externo, aprisionando principalmente elétrons. O cinturão interno armadilha partículas com maiores energias, porém em menor concentração quando comparado com o cinturão externo.

Figura 15: Diagrama simplificado dos cinturões de Van Allen.

Fonte: Adaptado de (JOHNSTON, 2010).

O cinturão de prótons se estende de 6400 km a 24000 km de altitude na linha do equador e podem aprisionar partículas com energia superior a 400 MeV (GANUSHKINA et al., 2011). Como a dose ionizante total aumenta rapidamente com o aumento da altitude, a maior parte dos satélites de baixa altitude se localizam abaixo dos 1500 km. A região identificada como Anomalia do Atlântico Sul se localiza sobre o Brasil, fazendo com que nesta região o cinturão de prótons aprisionados compreenda altitudes a partir dos 200 km. Logo, os prótons na região desta anomalia são a principal causa de problemas em equipamentos operando em baixa altitude (JOHNSTON, 2010).

Para melhor esclarecer as energias das partículas contidas no cinturão de prótons e suas respectivas concentrações, a Figura 16 apresenta a distribuição de prótons para diferentes energias em função da distância da Terra, usualmente expressa em múltiplos do raio de nosso planeta.

Figura 16: Distribuição do fluxo de prótons em função da energia e da altitude.

Fonte: Adaptado de (SCHWANK; SHANEYFELT; DODD, 2013).

É possível notar que as partículas mais energéticas se concentram mais próximo da Terra, porém em menor densidade. O maior fluxo de prótons com energia acima de 30 MeV acontece a uma distância de aproximadamente 1,5 raios terrestres, ou seja, 9600 km de altitude.

Durante seu período de operação, satélites orbitando a Terra recebem doses de radiação que variam entre 10 krad(Si) e 1 Mrad(Si), dependendo de seus parâmetros orbitais. Algumas aeronaves em missões interplanetárias e alguns circuitos utilizados em reatores nucleares podem ser expostos a doses que excedem 10 Mrad(Si) (COLINGE, 2004).

4 Os efeitos da radiação ionizante em dispositivos eletrônicos

Circuitos integrados expostos à radiação ionizante estão sujeitos a alguns efeitos decorrentes da interação entre a radiação e o material semicondutor. Os danos causados podem criar um acúmulo localizado de cargas, interferindo em parâmetros do dispositivo em funcionamento ou gerando sinais elétricos não previstos, degradando esses componentes e comprometendo sistemas.

A fim de aumentar a confiabilidade de circuitos sujeitos à radiação, algumas técnicas de *leakage* e redundância lógica podem ser praticadas durante o processo de desenvolvimento de circuitos integrados para aplicação específica (ASIC - *application-specific integrated circuits*), como transistores implementados com porta em formato de anel ou a utilização de anéis de guarda altamente dopados para evitar a indução de corrente parasitária através de transistores adjacentes (FACCIO, 2007). É importante que dispositivos resistentes à radiação também estejam disponíveis nos pacotes de desenvolvimento fornecidos pelas *foundries*, de forma a facilitar a vida do projetista na criação de circuitos e bibliotecas de células tolerantes aos erros causados por estes efeitos.

Logo, é fundamental que tecnologias e dispositivos em desenvolvimento possam ser estudados quanto às implicações causadas pela radiação. Somente através do conhecimento de suas limitações e seu comportamento em ambientes desfavoráveis, será possível que aplicações adequadas sejam recomendadas para estes componentes.

Basicamente, os fenômenos decorrentes da interação entre a radiação e dispositivos semicondutores podem ser categorizados em três tipos:

- Efeitos de evento único (SEE - *single event effect*);
- Efeitos cumulativos da radiação (TID - *total ionizing dose*);
- Efeitos devido a danos causados por deslocamento (DD - *displacement damage*).

4.1 Efeitos de evento único (SEE)

Os efeitos de evento único ocorrem quando partículas de alta energia colidem com dispositivos semicondutores em uma região específica. Dentre os componentes mais sensíveis a estes efeitos estão memórias, microprocessadores e FPGAs (*Field Programmable Gate Arrays*).

Os SEEs podem ser classificados em duas grandes categorias: os eventos destrutivos, que danificam os dispositivos de forma permanente, e os não-destrutivos, que causam falhas ou interferências momentâneas, mas que podem ser corrigidas com a reinicialização do sistema ou do ciclo, através do uso de *watchdog timer* ou interrupções externas, por exemplo.

A geração de SEEs é um processo estocástico, portanto, não pode ser previsto. Para contornar esse problema em sistemas que estejam operando em ambientes com alto índice de radiação, usam-se algoritmos de mitigação por hardware e por software para que os sistemas se adaptem às falhas.

Do ponto de vista dos dispositivos, a incidência da partícula energética em uma junção reversamente polarizada distorce temporariamente a região de depleção, provocando a geração de pares elétron-lacuna. Conforme demonstrado pela Figura 17, em um MOSFET convencional, as lacunas geradas se movem para o substrato aterrado, criando uma corrente de substrato. Os elétrons, por sua vez, são atraídos para o potencial positivo, provocando um aumento de corrente transitório que pode modificar o estado lógico deste nó do circuito. Já transistores MOS fabricados sobre lâminas SOI apresentam uma grande imunidade a estes efeitos transitórios da radiação, dado seu pequeno volume da região ativa de silício e a existência do óxido enterrado, que faz com que nenhuma das partículas geradas no substrato afetem a corrente principal do dispositivo (COLINGE, 2004).

Figura 17: Penetração de um íon em uma junção PN convencional (à esquerda) e em uma junção SOI (à direita).

Fonte: Adaptado de (COLINGE, 2004).

4.2 Dano de deslocamento (DD)

Os danos causados por deslocamento ocorrem quando a partícula incidente colide com os átomos da rede cristalina do material. A transferência de energia proveniente da colisão acaba deslocando esse átomo de sua posição original ao invés de ionizá-lo, conforme representado pela Figura 18. A probabilidade de ocorrência de danos por deslocamento é maior na região de máxima transferência de energia da partícula incidente para a estrutura, caracterizada como o ponto máximo da curva de Bragg. É nesta região, também, que a partícula incidente no material alvo tende a repousar. Estes defeitos induzidos podem armadilhar cargas ou alterar as características dos dispositivos, como a mobilidade elétrica dos portadores, por exemplo. Dadas, no entanto, as pequenas dimensões dos dispositivos atuais, este processo é pouco provável para íons com energia na escala de MeV (chance de ocorrência inferior a 0,1%) (CLAEYS; SIMOEN, 2002).

Figura 18: Deslocamento de um átomo da estrutura cristalográfica de um material devido à incidência de uma partícula energética.

Fonte: Adaptado de (SR-NIEL, 2016).

Defeitos causados por deslocamento tendem a se rearranjarem em posições mais estáveis através de um processo denominado recozimento (*annealing*) (SROUR; MARSHALL; MARSHALL, 2003).

Em dispositivos semicondutores o recozimento pode acontecer espontaneamente ou ser acelerado através da polarização do dispositivo, da exposição à fótons ou do aumento da temperatura. De fato, a estabilização dos defeitos no material irradiado depende em grande parte da

temperatura e do tipo de material. O silício, por exemplo, é capaz de recozer à temperatura ambiente (JOHNSTON, 2010).

Como o recozimento do material influencia diretamente na caracterização elétrica dos transistores, é fundamental que a estrutura do dispositivo esteja estabilizada antes que este seja caracterizado, de forma a evitar erros de medição causados por recozimento forçado devido à injeção de portadores. Em aplicações práticas, como no ambiente espacial, por exemplo, este recozimento por injeção de portadores pode ser utilizado benéficamente para recuperar dispositivos degradados pela radiação.

4.3 Dose ionizante total (TID)

O principal efeito criado em dispositivos MOS pela exposição acumulativa de dielétricos à radiação é a geração de pares elétron-lacuna nos óxidos e armadilhas nas interfaces Si-SiO₂. Posto isto, é fácil perceber que transistores SOI são consideravelmente mais sensíveis que transistores MOS convencionais, uma vez que o óxido enterrado, além de ser muito mais espesso que o óxido de porta, também confere ao dispositivo interfaces Si-SiO₂ adicionais. Neles, a dose ionizante total acumulada (TID) faz com que as densidades de cargas criadas nos óxidos/interfaces do dispositivo alterem o comportamento do transistor de forma permanente, seja modificando a tensão de limiar ou criando correntes de fuga laterais ou na segunda interface (interface entre canal e óxido enterrado) (COLINGE, 2004).

As cargas geradas dentro do óxido se comportam de forma diferente uma da outra. Elétrons possuem boa mobilidade e são facilmente removidos, atraídos para o maior potencial da estrutura. As lacunas, em contrapartida, permanecem presas dentro do óxido de silício, contribuindo para a geração de uma carga líquida positiva, proporcional à espessura do óxido (OLDHAM; MCLEAN, 2003). Uma aproximação de primeira ordem da relação entre a variação da tensão de limiar ΔV_{th} e o acúmulo de cargas Q_{ox} devido à dose acumulada D em dispositivos MOSFET pode ser descrita como:

$$\Delta V_{th} = - \frac{Q_{ox} t_{ox}}{\varepsilon_{ox}} = - \alpha \frac{q \rho}{w \varepsilon_{ox}} t_{ox}^2 D \quad (10)$$

Onde w é a energia necessária para se produzir um par elétron-lacuna no óxido (17 eV para o SiO₂), ρ é a densidade do óxido, t_{ox} é a espessura do óxido, α é um fator de correção que visa

considerar que nem todas as cargas geradas foram armadilhadas no óxido e ϵ_{ox} é a permissividade elétrica do óxido.

Nota-se que, uma vez que a carga armadilhada no óxido é positiva ($Q_{ox} > 0$) devido à questão da mobilidade dos portadores já mencionada, essas cargas sempre causarão a redução da tensão de limiar.

Já os estados de interface podem armadilhar tanto elétrons quanto lacunas, dependendo, principalmente, do tipo de portador que forma o canal de condução de corrente (MCWHORTER; WINOKUR; PASTOREK, 1988). Lacunas armadilhadas em dispositivos tipo P contribuem para a redução da tensão de limiar (ela se torna mais negativa). Elétrons armadilhados em dispositivos tipo N contribuem para o aumento da tensão de limiar. No entanto, essa contribuição referente às cargas armadilhadas na interface Si-SiO₂ não costuma ser tão significativa quanto o efeito causado pelas cargas armadilhadas dentro do óxido, dependendo, claro, da espessura do óxido e da dose acumulada.

A Figura 19 exemplifica o comportamento de cargas fixas e armadilhas de interface devido aos efeitos permanentes da radiação em dispositivos eletrônicos baseados em silício. Apesar do acúmulo de cargas e armadilhas por exposição à radiação ionizante acontecer também no óxido de porta do dispositivo, o diagrama representa somente as cargas e armadilhas presentes no óxido enterrado. Esta simplificação pode ser feita em alguns casos devido à fina espessura das camadas de óxido de porta presentes nos dispositivos atuais (cerca de unidades de nm), o que faz com que a influência do óxido enterrado na consideração dos efeitos de TID seja mandatória.

Figura 19: Cargas fixas e armadilhas de interface geradas nos óxidos e interfaces com o silício devido à irradiação.

Fonte: Adaptado de (SIMOEN et al., 2013).

Uma vez que as causas de TID são bem conhecidas, seus efeitos podem ser previstos e, em muitos casos, até evitados. Como exemplos, há estudos que comprovam que o principal efeito da exposição cumulativa de memórias de acesso aleatório dinâmicas (DRAM) à radiação é a redução do tempo de retenção dos dados, problema este que pode ser mitigado até certo ponto através do aumento da taxa de atualização de suas células (BACCHINI et al., 2014). Além da redução do tempo de retenção também ocorre o aumento da corrente de operação destes componentes, o que pode ser proibitivo para o uso em aplicações que requeiram baixo consumo de energia (SHAW; SWIFT; JOHNSTON, 1995). Falhas funcionais também foram encontradas em dispositivos de diferentes fabricantes, expostos a doses de 5 krad(Si) a 55 krad(Si) (HARBOE-SORENSEN; MULLER; FRAENKEL, 1995). No entanto, em linhas gerais, a robustez de DRAMs síncronas atuais (SDRAM) a TID é boa, tornando-as adequadas para aplicações de alta dose (HERRMANN, 2015).

4.4 Os efeitos de TID em MOSFETs de múltiplas portas

A tecnologia MOS é o alicerce da microeletrônica atual. Dada sua importância, o estudo dos efeitos da radiação nessa tecnologia foi e continua sendo amplamente difundido pela comunidade científica, tanto com foco nos dispositivos quanto com foco em circuitos e aplicações.

Mesmo dispositivos avançados, de múltiplas portas e em tecnologia SOI, foram profundamente revisados na literatura (SIMOEN et al., 2013).

Quando considerados os efeitos de dose ionizante total, é comprovado desde os anos 80 que a resposta de dispositivos MOS a estes efeitos depende fortemente da espessura do óxido de silício (SAKS; ANCONA; MODULO, 1984) (SAKS; ANCONA; MODULO, 1986). Apesar da tendência natural de redução da espessura do óxido de porta, o investimento em dispositivos SOI e a importância que eles ocupam no cenário de desenvolvimento da microeletrônica contemporânea mostram a necessidade de se considerar o espesso óxido enterrado em análises atuais.

Considere, por exemplo, o comportamento apresentado por dois dispositivos SOI tipo N de porta ômega com larguras de aleta diferentes, antes e após 500 krad(SiO₂) de dose acumulada, ambos contidos na Figura 20.

Figura 20: Corrente de dreno em função da tensão de porta de um SOI ômega-FET do tipo N com diferentes larguras de aleta, antes e após 500 krad(SiO_2) de radiação.

Fonte: Adaptado de (GAILLARDIN et al., 2006).

Dispositivos de múltiplas portas com maior largura de aleta se comportam como transistores SOI totalmente depletados de porta única, uma vez que as portas laterais não impactam de forma significativa no potencial eletroestático da região ativa do transistor. Neste caso, cargas positivas geradas majoritariamente no óxido enterrado, resultantes da exposição cumulativa do dispositivo à 500 krad(SiO_2) de radiação, agem de forma semelhante a aplicação de uma tensão na segunda interface deste transistor, ocasionando uma condução pela segunda interface do dispositivo e, conseqüentemente, degradando sua inclinação de sublimiar e deslocando sua tensão de limiar.

Para o dispositivo mais estreito ($W_{FIN} = 40 \text{ nm}$), no entanto, a dose acumulada não foi capaz de degradar sua curva de transferência. Isso acontece, pois, a proximidade das portas laterais melhora o acoplamento eletrostático da região do canal, conferindo a este acoplamento um sentido essencialmente horizontal e fazendo com que o efeito das cargas acumuladas no óxido enterrado seja praticamente cancelado por influência das portas laterais (GAILLARDIN et al., 2006).

Quando considerada a influência das cargas armadilhadas no óxido enterrado de transistores SOI do tipo P, no entanto, percebe-se que os resultados são diferentes. Como exemplo, pode-se observar na Figura 21 o comportamento de SOI pFinFETs expostos e não expostos à radiação.

Figura 21: Corrente de dreno em função da tensão de porta de SOI pFinFETs de diferentes dimensões, com e sem radiação.

Fonte: Adaptado de (CAPARROZ et al., 2016).

Nestes dispositivos, as cargas acumuladas nos óxidos causam, na região de sublimiar, um efeito inverso ao observado em transistores do tipo N. Ao invés de degradar a inclinação de sublimiar, nos dispositivos do tipo P esse parâmetro é melhorado, uma vez que sua redução o torna mais próximo do valor ideal de 60 mV/déc à temperatura ambiente. Essa melhoria da inclinação de sublimiar se deve ao aumento do módulo da tensão de limiar da segunda interface do transistor, minimizando a condução do dispositivo pela segunda interface.

Quando comparados os dispositivos em função do comprimento do canal, nota-se também que os efeitos de TID são mais influentes em dispositivos mais curtos, que, por sua vez, são mais sujeitos a efeitos de canal curto (CAPARROZ et al., 2016).

É evidente que, mais uma vez, os dispositivos com maior largura de aleta ($W_{FIN} = 870$ nm) são mais afetados pelas cargas positivas geradas, em sua grande maioria, no óxido enterrado pela mesma questão explicada anteriormente envolvendo o acoplamento eletrostático da região do canal. O deslocamento da tensão de limiar também é observado para esses transistores. Tanto transistores tipo P quanto tipo N apresentam uma redução da tensão de limiar devido às cargas positivas geradas no óxido, no entanto, vale lembrar que essa redução em dispositivos tipo P tornam a tensão de limiar de dispositivos irradiados maior, em módulo, do que a tensão de

limiar de dispositivos não irradiados. Tal efeito é previsto pela equação (10) definida no capítulo 4.3.

5 Procedimento experimental

Neste capítulo serão apresentadas as características dos dispositivos estudados, os laboratórios e equipamentos utilizados e a descrição das etapas envolvidas durante o procedimento experimental.

5.1 Amostras para realização do estudo

Os transistores túnel-FET estudados neste projeto foram fabricados pelo IMEC (Interuniversity Microelectronic Center), instituto de pesquisa localizado em Leuven, na Bélgica. Trata-se de dispositivos de porta tripla, com estrutura similar ao FinFET, fabricados sobre substrato SOI, dispostos na lâmina em estruturas de cascatas de transistores, com diversos comprimentos de canal e também larguras de aleta variadas, conforme demonstrado na Figura 22.

Figura 22: Cascatas de transistores TFET de porta tripla em uma lâmina SOI.

Fonte: Autor.

O leiaute das cascatas é baseado em uma estrutura na qual o contato de fonte é comum a todos os transistores, interligados através de 1 nível de metal. Nestes dispositivos, a dopagem

da região do canal foi mantida como sendo a natural da lâmina (tipo P, concentração de 10^{15} cm^{-3}). Devido à sua inerente assimetria, estes dispositivos foram otimizados para funcionarem como pTFETs, uma vez que a impureza dopante da região do dreno é o boro (B), do tipo aceitadora, e o dopante tipo N utilizado na região da fonte é o arsênio (As) (LEONELLI et al., 2010).

Os transistores TFET estão organizados em quatro conjuntos diferentes, cada uma com 10 transistores. A posição dos transistores em cada conjunto se associa com suas dimensões de largura e comprimento de canal e o número de aletas. A Figura 23 mostra um panorama geral das dimensões de todos os dispositivos, onde L é o comprimento do canal, W_{FIN} é a largura da aleta de silício e N_{FIN} é a quantidade de aletas que compõem cada dispositivo.

Figura 23: Dimensões dos dispositivos referentes a cada posição da estrutura matricial de transistores. Valores de comprimento e largura de canal expressos em micrometro (μm).

$W_{fin} (N_{fin})$	1 (5)	1 (5)	1 (5)	1 (5)	0,5 (15)	0,5 (15)	0,5 (15)	0,5 (15)
	0,25 (5)	0,25 (5)	0,25 (5)	0,25 (5)	0,25 (15)	0,25 (15)	0,25 (15)	0,25 (15)
	0,04 (5)	0,04 (5)	0,04 (5)	0,04 (5)	0,04 (30)	0,04 (30)	0,04 (30)	0,04 (30)
	0,02 (5)	0,02 (5)	0,02 (5)	0,02 (5)	0,02 (15)	0,02 (15)	0,02 (15)	0,02 (15)
	0,01 (5)	0,01 (5)	0,01 (5)	0,01 (5)	0,01 (15)	0,01 (15)	0,01 (15)	0,01 (15)
L	0,15	0,25	1	10	0,15	0,25	1	10
	EM7C		EM7D		EM7E		EM7F	

Fonte: Autor.

Neste projeto, todos os dispositivos destacados na região mais clara da Figura 23, com W_{FIN} igual ou superior a 40 nm, foram considerados.

Para se configurar adequadamente um experimento destinado a irradiar dispositivos é fundamental que se conheça as espessuras das diversas camadas de materiais que formam o transistor, de forma que se possa determinar a energia transferida a cada uma dessas camadas e, finalmente, a dose acumulada na região ativa do componente. A Tabela 1 apresenta, ordenadamente, a espessura dos materiais que compõem a estrutura dos TFETs estudados, assim como a espessura de óxido de silício equivalente (EOT - *equivalent oxide thickness*) à composição do dielétrico de porta.

Tabela 1: Espessura das camadas e materiais que compõem a estrutura do TFET.

Camada	Espessura	
Passivação (SiO ₂)	500 nm	
Eletrodo de porta (Si Poli)	100 nm	
Eletrodo de porta (TiN)	5 nm	
Dielétrico de porta (HfO ₂)	2 nm	} EOT = 1,2 nm
Dielétrico de porta (SiO ₂)	1 nm	
Altura da aleta da região ativa (Si)	65 nm	
Óxido enterrado (SiO ₂)	150 nm	
Substrato (Si)	800 µm	

Fonte: (AGOPIAN et al., 2013a).

Para fins de definição da dose de radiação acumulada na região de interesse, considerada neste trabalho, a região ativa do transistor, é necessário se estimar a energia que será transferida pelo feixe de prótons, primeiramente, a todas as camadas que antecedem a região ativa.

Contidos na mesma lâmina utilizada neste trabalho, estão dispositivos SOI MOSFET de porta tripla, aqui denominados MuGFETs (*Multi-Gate Field Effect Transistor* - transistor de efeito de campo de múltiplas portas), tipo N e tipo P, de diversas dimensões. Tanto os transistores TFETs quanto os MuGFETs possuem exatamente a mesma estrutura, fabricados segundo as mesmas etapas de processo, distinguindo-se entre si somente pelos tipos diferentes de dopantes usados nas regiões de fonte e dreno dos TFETs e pelos ângulos de implantação configurados durante a etapa de dopagem destas regiões (LEONELLI et al., 2010).

Os transistores SOI MuGFETs estão localizados próximos aos TFETs, o que, convenientemente, permitiu que ambos pudessem ser irradiados ao mesmo tempo, de forma que os efeitos da radiação pudessem ser observados e comparados nas duas diferentes tecnologias.

Apesar da possibilidade de análise do comportamento de transistores MOS de três dimensões também ser possível no contexto deste trabalho, de forma a limitar o escopo de atuação nos dispositivos TFET, os transistores MOS escolhidos para exame possuem dimensões semelhantes ou próximas às dos TFETs estudados. Dentre as cascatas disponíveis, foram selecionadas as com largura de aleta de 40 nm, 250 nm e 1 µm. Cada cascata possui 11 transistores com 5 aletas em paralelo. Dentre esses, somente os transistores com comprimento de canal de 130 nm, 250 nm, 1 µm e 10 µm foram caracterizados.

Uma vez que os dispositivos MuGFETs e TFETs possuem geometrias idênticas e foram fabricados juntos, seguindo os mesmos fluxo e etapas de processo, qualquer diferença no comportamento destas tecnologias após terem sido irradiadas simultaneamente pela mesma fonte de radiação será referente exclusivamente ao efeito da irradiação no modo de operação característico de cada um destes dispositivos. Essa pode ser destacada como sendo a principal vantagem deste tipo de análise.

5.2 Processo de caracterização elétrica dos dispositivos

Neste trabalho, as curvas de transferência ($I_D \times V_G$) e de saída ($I_D \times V_D$) dos transistores foram obtidas utilizando o analisador de parâmetros de dispositivos semicondutores Keysight B1500A. A Figura 24 apresenta o sistema de caracterização utilizado.

Figura 24: Caracterização elétrica dos transistores utilizando o Keysight B1500A.

Fonte: Autor.

Foram levantadas quatro curvas de transferência para cada dispositivo. Os valores utilizados para configuração das rotinas de medida estão listados na

Tabela 2. Para que os dispositivos não fossem danificados, a definição dos limites de tensão aplicadas aos transistores considerou que a diferença de potencial entre os terminais de porta e dreno ou entre porta e fonte não fosse superior a 2 V.

Tabela 2: Configuração das rotinas de medida das curvas de transferência dos pTFETs.

Parâmetro	Valor
Tensão de porta (V_G)	De -2,5 V a 500 mV, com passos de -10 mV (de -2,0 V a 500 mV para $V_D = -0,1$ V)
Tensão de dreno (V_D)	-0,1 V, -0,9 V, -1,2 V e -1,5 V
Tensão de fonte (V_S)	0 V
Tensão de substrato (V_B)	0 V
Limitação da corrente de porta	300 nA
Limitação da corrente de dreno e fonte	10 mA
Limitação da corrente de substrato	100 μ A

Fonte: Autor.

De maneira análoga, a medição das quatro curvas de saída para cada transistor se baseou na configuração listada na Tabela 3, também observando o critério da máxima diferença de potencial aplicada entre os terminais de porta e dreno ou entre porta e fonte:

Tabela 3: Configuração das rotinas de medida das curvas de saída dos pTFETs.

Parâmetro	Valor
Tensão de dreno (V_D)	De 0 V a -1,5 V, com passos de -10 mV
Tensão de porta (V_G)	-0,9 V, -1,2 V, -1,5 V e -1,8 V
Tensão de fonte (V_S)	0 V
Tensão de substrato (V_B)	0 V
Limitação da corrente de porta	300 nA
Limitação da corrente de dreno e fonte	10 mA
Limitação da corrente de substrato	100 μ A

Fonte: Autor.

É importante ressaltar que, para ambos os casos, o tempo de integração configurado para os conversores AD foi de 6 PLC's (*Power Line Cycles* - onde cada PLC corresponde a 128 medidas), visando uma melhor resolução das medidas feitas. Como mencionado no item 2.3.3, o nível de corrente atingido pelos TFETs de silício estudados é baixo, então esta configuração tem o objetivo de reduzir ao máximo o ruído de medição.

Os transistores SOI MuGFETs, também caracterizados neste trabalho, foram medidos utilizando exatamente a mesma configuração descrita para os TFETs.

5.3 Etapa de irradiação dos túnel-FETs por prótons

Para que os dispositivos em estudo neste trabalho pudessem ser irradiados, foram utilizadas as instalações do Laboratório de Análise de Materiais por Feixes Iônicos (LAMFI), localizado no Instituto de Física da Universidade de São Paulo (IFUSP). O laboratório possui um acelerador de partículas eletrostático tipo Pelletron-tandem, modelo 5SDH, capaz de operar com tensão nominal de até 1,7 MV, construído pela National Electrostatic Corporation (NEC) (LAMFI, 2010).

Na atual configuração, o acelerador de partículas que o laboratório possui, representado na Figura 25, pode fornecer feixes de prótons (H^+) e partículas alfa (He^{++}) com energia cinética entre 600 keV e 3,4 MeV, e entre 600 keV e 5,1 MeV, respectivamente.

Figura 25: Vista panorâmica do acelerador eletrostático de partículas do LAMFI no Instituto de Física da USP.

Fonte: Autor.

O objetivo do experimento conduzido no LAMFI foi utilizar um feixe de prótons de baixa energia para irradiar a lâmina contendo os túnel-FETs. Nessas condições, é esperada uma maior interação entre as partículas e o material alvo, havendo uma maior transferência de energia da partícula incidente para a estrutura e, conseqüentemente, acumulando uma maior dose de radiação em um dado período de tempo, potencializando os efeitos de TID. Para isso, o valor de energia estipulado para o feixe foi de 600 keV. Este valor foi escolhido por ser a energia mínima que o acelerador é capaz de manter estável durante todo o experimento, pois, para esta energia,

a corrente média alcançada pelo feixe de prótons é de apenas 4 nA. Tendo como base os ensaios que normalmente são feitos pelo LAMFI, esta corrente é considerada baixa para os padrões do equipamento.

Para embasar melhor a escolha pela menor energia fornecida pelo equipamento, simulações da incidência de íons H^+ sobre a estrutura do dispositivo, descrita na Tabela 1, foram feitas com o auxílio da ferramenta SRIM.

A Figura 26 contém a curva simulada da perda de energia de prótons de 600 keV ao longo da estrutura formada por camadas com materiais e espessuras equivalentes as dos transistores estudados. Nela podemos observar que cada partícula transfere, ao longo de sua trajetória, em torno de 5,5 eV/angstrom de energia para a região ativa dos dispositivos.

Figura 26: Perda de energia dos prótons de 600 keV ao longo da estrutura dos dispositivos SOI TFET.

Fonte: Autor.

A Figura 27, no entanto, ao apresentar a simulação da incidência de prótons de 1 MeV ao longo da mesma estrutura, mostra que cada partícula perde 4,2 eV/angstrom de energia ao passar pela região do canal dos dispositivos.

Figura 27: Perda de energia dos prótons de 1 MeV ao longo da estrutura dos dispositivos SOI TFET.

Fonte: Autor.

Na prática, essa redução de 24% da energia transferida ao dispositivo com o aumento da energia cinética inicial dos íons de hidrogênio de 600 keV para 1 MeV, é refletida diretamente na interação das partículas com a estrutura cristalina do material e, consequentemente, na taxa de dose configurada para o experimento.

Esperava-se também que, ao se utilizar uma menor energia durante a condução dos experimentos, seria possível se estudar neste trabalho a degradação dos dispositivos por danos causados por deslocamento dos átomos da estrutura cristalina do material. No entanto, a simulação dos fenômenos de transporte dos íons H⁺ de 600 keV na matéria, desta vez, abrangendo uma maior extensão de substrato dos dispositivos, evidencia que o pico da curva de Bragg, neste caso, se localiza muito abaixo do óxido enterrado do transistor, como pode ser observado na Figura 28.

Figura 28: Curva de Bragg de prótons de 600 keV.

Fonte: Autor.

Como já explicado nos capítulos 3 e 4 deste trabalho, o pico de Bragg destaca a região na qual a maior parte das partículas incidentes no material repousará, logo após a máxima transferência de energia da partícula para a estrutura. Esta região é caracterizada pela maior probabilidade de ocorrência de danos por deslocamento de átomos.

A simulação do alcance dos prótons de 600 keV dentro da estrutura dos dispositivos, apresentada pela Figura 29, demonstra que os prótons incidentes são capazes de atingir uma profundidade média de 7,84 μm, o que claramente demonstra a baixa probabilidade de que partículas com esta energia inicial se acumulem na região ativa do transistor. Neste caso, as partículas tendem a se acumular no substrato da lâmina, abaixo do óxido enterrado.

Figura 29: Alcance médio dos prótons de 600 keV dentro da estrutura dos dispositivos SOI TFET.

Fonte: Autor.

Em torno das camadas que compõem o dispositivo a probabilidade de colisões que transferem à estrutura energia suficiente para mover átomos de seu arranjo natural é tão pequena que torna improvável a influência deste fenômeno na degradação de alguma das propriedades dos dispositivos. Para que danos de deslocamento pudessem ser adequadamente considerados neste trabalho, a energia das partículas incidentes deveria ser muito inferior à menor energia que o acelerador de partículas utilizado é capaz de manter para o feixe de prótons. A consideração dos argumentos apresentados permite, portanto, que os efeitos causados nos dispositivos por deslocamento de átomos de sua rede cristalina, devidos à irradiação, sejam desconsiderados do escopo deste trabalho.

Uma vez definida a energia do feixe de prótons e conhecendo-se as espessuras das camadas e os materiais que formam os dispositivos, a equipe que administra o LAMFI foi responsável por determinar os parâmetros experimentais necessários para a condução dos ensaios.

A Coordenação Europeia de Componentes Espaciais (ESCC - *European Space Components Coordination*), responsável por especificar as normas pertinentes ao desenvolvimento, avaliação, qualificação e testes de componentes para uso em ambiente aeroespacial pela Agência Espacial Europeia (ESA - *European Space Agency*), descreve em seu documento “*ESCC 22900 - Total Dose Steady-State Irradiation Test Method*” os requisitos e procedimentos para testes de dispositivos semicondutores para os efeitos de dose ionizantes total e/ou danos de deslocamento provenientes de fontes contínuas de radiação, como considerações acerca das condições

de polarizações dos componentes, intervalo de tempo entre medidas elétricas, fontes de radiação, requisitos de temperatura, sequência de testes etc.

Dentre os assuntos abordados, este documento especifica que, para análise dos efeitos de TID em componentes eletrônicos, os dispositivos devem ser expostos a doses de radiação que variam de 3 krad(Si) a 1 Mrad(Si), com taxas de dose que variam de 1 rad(Si)/s a 10 rad(Si)/s. O problema é que experimentos que obedeçam a estes parâmetros podem demorar muito tempo para serem concluídos. A norma em si especifica que, dependendo da dose desejada, a taxa de dose deve ser ajustada para que o tempo de exposição dos componentes à radiação não seja superior a 96 horas.

Desde o início do desenvolvimento deste projeto, a parte experimental da pesquisa sempre esteve sujeita à disponibilidade do acelerador de partículas do LAMFI. Considerando-se que o LAMFI é um laboratório extremamente requisitado pela comunidade científica, e que opera somente em horário comercial, as oportunidades para uso do equipamento são escassas e as janelas de tempo disponíveis para as fases de irradiação dos componentes são limitadas. Assim sendo, as taxas de dose utilizadas neste trabalho foram adaptadas a essa realidade.

A polarização dos componentes durante a radiação influencia diretamente na resposta destes componentes aos efeitos de TID, uma vez que é a polarização a responsável por alterar o perfil do campo elétrico no óxido de silício e, conseqüentemente, a distribuição de cargas armadilhas no óxido. Estudos confirmam que o pior caso de polarização possível para análise dos efeitos de TID, potencializando estes efeitos, é a configuração em estado ligado: terminal de porta ligado à tensão de alimentação do circuito V_{DD} enquanto os demais terminais permanecem aterrados. Nesta configuração, as linhas de campo elétrico dentro do óxido de silício apontam diretamente para as áreas de silício. Assim, ocorre um aumento significativo das cargas armadilhadas no óxido, modificando de forma eficiente o potencial na região ativa do silício e, conseqüentemente, as características elétricas do dispositivo (SIMOEN et al., 2013).

Neste projeto, dificuldades técnicas como a ausência de encapsulamento dos transistores e a falta de equipamento adequado para polarização diretamente na lâmina de silício, impediram que os transistores em estudo fossem polarizados durante a irradiação. Assim sendo, as doses acumuladas tiveram também que ser superiores às definidas na norma referenciada para que a concentração de cargas geradas nos óxidos dos transistores fosse adequada.

Posto isto, a adequação da taxa de dose e da dose total acumulada em cada etapa de irradiação para a realidade deste projeto se baseou nas características do acelerador e na disponibilidade do equipamento. A fonte geradora de prótons do acelerador gera partículas a uma taxa de

10^{10} íons/s. Dadas as pequenas dimensões dos dispositivos estudados e sabendo-se que a irradiação seria feita diretamente sobre a lâmina de silício, percebeu-se que essa taxa de partículas acarretaria em uma taxa de dose extremamente alta na região ativa do transistor, podendo, inclusive, danificar os componentes. A forma encontrada para contornar esse problema foi o posicionamento dos dispositivos dentro de uma câmara cilíndrica, fechada a vácuo, utilizada para espalhamento do feixe prótons, conforme apresentado pela Figura 30. Uma vantagem desta configuração é que todo o caminho percorrido pelo feixe de prótons desde a fonte geradora até o alvo é feito em ambiente fechado com vácuo controlado. Assim, como o feixe de partículas não entra em contato com a atmosfera ambiente, pode-se considerar que a perda de energia do feixe ao longo do caminho é praticamente desprezível.

Figura 30: Câmara de vácuo utilizada para espalhamento do feixe de prótons.

Fonte: Autor.

O espalhamento do feixe de prótons utilizando uma folha fina de ouro para produção de uma radiação homogênea e o posicionamento da lâmina dentro da câmara em um porta amostras fixado em um goniômetro ajustado em um ângulo de 20° em relação ao sentido do feixe original, permitiram se configurar para o experimento uma taxa de dose média de 25 rad(Si)/s . A Figura 30 mostra ainda, à sua direita, a identificação da região de interesse na lâmina irradiada e também o posicionamento vertical desta região, pois o espalhamento do feixe através da folha de ouro cria uma distribuição homogênea das partículas neste sentido.

A Figura 31 contém o diagrama representativo dos principais componentes da câmara de vácuo e a configuração utilizada durante a etapa de irradiação.

Figura 31: Diagrama representativo da câmara de vácuo do acelerador eletrostático do LAMFI.

Fonte: Adaptado de (LAMFI, 2010).

Na Figura 31, o feixe de prótons com 600 keV de energia entra no interior da câmara de vácuo por F. As partículas passam pelos colimadores de entrada (C1) e saída (C2), restringindo o diâmetro do feixe a 1,8 mm. Este feixe incide sobre a folha de ouro posicionada no porta amostras P localizado ao centro do supressor de elétrons S, dispersando-o e criando uma distribuição homogênea de prótons no sentido vertical. Essa radiação encontra, então, a lâmina de silício posicionada em A a um ângulo de 20° com o auxílio do goniômetro G, configurando uma taxa de dose média de 25 rad(Si)/s. Simetricamente, um detector D é posicionado a -20° para se fazer uma contagem indireta da quantidade de partículas que incidem, em tempo real, sobre os dispositivos posicionados em A. Quando o número de partículas necessário para se atingir a dose de radiação desejada é alcançado, o experimento é finalizado.

Com essa taxa de dose, os transistores foram irradiados em cinco oportunidades distintas. Em cada uma delas, os experimentos eram realizados até que fosse atingida uma contagem de partículas detectadas equivalente ao acúmulo da dose de radiação desejada na região ativa do transistor, necessitando para isso, de 11 a 17 horas. Após cada etapa, a lâmina era armazenada durante 14 dias em temperatura ambiente para que houvesse o recozimento do material e estabilização dos possíveis, mas pouco prováveis, danos de deslocamento causados à estrutura cris-

talina do dispositivo pela incidência de partículas energéticas. Finalizado o período de recozimento, todos os dispositivos TFETs e MuGFETs eram então caracterizados novamente, de forma que seu comportamento pudesse ser observado entre cada uma das etapas experimentais.

A Tabela 4 descreve a data referente a cada etapa de exposição dos dispositivos à radiação no LAMFI, a taxa de dose alcançada e a dose acumulada em cada uma delas e, também, a dose acumulada total à qual os dispositivos foram sujeitos.

Tabela 4: Taxa de dose e dose acumulada referente a cada uma das etapas de radiação.

Etapa	Data	Taxa de dose (rad(Si)/s)	Dose (Mrad(Si))	Dose total (Mrad(Si))
1	17/01/17	24,8	1	1
2	04/05/17	24,5	1	2
3	02/08/17	27,1	1	3
4	31/10/17	38,8	2	5
5	16/02/18	82,2	5	10

Fonte: Autor.

A variação da taxa de dose observada entre as etapas 1 e 4 é devida às condições apresentadas pelo acelerador de partículas no dia de cada experimento. Na etapa 5, no entanto, a lamina foi reposicionada dentro da câmara de vácuo para um ângulo de 15° , aumentando a incidência de prótons sobre o alvo, definindo uma nova taxa de dose e permitindo, assim, que uma maior dose fosse alcançada no mesmo intervalo de tempo.

Apesar dos valores de taxa de dose e dose acumulada, utilizados neste trabalho, serem superiores aos especificados em norma pela ESCC, devido às razões mencionadas anteriormente (pouca disponibilidade do LAMFI e dispositivos não polarizados durante a radiação), é importante notar que os valores de dose acumulada praticados ainda são condizentes com os encontrados no ambiente espacial, como previamente argumentado no capítulo 3.2 deste trabalho.

5.4 Simulação de TFETs no TCAD Sentaurus

Para uma melhor compreensão dos efeitos que a radiação ionizante teria sobre o funcionamento dos dispositivos fez-se necessária a utilização de uma ferramenta de simulação, de modo que o comportamento observado nas medidas experimentais pudesse ser entendido e explicado.

Um *software* TCAD (*Technology Computer-Aided Design*) ou projeto de tecnologias auxiliado por computador, trata-se de um conjunto de ferramentas de simulações computacionais voltadas para o desenvolvimento e otimização de dispositivos semicondutores e processos de fabricação. O TCAD Sentaurus, da empresa norte-americana Synopsys, é formado por um vasto conjunto de ferramentas, dentre elas, as utilizadas neste trabalho foram:

- Sentaurus Workbench (*swb*): ambiente gráfico para criação, gerenciamento, execução e análise de simulações. É responsável por especificar o fluxo das simulações, fazendo a chamada e execução dos demais processos.
- Sentaurus Structure Editor (*sde*): editor de estruturas de dispositivos bidimensionais e tridimensionais, capaz de simular etapas de processo e, também, de definir parâmetros da grade de simulação.
- Sentaurus Device (*sdevice*): ferramenta utilizada para simulação das características elétricas, térmicas ou ópticas de dispositivos semicondutores, em resposta a condições de contorno externas impostas à estrutura gerada pelo editor de estruturas.
- Sentaurus Visual (*svisual*): ferramenta de visualização dos resultados de simulação, capaz de gerar gráficos e manipular os dados, permitindo análises das condições internas dos dispositivos simulados.

A essência da simulação está na escolha de modelos adequados para representação dos fenômenos pertinentes ao funcionamento dos dispositivos simulados. Logo, para simulação de TFETs sujeitos à exposição continuada à radiação, os modelos selecionados devem ser capazes de simular tantos os mecanismos de tunelamento de portadores quanto a geração de cargas fixas e armadilhas de interface nos óxidos de silício. Os modelos utilizados para as simulações neste trabalho são listados a seguir:

- SRH - utilizado para simulação dos mecanismos SRH e TAT que, por se basearem no mesmo modelo, nunca podem ser simulados separadamente. O que muda na consideração de cada um é o parâmetro responsável pelo cálculo de tempo de vida dos portadores. No SRH, o tempo de vida dos portadores é influenciado, principalmente, pela dopagem dos materiais. Já no caso do TAT, o cálculo do tempo de vida deve considerar a influência do campo elétrico externo aplicado à porta do dispositivo. O modelo que descreve o tunelamento induzido por armadilha, neste caso, é responsável por discretizar e calcular os níveis energéticos dos defeitos na banda proibida do material (SYNOPTSYS, 2016).

- **Band2Band** - utilizado para simulação do mecanismo de tunelamento de portadores entre bandas BTBT. Na configuração na qual este modelo foi utilizado, ele considera a variação espacial das bandas de energia ao longo do dispositivo, permitindo que elétrons da banda de valência em uma certa localização alcancem a banda de condução em uma localização diferente. Assim sendo, esse modelo é adequado a semicondutores de transição indireta, como o silício e o germânio (SYNOPSIS, 2016).
- **Charge** - utilizado para a adição manual de cargas fixas em uma região pré-estabelecida da estrutura do dispositivo, usualmente no óxido de silício ou na interface entre óxido e silício. Este modelo foi utilizado para simular as cargas fixas positivas geradas no óxido de porta e no óxido enterrado do transistor em decorrência da exposição do dispositivo à radiação ionizante.
- **Traps** - este modelo foi necessário para a especificação de armadilhas de interface criadas nas interfaces entre óxido e silício. Armadilhas de interface e cargas fixas geradas nos óxidos são as duas principais consequências dos efeitos de TID em dispositivos semicondutores. Uma vez que a distribuição de estados de interface ao longo da banda proibida depende do fenômeno responsável pela geração dos defeitos, optou-se por uma distribuição uniforme das armadilhas de interface ao longo da faixa de energia proibida do silício, representando uma concentração de armadilhas equivalente à causada por uma distribuição real.

Neste projeto optou-se pela simulação bidimensional dos dispositivos. Em suma, duas razões nortearam a escolha por simulações bidimensionais em detrimento das simulações tridimensionais. Do ponto de vista computacional, simulações tridimensionais se mostraram muito mais exigentes. Em testes realizados, eram comuns os problemas de convergência destas simulações e o tempo necessário para que elas fossem finalizadas, em muitos casos, era 100 vezes superior à de uma simulação equivalente em duas dimensões. Considerando ainda a baixa influência das portas laterais em dispositivos de aleta larga, como é o caso de alguns transistores neste projeto com largura da aleta de silício de 1 μm , sabe-se que o comportamento destes transistores de múltiplas portas é muito semelhante aos planares de porta única, como previamente referenciado no capítulo 4.4. Logo, a escolha por simulações bidimensionais se mostrou mais eficiente.

Os arquivos detalhados de simulação e definição da estrutura do dispositivo podem ser encontrados nos apêndices deste trabalho.

6 Resultados e análise

Os dispositivos TFETs e MuGFETs de diferentes dimensões foram caracterizados antes e depois de expostos a sucessivos índices de dose total acumulada, radiação esta gerada por uma fonte de prótons de 600 keV de energia.

Após cada etapa experimental, a amostra irradiada foi armazenada em temperatura ambiente por duas semanas, tempo suficiente para que fosse concluída a etapa de recozimento do silício após a irradiação, recuperando parte dos possíveis danos e permitindo que um estado mais estável da estrutura do dispositivo fosse alcançado. Passado esse período, uma nova caracterização dos mesmos dispositivos foi feita, de forma a comparar os resultados obtidos em cada um dos casos.

Neste capítulo é apresentado o comportamento dos dispositivos irradiados e feita uma análise minuciosa destes resultados.

6.1 Caracterização elétrica antes da irradiação por feixe de prótons

Antes de serem expostos à radiação ionizante, todos os dispositivos contidos na lâmina foram caracterizados. As dimensões e características de cada um podem ser consultadas em detalhes no capítulo 5.

A Figura 32 apresenta a curva de transferência para o menor pTFET medido, considerando uma tensão entre dreno e fonte de -1,5 V. Por se tratar de um dispositivo com porta auto alinhada, verifica-se que ocorre o aumento exponencial da corrente de dreno na região em que o transistor usualmente estaria no estado desligado (tensão de porta acima de -0,8 V, denominada tensão de início de condução - *onset voltage*), devido ao tunelamento de portadores de banda para banda na junção entre canal e dreno. Este aumento indesejável da corrente de estado desligado do dispositivo é denominado efeito ambipolar, já mencionado previamente neste trabalho.

Figura 32: Corrente de dreno em função da tensão de porta de um pTFET com 40 nm de largura e 150 nm de comprimento de canal.

Fonte: Autor.

Ao se analisar o comportamento da curva de transferência destes transistores para diferentes valores de comprimento de canal, observa-se o surgimento de um segundo efeito, desta vez, responsável por reduzir a corrente ON. A Figura 33 apresenta a corrente de dreno em função da tensão de porta para os transistores com 40 nm de largura de aleta e diferentes comprimentos de canal, medidos sob a mesma condição de polarização entre dreno e fonte, com foco na corrente de estado ligado dos dispositivos.

Figura 33: Corrente de dreno em função da tensão de porta de pTFETs com 40 nm de largura e diferentes comprimentos de canal.

Fonte: Autor.

Modelos analíticos da corrente de dreno de *point* TFETs sugerem que esta não é diretamente influenciada pelo comprimento do canal do dispositivo, para os casos nos quais o comprimento de canal é maior que o comprimento de tunelamento dos portadores λ (definido no capítulo 2.3.3). A área da junção entre fonte e canal onde ocorre a sobreposição entre as bandas de valência e condução, determinada pela largura do transistor, é, por outro lado, dentre as dimensões do componente, a maior responsável pelo aumento da probabilidade de tunelamento de portadores (VANDENBERGHE et al., 2008). Entretanto, é possível se observar na Figura 33 uma redução da corrente de dreno em função do comprimento do canal dos transistores. Para a tensão de porta de -1,9 V, por exemplo, o nível de corrente apresentado pelo transistor com 10 μm de comprimento é 45% inferior ao apresentado pelo transistor com 150 nm de comprimento. Este comportamento sugere que, em dispositivos com canal muito longo, a resistência do canal tem influência sobre a corrente do dispositivo. Somente em dispositivos muito curtos é que aconteceria o tunelamento direto de portadores da fonte para o dreno, não havendo, assim, influência da resistência associada ao canal do transistor. Este resultado apresentado é importante e será utilizado novamente no decorrer deste trabalho.

6.2 A influência da radiação na característica de saída dos transistores pTFET após 1 Mrad(Si)

Como mencionado no capítulo 2, diferentemente de dispositivos MOSFET que funcionam segundo o princípio de injeção termiônica de portadores da fonte para o canal, o mecanismo de corrente de estado ligado dominante em dispositivos TFET é baseado na injeção de portadores da fonte para o canal devido ao tunelamento de elétrons entre bandas de energia induzido pela tensão aplicada na porta (BTBT). A corrente de estado desligado de TFETs, por outro lado, depende principalmente da geração SRH de portadores e do mecanismo de tunelamento assistido por armadilhas (TAT). O TAT também é responsável por degradar a inclinação de sublimar em dispositivos TFET, tornando-se o mecanismo mandatório de acordo com as condições de polarização de porta.

Além disso, os dispositivos estudados foram fabricados sobre substrato SOI com um espesso óxido enterrado de 150 nm, conferindo a eles maior susceptibilidade aos efeitos causados pela exposição cumulativa à radiação ionizante, conforme previamente argumentado no capítulo 4. Levando-se esses dois aspectos em consideração, espera-se, em uma análise inicial, que o tunelamento de portadores entre bandas seja afetado pelo acúmulo de cargas positivas nos óxidos enterrado e de porta e pelas cargas armadilhadas nas interfaces Si-SiO₂.

Depois de decorrido o tempo necessário para recozimento do silício após a primeira irradiação, todos os dispositivos contidos na lâmina foram novamente caracterizados. No entanto, para a dose acumulada de 1 Mrad(Si), somente os dispositivos com largura de aleta de 1 µm sofreram algum efeito que pudesse ser analisado. Os resultados apresentados pelos demais dispositivos até então foram inconclusivos, provavelmente devido à menor área ocupada por eles e ao melhor acoplamento eletrostático entre as portas proporcionado pela menor largura de canal, sugerindo, de imediato, uma melhor resistência dos transistores de tunelamento aos efeitos de TID.

Dando continuidade ao estudo, a Figura 34 descreve as características de saída de um pTFET de 1 µm de largura e 150 nm de comprimento de canal para uma tensão de porta de -1,5 V, antes e após 1 Mrad(Si).

Figura 34: Corrente de dreno em função da tensão de dreno para um pTFET de $W_{\text{FIN}} = 1 \mu\text{m}$, $L = 150 \text{ nm}$, antes e após 1 Mrad(Si) de radiação de prótons.

Fonte: Autor.

Como pode ser observado na Figura 34, o nível de corrente de estado ligado, equivalente à região de saturação de um transistor MOS, reduziu cerca de 10%. Aparentemente, a dose de radiação à qual os transistores foram submetidos não foi alta o suficiente para que um efeito mais proeminente fosse notado, ainda mais quando se considera o fato dos dispositivos não estarem polarizados durante o experimento. De fato, essa pequena variação da corrente do dispositivo é melhor observada nas curvas de saída do que nas curvas de transferência, motivo pelo qual estas foram utilizadas como base para essa análise inicial.

Nota-se, também, que o valor mínimo da corrente de dreno não ocorre em $V_D = 0 \text{ V}$, cuja razão se deve à alta corrente de porta presente nestes dispositivos quando a tensão de porta é muito superior, em módulo, à tensão de dreno. Essa condição costuma ser observada para baixos valores de V_D , com corrente de porta, tipicamente, na mesma ordem de grandeza da corrente de dreno (AGOPIAN et al., 2013b).

Conhecidas as condições nas quais a irradiação dos transistores foi realizada e os parâmetros utilizados, uma análise qualitativa inicial sugere que a redução de I_D registrada ocorre, principalmente, devido à atenuação da probabilidade de tunelamento de portadores entre bandas de energia, relacionada às cargas positivas geradas no espesso óxido enterrado de dispositivos SOI pelo efeito de TID e pelo aumento de armadilhas de interface localizadas nas interfaces Si-SiO₂ causadas por este mesmo efeito.

Sendo a quantidade de cargas geradas proporcional à espessura do óxido, espera-se que a influência do óxido enterrado seja mandatória quando comparada ao óxido de porta, visto que este é 50 vezes mais espesso.

A fim de corroborar as hipóteses levantadas e melhor entender os fenômenos envolvidos foram feitas simulações bidimensionais no TCAD Sentaurus, permitindo uma investigação mais acurada dos efeitos da radiação no comportamento dos túnel-FETs. As razões para escolha por simulações bidimensionais ao invés das tridimensionais foram previamente estabelecidas no capítulo 5.4.

Para simular o comportamento dos dispositivos sob os efeitos causados por exposição cumulativa à radiação ionizante foram consideradas, em primeira análise, somente cargas fixas no óxido de silício (Q_{ox}). Estas cargas positivas foram posicionadas na primeira e segunda interfaces do transistor (primeira interface é a interface entre canal e óxido de porta, já a segunda interface é a interface entre canal e óxido enterrado). Os resultados são apresentados pela Figura 35, para um dispositivo simulado de mesmas dimensões que o dispositivo medido.

Figura 35: Curvas de saída simuladas de um pTFET considerando cargas fixas posicionadas na primeira e segunda interfaces.

Fonte: Autor.

Quando somente cargas fixas são consideradas, tanto no óxido de porta quanto no óxido enterrado, também é possível se observar uma redução da corrente de dreno proporcional à densidade de cargas considerada, semelhante ao observado nos dados experimentais da Figura 34.

A comparação direta entre as curvas simuladas e a curva experimental sugere que uma dose de 1 Mrad(Si) de prótons de 600 keV causa uma redução de corrente no dispositivo equivalente à gerada por uma concentração adicional de cargas fixas nas interfaces de aproximadamente $1 \times 10^{11} \text{ cm}^{-2}$.

As cargas positivas geradas nos óxidos dos dispositivos são as responsáveis por alterar as condições de polarização nas interfaces entre óxido e silício e, consequentemente, o mecanismo de geração de portadores livres nos TFETs. Esta hipótese pode ser confirmada ao se analisar o diagrama de bandas de energia do dispositivo simulado.

A Figura 36 contém os resultados simulados do diagrama de bandas de energia na primeira interface do transistor, ou seja, na interface entre canal e dielétrico de porta. Na parte superior da figura observa-se os valores mínimos da banda de condução e na parte inferior, os valores máximos da banda de valência, nas três regiões distintas da estrutura do dispositivo, ao longo da interface entre o óxido de porta e a camada ativa de silício.

Figura 36: Diagrama de bandas de energia ao longo da primeira interface do dispositivo simulado.

Fonte: Autor.

Conforme reportado na Figura 36, mesmo para o maior valor de cargas simuladas no óxido de $5 \times 10^{11} \text{ cm}^{-2}$, as bandas de energia ao longo do dispositivo pouco se alteram. Apesar disso, o pouco deslocamento para baixo observado nas bandas de energia na região do canal se reflete, também, na redução da sobreposição das bandas de energia na junção entre canal e fonte. Em

um primeiro momento, esse deslocamento quase imperceptível pode parecer não ter relação com a redução da corrente do dispositivo devido ao acúmulo de cargas fixas no óxido, mas é necessário se considerar que a probabilidade de tunelamento ou transmissão de portadores entre bandas de energia depende exponencialmente do potencial de interface e do comprimento de tunelamento, conforme descrito previamente pela equação (6).

Uma vez que as cargas fixas adicionais geradas no óxido por radiação de prótons reduzem o potencial de superfície da interface entre óxido de porta e canal, a probabilidade de tunelamento também reduz exponencialmente. Para corroborar essa afirmação, é necessário se analisar as condições de funcionamento internas do dispositivo na região onde ocorre a geração da maior parte dos portadores livres que compõem a corrente de túnel-FETs. Como os dispositivos estudados tratam-se de *point* TFETs, essa região é simultaneamente próximo da primeira interface do dispositivo e da junção entre fonte e canal, conforme representado pela Figura 37.

Figura 37: Região onde portadores são gerados em um *point* TFET.

Fonte: Autor.

A Figura 38, por sua vez, ilustra graficamente o efeito das cargas fixas no potencial eletrostático ao longo da altura do canal e na taxa de geração de portadores de banda para banda justamente nessa região, próximo à junção entre canal e fonte.

Figura 38: Potencial eletrostático e geração de portadores de banda para banda simulados considerando cargas fixas nas interfaces entre óxido e silício.

Fonte: Autor.

Como pode ser observado na simulação da Figura 38, as cargas fixas no óxido reduzem o valor absoluto do potencial eletrostático ao longo da altura do canal. O potencial de superfície na altura de 65 nm, onde se localiza a primeira interface do dispositivo, atua diretamente na redução da geração de portadores de banda para banda próximo à junção entre fonte e canal. A redução do potencial eletrostático absoluto da primeira interface de 1,51 V para 1,47 V se reflete em uma redução de 25% no valor da taxa máxima de geração de portadores de banda para banda próximo à junção entre fonte e canal.

Assim sendo, pode-se facilmente correlacionar as cargas positivas geradas pela incidência da radiação nos isolantes dos dispositivos com a redução da corrente de dreno nesses transistores, considerando a influência das cargas fixas no potencial de superfície. A redução deste potencial na primeira interface entre óxido e silício desloca para baixo as bandas de energia na região abaixo da porta, reduzindo a sobreposição entre as bandas de condução do dreno e de valência do canal em um pTFET, consequentemente, reduzindo a taxa de geração de portadores por tunelamento entre bandas. Logo, a pequena redução da corrente de dreno observada (dezenas de pA) é totalmente compatível com o deslocamento observado das bandas de energia na região do canal.

Se considerarmos agora, o lado oposto à primeira interface, a 0 nm de altura de canal (base da aleta) conforme proposto pela Figura 38, pode-se notar uma redução mais substancial do

potencial eletrostático na segunda interface do dispositivo. Há duas razões principais para que isso ocorra: nesta região, há uma menor influência do campo elétrico vertical proveniente da porta do transistor, assim, as cargas fixas presentes no óxido enterrado têm maior influência sobre o potencial na segunda interface; além disso, o maior número de cargas fixas acumuladas devido à irradiação se localizam no espesso óxido enterrado. Posto isso, como pode ser visto na Figura 39, há um deslocamento mais pronunciado das bandas de energia na região do canal do dispositivo na segunda interface do que o que pode ser observado na primeira interface, quando cargas fixas são simuladas em ambas as regiões.

Figura 39: Diagrama de bandas de energia ao longo da segunda interface do dispositivo simulado.

Fonte: Autor.

É possível se notar que a mesma densidade de cargas fixas no óxido que praticamente não altera as bandas de energia na primeira interface do transistor, desenvolve um papel importante no deslocamento das bandas de energia próximo à segunda interface. Mesmo que as condições de polarização da segunda interface não sejam suficientes para se criar uma sobreposição entre as bandas de valência e condução próximo à junção entre canal e dreno, em tese, o deslocamento apresentado pelas bandas de energia é suficiente para promover o mecanismo de tunelamento assistido por armadilhas TAT, mandatório em tais condições. Como resultado, o dispositivo passa a conduzir uma pequena corrente pela segunda interface.

Extrapolando as simulações e considerando uma densidade de cargas fixas positivas nos óxidos 10 vezes maior do que a simulada anteriormente, os efeitos analisados até então se tornam facilmente observáveis, como pode ser observado na Figura 40.

Figura 40: Simulação do digrama de bandas na primeira e segunda interfaces para $Q_{ox} = 5 \times 10^{12} \text{ cm}^{-2}$.

Fonte: Autor.

Olhando para o diagrama de bandas de energia da primeira interface do transistor, é possível notar que o aumento das cargas fixas positivas, principalmente no óxido enterrado, devido à irradiação, atua no sentido de reduzir ainda mais a região de sobreposição das bandas de energia na junção entre fonte e canal. Uma barreira de potencial menos estreita, por sua vez, diminui também a probabilidade de tunelamento de elétrons da banda de valência do canal para a banda de condução da fonte, reduzindo assim, a corrente de estado ligado do transistor, regida pelo mecanismo BTBT.

Além disso, percebe-se ainda maior influência no diagrama de bandas da interface entre o canal e o óxido enterrado (segunda interface), provocando a sobreposição entre bandas na junção entre canal e dreno e gerando uma corrente de tunelamento pela segunda interface do dispositivo, desta vez, claramente devido a BTBT (ao contrário do que foi observado na simulação anterior onde TAT era o mecanismo promovido).

No entanto, diferentemente do que ocorre em dispositivos MOS, a condução de corrente pela segunda interface de um TFET é responsável por reduzir a corrente principal do dispositivo, dividindo-a, uma vez que o nível da corrente de dreno é dependente da área total da junção (AGOPIAN et al., 2013b).

Condição equivalente à geração de cargas positivas na segunda interface do transistor devido aos efeitos cumulativos da radiação pode ser obtida ao se aplicar uma tensão positiva no contato

de substrato do dispositivo SOI. Pelas mesmas razões aqui expostas, polarizar positivamente o substrato dos pTFETs causa, também, uma redução da corrente de dreno, semelhante à observada nas curvas de saída de pTFETs irradiados (AGOPIAN et al., 2013b).

Seguindo com a análise dos dados experimentais, percebe-se que um comportamento semelhante foi apresentado pelo transistor de 250 nm de comprimento de canal, conforme ilustrado pela Figura 41.

Figura 41: Correntes de porta e de dreno em função da tensão de dreno para um dispositivo pTFET de $W_{FIN} = 1 \mu m$ e $L = 250 nm$.

Fonte: Autor.

Neste gráfico também é possível se observar a já esperada redução da corrente de dreno. Esta redução de cerca de 8%, no entanto, é menor que a apresentada pelo dispositivo de 150 nm de comprimento de canal.

Como o comportamento das correntes de dreno e porta são apresentados para tensões de dreno de 0 a -1,5 V, é possível se observar que, para tensões de dreno acima de -0,28 V, a corrente presente no contato de dreno é proveniente da porta do dispositivo, deixando claro o motivo pelo qual ambas possuem o mesmo valor em $V_D = 0$. Nestes dispositivos com grande área e pequena espessura do óxido de porta, isso acontece sempre que o valor absoluto da tensão de porta é, comparativamente, maior que o valor absoluto da tensão de dreno. Com o aumento gradativo da tensão de dreno, a corrente de porta reduz drasticamente.

Além da redução da corrente de estado ligado e da relação entre corrente de dreno e corrente de porta para tensões de dreno próximas a zero, um outro propósito da Figura 41 é também verificar se 1 Mrad(Si) de radiação de prótons é capaz de danificar visivelmente o óxido de porta. Entretanto, como a corrente de porta do dispositivo permanece inalterada após a irradiação, está claro que as mudanças observadas na corrente de dreno dos transistores não ocorrem devido à degradação do óxido de porta durante a irradiação.

Finalmente, a curva de saída do terceiro dispositivo analisado nesta etapa é apresentada na Figura 42, que contém o comportamento da corrente de dreno do dispositivo de comprimento de canal de 1 μm , antes e após 1 Mrad(Si) de radiação de prótons de 600 keV.

Figura 42: Corrente de dreno em função da tensão de dreno para um pTFET com W_{FIN} e L igual a 1 μm , antes e após 1 Mrad(Si) de radiação.

Fonte: Autor.

Comparando os três dispositivos analisados após 1 Mrad(Si) é possível notar que a tensão para a qual a corrente de dreno sobrepõem a corrente de porta se torna maior, em valores absolutos, com o aumento do comprimento do canal. Isso ocorre porque, para uma mesma largura de aleta, a área do óxido de porta e, conseqüentemente, a corrente de porta são diretamente proporcionais ao aumento do comprimento do canal. Para o dispositivo pTFET de $W_{\text{FIN}} = 1 \mu\text{m}$, por exemplo, a corrente de dreno somente se sobrepõem à corrente de porta para tensões de dreno abaixo de -0,4 V.

Como esperado, a redução da corrente de dreno após a irradiação acontece mais uma vez. No entanto, a Figura 42 também deixa clara uma relação entre a redução da corrente de dreno provocada pelos efeitos de dose acumulada e o comprimento do canal de dispositivos pTFET, mostrando que no dispositivo mais longo analisado, a irradiação praticamente não teve efeito.

A partir dos dados coletados para os transistores até então analisados foi construída a Tabela 5, explicitando a redução da influência da irradiação em função do comprimento de canal dos dispositivos estudados, para duas diferentes condições de polarização. Nela pode-se perceber a aparente resistência aos efeitos de dose ionizante total apresentada pelo dispositivo de canal mais longo.

Tabela 5: Redução média da corrente de dreno de dispositivos pTFET irradiados com 1 Mrad(Si).

Comprimento de canal (μm)	$V_{GS} = -1,5 \text{ V}$	$V_{GS} = -1,8 \text{ V}$
0,15	9,8%	6,9%
0,25	8,1%	4,5%
1,0	2,1%	1,1%

Fonte: Autor.

Em contraste com dispositivos MOSFET, uma das maiores características dos dispositivos *point* TFET é que, em teoria, o comprimento do canal do transistor não tem influência considerável sobre sua corrente de dreno, isso para os casos nos quais o comprimento de canal é maior que o comprimento de tunelamento dos portadores ou grande o suficiente para que o dispositivo não sofra de DIBT (*Drain Induced Barrier Thinning* - estreitamento de barreira induzido pela tensão de dreno) (MARTINO; MARTINO; AGOPIAN, 2014), ambas situações não aplicáveis aos dispositivos analisados neste trabalho.

Ao se avaliar a geração de cargas armadilhadas nos óxidos em consequência ao efeito TID, percebe-se que um dispositivo de maiores dimensões possui mais cargas positivas acumuladas. No entanto, a carga por unidade de área é a mesma em todos os dispositivos, independentemente do comprimento do canal do transistor. Logo, o resultado esperado era que a irradiação causasse a todos os transistores com largura de aleta de 1 μm um efeito semelhante, o que claramente não foi observado.

Este resultado pode ser entendido se considerarmos o impacto do comprimento de canal na corrente de dreno dos dispositivos TFET, explicado em detalhes na seção 6.1, onde foi demonstrado que a resistência de canal, proporcional ao seu comprimento, reduz levemente a corrente de estado ligado do dispositivo. O tunelamento direto da fonte para o dreno pode correr somente

em TFETs de canal muito curto. Em dispositivos mais longos, a resistência do canal do dispositivo pode ter um efeito sobre o tunelamento.

Baseando-se nestes princípios, pode-se sugerir que a corrente parasita que surge na segunda interface do dispositivo, causada pelas cargas acumuladas no óxido enterrado devido à irradiação, é minimizada pela resistência do canal do transistor. Em linhas gerais, a influência da resistência do canal existe independentemente se a corrente na segunda interface do dispositivo é devido a TAT, a BTBT ou a ambos os mecanismos. Isso significa que a maior resistência de canal presente em dispositivos TFET mais longos se opõe ao surgimento da corrente de tunelamento na interface entre canal e óxido enterrado, evitando a divisão e, consequentemente, a redução da corrente de dreno principal destes transistores devido à irradiação.

De maneira geral, ocorre uma competição entre os efeitos de divisão da corrente de dreno e do aumento da resistência de canal em dispositivos mais longos. O aumento da resistência de canal reduz a corrente da segunda interface presente nos dispositivos irradiados, fazendo com que a radiação afete menos a característica de saída dos túnel-FETs analisados.

A Tabela 5 também evidencia o efeito do campo elétrico vertical mais intenso decorrente da tensão de porta de -1,8 V. Neste caso, um campo elétrico maior parece suprimir a redução do potencial eletrostático causada pelas cargas fixas positivas presentes no óxido de silício, diminuindo o efeito da radiação nas curvas de saída de todos os dispositivos caracterizados.

6.3 Comportamento de TFETs e MuGFETs em função da dose ionizante total

Os transistores túnel-FET foram sujeitos a sucessivas doses de irradiação, sendo novamente caracterizados após cada etapa. Procedimento semelhante foi aplicado na caracterização dos transistores MOS tridimensionais utilizados nessa pesquisa. Essa metodologia permite que o comportamento de cada dispositivo possa ser observado em função da dose acumulada total e que uma comparação entre eles possa ser feita, tendo como única variável a diferença entre tecnologias, uma vez que ambos possuem as mesmas dimensões e foram fabricados juntos, segundo o mesmo processo.

Usualmente, para extração dos parâmetros básicos dos dispositivos MOS, uma tensão de dreno baixa é recomendada (abaixo de 100 mV) para que estes parâmetros não sofram a in-

fluência do campo elétrico longitudinal decorrente da polarização entre dreno e fonte. No entanto, não é possível polarizar o dreno dos TFETs com uma tensão muito baixa. O efeito da tensão de dreno sobre a curva de transferência de pTFETs pode ser observado na Figura 43.

Figura 43: Curvas de transferência de um pTFET para diferentes tensões de dreno.

Fonte: Autor.

A anomalia visível na curva de transferência para $V_D = -0,1$ V acontece pelo fato de tensão de porta ser muito superior à tensão de dreno nesta região. Nessa situação, surge uma barreira de potencial entre dreno e canal que se opõem à passagem da corrente de dreno.

Nas demais curvas, considerando tensões de dreno mais elevadas, há um aumento da corrente com a tensão de dreno na região na qual BTBT é o mecanismo de condução predominante, com tensões de porta inferiores a $-1,55$ V, sugerindo que o potencial do canal se torna mais dependente de V_D para altos valores de V_G . No entanto, a maior influência da polarização de dreno acontece mesmo sobre a região ambipolar das curvas, fazendo com que a corrente OFF do transistor aumente exponencialmente e deslocando a tensão de início de condução (V_{onset}) para a esquerda, aumentando a tensão de disparo do transistor.

Como previamente explicitado neste trabalho, a exposição de dispositivos aos efeitos de dose ionizante total induz cargas positivas armadilhadas nos óxidos de silício e estados de interface nas interfaces entre óxido e silício. Em dispositivos fabricados em tecnologia SOI mais atual,

sabe-se que as cargas positivas aprisionadas no espesso óxido enterrado têm influência majoritária sobre suas características, uma vez que o óxido de porta destes dispositivos é muito fino, usualmente inferior a 3 nm.

Em dispositivos SOI planares totalmente depletados, as cargas armadilhadas no óxido enterrado podem afetar a condução principal do dispositivo alterando as condições de acoplamento direto entre a primeira e segunda interfaces.

Em dispositivos tridimensionais com múltiplas portas o acoplamento é diferente, pois, além do acoplamento vertical convencional, também surge um segundo efeito de acoplamento, induzido pelas portas laterais. Nestes dispositivos, os efeitos de acoplamento eletrostático são fortemente dependentes da geometria, logo, as cargas aprisionadas no óxido enterrado têm menor influência sobre as condições de condução do transistor (GAILLARDIN et al., 2006).

Posto isso, para um melhor entendimento dos efeitos observados nos transistores, nesta etapa do trabalho, faz-se necessário uma análise também em função da largura da aleta de silício de cada componente.

6.3.1 Transistores com $W_{FIN} = 40$ nm

Iniciando a análise dos transistores irradiados com 40 nm de largura de aleta, a Figura 44 demonstra as curvas de transferência de um pMuGFET com 250 nm de comprimento de canal em função da dose acumulada total. A partir destas curvas, foram extraídos os parâmetros da Tabela 6.

Figura 44: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{\text{FIN}}/L = 40/250$ nm.

Fonte: Autor.

Tabela 6: Parâmetros básicos de um pMuGFET com $W_{\text{FIN}}/L = 40/250$ nm em função da dose acumulada total, para $V_D = -0,1$ V.

Dose (Mrad(Si))	V_{th} (V)	S (mV/déc)
0	-0,5	61,5
1	-0,51	61,6
2	-0,52	60,6
3	-0,51	60,9
5	-0,51	61,2
10	-0,52	61,3

Fonte: Autor.

Observando o gráfico da Figura 44 pode-se notar uma redução da tensão de limiar do dispositivo após a primeira etapa de irradiação. Essa redução fica evidente nos dados extraídos na Tabela 6, onde obtém-se uma variação de 20mV da tensão de limiar do transistor após 10 Mrad(Si) de irradiação. Apesar da alta dose de irradiação a qual o dispositivo foi exposto, os efeitos apresentados não foram significativos, se refletindo também em uma variação mínima inclinação de sublimiar, de menos de 1 mV/déc. Em grande parte, isto pode ser explicado pelo

fato destes dispositivos apresentarem um bom acoplamento entre a porta e o canal do dispositivo, o que resulta em um valor de S muito próximo do limite físico estipulado para a tecnologia MOS de 60 mV/déc à temperatura ambiente. Tal variação pode perfeitamente ser englobada por erros matemáticos provenientes do método de extração. Logo, pode-se salientar a boa resistência aos efeitos cumulativos da radiação apresentada por dispositivos SOI MuGFETs estreitos.

De maneira análoga, a Figura 45 apresenta a curva de transferência em função da dose acumulada para o pTFET com 150 nm de comprimento.

Figura 45: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 40/150$ nm.

Fonte: Autor.

Se, por um lado, o transistor MOS analisado na Figura 44 praticamente não se alterou após sucessivas doses de irradiação, o pTFET apresentado na Figura 45 se mostrou ainda mais resistente. Nenhuma variação no comportamento do pTFET pôde ser observada em cada uma das etapas de irradiação. As variações nos valores mínimos de corrente não podem ser consideradas devido à sua ordem de grandeza (na faixa de centenas de fA), pois se aproximam muito do nível de ruído do equipamento de medidas.

A partir destas curvas, os dados da Tabela 7 foram extraídos. A inclinação de sublimiar, de cerca de 131 mV/déc, não foi alterada com a irradiação, não permitindo que conclusões acerca dos efeitos da radiação ionizante possam ser estabelecidas para pTFETs com $W_{FIN} = 40$ nm.

Tabela 7: Inclinação de sublimiar mínima de um pTFET de porta tripla com $W_{FIN}/L = 40/150$ nm em função da dose acumulada total, para $V_D = -0,9$ V.

Dose (Mrad(Si))	S (mV/déc)
0	131,4
1	129,1
2	132,5
3	131,1
5	131,7
10	133,2

Fonte: Autor.

Logo, é possível se estabelecer que, os transistores com largura da aleta de silício inferior à altura da camada ativa de silício ($W_{FIN} < H_{FIN}$), aqui adotados como os transistores com W_{FIN} igual a 40 nm e H_{FIN} igual a 65 nm, são consideravelmente resistentes aos efeitos cumulativos da radiação. Para o pMuGFET observou-se uma redução da tensão de limiar de apenas 4%, enquanto que, para o pTFET, não foram observadas mudanças quantificáveis após 10 Mrad(Si) de irradiação.

Nestes dispositivos, o potencial eletrostático na região do canal é dominado pelas portas laterais, fazendo com que o acoplamento nesta região seja essencialmente horizontal. Tal condição provoca a atenuação do acoplamento vertical tradicional entre a primeira e a segunda interface dos dispositivos, tornando-os menos suscetíveis aos efeitos causados pelo acúmulo de cargas positivas no óxido enterrado.

6.3.2 Transistores com $W_{FIN} = 250$ nm

O acúmulo de cargas positivas no óxido enterrado de transistores SOI atua na redução da tensão de limiar da segunda interface do dispositivo. Por isso, para melhor evidenciar o impacto cumulativo da radiação de prótons na análise de dispositivos com 250 nm de largura de aleta, a Figura 46 apresenta as curvas $I_D \times V_G$ de um pMuGFET com 130 nm de comprimento de canal. Este dispositivo, por possuir um comprimento de canal inferior à largura da aleta, claramente sofre do efeito de canal curto, manifestado na alta corrente $I_{OFF} = 9,5 \mu A$, na alta inclinação de sublimiar na ordem 850 mV/déc e na inflexão presente na região de sublimiar, ambos devido à condução de corrente pela segunda interface.

Figura 46: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{\text{FIN}}/L = 250/130$ nm.

Fonte: Autor.

Observa-se na Figura 46 que, com o aumento da dose acumulada, a concentração crescente de cargas positivas no óxido enterrado reduz a tensão de limiar na segunda interface do dispositivo, retardando o disparo desta condução parasitária e diminuindo a inclinação de sublimiar e também a corrente de estado desligado. Assim, apesar de este ser um dispositivo não recomendado para utilização em circuitos devido à degradação de suas características causada pelo efeito de canal curto, ele pôde ser utilizado como indicador de que a irradiação estava sendo efetiva em cada etapa.

A Figura 47, por sua vez, visa representar o mesmo comportamento, agora para o dispositivo de 250 nm de comprimento de canal. A partir destas curvas foram extraídos os parâmetros presentes na Tabela 8, onde pode-se averiguar a influência da dose irradiada na transcondutância, tensão de limiar e inclinação de sublimiar do dispositivo.

Figura 47: Curva de transferência em função da dose acumulada total em um pMuGFET com $W_{\text{FIN}}/L = 250/250$ nm.

Fonte: Autor.

Tabela 8: Principais parâmetros de um pMuGFET com $W_{\text{FIN}}/L = 250/250$ nm em função da dose acumulada total, para $V_D = -0,1$ V.

Dose (Mrad(Si))	$g_{m_m\acute{a}x}$ (μS)	V_{th} (V)	S (mV/déc)
0	197,9	-0,56	86,1
1	205,1	-0,61	69,8
2	209,1	-0,64	66,2
3	205,8	-0,63	65,4
5	200,1	-0,64	65,3
10	206,7	-0,65	64,8

Fonte: Autor.

A inclinação de sublimar de 86,1 mV/déc extraída antes da irradiação, atípica para esta tecnologia, sugere que mesmo com o comprimento de canal de 250 nm, esse dispositivo ainda possui uma condução parasitária pela segunda interface. Com o aumento da dose irradiada, essa condução é atenuada, reduzindo a inclinação de sublimar em 24,7% após 10 Mrad(Si).

Assim como nos dispositivos anteriores, uma redução da tensão de limiar também foi observada, podendo chegar a 16% após 10 Mrad(Si). Na realidade, tanto S quanto V_{th} apresentam maior alteração após a primeira etapa de irradiação. Nas etapas subsequentes, a variação desses

parâmetros é inferior a 5%. Essa espécie de saturação dos efeitos da radiação acontece principalmente nos transistores do tipo P, nos quais a inclinação de sublimiar é muito próxima do valor ideal de 60 mV/déc à temperatura ambiente, tornando teoricamente impossível que os parâmetros observados sofram ainda maior influência da dose acumulada. Como consequência da redução de S e V_{th} , observa-se também uma redução de 2 a 3 ordens de grandeza da corrente OFF do transistor, que inicialmente era de 19 pA.

Nessa análise, o valor da transcondutância máxima foi extraído para corroborar a hipótese de redução da condução na segunda interface provocada pelas cargas acumuladas no óxido enterrado. O aumento da transcondutância máxima em $7,2 \mu S$ observado após 1 Mrad(Si) evidencia o maior controle das cargas na região do canal concedido à porta do dispositivo devido à redução da corrente pela segunda interface do transistor. No entanto, justamente devido à condução na segunda interface provocada pelo efeito de canal curto, a transcondutância não pode ser diretamente correlacionada à mobilidade de portadores no canal. Sabe-se que os danos por deslocamento causados pela irradiação aumentam o espalhamento dos portadores em materiais semicondutores, degradando a mobilidade (JOHNSTON, 2010).

A fim de complementar a análise de MuGFETs com W_{FIN} igual a 250 nm, a Figura 48 apresenta o comportamento da curva de transferência de um transistor do tipo N que não sofre de efeito de canal curto, com $1 \mu m$ de comprimento de canal.

Figura 48: Curva de transferência em função da dose acumulada total em um nMuGFET com $W_{FIN}/L = 250/1000$ nm.

Fonte: Autor.

Uma vez que os efeitos de dose ionizante total se manifestam de forma diferente em transistores MOS do tipo N e do tipo P, o que de fato se observa é a degradação gradativa dos parâmetros do nMuGFET, apresentado na Figura 48, com o aumento da dose irradiada. Ao invés da redução da inclinação de sublimiar, apresentada pelos transistores do tipo P, em transistores do tipo N ocorre o aumento desta inclinação. Para o nMuGFET analisado, a inclinação de sublimiar, que antes era de 61,2 mV/déc, aumentou para 82,6 mV/déc após 10 Mrad(Si) ($\approx 35\%$). A razão para isso é o surgimento e aumento da corrente de fuga promovida pela redução da tensão de limiar da segunda interface do transistor, que, por sua vez, foi provocada pelas cargas positivas acumuladas no óxido enterrado. Isso fica claro ao se observar, na Figura 48, o destaque para a tensão de limiar da primeira interface V_{TH1st} de 0,4 V, inalterada após a irradiação, e a tensão de limiar da segunda interface V_{TH2nd} reduzida para 0,03 V após uma dose de 10 Mrad(Si).

Finalmente, a Figura 49 apresenta, desta vez, o comportamento do transistor pTFET de $W_{FIN}/L = 250/250$ nm em função da dose acumulada. Observa-se que, mesmo nestas dimensões, os efeitos de dose ionizante total não são relevantes.

Figura 49: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 250/250$ nm.

Fonte: Autor.

Apesar de todos os resultados observados de transistores MuGFETs com largura de aleta maior que a altura da aleta de silício ($W_{FIN} > H_{FIN}$) devido à perda do acoplamento eletrostático

promovido pelas portas laterais, sendo mais críticos em dispositivos do tipo N, o transistor pTFET analisado apresenta, mais uma vez, uma maior imunidade aos efeitos de dose ionizante total.

Em linhas gerais, MuGFETs do tipo N, com W_{FIN} igual a 250 nm, apresentaram, após 10 Mrad(Si), uma maior degradação devido à irradiação, com aumento de 35% da inclinação de sublimiar e um aumento expressivo da corrente OFF do dispositivo em 4 ordens de grandeza. TFETs de mesma largura de aleta, em contrapartida, não apresentaram mudanças significativas após a dose considerada.

6.3.3 Transistores com $W_{FIN} = 500$ nm

Os SOI pTFETs analisados até o presente momento nesse estudo, com W_{FIN} de 40 nm e 250 nm, mostraram boa resistência à radiação ionizante para doses de até 10 Mrad(Si). Os MuGFETs correspondentes, no entanto, apresentaram efeitos que degradaram as características dos dispositivos, efeitos estes, proporcionais ao aumento da largura da aleta de silício.

A mesma imunidade à irradiação exibida pelos túnel-FETs analisados, entretanto, não foi vista em dispositivos com 500 nm de largura de aleta. As curvas de transferência e seus respectivos parâmetros para diversas doses encontram-se, respectivamente, na Figura 50 e na Tabela 9.

Figura 50: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{FIN}/L = 500/1000$ nm.

Fonte: Autor.

Tabela 9: Principais parâmetros de um pTFET de porta tripla com $W_{FIN}/L = 500/1000$ nm em função da dose acumulada total, para $V_D = -0,9$ V.

Dose (Mrad(Si))	$g_m(V_G = -1,9V)$ (nS)	S (mV/déc)	I_{OFF} (pA)
0	220,2	157,4	1,85
1	219,6	158,5	1,94
2	216,9	159,4	2,02
3	223,3	161,7	2,48
5	225,3	164,9	3,02
10	130,6	202,3	12,5

Fonte: Autor.

Com o aumento de W_{FIN} e a perda da influência das portas laterais, os efeitos da radiação começam a aparecer em TFETs. Mesmo assim estes efeitos só puderam ser visivelmente observados para uma dose acumulada de 10 Mrad(Si). Com esta dose, nota-se na Figura 50 um deslocamento para a esquerda, de 80 mV, de toda a curva de transferência do transistor. Esse deslocamento foi aferido tendo como referência a corrente de dreno correspondente à tensão de porta de -1,9 V do dispositivo antes da irradiação, constatando-se que o mesmo nível de corrente correspondia a uma tensão de porta de -1,98 V após 10 Mrad(Si). Além disso, observa-se

também um aumento da corrente do dispositivo entre as tensões de porta de -1,25 V e -0,65 V, região usualmente dominada por TAT.

O deslocamento da curva de transferência do pTFET pode ser verificado também pela redução abrupta da transcondutância g_m do dispositivo em cerca de 40%. É importante mencionar que o comportamento da transcondutância em função da tensão de porta de TFETs não apresenta um valor máximo a partir do qual a mobilidade dos portadores é degradada por influência do campo elétrico transversal proveniente da porta, como ocorre com transistores MOS. Nos transistores de tunelamento estudados, a transcondutância sempre aumenta exponencialmente com o aumento absoluto da tensão de porta. Assim, para que este parâmetro pudesse ser analisado, neste trabalho foi considerado seu valor para $V_G = -1,9$ V, tensão a partir da qual o mecanismo BTBT será predominante independentemente da temperatura.

A corrente I_{OFF} , aferida em $V_G = 0$, aumenta gradativamente com a dose acumulada, atingindo, na dose de 5 Mrad(Si), um valor 63% acima do seu valor inicial, também relacionado ao aumento de TAT, mas desta vez, na região ambipolar. Para a dose de 10 Mrad(Si), o aumento de I_{OFF} considera não somente o aumento de TAT, mas, principalmente, o deslocamento apresentado pela curva, alcançando um valor quase 7 vezes maior, quando comparado com a corrente de estado desligado registrada pelo dispositivo antes da irradiação. Apesar do evidente aumento da corrente de dreno de estado desligado apresentado pelo dispositivo irradiado, ele não é tão crítico visto que a mesma ordem de grandeza foi mantida.

Observa-se também, com o auxílio da Tabela 9, o aumento sistemático do valor mínimo da inclinação de sublimiar do transistor com a dose acumulada. Mais uma vez, esse valor aumenta pouco até a dose de 5 Mrad(Si), cerca de 5%, quando então, para a dose de 10 Mrad(Si), a inclinação de sublimiar mínima chega a 202,3 mV/déc, 28,5% acima de seu valor inicial.

Ao contrário de dispositivos MOS convencionais, a inclinação de sublimiar em TFETs não é constante, assumindo valores maiores com o aumento da tensão de porta. Nesses dispositivos, o valor ótimo de S será encontrando para valores menores de V_G , logo após BTBT ter se tornado o mecanismo de condução predominante. Assim, presume-se que o aumento de S se deve ao aumento de TAT com a radiação. Isso faz com que o valor de S mínimo seja encontrado para tensões de porta maiores (mais negativas) que, devido à característica inerente da tecnologia, necessariamente será um valor de inclinação de sublimiar pior que o apresentado por dispositivos que sofrem menos da influência de TAT.

A fim de explicar melhor o deslocamento da curva de transferência observado, foram feitas simulações numéricas da influência das cargas fixas geradas nos isolantes do dispositivo estudado. As curvas de transferência simuladas para diferentes concentrações de cargas fixas encontram-se na Figura 51.

Figura 51: Simulação da curva de transferência de um pTFET em função da densidade de cargas fixas positivas no óxido de silício.

Fonte: Autor.

Os pTFETs estudados neste trabalho, possuem um óxido enterrado 50 vezes mais espesso que o óxido de porta, fazendo com que as cargas positivas nele acumuladas pela irradiação sejam as principais contribuintes para a alteração do potencial da região ativa do transistor.

A simulação da influência de cargas positivas no óxido, sob o ponto de vista das curvas de saída do dispositivo, foi feita previamente no capítulo 6.2. Nele conclui-se que as cargas positivas no óxido enterrado atuam de maneira semelhante à polarização positiva do substrato do transistor, diminuindo a sobreposição entre as bandas de valência e condução na junção entre canal e fonte, junto à primeira interface, e promovendo a sobreposição das bandas na junção entre canal e dreno, junto à segunda interface. Estes dois efeitos em conjunto foram reconhecidos como responsáveis pela redução da corrente ON dos dispositivos, observada em suas curvas de saída.

Olhando agora para a influência destes mesmos mecanismos sobre as curvas de transferência na Figura 51, percebe-se que a redução da corrente observada anteriormente, na realidade, se

deve ao deslocamento das curvas provocados pelo aumento da concentração de cargas fixas Q_{ox} . Estes resultados apresentados permitem que o efeito de deslocamento observado na curva experimental da Figura 50 possa ser acertadamente correlacionado com o aumento de cargas fixas no óxido enterrado provocado pela irradiação dos dispositivos com prótons de 600 keV.

A consideração das cargas fixas nos óxidos, próximas às interfaces entre óxido e silício explicam corretamente o deslocamento observado nas curvas de transferência e, consequentemente, a redução da corrente ON observada nas curvas de saída, mas não é capaz de explicar o porquê do aumento de TAT. Para entender melhor esse fenômeno, deve-se considerar o segundo efeito da exposição cumulativa de dielétricos à radiação ionizante, ou seja, a geração de estados de interface nas interfaces Si-SiO₂.

Estados de interface são defeitos gerados na interface entre óxido e semiconductor, capazes de armadilhar elétrons ou lacunas com energia dentro da faixa proibida do material. O tipo de portador armadilhado depende do potencial de superfície. Como explicado no capítulo 2.3.2, são justamente estes defeitos os responsáveis pela corrente referente a TAT em TFETs.

A influência dos estados de interface N_{it} na curva $I_D \times V_G$ de um nTFET com estrutura de nano-fio é ilustrada pela Figura 52.

Figura 52: Curvas $I_D \times V_G$ simuladas em função da densidade de estados de interface.

Fonte: Adaptado de (NEVES et al., 2013).

A Figura 52 esclarece o efeito que o aumento da concentração de estados de interface é capaz de causar sobre a curva de transferência do dispositivo. Percebe-se que para valores de V_{GS}

menores que 1,2 V, o efeito predominante é o aumento de I_{DS} na região de polarização dominada por TAT. Uma vez que, o mecanismo de tunelamento assistido por armadilhas depende da concentração de armadilhas presentes na estrutura do dispositivo, o aumento de TAT pode ser correlacionado ao aumento dos estados de interface causados pela irradiação, degradando ainda mais a inclinação de sublimiar do dispositivo, podendo criar, até mesmo, um patamar de corrente nesta região (NEVES et al., 2013).

Pode-se observar ainda na Figura 52, que para tensões de porta acima de 1,2 V a predominância de BTBT na curva de transferência é atrasada pelo aumento de N_{it} , fazendo com que esta parte da curva $I_D \times V_G$ seja deslocada para a direita. Este efeito simulado pode ser melhor observado experimentalmente através da análise do mesmo dispositivo adotado, com W_{FIN} de 500 nm, mas, desta vez, polarizado como um nTFET (tensão positiva aplicada ao dreno N+ do transistor), descrito na Figura 53.

Figura 53: Curva de transferência em função da dose acumulada total em um nTFET de porta tripla com $W_{FIN}/L = 500/1000$ nm.

Fonte: Autor.

Na curva referente à dose acumulada de 10 Mrad(Si) da Figura 53, pode-se observar o efeito conjunto da influência das cargas fixas no óxido e das armadilhas na interface entre óxido e silício. As cargas fixas no óxido são responsáveis por deslocar toda a curva de transferência do transistor para a esquerda, enquanto os estados de interface são responsáveis pelo aumento da corrente na região de TAT e por deslocar para a direita a região na qual BTBT é predominante

(valores mais altos V_G). A composição dos dois efeitos é responsável por induzir um deslocamento não paralelo da curva de transferência em transistores nTFET irradiados.

Segundo a literatura, em dispositivos que utilizam óxido de háfnio como dielétrico de porta, as armadilhas de interface introduzidas por TID exibem características de cargas positivas. Desse modo, os níveis de energia correspondentes a essas armadilhas se localizam abaixo do nível intrínseco e são mais propensos a capturarem lacunas. Com o aumento de V_G e o canal entrando em regime de inversão forte, a porcentagem de armadilhas de interface que foram preenchidas com lacunas diminui, e o mesmo ocorre com a carga líquida total armadilhada nos estados de interface (DING et al., 2014a). Essa mudança de comportamento dos estados de interface para tensões de porta maiores acaba deslocando a região de BTBT da curva de transferência para a direita, compensando em partes, o deslocamento inicial da curva para a esquerda provocado pelas cargas fixas positivas. Nos pTFETs esse efeito não ocorre, pois, dado que uma tensão negativa é aplicada à porta, mesmo em regime de inversão forte, os estados de interface sempre aprisionarão lacunas e os efeitos das cargas fixas no óxido e dos estados de interface se somarão, resultando no deslocamento da curva de transferência para a esquerda.

6.3.4 Transistores com $W_{FIN} = 1 \mu\text{m}$

Dispositivos tridimensionais apresentam comportamento semelhante a dispositivos planares de porta única quando a largura da aleta de silício é muito maior que a altura da aleta ($W_{FIN} \gg H_{FIN}$). Neste caso, o acoplamento eletrostático na região do canal é majoritariamente vertical, dominado pela parte superior da primeira interface e pela segunda interface do dispositivo.

Os transistores de porta tripla com largura de aleta de $1 \mu\text{m}$, considerados nesta etapa do trabalho, se encaixam nesta categoria. Nestes dispositivos, o controle eletrostático das portas laterais sobre o potencial na região ativa do silício e sobre o óxido enterrado é fraco.

No capítulo 6.3.2 foi visto que os transistores MOS do tipo N apresentam maior degradação de seus parâmetros devido ao acúmulo de cargas positivas no óxido enterrado do que os transistores do tipo P. Para que não reste nenhuma dúvida acerca deste comportamento, a Figura 54 apresenta as curvas de transferência dos transistores pMuGFET e nMuGFET caracterizados, com $10 \mu\text{m}$ de comprimento de canal, em função da dose ionizando acumulada em cada etapa de irradiação.

Figura 54: Curvas de transferência em função da dose acumulada total em dispositivos MuGFETs tipo P e tipo N, com $W_{\text{FIN}}/L = 1/10 \mu\text{m}$.

Fonte: Autor.

Os transistores apresentados na Figura 54 são os maiores dispositivos analisados neste trabalho e, consequentemente, também os que apresentam maior susceptibilidade a TID. Os MuGFETs com comprimento de canal de $10 \mu\text{m}$ foram escolhidos por serem os transistores com $1 \mu\text{m}$ de largura de aleta que menos apresentam efeitos de canal curto, uma vez que em transistores MOS tridimensionais a ocorrência deste efeito está vinculada à relação W_{FIN}/L do dispositivo. Quanto maior esta relação, maior é a influência dos efeitos de canal curto.

De imediato, uma comparação qualitativa das curvas de transferência apresentadas permite consolidar a ideia de maior degradação apresentada por dispositivos tipo N devido aos efeitos da radiação. Destaque deve ser dado para o aumento expressivo da corrente OFF do transistor tipo N após a irradiação, proporcional à dose acumulada. Para que uma análise quantitativa pudesse ser feita, a partir destas curvas foram extraídos os parâmetros da Tabela 10.

Tabela 10: Principais parâmetros de MuGFETs do tipo P e do tipo N, com $W_{\text{FIN}}/L = 1/10 \mu\text{m}$, em função da dose acumulada total, para $|V_D| = 0,1 \text{ V}$.

Dose (Mrad(Si))	pMuGFET			nMuGFET			
	V_{th} (V)	S (mV/déc)	$I_{D(VG=-2V)}$ (μA)	V_{TH1st} (V)	V_{TH2nd} (V)	S (mV/déc)	$I_{D(VG=2V)}$ (μA)
0	-0,58	65,9	10,71	0,37	-	61,5	22,5
1	-0,65	61,1	10,05	0,34	0,1	68,9	25,1
3	-0,68	60,4	9,94	0,33	-0,02	74,1	25,2
5	-0,68	60,9	9,62	0,33	-0,11	81,5	25
10	-0,69	60,8	9,77	0,33	-0,14	92,1	25,4

Fonte: Autor.

Para o pMuGFET, a redução de máxima de 7% da inclinação de sublimiar, acompanhada também de uma redução máxima de 19% da tensão de limiar, após a irradiação, são limitadas pelas boas características já apresentadas pelo dispositivo antes da exposição. Apesar da aparente melhoria do comportamento do dispositivo após a irradiação é importante mencionar que, do ponto de vista de projetos, qualquer alteração não prevista dos parâmetros dos componentes pode provocar falhas no funcionamento de circuitos. Outra consideração a ser feita é acerca da redução observada na corrente de dreno para uma tensão de porta fixa de -2 V. Com o aumento da dose acumulada e a consequente redução da tensão de limiar, a sobretensão de porta também reduz. Mesmo modelos de primeira ordem da corrente de dreno em transistores MOS estabelecem que a corrente de dreno é proporcional à sobretensão de porta, logo, a redução da corrente em 8,8% após 10 Mrad(Si) incididos sobre um transistor tipo P é esperada.

Independente da discussão sobre a melhoria ou não das características de dispositivos tipo P, é evidente, ao se observar a Figura 54, que o transistor nMuGFET sofreu uma maior degradação devido à irradiação. A inclinação de sublimiar do dispositivo talvez seja o parâmetro que mais influência sofreu das cargas positivas acumuladas no óxido enterrado, apresentando um aumento de quase 50% após 10 Mrad(Si). Isso se deve à redução da tensão de limiar na segunda interface do transistor, gerando uma corrente de fuga não controlada pela porta do dispositivo. Neste transistor, a redução máxima da tensão de limiar da primeira interface observada foi de 10,8%. Já a tensão de limiar da segunda interface, que antes da radiação nem podia ser extraída, sendo superior a 0,37 V, após 10 Mrad(Si) apresentou um valor de -0,14 V (redução superior a 100%). Diferentemente da redução de I_D apresentada pelo dispositivo tipo P irradiado, para

uma tensão de porta de 2 V observou-se um aumento da corrente de dreno de 12,9%, desta vez, devido ao aumento da sobretensão de porta após a irradiação.

Para análise da influência da radiação sobre túnel-FETs com 1 μm de largura de aleta, selecionou o dispositivo com 250 nm de comprimento de canal. Esta possibilidade sugere, de imediato, que o comprimento de canal mínimo possível para transistores de tunelamento é inferior ao permitido para transistores MOS.

É importante que seja mencionado que o transistor aqui apresentado possui uma corrente ambipolar mais elevada que o esperado. Este problema, muito provavelmente, é proveniente de falhas ocorridas durante o processo de fabricação do dispositivo. Posto isto, a Figura 55 apresenta a curva de transferência do pTFET com L igual a 250 nm, onde, devido ao problema mencionado, a parte ambipolar da curva foi suprimida para tensões de porta acima de -0,5 V.

Figura 55: Curva de transferência em função da dose acumulada total em um pTFET de porta tripla com $W_{\text{FIN}}/L = 1000/250$ nm.

Fonte: Autor.

Assim como no caso do transistor com W_{FIN} igual a 500 nm, a irradiação do dispositivo apresentado na Figura 55 foi incapaz de apresentar modificações visíveis na curva de transferência para doses acumuladas iguais ou inferiores a 5 Mrad(Si). O efeito das cargas fixas positivas geradas no óxido enterrado e das armadilhas de interface que surgiram nas interfaces entre óxido e silício devido à irradiação se tornou predominante somente após uma dose de

10 Mrad(Si). Desse modo, pode-se assegurar a boa imunidade a altas doses de irradiação apresentada pelos dispositivos TFET, mesmo para o caso de dispositivos largos como os de 500 nm e 1 μm de largura de aleta aqui apresentados.

Para quantificar o boa imunidade à irradiação apresentada por TFETs mais largos, a Tabela 11 contém os valores de transcondutância e inclinação de sublimiar extraídos do dispositivo da Figura 55.

Tabela 11: Principais parâmetros de um pTFET de porta tripla com $W_{FIN}/L = 1000/250$ nm em função da dose acumulada total, para $V_D = -0,9$ V.

Dose (Mrad(Si))	$g_m(V_G = -1,9\text{V})$ (nS)	S (mV/déc)
0	107,8	121,2
1	110,8	122,9
2	103,1	126,4
3	106,2	127,4
5	112,5	128
10	74,5	149,5

Fonte: Autor.

Para o pTFET com W_{FIN} igual a 1 μm apresentado também se observou um deslocamento da curva de transferência para a esquerda, devido à influência das cargas positivas geradas no óxido enterrado. Esse deslocamento de 60 mV, observado somente para a dose de 10 Mrad(Si), no entanto, é menor que o apresentado pelo dispositivo de W_{FIN} igual a 500 nm, devido ao maior valor de V_{onset} observado. Mais uma vez, a influência das cargas fixas também pode ser observada na redução da transcondutância do dispositivo em 31% após 10 Mrad(Si) de irradiação de prótons.

A inclinação de sublimiar também se modificou com a sucessão das doses acumuladas, apresentando um aumento mais evidente de 21,5 mV/déc entre a penúltima e a última etapas de irradiação, quando finalmente atingiu uma variação máxima de 23,3% após 10 Mrad(Si). Como mencionado para o caso do transistor com largura de canal igual a 500 nm, o aumento da inclinação de sublimiar está intimamente correlacionado ao aumento de TAT provocado pelos estados de interface adicionais gerados pela irradiação.

O enriquecimento de TAT devido ao aumento no número de armadilhas de interface também pode ser observado na parte ambipolar das curvas de transferência da Figura 55, entre -1,0 e

-0,5 V de tensão de porta. Percebe-se, nesta região, um aumento gradual da corrente do dispositivo referente a cada uma das etapas de irradiação. Este resultado, no entanto, é melhor utilizado apenas para fins ilustrativos, dado o já mencionado problema de corrente ambipolar elevada apresentado por este dispositivo.

De maneira geral, todos os TFETs analisados neste trabalho apresentaram boa imunidade aos efeitos cumulativos da radiação, principalmente quando comparados com MuGFETs de dimensões equivalentes. Não foram observados efeitos relevantes no comportamento de TFETs para doses de até 5 Mrad(Si). Somente na última etapa de irradiação, quando a dose acumulada atingiu 10 Mrad(Si), é que foi possível se analisar os efeitos que surgiram nas curvas de transferência de dispositivos de W_{FIN} igual a 500 nm e 1 μ m.

Para os MuGFETs, em contrapartida, a boa resistência à irradiação só se manifestou em dispositivos estreitos, com 40 nm de largura de aleta, devido ao efeito do acoplamento eletrostático horizontal proveniente das portas laterais. Com o aumento da largura do canal e a predominância do acoplamento eletrostático vertical, os MuGFETs analisados apresentaram grande variação e degradação de seus parâmetros, sendo essas mais críticas em dispositivos do tipo N.

Os resultados aqui estabelecidos mostraram claramente a maior robustez à TID apresentada por TFETs, quando comparados com transistores MOS. A diferença entre a degradação sofrida por estas duas tecnologias é devida ao perfil de concentração de cargas fixas ao longo óxido enterrado induzido pela forma particular na qual dreno e fonte são dopados em TFETs. Nos transistores de tunelamento as cargas fixas tendem a se acumular principalmente na interface entre a região P+ do dispositivo e o óxido enterrado, ao invés de se distribuírem ao longo da interface entre óxido enterrado e canal, como acontece em dispositivos MOS (DING et al., 2014a) (DING et al., 2014b). Assim, apesar de estruturas SOI tornarem os dispositivos nela baseados mais sujeitos aos efeitos cumulativos da radiação ionizante, túnel-FETs SOI apresentam boa robustez aos efeitos de TID.

Para consolidar os resultados alcançados nesta pesquisa, a Tabela 12 apresenta um quadro comparativo da variação dos principais parâmetros de TFETs e MuGFETs de canal largo nas condições de 5 Mrad(Si) e 10 Mrad(Si) de dose acumulada, em relação aos valores extraídos antes da irradiação.

Tabela 12: Quadro comparativo da variação causada pelos efeitos de TID nos principais parâmetros de TFETs e MuGFETs com 1 μm de largura da aleta, em duas condições de dose acumulada total.

	5 Mrad(Si)		10 Mrad(Si)	
	MuGFET	TFET	MuGFET	TFET
ΔS (mV/déc)	20 (32,5%)	6,8 (5,6%)	30,6 (49,8%)	28,3 (23,3%)
$\Delta V_{th} / \Delta V_{ON}$ (mV)	100 (17,2%)	4,34 (0,2%)	110 (19%)	60 (3,2%)
$\Delta I_{VG=1,9V}$ (A)	2,5 μ (11,1%)	100p (0,6%)	2,9 μ (12,9%)	5,7n (36,8%)
ΔI_{OFF} (A)	514n (10^5 x)	1,17p (63%)	568n (10^5 x)	10,6p (6,7 x)

Fonte: Autor.

Como transistores MuGFET tipo P e tipo N se comportam de forma diferente em relação aos efeitos de TID, para exposição na Tabela 12 foi considerado o pior caso entre eles, usualmente, o transistor tipo N. Túnel-FETs, em contrapartida, sejam tipo P ou tipo N, apresentaram comportamento muito semelhante após a irradiação. Em todos os casos transistores de tunelamento apresentam menor variação de suas características depois de irradiados. A única exceção observada é para a corrente de dreno após 10 Mrad(Si), devido ao deslocamento da curva de transferência provocado pelas cargas fixas geradas no óxido enterrado pela irradiação.

7 Conclusões

No processo de expansão dos meios de comunicação, conhecimento e dos horizontes do homem, a utilização de dispositivos eletrônicos em ambientes nos quais eles estarão sujeitos à radiação ionizante se torna mais comum a cada dia, tendo essa se tornado, reconhecidamente, uma área de pesquisa estratégica.

Somado a isso, a contínua evolução e inovação tecnológicas requisitadas pelo mercado, e fornecidas pela indústria, carregam consigo a inerente necessidade do entendimento sobre a influência dos efeitos da radiação em novas tecnologias.

Frente a esses desafios, esse projeto trabalhou no sentido de compreender o comportamento dos transistores de tunelamento induzido por efeito de campo quando expostos a ambientes com altos índices de radiação. Transistores TFET se destacam por proporem êxito em aspectos nos quais a tecnologia MOS convencional encontrou sua limitação física, como o valor mínimo possível de ser alcançado pela inclinação de sublimiar inferior a 60 mV/déc e o escalamento das tensões de alimentação e de limiar, permitindo o projeto de circuitos que operem na faixa dos 0,5 V.

Neste projeto, foram estudados os principais mecanismos envolvidos na condução de corrente em túnel-FETs, cada um assumindo maior predominância dependendo das condições de polarização do dispositivo, com destaque para o BTBT, o grande responsável pela geração de corrente de estado ligado do transistor e pela promessa de se alcançar inclinações de sublimiar inferior a 60 mV/déc à temperatura ambiente.

Os três principais efeitos da radiação ionizante em dispositivos eletrônicos foram sumarizados. No entanto, uma atenção especial foi dada aos efeitos devido à dose acumulada total, que serviram de base para o embasamento teórico e proposição de hipóteses que explicassem as mudanças observadas no comportamento dos dispositivos irradiados, uma vez que o modo como a pesquisa foi configurada anulava ou minimizava a ocorrência de efeitos transitórios da radiação ou danos por descolamento.

Foram caracterizados dispositivos TFETs e MuGFETs de porta tripla, ambos fabricados sobre lâmina SOI seguindo o mesmo processo de produção, com larguras de aleta entre 40 nm e 1 μ m e comprimentos de canal entre 150 nm e 10 μ m. A partir da observação do comportamento das curvas de transferência dos túnel-FETs com aleta estreita em função do comprimento de canal foi possível constatar que, apesar do comprimento do canal do dispositivo não afetar diretamente a corrente de dreno segundo modelos propostos, o aumento da resistência do canal

com o aumento de L de 150 nm para 10 μm é responsável por reduzir a corrente do dispositivo em até 45%.

Depois de caracterizados, os dispositivos foram irradiados por uma fonte de prótons de 600 keV de energia até que a dose acumulada na região sensível dos transistores atingisse 1 Mrad(Si). Depois de irradiados, a lâmina foi novamente caracterizada e os dispositivos que apresentaram os resultados mais evidentes para a dose utilizada foram comparados com os resultados registrados antes da radiação.

A caracterização dos TFETs após a primeira etapa de irradiação foi fundamental para o entendimento dos principais mecanismos envolvidos no processo. Observou-se, através da análise das curvas de saída dos dispositivos com 1 μm largura de aleta, uma redução do patamar de corrente ON de até 10%. Foi comprovado através de simulações que a redução de corrente observada é decorrente do acúmulo de cargas fixas positivas no óxido enterrado do dispositivo, cargas estas geradas pela irradiação. O aumento da concentração de cargas fixas na interface entre óxido enterrado e canal altera o potencial de superfície da primeira interface do dispositivo, devido ao forte acoplamento eletrostático entre estas duas regiões, diminuindo a sobreposição entre as bandas de energia na junção entre fonte e canal e, conseqüentemente, a probabilidade de transmissão de portadores através da barreira de potencial pelo tunelamento entre bandas. As cargas fixas presentes na segunda interface do dispositivo alteram também o potencial de superfície nesta região, causando o surgimento de uma pequena corrente de TAT gerada pelo tunelamento de portadores na junção entre canal e dreno. Esta condução parasitária divide a corrente de dreno principal, fazendo que a corrente resultante em dispositivos irradiados seja menor que a observada antes da irradiação. Assim, a composição destes dois efeitos é tida como a responsável pela redução da corrente de dreno.

Além disso, foi visto que, uma explicação sobre as razões pelas quais os efeitos de TID são suprimidos em dispositivos de canal mais longos, deve também considerar o efeito da resistência do canal do dispositivo. Essa resistência inibe a condução de corrente pela segunda interface, minimizando a divisão da corrente de dreno e, conseqüentemente, a redução do nível de corrente de estado ligado observada após a irradiação, permitindo que a diferença entre a corrente de dreno em dispositivos irradiados e não irradiados de canal mais longos seja apenas de 1%, dependendo da tensão aplicada à porta do dispositivo.

Com foco em um estudo mais abrangente, os transistores foram expostos à radiação de prótons de 600 keV até que uma dose total de 10 Mrad(Si) fosse acumulada. Após cada etapa de irradiação e decorrido o tempo necessário para que a estrutura dos dispositivos alcançasse uma

condição mais estável, toda a lâmina foi caracterizada, permitindo assim a observação do comportamento dos dispositivos em função da dose acumulada.

Dado o protagonismo que os dispositivos SOI MOSFET de múltiplas portas assumem no contexto da microeletrônica atual, é inevitável a comparação entre os já conhecidos efeitos da irradiação nestes dispositivos e os observados em SOI TFETs de porta tripla de maneira pioneira neste trabalho. Isso foi possível graças a possibilidade de caracterização de ambas as tecnologias, presentes na lâmina de silício utilizada, com dispositivos de dimensões semelhantes, sujeitas às mesmas condições de irradiação.

Quando comparados com a tecnologia corrente de transistores SOI MOSFETs de múltiplas portas sob a óptica de aplicações digitais, TFETs baseados exclusivamente em silício são muito inferiores por causa de sua baixa corrente de estado ligado, na ordem de nA, e de sua alta inclinação de sublimiar, em alguns casos, superior a 200 mV/déc. No entanto, sob o ponto de vista do ganho intrínseco de tensão, TFETs se tornam interessantes devido à sua condutância de saída g_d quase ideal (AGOPIAN et al., 2013a) (AGOPIAN et al., 2015). Com o andamento do projeto e a exposição sucessiva dos dispositivos à irradiação, outras vantagens dos túnel-FETs sobre os MuGFETs surgiram.

Em transistores de múltiplas portas, a largura da aleta de silício e, consequentemente, o sentido de acoplamento eletrostático presente na região do canal dos dispositivos, desempenham papéis fundamentais na definição da vulnerabilidade do componente aos efeitos de TID. Assim sendo, a análise dos efeitos da irradiação teve por princípio sua normatização em função da largura de aleta dos dispositivos.

Tanto os TFETs quanto os MuGFETs com 40 nm de largura de aleta apresentaram uma boa resistência aos efeitos de TID. Transistores MuGFET apresentaram uma variação mínima da tensão de limiar, de apenas 4%, enquanto que os TFETs não exibiram mudanças quantificáveis após 10 Mrad(Si) de irradiação. Esta imunidade apresentada por ambas as tecnologias se deve, em grande parte, à estreita largura de aleta dos transistores. Quando $W_{FIN} < H_{FIN}$, o acoplamento eletrostático na região do canal é definido majoritariamente pelas portas laterais, fazendo que seu sentido seja horizontal e diminuindo a influência das cargas fixas e armadilhas de interface geradas no óxido enterrado sobre o potencial do canal do dispositivo.

Com o aumento da largura de aleta para 250 nm, as portas laterais perdem um pouco da influência sobre o controle das cargas na região do canal. Como resultado, percebe-se o aumento da ocorrência dos efeitos de canal curto nos transistores MuGFET, enquanto que, nos *point* TFETs, isso não é um problema. Isso mostra a capacidade que transistores de tunelamento possuem de permitir comprimentos de canal menores que MuGFETs, uma vez que a razão de

aspecto W_{FIN}/L nesses transistores não tem relação direta com o efeito de canal curto. Comprimentos de canal menores permitem uma economia de área de silício para implementação dos circuitos, vantagem essa que se contrabalança com o fato de transistores TFET não serem simétricos, não permitindo que seus terminais de fonte e dreno sejam intercambiáveis e criando um fator de complexidade adicional na etapa de leiaute dos circuitos.

Quanto à irradiação de MuGFETs com 250 nm de largura de aleta, os efeitos causados por TID em dispositivos com tal dimensão foi evidente. Os transistores do tipo N foram os mais degradados após 10 Mrad(Si), apresentando uma variação da inclinação de sublimiar de 35% e o surgimento de uma corrente de fuga devido à redução da tensão de limiar da segunda interface, corrente essa responsável por elevar I_{OFF} em 4 ordens de grandeza. Os TFETs, por sua vez, novamente não apresentaram variações quantificáveis em seu comportamento.

Os dispositivos com W_{FIN} igual a 500 nm e 1 μm , por possuírem uma largura de aleta muito maior que a altura do canal ($W_{FIN} \gg H_{FIN}$), funcionam de maneira muito similar a dispositivos planares de uma única porta. Nestes dispositivos a influência das portas laterais é praticamente inexistente e o acoplamento eletrostático na região do canal é essencialmente vertical, fazendo com que as cargas positivas e os estados de interface acumulados no óxido enterrado devido à irradiação alterem diretamente o potencial na região ativa do dispositivo. Transistores MuGFET de canal N foram, mais uma vez, os dispositivos desta tecnologia que mostraram maior susceptibilidade à TID. Neles, após 10 Mrad(Si) de dose acumulada, houve uma variação de 50% da inclinação de sublimiar e de mais de 100% da tensão de limiar, determinada por V_{th} da segunda interface do dispositivo, além de uma variação da corrente de dreno de 12,9%

Nos transistores TFET com canal largo, surpreendentemente, não foram observadas modificações críticas de sua curva de transferência para doses inferiores a 5 Mrad(Si). Somente para a dose de 10 Mrad(Si) é que houve uma alteração visível da corrente de dreno em função da tensão de porta. Para esta dose, observou-se um deslocamento resultante da curva de transferência para a esquerda, deslocamento este que variou de 60 a 80 mV, dependendo do dispositivo. Simulações permitiram que esse deslocamento fosse atribuído às cargas fixas positivas geradas no óxido enterrado do transistor por irradiação, resultando em uma redução da transcondutância de até 40%. Outro efeito importante foi o aumento da corrente do dispositivo na região da curva de transferência usualmente dominada por TAT. Este efeito já tinha sido observado na literatura e se deve ao aumento dos estados de interface gerados pela irradiação. Uma vez que, por definição, o mecanismo TAT está fortemente vinculado às armadilhas de interface presentes na estrutura do dispositivo, o aumento destas armadilhas acarreta no aumento de TAT e no aumento da inclinação de sublimiar mínima do transistor em 23,3%.

Estados de interface gerados pela irradiação, no entanto, não atuam somente na região da curva de transferência dominada por TAT. Em dispositivos nTFET, quando as tensões de porta são mais elevadas e o canal do transistor entra em regime de inversão forte, a porcentagem de armadilhas de interface que foram preenchidas por lacunas diminui, diminuindo também o valor resultante das cargas de interface e, conseqüentemente, o deslocamento da curva de transferência da região de BTBT.

Apesar dos TFETs estudados apresentarem uma alta corrente OFF devido ao efeito ambipolar, ainda foi possível notar um aumento de 7 vezes desta corrente após 10 Mrad(Si), referente à composição dos dois efeitos observados - deslocamento da curva de transferência e aumento de TAT.

Em um cenário onde o desenvolvimento de circuitos integrados está cada vez mais voltado para aplicações pautadas em baixo consumo de energia e alta velocidade de processamento, o aumento de I_{OFF} , nas proporções apresentadas por ambas as tecnologias, compromete a autonomia de funcionamento de sistemas alimentados à bateria.

A redução da transcondutância, observada em pTFETs irradiados com altas doses, diminuiria também o ganho intrínseco de tensão do transistor, influenciando aplicações nas quais essa figura de mérito é importante para o projeto dos circuitos, como, por exemplo, aplicações analógicas. Em aplicações digitais a redução da corrente de dreno, promovida pelo deslocamento da curva de transferência, pode acarretar no aumento do tempo de carga das capacitâncias dos circuitos, sem mencionar o comprometimento da performance e eficiência dos circuitos causado pelo aumento da inclinação de sublimiar.

Apesar disso, os TFETs analisados neste trabalho apresentaram uma imunidade aos efeitos de dose ionizante total superior aos MuGFETs. A razão para tal se deve ao perfil de concentração de cargas fixas ao longo óxido enterrado induzido pela forma particular na qual dreno e fonte são dopados em TFETs. Assim, túnel-FETs SOI apresentam boa robustez aos efeitos de TID, apesar de estruturas SOI tornarem os dispositivos nela baseados mais sujeitos aos efeitos cumulativos da radiação ionizante.

Em aplicações sujeitas a altas doses de radiação, transistores tridimensionais estreitos, com forte acoplamento eletrostático promovido pelas portas laterais são mais indicados. No entanto, essa pesquisa elucidou que, caso se faça necessário o uso de dispositivos planares ou de canal muito largo, túnel-FETs são os dispositivos mais aconselhados. É claro que transistores de tunelamento são recentes e ainda estão em desenvolvimento. Há uma série de problemas que

estão sendo analisados pela comunidade científica a fim de melhorar a performance destes dispositivos. Quando, finalmente, estes problemas forem resolvidos, certamente TFETs se tornarão dispositivos referência no quesito de imunidade à radiação ionizante.

Para que seja dada continuidade no estudo sobre os efeitos da radiação em túnel-FETs, sugere-se, como trabalhos futuros, o estudo sobre a influência dos efeitos transitórios da radiação em transistores de tunelamento mais recentes, com novos materiais e estruturas, nos quais os principais problemas dos TFETs baseados exclusivamente em silício já tenham sido solucionados. Para que se tenha resultados com um alto grau de confiabilidade, a pesquisa deve ser baseada em normas internacionais de qualificação e testes de dispositivos eletrônicos sujeitos à radiação ionizante.

8 Publicações geradas

Publicações em congressos

H.L.F. Torres, J.A. Martino, P.G.D. Agopian, R. Rooyackers, A. Vandooren, E. Simoen and C. Claeys, “Channel Length Influence on a Self-aligned Triple Gate SOI Tunnel FET”. **XII Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC**, 2017, São Paulo.

H.L.F. Torres, J.A. Martino, P.G.D. Agopian, R. Rooyackers, A. Vandooren, E. Simoen and C. Claeys, “Proton radiation effects on the self-aligned triple gate SOI p-type Tunnel FET output characteristic”. **Proceedings of 32nd Symposium on Microelectronics Technology and Devices – SBMicro**, 2017, Fortaleza.

Publicações submetidas em periódicos

H.L.F. Torres, J.A. Martino, P.G.D. Agopian, R. Rooyackers, E. Simoen and C. Claeys, “Total ionizing dose influence on proton irradiated triple gate SOI Tunnel FETs”. **Journal of Integrated Circuits and Systems - JICS**, 2018.

9 Referências bibliográficas

AGOPIAN, P. G. DER et al. Temperature impact on the tunnel fet off-state current components. **Solid-State Electronics**, v. 78, p. 141–146, 2012a.

AGOPIAN, P. G. DER et al. Experimental comparison between trigate p-TFET and p-FinFET analog performance as a function of temperature. **IEEE Transactions on Electron Devices**, v. 60, n. 8, p. 2493–2497, 2013a.

AGOPIAN, P. G. D. et al. Experimental analog performance of pTFETs as a function of temperature. **Proceedings - IEEE International SOI Conference**, p. 1–2, 2012b.

AGOPIAN, P. G. D. et al. **Back bias influence on analog performance of pTFET**. 2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). **Anais...**Monterey: IEEE, 30 out. 2013bDisponível em: <<http://aip.scitation.org/doi/10.1063/1.2757593>>

AGOPIAN, P. G. D. et al. Influence of the source composition on the analog performance parameters of vertical nanowire-TFETs. **IEEE Transactions on Electron Devices**, v. 62, n. 1, p. 16–22, 2015.

AGUIRRE, F. R. **Estudo sobre distribuição de cargas em semicondutores sujeitos a radiação ionizante**. São Paulo: Instituto de Física, Universidade de São Paulo, 2017.

ANDERSON, C. **Makers: The New Industrial Revolution**. 1. ed. New York: Crown Business, 2014.

ANTHONY, S. **IBM unveils world's first 5nm chip**. Disponível em: <<https://arstechnica.com/gadgets/2017/06/ibm-5nm-chip/>>. Acesso em: 11 jul. 2017.

BACCHINI, A. et al. Total ionizing dose effects on DRAM data retention time. **IEEE Transactions on Nuclear Science**, v. 61, n. 6, p. 3690–3693, 2014.

BERNSTEIN, K. et al. Device and architecture outlook for beyond CMOS switches. **Proceedings of the IEEE**, v. 98, n. 12, p. 2169–2184, 2010.

BROWN, W. L.; GABBE, J. D.; ROSENZWEIG, W. Results of the Telstar Radiation Experiments. **Bell System Technical Journal**, v. 42, n. 4, p. 1505–1559, 1963.

CAPARROZ, L. F. V. et al. Proton radiation influence on SOI FinFET trade-off between transistor efficiency and unit gain frequency. **SBMicro 2016 - 31st Symposium on Microelectronics Technology and Devices: Chip on the Mountains, co-located 29th SBCCI - Circuits and Systems Design, 6th WCAS - IC Design Cases, 1st INSCIT - Electronic Instrumentation and 16th SForum - Undergraduate-Stude**, n. 1c, p. 3–6, 2016.

CENTRO UNIVERSITÁRIO DA FEI. Laboratório inaugurado na FEI colocará o Brasil em novo patamar na indústria espacial. **Domínio FEI**, v. 28, n. 3, p. 18–19, set. 2016.

CLAEYS, C.; SIMOEN, E. **Radiation Effects in Advanced Semiconductor Materials and Devices**. 1st. ed. [s.l.] Springer US, 2002.

CLARKE, P. **Tunnel FETs to Save Power by 2017, Says Toshiba**. Disponível em: <<http://electronics360.globalspec.com/article/4544/tunnel-fets-to-save-power-by-2017-says-toshiba>>. Acesso em: 15 maio. 2016.

COLINGE, J.-P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. New York: Springer US, 2004.

COLINGE, J.-P.; COLINGE, C. A. **Physics of Semiconductor Devices**. 1. ed. [s.l.] Kluwer Academic Publishers, 2002.

DING, L. et al. Total ionizing dose effects in si-based tunnel FETs. **IEEE Transactions on Nuclear Science**, v. 61, n. 6, p. 2874–2880, 2014a.

DING, L. et al. **Effects of bias on the radiation responses of Si-based TFETs**. ICSICT. **Anais...Guilin**: 2014b

DUZELLIER, S. Radiation effects on electronic devices in space. **Aerospace Science and Technology**, v. 9, n. 1, p. 93–99, 2005.

EISBERG, R.; RESNICK, R. **Física Quântica - Átomos, Moléculas, Sólidos, Núcleos e Partículas**. 1. ed. Rio de Janeiro: Elsevier Ltd, 1979.

FACCIO, F. Design Hardening Methodologies for ASICs. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Eds.). **Radiation Effects on Embedded Systems**. [s.l.] Springer US, 2007. p. 143–160.

FERAIN, I.; COLINGE, C. A.; COLINGE, J. P. Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors. **Nature**, v. 479, n. 7373, p. 310–316, 2011.

FORÇA AÉREA BRASILEIRA. **Satélite brasileiro será utilizado para inclusão digital e defesa**. Disponível em: <[http://www.fab.mil.br/noticias/mostra/30025/SATÉLITE](http://www.fab.mil.br/noticias/mostra/30025/SATÉLITE%20BRASILEIRO)
BRASILEIRO - Satélite brasileiro será utilizado para inclusão digital e defesa>. Acesso em: 2 jul. 2017.

GAILLARDIN, M. et al. Total ionizing dose effects on triple-gate FETs. **IEEE Transactions on Nuclear Science**, v. 53, n. 6, p. 3158–3165, 2006.

GANUSHKINA, N. Y. et al. Locations of boundaries of outer and inner radiation belts as observed by Cluster and Double Star. **Journal of Geophysical Research: Space Physics**, v. 116, n. 9, p. 1–18, 2011.

GARTNER. **Gartner Says 8.4 Billion Connected “Things” Will Be in Use in 2017, Up 31 Percent From 2016**. Disponível em: <<http://www.gartner.com/newsroom/id/3598917>>. Acesso em: 25 maio. 2017.

GLENN F. KNOLL. **Radiation Detection and Measurement**. 3rd. ed. [s.l.] John Wiley & Sons, Inc., 1999.

HARBOE-SORENSEN, R.; MULLER, R.; FRAENKEL, S. Heavy ion, proton and Co-60 radiation evaluation of 16 Mbit DRAM memories for space application. **Radiation Effects Data Workshop, 1995, NSREC '95 Workshop Record., 1995 IEEE**, p. 42–49, 1995.

HEER, C.; SCHLICHTMANN, U. Ultra Low-Power Design: Device and Logic Design Approaches. In: MACII, E. (Ed.). . **Ultra Low-Power Electronics and Design**. 1. ed. Dordrecht: Kluwer Academic Publishers, 2004. p. 1–20.

HEMANJANEYULU, K.; SHRIVASTAVA, M. Fin-Enabled-Area-Scaled Tunnel FET. **IEEE Transactions on Electron Devices**, v. 62, n. 10, p. 3184–3191, 2015.

HERRMANN, M. Radiation Effects in DRAMs. In: BAGATIN, M.; GERARDIN, S. (Eds.). . **Ionizing Radiation Effects in Electronics - From Memories to Imagers**. 1st. ed. New York: CRC Press, 2015. p. 77–95.

HOLMES-SIEDLE, A.; ADAMS, L. **Handbook of Radiation Effects**. 2nd. ed. [s.l.] Oxford University Press, 2002.

HRAZIIA et al. An analysis on the ambipolar current in Si double-gate tunnel FETs. **Solid-State Electronics**, v. 70, p. 67–72, 2012.

HURKX, G. A. M.; KLAASSEN, D. B. M.; KNUVERS, M. P. G. A New Recombination Model for Device Simulation Including Tunneling. **IEEE Transactions on Electron Devices**, v. 39, n. 2, p. 331–338, 1992.

IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, v. 479, n. 7373, p. 329–37, 2011.

JOHNSTON, A. **Reliability and Radiation Effects in Compound Semiconductors**. Singapore: World Scientific Publishing Co. Pte. Ltd., 2010.

KAZIOR, T. E. Beyond CMOS: heterogeneous integration of III-V devices, RF MEMS and other dissimilar materials/devices with Si CMOS to create intelligent microsystems. **Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences**, v. 372, n. 2012, p. 20130105–20130105, 2014.

LAMFI. **O que é o LAMFI**. Disponível em: <<http://www2.if.usp.br/~lamfi/Hist.htm>>. Acesso em: 8 ago. 2016.

LAPEDUS, M. **Tunnel FETs Emerge In Scaling Race**. Disponível em:

<<http://semiengineering.com/tunnel-fets-emerge-scaling-race/>>. Acesso em: 26 jul. 2016.

LEE, J. Bulk FinFETs: Design at 14 nm Node and Key Characteristics. In: KYUNG, C.-M. (Ed.). **Nano Devices and Circuit Techniques for Low-Energy Applications and Energy Harvesting**. 1. ed. [s.l.] Springer Netherlands, 2016. p. 33–64.

LEONELLI, D. et al. Performance enhancement in multi gate tunneling field effect transistors by scaling the fin-width. **Japanese Journal of Applied Physics**, v. 49, n. 4 PART 2, 2010.

MAGALHÃES, R. A. **Estudo dos efeitos transitórios da radiação sobre a confiabilidade de transistores SOI**. São Bernardo do Campo: Centro Universitário da FEI, 2013.

MARTINO, M. D. V; MARTINO, J. A.; AGOPIAN, P. G. D. Drain induced barrier thinning on TFETs with different source/drain engineering. **2014 29th Symposium on Microelectronics Technology and Devices: Chip in Aracaju, SBMicro 2014**, p. 9–12, 2014.

MCWHORTER, P. J.; WINOKUR, P. S.; PASTOREK, R. A. Donor acceptor nature of radiation-induced interface traps. **IEEE Trans. Nucl. Sci.**, v. 35, n. December, p. 1154–1159, 1988.

MORITA, Y. et al. Performance limit of parallel electric field tunnel FET and improvement by modified gate and channel configurations. **European Solid-State Device Research Conference**, n. c, p. 45–48, 2013.

NENNI, D. **TSMC Design Platforms Driving Next-Gen Applications**. Disponível em: <<https://www.semiwiki.com/forum/content/6635-tsmc-design-platforms-driving-next-gen-applications.html>>. Acesso em: 13 mar. 2017.

NEVES, F. S. et al. **Influence of interface trap density on vertical NW-TFETs with different source composition**. **EUROSOL. Anais...**2013

NVIDIA. **NVIDIA Tesla P100**. Disponível em: <<http://www.nvidia.com.br/object/tesla-p100-br.html>>. Acesso em: 15 jun. 2017.

OLDHAM, T. R.; MCLEAN, F. B. Total Ionizing Dose Effects in MOS Oxides and Devices. **IEEE Transactions on Nuclear Science**, v. 50, n. 3, p. 483–499, 2003.

PACKAN, P. **Short Course**. Washington: IEDM, 2007.

QUALCOMM. **Qualcomm Snapdragon 835 Mobile Platform to Power Next-Generation Immersive Experiences**. Disponível em: <<https://www.qualcomm.com/news/releases/2017/01/03/qualcomm-snapdragon-835-mobile-platform-power-next-generation-immersive>>. Acesso em: 13 fev. 2017.

REDDICK, W. M.; AMARATUNGA, G. A. J. Silicon surface tunnel transistor. **Applied Physics Letters**, v. 67, p. 494, 1995.

SAH, C. T.; NOYCE, R. N.; SHOCKLEY, W. Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics. **Proceedings of the IRE**, v. 45, n. 9, p. 1228–1243, 1957.

SAKS, N. S.; ANCONA, M. G.; MODULO, J. A. Radiation Effects in MOS Capacitors with Very Thin Oxides at 80degK. **IEEE Transactions on Nuclear Science**, v. 31, n. 6, p. 1249–1255, 1984.

SAKS, N. S.; ANCONA, M. G.; MODULO, J. A. Generation of interface states by ionizing radiation in very thin MOS oxides. **IEEE Transactions on Nuclear Science**, v. 33, n. 6, p. 1185–1190, 1986.

SANDOW, C. et al. Impact of electrostatics and doping concentration on the performance of silicon tunnel field-effect transistors. **Solid-State Electronics**, v. 53, n. 10, p. 1126–1129, 2009.

SCHENK, A. Rigorous theory and simplified model of the band-to-band tunneling in silicon. **Solid State Electronics**, v. 36, n. 1, p. 19–34, 1993.

SCHWAB, K. **The Fourth Industrial Revolution: what it means, how to respond**. Disponível em: <<https://www.weforum.org/agenda/2016/01/the-fourth-industrial-revolution-what-it-means-and-how-to-respond/>>. Acesso em: 21 maio. 2017.

SCHWANK, J. R.; SHANEYFELT, M. R.; DODD, P. E. Radiation hardness assurance testing of microelectronic devices and integrated circuits: Test guideline for proton and heavy ion single-event effects. **IEEE Transactions on Nuclear Science**, v. 60, n. 3, p. 2101–2118, 2013.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

SELBERHERR, S. MOS Device Modeling at 77 K. **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464–1474, 1989.

SEMICONDUCTOR INDUSTRY ASSOCIATION. **Global Semiconductor Sales Increase 22.6 Percent Year-to-Year in May**. Disponível em: <<http://www.prnewswire.com/news-releases/global-semiconductor-sales-increase-226-percent-year-to-year-in-may-300483013.html>>. Acesso em: 20 jul. 2017.

SHAW, D. C.; SWIFT, G. M.; JOHNSTON, A. H. Radiation evaluation of an advanced 64 Mb 3.3 V DRAM and insights into the effects of scaling on radiation hardness. **IEEE Transactions on Nuclear Science**, v. 42, n. 6, p. 1674–1680, 1995.

SHRIVASTAVA, M.; RAO, V. R. Tunnel Field Effect Transistors: Past, Present and Future. **Electron Devices Society Newsletter**, v. 23, n. 3, p. 1–8, 2016.

SIMOEN, E. et al. Radiation effects in advanced multiple gate and silicon-on-insulator transistors. **IEEE Transactions on Nuclear Science**, v. 60, n. 3, p. 1970–1991, 2013.

SIVIERI, V. DE B. **Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio**. São Paulo: Escola Politécnica, Universidade de São Paulo, 2016.

SR-NIEL. **Generalized Messenger-Spratt Equation for Gain Degradation of Bipolar Transistors**. Disponível em: <<http://srnielhandbook.altervista.org/niel-and-minority-carrier-lifetime/16-physics/9-generalized-messenger-spratt-equation-for-gain-degradation-of-bipolar-transistors>>. Acesso em: 15 set. 2017.

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. Review of displacement damage effects in silicon devices. **IEEE Transactions on Nuclear Science**, v. 50, n. 3, p. 653–670, 2003.

STASSINOPOULOS, E. G.; RAYMOND, J. P. The space radiation environment for electronics. **Proceedings of the IEEE**, v. 76, n. 11, p. 1423–1442, 1988.

SYNOPSYS. **Sentaurus Device User Guide**Synopsys, , 2016.

TEXAS-INSTRUMENTS. **Multi-Chip Packages**National Semiconductor Corporation. Texas: [s.n.].

TORRES, H. **MEMS - Sistemas Microeletromecânicos**. Disponível em: <<https://www.embarcados.com.br/mems/>>. Acesso em: 5 maio. 2017.

TRIVEDI, A. R.; AMIR, M. F.; MUKHOPADHYAY, S. Ultra-low power electronics with Si/Ge tunnel FET. **Design, Automation & Test in Europe Conference & Exhibition (DATE), 2014**, p. 1–6, 2014.

VANDENBERGHE, W. G. et al. Analytical model for point and line tunneling in a tunnel field-effect transistor. **International Conference on Simulation of Semiconductor Processes and Devices, SISPAD**, v. i, n. 3, p. 137–140, 2008.

VANDOOREN, A. et al. Analysis of trap-assisted tunneling in vertical Si homo-junction and SiGe hetero-junction Tunnel-FETs. **Solid-State Electronics**, v. 83, p. 50–55, 2013.

VERHULST, A. S. et al. Modeling the single-gate, double-gate, and gate-all-around tunnel field-effect transistor. **Journal of Applied Physics**, v. 107, n. 2, 2010.

WEBB, D. F.; ALLEN, J. H. Spacecraft and Ground Anomalies Related to the October - November 2003 Solar Activity. **Space Weather**, v. 2, n. S03008, p. 1–5, 1 mar. 2004.

WONG, H.-S. P.; CHAN, K. K.; TAUR, Y. Self-aligned (top and bottom) double-gate

MOSFET with a 25 nm thick silicon channel. **International Electron Devices Meeting. IEDM Technical Digest**, p. 427–430, 1997.

ZIEGLER, J. F. et al. IBM experiments in soft fails in computer electronics (1978-1994). **IBM Journal of Research and Development**, v. 40, n. 1, p. 3–18, 1996.

ZIEGLER, J. F.; ZIEGLER, M. D.; BIRSACK, J. P. SRIM - The stopping and range of ions in matter (2010). **Nuclear Instruments and Methods in Physics Research, Section B: Beam Interactions with Materials and Atoms**, v. 268, n. 11–12, p. 1818–1823, 2010.

Apêndices

Apêndice A: Estrutura dos dispositivos e definição da grade de simulação	127
Apêndice B: Curvas de transferência considerando cargas e armadilhas no óxido	133
Apêndice C: Curvas de saída considerando cargas e armadilhas no óxido	137

Apêndice A: Estrutura dos dispositivos e definição da grade de simulação

```

; =====
; sentarus 2016 device description script
; author: Henrique Lanza Faria Torres
; device: SOI tripple gate P-type point tunnel FET
; date: 2018, January 27th
; =====

(define meshingStrategy 3)

;-----
; Reinitializing SDE
(sde:clear)
(sdegeo:set-auto-region-naming OFF)

;-----
; GUI configuration
(sde:set-menubar-font-size 15)

;-----
; Setting parameters
; - lateral
(define L @Lch@) ; [um] channel length
(define SDL 0.05) ; [um] source/drain length
; - layers
(define Hfin 65.0e-3) ; [um] fin heigth
(define tbox 150.0e-3) ; [um] buried oxide thickness
(define eot 1.2e-3) ; [um] equivalent oxide thickness
; - doping concentrations
(define channelConcentration 5e15) ; [cm-3]
(define sourceConcentration 1e20) ; [cm-3]
(define drainConcentration 1e20) ; [cm-3]

; - Meshing windows
(if (= meshingStrategy 3)
  (begin
    (define channelOverlap 20e-3) ;30 [um]
    (define sourceOverlap 10e-3) ;20 [um]
    (define channelSuperOverlap 5e-3) ; [um]
    (define sourceSuperOverlap 2e-3) ;5 [um]
    (define gateOverlap 5e-3) ; [um]
  )
)

;-----
; Derived dimensions
(define Ltot (+ L (* SDL 2.0))) ; [um] total length

(define Xgate (/ L 2.0))
(define Xmax (* 1.0 (/ Ltot 2.0)))

(define Zgate (+ eot Hfin))

```

```

;-----
; Creating buried oxide layer
(sdegeo:create-rectangle
  (position (* Xmax -1.0) 0.0 0.0 )
  (position Xmax (* tbox -1.0) 0.0 )
  "SiO2" "box" )

; Creating gate oxide region
(sdegeo:create-rectangle
  (position (* Xgate -1.0) 0.0 0.0 )
  (position Xgate Zgate 0.0 )
  "SiO2" "gox" )

; Creating channel region
(sdegeo:create-rectangle
  (position (* Xgate -1.0) 0.0 0.0 )
  (position Xgate Hfin 0.0 )
  "Silicon" "channel" )

; Creating source region
(sdegeo:create-rectangle
  (position Xgate 0.0 0.0 )
  (position (+ Xgate SDL) Hfin 0.0 )
  "Silicon" "source" )

; Creating drain region
(sdegeo:create-rectangle
  (position (* Xgate -1.0) 0.0 0.0 )
  (position (* (+ Xgate SDL) -1.0) Hfin 0.0 )
  "Silicon" "drain" )

;-----
; Contact declarations
;source green
(sdegeo:define-contact-set "sourceContact"
  4.0 (color:rgb 0.0 1.0 0.0 ) "==" )

;drain red
(sdegeo:define-contact-set "drainContact"
  4.0 (color:rgb 1.0 0.0 0.0 ) "||" )

;gate blue
(sdegeo:define-contact-set "gateContact"
  4.0 (color:rgb 0.0 0.0 1.0 ) "##" )

;substrate white
(sdegeo:define-contact-set "substrateContact"
  4.0 (color:rgb 1.0 1.0 1.0 ) "<><>" )

;-----
; Contact settings
(sdegeo:define-2d-contact
  (find-edge-id (position (+ SDL Xgate) (* Hfin 0.5) 0.0))
  "sourceContact" )

(sdegeo:define-2d-contact
  (find-edge-id (position (- (* SDL -1.0) Xgate) (* Hfin 0.5) 0.0))
  "drainContact" )

```



```

(sdegeo:define-2d-contact
  (find-edge-id (position 0.0 Zgate 0.0))
  "gateContact" )

(sdegeo:define-2d-contact
  (find-edge-id (position 0.0 (* tbox -1.0) 0.0))
  "substrateContact" )

;-----
;-----
;Defining Constant Doping Levels in Regions
; - Channel
(sdedr:define-constant-profile "constantChannel"
  "BoronActiveConcentration" channelConcentration )
(sdedr:define-constant-profile-region "place.constantChannel"
  "constantChannel" "channel" )

; - Source N-Type
(sdedr:define-constant-profile "constantSource"
  "ArsenicActiveConcentration" sourceConcentration )
(sdedr:define-constant-profile-region "place.constantSource"
  "constantSource" "source" )

; - Drain P-Type
(sdedr:define-constant-profile "constantDrain"
  "BoronActiveConcentration" drainConcentration )
(sdedr:define-constant-profile-region "place.constantDrain"
  "constantDrain" "drain" )

;-----
;-----
; Meshing Strategy

(if (= meshingStrategy 3) ;
  (begin

    ; - Channel Mesh
    (sdedr:define-refinement-size "channelMeshDefinition"
      (* L 0.3) (* Hfin 0.7)
      (* L 0.03) (* Hfin 0.07) )
    (sdedr:define-refinement-region "channelMeshPlacement"
      "channelMeshDefinition" "channel" )

    ; - Source Mesh
    (sdedr:define-refinement-size "sourceMeshDefinition"
      (* SDL 1) (* Hfin 0.7)
      (* SDL 0.1) (* Hfin 0.07) )
    (sdedr:define-refinement-region "sourceMeshPlacement"
      "sourceMeshDefinition" "source" )

    ; - Drain Mesh
    (sdedr:define-refinement-size "drainMeshDefinition"
      (* SDL 1) (* Hfin 0.7)
      (* SDL 0.1) (* Hfin 0.07) )
    (sdedr:define-refinement-region "drainMeshPlacement"
      "drainMeshDefinition" "drain" )

    ; - Gate Oxide
    (sdedr:define-refinement-size "goxMeshDefinition"
      (* L 0.3) (* Hfin 0.7)

```

```

    (* L 0.03)    (* Hfin 0.07) )
(sdedr:define-refinement-region "goxMeshPlacement"
 "goxMeshDefinition" "gox" )

; - Buried Oxide Refinement
(sdedr:define-refinement-size "boxMeshDefinition"
 (* L 0.3)    (* tbox 0.3)
 (* L 0.03)   (* tbox 0.03) )
(sdedr:define-refinement-region "boxMeshPlacement"
 "boxMeshDefinition" "box" )

; - Source-channel Interface refinement
; Creating window at source side (20nm)
(sdedr:define-refinement-window "sourceChannelWindow"
 "Rectangle" (position Xgate 0.0 0.0)
              (position (+ Xgate sourceOverlap) Zgate 0.0) )

; Creating window at channel side (30nm)
(sdedr:define-refinement-window "channelSourceWindow"
 "Rectangle" (position Xgate 0.0 0.0)
              (position (- Xgate channelOverlap) Zgate 0.0) )

; Definition of mesh spacing at source side
(sdedr:define-refinement-size "sourceChannelDefinition"
 0.01 0.01 ; max element size
 0.001 0.001 ) ; min element size

; Definition of mesh spacing at channel side
(sdedr:define-refinement-size "channelSourceDefinition"
 0.01 0.01 ; max element size
 0.001 0.001 ) ; min element size

; Mesh-window association at source side
(sdedr:define-refinement-placement "sourceChannelPlacement"
 "sourceChannelDefinition" "sourceChannelWindow" )

; Mesh-window association at channel side
(sdedr:define-refinement-placement "channelSourcePlacement"
 "channelSourceDefinition" "channelSourceWindow" )

; - Source-channel Interface super refinement
; Creating window at source side (5nm)
(sdedr:define-refinement-window "sourceChannelSuperWindow"
 "Rectangle" (position Xgate 0.0 0.0)
              (position (+ Xgate sourceSuperOverlap) Zgate 0.0) )

; Creating window at channel side (5nm)
(sdedr:define-refinement-window "channelSourceSuperWindow"
 "Rectangle" (position Xgate 0.0 0.0)
              (position (- Xgate channelSuperOverlap) Zgate 0.0) )

; Definition of mesh spacing at source side
(sdedr:define-refinement-size "sourceChannelSuperDefinition"
 0.001 0.001 ; max element size
 0.0001 0.0001 ) ; min element size

; Definition of mesh spacing at channel side

```

```

(sdedr:define-refinement-size "channelSourceSuperDefinition"
  0.001 0.001 ; max element size
  0.00002 0.00002 ) ; min element size

; Mesh-window association at source side
(sdedr:define-refinement-placement "sourceChannelSuperPlacement"
  "sourceChannelSuperDefinition" "sourceChannelSuperWindow" )

; Mesh-window association at channel side
(sdedr:define-refinement-placement "channelSourceSuperPlacement"
  "channelSourceSuperDefinition" "channelSourceSuperWindow" )

; - Drain-channel Interface refinement
; Creating window at drain side (20nm)
(sdedr:define-refinement-window "drainChannelWindow"
  "Rectangle" (position (* Xgate -1.0) 0.0 0.0)
  (position (- (* Xgate -1.0) sourceOverlap) Zgate 0.0) )

; Creating window at channel side (30nm)
(sdedr:define-refinement-window "channelDrainWindow"
  "Rectangle" (position (* Xgate -1.0) 0.0 0.0)
  (position (+ (* Xgate -1.0) channelOverlap) Zgate 0.0) )

; Definition of mesh spacing at drain side
(sdedr:define-refinement-size "drainChannelDefinition"
  0.01 0.01 ; max element size
  0.001 0.001 ) ; min element size

; Definition of mesh spacing at channel side
(sdedr:define-refinement-size "channelDrainDefinition"
  0.01 0.01 ; max element size
  0.001 0.001 ) ; min element size

; Mesh-window association at drain side
(sdedr:define-refinement-placement "drainChannelPlacement"
  "drainChannelDefinition" "drainChannelWindow" )

; Mesh-window association at channel side
(sdedr:define-refinement-placement "channelDrainPlacement"
  "channelDrainDefinition" "channelDrainWindow" )

; - Drain-channel Interface super refinement
; Creating window at source side (5nm)
(sdedr:define-refinement-window "drainChannelSuperWindow"
  "Rectangle" (position (* Xgate -1.0) 0.0
0.0)
  (position (- (* Xgate -1.0) sourceSuperOverlap) Zgate 0.0)
)

; Creating window at channel side (5nm)
(sdedr:define-refinement-window "channelDrainSuperWindow"
  "Rectangle" (position (* Xgate -1.0) 0.0
0.0)
  (position (+ (* Xgate -1.0) channelSuperOverlap) Zgate 0.0)
)

```

```

; Definition of mesh spacing at drain side
(sdedr:define-refinement-size "drainChannelSuperDefinition"
  0.001 0.001      ; max element size
  0.0001 0.0001   ) ; min element size

; Definition of mesh spacing at channel side
(sdedr:define-refinement-size "channelDrainSuperDefinition"
  0.001 0.001      ; max element size
  0.00002 0.00002 ) ; min element size

; Mesh-window association at source side
(sdedr:define-refinement-placement "drainChannelSuperPlacement"
  "drainChannelSuperDefinition" "drainChannelSuperWindow" )

; Mesh-window association at channel side
(sdedr:define-refinement-placement "channelDrainSuperPlacement"
  "channelDrainSuperDefinition" "channelDrainSuperWindow" )

; - Top and bottom gate refinement
; Creating window at bottom gate (5nm)
(sdedr:define-refinement-window "bottomGateWindow"
  "Rectangle" (position Xgate (* eot -1.0) 0.0)
              (position (* Xgate -1.0) gateOverlap 0.0) )

; Creating window at top gate (5nm)
(sdedr:define-refinement-window "topGateWindow"
  "Rectangle" (position Xgate Zgate 0.0)
              (position (* Xgate -1.0) (- Zgate gateOverlap) 0.0) )

; Definition of mesh spacing
(sdedr:define-refinement-size "bottomGateDefinition"
  (* L 0.006) 0.001      ; max element size
  (* L 0.0006) 0.0001   ) ; min element size

(sdedr:define-refinement-size "topGateDefinition"
  (* L 0.006) 0.001      ; max element size
  (* L 0.0006) 0.0001   ) ; min element size

; Mesh-window association
(sdedr:define-refinement-placement "topGatePlacement"
  "topGateDefinition" "topGateWindow" )

(sdedr:define-refinement-placement "bottomGatePlacement"
  "bottomGateDefinition" "bottomGateWindow" )

)

;-----
; Meshing the device structure
(sde:build-mesh "-a" "n@node@")

```

Apêndice B: Curvas de transferência considerando cargas e armadilhas no óxido

```

* =====
* sentarus 2016 device simulation script
* author: Henrique Lanza Faria Torres
* device: SOI tripple gate P-type point tunnel FET
* date: 2018, March 14th
* IDxVG com cargas e armadilhas
* =====

* -----
---
File
{
  * Input Files
  Grid      = "@tdr@"
  *-Conditional inclusion of code:
  #if [string compare @conductionMechanism@ "BTBT"] == 0
    Parameter = "parameters_BTBT.par" * @parameter@ look for sdevice.par
file
  #elif [string compare @conductionMechanism@ "TAT"] == 0
    Parameter = "parameters_TAT.par"
  #elif [string compare @conductionMechanism@ "SRH"] == 0
    Parameter = "parameters_SRH.par"
  #endif

  * Output Files
  Current = "@plot@"
  Plot    = "@tdrdat@"
  Output  = "@log@"
  trappedcarplotfile = "n@node@_trap"
}

* -----
---
* The electrical device contacts are declared in the Electrode
* section together with the initial boundary conditions (bias)
* and other optional specifications.
Electrode
{
  { Name="substrateContact" Voltage=0 }
  { Name="sourceContact"     Voltage=0 }
  { Name="drainContact"      Voltage=0 }
  { Name="gateContact"       Voltage=0   Workfunction=4.68 }
}

* -----
---
* you declare the physical models to be used in the simulation
Physics
{
  Temperature = 300
  Fermi
  eMultivalley(NonParabolicity)
  hMultivalley(NonParabolicity)
  EffectiveIntrinsicDensity(NoBandGapNarrowing)

  #if [string compare @conductionMechanism@ "BTBT"] == 0

```

```

    Recombination(Band2Band(Model=NonlocalPath1-InterfaceReflection-
FranzDispersion))
    #elif [string compare @conductionMechanism@ "TAT"] == 0
        Recombination(SRH(NonlocalPath(Lifetime = Schenk TwoBand Fermi) Temp-
Dependence))
    #elif [string compare @conductionMechanism@ "SRH"] == 0
        Recombination(SRH(Dopingdependence))
    #endif
}

* ===== radiacao =====
* simulacao de cargas fixas e armadilhas na interface entre silicio e
oxido de silicio
Physics (MaterialInterface="Silicon/SiO2")
{
    Charge (conc=1e+12) * valor maximo simulado 1e13
    Traps(
        (hneutral Uniform fromValBand Conc=1e13 EnergyMid=0 EnergySig=1.125
eXsection=1e-10 hXsection=1e-8)
        (eneutral Uniform fromCondBand Conc=1e13 EnergyMid=0 EnergySig=1.125
eXsection=1e-8 hXsection=1e-10)
    )
}

* ===== fim da radiacao =====

* -----
---
* specifies the variables to be saved in the Plot file
Plot
{
    EffectiveBandgap
    eDensity hDensity
    eCurrent hCurrent
    TotalCurrent TotalCurrentDensity
    SRHrecombination
    eSRHrecombination hSRHrecombination tSRHrecombination
    TotalRecombination
    Potential
    ElectricField/Vector
    eBarrierTunneling hBarrierTunneling
    Band2BandGeneration
    eBand2BandGeneration hBand2BandGeneration
    eQuasiFermi hQuasiFermi
    ConductionBand ValenceBand
    Doping DonorConcentration AcceptorConcentration
    BandGap
    BandGapNarrowing
    EffectiveBandGap
    SemiconductorGradValenceBand/Vector
    DielectricConstant
    ElectronAffinity
    SpaceCharge

* ===== radiacao =====
    eTrappedCharge hTrappedCharge
    eInterfaceTrappedCharge hInterfaceTrappedCharge
    TotalTrapConcentration TotalInterfaceTrapConcentration
    eGapStatesRecombination hGapStatesRecombination
* ===== fim da radiacao =====

```

```

}

* -----
---
* controls the simulator numerics
Math
{
  NumberOfThreads = maximum
  Extrapolate
  RelErrControl
  Currentweighting
  Iterations = 30
  NotDamped = 50
  RhsFactor = 1e25
  Wallclock * records the elapsed time between the launch of the Sentaurus
Device job and its completion
  *ExitOnFailure * Terminate the simulation as soon as a Solve command
fails.
  TrapDLN=70

  #if [string compare @conductionMechanism@ "TAT"] == 0
    DensityIntegral(250) *set 150 for T<100 to avoid convergence issues
    NoSRHperPotential
    Digits = 7 * default: 5
    *ExtendedPrecision
    *ErrRef(electron) = 1.e10 * (default)
    *ErrRef(hole) = 1.e10 * (default)
    Method = Blocked
    SubMethod = Pardiso
  #else
    DensityIntegral(100) * default: 30, good compromise between accuracy of
the integration and CPU time
    Digits = 5 * default: 5
  #endif
}

* -----
---
CurrentPlot
{
  #if [string compare @conductionMechanism@ "BTBT"] == 0
    eBand2BandGeneration(Integrate(Everywhere))
    hBand2BandGeneration(Integrate(Everywhere))
  #elif [string compare @conductionMechanism@ "TAT"] == 0
    tSRHRecombination(Integrate(Everywhere))
  #elif [string compare @conductionMechanism@ "SRH"] == 0
    SRHRecombination(Integrate(Everywhere))
    *eSRHRecombination(Integrate(Everywhere))
    *hSRHRecombination(Integrate(Everywhere))
  #endif
}

TrappedCarDistrPlot {
  MaterialInterface="Silicon/SiO2" {(0.0 0.0) (0.0 0.065)}
}

* -----
---
Solve
{

```

```

* consists of a series of simulation commands to be performed
* that are activated sequentially

*initial solution:
* calcular as equações uma por vez evita problemas de convergencia
Coupled(Iterations=50) { Poisson }
Coupled { Poisson Electron }
Coupled { Poisson Electron Hole }

* Calculo do passo de simulacao: <passoDesejado[V]/range[V]>

* Bias drain to target bias:
Quasistationary(
  InitialStep=@<0.1/(-@VCC@)>@ Increment=1.2 Decrement=2
  MinStep=@<0.001/(-@VCC@)>@ MaxStep=@<0.1/(-@VCC@)>@
  Goal { Name="drainContact" Voltage=@VCC@ }
){ Coupled {Poisson Electron Hole} }

* Gate voltage sweep
*Quasistationary(
* InitialStep=@<0.01/0.5>@ Increment=2 Decrement=2
* MinStep=@<0.001/0.5>@ MaxStep=@<0.1/0.5>@
* Goal { Name="gateContact" Voltage=0.5}
*){ Coupled {Poisson Electron Hole} }

* Gate voltage sweep
Quasistationary(
  InitialStep=@<0.01/(2.5+0.0)>@ Increment=1.2 Decrement=2
  MinStep=@<0.0001/(2.5+0.0)>@ MaxStep=@<0.1/(2.5+0.0)>@
  #if [string compare @conductionMechanism@ "BTBT"] == 0
    Goal { Name="gateContact" Voltage=-2.5}
  #else
    Goal { Name="gateContact" Voltage=-2.0}
  #endif
){ Coupled {Poisson Electron Hole} }
}

```


Apêndice C: Curvas de saída considerando cargas e armadilhas no óxido

```

* =====
* sentarus 2016 device simulation script
* author: Henrique Lanza Faria Torres
* device: SOI tripple gate P-type point tunnel FET
* date: 2018, March 14th
* IDxVD com cargas e armadilhas
* =====

* -----
---
File
{
  * Input Files
  Grid      = "@tdr@"
  *-Conditional inclusion of code:
  #if [string compare @conductionMechanism@ "BTBT"] == 0
    Parameter = "parameters_BTBT.par" * @parameter@ look for sdevice.par
file
  #elif [string compare @conductionMechanism@ "TAT"] == 0
    Parameter = "parameters_TAT.par"
  #elif [string compare @conductionMechanism@ "SRH"] == 0
    Parameter = "parameters_SRH.par"
  #endif

  * Output Files
  Current = "@plot@"
  Plot    = "@tdrdat@"
  Output  = "@log@"
  trappedcarplotfile = "n@node@_trap"
}

* -----
---
* The electrical device contacts are declared in the Electrode
* section together with the initial boundary conditions (bias)
* and other optional specifications.
Electrode
{
  { Name="substrateContact" Voltage=0 }
  { Name="sourceContact"     Voltage=0 }
  { Name="drainContact"      Voltage=0 }
  { Name="gateContact"       Voltage=0   Workfunction=4.68 }
}

* -----
---
* you declare the physical models to be used in the simulation
Physics
{
  Temperature = 300
  Fermi
  eMultivalley(NonParabolicity)
  hMultivalley(NonParabolicity)
  EffectiveIntrinsicDensity(NoBandGapNarrowing)

  #if [string compare @conductionMechanism@ "BTBT"] == 0

```

```

    Recombination(Band2Band(Model=NonlocalPath1-InterfaceReflection-
FranzDispersion))
    #elif [string compare @conductionMechanism@ "TAT"] == 0
        Recombination(SRH(NonlocalPath(Lifetime = Schenk TwoBand Fermi) Temp-
Dependence))
    #elif [string compare @conductionMechanism@ "SRH"] == 0
        Recombination(SRH(Dopingdependence))
    #endif
}

* ===== radiacao =====
* simulacao de cargas fixas e armadilhas na interface entre silicio e
oxido de silicio
Physics (MaterialInterface="Silicon/SiO2")
{
    Charge (conc=1e+12) * valor maximo simulado 1e13
    Traps(
        (hneutral Uniform fromValBand Conc=1e13 EnergyMid=0 EnergySig=1.125
eXsection=1e-10 hXsection=1e-8)
        (eneutral Uniform fromCondBand Conc=1e13 EnergyMid=0 EnergySig=1.125
eXsection=1e-8 hXsection=1e-10)
    )
}

* ===== fim da radiacao =====

* -----
---
* specifies the variables to be saved in the Plot file
Plot
{
    EffectiveBandgap
    eDensity hDensity
    eCurrent hCurrent
    TotalCurrent TotalCurrentDensity
    SRHrecombination
    eSRHrecombination hSRHrecombination tSRHrecombination
    TotalRecombination
    Potential
    ElectricField/Vector
    eBarrierTunneling hBarrierTunneling
    Band2BandGeneration
    eBand2BandGeneration hBand2BandGeneration
    eQuasiFermi hQuasiFermi
    ConductionBand ValenceBand
    Doping DonorConcentration AcceptorConcentration
    BandGap
    BandGapNarrowing
    EffectiveBandGap
    SemiconductorGradValenceBand/Vector
    DielectricConstant
    ElectronAffinity
    SpaceCharge

* ===== radiacao =====
    eTrappedCharge hTrappedCharge
    eInterfaceTrappedCharge hInterfaceTrappedCharge
    TotalTrapConcentration TotalInterfaceTrapConcentration
    eGapStatesRecombination hGapStatesRecombination
* ===== fim da radiacao =====

```

```

}

* -----
---
* controls the simulator numerics
Math
{
  NumberOfThreads = maximum
  Extrapolate
  RelErrControl
  Currentweighting
  Iterations = 30
  NotDamped = 50
  RhsFactor = 1e25
  Wallclock * records the elapsed time between the launch of the Sentaurus
Device job and its completion
  *ExitOnFailure * Terminate the simulation as soon as a Solve command
fails.
  TrapDLN=70

  #if [string compare @conductionMechanism@ "TAT"] == 0
    DensityIntegral(250) *set 150 for T<100 to avoid convergence issues
    NoSRHperPotential
    Digits = 7 * default: 5
    *ExtendedPrecision
    *ErrRef(electron) = 1.e10 * (default)
    *ErrRef(hole) = 1.e10 * (default)
    Method = Blocked
    SubMethod = Pardiso
  #else
    DensityIntegral(100) * default: 30, good compromise between accuracy of
the integration and CPU time
    Digits = 5 * default: 5
  #endif
}

* -----
---
CurrentPlot
{
  #if [string compare @conductionMechanism@ "BTBT"] == 0
    eBand2BandGeneration(Integrate(Everywhere))
    hBand2BandGeneration(Integrate(Everywhere))
  #elif [string compare @conductionMechanism@ "TAT"] == 0
    tSRHRecombination(Integrate(Everywhere))
  #elif [string compare @conductionMechanism@ "SRH"] == 0
    SRHRecombination(Integrate(Everywhere))
    *eSRHRecombination(Integrate(Everywhere))
    *hSRHRecombination(Integrate(Everywhere))
  #endif
}

TrappedCarDistrPlot {
  MaterialInterface="Silicon/SiO2" {(0.0 0.0) (0.0 0.065)}
}

* -----
---
Solve
{

```

```

* consists of a series of simulation commands to be performed
* that are activated sequentially

*initial solution:
* calcular as equações uma por vez evita problemas de convergencia
Coupled(Iterations=50) { Poisson }
Coupled { Poisson Electron }
Coupled { Poisson Electron Hole }

* Calculo do passo de simulacao: <passoDesejado[V]/range[V]>

* Bias gate to target bias:
Quasistationary(
  InitialStep=@<0.01/(-@VCC@)>@ Increment=1.2 Decrement=2
  MinStep=@<0.001/(-@VCC@)>@ MaxStep=@<0.1/(-@VCC@)>@
  Goal { Name="gateContact" Voltage=@VCC@ }
){ Coupled {Poisson Electron Hole} }

* Drain voltage sweep
Quasistationary(
  InitialStep=@<0.01/(1.5+0.0)>@ Increment=1.2 Decrement=2
  MinStep=@<0.0001/(1.5+0.0)>@ MaxStep=@<0.1/(1.5+0.0)>@
  Goal { Name="drainContact" Voltage=-1.5}
){ Coupled {Poisson Electron Hole} }
}

```