ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

LUÍS FELIPE VICENTIS CAPARROZ

EFEITO DA RADIAÇÃO EM TRANSISTORES 3D EM BAIXAS TEMPERATURAS

São Paulo
2017

LUÍS FELIPE VICENTIS CAPARROZ

EFEITO DA RADIAÇÃO EM TRANSISTORES 3D EM BAIXAS TEMPERATURAS

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos necessários para a obtenção do título de Mestre em Ciências.

São Paulo
2017

LUÍS FELIPE VICENTIS CAPARROZ

EFEITO DA RADIAÇÃO EM TRANSISTORES 3D EM BAIXAS TEMPERATURAS

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos necessários para a obtenção do título de Mestre em Ciências.

Área de Concentração:
Engenharia Elétrica / Microeletrônica

Orientador: Prof.ª Dr.ª Paula Ghedini Der Agopian
Coorientador: Prof. Dr. João Antonio Martino

São Paulo

2017

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catalogação-na-publicação

Caparroz, Luís Felipe Vicentis
Efeito Da Radiação Em Transistores 3D Em Baixas Temperaturas / L. F. V. Caparroz -- versão corr. -- São Paulo, 2017.
117 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Transistor 2.Silício 3.Temperatura 4.Radiação I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

À Profa. Dra. Paula Ghedini der Agopian por ter me proporcionado a oportunidade de explorar o mundo acadêmico e científico, de forma desafiadora, pela sua orientação, sempre presente, com inúmeras discussões, conversas e conselhos, que me ajudaram a concluir esta etapa.

Ao Prof. Dr. João Antonio Martino, pela oportunidade de ter trabalhado com um grupo de pesquisa que é referência em sua área e pela coorientação, sempre trazendo um olhar diferente às situações pelas quais passei.

À CNPq, pelo apoio financeiro prestado durante a execução deste projeto.

À minha mãe Elizabeth e ao meu pai José Luiz, por todo o sacrifício que fizeram em suas vidas para que eu pudesse ser quem eu sou hoje, pela confiança, incentivo e motivação que me deram. Também agradeço ao meu irmão Flávio e à minha irmã Juliana, que acreditaram que eu tinha capacidade para conseguir esta oportunidade e ter êxito e por terem me motivado sempre.

À minha namorada Amanda, que me acompanhou desde o início e me motivou durante essa jornada, sempre compreensiva e companheira.

Aos meus amigos Alberto, Vinícius, Tatsuo, Ferrari, Caio, Christian, Rangel, Sivieri, Luciano e Katia, por todo o profissionalismo, auxílio e experiência compartilhada e por terem tornado esses dois anos da minha vida mais divertidos e prazerosos.

E a todos do Grupo SOI que contribuíram de forma direta ou indireta para o meu crescimento profissional e conclusão deste projeto.

“One minute was enough, Tyler said, a person had to work hard for it, but a minute of perfection was worth the effort. A moment was the most you could ever expect from perfection.”

Fight Club, Chuck Palahniuk

RESUMO

Nesse trabalho de mestrado estudou-se o comportamento elétrico de transistores verticais de múltiplas portas (3D) sobre isolante (SOI FinFET) sob o efeito da radiação de prótons em baixa temperatura, por meio de métodos experimentais e simulações numéricas. Inicialmente, foram comparados os comportamentos dos transistores antes e depois de serem submetidos à radiação de prótons, em temperatura ambiente. Esta análise foi realizada tanto para dispositivos com canal do tipo p quanto do tipo n, estudando-se tanto como as características analógicas são alteradas após o dispositivo ser irradiado por prótons com uma energia de aproximadamente 60 MeV quanto as características digitais.

Estudou-se os efeitos da dose total ionizante (TID) nos dispositivos SOI FinFETs. Estes efeitos se manifestam de formas diferentes, muitas vezes opostas, para transistores nMOS e pMOS. Os efeitos da radiação na inclinação de sublimiar (SS) dos pFinFETs, por exemplo, resultaram em uma melhoria da velocidade de chaveamento, enquanto que os nFinFET sofreram uma degradação. Já a variação negativa da tensão de limiar (V_T), uma vez que a maior parte das cargas acumuladas no óxido são positivas, deixa os transistores pMOS mais imunes a corrente parasitária da segunda interface, e novamente degrada as características dos nMOS.

Os transistores com aletas mais largas têm uma maior área de óxido enterrado abaixo do filme de silício, o que resulta em um maior acúmulo de cargas. Portanto, a degradação dos parâmetros foi mais acentuada do que em dispositivos com aletas mais estreitas. Transistores com canal curto estão sujeitos aos efeitos de canal curto e se mostraram mais suscetíveis à radiação de próton na região de sublimiar.

Além da análise dos parâmetros básicos, realizou-se uma análise de compromisso entre três parâmetros analógicos: a eficiência do transistor (gm/I_D), a frequência de ganho unitário (f_T) e o ganho intrínseco de tensão (A_V). Eles foram estudados em função do coeficiente de inversão (IC), sendo possível verificar o comportamento dos dispositivos em cada regime de inversão e, posteriormente, o melhor compromisso entre os parâmetros, para uma dada aplicação.

Em baixas temperaturas foi também observado que enquanto para os parâmetros digitais, os transistores de canal p mostraram um melhor desempenho quando focando os parâmetros digitais (tensão de limiar e inclinação de sublimiar), nFinFETs mostraram-se mais imunes a radiação de prótons em baixa temperatura, quando analisados os parâmetros analógicos como o ganho intrínseco de tensão (resposta mais estável à radiação em baixas temperaturas).

Palavras-chave: Transistores 3D, SOI, Baixa Temperatura, Radiação, Parâmetros Analógicos.

ABSTRACT

This master degree's dissertation aims to study the low temperature electrical behavior of tridimensional transistors on insulator (SOI FinFET) under the effects of proton radiation, through experimental methods and numeric simulations. Initially, it was compared the transistors' behavior before and after they have been subjected to proton radiation, at room temperature. This analysis was performed for both p- and n-channel devices, studying how the analog parameters change after the devices are irradiated by protons with approximately 60 MeV energy.

The effects of total ionization dose on SOI FinFET devices were studied. These effects are manifested in different, very often opposing ways for nMOS and pMOS transistors. The radiation effects on the subthreshold slope (SS) in pFinFETs, for example, resulted in a switching speed improvement, while the nFinFETs were degraded. Also, the negative shift in the threshold voltage (V_T), as most of the oxide trapped charges are positive, made the pMOS transistors more immune to the parasitic current at the second interface, and, again, the nMOS ones had their characteristics degraded.

The wide-fin transistors have a bigger oxide area beneath the silicon film, which results in a greater charge buildup. Hence, the parameter degradation was more substantial than for narrow-fin devices. Short-channel transistors are subject to short-channel effects and showed themselves more susceptible to proton irradiation at the subthreshold region.

In addition to the basic parameter analysis, it was done a tradeoff analysis between three analog parameters: the transistor efficiency (gm/I_D), the unit gain frequency (f_T) and the intrinsic voltage gain (A_V). They have been studied as a function of the inversion coefficient (IC), where it was possible to observe the devices' behavior for each inversion regime and, after, the best tradeoff between the parameters, for a given application.

At low temperature, it was also observed that while pFinFETs have a better performance when looking at digital parameters VTH and SS after irradiation, nFinFETs showed more immunity to proton radiation when analyzed from their analog parameter with a more stable response to low temperatures.

Keywords: 3D Transistors, SOI, Low Temperatures, Radiation, Analog Parameters.

LISTA DE FIGURAS

FIGURA 2.1 – EXEMPLO DE ESTRUTURA BÁSICA (A) DO TRANSISTOR MOSFET PLANAR CONVENCIONAL COM CANAL TIPO N E (B) DO TRANSISTOR MOSFET COM TECNOLOGIA SOI E CANAL TIPO N. 28

FIGURA 2.2 – SEÇÃO TRANSVERSAL DA ESTRUTURA BÁSICA DE UM TRANSISTOR SOI MOSFET PLANAR TIPO N, AO LONGO DA DIREÇÃO DE SUA LARGURA (W). 29

FIGURA 2.3 – DIAGRAMAS DE BANDAS DE ENERGIA PARA (A) MOSFET CONVENCIONAL, (B) PDSOI MOSFET E (C) FDSOI MOSFET. NA FIGURA, A TENSÃO APLICADA AO TERMINAL DE PORTA É IGUAL À TENSÃO DE LIMIAR DO DISPOSITIVO (REGIÃO DE DEPLEÇÃO ATINGE SUA PROFUNDIDADE MÁXIMA). AS ÁREAS MAIS ESCURAS REPRESENTAM AS REGIÕES DE DEPLEÇÃO. PARA OS DISPOSITIVOS SOI, A SEGUNDA INTERFACE ESTÁ EM UMA CONDIÇÃO DE INVERSÃO FRACA. 31

FIGURA 2.4 – DIVERSAS ESTRUTURAS SOI DE MÚLTIPLAS PORTAS. 32

FIGURA 2.5 – EXEMPLOS DE TRANSISTORES SOI MOSFET DE PORTA DUPLA: (A) ESTRUTURA DELTA MOSFET E (B) FINFET. 33

FIGURA 2.6 – EXEMPLO DE ESTRUTURA DE UM SOI FINFET (PORTA TRIPLA). NA FIGURA NÃO ESTÃO PRESENTES O SILÍCIO DO DRENO E DA FONTE, ENFATIZANDO O CANAL, ÓXIDO E ELETRODO DE PORTA E SUAS RESPECTIVAS DIMENSÕES FÍSICAS. 34

FIGURA 2.7 – PRIMEIRO DISPOSITIVO SOI FINFET FABRICADO COM FEIXE DE ELÉTRONS NO BRASIL, EM 2012, PELA.USP. 35

FIGURA 2.8 – ESTRUTURA SOI DE MÚLTIPLAS PORTAS E COM MÚLTIPLOS DEDOS. WFIN É A LARGURA DA ALETA (FIN), HFIN SUA ALTURA E P O ESPAÇAMENTO ENTRE O INÍCIO DE UMA ALETA E OUTRA. 37

FIGURA 2.9 – EXEMPLO DE CURVA CARACTERÍSTICA DA EFICIÊNCIA DE UM SOI NFINFET (CANAL TIPO N) EM FUNÇÃO DA CORRENTE DE DRENO NORMALIZADA, GM/ID VS. ID/(WEFF/LG). 43

FIGURA 2.10 – EXEMPLO DE CURVAS ID X VD, ONDE É POSSÍVEL VERIFICAR AS LINHAS TANGENTES ÀS CURVAS NA REGIÃO DE SATURAÇÃO INTERCEPTANDO O EIXO DE VD NO VALOR |VEA|. 44

FIGURA 2.11 – CIRCUITO DE UM AMPLIFICADOR DE TENSÃO COM UM TRANSISTOR NMOS POLARIZADO NO MODO FONTE COMUM 45

FIGURA 2.12 – EXEMPLO DE GRÁFICO DE TENSÃO DE LIMIAR EM FUNÇÃO DO TEMPO, DEMONSTRANDO O EFEITO RETORNO (REBOUND) EM UM TRANSISTOR MOSFET COM CANAL TIPO N EXPOSTO À UMA DOSE DE RADIAÇÃO IONIZANTE. O RECOZIMENTO (ANNEALING) OCORRE APÓS A RADIAÇÃO CESSAR.....58
FIGURA 2.13 – FIGURA ILUSTRATIVA DA OBTENÇÃO DE LÂMINAS SSOI. (A) ESTRUTURAS CRISTALINAS DA LIGA DE SILÍCIO-GERMÂNIO E DO SILÍCIO ANTES E (B) APÓS O CRESCIMENTO EPITAXIAL DO FILME 59
FIGURA 4.1 – CURVAS CARACTERÍSTICAS ID VS. VG DOS DISPOSITIVOS SOI NFINFET. NA PARTE ESQUERDA DA FIGURA SÃO MOSTRADAS AS CURVAS DOS DISPOSITIVOS SEM TENSIONAMENTO (SOI) E NA DIREITA, OS DISPOSITIVOS COM TENSIONAMENTO (SSOI + DCESL). MEDIDAS REALIZADAS EM 2012.....65
FIGURA 4.2 – CURVAS CARACTERÍSTICAS ID VS. VG DOS DISPOSITIVOS SOI NFINFET COM COMPRIMENTO DE CANAL LG = 150 NM E LG = 900 NM. MEDIDAS REALIZADAS EM 2016. 66
FIGURA 4.3 – CURVAS CARACTERÍSTICAS ID VS. VG DOS DISPOSITIVOS SOI PFINFET. NA PARTE ESQUERDA DA FIGURA SÃO MOSTRADAS AS CURVAS DOS DISPOSITIVOS COM COMPRIMENTO DE CANAL LG = 150 NM E, NA DIREITA, OS DISPOSITIVOS COM LG = 900 NM. MEDIDAS REALIZADAS EM 2016.....67
FIGURA 4.4 – TENSÃO DE LIMIAR VT DOS DISPOSITIVOS SOI NFINFET MEDIDAS REALIZADAS EM 2012.....68
FIGURA 4.5 – TENSÃO DE LIMIAR VT DOS DISPOSITIVOS SOI NFINFET MEDIDAS REALIZADAS EM 2016.....69
FIGURA 4.6 – TENSÃO DE LIMIAR VT DOS DISPOSITIVOS SOI PFINFET MEDIDAS REALIZADAS EM 2016.....70
FIGURA 4.7 – TENSÃO DE LIMIAR VT DOS DISPOSITIVOS SOI NFINFET COM LG = 150 NM, UTILIZANDO-SE AS MEDIDAS REALIZADAS EM 2012 E EM 2016. 71
FIGURA 4.8 – INCLINAÇÃO DE SUBLIMIAR SS DOS DISPOSITIVOS SOI NFINFET COM LG = 150 NM. MEDIDAS REALIZADAS EM 2012.....72
FIGURA 4.9 – INCLINAÇÃO DE SUBLIMIAR SS DOS DISPOSITIVOS SOI NFINFET COM LG = 150 NM E LG = 900 NM. MEDIDAS REALIZADAS EM 2016.....74
FIGURA 4.10 – INCLINAÇÃO DE SUBLIMIAR SS DOS DISPOSITIVOS SOI PFINFET COM LG = 150 NM E LG = 900 NM. MEDIDAS REALIZADAS EM 2016. 75
FIGURA 4.11 – INCLINAÇÃO DE SUBLIMIAR SS DOS DISPOSITIVOS SOI NFINFET COM LG = 150 NM, UTILIZANDO-SE AS MEDIDAS REALIZADAS EM 2012 E EM 2016. 76

FIGURA 4.12 – TRANSCONDUTÂNCIA NORMALIZADA POR LARGURA EFETIVA DA ALETA GM/WEFF EM FUNÇÃO DA TENSÃO DE PORTA VG PARA OS DISPOSITIVOS SOI NFINFET COM LG = 150 NM. MEDIDAS REALIZADAS EM 2012. 77
FIGURA 4.13 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO PARA OS DISPOSITIVOS SOI NFINFET COM LG = 150 NM. MEDIDAS REALIZADAS EM 2012. 78
FIGURA 4.14 – TRANSCONDUTÂNCIA NORMALIZADA POR LARGURA EFETIVA DA ALETA GM/WEFF EM FUNÇÃO DA TENSÃO DE PORTA VG PARA OS DISPOSITIVOS SOI NFINFET. MEDIDAS REALIZADAS EM 2016. 79
FIGURA 4.15 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO PARA OS DISPOSITIVOS SOI NFINFET COM LG = 150 NM E LG = 900 NM. MEDIDAS REALIZADAS EM 2016. 80
FIGURA 4.16 – TRANSCONDUTÂNCIA NORMALIZADA POR LARGURA EFETIVA DA ALETA GM/WEFF EM FUNÇÃO DA TENSÃO DE PORTA VG PARA OS DISPOSITIVOS SOI PFINFET. MEDIDAS REALIZADAS EM 2016. 81
FIGURA 4.17 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO PARA OS DISPOSITIVOS SOI PFINFET. MEDIDAS REALIZADAS EM 2016. 81
FIGURA 4.18 – EFICIÊNCIA DO TRANSISTOR GM/ID EM FUNÇÃO DA CORRENTE DE DRENO NORMALIZADA ID/(WEFF/LG) PARA OS DISPOSITIVOS SOI PFINFET COM LG = 150 NM. MEDIDAS REALIZADAS EM 2012. 82
FIGURA 4.19 – EFICIÊNCIA DO TRANSISTOR GM/ID EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI NFINFET. MEDIDAS REALIZADAS EM 2016. 85
FIGURA 4.20 – EFICIÊNCIA DO TRANSISTOR GM/ID EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI PFINFET. MEDIDAS REALIZADAS EM 2016. 86
FIGURA 4.21 – PRODUTO GM/ID X FT EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI NFINFET COM LG = 150 NM E SEM RADIAÇÃ. MEDIDAS REALIZADAS EM 2016. 87
FIGURA 4.22 – PRODUTO GM/ID X FT EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI PFINFET COM LG = 150 NM. MEDIDAS REALIZADAS EM 2016. 88
FIGURA 4.23 – GANHO INTRÍNSECO DE TENSÃO AV EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI NFINFET. MEDIDAS REALIZADAS EM 2016. 89
FIGURA 4.24 – GANHO INTRÍNSECO DE TENSÃO AV EM FUNÇÃO DO COEFICIENTE DE INVERSÃO IC PARA OS DISPOSITIVOS SOI PFINFET. MEDIDAS REALIZADAS EM 2016. 90
FIGURA 4.25 – CURVAS IDS VS. VGS PARA DISPOSITIVOS SOI NFINFET COM LG = 150 NM E WFIN = 20 NM. 92

FIGURA 4.26 – CURVAS IDS VS. VGS PARA DISPOSITIVOS SOI NFINFET COM LG = 150 NM E WFIN = 370 NM. 94
FIGURA 4.27 – CURVAS IDS VS. VGS PARA DISPOSITIVOS SOI NFINFET COM LG = 900 NM E WFIN = 370 NM. 95
FIGURA 4.28 – CURVAS IDS VS. VGS PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM E WFIN = 120 NM. 96
FIGURA 4.29 – CURVAS IDS VS. VGS PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM E WFIN = 370 NM. 96
FIGURA 4.30 – TENSÃO DE LIMIAR (VTH) PARA DISPOSITIVOS SOI NFINFET. 98
FIGURA 4.31 – TENSÃO DE LIMIAR (VTH) PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 99
FIGURA 4.32 – INCLINAÇÃO DE SUBLIMIAR (SS) PARA DISPOSITIVOS SOI NFINFET. 100
FIGURA 4.33 – INCLINAÇÃO DE SUBLIMIAR (SS) PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 101
FIGURA 4.34 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO EFETIVA (μ0,EFF) PARA DISPOSITIVOS SOI NFINFET. 102
FIGURA 4.35 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO EFETIVA (μ0,EFF) PARA DISPOSITIVOS SOI NFINFET. 104
FIGURA 4.36 – MOBILIDADE DE BAIXO CAMPO ELÉTRICO EFETIVA (μ0,EFF) PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 105
FIGURA 4.37 – CONDUTÂNCIA DE SAÍDA (GD) NORMALIZADA PARA DISPOSITIVOS SOI NFINFET. 106
FIGURA 4.38 – CONDUTÂNCIA DE SAÍDA (GD) NORMALIZADA PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 107
FIGURA 4.39 – TENSÃO EARLY (VEA) PARA DISPOSITIVOS SOI NFINFET COM LG = 150 NM. 108
FIGURA 4.40 – TENSÃO EARLY (VEA) PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 108
FIGURA 4.41 – GANHO INTRÍNSECO DE TENSÃO (AV) PARA DISPOSITIVOS SOI NFINFET COM LG = 150 NM. 109
FIGURA 4.42 – GANHO INTRÍNSECO DE TENSÃO (AV) PARA DISPOSITIVOS SOI PFINFET COM LG = 150 NM. 110

LISTA DE TABELAS

TABELA 3.1 – CARACTERÍSTICAS COMUNS A TODOS OS DISPOSITIVOS ESTUDADOS.....61
TABELA 3.2 – ESPECIFICAÇÕES DE CADA CASCATA DE DISPOSITIVOS UTILIZADA NO ESTUDO. 62
TABELA 3.3 – VALORES DAS DIMENSÕES DE CADA DISPOSITIVO. DISPOSITIVOS COM LARGURA FIXA E COMPRIMENTO VARIÁVEL TEM SEUS COMPRIMENTOS DEFINIDOS NA LINHA "LG" E DISPOSITIVOS COM COMPRIMENTO FIXO E LARGURA VARIÁVEL TEM SUAS LARGURAS DEFINIDAS NA LINHA "WFIN".....62

LISTA DE SIGLAS E ABREVIATURAS

2D	Duas dimensões
3D	Três dimensões
BJT	*Bipolar Junction Transistor* (Transistor bipolar de junção)
BOX	*Buried Oxide* (Óxido enterrado)
CESL	*Contact Etch Stop Layer*
CMOS	*Complementary Metal-Oxide-Semiconductor* (Metal-óxido-semicondutor complementar)
dCESL	*dual Contact Etch Stop Layer*
DELTA	*fully DEpleted Lean-channel TrAnsistor* (Transistor com canal estreito totalmente depletado)
DGMOS	*Double-Gate Metal-Oxide-Semiconductor* (Transistor de efeito de campo de porta dupla com metal-óxido-semicondutor)
EKV	*Enz-Krummenacher-Vittoz model* (Modelo analítico de Enz-Krummenacher-Vittoz para transistores MOSFET)
EPUSP	Escola Politécnica da Universidade de São Paulo
FDSOI	*Fully Depleted Silicon-On-Insulator* (Silício sobre isolante totalmente depletado)
FET	*Field Effect Transistor* (Transistor de efeito de campo)
FIB	*Focused Ion Beam*
FinFET	*Fin Field Effect Transistor* (Transistor de efeito de campo com aleta)
GAA	*Gate All Around* (Porta circunante)
LSI	Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo
MBU	*Multiple Bits Upset* (Perturbação de múltiplos bits)
MIGFET	*Multiple Independent Gates Field Effect Transistor* (Transistor de efeito de campo de múltiplas portas independentes)
MOS	*Metal-Oxide-Semiconductor* (Metal-óxido-semicondutor)
MOSFET	*Metal-Oxide-Semiconductor Field Effect Transistor* (Transistor de efeito de campo metal-óxido-semicondutor)
MuGFET	*Multiple Gates Field Effect Transistor* (Transistor de efeito de campo de múltiplas portas)
NFDSOI	*Near Fully Depleted Silicon-On-Insulator* (Silício sobre isolante quase totalmente depletado)
nFinFET	*n-channel Fin Field Effect Transistor* (Transisto de efeito de campo com aleta de canal tipo n)

nMOS	*n-type Metal-Oxide-Semiconductor* (Metal-óxido-semicondutor com canal tipo p)
PDSOI	*Partially Depleted Silicon-On-Insulator* (Silício sobre isolante parcialmente depletado)
pFinFET	*p-channel Fin Field Effect Transistor* (Transisto de efeito de campo com aleta de canal tipo p)
pMOS	*p-type Metal-Oxide-Semiconductor* (Metal-óxido-semicondutor com canal tipo p)
RC	Resistor-Capacitor
SCE	Short Channel Effects (Efeitos de canal curto)
SEB	*Single-Event Burnout* (Evento único de queima do dispositivo)
SEE	*Single Event Effects* (Efeitos de evento único ou efeitos transitórios)
SEG	*Selective Epitaxial Growth* (Crescimento epitaxial seletivo)
SEGR	*Single-Event Gate Rupture* (Evento único de ruptura da porta)
SEL	*Single-Event Latchup* (evento único de disparo do transistor parasitário)
SES	*Single-Event Snapback* (Evento único de efeitos de ionização por impacto)
SEU	*Single-Event Upset* (Evento único de perturbação)
SI	*Strong Inversion* (Inversão forte)
SOI	*Silicon-On-Insulator* (Silício sobre isolante)
sSOI	*strained Silicon-On-Insulator* (Silício tensionado sobre isolante)
TID	*Total Ionizing Dose* (Efeitos de dose total ionizante)
TFET	*Tunnel Field Effect Transistor* (Transistor de tunelamento induzido por efeito de campo)
UNICAMP	Universidade Estadual de Campinas
USP	Universidade de São Paulo
WI	*Weak Inversion* (Inversão fraca)

LISTA DE SÍMBOLOS

A_V	Ganho intrínseco de tensão [V/V]
C_{GG}	Capacitância de porta do transistor [F]
C_{ox}	Capacitância do óxido de porta [F/cm^2]
E_C	Energia do nível mais baixo na banda de condução [eV]
E_F	Energia do nível de Fermi [eV]
E_V	Energia do nível mais alto da banda de valência [eV]
f_T	Frequência de ganho unitário [Hz]
g_D	Condutância de saída [S]
g_{Dsat}	Condutância de saída em saturação [S]
gm	Transcondutância [S]
gm/I_D	Eficiência do transistor [V^{-1}]
$gm_{máx,lateral}$	Transcondutância máxima correspondente as interfaces laterais de um FinFET [S]
$gm_{máx,superior}$	Transcondutância máxima correspondente a interface superior de um FinFET [S]
$gm_{máx,total}$	Transcondutância máxima total de um FinFET [S]
ħ	Constante reduzida de Planck [1,055.10^{-34} J]
H_{fin}	Altura da aleta de um FinFET [nm]
I_0	Corrente de dreno dependente do processo do dispositivo [A]
I_B	Corrente de substrato [A]
IC	Coeficiente de inversão (*Inversion Coefficient*)
I_D	Corrente de dreno [A]
I_{D0}	Corrente de dreno de um transistor SOI planar de porta única com mesma área de porta que um dado transistor de múltiplas portas [A]
I_{Dsat}	Corrente de dreno em saturação [S]
I_{Dsi}	Corrente de dreno no regime de inversão forte (*strong inversion drain current*) [A]
I_{Dt}	Corrente de dreno de transição (p/ $V_G = V_T$) [A]
I_{Dwi}	Corrente de dreno no regime de inversão fraca (*weak inversion drain current*) [A]
I_F	Corrente de dreno direta (*forward drain current*) [A]

I_R	Corrente de dreno reversa (*reverse drain current*) [A]
I_{spec}	Corrente de dreno específica do dispositivo (*specific current*) [A]
k	Constante de Boltzmann [$1{,}381.10^{-23}$ J]
K’	Fator depende das características de processo e das polarizações aplicadas ao dispositivo [A/V^2]
L	Comprimento de porta [nm]
L_G	Comprimento do canal em um FinFET [nm]
m*	Massa efetiva de confinamento do portador na direção transversal [kg]
n	Fator de corpo ou fator de idealidade
N_a	Concentração de impurezas aceitadoras [cm^{-3}]
N_{fin}	Número de aletas de um FinFET
n_i	Concentração intrínseca de portadores [cm^{-3}]
P	Espaçamento entre o início de uma aleta e outra de um FinFET [nm]
q	Carga elementar do elétron [$1{,}6.10^{-19}$ C]
Q_{ox}	Densidade superficial de cargas no óxido [C/cm^2]
$R_{série}$	Resistência série de um transistor [Ω]
SS	*Subthreshold Slope* ou *Subthreshold Swing* (Inclinação de sublimiar) [mV/dec]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [nm]
t_{si}	Espessura do filme de silício [nm]
v	Sobretensão de porta normalizada pela sobretensão de porta de transição (V_{GT}/V_{GTt})
V_B	Tensão de substrato [V]
V_D	Tensão de dreno [V]
V_{EA}	Tensão Early [V]
V_G	Tensão de porta [V]
V_{GT}	Sobretensão de porta (V_G - V_T) [V]
V_{GTt}	Sobretensão de porta de transição [V]

V_S	Tensão de fonte [V]
V_T	Tensão de limiar de um transistor [V]
W	Largura de porta [nm]
W_{eff}	Largura efetiva de um FinFET [nm]
W_{fin}	Largura da aleta de um FinFET [nm]
$x_{dmáx}$	Profundidade máxima da região de depleção
α	Fator correspondente à associação das capacitâncias de óxido e de interfaces de um transistor
ε_{ox}	Permissividade elétrica do óxido [F/cm]
ε_{si}	Permissividade elétrica do silício [F/cm]
θ_{fin}	Coeficiente que determina se há condução de corrente pela interface superior do canal de um transistor de múltiplas portas (θ_{fin} = 1) ou não (θ_{fin} = 0)
π	Constante pi [3.14159265359]
Φ_F	Potencial de Fermi [V]
Φ_{MS}	Função trabalho do material de porta com relação ao silício [V]
Φ_S	Potencial de superfície [V]
μ	Mobilida dos portadores de carga [cm^2/V.s]
μ_0	Mobilidade dos portadores de carga para baixo campo elétrico transversal [cm^2/V.s]
$\mu_{0,eff}$	Mobilidade efetiva dos portadores de carga para baixo campo elétrico transversal em um FinFET [cm^2/V.s]
μ_{eff}	Mobilidade efetiva dos portadores de carga no canal de um FinFET [cm^2/V.s]
$\mu_{lateral}$	Mobilidade dos portadores de carga na interface lateral do canal de um FinFET [cm^2/V.s]
$\mu_{superior}$	Mobilidade dos portadores de carga na interface superior do canal de um FinFET [cm^2/V.s]

SUMÁRIO

RESUMO....7
ABSTRACT....9
LISTA DE FIGURAS....11
LISTA DE TABELAS....15
LISTA DE SIGLAS E ABREVIATURAS....16
LISTA DE SÍMBOLOS....18
SUMÁRIO....21
1 Introdução....23
1.1 Motivação....23
1.2 Objetivo....25
1.3 Estrutura do trabalho....26
2 Revisão bibliográfica....28
2.1 Tecnologia silício sobre isolante SOI....28
2.1.1 Tipos de estruturas SOI....29
2.2 Transistores SOI de múltiplas portas....31
2.2.1 Classificação dos transistores SOI de múltiplas portas....31
2.2.2 Transistores SOI FinFET....33
2.3 Parâmetros básicos dos transistores SOI de múltiplas portas....36
2.3.1 Corrente de dreno....36
2.3.2 Tensão de limiar....38
2.3.3 Inclinação de sublimiar....38
2.3.4 Mobilidade dos portadores de carga....39
2.3.5 Transcondutância....40
2.3.6 Condutância de saída....41
2.3.7 Eficiência do transistor....42
2.3.8 Tensão Early....44
2.3.9 Ganho intrínseco de tensão....45
2.3.10 Frequência de ganho unitário....46
2.4 Coeficiente de inversão....46
2.5 Efeitos da temperatura....49
2.5.1 Tensão de limiar....50
2.5.2 Inclinação de sublimiar....51
2.5.3 Mobilidade dos portadores de carga....51
2.5.4 Transcondutância....53
2.5.5 Tensão Early....54
2.5.6 Ionização por impacto....54
2.6 Efeitos da radiação....54
2.6.1 Efeitos de evento único....55

2.6.2 Efeitos de dose total ionizante 56
2.7 Tensionamento mecânico 58
2.7.1 Tensionamento mecânico bidirecional 59
2.7.2 Tensionamento mecânico unidirecional 60
3 Materiais e métodos 61
3.1 Dispositivos utilizados para as medidas 61
3.2 Analisador de parâmetros elétricos e métodos de extração 63
4 Resultados e discussão 64
4.1 Efeitos da radiação considerando a mesma polarização externa 64
4.1.1 Corrente de dreno 64
4.1.2 Tensão de limiar 68
4.1.3 Inclinação de sublimiar 72
4.1.4 Transcondutância e mobilidade de baixo campo elétrico 76
4.2 Efeitos da radiação considerando a corrente de dreno normalizada 82
4.2.1 Eficiência do transistor 82
4.3 Efeitos da radiação considerando o coeficiente de inversão 84
4.3.1 Eficiência do transistor 85
4.3.2 Análise de compromisso entre eficiência do transistor e frequência de ganho unitário monitorando o ganho intrínseco de tensão 87
4.4 Efeitos da baixa temperatura 91
4.4.1 Corrente de dreno 92
4.4.2 Tensão de limiar 98
4.4.3 Inclinação de sublimiar 100
4.4.4 Mobilidade de baixo campo elétrico 102
4.4.5 Condutância de saída 105
4.4.6 Tensão Early 107
4.4.7 Ganho intrínseco de tensão 109
5 Conclusões parciais e sequência do trabalho 111
5.1 Conclusões 111
5.2 Trabalhos futuros e sequência 112
PUBLICAÇÕES GERADAS DURANTE O MESTRADO ATÉ O MOMENTO 113
Publicações em congressos 113
Artigos submetidos para congressos 113
REFERÊNCIAS 114

1 Introdução

1.1 Motivação

Historicamente, a concepção dos transistores de efeito de campos (FET – *Field Effect Transistor*) teve seu início com três patentes solicitadas em 1926 e 1928 por Julius Edgar Lilienfeld, nos Estados Unidos da América, e publicadas em 1930, 1932 e 1933 [1]. Nestas patentes ele idealizou alguns dispositivos para o controle de fluxo de corrente em material semicondutor, com estruturas similares aos transistores de efeitos de campo que viriam a ser fabricados aproximadamente 30 anos mais tarde [2].

A evolução dos transistores passou por diversas etapas que dependiam desde o avanço da física do estado sólido até processos de fabricação de semicondutores mais confiáveis, com baixos níveis de impurezas. Com o desenvolvimento de novas tecnologias e maior domínio destes processos, foi possível demonstrar o funcionamento prático do transistor de efeito de campo com sistema metal-óxido-silício (MOSFET – *Metal-Oxide-Semiconductor Field Effect Transistor*). Em 1960, D. Kahng e M. M. Atalla apresentaram os resultados da primeira operação deste dispositivo realizada com sucesso, marcando-os como inventores do MOSFET moderno [1].

Pouco antes da demonstração do primeiro MOSFET funcional, em 1958, Jack S. Kilby demonstrou um circuito integrado de um oscilador resistor-capacitor (RC) com transistores bipolares de junção (BJT – *Bipolar Junction Transistor*) fabricado em germânio, na empresa Texas Instrument [2], tendo como foco a miniaturização do circuito. Paralelamente, Robert R. Noyce criou o conceito do circuito integrado monolítico em silício na Fairchild Semiconductors [1] [2]. Esses dois acontecimentos precederam o início da era da integração de dispositivos semicondutores.

Gordon E. Moore, um dos fundadores da Intel, enunciou uma previsão sobre como a escala de integração dos dispositivos, o número de transistores em um circuito integrado, se comportaria ao longo dos anos em 1965. Essa previsão na forma de uma lei exponencial recebeu o nome de “Lei de Moore” e foi revisada algumas vezes pelo próprio Moore durante a história da Microeletrônica. Atualmente, a previsão é de

que o número de dispositivos em um único circuito integrado dobre a cada 18 meses [3].

As previsões da Lei de Moore são utilizadas como guia de projeção e metas para a indústria de semicondutores. Para manter esse ritmo de integração dos dispositivos, se torna necessário o escalamento destes, isto é, a redução das dimensões dos dispositivos. No entanto, o escalamento contínuo dos dispositivos, chegando à ordem de algumas dezenas de nanômetros, traz diversos desafios, uma vez que os efeitos de canal curto (SCE – *Short Channel Effects*) se pronunciam e os efeitos quânticos surgem, não sendo possível considerar somente as previsões da física clássica.

Os MOSFETs modernos são produzidos em lâminas de silício com espessura aproximada de 800 µm, onde somente o primeiro micrômetro é utilizado para a fabricação dos dispositivos. No entanto, interações entre os dispositivos e o substrato podem ocasionar uma série de efeitos parasitas indesejáveis. No final de década de 90, percebeu-se que um desempenho superior poderia ser atingido utilizando-se um tipo diferente de substrato, chamado SOI (*Silicon-On-Insulator*), no qual os transistores são fabricados numa camada fina de silício sobre uma camada de dióxido de silício. A tecnologia SOI traz diversas vantagens como uma melhoria na velocidade dos circuitos e no consumo de energia, além de apresentar capacitâncias parasitas reduzidas e um melhor controle de corrente e consequentemente uma maior imunidade aos efeitos de canal curto, foi adotada por grandes indústrias como IBM, AMD e Freescale [4], [5].

Diante dessas barreiras tecnológicas, aliadas ao fato de a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) planar estar atingindo seu limite de escalamento, foram desenvolvidas novas estruturas que exploram geometrias diferentes, além de outras técnicas que permitem uma melhoria dos parâmetros dos dispositivos, como, por exemplo: transistores tridimensionais (3D), materiais isolantes de alta constante dielétrica, técnicas de tensionamento das lâminas e dos dispositivos, estruturas que exploram outros mecanismos de condução de corrente, etc.

Neste cenário, o FinFET (*Fin Field Effect Transistor*) e surge como um forte candidato para acompanhar as previsões da indústria da microeletrônica e atender seus requisitos. Sua estrutura tridimensional e a presença de múltiplas portas no

dispositivo traz diversas vantagens com relação ao MOSFET planar, como melhor acoplamento eletrostático e melhor controle dos efeitos de canal curto, além da possibilidade de escalamento abaixo das dimensões das tecnologias planares. Atualmente, o FinFET já é utilizado pela indústria e está presente em produtos comerciais, como por exemplo a 6ª geração de processadores da Intel [6].

Para aplicações onde há a possibilidade de ocorrer radiação ionizante, o FinFET tem sido estudado e demonstra uma alta tolerância à radiação. Apesar de poderem ser fabricados em lâminas SOI, cujo óxido enterrado pode acumular um grande número de cargas induzidas, os transistores FinFET possuem uma tolerância mais alta à dose total ionizante se comparados com os dispositivos planares da mesma tecnologia [7].

Em aplicações espaciais, como satélites e aeronaves, as temperaturas de operação dos dispositivos podem atingir valores muito baixos. A baixa temperatura influencia diretamente os parâmetros e o funcionamento dos transistores, tornando necessária uma maior compreensão dos fenômenos físicos envolvidos.

Pesquisando-se a literatura atual disponível, não se encontram estudos que procuram compreender o comportamento de transistores FinFET operando sob a influência da baixa temperatura e da radiação ionizante de prótons simultaneamente. Desta forma, este trabalho tem um caráter inovador que busca contribuir com a comunidade científica, abordando um tema que precisa ser mais amplamente estudado.

1.2 Objetivo

O objetivo deste trabalho é estudar os transistores SOI FinFET sob os efeitos da radiação ionizante e da baixa temperatura, verificando seu potencial para aplicações onde ambas condições estejam presentes, como por exemplo: aplicações aeroespaciais, médicas, satélites, etc.

Uma vasta revisão bibliográfica foi feita a fim de prover os conhecimentos necessários para a compreensão dos fenômenos e efeitos estudados. Nesta revisão são exploradas as tecnologias presentes no estudo, como a tecnologia SOI e dispositivos de múltiplas portas, comparando-as com as tecnologias convencionais,

bem como os parâmetros mais relevantes para as análises (tensão de limiar, inclinação de sublimiar, mobilidade, transcondutância, etc.) e os efeitos da radiação e da temperatura nesses dispositivos, focando na alteração dos parâmetros.

Os dispositivos foram caracterizados através de medidas experimentais realizadas nos laboratórios da Escola Politécnica da Universidade de São Paulo (EPUSP) e também foram realizadas simulações numéricas em duas e três dimensões (2D e 3D). Diversos métodos para a extração de dados, baseados em modelos analíticos disponíveis na literatura, são utilizados para se obter os parâmetros necessários ao estudo.

A síntese dos resultados obtidos e as conclusões são então apresentadas, buscando compreender o tema proposto com base no trabalho realizado.

1.3 Estrutura do trabalho

Este trabalho está estruturado em 5 capítulos que possuem as informações necessárias para apresentar o tema proposto, da seguinte maneira:

Capítulo 1 – Introdução: este capítulo descreve brevemente a história do desenvolvimento da tecnologia Metal-Óxido-Semicondutor (MOS – *Metal-Oxide-Semiconductor*) até os dias atuais, justificando a escolha do FinFET como tema de estudo, bem como sua aplicação em sistemas que devem operar em baixa temperatura e sob efeitos da radiação ionizante.

Capítulo 2 – Revisão bibliográfica: este capítulo apresenta uma revisão da literatura disponível, focando nos conceitos fundamentais da tecnologia SOI, dos transistores de múltipla porta, dos efeitos da temperatura e da radiação. Também são revistos os parâmetros estudados, tanto analógicos como digitais.

Capítulo 3 – Materiais e métodos: neste capítulo são descritos os dispositivos estudados, os equipamentos utilizados para realização da parte experimental do trabalho, os softwares utilizados para simulação numérica e também os métodos escolhidos para a extração de dados.

Capítulo 4 – Resultados e discussão: este capítulo apresenta os resultados obtidos através das medidas experimentais e métodos de extração de dados. Além

disso, a partir destes resultados é discutido o impacto da baixa temperatura e da radiação nos dispositivos, analisando-se como seus parâmetros se comportam nestas condições.

Capítulo 5 – Conclusões parciais e sequência do trabalho: neste capítulo são mostradas as conclusões parciais obtidas até o momento da apresentação, baseando-se nos resultados obtidos. Também é discutida a sequência do trabalho e possíveis passos futuros.

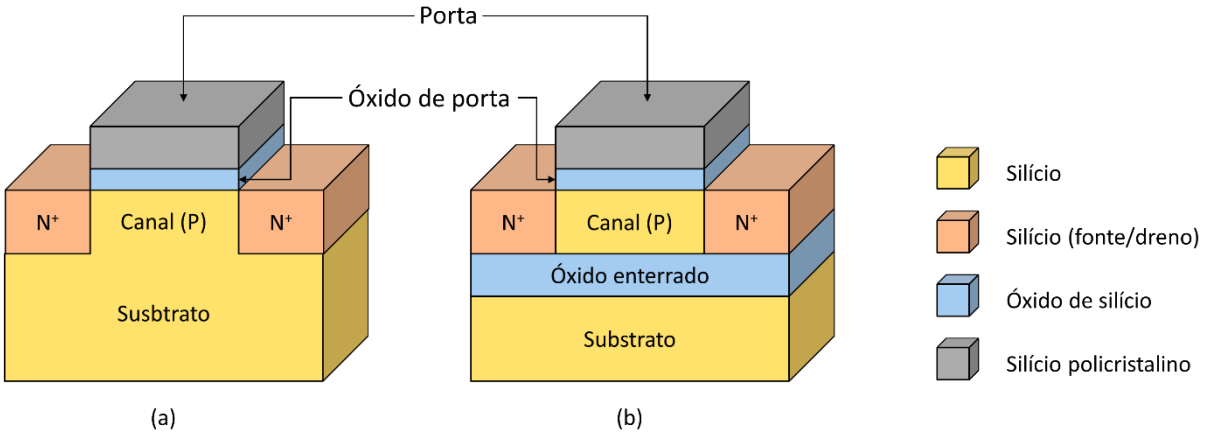
2 Revisão bibliográfica

Neste capítulo são apresentados os conceitos sobre a tecnologia SOI, sua relação com a radiação e transistores com estruturas verticais e que possuem múltiplas portas fabricado em lâminas SOI. É também apresentada uma revisão bibliográfica das principais características e parâmetros elétricos dos dispositivos estudados.

2.1 Tecnologia silício sobre isolante SOI

A tecnologia SOI tem como principal característica a fabricação de transistores sobre um material isolante (SiO_2), comumente chamado de óxido enterrado (BOX – *Buried Oxide*), que isola a região ativa de silício do restante do substrato [4]. A figura 2.1 mostra exemplos das estruturas básicas de dois transistores MOSFET planares, um fabricado em lâminas convencionais de silício (*bulk*) e outro fabricado em lâminas SOI.

Figura 2.1 – Exemplo de estrutura básica (a) do transistor MOSFET planar convencional com canal tipo n e (b) do transistor MOSFET com tecnologia SOI e canal tipo n.



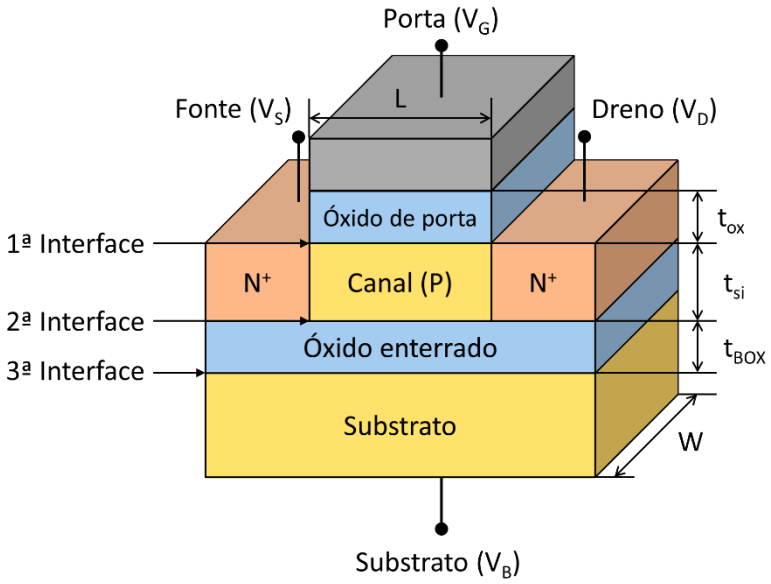
Fonte: autor

Nos circuitos fabricados com tecnologia MOS convencional ocorrem diversos efeitos parasitários devido à interação entre o dispositivo, o substrato e às técnicas de isolação entre os dispositivos. Muitos destes efeitos são eliminados com a presença do óxido enterrado em circuitos SOI [4].

2.1.1 Tipos de estruturas SOI

Os dispositivos SOI MOSFET podem ser classificados em três tipos: dispositivos parcialmente depletados (PDSOI – *Partially Depleted SOI*), dispositivos totalmente depletados (FDSOI – *Fully Depleted SOI*) e dispositivos quase totalmente depletados (NFDSOI – *Near Fully Depleted SOI*), que podem ter o filme de silício totalmente depletado ou não dependendo das polarizações aplicadas aos terminais de porta e substrato [4]. A distinção entre os tipos é feita principalmente pela espessura do filme de silício (t_{si}) e pela concentração de dopantes.

Figura 2.2 – Seção transversal da estrutura básica de um transistor SOI MOSFET planar tipo n, ao longo da direção de sua largura (W).



Fonte: autor

Na figura 2.2, estão indicadas as principais características físicas de um transistor SOI MOSFET planar canal tipo n: as espessuras de óxido de porta (t_{ox}), do filme de silício (t_{si}), e do óxido enterrado (t_{BOX}), o comprimento (L), a largura (W), seus terminais de conexão à porta (V_G), ao dreno (V_D), à fonte (V_S) e ao substrato (V_B) e as interfaces entre óxido de porta e filme de silício (primeira interface), entre óxido enterrado e filme de silício (segunda interface) e entre óxido enterrado e substrato (terceira interface).

Em um dispositivo MOSFET convencional com canal tipo n, a profundidade máxima da região de depleção ($x_{dmáx}$) a partir da interface entre o óxido de porta e a região do canal é dada pela equação (2.1):

$$x_{dmáx} = \sqrt{\frac{2\ \varepsilon_{si}.\ 2\Phi_F}{q.N_a}} \tag{2.1}$$

$$\Phi_F = \frac{kT}{q}\ln\left(\frac{N_a}{n_i}\right) \tag{2.2}$$

onde ε_{si} é a permissividade elétrica do silício, Φ_F é o potencial de Fermi, q é a carga elementar do elétron, N_a é a concentração de impurezas aceitadoras no silício, k é a constante de Boltzmann, T é a temperatura absoluta e n_i é a concentração intrínseca de portadores.

Em um dispositivo PDSOI MOSFET, a espessura do filme de silício é, no mínimo, maior do que duas vezes a profundidade máxima da região de depleção de um MOSFET convencional com as mesmas geometrias e dopagens ($t_{si} > 2.x_{dmáx}$) e não há interação entre as regiões de depleção da primeira e da segunda interface, criando uma região neutra entre elas [4].

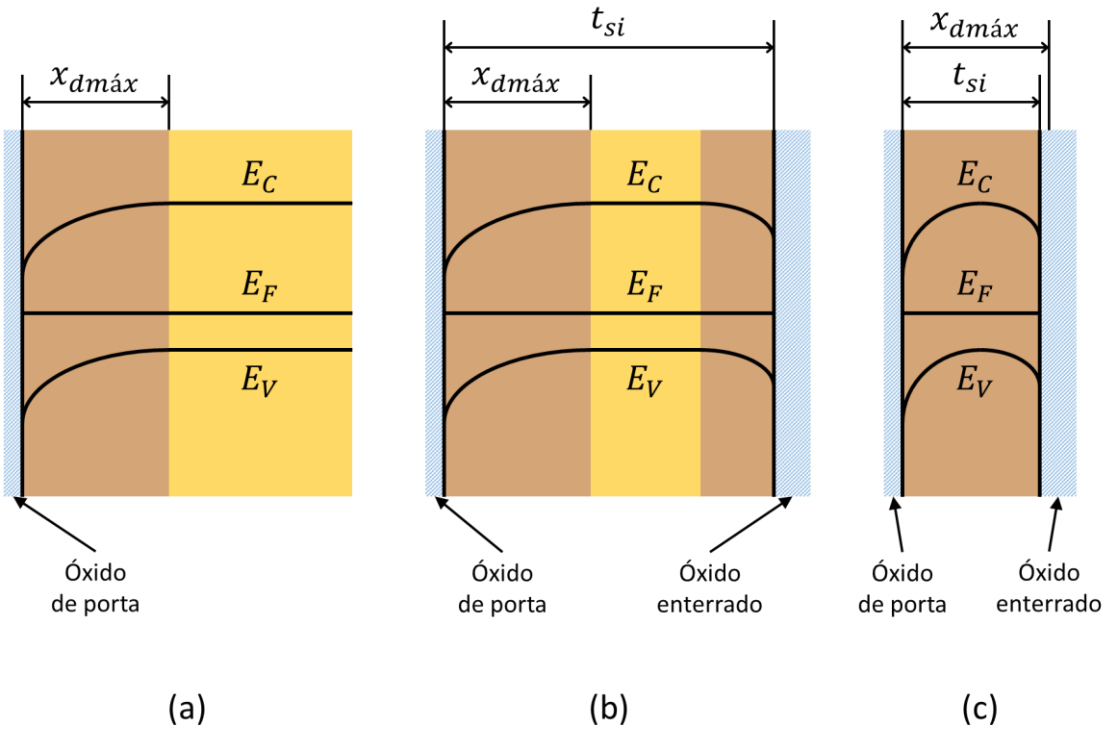
Já um dispositivo FDSOI MOSFET tem a espessura do filme de silício menor do que a profundidade máxima da região de depleção ($t_{si} < x_{dmáx}$) e, quando a tensão de porta atingir o limiar, a região de depleção ocupará toda o filme, a menos que seja aplicada uma polarização de substrato forte o suficiente para acumular cargas ou criar uma camada de inversão na segunda interface [4].

No caso do NFDSOI, que é um caso intermediário entre o PDSOI e o FDSOI, a espessura do filme de silício é maior do que a profundidade máxima de depleção e menor do que duas vezes essa mesma profundidade ($x_{dmáx} < t_{si} < 2x_{dmáx}$). Dependendo da polarização aplicada aos terminais de porta e substrato, pode ou não haver interação entre as duas regiões de depleção. Se há sobreposição destas regiões, o filme de silício está totalmente depletado. Caso contrário, o dispositivo terá um comportamento similar ao PDSOI [4].

Os conceitos usados para classificar as estruturas SOI podem ser compreendidos através dos diagramas de bandas de energia. Na figura a seguir são comparados os diagramas de um MOSFET convencional, um PDSOI MOSFET e um

FDSOI MOSFET, onde E_C é a energia do nível mais baixo na banda de condução, E_V é a energia do nível mais alto da banda de valência e E_F é a energia do nível de Fermi.

Figura 2.3 – Diagramas de bandas de energia para (a) MOSFET convencional, (b) PDSOI MOSFET e (c) FDSOI MOSFET. Na figura, a tensão aplicada ao terminal de porta é igual à tensão de limiar do dispositivo (região de depleção atinge sua profundidade máxima). As áreas mais escuras representam as regiões de depleção. Para os dispositivos SOI, a segunda interface está em uma condição de inversão fraca.



Fonte: adaptado de [4]

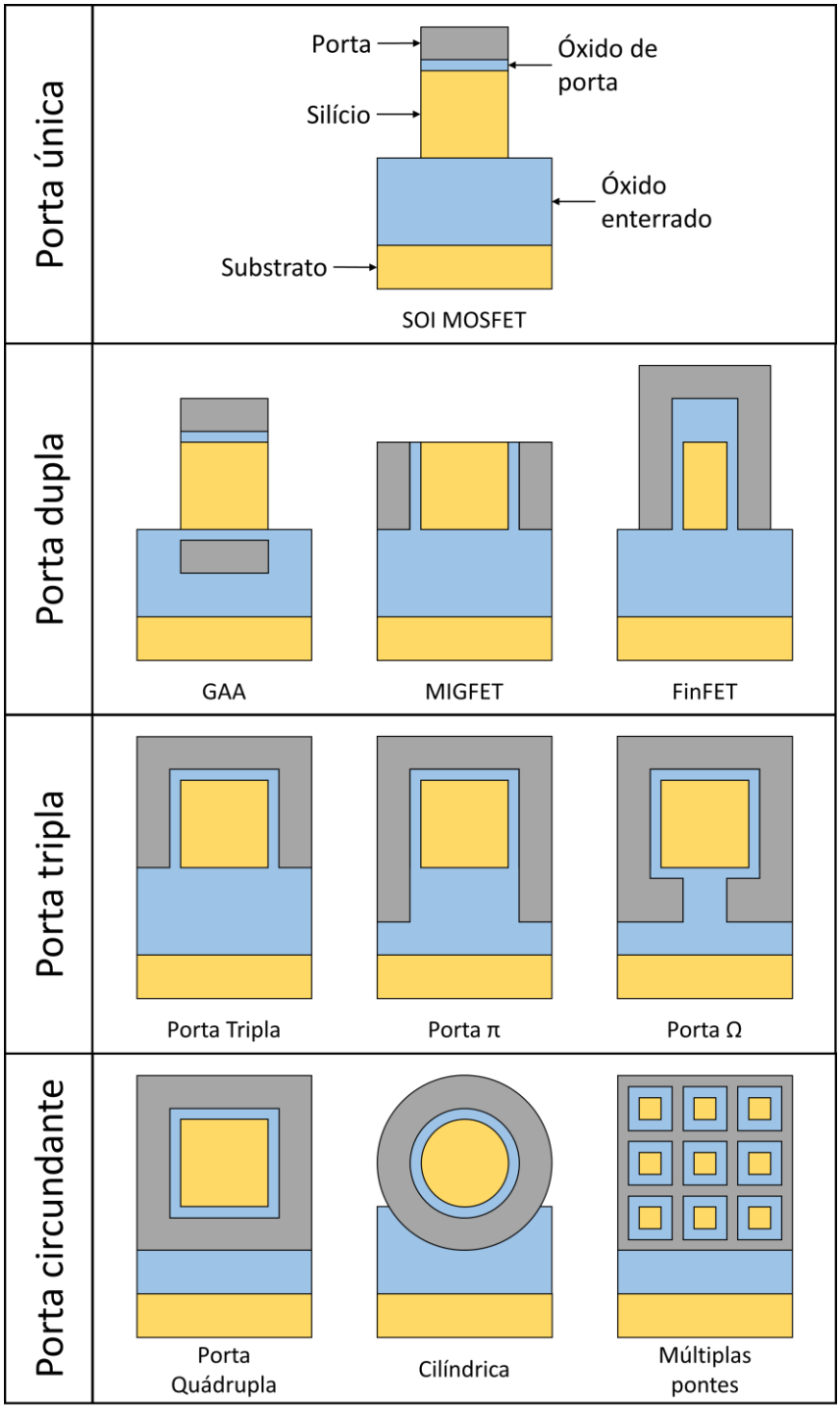
2.2 Transistores SOI de múltiplas portas

2.2.1 Classificação dos transistores SOI de múltiplas portas

Os transistores SOI de múltiplas portas podem ser classificados de acordo com o número de portas presentes no dispositivo. Ao longo do desenvolvimento da tecnologia SOI, diversas estruturas com geometrias diferentes da geometria planar foram idealizadas com o intuito de, por exemplo, melhorar o controle eletrostático das cargas no canal e diminuir os efeitos de canal curto.

Na figura 2.4 estão algumas das estruturas SOI encontradas na literatura, classificadas pelo número de portas:

Figura 2.4 – Diversas estruturas SOI de múltiplas portas.



Fonte: adaptado de [5]

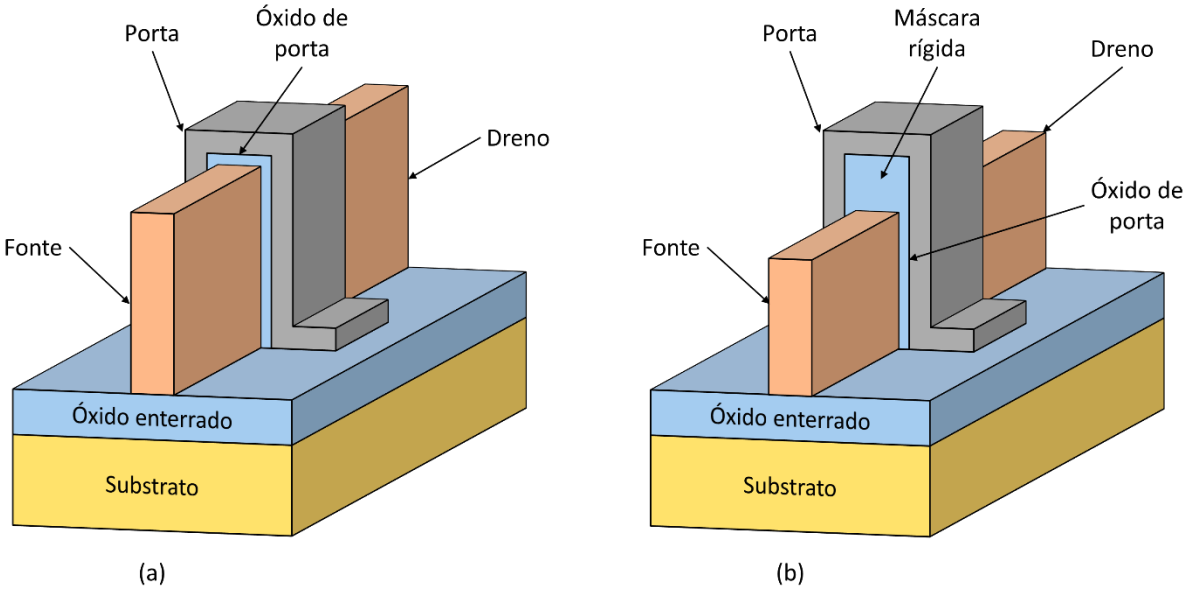
O termo “múltiplas portas” não necessariamente significa que as portas presentes no dispositivo são independentes, isto é, sem conexão elétrica entre si. Na figura 2.4, todos os transistores de porta tripla possuem um único eletrodo de porta com três superfícies conectadas eletricamente, sendo que o potencial elétrico aplicado é o mesmo em todo o eletrodo. O MIGFET (*Multiple Independent Gate Field Effect*

Transistor), como mostrado na figura, é um dispositivo de porta dupla, que possui dois eletrodos de porta que podem receber polarizações diferentes simultaneamente.

2.2.2 Transistores SOI FinFET

Conceitualmente, o transistor SOI FinFET é considerado um dispositivo de porta dupla. O primeiro trabalho sobre transistores MOS de porta dupla (DGMOS – *Double-Gate Metal-Oxide-Semiconductor*) foi publicado em 1984, por T. Sekigawa e Y. Hayashi. Neste trabalho é demonstrado um dispositivo SOI totalmente depletado com o filme de silício prensado entre dois eletrodos de porta conectados eletricamente, havendo uma redução significativa dos efeitos de canal curto. Em 1989 foi fabricado o primeiro dispositivo de múltiplas portas SOI MOSFET, o DELTA (*fully DEpleted Lean-channel TrAnsistor*). Este dispositivo possui um filme de silício alto e fino, no formato de uma aleta (*fin*) [8].

Figura 2.5 – Exemplos de transistores SOI MOSFET de porta dupla: (a) estrutura DELTA MOSFET e (b) FinFET.

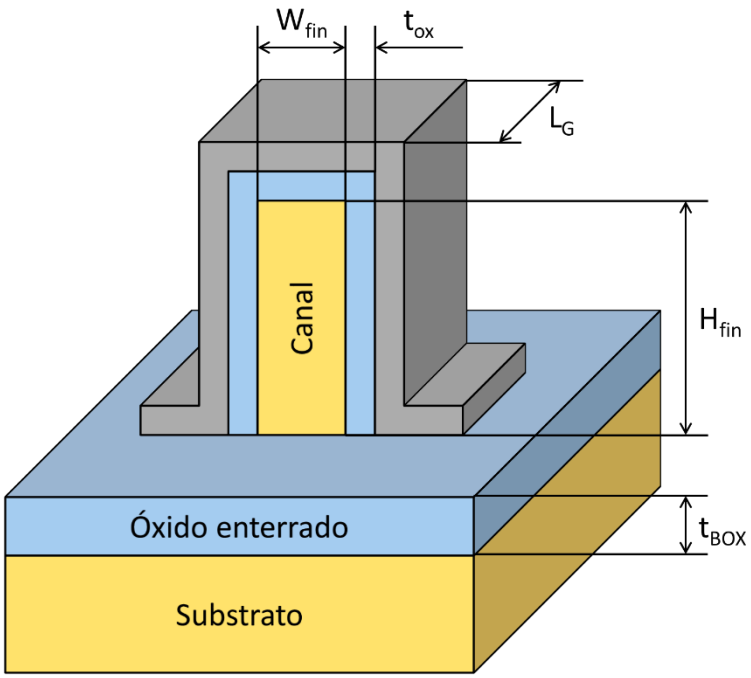


Fonte: adaptado de [5]

O SOI FinFET possui uma estrutura muito similar ao dispositivo DELTA, com exceção da presença de uma máscara rígida (óxido de porta mais espesso) na parte superior do filme de silício, que tem como função evitar a formação de uma camada de inversão parasita. Isto se deve ao fato de que em dispositivo cuja aleta é alta e fina,

a condução de corrente ocorre majoritariamente pelas interfaces laterais ou no centro do filme de silício [5]. No entanto, atualmente o FinFET é citado na literatura como um transistor de porta tripla e sem a presença da máscara rígida, aproveitando a capacidade de condução pela interface no topo do filme de silício.

Figura 2.6 – Exemplo de estrutura de um SOI FinFET (porta tripla). Na figura não estão presentes o silício do dreno e da fonte, enfatizando o canal, óxido e eletrodo de porta e suas respectivas dimensões físicas.



Fonte: autor

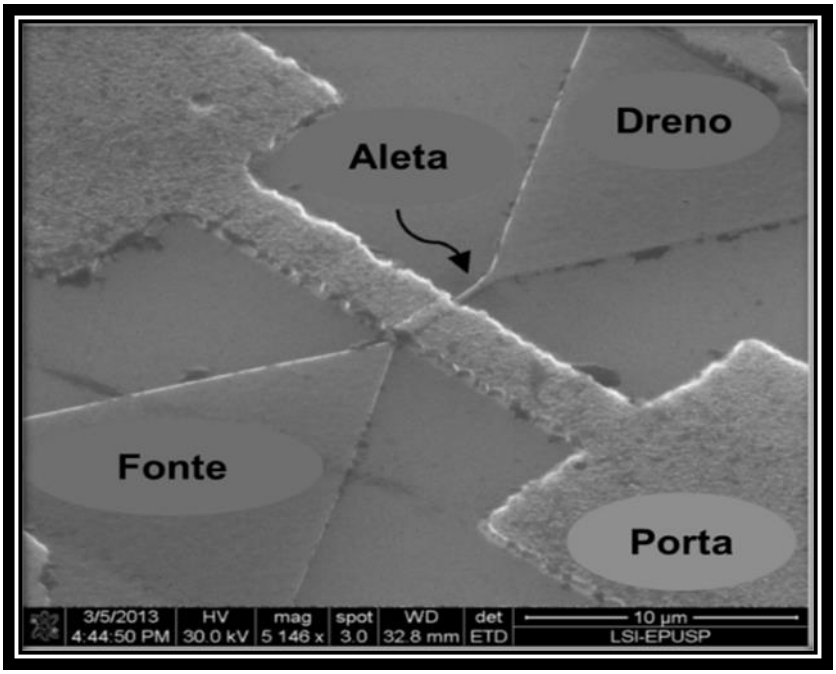
Na figura 2.6 é mostrada a estrutura de um SOI FinFET sem as regiões de dreno e fonte, considerando-o um transistor de porta tripla, com um óxido de porta com a mesma espessura em todas as interfaces. As principais dimensões deste dispositivo são: W_{fin}, a largura da aleta; H_{fin}, a altura da aleta; L_G, o comprimento do canal; t_{ox}, a espessura do óxido de porta; e t_{BOX}, a espessura do óxido enterrado. Nesta estrutura, é considerado que há condução de corrente pela interface superior e nas duas interfaces laterais. Assim, a partir da largura e da altura da aleta, é possível determinar a largura efetiva do canal W_{eff} com a seguinte expressão:

$$W_{eff} = W_{fin} + 2H_{fin} \tag{2.3}$$

A Escola Politécnica da Universidade de São Paulo (USP) tem pesquisado transistores avançados desde 2006, através de modelagem e caracterização elétrica,

com foco nos nós tecnológicos previstos para o futuro da microeletrônica. Os primeiros dispositivos estudados foram fabricados e fornecidos pelo centro de pesquisas imec, da Bélgica [9]. Com a meta de fabricar dispositivos FinFETs como prova de conceito no Brasil, em 2008 submeteu-se um projeto temático à Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), aprovado sob o processo 2008/05792-4, com o título “Projeto, Fabricação e Caracterização de Transistores FinFETs,” resultado de uma colaboração entre pesquisadores da EPUSP, da Universidade Estadual de Campinas (UNICAMP) e do Centro Universitário da FEI, coordenada pelo Prof. Dr. João Antônio Martino. Um dos principais resultados deste projeto foi o primeiro FinFET fabricado na América Latina, que foi apresentado em um *workshop* em Salamanca, Espanha, em 2012 [10] e divulgado na imprensa no mesmo ano [11]. A figura a seguir exibe uma foto do primeiro transistor FinFET fabricado na USP utilizando-se feixe de elétrons, capturada por um microscópio eletrônico:

Figura 2.7 – Primeiro dispositivo SOI FinFET fabricado com feixe de elétrons no Brasil, em 2012, pela.USP.



Fonte: adaptado de Rangel, R. [12]

O dispositivo fabricado possui as seguintes características: 50-100 nm de largura da aleta (W_{fin}), 100 nm de altura de aleta (H_{fin}), óxido enterrado de 200 nm (t_{BOX}), óxido de porta de 4,5 nm (t_{ox}) e 1 µm de comprimento de canal (L_G) [12], [13].

Outro resultado deste projeto foi o desenvolvimento de outra metodologia de fabricação de FinFETs, pela UNICAMP, na qual a definição da aleta do dispositivo é realizada através de um feixe de íons (FIB – *Focused Ion Beam*) [14].

O projeto, apesar de um foco acadêmico, mostrou-se bem alinhado com as perspectivas da indústria mundial de microeletrônica. No início do projeto, em 2008, o FinFET ainda não havia sido adotado como tecnologia comercial. Em 2011, a Intel, de forma pioneira, apresentou uma tecnologia de fabricação comercial com dispositivos não planares, o transistor 3D, outro nome técnico pelo qual o FinFET é conhecido. Desta forma, a ciência brasileira demonstrou que não somente tinha capacidade de fabricar dispositivos não convencionais como também está investindo em pesquisa com alta tecnologia adotada mundialmente, formando recursos humanos e contribuindo a nível global.

2.3 Parâmetros básicos dos transistores SOI de múltiplas portas

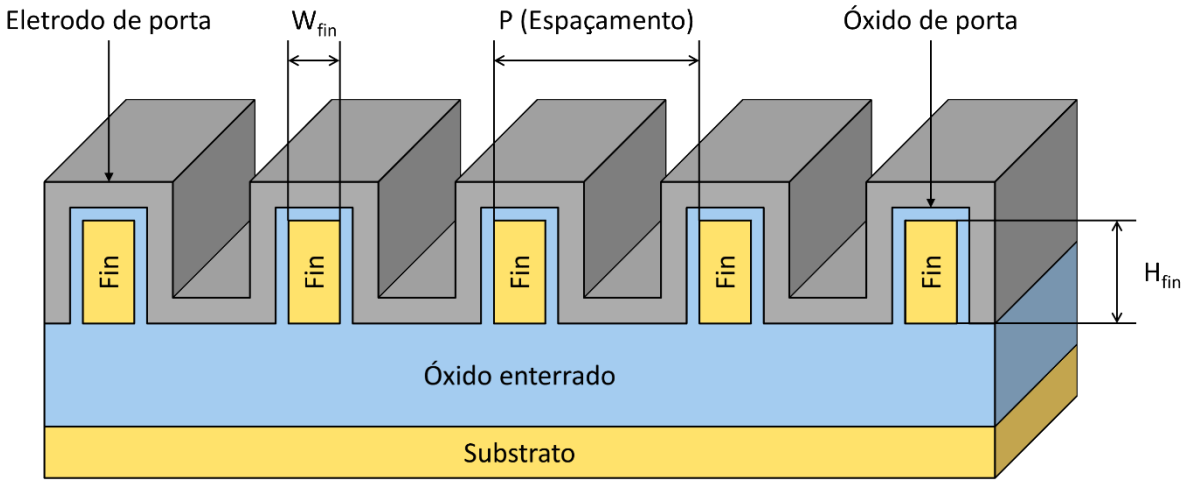
Esta seção do trabalho apresenta os parâmetros básicos dos dispositivos estudados e que são utilizados para a discussão do tema.

2.3.1 Corrente de dreno

Umas das características mais atrativas dos dispositivos SOI de múltiplas portas é a alta capacidade de corrente por unidade de área devida à formação de múltiplo canais [4]. Neste tipo de dispositivo, a corrente é essencialmente proporcional à largura efetiva das portas W_{eff}.

Nos transistores de múltiplas portas, a mobilidade dos portadores de carga nas interfaces laterais é diferente da mobilidade na interface superior. Isso se deve à orientação do cristal de silício, que pode ser diferente em cada interface. Na interface superior, é comum uma orientação (100) enquanto que nas interfaces laterais, é comum a orientação (110).

Figura 2.8 – Estrutura SOI de múltiplas portas e com múltiplas aletas. W_{fin} é a largura da aleta (*fin*), H_{fin} sua altura e P o espaçamento entre o início de uma aleta e outra.



Fonte: adaptado de [5]

Em um transistor SOI de múltiplas portas e com múltiplas aletas (*fins*), a corrente de dreno total do dispositivo é a corrente que passa por uma única aleta multiplicada pelo número de aletas (N_{fin}). Considerando um transistor SOI planar com área de porta W x L e um transistor SOI de múltiplas portas e múltiplas aletas com a mesma área de porta, relaciona-se suas correntes de dreno a partir da equação a seguir:

$$\mathrm{I}_D = I_{D0} \frac{\theta_{fin} . \mu_{superior} . W_{fin} + 2\mu_{lateral} . H_{fin}}{\mu_{superior} . P} \tag{2.4}$$

onde I_D é a corrente de dreno do transistor de múltiplas portas, I_{D0} é a corrente de dreno do transistor SOI planar de porta única com mesma área de porta que o transistor de múltiplas portas, W_{fin} é a largura do canal (fin) no transistor SOI de múltiplas portas, H_{fin} é a altura do canal no transistor de múltiplas portas (equivalente à t_{si}), P é o espaçamento entre as aletas (do começo de uma aleta até o começo de outra) no transistor SOI de múltiplas portas, $\mu_{superior}$ é a mobilidade dos portadores de carga na interface superior do canal e $\mu_{lateral}$ é a mobilidade dos portadores de carga nas interfaces laterais do canal do transistor. Para transistores de porta tripla, o coeficiente θ é igual a 1 (θ_{fin} = 1) enquanto que para transistores de porta dupla, θ_{fin} = 0 (não há condução pela interface superior) [5].

2.3.2 Tensão de limiar

A tensão de limiar (V_T) de um transistor MOSFET convencional é definida como o valor de tensão aplicada à porta que faz com que a superfície da interface entre o óxido de porta e o silício da região do canal seja invertida [15]. A condição de limiar geralmente corresponde a uma condição de inversão forte, onde o potencial de superfície (Φ_S) é igual ao dobro do potencial de Fermi (Φ_F), $\Phi_S = 2.\Phi_F$.

Entretanto, em dispositivos de múltiplas portas a condição de limiar pode ocorrer para um potencial de superfície diferente de $2.\Phi_F$. Também, devido as múltiplas interfaces, pode ocorrer a inversão em diferentes regiões do canal para diferentes tensões aplicadas à porta. Para um transistor FDSOI de porta dupla, analisando o dispositivo pelo ponto de vista de suas capacitâncias, a tensão de limiar pode ser descrita [16] pela equação:

$$\mathrm{V}_T = \Phi_{MS} + \frac{k.T}{q} ln\left[\frac{2.C_{ox}.k.T}{q^2.n_i.t_{si}}\right] + \frac{\hbar^2.\pi^2}{2.q.m^*.{t_{si}}^2} \tag{2.5}$$

onde Φ_{MS} é a função trabalho do material de porta com relação ao silício, k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron, C_{ox} é a capacitância do óxido de porta, n_i é a concentração intrínseca de portadores, t_{si} é a espessura do filme de silício, ħ é a constante reduzida de Planck e m^* é a massa efetiva de confinamento do portador na direção transversal.

O segundo termo da equação corresponde ao potencial no canal. Já o terceiro termo corresponde aos efeitos quânticos que surgem com a redução da espessura do filme de silício, devidos principalmente a divisão das bandas de energia de condução em sub-bandas [5]. No caso de dispositivos com o filme espesso ou largo a contribuição dos efeitos quânticos se torna desprezível.

2.3.3 Inclinação de sublimiar

A inclinação de sublimiar de um transistor MOSFET (SS – *Subthreshold Slope*) é definida como a variação de tensão de porta (V_G) necessária para causar uma variação de uma década de corrente de dreno (I_D) com o dispositivo operando na

região de sublimiar, com uma tensão de porta abaixo da tensão de limiar. Este parâmetro indica a velocidade com a qual o transistor é chaveado do estado desligado para o estado ligado e quanto menor seu valor, melhor o desempenho do dispositivo. Por definição, a inclinação de sublimiar pode ser expressa [17] pela equação:

$$SS = \frac{dV_G}{d\log(I_D)} \tag{2.6}$$

onde V_G é a tensão de porta e I_D é a corrente de dreno.

Para transistores SOI MOSFET, desprezando-se os estados de interface e de forma geral, a inclinação de sublimiar pode ser expressa por uma relação entre as capacitâncias presentes no dispositivo e o acoplamento entre elas [4], como na equação a seguir:

$$SS = n\frac{k.T}{q}ln(10) = \frac{k.T}{q}ln(10)(1+\alpha) \tag{2.7}$$

onde k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron, n é o fator de corpo do dispositivo, definido como n = 1 + α, e α é o fator que corresponde à associação das capacitâncias de óxido e interfaces do dispositivo.

2.3.4 Mobilidade dos portadores de carga

A mobilidade dos portadores de carga dentro de um material semicondutor é definida como a constante de proporcionalidade entre a velocidade de deriva dos portadores e o campo elétrico [15]. Um elétron livre em um cristal semicondutor tem seu movimento limitado por diversos mecanismos, como colisão com os próprios átomos do material, mecanismos de espalhamento (*scattering*) como, por exemplo, espalhamento por fônons devido às vibrações no cristal semicondutor, espalhamento nas superfícies causado pela rugosidade microscópica nas interfaces Si-SiO_2 (entre o silício e o óxido), espalhamento de Coulomb pelas impurezas ionizadas no substrato e no filme de silício e também pelas cargas presentes nas interfaces [18].

Nos transistores SOI de múltiplas portas, devido à condução de corrente em diferentes interfaces no dispositivo, os portadores podem ter mobilidades diferentes

em cada interface, dependendo da orientação cristalográfica nestas – por exemplo <100> na interface superior e <110> nas laterais. Para um SOI FinFET, pode-se definir uma mobilidade efetiva (μ_{eff}) a partir de uma relação entre as dimensões da aleta e as mobilidades em cada interface [19], conforme a seguinte equação:

$$\mu_{eff} = \frac{W_{fin}}{W_{fin} + 2.H_{fin}} \cdot \mu_{superior} + \frac{2.H_{fin}}{W_{fin} + 2.H_{fin}} \cdot \mu_{lateral} \tag{2.8}$$

onde H_{fin} é a altura da aleta (*fin*) no FinFET, W_{fin} é a largura do aleta, $\mu_{superior}$ é a mobilidade dos portadores de carga na interface superior do canal e $\mu_{lateral}$ é a mobilidade dos portadores de carga nas interfaces laterais do canal do transistor.

Na equação (2.8), é possível perceber a relevância da geometria do dispositivo em sua mobilidade efetiva. Em dispositivos com aletas largas, a interface superior tem uma maior influência na mobilidade efetiva pois a maior parte da condução de corrente ocorre no topo do canal, enquanto que em dispositivos com aletas estreitas, a condução de corrente ocorre predominantemente nas laterais do canal, predominando a influência das interfaces laterais.

Um outro fator que diferencia a mobilidade em transistores de múltiplas portas dos planares é o fenômeno de inversão de volume que pode ocorrer em dispositivos com filmes de silício finos, fazendo com que os portadores de cargas não fiquem necessariamente confinados próximo as interfaces, mas no centro do filme de silício, o que resulta em uma maior mobilidade dos portadores de carga nessa região [5]. Este fenômeno de natureza quântica foi descoberto por Balestra et al. em transistores SOI MOSFET GAA (*Gate-All-Around*) [20] e também é observado em dispositivos SOI de porta tripla [21].

2.3.5 Transcondutância

A transcondutância de um transistor MOSFET (gm) é definida como uma medida da efetividade de controle de corrente de dreno pela tensão de porta, ou seja, uma característica de transferência. Por definição, a transcondutância é expressa [4] pela seguinte equação:

$$gm = \frac{dI_D}{dV_G} \tag{2.9}$$

Para dispositivos de múltiplas portas, a mobilidade dos portadores de cargas pode ser diferente nas diversas interfaces. Assim, a transcondutância de um transistor de múltiplas portas pode ser composta pela transcondutância de suas interfaces. Para um FinFET, analisando do ponto de vista dos valores de pico e com o dispositivo operando em triodo, a transcondutância máxima total ($gm_{máx,total}$) é a soma da transcondutância máxima lateral ($gm_{máx,lateral}$) com a transcondutância máxima superior ($gm_{máx,superior}$), conforme modelo proposto por F. Daugé [22]. Assumindo que a espessura do óxido é a mesma em todas as interfaces (superior e lateral), pode-se descrever as transcondutâncias a partir das seguintes equações:

$$gm_{máx,lateral} = 2\frac{H_{fin}}{L_G}.C_{ox}.V_D.\mu_{lateral} \tag{2.10}$$

$$gm_{máx,superior} = \frac{W_{fin}}{L_G}.C_{ox}.V_D.\mu_{superior} \tag{2.11}$$

$$gm_{máx,total} = \{W_{fin}.\mu_{superior} + 2.H_{fin}.\mu_{lateral}\}\frac{C_{ox}.V_D}{L_G} \tag{2.12}$$

onde H_{fin} é a altura da aleta (*fin*) no FinFET, W_{fin} é a largura do aleta, $\mu_{superior}$ é a mobilidade dos portadores de carga na interface superior do canal, $\mu_{lateral}$ é a mobilidade dos portadores de carga nas interfaces laterais do canal do transistor, C_{ox} é a capacitância de óxido de porta ($C_{ox} = \varepsilon_{ox} / t_{ox}$), V_D é a tensão aplicada ao dreno e L é o comprimento de canal do FinFET.

2.3.6 Condutância de saída

A condutância de saída (g_D) pode ser definida como a influência da variação da tensão de dreno (V_D) na corrente de dreno quando a tensão de porta é mantida constante. Para os transistores MOSFET, é desejável um baixo valor de g_D para que

o dispositivo tenha um melhor desempenho. Por definição, a condutância de saída, também chamada de condutância de dreno, é definida pela equação a seguir:

$$g_D = \frac{dI_D}{dV_D} \tag{2.13}$$

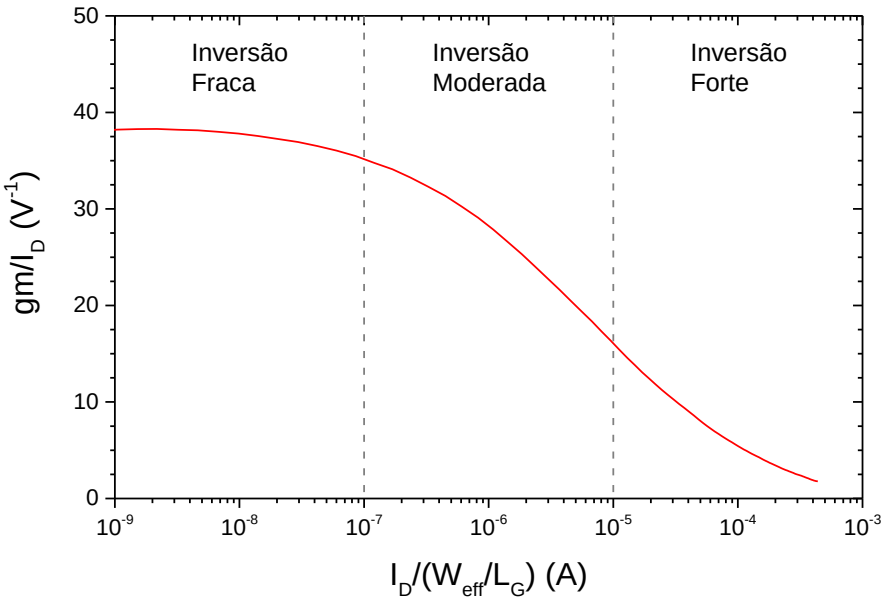
onde I_D é a corrente de dreno e V_D é a tensão aplicada a porta.

2.3.7 Eficiência do transistor

A eficiência do transistor é definida como a razão entre a transcondutância e corrente de dreno, gm/I_D, onde gm representa a amplificação do dispositivo e I_D a energia fornecida para atingir esta amplificação [4]. Este parâmetro é muito utilizado para a análise de aplicações analógicas e também para o projeto de circuitos, sendo uma característica universal de todos os dispositivos fabricados em um mesmo processo [23].

Para transistores MOSFET, tanto convencionais quanto SOI, uma análise da eficiência do transistor em função da corrente de dreno normalizada e do ponto de vista do regime de inversão demonstra que a razão da transcondutância sobre a corrente de dreno tem um valor máximo quase constante em inversão fraca (WI – *Weak Inversion*), com uma forte dependência da inclinação de sublimiar [24]. Em inversão forte (SI – *Strong Inversion*), ocorre uma redução de gm/I_D com a corrente de dreno, com uma maior dependência da mobilidade dos portadores de carga e da resistência série ($R_{série}$) e com uma característica quase linear quanto mais forte a inversão, devido à saturação da velocidade destes portadores [23].

Figura 2.9 – Exemplo de curva característica da eficiência de um SOI nFinFET (canal tipo n) em função da corrente de dreno normalizada, gm/I_D vs. $I_D/(W_{eff}/L_G)$.



Fonte: autor

Esse comportamento pode ser exemplificado por algumas equações resultantes de modelos focados em aplicações digitais que descrevem satisfatoriamente as características da eficiência de um transistor em inversão fraca e inversão forte, mas que possuem limitações em inversão moderada [24], [25]:

- Inversão fraca (WI):

$$\frac{gm}{I_D} = \frac{ln(10)}{SS} = \frac{q}{(1+\alpha).k.T} = \frac{q}{n.k.T} \tag{2.14}$$

- Inversão forte (SI):

$$\frac{gm}{I_D} = \sqrt{\frac{2.\mu.C_{ox}.(W/L)}{(1+\alpha).I_D}} = \sqrt{\frac{2.\mu.C_{ox}.(W/L)}{n.I_D}} \tag{2.15}$$

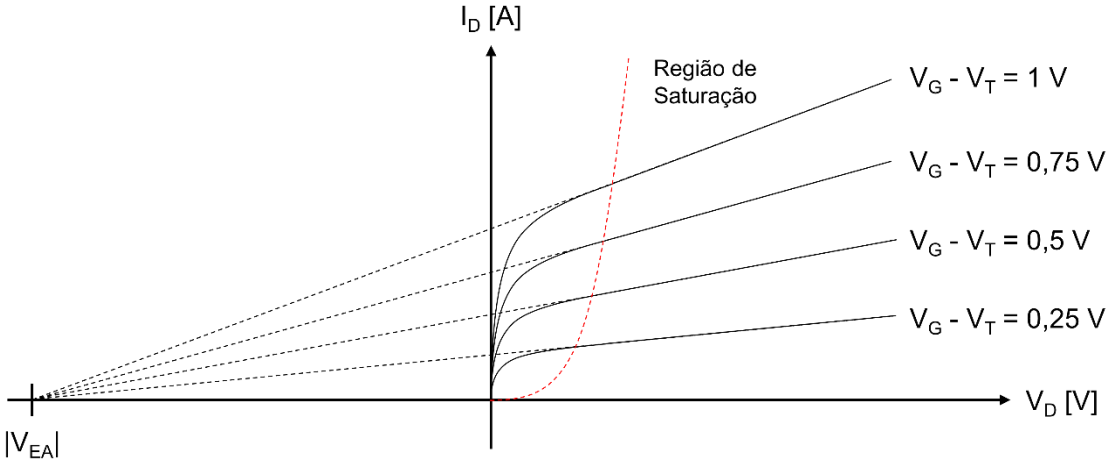
onde k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron, n é o fator de corpo do dispositivo, α é o fator que corresponde à associação das capacitâncias de óxido e interfaces do dispositivo, μ é a mobilidade

dos portadores de carga, Cox é a capacitância do óxido de porta e W e L são, respectivamente, a largura e o comprimento do dispositivo.

2.3.8 Tensão Early

Em transistores MOSFET, a tensão Early (V_{EA}) é um parâmetro analógico e também uma medida indireta do efeito de modulação do canal, que ocorre quando a tensão aplicada ao dreno é maior do que a tensão de dreno de saturação (V_{Dsat}). Idealmente, a corrente de dreno deveria se manter constante quando $V_D > V_{Dsat}$. No entanto, a alta tensão de dreno causa um aumento da região de depleção entre dreno e canal, diminuindo o comprimento efetivo do canal e causando um aumento de corrente de dreno na região de saturação [17].

Figura 2.10 – Exemplo de curvas ID x VD, onde é possível verificar as linhas tangentes às curvas na região de saturação interceptando o eixo de V_D no valor $|V_{EA}|$.



Fonte: autor

Para um mesmo dispositivo, obtendo-se as curvas características I_DV_D, para diferentes tensões de porta (V_G), idealmente todas as linhas tangentes às curvas na região de saturação interceptam o eixo de V_D (eixo x) no valor $|V_{EA}|$ [17]. O valor da tensão Early pode ser definido através de sua relação com a corrente de dreno saturação e a condutância de saída de saturação, conforme as equações a seguir:

$$g_{Dsat} \equiv \frac{I_{Dsat}}{V_{EA} + V_{Dsat}} \cong \frac{I_{Dsat}}{V_{EA}} \tag{2.16}$$

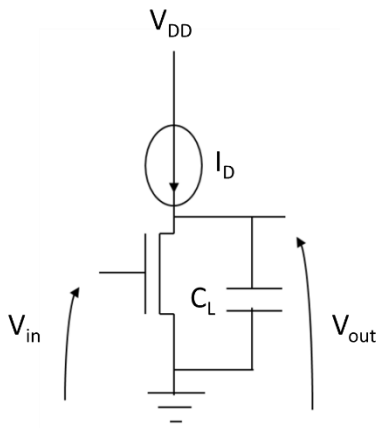
$$V_{EA} \cong \frac{I_{Dsat}}{g_{Dsat}} \tag{2.17}$$

onde g_{Dsat} é a condutância de saída de saturação, I_{Dsat} é a corrente de dreno de saturação e V_{EA} é a tensão Early do dispositivo.

2.3.9 Ganho intrínseco de tensão

O ganho intrínseco de tensão de um transistor MOSFET (A_V) é um parâmetro analógico que indica sua capacidade de amplificação ou a variação da tensão de saída em função da tensão de entrada. Para exemplificar o entendimento deste parâmetro, pode-se analisar o transistor em uma configuração de fonte comum, fornecendo uma corrente de dreno à uma capacitância [23], como na figura 2.11:

Figura 2.11 – Circuito de um amplificador de tensão com um transistor NMOS polarizado no modo fonte comum



Fonte: autor

De outro ponto de vista, também pode-se definir este parâmetro como a relação entre a sua efetividade de controle da corrente de dreno (transcondutância) e sua condutância de saída [5], [23], como na seguinte expressão:

$$|A_V| \cong \frac{gm}{g_D} \cong \frac{gm}{I_D}.V_{EA} \tag{2.18}$$

2.3.10 Frequência de ganho unitário

A frequência de ganho unitário (f_T) é um parâmetro analógico que representa quantitativamente a frequência de um sinal que, aplicado à porta do transistor MOSFET, produz um ganho de tensão de uma unidade (unitário) e é considerada uma figura de mérito para caracterização do dispositivo em altas frequências. Este parâmetro pode ser expressado pela relação entre a transcondutância do transistor MOSFET e a capacitância total de porta [26], como na seguinte equação:

$$f_T = \frac{gm}{2.\pi.C_{GG}} \tag{2.19}$$

onde C_{GG} é a capacitância total de porta do dispositivo.

2.4 Coeficiente de inversão

O coeficiente de inversão (IC – *Inversion Coefficient*) é um parâmetro dos transistores MOSFET que permite a análise de suas características em função dos regimes de inversão, representando o nível de inversão no canal. O parâmetro é adimensional e é possível definir os regimes de inversão baseando-se em seus valores: para IC < 0,1 o transistor opera em inversão fraca, para 0,1 < IC < 10 opera em inversão moderada com IC = 1 no centro desta região e para IC > 10 opera em inversão forte [27].

Diversos trabalhos baseados no coeficiente de inversão foram desenvolvidos. Eric A. Vittoz propôs o coeficiente de inversão baseado na análise da corrente de dreno I_D, composta pela superposição da corrente de dreno direta I_F (*forward drain current*) e da corrente de dreno reversa I_R (*reverse drain current*), $I_D = I_F + I_R$, comparada com a corrente de dreno específica do dispositivo I_{spec} (*specific current*), que é a corrente de dreno independente de V_D e V_S. Nesta análise, para $I_F >> I_{spec}$ assume-se que o MOSFET opera em inversão forte e I_F pode ser aproximada por uma função quadrática, enquanto que para $I_F << I_{spec}$ considera-se que o mesmo dispositivo opera em inversão fraca e I_F pode ser aproximada por uma função exponencial. No caso em que o valor de I_F não é nem muito maior e nem muito menor do que o valor de I_{spec}, assume-se que o dispositivo opera em inversão moderada. Em seguida,

descreve-se o coeficiente de inversão em função da razão corrente de dreno pela corrente específica do dispositivo [28], [29]:

$$IC = \frac{I_D}{I_{spec}} \tag{2.20}$$

Outros trabalhos desenvolvidos por Daniel Foty, David M. Binkley e Matthias Bucher, propõem o coeficiente de inversão baseando-se no trabalho prévio de E.A. Vittoz [30], [31]. Neste trabalho, o coeficiente de inversão IC é expresso pela seguinte equação:

$$IC = \frac{I_D}{2.n.\mu_0.C_{ox}.\left(\frac{W}{L}\right).\left(\frac{k.T}{q}\right)^2} = \frac{I_D}{I_0.\left(\frac{W}{L}\right)} \tag{2.21}$$

onde n é o fator de corpo do dispositivo, μ_0 é a mobilidade dos portadores de carga para baixo campo elétrico transversal e I_0 é a corrente de dreno dependente do processo do dispositivo, conforme expressão (2.22) [28], [29]:

$$I_0 = 2.n.\mu_0.C_{ox}.\left(\frac{k.T}{q}\right)^2 \tag{2.22}$$

A corrente I_0, que depende de diversas características do processo e do dispositivo pode ser comparada à corrente específica I_S proposta por E.A. Vittoz.

Um terceiro trabalho, realizado por Willy M.C. Sansen, também analisa os transistores MOSFET baseando-se no coeficiente de inversão. Como nos trabalhos previamente citados, IC é a corrente de dreno normalizada por uma corrente que é intrínseca ao dispositivo. W.M.C. Sansen utiliza a corrente de dreno de transição (I_{Dt}) de inversão fraca para inversão forte para esta normalização, que ocorre quando $V_G = V_T$, isto é, quando a sobretensão de porta (V_{GT}) é zero ($V_{GT} = V_G - V_T = 0$). A transição entre inversão fraca e inversão forte ocorre com o dispositivo operando em inversão moderada [26]. Baseando-se no modelo analítico EKV (Enz-Krummenacher-Vittoz) [32], [33] para transistores MOSFET, a corrente de dreno é descrita conforme as equações a seguir:

$$I_D = K'.\frac{W}{L}.V_{GTt}{}^2[ln(1+e^v)]^2 \tag{2.23}$$

$$K' = \frac{\mu.C_{ox}}{2.n} \tag{2.24}$$

$$V_{GTt} = (V_G - V_T)_t = 2.n.\frac{k.T}{q} \tag{2.25}$$

$$v = \frac{V_{GT}}{V_{GTt}} \tag{2.26}$$

onde K' é um fator que depende das características de processo e das polarizações aplicadas, V_{GTt} é a sobretensão de porta de transição, que ocorre na transição entre inversão fraca e forte, v é a sobretensão de porta aplicada normalizada pela sobretensão de porta de transição, μ é a mobilidade dos portadores de carga e n é o fator de corpo.

A corrente de dreno em inversão fraca (I_{Dwi}) ocorre para valores de pequenos da tensão v e sua expressão pode ser aproximada por uma função exponencial:

$$I_{Dwi} \cong K'.\frac{W}{L}.V_{GTt}{}^2 e^{2v} = K'.\frac{W}{L}.V_{GTt}{}^2 e^{\left(\frac{V_G - V_T}{n.\frac{k.T}{q}}\right)} \tag{2.27}$$

Para a corrente de dreno em inversão forte (I_{Dsi}), a tensão v assume valores grandes e a equação da corrente pode ser aproximada por uma função quadrática:

$$I_{Dsi} \cong K'.\frac{W}{L}.V_{GTt}{}^2 v^2 = K'.\frac{W}{L}.(V_G - V_T)^2 \tag{2.28}$$

A corrente de dreno de transição I_{Dt} é definida como a corrente que passa pelo MOSFET quando $I_{Dwi} = I_{Dsi}$, como consequência de $V_{GT} = 0$. A presença de I_{Dt} pode ser observada nas expressões de I_D, I_{Dwi} e I_{Dsi}, sendo uma corrente característica do dispositivo, conforme expressão (2.29):

$$I_{Dt} = K'.\frac{W}{L}.V_{GTt}{}^{2} = K'.\frac{W}{L}.\left(2.n.\frac{k.T}{q}\right)^{2} \tag{2.29}$$

Como citando anteriormente, W.M.C. Sansen [26] utiliza a corrente de dreno de transição para normalizar a corrente de dreno e assim obter o coeficiente de inversão:

$$IC = \frac{I_D}{I_{Dt}} = [ln(1 + e^{v})]^2 = \left[ln\left(1 + e^{\frac{V_G - V_T}{2.n.\frac{k.T}{q}}}\right)\right]^2 \tag{2.30}$$

Desta forma, o coeficiente de tensão é descrito de maneira mais direta, demonstrando claramente sua dependência das polarizações aplicadas e das características do dispositivo, como o fator de corpo n, que também depende das polarizações em um SOI MOSFET.

2.5 Efeitos da temperatura

A temperatura na qual um transistor opera influencia fortemente seu comportamento, através de mecanismos físicos diversos. A compreensão do comportamento do dispositivo sob determinadas condições de temperatura se torna essencial em aplicações críticas utilizadas em ambientes com temperaturas mais extremas.

Os transistores SOI MOSFETs são conhecidos por seu desempenho superior quando comparados aos MOSFETs convencionais em alta temperatura, pois não possuem estruturas parasitárias que são ativadas termicamente (*latch-up*), as correntes de fuga são menores e no caso dos dispositivos totalmente depletados, a tensão de limiar sofre uma menor variação com a temperatura [4].

Recentemente, o interesse em eletrônica de baixa temperatura tem crescido devido a sua aplicação nos campos de, por exemplo, detectores de infravermelho, comunicação por satélite, levitação magnética, diagnósticos médicos instrumentação criogênica e supercondutividade [34]. Desta forma, torna-se necessário um

aprofundamento na compreensão do funcionamento de dispositivos semicondutores em baixa temperatura.

Algumas características exibidas em dispositivos semicondutores operando em baixa temperatura são: alta velocidade de chaveamento devido ao aumento da velocidade de saturação e da mobilidade dos portadores de carga, o que resulta em uma baixa resistência de dreno a fonte, menor dissipação de energia, ruído térmico reduzido, baixas correntes de fuga, melhora da integridade eletrostática da porta, redução de fugas em sublimiar causada por uma diminuição do número de portadores de carga com energia suficiente para ionização por impacto [34].

Transistores SOI MOSFET de múltiplas portas podem apresentar um comportamento peculiar em baixas temperaturas, dependendo de suas dimensões. Em dispositivos de múltiplas portas com dimensões reduzidas ocorre o fenômeno de inversão de volume e com a baixa temperatura e uma tensão de dreno pequena ocorre também a divisão das bandas de energia em sub-bandas unidimensionais [35]. Nestas condições, a mobilidade dos portadores de carga pode atingir valores muito superiores aos previstos em temperatura ambiente, por exemplo, 1.200 $cm^2/V.s$. No entanto, devido à condução dos portadores nas sub-bandas de energia, pode ocorrer o fenômeno de espalhamento entre-sub-bandas (*inter-subband scattering*) causando uma extrema redução da mobilidade, que chega a atingir valores próximo de zero. Este fenômeno pode ser observado como variações mais abruptas nas curvas características de corrente de dreno em função da tensão de porta (I_D x V_G) [35].

2.5.1 Tensão de limiar

A tensão de limiar dos dispositivos FinFETs depende de parâmetros como a concentração intrínseca de portadores (n_i) e da própria temperatura, como expresso na equação (2.5). A própria concentração intrínseca de portadores, por sua vez, tem uma forte dependência da temperatura, tanto direta como indireta, a partir de sua relação com a energia da faixa proibida (E_G) [17], expressa na equação a seguir:

$$n_i = \sqrt{32}\left(\frac{\pi^2 k^2 m_e^* m_h^*}{h^4}\right)^{3/4} . T^{\frac{3}{2}} . e^{-\left(\frac{E_g}{2kT}\right)} \tag{2.31}$$

onde k é a constante de Boltzmann, T é a temperatura absoluta, m_e* é a massa efetiva do elétron, m_h* é a massa efetiva da lacuna e h é a constante de Plank.

A energia da faixa proibida (*bandgap energy*) também é dependente da temperatura, bem como a concentração de impurezas ionizadas nos materiais utilizados nos dispositivos [15].

Com a diminuição da temperatura, a concentração intrínseca de portadores e de impurezas ionizantes tende a diminuir, sendo a primeira reduzida em diversas ordens de grandeza [17] e impactando diretamente o valor da tensão de limiar do dispositivo.

2.5.2 Inclinação de sublimiar

A inclinação de sublimiar (SS) dos transistores SOI de múltiplas portas tem uma relação proporcional com a temperatura, como descrito na equação (2.7). O limite termodinâmico teórico da inclinação de sublimiar de um dispositivo em temperatura ambiente (300 K) é de 60 mV/dec, para um fator α igual a 1, que ocorreria somente desprezando as capacitâncias parasitas associadas do dispositivo [36].

A diminuição da temperatura proporciona uma diminuição dos valores de SS abaixo do valor de 60 mV/dec. No entanto, em condições reais, as capacitâncias não podem ser desprezadas e a baixa temperatura causa alguns efeitos, como o aumento da densidade de armadilhas de interface, que acabam alterando os valores das capacitâncias presentes no dispositivo e, consequentemente, o fator α. Desta forma, a variação da inclinação de sublimiar com a temperatura não ocorre de forma linear.

2.5.3 Mobilidade dos portadores de carga

A mobilidade dos portadores de carga nos dispositivos semicondutores é extremamente afetada pela temperatura, que influencia os diversos mecanismos de espalhamentos que limitam a velocidade desses portadores. A mobilidade média dos portadores pode ser descrita a partir da mobilidade devida a cada mecanismo de espalhamento, utilizando-se a regra de Mathiessen [37]. Os principais mecanismos de espalhamento são listados a seguir:

- **Espalhamento de rede:** um dos principais mecanismos de espalhamento que afetam a velocidade dos portadores de carga nos dispositivos semicondutores é o espalhamento de rede, que está relacionado com a vibração da rede cristalina, também conhecida por fônon. A teoria que explica este fenômeno depende de diversos efeitos da mecânica quântica, como, por exemplo, a estrutura de bandas de energia do material, que se modifica em baixas temperaturas, com as bandas de energia se dividindo em sub-bandas [37], os elétrons se movendo a uma determinada velocidade e submetidos a uma determinada força tem seu movimento descrito por uma relação entre essa força e uma força de fricção, que age contra o movimento do portador. A força de fricção representa o espalhamento por fônons e é diretamente proporcional a massa do portador e inversamente proporcional ao tempo de relaxamento deste, parâmetros que, por sua vez, dependem da estrutura de bandas de energia. A mobilidade dos portadores devida ao espalhamento de rede aumenta com a diminuição da temperatura, uma vez que o número de fônons é reduzido [37].

- **Espalhamento por impurezas ionizadas:** A presença de impurezas nos materiais semicondutores também causa espalhamento dos portadores de carga, criando centros de espalhamento que prejudicam a mobilidade. O valor da concentração da dopagem é um dos fatores que determina a influência do espalhamento por impurezas ionizadas em baixa temperatura, sendo que para baixas dopagens e baixas temperaturas, a mobilidade dos portadores aumenta. A mobilidade devida a este tipo de espalhamento não é totalmente independente da mobilidade devida ao espalhamento de rede e alguns modelos descrevem a primeira em função da segunda [37].

- **Saturação da velocidade:** A saturação da velocidade dos portadores de carga limita a mobilidade destes quando submetidos a campos elétricos mais altos. Com a baixa temperatura, o valor de campo elétrico a partir do qual a mobilidade satura é maior [37]

- **Espalhamento portador-portador:** Este mecanismo de espalhamento afeta dispositivos semicondutores quando a concentração de portadores livres é muito alta, elevando-se acima do nível de dopagem. Como a

concentração de portadores livre (n_i) é extremamente dependente da temperatura e tende a diminuir em baixas temperaturas, o espalhamento portador-portador consequentemente é reduzido para essa condição [37].

- **Espalhamento por impurezas neutras:** Este mecanismo de espalhamento é importante para materiais semicondutores com níveis de dopagem abaixo do nível de degeneração (aproximadamente 10^{18} cm^{-3}) e para temperaturas abaixo de 125 K. A densidade de impurezas neutras é dependente da temperatura. Em baixas temperaturas, a energia térmica é insuficiente para manter as impurezas ionizadas e a concentração de portadores de carga em estado de excitação (portadores livres) pode ser menor do que a de portadores em estado fundamental (não ionizadas ou impurezas neutras). Porém, a concentração de impurezas neutras aumenta exponencialmente para temperaturas abaixo de 50 K, reduzindo drasticamente a mobilidade dos portadores devido ao espalhamento por impurezas neutras [37].

- **Espalhamento de superfície:** A superfície de um material semicondutor apresenta um potencial aperiódico que espalha portadores movendo-se próximos a esta. Esse potencial aperiódico é causado pela rugosidade da superfície, defeitos na estrutura cristalina e outros fatores. O campo elétrico vertical, causado pela tensão aplicada à porta, atrai os portadores para a superfície próxima a interface entre óxido de porta e região ativa de silício e também altera a estrutura de bandas de energia na região, dividindo as bandas e sub-bandas e assim mudando a distribuição dos portadores ao longo da direção perpendicular à superfície [37]. A estrutura de bandas, como visto anteriormente, também é influenciada pela temperatura.

2.5.4 Transcondutância

A transcondutância, como citado anteriormente, tem uma relação diretamente proporcional com a mobilidade, expressa pela equação (2.12). Desta forma, como a diminuição da temperatura ocasiona um aumento da mobilidade, os valores de transcondutância também são elevados.

2.5.5 Tensão Early

Os níveis de corrente de dreno dos dispositivos SOI FinFET influenciam diretamente os valores da tensão Early, como descrito na equação (2.17). A baixa temperatura proporciona um aumento do nível de corrente de dreno, por diversos mecanismos citados anteriormente, e, portanto, o valor de V_{EA} é elevado.

No entanto, a baixa temperatura também aumenta a taxa de ionização por impacto, causando uma elevação da corrente de dreno, principalmente para tensões mais elevadas. A elevação desta corrente consequentemente proporciona uma maior condutância de saída de dreno, o que degrada o valor da tensão Early, como nota-se na equação (2.17).

2.5.6 Ionização por impacto

Em baixa temperatura, a tensão necessária para produzir um certo nível de ionização por impacto é reduzida, significando que para a mesma polarização em temperaturas diferentes, a condição de temperatura mais baixa proporciona um maior nível de ionização por impacto [38].

Este fato se alinha com a redução da influência dos mecanismos de espalhamento dos portadores de carga em baixas temperaturas, que tem sua mobilidade aumentada, conforme explicado anteriormente. Desta forma, os portadores acabam adquirindo mais velocidade e consequentemente mais energia cinética, o que contribui para o aumento da taxa de ionização por impacto.

2.6 Efeitos da radiação

Os efeitos da radiação em um dispositivo semicondutor dependem do tipo de radiação a qual ele é submetido. Alguns tipos de radiação que afetam os dispositivos são: fótons, nêutrons, íons pesados, prótons, elétrons, radiação eletromagnética, etc. De forma geral, os transistores MOSFET são afetados por radiações ionizantes, que podem ser emitidas por diversas fontes, tanto naturais quanto artificiais.

Os transistores SOI MOSFET são muito utilizados em aplicações em ambientes com radiação, devido a sua alta tolerância a eventos transitórios (SEE – *Single Event*

Effects) causados por radiação, se comparados com MOSFET convencionais. Essa alta tolerância se deve ao pequeno volume do filme de silício, as regiões de depleção de dreno e fonte reduzidas e a presença do óxido enterrado [4].

Por outro lado, os SOI MOSFET são mais suscetíveis aos efeitos provenientes da dose total ionizante (TID – *Total Ionizing Dose*), causados pela exposição cumulativa do dispositivo à radiação. O óxido enterrado em transistores SOI pode acumular cargas induzidas pela radiação ionizante que o atravessa, alterando o comportamento do dispositivo.

Desta forma, pode-se classificar os efeitos da radiação entre efeitos de evento único (SEE) e efeitos de dose total ionizante (TID).

2.6.1 Efeitos de evento único

Os efeitos de evento único são transitórios e podem ser classificados de acordo com o tipo de efeito causado ao dispositivo. Algumas classificações desses efeitos são: perturbação (SEU – *Single-Event Upset*), tiristor parasitário (SEL – *Single-Event Latchup*), queima do dispositivo (SEB – *Single-Event Burnout*), ruptura da porta (SEGR – *Single-Event Gate Rupture*) e aumento dos efeitos de ionização por impacto (SES – *Single-Event Snapback*). O efeito SEL não ocorre em transistores SOI CMOS devido à ausência de estruturas p-n-p-n (tiristor parasitário) [4].

Os efeitos de perturbação SEU afetam mais os MOSFET convencionais do que os SOI MOSFET. Esta diferença na resposta à radiação ocorre devido à estrutura SOI, que possui o óxido enterrado. Um efeito SEU é causado quando uma partícula com energia suficiente penetra um dispositivo, passando por suas junções, pela camada de depleção e pelo silício abaixo desta, formando um rastro de plasma onde pares elétron-lacuna são gerados. O rastro temporariamente deforma a região de depleção e a estende. Essa distorção da região de depleção recebe o nome de *funnel* [4].

Em um dispositivo MOSFET convencional, a região de depleção é estendida ao longo do rastro, que tem um comprimento típico da ordem de alguns micrômetros, e os elétrons gerados no *funnel* se movem em direção à junção. As lacunas se movem em direção ao substrato aterrado e causam uma corrente de substrato I_B. Os elétrons recombinados resultam em uma corrente de deriva transitória que dura algumas

frações de nanossegundos (componente instantânea) e que pode causar uma perturbação no estado lógico em algum ponto de um circuito. Após, os elétrons livres gerados ao longo do rastro e abaixo do *funnel* se difundem em direção à região de depleção, causando uma segunda corrente, de difusão, que tem uma magnitude menor do que a corrente de deriva, mas que dura mais tempo (componente atrasada), tipicamente algumas centenas de nanossegundos ou microssegundos. Em um circuito integrado, essas correntes podem causar erros de múltiplos bits (MBU – *Multiple Bits Upset*) [4].

Em um transistor SOI MOSFET, uma partícula ionizante também causa um rastro com geração de pares elétron-lacuna. No entanto, devido à presença do óxido enterrado, as cargas geradas no substrato não podem se recombinar nas junções de dreno e fonte. A recombinação ocorre somente para as cargas criadas no filme de silício do dispositivo SOI, que tem uma espessura típica da ordem de alguns nanômetros, isto é, menos cargas são geradas na região ativa de silício. Mesmo assim, os SOI MOSFET são suscetíveis aos efeitos SEU, que podem se pronunciados com o transistor bipolar parasitário lateral presente no dispositivo. Os dispositivos SOI totalmente depletados são mais resistentes aos efeitos SEU, pois o ganho desse transistor parasitário é muito menor do que nos PDSOI [4].

2.6.2 Efeitos de dose total ionizante

Como citado anteriormente, os transistores SOI são mais suscetíveis aos efeitos da dose total ionizante, devido à presença do óxido enterrado. Os efeitos TID ocorrem com a exposição sucessiva do dispositivo à radiação ionizante, que pode causar a geração de pares elétron-lacuna nos óxidos e materiais isolantes e também nas interfaces, aumentando o número de cargas nestas regiões.

Caso não haja a presença de um campo elétrico, os elétrons e lacunas gerados se recombinam no óxido eficientemente, deixando apenas algumas cargas negativas e positivas remanescentes. No entanto, em situações reais, quase sempre há a presença de um campo elétrico, uma vez que os óxidos estão cercados de metal e silício policristalino. Os elétrons no óxido têm uma mobilidade relativamente boa, mesmo à temperatura ambiente, e se recombinam rapidamente, se movendo em direção a algum eletrodo polarizado positivamente. De forma oposta, as lacunas no

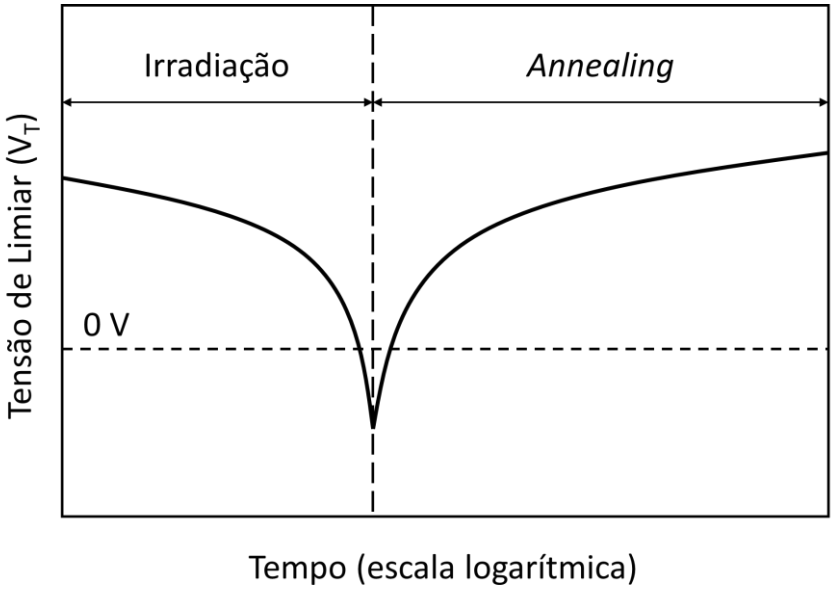
óxido têm uma mobilidade muito menor e uma maior probabilidade de serem armadilhadas, contribuindo para a criação de cargas positivas no óxido Q_{ox} (positive *charge buildup*). Cargas no óxido localizadas muito próximas à interface (*border traps*) podem armadilhar elétrons, funcionando como armadilhas de interface.

Geralmente, tanto para o MOSFET convencional quanto para o transistor SOI são usados os mesmos tipos de óxido para óxidos de porta e de campo e o acúmulo de cargas ocorre de forma similar, sendo a carga líquida induzida predominantemente positiva. A principal diferença entre os dois dispositivos é o acúmulo de cargas induzidas por radiação no óxido enterrado do transistor SOI, sendo que a carga positiva acumulada nesse óxido pode inverter a segunda interface e aumentar as correntes de fuga [5].

A radiação ionizante também cria estados de superfície nas interfaces Si/SiO_2 e ao contrário das cargas no óxido, não são sempre positivas. Passado algum tempo após o dispositivo ser penetrado por uma radiação ionizante, algumas cargas armadilhadas no óxido podem sofrer recozimento (*annealing*) e migrarem para interface, criando armadilhas de interface adicionais. Este processo pode causar um efeito chamado retorno (*rebound*) e que é dependente da temperatura e da dose. O retorno também pode ser notado quando um dispositivo é exposto continuamente à uma alta dose de radiação, pois após algum tempo, a geração de cargas induzidas no óxido satura, enquanto que na interface não ocorre o mesmo, aumentando a densidade de estados de armadilha na interface. Para doses de radiação mais baixas, as cargas no óxido têm um maior tempo para migrarem para a interface, o que também causa o *rebound*.

O efeito *rebound* pode ser notado pela variação da tensão de limiar em função do tempo, imediatamente após um evento de radiação ou simultaneamente, no caso de uma radiação cumulativa, como na figura a seguir:

Figura 2.12 – Exemplo ilustrativo de gráfico de tensão de limiar em função do tempo, demonstrando o efeito retorno (*rebound*) em um transistor MOSFET com canal tipo n exposto à uma dose de radiação ionizante. O recozimento (*annealing*) ocorre após a radiação cessar.



Fonte: adaptado de [4]

As diferentes cargas induzidas nos óxido e interfaces podem afetar diversos parâmetros dos transistores SOI MOSFET, tais como: tensão de limiar, mobilidade dos portadores de carga, a inclinação de sublimiar, etc. Além disso, o tipo de canal do transistor determina algumas respostas à radiação e a variação dos parâmetros podem ter comportamentos diferentes.

2.7 Tensionamento mecânico

O tensionamento mecânico é uma tecnologia que tem como objetivo aumentar a mobilidade dos portadores de carga, aplicando-se uma força tensora ou compressora na rede cristalina do silício. As forças resultantes do tensionamento mecânico que atuam no silício alteram a distância entre os átomos, resultando em uma modificação da mobilidade dos elétrons e lacunas.

Em transistores SOI FinFET estreitos, a maior parcela de condução de corrente ocorre pelas interfaces laterais, que tem uma orientação cristalina diferente da interface superior. Para dispositivos com canal tipo n, a mobilidade dos elétrons no plano de orientação <110> (portas laterais) é menor do que no plano <100> (porta superior). Para compensar essa diferença, pode-se utilizar o tensionamento mecânico

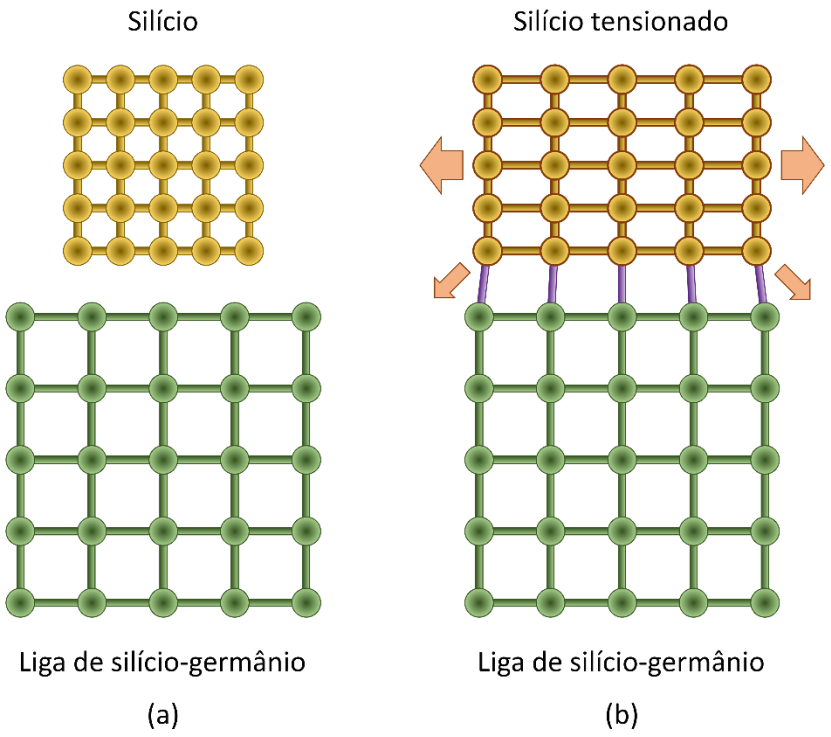
com a finalidade de se aumentar a mobilidade dos elétrons nas interfaces laterais, resultando em um maior nível de corrente de dreno.

A melhoria da mobilidade depende da direção na qual o tensionamento é aplicado e do seu tipo, compressivo ou tensivo. Com relação à direção, o tensionamento pode ser aplicado em apenas uma direção (unidirecional ou uniaxial) ou em duas direções (bidirecional ou biaxial). Nos dispositivos, o tensionamento unidirecional é longitudinal, ocorrendo na mesma direção do fluxo dos portadores, e é localizado, sendo aplicado diretamente no dispositivo. Já o bidirecional é aplicado globalmente na lâmina e todos os dispositivos estão sujeitos ao tensionamento.

2.7.1 Tensionamento mecânico bidirecional

O tensionamento mecânico bidirecional (global) é aplicado durante o processo de fabricação da lâmina SOI, realizando-se o crescimento epitaxial do silício sobre uma liga de silício-germânio ($Si_{1-x}Ge_x$). Lâminas obtidas desta forma recebem o nome de silício tensionado sobre isolante (sSOI – *strained Silicon-On-Insulator*).

Figura 2.13 – Figura ilustrativa da obtenção de lâminas sSOI. (a) Estruturas cristalinas da liga de silício-germânio e do silício antes e (b) após o crescimento epitaxial do filme .



Fonte: adaptado de [39]

Os átomos de germânio são maiores do que os de silício, portanto, a liga de silício-germânio tem um maior espaçamento entre seus átomos (maior parâmetro de rede) do que na estrutura cristalina de silício. O crescimento epitaxial sobre esta liga faz com que os átomos do filme de silício fiquem mais espaçados, aplicando um tensionamento tensivo. Este tipo de tensionamento é efetivo para aumentar a mobilidade dos elétrons, mas o efeito para lacunas é praticamente desprezível ou até mesmo prejudicial [40].

2.7.2 Tensionamento mecânico unidirecional

O tensionamento mecânico unidirecional (local) é aplicado diretamente nos dispositivos e pode ser tanto compressivo quanto tensivo, dependendo da técnica utilizada. O tensionamento tensivo traz uma melhoria da mobilidade dos elétrons, enquanto que o compressivo aumenta a mobilidade das lacunas. Como o tensionamento é local podem ser obtidos tanto efeitos tensivos quanto compressivos em uma mesma lâmina, melhorando a mobilidade dos dispositivos nMOS (*n-channel MOS*) e pMOS (*p-channel MOS*), respectivamente.

Uma das formas de se obter o tensionamento tensivo é pela deposição de camadas de nitreto sobre o dispositivo (CESL – *Contact Etch Stop Layer*), onde a pressão exercida aplica uma força tensiva na direção longitudinal do canal. Esta técnica é mais efetiva para dispositivos com canais do tipo n de comprimento reduzido.

Para se aplicar o tensionamento compressivo pode-se realizar a deposição de uma liga de $Si_{1-x}Ge_x$ nas regiões de dreno e fonte, resultando em forças compressivas na direção longitudinal do canal. A efetividade desta técnica depende do comprimento do canal, sendo mais efetiva para dispositivos com canal tipo p de comprimento reduzido, e também da concordância entre as regiões de dreno e fonte e do canal. Se não houver uma adequação entre a rede cristalina das diferentes regiões, o tensionamento se torna menos efetivo.

3 Materiais e métodos

Neste capítulo do trabalho são apresentados os dispositivos estudados e suas características físicas, os equipamentos utilizados para realizar a parte experimental do trabalho e os métodos utilizados para os estudos.

3.1 Dispositivos utilizados para as medidas

Os dispositivos utilizados nas medidas experimentais foram fabricados no centro de pesquisas Imec, localizado em Leuven, na Bélgica, e são todos transistores SOI de múltiplas portas (MuGFET – *Multiple Gates FET*) e porta tripla.

A irradiação dos dispositivos foi realizada no CYCLONE do centro de pesquisas Centre de Recherches du Cyclotron, em Louvain-la-Neuve, na Bélgica também. Este processo foi realizado à temperatura ambiente e os dispositivos foram irradiados por prótons de 60 MeV, à incidência normal (perpendicular à superfície da lâmina). A fluência da irradiação foi de 10^{12} prótons/cm^2, correspondendo à uma dose equivalente de 100 krad(SiO_2). Esse valor de dose é uma referência típica para aplicações espaciais. Durante a irradiação, os terminais dos dispositivos foram mantidos flutuantes, isto é, sem polarização aplicada e desconectados eletricamente.

A tabela a seguir mostra algumas características comuns a todos os dispositivos estudados:

Tabela 3.1 – Características comuns a todos os dispositivos estudados.

Parâmetro	Valor
Altura da aleta (H_{fin})	65 nm
Composição do eletrodo de porta	10 nm TiN + 100 nm de silício policristalino
Composição do óxido de porta	2 nm HfSiON + 1 nm SiO_2
Espessura equivalente do óxido (EOT)	1,5 nm
Espessura do óxido enterrado (t_{BOX})	145 nm
Dopagem do canal (N_A)	$1x10^{15}$ cm^3

Fonte: Imec

As regiões de dreno e fonte de todos os dispositivos são feitas de silício-germânio (SiGe) com siliceto de níquel (*Ni-silicide*) e elevadas por crescimento epitaxial seletivo (SEG – *Selective Epitaxial Growth*).

Nas lâminas onde há dispositivos tensionados, estão presentes tanto o tensionamento mecânico unidirecional (sSOI) quanto o bidirecional (dCESL).

As lâminas utilizadas nas medidas experimentais possuem diversas cascatas de dispositivos com comprimentos e larguras de canal variáveis. As cascatas recebem uma identificação composta pelo prefixo EM e mais dois algarismos, sendo classificada pelo tipo de canal (tipo n ou tipo p) e a dimensão variável (largura ou comprimento) conforme tabela a seguir, onde constam somente as cascatas utilizadas nas medidas:

Tabela 3.2 – Especificações de cada cascata de dispositivos utilizada no estudo.

Cascata	Tipo de canal	Dimensão fixa	Dimensão Variável
EM11	nMOS	W_{fin} = 20 nm	Comprimento (L_G)
EM12	nMOS	W_{fin} = 870 nm	Comprimento (L_G)
EM17	pMOS	W_{fin} = 20 nm	Comprimento (L_G)
EM18	pMOS	W_{fin} = 870 nm	Comprimento (L_G)
EM49	nMOS	L_G = 150 nm	Largura (W_{fin})
EM53	nMOS	L_G = 900 nm	Largura (W_{fin})
EM57	pMOS	L_G = 150 nm	Largura (W_{fin})
EM61	pMOS	L_G = 900 nm	Largura (W_{fin})

Fonte: Imec

Cada cascata é composta por 11 dispositivos, identificados de T1 à T11, com dimensões diferentes entre si, conforme tabela (3.3):

Tabela 3.3 – Valores das dimensões de cada dispositivo. Dispositivos com largura fixa e comprimento variável tem seus comprimentos definidos na linha "L_G" e dispositivos com comprimento fixo e largura variável tem suas larguras definidas na linha "W_{fin}".

Var.	Valor da dimensão variável (nm)										
	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11
L_G	30	40	50	60	80	100	150	250	400	600	900
W_{fin}	20	30	40	50	70	120	370	570	870	1870	2870

Fonte: Imec

Neste trabalho não foram estudados todos os dispositivos presentes nas cascatas, uma vez que alguns tem dimensões muito próximas, da mesma ordem de

grandeza e não há muita vantagem na comparação entre estes. Os dispositivos utilizados serão indicados na apresentação dos resultados.

3.2 Analisador de parâmetros elétricos e métodos de extração

As medidas experimentais foram realizadas no Laboratório de Sistemas Integráveis (LSI) da Escola Politécnica da Universidade de São Paulo (EPUSP), em São Paulo, no Brasil.

Para a realização destas medidas foram utilizados dois analisadores de semicondutor: modelo B1500 e modelo 4156C, ambos fabricados pela Agilent, adquirida recentemente pela Keysight Technologies. Para o controle de temperaturas baixas, será utilizado na sequência do trabalho o sistema K20, composto por uma câmara à vácuo onde a lâmina é refrigerada pela passagem de nitrogênio com alto grau de pureza através de um capilar, localizado na base.

4 Resultados e discussão

Este capítulo apresenta os parâmetros dos dispositivos em temperatura ambiente, verificando o comportamento destes sob o efeito da radiação, obtendo-se as referências para comparações posteriores em função da temperatura.

Inicialmente, utilizou-se o resultado de medidas experimentais realizadas durante o ano de 2012 para a extração dos parâmetros, cerca de dois anos após a irradiação dos dispositivos no Imec. Nestas medidas foram caracterizados somente dispositivos SOI FinFET com canal tipo n, com e sem tensionamento mecânico e em temperatura ambiente. Desta forma foi possível avaliar o comportamento dos dispositivos sob os efeitos da radiação de prótons. Os parâmetros avaliados foram a tensão de limiar (V_T), a inclinação de sublimiar (SS), a transcondutância (gm), a mobilidade de baixo campo elétrico (μ_0) e a eficiência do transistor (gm/I_D).

Em 2016 foram realizadas novas medidas em dispositivos da mesma lâmina utilizada em 2012, em duas etapas. Na primeira, foram incluídos os dispositivos com canal tipo p mas o tensionamento mecânico não foi considerado. Foram estudados mais parâmetros analógicos, como a frequência de ganho unitário (f_T), o ganho intrínseco de tensão (A_V) e a tensão Early (V_{EA}), e a análise foi realizada em função da do coeficiente de inversão e dos efeitos da radiação, em temperatura ambiente. Na segunda etapa, foram realizadas medidas em baixa temperatura, com foco na sua influência em dispositivos tensionados e não-tensionados submetidos à radiação de prótons, analisando seus efeitos em alguns dos parâmetros já analisados anteriormente em temperatura ambiente.

4.1 Efeitos da radiação considerando a mesma polarização externa

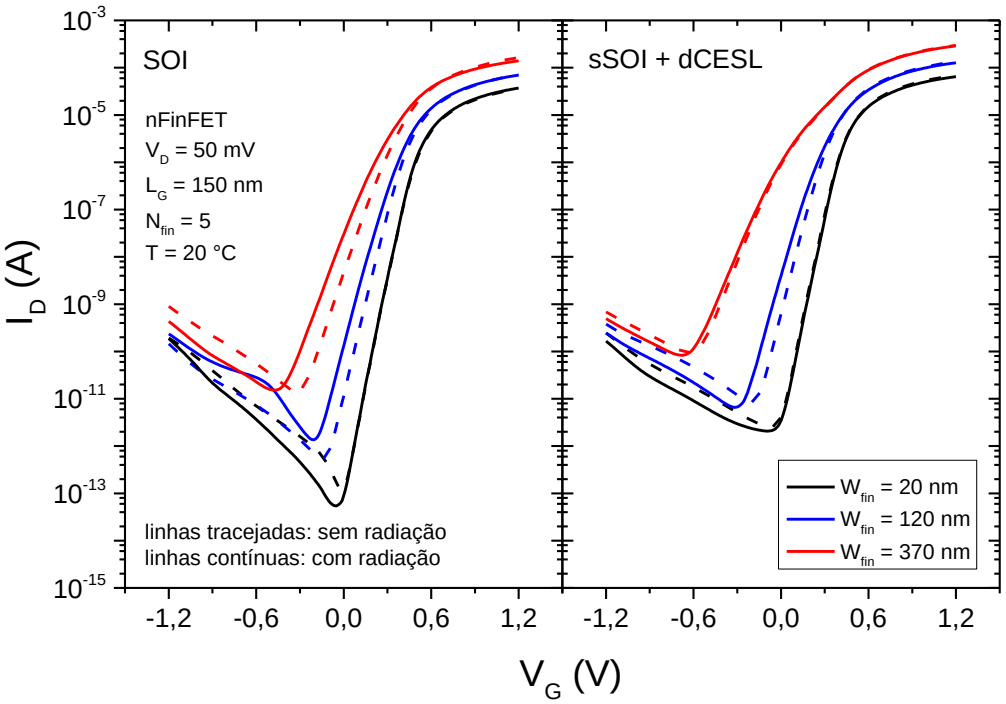
Nesta análise foram utilizados os resultados das medidas experimentais realizadas em 2012 e em 2016 e a distinção entre estas é indicada onde necessário.

4.1.1 Corrente de dreno

Inicialmente, foram analisadas as curvas características de corrente de dreno (I_D) em função da tensão de porta aplicada, onde é possível visualizar os níveis de corrente e também a região de sublimiar de cada dispositivo. Os dispositivos SOI

nFinFET com aletas mais largas apresentaram um maior nível de corrente, estando de acordo com o comportamento esperado. As medidas realizadas em 2012 foram analisadas e os gráficos das curvas de corrente obtidos se encontram a seguir.

Figura 4.1 – Curvas características I_D vs. V_G dos dispositivos SOI nFinFET. Na parte esquerda da figura são mostradas as curvas dos dispositivos sem tensionamento (SOI) e na direita, os dispositivos com tensionamento (sSOI + dCESL). Medidas realizadas em 2012.



Fonte: autor

Na figura 4.1, nota-se que os dispositivos com tensionamento apresentam níveis de corrente ligeiramente maiores do que os dispositivos que não empregam a técnica, pois o tensionamento aplicado nos transistores FinFET com canal tipo n melhoraram a mobilidade dos elétrons móveis, permitindo um maior fluxo de portadores de carga para um determinado intervalo de tempo.

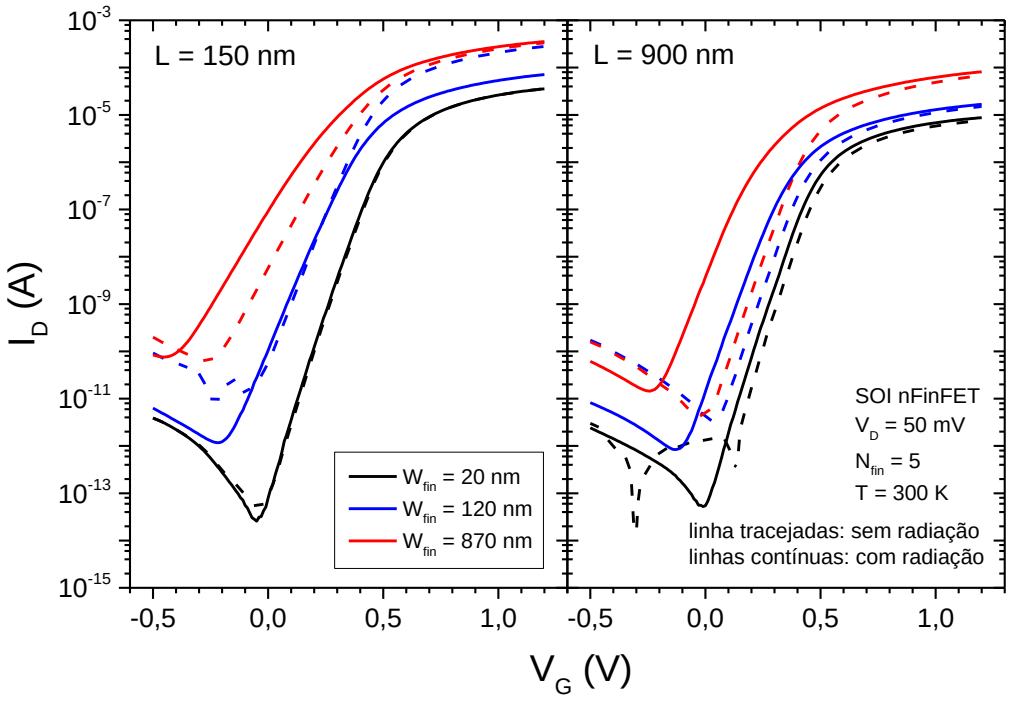
Os dispositivos com aletas largas exibem níveis de correntes mais elevados do que os dispositivos com aletas estreitas, pois uma largura efetiva W_{eff} maior permite um fluxo maior de elétrons. No entanto, a radiação afeta mais estes dispositivos, como visto na figura, onde os níveis de corrente de dreno para uma mesma tensão de porta são substancialmente alterados. Isto ocorre pois nos dispositivos mais largos, há uma maior área de óxido enterrado abaixo do filme de silício, o que contribui para uma

maior densidade de cargas no óxido. Desta forma, pode ocorrer condução de corrente pela segunda interface, degradando as características do dispositivo.

Observa-se também uma menor variação dos níveis de corrente na região de sublimiar em dispositivos tensionados e com radiação. Isto pode ser explicado por uma maior densidade de armadilhas nas interfaces, causada pelo próprio tensionamento. Isto mostra que apesar de a radiação resulta em um acúmulo de cargas positivas no óxido, não contribuiu fortemente com o aumento das armadilhas de interface.

Para as medidas realizadas em 2016, o efeito da radiação nos níveis de corrente foi similar. Os dispositivos com aletas mais estreitas se mostraram menos suscetíveis aos efeitos da radiação, exibindo uma menor degradação, enquanto que os dispositivos com aletas mais largas exibiram níveis de correntes mais altos. Os gráficos para dispositivos SOI nFinFET são mostrados na figura 4.2:

Figura 4.2 – Curvas características I_D vs. V_G dos dispositivos SOI nFinFET com comprimento de canal L_G = 150 nm e L_G = 900 nm. Medidas realizadas em 2016.



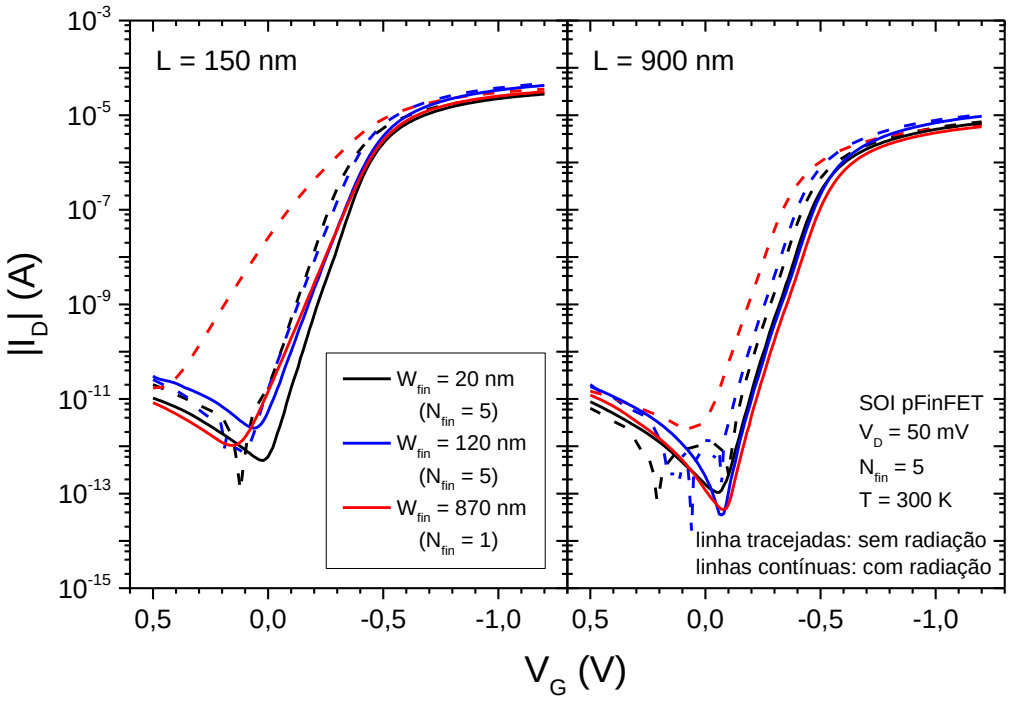
Fonte: autor

Com relação ao comprimento de canal, dispositivos SOI nFinFET com canais longos obtiveram níveis de correntes menores, uma vez que a resistência elétrica do

canal é maior, devido ao seu comprimento. Estes dispositivos tiveram suas curvas mais deslocadas à esquerda, o que corresponde a uma maior degradação da tensão de limiar, enquanto que nos transistores com canais mais curtos a inclinação de sublimiar foi mais degradada. Os dispositivos com comprimento de canal L_G = 150 nm estão suscetíveis aos efeitos de canal curto e consequentemente se tornam mais sensíveis aos efeitos da radiação.

Para transistores SOI FinFET com canal tipo p, novamente, os dispositivos com aleta mais larga exibiram maiores níveis de corrente e dispositivos mais longos, menores níveis de corrente, conforme se observa na figura a seguir:

Figura 4.3 – Curvas características I_D vs. V_G dos dispositivos SOI pFinFET. Na parte esquerda da figura são mostradas as curvas dos dispositivos com comprimento de canal L_G = 150 nm e, na direita, os dispositivos com L_G = 900 nm. Medidas realizadas em 2016.



Fonte: autor

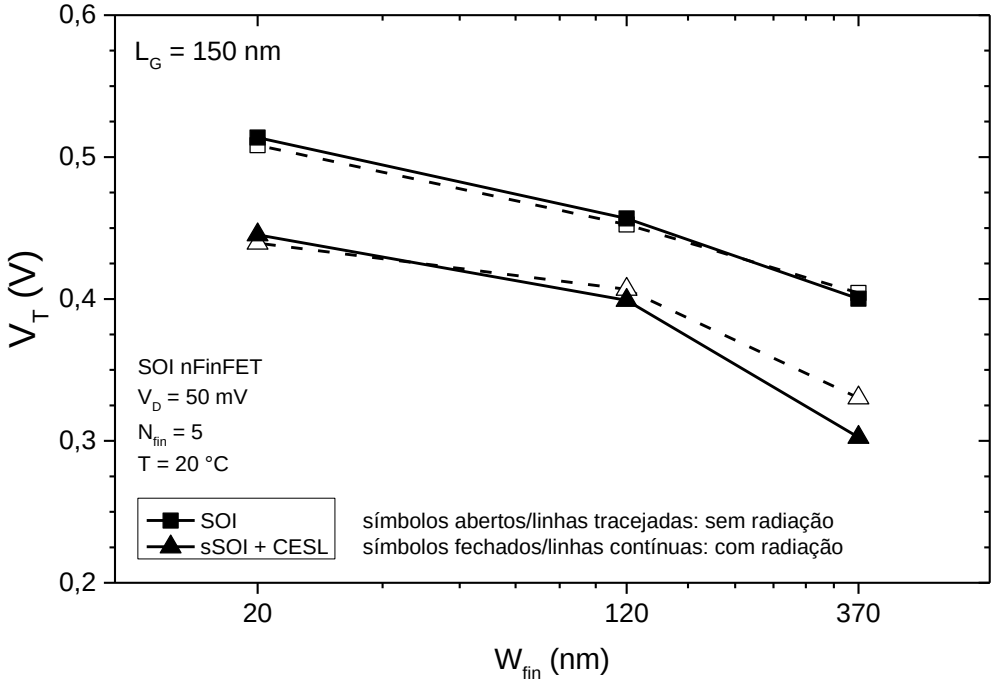
No entanto, dispositivos SOI pFinFET se mostraram mais suscetíveis aos efeitos da radiação, havendo uma maior degradação nos níveis de corrente, até mesmo para os transistores com aletas mais estreitas. Porém, os dispositivos com aletas mais largas foram os mais afetados, observando-se uma notável redução dos níveis de corrente.

4.1.2 Tensão de limiar

Após a análise das curvas características de corrente de dreno em função da tensão de porta aplicada, foram analisados os valores de tensão de limiar dos dispositivos.

Para as medidas realizadas em 2012, os dispositivos SOI nFinFET com comprimento de canal L_G = 150 nm e aleta mais larga sofreram uma degradação da tensão de limiar, isto é, os valores do parâmetro diminuíram. Esse deslocamento negativo é resultado do acúmulo de cargas positivas no óxido enterrado, que ocasiona a condução de corrente pela segunda interface com tensões de porta menores. Este comportamento pode ser observado no gráfico da figura 4.4:

Figura 4.4 – Tensão de limiar V_T dos dispositivos SOI nFinFET Medidas realizadas em 2012.



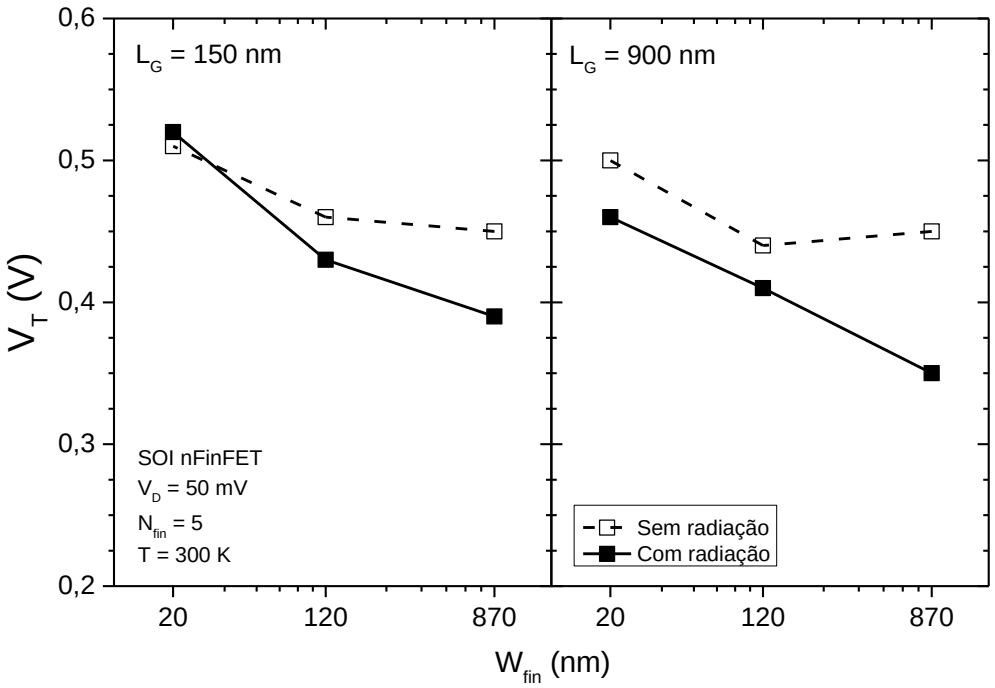
Fonte: autor

Os transistores SOI nFinFET com aletas estreitas sofreram uma menor degradação com a radiação de prótons, sendo a variação praticamente desprezível. Os dispositivos com tensionamento sSOI + dCESL são ligeiramente mais afetados, sendo mais notável no dispositivo com largura de aleta W_{fin} = 370 nm. Como citado anteriormente, estas técnicas de tensionamento ocasionam uma maior densidade de

defeitos nos dispositivos, tornando-os mais sensíveis aos efeitos da radiação por partículas ionizantes pesadas neste parâmetro.

Analisando-se as medições realizadas em 2016, os transistores SOI FinFET com canal tipo n apresentaram um comportamento similar ao observado nas medições de 2012. Porém, a degradação é mais acentuada, sendo possível observar um deslocamento negativo maior nos valores de tensão de limiar, como na figura a seguir. Por exemplo, o transistor L_G = 150 nm e W_{fin} = 120 nm caracterizado em 2012 sofreu uma variação no valor de V_T de aproximadamente 2,22 % (de 0,45 V para 0,46 V) após a radiação, enquanto que o transistor com as mesmas dimensões caracterizado em 2016 teve sua tensão de limiar variada em -6,52 % (de 0,46 V para 0,43 V).

Figura 4.5 – Tensão de limiar V_T dos dispositivos SOI nFinFET Medidas realizadas em 2016.



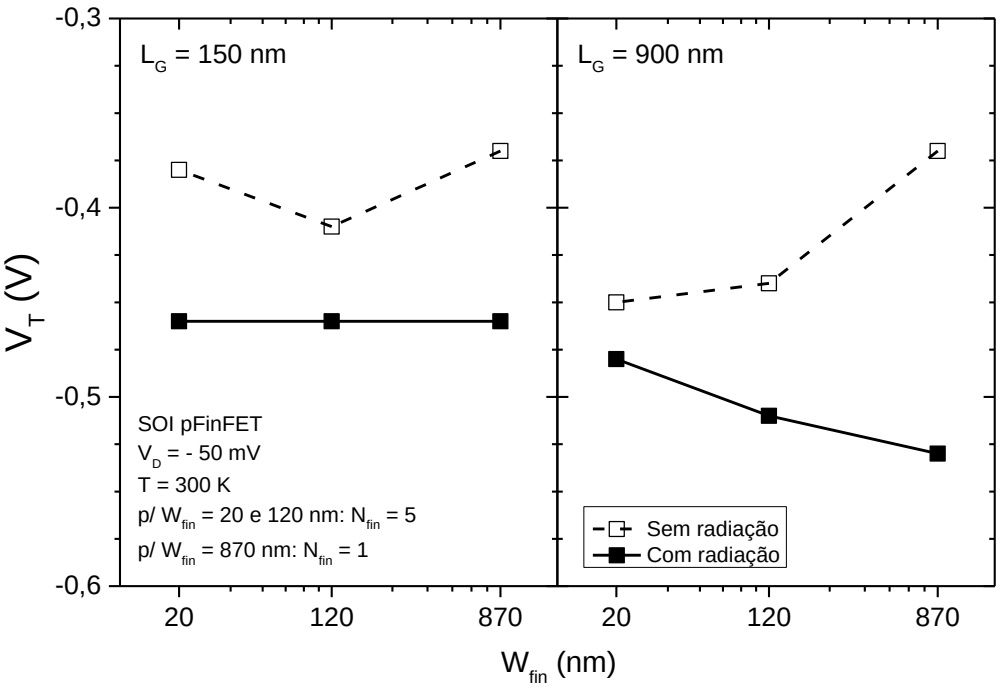
Fonte: autor

Os dispositivos com canal mais longo foram mais afetados pela radiação do que os curtos, com uma diminuição da tensão de limiar visivelmente maior. Como colocado anteriormente, um comprimento maior implica em uma maior área de óxido enterrado sob a região do canal, contribuindo para uma maior densidade de cargas

positivas acumuladas neste óxido e para a condução pela segunda interface, o que causa um deslocamento negativo da tensão de limiar.

Observando-se os resultados das medidas dos transistores SOI pFinFET, um comportamento similar é observado, isto é, um deslocamento negativo da tensão de limiar. No entanto, para os dispositivos com canal tipo p, um deslocamento negativo de V_T significa uma maior imunidade aos efeitos da radiação, uma vez que são necessárias tensões mais altas para que haja uma condução de corrente significativa. Isto sugere que a segunda interface possui uma tensão de limiar igual ou mais negativa do que a da primeira interface, resultando em uma melhoria das características do transistor. Os gráficos com as tensões de limiares em função da largura da aleta para os transistores SOI pFinFET se encontram na figura 4.6:

Figura 4.6 – Tensão de limiar V_T dos dispositivos SOI pFinFET Medidas realizadas em 2016.

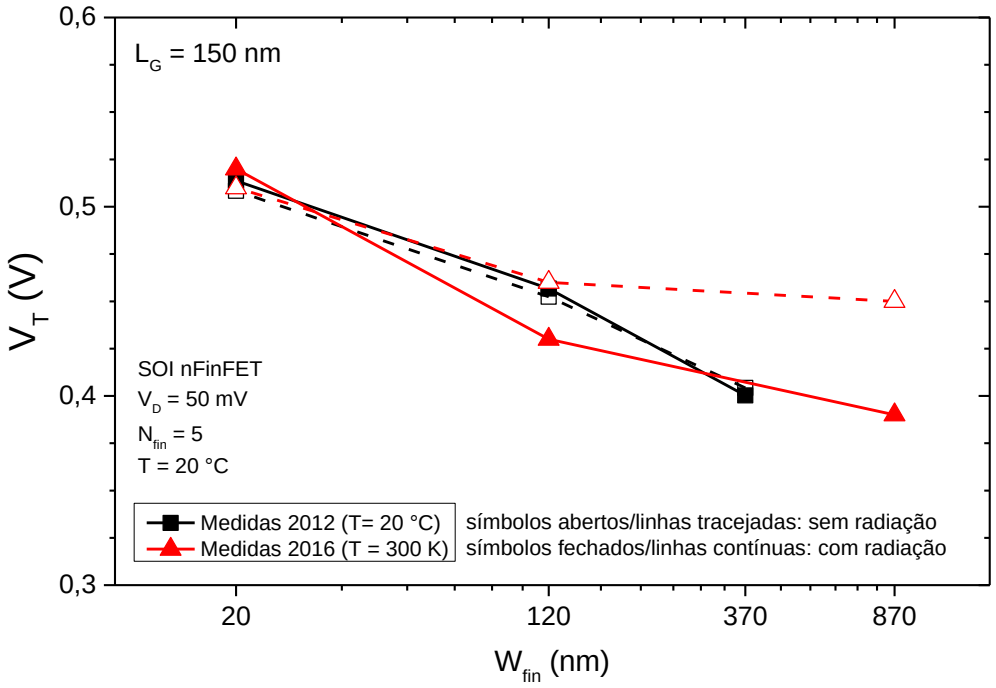


Fonte: autor

Analisando, em conjunto, as medidas realizadas em 2012 e em 2016, pode-se comparar a tensão de limiar dos dispositivos SOI nFinFET com comprimento de canal L_G = 150 nm, focando-se nos efeitos da radiação de prótons a longo prazo. Neste caso. Neste estudo, até o momento, foram comparados somente os dispositivos com

largura de aleta W_{fin} = 20 nm e W_{fin} = 120 nm, dados disponíveis nas duas medidas simultaneamente. A comparação pode ser observada no gráfico a seguir:

Figura 4.7 – Tensão de limiar V_T dos dispositivos SOI nFinFET com L_G = 150 nm, utilizando-se as medidas realizadas em 2012 e em 2016.



Fonte: autor

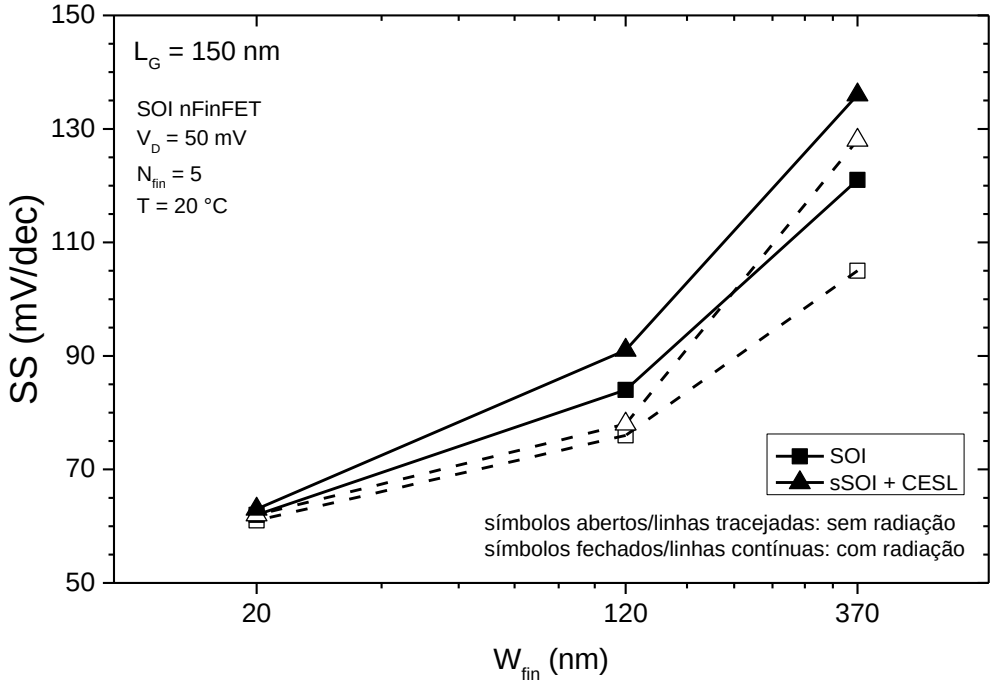
A variação da tensão de limiar nos transistores SOI nFinFET com L_G = 20 nm é desprezível. Já o dispositivo com L_G = 120 nm e com radiação cuja medida foi realizada em 2016 apresenta um deslocamento da tensão de limiar um pouco acentuado, sugerindo que, após um longo tempo, pode ter ocorrido difusão de impurezas nos óxidos dos dispositivos. Alguns estudos sugerem que mesmo armazenando-se os dispositivos semicondutores em recipientes hermeticamente selados, o processo de difusão do hidrogênio pode ocorrer após um longo período de tempo, uma vez que este processo é ativado termicamente [41]. No entanto, para se verificar se esta é a causa no deslocamento da tensão de limiar, é necessária uma comparação mais abrangente.

4.1.3 Inclinação de sublimiar

A inclinação de sublimiar SS é um parâmetro dos dispositivos SOI FinFET que é extremamente sensível aos efeitos da radiação ionizante, uma vez que cargas elétricas são geradas no óxido e a densidade de armadilhas na interface pode aumentar.

Através das curvas de corrente de dreno em função da tensão de porta é possível observar as regiões de sublimiar de cada dispositivo. Nas medições realizadas em 2012, os dispositivos com aleta mais estreita tiveram uma mudança mais abrupta de corrente, isto é, necessitaram de uma menor variação na tensão de porta que resultasse em uma variação de uma década de corrente de dreno, devido a um forte acoplamento eletrostático entre as portas. Para estes dispositivos, os valores de inclinação de sublimiar se encontram na figura 4.8:

Figura 4.8 – Inclinação de sublimiar SS dos dispositivos SOI nFinFET com L_G = 150 nm. Medidas realizadas em 2012.



Fonte: autor

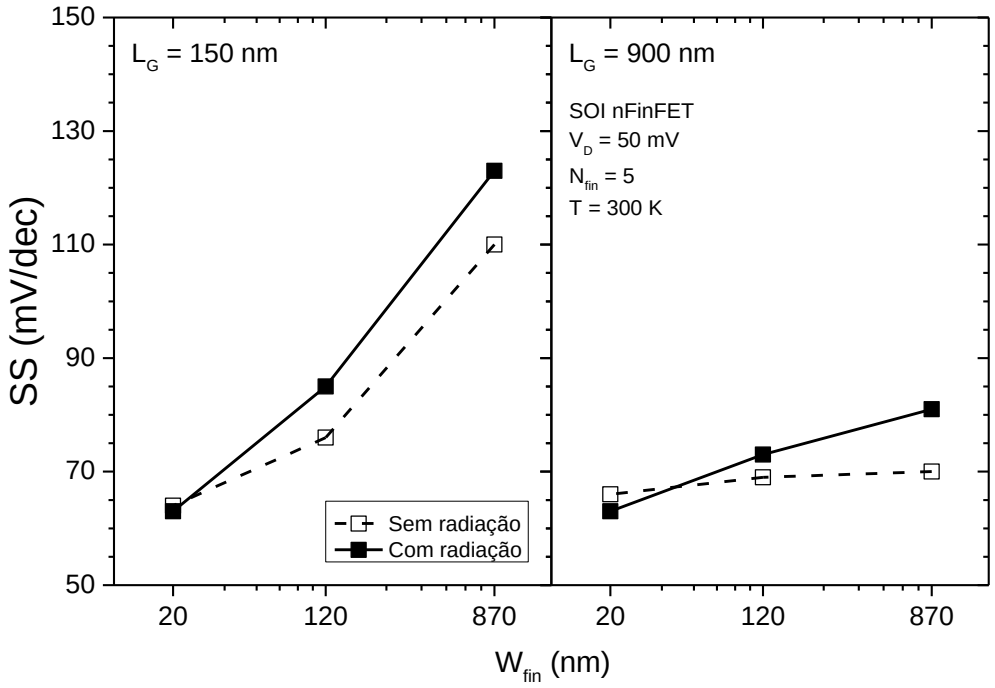
Porém, os dispositivos com aletas mais largas apresentaram uma grande degradação dos valores de inclinação de sublimiar, característica não desejável para um transistor. Isto ocorre, pois, o acoplamento eletrostático entre as interfaces em

uma aleta larga é mais fraco, havendo um controle menos efetivo da corrente de dreno pela tensão de porta aplicada, além de corrente de fuga conduzida pela segunda interface e resultante dos efeitos de canal curto. Com relação aos efeitos da radiação, esses mesmo dispositivos apresentaram uma degradação, isto é, um aumento substancial do valor de SS, devido à redução da tensão de limiar da segunda interface. Nos transistores com aletas mais estreita, a inclinação de sublimiar sofre uma variação desprezível.

Os transistores SOI nFinFET com tensionamento exibiram um comportamento similar ao dos dispositivos que não empregaram a técnica. Porém, os valores de SS foram ligeiramente mais altos, uma vez que o tensionamento introduz alguns defeitos nas interfaces Si/SiO_2 e, aumentando a densidade de defeitos nestas, aumentando a inclinação de sublimiar. Observando-se os efeitos da radiação, o valor de SS é levemente degradado nos dispositivos com tensionamento, devido a densidade de armadilhas que precede a radiação, como citado anteriormente.

Para as medições realizadas em 2016, é possível verificar a influência do comprimento do canal nos valores de inclinação de sublimiar. O gráfico com os valores de SS para dispositivos SOI nFinFET são exibidos na figura 4.9:

Figura 4.9 – Inclinação de sublimiar SS dos dispositivos SOI nFinFET com L_G = 150 nm e L_G = 900 nm. Medidas realizadas em 2016.



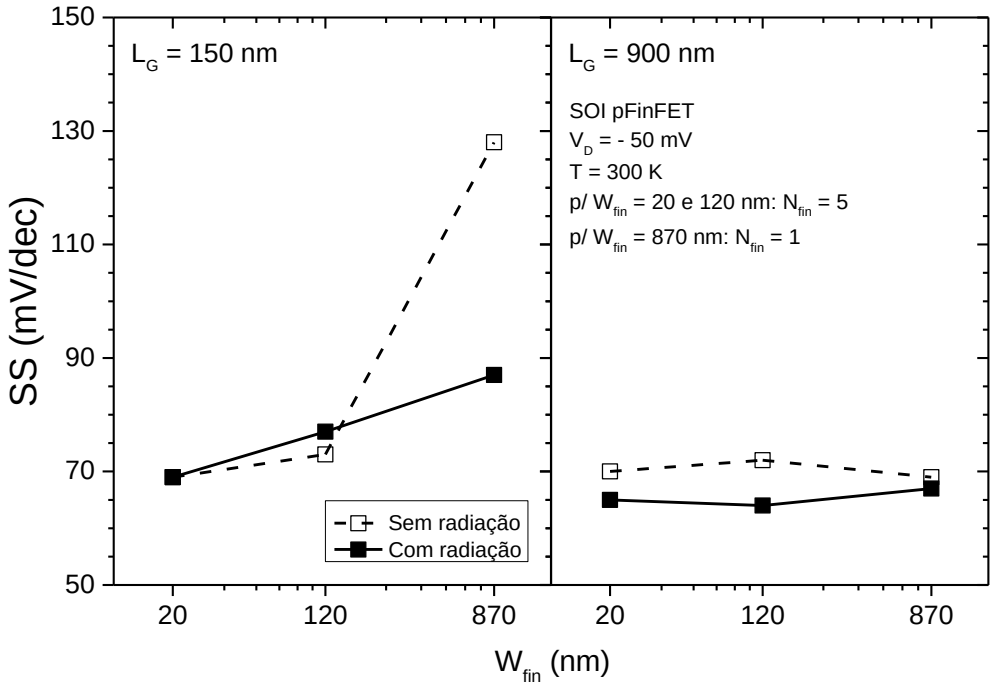
Fonte: autor

Assim como nos resultados obtidos nas medidas realizadas em 2012, os dispositivos SOI nFinFET caracterizados em 2016 apresentaram uma tendência parecida, onde transistores com aletas mais largas exibem uma inclinação de sublimiar mais alta e são mais suscetíveis aos efeitos da radiação, havendo uma degradação da inclinação de sublimiar mais significativa. Com relação ao comprimento de canal, nota-se que os dispositivos com comprimento de canal L_G = 900 nm exibiram valores menores de SS, ou seja, um melhor desempenho. Esta observação pode ser justificada pelo fato de que, nos dispositivos com canal mais curto, os campos elétricos e as regiões de depleção de fonte e de dreno têm uma maior influência sobre as cargas no canal, o que piora o controle eletrostático da porta, sugerindo a ocorrência de efeitos de canal curto. Já os dispositivos com canal mais longo são mais afetados pela radiação.

Os dispositivos SOI pFinFET com aletas mais estreitas, assim como nos nFinFET, se demonstraram mais resistentes aos efeitos da radiação com relação à inclinação de sublimiar e exibiram valores menores de SS, devido ao forte acoplamento eletrostático. Porém, a radiação de prótons afeta diferentemente estes

dispositivos, causando um melhor desempenho na região de sublimiar, como pode ser visto na figura 4.10:

Figura 4.10 – Inclinação de sublimiar SS dos dispositivos SOI pFinFET com L_G = 150 nm e L_G = 900 nm. Medidas realizadas em 2016.

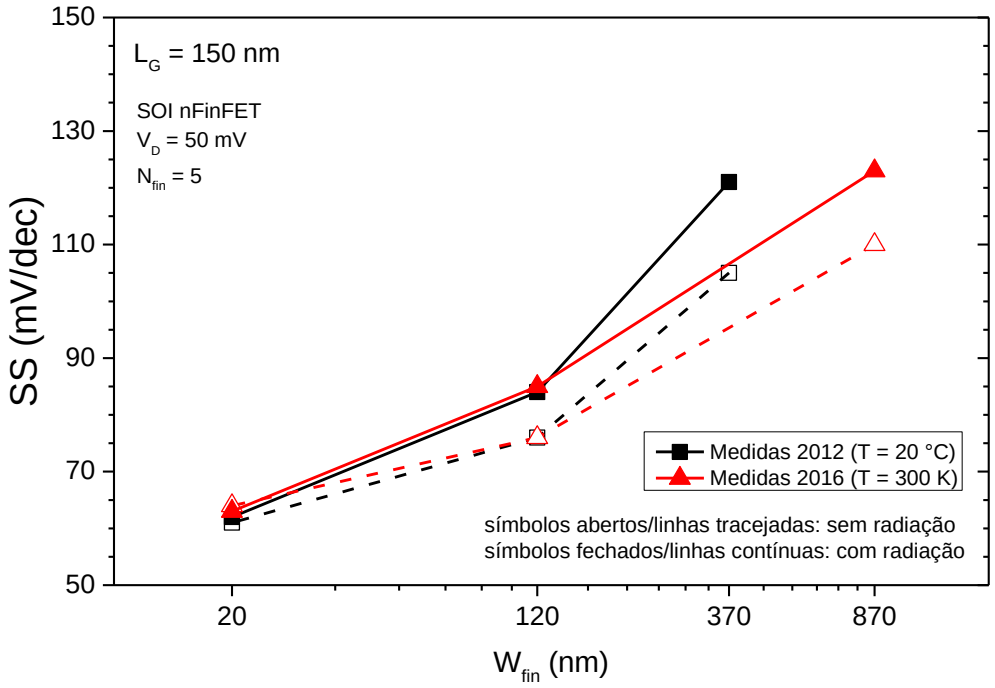


Fonte: autor

Como pode-se observar, de forma geral, a inclinação de sublimiar dos dispositivos melhorou, ou seja, houve uma redução em seus valores, demonstrando, para este o parâmetro SS, uma maior tolerância dos dispositivos SOI pFinFET aos efeitos da radiação. Como observado na análise da tensão de limiar, a radiação causa um deslocamento negativo de V_T, inclusive tornando mais negativa a tensão de limiar da segunda interface, o que se traduz em níveis menores de corrente de fuga por esta interface. Em consequência da redução das correntes de fugas menores, ocorre uma melhoria da inclinação de sublimiar dos transistores com canal tipo, sugerindo que as cargas positivas no óxido enterrado têm influência predominante neste efeito [7].

Por último, uma comparação dos valores de SS dos dispositivos SOI nFinFET caracterizados em 2012 e em 2016 pode ser feita, de forma similar à análise da tensão de limiar. O gráfico comparando os valores pode ser observado na figura a seguir:

Figura 4.11 – Inclinação de sublimiar SS dos dispositivos SOI nFinFET com L_G = 150 nm, utilizando-se as medidas realizadas em 2012 e em 2016.



Fonte: autor

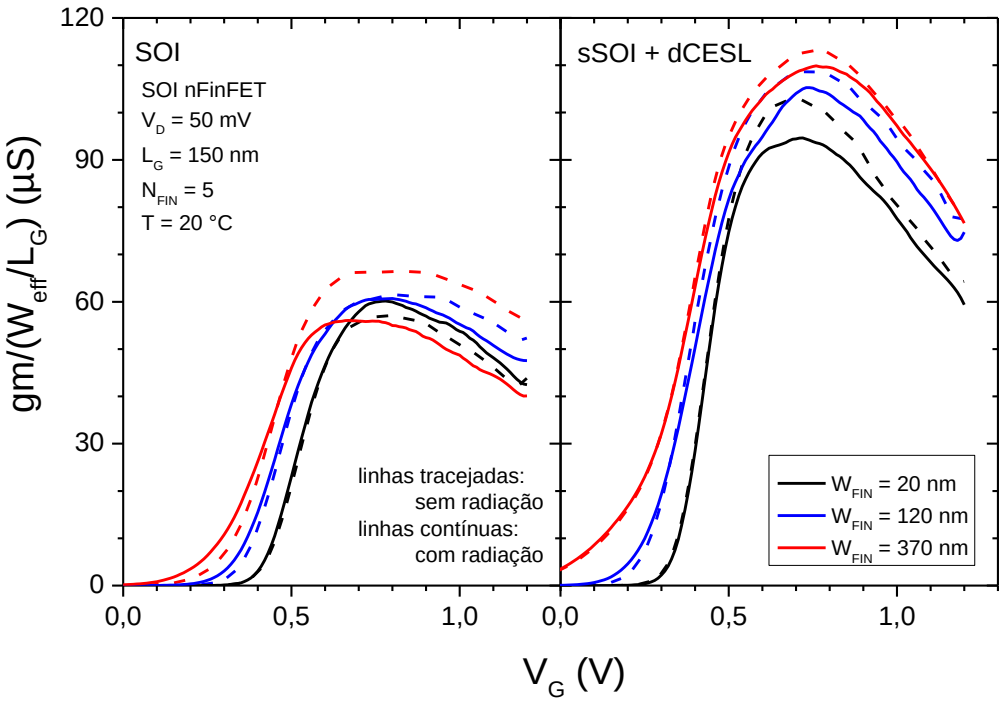
Focando-se no tempo decorrido entre a realização das medidas, os dispositivos com aletas mais estreitas, L_G = 20 nm e L_G = 120 nm, praticamente não exibiram degradação de seus valores de inclinação de sublimiar, mesmo após aproximadamente 4 anos. Porém, esta mesma análise não pode ser feita para os dispositivos com aletas mais larga, devido à indisponibilidade de dados até o momento.

4.1.4 Transcondutância e mobilidade de baixo campo elétrico

A análise da transcondutância é realizada em conjunto com a da mobilidade de baixa campo, uma vez que existe uma relação direta entre as duas. A partir das curvas características de transcondutância gm em função da tensão de porta aplicada V_G, obtidas com uma baixa tensão de dreno (V_D), é possível extrair a mobilidade efetiva de baixo campo elétrico dos portadores de carga $\mu_{0,eff}$. Com este método não é possível separar a mobilidade de cada interface, havendo apenas um valor efetivo.

Neste estudo, a transcondutância foi normalizada pela razão entre a largura efetiva da aleta e o comprimento do canal (W_{eff}/L_G), para que a mobilidade efetiva fosse o único parâmetro a variar entre as diferentes curvas. As curvas obtidas nas medidas realizadas em 2012 podem ser observadas na figura 4.12:

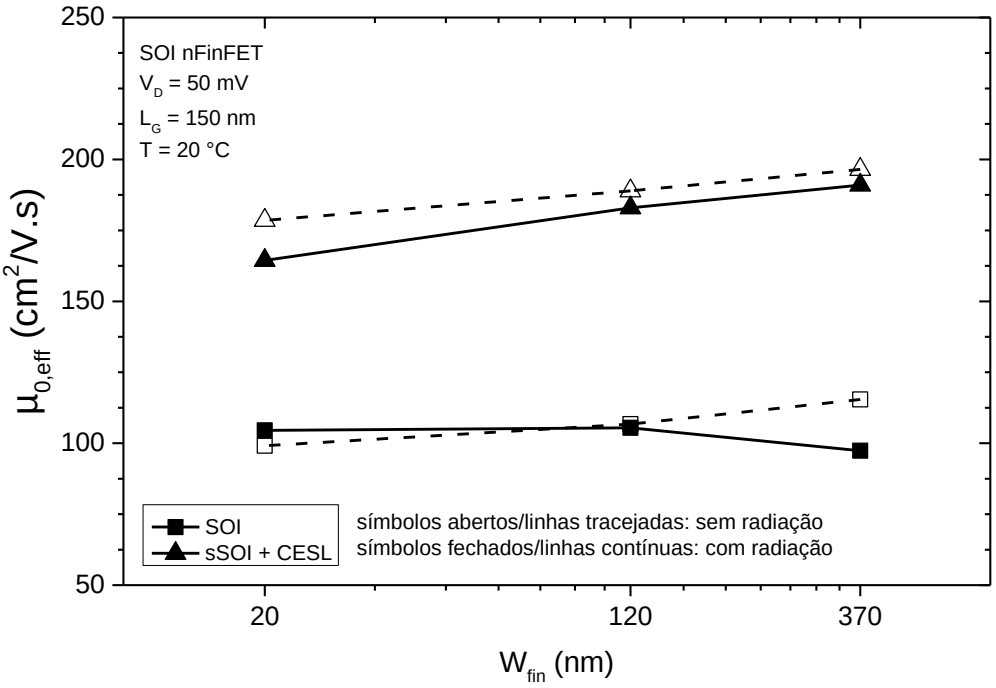
Figura 4.12 – Transcondutância normalizada por largura efetiva da aleta gm/W_{eff} em função da tensão de porta V_G para os dispositivos SOI nFinFET com L_G = 150 nm. Medidas realizadas em 2012.



Fonte: autor

Uma primeira observação mostra que, de forma geral, os dispositivos com aletas largas exibiram valores mais altos de transcondutância, o que pode ser explicado pela mobilidade do elétron na interface superior (topo do canal), que é maior do que nas interfaces laterais. Na interface superior o elétron se move no plano <100> de orientação cristalina, enquanto que nas interfaces laterais, a orientação cristalina é <110>, sendo menos favorável para a mobilidade. Portanto, nos dispositivos mais largos, a condução pela interface superior foi predominante. Nos dispositivos com tensionamento sSOI + dCESL, os níveis de transcondutância foram mais altos, uma vez que o tensionamento melhora a mobilidade dos portadores, como nota-se na figura 4.13:

Figura 4.13 – Mobilidade de baixo campo elétrico para os dispositivos SOI nFinFET com L_G = 150 nm. Medidas realizadas em 2012.



Fonte: autor

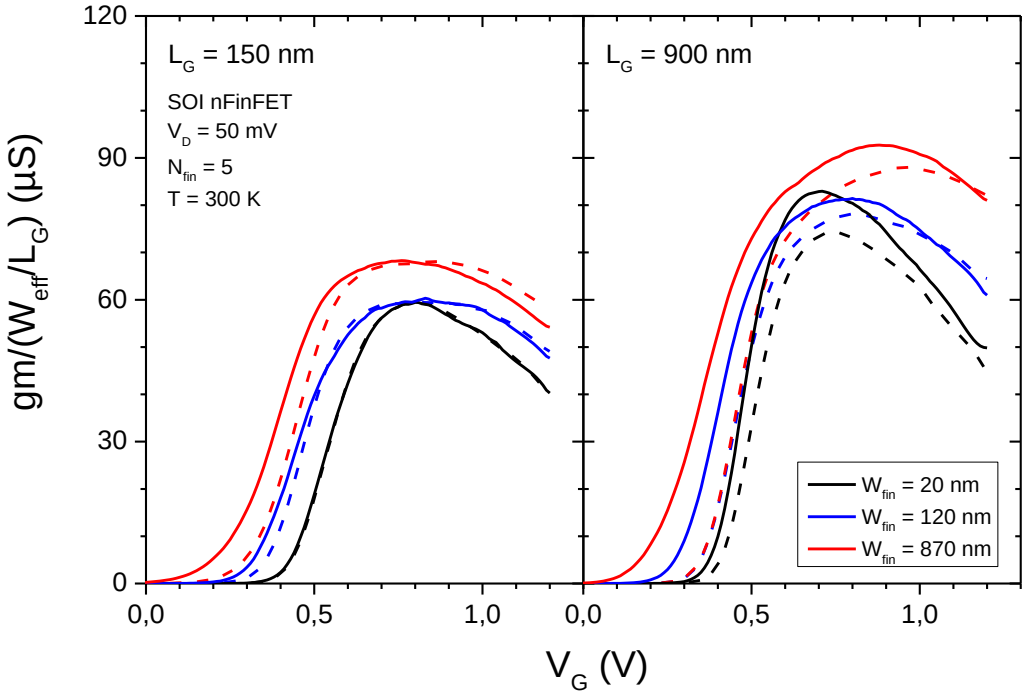
Analisando os efeitos radiação de prótons, nos dispositivos sem tensionamento houve uma maior degradação dos valores $gm_{máx}$ e de μ_{eff} em transistores com aletas largas, enquanto que os com aletas estreitas se mostraram mais tolerantes. Uma provável explicação é que as aletas largas têm uma maior área de oxido e, portanto, estão sujeitas a um maior número de cargas acumuladas no óxido de porta e de armadilhas de interface devido aos efeitos da radiação, o que degrada a mobilidade dos portadores.

A radiação, por sua vez, causa uma maior degradação da transcondutância e da mobilidade nos dispositivos tensionados do que nos sem tensionamento, devido aos defeitos introduzidos pela técnica, como explicado anteriormente. No entanto, a radiação afetou mais os transistores com aleta estreita, onde o efeito do tensionamento biaxial é menor e, portanto, a inserção de defeitos no cristal e de armadilhas causada pela radiação podem ter uma influência mais significativa.

Para as medições realizadas em 2016, os dispositivos SOI nFinFET apresentam características similares aos caracterizados em 2012, onde transistores com aletas largas apresentaram valores de $gm_{máx}$ e de $\mu_{0,eff}$ maiores do que os com

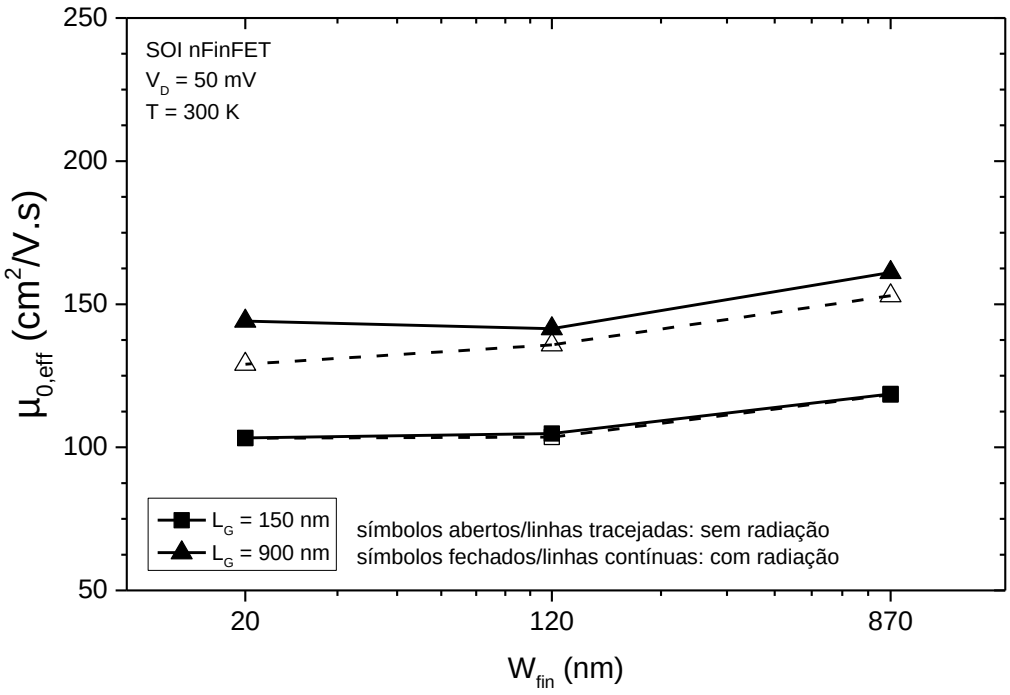
aletas estreitas. Nesta análise foi possível comparar transistores com comprimentos de canais diferentes e notou-se níveis de transcondutância diferentes. Os gráficos de transcondutância e mobilidade podem ser visualizados nas figuras a seguir:

Figura 4.14 – Transcondutância normalizada por largura efetiva da aleta gm/W_{eff} em função da tensão de porta V_G para os dispositivos SOI nFinFET. Medidas realizadas em 2016.



Fonte: autor

Figura 4.15 – Mobilidade de baixo campo elétrico para os dispositivos SOI nFinFET com L_G = 150 nm e L_G = 900 nm. Medidas realizadas em 2016.

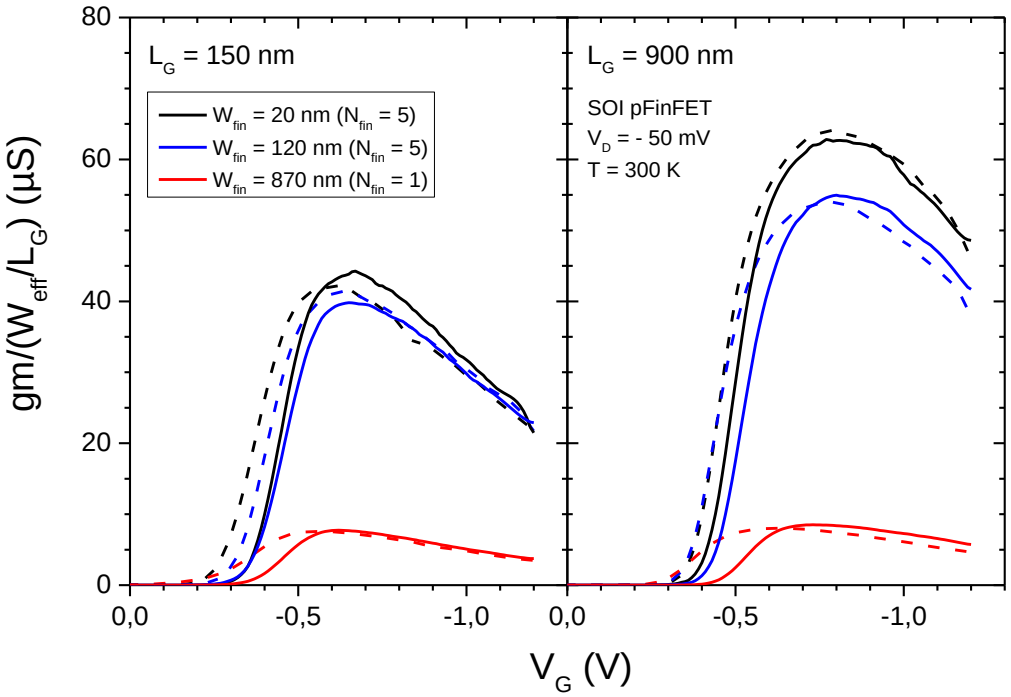


Fonte: autor

Com relação à transcondutância, os transistores SOI pFinFET apresentaram um comportamento divergente dos SOI nFinFET. Os dispositivos com canal p e com aletas mais estreitas apresentaram níveis de transcondutâncias mais elevados do que os com aletas mais largas. Alguns estudos mostram que a mobilidade das lacunas no plano de orientação cristalina <110> é maior do que no plano <100> e, portanto, dispositivos FinFET estreitos, onde a condução ocorre predominantemente pelas interfaces laterais, apresentam uma mobilidade efetiva maior do que em dispositivos mais largos, onde as lacunas se movem no plano <100> da interface superior [42], [43], [44].

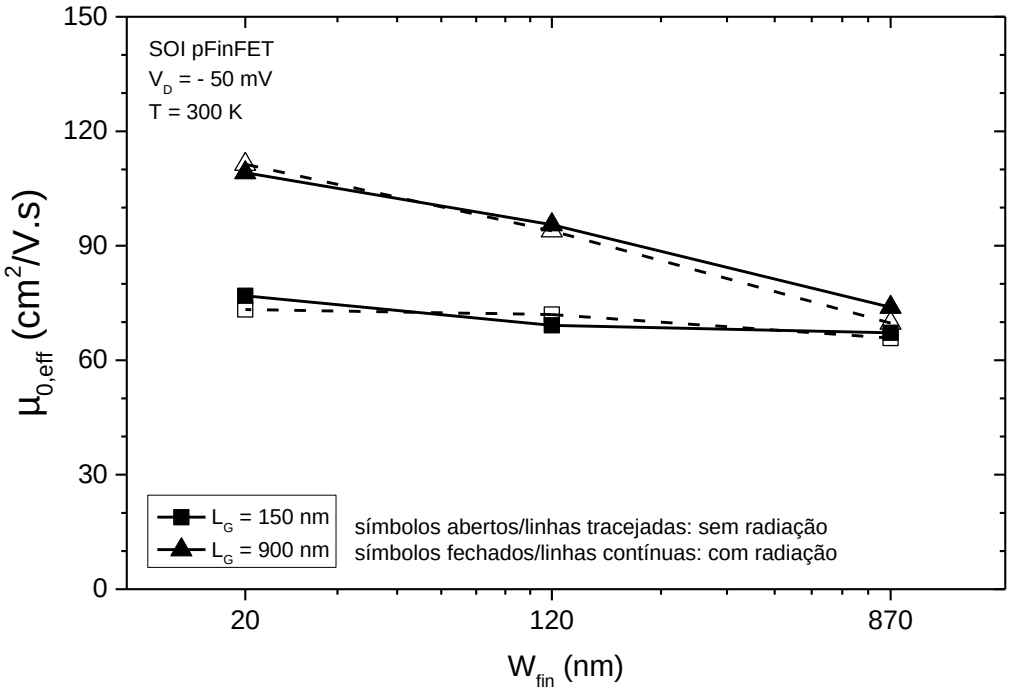
Como os SOI nFinFET, os dispositivos com canal tipo p e L_G = 900 nm apresentaram níveis maiores de transcondutância do que os com L_G = 150 nm. Portanto, nota-se que os valores das mobilidades efetivas de baixo campo elétrico para esses dispositivos foram maiores. Os gráficos com as curvas características de transcondutância e os valores de mobilidade efetiva podem ser observados nas figura a seguir:

Figura 4.16 – Transcondutância normalizada por largura efetiva da aleta gm/W_{eff} em função da tensão de porta V_G para os dispositivos SOI pFinFET. Medidas realizadas em 2016.



Fonte: autor

Figura 4.17 – Mobilidade de baixo campo elétrico para os dispositivos SOI pFinFET. Medidas realizadas em 2016.



Fonte: autor

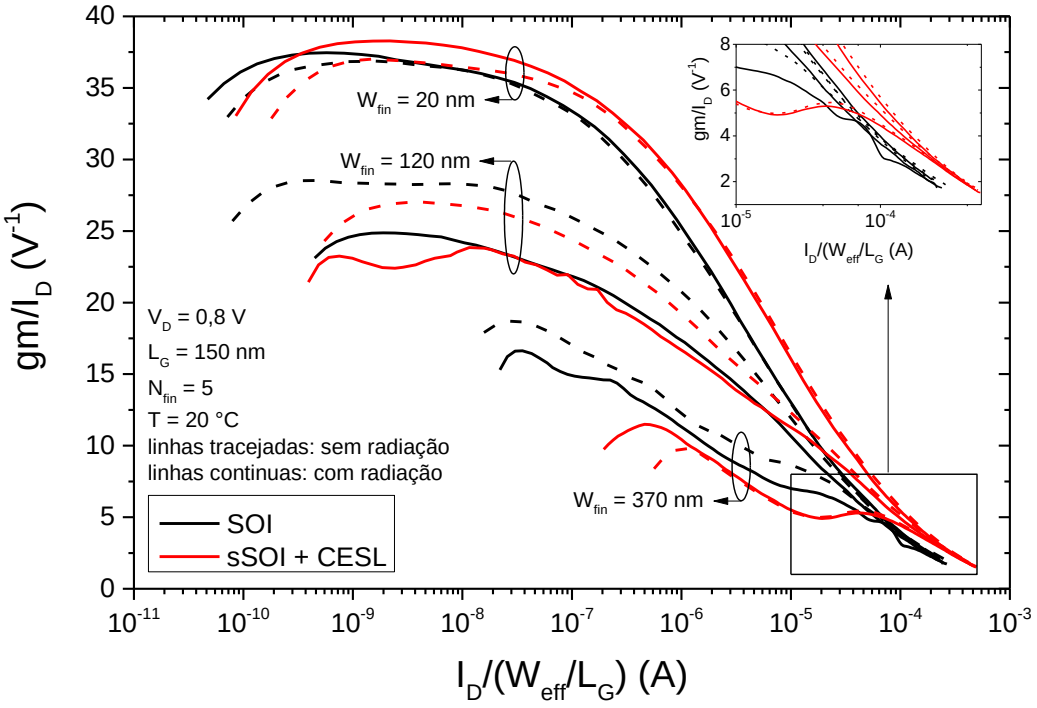
4.2 Efeitos da radiação considerando a corrente de dreno normalizada

Nesta análise foram utilizados os resultados das medidas experimentais realizadas em 2012, onde foi analisada a eficiência dos transistores gm/I_D em função da corrente de dreno I_D normalizada pela relação W_{eff}/L_G. Foram observados os efeitos da radiação em transistores sem e com tensionamento.

4.2.1 Eficiência do transistor

A eficiência dos transistores SOI nFinFET com L_G = 150 nm foi analisada em função da corrente normalizada, com base nas medidas realizadas em 2012. Estes dispositivos apresentaram uma tendência nas curvas de transcondutância onde quanto mais larga a aleta, maior o nível de gm e maior a mobilidade efetiva. No entanto, a corrente de dreno também acompanha este mesmo crescimento, e a razão gm/I_D resultante é menor para dispositivos com aletas largas. Este comportamento pode ser observado no gráfico a seguir.

Figura 4.18 – Eficiência do transistor gm/I_D em função da corrente de dreno normalizada $I_D/(W_{eff}/L_G)$ para os dispositivos SOI pFinFET com L_G = 150 nm. Medidas realizadas em 2012.



Fonte: autor

Primeiramente, é importante observar os regimes de inversão para os dispositivos, uma vez que a eficiência dos transistores depende de parâmetros diferentes para cada regime. Os níveis mais altos de eficiência do transistor são atingidos no regime de inversão fraca, onde a principal influência é a inclinação de sublimiar (SS). Já no regime de inversão forte a mobilidade dos portadores de carga e a resistência série são as características responsáveis pelo comportamento de gm/I_D, conforme apresentado no capítulo 2.

Uma comparação entre os dispositivos sem e com tensionamento mostra que os dispositivos tensionados tiveram níveis menores de eficiência dos transistores no regime de inversão fraca, enquanto que no regime de inversão forte apresentaram valores mais altos. Esse comportamento pode ser explicado pelo fato de o tensionamento aumentar a mobilidade dos elétrons, da qual a eficiência do transistor é fortemente dependente na inversão forte. Porém, o tensionamento também induz o aumento de defeitos e armadilhas na interface, o que piora o controle eletrostático dos dispositivos e prejudica a região de sublimiar. Como a eficiência do transistor ´no regime de inversão fraca depende da inclinação de sublimiar, seus valores são afetados e acabam sendo mais baixos do que nos transistores sem tensionamento, que possuem melhores valores de SS. De forma geral, todos os dispositivos com radiação sofrem uma degradação desprezível de gm/I_D no regime de inversão forte, não havendo variação significativa dos valores.

Focando-se nos transistores sem tensionamento, é possível observar que os dispositivos com aletas estreitas se mostraram mais tolerantes à radiação de prótons, havendo uma variação desprezível dos valores de eficiência do transistor, e também exibiram níveis mais altos de eficiência dos transistores. Os dispositivos com aleta larga foram mais afetados pela radiação, dado que uma maior área de óxido enterrado abaixo do filme de silício acumula mais cargas positivas. Nota-se uma maior degradação no regime de inversão fraca, resultado da degradação da inclinação de sublimiar, como evidenciou-se na seção anterior.

Já os transistores com tensionamento apresentam um comportamento um pouco diferente, onde a radiação causou uma menor variação da eficiência do transistor. Como explicado anteriormente, devido ao aumento de defeitos e

armadilhas de interface induzido pelo tensionamento, a radiação teria um efeito menor nestes dispositivos do que nos que não tensionados.

No gráfico, nota-se que os picos de eficiência do transistor para cada dispositivo ocorrem com níveis correntes diferentes. Como observado anteriormente, os dispositivos apresentaram tensões de limiar diferentes, e, portanto, a condução de corrente pelas interfaces ocorre para tensões de portas distintas. Logo, percebe-se que os regimes de inversão não ocorrem para os mesmos níveis de corrente de dreno para todos os dispositivos.

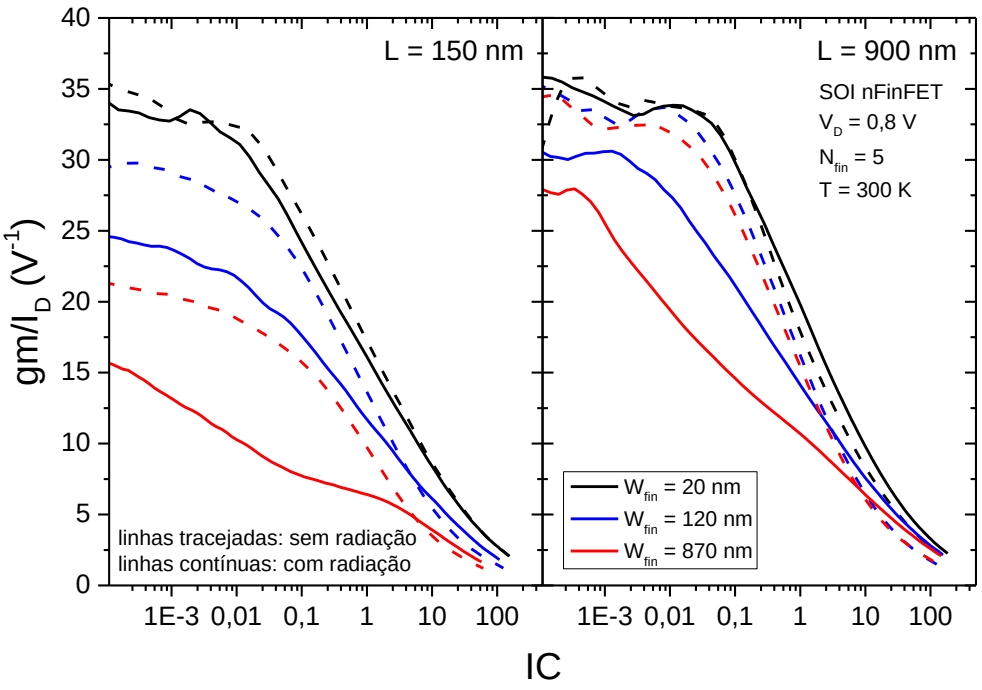
4.3 Efeitos da radiação considerando o coeficiente de inversão

Nesta análise dos efeitos da radiação comparou-se os parâmetros dos dispositivos SOI nFinFET e pFinFET sem tensionamento caracterizados em 2016 em função do coeficiente de inversão (IC). Foram analisados a eficiência do transistor gm/I_D e o ganho intrínseco de tensão A_V. Também se realizou uma análise de compromisso (*tradeoff analysis*) entre a eficiência do transistor e a frequência de ganho unitário.

4.3.1 Eficiência do transistor

Primeiramente, foi analisada a eficiência do transistor em função do coeficiente de inversão para cada dispositivo SOI nFinFET, cujas curvas características se encontram na figura a seguir.

Figura 4.19 – Eficiência do transistor gm/I_D em função do coeficiente de inversão IC para os dispositivos SOI nFinFET. Medidas realizadas em 2016.



Fonte: autor

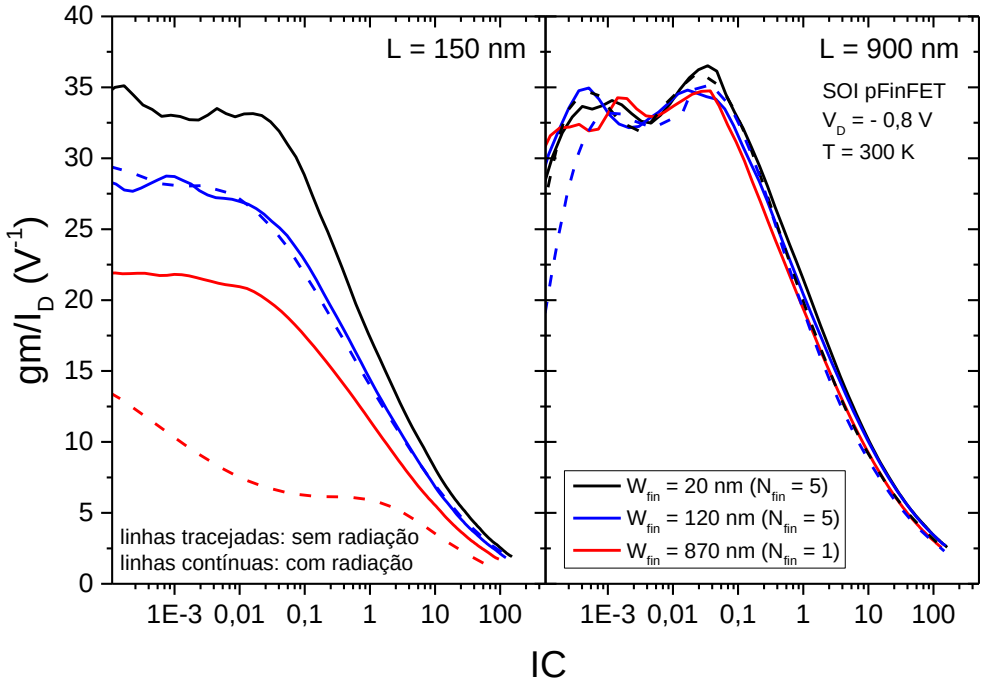
Os transistores SOI nFinFET com aletas mais estreitas exibiram níveis mais altos de eficiência do transistor, devido a uma melhor inclinação de sublimiar. Com relação ao comprimento do canal, os dispositivos mais longos, com L_G = 900 nm, tiveram valores superiores aos dos dispositivos mais curtos. Comparando o comprimento de canal nas análises anteriores, os dispositivos com canais mais longos exibiram valores de SS menor e de $\mu_{0,eff}$ maior, e, como resultado, seus valores de gm/I_D foram maiores quando comparado com os dispositivos curtos.

Considerando os efeitos da radiação, no regime de inversão fraca e moderada, os dispositivos com aletas mais largas sofreram uma maior degradação da eficiência do, devido a uma maior quantidade de cargas positivas acumuladas no óxido enterrado, que resultou em uma maior degradação da inclinação de sublimiar causada

pela condução parasitária de corrente pela segunda interface. No regime de inversão forte, nos dispositivos com aletas estreitas, a eficiência do transistor sofreu uma variação desprezível, resultado de um acoplamento eletrostático mais forte.

Analisando os transistores SOI pFinFET, devido à radiação de prótons causar uma melhoria da inclinação de sublimiar, observou-se que os níveis de eficiência do transistor melhoram ou sofrem uma variação para dispositivos radiados, como mostrado na figura 4.20:

Figura 4.20 – Eficiência do transistor gm/I_D em função do coeficiente de inversão IC para os dispositivos SOI pFinFET. Medidas realizadas em 2016.



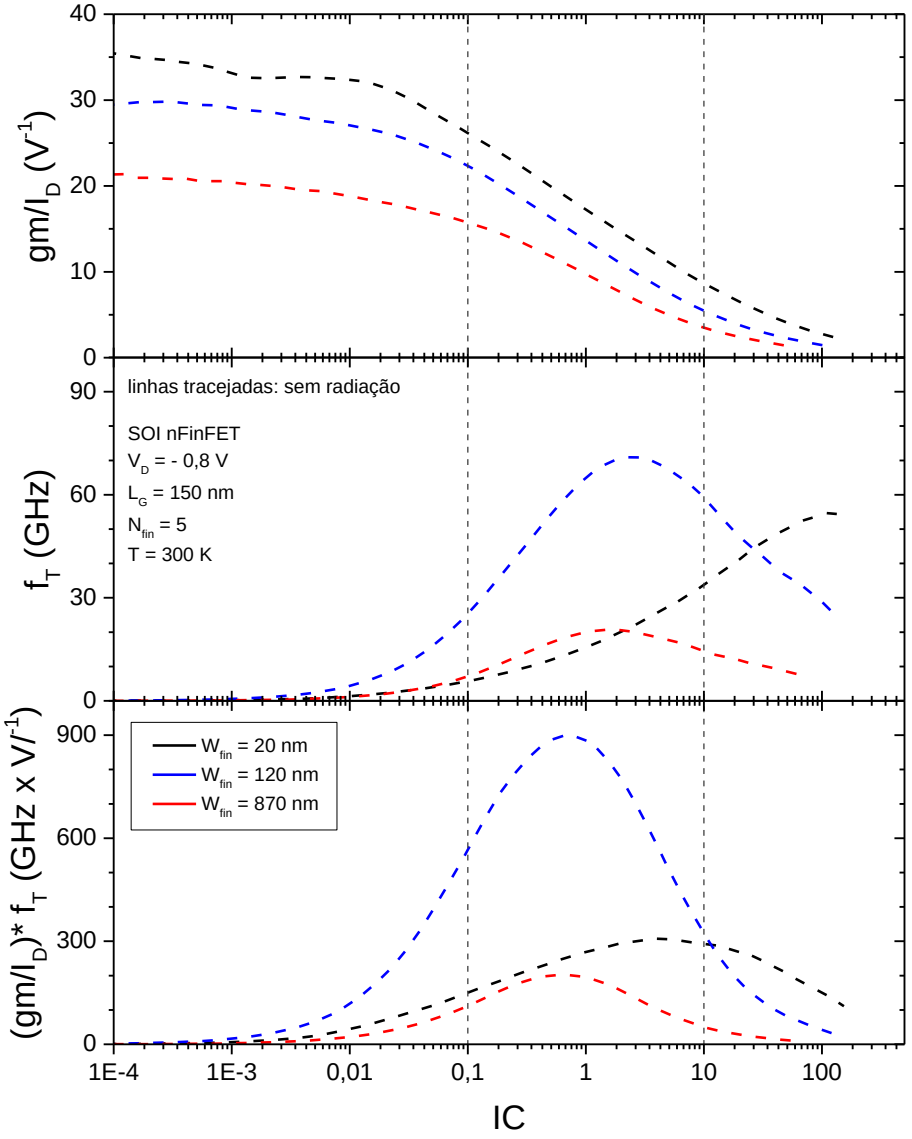
Fonte: autor

Os dispositivos com aletas mais largas sofreram uma maior variação de gm/I_D com a radiação, acompanhando a variação da inclinação de sublimiar observada anteriormente. No regime de inversão fraca, os transistores com aletas mais estreita sofreram uma menor variação, e, na inversão forte os efeitos da radiação são desprezíveis. Como nos dispositivos com canal tipo n, os dispositivos SOI pFinFET com canal mais longo exibiram níveis maiores de eficiência, uma vez que seus valores de SS foram menores por não apresentarem efeitos de canal curto.

4.3.2 Análise de compromisso entre eficiência do transistor e frequência de ganho unitário monitorando o ganho intrínseco de tensão

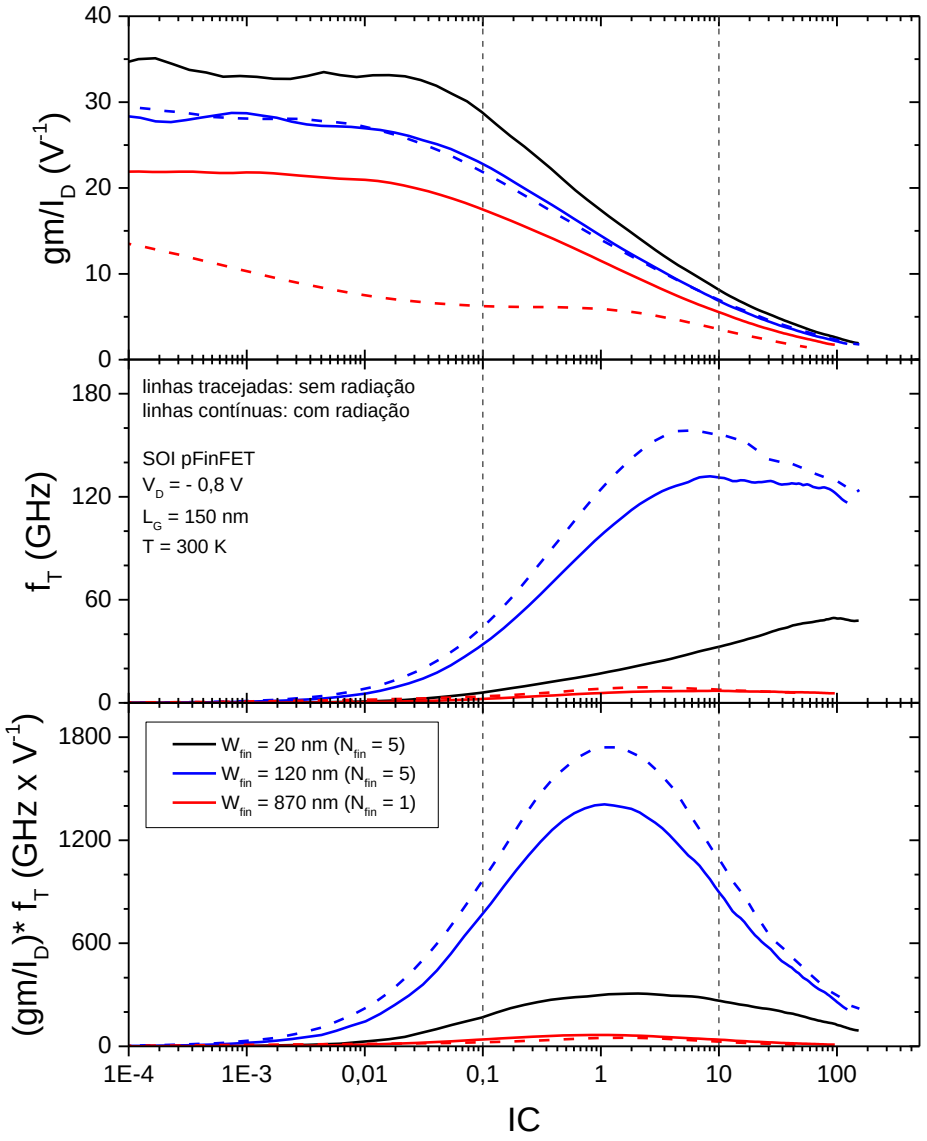
A análise de compromisso entre a eficiência do transistor gm/I_D e frequência de ganho unitário f_T foi realizada para os dispositivos SOI nFinFET sem radiação e com L_G = 150 nm e para os SOI pFinFET com e sem radiação e também com L_G = 150 nm. A análise consiste em se obter o produto de gm/I_D por f_T, identificando em quais regimes de inversão se obtém o melhor compromisso entre os valores.

Figura 4.21 – Produto gm/I_D x f_T em função do coeficiente de inversão IC para os dispositivos SOI nFinFET com L_G = 150 nm e sem radiaçã. Medidas realizadas em 2016.



Fonte: autor

Figura 4.22 – Produto gm/I_D x f_T em função do coeficiente de inversão IC para os dispositivos SOI pFinFET com L_G = 150 nm. Medidas realizadas em 2016.



Fonte: autor

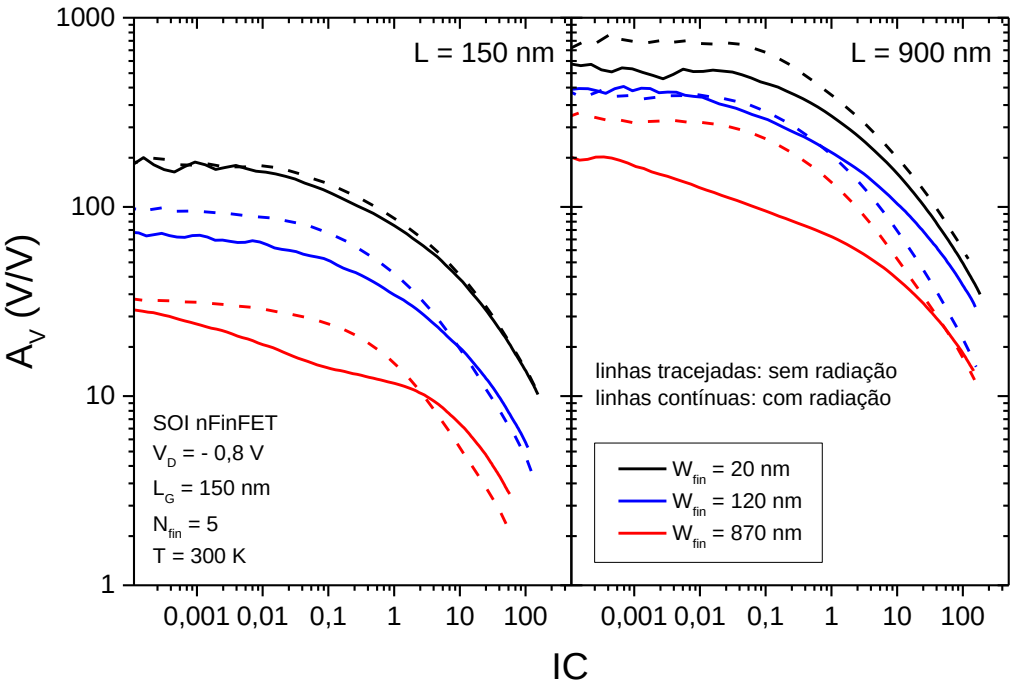
O ganho de frequência unitário (f_T) para cada dispositivo pode ser observado nos gráficos da figura 4.22. O parâmetro tem seus valores máximos atingidos em uma região entre o regime de inversão moderado e o de inversão forte, dependendo da largura da aleta. Dispositivos com W_{fin} = 870 nm tiveram os níveis mais baixos de f_T, enquanto que os com W_{fin} = 120 nm tiveram os níveis mais altos.

A eficiência do transistor foi analisada de forma individual, conforme análise na subseção anterior, e em conjunto com a eficiência do transistor, realizando-se uma análise de compromisso entre os parâmetros. Observando os gráficos do produto

entre gm/I_D e f_T é possível notar que tanto para os transistores SOI nFinFET quanto para os SOI pFinFET os valores máximos foram atingidos na região de inversão moderada, onde 0,1 < IC < 10, próximo a IC = 1. Para o dispositivo com aletas mais estreita (W_{fin} = 20 nm), o valor de pico de gm/I_D x f_T ficou deslocado com relação aos demais dispositivos, ocorrendo próximo a transição do regime de inversão moderada para forte. A radiação afetou os dispositivos SOI pFinFET, mas sem deslocar os valores máximos com relação ao coeficiente de inversão.

Para identificar uma condição otimizada de polarização dos dispositivos, estudou-se também o ganho intrínseco de tensão (A_V) para cada dispositivo em função do coeficiente de inversão. Este parâmetro tem uma curva com tendência similar a curva de eficiência do transistor, dado que A_V pode ser extraído como o produto de gm/I_D pela tensão Early V_{EA}. Para os dispositivos SOI nFinFET, as curvas características podem ser observadas na figura 4.23:

Figura 4.23 – Ganho intrínseco de tensão A_V em função do coeficiente de inversão IC para os dispositivos SOI nFinFET. Medidas realizadas em 2016.



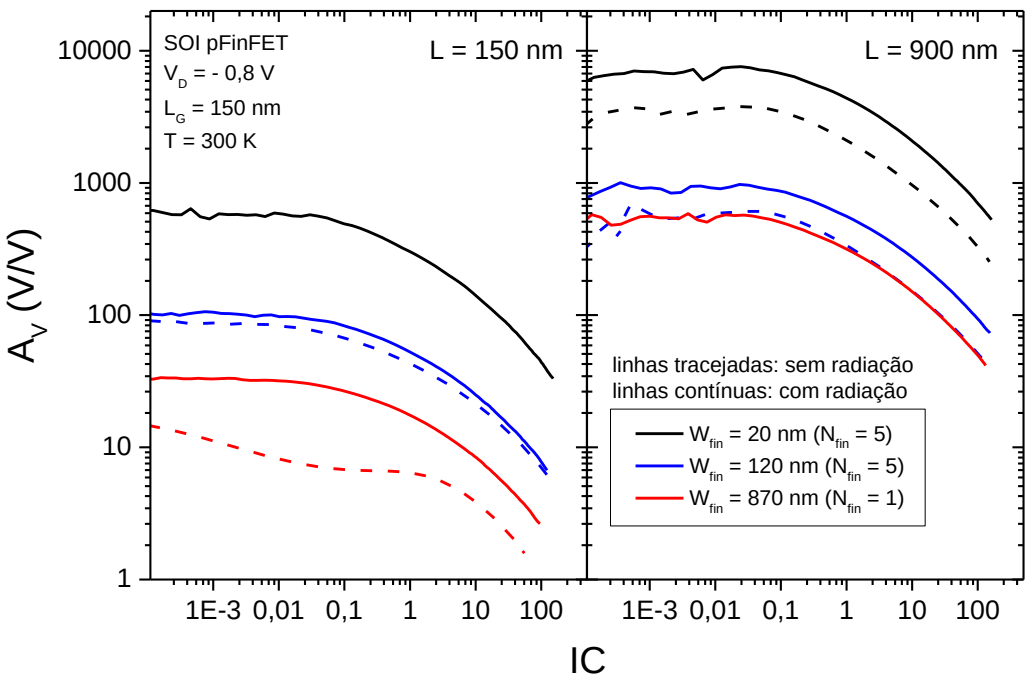
Fonte: autor

Os dispositivos com aletas mais largas foram mais afetados pelos efeitos da radiação, pelos mesmos motivos que justificam a degradação de gm/I_D. Como na análise da eficiência do transistor, os dispositivos com aletas mais estreitas tiveram

níveis mais altos de A_V. Transistores com canal mais longo também foram mais afetados, uma vez que acumulam mais cargas no óxido enterrado do que dispositivos curtos.

Analisando os dispositivos SOI pFinFET, nota-se que os dispositivos com aletas mais estreitas atingiram valores mais altos de ganho intrínseco de tensão, assim como os com canal mais longo, comportamento parecido com os nFinFETs. No entanto, para estes dispositivos, a eficiência do transistor aumenta em dispositivos radiados, o que se reflete também em um aumento de A_V, como pode ser notado na figura 4.24:

Figura 4.24 – Ganho intrínseco de tensão A_V em função do coeficiente de inversão IC para os dispositivos SOI pFinFET. Medidas realizadas em 2016.



Fonte: autor

A radiação de prótons afeta o ganho intrínseco de tensão dos dispositivos com aletas mais largas, devido a uma maior área de óxido enterrado e consequentemente mais cargas positivas acumuladas, resultando em um aumento da inclinação de sublimiar nos pFinFETs.

Comparando os resultados da análise de compromisso entre gm/I_D e f_T e do estudo de A_V, é possível determinar em quais regimes de inversão, e

consequentemente as condições de polarização, se obtém a melhor relação entre os valores dos parâmetros. A otimização dos parâmetros depende da aplicação na qual os dispositivos serão utilizados e, portanto, a interpretação desta análise se torna mais compreensível definindo-se as necessidades das aplicações.

Em uma aplicação na qual o ganho de tensão é mais importante e a largura de banda de frequência não é decisiva, a melhor polarização dos dispositivos seria obtida no regime de inversão fraca (IC < 0,1), aonde tanto a eficiência do transistor como o ganho intrínseco de tensão atingem seus níveis máximos.

No entanto, para aplicações nas quais os três parâmetros gm/I_D, f_T e A_V são importantes, ou seja, aonde há a necessidade de uma banda larga de frequência e de níveis satisfatórios de ganho, o melhor compromisso ocorre no regime de inversão moderada, com um coeficiente de inversão próximo de IC = 1. Para dispositivos SOI pFinFET que sofreram degradação com a radiação de prótons, a melhor polarização ainda foi obtida com IC = 1.

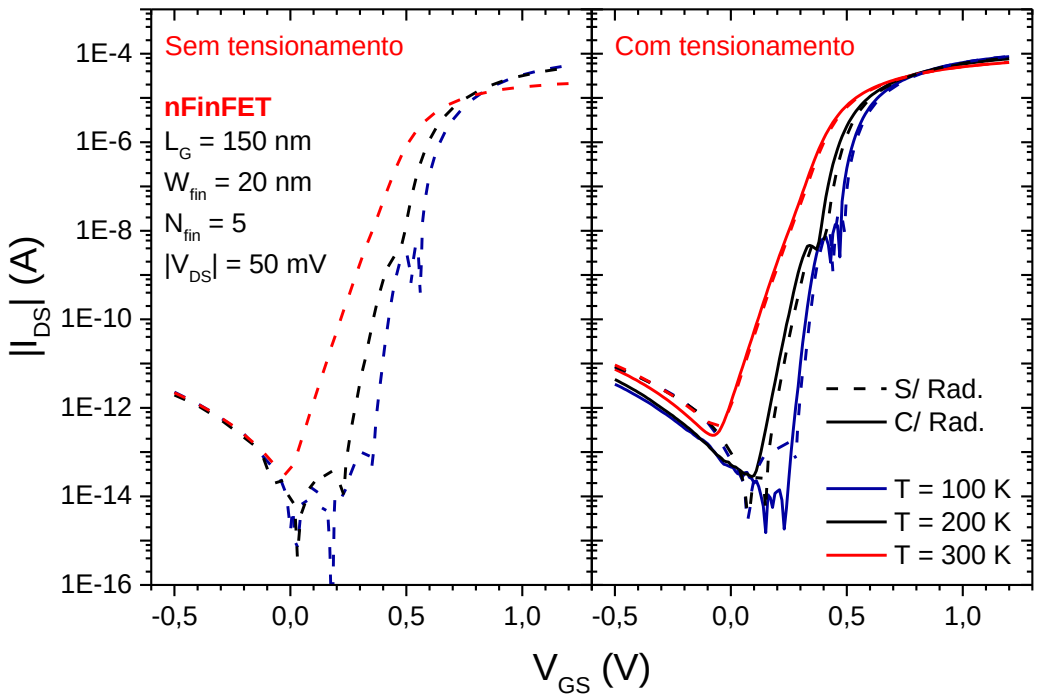
4.4 Efeitos da baixa temperatura

Nesta análise foram estudados diversos parâmetros dos dispositivos FinFETs, tanto do tipo n quanto do tipo p. As análises são baseadas nas medidas realizadas na segunda etapa do trabalho (2016).

4.4.1 Corrente de dreno

Primeiramente, foram analisadas as curvas características I_{DS} x V_{GS}, comparando-se o desempenho dos dispositivos sem e com tensionamento mecânico com as mesmas dimensões, sob influência da baixa temperatura.

Figura 4.25 – Curvas I_{DS} vs. V_{GS} para dispositivos SOI nFinFET com L_G = 150 nm e W_{fin} = 20 nm.



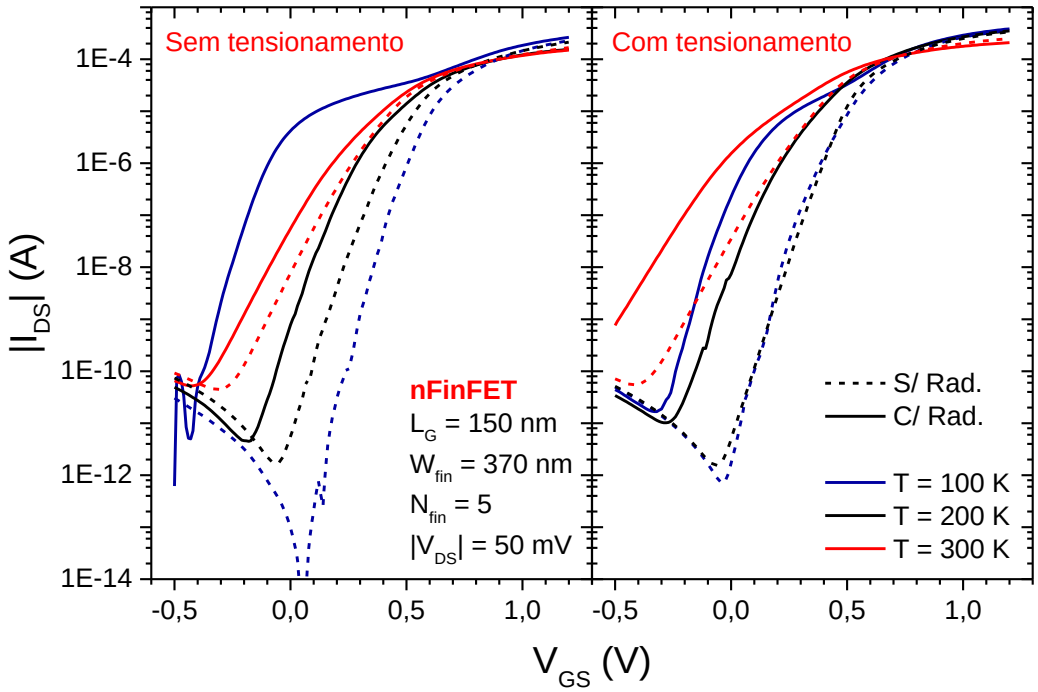
Fonte: autor

Na figura 4.25 é possível notar os efeitos da baixa temperatura nos dispositivos nFinFETs com canal estreito. Com a diminuição da temperatura ocorre um deslocamento positivo das curvas no eixo da tensão de porta e uma elevação dos níveis de corrente após a região de sublimiar. A degradação notada na região de sublimiar às temperaturas mais baixas (quebra da continuidade), sugere que a segunda interface começa a conduzir corrente com tensões muito mais baixas (condução parasitária) do que a primeira interface necessita para iniciar a condução. Para valores de V_{GS} acima desta descontinuidade, a corrente de inversão da primeira interface passa a predominar, apresentando um fator de inclinação de sublimiar (SS) significativamente melhor (menor) decorrente da diminuição da temperatura. Para valores superiores a tensão de limiar, o aumento do nível de corrente ocorre devido à melhoria da mobilidade dos portadores à baixa temperaturas.

Os nFinFETs com tensionamento, comparados aos sem tensionamento, apresentaram níveis de corrente de dreno ligeiramente maiores, pois o tensionamento mecânico, como verificado nas análises anteriores, permite uma maior mobilidade efetiva dos elétrons pela diminuição da banda proibida. Os dispositivos irradiados com prótons apresentaram um comportamento similar, com a temperatura, porém a região de sublimiar foi apenas levemente degradada, demonstrando um forte acoplamento eletrostático no canal e baixa influência da radiação devido a pequena área de oxido abaixo do canal (Wfin bastante estreito).

Já nos transistores nFinFET com aletas largas, é possível notar na figura 4.26 um comportamento similar ao dos dispositivos com aletas mais estreitas, onde a diminuição da temperatura causa um deslocamento positivo das curvas e um aumento dos níveis de corrente para tensões de porta mais elevadas. Porém, nota-se que não apresenta uma região de descontinuidade da região de sublimiar, como nos dispositivos mais estreitos, o que pode ser explicado pelos efeitos de canal curto devido a da razão de aspecto do dispositivo, com W_{fin} = 370 nm e L_G = 150 nm. Neste caso, o acoplamento eletrostático no canal é mais fraco e a corrente parasitária pela segunda interface tem uma contribuição muito mais significativa, mesmo à temperatura ambiente. Nota-se também uma anomalia bem mais intensa para os dispositivos radiados quando operando a temperatura de 100K.

Figura 4.26 – Curvas I_{DS} vs. V_{GS} para dispositivos SOI nFinFET com L_G = 150 nm e W_{fin} = 370 nm.

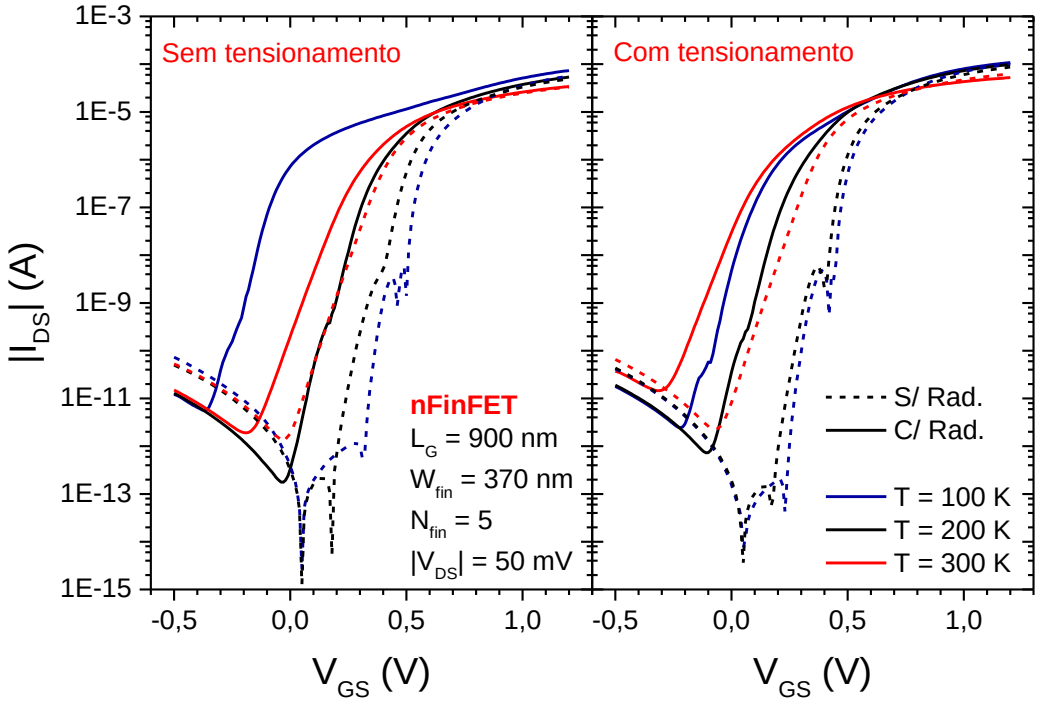


Fonte: autor

Os dispositivos tensionados, como esperado, apresentaram um maior nível de corrente, mas em baixas temperaturas não houve uma melhoria significativa, como nota-se nas curvas de corrente com temperaturas de 200 K e 100 K, havendo pouca diferença nos níveis, sugerindo que os defeitos introduzidos pelas técnicas de tensionamento mecânico passam a influenciar a mobilidade dos elétrons a baixa temperatura, através dos mecanismos de espalhamento e armadilhas de interface.

Os dispositivos mais largos são impactados de forma mais significativa pela radiação de prótons, devido a área de óxido enterrado abaixo da região do canal, como verificado nas análises anteriores. Nota-se que para as temperaturas mais baixas, a curva característica de corrente sofre um deslocamento maior após a radiação. Com a diminuição da temperatura, a concentração de portadores ionizados e intrínsecos é reduzida e como a radiação causa um acúmulo de cargas predominantemente positivas no óxido enterrado, estas cargas passam a ter uma forte atuação na inversão da segunda interface. Desta forma, a corrente na superfície da interface entre óxido enterrado e o silício da região ativa passa a ter uma contribuição maior, elevando fortemente o nível de corrente, principalmente na região de sublimiar.

Figura 4.27 – Curvas I_{DS} vs. V_{GS} para dispositivos SOI nFinFET com L_G = 900 nm e W_{fin} = 370 nm.

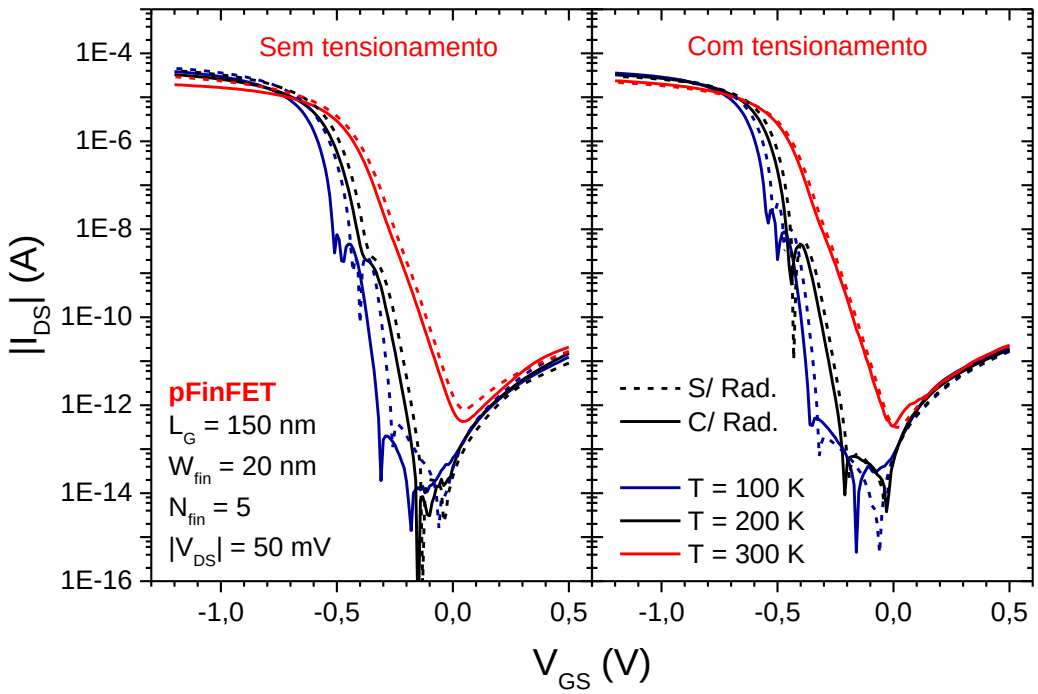


Fonte: autor

Independentemente do comprimento de canal, para os dispositivos de canal tipo n e com aletas largas, o comportamento observado é similar ao explicado anteriormente, havendo uma forte degradação das curvas características após a radiação, em temperaturas mais baixas. Porém, nos dispositivos com canal curto e aletas estreitas, ocorre a quebra da linearidade da região de sublimiar, indicando uma menor contribuição da corrente parasita na segunda interface para a corrente de dreno.

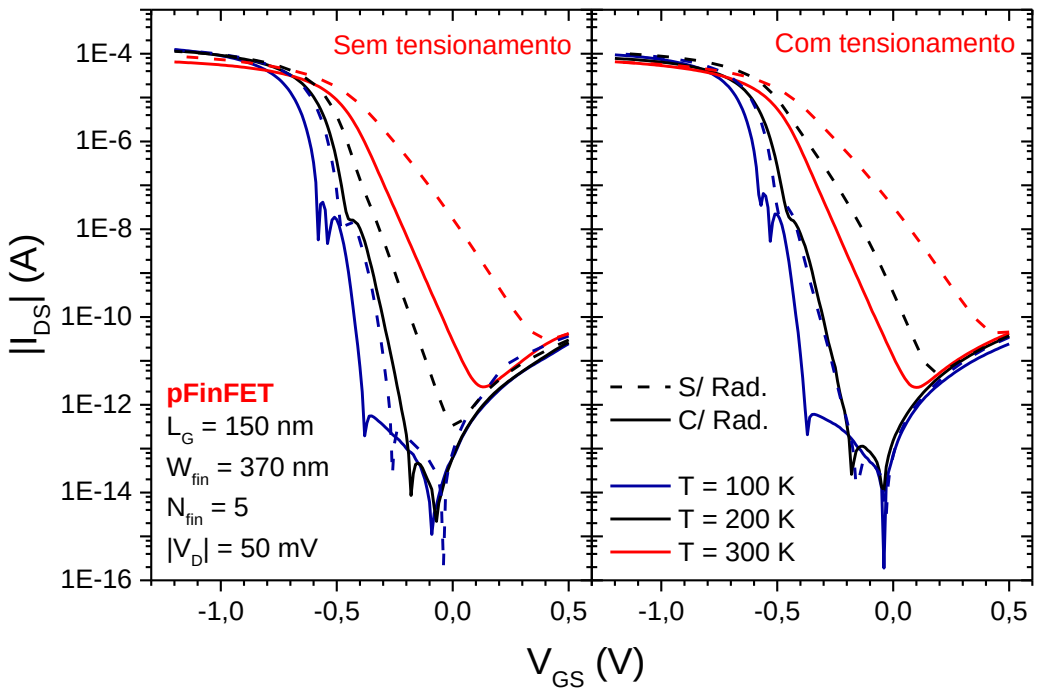
Focando a análise nos dispositivos com canal tipo p, nota-se que para os dispositivos com canal curto e aletas estreitas o comportamento é similar aos nFinFETs de mesma dimensão, como na figura 4.28. Neste caso, o deslocamento das curvas características com a diminuição da temperatura e com os efeitos da radiação ocorre no sentido negativo do eixo de tensão. A quebra da continuidade da região de sublimiar também ocorre, indicando a presença dos mesmos mecanismos descritos anteriormente para os dispositivos nFinFETs, havendo pouca contribuição da corrente parasita da segunda interface, mesmo após a radiação.

Figura 4.28 – Curvas I_{DS} vs. V_{GS} para dispositivos SOI pFinFET com L_G = 150 nm e W_{fin} = 120 nm.



Fonte: autor

Figura 4.29 – Curvas I_{DS} vs. V_{GS} para dispositivos SOI pFinFET com L_G = 150 nm e W_{fin} = 370 nm.



Fonte: autor

Nos pFinFETs com aleta estreita e canal curto, a radiação de prótons passa a exercer uma maior influência sob baixa temperatura, onde observa-se uma degradação da corrente ligeiramente maior, mais notavelmente na região de sublimiar.

Já nos dispositivos com canal tipo p de canal curto e aletas mais largas, os efeitos da baixa temperatura são mais pronunciados, como na figura 4.29, onde nota-se um maior deslocamento das curvas de corrente entre uma temperatura e outra. No entanto, o efeito da radiação é mais pronunciado em altas temperaturas, devido à razão de aspecto que proporciona os efeitos de canal curto, ao contrário dos dispositivos mais estreitos. Com a diminuição da temperatura, mesmo após a radiação, a condução parasitária pela segunda interface acaba tendo uma menor influência uma vez que a tensão de limiar das interfaces aumenta. Nota-se também que nas temperaturas mais baixas, para os pFinFETs com aletas mais largas, os dispositivos sem radiação não apresentaram uma quebra da continuidade da região de sublimiar enquanto que os com radiação apresentaram, como para a temperatura de 200 K, sugerindo uma limitação da corrente parasitária conduzida pela segunda interface com a diminuição da temperatura.

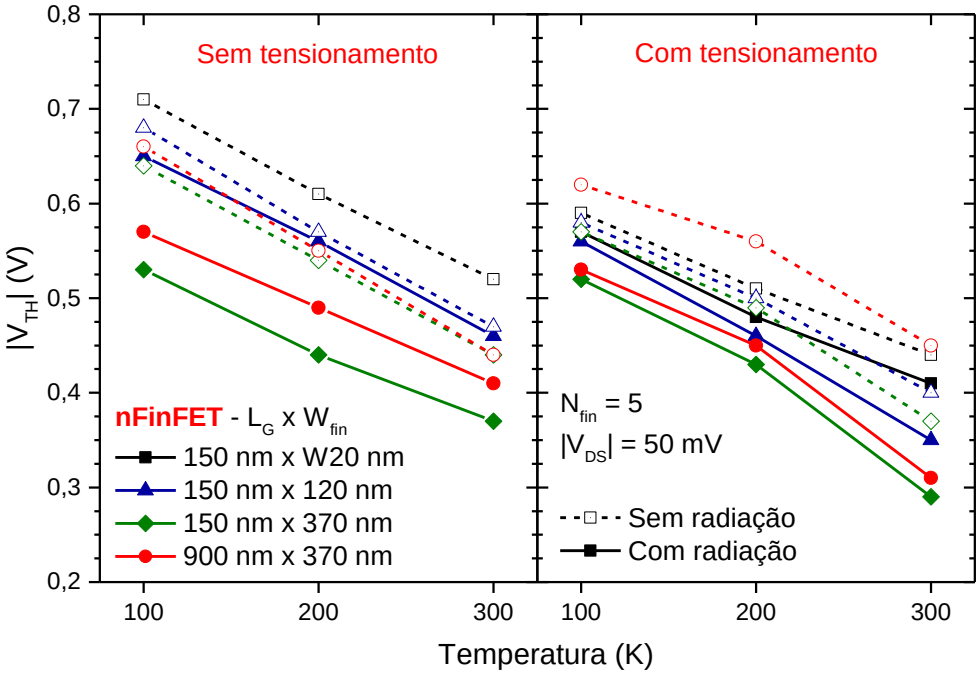
Diferentemente dos nFinFETs, a radiação de prótons causa uma menor degradação da região de sublimiar nos dispositivos tipo p, porém resulta em uma melhoria da inclinação (SS) quando compara-se o dispositivo antes e após a radiação. Este fenômeno é mais forte em dispositivos tensionados, como nota-se na figura 4.29, onde o dispositivo com radiação e tensionamento mecânico, com W_{fin} = 370 nm e operando em 300 K tem um desempenho na região de sublimiar superior ao dispositivo sem radiação com as mesmas dimensões e operando em 200 K.

4.4.2 Tensão de limiar

A análise da tensão de limiar permite compreender de forma mais aprofundada os efeitos da baixa temperatura nas curvas características de corrente, como notado na seção anterior.

Na figura a seguir observa-se como a baixa temperatura afeta a tensão de limiar dos dispositivos nFinFETs:

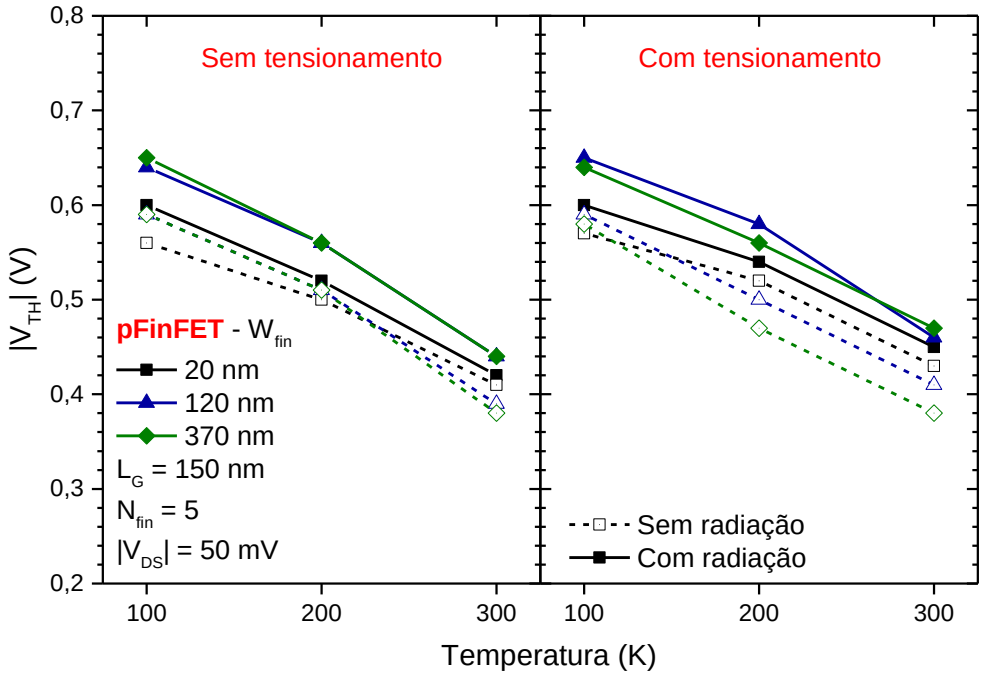
Figura 4.30 – Tensão de limiar (V_{TH}) para dispositivos SOI nFinFET.



Fonte: autor

O valor absoluto da tensão de limiar dos dispositivos com canal tipo n aumentam com a diminuição da temperatura, de maneira quase linear. Em baixas temperaturas, o potencial de Fermi aumenta e a concentração de portadores intrínsecos e ionizados diminui, afetando significativamente a tensão de limiar. O mesmo comportamento é observado nos dispositivos pFinFET, sendo que o valor relativo da tensão de limiar nestes dispositivos é negativo.

Figura 4.31 – Tensão de limiar (V_{TH}) para dispositivos SOI pFinFET com L_G = 150 nm.



Fonte: autor

Analisando a influência da radiação de prótons na tensão de limiar de ambos dispositivos (nFinFET e pFinFET), nota-se comportamentos diferentes.

Em dispositivos com canal tipo n, a radiação causa um deslocamento negativo de V_{TH}, explicado pelo acúmulo de cargas positivas no óxido enterrado e no óxido de porta. Essa diminuição do valor da tensão de limiar resulta em uma condução parasita pela segunda interface, que começa antes de a tensão de limiar da primeira ser atingida.

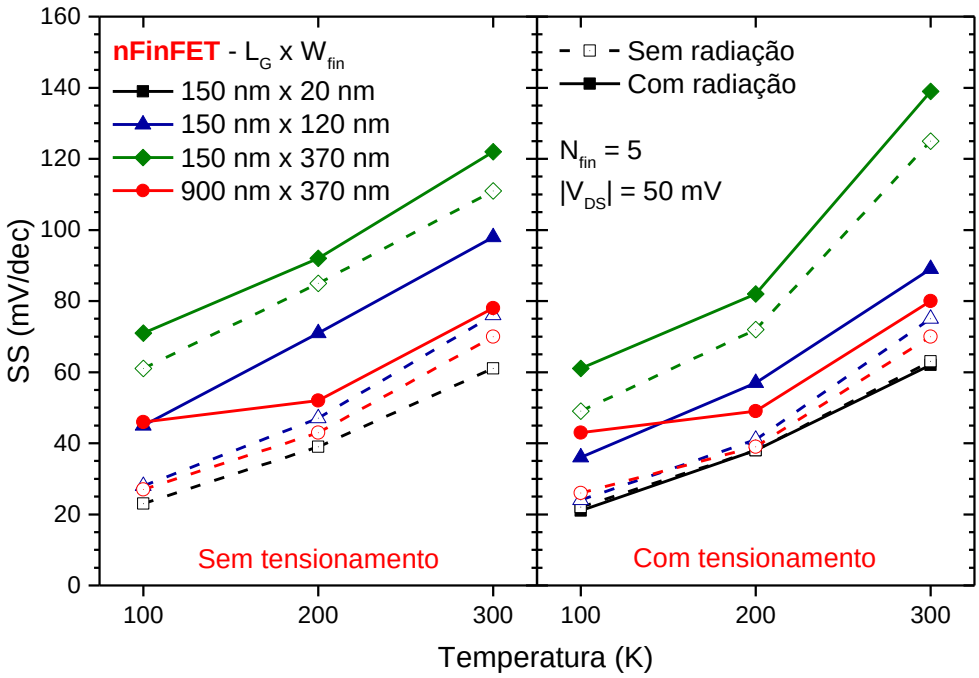
Para transistores pFinFET, o acúmulo de cargas nos óxidos também ocorre, porém, pelo fato de as cargas acumuladas serem predominantemente positivas, ocorre o deslocamento da curva de I_{DS} x V_{GS} no sendo negativo de V_{GS}, tornando a tensão de limiar da segunda interface ainda mais negativa, e, como consequência, praticamente suprimindo a condução parasitária através desta interface.

4.4.3 Inclinação de sublimiar

A análise da inclinação de sublimiar, um dos parâmetros mais importantes do ponto de vista de aplicações digitais, em função da baixa temperatura auxilia a compreensão da relação entre a primeira e a segunda interface e complementa o entendimento dos fenômenos observados nas curvas características.

Para os transistores nFinFET, nota-se que a diminuição da temperatura resulta em um menor valor de inclinação de sublimiar, ocorrendo uma relação diretamente proporcional. Nos dispositivos com canal curto e sem tensionamento mecânico, nota-se que a diminuição de SS ocorre de maneira aproximadamente linear, com um coeficiente próximo ao valor da expressão k.T/q.ln(10) em função da temperatura, menosprezando-se as diversas capacitâncias associadas no dispositivo (fator α).

Figura 4.32 – Inclinação de sublimiar (SS) para dispositivos SOI nFinFET.



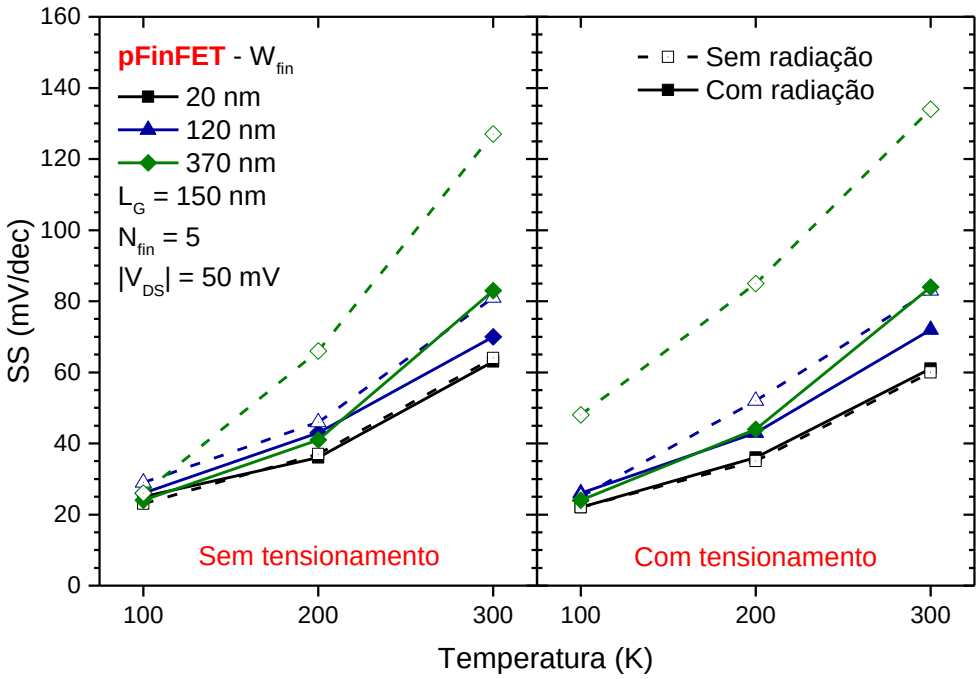
Fonte: autor

Os dispositivos com canal mais largo tiveram uma maior degradação da inclinação de sublimiar após a radiação, devido ao maior acúmulo de cargas no óxido que promovem uma condução de corrente parasita pela segunda interface, aumentando o valor de SS de forma significativa.

No entanto, para transistores com canal tipo n e tensionamento mecânico, a redução de SS de forma linear já não é observada. O tensionamento introduz diversos defeitos nas estruturas dos materiais semicondutores, aumentando a densidade de armadilhas de interface (N_{it}). Em baixa temperatura, as armadilhas de interface provocam um aumento de SS devido também ao $C_{it} = q.N_{it}$.

Para os dispositivos pFinFETs observa-se um comportamento similar em função da temperatura. Os valores extraídos de inclinação de sublimiar encontram-se na figura 4.33:

Figura 4.33 – Inclinação de sublimiar (SS) para dispositivos SOI pFinFET com L_G = 150 nm.



Fonte: autor

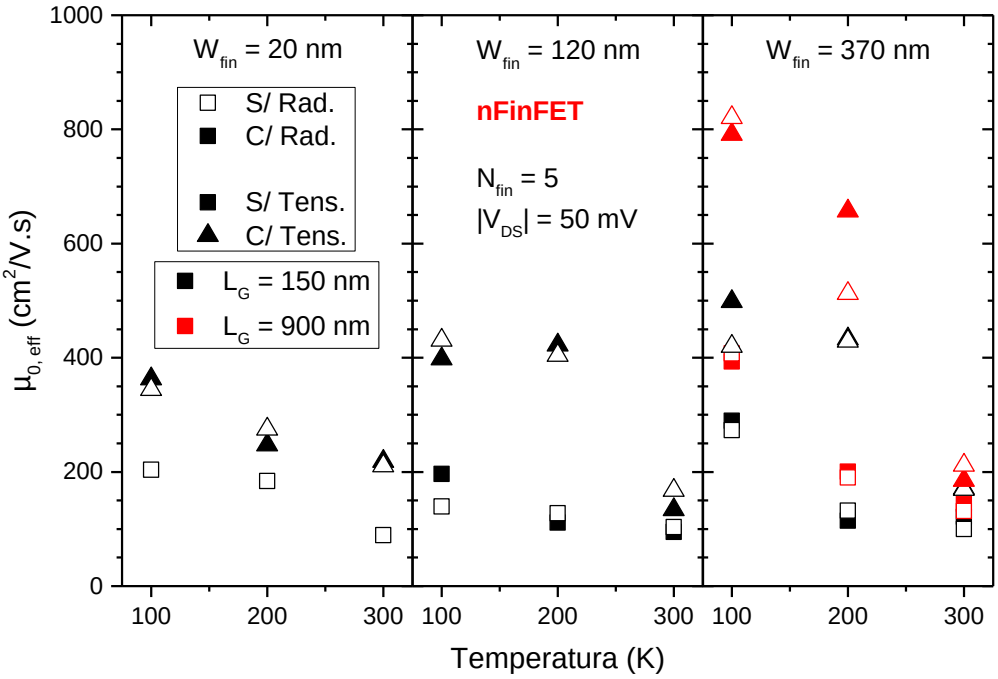
Além dos mecanismos já descritos para a redução dos valores de SS com a baixa temperatura nos dispositivos nFinFET, nos pFinFETs ocorre uma diminuição da inclinação de sublimiar com a radiação de prótons. Isso ocorre, como explicado nas seções anteriores devido ao fato de as cargas acumuladas no óxido serem majoritariamente positivas, o que aumenta o valor da tensão de limiar. Combinando este efeito com a menor influência das armadilhas de interface e com os efeitos da baixa temperatura, o valor SS nos dispositivos pFinFET é reduzido após a radiação.

4.4.4 Mobilidade de baixo campo elétrico

Uma das principais vantagens na operação de dispositivos semicondutores em baixa temperaturas é um aumento considerável da mobilidade dos portadores de carga, proporcionando um maior nível de corrente.

Os dispositivos nFinFET estudados apresentaram este comportamento, com uma elevação da mobilidade nas temperaturas mais baixas. Na figura 4.34, é possível observar as mobilidades de baixo campo elétrico extraídas das medições, para os dispositivos com canal tipo n. Os dispositivos mais estreitos tiveram as menores mobilidades, comportamento esperado e justificado pela relação entre a mobilidade e a transcondutância (gm) do dispositivo, que depende diretamente da largura das aletas (W_{fin}) e inversamente proporcional ao comprimento de canal (L_G)

Figura 4.34 – Mobilidade de baixo campo elétrico efetiva ($\mu_{0,eff}$) para dispositivos SOI nFinFET.



Fonte: autor

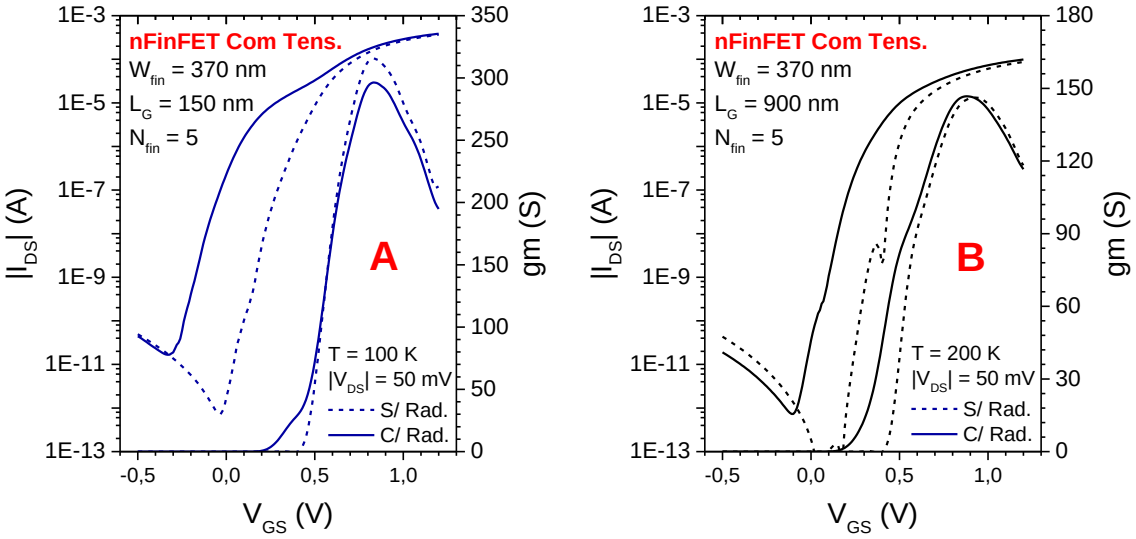
Os dispositivos com tensionamento apresentaram maiores mobilidades, uma vez que umas das premissas do tensionamento mecânico é justamente aumentar a mobilidade dos portadores, dependendo do tipo de portador majoritário e da técnica

aplicada. A baixa temperatura contribui para um tensionamento mecânico mais efetivo, o que resulta em um aumento mais pronunciado da mobilidade.

A radiação de prótons afeta a mobilidade dos portadores pois introduz defeitos na rede cristalina, o que causa mais espalhamento destes portadores, como citado anteriormente. Desta forma é esperado que a mobilidade seja reduzida em dispositivos com radiação, como observa-se nos gráficos da figura 4.34. Para alguns nFinFETs, a mobilidade extraída foi ligeiramente maior, o que pode ser atribuído às variações estatísticas e também à incerteza dos equipamentos utilizados.

No entanto, para os dispositivos com tensionamento mecânico e aletas largas (W_{fin} = 370 nm), em dois pontos específicos, a mobilidade extraída para os transistores com radiação teve uma elevação acima do que se é esperado para uma variação estatística ou incerteza. Para o dispositivo tensionado com W_{fin} = 370 nm e L_G = 150 nm, operando em 100 K, a mobilidade após a radiação teve uma variação de aproximadamente 18,7 %, indo de 420,1 cm^2/V.s para 498,6 cm^2/V.s. O dispositivo tensionado com W_{fin} = 370 nm e L_G = 900 nm teve um comportamento similar, com uma variação de aproximadamente 28,2%, subindo de 512,3 cm^2/V.s para 656,8 cm^2/V.s. Na figura 4.35, observando-se as curvas de corrente com as curvas de transcondutância, nota-se uma degradação da transcondutância para tensões de dreno (V_{GS}) mais baixas, quando o transistor opera na região de sublimiar.

Figura 4.35 – Mobilidade de baixo campo elétrico efetiva ($\mu_{0,eff}$) para dispositivos SOI nFinFET.

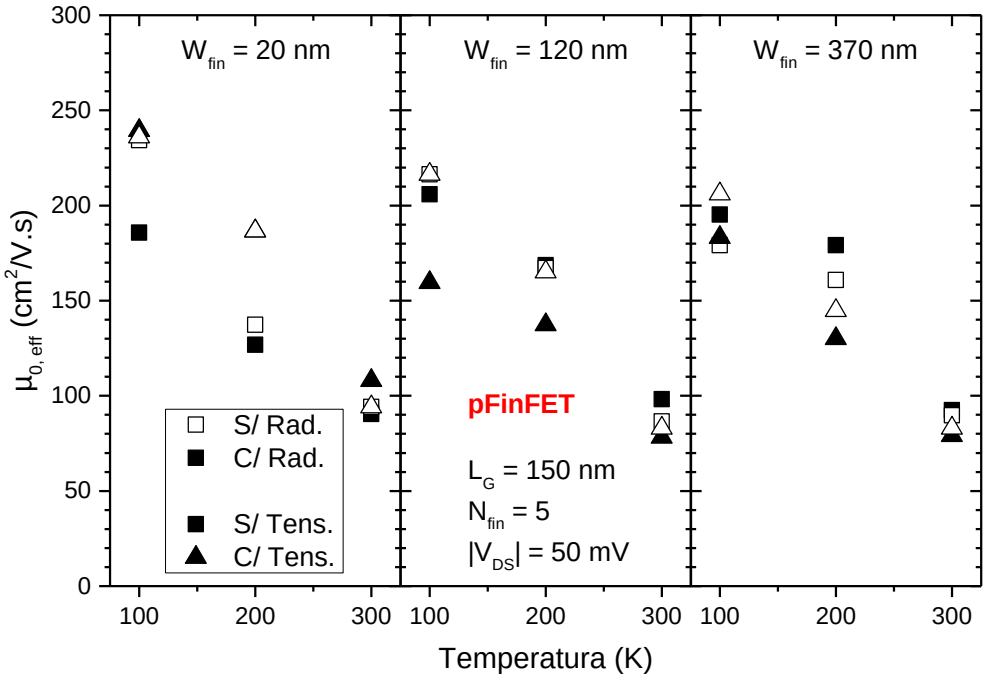


Fonte: autor

Isto pode ser explicado pelo fato de que estes dispositivos, por terem uma maior área de óxido enterrado abaixo da região do canal são mais impactados pelos efeitos da radiação, em decorrência de um maior acúmulo de cargas neste óxido, e também pelo fato de o tensionamento mecânico introduzir defeitos na rede cristalina, como constatado nas análises anteriores. Com isto, a condução de corrente parasita pela segunda interface contribui com uma maior parcela na corrente total de dreno, o que acaba se refletindo nas curvas de transcondutância também, que é extraída a partir da derivada da curva de corrente de dreno. Logo, os métodos convencionais de extração de mobilidade de baixo campo não possuem formas de distinguir os efeitos parasitários e menosprezá-los, sendo influenciados também pelos efeitos da radiação.

Para os dispositivos pFinFET, a baixa temperatura também resultou em um aumento da mobilidade de baixo campo elétrico, como observa-se na figura 4.36. No entanto, os dispositivos com tensionamento mecânico apresentaram uma maior degradação dos valores de mobilidade após a radiação, constatação que está de acordo com a análise das curvas de corrente de dreno para estes mesmo dispositivos.

Figura 4.36 – Mobilidade de baixo campo elétrico efetiva ($\mu_{0,eff}$) para dispositivos SOI pFinFET com L_G = 150 nm.

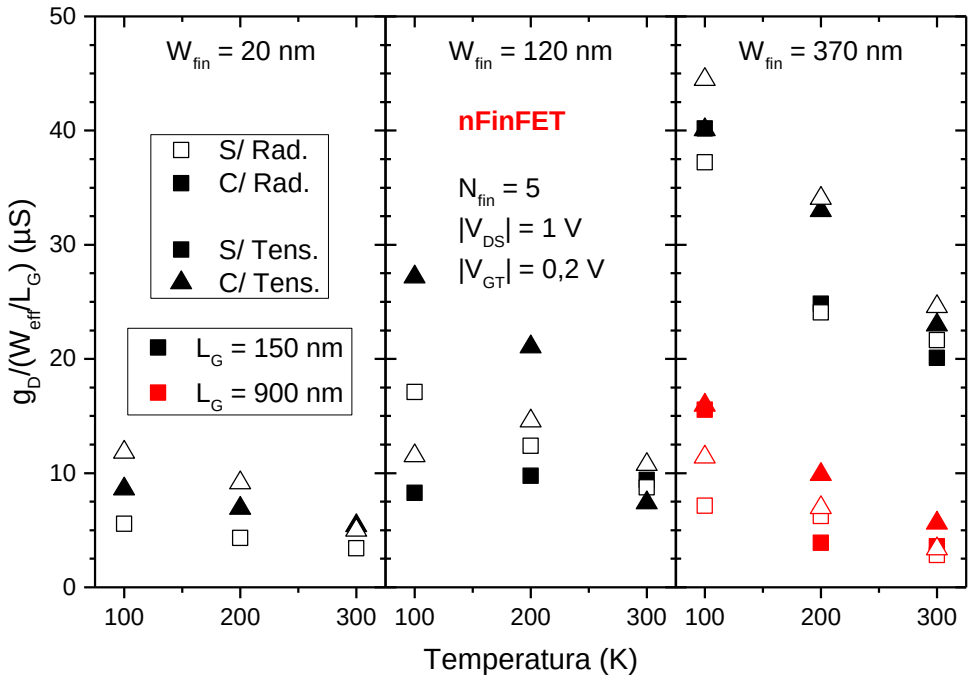


Fonte: autor

4.4.5 Condutância de saída

A condutância de saída dos dispositivos FinFETs é influenciada pela temperatura de operação. Na figura 4.37 observa-se o s valores de g_D extraídos para os nFinFETs, de forma geral, são maiores em baixa temperatura. Como citado anteriormente, a baixa temperatura proporciona uma maior taxa de ionização por impacto, uma vez que a concentração intrínseca de portadores livres diminui, reduzindo a influência do mecanismo de espalhamento de portador-portador, o que contribui para o aumento da mobilidade e consequentemente para uma maior energia cinética destes portadores, o que facilita a ionização por impacto.

Figura 4.37 – Condutância de saída (g_D) normalizada para dispositivos SOI nFinFET.

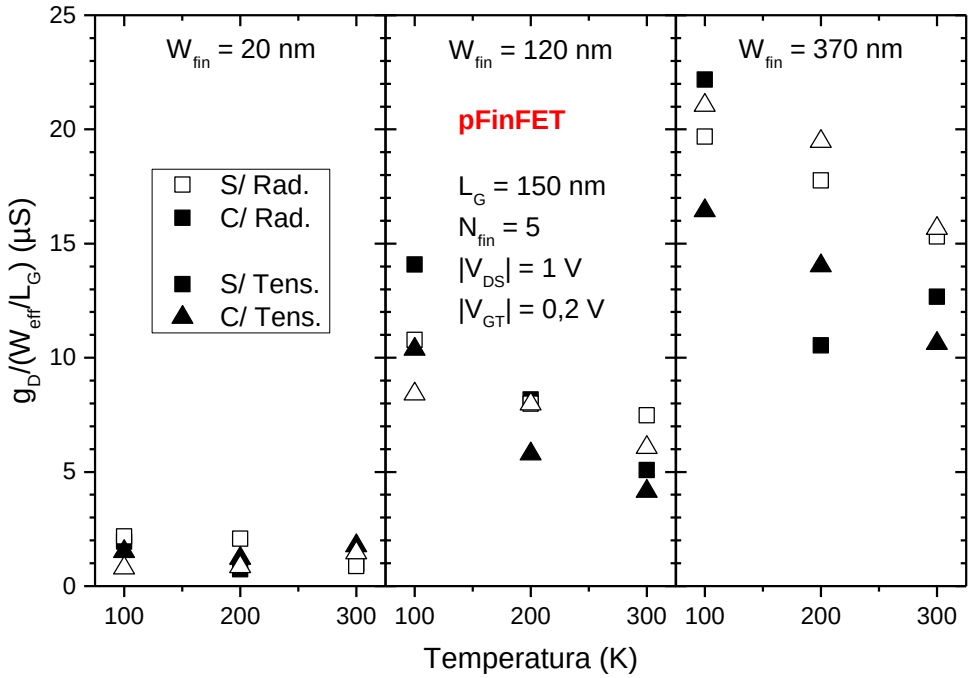


Fonte: autor

O aumento da taxa de ionização por impacto se reflete em um aumento da corrente de dreno e consequentemente na condutância de saída do dispositivo, uma vez que se extrai g_D através da derivada da curva de corrente de dreno em função da tensão de dreno. Desta forma, nota-se uma relação inversamente proporcional entre a temperatura e a condutância de saída dos dispositivos. Os dispositivos com aletas mais largas apresentaram um maior valor de g_D.

Os dispositivos pFinFET apresentaram um comportamento similar, onde em baixas temperaturas o valor extraído de condutância de saída é maior em baixas temperaturas, como pode se observar na figura 4.38. Comparados aos nFinFETs, os valores para os pFinFETs são menores, uma vez que a mobilidade das lacunas é menor também e consequentemente a corrente de dreno diminui.

Figura 4.38 – Condutância de saída (g_D) normalizada para dispositivos SOI pFinFET com L_G = 150 nm.



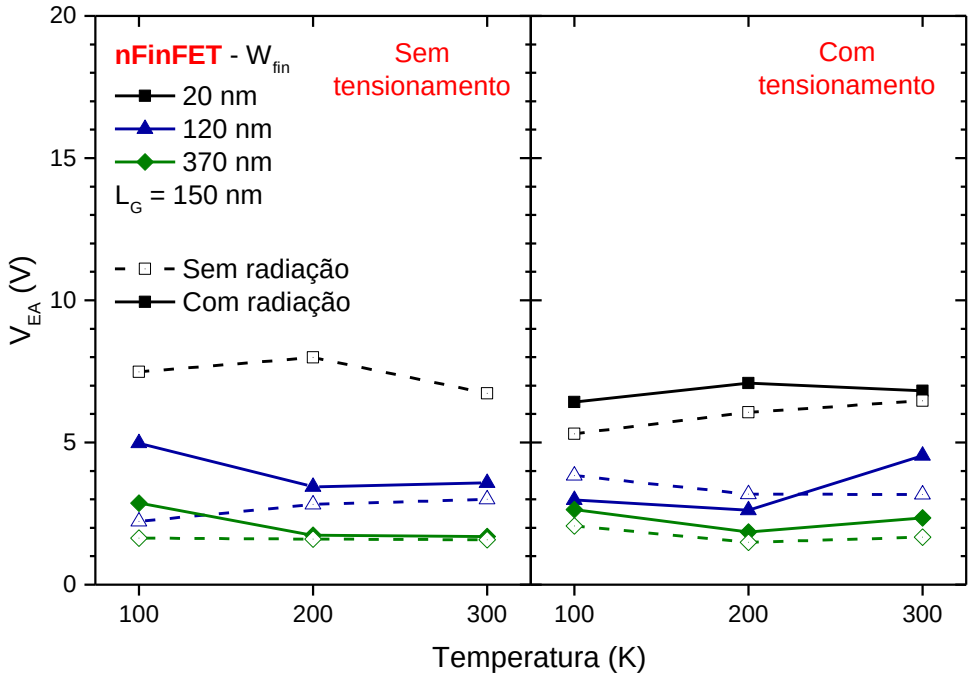
Fonte: autor

4.4.6 Tensão Early

O estudo da tensão Early (V_{EA}) em função da baixa temperatura promove uma maior compreensão do funcionamento dos dispositivos SOI FinFET em aplicações analógicas onde essas ocorrem essas condições.

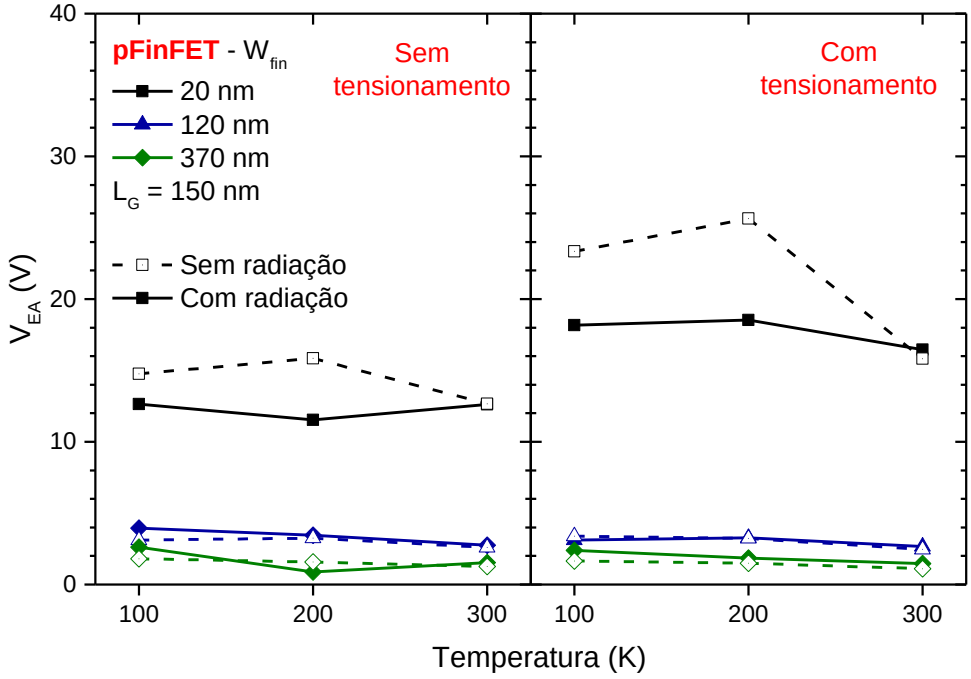
Nas figuras a seguir são exibidos os valores de tensão Early extraídos nas medidas realizadas. Tanto para os dispositivos nFinFET quanto para os pFinFETs nota-se que a baixa temperatura praticamente não influencia ou causa alguma tendência de mudança nos valores de V_{EA}. Em baixas temperaturas, a ionização por impacto aumenta, à medida que a mobilidade dos portadores sobe. A ionização por impacto tende a piorar os valores de V_{EA}, enquanto que a maior mobilidade permite maiores níveis de corrente, trazendo uma melhoria da tensão Early. Desta forma, os dois mecanismos acabam se compensando e mantendo um equilíbrio que permite um valor estável de V_{EA} na faixa de temperatura estudada.

Figura 4.39 – Tensão Early (V_{EA}) para dispositivos SOI nFinFET com L_G = 150 nm.



Fonte: autor

Figura 4.40 – Tensão Early (V_{EA}) para dispositivos SOI pFinFET com L_G = 150 nm.

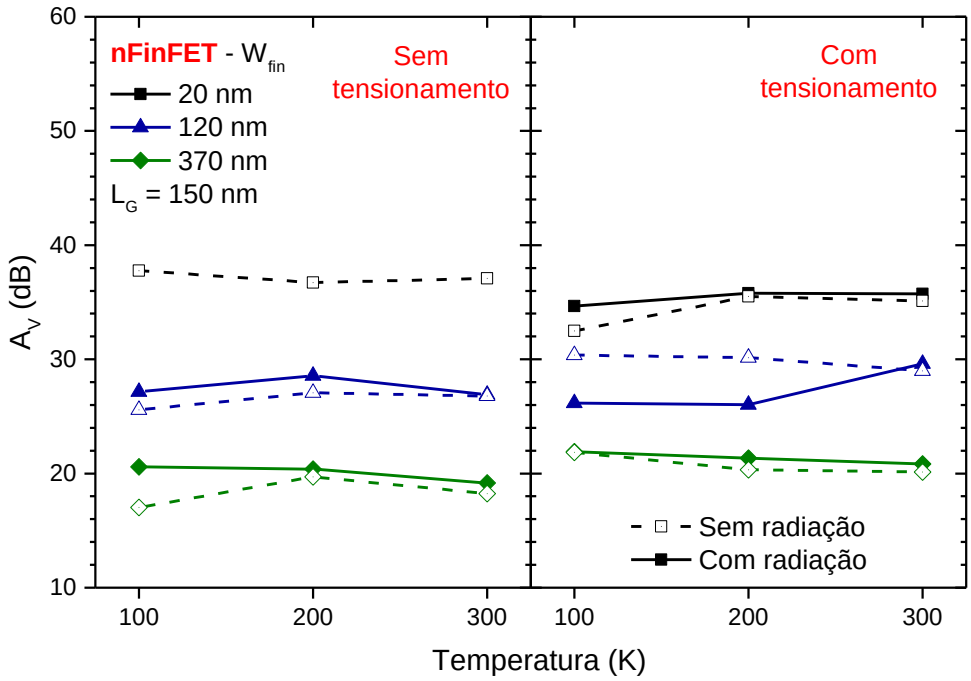


Fonte: autor

4.4.7 Ganho intrínseco de tensão

Analisando-se o ganho intrínseco de tensão (A_V), nota-se um que os dispositivos apresentam um comportamento similar ao do encontrado na análise da tensão Early, havendo pouca alteração dos valores de A_V com a variação da temperatura. O parâmetro A_V pode ser expresso pela relação $A_V = gm/I_{DS} \times V_{EA}$. Os valores extraídos das medições para os dispositivos nFinFET encontram-se na figura 4.41:

Figura 4.41 – Ganho intrínseco de tensão (A_V) para dispositivos SOI nFinFET com L_G = 150 nm.

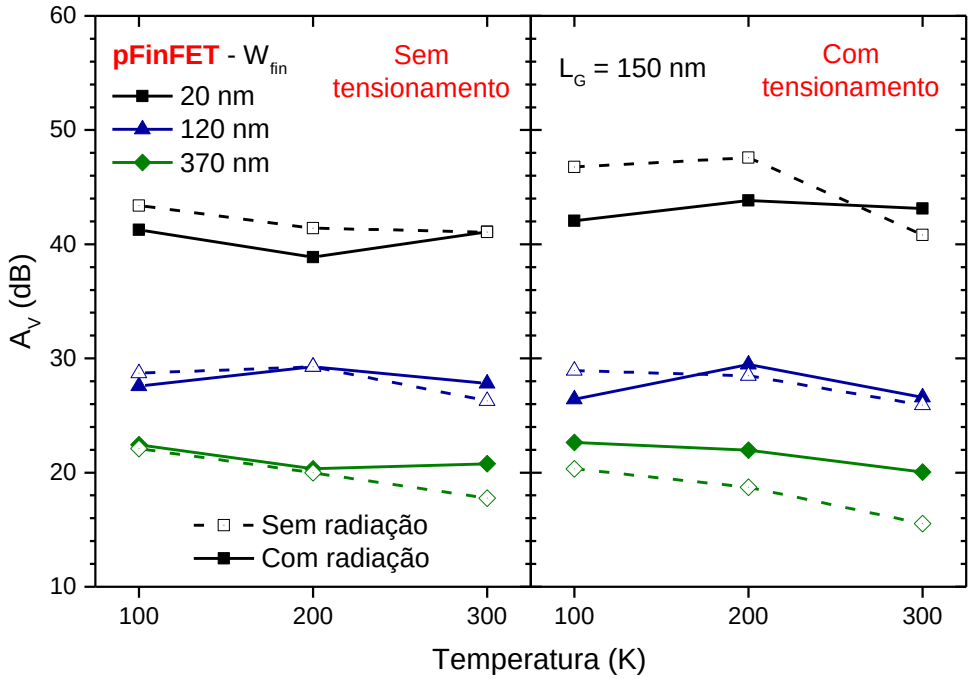


Fonte: autor

A baixa temperatura permite maiores níveis de corrente, assim como valores de transcondutância mais altas. Porém, levando em consideração a expressão do ganho intrínseco de tensão e o resultado encontrado na análise da tensão Early, conclui-se que ocorre uma variação muito pequena da razão gm/I_{DS} em função da temperatura, que se traduz em pouca variação dos valores de AV ao longo da faixa de temperatura estudada.

Para os dispositivos pFinFET o comportamento é muito similar, com a diferença de que os dispositivos com canal tipo p tensionados apresentaram uma maior degradação do parâmetro A_V com a radiação de prótons.

Figura 4.42 – Ganho intrínseco de tensão (A_V) para dispositivos SOI pFinFET com L_G = 150 nm.



Fonte: autor

5 Conclusões parciais e sequência do trabalho

5.1 Conclusões

Neste trabalho analisou-se os efeitos da baixa temperatura e da radiação de prótons em dispositivos SOI nFinFET e SOI pFinFET, com o objetivo de se verificar o potencial destes transistores em aplicações que exigem tolerância a essas condições. Foram analisados os efeitos da dose ionizante total (TID) bem como os mecanismos que alteram o funcionamento destes dispositivos sob baixas temperaturas.

Tanto para dispositivos com canal tipo n quanto para canal tipo p, observou-se que os transistores FinFET com aletas mais finas se mostraram mais tolerantes à radiação, uma vez que sofreram uma menor degradação de seus parâmetros, como tensão de limiar e inclinação de sublimiar, e também apresentaram maiores níveis de corrente de dreno, menor inclinação de sublimiar, maior eficiência de transistor e maior ganho intrínseco de tensão. Isto indica que estes dispositivos tem um melhor acoplamento eletrostático, havendo um melhor controle das cargas no canal. Estes mesmos dispositivos também apresentaram uma melhor resposta aos efeitos da baixa temperatura, em parâmetros digitais como tensão de limiar e inclinação de sublimiar e também na mobilidade efetiva dos portadores. Nos parâmetros analógicos como V_{EA} e A_V, estes mesmos dispositivos apresentaram valores mais elevados, mas que foram pouco afetados com a variação da temperatura.

Já dispositivos com aletas mais largas foram mais afetados pela radiação de prótons, uma vez que possuem uma maior área de óxido enterrado e acumulam mais cargas positivas, o que pode resultar na degradação de diversos parâmetros, como SS, gm/ID, V_T e etc. A baixa temperatura também exerceu uma maior influência nas características destes dispositivos, como observou-se nas curvas de corrente de dreno em função da tensão de porta aplicada e na extração dos parâmetros digitais V_T e SS. Os efeitos da radiação de prótons combinados com os da baixa temperatura causam forte degradação em FinFETs com aletas largas.

Dispositivos pFinFET sofreram uma diminuição da inclinação de sublimiar após a radiação, deixando os valores mais próximos do ideal de 60 mV/dec. Como consequência, esta melhoria fez com que outros parâmetros fossem melhorados

também, como a eficiência do transistor, que é fortemente dependente de SS no regime de inversão moderada e o ganho intrínseco tensão. A baixa temperatura também resultou em uma melhoria dos parâmetros analisados, promovendo um ótimo desempenho dos transistores com canal tipo p. Apesar de os pFinFETs terem apresentado uma maior tolerância aos efeitos da radiação nos parâmetros digitais, como V_{TH} e SS, os nFinFETs tiveram uma resposta mais estável à radiação de prótons nos parâmetros analógicos, como V_{EA} e A_V.

Nos dispositivos SOI nFinFET com tensionamento, observou-se uma maior mobilidade efetiva dos elétrons e níveis mais altos de corrente de dreno e de transcondutância, enquanto outros parâmetros tiveram valores menores do que nos dispositivos sem tensionamento. Apesar, pelo fato de o tensionamento introduzir uma série de defeitos na estrutura cristalina do silício, aumentando o número de armadilhas de interface, estes dispositivos se mostraram menos sensíveis à radiação quando analisados parâmetros como inclinação de sublimiar e eficiência do transistor.

Dispositivos com comprimento de canal L_G = 900 nm sofreram uma maior degradação com a radiação em parâmetros como a tensão de limiar, se comparados com os dispositivos com comprimento de canal L_G = 150 nm. No entanto, os valores de inclinação de sublimiar destes sofreram uma menor variação e ocorreram valores mais altos de mobilidade efetiva, sugerindo que os dispositivos com L_G = 150 nm estão sujeitos aos efeitos de canal curto.

5.2 Trabalhos futuros e sequência

O estudo dos efeitos da baixa temperatura e da radiação de prótons em dispositivos SOI pode ser expandido para outros tipos de dispositivos, como transistores de tunelamento induzidos por efeito de campo (TFET – *Tunnel Field Effect Tran*sistor) ou também para dispositivos com materiais semicondutores diferentes como germânio e materiais III-V, ampliando a gama de parâmetros analisados.

PUBLICAÇÕES GERADAS DURANTE O MESTRADO ATÉ O MOMENTO

Publicações em congressos

L. F. V. Caparroz, C. C. M. Bordallo, J. A. Martino e P. G. D. Agopian, “Proton radiation influence on strained and nonstrained SOI nFinFETs efficiency,” *VI Workshop Sobre os Efeitos das Radiações Ionizantes em Componentes Eletrônicos e Fotônicos de Uso Aeroespacial (WERICE),* 2015.

L. F. V. Caparroz, J. A. Martino, E. Simoen, C. Claeys e P. G. D. Agopian, “Proton Radiation Influence on SOI FinFET Trade-Off Between Transistor Efficiency and Unit Gain Frequency,” *Proceedings of 31th Symposium on Microelectronics Technology and Devices (SBMicro),* 2016.

Artigos submetidos para congressos

L. F. V. Caparroz, C. C. M. Bordallo, J. A. Martino, E. Simoen, C. Claeys e P. G. D. Agopian, “Low temperature performance of proton irradiated strained SOI FinFET,” 2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (ULIS). Submetido.

REFERÊNCIAS

[1] C.-T. Sah, “Evolution of the MOS transistor - From Conception to VLSI,” *Proceedings of the IEEE,* vol. 76, nº 10, pp. 1280-1326, 1988.

[2] T. H. Lee, “The (Pre-) History of the Integrated Circuit: A Random Walk,” *IEEE Solid-State Circuits Society Newsletter,* vol. 12, nº 2, pp. 16-22, 2007.

[3] C. Mack, “The Multiple Lives of Moore's Law,” *IEEE Spectrum,* vol. 52, nº 4, pp. 31-37, 2015.

[4] J.-P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI, 3ª ed., Springer, 2004.

[5] J.-P. Colinge, FinFETs and Other Multi-Gate Transistors, Springer, 2008.

[6] “Advancing Moore's Law — The Road to 14 nm,” Intel, [Online]. Available: http://www.intel.com/content/www/us/en/silicon-innovations/advancing-moores-law-in-2014-presentation.html. [Acesso em 09 de Maio de 2016].

[7] P. G. D. Agopian, J. A. Martino, D. Kobayashi, E. Simoen e C. Claeys, “Influence of 60-MeV Proton-Irradiation on Standard and Strained n- and p-Channel MuGFETs,” *IEEE Transaction on Nuclear Science,* vol. 59, nº 4, pp. 707-713, 2012.

[8] T. Sekigawa e Y. Hayashi, “Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate,” *Solid-State Electronics,* vol. 27, nº 8/9, pp. 827-828, 1984.

[9] M. A. Pavanello, J. A. Martino, E. Simoen, R. Rooyackers, N. Collaert e C. Claeys, “Evaluation of triple-gate FinFETs with SiO2-HfO2-TiN gate stack under analog operation,” *Solid-State Electronics,* vol. 51, 2007.

[10] J. Martino, “Design, fabrication and electrical characterization of SOI FinFET transistors,” Frontiers of Science: Brazil and Spain, 12 12 2012. [Online]. Available: http://www.fapesp.br/fronteras/sal/martino.pdf. [Acesso em 31 01 2017].

[11] K. Toledo, “Primeira divulgação na imprensa sobre o transistor 3D (FinFET) fabricado na América Latina,” Agência FAPESP, 13 12 2012. [Online]. Available: http://agencia.fapesp.br/transistor_3d_e_fabricado_no_brasil_pela_primeira_vez/16615/. [Acesso em 31 01 2017].

[12] R. Rangel, M. Pojar, A. C. Seabra, S. G. Santos Filho e J. A. Martino, “3D Transistor (FinFET) Fabricated with Three Lithography,” *SEMINATEC 2013 - VIII Workshop on Semiconductors and Micro & Nano Technology: Proceedings,* 2013.

[13] R. C. Rangel, M. Pojar, A. C. Seabra, S. G. S. Filho e J. Martino, “Fully electron-beam-lithography SOI finFET,” *Symposium on Microelectronics Technology and Devices,* 2013.

[14] L. P. B. Lima, J. A. Diniz, C. Radtke, M. V. P. d. Santos, I. Doi e J. G. Fo, “Influence of Al/TiN/SiO2 structure on MOS capacitor, Schottky diode, and fin field effect transistors devices,” *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures,* vol. 31, nº 5, 2013.

[15] S. Sze e K. N. Kwok, Physics of Semiconductor Devices, Wiley-Interscience, 2007.

[16] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali e S. Deleonibus, “Multiple gate devices: advantages and challenges,” *Microelectronic Engineering,* vol. 80, pp. 378-385, 2005.

[17] J.-P. Colinge e C. A. Colinge, Physics of Semiconductor Devices, Kluwer Academic Publishers, 2002.

[18] K. Chain, J.-h. Huang, J. Duster, P. K. Ko e C. Hu, “A MOSFET electron mobility model of wide temperature range (77–400 K) for IC simulation,” *Semiconductor Science and Technology,* vol. 12, nº 4, p. 355–358, 1997.

[19] D. Kobayashi, E. Simoen, S. Put, A. Griffoni, M. Poizat, K. Hirose e C. Claeys, “Proton-Induced Mobility Degradation in FinFETs With Stressor Layers and Strained SOI Substrates,” *IEEE Transactions on Nuclear Science,* vol. 58, nº 3, pp. 800-807, 2011.

[20] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini e T. Elewa, “Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Enhanced Performance,” *IEEE Electron Device Letters,* vol. 8, nº 9, pp. 410-412, 1987.

[21] J.-P. Colinge, “Quantum-wire effects in trigate SOI MOSFETs,” *Solid-State Electronics,* vol. 51, nº 9, p. 1153–1160, 2007.

[22] F. Daugé, J. Pretet, S. Cristoloveanu, A. Vandooren, L. Mathew, J. Jomaah e B.-Y. Nguyen, “Coupling effects and channels separation in FinFETs,” *Solid-State Electronics,* vol. 48, nº 4, pp. 535-542, 2004.

[23] F. Silveira e J. P. Flandre, “A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA,” *IEEE Journal of Solid-State Circuits,* vol. 31, nº 9, pp. 1314 - 1319, 1996.

[24] D. Flandre, L. Ferreira, P. Jespers e J.-P. Colinge, “Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits,” *Solid-State Electronics,* vol. 39, nº 4, p. 455–460, 1996.

[25] J.-P. Colinge, “Fully-Depleted SOI CMOS for Analog Applications,” *IEEE Transactions on Electron Devices,* vol. 45, nº 5, pp. 1010 - 1016, 1998.

[26] W. M. C. Sansen, Analog Design Essentials, Springer, 2006.

[27] D. M. Binkley, “Tradeoffs and Optimization in Analog CMOS Design,” *14th International Conference on Mixed Design of Integrated Circuits and Systems ,* pp. 47-60, 2007.

[28] E. A. Vittoz, “Design of Low-Voltage Low-Power IC's,” *23rd European Solid State Device Research Conference (ESSDERC),* pp. 927 - 934, 1993.

[29] E. A. Vittoz, “Very low power circuit design: fundamentals and limits,” *IEEE International Symposium on Circuits and Systems (ISCAS),* vol. 2, pp. 1439 - 1442, 1993.

[30] D. Binkley, M. Bucher e D. Foty, “Design-Oriented Characterization of CMOS over the Continuum of Inversion Level and Channel Length,” *7th IEEE International Conference on Electronics, Circuits and Systems (ICECS),* vol. 1, pp. 161 - 164, 2000.

[31] D. Foty, M. Bucher e D. Binkley, “Re-Interpreting the MOS Transistor Via the Inversion Coefficient and the Continuum of gms/Id,” *9th IEEE International Conference on Electronics, Circuits and Systems (ICECS),* vol. 3, pp. 1179-1182, 2002.

[32] C. C. Enz, F. Krummenacher e E. A. Vittoz, “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications,” *Analog Integrated Circuits and Signal Processing,* vol. 8, nº 1, pp. 83-114, 1995.

[33] G. A. Machado, C. C. Enz e M. Bucher, “Estimating key parameters in the EKV MOST model for analogue design and simulation,” *IEEE International Symposium on Circuits and Systems (ISCAS),* vol. 3, pp. 1588-1591, 1995.

[34] A. Nandi, A. K. Saxena e S. Dasgupta, “Enhancing Low Temperature Analog Performance of Underlap FinFET at Scaled Gate Lengths,” *IEEE Transactions on Electron Devices,* vol. 61, nº 11, pp. 3619 - 3624, 2014.

[35] J.-P. Colinge, A. J. Quinn, L. Floyd, G. Redmond, J. C. Alderman, W. Xiong, C. R. Cleavelin, T. Schulz, K. Schruefer, G. Knoblinger e P. Patruno, “Low-Temperature Electron Mobility in Trigate SOI MOSFETs,” *IEEE Electron Device Letters,* vol. 27, nº 2, pp. 120 - 122, 2006.

[36] A. Es-Sakhi e M. H. Chowdhury, “Analytical Model to Estimate the Subthreshold Swing of SOI FinFET,” *IEEE International Conference on Electronics, Circuits and Systems (ICECS),* pp. 52-55, 2013.

[37] E. A. Gutiérrez-D, M. J. Deen e C. Claeys, Low Temperature Electronics: Physics, Devices Circuits, and Applications, Academic Press, 2001.

[38] D. J. Massey, J. P. R. David e G. J. Rees, “Temperature Dependence of Impact Ionization in Submicrometer Silicon Devices,” *IEEE Transactions on Electron Devices,* vol. 53, nº 9, pp. 2328-2334, 2006.

[39] “Breakthrough in Silicon Technology: Wafer-Level Strained Silicon Technology Announced by SiGen,” Phys.org, [Online]. Available: http://phys.org/news/2004-08-breakthrough-silicon-technology-wafer-level-strained.html. [Acesso em 11 de Maio de 2016].

[40] S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, B. Mcintyre, A. Murthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr e Y. El-Mansy, “A Logic Nanotechnology Featuring Strained-Silicon,” *IEEE Electron Device Letters,* vol. 25, nº 4, pp. 191-193, 2004.

[41] J. R. Schwank, M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet e V. Ferlet-Cavrois, “Radiation Effects in MOS Oxides,” *IEEE Transactions on Nuclear Science,* vol. 55, nº 4, pp. 1833-1853, 2008.

[42] L. Chang, Y.-k. Choi, D. Ha, P. Ranade, S. Xiong, J. Bokor, C. Hu e T.-J. King, “Extremely Scaled Silicon Nano-CMOS Devices,” *Proceedings of the IEEE,* vol. 91, nº 11, pp. 1860-1873, 2003.

[43] L. Chang, M. Ieong e M. Yang, “CMOS Circuit Performance Enhancement by Surface Orientation Optimization,” *IEEE Transactions on Electron Devices,* vol. 51, nº 10, pp. 1621-1627, 2004.

[44] T. Rudenko, N. Collaert, S. D. Gendt, V. Kilchytska e M. F. D. Jurczak, “Effective mobility in FinFET structures with HfO2 and SiON gate dielectrics and TaN gate electrode,” *Microelectronic Engineering,* vol. 80, pp. 386-389, 2005.