VICTOR DE BODT SIVIERI

Estudo de transistores de tunelamento induzido por efeito de campo
(TFET) construídos em nanofio

São Paulo

2016

VICTOR DE BODT SIVIERI

Estudo de transistores de tunelamento induzido por efeito de campo
(TFET) construídos em nanofio

Dissertação apresentado à Escola
Politécnica da Universidade de São
Paulo para obtenção do título de
mestre em Ciências

São Paulo

2016

VICTOR DE BODT SIVIERI

Estudo de transistores de tunelamento induzido por efeito de campo
(TFET) construídos em nanofio

Dissertação apresentado à Escola
Politécnica da Universidade de São
Paulo para obtenção do título de
mestre em Ciências

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio
Martino

São Paulo

2016

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Sivieri, Victor De Bodt

Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio / V. D. B. Sivieri -- versão corr. -- São Paulo, 2016.

117 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Transistores 2. Semicondutores 3. Tunelamento 4. Parâmetros analógicos 5. Nanofio I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

AGRADECIMENTOS

Primeiramente a Deus, por tornar possível a realização deste trabalho.

Ao Prof. Dr. João Antonio Martino, pela orientação, pelos ensinamentos e pela confiança em mim depositada ao longo da realização desse projeto.

À Prof. Dra. Paula Ghedini Der Agopian por toda a ajuda e pelas discussões durante o desenvolvimento do trabalho.

À FAPESP, pelo apoio financeiro prestado durante a execução desse projeto.

Aos meus pais Marcos e Helena, pelo suporte oferecido, por acreditarem em mim e sem os quais não teria chegado até aqui. Agradeço também ao meu irmão Gabriel por todo o incentivo e o auxílio a mim prestado e a todos os meus familiares.

Ao Caio, por toda a ajuda com as primeiras medidas e simulações e pelos trabalhos conjuntos, e aos amigos Vitor, Felipe, Luis, Vinícius, Ferrari, Rangel, Alberto e Katia, pelos incentivos, pelas discussões, pela amizade e por todo o aprendizado conjunto.

Aos pesquisadores Cor Claeys, Eddy Simoen e Rita Rooyackers, pelo fornecimento de dispositivos e pelas revisões de artigos resultantes dos nossos trabalhos conjuntos.

E a todos do grupo SOI que colaboraram direta ou indiretamente para a realização desse trabalho e que, involuntariamente, foram aqui omitidos.

Tudo posso naquele que me fortalece

Filipenses 4:13

RESUMO

Esse trabalho de mestrado teve como estudo o transistor Túnel-FET (TFET) fabricado em estrutura de nanofio de silício. Este estudo foi feito de forma teórica (simulação numérica) e experimental. Foram estudadas as principais características digitais e analógicas do dispositivo e seu potencial para uso em circuitos integrados avançados para a próxima década. A análise foi feita através da extração experimental e estudo dos principais parâmetros do dispositivo, tais como inclinação de sublimiar, transcondutância (g_m), condutância de saída (g_d), ganho intrínseco de tensão (A_v) e eficiência do transistor. As medidas experimentais foram comparadas com os resultados obtidos pela simulação. Através do uso de diferentes parâmetros de ajuste e modelos de simulação, justificou-se o comportamento do dispositivo observado experimentalmente. Durante a execução deste trabalho estudou-se a influência da escolha do material de fonte no desempenho do dispositivo, bem como o impacto do diâmetro do nanofio nos principais parâmetros analógicos do transistor. Os dispositivos compostos por fonte de SiGe apresentaram valores maiores de g_m e g_d do que aqueles compostos por fonte de silício. A diferença percentual entre os valores de transcondutância para os diferentes materiais de fonte variou de 43% a 96%, sendo dependente do método utilizado para comparação, e a diferença percentual entre os valores de condutância de saída variou de 38% a 91%. Observou-se também uma degradação no valor de A_v com a redução do diâmetro do nanofio. O ganho calculado a partir das medidas experimentais para o dispositivo com diâmetro de 50 nm é aproximadamente 45% menor do que o correspondente ao diâmetro de 110 nm. Adicionalmente estudou-se o impacto do diâmetro considerando diferentes polarizações de porta (V_G) e concluiu-se que os TFETs apresentam melhor desempenho para baixos valores de V_G (houve uma redução de aproximadamente 88% no valor de A_v com o aumento da tensão de porta de 1,25 V para 1,9 V). A sobreposição entre porta e fonte e o perfil de dopantes na junção de tunelamento também foram analisados a fim de compreender qual combinação dessas características resultariam em um melhor desempenho do dispositivo. Observou-se que os melhores resultados estavam associados a um alinhamento entre o eletrodo de porta e a junção entre fonte e canal e a um perfil abrupto de dopantes na junção. Por fim comparou-se a tecnologia MOS com o TFET, obtendo-se como resultado um maior valor de A_v (maior do que 40 dB) para o TFET.

Palavras-chave: TFET. Nanofio. Tunelamento entre bandas. Diâmetro. Parâmetros analógicos.

ABSTRACT

This Master thesis focused in the study of the NW-TFET. The study was performed either by simulation as by experimental measurements. The main digital and analog characteristics of the device and its potential for use in advanced integrated circuits for the next decade were studied. The analysis was performed by extracting and studying the devices main parameters, such as subthreshold swing, transconductance (g_m), output conductance (g_d), intrinsic voltage gain (A_v) and transistor efficiency. The experimental measurements were compared with the results obtained by simulation. Utilizing different simulation fitting parameters and models, the device behavior (observed in the experimental measurements) was understood and explained. During the execution of this work, either the influence of the source material on the device performance, as the impact of the nanowire diameter on the transistor main analog parameters, were studied. The devices with SiGe source presented higher values of g_m and g_d than those with silicon source. The percentual difference among the values of transconductance for the different source materials varied from 43% to 96%, being dependent on the method utilized for the comparison, and the percentual difference among the values of output conductance varied from 38% to 91%. A degradation of A_v was also observed with the nanowire diameter reduction. The gain calculated from the experimental measurements for the device with 50 nm of diameter is approximately 57% lower than the gain corresponding to the diameter of 110 nm. Furthermore, the impact of the diameter considering different gate biases (V_G) was analysed. It was concluded that TFETs show improved performance for lower values of V_G (a reduction of approximately 88% of A_v was observed for an increase of the gate voltage from 1.25 V to 1.9 V). The gate/source overlap length and the dopant profile at the tunneling junction were also analyzed in order to understand which combination of this features would result in a better performance of the device. It was observed that the best results were related to an alignment between the gate electrode and the source/channel junction and to an abrupt dopant profile at the junction. Finally, the MOS technology was compared with TFET, resulting in a higher A_v (higher than 40 dB) for the TFET.

Keywords: TFET. Nanowire. Band-to-band tunneling. Diameter. Analog parameters.

LISTA DE FIGURAS

FIGURA 1.1 – EXEMPLO DA LEI DE MOORE: VARIAÇÃO DO COMPRIMENTO DE CANAL NO DECORRER DOS ANOS. AS TRÊS CURVAS REPRESENTAM DISPOSITIVOS DE DIFERENTES NICHOS DE APLICAÇÕES. OS DISPOSITIVOS DE ALTO DESEMPENHO (HP) NECESSITAM DE UM CURTO COMPRIMENTO DE CANAL. OS DISPOSITIVOS DE BAIXA POTÊNCIA DE OPERAÇÃO (LOP) E OS DE BAIXA POTÊNCIA DE STANDBY (LSTP) NECESSITAM DE UMA BAIXA CORRENTE DE FUGA.	24
FIGURA 1.2 – CURVAS DE TRANSFERÊNCIA DE DISPOSITIVOS DAS TECNOLOGIAS TFET E MOSFET.	26
FIGURA 2.1 - TUNELAMENTO QUÂNTICO. A) BARREIRA DE POTENCIAL FINITO V_0 E LARGURA W . B) DENSIDADE DE PROBABILIDADE DE UM ELÉTRON COM ENERGIA MENOR DO QUE A ALTURA DA BARREIRA.	29
FIGURA 2.2 - ESTRUTURA BÁSICA DO TFET.	30
FIGURA 2.3 - DIAGRAMA DE BANDAS DO NTFET PARA DIFERENTES CONDIÇÕES DE POLARIZAÇÃO DA PORTA.	30
FIGURA 2.4 - CORRENTE DE DRENO EM FUNÇÃO DA TENSÃO DE PORTA, COM ENFOQUE NO EFEITO DE AMBIPOLARIDADE.	31
FIGURA 2.5 - TRANSIÇÕES ENVOLVIDAS NO PROCESSO DE GERAÇÃO SRH.	33
FIGURA 2.6 - TUNELAMENTO ASSISTIDO POR ARMADILHA.	34
FIGURA 2.7 - REPRESENTAÇÃO DAS BANDAS E PARÂMETROS REFERENTES AO BTBT.	35
FIGURA 2.8 - DIAGRAMA DE BANDAS DA JUNÇÃO FONTE/CANAL DE UM NTFET PARA DIFERENTES TENSÕES DE PORTA.	36
FIGURA 2.9 - CURVA DE TRANSFERÊNCIA DO NTFET. AS CURVAS PONTILHADAS CORRESPONDEM AO COMPORTAMENTO DO DISPOSITIVO CONSIDERANDO SOMENTE BTBT E SOMENTE SRH + TAT.	37
FIGURA 2.10 - DIAGRAMA DE BANDAS DE DUAS HETEROESTRUTURAS. A) ESTRUTURAS; B) TFET DESLIGADO; C) TFET LIGADO.	39
FIGURA 2.11 - CORRENTE DE DRENO EM FUNÇÃO DO CAMPO ELÉTRICO PARA DIFERENTES MATERIAIS.	40
FIGURA 2.12 - DIFERENTES ESTRUTURAS DE TFET. A) LATERAL TFET, B) LINE TFET, C) NANOFIO HORIZONTAL, D) NANOFIO VERTICAL.	41

FIGURA 2.13 - CURVAS DO COMPRIMENTO NATURAL EM FUNÇÃO DA ESPESURA DO ÓXIDO DE PORTA PARA DIFERENTES ESTRUTURAS.	42
FIGURA 2.14 - POSICIONAMENTO DA PORTA. A) ESTRUTURA COM SOBREPOSIÇÃO (OVERLAP) DE FONTE E CANAL E SUBPOSIÇÃO (UNDERLAP) DE CANAL E DRENO, B) DIAGRAMA DE BANDAS DAS REGIÕES DO CANAL E DO DRENO COM E SEM SUBPOSIÇÃO, C) CURVA DE TRANSFERÊNCIA DAS ESTRUTURAS COM E SEM SUBPOSIÇÃO.	43
FIGURA 2.15 - MECANISMOS QUE COMPÕEM A CORRENTE DE FUGA. A) GERAÇÃO E RECOMBINAÇÃO SRH, B) TUNELAMENTO DIRETO E ASSISTIDO POR DEFEITOS ENTRE FONTE E DRENO, C) TUNELAMENTO NA JUNÇÃO CANAL/DRENO.	45
FIGURA 2.16 - DIAGRAMA DE BANDAS DO pTFET PARA UMA TENSÃO V_G NEGATIVA. A DISTRIBUIÇÃO DE FERMI NA FONTE TAMBÉM É MOSTRADA. A LINHA TRACEJADA NA DISTRIBUIÇÃO REPRESENTA OS NÍVEIS ENERGÉTICOS EM QUE NÃO HÁ ESTADOS VAZIOS DISPONÍVEIS NO CANAL.	49
FIGURA 2.17 - CURVA DA CORRENTE DE DRENO (EM ESCALA LOGARÍTMICA) EM FUNÇÃO DA TENSÃO DE PORTA DE UM NW-TFET.	50
FIGURA 2.18 - TRANSCONDUÇÃO EM FUNÇÃO DA TENSÃO DE PORTA DE UM NW-NTFET.	51
FIGURA 2.19 - CONDUTÂNCIA DE SAÍDA EM FUNÇÃO DA TENSÃO DE DRENO DE UM NW-NTFET.	52
FIGURA 2.20 - EFICIÊNCIA DE UM TRANSISTOR MOS EM FUNÇÃO DA CORRENTE DE DRENO.	52
FIGURA 2.21 - TRANSISTOR COMO AMPLIFICADOR DE TENSÃO.	53
FIGURA 2.22 - $V_{GS} - V_T$ EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA MOSFET INDICANDO OS DIFERENTES REGIMES DE CONDUÇÃO.	56
FIGURA 3.1 - REPRESENTAÇÃO BIDIMENSIONAL E TRIDIMENSIONAL DA ESTRUTURA DOS DISPOSITIVOS EXPERIMENTAIS.	57
FIGURA 4.1 - LARGURA DA BANDA PROIBIDA DE ENERGIA PARA DIFERENTES QUANTIDADES PERCENTUAIS DE SILÍCIO E GERMÂNIO NA LIGA SiGe EM FUNÇÃO DA TEMPERATURA.	63
FIGURA 4.2 - CURVA EXPERIMENTAL DA CORRENTE DE DRENO EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFETs COM FONTE DE Si E DE SiGe.	64
FIGURA 4.3 - ENERGIA DE ATIVAÇÃO PARA DIFERENTES COMPOSIÇÕES DE FONTE.	65
FIGURA 4.4 - CURVA EXPERIMENTAL DA CORRENTE DE DRENO EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFETs COM FONTE DE Si E DE SiGe DE DIFERENTES DIÂMETROS.	69

FIGURA 4.5 - TRANSCONDUTÂNCIA EXPERIMENTAL EM FUNÇÃO DO DIÂMETRO EFETIVO DO NANOPIO PARA DIFERENTES COMPOSIÇÕES DE FONTE.	70
FIGURA 4.6 – CONDUTÂNCIA DE SAÍDA EXPERIMENTAL EM FUNÇÃO DO DIÂMETRO EFETIVO DO NANOPIO PARA DIFERENTES COMPOSIÇÕES DE FONTE.	71
FIGURA 4.7 – GANHO INTRÍNSECO DE TENSÃO EM FUNÇÃO DO DIÂMETRO EFETIVO DO NANOPIO PARA DIFERENTES COMPOSIÇÕES DE FONTE.	72
FIGURA 4.8 - TAXA DE GERAÇÃO E RECOMBINAÇÃO SIMULADA EM FUNÇÃO DA PROFUNDIDADE PARA TFET CONSTRUÍDO EM ESTRUTURA DE NANOPIO COM DIÂMETROS DE 30 NM E 110 NM.....	74
FIGURA 4.9 - GANHO INTRÍNSECO DE TENSÃO CALCULADO A PARTIR DE SIMULAÇÃO E DE MEDIDAS EXPERIMENTAIS PARA UM NTFET EM FUNÇÃO DO DIÂMETRO DO NANOPIO...	75
FIGURA 4.10 - CORRENTE DE DRENO SIMULADA E NORMALIZADA EM RELAÇÃO A W EM FUNÇÃO DA TENSÃO APLICADA À PORTA DE UM NTFET PARA DIFERENTES DIÂMETROS.	76
FIGURA 4.11 - CURVA SIMULADA DE gm/I_d EM FUNÇÃO DA CORRENTE DE DRENO NORMALIZADA PARA NW-NTFETs DE DIFERENTES DIÂMETROS.	77
FIGURA 4.12 - CORRENTE DE DRENO OBTIDA EXPERIMENTALMENTE EM FUNÇÃO DA TENSÃO DE PORTA PARA OS TFETs DE JUNÇÃO ABRUPTA E NÃO-ABRUPTA E PARA O MOSFET.	79
FIGURA 4.13 - TRANSCONDUTÂNCIA EXTRAÍDA DE MEDIDAS EXPERIMENTAIS DE TFETs DE JUNÇÃO ABRUPTA E NÃO-ABRUPTA E DE MOSFET COM DIFERENTES DIÂMETROS. FORAM MEDIDAS 4 AMOSTRAS.	80
FIGURA 4.14 - CONDUTÂNCIA DE SAÍDA EXTRAÍDA DE MEDIDAS EXPERIMENTAIS DE TFETs DE JUNÇÃO ABRUPTA E NÃO-ABRUPTA E DE MOSFET COM DIFERENTES DIÂMETROS. FORAM MEDIDAS 4 AMOSTRAS.	81
FIGURA 4.15 - GANHO INTRÍNSECO DE TENSÃO EM FUNÇÃO DO DIÂMETRO DO NANOPIO PARA TFET E MOSFET.....	82
FIGURA 4.16 - EFICIÊNCIA DO TRANSISTOR EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA O TFET E O MOSFET.....	83
FIGURA 4.17 - TENSÃO EARLY EM FUNÇÃO DA TENSÃO DE PORTA PARA O TFET E O MOSFET.....	84
FIGURA 4.18 - GANHO INTRÍNSECO DE TENSÃO EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA TFET E MOSFET.....	85

FIGURA 4.19 - TRANSCONDUTÂNCIA EXPERIMENTAL E SIMULADA EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA TFET E MOSFET. O INSET MOSTRA UMA IMAGEM AMPLIADA DA CURVA DA TRANSCONDUTÂNCIA EXPERIMENTAL DO TFET PARA IC DE 0,01 A 1.	87
FIGURA 4.20 - FREQUÊNCIA DE GANHO UNITÁRIO EXPERIMENTAL E SIMULADA EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA TFET E MOSFET.	87
FIGURA 4.21 - $f_T \times g_m/I_D$ EM FUNÇÃO DO COEFICIENTE DE INVERSÃO PARA TFET E MOSFET.	88
FIGURA 4.22 - CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA TENSÃO DE PORTA PARA OS MODELOS DE BTBT LOCAL E NÃO-LOCAL CONSIDERANDO DOIS DIÂMETROS DIFERENTES.	89
FIGURA 4.23 - CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA TENSÃO DE PORTA PARA TFETs COM DIFERENTES DIÂMETROS CONSIDERANDO O MODELO LOCAL.	90
FIGURA 4.24 - CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA TENSÃO DE PORTA PARA TFETs COM DIFERENTES DIÂMETROS CONSIDERANDO O MODELO NÃO-LOCAL.	91
FIGURA 4.25 - CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA TENSÃO DE PORTA PARA TFETs COM DIFERENTES DIÂMETROS CONSIDERANDO O MODELO NÃO-LOCAL. O QUADRO DESTACADO MOSTRA A PECULIARIDADE NO COMPORTAMENTO DO DISPOSITIVO COM DIÂMETRO DE 15 NM.	92
FIGURA 4.26 - DIAGRAMA DE BANDAS DE ENERGIA E TAXA DE TUNELAMENTO DO DISPOSITIVO PARA DIFERENTES POLARIZAÇÕES DE PORTA, PRÓXIMO À INTERFACE SILÍCIO/ÓXIDO (A) E NO CENTRO DO NANOFIO (B).	93
FIGURA 4.27 - CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFET COM DIÂMETRO DE 10 NM COM E SEM SOBREPOSIÇÃO ENTRE PORTA E FONTE.	94
FIGURA 4.28 - DIAGRAMA DE BANDAS DE ENERGIA DO DISPOSITIVO SIMULADO COM E SEM SOBREPOSIÇÃO ENTRE PORTA E FONTE PARA DIFERENTES POLARIZAÇÕES DE PORTA.	95
FIGURA 4.29 - CORRENTE DE DRENO EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFETs COM DIFERENTES VALORES DE L_{gs} . AS LINHAS TRACEJADAS CORRESPONDEM AO BTBT E AS LINHAS PONTILHADAS CORRESPONDEM À GERAÇÃO SRH E AO TAT. AS LINHAS SÓLIDAS CORRESPONDEM À COMBINAÇÃO DOS TRÊS MECANISMOS.	96
FIGURA 4.30 - ENERGIA DE ATIVAÇÃO EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFETs COM DIFERENTES VALORES DE L_{gs}	97

FIGURA 4.31 - DIAGRAMAS DE BANDAS DE ENERGIA DA FONTE AO DRENO DE NW-TFETs COM DIFERENTES VALORES DE L_{GS}	98
FIGURA 4.32 - PERFIS DE DOPANTES NA JUNÇÃO FONTE/CANAL UTILIZADOS NAS SIMULAÇÕES.	99
FIGURA 4.33 - CORRENTE DE DRENO EM FUNÇÃO DA TENSÃO DE PORTA PARA NW-TFETs COM DIFERENTES PERFIS DE DOPANTES NA JUNÇÃO FONTE/CANAL. AS LINHAS TRACEJADAS CORRESPONDEM AO BTBT E AS LINHAS PONTILHADAS CORRESPONDEM À GERAÇÃO SRH E AO TAT. AS LINHAS SÓLIDAS CORRESPONDEM À COMBINAÇÃO DOS TRÊS MECANISMOS. O GRÁFICO INSERIDO NO QUADRO MOSTRA OS DIAGRAMAS DE BANDAS DE ENERGIA REFERENTES A CADA PERFIL DE DOPANTES SIMULADO.....	100

LISTA DE TABELAS

TABELA 3.1 - PARÂMETROS DO DISPOSITIVO EXPERIMENTAL.....	58
TABELA 4.1 - TENSÃO DE PORTA UTILIZADA PARA COMPARAÇÃO, DE ACORDO COM OS DIFERENTES MÉTODOS.....	66
TABELA 4.2 - VALORES DE TRANSCONDUTÂNCIA EXTRAÍDOS DE DISPOSITIVOS COM FONTE DE SI E SiGe PARA TENSÕES DE PORTA BASEADAS NOS DIFERENTES MÉTODOS DE COMPARAÇÃO. O DIÂMETRO DOS NANOFIOS É DE 140 NM E A TENSÃO APLICADA AO DRENO É DE 1,5 V.	66
TABELA 4.3 - VALORES DE CONDUTÂNCIA DE SAÍDA EXTRAÍDOS DE DISPOSITIVOS COM FONTE DE SI E SiGe PARA TENSÕES DE PORTA BASEADAS NOS DIFERENTES MÉTODOS DE COMPARAÇÃO. O DIÂMETRO DOS NANOFIOS É DE 140 NM E A TENSÃO APLICADA AO DRENO É DE 1,5 V.	67
TABELA 4.4 - VALORES CALCULADOS DE GANHO INTRÍNSECO DE TENSÃO DE DISPOSITIVOS COM FONTE DE SI E SiGe PARA TENSÕES DE PORTA BASEADAS NOS DIFERENTES MÉTODOS DE COMPARAÇÃO. O DIÂMETRO DOS NANOFIOS É DE 140 NM E A TENSÃO APLICADA AO DRENO É DE 1,5 V.....	68
TABELA 4.5 - GANHO INTRÍNSECO DE TENSÃO OBTIDO A PARTIR DE SIMULAÇÃO DE UM NTFET EM "INVERSÃO FRACA" E "FORTE" PARA DIFERENTES DIÂMETROS.	78
TABELA 5.1 - COMPARAÇÃO ENTRE OS NW-TFETs COM DIFERENTES MATERIAIS DE FONTE. OS SIMBOLOS +, - E 0 REPRESENTAM, RESPECTIVAMENTE, MAIOR, MENOR E IGUAL.	102

LISTA DE SIGLAS E ABREVIATURAS

BOX	<i>Buried Oxide</i> (Óxido enterrado)
BTBT	<i>Band-to-Band Tunneling</i> (Tunelamento entre bandas)
CTR	<i>Current-to-Transconductance Ratio</i> (Razão entre corrente e transcondutância)
DG	<i>Double-Gate</i> (Porta dupla)
EOT	<i>Equivalent Oxide Thickness</i> (Espessura de óxido equivalente)
ETSOI	<i>Extremely Thin Silicon-on-Insulator</i> (Silício extremamente fino sobre isolante)
FDSOI	<i>Fully Depleted Silicon on Insulator</i> (Silício totalmente depletado sobre isolante)
FinFET	<i>Fin Field Effect Transistor</i> (Transistor tridimensional de porta dupla)
GAA	<i>Gate All Around</i> (Porta circundante)
GNR	<i>Graphene Nanoribbon</i> (Nanofita de grafeno)
HP	<i>High Performance</i> (Alto desempenho)
LOP	<i>Low Operating Power</i> (Baixa potência de operação)
LSTP	<i>Low Standby Power</i> (Baixa potência de standby)
LVLP	<i>Low Voltage Low Power</i> (Baixa tensão baixa potência)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor)
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor metal-óxido-semicondutor de efeito de campo)
MuGFET	<i>Multiple Gate Field Effect Transistor</i> (Transistor de efeito de campo de múltiplas portas)
nTFET	TFET do tipo n
NW	<i>Nanowire</i> (Nanofio)
NW-TFET	<i>Nanowire Tunnel Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo construído em nanofio)
pTFET	TFET do tipo p
SG	<i>Single-Gate</i> (Porta única)
SOI	<i>Silicon on Insulator</i> (Silício sobre isolante)
SRH	Schockley-Read-Hall
TAT	<i>Trap-Assisted Tunneling</i> (Tunelamento assistido por armadilha)

TFET	<i>Tunnel Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo)
WKB	Wentzel-Kramers-Brillouin

LISTA DE SÍMBOLOS

A_v	Ganho intrínseco de tensão [dB]
BBT.A_KANE	Parâmetro de ajuste relacionado ao modelo Kane de tunelamento entre bandas
BBT.B_KANE	Parâmetro de ajuste relacionado ao modelo Kane de tunelamento entre bandas
BBT.GAMMA	Parâmetro de ajuste relacionado ao modelo Kane de tunelamento entre bandas
C_{gg}	Capacitância total de porta [F]
D	Diâmetro [nm]
D'	Fator estatístico
E_A	Energia de ativação [eV]
E_C	Energia do nível mais baixo da banda de condução [eV]
E_{defeito}	Nível energético do defeito [eV]
E_{TRAP}	Diferença entre o nível energético da armadilha e o nível de Fermi intrínseco [eV]
E_F	Nível de Fermi [eV]
E_g	Largura da banda proibida de energia (<i>bandgap</i>) [eV]
E_i	Nível intrínseco de energia [eV]
E_v	Energia do nível mais alto da banda de valência [eV]
f_t	Frequência de ganho unitário ou frequência de transição [Hz]
g_d	Condutância de saída [S]
g_m	Transcondutância [S]
g_m/I_D	Eficiência do transistor [V^{-1}]
$\hbar$	Constante de Planck reduzida [$1,055 \cdot 10^{-34}$ J.s]
IC	Coeficiente de inversão (<i>Inversion Coefficient</i>)
I_D	Corrente de dreno [A]
I_{Dswi}	Corrente de dreno no regime de inversão fraca [A]
I_{Dst}	Corrente de transição [A]
I_{OFF}	Corrente de fuga [A]
I_{ON}	Corrente no estado “ligado” [A]
k	Constante de Boltzmann [$1,381 \cdot 10^{-23}$ J/K]
K	Fator de condutância [AV^{-m}]

L_{CH}	Comprimento do canal [nm]
L_G	Comprimento da porta [nm]
L_{GD}	Subposição (<i>Underlap</i>) entre porta e dreno [nm]
L_{GS}	Sobreposição (<i>Overlap</i>) de porta e fonte [nm]
m	Expoente positivo do monômio de aproximação
m^*	Massa efetiva de tunelamento [kg]
n	Concentração de elétrons na banda de condução [cm^{-3}]
n'	Fator de idealidade
n_1	Concentração de elétrons na banda de condução quando o nível de Fermi é igual a E_{defeito} [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
p	Concentração de lacunas na banda de valência [cm^{-3}]
p_1	Concentração de lacunas na banda de valência quando o nível de Fermi é igual a E_{defeito} [cm^{-3}]
q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
G_{SRH}	Taxa de geração por SRH
SS	<i>Subthreshold Swing</i> (Inclinação de sublimiar) [mV/dec]
T	Temperatura [K]
$TAUN0$	Parâmetro de ajuste relacionado ao tempo de vida dos elétrons
$TAUP0$	Parâmetro de ajuste relacionado ao tempo de vida das lacunas
T_L	Temperatura (<i>lattice temperature</i>) [K]
t_{nw}	Espessura do nanofio (diâmetro) [nm]
t_{ox}	Espessura do óxido [nm]
T_{WKB}	Probabilidade de tunelamento pela aproximação WKB
v	Razão entre V_{GT} e V_{GTt}
V_0	Potencial da barreira de energia [V]
V_D	Tensão de dreno [V]
V_{Dsat}	Tensão de saturação [V]
V_{EA}	Tensão Early [V]
V_{eff}	Tensão reversa [V]
V_G	Tensão de porta [V]
V_{GT}	Sobretensão de porta ($V_G - V_T$) [V]

V_{GTt}	Sobretensão de porta correspondente à transição entre os regimes de inversão fraca e forte [V]
V_T	Tensão de limiar [V]
V_{TD}	Tensão de limiar com relação a V_D [V]
V_{TG}	Tensão de limiar com relação a V_G [V]
W	Largura [nm]
x_{depl}	Largura da região de depleção [nm]
$\Delta\phi$	Janela de energia definida pela região de sobreposição de bandas [eV]
ϵ_{nw}	Permissividade do material que compõe o nanofio [F/cm]
ϵ_{ox}	Permissividade do óxido [F/cm]
λ	Comprimento natural ou comprimento eletrostático
λ'	Extensão espacial da região de transição entre os extremos da junção [cm]
ξ	Campo elétrico [V/m]
τ_{n0}	Tempo de vida dos elétrons
τ_{p0}	Tempo de vida das lacunas
ψ	Equação de onda

SUMÁRIO

RESUMO.....	7
ABSTRACT.....	9
LISTA DE FIGURAS	10
LISTA DE TABELAS	15
LISTA DE SIGLAS E ABREVIATURAS	16
LISTA DE SÍMBOLOS.....	18
SUMÁRIO	21
1 Introdução	24
1.1 Motivação.....	24
1.2 Objetivo.....	27
1.3 Estrutura do trabalho.....	27
2 Revisão bibliográfica.....	29
2.1 Princípio do tunelamento	29
2.2 Princípio de operação do TFET	30
2.3 Mecanismos de condução.....	32
2.3.1 Geração Shockley-Read-Hall (SRH).....	32
2.3.2 Tunelamento assistido por armadilha (TAT – Trap Assisted Tunneling).....	33
2.3.3 Tunelamento entre bandas (BTBT – Band to Band Tunneling).....	34
2.4 Influência do material	38
2.5 Influência da geometria do dispositivo	40
2.6 Estado desligado (Off-state)	44
2.7 Dopagem.....	45
2.8 Parâmetros	46
2.8.1 Tensão de limiar	46
2.8.2 Inclinação de sublimiar	48

2.8.3	Transcondutância.....	50
2.8.4	Condutância de saída.....	51
2.8.5	Eficiência do transistor	52
2.8.6	Tensão Early	53
2.8.7	Ganho intrínseco de tensão.....	53
2.8.8	Frequência de ganho unitário.....	54
2.9	Coeficiente de inversão	54
3	Materiais e métodos	57
3.1	Dispositivos utilizados para as medidas	57
3.2	Analizador de parâmetros elétricos e métodos de extração.....	58
3.3	Simulador.....	59
4	Resultados e discussão	62
4.1	Influência de diferentes composições de fonte nos principais parâmetros analógicos	62
4.2	Impacto do diâmetro em dispositivos com diferentes composições de fonte	68
4.3	Impacto do diâmetro nos principais parâmetros analógicos em diferentes regimes de inversão	72
4.4	Comparação entre o NW-TFET e o NW-MOSFET de silício	79
4.4.1	Análise considerando uma polarização específica de porta	79
4.4.2	Análise em função do coeficiente de inversão	82
4.5	Análise comparativa entre os modelos local e não-local de simulação do tunelamento entre bandas	88
4.6	Estudo da influência da sobreposição entre porta e fonte no comportamento dos transistores de tunelamento.....	91
4.7	Impacto do perfil de dopantes da junção de tunelamento no desempenho do NW-TFET	99
5	Conclusões e trabalhos futuros	101

5.1	Conclusões.....	101
5.2	Trabalhos futuros.....	104
	PUBLICAÇÕES GERADAS DURANTE O MESTRADO ATÉ O MOMENTO	105
	Publicações em congressos	105
	Artigos submetidos para periódico internacional.....	106
	REFERÊNCIAS.....	107
	APÊNDICE A – Arquivo de simulação	113

1 Introdução

1.1 Motivação

De acordo com a Lei de Moore, o número de transistores por circuito integrado duplica aproximadamente a cada 18 meses [1]. Para tornar essa tendência possível, é necessário reduzir o tamanho dos dispositivos. No entanto, algumas barreiras são encontradas durante esse processo de redução, uma vez que a tecnologia convencional possui limitações. Alguns exemplos são a corrente de fuga, a degradação da mobilidade e os efeitos de canal curto. A figura 1.1 mostra a variação do comprimento de canal ao longo dos anos com um indicativo do limite de cada tecnologia no tempo.

Figura 1.1 – Exemplo da Lei de Moore: variação do comprimento de canal no decorrer dos anos. As três curvas representam dispositivos de diferentes nichos de aplicações. Os dispositivos de alto desempenho (HP) necessitam de um curto comprimento de canal. Os dispositivos de baixa potência de operação (LOP) e os de baixa potência de *standby* (LSTP) necessitam de uma baixa corrente de fuga.

Além da preocupação com a redução das dimensões do dispositivo, outro fator que tem grande relevância é a eficiência energética, ou seja, tecnologias que dissipem menos quantidade de energia estão sendo priorizadas.

As pesquisas por novas tecnologias e materiais estão se intensificando de forma a superar essas barreiras tecnológicas apresentadas por transistores MOS convencionais. Essas novas tecnologias podem ser divididas em duas categorias principais: os dispositivos que apresentam novas estruturas e os que apresentam novos princípios de funcionamento [3].

Tanto os transistores SOI, quanto os transistores de múltiplas portas, se enquadram na categoria de novas estruturas e apresentam algumas vantagens. Dentre elas, pode-se citar uma maior imunidade aos efeitos de canal curto em relação à tecnologia MOS convencional [4].

Os transistores de tunelamento induzidos por efeito de campo (TFET), que são o foco deste trabalho, se enquadram na categoria de dispositivos que operam de forma diferente ao MOSFET. O TFET tem como princípio de operação o tunelamento de elétrons, enquanto a tecnologia MOS se baseia nos mecanismos de difusão e deriva.

A diferença nos mecanismos de condução gera algumas vantagens que tornam promissora essa nova tecnologia, como a baixa corrente de fuga (I_{off}), a alta velocidade e um potencial para atingir inclinações de sublimiar menores do que 60 mV/dec em temperatura ambiente. No entanto, alguns desafios e restrições relacionados a esses dispositivos são encontrados. Como exemplo, pode-se citar o baixo nível de corrente atingido no momento em que o transistor está “ligado” (I_{on}).

A figura 1.2 mostra uma comparação entre o comportamento dos transistores de tunelamento (TFET), dos transistores MOS convencionais (*bulk* Si MOSFET), dos transistores MOS de múltiplas portas (MuGFET) e dos transistores MOS compostos de materiais da classe III-V da tabela periódica, como o Índio (In), o Gálio (Ga) e o Arsênio (As). Nota-se neste gráfico que o TFET consegue, teoricamente, atingir valores abaixo de 60 mV/dec para a inclinação de sublimiar (SS), uma vez que essa tecnologia não possui o limite térmico decorrente do mecanismo de condução presente nos dispositivos MOS. Esta redução no valor de SS faz com que o transistor se aproxime de uma chave ideal, em termos de comportamento, e

possibilita um decréscimo na tensão de limiar. Este efeito é desejável pois torna o dispositivo energeticamente mais eficiente, visto que possibilita a redução da tensão de alimentação e diminui a corrente de fuga [5, 6]. Por essa razão, o TFET é tido como uma tecnologia útil em aplicações de baixa potência e baixa tensão. Apesar dessa grande vantagem, poucos grupos reportaram dispositivos experimentais que atingiram um valor de SS abaixo de 60 mV/dec [7, 8, 9, 10, 11, 12, 13], devido em grande parte a limitações no processo de fabricação e a armadilhas de interface no óxido.

Nota-se também no gráfico que a corrente atingida pelo TFET para tensões de porta mais elevadas, em que o transistor está efetivamente “ligado”, é menor se comparada aos transistores MOS. Pesquisas estão sendo feitas a fim de contornar esse obstáculo, e envolvem tanto o estudo de novos materiais [14, 15, 16, 17] e novas geometrias [18, 19, 20, 21], quanto a otimização da junção de tunelamento em termos de nível e perfil de dopagem [22].

Figura 1.2 – Curvas de transferência de dispositivos das tecnologias TFET e MOSFET.

Fonte: [5]

Para a obtenção de melhores resultados e otimização do desempenho dos transistores de tunelamento, pode-se combinar a vantagem do novo princípio de operação do TFET com a vantagem de se utilizar uma estrutura não planar, como o nanofio. Essa estrutura promove um maior acoplamento eletrostático da porta sobre os portadores do canal, resultando em maiores níveis de corrente de dreno.

1.2 Objetivo

O objetivo deste trabalho de mestrado é estudar transistores de tunelamento de efeito de campo (TFET) construídos em estrutura de nanofio vertical de silício, para poder explorar suas potencialidades para aplicações digitais e analógicas em tecnologias avançadas.

O estudo foi feito tanto por simulação numérica (2D e 3D) como experimentalmente através da caracterização elétrica de TFETs fabricados no IMEC (Centro de pesquisas em micro/nanoeletrônica que fica na Universidade Católica de Leuven, Bélgica), disponibilizados ao Laboratório de Sistemas Integráveis da Escola Politécnica da USP através de um convênio Bilateral Brasil-Bélgica (Projeto CNPq n. 4902336/2011-1).

Uma análise mais detalhada por simulação foi feita sobre a influência do tunelamento entre bandas, do tunelamento assistido pelas armadilhas e da recombinação dos portadores, que são muito importantes no funcionamento destes transistores.

Através das curvas características de transferência e de saída, os principais parâmetros elétricos do nanofio TFET foram analisados, tais como tensão de limiar, inclinação de sublimiar, transcondutância, condutância de saída e ganho intrínseco de tensão.

1.3 Estrutura do trabalho

Este trabalho está dividido em cinco capítulos, cujos conteúdos estão descritos abaixo.

Capítulo 1 – Introdução: este capítulo descreve tanto a motivação e relevância do trabalho, quanto os objetivos que se deseja alcançar. Adicionalmente apresenta também sua estrutura.

Capítulo 2 – Revisão bibliográfica: este capítulo apresenta os conceitos necessários para o desenvolvimento do projeto, bem como uma visão geral dos estudos relacionados ao tema que estão sendo feitos por diferentes grupos de pesquisa.

Capítulo 3 – Materiais e métodos: este capítulo descreve os equipamentos, instrumentos e materiais utilizados durante a execução do projeto.

Capítulo 4 – Resultados e discussão: este capítulo mostra os resultados adquiridos a partir da análise dos dados obtidos tanto experimentalmente quanto por simulação. A partir dos resultados faz-se uma discussão sobre os impactos, vantagens e desvantagens de cada efeito estudado.

Capítulo 5 – Conclusão e sequência do trabalho: este capítulo lista as conclusões obtidas através da análise dos resultados e do desenvolvimento do trabalho e apresenta a continuidade do mesmo.

2 Revisão bibliográfica

Neste capítulo são apresentados os conceitos necessários para o desenvolvimento do trabalho, bem como uma visão geral dos estudos relacionados ao tema que estão sendo feitos por diferentes grupos de pesquisa.

2.1 Princípio do tunelamento

A figura 2.1(a) mostra uma barreira de energia cujo potencial V_0 e largura W são finitos. Nesse caso, como o potencial da barreira não é infinito, as condições de contorno não forçam a equação de onda $\psi(x)$ da partícula a ser nula dentro da barreira. Portanto, utiliza-se a condição de que tanto $\psi(x)$ quanto a derivada espacial $d\psi(x)/dx$ são contínuas nas fronteiras da barreira [23]. Logo, a função de onda tem um valor não-nulo tanto dentro, quanto do lado direito da barreira. Considerando-se uma partícula com energia $E < V_0$ situada ao lado esquerdo da barreira, conclui-se que há uma probabilidade da mesma ser encontrada do lado direito. Esse fenômeno de transporte, em que a partícula penetra uma barreira de potencial finito, se chama tunelamento e sua probabilidade depende da altura energética e da largura da barreira. Quanto maior for qualquer um desses dois parâmetros, menor será a probabilidade de tunelamento [23].

Figura 2.1 - Tunelamento quântico. a) Barreira de potencial finito V_0 e largura W . b) Densidade de probabilidade de um elétron com energia menor do que a altura da barreira.

Fonte: [23]

2.2 Princípio de operação do TFET

O cerne do transistor de tunelamento induzido por efeito de campo (TFET) consiste basicamente em um diodo p-i-n, a cujo canal (região intrínseca) está acoplada uma porta através de um óxido, assim como no transistor MOS. A figura 2.2 ilustra a estrutura básica planar do dispositivo.

Figura 2.2 - Estrutura básica do TFET.

Fonte: autor

A corrente no transistor é controlada por meio da tensão de porta, que modula a barreira de energia através da qual os portadores tunelam nas junções. A figura 2.3 mostra os diagramas de banda de energia do dispositivo para três condições de polarização na porta ($V_G = 0$, $V_G \gg 0$ e $V_G \ll 0$).

Figura 2.3 - Diagrama de bandas do nTFET para diferentes condições de polarização da porta.

Fonte: autor

Para uma tensão de porta nula, não há um deslocamento do nível de Fermi dos portadores na região do canal e o diagrama de bandas pode ser visto na figura 2.3-A.

Nota-se que para uma tensão de porta positiva, há um decrescimento energético (“deslocamento para baixo”) das bandas do canal. Para a tensão $V_G = 2V$, o “abaixamento” das bandas do canal gera uma sobreposição entre a banda de valência da fonte e a banda de condução do canal, como mostrado na figura 2.3-B. Em decorrência da sobreposição de bandas, os elétrons da banda de valência da fonte tunelam para a banda de condução do canal. Uma explicação mais detalhada sobre o mecanismo de tunelamento entre bandas e considerações sobre a faixa de energia que os elétrons devem possuir para poder tunelar serão descritas na seção 2.3.

No caso de uma tensão de porta negativa, as bandas de energia do canal se “deslocam para cima”, no sentido da redução do potencial. Para $V_G = -2V$, há uma sobreposição entre a banda de valência do canal e a banda de condução do dreno, como mostrado na figura 2.3-C. Neste caso, os elétrons tunelam da banda de valência do canal para a banda de condução do dreno.

Uma característica desse dispositivo é a ambipolaridade [24, 25], visto que o mesmo conduz corrente tanto para tensões de porta negativas, quanto para tensões positivas. A curva de transferência é apresentada na figura 2.4.

Figura 2.4 - Corrente de dreno em função da tensão de porta, com enfoque no efeito de ambipolaridade.

Fonte: autor

Algumas maneiras de se suprimir o efeito ambipolar serão descritas nas seções 2.5 e 2.7.

2.3 Mecanismos de condução

Existem essencialmente três mecanismos de condução no TFET [26], que são:

- Geração Shockley-Read-Hall (SRH)
- Tunelamento assistido por armadilha (*Trap Assisted Tunneling* (TAT))
- Tunelamento entre bandas (*Band to Band Tunneling* (BTBT))

Cada um dos mecanismos será descrito a seguir.

2.3.1 Geração Shockley-Read-Hall (SRH)

A geração de pares elétron-lacuna ocorre através do rompimento das ligações covalentes em uma rede cristalina por processos de excitação térmica. Considerando que uma concentração estável de portadores é mantida, ocorre também um processo de recombinação, no qual os elétrons da banda de condução transitam, direta ou indiretamente, para um estado desocupado (lacuna) da banda de valência, eliminando o par elétron-lacuna [23].

O processo de geração e recombinação de portadores nos semicondutores pode ocorrer em alguns tipos de defeitos (transição indireta), como deslocamentos na rede cristalina, defeitos superficiais ou impurezas, que podem ser tanto intersticiais, em que um átomo ocupa um espaço intersticial da rede, ou substitucionais, em que um átomo de impureza substitui um átomo regular [27].

Esses defeitos, normalmente impurezas, possuem níveis de energia situados na faixa energética da banda proibida. Existem quatro tipos de transições envolvidos no processo de geração e recombinação, que estão listados a seguir [27].

1. Captura de elétrons da banda de condução pelo defeito
2. Emissão do elétron armadilhado no defeito para a banda de condução
3. Captura da lacuna da banda de valência pelo defeito
4. Emissão da lacuna armadilhada no defeito para a banda de valência

As transições listadas estão representadas na figura 2.5.

Figura 2.5 - Transições envolvidas no processo de geração SRH.

Fonte: autor

Sob as condições da geração SRH, a energia liberada decorrente das transições é convertida em vibrações na rede por meio de fônons.

A taxa de geração para armadilhas (G_{SRH}) em um único estado energético é fornecida pela equação 1 [27] :

$$G_{SRH} = \frac{pn - n_i^2}{(n + n_1)\tau_{p0} + (p + p_1)\tau_{n0}} \quad (1)$$

onde $n_1 = n_i \exp\left(\frac{E_{defeito} - E_i}{kT}\right)$ e $p_1 = n_i \exp\left(\frac{E_i - E_{defeito}}{kT}\right)$ [28]

onde n_i é a concentração intrínseca de portadores e $E_{defeito}$ é o nível energético do defeito.

Como o silício é um semiconductor indireto, a recombinação SRH é predominante em relação à recombinação entre bandas.

O mecanismo de geração SRH influencia diretamente na intensidade da corrente de fuga e é fortemente dependente da temperatura, como pode ser observado na equação 1 através dos parâmetros n_1 e p_1 .

2.3.2 Tunelamento assistido por armadilha (TAT – *Trap Assisted Tunneling*)

No TAT, a armadilha, que está energeticamente situada na faixa da banda proibida, age como um local intermediário de energia facilitando o tunelamento dos elétrons da banda de valência de uma região para a banda de condução de outra região [29]. A figura 2.6 ilustra esse fenômeno.

Figura 2.6 - Tunelamento assistido por armadilha

Fonte: autor

Assim como a geração SRH, o tunelamento assistido por armadilha também é bastante dependente da temperatura [30], uma vez que o princípio do mecanismo é o mesmo do SRH, porém com um aumento de um fator de enriquecimento de campo elétrico [31].

O tunelamento assistido por armadilha é um dos principais fatores responsáveis pela degradação da inclinação de sublimar (SS). Uma forma de se suprimir esse efeito pela redução de armadilhas é através de uma passivação química superficial robusta [30]. Um escalamento do dielétrico de porta também pode auxiliar a reduzir o TAT [30].

2.3.3 Tunelamento entre bandas (BTBT – *Band to Band Tunneling*)

O tunelamento entre bandas ocorre quando o campo elétrico na junção do semiconductor é alto o suficiente para promover que as bandas de valência e de condução das diferentes regiões fiquem sobrepostas, como ilustrado na figura 2.7.

Figura 2.7 - Representação das bandas e parâmetros referentes ao BTBT.

Fonte: autor

A probabilidade de tunelamento é calculada pela aproximação WKB (método Wentzel-Kramers-Brillouin), fornecida pela equação 2 [32]. A equação apresentada é válida considerando-se uma barreira de energia triangular, conforme indicado pela região hachurada na figura 2.7.

$$T_{WKB} \cong \exp \left(- \frac{4\sqrt{2m^*}E_g^{3/2}}{3q\hbar\xi} \right) \quad (2)$$

O valor do campo elétrico ξ pode ser substituído na equação 2 considerando-se a extensão espacial da região de transição entre os extremos da junção, λ' , e a faixa energética da sobreposição de bandas, $\Delta\phi$, por $\xi = (E_g + \Delta\phi) / \lambda$ [33], fornecendo [5]:

$$T_{WKB} \cong \exp \left(- \frac{4\lambda'\sqrt{2m^*}E_g^{3/2}}{3q\hbar(E_g + \Delta\phi)} \right) \quad (3)$$

onde m^* é a massa efetiva de tunelamento, E_g é a largura da banda proibida de energia, q é a carga elementar do elétron e $\hbar$ é a constante de Planck reduzida.

A partir da equação 3 pode-se estabelecer uma análise da influência de cada propriedade do material ou da polarização do mesmo no tunelamento entre bandas. Observa-se tanto pela ilustração esquematizada na figura 2.7 quanto pela expressão da probabilidade de tunelamento que quanto maior o valor de λ' e da banda proibida E_g , menor a corrente proveniente do BTBT. Em contrapartida, quanto maior o valor

de $\Delta\phi$, ou seja, quanto maior a tensão de polarização reversa, maior é a probabilidade de ocorrência do BTBT. É importante ressaltar que somente os portadores situados na faixa energética determinada por $\Delta\phi$ são suscetíveis ao tunelamento entre bandas. A massa efetiva de tunelamento também influencia na probabilidade de tunelamento, sendo inversamente proporcional à mesma.

O mecanismo de BTBT é pouco dependente da temperatura se comparado ao TAT e à geração SRH. Essa fraca dependência se deve ao fato de que o valor de E_g é pouco influenciado pela temperatura [30].

A figura 2.8 mostra as bandas de energia de um nTFET com enfoque nas regiões de fonte e canal em diferentes polarizações de porta. Observa-se que para $V_G = 1,9$ V, as bandas de valência da fonte e de condução do canal estão sobrepostas com um comprimento de tunelamento (indicado pela seta tracejada) que possibilita a condução de portadores por BTBT. Para $V_G = 0,7$ V, há uma ligeira sobreposição das bandas, porém o comprimento de tunelamento é grande, tornando a probabilidade de tunelamento entre bandas (BTBT) praticamente nula. Nesse caso há uma predominância de condução através do TAT. Para $V_G = 0,1$ V, as bandas estão afastadas devido ao baixo potencial da região do canal. Portanto, o mecanismo que domina nessa polarização de porta é a geração SRH.

Figura 2.8 - Diagrama de bandas da junção fonte/canal de um nTFET para diferentes tensões de porta.

Fonte: autor

A figura 2.9 mostra a curva de transferência do mesmo dispositivo ao qual o diagrama de bandas apresentado na figura 2.8 corresponde. Com a finalidade de analisar os mecanismos de condução predominantes em diferentes polarizações de porta, foram feitas simulações considerando-se os modelos referentes a cada fenômeno separadamente, como indicado pelas curvas pontilhadas na figura 2.9. Os pontos relativos às tensões de porta de 0,1 V, 0,7 V e 1,9 V, que foram utilizadas na apresentação do diagrama de bandas, também estão indicados para que se possa fazer uma correspondência entre a causa e a consequência. Nota-se que a curva que considera os três principais mecanismos possui três regiões bem distintas e a mesma se ajusta com as curvas pontilhadas nas regiões em que aquele efeito é predominante.

Figura 2.9 - Curva de transferência do nTFET. As curvas pontilhadas correspondem ao comportamento do dispositivo considerando somente BTBT e somente SRH + TAT.

Fonte: autor

Pode-se também observar na figura 2.9 que, conforme já mencionado na seção 2.3.2, o TAT é responsável pela degradação do SS do dispositivo, visto que a curva relativa exclusivamente ao BTBT possui um SS melhor do que a curva que considera o TAT.

2.4 Influência do material

O estudo de novos materiais tem sido feito com o intuito de aumentar o desempenho digital do TFET. Uma vez que cada material possui uma massa efetiva e um valor de E_g característico, a probabilidade de tunelamento e consequentemente a corrente alcançada são influenciadas pela escolha do mesmo. Conforme já mencionado na seção 2.3.3, quanto menor o valor de cada um desses parâmetros, maior é a probabilidade de ocorrência do BTBT.

Quanto à utilização dos materiais nos dispositivos dessa tecnologia, pode-se fazer uma distinção entre dois tipos de estrutura, que são:

- Homoestrutura: O material é o mesmo para a fonte, o canal e o dreno.
- Heteroestrutura: O material do canal é diferente do material da fonte e eventualmente também do dreno.

Algumas vantagens que a heteroestrutura apresenta sobre a homoestrutura são a menor corrente de fuga e a maior corrente de condução atingida por BTBT devido à diferença de E_g entre os materiais [34, 35]. A figura 2.10 mostra o diagrama de bandas para dois tipos de heteroestrutura. Nota-se, na figura, que a diferença entre materiais no canal e na fonte origina um estreitamento na região de sobreposição entre as bandas dessas diferentes regiões em estado ligado, reduzindo o comprimento de tunelamento, e consequentemente aumentando a corrente atingida por BTBT.

Figura 2.10 - Diagrama de bandas de duas heteroestruturas. A) estruturas; B) TFET desligado; C) TFET ligado.

Fonte: [5]

No que concerne aos materiais, os que estão sendo mais pesquisados como alternativas ao silício para um aumento do desempenho e eficiência são:

- Germânio e ligas de germânio e silício ($Si_{1-x}Ge_x$) [36]
- Materiais III-V [37], como Índio (In), Gálio (Ga), Antimônio (Sb) e Arsênio (As)
- Grafeno e nanotubo de carbono [38, 39, 40]

Uma análise relacionando a corrente por unidade de área e o material escolhido está apresentada na figura 2.11. Observa-se que os materiais com menor E_g atingem maiores correntes.

Figura 2.11 - Corrente de dreno em função do campo elétrico para diferentes materiais.

Fonte: adaptado de [41]

2.5 Influência da geometria do dispositivo

Além do uso de novos materiais, diferentes geometrias de estruturas também podem tornar maior o desempenho e eficiência dos transistores de tunelamento.

Alguns fatores levados em consideração quando se muda a geometria do dispositivo são o controle eletrostático da porta sobre o canal, a área da junção e o alinhamento entre o campo elétrico da porta e o da junção de tunelamento interna [41]. Algumas novas estruturas que se diferem da geometria planar convencional apresentada na figura 2.2 são o nanofio, que pode ser tanto horizontal quanto vertical, e o *Line TFET*, cujas representações estão mostradas na figura 2.12.

Figura 2.12 - Diferentes estruturas de TFET. A) *Lateral TFET*, B) *Line TFET*, C) Nanofio horizontal, D) Nanofio vertical.

Fontes: A e B - [42], C - [43], D - autor

Comparando-se a figura 2.12-A com a 2.12-B, observa-se que o *Line TFET* possui uma extensão da região do canal acima da fonte e portanto a área de junção nessa estrutura é maior. Além desse aspecto, a direção de tunelamento dos portadores na junção fonte/canal é a mesma do vetor campo elétrico proveniente da porta, aumentando o desempenho e melhorando a inclinação de sublimar do dispositivo [41].

Controle eletrostático

O parâmetro λ , também conhecido como comprimento natural [44] ou comprimento eletrostático [41], descreve a distribuição do potencial de toda a estrutura [45]. Esse parâmetro caracteriza a distância na qual o potencial varia $\exp(-x/\lambda)$ no canal, onde x é a posição [41]. O valor de λ é fornecido pela equação 4 [45].

$$\lambda = \sqrt{\frac{\epsilon_{nw}}{2\epsilon_{ox}}} t_{nw} t_{ox} \quad (4)$$

Quanto menor o valor de λ , melhor é o controle eletrostático da porta. A figura 2.13 mostra uma análise comparativa entre o comprimento natural de diferentes estruturas.

Figura 2.13 - Curvas do comprimento natural em função da espessura do óxido de porta para diferentes estruturas.

Fonte: [41]

Através do gráfico apresentado na figura 2.13, pode-se concluir que, em termos de controle eletrostático, a melhor geometria é a de porta circundante (GAA), ou nanofio (NW), que possui um λ de valor aproximadamente duas vezes menor do que a estrutura de uma única porta (SG), considerando um material semiconductor. No caso das nanofitas de grafeno (GNR), nota-se que o comprimento natural para os dispositivos de uma e duas portas é da ordem do comprimento natural do transistor de silício construído em nanofio. Esse efeito se deve à espessura ultrafina do grafeno [41].

Posicionamento da porta

Além da mudança de geometria da estrutura levando-se em consideração o número de portas, o formato e a posição das regiões de dreno, canal e fonte, algumas outras medidas foram providenciadas com o intuito de eliminar ou atenuar alguns efeitos indesejáveis como a ambipolaridade.

Posicionando-se o eletrodo de porta de tal forma que o mesmo não esteja alinhado à junção canal/dreno, mas termine um pouco antes desta, reduz-se o efeito ambipolar, uma vez que o campo elétrico proveniente da porta na junção será menor. A figura

2.14-A mostra esquematicamente uma estrutura com esse tipo de dimensionamento, cujo termo frequentemente utilizado é subposição (*underlap*) entre porta e dreno.

Na figura 2.14-B pode-se observar os diagramas de banda da estrutura com e sem *underlap*. Nota-se que o comprimento de tunelamento (seta tracejada) é maior no caso do *underlap*, devido ao menor campo elétrico. Na figura 2.14-C pode-se ver o efeito reduzido da ambipolaridade na curva $I_D \times V_G$ dessas estruturas.

Uma outra forma de se posicionar a porta é sobrepô-la à região de fonte, com a finalidade de garantir o tunelamento, visto que caso o eletrodo de porta seja depositado desalinhadamente no sentido do dreno durante o processo, o comprimento de tunelamento na junção fonte/canal irá aumentar, causando uma redução no desempenho do dispositivo. Esse tipo de dimensionamento por sobreposição, cujo termo frequentemente utilizado é *overlap* entre porta e fonte, está ilustrado na figura 2.14-A.

Figura 2.14 - Posicionamento da porta. A) Estrutura com sobreposição (*overlap*) de fonte e canal e subposição (*underlap*) de canal e dreno, B) Diagrama de bandas das regiões do canal e do dreno com e sem subposição, C) Curva de transferência das estruturas com e sem subposição.

Fonte: autor

2.6 Estado desligado (*Off-state*)

Os mecanismos que contribuem para o aumento da corrente de fuga são [41]:

1. Corrente parasitária de porta através do dielétrico
2. Corrente de fuga através da junção
3. Geração de portadores nas regiões de depleção fortemente dopadas do dreno e da fonte
4. Tunelamento direto da fonte para o dreno e tunelamento assistido por defeitos em dispositivos de canal curto.
5. Tunelamento na junção canal/dreno

Os mecanismos 3 a 5 estão ilustrados na figura 2.15. O mecanismo 3 corresponde à geração e recombinação SRH (figura 2.15-A), que já foi descrito na seção 2.3.1. O mecanismo 4 ocorre em dispositivos de canal curto, com comprimento de canal inferior a 20 nm, em decorrência da proximidade entre as junções (figura 2.15-B). O mecanismo 5 é o responsável por originar o efeito ambipolar nos transistores de tunelamento (figura 2.15-C). Uma forma de supressão através de um posicionamento deslocado da porta foi detalhada na seção 2.5. Outro procedimento para a atenuação do efeito ambipolar é a redução da dopagem no dreno, de forma a aumentar o comprimento de tunelamento na junção canal/dreno. Pode-se também utilizar uma heteroestrutura, escolhendo-se os materiais de forma que um material com menor E_g seja utilizado na fonte, e um com maior E_g componha o dreno e o canal [41].

Figura 2.15 - Mecanismos que compõem a corrente de fuga. A) Geração e recombinação SRH, B) Tunelamento direto e assistido por defeitos entre fonte e dreno, C) Tunelamento na junção canal/dreno.

Fonte: [41]

2.7 Dopagem

A dopagem da fonte é um parâmetro que tem grande influência no desempenho do TFET. No que se refere ao nível de dopagem, sabe-se que quanto maior a concentração de dopantes, menor é a largura x_{depl} da zona de depleção naquela região. Portanto, visando um menor comprimento de tunelamento, é desejável uma alta concentração de dopantes, já que com o menor valor de x_{depl} , mais próximas estão as bandas de condução do canal e valência da fonte. Porém, para valores muito altos de concentração de dopantes, cria-se uma região degenerada em que o nível de Fermi da fonte se localiza abaixo do nível E_v , no caso de um nTFET, no qual a fonte é do tipo P⁺. Esse “deslocamento” do nível de Fermi reduz o número de elétrons disponíveis para tunelamento, causando uma degradação no desempenho e na eficiência do dispositivo [41].

Outro item que deve ser considerado é o perfil de dopantes na junção. Quanto mais abrupto é o perfil, maior é a probabilidade de tunelamento, uma vez que o valor da largura efetiva $E_{g,\text{eff}}$ da banda proibida na junção é menor.

2.8 Parâmetros

Os principais parâmetros que serão analisados nesta seção estão listados abaixo.

- Tensão de limiar (V_T)
- Inclinação de sublimiar (SS)
- Transcondutância (g_m)
- Condutância de saída (g_d)
- Ganho intrínseco de tensão (A_v)
- Eficiência (g_m/I_D)
- Tensão Early (V_{EA})

Cada um dos parâmetros listados será descrito a seguir.

2.8.1 Tensão de limiar

A tensão de limiar é um dos parâmetros mais importantes que caracterizam um transistor. Considerando a tecnologia MOS, o valor de V_T corresponde à tensão de porta para a qual a região do canal entra em regime de inversão, ou seja, há um acúmulo de portadores minoritários próximo à interface entre o óxido de porta e o canal. Uma forma recorrente e usual de se extrair esse parâmetro no transistor MOS é através do método da segunda derivada da curva de transferência. A tensão de limiar é determinada como sendo a tensão V_G que corresponde ao pico do gráfico da segunda derivada de $I_D \times V_G$ com baixos valores de V_{DS} [46]. Um significado físico que pode ser aferido a esse parâmetro para essa tecnologia é a transição entre os mecanismos predominantes de difusão e deriva.

Na tecnologia dos TFETs não é possível estabelecer essa mesma relação, uma vez que o princípio de operação é diferente. Com o propósito de comparar vários dispositivos, alguns métodos de extração da tensão de limiar foram propostos com base em simplificações e conceitos formulados que possam definir um significado para V_T . Esses métodos estão enumerados a seguir.

1. Método da corrente constante

Esse é o método mais simples de extração de V_T e é muitas vezes utilizado por praticidade nos dispositivos MOS [47]. Nesse procedimento estabelece-se um valor de corrente e determina-se a tensão de porta que corresponde a essa corrente analisando-se a curva $I_D \times V_G$.

2. Saturação do estreitamento da largura da barreira de energia

Esse método, proposto na referência [48], define duas tensões de limiar e visa imprimir a esse parâmetro um significado mais físico, e não somente matemático como o da corrente constante.

A primeira tensão de limiar, V_{TG} , é definida como sendo a tensão de porta para a qual o estreitamento da barreira de energia começa a saturar com relação a V_G . Essa tensão pode ser calculada pelo método da transcondutância, que é válida para transistores MOS. O ponto de inflexão da curva $I_D \times V_G$ corresponde à transição entre uma dependência quase-exponencial e uma dependência linear da corrente com a polarização da porta [48].

A segunda tensão de limiar, V_{TD} , é definida similarmente a V_{TG} porém considerando a influência da tensão de dreno na corrente. Como o estreitamento de barreira de energia na junção em que ocorre o tunelamento é função tanto de V_G , quanto de V_D , estabelecem-se as duas tensões de limiar [48].

3. Método da razão entre corrente e transcondutância (CTR)

Esse método, proposto na referência [49], se baseia na aproximação da curva de transferência do TFET por um monômio de grau m na região de condução forte (equação 5) [49], portanto só é válido nessa condição.

$$I_D = K(V_G - V_T)^m \quad (5)$$

onde K representa um fator de condutância que depende tanto dos parâmetros físicos do transistor, quanto da tensão de dreno V_D .

A relação CTR é definida de acordo com a equação 6 [49].

$$CTR = \frac{I_D}{gm} = \frac{I_D}{\frac{dI_D}{dV_G}} = \frac{1}{\frac{d \ln(I_D)}{dV_G}} \quad (6)$$

Substituindo-se (5) em (6), obtém-se uma expressão linear para CTR (equação 7) [49].

$$CTR = \frac{V_G - V_T}{m} \quad (7)$$

Ajustando-se a curva de transferência do dispositivo na região de condução forte (altas tensões de porta) através de uma reta descrita pela equação 7, pode-se determinar o valor de V_T como o valor de V_G para o qual CTR é nulo.

Além da restrição a modelos com finalidades de alta condução, esse método apresenta como desvantagem a grande presença de ruído no CTR obtido experimentalmente, uma vez que seu valor é determinado utilizando-se uma operação de derivação da corrente [49].

2.8.2 Inclinação de sublimiar

A inclinação de sublimiar (SS) é o parâmetro que representa um diferencial para os transistores de tunelamento. Portanto, um entendimento analítico mais aprofundado sobre esse parâmetro se torna de grande relevância para o estudo da tecnologia.

Conforme já mencionado anteriormente, os TFETs não apresentam o limite mínimo teórico de 60 mV/dec de SS como no caso do MOSFET. O potencial de atingir valores menores do que o apresentado pela tecnologia MOS se deve à limitação da distribuição de energia dos portadores na fonte, uma vez que a parte mais energética da distribuição de Fermi é “filtrada” pela janela de energia $\Delta\phi$ de tunelamento, cujas extremidades são o máximo da banda de valência da fonte e o mínimo da banda de condução do canal (considerando a fonte do tipo P) [5]. A figura 2.16 ilustra esse efeito mostrando o diagrama de bandas de energia e a distribuição de Fermi na fonte.

Figura 2.16 - Diagrama de bandas do pTFET para uma tensão V_G negativa. A distribuição de Fermi na fonte também é mostrada. A linha tracejada na distribuição representa os níveis energéticos em que não há estados vazios disponíveis no canal.

Fonte: [5]

A corrente de tunelamento pode ser aproximada pela equação 8 [50].

$$I = aV_{eff}\xi \cdot \exp\left(-\frac{b}{\xi}\right) \quad (8)$$

onde V_{eff} representa a tensão reversa aplicada à porta, e a e b são coeficientes determinados pelas propriedades do material e da área da seção transversal do dispositivo [50]. Para obter o valor de SS , deve-se determinar o inverso da derivada da corrente de dreno em função da tensão de porta. Obtém-se portanto a equação 9 para a inclinação de sublimiar [50].

$$SS = \ln(10) \left[\frac{1}{V_{eff}} \frac{dV_{eff}}{dV_{GS}} + \frac{\xi+b}{\xi^2} \frac{d\xi}{dV_{GS}} \right]^{-1} \quad (9)$$

Observa-se a partir da equação 9 que existem dois termos que podem ser maximizados a fim de minimizar o valor de SS . O primeiro termo (dV_{eff}/dV_{GS}) pode ser maximizado através de um melhor controle eletrostático [41]. O segundo termo ($d\xi/dV_{GS}$) pode ser maximizado através de um alinhamento entre o campo elétrico da junção e o campo elétrico proveniente da porta [41]. Ambas as características podem ser alcançadas através do uso de novas geometrias, conforme discutido na seção 2.5.

A figura 2.17 mostra a curva da corrente de dreno (em escala logarítmica) em função da tensão de porta de um NW-TFET com enfoque na região de sublimiar.

Figura 2.17 - Curva da corrente de dreno (em escala logarítmica) em função da tensão de porta de um NW-TFET.

Fonte: autor

2.8.3 Transcondutância

A transcondutância (gm) é um parâmetro importante para análises analógicas e relaciona a corrente de dreno com a tensão aplicada à porta do dispositivo. Quanto maior o valor de gm , maior é o controle da corrente de dreno pela tensão de porta [4]. A transcondutância pode ser calculada utilizando-se a equação 10 [4].

$$gm = \frac{dI_D}{dV_G} \quad (10)$$

Assim como no MOS, a transcondutância no TFET também depende da geometria do canal.

A figura 2.18 mostra a curva de transcondutância em função da tensão de porta de um NW-nTFET com 50 nm de diâmetro. Observa-se que o valor da transcondutância aumenta com a tensão de porta, no caso de um nTFET. Isso ocorre devido ao aumento da corrente de BTBT com o aumento de V_G .

Figura 2.18 - Transcondutância em função da tensão de porta de um NW-nTFET.

Fonte: autor

2.8.4 Condutância de saída

A condutância de saída relaciona a corrente de dreno com a tensão aplicada ao dreno do dispositivo. Esse parâmetro expressa a qualidade da característica de saída do transistor e é de grande relevância, por exemplo, na análise de aplicações analógicas de baixa tensão e baixa potência (LVLP) [51]. A condutância de saída pode ser calculada utilizando-se a equação 11.

$$g_d = \left[\frac{dI_D}{dV_D} \right]_{V_G \text{ constante}} \quad (11)$$

Para aplicações analógicas, é desejável que o valor da condutância de saída seja o menor possível. Em outras palavras, é desejável que a resistência de saída ($1/g_d$) tenha um alto valor.

A figura 2.19 mostra a curva da condutância de saída em função da tensão de dreno de um NW-nTFET com 50 nm de diâmetro.

Figura 2.19 - Condutância de saída em função da tensão de dreno de um NW-nTFET.

Fonte: autor

2.8.5 Eficiência do transistor

A eficiência do transistor, definida como a relação entre a transcondutância e a corrente de dreno (gm/I_D), também é um importante parâmetro para análise analógica de aplicações LVLP [51]. Um alto valor de gm/I_D indica a capacidade de produzir alto ganho no mesmo nível de potência, uma vez que gm simboliza o ganho produzido pelo dispositivo e I_D indica a dissipação de potência para alcançar esse ganho [35].

Um exemplo de curva de gm/I_D em função de I_D está ilustrado na figura 2.21. Essa curva pertence a um dispositivo MOS, porém pode ser analogamente interpretada por extrapolação para o TFET, conforme será apresentado na seção 4.3.

Figura 2.20 - Eficiência de um transistor MOS em função da corrente de dreno.

Fonte: autor

Pode-se observar no gráfico apresentado na figura 2.20 a classificação de diferentes regiões de operação com base no tipo de inversão. Esses diferentes regimes são denominados de inversão fraca, inversão moderada e inversão forte. Como a condução do TFET não ocorre através dos mecanismos de difusão e deriva, não há uma equivalência entre a classificação dos regimes de inversão entre a tecnologia de tunelamento e a tecnologia MOS. Entretanto, nota-se uma tendência semelhante na curva da eficiência do transistor para ambas as tecnologias, possibilitando uma extrapolação.

2.8.6 Tensão Early

A tensão Early é um parâmetro analógico muito utilizado para caracterizar as tecnologias MOS, uma vez que para tensões de dreno maiores do que a tensão de saturação V_{Dsat} , a região de depleção concernente à junção entre o dreno e o canal aumenta. Consequentemente o comprimento de canal efetivo diminui, provocando uma elevação da corrente de dreno na região de saturação do transistor.

Apesar do transistor de tunelamento não possuir uma junção p-n entre o dreno e o canal e portanto não apresentar um efeito de modulação de canal, a polarização de dreno influencia ligeiramente na corrente de tunelamento dependendo do material que compõe o dispositivo. Essa influência decorre do acoplamento eletrostático entre o dreno e a fonte [35].

2.8.7 Ganho intrínseco de tensão

A figura 2.21 mostra o transistor operando como amplificador de tensão.

Figura 2.21 - Transistor como amplificador de tensão.

Fonte: autor

O ganho intrínseco de tensão é o parâmetro que efetivamente expressa a qualidade do transistor em termos analógicos de amplificação. Essa medida está associada ao controle da corrente e à resistência de saída do dispositivo. Seu valor pode ser calculado através da equação 12 [4].

$$|A_V| = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{\Delta I_d}{g_d} \frac{1}{\Delta V_{in}} = \frac{\Delta V_{in} g_m}{g_d} \frac{1}{\Delta V_{in}} = \frac{g_m}{g_d} \approx \frac{g_m}{I_D} \cdot V_{EA} \quad (12)$$

Observa-se a partir da equação 12 que o ganho intrínseco de tensão é diretamente proporcional à transcondutância e inversamente proporcional à condutância de saída. Pode-se também notar que o ganho intrínseco de tensão está relacionado à eficiência do transistor e à tensão Early.

2.8.8 Frequência de ganho unitário

Como o próprio nome já diz, a frequência de ganho unitário ou frequência de transição (f_T) é a frequência para a qual o ganho do transistor é igual a uma unidade. Esse parâmetro é um tipo de figura de mérito para análise do desempenho do dispositivo em altas frequências e pode ser calculado utilizando-se a equação 13:

$$f_T = \frac{g_m}{2\pi C_{gg}} \quad (13)$$

onde C_{gg} é a capacitância total de porta.

Em aplicações em que o dispositivo deve operar em altas frequências, é desejável que a frequência de ganho unitário tenha o maior valor possível. Esse parâmetro é proporcional à tensão de porta, uma vez que tanto a transcondutância, quanto a capacitância, dependem dessa variável.

2.9 Coeficiente de inversão

Com o objetivo de analisar o comportamento dos dispositivos MOS baseando-se em seus regimes de inversão, o parâmetro denominado coeficiente de inversão (IC) foi proposto de forma a facilitar essa análise.

A região de operação é determinada pela sobretensão de porta ($V_{GS} - V_T$ ou V_{GT}). Para valores baixos de V_{GT} e consequentemente baixa corrente (dominada pelo mecanismo de difusão), pode-se dizer que o MOS opera em regime de inversão

fraca. Essa região de funcionamento é particularmente interessante em aplicações LVLP. Por outro lado, para valores suficientemente altos de V_{GT} (corrente dominada pelo mecanismo de deriva), pode-se dizer que o transistor opera em regime de inversão forte. O valor máximo de V_{GT} para esse regime é limitado principalmente pelo fenômeno da velocidade de saturação, em que os elétrons atingem uma velocidade máxima que se mantém constante para valores elevados de tensão de porta.

Cada regime possui um modelo específico e, portanto, se torna importante, inclusive do ponto de vista de projeto, saber a tensão de porta e a corrente que correspondem à transição entre os regimes de inversão fraca e forte. A região de transição é conhecida como inversão moderada.

A corrente de dreno referente à inversão fraca (I_{DSwi}) segue uma relação exponencial com a tensão de porta e pode ser expressa pela equação 14.

$$I_{DSwi} = I_{D0} \frac{W}{L} e^{\frac{V_{GS}}{n'kT/q}} \quad (14)$$

Na inversão forte há uma relação quadrática da corrente de dreno com a tensão de porta, conforme apresentado pela equação 15.

$$I_{DS} = K'_n \frac{W}{L} (V_{GS} - V_T)^2 \quad (15)$$

Igualando-se as correntes e suas primeiras derivadas dos regimes obtém-se o valor de V_{GT} correspondente à transição entre ambos (equação 16).

$$V_{GTt} = (V_{GS} - V_T)_t = 2n' \frac{kT}{q} \quad (16)$$

Substituindo-se (16) em (15), obtém-se para a corrente de transição (I_{DSi}):

$$I_{DSi} = K'_n \frac{W}{L} \left(2n' \frac{kT}{q} \right)^2 \quad (17)$$

A transição entre os regimes pode ser melhor descrita pelo modelo EKV de suavização, conforme mostra a equação 18.

$$I_{DS} = K'_n \frac{W}{L} (V_{GS} - V_T)_t^2 [\ln(1 + e^v)]^2 \quad (18)$$

onde v é definido como a razão entre V_{GT} e V_{GTt} .

O coeficiente de inversão é definido como a corrente de dreno normalizada em relação à corrente de transição [52], portanto pode-se calcular seu valor a partir da equação 19.

$$IC = \frac{I_{DS}}{I_{DS_t}} = [\ln(1 + e^v)]^2 = \left[\ln \left(1 + e^{\frac{V_{GS}-V_T}{(V_{GS}-V_T)_t}} \right) \right]^2 = \left[\ln \left(1 + e^{\frac{V_{GS}-V_T}{2n' \frac{kT}{q}}} \right) \right]^2 \quad (19)$$

A figura 2.22 mostra a relação entre a sobretensão de porta ($V_{GS} - V_T$) e o coeficiente de inversão.

Figura 2.22 - $V_{GS} - V_T$ em função do coeficiente de inversão para MOSFET indicando os diferentes regimes de condução.

Fonte: [53]

No gráfico apresentado na figura 2.22, pode-se observar os diferentes regimes de condução e os coeficientes de inversão referentes a cada uma dessas regiões.

3 Materiais e métodos

Neste capítulo são descritos os equipamentos, instrumentos e materiais utilizados durante a execução do projeto.

3.1 Dispositivos utilizados para as medidas

Os dispositivos experimentais foram fabricados no IMEC, que é um centro de pesquisa situado na cidade de Leuven, na Bélgica. Tanto os Túnel-FETs, quanto os transistores MOS experimentais, foram construídos na mesma estrutura de nanofio. Três lâminas diferentes foram utilizadas durante o processo de medidas. Duas delas são compostas por TFETs, cuja diferença entre as mesmas reside no processo de fabricação, mais especificamente no processo de dopagem da fonte. Uma descrição mais detalhada será fornecida ao final desta subseção. A terceira lâmina é composta por MOSFETs, cuja estrutura é a mesma do TFET distinguindo-se no tipo de dopante da fonte. A Figura 3.1 mostra a estrutura dos dispositivos experimentais.

Figura 3.1 - Representação bidimensional e tridimensional da estrutura dos dispositivos experimentais.

Fonte: Imec

O dispositivo apresenta tanto sobreposição (*overlap*) de porta e fonte, quanto subposição (*underlap*) entre porta e dreno, pelas razões já citadas na seção 2.5. As dimensões e parâmetros do dispositivo estão apresentados na tabela 3.1.

Tabela 3.1 - Parâmetros do dispositivo experimental

Parâmetro	Valor numérico
Comprimento de porta (L_G)	150 nm
Sobreposição de porta e fonte (L_{GS})	30 nm
Subposição entre porta e dreno (L_{GD})	50 nm
Comprimento de canal (L_{CH})	170 nm
Dopagem da fonte	1.10^{20} B/cm ³
Dopagem do dreno	2.10^{19} As/cm ³
Dopagem do canal	1.10^{16} As/cm ³
EOT	2 nm

Fonte: Imec

As lâminas possuem dispositivos com diferentes diâmetros. As medidas experimentais referentes a esse trabalho se concentraram nos diâmetros de 120 nm, 140 nm e 160 nm. Para dispositivos de mesmo diâmetro, há uma separação na lâmina de acordo com o número de nanofios em paralelo, que varia de um arranjo de 1 nanofio a um arranjo de 4050 nanofios.

A diferença no procedimento de dopagem da fonte nas duas lâminas de TFET resulta em uma diferença no perfil de concentração de dopantes na junção entre fonte e canal. Os dispositivos cuja fonte foi dopada por um processo de dopagem de boro *in-situ* possuem um perfil abrupto de concentração de dopantes na junção. Em contrapartida, os dispositivos cuja fonte foi dopada por implantação iônica de boro possuem um perfil gradual e não-abrupto, em que o gradiente de concentração na junção é menor [54]. Uma análise do impacto dessa diferença entre os dois tipos de perfis de dopagem da junção de tunelamento no desempenho elétrico dos dispositivos está detalhada na seção 4.4.

3.2 Analisador de parâmetros elétricos e métodos de extração

As medidas elétricas foram feitas com o auxílio do analisador de dispositivos semicondutores B1500A, fabricado pela Keysight Technologies. As curvas I-V foram traçadas utilizando-se 2 pontas de prova, conectadas à fonte e à porta, e o *chuck*, conectado ao dreno (substrato da lâmina).

Para as medidas, utilizou-se um fundo de escala de 10 pA para a corrente e um tempo de integração longo, com o intuito de reduzir ao máximo o ruído proveniente da medição. Como o nível de corrente atingido pelos TFETs de silício é baixo, especialmente para baixas tensões de porta, qualquer influência da medida se torna altamente prejudicial para a extração de parâmetros que dependam da derivada da corrente de dreno.

Conforme descrito na subseção 2.8.3, a transcondutância é definida como a derivada da corrente de dreno em função da tensão aplicada à porta do dispositivo (equação 10). Portanto, para a extração desse parâmetro, plota-se a curva de transferência $I_D \times V_G$ do transistor utilizando o analisador de parâmetros descrito e calcula-se sua derivada ponto a ponto.

A condutância de saída é obtida analogamente à transcondutância, porém utilizando-se a curva de saída $I_D \times V_D$ do dispositivo e calculando sua derivada ponto a ponto.

O valor do ganho intrínseco de tensão é extraído calculando-se a relação entre g_m e g_d , conforme descrito na equação 12.

3.3 Simulador

As simulações foram feitas através do simulador Atlas, da Silvaco [55]. O objetivo de tais simulações no trabalho aqui apresentado é calibrar os parâmetros dos modelos de modo a ajustar a curva do dispositivo simulado à curva obtida experimentalmente. Uma análise mais profunda dos modelos disponibilizados pelo simulador a partir da compreensão da física do transistor também foi necessária.

As simulações também são utilizadas para extrapolar os parâmetros do dispositivo e estudar a influência de cada um no comportamento do dispositivo, de forma a justificar os efeitos e anomalias obtidos nas medidas experimentais.

A essência do uso de simulações no trabalho, cujos resultados serão apresentados no capítulo 4, está nos modelos de tunelamento. Esses modelos consideram todos os mecanismos de condução. Um estudo mais detalhado, analisando-se cada um desses mecanismos separadamente, foi feito com o intuito de observar as condições

em que cada um se torna predominante e seus impactos no desempenho do dispositivo.

Os principais modelos utilizados nas simulações desse trabalho estão listados a seguir.

- BGN – *Bandgap Narrowing*: Esse modelo leva em consideração o estreitamento da largura de banda proibida devido à alta dopagem (acima de 10^{18} cm^{-3}), conforme proposto por [56].
- SHI – *Shirahata Mobility Model*: Esse modelo de mobilidade leva em consideração os efeitos de espalhamento na interface óxido/silício. É uma função do campo elétrico transversal [55].
- FLDMOB – *Parallel Electric Field Dependence*: Modelo de mobilidade para altos valores de campo elétrico em que os elétrons já atingiram a velocidade de saturação e a mobilidade não é mais proporcional ao campo elétrico [55].
- SRH – *Schockley-Read-Hall Recombination*: Esse modelo leva em consideração o processo de geração e recombinação SRH descrito na seção 2.3.1. A equação desse modelo está apresentada abaixo [55].

$$R_{SRH} = \frac{pn - n_{ie}^2}{TAUP0 \left[n + n_{ie} \exp\left(\frac{ETRAP}{kT_L}\right) \right] + TAUN0 \left[p + n_{ie} \exp\left(\frac{-ETRAP}{kT_L}\right) \right]}$$

Para a calibração da curva simulada em relação à experimental, foram utilizados os parâmetros de ajuste TAUN0 e TAUP0, cujos significados físicos são respectivamente os tempos de vida dos elétrons e das lacunas.

- Trap.tunnel – *Trap-Assisted Tunneling*: Esse modelo se refere ao processo de tunelamento assistido por armadilha detalhado na seção 2.3.2.

A fim de calibrar a curva simulada com base na curva experimental, utilizou-se a concentração de cargas na interface do óxido como parâmetro de ajuste, afetando diretamente a região de predominância do TAT.

- BBT.KANE e BBT.NONLOCAL – *Kane Band-To-Band Tunneling*: Modelo de tunelamento entre bandas proposto por Kane [57]. Conjugado a esse modelo utiliza-se sua versão não-local de modo a considerar a variação espacial das

bandas de energia [55]. A equação desse modelo está apresentada a seguir [55].

$$G_{BBT} = \frac{D' \text{ BBT.A_KANE}}{\sqrt{E_g}} F^{BBT.GAMMA} \exp\left(-BBT.B_KANE \frac{E_g^{3/2}}{\xi}\right)$$

Para a calibração da curva simulada em relação à experimental na região em que há condução de portadores por BTBT, foram utilizados os parâmetros de ajuste BBT.A_KANE e BBT.B_KANE.

Um exemplo de arquivo de simulação pode ser encontrado no apêndice A.

4 Resultados e discussão

Neste capítulo são apresentados os resultados obtidos a partir da análise dos dados obtidos tanto experimentalmente quanto por simulação. A partir dos resultados é feita uma discussão sobre os impactos, vantagens e desvantagens de cada efeito estudado.

Entre os efeitos estudados estão a mudança do material de fonte e a variação do diâmetro. Um estudo comparativo entre as tecnologias MOSFET e TFET também é apresentado.

4.1 Influência de diferentes composições de fonte nos principais parâmetros analógicos

Conforme mencionado na seção 2.4, o material escolhido para compor a estrutura do TFET desempenha um papel fundamental no desempenho do dispositivo, uma vez que algumas propriedades inerentes a cada material, como largura da banda proibida (E_g) e massa efetiva de tunelamento influenciam diretamente a probabilidade de tunelamento.

A análise apresentada nesta subseção foi feita para dois tipos de dispositivos. O primeiro possui fonte de silício e o segundo possui fonte composta por uma liga de 27% de germânio e 73% de silício ($\text{Si}_{73}\text{Ge}_{27}$). A fonte composta pela liga foi obtida através da deposição de uma camada de $\text{Si}_{73}\text{Ge}_{27}$ no topo da camada de silício levemente dopada do canal [58]. Portanto, o estudo desses dois tipos de transistores é também uma análise comparativa entre uma homojunção (fonte e canal de silício) e uma heterojunção (fonte de $\text{Si}_{73}\text{Ge}_{27}$ e canal de silício).

A quantidade percentual de cada elemento na liga SiGe define o valor de E_g do material [59], como mostrado na figura 4.1. Observa-se que a largura da banda proibida de energia (E_g) na liga $\text{Si}_{73}\text{Ge}_{27}$ é menor do que a referente ao silício. Portanto, a utilização desse material na fonte resulta em uma redução do comprimento de tunelamento na junção fonte/canal.

Figura 4.1 - Largura da banda proibida de energia para diferentes quantidades percentuais de silício e germânio na liga SiGe em função da temperatura.

Fonte: [59]

A figura 4.2 mostra a curva da corrente de dreno em função da tensão de porta para os transistores com fonte composta por Si e por $\text{Si}_{73}\text{Ge}_{27}$. Nota-se que, em decorrência da redução do valor de E_g na liga SiGe, em relação ao silício, e da consequente redução do comprimento de tunelamento na junção, há um aumento na corrente de dreno para os dispositivos compostos por esse material, se comparado ao de silício puro, uma vez que a probabilidade de tunelamento, descrita pela equação 3, aumenta.

Figura 4.2 - Curva experimental da corrente de dreno em função da tensão de porta para NW-TFETs com fonte de Si e de SiGe.

Fonte: autor (adaptado de [60])

A fim de analisar o impacto da escolha do material nos principais parâmetros analógicos do dispositivo, três métodos de comparação relacionados à polarização de porta foram utilizados. Esses métodos estão listados a seguir.

1. Mesma tensão de porta e mesma região de operação

Esse método compara os dispositivos com diferentes materiais de fonte utilizando a mesma tensão de porta (V_G). O valor selecionado de V_G deveria garantir que ambos os transistores estivessem na mesma região de operação, ou seja, o mecanismo de condução predominante fosse o mesmo. Portanto, escolheu-se utilizar um V_G de 1,9 V para a comparação, uma vez que para essa tensão de porta o mecanismo predominante é o BTBT.

2. Tensão mínima de BTBT

Nesse método, a tensão de porta escolhida para comparação é a mínima para a qual o BTBT se torna o mecanismo predominante. Para determinar-se essa tensão foi adotado o critério que considera o valor de V_G para uma energia de ativação (E_A) igual a 0,1 eV [61]. Esse valor de E_A , que é extraído

da curva de Arrhenius, corresponde ao mecanismo de BTBT, enquanto os mecanismos de TAT e geração SRH possuem uma energia de ativação maior, visto que são mais dependentes da temperatura [61]. Os valores selecionados para tensão de porta de acordo com o critério estabelecido por esse método foram de 1,9 V para a fonte de silício e 1,56 V para a fonte de $\text{Si}_{73}\text{Ge}_{27}$. Essas tensões foram extraídas a partir das curvas apresentadas na figura 4.3.

Figura 4.3 - Energia de ativação para diferentes composições de fonte.

Fonte: [62]

3. Mesmo nível de corrente

Esse método de comparação considera uma tensão de porta que resulte em um mesmo nível de corrente para os transistores com diferentes composições de fonte. Como indicado na figura 4.2, os valores de V_G escolhidos foram de 1,9 V para a fonte de silício e 1,4 V para a fonte de $\text{Si}_{73}\text{Ge}_{27}$. O nível de corrente resultante dessas tensões é da ordem de 6 μA .

A tabela 4.1 mostra uma compilação das tensões de porta utilizadas para a comparação dos dispositivos através de cada um dos três métodos apresentados.

Tabela 4.1 - Tensão de porta utilizada para comparação, de acordo com os diferentes métodos.

Método de comparação	Si	Si ₇₃ Ge ₂₇
1	1,9 V	1,9 V
2	1,9 V	1,56 V
3	1,9 V	1,4 V

Fonte: [60]

O primeiro parâmetro analógico a ser analisado é a transcondutância (gm). Para um mesmo diâmetro de nanofio de 140 nm, extraiu-se o valor de gm aplicando-se na porta as tensões apresentadas na tabela 4.1 referentes aos três métodos. Os valores extraídos estão indicados na tabela 4.2.

Tabela 4.2 - Valores de transcondutância extraídos de dispositivos com fonte de Si e SiGe para tensões de porta baseadas nos diferentes métodos de comparação. O diâmetro dos nanofios é de 140 nm e a tensão aplicada ao dreno é de 1,5 V.

Material	Tensão de porta	Transcondutância
Si	1,9 V (Referência)	33 μ S
Si ₇₃ Ge ₂₇	1,9 V (Método 1)	816 μ S
Si ₇₃ Ge ₂₇	1,56 V (Método 2)	176 μ S
Si ₇₃ Ge ₂₇	1,4 V (Método 3)	58 μ S

Fonte: [60]

Observa-se que independentemente do método de comparação utilizado, a transcondutância relativa à fonte de silício mostrou-se sempre menor àquela relativa à fonte composta pela liga de silício e germânio. Pode-se concluir que a menor largura da banda proibida de energia foi a responsável por este efeito. Naturalmente, o valor de gm extraído com base no terceiro método de comparação apresentou uma menor diferença entre as diferentes composições de fonte, uma vez que nesse caso o dispositivo composto pela liga de Si₇₃Ge₂₇ ainda não havia atingido o regime de predominância de BTBT. A diferença percentual entre os valores de gm encontrados para as diferentes composições considerando os métodos 1, 2 e 3 foram, respectivamente, 96%, 81% e 43%.

O segundo parâmetro a ser analisado é a condutância de saída (gd). Considerando-se novamente um mesmo diâmetro de nanofio de 140 nm, plotou-se as curvas de saída da corrente de dreno em função da tensão de dreno para as tensões de porta

segundo os critérios de cada um dos três métodos. Os valores de g_d extraídos em cada caso estão indicados na tabela 4.3.

Tabela 4.3 - Valores de condutância de saída extraídos de dispositivos com fonte de Si e SiGe para tensões de porta baseadas nos diferentes métodos de comparação. O diâmetro dos nanofios é de 140 nm e a tensão aplicada ao dreno é de 1,5 V.

Material	Tensão de porta	Condutância de saída
Si	1,9 V (Referência)	45 nS
Si ₇₃ Ge ₂₇	1,9 V (Método 1)	506 nS
Si ₇₃ Ge ₂₇	1,56 V (Método 2)	253 nS
Si ₇₃ Ge ₂₇	1,4 V (Método 3)	73 nS

Fonte: [60]

Observa-se que para todos os métodos o valor de g_d referente à fonte de silício é menor (ou seja, melhor) do que aquele referente à fonte de Si₇₃Ge₂₇. O menor valor de g_d configura uma vantagem para os dispositivos com homojunção de silício, uma vez que é desejável que a corrente de tunelamento seja pouco controlada pela polarização do dreno. Devido ao maior valor de E_g efetivo na junção de tunelamento, as homoestruturas de silício necessitam de uma tensão maior para atingir o regime de BTBT dominante. Como consequência, a predominância de TAT nesse dispositivo ocorre para uma faixa maior de tensões de porta se comparado às heteroestruturas. Portanto, como a corrente decorrente do tunelamento entre bandas é mais influenciada pelo campo elétrico proveniente do dreno do que a corrente decorrente do tunelamento assistido por armadilhas, o valor de g_d é menor para a homojunção. Esse efeito pode ser percebido também observando-se que quanto menor a tensão de porta, ou seja, menor a influência do BTBT, menor é o valor da condutância de saída na heteroestrutura. A diferença percentual entre os valores de g_d encontrados para as diferentes composições considerando os métodos 1, 2 e 3 foram, respectivamente, 91%, 82% e 38%.

O ganho intrínseco de tensão (A_v) é calculado pela relação entre a transcondutância e a condutância de saída. A tabela 4.4 mostra os valores de A_v calculados a partir dos dados apresentados nas tabelas 4.2 e 4.3.

Tabela 4.4 - Valores calculados de ganho intrínseco de tensão de dispositivos com fonte de Si e SiGe para tensões de porta baseadas nos diferentes métodos de comparação. O diâmetro dos nanofios é de 140 nm e a tensão aplicada ao dreno é de 1,5 V.

Material	Tensão de porta	Ganho intrínseco de tensão (A_V)
Si	1,9 V (Referência)	57 dB
Si ₇₃ Ge ₂₇	1,9 V (Método 1)	64 dB
Si ₇₃ Ge ₂₇	1,56 V (Método 2)	57 dB
Si ₇₃ Ge ₂₇	1,4 V (Método 3)	58 dB

Fonte: [60]

Observa-se que os valores de A_V dos dispositivos com diferentes composições são os mesmos, levando-se em consideração uma margem de erro, exceto se a comparação for realizada utilizando-se o método 1. Essa discrepância presente para esse método é originada pela análise comparativa considerando que os dois dispositivos já operam no regime em que o BTBT é o mecanismo de transporte de carga predominante, causando uma elevação no valor de g_m do dispositivo com fonte de Si₇₃Ge₂₇ maior do que a elevação (degradação) no valor de g_d . A diferença percentual do ganho intrínseco de tensão em dB entre a fonte de silício e a fonte de Si₇₃Ge₂₇ considerando o primeiro método de comparação é de 11%.

4.2 Impacto do diâmetro em dispositivos com diferentes composições de fonte

Conforme exposto na seção 4.1, o material de fonte causa grandes impactos em alguns parâmetros analógicos como transcondutância e condutância de saída devido a uma probabilidade de tunelamento dependente de características inerentes à composição desse material. Como a miniaturização dos dispositivos por questões de aumento de densidade de integração está sendo cada vez mais almejada, uma análise do impacto do diâmetro do nanofio nos parâmetros analógicos é de alta relevância.

A figura 4.4 mostra as curvas de transferência experimentais dos dispositivos com fonte de silício e de Si₇₃Ge₂₇ para nanofios de diferentes diâmetros. Os valores dos diâmetros efetivos medidos para as heteroestruturas são de 87 nm, 120,3 nm e 143,9 nm, e para as homoeestruturas são de 111,3 nm, 140,6 nm e 164,1 nm. O foco

de análise agora é a influência do diâmetro e não mais exclusivamente a melhora no desempenho causado pela mudança de material.

Observa-se que quanto maior o diâmetro, maior é o nível de corrente para ambos os materiais de fonte. Essa variação na corrente pode ser melhor compreendida através do estudo da transcondutância e da condutância de saída, e está relacionada com o controle eletrostático da porta sobre o canal, com os mecanismos de transporte e com a área de condução.

Figura 4.4 - Curva experimental da corrente de dreno em função da tensão de porta para NW-TFETs com fonte de Si e de SiGe de diferentes diâmetros.

Fonte: autor [60]

A análise dos parâmetros analógicos a partir da variação do diâmetro foi feita seguindo os mesmos três métodos de comparação apresentados na seção 4.1 e cujas tensões de porta escolhidas para cada material estão indicadas na tabela 4.1.

Os valores de transcondutância extraídos para os diferentes diâmetros estão exibidos na figura 4.5.

Figura 4.5 - Transcondutância experimental em função do diâmetro efetivo do nanofio para diferentes composições de fonte.

Fonte: [60]

Observa-se que a transcondutância se eleva com o aumento do diâmetro efetivo para as duas composições de fonte medidas e considerando qualquer um dos três métodos de comparação. Esse efeito está relacionado com a área de condução do dispositivo. Uma vez que a condução de corrente em dispositivos dessa ordem de largura se concentra na superfície do nanofio (região de maior potencial e portanto de maior sobreposição de bandas e menor comprimento de tunelamento), a área de condução pode ser aproximada pelo perímetro da seção transversal do mesmo, ou seja:

$$W = \pi \cdot D$$

Portanto, quanto maior o diâmetro, maior a área de condução, implicando em valores mais altos de transcondutância. A variação percentual de g_m do menor para o maior diâmetro para a fonte de silício foi de 29% e para a fonte de $Si_{73}Ge_{27}$ considerando os métodos 1, 2 e 3 foram, respectivamente, 33%, 34% e 34%. Esses resultados mostram que a variação de g_m independe da composição de fonte, uma vez que só depende da área de condução.

A influência do diâmetro na condutância de saída pode ser observada na figura 4.6.

Figura 4.6 – Condutância de saída experimental em função do diâmetro efetivo do nanofio para diferentes composições de fonte.

Fonte: [60]

Assim como a transcondutância, a condutância de saída também decresce com a redução do diâmetro devido à diminuição da área de condução. A variação percentual de gd do menor para o maior diâmetro para a fonte de silício foi de 7% e para a fonte de $Si_{73}Ge_{27}$ considerando os métodos 1, 2 e 3 foram, respectivamente, 47%, 70% e 84%.

Calculando-se o ganho intrínseco de tensão a partir dos valores da transcondutância e da condutância de saída extraídos, obteve-se o gráfico de A_v em função do diâmetro efetivo dos dispositivos com diferentes composições mostrado na figura 4.7.

Figura 4.7 – Ganho intrínseco de tensão em função do diâmetro efetivo do nanofio para diferentes composições de fonte.

Fonte: [60]

Nota-se que o ganho intrínseco de tensão para o dispositivo com fonte de silício se eleva com o aumento do diâmetro. Uma vez que A_V é definido como sendo a relação entre g_m e g_d , essa elevação ocorre pois o aumento da transcondutância é mais pronunciado do que o aumento (degradação) da condutância de saída nesse tipo de dispositivo. Em contraste a esse, o valor de A_V decresce com o aumento do diâmetro nos dispositivos com fonte de $Si_{73}Ge_{27}$. Nesse tipo de transistor, o aumento de g_d é mais pronunciado do que o aumento de g_m , devido a uma maior influência da polarização do dreno na corrente de tunelamento quando o dispositivo opera predominantemente na região de BTBT.

4.3 Impacto do diâmetro nos principais parâmetros analógicos em diferentes regimes de inversão

O estudo apresentado na seção 4.2 se refere aos dispositivos experimentais e, portanto, trata de nanofios relativamente largos, que eram os dispositivos disponíveis para este estudo. Por simulação extrapolou-se o diâmetro para valores menores e examinou-se sua influência nos parâmetros analógicos. Uma vez que os TFETs estão sendo estudados para aplicações de baixa tensão, a análise analógica é feita também considerando o regime de “inversão fraca” (baixas tensões de porta).

Observou-se através das simulações que o mecanismo de condução predominante e as interações entre as superfícies diametralmente opostas do nanofio sofrem alterações com a variação do diâmetro. A figura 4.8 ilustra a influência do diâmetro nos mecanismos de condução que operam no dispositivo.

Figura 4.8 - Representação dos mecanismos predominantes em nanofios de diferentes diâmetros.

Fonte: autor

Quando uma tensão alta, de por exemplo 1,9 V, é aplicada à porta do NW-TFET, a corrente é conduzida predominantemente pelo BTBT na região próxima à interface óxido/silício. Essa predominância de BTBT ocorre devido ao maior potencial dessa região e consequente maior sobreposição de bandas e menor comprimento de tunelamento. Existe uma transição gradual dos mecanismos ao longo da junção fonte/canal. Aproximando-se do centro da seção transversal do nanofio, há uma transição de predominância do tunelamento entre bandas para o tunelamento assistido por armadilha, devido a uma redução do potencial e um decorrente aumento do comprimento de tunelamento. Quando o potencial é bem reduzido e praticamente nulo, o tunelamento por qualquer um dos mecanismos é impossibilitado pela grande barreira de energia derivada da “distância” entre as bandas de condução e valência da fonte e do canal. Nesse caso, há uma predominância e exclusividade de condução através da geração e recombinação SRH. Para dispositivos de grandes diâmetros, isso ocorre no centro e em regiões bem próximas a ele.

Reduzindo-se o diâmetro do dispositivo, começa a surgir uma interação entre os potenciais das superfícies diametralmente opostas decorrentes da polarização de porta. O efeito resultante dessa interação é a sobreposição de correntes de

tunelamento do BTBT geradas pelas “portas opostas”. A figura 4.9 mostra a taxa de geração e recombinação de portadores em função da profundidade do nanofio, comprovando a interação entre as superfícies opostas e a predominância do tunelamento entre bandas em toda a junção se o diâmetro for pequeno. Observou-se através de simulações que uma consequência desse fenômeno é a degradação do ganho intrínseco de tensão do dispositivo, uma vez que a influência do campo elétrico do dreno na corrente de tunelamento é maior para o BTBT, provocando um acréscimo no valor da condutância de saída. A figura 4.10 explicita essa consequência mostrando um gráfico de A_V em função do diâmetro do nanofio para uma tensão de porta de 1,9 V (regime de “inversão forte”) e uma tensão de dreno de 1,5 V.

Figura 4.9 - Taxa de geração e recombinação simulada em função da profundidade para TFET construído em estrutura de nanofio com diâmetros de 30 nm e 110 nm.

Fonte: [60]

Figura 4.10 - Ganho intrínseco de tensão calculado a partir de simulação e de medidas experimentais para um nTFET em função do diâmetro do nanofio.

Fonte: [63]

Outra consequência decorrente da interação entre as superfícies e do maior acoplamento eletrostático é a redução da tensão de “engatilhamento” do BTBT. Ou seja, o tunelamento entre bandas se torna o mecanismo predominante para tensões de porta menores em nanofios mais estreitos. Esse efeito pode ser observado na curva da corrente de dreno do transistor em função da tensão de porta para diferentes diâmetros, conforme mostrado na figura 4.11. Na figura 4.11, a corrente de dreno está normalizada em relação a W , cujo valor, conforme já mencionado, é igual ao perímetro da área da seção transversal do nanofio. Com a normalização, pode-se analisar os efeitos que influenciam na corrente excluindo-se a variação da área de condução.

Figura 4.11 - Corrente de dreno simulada e normalizada em relação a W em função da tensão aplicada à porta de um nTFET para diferentes diâmetros.

Fonte: [63]

Observa-se que considerando um valor fixo de V_G , o nível de corrente é maior para os dispositivos mais estreitos (diâmetros menores), uma vez que o acoplamento eletrostático dos mesmos é maior do que o referente aos mais largos (diâmetros maiores) e a predominância de BTBT ao longo da junção é maior. A partir de um certo diâmetro ($D \approx 25$ nm), a influência do diâmetro no nível de corrente e na tensão de “engatilhamento” do BTBT se torna insignificante face à mesma relacionada a diâmetros menores.

Outro parâmetro analógico importante a ser analisado é a eficiência do transistor (gm/I_D). A figura 4.12 mostra a eficiência obtida através de simulação em função da corrente de dreno normalizada para dispositivos de diferentes diâmetros. Nota-se que no regime de “inversão forte”, em que a corrente de dreno é maior, o valor de gm/I_D é menor para nanofios mais estreitos. Essa tendência pode ser explicada pela queda da transcondutância. Além da área de junção ser menor, há um efeito de “saturação do BTBT” que degrada o valor de gm . No caso de diâmetros que sejam pequenos o suficiente para que as regiões opostas que operam predominantemente em BTBT se sobreponham, pode-se concluir que o mecanismo de transporte não

influencia na corrente de dreno, uma vez que a junção inteira já opera através do tunelamento entre bandas. Portanto, o fator que causa um impacto negativo no valor de g_m é o da redução do diâmetro (redução da área de condução).

Considerando o caso em que o transistor opera em regime de “inversão fraca”, a eficiência do dispositivo (g_m/I_D) é maior para os nanofios de menor diâmetro, supondo um mesmo nível de corrente de dreno. Para essa intensidade de polarização, o BTBT ainda não domina a junção inteira em termos de profundidade. Portanto, quanto menor o diâmetro, maior é a porcentagem da junção de tunelamento que conduz através do tunelamento entre bandas, resultando em uma maior transcondutância.

Figura 4.12 - Curva simulada de g_m/I_D em função da corrente de dreno normalizada para NW-nTFETs de diferentes diâmetros.

Fonte: [63]

Para o cálculo de A_V no regime de “inversão fraca” utilizou-se a relação entre a tensão Early e a condutância de saída apresentada na equação 12:

$$|A_V| = \frac{g_m}{g_d} \approx V_{EA} \cdot \frac{g_m}{I_D}$$

Os resultados do cálculo de A_V obtidos tanto a partir da eficiência do transistor e da tensão Early extraída da curva de saída do dispositivo em condição de “inversão fraca”, quanto a partir dos valores apresentados na figura 4.10 para “inversão forte”,

estão indicados na tabela 4.5. O nível de corrente normalizada de dreno escolhido para análise do regime de “inversão fraca” é de $4 \cdot 10^{-11} \text{ A}/\mu\text{m}$.

Tabela 4.5 - Ganho intrínseco de tensão obtido a partir de simulação de um nTFET em “inversão fraca” e “forte” para diferentes diâmetros.

Diâmetro	A_v (dB) para $I_D/W = 4 \cdot 10^{-11} \text{ A}/\mu\text{m}$ “inversão fraca”	A_v (dB) para $V_G = 1.9\text{V}$ “inversão forte”
15 nm	68,6	---
20 nm	73,3	---
25 nm	75,7	9,0
30 nm	72,9	11,5
90 nm	72,3	47,0

Fonte: [63]

Através de uma análise da tabela, observa-se que para a condição de “inversão fraca” há um ponto de máximo A_v para um diâmetro específico próximo a 25 nm e uma degradação deste parâmetro para diâmetros menores e maiores devido a dois efeitos: aumento da eficiência gm/I_D e decréscimo da tensão Early com a redução do diâmetro. O aumento da eficiência, conforme já explicado, está relacionado com o aumento da proporção da junção que opera em BTBT. O decréscimo de V_{EA} é causado pela maior dependência do BTBT com a polarização do dreno, visto que em nanofios mais estreitos o tunelamento entre bandas predomina ao longo de toda a junção entre fonte e canal. Portanto, para diâmetros menores, a curva $I_D \times V_D$ do transistor tende a ser mais inclinada na região de altas tensões de dreno. Reduzindo-se o diâmetro, aproxima-se as regiões simétricas de BTBT em relação ao eixo central do nanofio. O diâmetro para o qual essas regiões se sobrepõem, é aquele associado ao valor máximo de A_v . Portanto, pode-se concluir que a degradação do ganho intrínseco de tensão para diâmetros maiores está associada ao decaimento de gm/I_D e a degradação para diâmetros menores é mais dependente da tensão Early.

Os valores do ganho intrínseco de tensão para os diâmetros de 15 nm e 20 nm no regime de “inversão forte” não foram extraídos devido à presença de anomalias na curva $I_D \times V_D$ desses dispositivos.

4.4 Comparação entre o NW-TFET e o NW-MOSFET de silício

4.4.1 Análise considerando uma polarização específica de porta

Para uma melhor compreensão das potencialidades dos TFETs no campo das aplicações analógicas, é interessante fazer uma análise comparativa entre essa nova e promissora tecnologia e a tecnologia MOS. Nesse estudo foram utilizados os transistores de tunelamento fabricados com os dois métodos de dopagem descritos na seção 3.1. A eles serão referidos os termos “junção abrupta” e “junção não-abrupta”. O MOSFET construído em estrutura de nanofio também foi utilizado.

A figura 4.13 mostra o comportamento da corrente de dreno em função da polarização de porta dos três dispositivos. As curvas mostram que o nível de corrente de dreno atingido pelo TFET em altas tensões de porta é cerca de 4 a 5 ordens de grandeza menor do que o atingido pelo MOSFET, devido à diferença nos mecanismos de condução e ao material utilizado, que proporciona uma barreira de energia de tunelamento relativamente grande na homojunção de silício, conforme já discutido na seção 2.4. Em relação aos dois tipos de TFETs estudados, nota-se que o de junção abrupta atinge uma corrente de dreno maior do que o de junção não-abrupta, devido ao menor comprimento de tunelamento decorrente do perfil de concentração na junção do primeiro.

Figura 4.13 - Corrente de dreno obtida experimentalmente em função da tensão de porta para os TFETs de junção abrupta e não-abrupta e para o MOSFET.

Fonte: [63]

Extraindo-se a transcondutância de cada dispositivo a partir das curvas apresentadas na figura 4.13, obteve-se o gráfico exibido na figura 4.14. Os dados apresentados mostram que o MOSFET possui uma maior transcondutância devido ao aumento mais lento da corrente de dreno do TFET em função da tensão de porta para altos valores de V_G [35]. No tocante aos TFETs, o de junção abrupta possui um valor de g_m maior do que o de junção não-abrupta.

Figura 4.14 - Transcondutância extraída de medidas experimentais de TFETs de junção abrupta e não-abrupta e de MOSFET com diferentes diâmetros. Foram medidas 4 amostras.

Fonte: autor

A figura 4.15 mostra os valores da condutância de saída dos três dispositivos estudados com diferentes diâmetros. Observa-se que o valor de g_d é maior para o MOSFET do que para o TFET. Essa relação ocorre devido ao excelente comportamento de saturação do TFET, uma vez que o campo elétrico proveniente do dreno tem pouca influência na corrente para altas tensões de dreno.

Figura 4.15 - Condutância de saída extraída de medidas experimentais de TFETs de junção abrupta e não-abrupta e de MOSFET com diferentes diâmetros. Foram medidas 4 amostras.

Fonte: autor

Calculando-se o ganho intrínseco de tensão a partir dos valores extraídos da transcondutância e da condutância de saída, obteve-se o gráfico apresentado na figura 4.16. Apesar da transcondutância do MOSFET ser maior, o A_V do TFET é, para os dispositivos medidos, de no mínimo 40 decibéis maior do que o da tecnologia MOS. O maior ganho é decorrente da melhor característica de saída do transistor de tunelamento, que resulta em um menor valor de g_d .

Figura 4.16 - Ganho intrínseco de tensão em função do diâmetro do nanofio para TFET e MOSFET.

Fonte: [63]

4.4.2 Análise em função do coeficiente de inversão

No item 4.4.1, a comparação entre o NW-TFET e o NW-MOSFET de silício foi feita considerando-se polarizações específicas de porta e dreno para nanofios de diferentes diâmetros. Neste item será feita uma análise comparativa com base nos diferentes regimes de condução por meio do uso do coeficiente de inversão, cujo conceito foi apresentado na seção 2.9.

O coeficiente de inversão é dependente da tensão de porta e pode ser calculado através da equação 18. Nota-se que para a determinação desse parâmetro é necessário saber o valor da tensão de limiar do transistor. No caso dos TFETs, em que não há um conceito bem definido de tensão de limiar, utilizou-se o valor da tensão de porta para a qual a energia de ativação se iguala a 0,1 eV (tensão mínima para predomínio do BTBT). Os valores utilizados foram de 0,48 V para o MOSFET e 1,9 V para o TFET. As sobretensões de porta referentes à transição entre os regimes de condução (V_{GTi}) calculadas para o MOSFET e o TFET foram de 0,085V e 0,25 V, respectivamente. O cálculo desses valores foi feito aplicando-se a equação

16. Os valores do fator de idealidade n' foram determinados com base na inclinação de sublimiar, uma vez que:

$$SS = n' \frac{kT}{q} \ln 10$$

Os valores de n' calculados para o MOSFET e o TFET experimentais foram 1,7 e 5, respectivamente.

O primeiro parâmetro analisado é a eficiência do transistor (gm/I_D), que indica a capacidade de produzir um alto ganho para a mesma quantidade de potência dissipada. A figura 4.17 mostra a eficiência do transistor para as tecnologias MOS e de tunelamento obtidas experimentalmente em função do coeficiente de inversão.

Figura 4.17 - Eficiência do transistor em função do coeficiente de inversão para o TFET e o MOSFET.

Fonte: [53]

Observa-se que o valor máximo obtido para o coeficiente de inversão no caso do TFET foi aproximadamente 1, devido ao alto valor utilizado para a tensão de limiar. É possível notar também no gráfico apresentado na figura 4.17 que as curvas da eficiência do transistor para ambas as tecnologias seguem a mesma tendência em função do coeficiente de inversão, ou seja, a eficiência do transistor decresce com o aumento do coeficiente de inversão. Apesar de seguirem a mesma tendência, o TFET apresenta um nível de gm/I_D menor do que o MOSFET, uma vez que o primeiro possui uma transcondutância menor do que o segundo, conforme mostrado na figura 4.14.

Devido ao processo de fabricação dos transistores de tunelamento não ser otimizado, a inclinação de sublimiar apresentada pelos dispositivos tem um alto valor. Como mostrado na figura 2.20, a eficiência do transistor na região de inversão fraca é proporcional ao inverso da inclinação de sublimiar. O alto valor de SS dos TFETs medidos explica tamanha diferença nos níveis de gm/I_D de ambas as tecnologias, sobretudo no regime de condução fraca, conforme mostrado na figura 4.17. Porém, com o avanço nas pesquisas e otimização dos processos relativos aos transistores de tunelamento, valores baixos de SS estão sendo alcançados. Portanto, a tendência é que os TFETs superem os MOSFETs em termos de eficiência do transistor.

O segundo parâmetro analisado é a tensão Early (V_{EA}). Foram extraídos os valores de V_{EA} para cinco valores de tensão de porta e traçou-se o gráfico apresentado na figura 4.18, que mostra a tendência da curva da tensão Early em função da polarização de porta para as tecnologias MOS e de tunelamento. O TFET apresenta uma tensão Early maior do que o MOSFET, uma vez que para altas tensões de dreno os mecanismos de tunelamento tem uma dependência mais fraca com a tensão de dreno do que o mecanismo de condução por deriva, no qual o dispositivo MOS se baseia.

Figura 4.18 - Tensão Early em função da tensão de porta para o TFET e o MOSFET.

Fonte: [53]

Observa-se um crescimento da tensão Early com o aumento da tensão de porta, no caso do TFET. Esse efeito pode ser explicado pelo maior nível de corrente

alcançado para valores mais altos de V_{GS} , uma vez que o valor de V_{EA} depende tanto da inclinação da curva de saída para tensões altas de porta quanto do nível de corrente. Em contraste à tendência apresentada pelo TFET, pode-se observar que a tensão Early do MOSFET permanece aproximadamente constante em -10 V com a variação da polarização de porta do dispositivo. Esse comportamento ocorre, pois, enquanto o nível de corrente aumenta com V_{GS} , a inclinação da curva de saída aumenta, ou seja, há uma degradação na característica de saída do transistor devido à resistência de saída ser inversamente proporcional à corrente de dreno [64].

A partir da eficiência do transistor e da tensão Early, calculou-se o ganho intrínseco de tensão utilizando-se a equação 12.

Baseado nesse cálculo obteve-se as curvas do ganho intrínseco de tensão para as tecnologias MOS e de tunelamento em função do coeficiente de inversão, conforme mostrado na figura 4.19. Nota-se que apesar do comportamento não-ideal do TFET em termos de corrente em estado ligado (I_{on}) e de inclinação de sublimiar, o ganho intrínseco de tensão dessa tecnologia é maior do que o dos dispositivos MOS em todos os regimes de condução analisados. Esse fato ocorre, pois, a tensão Early dos TFETs é maior do que a dos MOSFETs, como mostrado na figura 4.18, e compensa os valores menores de eficiência do transistor.

Figura 4.19 - Ganho intrínseco de tensão em função do coeficiente de inversão para TFET e MOSFET.

Fonte: [53]

Outro parâmetro analisado foi a frequência de ganho unitário, que pode ser calculada com base na seguinte equação:

$$f_T = \frac{gm}{2\pi C_{gg}}$$

onde C_{gg} é a capacitância total de porta.

A figura 4.20 e a figura 4.21 mostram, respectivamente, as curvas da transcondutância e da frequência de ganho unitário em função do coeficiente de inversão. Com o objetivo de analisar o comportamento desses parâmetros para coeficientes de inversão maiores do que 1 no caso dos TFETs, simulações foram feitas e as curvas resultantes das mesmas são as que estão tracejadas.

Observa-se que há uma diferença no comportamento de cada uma das tecnologias em termos de transcondutância. Enquanto há uma degradação da transcondutância em altas tensões de porta para os dispositivos MOS, a mesma aumenta exponencialmente para os TFETs. Essa variação no comportamento da transcondutância para cada tecnologia conduz a uma diferença na tendência da curva da frequência de ganho unitário em função do coeficiente de inversão. Além disso, os valores mais altos de transcondutância dos MOSFETs levam a valores mais altos de frequência de ganho unitário dos mesmos em comparação aos TFETs, como pode ser visto na figura 4.21.

Figura 4.20 - Transcondutância experimental e simulada em função do coeficiente de inversão para TFET e MOSFET. O inset mostra uma imagem ampliada da curva da transcondutância experimental do TFET para IC de 0,01 a 1.

Fonte: [53]

Figura 4.21 - Frequência de ganho unitário experimental e simulada em função do coeficiente de inversão para TFET e MOSFET.

Fonte: [53]

Com base nos parâmetros analisados anteriormente, calculou-se uma figura de mérito relativa ao estudo de características analógicas multiplicando-se a frequência de ganho unitário pela eficiência do transistor. As curvas desse produto em função do coeficiente de inversão para cada tecnologia estão apresentadas na figura 4.22.

Figura 4.22 - $f_T \times g_m/I_D$ em função do coeficiente de inversão para TFET e MOSFET.

Fonte: [53]

Analisando-se as curvas mostradas na figura 4.22, pode-se observar que o MOSFET apresenta uma região em que a figura de mérito atinge um valor máximo (*plateau*) para coeficientes de inversão em torno de 1, enquanto o TFET não apresenta uma região de máximo valor, uma vez que o valor do produto aumenta com o coeficiente de inversão.

4.5 Análise comparativa entre os modelos local e não-local de simulação do tunelamento entre bandas

Como mencionado na seção 3.3, o modelo utilizado na simulação para o tunelamento entre bandas foi o BBT.KANE. Conjugado a esse modelo, pode-se utilizar sua versão não-local. No caso do modelo local, a taxa de tunelamento é determinada exclusivamente com o valor do campo elétrico em um ponto específico.

No entanto, o modelo não-local considera a variação espacial das bandas de energia, possibilitando um cálculo mais preciso das taxas de geração e recombinação [55].

A figura 4.23 mostra as curvas de transferência dos nanofios com diâmetros de 15 nm e 90 nm simulados com os modelos local e não-local. A corrente está normalizada pela largura do canal ($W = \pi.D$) do nanofio.

Figura 4.23 - Corrente de dreno normalizada em função da tensão de porta para os modelos de BTBT local e não-local considerando dois diâmetros diferentes.

Fonte: [65]

Uma característica notável é a diferença entre as curvas obtidas pelo uso dos modelos local e não-local. Observa-se que para os nanofios mais largos, cujo diâmetro mede 90 nm, há uma pequena variação no comportamento do dispositivo considerando-se os dois modelos, uma vez que há uma interação bem fraca entre as superfícies diametralmente opostas do nanofio e a maior quantidade da densidade da corrente de tunelamento ocorre na região próxima à interface. Por outro lado, para os nanofios mais estreitos, cujo diâmetro mede 15 nm, pode-se observar que o BTBT é “disparado” para tensões de porta menores se simulado utilizando-se o modelo não-local ao invés do modelo local e o nível de corrente atingido é maior no caso do primeiro modelo. Essa diferença no comportamento decorrente de cada modelo de simulação pode ser justificada pelo acoplamento

eletrostático forte da porta sobre os portadores do canal e pela interação entre as superfícies diametralmente opostas do nanofio.

O modelo local não considera a interação entre as superfícies originada da simetria da estrutura do nanofio. Assim, somente uma pequena variação no nível de corrente entre os dispositivos com diâmetros grandes e pequenos pode ser observada, conforme mostrado na figura 4.24. Em adição a isso, a tensão de porta para a qual o BTBT começa a ocorrer permanece praticamente a mesma para todos os diâmetros.

Figura 4.24 - Corrente de dreno normalizada em função da tensão de porta para TFETs com diferentes diâmetros considerando o modelo local.

Fonte: [65]

Em contraste ao modelo local, as curvas simuladas obtidas pelo uso do modelo não-local de tunelamento para nanofios com diferentes diâmetros diferem uma da outra tanto no nível de corrente, quanto na tensão de porta que “dispara” o tunelamento de banda para banda, como mostrado na figura 4.25. Considerando-se essa análise, pode-se concluir que o modelo de BTBT local é suficiente para simular dispositivos com diâmetros maiores do que 30 nm. Dispositivos com valores de diâmetros menores do que 30 nm requerem simulação com o modelo não-local de tunelamento.

Figura 4.25 - Corrente de dreno normalizada em função da tensão de porta para TFETs com diferentes diâmetros considerando o modelo não-local.

Fonte: [65]

4.6 Estudo da influência da sobreposição entre porta e fonte no comportamento dos transistores de tunelamento

O estudo feito na seção 4.5 destinou-se a avaliar a diferença entre os modelos de tunelamento de banda para banda local e não-local. Utilizando-se o modelo não-local para nanofios de diferentes diâmetros, observa-se uma peculiaridade no comportamento do dispositivo cujo diâmetro mede 15 nm. Analisando-se a figura 4.26, pode-se notar que a taxa de crescimento da corrente de dreno diminui e para tensões de porta mais altas volta a aumentar. Essa “anomalia” está destacada no quadro inserido na figura 4.26 e pode ser melhor compreendida através da análise do diagrama de bandas de energia e da taxa de tunelamento de banda para banda, apresentadas na figura 4.27.

Figura 4.26 - Corrente de dreno normalizada em função da tensão de porta para TFETs com diferentes diâmetros considerando o modelo não-local. O quadro destacado mostra a peculiaridade no comportamento do dispositivo com diâmetro de 15 nm.

Fonte: [65]

Examinando-se a figura 4.27, observa-se que para uma tensão de porta de 1.7 V, o tunelamento de banda para banda ocorre somente na junção fonte/canal. No entanto, para tensões de porta maiores, uma outra sobreposição aparece entre as bandas de valência da fonte e de condução do canal, em uma região situada abaixo da extensão do eletrodo de porta sobre a fonte. Essa sobreposição entre bandas origina um segundo pico de taxa de tunelamento. Por esse motivo, um aumento no nível de corrente depois do “plateau” da curva de transferência pode ser observado no destaque da figura 4.26. É importante salientar que esse segundo pico de corrente de tunelamento ocorre somente em regiões próximas à interface silício/óxido (figura 4.27A), enquanto na região central existe somente um pico de corrente de tunelamento (figura 4.27B), devido ao menor potencial nessa região.

Figura 4.27 - Diagrama de bandas de energia e taxa de tunelamento do dispositivo para diferentes polarizações de porta, próximo à interface silício/óxido (A) e no centro do nanofio (B).

Fonte: [65]

Na figura 4.26 pode-se observar também que a corrente de dreno alcançada em altas tensões no NW-TFET de 10 nm de diâmetro é bem menor (aproximadamente 3

ordens de grandeza menor) se comparada com os nanofios de diâmetros maiores. Com o intuito de entender esse fenômeno, analisou-se as curvas simuladas obtidas pelo uso do modelo de tunelamento de banda para banda não-local com e sem sobreposição entre porta e fonte. Essas curvas estão mostradas na figura 4.28.

Figura 4.28 - Corrente de dreno normalizada em função da tensão de porta para NW-TFET com diâmetro de 10 nm com e sem sobreposição entre porta e fonte.

Fonte: [65]

Utilizando-se a estrutura sem sobreposição entre porta e fonte na simulação, obteve-se níveis de corrente maiores para altas tensões de porta. Os diagramas de banda de energia de ambas as estruturas foram analisados (figura 4.29) e fornecem evidências dessa melhora no desempenho do dispositivo.

Para altas tensões, o potencial do canal já atingiu seu valor máximo e é perceptível que o abaixamento das bandas causado pela sobreposição de porta resulta em um maior comprimento de tunelamento no dispositivo com sobreposição entre porta e fonte quando comparado àquele sem sobreposição, resultando em um modelo dominado por TAT. Nesse caso, o regime de BTBT nem é atingido devido ao abaixamento da barreira de potencial na região de fonte abaixo da extensão da porta sobre a fonte. Portanto, o nível de corrente alcançado pela estrutura sem sobreposição entre porta e fonte é maior do que o referente à estrutura com sobreposição. Esse efeito também foi reportado em [66] e pode ser assumido

considerando que o perfil de dopantes na junção de tunelamento é idealmente abrupto.

Figura 4.29 - Diagrama de bandas de energia do dispositivo simulado com e sem sobreposição entre porta e fonte para diferentes polarizações de porta.

Fonte: [65]

Com base nesses resultados, uma análise mais detalhada foi feita. Variou-se o comprimento L_{GS} da extensão da porta sobre a região da fonte entre os valores 0, 10 nm, 50 nm e 85 nm. Com a finalidade de estudar a influência desse parâmetro no comportamento do dispositivo, analisou-se a tensão para a qual o mecanismo de BTBT começa a predominar e o nível de corrente referente ao mecanismo de TAT.

Para esse estudo, simulações utilizando estruturas com diâmetro de 25 nm e perfil de dopantes abrupto na junção de tunelamento foram realizadas. Escolheu-se esse diâmetro a fim de desconsiderar seu efeito no comportamento do dispositivo, uma vez que, conforme já discutido na seção 4.3, o valor do diâmetro a partir do qual o mecanismo de tunelamento de banda para banda predomina ao longo de toda a junção fonte/canal é de 25 nm.

A figura 4.30 mostra as curvas de transferência referentes aos dispositivos simulados com os quatro valores de L_{GS} mencionados. Os mecanismos de condução

foram simulados separadamente a fim de examinar a influência de cada um deles no desempenho do transistor. As linhas tracejadas correspondem ao BTBT e as linhas pontilhadas correspondem à geração SRH combinada com o TAT. As linhas cheias correspondem à combinação dos três principais mecanismos de condução.

Figura 4.30 - Corrente de dreno em função da tensão de porta para NW-TFETs com diferentes valores de L_{GS} . As linhas tracejadas correspondem ao BTBT e as linhas pontilhadas correspondem à geração SRH e ao TAT. As linhas sólidas correspondem à combinação dos três mecanismos.

Fonte: [67]

As curvas apresentadas na figura 4.30 mostram que o nível de corrente relativo ao TAT aumenta com o aumento do valor de L_{GS} .

A tensão para a qual o tunelamento de banda para banda começa a predominar (*BTBT onset voltage*) foi extraída com base no método da energia de ativação, mencionado na seção 4.1. A tensão mínima de BTBT corresponde à tensão de porta para a qual a energia de ativação (E_A) é 0,1 eV. As curvas da energia de ativação em função da tensão de porta para os diferentes valores de L_{GS} estão mostradas na figura 4.31. Os valores extraídos da tensão mínima de BTBT estão indicados em uma tabela apresentada também na figura 4.31. Observa-se que o valor desse parâmetro também aumenta com L_{GS} .

Pode-se dizer que o aumento do nível de corrente referente ao TAT explica o deslocamento da tensão mínima de BTBT para valores maiores de V_G , se considerado um aumento de L_{GS} .

Figura 4.31 - Energia de ativação em função da tensão de porta para NW-TFETs com diferentes valores de L_{GS} .

Fonte: [67]

A relação entre a sobreposição entre porta e fonte com os parâmetros analisados também pode ser avaliada por meio dos diagramas de bandas de energia, apresentados na figura 4.32. Esses diagramas se referem ao caso em que a tensão aplicada na porta é de 1,1 V. Essa polarização corresponde à tensão mínima de BTBT da estrutura sem sobreposição entre porta e fonte ($L_{GS} = 0$).

Figura 4.32 - Diagramas de bandas de energia da fonte ao dreno de NW-TFETs com diferentes valores de L_{GS} .

Fonte: [67]

Observa-se que quanto maior é o valor de L_{GS} , mais afastadas estão parte da banda de valência da fonte e da banda de condução do canal uma da outra. Esse afastamento das bandas causa uma maior barreira de energia para o tunelamento, resultando em uma menor corrente de BTBT para a mesma tensão de porta. O diagrama de bandas também justifica a influência de L_{GS} no nível de corrente referente ao TAT. Como pode ser visto na figura 4.32, uma segunda região favorável ao tunelamento aparece na região de fonte devido à sobreposição entre porta e fonte. Portanto, um campo elétrico também surge nessa região, acarretando um aumento do nível de corrente originada por TAT, uma vez que a barreira de tunelamento não é suficientemente baixa de forma a permitir a ocorrência do tunelamento de banda para banda. Como a largura efetiva da banda de energia proibida na junção de tunelamento é menor para dispositivos com extensão mais curta da porta sobre a fonte, é possível concluir que níveis de corrente menores de TAT e maiores de BTBT levam esses dispositivos a atingir a predominância de BTBT com tensões de porta menores.

4.7 Impacto do perfil de dopantes da junção de tunelamento no desempenho do NW-TFET

Com o objetivo de analisar o impacto do perfil de dopantes localizado na junção de tunelamento, simulou-se estruturas com quatro perfis diferentes em termos de difusão lateral dos dopantes. Para simular esses diferentes perfis, alterou-se o valor do parâmetro lat.char , que está relacionado ao “decaimento” lateral do nível de dopantes relativo ao perfil gaussiano, no arquivo de simulação. A figura 4.33 ilustra os diferentes perfis simulados. Os perfis foram simulados utilizando-se diferentes valores (0,00304; 0,00804 e 0,01004) do parâmetro lat.char da distribuição gaussiana. O corte mostrado na figura foi feito longitudinalmente.

Figura 4.33 - Perfis de dopantes na junção fonte/canal utilizados nas simulações.

Fonte: [67]

A figura 4.34 mostra as curvas de transferência dos dispositivos simulados com os perfis de dopantes indicados na figura 4.33. Como o objetivo desse estudo é analisar o impacto do perfil de dopantes, utilizou-se $L_{GS} = 0$ e um diâmetro de 25 nm, pelos mesmos motivos citados na seção 4.6.

Figura 4.34 - Corrente de dreno em função da tensão de porta para NW-TFETs com diferentes perfis de dopantes na junção fonte/canal. As linhas tracejadas correspondem ao BTBT e as linhas pontilhadas correspondem à geração SRH e ao TAT. As linhas sólidas correspondem à combinação dos três mecanismos. O gráfico inserido no quadro mostra os diagramas de bandas de energia referentes a cada perfil de dopantes simulado.

Fonte: [67]

É esperado que o perfil abrupto de dopantes na junção fonte/canal resulte em uma largura efetiva menor da banda proibida na junção, como mostrado no quadro com o diagrama de bandas inserido dentro da figura 4.34. Portanto, a tensão mínima de BTBT é maior para NW-TFETs com um perfil de concentração de dopantes menos abrupto. Examinando-se as curvas de transferência simuladas considerando o tunelamento por armadilhas separadamente (linhas pontilhadas), pode-se observar que quanto menos abrupto é o perfil de dopantes na junção, maior é o nível de corrente proveniente do TAT.

5 Conclusões e trabalhos futuros

5.1 Conclusões

Neste trabalho foi apresentado um estudo envolvendo os transistores de tunelamento de efeito de campo (TFET) construídos em estrutura de nanofio vertical, com a finalidade de analisar suas potencialidades para aplicações em tecnologias avançadas.

Os três principais mecanismos de condução presentes no funcionamento do TFET são o tunelamento entre bandas (BTBT), o tunelamento assistido por armadilha (TAT) e a geração SRH. A predominância de cada mecanismo está relacionada com a polarização de porta e com a região do dispositivo em determinada condição de polarização. A geração SRH é o principal mecanismo responsável pelo aumento da corrente de fuga, o TAT é o principal mecanismo responsável pela degradação da inclinação de sublimiar e o BTBT é o mecanismo através do qual o dispositivo alcança maiores níveis de corrente de dreno. Portanto, busca-se maximizar o tunelamento entre bandas e minimizar os efeitos do TAT e da geração SRH.

Como uma das alternativas apresentadas para melhora no desempenho do TFET é o uso de diferentes materiais de fonte, estudou-se a diferença de comportamento entre os transistores de fonte de silício e os de fonte de $\text{Si}_{73}\text{Ge}_{27}$. O segundo material resultou em correntes mais altas, devido ao menor valor de banda proibida (E_g) apresentado pelo mesmo. Três métodos foram utilizados para a comparação dos valores da transcondutância (g_m), condutância de saída (g_d) e ganho intrínseco de tensão (A_v) desses dispositivos. A tabela 5.1 mostra uma comparação geral entre os diferentes materiais em termos dos parâmetros analisados. O ganho intrínseco de tensão dos dispositivos é da mesma ordem, com uma certa discrepância dependendo do método de comparação. Como A_v é definido pela relação entre g_m e g_d , e cada um desses parâmetros é maior para um material, o valor do ganho se manteve próximo para os dois dispositivos.

Tabela 5.1 - Comparação entre os NW-TFETs com diferentes materiais de fonte. Os símbolos +, - e 0 representam, respectivamente, maior, menor e igual.

Parâmetro	Si	Si ₇₃ Ge ₂₇
Transcondutância	-	+
Resistência de saída (1/gd)	+	-
Ganho intrínseco de tensão	=	=

Fonte: autor.

Estudou-se também a influência do diâmetro nos parâmetros analógicos dos mesmos dispositivos. Nesse caso, em que os resultados foram obtidos experimentalmente, considerou-se somente diâmetros grandes (aproximadamente 120nm, 140nm e 160nm). Observou-se um maior nível de corrente no nanofio mais largo, devido à maior área de condução do mesmo. Também por essa razão observou-se valores maiores de g_m e g_d para maiores diâmetros de nanofio.

Extrapolando-se por simulação para diâmetros menores do que os experimentais, estudou-se o impacto do mesmo nos parâmetros analógicos considerando diferentes polarizações de porta (regimes de “inversão”).

Considerando altas tensões de porta ($V_G = 1,9$ V), observou-se uma degradação no ganho intrínseco com a redução do diâmetro. Essa tendência foi explicada através das interações entre as superfícies diametralmente opostas do nanofio devido à sua simetria. No caso dos nanofios mais estreitos ($D < 30$ nm), há uma predominância de BTBT ao longo de toda a junção de tunelamento. Outra consequência dessa interação é a redução do valor de V_G que “dispara” o mecanismo de BTBT. Nessas condições de polarização, observou-se uma maior eficiência (g_m/I_D) nos nanofios mais largos.

Considerando baixas tensões de porta e consequentemente baixas correntes de dreno ($I_D = 4 \cdot 10^{-11}$ A/ μ m), observou-se melhores valores de g_m/I_D nos dispositivos mais estreitos, ou seja, a tendência inversa àquela observada no regime de “inversão forte”. O ganho intrínseco nessas condições de polarização apresentou um valor máximo para um diâmetro de aproximadamente 25 nm. Concluiu-se que há uma competição entre dois efeitos, que causam degradação do valor de A_v para diâmetros menores e diâmetros maiores do que o de máximo A_v . Esses efeitos são o aumento da eficiência g_m/I_D e o decréscimo da tensão Early com a redução do diâmetro.

Portanto, através dessas análises, pode-se concluir que os NW-TFETs com diâmetros pequenos mostram potencial para aplicações de baixa tensão e baixa potência, uma vez que o ganho intrínseco dos mesmos é melhor para baixas tensões de porta se comparados aos dispositivos com diâmetros grandes.

Para uma melhor compreensão das potencialidades dos TFETs no campo das aplicações analógicas, comparou-se essa nova e promissora tecnologia com a tecnologia MOS. Apesar do MOSFET apresentar maiores níveis de corrente do que o TFET, o último mostrou maiores valores de ganho intrínseco de tensão, visto que a condutância de saída extraída do MOSFET é de aproximadamente 6 ordens de magnitude maior do que a do TFET, devido à melhor característica de saída do transistor de tunelamento. Analisando-se a eficiência e a tensão Early de ambas as tecnologias em função do coeficiente de inversão, que depende da tensão de porta, observou-se que o ganho intrínseco de tensão do TFET é maior em todos os regimes de condução, se comparado ao MOSFET. Além desse parâmetro, concluiu-se que devido ao crescimento contínuo da transcondutância e à diferente tendência da frequência de ganho unitário em função do coeficiente de inversão, a figura de mérito que consiste na multiplicação da eficiência do transistor pela frequência de ganho unitário somente cresce com o aumento do coeficiente de inversão nos TFETs e sua curva não apresenta um *plateau* (ou ponto de máximo) como no caso dos MOSFETs.

A fim de compreender melhor os modelos de simulação, comparou-se os modelos de BTBT local e não-local, analisando-se em que condições a escolha por utilizar um ou outro se torna relevante. Devido às interações entre as superfícies do nanofio e ao forte acoplamento eletrostático da porta sobre os portadores do canal nos dispositivos mais estreitos, concluiu-se que o modelo não-local mostra resultados mais precisos para dispositivos com diâmetro menor do que 30 nm, uma vez que esse modelo considera a variação espacial das bandas de energia na região de tunelamento.

Algumas peculiaridades foram identificadas nas curvas de transferência dos nanofios mais estreitos ($D < 30$ nm) e analisando-se os diagramas de bandas de energia, concluiu-se que a causa dessas “anomalias” é a sobreposição entre porta e fonte. Na região em que o eletrodo de porta se estende sobre a região da fonte há um abaixamento das bandas quando uma tensão positiva é aplicada, causando um

afastamento entre uma parte da banda de valência da fonte e uma parte da banda de condução do canal. Esse afastamento entre uma parte das bandas origina uma diminuição da corrente referente ao tunelamento de banda para banda e um aumento da corrente referente ao tunelamento por armadilhas. Um aumento da tensão mínima de BTBT também foi observado.

Além da sobreposição entre porta e fonte, analisou-se também o impacto do perfil de dopantes localizado na junção de tunelamento no desempenho dos TFETs. Concluiu-se que quanto mais abrupto é o perfil de dopantes na junção, menor é a largura efetiva da banda proibida de energia e, portanto, maior é a corrente de BTBT e menor é a tensão mínima de BTBT do dispositivo.

5.2 Trabalhos futuros

Como trabalho futuro, propõe-se o estudo de novos materiais e análise de sua influência no comportamento do transistor. Propõe-se também o estudo de novas características do TFET, como a análise de ruídos e medidas pulsadas.

Outra proposta de trabalho futuro é o estudo do impacto do deslocamento do perfil não abrupto de dopantes da junção de tunelamento no desempenho do NW-TFET.

PUBLICAÇÕES GERADAS DURANTE O MESTRADO ATÉ O MOMENTO

Publicações em congressos

V. B. Sivieri, Agopian, P. G. D., J. A. Martino, R. Rooyackers, A. Vandooren, E. Simoen, A. Thean e C. Claeys, "Comparative Study of Vertical GAA TFETs and GAA MOSFETs in Function of the Inversion Coefficient," *Proceedings of Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, 2016.

C. C. M. Bordallo, V. B. Sivieri, Agopian, P. G. D., J. A. Martino, R. Rooyackers, A. Vandooren, E. Simoen, A. Thean e C. Claeys, "Influence of the Ge amount at the source on transistor efficiency of vertical gate all around TFETs for different conduction regimes," *Proceedings of Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, 2016.

V. B. Sivieri, P. G. D. Agopian e J. A. Martino, "Impact of Diameter on TFET Conduction Mechanisms," *Proceedings of 30th Symposium on Microelectronics Technology and Devices (SBMicro)*, 2015.

V. B. Sivieri, C. C. M. Bordallo, P. G. D. Agopian, J. A. Martino, R. Rooyackers, A. Vandooren, E. Simoen, A. Thean e C. Claeys, "Vertical Nanowire TFET Diameter Influence on Intrinsic Voltage Gain for Different Inversion Conditions," *Proceedings of ECS Meeting*, 2015.

C. C. M. Bordallo, V. B. Sivieri, J. A. Martino, P. G. D. Agopian, R. Rooyackers, A. Vandooren, E. Simoen, A. Thean e C. Claeys, "Impact of the diameter of vertical nanowire-tunnel FETs with Si and SiGe source composition on analog parameters," *Proceedings of Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, pp. 253-256, 2015.

V. B. Sivieri, P. J. Wessely, U. Schwalke, P. G. D. Agopian e J. A. Martino, "Graphene for advanced devices applications," *Proceedings of 29th Symposium on Microelectronics Technology and Devices (SBMicro)*, 2014.

Artigos submetidos para periódico internacional

C. C. M. Bordallo, V. B. Sivieri, J. A. Martino, P. G. D. Agopian, R. Rooyackers, A. Vandooren, E. Simoen, A. Thean e C. Claeys, "Impact of the NW-TFET diameter on the efficiency and the intrinsic voltage gain from a conduction regime perspective," *Transactions on Electron Devices*. Submetido.

V. B. Sivieri, C. C. M. Bordallo, P. G. D. Agopian e J. A. Martino, "Analysis of silicon NW-TFETs regarding gate/source overlap length, source doping profile and nanowire diameter," *Semiconductor Science and Technology*. Submetido.

REFERÊNCIAS

- [1] MOLLICK, E. Establishing Moore's Law. **Annals of the History of Computing, IEEE**, v. 28, n 3, p. 62-75.
- [2] COLINGE, J.-P. **FinFETs and other multi-gate transistors**. Local: Springer, 2008.
- [3] BERNSTEIN, K.; CAVIN, R. K.; POROD, W.; SEABAUGH, A.; WELSER, E J. Device and Architecture Outlook for Beyond CMOS Switches. **Proceedings of the IEEE**, v. 98, n. 12, p. 2169-2184, 2010.
- [4] COLINGE, J.-P. **Silicon-on-insulator technology: materials to VLSI**, Local: Springer, 2004.
- [5] IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, v. 479, p. 329-337, 2011.
- [6] TRIVEDI, A. R.; AMIR, M. F.; MUKHOPADHYAY, S. Ultra-low Power Electronics with Si/Ge Tunnel FET. In: PROC. DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION (DATE), **Conference...** Local: p. 1-6, 2014.
- [7] CHOI, W. Y.; PARK, B.-G.; LEE, J. D.; LIU, T.-J. K. Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec. **Electron Device Letters, IEEE**, v. 28, p. 743-745, 2007.
- [8] APPENZELLER, J.; LIN, Y.-M.; KNOCH, J.; AVOURIS, P. Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors, **Physical Review Letters**, v. 93, p. 196805, 2004.
- [9] MAYER, F.; LE ROYER, C.; DAMLENCOURT, J.-F.; ROMANJEK, K.; ANDRIEU, F.; TABONE, C.; PREVITALI, B.; DELEONIBUS, S. Impact of SOI, Si_{1-x}Ge_xOI and GeOI substrates on CMOS compatible Tunnel FET performance, **Proc. Int. Electron Devices Meeting**, p. 163-166, 2008.
- [10] JEON, K.; LOH, W.-Y.; PATEL, P.; KANG, C. Y.; OH, J.; BOWONDER, A.; PARK, C.; PARK, C. S.; SMITH, C.; MAJHI, P.; TSENG, H.-H.; JAMMY, R.; LIU, T.-J. K.; HU, C. Si tunnel transistors with a novel silicided source and 46mV/dec swing, **Proc. Very Large Scale Integr. (VLSI) Technol. Symp.**, p. 121-122, 2010.
- [11] LEONELLI, D.; VANDOOREN, A.; ROOYACKERS, R.; VERHULST, A. S.; GENDT, S. D.; HEYNS, M. M.; GROESENEKEN, G. Performance enhancement in multi gate tunneling field effect transistors by scaling the fin-width, **Japanese Journal of Applied Physics**, v. 49, p. 04DC10, 2010.

- [12] KRISHNAMOHAN, T.; KIM, D.; RAGHUNATHAN, S.; SARASWAT, K. Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) with record high drive currents and <60mV/dec subthreshold slope, **Proc. Int. Electron Devices Meeting**, p. 947-949, 2008.
- [13] KIM, S. H.; KAM, H.; HU, C.; LIU, T.-J. K. Germanium-source tunnel field effect transistors with record high ION/IOFF, **Proc. Very Large Scale Integr. (VLSI) Technol. Symp.**, p. 178-179, 2009.
- [14] KNOCH, J.; APPENZELLER, J. Modeling of High-Performance p-Type III–V Heterojunction Tunnel FETs, **IEEE ELECTRON DEVICE LETTERS**, v. 31, p. 305-307, 2010.
- [15] WANG, L.; YU, E.; TAUR, Y.; ASBECK, P. Design of Tunneling Field-Effect Transistors Based on Staggered Heterojunctions for Ultralow-Power Applications, **IEEE ELECTRON DEVICE LETTERS**, v. 31, p. 431-433, 2010.
- [16] YOON, Y.; NIKONOV, D. E.; SALAHUDDIN, S. Scaling Study of Graphene Transistors, **Proc. IEEE International Conference on Nanotechnology**, p. 1568-1571, 2011.
- [17] LEE, M. H.; WEI, Y.-T.; LIN, J.-C.; CHEN, C.-W.; TU, W.-H.; TANG, M. Ferroelectric gate tunnel field-effect transistors with low-power steep turn-on, **AIP Advances**, v. 4, p. 107117, 2014.
- [18] KOSWATTA, S. O.; KOESTER, S. J.; HAENSCH, W. 1D Broken-gap Tunnel Transistor with MOSFET-like On-currents and Sub-60mV/dec Subthreshold Swing, **Proc. Int. Electron Devices Meeting**, p. 37.5.1-37.5.4, 2009.
- [19] VERHULST, A. S.; SORÉE, B.; LEONELLI, D.; VANDENBERGHE, W. G.; GROESENEKEN, G. Modeling the single-gate, double-gate, and gate-all-around tunnel field-effect transistor, **Journal of Applied Physics**, v. 107, p. 024518, 2010.
- [20] SASAKI, S.; TATENO, K.; ZHANG, G.; SUOMINEN, H.; HARADA, Y.; SAITO, S.; FUJIWARA, A.; SOGAWA, T.; MURAKI, K.; Encapsulated gate-all-around InAs nanowire field-effect transistors, **Applied Physics Letters**, v. 103, p. 213502, 2013.
- [21] MORITA, Y.; MORI, Y.; MIGITA, S.; MIZUBAYASHI, W.; TANABE, A.; FUKUDA, K.; MATSUKAWA, T.; ENDO, K.; O'UCHI, S.; LIU, Y. X.; MASAHARA, M.; OTA, H. Performance limit of parallel electric field tunnel FET and improvement by modified gate and channel configurations, **Proceedings of the European Solid-State Device Research Conference (ESSDERC)**, p. 45-48, 2013.
- [22] SANDOW, C.; KNOCH, J.; URBAN, C.; ZHAO, Q.-T.; MANTL, S. Impact of electrostatics and doping concentration on the performance of silicon tunnel field-effect transistors, **Solid-State Electronics**, v. 53, p. 1126–1129, 2009.

- [23] STREETMAN, B. G.; BANERJEE, S. K. **Solid State Electronic Devices**. Local: PHI Learning Private Limited, 2009.
- [24] HRAZIIA; VLADIMIRESCU, A.; AMARA, A.; ANGHEL, C. An analysis on the ambipolar current in Si double-gate tunnel FETs, **Solid-State Electronics**, v. 70, p. 67-72, 2012.
- [25] AGOPIAN, P.; MARTINO, M.; FILHO, S.; MARTINO, J.; ROOYACKERS, R.; LEONELLI, D.; CLAEYS, C. Temperature impact on the tunnel fet off-state current components, **Solid-State Electronics**, v. 78, p. 141-146, 2012.
- [26] AGOPIAN, P. G. D.; MARTINO, M. D. V.; MARTINO, J. A.; ROOYACKERS, R.; LEONELLI, D.; CLAEYS, C. Experimental Analog Performance of pTFETs as a Function of Temperature, **Proc. of IEEE Intern. SOI Conference**, p. 1-2, 2012.
- [27] SAH, C.-T.; NOYCE, R. N.; SHOCKLEY, W. Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics, **Proceedings of the IRE**, v. 45, p. 1228-1243, 1957.
- [28] ERNST, T.; CRISTOLOVEANU, S.; VANDOOREN, A.; RUDENKO, T.; COLINGE, J.-P. Recombination Current Modeling and Carrier Lifetime Extraction in Dual-Gate Fully-Depleted SOI Devices, **IEEE Transactions on Electron Devices**, v. 46, p. 1503-1509, 1999.
- [29] CHYNOWETH, A. G.; FELDMANN, W. L.; LOGAN, R. A. Excess Tunnel Current in Silicon Esaki Junctions, **Physical Review**, v. 121, p. 684-694, 1961.
- [30] MOOKERJEA, S.; MOHATA, D.; MAYER, T.; NARAYANAN, V.; DATTA, S. Temperature-Dependent I-V Characteristics of a Vertical In_{0.53}Ga_{0.47}As Tunnel FET, **IEEE Electron Device Letters**, v. 31, p. 564-566, 2010.
- [31] SCHENK, A. A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon, **Solid-State Electronics**, v. 35, p. 1585-1596, 1992.
- [32] SZE, S. M. **Physics of Semiconductor Devices**. Local: John Wiley & Sons.
- [33] KNOCH, J.; APPENZELLER, J. A novel concept for field-effect transistors - the tunneling carbon nanotube FET, **Device Research Conference Digest**, v. 1, p. 153-156, 2005.
- [34] RICHTER, S.; BLAESER, S.; KNOLL, L.; TRELLENKAMP, S.; SCHAEFER, A.; HARTMANN, J. M.; ZHAO, Q. T.; MANTL, S. SiGe on SOI nanowire array TFETs with homo- and heterostructure tunnel junctions, **Proc. of 14th International Conference on Ultimate Integration on Silicon (ULIS)**, p. 25-28, 2013.
- [35] CHAKRABORTY, A.; SARKAR, A. Investigation of analog/RF performance of staggered heterojunctions based nanowire tunneling field-effect transistors,

Superlattices and Microstructures, v. 80, p. 125-135, 2015.

- [36] AGOPIAN, P. G. D.; SANTOS, S. D.; NEVES, F. S.; MARTINO, J. A.; VANDOOREN, A.; ROOYACKERS, R.; SIMOEN, E.; CLAEYS, C. NW-TFET analog performance for different Ge source compositions, **Proceedings of SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)**, p. 1-2, 2013.
- [37] LIND, E.; MEMIŠEVIĆ, E.; DEY, A. W.; WERNERSSON, L.-E. III-V Heterostructure Nanowire Tunnel FETs, **IEEE Journal of the Electron Devices Society**, 2015.
- [38] AGARWAL, T. K.; NOURBAKHS, A.; RAGHAVAN, P.; RADU, I.; GENDT, S. D.; HEYNS, M.; VERHELST, M.; THEAN, A. Bilayer Graphene Tunneling FET for Sub-0.2 V Digital CMOS Logic Applications, **IEEE Electron Device Letters**, v. 35, p. 1308-1310, 2014.
- [39] ZHANG, Q.; FANG, T.; XING, H.; SEABAUGH, A.; JENA, D. Graphene Nanoribbon Tunnel Transistors, **IEEE Electron Device Letters**, v. 29, p. 1344-1346, 2008.
- [40] APPENZELLER, J.; LIN, Y.-M.; KNOCH, J.; CHEN, Z.; AVOURIS, P. Comparing carbon nanotube transistors - the ideal choice: a novel tunneling device design, **IEEE Transactions on Electron Devices**, v. 52, p. 2568-2576, 2005.
- [41] SEABAUGH, A. C.; ZHANG, Q. Low-Voltage Tunnel Transistors for Beyond CMOS Logic, **Proceedings of the IEEE**, v. 98, p. 2095-2110, 2010.
- [42] MORITA, Y.; MORI, T.; MIGITA, S.; MIZUBAYASHI, W.; TANABE, A.; FUKUDA, K.; MATSUKAWA, T.; ENDO, K.; O'UCHI, S.-I.; LIU, Y.; MASAHARA, M.; OTA, H. Performance evaluation of parallel electric field tunnel field-effect transistor by a distributed-element circuit model, **Solid-State Electronics**, v. 102, p. 82-86, 2014.
- [43] BJÖRK, M. T.; KNOCH, J.; SCHMID, H.; RIEL, H.; RIESS, W. Silicon nanowire tunneling field-effect transistors, **Applied Physics Letters**, v. 92, p. 193504, 2008.
- [44] AUTH, C. P.; PLUMMER, J. D. Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's, **IEEE Electron Device Letters**, v. 18, p. 74-76, 1997.
- [45] YAN, R.-H.; OURMAZD, A.; LEE, K. F. Scaling the Si MOSFET: From Bulk to SOI to Bulk, **IEEE Transactions on Electron Devices**, v. 39, p. 1704-1710, 1992.
- [46] MARTINO, J.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. Local: Thomson, 2003.

- [47] ORTIZ-CONDE, A.; SÁNCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y. A review of recent MOSFET threshold voltage extraction methods, **Microelectronics Reliability**, v. 42, p. 583-596, 2002.
- [48] BOUCART, K.; IONESCU, A. M. A new definition of threshold voltage in Tunnel FETs, **Solid-State Electronics**, v. 52, p. 1318-1323, 2008.
- [49] ORTIZ-CONDE, A.; GARCÍA-SÁNCHEZ, F. J.; MUCI, J.; SUCRE-GONZÁLEZ, A.; MARTINO, J. A.; AGOPIAN, P. G. D.; CLAEYS, C. Threshold voltage extraction in Tunnel FETs, **Solid-State Electronics**, v. 93, p. 49-55, 2014.
- [50] ZHANG, Q.; ZHAO, W.; SEABAUGH, A. Low-Subthreshold-Swing Tunnel Transistors, **IEEE Electron Device Letters**, v. 27, p. 297-300, 2006.
- [51] FLANDRE, D.; FERREIRA, L. F.; JESPERS, P. G. A.; COLINGE, J.-P. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits, **Solid-State Electronics**, v. 39, p. 455-460, 1996.
- [52] SANSEN, W. M. C. **Analog Design Essentials**. Local: Springer, 2006.
- [53] SIVIERI, V. B.; AGOPIAN, P. G. D.; MARTINO, J. A.; ROOYACKERS, R.; VANDOOREN, A.; SIMOEN, E.; THEAN, A.; CLAEYS, C. Comparative Study of Vertical GAA TFETs and GAA MOSFETs in Function of the Inversion Coefficient, **Proceedings EUROSIOI-ULIS 2016**, 2016.
- [54] VANDOOREN, A.; LEONELLI, D.; ROOYACKERS, R.; ARSTILA, K.; GROESENKEN, G.; HUYGHEBAERT, C. Electrical results of vertical Si N-Tunnel FETs, **Proceedings of the European Solid-State Device Research Conference (ESSDERC)**, p. 255-258, 2011.
- [55] **Silvaco Atlas 2014 User's Manual**, 2014.
- [56] SLOTBOOM, J. W. The pn-product in silicon, **Solid-State Electronics**, v. 20, p. 279-283, 1977.
- [57] KANE, E. O. Zener tunneling in semiconductors, **Journal of Physics and Chemistry of Solids**, v. 12, p. 181-188, 1960.
- [58] ROOYACKERS, R.; VANDOOREN, A.; VERHULST, A. S.; WALKE, A.; DEVRIENDT, K.; LOCOROTONDO, S.; DEMAND, M.; BRYCE, G.; LOO, R.; HIKAVYY, A.; VANDEWEYER, T.; HUYGHEBAERT, C.; COLLAERT, N.; THEAN, A. A New Complementary Hetero-Junction Vertical Tunnel-FET Integration Scheme, **IEEE International Electron Devices Meeting (IEDM)**, p. 4.2.1-4.2.4, 2013.
- [59] BRAUNSTEIN, R.; MOORE, A. R.; HERMAN, F. Intrinsic Optical Absorption in Germanium-Silicon Alloys, **Physical Review**, v. 109, p. 695-710, 1958.
- [60] BORDALLO, C. C. M.; SIVIERI, V. B.; MARTINO, J. A.; AGOPIAN, P. G. D.; ROOYACKERS, R.; VANDOOREN, A.; SIMOEN, E.; THEAN, A.; CLAEYS, C.

Impact of the diameter of vertical nanowire-tunnel FETs with Si and SiGe source composition on analog parameters, **Proceedings of Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)**, p. 253-256, 2015.

- [61] VANDOOREN, A.; LEONELLI, D.; ROOYACKERS, R.; HIKAVYY, A.; DVRIENDT, K.; DEMAND, M.; LOO, R.; GROESENEKEN, G.; HUYGHEBAERT, C. Analysis of trap-assisted tunneling in vertical Si homo-junction and SiGe hetero-junction Tunnel-FETs, **Solid-State Electronics**, v. 83, p. 50-55, 2013.
- [62] MARTINO, M. D. V.; NEVES, F.; AGOPIAN, P. G. D.; MARTINO, J. A.; VANDOOREN, A.; ROOYACKERS, R.; SIMOEN, E.; THEAN, A.; CLAEYS, C. Analog performance of vertical nanowire TFETs as a function of temperature and transport mechanism, **Solid-State Electronics**, v. In Press, 2015.
- [63] SIVIERI, V. B.; BORDALLO, C. C. M.; AGOPIAN, P. G. D.; MARTINO, J. A.; ROOYACKERS, R.; VANDOOREN, A.; SIMOEN, E.; THEAN, A.; CLAEYS, C. Vertical Nanowire TFET Diameter Influence on Intrinsic Voltage Gain for Different Inversion Conditions, **Proceedings of ECS Meeting**, 2015.
- [64] SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 2007.
- [65] SIVIERI, V. B.; AGOPIAN, P. G. D.; MARTINO, J. A. Impact of Diameter on TFET Conduction Mechanisms, **Microelectronics Technology and Devices (SBMicro), 2015 30th Symposium on**, p. 1-4, 2015.
- [66] CHATTOPADHYAY, A.; MALLIK, A. Impact of a Spacer Dielectric and a Gate Overlap/Underlap on the Device Performance of a Tunnel Field-Effect Transistor, **IEEE Trans. On Electron Devices**, v. 58, p. 677-683, 2011.
- [67] SIVIERI, V. B.; BORDALLO, C. C. M.; AGOPIAN, P. G. D.; MARTINO, J. A. Analysis of Silicon NW-TFETs regarding Gate/Source Overlap, Doping Profile and Diameter.

APÊNDICE A – Arquivo de simulação

```
#-----
#auto-alinhado
#nTFET

go atlas
#
#
mesh space.mult=1.0
#
x.mesh loc=-0.290 spac=0.05
x.mesh loc=-0.285 spac=0.05
x.mesh loc=-0.120 spac=0.0005
x.mesh loc=-0.110 spac=0.0005
x.mesh loc=-0.100 spac=0.0005
x.mesh loc=-0.095 spac=0.002
x.mesh loc=-0.080 spac=0.005
x.mesh loc=0.095 spac=0.002
x.mesh loc=0.100 spac=0.0005
x.mesh loc=0.110 spac=0.0005
x.mesh loc=0.120 spac=0.0005
x.mesh loc=0.285 spac=0.05
x.mesh loc=0.290 spac=0.05
QTX.MESH LOCATION=-0.17 SPACING=0.0005
QTX.MESH LOCATION=-0.02 SPACING=0.0005

y.mesh loc=-0.0515 spac=0.0005
y.mesh loc=-0.0395 spac=0.0005
y.mesh loc=0.0395 spac=0.0005
y.mesh loc=0.0515 spac=0.0005
QTY.MESH LOCATION=-0.045 SPACING=0.0005
QTY.MESH LOCATION=0.045 SPACING=0.0005

#
#
# REGIONS OF STRUCTURE
#
region      num=2 x.min=-0.290 x.max=0.290 y.min=-0.0515 y.max=-
0.045 oxide
region      num=3 x.min=-0.285 x.max=0.285 y.min=-0.045
y.max=0.045 silicon
region      num=4 x.min=-0.290 x.max=0.290 y.min=0.045
y.max=0.0515 oxide
#
#
#
#***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
```

```

electrode      name=gate      x.min=-0.195 x.max=0.010 y.min=-0.0515
y.max=-0.0466
electrode      name=source x.min=-0.290 x.max=-0.285 y.min=-0.045
y.max=0.045
electrode      name=drain     x.min=0.285 x.max=0.290 y.min=-0.045
y.max=0.045
electrode      name=gate2    x.min=-0.195 x.max=0.010 y.min=0.0466
y.max=0.0515

#
#***** define the doping concentrations *****
#
#canal
doping          uniform conc=1e16 n.type region=3 x.min=-0.110
x.max=0.110 y.min=-0.045 y.max=0.045

# fonte
doping          uniform p.type conc=3e19 region=3 x.min=-0.285
x.max=-0.110 y.min=-0.045 y.max=0.045

# dren
doping          uniform n.type conc=2e19 region=3 x.min=0.110
x.max=0.285 y.min=-0.045 y.max=0.045

structure outf=d15_90nonlocal.str

# set interface charge separately on front and back oxide interfaces
interf          qf=4.4e12 y.min=-0.045 y.max=-0.0445
interf          qf=4.4e12 y.min=0.0445 y.max=0.045

# set workfunction of gate
contact         name=gate n.poly workfunc=4.7
contact         name=gate2 n.poly common=gate workfunc=4.7
#
#

# select models

models shi bgn klaaug fldmob print temp=300 bbt.kane srh
trap.tunnel BBT.A_KANE= 1E21 mass.tunnel=0.3 BBT.B_KANE= 5E7
bbt.nonlocal qtunn.dir=1

MATERIAL taup0=3E-8
MATERIAL taun0=3E-8

#
#
solve init

```

```

#
# do IDVG characteristic
#
method      newton      autonr  trap  maxtrap=10
solve      prev
solve      vdrain=0.05
solve      vdrain=0.1
solve      vdrain=0.4
solve      vdrain=0.6
solve      vdrain=0.9
solve      vdrain=1.2
solve      vdrain=1.5

#
#

#
# ramp gate voltage
#
log          outf=d15_90nonlocal.log

solve      vgate=-0.5 vstep=0.01 name=gate  vfinal=0

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg0.str

solve      vstep=0.01 name=gate  vfinal=0.1

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg01.str

solve      vstep=0.01 name=gate  vfinal=0.2

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg02.str

solve      vstep=0.01 name=gate  vfinal=0.3

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg03.str

solve      vstep=0.01 name=gate  vfinal=0.4

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg04.str

solve      vstep=0.01 name=gate  vfinal=0.5

output qfn qfp con.band val.band

structure outf=d15_90nonlocal_vg05.str

```

```
solve          vstep=0.01 name=gate  vfinal=0.6
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg06.str
solve          vstep=0.01 name=gate  vfinal=0.7
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg07.str
solve          vstep=0.01 name=gate  vfinal=0.8
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg08.str
solve          vstep=0.01 name=gate  vfinal=0.9
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg09.str
solve          vstep=0.01 name=gate  vfinal=1
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg1.str
solve          vstep=0.01 name=gate  vfinal=1.1
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg11.str
solve          vstep=0.01 name=gate  vfinal=1.2
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg12.str
solve          vstep=0.01 name=gate  vfinal=1.3
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg13.str
solve          vstep=0.01 name=gate  vfinal=1.4
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg14.str
solve          vstep=0.01 name=gate  vfinal=1.5
```

```
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg15.str
solve          vstep=0.01 name=gate vfinal=1.6
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg16.str
solve          vstep=0.01 name=gate vfinal=1.7
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg17.str
solve          vstep=0.01 name=gate vfinal=1.8
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg18.str
solve          vstep=0.01 name=gate vfinal=1.9
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg19.str
solve          vstep=0.01 name=gate vfinal=2
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg2.str
solve          vstep=0.01 name=gate vfinal=2.1
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg21.str
solve          vstep=0.01 name=gate vfinal=2.2
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg22.str
solve          vstep=0.01 name=gate vfinal=2.3
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg23.str
solve          vstep=0.01 name=gate vfinal=2.4
output qfn qfp con.band val.band
```

```
structure outf=d15_90nonlocal_vg24.str
solve      vstep=0.01 name=gate vfinal=2.5
output qfn qfp con.band val.band
structure outf=d15_90nonlocal_vg25.str

#-----

quit
```