HUGO DANIEL HERNÁNDEZ HERRERA

**PROJETO DE UM CONVERSOR
DIGITAL-ANALÓGICO PARA UM TRANSMISSOR
BLUETOOTH EM TECNOLOGIA CMOS.**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do Título de Mestre em
Engenharia Elétrica

São Paulo

2008

HUGO DANIEL HERNÁNDEZ HERRERA

**PROJETO DE UM CONVERSOR
DIGITAL-ANALÓGICO PARA UM TRANSMISSOR
BLUETOOTH EM TECNOLOGIA CMOS.**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do Título de Mestre em
Engenharia Elétrica

Área de concentração:
Microeletrônica.

Orientador:
Wilhelmus A. M. Van Noije

São Paulo
2008

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 19 de setembro de 2008

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Hernández, Herrera Hugo Daniel

Projeto de um conversor digital-analógico para um transmissor Bluetooth em tecnologia CMOS

Hugo Daniel Hernández Herrera - São Paulo, 2008.

84p

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Conversor digital-analógico 2. DAC CMOS
3. Arquitetura current-steering 4. Circuitos integrados
I Universidade de São Paulo. Escola Politécnica.
Departamento de Engenharia de Sistemas Eletrônicos

A mi madre, *Isabel*

A mi padre, *Daniel*

A mis hermanas, *Laura, Danitza y Vanessa*

A mi novia, *Beatriz*

AGRADECIMIENTOS

Agradeço a meu orientador, Dr. Wilhelmus A. M. Van Noijs, pelos seus valiosos conselhos e pela oportunidade de desenvolver este trabalho na Universidade de São Paulo. Também ao professor Dr. João Navarro Soares obrigado pelas tantas sugestões para este trabalho.

À *Coordenação de Aperfeiçoamento de Pessoal de Nível Superior* (CAPES) que me outorgou a bolsa de estudo para minha estadia no Brasil. Também à *Fundação de Amparo e Pesquisa do Estado de São Paulo* (FAPESP) que financiou a fabricação dos circuitos integrados.

Ao Laboratório de Sistemas Integráveis (LSI) por facilitar suas infra-estruturas físicas.

Ao pessoal do DMPSV, colombianos e brasileiros por sua ajuda neste trabalho.

Agradeço especialmente ao Professor MSc Elkim Felipe Roa, por quem tenho uma gratidão especial, por me ajudar a chegar aqui e por me motivar a acreditar na Microeletrônica.

RESUMO

Este trabalho apresenta o projeto de um conversor digital-analógico (DAC) para ser usado em um transmissor RF no padrão *Bluetooth*.

Um DAC é usado em um transmissor RF por que os sinais processados digitalmente devem ser transmitidos analogicamente para outras estações de rádio. Nesta aplicação especificações do conversor como: frequência de amostragem, resolução, Faixa dinâmica livre de espúrios (SFDR), Relação sinal-ruído (SNR) e não-linearidade integral e diferencial (INL e DNL), são determinadas pelo padrão de modulação do transmissor RF que neste trabalho é *Bluetooth*. Além de baixo consumo de potência e de área, condições necessárias para implementar um sistema portátil. A arquitetura *current-steering* segmentada é adequada para este tipo de aplicação. Esta arquitetura se baseia em um conjunto de fontes de corrente, as quais são comutadas para gerar uma tensão de saída.

O projeto das fontes de corrente num DAC *current steering* determina o comportamento dinâmico e estático. No entanto, na literatura muitos trabalhos não têm uma boa estratégia de projeto. Como uma solução, este trabalho apresenta um estudo das variáveis e uma estratégia para o projeto de um DAC nesta arquitetura. A estratégia de projeto proposta para as fontes de corrente, consiste em um processo iterativo onde as variáveis são ajustadas de maneira simples, cumprindo os requerimentos, minimizando o consumo de potência e atingindo as especificações. Além disso, neste trabalho é incluída uma análise teórica dos requerimentos estáticos e dinâmicos, além de uma nova estratégia para a implementação do layout com a qual se obtém um baixo consumo de área.

O DAC foi projeto e implementado em tecnologia CMOS de $0,35\mu m$ 4M2P. Alguns resultados obtidos no teste experimental são: área ativa do layout de $200\mu m \times 200\mu m$, Corrente de escala completa de $700\mu A$ (uma tensão de alimentação de 3,3V), INL=0,3LSB, DNL=0,37LSB, SFDR=58dB para um sinal senoidal de saída de 1MHz e 50MHz de frequência de amostragem, SFDR=52dB para um sinal senoidal de saída de 1MHz e 10MHz de frequência de amostragem.

ABSTRACT

This work presents a digital-to-analog converter (DAC) design used in a RF transmitter stage for Bluetooth applications.

A DAC is used in a RF transmitter because digitally processed signals must be transmitted as an analog wave to other radio stations. The DAC design must fulfill specifications of: sampling frequency, resolution, Spurious-Free Dynamic Range (SFDR), Signal-to-Noise Ratio (SNR) and Differential and Integral Nonlinearities (DNL, INL). These specifications are determined by the modulation standard of the RF transmission stage which in our work is Bluetooth. Also, low power and reduced area are required conditions to implement portable systems. Current-steering segmented architecture is suitable for this application [1]. It is based on an array of matched current sources that are switched to generate the output voltage.

The Current sources design in a current steering DAC determines the converter's static and dynamic behavior. However, in the literature many works did not present a good design strategy. As a solution, this work presents a study of the variables tradeoffs and a simple design strategy for current-steering segmented DAC design. The current source design strategy is based on an iterative scheme which variables are adjusted by a simple way, satisfying the requirements, minimizing power consumption and reaching the design specifications. A theoretical analysis of static-dynamic requirements and a new layout strategy of small area consumption for the current-steering DAC design is presented.

The DAC was designed and implemented in $0,35\mu m$ 4M2P CMOS technology. Some performance results obtained through experimental test are: layout active area of $200\mu m \times 200\mu m$, full scale output current of $700\mu A$ (at power supply of 3,3V), $INL=0,3LSB$, $DNL=0,37LSB$, $SFDR=58dB$ for a $1MHz$ sine wave and $50MHz$ sampling frequency, $SFDR=52dB$ for a $1MHz$ sine wave and $10MHz$ sampling frequency.

Conteúdo

Conteúdo	i
1 Introdução	1
1.1 Motivação	2
1.2 Objetivos	3
1.3 Organização do documento	3
2 Fundamentos teóricos	5
2.1 Definição de um DAC	5
2.2 Comportamento estático	6
2.2.1 Ruído de quantização	7
2.2.2 Erro de <i>offset</i>	8
2.2.3 Erro de ganho	9
2.3 Comportamento dinâmico	10
2.3.1 Erro na estabilização do sinal	10
2.3.2 <i>Glitch</i>	11
2.4 Medidas no domínio da frequência	11
2.5 Seleção das especificações	12
2.6 Estimativa do número de bits e da frequência de amostragem	14
2.7 Arquitetura de projeto do DAC	18
2.8 Estudo dos requerimentos de projeto.	23
2.8.1 <i>Mismatch</i>	25
2.8.2 Ruído de quantização	29
2.8.3 Tempo de estabilização	30
2.8.4 <i>Clock-Feedthrough (CFT)</i>	31

3	Implementação do circuito DAC	34
3.1	Estratégia de projeto	34
3.1.1	Seleção do número de bits segmentados	35
3.1.2	Seleção da área da fonte LSB	36
3.1.3	Seleção da resistência de carga R_L	37
3.1.4	Seleção da corrente I_{LSB}	37
3.1.5	Seleção da resistência de saída para a fonte LSB	39
3.1.6	Projeto de M_{CS}	40
3.1.7	Projeto de M_{CAS} e M_{SW} e seleção de V_{B2}	40
3.2	Projeto do <i>latch</i>	42
3.3	<i>Layout</i>	46
3.4	Resultados de simulação pós- <i>layout</i>	53
4	Resultados experimentais	59
4.1	Procedimento experimental	61
4.1.1	Teste estático	62
4.1.2	Teste dinâmico	63
4.2	Comparação deste trabalho com outros	66
5	Conclusões e Recomendações	68
	Referências bibliográficas	71

Lista de símbolos

$A(w)$	Transformada de <i>Fourier</i> do sinal original.
A_{V_t}	Parâmetro da tensão de limiar devido ao processo.
A_K	Parâmetro da variação do fator de corrente devido ao processo.
B	Largura de banda do filtro passa baixas.
C_L	Capacitância de Carga.
C_{ox}	Capacitância de porta.
$C_{overlap}$	Capacitância de sobreposição.
F_{out}	Frequência do sinal de saída.
F_s	Frequência de amostragem do DAC.
G_{LSB}	Transcondutância de saída da fonte de corrente LSB.
g_m	Transcondutância do transistor.
$H(0)$	Ganho do filtro passa baixas.
I_{LSB}	Corrente de saída da fonte de corrente LSB.
K	Fator de corrente do transistor.
k	Constante de <i>Boltzmann</i> .
L	Comprimento de canal do transistor.
N	Número de bits do DAC.
$P(w)$	Transformada de <i>Fourier</i> de um trem de pulsos.
P_q	Potência do ruído de quantização.
R_L	Resistência de Carga.
S_q	Densidade espectral do ruído de quantização.
S_t	Densidade espectral do ruído térmico.
T	Temperatura.

T_e	Tempo de estabelecimento.
T_s	Período de amostragem do DAC.
V_{DD}	Tensão de alimentação.
V_{GS}	Tensão porta-fonte do transistor.
V_{B1}	Tensão de polarização do transistor M_{CS} .
V_{B2}	Tensão de polarização do transistor M_{CAS} .
V_t	Tensão de limiar do transistor.
W	Largura de canal do transistor.
X	Palavra digital de entrada.
Δ	Mínimo incremento do sinal de saída do DAC.
σ_{INL}	Desvio padrão do INL.
σ_{DNL}	Desvio padrão do DNL.
μ_0	Mobilidade efetiva do transistor.

Capítulo 1

Introdução

A demanda de sistemas portáteis de comunicação sem fio (transceptores) aumentou consideravelmente nos últimos anos, devido à necessidade do homem moderno estar em permanente contato com outras pessoas em qualquer parte do mundo. Estes sistemas integram principalmente processamento digital, memória, transmissão e recepção RF de dados. A crescente demanda faz com que os projetistas de circuitos integrados para comunicações sem fio, dediquem um grande esforço em implementar todo o sistema de comunicação num só chip. Para integrar o estágio de processamento digital e o estágio analógico, é preciso usar dispositivos de conversão analógico-digital (ADC) e digital-analógica (DAC) que permitam a interação entre estes dois estágios. Um exemplo simplificado do transmissor RF na arquitetura de Conversão Direta é apresentado na figura 1.1. O circuito transmissor é responsável pela translação do sinal procedente do estágio digital para altas frequências de forma analógica. Um DAC inserido em um transmissor RF, permite que os sinais digitais sejam transformados em sinais que possam ser usados nos estágios analógicos subsequentes [2].

Quando se utiliza um conversor digital-analógico dentro de qualquer sistema analógico, é necessário que as características deste dispositivo permitam cumprir as especificações de todo o sistema. Um DAC é caracterizado pelo comportamento estático e pelo comportamento dinâmico, os quais determinam a seleção do conversor de acordo com os requerimentos da aplicação. Num sistema de transmissão RF, um DAC deve ter uma alta velocidade de conversão e uma moderada resolução, além de

baixo consumo de potência e de área, condições necessárias para que o sistema seja portátil [1]. Para cumprir os requerimentos de projeto de um DAC com estas características é necessário utilizar uma tecnologia de fabricação adequada, que permita alcançar estas características, além de alto grau de imunidade ao ruído e alto nível de integração. A tecnologia Bipolar, permite implementar sistemas de alta velocidade, porém de alta dissipação de potência. Outras tecnologias como GaAS consomem menor potência porém o preço de implementação é muito alto [3]. A tecnologia CMOS oferece vantagens sobre as outras tecnologias na fabricação de transceptores: possibilidade de implementar o estágio digital e o estágio analógico dentro de um mesmo circuito integrado, redução de custos, baixo consumo de potência e de área, e altas velocidades de operação.

Este trabalho apresenta o projeto de um DAC de 8 bits integrado em tecnologia CMOS [4, 5], para ser usado dentro do estágio de transmissão de um transceptor RF, cumprindo as especificações mínimas do padrão *Bluetooth*.

1.1 Motivação

A principal motivação é o fato de participar do projeto de um transceptor RF desenvolvido atualmente no Grupo de Projeto de Sistemas VLSI do Laboratório de Sistemas Integráveis da Escola Politécnica da USP. Com este projeto se pretende implementar um transceptor de RF integrado em tecnologia CMOS de $0,35\mu m$ operando em $2,45GHz$ no padrão *Bluetooth*. O grupo de pesquisa conta com a participação de Doutores, Mestres, Mestrands e alunos de iniciação científica em

Figura 1.1: Transmissor RF na Arquitetura de Conversão Direta.

Engenharia Elétrica, além do apoio institucional e de órgãos de fomento para o desenvolvimento do projeto. O projeto de um conversor digital analógico compatível com as especificações do padrão *Bluetooth*, faz parte dos blocos que o grupo pretende desenvolver.

1.2 Objetivos

O objetivo principal deste trabalho é projetar um conversor digital analógico integrado em tecnologia CMOS, para ser usado dentro do estágio de transmissão de um transceptor RF no padrão *Bluetooth*. Para alcançar o objetivo final, foram formulados os seguintes objetivos específicos:

1. Determinação das especificações mais importantes que o DAC deve cumprir, visando a compatibilidade do circuito com os outros circuitos dentro do transceptor *Bluetooth*.
2. Estudo teórico dos requerimentos estáticos e dinâmicos do DAC, para encontrar as equações, variáveis e fatores limitantes do projeto.
3. Estabelecer uma estratégia teórica de projeto, usando as equações que modelam os requerimentos do DAC e ajustar as variáveis de projeto para atingir as especificações.
4. Elaborar o *Layout* do DAC projetado, objetivando que os parâmetros do circuito sejam pouco sensíveis às variações no processo de fabricação.
5. Fabricar e testar experimentalmente o circuito DAC.

1.3 Organização do documento

No capítulo 1 apresenta-se a introdução e a motivação sobre a necessidade de projetar um conversor digital analógico para integrar processamento digital e transmissão-recepção de sinais analógicos dentro de um transceptor RF num só chip, tentando deixar claro quais são as especificações e requerimentos mais importantes do projeto.

No segundo capítulo se realiza um resumo das características gerais de um DAC (definição, função de transferência e resposta em frequência) e das principais especificações (resolução, INL, DNL, SFDR, SNR, etc.), incluindo a seleção da arquitetura do DAC. Com base em uma descrição de alto nível do transmissor RF é feita uma seleção das especificações de projeto do DAC para cumprir as especificações mínimas do padrão de modulação *Bluetooth*. Além disso, são estudados e analisados os principais requerimentos do comportamento estático e dinâmico de um DAC na arquitetura *current-steering*: resistência de saída finita, ruído de quantização, *Mismatch*, tempo de estabelecimento, e *Clockfeedthrough*.

No capítulo 3 apresenta-se a estratégia de projeto utilizada, a qual se baseia num esquema iterativo onde passo a passo e de maneira simples ajustam-se as variáveis, cumprindo com cada um dos requerimentos de projeto e alcançando as especificações mínimas do padrão. A estratégia de layout do DAC é incluída neste capítulo.

Finalmente, no capítulo 4 são descritas as considerações mais importantes durante o teste do chip: placa de circuito impresso, equipamento, estratégia usada para o teste, etc. Além disso, os resultados experimentais são mostrados, analisados e comparados com os resultados de típico e pior caso de simulação e resultados de outros projetos com especificações semelhantes.

No capítulo 5 são apresentadas as conclusões e recomendações de possíveis trabalhos futuros.

Capítulo 2

Fundamentos teóricos

Neste capítulo apresenta-se um resumo das características de um conversor digital-analógico, incluindo as características do sinal de saída, o comportamento estático e o comportamento dinâmico, juntamente com as especificações usadas no projeto para medir a eficiência de conversão do DAC. Além disso, discutem-se as especificações que o DAC deve cumprir para ser usado dentro de um transmissor *Bluetooth*, e realiza-se a seleção de cada uma delas. No final do capítulo, a arquitetura para o projeto do DAC é escolhida, fazendo um estudo dos requerimentos que o projetista deve cumprir e as variáveis que devem ser ajustadas para alcançar as especificações.

2.1 Definição de um DAC

Um conversor digital-analógico é um dispositivo que representa um número de saídas analógicas discretas, para um número limitado de palavras digitais de entrada, onde para cada nível analógico corresponde uma única palavra digital de entrada (Figura 2.1a). O número de bits (N) determina a resolução do conversor. Um DAC gera um sinal analógico contínuo a partir de amostras tomadas do sinal original representadas digitalmente. As amostras devem ser entregues na mesma frequência de amostragem (F_s), para recuperar o sinal original de acordo com o teorema de *Nyquist*.

Desta forma, na saída de um DAC se obtém um sinal modulado em PAM (Modulação por Amplitude de Pulso), o qual é descrito no domínio da frequência

Figura 2.1: (a) Função de transferência de um DAC; (b) Características do espectro do sinal de saída de um DAC.

pela equação de *Poisson* [1]:

$$\bar{A}(w) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} A(\omega T_s - 2\pi k) P(\omega T_s,) \quad \text{com} \quad P(w) = TF\{p(t)\} = \frac{\text{sen}(\omega T_s)}{\omega T_s} \quad (2.1)$$

onde: T_s é o período de amostragem, $A(\omega)$ é a transformada de *Fourier* do sinal original, e $P(\omega)$ corresponde à transformada de *Fourier* de um trem de pulsos $p(t)$. Portanto, é possível considerar o espectro do sinal de saída de um DAC como o produto de $P(\omega)$ e $A(\omega T_s - 2\pi k)$ como ilustrado na figura 2.1b. Nesta Figura, $A(\omega)$ tem uma largura de banda igual à frequência de amostragem. Conforme o teorema de *Nyquist*, F_s deve ser maior ou igual que o dobro da largura de banda do sinal original. Esta condição determina a mínima frequência F_s para realizar a conversão digital-analógica de um sinal em particular. Para recuperar o espectro original a partir do sinal de saída do DAC, é preciso usar um filtro passa-baixas para eliminar a parte do espectro não desejado, no entanto, se F_s é o dobro da largura de banda do sinal original o filtro usado deve ser ideal (figura 2.1b) [1].

2.2 Comportamento estático

Para analisar o comportamento estático do DAC, é necessário considerar que a comutação entre os diferentes níveis de conversão acontecem instantaneamente, sem

considerar estados transitórios. As fontes de erros estáticos mais comuns que afetam o comportamento do conversor resumem-se nesta seção.

2.2.1 Ruído de quantização

Devido à limitada resolução do DAC, quando o sinal de saída é comparado com o sinal ideal desejado, estes não são iguais. Esta diferença denomina-se erro de quantização ou truncamento. Para determinar a potência do erro de quantização, considera-se que o sinal de erro de quantização é uma onda dente de serra com período T e amplitude $\frac{\Delta}{2}$. O valor RMS deste sinal é [6]:

$$V_{q_{RMS}} = \sqrt{\frac{1}{T} \cdot \int_{-\frac{T}{2}}^{\frac{T}{2}} \Delta^2 \left(\frac{t}{T}\right)^2 dt} = \sqrt{\frac{\Delta^2}{T^3} \cdot \left(\frac{(T/2)^3}{3} - \frac{(-T/2)^3}{3}\right)} = \frac{\Delta}{\sqrt{12}} \quad (2.2)$$

onde: Δ é o incremento do sinal de saída quando o bit menos significativo (LSB) é ativado¹. Desta forma, a potência do erro de quantização ($R = 1\Omega$) pode ser escrita como:

$$P_q = \frac{V_{q_{RMS}}^2}{R} = \frac{V_{q_{RMS}}^2}{1\Omega} = \frac{\Delta^2}{12} \quad (2.3)$$

Se a resolução do conversor é maior que 4 ou 5 bits, o erro de quantização pode ser considerado como ruído branco distribuído na faixa de frequências $0 < F < \frac{F_s}{2}$. Portanto, a densidade espectral de potência é dada por [6]:

$$S_q(f) = \frac{1}{F_s/2} \cdot \frac{\Delta^2}{12} = \frac{\Delta^2}{6F_s} \quad (2.4)$$

Tendo em conta estas características, o ruído de quantização limita a especificação de relação sinal/ruído (SNR) na saída do DAC. Para fazer o cálculo do SNR, usa-se como referência um sinal senoidal com potência $P_s = \frac{[\Delta \cdot (2^{N-1})]^2}{2}$ (Amplitude de $\Delta \cdot (2^{N-1})$). Então o valor de SNR em dB é aproximado usando a equação [6]:

$$SNR = 10 \log_{10} \left\{ \frac{[\Delta \cdot (2^{N-1})]^2 / 2}{\Delta^2 / 12} \right\} \approx 6,02 \cdot N + 1,76 \quad dB \quad (2.5)$$

Quando em um conversor a frequência de amostragem é muito mais alta que a máxima frequência do sinal, existirá uma sobreamostragem. Neste caso, o erro

¹1LSB é o passo da mínima mudança que pode acontecer no código digital de entrada.

Figura 2.2: Características da densidade do ruído de quantização de um DAC em sobreamostragem.

de quantização está agora distribuído sob uma faixa de frequências maior. Por consequência, isto diminui a densidade do ruído de quantização, porém a potência do ruído na faixa de frequências $0 < F < \frac{F_s}{2}$ é a mesma para conversores com o mesmo número de bits. Na figura 2.2 apresenta-se um exemplo ideal do efeito de sobreamostragem sobre a densidade do ruído de quantização em um DAC. Neste exemplo, um aumento de quatro vezes na frequência de amostragem faz com que a densidade do ruído de quantização reduza-se em quatro vezes, mas a potência do ruído mantém-se constante. A equação seguinte permite calcular a relação sinal/ruído em dB, para um DAC em sobreamostragem [7].

$$SNR \approx 6,02 \cdot N + 1,76 + 10 \cdot \log_{10} \left(\frac{F_s}{F_{sinal}} \right) \quad dB \quad (2.6)$$

2.2.2 Erro de *offset*

O erro de *offset* num conversor digital-analógico pode ser definido como a tensão de saída (relativo a um passo de conversão Δ) que existe quando o código digital de entrada é selecionado para que a tensão de saída seja 0 Volts idealmente. O *offset* pode ser determinado calculando a média do erro de conversão, considerando o DAC

testado (A_k), a função de transferência ideal ($\bar{A}_k$) e o número de bits (N) [7]:

$$A_{offset} = \frac{\frac{1}{2^N} \cdot \sum_{k=0}^{2^N-1} (\bar{A}_k - A_k)}{\Delta} \quad (2.7)$$

2.2.3 Erro de ganho

No tipo de erro de ganho considera-se a variação da inclinação na função de transferência do conversor testado com respeito à função de transferência ideal. O erro de ganho divide-se em erro de ganho linear o qual não introduz distorção, e em erro de ganho não linear o qual introduz distorção ao sinal de saída.

Para medir a não-linearidade da função de transferência do DAC, utiliza-se a especificação de INL (não-linearidade integral) e DNL (não-linearidade diferencial), as quais são de grande importância para caracterizar o comportamento estático do conversor digital-analógico [7].

2.2.3.1 DNL

O DNL define-se como a diferença entre dois níveis de conversão consecutivos na função de transferência do DAC testado, subtraindo o valor do mínimo passo de conversão Δ .

$$DNL_k = \frac{|A_k - A_{k-1} - \Delta|}{\Delta} \quad \text{para } k = 0, 1, 2 \dots n \quad (2.8)$$

onde: A_k é o nível do sinal de saída atual e A_{k-1} representa o nível anterior, como ilustrado na figura 2.3. Este parâmetro especifica-se em unidades de LSB. O mínimo valor permitido de DNL, para que o conversor seja monotônico² é 1LSB, e no pior caso deve-se cumprir que $A_k \geq A_{k-1}$ para qualquer incremento na entrada [7].

2.2.3.2 INL

O INL define-se como a diferença entre os níveis correspondentes ao sinal de saída ideal e o sinal de saída do conversor testado (Figura 2.3). Assim,

$$INL_k = \frac{|\bar{A}_k - A_k|}{\Delta} \quad \text{para } k = 0, 1, 2 \dots n \quad (2.9)$$

²Um DAC é monotônico quando para qualquer incremento no sinal de entrada, a saída sempre incrementa-se

Figura 2.3: Características do DNL e INL.

onde: $\bar{A}_k$ corresponde ao nível do sinal ideal e A_k representa o nível do sinal de saída do DAC testado. Da mesma forma que o DNL, o INL especifica-se em unidades de LSB. O mínimo valor de INL para que o conversor seja monotônico é 0,5LSB, como é possível deduzir da Figura 2.3 [7].

2.3 Comportamento dinâmico

Em aplicações onde o conversor digital-analógico opera em altas velocidades, o comportamento dinâmico é uma das considerações mais importantes no projeto deste dispositivo. O comportamento dinâmico é determinado pelos seguintes fatores [1]:

2.3.1 Erro na estabilização do sinal

A comutação de nível no sinal de saída do DAC gerado pelas mudanças na palavra digital de entrada, não acontece instantaneamente; necessita-se de um determinado tempo para que o sinal se estabeleça adequadamente. Este efeito se apresenta devido às capacitâncias parasitas em cada nó do circuito. Se a velocidade de entrega de dados é maior que este tempo, o sinal terá erros de conversão. O tempo que o sinal demora em se estabilizar tendo um erro de 0,1%, entre o valor do sinal em estado estável e o valor do sinal em estado transistório, denomina-se tempo de estabilização (T_e).

Figura 2.4: Características do *Glitch*.

2.3.2 *Glitch*

Glitch num conversor digital-analógico apresenta-se quando o tempo de comutação de cada bit dentro da palavra digital de entrada não é o mesmo, o qual faz com que níveis de conversão intermediários apareçam na saída por períodos curtos de tempo. As características deste efeito mostra-se na Figura 2.4. Este fenômeno é crítico na comutação de metade de escala ($011\dots1$ a $100\dots0$), onde pode surgir o estado intermediário $111\dots11$. O *Glitch* é um erro transitório do sinal de saída do DAC, que degrada a resposta em frequência do conversor se sua amplitude é muito alta. O efeito do *Glitch* sobre as especificações do conversor é medida usando a energia (em $ps \cdot V$) do *Glitch*, a qual se define como a integral no tempo do erro transitório entre o estado estável desejado e o sinal de saída do conversor.

2.4 Medidas no domínio da frequência

Para o projeto de um DAC, medidas como INL, DNL, tempo de estabilização, etc, não são suficientes para analisar o comportamento estático e dinâmico ao mesmo tempo. As medidas no domínio da frequência permitem ter uma estimativa do comportamento geral do conversor. Para fazer este tipo de medida, usa-se um sinal senoidal de entrada numa frequência específica, para uma determinada frequência de amostragem, e usando a transformada de *Fourier* para determinar o espectro do sinal de saída do DAC.

Definiremos as mais importantes medidas usadas para caracterizar o projeto de um conversor digital-analógico [1]:

- **Distorção Harmônica total (THD):** é a relação em dB entre a potência da harmônica fundamental e a soma da potência de todas as harmônicas existentes, assim:

$$THD = \sum_{k=2}^n 10 \cdot \log_{10} \left[\frac{Potência_{Harmônica_k}}{Potência_{Harmônica_1}} \right] \quad (2.10)$$

- **Relação sinal/ruído (SNR):** Relação em dB entre a potência da harmônica fundamental e a potência do ruído na faixa de frequências $0 < Freq < F_s/2$. O espectro do ruído inclui qualquer componente não harmônico do fundamental, assim:

$$SNR = 10 \cdot \log_{10} \left[\frac{Potência_{sinal}}{Potência_{Ruído-quantização}} \right] \quad (2.11)$$

- **Faixa dinâmica livre de espúrios (SFDR):** é a relação em dB entre a potência da harmônica fundamental e potência do máximo espúrio (ruído ou componentes harmônicas) dentro do espectro analisado, assim:

$$SFDR = 10 \cdot \log_{10} \left[\frac{Potência_{sinal}}{Potência_{Máximo-Espúrio}} \right] \quad (2.12)$$

2.5 Seleção das especificações

Um transceptor *Bluetooth* pode ser implementado usando diferentes arquiteturas, entre as quais se destacam: Arquitetura Superheterodina, Baixa Frequência Intermediária e Conversão Direta [8]. Os sistemas de transmissão no padrão *Bluetooth* operam, na faixa ISM (Industrial Scientific Medical), ou seja na frequência de 2,45GHz com 79 canais de 1MHz usando modulação GFSK. O diagrama de blocos da arquitetura do transmissor de conversão direta no padrão *Bluetooth* usando modulação I/Q é mostrado na figura 2.5. O transmissor está formado por um modulador GFSK, que gera dois sinais digitais defasadas de $\pi/2$ nas frequências $500KHz \pm 160KHz$, por dois conversores DAC que fazem a conversão dos sinais digitais, por dois filtros passa-baixos (LPF) para reconstruir o sinal na saída do DAC, e finalmente por um estágio de transmissão RF. Este estágio inclui um estágio de modulação usando uma portadora de $2,45GHz \pm k[MHz]$ (para sintonizar o canal), usando um oscilador controlado por tensão VCO, um Mixer (*Mixer*) e um

Figura 2.5: Transmissor *Bluetooth* na arquitetura de conversão direta.Tabela 2.1: Especificações do padrão *Bluetooth*.

Faixa de frequências	$2,402GHz-2,483GHz$
Largura de banda do canal	$1MHz$
Número de canais	79
Velocidade de transmissão	$1Mbps$
Tipo de modulação	<i>GFSK</i>
Emissão mínima de espúrios	50dBc
BER do receptor	$< 1 \times 10^{-5}$

sintetizador de frequências, e na saída do estágio um amplificador de potência que alimenta a antena [2].

O transmissor deve cumprir com as especificações do padrão, resumidas na tabela 2.1, entre as quais tem grande importância a Emissão mínima de espúrios (SFDR) [9]. Devido ao fato que o conversor digital analógico gera os tons a partir do sinal digital do modulador GFSK, inicialmente é o responsável por garantir esta especificação. No entanto, a componente de SFDR gerada pelo DAC deve ser menor que o valor mínimo desta especificação, para que a soma das componentes de todos os estágios cumpra o valor requerido. Além disso, o sistema deve ser portátil que exige que o conversor seja de baixo consumo de potência e de área, limitando a velocidade de operação e a resolução do DAC. Neste trabalho é feita uma estimativa do número de bits (N) e da frequência de amostragem do conversor, considerando o sinal na saída do filtro e as especificações do padrão *Bluetooth*.

2.6 Estimativa do número de bits e da frequência de amostragem

Para estimar o número necessário de bits no projeto do DAC no padrão *Bluetooth*, é necessário considerar a especificação de SFDR deste padrão, a qual está limitada pelo SNR na saída do conversor e pelos efeitos que geram componentes harmônicas dentro do DAC. Nesta seção realiza-se uma análise das especificações de projeto usando inicialmente um modelo ideal, no final da seção usa-se um modelo considerando outros efeitos.

Um conversor digital-analógico tem uma resolução limitada, uma vez que a palavra digital de entrada tem também um número limitado de bits. A potência do erro entre o sinal ideal e o sinal de saída do DAC, distribui-se na largura de banda do conversor em forma de ruído, desde a componente DC até a metade da frequência de amostragem. O DAC dentro do transmissor tem um filtro passa baixos (LPF) na saída (Figura 2.5), que permite reconstruir o sinal e reduzir as componentes espectrais indesejáveis. A largura de banda do filtro LPF deve ter o mesmo valor da especificação da largura de banda do canal ($1MHz$). Portanto, é necessário considerar o efeito da filtragem no cálculo das especificações. O valor de SNR na saída do filtro é a relação entre a potência de um sinal senoidal com amplitude $\Delta \cdot 2^{N-1}$ e a potência do ruído de quantização depois do filtro [7], logo:

$$SNR = 10 \cdot \log_{10} \left(\frac{\Delta(2^{N-1})^2/2}{S_q \cdot B \cdot H(0)} \right) = 10 \log_{10} \left(\frac{2^{2N-2} F_s \cdot 3}{BH(0)} \right) \quad (2.13)$$

onde: B é a largura de banda do canal, S_q é a densidade espectral de potência do ruído de quantização, e $H(0)$ é o ganho do filtro, e N é o número de bits do DAC. O comportamento do SNR em função de F_s é ilustrado na figura 2.6a para diferentes valores de número de bits, com $H(0) = 1$ e $B = 1MHz$. Como a potência do ruído de quantização está agora concentrada na largura de banda $B = 1MHz$ é possível aproximar $SNR \approx SFDR$ (na saída do filtro) [7]. Usando esta consideração é possível quantificar matematicamente o mínimo número de bits e a frequência mínima, para cumprir a especificação de componentes espectrais dentro do canal. Na Figura 2.6b mostra-se o espectro do sinal senoidal de 660KHz para $F_s = 10MHz$ depois do filtro (no cálculo usou-se um filtro de ordem 2) para um DAC ideal de

8bits. Os valores obtidos são: $SNR=62dB$ usando a equação 2.13 e $SFDR=63dB$ por meio do cálculo matemático. A partir da figura 2.6a o número mínimo de bits para conseguir a especificação de $SFDR=50dB$ é de 6 bits, para uma frequência amostragem mínima de $\approx 8MHz$. Esta simulação foi feita para um DAC ideal sem considerar distorção harmônica devido à não-linearidade do conversor e outros efeitos no transmissor RF.

A frequência de relógio do transceptor completo é a mesma frequência de amostragem do DAC (para não usar circuitos adicionais) e também é a mesma frequência do ADC no receptor *Bluetooth*. No estado da arte a frequência de relógio tem valores de 12MHz [2] [10], 16MHz [11], 32MHz [12], [13]. O projeto do DAC será feito para uma faixa de frequências F_s de 10-50MHz.

Como já comentado anteriormente, o espectro do sinal de saída de um DAC está formado pelo espectro do sinal desejado somado aos espectros imagens do mesmo sinal nas frequências múltiplos da frequência F_s , atenuado pela função *sinc* (Figura 2.7). Desta forma, é necessário que a frequência de amostragem seja maior que duas vezes a largura de banda do sinal (F_{out}), conforme o teorema de *Nyquist*. No entanto, se a frequência de amostragem for $2F_{out}$ será muito difícil recuperar o sinal desejado, pois se necessitaria usar um filtro LPF de alta ordem (Figura 2.7a). Se F_s é muito maior, a exigência sobre o filtro é menor, porém o consumo de potência também aumenta. As imagens do sinal não podem ser transmitidas pelo estágio de RF, pois podem gerar interferência dentro do canal de transmissão. A potência das imagens está determinada pela atenuação do filtro e pelo valor de F_s . Portanto, é necessário escolher F_s tal que a atenuação da função *sinc* mais a atenuação do filtro permita eliminar estas componentes. Para que a complexidade do filtro seja baixa, presume-se que o filtro é de ordem dois, então a atenuação do filtro em função da frequência é:

$$A(f) = 20 \cdot \log_{10} \left| \frac{1}{\frac{s^2}{\omega o^2} + \frac{2s}{\omega o} + 1} \right| \quad (2.14)$$

A atenuação da função *sinc* é [1]:

$$20 \cdot \log_{10} \left| \frac{F_s}{\pi f} \cdot \sin \frac{\pi f}{F_s} \right| \quad (2.15)$$

Para fazer uma estimativa mais aproximada das especificações do DAC, é necessário considerar as características dos blocos do transmissor RF. Com este fim, foi

(a)

(b)

Figura 2.6: (a) SFDR vs F_s para diferentes valores de número de bits; (b) Espectro do sinal de saída para um DAC ideal de 8 bits e $F_s = 10\text{MHz}$.

elaborada uma descrição matemática de alto nível do Mixer usando um modelo apresentado na literatura [14], sem considerar os efeitos do amplificador de potência e do oscilador. Para ter maior controle das especificações do DAC, gera-se o sinal deste bloco usando fontes ideais de sinal e ruído. As considerações principais destes modelos são:

1. O Mixer é modelado considerando a distorção gerada pela não-linearidade, usando uma função matemática da forma $C1 \cdot X + C2 \cdot X \cdot |X|^2 + C3 \cdot X \cdot |X|^4$, onde X é a entrada e $C1$ é o ganho do Mixer. Os valores de $C2$ e $C3$ são

Figura 2.7: Espectro do sinal de saída de um DAC.

obtidos da especificação de ponto de intersecção de terceira ordem referido na saída (OIP3), e da especificação do ponto de compressão de 1dB (P1dB), respectivamente. O modelo considera o ruído gerado pelo Mixer na saída, a partir das especificações de Ruído.

2. O sinal de saída do DAC é gerado usando três sinais ideais: ruído de quantização na faixa de frequências $0 < Freq < F_s/2$, harmônico fundamental na frequência F_{out} , e harmônicos múltiplos da frequência fundamental. A densidade de potência do ruído de quantização é calculado usando a equação 2.5 a partir da especificação de resolução (N), frequência de amostragem (F_s) e frequência do sinal senoidal de saída F_{out} , usando um filtro passa-baixas de ordem dois para limitar a largura de banda, e tendo em conta a atenuação da função *sinc*. A potência dos harmônicos é calculada usando a especificação de SFDR, normalizado com respeito ao harmônico fundamental.

Vários conjuntos de especificações do DAC foram simulados neste modelo matemático, usando especificações típicas encontradas na literatura para Mixers utilizados no padrão *Bluetooth* [15] [16]. A figura 2.8 ilustra o espectro do sinal na saída do Mixer (a simulação foi feita para a arquitetura de Conversão Direta da figura 2.5), para 10MHz e 50MHz de frequência de amostragem do DAC, $SFDR = 55dB$ e 8bits de resolução (Estas especificações do DAC são tomadas da figura 2.6a). As especificações usadas no modelo do Mixer, estão na tabela 2.2. Com base nestas simulações foi selecionado 8bits de resolução para o projeto do DAC.

Tabela 2.2: Especificações do modelo utilizado na simulação do Mixer e o DAC.

Ruído	-139 dBm/Hz
OIP3	10 dBm
P1dB	-6 dBm
Amplitude do sinal de entrada	70mV
Frequência do sinal de entrada	1MHz
Amplitude do sinal do oscilador	100mV
Frequência do oscilador	2,45GHz
Ganho	3 dB

Figura 2.8: (a) Espectro do sinal na saída do Mixer para $F_s = 10MHz$; (b) Espectro do sinal na saída do Mixer para $F_s = 50MHz$.

2.7 Arquitetura de projeto do DAC

Atualmente existem várias classificações para os conversores digital-analógico, sendo que as mais utilizadas são: modo corrente, modo tensão e modo Carga. As principais vantagens e desvantagens de cada grupo são [17]:

1. Modo Corrente

- Permite implementar DACs de alta velocidade e área reduzida com uma

resolução moderada 10bits - 12bits - 14bits.

- Alta eficiência no consumo de potência.
- Sua principal desvantagem é o *mismatch* e as variações de resistência de saída das fontes de corrente, o qual pode gerar não-linearidade.

2. Modo tensão

- A utilização de resistências e *switches*, faz com que existam capacitâncias parasitas que dependem da palavra digital de entrada, o que pode gerar distorção.
- O atraso entre os bits de maior peso e os bits de menor peso, pode gerar *glitches* de alta amplitude.
- O uso de amplificadores operacionais limita a largura de banda.
- São usados em aplicações de baixa resolução e baixa velocidade.

3. Modo Carga

- O uso de amplificadores operacionais limita a largura de banda.
- São usados em aplicações de alta resolução e moderada largura de banda.
- Sua principal desvantagem é o alto consumo de área.

Como dito anteriormente, o projeto de um DAC para ser usado num transmissor *Bluetooth*, demanda moderada resolução, alta velocidade, baixo consumo de área e de potência. Portanto, se selecionou o modo corrente para o projeto do DAC. Na literatura este tipo de arquitetura é conhecida como *Current-steering*.

A arquitetura *current-steering* é composta por um conjunto de fontes de corrente em paralelo, as quais são ativadas e desativadas dependendo do bit correspondente. Cada fonte de corrente tem um determinado peso conforme o bit dentro da palavra digital (idealmente existe uma fonte para cada bit). A soma da corrente sobre uma resistência de carga (R_L) gera uma tensão de saída proporcional ao valor decimal da palavra digital de entrada: $b_0b_1b_2 \cdots b_{N-1}$, onde b_0 é o bit menos significativo (LSB) e b_{N-1} é o bit mais significativo (MSB). A saída de corrente pode ser expressa como:

$$I_{out} = 2^{N-1}I_{LSB}b_{N-1} + \dots + 2I_{LSB}b_1 + I_{LSB}b_0 \quad (2.16)$$

Figura 2.9: Arquitetura *current-steering*.

onde: I_{LSB} corresponde à corrente da fonte LSB.

Na figura 2.9 mostra-se as características desta arquitetura. Na literatura existem diferentes configurações para esta arquitetura, as mais importantes são [1]:

- **Configuração de peso binário:** Esta configuração está de acordo com a definição dada anteriormente (figura 2.9), na qual existe uma fonte de corrente para cada bit dentro da palavra digital de entrada. A vantagem desta arquitetura é o baixo consumo de área. Sua principal desvantagem é a geração de *glitches* de alta amplitude durante a comutação entre fontes de corrente de alto peso e fontes de baixo peso. Além disso, esta configuração tem uma baixa linearidade.
- **Configuração de peso único:** Nesta configuração existe uma fonte de corrente para cada passo de conversão, por exemplo, para 8 bits são necessárias 255 fontes de corrente. Para realizar o controle das fontes é necessário usar um decodificador de código binário para o código *thermometer*. Um exemplo de correspondência entre código binário e código *thermometer* é mostrado na tabela 2.3. As vantagens desta configuração são: os *glitches* na comutação são muito menores comparados com a configuração de peso binário, e apresenta uma alta linearidade. No entanto, o alto consumo de área faz com que seja pouco usada.

Tabela 2.3: Exemplo de correspondência entre o código binário e o código *Thermometer*.

Código binário	Código <i>Thermometer</i>
000	0000000
001	0000001
010	0000011
011	0000111
100	0001111
101	0011111

- **Configuração segmentada:** Esta configuração é uma mescla entre a configuração de peso binário e a configuração de peso único, onde as fontes de corrente LSBs são controladas usando uma configuração de peso binário, e as fontes MSBs são controladas usando uma configuração de peso único. Na literatura a especificação do número de fontes em configuração de peso único, são conhecidos como segmentação. Desta forma, esta configuração permite fazer um compromisso entre linearidade, resposta dinâmica e consumo de área. O projetista tem que escolher a segmentação, como uma variável adicional no projeto do DAC. Na literatura esta arquitetura é implementada de forma diferencial, devido a duas grandes vantagens: é possível atenuar as componentes harmônicas de segunda ordem e reduzir o ruído. Neste trabalho selecionou-se a configuração segmentada diferencial.

Na figura 2.10 apresenta-se o diagrama de blocos tradicional da arquitetura *current-steering* segmentada diferencial [18], a qual está constituída por:

- Uma matriz de fontes de corrente de peso único e um bloco de fontes de corrente peso binário. N_{bin} é o número de fontes de corrente binárias e N_{seg} é o número de fontes de peso único.
- Um bloco de *latches* e *switches* que controlam a comutação das fontes e o fluxo de corrente sobre a resistência de carga.
- Um decodificador de código binário - código *thermometer* usado no controle

Figura 2.10: Arquitetura *current-steering* segmentada diferencial.

Figura 2.11: Esquemático em nível de transistores da fonte de corrente, do *latch*, e do *switch*.

das fontes de corrente de peso único.

Na figura 2.11 se apresenta o esquemático em nível de transistores da fonte de corrente, o *latch* e o *switch* selecionados. Como será estudado mais adiante, na arquitetura *Current steering* as fontes de corrente precisam de alta resistência de saída devido ao requerimento de linearidade. Esta resistência é da ordem de

dezenas de $M\Omega$. Portanto, foi selecionado uma fonte de corrente *cascode* usando 2 transistores NMOS. Também é possível usar transistores PMOS, porém devido à maior mobilidade dos elétrons nos transistores NMOS é possível obter maior frequência de operação de um DAC [1]. Na literatura a maioria dos projetos deste tipo são implementados usando transistores NMOS nas fontes de corrente [18–21].

Comumente no projeto de DACs do tipo *current-steering* são usados transistores NMOS operando na região de saturação para implementar os *switches* diferenciais (usando fontes de corrente com transistores NMOS) [18–21]. Neste trabalho se propõe usar transistores PMOS operando na região de triodo, o qual permite ter duas vantagens: maior velocidade, pois a resistência entre dreno e fonte é menor (V_{GS} maior e não apresenta efeito corpo), e a faixa de excursão do sinal de saída é maior, pois V_{DS} do transistor usado como *switch* é muito pequeno. A desvantagem da utilização deste transistor em triodo e não em saturação é menor resistência de saída, no entanto, dois transistores para o projeto das fontes de corrente são suficientes para conversores com resolução menor de 10bits [17]. Na figura 2.11 se inclui dois transistores *dummys* os quais são usados para reduzir o efeito do *Clock-FeedThrough*, como será explicado mais adiante.

2.8 Estudo dos requerimentos de projeto.

Antes do desenvolvimento do projeto de um DAC, é necessário analisar os requerimentos de projeto da arquitetura *current-steering*, conhecendo em detalhe cada uma das variáveis que devem ser manipuladas para atingir as especificações.

2.8.0.1 Resistência de saída finita

A arquitetura *current-steering* baseia-se numa estrutura de fontes de correntes em paralelo, controladas pela palavra digital de entrada. Cada uma das fontes de corrente tem uma resistência de saída finita, que depende do valor da corrente. A fonte LSB tem o máximo valor de resistência de saída, e a fonte MSB tem o mínimo. Como consequência desta característica, existe uma relação entre o valor de resistência de saída vista pelo nó de saída e o número de fontes ativas, levando a uma variação da corrente de saída em função da palavra digital de entrada

Figura 2.12: Resultado de uma simulação matemática do INL (a), e DNL (b) usando a equação 2.17, em função da entrada digital.

($X = b_0 + 2b_1 + 4b_2 + \dots + (2^N - 1) \cdot b_{N-1}$). O comportamento da corrente de saída, devido a este efeito, pode ser descrito pela seguinte equação [17]:

$$I_{out} = \frac{I_{LSB} \cdot X + V_{DD} \cdot G_{LSB} \cdot X}{1 + G_{LSB} \cdot R_L \cdot X} \quad (2.17)$$

onde: I_{LSB} e G_{LSB} , correspondem ao valor da corrente e a condutância de saída da fonte LSB, respectivamente, V_{DD} é a tensão de alimentação e R_L é a resistência de carga. A diferença entre a corrente de saída real e ideal aumentará na medida que se incrementa o valor de X, o qual introduz não-linearidade na função de transferência do conversor. Este erro é do tipo estático e degrada de forma importante o valor de INL e DNL. Desta maneira, dentro do projeto das fontes de corrente é necessário obter um valor de G_{LSB} que permita cumprir os requerimentos de linearidade num conversor digital-analógico: $INL < 0,5LSB$ e $DNL < 1LSB$. A figura 2.12 mostra o resultado de uma simulação matemática do INL e DNL usando a equação 2.17, para $G_{LSB} = 1/10M\Omega$, $V_{DD} = 3,3V$, $R_L = 75\Omega$ e $I_{LSB} = 2,75\mu A$. Segundo esta simulação o pior caso de INL para uma configuração diferencial se apresenta quando a palavra digital de entrada for $X = 0$, ou $X = 2^N - 1$ [17]. Neste trabalho utiliza-se $X = 2^N - 1$ para calcular o valor mínimo de resistência de saída requerida pela fonte LSB, utilizando a equação 2.17, para cumprir a especificação de INL. A partir da figura 2.12b se pode afirmar que o efeito da resistência de saída finita do conversor sobre

a especificação de DNL é desprezível.

A não-linearidade devido à resistência de saída finita do conversor, gera componentes harmônicas no espectro do sinal de saída, o qual limita o valor de SFDR. Para medir teoricamente este efeito, é possível utilizar a equação 2.17 para um sinal senoidal de entrada da forma $X = 2^{N-1} \cdot [1 + \text{sen}(w_{out}t)]$, usando a transformada de *Fourier* para analisar o espectro do sinal de saída [22]. Tendo em conta isto, o artigo [22] apresenta uma expressão que permite calcular o valor de SFDR em função da resistência de saída da fonte LSB. Esta expressão será utilizada neste trabalho:

$$SFDR = \left[1 - 2^{\frac{2^{N-1}p + 1}{2^{N-1}p}} \cdot \left(\frac{2^{N-1}p + 1}{2^{N-1}p} + \sqrt{\left(\frac{2^{N-1}p + 1}{2^{N-1}p} \right)^2 - 1} \right) \right]^2 \quad (2.18)$$

com $p = G_{LSB}/R_L$.

2.8.1 *Mismatch*

Durante a fabricação dos CIs ocorrem desvios das dimensões e de outras características elétricas dos dispositivos, que provocam variações aleatórias independentes do tempo dos parâmetros físicos dos dispositivo projetados como iguais. Este efeito é conhecido como descasamento (*Mismatch*). Por exemplo, as dimensões da porta dos transistores MOS sofrem variações randômicas microscópicas que fazem com que os transistores projetados para serem fisicamente idênticos não sejam equivalentes (figura 2.13). Intuitivamente espera-se que quando os valores de W e L incrementam, suas variações relativas $\frac{\Delta L}{L}$ e $\frac{\Delta W}{W}$ diminuam. Isto se deve ao fato que quando W e L aumentam as variações randômicas experimentam melhor distribuição. Além disso, parâmetros como a tensão limiar (V_t) e o fator de corrente (K) também variam, pois dependem dos níveis de dopagem no canal e da mobilidade, e estes níveis variam randomicamente de um dispositivo a outro e de uma lâmina a outra.

Para prever este efeito existem vários modelos, no entanto o mais usado é o modelo de Pelgrom [23]. Este modelo considera que a variação de um parâmetro num dispositivo dentro de um processo CMOS, tem uma distribuição *Gaussiana*

Figura 2.13: Variações microscópicas das dimensões da porta de um transistor MOS.

cujo desvio padrão pode ser descrito pela expressão:

$$\sigma(P)^2 = \frac{A_p}{WL} + S_p D_x^2 \quad (2.19)$$

onde: P é um parâmetro do dispositivo, W e L são as dimensões do canal num transistor MOS, e D_x é o espaçamento entre os centróides dos dispositivos considerados iguais. A_p e S_p são constantes que descrevem a variação do parâmetro P em função da área e o espaçamento respectivamente, e mudam de acordo com a tecnologia. Esta equação permite concluir que quanto maior for a área dos dispositivos e menor o espaçamento entre eles, menor é a variação de um determinado parâmetro entre dois dispositivos nominalmente iguais.

Expressando a característica de um transistor MOS em saturação como $I_D = \frac{K}{2} \cdot \frac{W}{L} (V_{GS} - V_t)^2$ é possível determinar que variações dos parâmetros K , W , L e V_t resultem em diferentes correntes de dreno entre transistores nominalmente iguais. Como consequência deste efeito, em um DAC na arquitetura *current-steering* a corrente em duas fontes de corrente, projetadas para serem fisicamente iguais, sofre então um desvio do valor nominal esperado após de implementado o circuito integrado. Em alguns casos os transistores que constituem as fontes de corrente podem mudar de região de operação, afetando a linearidade do conversor. O desvio padrão (considerando uma distribuição gaussiana com média em 0) da corrente de dreno de um transistor MOS de dimensões $W \times L$ na região de saturação pode ser descrito usando a seguinte equação [24]:

$$\sigma_{I_D} = \frac{A_K}{\sqrt{WL}} + \frac{2A_{V_t}}{(V_{GS} - V_t)\sqrt{WL}} \quad (2.20)$$

onde: A_{V_t} e A_K são constantes que descrevem as variações dos parâmetros V_t e K respectivamente, e são fornecidos pelo fabricante do circuito integrado. Esta equação permite concluir que para obter um bom casamento entre transistores iguais, estes devem operar em inversão forte. Usando esta equação é possível estimar o efeito do *mismatch* sobre as especificações de linearidade, usando a equação 2.20 [24]. O desvio padrão do INL pode ser calculado considerando que o pior caso desta especificação acontece quando todas as fontes estão ativas. Então o desvio padrão do INL é a soma do desvio padrão da corrente de todas as fontes do conversor [24]:

$$\sigma_{INL} = 0,5 \cdot \sqrt{\sigma_{I_{LSB}}^2 \cdot (2^0 + 2^1 \dots 2^{N-N_{seg}-1}) + \sigma_{I_{LSB}}^2 \cdot 2^{N-N_{seg}} \cdot (2^{N_{seg}} - 1)} \quad (2.21)$$

onde: $\sigma_{I_{LSB}}$ é o desvio padrão da fonte LSB, que pode ser calculado usando a equação 2.20. O primeiro termo corresponde ao desvio padrão da corrente das fontes de peso binário, e o segundo termo corresponde ao desvio padrão das fontes de peso único. O pior caso do DNL acontece quando todas as fontes de peso binário são desativadas e uma fonte de peso único é ativada. Então o desvio padrão do DNL é a soma do desvio padrão da corrente das fontes de peso binário, mais o desvio padrão da corrente de uma fonte de peso único [24]:

$$\sigma_{DNL} = \sqrt{\sigma_{I_{LSB}}^2 \cdot (2^0 + 2^1 \dots + 2^{N-N_{seg}-1}) + \sigma_{I_{LSB}}^2 \cdot 2^{N-N_{seg}}} \quad (2.22)$$

A partir destas equações é possível selecionar um número de fontes de corrente segmentadas N_{seg} . Para modelar o efeito do *Mismatch* sobre o SFDR usa-se a equação abaixo, a qual foi apresentada no livro [1]:

$$SFDR = 20 \cdot \log\left(\frac{3\pi}{4}\right) + 3N - \log\sigma_{I_{LSB}}^2 \quad (2.23)$$

As equações 2.21, 2.22 e 2.23 mostram como as especificações de INL, DNL e SFDR dependem do desvio padrão da corrente na fonte LSB ($\sigma_{I_{LSB}}$). No entanto, $\sigma_{I_{LSB}}$ depende diretamente das dimensões e do valor de $V_{GS} - V_t$ do transistor que controla a corrente (M_{CS} da figura 2.11), de acordo com a equação 2.20.

As variações na tensão de limiar e no fator de corrente podem fazer que os transistores que constituem as fontes de corrente, trabalhem fora da região de operação desejada. O projeto deve considerar este efeito e garantir uma faixa de segurança entre o ponto de polarização utilizado no projeto, e os valores mínimos

e máximos permitidos para que as fontes de corrente operem corretamente. Para escolher esta faixa foi feito uma análise semelhante ao utilizado no artigo [18].

Com base no esquemático da figura 2.11 iniciaremos a análise. Não são consideradas as variações sobre os transistores M_{SW} , pois a tensão V_{GS} deste transistor é muito grande, e dificilmente pode mudar de polarização por causa de variações de V_t e K .

A condição para que M_{CAS} permaneça em saturação é: $V(3) - V(2) > V_{B2} - V(2) - V_t^{CAS}$.

Aproximando o valor de $V(3)$ para o pior caso como $V(3) \approx V_{DD} - I_{LSB}(2^N - 1)R_L$, obtemos:

$$V_{DD} - I_{LSB}(2^N - 1)R_L + V_t^{CAS} > V_{B2} \quad (2.24)$$

Então o valor máximo de V_{B2} é :

$$V_{B2}^{max} = V_{DD} - I_{LSB}(2^N - 1)R_L + V_t^{CAS} \quad (2.25)$$

Para determinar ΔV_{B2}^{max} , somamos a cada variável afetada pelo *mismatch* dentro da equação 2.25 o desvio:

$$V_{B2}^{max} + \Delta V_{B2}^{max} = V_{DD} - (I_{LSB} + \Delta I_{LSB})(2^N - 1)(\Delta R_L + R_L) + V_t^{CAS} + \Delta V_t^{CAS} \quad (2.26)$$

Subtraindo V_{B2}^{max} em ambos os lados da equação 2.26, temos:

$$\Delta V_{B2}^{max} = I_{LSB}(2^N - 1)R_L - (I_{LSB} + \Delta I_{LSB})(2^N - 1)(\Delta R_L + R_L) + \Delta V_t^{CAS} \quad (2.27)$$

Simplificando:

$$\Delta V_{B2}^{max} = I_{LSB}(2^N - 1)R_L(1 - (1 - \frac{\Delta I_{LSB}}{I_{LSB}})(1 - \frac{\Delta R_L}{R_L})) + \Delta V_t^{CAS} \quad (2.28)$$

onde: $\frac{\Delta I_{LSB}}{I_{LSB}}$ está descrito pela equação 2.20, ΔV_t^{CAS} e ΔR_L pela equação 2.19.

De forma similar, utilizando a condição de saturação do transistor M_{CS} , temos:

$$V(2) > V_{B1} - V_t^{CS} \quad (2.29)$$

Substituindo $V(2) = V_{B2} - \sqrt{\frac{2I}{\beta_{CAS}}} - V_t^{CAS}$, onde I é a corrente esperada pela fonte de corrente analisada. Aplicando o mesmo procedimento:

$$V_{B2} - \sqrt{\frac{2I}{\beta}} - V_t^{CAS} > V_{B1} - V_t^{CS} \quad (2.30)$$

Então o valor mínimo de V_{B2} é:

$$V_{B2}^{min} = V_{B1} + \sqrt{\frac{2I}{\beta_{CAS}}} + V_t^{CAS} - V_t^{CS} \quad (2.31)$$

Desta forma:

$$V_{B2}^{min} + \Delta V_{B2}^{min} = V_{B1} + \sqrt{\frac{2I + 2\Delta I}{\beta_{CAS} - \Delta\beta_{CAS}}} + V_t^{CAS} + \Delta V_t^{CAS} - V_t^{CS} - \Delta V_t^{CS} \quad (2.32)$$

Subtraindo V_{B2}^{min} em ambos os lados da equação e simplificando, temos:

$$\Delta V_{B2}^{min} = \sqrt{\frac{2I}{\beta}} \left(1 - \sqrt{\frac{1 + \frac{\Delta I}{I}}{1 - \frac{\Delta\beta_{CAS}}{\beta_{CAS}}}} \right) + \Delta V_t^{CAS} - \Delta V_t^{CS} \quad (2.33)$$

onde: ΔV_t^{CAS} e $\frac{\Delta\beta_{CAS}}{\beta_{CAS}}$ estão descritos pela equação 2.20. Deste modo, o projeto deve cumprir:

$$V_{B2}^{min} + |\Delta V_{B2}^{min}| < V_{B2} < V_{B2}^{max} - |\Delta V_{B2}^{max}| \quad (2.34)$$

Como ΔV_{B2}^{max} e ΔV_{B2}^{min} dependem da fonte de corrente analisada, deve-se aplicar a equação 2.34 para a seleção das dimensões dos transistores, que constituem as fontes de corrente para um determinado valor de V_{B2} .

2.8.2 Ruído de quantização

O ruído de quantização numa arquitetura *current-steering* segmentada diferencial, distribui-se uniformemente na largura de banda de conversão $0 < F < F_s$, com uma densidade espectral de potência [24], dada por:

$$S_q(f) = \frac{2}{3} \frac{(I_{LSB} \cdot R_L)^2}{F_s} \quad (2.35)$$

No entanto, um conversor digital analógico também é afetado pelo ruído térmico associado aos dispositivos que constituem o DAC (resistências e transistores). A densidade espectral de potência do ruído térmico na saída do conversor pode ser descrita pela seguinte expressão:

$$S_t(f) = \frac{16}{3} kT \cdot (2^N - 1) \cdot R_L \cdot \frac{I_{LSB}}{V_{B1}} + 8kT \cdot R_L \quad (2.36)$$

onde: k é a constante de Boltzmann e T é a temperatura. Quando a potência do ruído de quantização é menor que a potência do ruído térmico, a resolução total do

conversor não é igual ao número de bits, pois a magnitude do ruído térmico supera os níveis de conversão mais baixos, e como consequência estes níveis não podem ser incluídos dentro da resolução total.

Dentro do projeto do DAC deve-se selecionar valores adequados de I_{LSB} , V_{B1} e R_L , para que o ruído térmico não limite a resolução do conversor. Uma relação recomendada na literatura é: $S_q(f) > 10 \cdot S_t(f)$, onde a perda de resolução é apenas de 0,069bits de resolução [7].

2.8.3 Tempo de estabilização

Mudanças no sinal de saída produzidas por variações na palavra digital de entrada não acontecem instantaneamente. Devido às capacitâncias parasitas, necessita-se de um tempo para que o sinal alcance o valor adequado. Se a velocidade na qual os dados são fornecidos (frequência de amostragem) é maior que o tempo de estabilização, no sinal de saída haverá erros durante a conversão. Este efeito limita a velocidade máxima de amostragem que o conversor pode responder.

Na configuração escolhida para a célula de corrente para o projeto do DAC (figura 2.11), a comutação dos transistores do par diferencial M_{SW} e M'_{SW} é realizada de forma quase simultânea (considerando os sinais de controle ideais), a uma frequência muito mais rápida que a descarga das capacitâncias, e só um transistor do par diferencial estará conduzindo enquanto o outro transistor estará cortado. Se estas condições são garantidas, os transistores M_{CAS} e M_{CS} estarão sempre conduzindo. Desta forma, o sinal de saída transitório quando uma fonte de corrente é comutada pode ser descrita pela seguinte equação [18]:

$$V_{out} = V_{out}(0) \cdot \frac{P_3 P_2}{P_{out}} \cdot \gamma_2 \cdot \left[\frac{e^{-P_{out}t}}{\left(\frac{P_3}{P_{out}} - 1\right)\left(\frac{P_2}{P_{out}} - 1\right)} + \frac{e^{-P_3t}}{\left(\frac{P_3}{P_{out}} - 1\right)\left(\frac{P_3}{P_{out}} - \frac{P_2}{P_{out}}\right)} + \frac{e^{-P_2t}}{\left(\frac{P_2}{P_{out}} - 1\right)\left(\frac{P_3}{P_{out}} - \frac{P_2}{P_{out}}\right)} \right] \quad (2.37)$$

onde: $P_{out} = \frac{1}{R_L C_L}$, $P_3 = \frac{1}{(R_L + r_{DS}^{SW})C_3}$ e $P_2 = \frac{g_m^{CAS}}{C_2}$, considerando que r_{DS}^{SW} é a resistência dreno-fonte dos transistores M_{SW} e M'_{SW} , C_3 é a capacitância no nó 3, C_2 é a capacitância no nó 2, C_L é a capacitância de carga e g_m^{CAS} é a transcondutância do transistor M_{CAS} . γ_2 é a relação entre a carga no nó interno 2 e o nó de saída, com valor de $\gamma_2 = \frac{V_2(0)C_2}{V_{out}(0)C_L}$. Considerando que a capacitância C_2 é muito maior que

Figura 2.14: Forma de onda da resposta ao degrau do sistema normalizada em função de 1LSB.

a capacitância C_3 , uma vez que o transistor M_{CS} deve ter uma largura de canal maior (para reduzir o efeito do *mismatch*) em comparação com o transistor M_{CAS} , a carga da capacitância C_3 é desprezada. Na figura 2.14 mostra-se a resposta ao degrau do sistema modelado pela equação 2.37, para diferentes valores de γ_2 . Se o valor de γ_2 aumenta, o sistema apresentará uma resposta transitória com um menor pico, porém o *settling-time* será maior. Se γ_2 diminui o sistema apresentará uma resposta transitória com maior pico e o *settling-time* será menor. Se o *Settling-time* aumenta, a largura de banda se reduz. No entanto, o aumento do pico de tensão durante o transitório degrada o SFDR [17].

O projetista tem que selecionar um valor adequado para as dimensões dos transistores M_{CAS} e M_{SW} (as dimensões do transistor M_{CS} são definidas com a consideração de *mismatch* e ruído de quantização), para atingir as especificações de largura de banda e SFDR.

2.8.4 Clock-Feedthrough (CFT)

Quando o transistor MOS é usado como chave haverá um acoplamento capacitivo entre o sinal que controla a comutação do transistor e o nó de saída, devido às capacitâncias de sobreposição e às capacitâncias do canal (principalmente C_{gs} e

Figura 2.15: Características do Clock-Feedthrough.

C_{gd}). Este efeito é conhecido como *Clock-Feedthrough (CFT)*. Quando o sinal de controle muda rapidamente de estado, a tensão nos terminais da capacitância de acoplamento também mudará rapidamente e gerará um fluxo de cargas em direção à capacitância no nó de saída. Este fluxo de cargas gerará picos de tensão. Em um conversor digital-analógico este efeito degrada a resposta dinâmica. A magnitude do pico de tensão depende das dimensões do transistor usado como chave, e da amplitude do sinal de controle. As características deste efeito se ilustram na Figura 2.4b [1].

A componente do pico de tensão devido à capacitância de sobreposição, pode ser calculado usando o circuito da figura 2.15 [1]:

$$(\Delta V_L)_{sobreop} = \frac{\frac{1}{sC_L}}{\frac{1}{sC_L} + \frac{1}{sC_{ov}}} \cdot V_L^{max} \approx \frac{W \cdot L_{ov}}{C_L} \cdot V_{DD} \quad (2.38)$$

Esta aproximação é realizada considerando que $C_L \gg C_{ov}$, que a tensão máxima no sinal de controle é V_{DD} e que $C_{ov} = W \cdot L_{ov} \cdot C_{ox}$. Do mesmo modo é calculada a componente do pico de tensão devido às capacitâncias do canal:

$$(\Delta V_L)_{canal} \approx \frac{Q_{canal}}{2} \cdot \frac{1}{C_L} \approx \frac{W \cdot L \cdot C_{ox} \cdot V_{eff}}{2C_L} \quad (2.39)$$

Esta aproximação é realizada considerando que a metade da carga acumulada em C_{ox} é injetada em C_L . Portanto, o efeito do CFT é maior quando as dimensões do transistor M_{SW} aumentam, e é menor se a capacitância de saída aumenta. Para reduzir este efeito pode usado um transistor *dummy* no nó de saída no qual é aplicado um sinal complementar [25]. Este transistor atua como um capacitor absorvendo as cargas repelidas pelo transistor que atua como chave à capacitância de saída. As características desta técnica se ilustra na figura 2.16. Este transistor *dummy* não

Figura 2.16: Características da técnica para reduzir o CFT usando um transistor *dummy*.

conduz corrente pois o dreno e a fonte estão ao mesmo potencial e igual à saída. Este transistor foi projetado com a metade da área do canal do transistor que funciona como chave.

Capítulo 3

Implementação do circuito DAC

Neste capítulo, a estratégia usada no projeto do DAC e as principais considerações durante a implementação do *layout* são descritas. No final do capítulo são apresentados os resultados de simulação pós-layout. Utilizando a estratégia de projeto proposta neste trabalho foram obtidos bons resultados, os quais são comparados com resultados de outros trabalhos. A tabela 3.1 mostra alguns parâmetros dos transistores NMOS e PMOS na tecnologia CMOS $0,35\mu\text{m}$ M4P2 de AMS, os quais foram usados para fazer cálculos do projeto do DAC.

3.1 Estratégia de projeto

O diagrama de fluxo da estratégia de projeto das fontes de corrente proposta neste trabalho é apresentado na figura 3.1. No final desta seção, estuda-se as considerações no projeto do *latch*. A seguir, apresenta-se um resumo de cada um dos passos desta estratégia.

Figura 3.1: Estratégia de projeto das fontes de corrente.

Tabela 3.1: Alguns parâmetros dos transistores NMOS e PMOS na tecnologia CMOS 0.35 μm M4P2 de AMS.

Parâmetro	PMOS	NMOS
Tensão limiar (V_t)	-0,77V	0,55V
Fator de corrente (K)	58 $\mu A/V^2$	170 $\mu A/V^2$
A_{V_T}	14,9mV μm	8,2mV μm
A_K	0,4% μm	0,2% μm
Capacitância difusão - poly1 (C_{ox})	4,54fF/ μm^2	4,54fF/ μm^2
Capacitância de overlap ($C_{overlap}$)	0,085fF/ μm	0,120fF/ μm
Mobilidade efetiva (μ_0)	120cm ² /Vs	370cm ² /Vs

3.1.1 Seleção do número de bits segmentados

O número de bits é selecionado usando as equações 2.22 e 2.21, as quais consideram o efeito do *mismatch* sobre o DNL e INL. Na equação 2.21 o valor de σ_{INL} é selecionado considerando que o efeito da resistência de saída finita contribui com 50% do valor total esperado para o INL, e o efeito do *mismatch* com o outro 50%. Desta forma simplifica-se o projeto. O valor de σ_{INL} usado na equação 2.21 é de 0,25LSB. Esta proporção foi selecionada por meio de simulações, porém o projetista pode mudar esta proporção para tentar aperfeiçoar o projeto, de acordo com as especificações requeridas.

Na seleção do valor de σ_{DNL} foi desprezado o efeito da resistência de saída finita, considerando que é muito pequeno comparado com o efeito sobre INL. Portanto, na seleção do número de bits segmentados considerou-se que 100% do DNL é gerado pelo efeito do *mismatch*.

Na figura 3.2 ilustra-se o comportamento do INL e o DNL em função do número de bits segmentados (equações 2.21 e 2.22) para $\sigma_{ILSB} = 2,5\%$. Este valor de σ_{ILSB} foi calculado usando a equação 2.20. Desta figura é possível concluir que a especificação de INL não depende de N_{seg} , e que a especificação de DNL se reduz quando N_{seg} aumenta. A seleção do número de bits segmentados também deve levar em conta a complexidade de interconexão e o consumo de área do controle digital, variáveis que aumentam quando N_{seg} aumenta. Como um compromisso

Figura 3.2: Comportamento do INL e o DNL em função do número de bits segmentados para $\sigma_{I_{LSB}} = 2,5\%$.

entre o consumo de área e a linearidade do conversor, foi selecionado $N_{seg} = 5$ e $\sigma_{I_{LSB}} = 2,5\%$ para o projeto do DAC.

3.1.2 Seleção da área da fonte LSB

Devido ao efeito do *mismatch*, é necessário empregar uma área mínima para o projeto do transistor M_{CS} da fonte LSB, a qual será a referência para o projeto do transistor M_{CS} das outras fontes. A partir da equação 2.20 é possível encontrar a área mínima para a fonte LSB em função da tensão V_{B1} , utilizando o valor de $\sigma_{I_{LSB}}$. A equação da área mínima da fonte LSB, a partir da equação 2.20 é [24]:

$$(WL)_{LSB} \geq \left(\frac{S}{\sigma_{I_{LSB}}} \cdot \left\{ A_K + \frac{2A_{V_t}}{V_{B1} - V_t} \right\} \right)^2 \quad (3.1)$$

onde: S é uma constante de escala do desvio padrão, que permite aumentar a probabilidade de que o valor do INL esteja dentro da faixa $-\sigma_{INL} < 0 < \sigma_{INL}$. Na equação 3.1 quando V_{B1} aumenta, a área do transistor usada no projeto do transistor M_{CS} diminui. No entanto, se o valor selecionado para V_{B1} for muito alto será necessário usar uma largura de canal maior para o projeto do transistor M_{CAS} . Como $(WL)_{LSB}$ é inversamente proporcional a $1/(V_{B1} - V_t)^2$, para valores de V_{B1}

Figura 3.3: Área da fonte de corrente LSB em função da tensão V_{B1} .

muito altos a redução na área requerida é pequena. Sabendo esta característica, encolheu-se $V_{B1} = \frac{2AV_t}{10 \cdot A_K} + V_t \approx 1,2V$, que resulta no valor de $(WL)_{LSB} = 7\mu m^2$ usando a equação 3.1. Nesta seleção foi usado $S=3$, com o qual consegue-se aumentar de 0,6 para 0,95 a probabilidade de que o valor de INL esteja dentro da faixa $-\sigma_{INL} < 0 < \sigma_{INL}$ [24]. O ponto selecionado de V_{B1} na curva $(WL)_{LSB}$ vs V_{B1} é mostrado na figura 3.3.

3.1.3 Seleção da resistência de carga R_L

A seleção da resistência de carga (R_L) pode comprometer dois aspectos. Primeiro, se R_L for muito grande a largura de banda será limitada devido à capacitância na saída do conversor, e ao mesmo tempo, a resistência de saída das fontes de corrente deve ser muito alta para reduzir a não-linearidade e atingir as especificações. Segundo, se R_L for muito pequena a amplitude do sinal de saída será muito baixa, e pode ser necessário um estágio extra de amplificação. Os valores mais usados na literatura estão na faixa de 25Ω a 200Ω [1]. O projeto do DAC foi feito para funcionar com uma resistência de carga de até 75Ω .

3.1.4 Seleção da corrente I_{LSB}

O valor mínimo da corrente pela fonte LSB é imposto pelo requerimento de ruído de quantização estudado anteriormente. Utilizando as equações 2.36 e 2.35, e substituindo as variáveis selecionadas nos passos anteriores, é possível calcular o

valor mínimo de I_{LSB} , tendo em conta que $S_q(f) > 10 \cdot S_t(f)$, teremos [24]:

$$\frac{2}{3} \frac{(I_{LSB} \cdot R_L)^2}{F_s} = 10 \left[\frac{16}{3} KT \cdot (2^N - 1) \cdot R_L \cdot \frac{I_{LSB}}{V_{ov}} + 8KT \cdot R_L \right] \quad (3.2)$$

A estratégia de projeto proposta inicia o processo de seleção da corrente I_{LSB} , fazendo um projeto preliminar usando o valor mínimo, $I_{LSB} = 1, 2\mu A$. No entanto, o projetista deve retornar a este ponto para selecionar um valor de I_{LSB} maior caso não seja atingida algumas características das especificações. A experiência adquirida no projeto do DAC, permitiu saber que o valor mínimo de I_{LSB} pode não ser suficiente para cumprir a especificação de largura de banda e o requerimento de resistência de saída ao mesmo tempo.

A capacitância de saída de um conversor *current-steering* pode estar na ordem de $20pF$ (considerando as capacitâncias parasitárias, a capacitância do pad, e a capacitância do pino) e junto com a resistência de saída $R_L = 75\Omega$ geram o pólo $P_{out} = 1/(2\pi C_L R_L) = 106MHz$. Outro pólo importante P_2 é gerado pela capacitância no nó 2 C_2 (a qual pode ser da ordem de $400fF$) junto com a transcondutância do transistor M_{CAS} , $P_2 = g_m^{CAS}/(2\pi C_2)$ (figura 2.11). A transcondutância g_m^{CAS} pode ser ordem de $100\mu A/V$, o qual faz com que o pólo P_2 possa ser da ordem de $39MHz$. O projetista tem que calcular o valor de g_m^{CAS} para que o pólo P_2 não limite a largura de banda do conversor. Para cumprir este objetivo existem duas possibilidades, uma ajustando as dimensões do transistor M_{CAS} , e a outra aumentando a corrente. Se reduzirmos L_{CAS} para reduzir C_2 (figura 2.11) e aumentar g_m^{CAS} , a resistência de saída pode não ser suficiente para cumprir com o requerimento de resistência de saída, se incrementarmos W_{CAS} para aumentar g_m^{CAS} a capacitância C_2 aumenta em maior proporção que o valor de g_m^{CAS} . Uma estimativa de C_2 permitiria encontrar um valor adequado de g_m^{CAS} para cumprir com a especificação de frequência de amostragem ($50MHz$), porém, nesta fase do projeto ainda não se conhece as dimensões dos transistores M_{CAS} e M_{CS} . No entanto, o pior caso da capacitância C_2 acontece na fonte MSB, a qual está principalmente constituída por C_{gd} do transistor M_{CS} (as dimensões de M_{CS} serão maiores comparadas com as dimensões de M_{CAS} devido ao requerimento de área), cujo valor pode ser aproximado pela equação [26]:

$$C_{gd} = C_{overlap} \cdot W_{CS} \quad (3.3)$$

onde W_{CS} é a largura de canal deste transistor. Depois de projetado o transistor M_{CS} e encontrado o valor de $(WL)_{MSB}$, é possível usar esta equação para aproximar o valor de transcondutância do transistor M_{CAS} necessário para atingir a especificação de frequência de amostragem (g_m^{CAS}), durante o projeto do transistor M_{CAS} .

A estratégia utilizada no projeto para ajustar g_m^{CAS} , consiste em aumentar a corrente I_{LSB} iterativamente a partir do valor mínimo, encontrando as dimensões adequadas do transistor M_{CAS} para cumprir o requerimento de resistência de saída e de polarização, até atingir o valor necessário de g_m^{CAS} .

O valor final usado no projeto foi $I_{LSB} = 2,75\mu A$. No processo foram necessárias apenas 3 iterações.

3.1.5 Seleção da resistência de saída para a fonte LSB

A equação 2.17 foi usada para fazer o cálculo da resistência de saída da fonte LSB que permite alcançar os níveis desejados de não-linearidade. Como foi dito anteriormente, o efeito da resistência de saída sobre o DNL é muito menor que sobre o INL, portanto para selecionar um valor adequado de G_{LSB} usa-se a definição formal de INL. Na arquitetura *current-steering* diferencial, o valor de INL considerando o pior caso é [1]:

$$INL = \frac{I_{out}(X = 2^N - 1) - I_{LSB} \cdot (2^N - 1)}{2 \cdot I_{LSB}} \quad (3.4)$$

onde: $I_{out}(X = 2^N - 1)$ é a corrente de saída para $X = 2^N - 1$ segundo a equação 2.17, e $I_{LSB} \cdot (2^N - 1)$ é a corrente de saída ideal para $X = 2^N - 1$. Substituindo nesta equação a componente de INL selecionada (considerando só o efeito de resistência de saída finita) e o valor escolhido de I_{LSB} , pode-se calcular a partir das equações 3.4 e 2.17 o valor mínimo de $1/G_{LSB}$ requerido pelo projeto. É necessário verificar que este valor de resistência de saída permite atingir a especificação de SFDR usando a equação 2.18. No entanto, determinou-se que com o valor selecionado de $1/G_{LSB}$ para atingir a especificação de INL e DNL, também se cumpre a especificação de SFDR.

3.1.6 Projeto de M_{CS}

Neste passo da estratégia selecionam-se as dimensões do transistor M_{CS} da fonte LSB a partir dos valores de área $(WL)_{LSB}$ e de corrente I_{LSB} selecionados, usando a equação de corrente de dreno para um transistor NMOS em saturação considerando inversão forte. Para o projeto de cada fonte de corrente são utilizadas estas dimensões multiplicadas por um fator de escala para ajustar a corrente de acordo ao peso do bit correspondente $2^b \cdot (W/L)_{LSB}$. Neste ponto da estratégia pode ser calculado o valor de g_m^{CAS} . As dimensões obtidas para o transistor M_{CS} da fonte LSB são $W = 7\mu m$ e $L = 12\mu m$, e o valor de g_m^{CAS} é $80\mu A/V$.

3.1.7 Projeto de M_{CAS} e M_{SW} e seleção de V_{B2}

O projeto do transistor M_{CAS} deve garantir que: (i) M_{CAS} opere na região de saturação; (ii) a resistência de saída de fonte LSB não pode ser inferior ao valor mínimo selecionado, e (iii) $V_{B2}^{min} < V_{B2} < V_{B2}^{max}$, considerando o efeito do *mismatch*. O projeto do transistor M_{SW} deve considerar o efeito *Clock-FeedThrough*, garantindo operação na região de triodo e uma alta velocidade de comutação. O ponto crítico da polarização do transistor M_{CAS} é a fonte de maior peso MSB, portanto o projeto do transistor M_{CAS} e a seleção da tensão V_{B2} é feito considerando esta fonte.

Na fonte de corrente *cascode* (figura 2.11 no capítulo 2), o valor de V_{B2} tem um valor mínimo (V_{B2}^{min}) no qual o transistor M_{CS} muda de região de operação, de saturação para triodo, e um valor máximo (V_{B2}^{max}) onde o transistor M_{CAS} muda de região operação, de saturação para triodo. No ponto central entre (V_{B2}^{min}) e (V_{B2}^{max}) a resistência de saída é máxima (V_{B2}^{opt}) [18]. Sabendo que a tensão mínima no nó de saída devido à queda de tensão na resistência de carga, é possível calcular o valor V_{B2}^{max} por:

$$V_{B2}^{max} \approx V_{DD} - I_{LSB} \cdot (2^N - 1) \cdot R_L - \Delta V_{DD} - \Delta V_{B2}^{max} - V_t^{CAS} \quad (3.5)$$

Esta equação leva em consideração que o circuito opere com uma variação da tensão de alimentação de $\Delta V_{DD} = 300mV$ ($V_{DD} = 3,3 \pm 0,3V$), e o efeito corpo sobre a tensão de limiar do transistor M_{CAS} (V_t^{CAS}). Esta equação despreza a queda de tensão no transistor M_{SW} , pois a tensão de *overdrive* é muito alta. ΔV_{B2}^{max}

Figura 3.4: Resultado da simulação de Monte Carlo para verificar que as dimensões escolhidas garantem que $V_{B2}^{min} < V_{B2} < V_{B2}^{max}$.

é determinado usando a equação 2.28. O valor mínimo da tensão de polarização V_{B2} pode ser dada por:

$$V_{B2}^{min} = V_{B1} + V_{GS}^{CAS} - V_t^{CS} + \Delta V_{B2}^{min} \quad (3.6)$$

onde: ΔV_{B2}^{min} é determinado usando a equação 2.33. Para selecionar um valor inicial de V_{B2} : desprezamos os termos ΔV_{B2}^{min} da equação 3.6 e ΔV_{B2}^{max} da equação 3.5, e finalmente calculamos o ponto médio entre V_{B2}^{min} e V_{B2}^{max} . Este ponto central será o valor inicial selecionado de V_{B2} , o qual é o primeiro passo de um processo iterativo onde selecionamos as dimensões do transistor M_{CAS} usando a equação da corrente de dreno do transistor MOS em saturação, e logo usamos estes valores para recalculamos V_{B2} sem desprezar os termos ΔV_{B2}^{min} e ΔV_{B2}^{max} . Se as dimensões selecionadas não cumprem o requerimento de resistência de saída ou não permitem cumprir a equação $V_{B2}^{min} < V_{B2} < V_{B2}^{max}$, o projetista deve fazer outra iteração usando novas dimensões para o transistor M_{CAS} : maior L para aumentar a resistência de saída ou maior W para garantir a correta polarização. Depois de selecionados estes valores são realizadas simulações de Monte Carlo para verificar que as dimensões escolhidas garantem que $V_{B2}^{min} < V_{B2} < V_{B2}^{max}$. O resultado desta simulação está na figura 3.4.

Neste ponto da estratégia o projetista deve simular a polarização das fontes de corrente, determinando o valor de g_m^{CAS} , e comparar este valor com o valor estimado

aproximadamente para cumprir com a especificação de frequência de amostragem (g_m^{CAS}). Se o valor de g_m^{CAS} não é alcançado, será necessário voltar ao fluxo da estratégia de projeto para selecionar uma corrente I_{LSB} maior, e fazer uma nova iteração.

Desta forma, o valor de V_{B2} utilizado no projeto foi 2,8V, e as dimensões de M_{CAS} foram $W = 5\mu$ e $L = 3\mu$. Para encontrar uma solução adequada foi preciso de 4 iterações.

Até esta fase do projeto tentou-se cumprir as especificações estáticas e de frequência de amostragem, reduzindo as dimensões dos transistores para economizar área. Porém, esta seleção não é a melhor pensando em reduzir o pico de tensão na resposta transitória. O projetista deve ajustar as dimensões do transistor M_{CAS} , para tentar conseguir um compromisso entre tempo de estabilização e o pico de tensão. Este ajuste não é necessário se a capacitância de saída for suficientemente grande para que o valor de γ_2 seja baixo. O valor desta capacitância só pode ser conhecido depois de implementar o layout. Neste trabalho considerou-se uma capacitância de saída de $20pF$ (incluindo capacitâncias parasitas de interconexão, a capacitância do *pad* e a capacitância do pino), a qual faz com que o valor de γ_2 seja muito pequeno. Este dado foi selecionado considerando conversores implementados em tecnologia CMOS 4M2P de $0,35\mu m$ da AMS [27].

3.2 Projeto do *latch*

Durante a comutação do *switch* diferencial o transistor M_{SW} passa por três estados de operação: triodo, saturação e corte [1]. Idealmente espera-se que durante a comutação só um transistor M_{SW} conduza. No entanto, quando o ponto de cruzamento dos sinais de controle do *latch* (ponto C), está abaixo do ponto onde os dois transistores M_{SW} mudam de região de operação saturação-corte (ponto A), existirá um curto intervalo de tempo onde os dois transistores conduzem ao mesmo tempo (figura 3.5a). Neste período os transistores M_{CAS} e M_{CS} podem mudar de região de operação, de saturação para triodo, reduzindo a resistência de saída gerando variações bruscas no sinal de saída. Se o ponto de cruzamento dos sinais de controle do *latch* está acima do ponto A (figura 3.5b), durante um curto intervalo

Figura 3.5: Ponto de cruzamento dos sinais de controle do *latch*: (a) C abaixo de A; (b) C acima de B; (c) C com igual valor que A.

Figura 3.6: Esquemático do circuito *Latch* selecionado.

os transistores M_{SW} estarão em corte ($V_{GS} \leq V_t$). O caso ideal se apresenta quando o ponto de cruzamento passa pelo ponto A (figura 3.5c). O projeto do *latch* deve prever esta condição, além de atingir a especificação de velocidade.

O esquemático do circuito *Latch* selecionado está na figura 3.6. Este circuito permite controlar o ponto de cruzamento dos sinais de controle (Q e QN , vide a figura 3.6), por meio de um atraso extra em um dos sinais de controle induzido pelo inversor X1b e pelo ajuste do tempo comutação induzido pelo inversor X1a. A figura 3.7 permite entender como é feito este ajuste. Quando é induzido um atraso sobre um dos sinais de controle, o ponto de cruzamento nos dois casos de comutação é diferente (figura 3.7b). Acontece o mesmo se o tempo de comutação (T_{PLH} ou T_{PHL}) de um dos sinais é maior que o outro (figura 3.7c). Estes dois efeitos podem

Figura 3.7: Ajuste do ponto de cruzamento dos sinais de controle do *latch*: (a) caso ideal; (b) caso quando é induzido um atraso em um dos sinais de controle; (c) caso quando o tempo de comutação de um sinal de controle é maior que o outro; (d) Ajuste do ponto de cruzamento nos sinais de controle.

ser usados para ajustar o ponto de cruzamento, e fazer que este ponto seja o mesmo nos dois casos de comutação do *latch*, como é mostrado na figura 3.7d.

Dentro do projeto é considerado que os inversores $X1_b$, $X2$, $X3_a$, $X3_b$, $X4_a$ e $X4_b$ (de tipo estáticos) são iguais, e estes são projetados para que os tempos t_{PLH} e t_{PHL} sejam iguais, minimizando as dimensões dos transistores. Para o cálculo inicial das dimensões destes inversores são usadas as equações [26]:

$$t_{PHL} \approx \frac{1,7C_L}{k_n \left\{ \frac{W}{L} \right\}_n V_{DD}} \quad t_{PLH} \approx \frac{1,7C_L}{k_p \left\{ \frac{W}{L} \right\}_p V_{DD}} \quad \text{com} \quad k_p \left\{ \frac{W}{L} \right\}_p = k_n \left\{ \frac{W}{L} \right\}_n \quad (3.7)$$

A relação usada entre o transistor NMOS e PMOS foi $\left\{ \frac{W}{L} \right\}_n = 0,5 \cdot \left\{ \frac{W}{L} \right\}_p$. As dimensões selecionadas para estes inversores depois de fazer simulações pós-layout foram: $W_p = 2\mu m$, $W_n = 1\mu m$, $L_n = L_p = 0,35\mu m$ (mínimo comprimento de canal).

O transistor Ma deve permitir que o circuito biestável $X3_a$ - $X3_b$ mude de estado estável, de acordo com o dado na entrada do *latch*. Para calcular as dimensões dos transistores Ma_1 e Ma_2 , são utilizados os circuitos equivalentes apresentados na figura 3.8, os quais representam os dois casos de comutação do biestável $X3_a$ - $X3_b$. No caso A (figura 3.8a) o transistor PMOS do inversor $X1_b$, o transistor NMOS do inversor $X3_b$ e o transistor Ma_2 , formam um caminho de condução (as tensões são

Figura 3.8: (a) Circuito equivalente do caso A de comutação do circuito biestável $X3_a$ - $X3_b$; (b) Circuito equivalente do caso B de comutação do circuito biestável.

indicadas em cada nó). Para que o circuito biestável mude de estado estável a tensão no nó y deve ser menor que a tensão limiar do transistor NMOS. Considerando os três transistores em triodo é possível calcular a relação (W/L) dos transistores Ma_1 e Ma_2 . No caso B (figura 3.8b) o transistor PMOS do inversor $X3_a$, o transistor NMOS do inversor $X2$ e o transistor Ma_1 , formam um caminho de condução. Para que o circuito biestável mude de estado estável a tensão no nó w deve ser maior que $V_{DD} - |V_{tp}|$, onde $|V_{tp}|$ é tensão de limiar do transistor PMOS. Desta forma é possível calcular um novo valor de (W/L) do transistor Ma . O projetista deve selecionar o maior valor entre estes dois valores de (W/L) . As dimensões usadas no projeto para este transistor foram $W = 5\mu m$ e $L = 0,35\mu m$.

Para ajustar o ponto de cruzamento dos sinais de controle do *latch*, é induzido um atraso num dos sinais usando o inversor $X1b$, modificando o tempo T_{PLH} de um dos sinais de controle para fazer que os dois casos de comutação sejam iguais. Como no projeto do DAC é usado um *switch* diferencial tipo PMOS, a tensão mínima na porta do transistor M_{SW} para permanecer na região de corte é:

$$V_{p_{SW}} = V_{DD} - I_{LSB} \cdot (2^N - 1) \cdot R_L - |V_{tp}| \quad (3.8)$$

Esta equação considera o pior caso da tensão no nó de saída. Calculando o valor de $V_{p_{SW}}$ é possível ajustar por simulação o ponto de cruzamento dos sinais de controle, variando a relação W/L do inversor $X1_a$. As dimensões utilizadas para este inversor foram $W = 1\mu m$ e $L = 0,35\mu m$. O resultado de simulação dos sinais

Figura 3.9: Resultado de simulação dos sinais de controle do *latch*, Q e QN .

Figura 3.10: Nova configuração proposta da arquitetura *current-steering* segmentada diferencial.

de controle do *latch* é apresentado na figura 3.9.

3.3 Layout

Neste trabalho a arquitetura tradicional foi modificada objetivando reduzir consumo de área, obter um layout melhor distribuído e interligações mais curtas. O desenho

Figura 3.11: Layout do DAC projetado.

do circuito projetado se apresenta na figura 3.11. O decodificador e o bloco de *latches* e *switches* que controlam as fontes unitárias, é dividido em dois blocos controlados pelo bit MSB da palavra digital. Um bloco controla a metade das fontes e o outro bloco controla a outra metade. Desta forma se consegue uma maior simetria e um layout mais compacto.

O *layout* do DAC projetado em tecnologia CMOS $0,35\mu\text{m}$ M4P2 de AMS está na figura 3.12a, o qual é constituído por uma matriz de 31 fontes de corrente de

(a)

(b)

Figura 3.12: (a) Distribuição da matriz de fontes de corrente de peso único; (b) *Layout* da matriz de fontes de corrente de peso único.

Figura 3.13: (a) Layout de um transistor usando estrutura de dedos; (b) Polissilício *dummy* a cada lado de um transistor implementado em estrutura de dedos.

peso único ($2^5 - 1$), 3 fontes de corrente de peso binário, dois blocos de transistores M_{CAS} , 2 blocos de *latches*, e 2 blocos de *switches*. A matriz de fontes de corrente está posicionada no centro do chip para garantir simetria.

A implementação do layout é um passo fundamental no projeto de um DAC na arquitetura *current-steering* em tecnologia CMOS, pois a correta operação deste circuito depende de como estão distribuídos os dispositivos dentro da matriz final. A seguir são descritos os conceitos mais importantes utilizados na implementação do layout [28]:

- O *layout* dos transistores projetados como idênticos com largura de canal muito maior que o comprimento de canal, foi feito usando uma estrutura de dedos interdigitados tentando melhorar o casamento, além de uma distribuição mais compacta. Para otimizar o casamento nesta estrutura é utilizado o conceito de *chirality* [28]: é o valor absoluto da relação entre os dedos orientados para a esquerda menos os dedos orientados para a direita. Esta definição se pode explicar melhor com o seguinte exemplo: se o *layout* de um par de transistor interdigitados é projetado com a estrutura de dedos ABAB mostrada na figura 3.13a, onde os dedos A tem uma orientação direita (dreno-fonte) e os dedos B

Figura 3.14: (a) Layout de dois transistores com a mesma orientação; (b) Layout de dois transistores com orientação diferente.

tem uma orientação esquerda (fonte-dreno), então o *chirality* deste transistor é $|\frac{2}{4} - \frac{2}{4}| = 0$. Transistores com *chirality* igual a 0 tem casamento ótimo.

- Como consequência dos erros durante a corrosão do poli-silício no processo de fabricação do circuito integrado, o comprimento de canal de um transistor não terá o valor idealmente esperado. Quando é utilizada uma estrutura de dedos, os poli-silícios que tem lados adjacentes sofrem um efeito simétrico e a variação no comprimento será a mesma. No entanto, quando um poli-silício não tem um lado adjacente o efeito não é simétrico. Para evitar descasamento entre os dedos, é implementado um poli-silício *dummy* a cada lado da estrutura de dedos, como se ilustra na figura 3.13b. Estes poli-silícios *dummies* não afetam a operação normal do transistor.
- Os transistores projetados como idênticos foram posicionados com a mesma orientação (figura 3.14a). Quando dois transistores não estão posicionados na mesma orientação como se mostra na figura 3.14b, a mobilidade dos elétrons será diferente para cada transistor, pois este parâmetro depende da orientação do cristal de silício.

No projeto das fontes de corrente foi considerada a componente de *mismatch* dependente das dimensões dos transistores, porém não foi considerada a componente de *mismatch* dependente do espaçamento entre dispositivos. Como o número de fontes de corrente de peso único é alto (31 fontes), o espaçamento entre os

transistores M_{CS} pode ser, no pior caso, da ordem de centenas de micrometros. Como consequência da variação da corrente de dreno destes transistores pode degradar as especificações de linearidade do conversor. Do mesmo modo a gradiente de temperatura dentro da matriz de fontes de corrente pode gerar variações na corrente de dreno. Este efeito pode ser reduzido usando uma distribuição e uma sequência de ativação estratégica das fontes de corrente. A distribuição proposta neste trabalho se apresenta na figura 3.12a, a qual é uma combinação simplificada de várias técnicas presentes na literatura [29–32].

Na figura 3.12b se ilustra com maior detalhe o layout da matriz de fontes de corrente de peso único. O espaçamento entre as fontes foi minimizado de acordo com as regras do processo de fabricação, obtendo um *layout* compacto, com um consumo de área ativa de $200\mu m \times 200\mu m$. A sequência de ativação das fontes é indicada nesta figura com a letra f e o número correspondente na sequência (figura 3.12a). Para entender como a sequência de ativação proposta neste trabalho permite reduzir a variação da corrente entre as fontes de peso único, a seguir um resumo das características mais importantes é apresentado.

O desvio da corrente dreno entre transistores geometricamente iguais, devido ao espaçamento e ao gradiente de temperatura pode ser aproximado pela equação [29]:

$$\Delta I(x, y) = b_0 + b_1 X + b_2 Y + b_3 XY \dots \quad (3.9)$$

onde: (X, Y) é a posição do transistor considerando uma referência $(0, 0)$ no centróide da distribuição. As constantes b_0 , b_1 , b_2 e b_3 dependem do processo de fabricação. A distribuição proposta neste trabalho considera todas as fontes de corrente posicionadas no eixo X , ou seja $Y = 0$. Desta forma a equação 3.9 simplifica-se a uma equação linear $\Delta I(x) = b_0 + b_1 X$. A partir desta equação se pode afirmar que a variação da corrente em cada fonte da matriz tem um comportamento linear em função da posição com respeito ao centróide da matriz. Como resultado, uma sequência de ativação de fontes contíguas numa só direção leva a uma acumulação do erro devido à variação da corrente, como se ilustra na figura 3.15a. No entanto, a sequência proposta neste trabalho permite compensar a variação negativa da corrente de um lado da matriz, com a variação positiva da corrente do lado oposto. Este comportamento é ilustrado na figura 3.15b, onde a

Figura 3.15: (a) Sequência de ativação de fontes contíguas numa só direção; (b) Sequência de ativação proposta neste trabalho.

variação negativa da corrente nas fontes 1, 3, 5, 17 e 19 é compensada pela variação positiva nas fontes 2, 4, 18 e 20.

Na implementação do layout do DAC projetado, foram tomados alguns cuidados adicionais:

- Foi implementado um isolamento entre o estágio digital e o estágio analógico usando um anel de guarda de difusão P aterrado, para reduzir o acoplamento dos sinais digitais através do substrato.
- A distribuição dos *pads* foi feita de modo que os sinais digitais fiquem o mais longe possível dos sinais analógicos, usando um *pad* de terra de separação entre eles que atua como isolamento, como se ilustra na figura 3.16.
- Para evitar que picos de corrente devido à comutação no estágio digital afetem o estágio analógico, foram implementados *pads* independentes de alimentação digital (VDD) e alimentação analógica (VDA), de terra digital (GND) e terra analógica (GNA).

Figura 3.16: Distribuição dos *pads* no layout do DAC.

O *layout* do *switch* diferencial se ilustra na figura 3.17a, incluindo os transistores *dummies* em cada nó de saída. O layout do estágio digital constituído por um bloco de *latches* e o decodificador é apresentado na figura 3.17b.

Para proteger o circuito contra descargas eletrostáticas durante a manipulação, foram implementados diodos de proteção em cada *pad* do circuito (figura 3.18). Para os *pads* de entradas digitais foi incluído um resistor de 200Ω , o qual não foi implementado nos *pads* de sinais analógicos para não afetar o comportamento do circuito. As dimensões dos diodos e o valor do resistor são sugeridos na documentação do processo de fabricação da empresa AMS. A estrutura dos diodos utilizados é ilustrado na figura 3.18.

O *layout* do circuito de proteção para os *pads* dos sinais digitais, para os *pads* dos sinais analógicos, para os *pads* de alimentação e os *pads* de terra é mostrado na figura 3.19.

3.4 Resultados de simulação pós-*layout*

Depois de implementado o layout do DAC projetado, foram realizadas simulações pós-*layout* usando o arquivo de extração do circuito, incluindo as capacitâncias e resistências parasitas devido às trilhas de interconexão, utilizando os modelos BSIM3V3 de ELDO. Um resumo das principais simulações feitas ressaltamos a seguir:

Figura 3.17: (a) Layout do *switch* diferencial; (b) Layout do estágio digital.

- Simulação de linearidade (INL e DNL)

Para medir estes parâmetros foi usado como sinal de entrada ao DAC a saída de um contador de 8 bits para obter a função de transferência do conversor. A frequência de amostragem usada foi de 50MHz. O resultado desta simulação se apresenta na figura 3.20. Usando estes dados e aplicando a definição formal de INL e DNL, o valor destes parâmetros para cada passo de conversão foi determinado. O resultado da simulação do INL e o DNL se mostra na figura 3.21.

- Simulação do SFDR.

Para medir o parâmetro SFDR foi usado como sinal de entrada a saída de

Figura 3.18: Circuito de proteção contra descargas eletrostáticas implementado em cada *pad* do circuito.

Figura 3.19: (a) Layout do circuito de proteção nos *pads* dos sinais digitais; (b) Layout do circuito de proteção nos *pads* dos sinais analógicos; (c) Layout do circuito de proteção nos *pads* de alimentação; (d) Layout do circuito de proteção nos *pads* de terra.

um conversor analógico-digital ADC ideal de 8 bits. Na entrada do conversor ADC foi aplicado um sinal senoidal com amplitude de 2^{N-1} , com um nível de

Figura 3.20: Simulação da função de transferência do conversor usando uma frequência de amostragem de 50MHz.

DC de 2^{N-1} e uma frequência de 1MHz. O sinal de *clock* do conversor ADC é o mesmo sinal para o DAC para garantir sincronia. A figura 3.22a apresenta o sinal de saída do DAC como resultado desta simulação, para uma frequência de amostragem de 50MHz.

Usando os dados obtidos nesta simulação, é possível calcular o valor do SFDR a partir da transformada rápida de Fourier (FFT) do sinal de saída. A figura 3.22b ilustra o resultado da FFT. Esta simulação também foi feita usando uma frequência de amostragem de 10MHz. O resultado é mostrado na figura 3.22c.

(a)

(b)

Figura 3.21: (a) Resultado de simulação do INL; (b) Resultado de simulação do DNL.

Figura 3.22: (a) Sinal senoidal de saída de 1MHz do DAC para uma frequência de amostragem de 50MHz; (b) Espectro do sinal senoidal de saída do DAC de 1MHz para uma frequência de amostragem de 50MHz; (c) Espectro do sinal senoidal de saída do DAC de 1MHz para uma frequência de amostragem de 10MHz .

Capítulo 4

Resultados experimentais

O projeto do conversor digital-analógico não estaria completo sem a recopilação das informações obtidas através de testes experimentais realizados sobre o mesmo. Todo o trabalho metódico desenvolvido para obter um comportamento final do circuito, utilizando análise teórica e ferramentas para simular o comportamento do circuito, deve ser testado no mundo real.

Nos capítulos anteriores foi apresentada a metodologia utilizada para atingir o objetivo desejado: um DAC para ser utilizado num transmissor Bluetooth que ocupasse pequena área e baixo consumo de potência. Foram expostas as teorias necessárias para entender o funcionamento do DAC, várias arquiteturas possíveis, as especificações, os requerimentos de projeto e, por fim, a implementação realizada. No mundo real estão presentes alguns aspectos que não são considerados no projeto inicial por diversas razões, mas que ao final influenciam na correta operação do circuito. Destes aspectos, aqueles que forem reconhecidos como importantes, devem ser considerados na realização de futuros trabalhos.

Neste capítulo, a forma como foi realizado o teste do DAC, os problemas encontrados e os resultados obtidos são apresentados.

A figura 4.1a mostra a fotografia do *chip* fabricado. A figura 4.1b ilustra a matriz do DAC ampliada. O DAC foi encapsulado num PGA (*Pin Grid Array*) de 68 pinos. Para realizar o teste do DAC foi implementada uma placa de circuito impresso, conforme a figura 4.2. Os principais cuidados na hora de elaborar a placa foram:

Figura 4.1: (a) Fotografia do circuito integrado fabricado; (b) Fotografia com maior detalhe do circuito DAC fabricado.

- Há capacitores de desacoplamento entre o plano de terra e o plano de alimentação de valores de $10\mu\text{F}$ e 10nF posicionando-os o mais perto possível

do chip.

- Linhas independentes de alimentação para a parte digital (VDD) e a parte analógica (VDDA).
- As linhas de interconexão entre a FPGA usada no teste e o chip foram feitas as mais curtas possíveis.

A tensão de alimentação usada durante o teste foi de 3,3V gerada por uma fonte de alimentação externa (HP E3631A). As tensões de polarização $V_{B1} \approx 1,2V$ e $V_{B2} \approx 2,8$ também foram geradas usando fontes externas.

4.1 Procedimento experimental

O teste experimental divide-se em duas partes: teste estático e teste dinâmico. O teste estático serve para determinar as características de *Offset*, INL e DNL, potência

Figura 4.2: Placa circuito impresso utilizada no teste.

Figura 4.3: Montagem empregada durante o teste estático experimental.

Figura 4.4: (a) Resultado experimental do INL; (b) Resultado experimental do DNL.

dissipada e o teste dinâmico para determinar as características de SFDR, e a máxima frequência de amostragem.

4.1.1 Teste estático

No teste estático foi usada a FPGA Spartan 2 da Xilinx a qual atua como um gerador de palavras digitais, e fornece para o DAC o sinal de *clock*. A figura 4.3 ilustra a montagem empregada durante o teste estático experimental constituído dos equipamentos: voltímetro HP3478A, fonte de tensão HPE3631A e um computador de controle para aquisição dos dados. Primeiro a corrente de escala completa ($I_t = (2^N - 1) \cdot I_{LSB}$) do DAC foi ajustada ao valor desejado ($700\mu A$) usando a tensão V_{B1} . Utilizando um voltímetro de alta precisão (HP3478A) foi medida a tensão para cada palavra digital, e foi tabulado manualmente o valor correspondente em cada passo de conversão. Usando os dados obtidos foi possível calcular o valor do INL e DNL, usando a definição formal destes parâmetros. Isto foi feito para 8 diferentes chips. O valor da tensão V_{B1} usado experimentalmente para ajustar o valor requerido de corrente de escala completa, foi em média 1,182V considerado que os casos extremos foram $1,178V < V_{B1} < 1,190V$. A tensão V_{B2} foi fixada a 2,8V. A figura 4.4 ilustra o resultado do pior caso obtido no teste experimental do INL e DNL considerando 8 amostras, para cada um dos $2^N - 1$

níveis de conversão. Deste resultado pode-se concluir que o INL e DNL máximo do conversor projetado considerando 8 amostras do circuito DAC fabricado é de 0,3LSB e 0,37LSB, respectivamente. A média da característica do INL nas amostras testadas foi de $0,26\text{LSB} \pm 0,04\text{LSB}$, e a média da característica do DNL nas amostras testadas foi de $0,32\text{LSB} \pm 0,05\text{LSB}$. O circuito foi projetado para ter um INL menor que 0,25LSB com um desvio padrão de 0,25LSB (ver capítulo 3) e um DNL de 0,11LSB com um desvio padrão de 0,27LSB (ver capítulo 3). Comparando estes valores com os obtidos experimentalmente, é possível afirmar que os resultados experimentais são bons e permitem validar os cálculos realizados. O tensão de *offset* obtida foi em média 0,6LSB com uma variação de 0,2LSB, considerando um casamento de 1% nos resistores de carga.

4.1.2 Teste dinâmico

No teste dinâmico de novo foi usada a FPGA Spartan 2 da Xilinx como gerador de palavras, mas neste teste para ter uma maior precisão a FPGA e o circuito em teste tem o clock comum de 50MHz externo gerado pelo equipamento HP8133A. A montagem usado neste teste se ilustra na figura 4.5, que é constituído, além do HP8133A, pelo osciloscópio Agilent DSO5054A, da fonte de tensão HP3631A, e do computador para controle e aquisição dos dados. Na memória da FPGA foram armazenadas as palavras digitais correspondentes a um período de um sinal senoidal digital de 1MHz. Usando um contador para controlar a leitura dos dados em memória, cada uma das palavras foi lida de forma consecutiva a 50MHz, e ao mesmo tempo entregue ao DAC. Desta forma, se tem um sinal senoidal digital de 1MHz de frequência e 50MHz de frequência de amostragem. Usando um osciloscópio digital

Figura 4.5: Montagem empregada durante o teste dinâmico experimental.

(a)

(b)

(c)

Figura 4.6: Resultado experimental do pior caso do SFDR para duas amostras testadas com $F_{out} = 1MHz$, $I_t = 700uA$, e a frequência de amostragem de: (a) $F_s = 50MHz$, (b) $F_s = 20MHz$, (c) $F_s = 10MHz$.

Tabela 4.1: Especificações do osciloscópio usado no teste dinâmico (DSO5054A da Agilent).

Especificação	Valor
Largura de banda	500MHz
Frequência de amostragem	4GSamples/s
Resolução vertical	12bits

com opção para fazer transformada rápida de Fourier (DSO5054A da Agilent), foi analisado o espectro do sinal de saída e medido o seu valor de SFDR para 2 amostras do chip fabricado. As especificações mais importantes do osciloscópio usado neste teste estão na tabela 4.1.

O mesmo teste foi feito para a frequência de amostragem de 10MHz e de 20MHz, para uma corrente de escala completa de $700\mu A$. O resultado do teste dinâmico é apresentado nas figura 4.6 (pior caso das duas amostras testadas). O valor de SFDR obtido no teste experimental é indicado em cada figura. O resultado de SFDR para uma frequência de amostragem de $50MHz$ mostrou uma diferença de $2,5dBc$ com respeito à simulação. O resultado de SFDR para uma frequência de amostragem de $10MHz$ mostrou uma diferença de $6dBc$ com respeito à simulação. Na tabela 4.2 se resume os resultados obtidos no teste experimental do DAC.

Um certo nível de ruído está presente nos sinais analisados e no processo de conversão analógico-digital num osciloscópio digital (erro de quantização, de linearidade e ruído térmico). A média aritmética em cada ponto no tempo a partir de uma série de aquisições idênticas (para um sinal repetitivo), permite reduzir o ruído presente no sinal bem como um aumento de sua resolução vertical no momento de visualizar o sinal. Esta opção de média ponto a ponto foi utilizada no teste dinâmico.

O principal problema do teste dinâmico foi o controle dos atrasos entre os bits da palavra digital de entrada ao DAC em altas frequências. Estes atrasos podem gerar *glitches* no sinal de saída. Foram feitos vários testes com a FPGA para melhorar este problema.

Tabela 4.2: Resumo dos resultados experimentais.

Especificação	Valor
Resolução [Bits]	8
Offset [LSB]	$0,6 \pm 0,2$
Corrente de escala completa [μA]	700
Consumo de potência [mW]	2,5
Tensão de alimentação [V]	3,3
Resistência de carga [Ω]	75
INL [LSB]	$0,26 \pm 0,04$
DNL [LSB]	$0,32 \pm 0,05$
Máxima frequência de amostragem [MS/s]	50
SFDR ($F_{out} = 1MHz @ F_s = 10MS/s$) [dBc]	52
SFDR ($F_{out} = 1MHz @ F_s = 50MS/s$) [dBc]	57,5

4.2 Comparação deste trabalho com outros

Na tabela 4.3 é feita uma comparação deste trabalho com outros trabalhos recentes de conversores digital-analógico em tecnologia CMOS, com especificações similares. Vários pontos importantes realçam o projeto desenvolvido:

- O consumo de potência é baixo comparado com [19], considerando que a tecnologia deste outro trabalho é de $0,25\mu m$ e tensão de alimentação é 2V. Não é possível fazer uma comparação justa com o trabalho do autor [33], pois a frequência de amostragem deste outro trabalho é 100MHz.
- O consumo de área é muito menor neste trabalho, tendo em conta que a tecnologia usada nos outros trabalhos são de $0,25\mu m$ e $0,35\mu m$.
- A característica obtida de INL e DNL são similares.
- A característica obtida de SFDR obtida neste trabalho não é muito diferente, usando como figura de mérito o consumo de potência e a frequência de amostragem.

O desenvolvimento deste trabalho resultou em quatro publicações. As mais importantes foram no evento SBCCI 2007 [4], e um artigo na revista *Analog Integrated Circuits and Signal Processign, Springer*, 2008 [5].

Tabela 4.3: Tabela comparativa deste trabalho com outros trabalhos recentes com especificações similares.

Especificação	Este trabalho	[33]	[19]
Tecnologia	0,35 μm	0,35 μm	0,25 μm
Resolução [bits]	8	8	8
Consumo de potência [mW]	2,5	54,3	2
Tensão de alimentação [V]	3,3	3,3	2
INL[LSB]	0,3	0,32	0,23
DNL[LSB]	0,37	0,12	0,3
Máxima frequência de amostragem [MHz]	50	100	10
SFDR[dB]/ F_{out} [MHz]@ F_s [MHz]	57,5/1@50	62/2,5@100	50/0,2@10
Área ativa [mm^2]	0,04	0,45	0,25

Capítulo 5

Conclusões e Recomendações

Foi projetado um conversor digital analógico, para ser utilizado em um transmissor RF cumprindo as especificações mínimas do padrão *Bluetooth*, integrado em tecnologia CMOS de $0,35\mu m$ M4P2.

Foram estudadas e determinadas as especificações de frequência de amostragem e resolução que um DAC deve atender para cumprir a especificação de SFDR em um transmissor RF. Foi apresentada uma forma de fazer este cálculo usando inicialmente equações básicas, para depois usar modelos matemáticos presentes na literatura para considerar o efeito de não-linearidade e ruído do Mixer no sinal de saída do transmissor.

As diferentes arquiteturas encontradas na literatura para o projeto de um conversor digital-analógico em tecnologia CMOS foram estudadas. Escolheu-se a arquitetura *current-steering*, pois esta permite atingir as especificações necessárias, ocupando menor área do que com outras arquiteturas. Para reduzir o efeito dos *glitches* devido aos estados intermediários durante o transitório da comutação, selecionou-se uma configuração segmentada considerando como variável de projeto o número de fontes de peso único e o número de fontes de peso binário. Com base nesta configuração, foi proposta uma nova distribuição dos blocos digitais e das fontes de corrente, que permite obter um *layout* mais compacto e interconexões mais curtas.

Foram analisados os principais requerimentos do projeto de um DAC *current-steering*, que são: resistência de saída finita, *ruído de quantização*, *Mismatch*, tempo de estabilização e CFT, apresentando as equações e relações matemáticas

utilizadas durante o cálculo das variáveis, objetivando atingir as especificações.

O projeto do conversor digital analógico foi desenvolvido usando uma estratégia proposta neste trabalho, onde de maneira rápida e simples são ajustadas as variáveis do projeto. A estratégia de projeto das fontes de corrente usa como ponto inicial a seleção da corrente LSB mínima para cumprir o requerimento de ruído de quantização, aumentando este valor iterativamente até atingir a especificação de frequência de amostragem, selecionando adequadamente as dimensões dos transistores que constituem as fontes de corrente. O *latch* foi projetado para que o ponto de cruzamento dos sinais de controle do *switch* diferencial permita que só um transistor M_{SW} conduza ao mesmo tempo. Neste trabalho se apresentou a forma como devem ser calculadas as dimensões dos transistores de uma arquitetura de *latch* estático baseada em inversores, para cumprir esta condição.

Na implementação do layout do conversor projetado o ponto mais crítico é a implementação da matriz de fontes de corrente de peso único, pois a componente de *Mismatch* devido ao espaçamento entre as fontes e o gradiente de temperatura na lâmina de silício pode gerar considerável variação na corrente em cada fonte. A distribuição das fontes de corrente de peso único proposta neste trabalho, a qual é uma mistura de várias técnicas usadas na literatura, permite reduzir este efeito e ao mesmo tempo reduzir o consumo de área.

Dos testes experimentais obteve-se um SFDR de 58dB para 50MHz de frequência de amostragem com 1MHz de frequência do sinal senoidal de saída, e 52dB para 10MHz de frequência de amostragem com 1MHz de frequência do sinal senoidal de saída. A especificação de não-linearidade obtida foi: $INL=0,37LSB$ e $DNL=0,37LSB$ usando 75Ω , ocupando a área de $200\mu m \times 200\mu m$. O circuito DAC é alimentado com uma fonte de 3,3V e consome $700\mu A$. Estes resultados são bons comparados com trabalhos recentes apresentados na literatura.

Depois de testar o circuito integrado e fazer a análise dos resultados se recompilou uma série de recomendações para melhorar o funcionamento do DAC, ou para ser utilizada em outros projetos.

Observou-se que o circuito sendo testado é bastante sensível a fatores externos como: vibrações mecânicas, mal contato das pontas para teste, interferências eletromagnéticas externas, ruído da fonte de alimentação. Tais fatores afetam a

pureza dos sinais e valores medidos.

Não foi possível fazer os testes dinâmicos usando um analisador de espectro, pois os equipamentos deste tipo na Escola Politécnica da USP e em algumas outras Universidades, não permitem analisar o espectro de um sinal diferencial com um nível de DC de aproximadamente 3V. Recomenda-se implementar um circuito externo devidamente caracterizado que permita fazer este tipo de teste usando os equipamentos existentes na EPUSP.

O principal problema do teste dinâmico foi o controle entre os bits da palavra digital de entrada ao DAC em 50MHz o qual gera *glitches* no sinal de saída, e depende da configuração das células dentro da FPGA. Foram feitos vários testes com a FPGA para melhorar este problema. No entanto, é possível obter melhores resultados usando um gerador de palavras de 8 bits com frequência de amostragem maior de 50MHz.

É recomendável testar e caracterizar cada bloco em separado com o objetivo de conhecer antecipadamente possíveis problemas que afetarão o desempenho de todo o conversor, como por exemplo os sinais de controle do *switch* diferencial gerado pelo *latch*, tempo de *atraso* nos blocos digitais, etc.

Finalmente, recomenda-se realizar uma melhor montagem para testes do circuito integrado, procurando reduzir alterações nos resultados experimentais devido a fatores externos, por exemplo, trilhas muito cumpridas ou conexões de terra das diversas fontes muito separadas do contato de terra do *chip*, usar caixa de blindagem, etc.

Referências bibliográficas

- [1] M. Gustavsson, J. Wikner, and N. Tan, *CMOS Data Converter for Communication*. Kluwer Academic Publishers, Boston, 2000.
- [2] H. Darabi, S. Khorram, H.-M. Chien, M.-A. Pan, S. Wu, S. Moloudi, J. C. Leete, J. J. Rael, M. Syed, R. Lee, B. Ibrahim, M. Rofougaram, and A. Rofougaran, “A 2.45-GHz CMOS Transceiver for Bluetooth,” *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 2016–2024, December 2001.
- [3] P. Hendriks, “Specifying communication DACs,” *IEEE Spectrum*, pp. 58–69, July 1997.
- [4] H. Hernández, W. V. Noiye, E. Roa, and J. Navarro, “A small area 8bits 50MHz CMOS DAC for bluetooth transmitter,” in *SBCCI '07: Proceedings of the 20th Annual Conference on Integrated Circuits and Systems Design*. New York, NY, USA: ACM, 2007, pp. 10–15.
- [5] H. Hernández, W. V. Noiye, E. Roa, and J. Navarro, “A 2.5mW Small Area Current Steering CMOS DAC for Bluetooth,” in *Analog Integrated Circuits and Signal Processign, Springer Netherlands*, August 2008.
- [6] W. Bennet, “Spectra of Quantized Signals,” *Bell Syst. Tech. J.*, vol. 27, pp. 446–472, 1948.
- [7] R. V. de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2nd ed. Kluwer Academic Publishers, Boston, 2003.
- [8] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge University Press, 2004.

- [9] *Specification of the Bluetooth System v1.0A [Online]*. Available: <http://www.bluetooth.com>, November 2004.
- [10] S. Byun, C.-H. Park, Y. Song, S. Wang, C. S.G.Conroy, and B. Kim, “A Low-Power CMOS Bluetooth RF Transceiver With a Digital Offset Canceling DLL-Based GFSK Demodulator,” *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1609–1618, October 2003.
- [11] T. B. Cho, D. Kang, C.-H. Heng, and B. S. Song, “A 2.4-GHz Dual-Mode 0.18- μm CMOS Transceiver for Bluetooth and 802.11b,” *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1609–1618, November 2004.
- [12] B.-S. Song, V. Leung, T. Cho, D. Kang, and S. Dow, “A 2.4GHz Bluetooth Transceiver in 0.18 μm CMOS.” [Internet]. Visite: <http://www.ap-asic.org>
- [13] G. Chan, L. Jansson, K. Wang, J. Grilo, R. Montemayor, C. Hull, M. Lane, A. X. Estrada, M. A. I. Galton, and S. V. Kishore, “A Direct-Conversion Single-Chip Radio-Modem for Bluetooth,” *ISSCC Digest of Technical Papers*, pp. 88–89, February 2002, San Francisco, USA.
- [14] C. H. Yang W. and Y. J., “A High-level VHDL-AMS Model Design Methodology for Analog RF LNA and Mixer,” *Proceedings of the 2004 IEEE International, Behavioral Modeling and Simulation Conference, BMAS 2004.*, pp. 125 – 129, October 2004, San Jose, USA.
- [15] P. B. Khannur and K. S. Ling, “A 2.45GHz Fully-Differential CMOS Image-Reject Mixer for Bluetooth Application,” *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 439–442, 2002, Seattle, USA.
- [16] T. E. and H. K., “Current-Folded Mixer for Upconversion Applications,” *ELECTRONICS LETTERS-IEE*, vol. 38, pp. 1664–1665, 2002.
- [17] J. Wikner, “Studies on CMOS Digital-to-Analog Converters,” Master’s Thesis, Department of Electrical Engineering Linköping University, S-581 83 Linköping, Sweden, 2001.

- [18] J. I. G. Miquel Albiol and E. Alarcón, “Mismatch and Dynamic Modeling of Current Sources in Current-Steering CMOS D/A Converters an Extended Design Procedure,” *IEEE Transactions on Circuits and Systems*, vol. 51, no. 1, pp. 159–169, January 2004.
- [19] H.-S. K. Huei-Chi Wang and T.-C. Lee, “An 8-bit 2-V 2-mW 0.25-mm² CMOS DAC,” *IEEE Asia Conference on Advanced System Integrated Circuits (AP-ASIC2004)*, Fukuoka, Japan, pp. 102–105, August 2004.
- [20] S. Chin and C. Wu, “A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current Sources,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 1374–1380, November 1994.
- [21] A. Marques and J. Bastos, “A 12-bit accuracy 300 MS/s update rate CMOS DAC,” in *Proc. IEEE 1998 Int. Solid State Circuits Conf. (ISSCC)*, pp. 216–217, February 1998, San Francisco, USA.
- [22] J. Wikner, “Modeling of CMOS Digital-to-Analog converters for Telecommunication,” *IEEE Transactions on Circuits and Systems*, vol. 46, no. 5, pp. 1939–1944, May 1999.
- [23] M. Pelgrom, A. Duinmaijer, and A. Welbers, “Matching Properties of MOS Transistors,” *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, October 1989.
- [24] T. Gostner, “The Design of Current-Steering Digital-to-Analog Converter DAC in 0.13 μ m CMOS Technology,” Master’s Thesis, Carinthia Tech Institute, University of Applied Science, 2000, Villach, Austria.
- [25] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2nd ed. Oxford University Press, USA, 2002.
- [26] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th ed. Oxford University Press, USA, June 1998.

- [27] *Austriamicrosystems CDAC12.C35 Datasheet "12 Bit 200MSample/sec Current Steering DAC "*. Available: <http://www.austriamicrosystems.com>, October 2002.
- [28] A. Hastings, *The Art of Analog Layout*, 1st ed. PrenticeHall, 2000.
- [29] A. V. del Plas and J. Vandenbussche, "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 34, no. 12, December 1999.
- [30] A. Bugeja, B.-S. Song, P. Rakers, and S. Gillig, "A 14b 100Msample/s CMOS DAC Designed for Spectral Performance," *ISSCC*, pp. 148–149, February 2002, San Francisco, USA.
- [31] C.-H. Lin and K. Bult, "A 10-b, 500-Msample/s CMOS DAC in $0.6\mu m$," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948–1958, December 1998.
- [32] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, "An 80-MHz 8-bit CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 21, no. 6, pp. 983–988, December 1986.
- [33] Y. Zhou and J. Yuan, "An 8-Bit 100-MHz CMOS Linear Interpolation DAC," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1758–1761, October 2003.