

VINICIUS HELTAI PACHECO

INFLUÊNCIA DO CRESCIMENTO EPITAXIAL SELETIVO (*SEG*) EM  
TRANSISTORES SOI DE PORTA TRIPLA DE CANAL N TENSIONADO

São Paulo  
2011

VINICIUS HELTAI PACHECO

INFLUÊNCIA DO CRESCIMENTO EPITAXIAL SELETIVO (*SEG*) EM  
TRANSISTORES SOI DE PORTA TRIPLA DE CANAL N TENSIONADO

Dissertação apresentada à Escola  
Politécnica da Universidade de São Paulo  
para obtenção do título de Mestre em  
Engenharia Elétrica.

Área de Concentração  
Engenharia Elétrica

Orientador:  
Prof. Doutor  
João Antonio Martino

São Paulo  
2011



## **DEDICATORIA**

Dedico este trabalho ao meu filho Giovanni, que muito amo e é vivo nas minhas conquistas, na minha vida e principalmente no meu coração.

## **AGRADECIMENTOS**

Ao amigo e orientador, Prof. Dr. João Antonio Martino, pela dedicação, atenção, incentivo e confiança para realização deste trabalho.

Aos meus familiares pelo incentivo, compreensão e apoio. Que foram importantes na realização e dando alicerce a realizar mais um sonho.

Aos amigos do Grupo SOI-CMOS do LSI/EPUSP, pela amizade, sugestões, discussões e incentivo no decorrer deste trabalho. Toda colaboração foi de suma importância.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo pela infra-estrutura oferecida para realização das pesquisas necessárias.

Ao CNPq, pelo apoio financeiro que permitiu a realização deste trabalho.

Ao Centro Universitário da FEI em São Bernardo do Campo-SP, onde amigos formei, discussões e aprendizados na instituição permitindo que simulações e conhecimentos fossem concretizados em publicações.

Ao IME-USP, pelas amizades, discussões proporcionada sobre Linux, colaborando e dando total suporte nas horas que precisei. Em especial ao Daniel líder do grupo de pesquisa Linux.

À Cobra Tecnologia do Banco do Brasil, em especial ao Edmilson, pela amizade, colaboração e discussão nas implementações e compilações.

Aos amigos que fizeram parte durante este trabalho, no apoio, na força, na minha vida. Não irei citar nomes, pois serei injusto se esquecer de algum deles, mas cada um sabe a importância e o quanto são importantes.

*“Bom mesmo é ir à luta com determinação, abraçar a vida com paixão, perder com classe e vencer com ousadia, pois o triunfo pertence a quem se atreve. A vida é muito para ser insignificante.”*

*Charles Chaplin*

## RESUMO

Este trabalho apresenta um estudo da influência do crescimento epitaxial seletivo (*SEG*) em dispositivos tensionados mecânicamente (*strain*) em transistores SOI MuGFET de porta tripla. Com a evolução da tecnologia de integração de transistores, alguns efeitos parasitários são eliminados ou diminuídos, porém outros novos surgem. A tecnologia SOI MuGFETs disponibiliza dispositivos de múltiplas portas, tridimensionais. Nesses dispositivos, há um aumento da resistência de contato dos terminais devido ao estreitamento da região de canal, tornando esta resistência significativa em relação à resistência total. A utilização do Crescimento Epitaxial Seletivo (*SEG*) é uma das opções para diminuir a resistência total, elevando a região de fonte e dreno, causando o aumento da área de contato, diminuindo essa resistência parasitária. Em contrapartida, a utilização dos canais tensionados Uniaxiais, por filme de  $\text{Si}_3\text{N}_4$ , pela técnica de CESL, que é uma opção de melhora da transcondutância, mas em conjunto com o *SEG* afasta essa a camada de nitreto, tornando em determinada altura prejudicial ao invés de benéfico. Este trabalho foi realizado baseado em resultados experimentais e em simulações numéricas, mecânicas e elétricas de dispositivos, variando as tecnologias de tensionamento mecânico nos dispositivos com e sem *SEG*. Variou-se a altura do *SEG* em simulações, possibilitando extrapolar e obter resultados que de forma experimental não foram possíveis, permitindo um entendimento físico do fenômeno estudado. O resultados obtidos das diferentes tecnologias com e sem o uso de *SEG* mostraram que, em transistores SOI MuGFETs de porta tripla, o crescimento seletivo epitaxial nos dispositivos com tensão uniaxial piora a transcondutância máxima para dispositivos abaixo de 200nm de comprimento de canal, mas em contra partida torna mais prolongado o efeito pelos dispositivos acima dessa dimensão, como pode ser comprovado nos resultados obtidos.

Palavra Chave: Strained, MuGFET, SOI MOSFET, Transcondutância, *SEG*.

## ABSTRACT

This paper presents the study of the influence of selective epitaxial growth (SEG) devices mechanically strained (strain) in SOI transistors MuGFET triple gate. With the evolution of integration technology of transistors, some parasitic effects are eliminated or reduced, but new ones arise. MuGFETs SOI technology, devices are multiple ports, three-dimensional, these devices there is an increase in contact resistance of terminals due to the narrowing of the channel region, making considered in relation to total resistance. Use of Selective Epitaxial Growth (SEG) is one of the options to reduce the total resistance, raising the source and drain region, causing increased contact area by reducing the parasitic resistance. In contrast, the use of uniaxial strained channel by a film of Si<sub>3</sub>N<sub>4</sub> by CESL technique is an option for improvement in transconductance, but in conjunction with the SEG away this layer of nitride, making it at some point or detrimental rather than beneficial . This study was based on experimental results and numerical simulations, mechanical and electrical devices of varying technologies in mechanical tensioning devices with and without FES, the height was varied in simulations of the FES, allowing extrapolate and obtain results that way trial was not possible, permitidno a physical understanding of the phenomenon. The results of the different technologies with and without the use of FES showed that in SOI transistors MuGFETs triple gate, the selective epitaxial growth in uniaxial strained devices tends to worsen the maximum transconductance for devices below 200nm channel length, but against departure becomes more unrelenting effect on the devices above this size. As can be evidenced in the results obtained.

Key words: Strained, MuGFET, SOI MOSFET, Transcondutance, SEG.

## LISTA DE FIGURAS

Figura 1.1 – Evolução dos processadores seguindo a Lei de Moore.....	19
Figura 2.1 - Perfil transversal do transistor SOI MOSFET .....	23
Figura 2.2 - Diagrama de faixas de energia para transistores nMOFESTs com tecnologia MOSFET Convencional (A), Com Tecnologia SOI Parcialmente Depletado (B) e Com tecnologia SOI Totalmente Depletado (C).....	25
Figura 2.3 - Variação da Tensão de Limiar em função da tensão do substrato em um dispositivo FD-SOI MOSFET. ....	28
Figura 2.4 - Variação da Inclinação de Sublimiar em função do Comprimento de Canal do transistor .....	30
Figura 2.5 - Curva de transcondutância (gm) em função da tensão de porta ( $V_{GS}$ ) com baixo valor de $V_{DS}$ . ....	31
Figura 2.6 - Distribuição das regiões de depleção em transistores MOSFETs Convencionais para efeito comprimento de canal grande (A) e pequeno (B). ....	33
Figura 2.7 - Distribuição das regiões de depleção em transistores SOI Totalmente Depletado com comprimento de canal grande (A) e comprimento de canal curto (B) .....	34
Figura 2.8 - Evolução dos transistores SOI MOSFET. ....	36
Figura 2.9 - Estrutura SOI MOSFET de Porta Dupla. ....	38
Figura 2.10 - Estrutura SOI MOSFET de Porta Tripla. ....	39
Figura 2.11 - Corte transversal de estrutura SOI MOSFET de Porta $\pi$ (A) e Porta $\Omega$ (B).....	39
Figura 2.12 - Esquema representativo da geração de tensão mecânica uniaxialmente com filme tensionado. Considerando A) $\alpha_S > \alpha_F$ B) $\alpha_S = \alpha_F$ C) $\alpha_S < \alpha_F$ ....	42
Figura 2.13 - Transistor com tensão mecânica uniaxialmente. ....	43
Figura 2.14 - Dispositivo Biaxial com o canal tensionado por liga SiGe .....	44
Figura 2.15 - Formação da tensão mecânica biaxial através da utilização de ligas SiGe.....	45
Figura 2.16 - Dispositivo MuGFET Sem SEG (A) e Com SEG (B) .....	47
Figura 3.1 - Dispositivos Fabricados pelo IMEC.....	48
Figura 3.2 - Perfil transversal do MuGFET de Porta Tripla identificando os materiais de suas regiões.....	49

Figura 3.3 - Curva $I_{DS} \times V_{GS}$ dos dispositivos de Referência, Uniaxial e Biaxial para varios comprimentos de canal em gráfico linear (A) e logaritmo (B).....	50
Figura 3.4 - Curva $I_{DS} \times V_{GS}$ Normalizada dos dispositivos de Referência, Uniaxial e Biaxial para varios comprimentos de canal em gráfico linear (A) e logaritmo (B). ....	52
Figura 3.5 - Variação da tensão de limiar (A) e inclinação de sublimiar (B) em relação ao comprimento de canal .....	53
Figura 3.6 - Curva da transcondutância em relação a tensão de porta para dispositivos de referência, Uniaxial e Biaxial dos dispositivos de $L=50$ (A) e $920\text{nm}$ (B).....	54
Figura 3.7 - Transcondutância máx. Normalizada em relação ao comprimento de canal para tecnologia de Referência, Uniaxial e Biaxial. ....	56
Figura 3.8 - Variação da tensão mecânica na direção da largura de uma ilha de silício em uma distribuição 2D (A) e em uma distribuição 1D à $1\text{ nm}$ abaixo do óxido de porta (B) de acordo com a ref. 50.....	57
Figura 3.9 - Transcondutância efetiva Max (A) e normalizada (B) em relação ao comprimento de canal para os dispositivos de referencia e uniaxial .....	58
Figura 3.10 - Variação da variação da transcondutância máxima em relação ao comprimento de canal dos dispositivos uniaxiais sobre o de referência. ....	60
Figura 3.11 - Tendência de variação da transcondutância em relação ao strain dos dispositivos uniaxial com e sem SEG.....	61
Figura 4.1 - Perfil da simulação com aplicação de tensão mecânica tensiva e compressiva.....	69
Figura 4.2 - Análise do Stress XX na região de canal da simulação Athenas - Silvaco. ....	69
Figura 4.3 - Perfil da simulação do dispositivo com SEG (A) e analise do stress XX ao longo da região do canal com a variação da altura do SEG (B). ....	70
Figura 4.4 - Perfil de Stress XX na região do canal variando a altura do SEG (A) e Stress XX no centro do Canal em função da variação da altura do SEG (B).....	71
Figura 4.5 - Curva $I_{DS} \times V_{GS}$ (A) para $V_{DS}$ pequeno e $g_m \times V_{GS}$ (B) para dispositivos variando a altura do SEG. ....	73
Figura 4.6 - Perfil do transistores SOI com a estrutura de Resistor para estudo da corrente na região de fonte e dreno. ....	76
Figura 4.7 - Perfil do Campo Elétrico na estrutura de Fonte e Dreno sem o SEG e o Perfil 3D da distribuição do Campo Elétrico ao longo da estrutura. ....	77

Figura 4.8 - Perfil do Campo Elétrico na estrutura de Fonte e Dreno Com SEG de 50nm e o Perfil 3D da distribuição do Campo Elétrico ao longo da estrutura .....	77
Figura 4.9 - Curva de Corrente em função da tensão na região de fonte e dreno em função da altura do SEG (A) e Curva de Resistencia e função da altura do SEG, variando o contato (B).....	78
Figura 4.10 - Variação da mobilidade efetiva max em relação do comprimento de canal para dispositivos com e sem SEG (Simulados) .....	79
Figura 4.11 - Variação da tensão de limiar (A) e inclinação de sublimiar (B) das simulações.....	80
Figura 4.12 - Variação da Mobilidade Efetiva Máxima em função do comprimento de canal variando a altura do SEG .....	81

## LISTA DE TABELAS

Tabela 3.1 - Transcondutância Máxima dos dispositivos de Referência, Uniaxial e Biaxial medidos em função do comprimento de canal. ....	55
Tabela 3.2 - Transcondutância Máxima dos dispositivos de Referência, Uniaxial e Biaxial medidos em função do comprimento de canal, com e sem o uso do SEG....	59
Tabela 3.3 - Variação da Transcondutância Máxima dos dispositivos Uniaxial em relação ao de referência em função do comprimento de canal. ....	61
Tabela 4.1 - Transcondutância Maxima dos dispositivos simulados de referência e Uniaxial. ....	73

## LISTA DE SÍMBOLOS

$a_{\text{FILME}}$	Espaçamento cristalino do filme [nm]
$a_{\text{SUB}}$	Espaçamento cristalino do substrato [nm]
$A$	Área de contato
$C_D$	Capacitância da região depleção por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{\text{IT}}$	Capacitância de armadilhas de interface por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{\text{OX}}$	Capacitância do óxido de porta do transistor MOS por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{\text{SI}}$	Capacitância da camada de silício por unidade de área [ $\text{F}/\text{cm}^2$ ]
$E$	Módulo de Young ou módulo de elasticidade [Pa]
$E_C$	Nível energético da faixa de condução
$E_F$	Nível de Fermi
$E_{\text{FF}}$	Campo elétrico efetivo [ $\text{V}/\text{cm}$ ]
$E_I$	Nível intrínseco [eV]
$E_V$	Nível energético da faixa de valência
$g_m$	Transcondutância do transistor [S]
$g_{m\text{MAX}}$	Mobilidade Efetiva Máxima do transistor [S]
$g_{mO}$	Ponto de referencia da mobilidade efetiva máxima
$g_{m\text{STRAIN}}$	Mobilidade Efetiva Máxima dependente apenas do Strain [S]
$H_{\text{FIN}}$	Altura do <i>fin</i> [nm]
$I_D$	Corrente entre dreno e fonte de dispositivos FinFETs [A]
$I_{\text{DS}}$	Corrente entre dreno e fonte de dispositivos MOSFETs [A]
$I_{\text{OFF}}$	Corrente do transistor desligado
$I_{\text{ON}}$	Corrente do transistor em condução
$k$	Constante de Boltzmann [ $1,38066 \times 10^{-23}$ J/K]
$L$	Comprimento de canal do transistor [nm]
$L_D$	Comprimento da Região de Dreno [nm]
$L_{\text{LDD}}$	Comprimento da Região de LDD [nm]
$L_S$	Comprimento da Região de Fonte [nm]
$m^*$	Massa efetiva
$n$	Fator de corpo do transistor
$N_A$	Concentração de impurezas aceitadoras do substrato [ $\text{cm}^{-3}$ ]

$N_{AF}$	Concentração de dopantes na região ativa do transistor SOI [ $\text{cm}^{-3}$ ]
$n_i$	Concentração intrínseca de portadores [ $\text{cm}^{-3}$ ]
$N_{IT}$	Densidade de armadilhas de interface.
$P$	Espaçamento entre “dedos”, fins [nm]
$q$	Carga elementar do elétron [ $1,6 \times 10^{-19}$ C]
$Q_D$	Carga total de depleção na camada de silício por unidade de área nos transistores SOI [ $\text{C}/\text{cm}^2$ ]
$Q_{DEPL}$	Densidade de carga de depleção na camada de silício do transistor MOSFET convencional [ $\text{C}/\text{cm}^2$ ]
$Q_{INV}$	Densidade de carga de inversão na interface [ $\text{C}/\text{cm}^2$ ]
$Q_{OX}$	Densidade de carga efetiva no óxido por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{S2}$	Densidade de carga de acumulação ou inversão na segunda interface [ $\text{C}/\text{cm}^2$ ]
$r_J$	Profundidade da junção de fonte e dreno [nm]
$R_{MEDIDO}$	Resistência Medida na estrutura de Fonte e Dreno
$S$	Inclinação de sublimiar [mV/dec]
$T$	Temperatura absoluta [K]
$t_{OX}$	Espessura do óxido de silício [nm]
$t_{OXB}$	Espessura do óxido enterrado [nm]
$t_{OXF}$	Espessura do óxido de porta do transistor SOI [nm]
$t_{SEG}$	Espessura da Camada do SEG [nm]
$t_{SI}$	Espessura da camada de silício [nm]
$V_{DS}$	Tensão aplicada ao dreno do transistor [V]
$V_{FB}$	Tensão de faixa plana [V]
$V_{GB}$	Tensão aplicada ao substrato do transistor SOI [V]
$V_{GS}$	Tensão entre porta e fonte do transistor MOSFET [V]
$V_S$	Tensão aplicada na fonte do transistor [V]
$V_{TH}$	Tensão de limiar da porta do transistor SOI [V]
$W_{FIN}$	Largura do <i>fin</i> do transistor de múltiplas portas [nm]
$X_{DMAX}$	Profundidade máxima da região de depleção [nm]
$\alpha_F$	Coeficiente de dilatação térmica do filme [ $\text{K}^{-1}$ ]
$\alpha_S$	Coeficiente de dilatação térmica do substrato [ $\text{K}^{-1}$ ]
$\gamma$	Módulo de elasticidade transversal [Pa]

$\epsilon_{\text{FILME}}$	Deformação do filme
$\epsilon_{\text{SI}}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]
$\mu_{\text{MAX}}$	Mobilidade máxima [ $\text{cm}^2/\text{V.s}$ ]
$\mu_n$	Mobilidade dos elétrons [ $\text{cm}^2/\text{V.s}$ ]
$\nu$	Coefficiente de Poisson
$\rho_{\text{SI}}$	Resistividade do Silício [ $\text{m}$ ]
$\phi_{\text{MS}}$	Diferença de função trabalho entre metal e semiconductor [V]
$\phi_{\text{S1}}$	Potencial de superfície da primeira interface [V]
$\phi_{\text{S2}}$	Potencial de superfície da segunda interface [V]
$\phi_{\text{SB}}$	Potencial de superfície da segunda interface do transistor SOI [V]
$\phi_{\text{SF}}$	Potencial de superfície da primeira interface do transistor SOI [V]
$\sigma$	Tensão mecânica [Pa]

## LISTA DE ABREVIATURAS E SIGLAS

CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CESL	<i>Contact Etch Stop Layer</i>
DELTA	<i>Fully Depleted Lean-Channel Transistor</i>
FD	<i>Fully Depleted</i> (Totalmente depletado)
FinFET	<i>Fin Field Effect Transistor</i>
GAA	<i>Gate-All-Around</i>
Ge	Germanio
IMEC	<i>Interuniversity Microelectronic Center - Bélgica</i>
ITRS	<i>International Technology Roadmap for Semiconductor</i>
LDD	<i>Lightly Doped Drain</i>
LSI	Laboratório de Sistemas Integraveis
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
MuGFET	<i>Multi-Gate Field Effect Transistor</i>
PECVD	<i>Plasma Enhanced Chemical Vapor Deposition</i>
PD	<i>Partially Depleted</i> (Parcialmente depletado)
SCE	<i>Short Channel Effect</i>
SEG	<i>Selective Epitaxial Growth</i>
Si	Silício
SiO <sub>2</sub>	Óxido de Silício
SOI	<i>Silicon-On-Insulator</i>
SOS	<i>Silicon-On-Sapphire</i>
sSOI	<i>Strained Silicon on Insulator</i>

## SÚMARIO

<b>1. INTRODUÇÃO.....</b>	<b>19</b>
1.1 Objetivo do Trabalho.....	21
1.2 Apresentação do Trabalho.....	21
<b>2. CONCEITOS BÁSICOS .....</b>	<b>23</b>
2.1 Dispositivos na Tecnologia SOI MOSFETS .....	23
2.1.1 Classificação dos transistores SOI.....	24
2.1.2 Tensão de Limiar .....	26
2.1.3 Inclinação de Sublimiar .....	29
2.1.4 Transcondutância .....	30
2.1.5 Mobilidade Efetiva.....	32
2.1.6 Efeito de Canal Curto (SCE) .....	33
2.2 Dispositivos SOI de Múltiplas Portas.....	35
2.2.1 Dispositivos SOI MOSFETs de Porta Dupla .....	37
2.2.2 Dispositivos SOI MOSFET de Porta Tripla ou Tripla + .....	38
2.3 Dispositivos Tensionados Mecanicamente .....	40
2.3.1 Tensionamento Mecânico .....	41
2.3.2 Uniaxial.....	42
2.3.3 Biaxial .....	44
2.4 Crescimento Epitaxial Seletivo (SEG).....	46
<b>3 MEDIDAS EXPERIMENTAIS .....</b>	<b>48</b>
3.1 Descrições dos Dispositivos Estudados.....	48
3.2 Curva Característica $I_{DS} \times V_{GS}$ .....	50
3.3 Transcondutância .....	54
3.4 Comparação do $g_{m_{MAX}}$ com o uso SEG nos dispositivos.....	58
3.4.1 Análise do uso do SEG nos dispositivos Uniaxiais.....	59
<b>4 SIMULAÇÃO NÚMÉRICA.....</b>	<b>63</b>
4.1 Simuladores Utilizados.....	63
4.1.1 ATHENAS – Silvaco .....	64
4.1.2 ATLAS – Silvaco.....	64
4.1.3 Sentaurus Devices – Synopsys.....	66

4.2	Simulação da Tensão Mecânica .....	68
4.3	Simulação de Dispositivos .....	72
4.3.1	Modelos Utilizados nas Simulações Numéricas .....	74
4.3.2	Análise Elétrica da influência do SEG da Região de Fonte e Dreno dos Dipositivos MuGFETs .....	76
4.3.3	Análise Elétrica da influência do SEG nos Dipositivos MuGFETs de Porta Tripla .....	79
<b>5</b>	<b>CONCLUSÃO E SEQUÊNCIA DO TRABALHO .....</b>	<b>82</b>
<b>6</b>	<b>PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO .....</b>	<b>84</b>
<b>7</b>	<b>REFERENCIA BIBLIOGRÁFICA.....</b>	<b>85</b>
	<b>APENDICE A – ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO DISPOSITIVO MuGFET NO ATHENAS – SILVACO .....</b>	<b>90</b>
	<b>APENDICE B – ARQUIVO DE SIMULAÇÃO NUMERICA DE DISPOSITIVO NO ATLAS – SILVACO .....</b>	<b>94</b>
	<b>APENDICE C – ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO DISPOSITIVO MuGFET .....</b>	<b>95</b>
	<b>APENDICE D – ARQUIVO DE SIMULAÇÃO NUMERICA DE DISPOSITIVO NO SENTAURUS - SYNOPHYS.....</b>	<b>102</b>

## 1. INTRODUÇÃO

As indústrias de circuitos integrados têm o desafio constante de permanecer no mercado. Para atingir esse objetivo, necessitam desenvolver novas tecnologias, seguindo a lei de Moore, onde o número de transistores num circuito integrado dobra a cada 18 meses.<sup>1</sup> Seguir a lei de Moore faz com que as indústrias aumentem a capacidade de integração com dispositivos de desempenhos melhores a cada ano. Na figura 1.1 é mostrada a evolução dos processadores.<sup>1</sup>

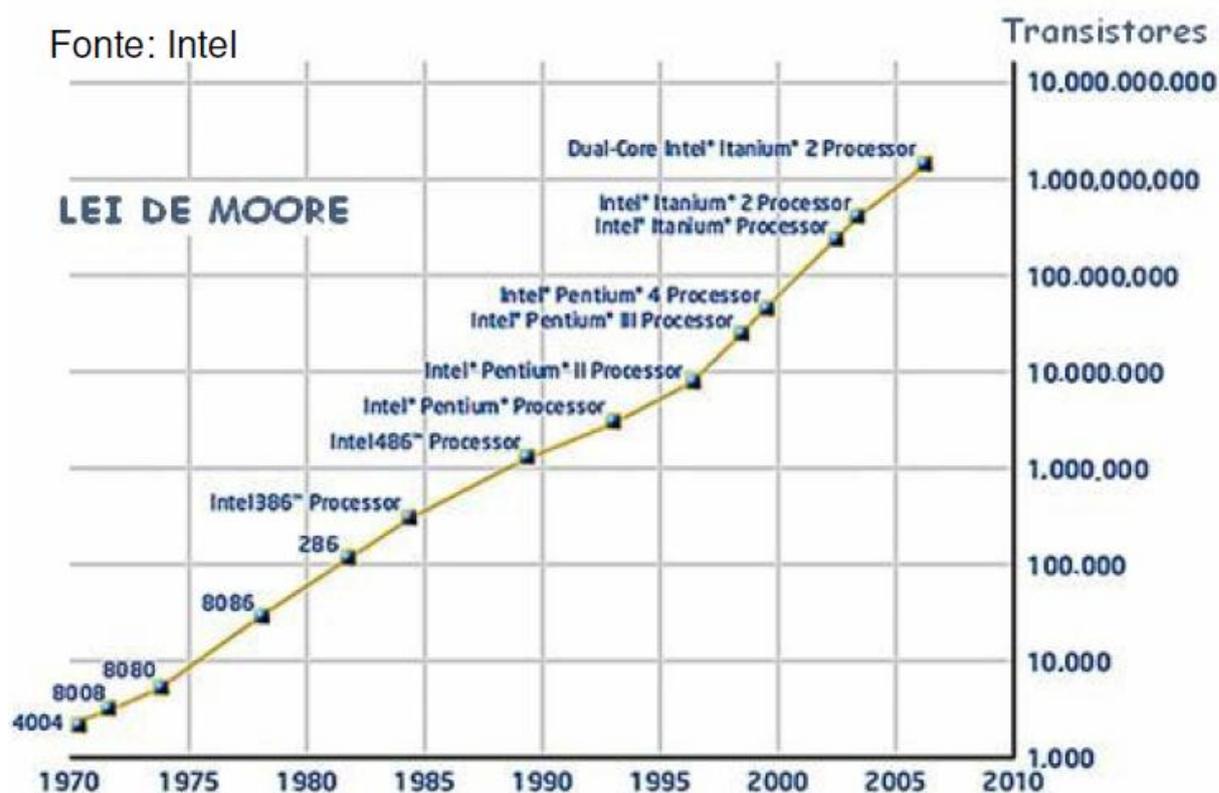


Figura 1.1 – Evolução dos processadores seguindo a Lei de Moore.

As dimensões dos transistores MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) estão constantemente sendo diminuídas, chegando a escalas nanométricas, para as quais aparecem efeitos indesejáveis, que prejudicam sua eficiência<sup>2</sup>.

Os transistores MuGFETs de canal tensionado <sup>2</sup> é uma das alternativas tecnológicas, considerada na atualidade para se manter a lei de Moore, que consiste

no uso de silício tensionado (*Strain SOI*) melhorando a mobilidade dos portadores nos transistores. Estudos reportados mostram um aumento de até 60% na mobilidade<sup>3</sup> com a deformação tensiva no canal dos transistores nMOS em tecnologia SOI, com conseqüente elevação da corrente de saturação ( $I_{ON}$ ), sem aumento da corrente de fuga ( $I_{OFF}$ ), levando a um aumento importante da relação  $I_{ON}/I_{OFF}$  e da transcondutância ( $g_m$ )<sup>4</sup>. A tensão mecânica sobre o canal pode ser induzida por meio de etapas de processos de fabricação de dois modos, com tensão mecânica Uniaxial e Biaxial.

O tensionamento mecânico Uniaxial é obtido pela deposição de uma camada de  $Si_3Ni_4$  (*Contact Etch Stop Layer - CESL*) sobre a região de porta do transistor, o que induzirá tensão na direção do comprimento de canal apenas, o chamado "*uniaxial strain*"<sup>5</sup> Nesta técnica se obtém uma deformação tensiva no canal do transistor.

O tensionamento mecânico Biaxial é obtido pela utilização de ligas de SiGe, diminuindo-se gradualmente a concentração de Ge na liga durante o processo de deposição dos materiais ("*stress relaxed buffer -SRB*"), até que o material se torne Si puro na parte superior. Posteriormente, a liga de SiGe é totalmente removida, obtendo uma camada de Si resultante com uma tensão mecânica exercida pela camada da liga SiGe anteriormente existente. Esta técnica induz tensão mecânica em ambas direções do canal do transistor e é conhecida como "*biaxial strain*".<sup>5</sup>

Os transistores MuGFETs, porém, apresentam uma alta resistência parasitária de fonte e dreno.<sup>6</sup> Uma das formas de se reduzir essa resistência é a do crescimento seletivo epitaxial (*SEG*) nessas regiões de fonte e dreno, aumentando a área de contato e diminuindo a resistência de contato.<sup>6</sup>

## 1.1 Objetivo do Trabalho

O objetivo deste trabalho é estudar as características de dispositivos construídos com a tecnologia SOI com canal tensionado (*Strain-Silicon*) de múltiplas portas. Os dispositivos estudados foram fabricados no Centro de Pesquisas IMEC (*Interuniversity Microelectronics Center*) em Leuven, Bélgica. Através dos resultados obtidos com a caracterização elétrica dos dispositivos, foram correlacionadas as simulações mecânicas e elétricas dos dispositivos, analisando os transistores de múltiplas portas com a utilização do tensionamento mecânico e a influência da utilização do SEG nestes dispositivos.

## 1.2 Apresentação do Trabalho

Esse trabalho será apresentado em cinco capítulos, sendo seus conteúdos principais:

**Capítulo 1:** Nesse capítulo é apresentada uma breve introdução da tecnologia SOI, os objetivos e forma de apresentação desse trabalho.

**Capítulo 2:** Nesse capítulo é apresentada uma revisão bibliográfica sobre a tecnologia SOI, assim como os conceitos principais; as estruturas; os parâmetros elétricos dos dispositivos SOI MOSFETs planares, mostrando seus modos de operação decorrentes da espessura do filme de silício e da polarização aplicada e; os dispositivos SOI MOSFETs de Múltiplas Portas. São apresentados os conceitos da tecnologia de canal tensionado, assim como as técnicas para sua obtenção, e o conceito do uso do crescimento seletivo epitaxial (*SEG*) nos dispositivos para redução da resistência série de fonte e dreno, alternativas que permitem que as indústrias de dispositivos se mantenham no mercado.

**Capítulo 3:** Neste capítulo são apresentados os resultados das medidas experimentais realizadas ao longo do trabalho. Uma análise da influência das tensões mecânicas, comparando os dispositivos uniaxiais e biaxiais com os de

referência (sem tensão mecânica) e uma análise dos dispositivos sobre as influências do SEG e seus comportamentos tanto tensionados mecanicamente quanto os sem tensão mecânica.

**Capítulo 4:** Nesse capítulo é realizada uma breve descrição dos simuladores numéricos de processos e de dispositivos, a descrição dos modelos utilizados, bem como das características dos dispositivos a serem estudados. Com as estruturas da simulação do processo de fabricação descrito, serão apresentados os resultados da simulação numérica bidimensional, onde foram avaliados os efeitos da tensão mecânica sobre os parâmetros elétricos dos transistores SOI.

**Capítulo 5:** Finalmente, nesse capítulo, são apresentadas as conclusões desse trabalho, assim como sugestões para sequência do trabalho.

## 2. CONCEITOS BÁSICOS

Neste capítulo serão apresentados alguns conceitos fundamentais dos dispositivos na tecnologia SOI (*Silicon On Insulator*) e dos dispositivos tensionados mecanicamente (*Strain*).

### 2.1 Dispositivos na Tecnologia SOI MOSFETS

Os dispositivos na tecnologia SOI (*Silicon On Insulator*) são dispositivos que apresentam a região ativa isolada do substrato por uma camada espessa de óxido enterrado. Esta camada de isolante é proveniente de processos tecnológicos partindo de uma lâmina de Si<sup>6</sup>. Esta isolação causa uma diminuição e/ou eliminação de alguns efeitos parasitários presentes na tecnologia MOSFET convencional (*Bulk MOSFET*). Entre os efeitos parasitários podem-se citar a diminuição das capacitâncias parasitárias de fonte e dreno, maior resistência à radiação, menor efeito de canal curto, melhor inclinação de sublimiar, eliminação do efeito tiristor parasitário (*latch-up*), entre outros, ocorrendo também uma simplificação do processo de fabricação SOI em comparação à tecnologia MOSFET convencional <sup>6</sup>.

A figura 2.1 apresenta o perfil transversal de um dispositivo SOI MOSFET.

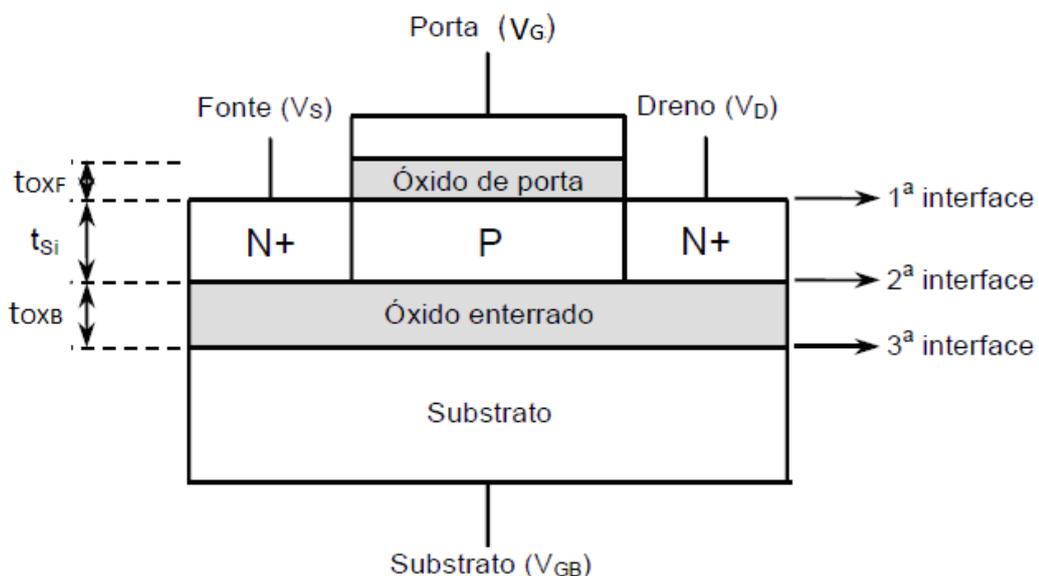


Figura 2.1 - Perfil transversal do transistor SOI MOSFET

A figura 2.1 apresenta o potenciais na porta ( $V_{GS}$ ), substrato ( $V_{GB}$ ), fonte ( $V_S$ ), dreno ( $V_D$ ), as espessuras dos óxidos de porta ( $t_{OXF}$ ) e óxido enterrado ( $t_{OXB}$ ) e da camada de silício ( $t_{Si}$ ), assim como mostra as três interfaces entre as regiões Si e  $SiO_2$ .

### 2.1.1 Classificação dos transistores SOI

A classificação dos dispositivos SOI MOSFET depende da espessura da camada de silício ( $t_{Si}$ ), da temperatura ( $T$ ) e da concentração de dopantes na região do canal ( $N_{AF}$ ).

A camada de depleção máxima em uma estrutura MOS ( $x_{DMAX}$ ) e o potencial de Fermi ( $\phi_F$ ) que pode ser obtida através da equação 2.1 e 2.2 respectivamente:

$$x_{DMAX} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_{AF}}} \quad (2.1)$$

$$\phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_{AF}}{ni}\right) \quad (2.2)$$

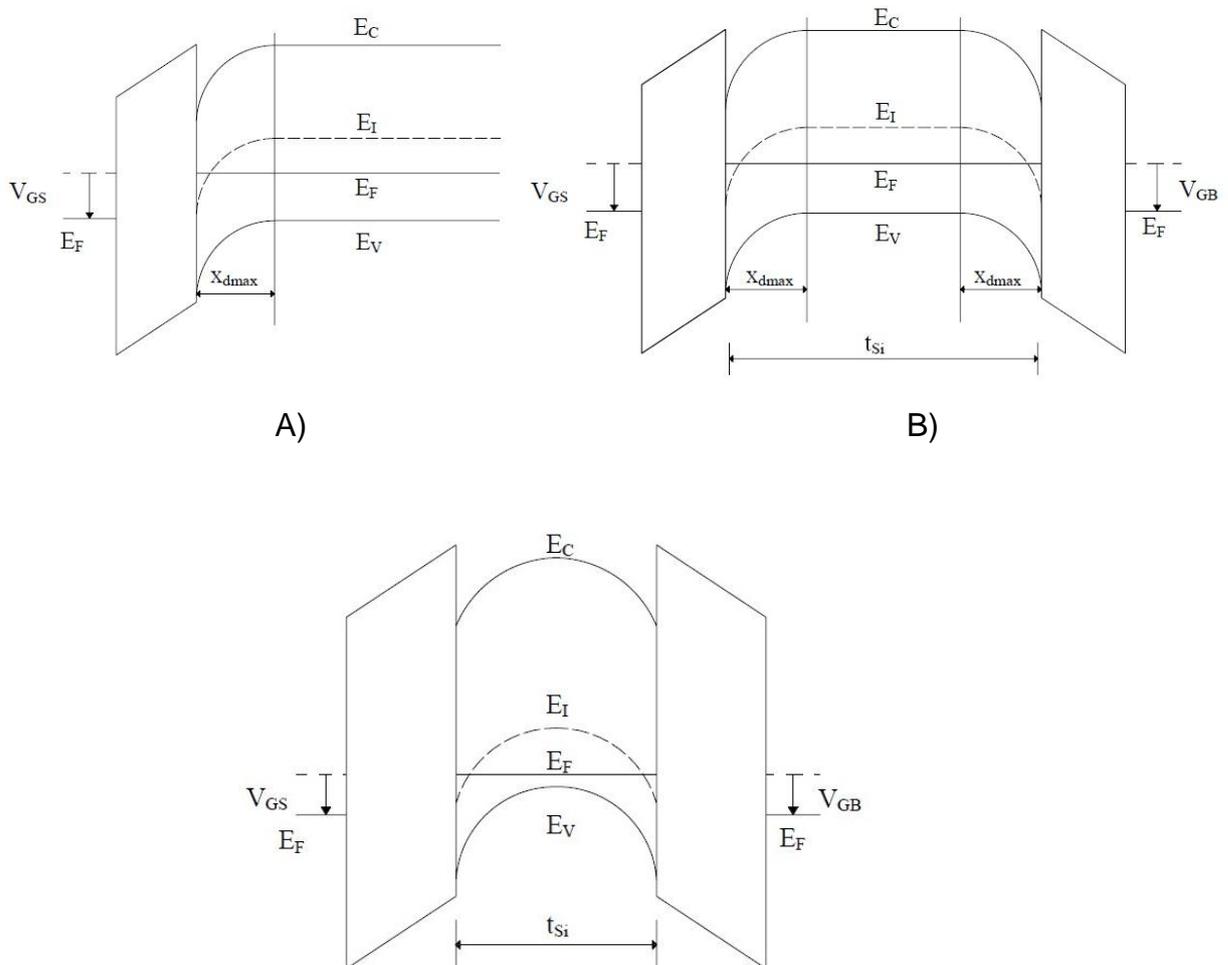
Onde  $\epsilon_{Si}$  é a permissividade elétrica do silício,  $\phi_F$  é o potencial de Fermi da camada de Silício,  $q$  é a carga elementar do elétron e  $N_{AF}$  é a concentração de dopantes na camada de Si,  $k$  é constante de Boltzmann,  $T$  é a temperatura absoluta e  $ni$  é a concentração intrínseca de portadores.

Os dispositivos SOI MOSFET podem operar de dois modos diferentes:

**Parcialmente Depletado** – PD-SOI (*Partially Depleted* – SOI) – Quando a espessura da camada de Si é superior ao dobro da espessura de depleção máxima, ( $t_{Si} > 2x_{DMAX}$ ). Desta forma as camadas de depleções da primeira e segunda interface nunca entram em contato, sempre ocorrendo uma região neutra entre elas. Os potenciais de superfície da primeira e da segunda interface ( $\phi_{SF}$  e  $\phi_{SB}$ , respectivamente) serão independentes.

**Totalmente Depletado** – FD-SOI (*Fully Depleted* – SOI) – Quando a espessura da camada de Si é menor que a espessura da região de depleção máxima, ( $t_{Si} < X_{D_{MAX}}$ ), fazendo as camadas de depleções da primeira e segunda interface sempre estarem em contato. Os potenciais de superfície da primeira e da segunda interface, ( $\phi_{SF}$  e  $\phi_{SB}$ , respectivamente) são dependentes entre si.

Na figura 2.2, esta dependência pode ser notado com mais detalhes, através dos modelos de faixas de energia dos dispositivos. Onde: a) MOS Convencional (Bulk MOSFET), b) SOI – Parcialmente Depletado (PD-SOI) e c) SOI – Totalmente Depletado (FD-SOI).<sup>6</sup>



**Figura 2.2 - Diagrama de faixas de energia para transistores nMOSFETs com tecnologia MOSFET Convencional (A), Com Tecnologia SOI Parcialmente Depletado (B) e Com tecnologia SOI Totalmente Depletado (C).**

Onde  $E_C$ ,  $E_F$ ,  $E_V$  são os níveis de energia de condução, Fermi e valência, respectivamente.

### 2.1.2 Tensão de Limiar

Tensão de limiar ( $V_{TH}$ ) pode ser compreendida como a tensão mínima aplicada na porta do dispositivo SOI ( $V_{GS}$ ), capaz de formar uma inversão no canal na interface entre óxido de porta e a camada de silício, formando um canal de condução entre fonte e dreno. No canal do dispositivo o campo elétrico repele os portadores majoritários da interface criando uma região de depleção com as cargas fixas. Com o aumento da tensão surgem na interface alguns portadores minoritários, ocorrendo uma inversão de portadores nessa região.

Nos dispositivos PD-SOI, como não ocorre interação entre as regiões de depleção gerada entre a primeira e a segunda interface, a tensão de limiar ( $V_{TH}$ ) é dada pela mesma equação da tensão de limiar de um dispositivo MOSFET convencional 2.3:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{q \cdot N_A \cdot x_{DMAX}}{C_{OX}} \quad (2.3)$$

Sendo

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (2.4)$$

Onde:  $V_{FB}$  é a tensão de Faixa Plana da estrutura MOSFET;  $\phi_{MS}$  é a diferença de função trabalho entre o metal de porta e o semiconductor;  $Q_{OX}$  é a densidade de carga fixa no óxido de porta e  $C_{OX}$  é a capacitância do óxido de porta por unidade de área;

Já nos dispositivos FD-SOI, como ocorre interação entre as regiões de depleção provenientes da primeira e da segunda interface e os potenciais são interdependentes, as equações da tensão do potencial de porta e substrato

(desprezando as armadilhas de interface), são dadas pelas equações de *Lim & Fossum* (2.5) e (2.6)<sup>7</sup>:

$$V_{GS} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{SI}}{C_{OX1}}\right) \cdot \phi_{S1} - \frac{C_{SI}}{C_{OX1}} \cdot \phi_{S2} - \frac{0,5 \cdot Q_{DEPL} + Q_{INV1}}{C_{OX1}} \quad (2.5)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + \left(1 + \frac{C_{SI}}{C_{OX2}}\right) \cdot \phi_{S2} - \frac{C_{SI}}{C_{OX2}} \cdot \phi_{S1} - \frac{0,5 \cdot Q_{DEPL} + Q_{S2}}{C_{OX2}} \quad (2.6)$$

Onde:  $\phi_{S1}$  e  $\phi_{S2}$  são os potenciais de superfície da primeira e segunda interface, respectivamente;  $Q_{OX1}$  e  $Q_{OX2}$  são as cargas no óxido da primeira e segunda interface respectivamente;  $C_{OX1}$  e  $C_{OX2}$  são as capacitâncias no óxido de porta e capacitância de óxido enterrado por unidade de área, respectivamente;  $C_{Si}$  é a capacitância na camada de Si;  $Q_{DEPL}$  é a carga na camada de depleção ( $q \cdot N_A \cdot T_{Si}$ );  $Q_{INV1}$  é a carga de inversão na primeira interface e  $Q_{S2}$  é a carga na superfície da segunda interface.

No modelo proposto, *Lim & Fossum* descrevem a dependência das tensões nos terminais de porta ( $V_{GF}$ ) e substrato ( $V_{GB}$ ) e os potenciais da primeira e segunda interface,  $\phi_{S1}$  e  $\phi_{S2}$ .

Combinando as equações acima (2.5) e (2.6), é possível obter as expressões da tensão de limiar na primeira interface em função da polarização do substrato. As três condições da segunda Interface são:

a) **Acumulação** – ( $\phi_{S1} = 2\phi_F$ ,  $\phi_{S2} = 0$  e  $Q_{INV1} = 0$ )

$$V_{TH1,ACC2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{SI}}{C_{OX1}}\right) \cdot 2\phi_F - \frac{Q_{DEPL}}{2 \cdot C_{OX1}} \quad (2.7)$$

b) **Depleção** – ( $\phi_{S1} = 2\phi_F$  e  $0 < \phi_{S2} < 2\phi_F$ )

$$V_{TH1,DEPL2} = V_{TH1,ACC2} - \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} \cdot (C_{Si} + C_{OX2})} \cdot (V_{GB} - V_{GB,ACC2}) \quad (2.8)$$

Na equação (2.8),  $V_{GB,ACC2}$  é determinado pela equação (2.6)

$$V_{GB,ACC2} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot C_{OX2}} - \left( \frac{C_{Si}}{C_{OX2}} \right) \cdot 2\phi_F \quad (2.9)$$

c) **Inversão** – ( $\phi_{S1} = 2\phi_F$ ,  $\phi_{S2} = 2\phi_F$  e  $Q_{INV1} = 0$ )

$$V_{TH1,INV2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\phi_F - \frac{Q_{DEP1}}{2 \cdot C_{OX1}} \quad (2.10)$$

A figura 2.3 mostra o comportamento da tensão de limiar em função da variação da tensão do substrato ( $V_{GB}$ ):

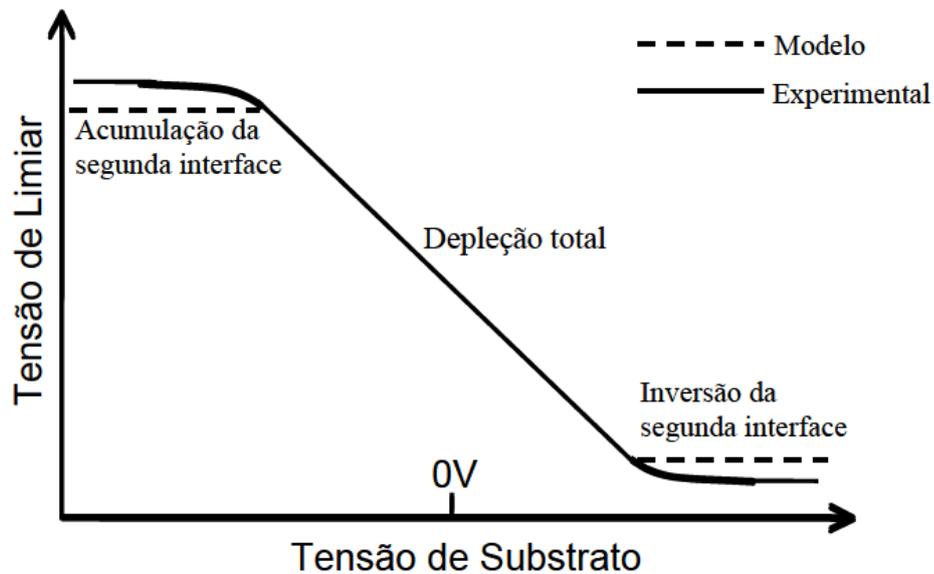


Figura 2.3 - Variação da Tensão de Limiar em função da tensão do substrato em um dispositivo FD-SOI MOSFET.

As análises feitas para as equações (2.5 a 2.10) são válidas apenas se a espessura da camada de inversão e acumulação for desprezível em relação à espessura da camada de silício.

### 2.1.3 Inclinação de Sublimiar

A inclinação de Sublimiar (S) é um fator definido como sendo o inverso da inclinação da curva de corrente de dreno  $\log(I_{DS})$  em função da tensão de porta ( $V_{GS}$ ) na região de sublimiar, definida pela equação (2.11):

$$S = \frac{dV_{GS}}{d(\text{Log}I_{DS})} \quad (2.11)$$

Nos dispositivos SOI MOSFET – PD, a região do canal do transistor opera em região de inversão fraca, desta forma a inclinação de sublimiar é dada pela equação (2.12):

$$S = \frac{k.T}{q} \cdot \ln 10 \left( 1 + \frac{C_D + C_{IT}}{C_{OX}} \right) \quad (2.12)$$

Tendo a dependência das capacitâncias de depleção por unidade de área ( $C_D$ ), Capacitância de estados de interface por unidade de área ( $C_{IT}$ ) e Capacitância de porta por unidade de área ( $C_{OX}$ ), onde são definidas pelas equações, 2.13, 2,14 e 2,15 respectivamente:

$$C_D = \frac{\epsilon_{SI}}{x_{DMAX}} \quad (2.13)$$

$$C_{IT} = q \cdot N_{IT} \quad (2.14)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (2.15)$$

Quanto menor for a capacitância de depleção  $C_D$  e  $C_{IT}$ , menor é a inclinação de sublimiar. Desprezando as armadilhas de interface obtém-se a expressão geral da inclinação em função do fator de corpo (n), obtida pela equação 2.16:

$$S \cong n \cdot \frac{k.T}{q} \cdot \ln 10 \quad (2.16)$$

Nos dispositivos SOI MOSFET – FD, desconsiderando as armadilhas de interface e considerando a capacitância no óxido enterrado, pois a capacitância no óxido enterrado é muito menor que a capacitância do óxido de porta, tem-se a equação 2.12 sendo:

$$S = \frac{k.T}{q} \cdot \ln 10 \cdot n \quad (2.17)$$

Onde  $n$  é o fator de efeito de corpo.

O aumento da inclinação de sublimiar em dispositivos SOI MOSFET está relacionado à presença de efeito de canal curto (SCE). A figura 2.4. mostra a influência do efeito de canal curto na curva  $S$  (mV/dec) em função do comprimento de canal dos transistores ( $L$ ):

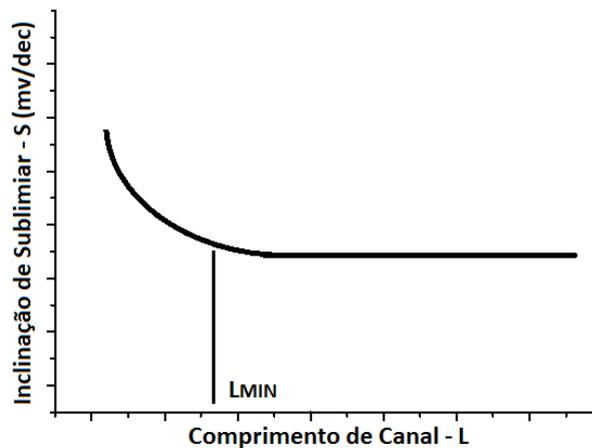


Figura 2.4 - Variação da Inclinação de Sublimiar em função do Comprimento de Canal do transistor

#### 2.1.4 Transcondutância

A transcondutância ( $g_m$ ) é compreendida como a eficiência que a tensão de porta ( $V_{GS}$ ) apresenta no controle da corrente de dreno ( $I_{DS}$ ) nos dispositivos, dado pela equação (2.18):

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.18)$$

Nos dispositivos FD-SOI, a transcondutância na região de triodo é definida pela equação 2.19 <sup>2</sup>:

$$gm = \frac{dI_{DS}}{dV_{GS}} = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot V_{DS} \quad (2.19)$$

Já na região de saturação, tem-se a equação 2.20 <sup>2</sup>:

$$gm = \frac{dI_{DSAT}}{dV_{GS}} = \frac{\mu_n \cdot C_{OX}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \quad (2.20)$$

Onde  $C_{OX}$  é a capacitância de oxido de porta por unidade de área e  $n$  é o fator de corpo do transistor, compreendido como a influência capacitiva que dificulta o controle pelo eletrodo de porta ( $V_{GS}$ ). <sup>6 13</sup>.

Ao se aplicar uma tensão no dreno em relação à fonte ( $V_{DS}$ ) pequena (50mV) e na região linear a tensão de porta ( $V_{GS}$ ) pode-se obter a mobilidade independente tanto do campo elétrico horizontal quanto vertical, através de sua transcondutância máxima ( $gm_{MAX}$ ) <sup>9</sup>.

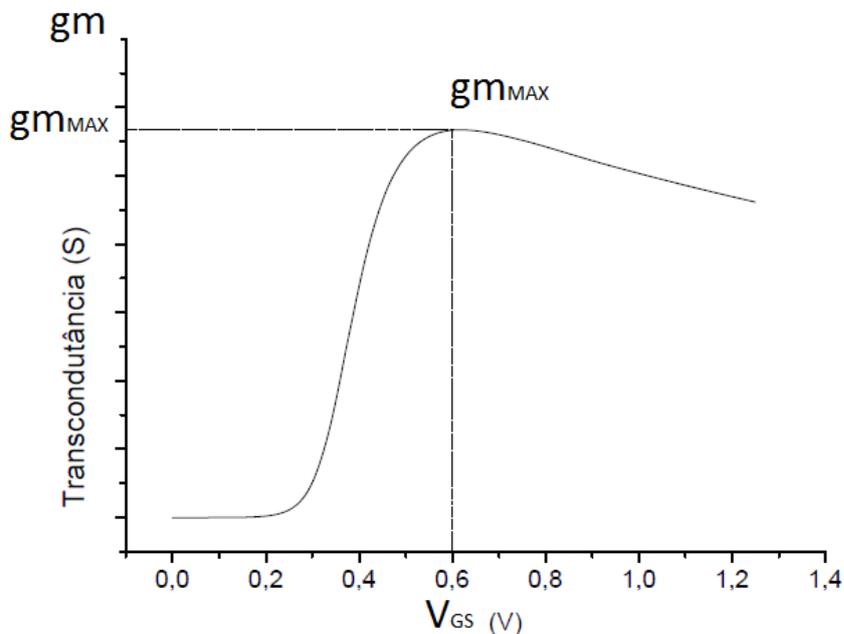


Figura 2.5 - Curva de transcondutância ( $gm$ ) em função da tensão de porta ( $V_{GS}$ ) com baixo valor de  $V_{DS}$ .

### 2.1.5 Mobilidade Efetiva

A mobilidade é a facilidade que os portadores têm de se locomover no material semiconductor, nos dispositivos de tecnologia nMOS. A partir da transcondutância, já definida pela equação (2.20), pode-se obtida a mobilidade pela equação (2.21):

$$\mu_n = \frac{gm}{C_{OX} \cdot V_{DS}} \cdot \frac{L}{W} \quad (2.21)$$

A mobilidade efetiva para transistores MOSFET do tipo n é a mobilidade dos elétrons livres na camada de inversão, sendo função do campo elétrico de acordo com a equação 2.22: <sup>15</sup>

$$\mu_{EFF} = \mu_{MAX} \left( \frac{E_C}{E_{EFF}} \right)^{C1} \quad (2.22)$$

Onde  $\mu_{MAX}$  é a mobilidade máxima dos elétrons na camada de silício [ $\text{cm}^2/\text{V}\cdot\text{s}$ ],  $E_C$  é a constante dependente da dopagem  $N_A$  e  $Q_{OX}$ ,  $E_{EFF}$  é o campo elétrico transversal efetivo e  $C1$  é a constante empírica que depende do tipo de processo de oxidação.

O campo elétrico efetivo transversal pode ser dado também pela equação 2.23:

$$E_{EFF} = \frac{1}{\epsilon_{SI}} \cdot \left( \frac{Q_{INV}}{2} + Q_{DEPL} \right) \quad (2.23)$$

Onde  $\epsilon_{SI}$  é a permissividade do Silício,  $Q_{INV}$  é a carga de inversão e  $Q_{DEPL}$  é a carga de depleção.

### 2.1.6 Efeito de Canal Curto (SCE)

O efeito de canal curto (*SCE – Short Channel Effects*) ocorre devido à diminuição do comprimento de canal<sup>6, 9</sup>.

Em transistores de canal longo as cargas da região do canal são controladas pela tensão da porta. O efeito de canal curto ocorre quando as cargas controladas pela tensão de porta, aplicada na seu eletrodo ( $V_{GF}$ ), começa a sofrer influencia das cargas da região de depleção de fonte e dreno. Desta forma, há o aparecimento de vários efeitos indesejáveis. Entre estes efeitos tem-se a redução da tensão de limiar e o aumento da inclinação de sublimiar. A influência das cargas no efeito de canal curto pode ser visto na figura 2.6.<sup>7, 9, 10</sup>.

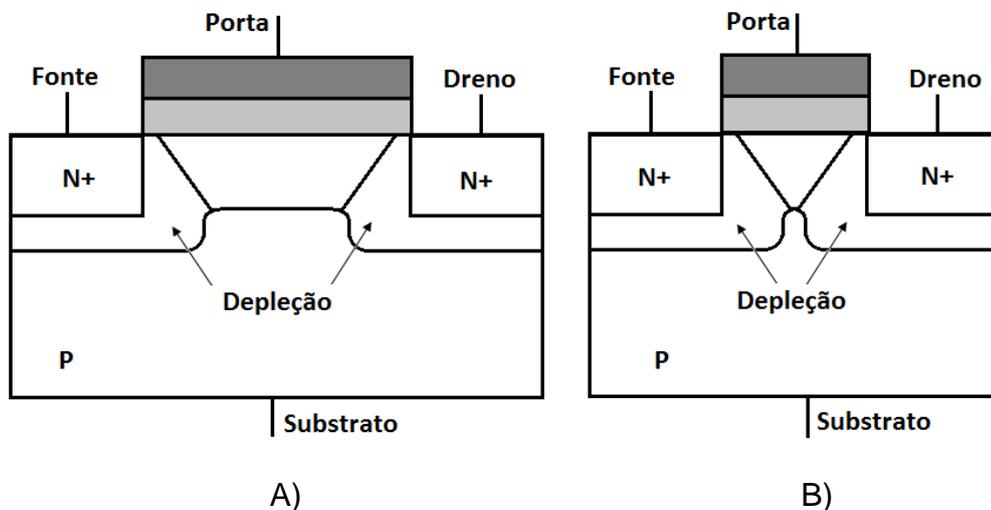


Figura 2.6 - Distribuição das regiões de depleção em transistores MOSFETs Convencionais para efeito comprimento de canal grande (A) e pequeno (B).

A carga na região de depleção que é controlada pela porta nos transistores MOSFETs convencionais de canal longo é dada pela equação 2.24.

$$Q_{DEPL} = q \cdot N_B \cdot x_{dMAX} \quad (2.24)$$

Nos transistores MOSFETs de canal curto, a carga de depleção controlada pela porta é modificada e dada pela equação 2.25<sup>8</sup>

$$Q_{DEPL,EF} = Q_{DEPL} \left[ 1 - \frac{r_J}{L} \left( \sqrt{1 + \frac{2 \cdot x_{DMAX}}{r_J}} - 1 \right) \right] \quad (2.25)$$

Onde  $Q_{DEPL}$  é a Densidade de carga de depleção na camada de silício do transistor MOSFET convencional [ $C/cm^2$ ];  $Q_{DEPL, EF}$  é a densidade de carga de depleção efetiva na camada de Silício do transistor MOSFET convencional [ $C/cm^2$ ]; e  $r_J$  é a profundidade da junção de fonte e dreno.

Nos dispositivos SOI, a fina camada de silício isolada pelo óxido enterrado permite que apenas uma pequena fração das cargas de depleção gerada pelas junções das regiões interfira como indicado pela figura 2.7.

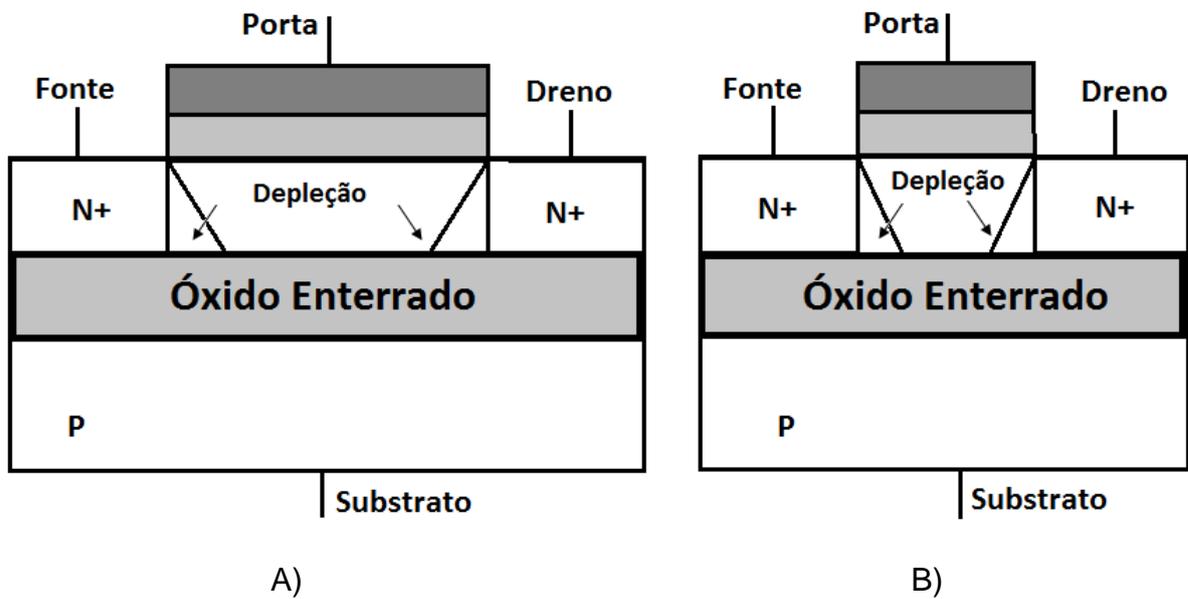


Figura 2.7 - Distribuição das regiões de depleção em transistores SOI Totalmente Depletado com comprimento de canal grande (A) e comprimento de canal curto (B)

A carga de depleção efetiva controlada pela porta dos dispositivos SOI de camada fina é dada pela equação 2.26 <sup>11</sup>

$$Q_{DEPL,EF} = q \cdot N_B \cdot t_{SI} \cdot \left( 1 - \frac{d}{L} \right) \quad (2.26)$$

Nos transistores SOI de camada fina, o efeito de canal curto é bem menor em comparação aos transistores MOS Convencionais. Isso se deve ao fato da carga, a

ser controlada pela porta são consideravelmente maiores já que apresente uma região pequena de Si isolada do restante do dispositivo pelo óxido enterrado, diferente dos dispositivos convencionais que não são isolados. <sup>12</sup>

## 2.2 Dispositivos SOI de Múltiplas Portas

Na evolução tecnológica da microeletrônica, os fabricantes aumentam o grau de integrações dos dispositivos, tentando manter-se no mercado. <sup>1</sup> Os dispositivos SOI surgiram em meados dos anos 60. Eram dispositivos até então utilizados em aplicações militares de tecnologia silício sobre safira (SOS). <sup>16</sup> A partir dos anos 80 foi implantado o primeiro SOI MOSFET com melhor desempenho, comparado aos dispositivos convencionais, como já visto na seção 2.1, permitindo uma maior redução da geometria, maior velocidade de processamento e menores custos de fabricação.

Com as sucessivas diminuições das geometrias dos dispositivos, chegando a dimensões menores do que 100nm (tecnologia sub-micrométrica), surgiram novos efeitos parasitários, limitações que exigiam novas tecnologias para solucionar esses problemas e permitir que se continue a aumentar o grau de integração. Foi então que os dispositivos SOI MOSFETs evoluíram da tecnologia planar de porta única dando espaço às novas arquiteturas tridimensionais com múltiplas portas.

Os primeiros dispositivos de múltiplas portas (MuGFET – Multi Gate Field Effect Transistor) que se tem conhecimento na literatura foram construídas em 1984. <sup>17</sup> O termo “múltiplas portas” é designado pelo fato de haver a presença de eletrodos de porta em vários lados do corpo do dispositivo (canal), não se referindo a um conjunto de portas independentes. Muitas pesquisas sobre diversos tipos de estruturas têm sido realizadas. Parte destas estruturas propostas são os transistores de portas múltiplas. <sup>18, 19</sup>

Nos MuGFETs ocorre uma diminuição expressiva do efeito de canal curto (SCE). <sup>7</sup> Como os dispositivos MuGFETs passam a ser controlados por mais de uma porta, é possível um controle melhor da carga de depleção na região do canal,

controlado pela porta em comparação a tecnologia MOSFET convencional no qual o controle ocorre apenas por uma porta.<sup>19</sup>

A arquitetura tridimensional dos dispositivos MuGFETs, além do melhor controle do canal, permite uma redução nas correntes de fuga e um aumento da mobilidade elétrica em função das regiões do canal terem uma dopagem baixa.<sup>20</sup>

A figura 2.8 mostra a evolução dos transistores SOI MOSFETs. Nota-se que com o passar dos anos, os dispositivos tendem a aumentar o número de portas controlando o canal, chegando em pequenos “fios” de Si formando o canal e a porta circundando, os chamados nanowires:<sup>19</sup>

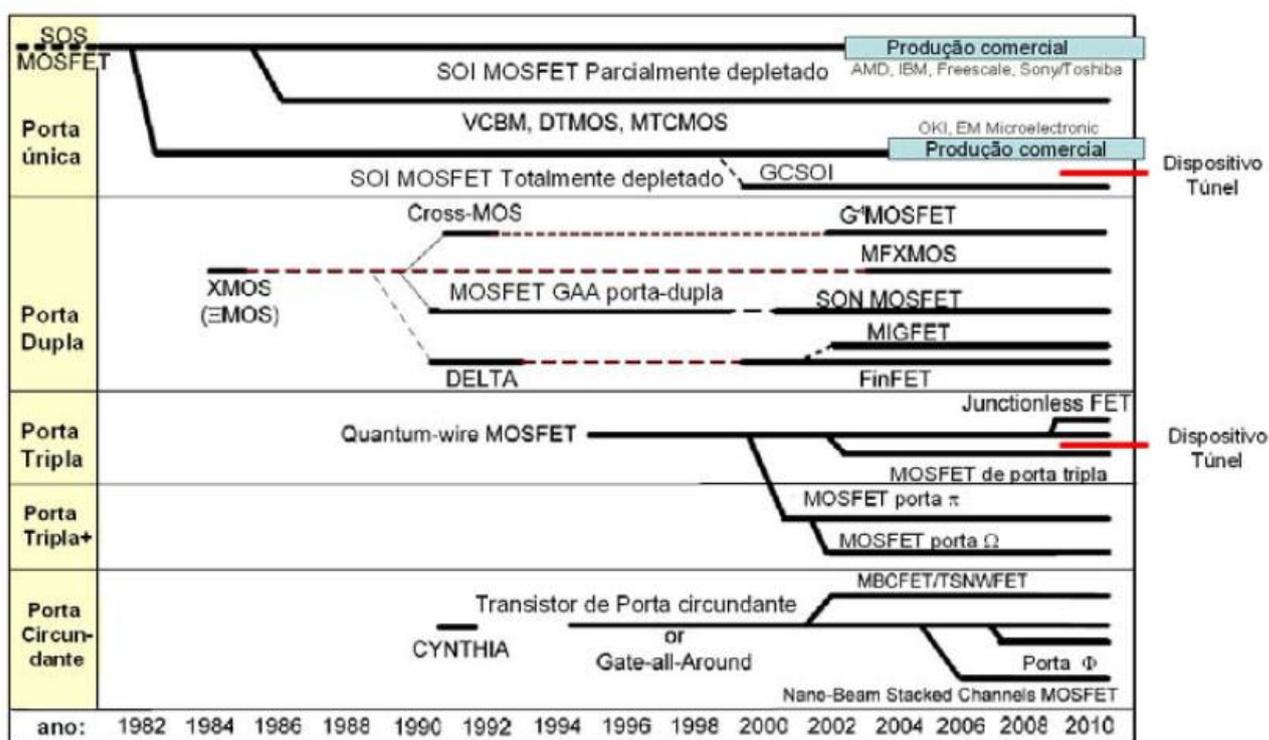


Figura 2.8 - Evolução dos transistores SOI MOSFET.

A seguir são descritos alguns destes dispositivos MuGFETs de tecnologia SOI, comentadas suas respectivas características elétricas e apresentada uma análise comparativa entre estes dispositivos.

## 2.2.1 Dispositivos SOI MOSFETs de Porta Dupla

O primeiro dispositivo de porta dupla surgiu em 1984, sendo denominado de XMOS.<sup>21</sup> Na sequência, outros dispositivos foram desenvolvidos, como os MFXMOS<sup>22</sup>, SOI MOSFET Triangular<sup>23</sup>, DELTA<sup>24</sup> e FinFET<sup>25</sup>, sempre com o mesmo objetivo de se elevar a corrente de dreno ( $I_{DS}$ ), controlada de forma mais expressiva pelas cargas na região de canal.

O dispositivo XMOS é um dispositivo SOI MOSFET tendo a região de canal controlada pela primeira e a segunda interface (eletrodo de porta  $V_{GF}$  e eletrodo de substrato  $V_{GB}$ ). Foi o primeiro dispositivo usado como sendo um de porta dupla.

O primeiro dispositivo realmente fabricado de porta dupla foi o dispositivo DELTA (*fully DEpleted Lean-channel TrAnsistor*), fabricado em 1989, sendo um FD-SOI, que apresenta no canal vertical com as portas laterais alinhadas sobre uma ilha de silício (Filete ou *Fin*).<sup>26</sup>

O dispositivo FinFET tem sua estrutura similar ao DELTA, diferindo por conter no topo da ilha de silício uma camada de dielétrico espesso, óxido superior, chamada de *hard mask*. Esta camada previne a formação de canal de inversão nas partes superiores do dispositivo, evitando efeitos de cantos.<sup>11</sup> A presença do *hard mask* na parte superior do dispositivo tira a influência do eletrodo de porta nessa região, deixando o controle das cargas no canal apenas pelas portas laterais.

Com o melhor controle da região do canal nos dispositivos MuGFETs, em 1987 se descobriu o conceito de inversão de volume<sup>25</sup> e em 1990 permitiu-se comprovar o fenômeno experimentalmente com a implementação prática de MOSFET de porta dupla planar, chamado dispositivo de porta circundante (*Gate-All-Around – GAA*)<sup>27</sup>.

Este dispositivo tem o canal horizontal, envolvido por dielétrico e material de porta ao seu redor. Mesmo apresentando material de porta entre toda região do canal, esse dispositivo é considerado de porta dupla, já que a largura do seu canal é

muito maior do que a espessura da camada de silício, fazendo com que as portas laterais não influenciem no canal do dispositivo <sup>23</sup>.

A figura 2.9 apresenta um exemplo de dispositivo de porta-dupla.

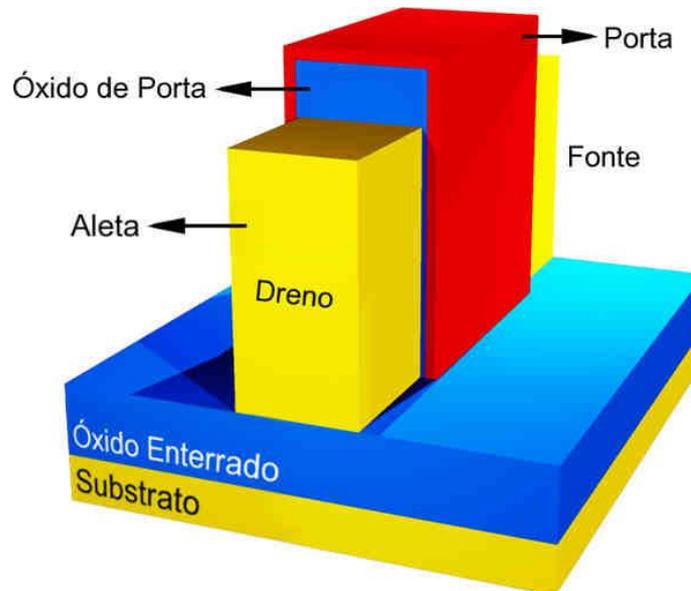


Figura 2.9 - Estrutura SOI MOSFET de Porta Dupla.

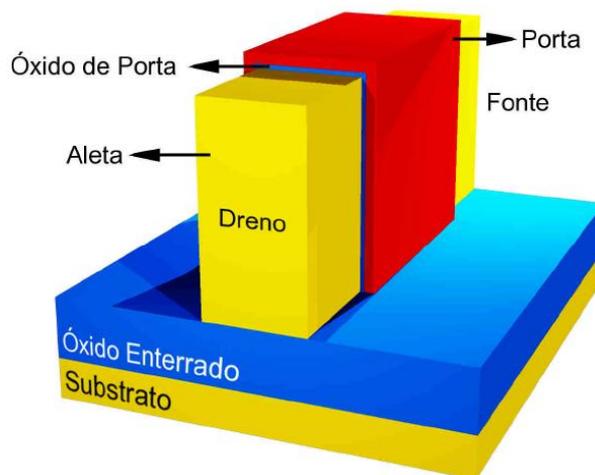
## 2.2.2 Dispositivos SOI MOSFET de Porta Tripla ou Tripla +

Os dispositivos de porta tripla apresentam um material de porta controlando a região do canal em três planos distintos de uma fina aleta de silício. Em comparação aos dispositivos de porta simples e porta dupla, os de portas tripla apresentam um melhor controle das cargas no canal. <sup>7, 19</sup>

Dentre os dispositivos MuGFET de porta tripla inclui-se o dispositivo de “fio quântico” (*nano-wire*), um dispositivo muito fino, de canal estreito em que os elétrons movimentam-se em uma única direção. <sup>28</sup>

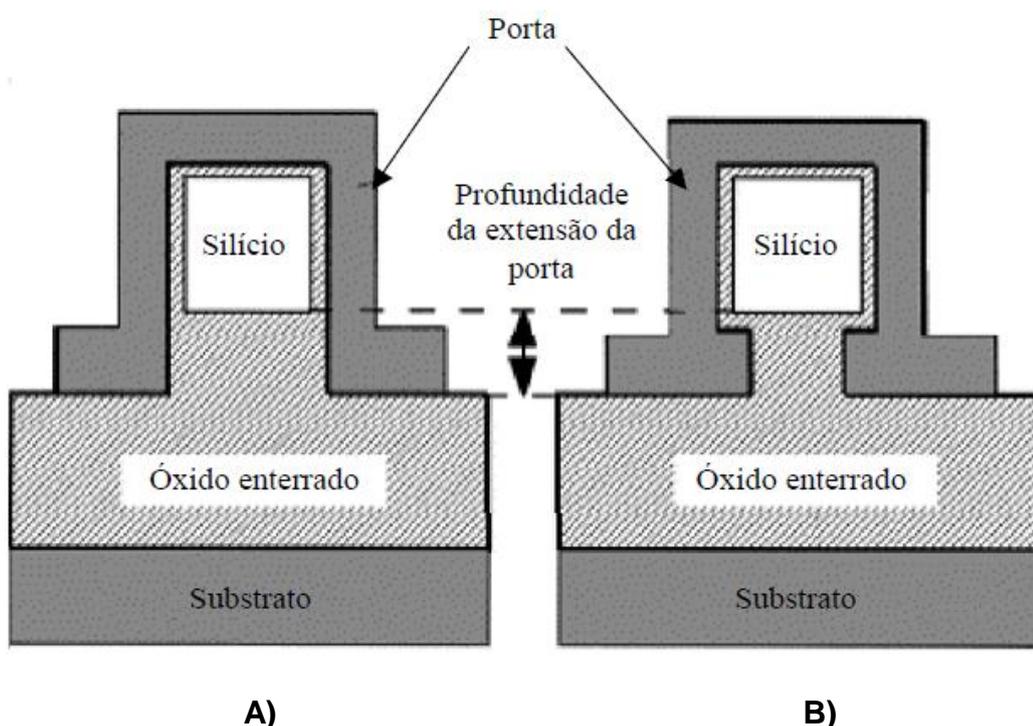
Uma variação dos dispositivos de Porta Tripla, chamado também de Porta Tripla +, são os dispositivos de porta  $\pi$  e porta  $\Omega$ , caracterizados por apresentarem um prolongamento do eletrodo de porta estendido abaixo da camada de silício, no óxido enterrado. Esta geometria induz um campo elétrico virtual pela porta abaixo do

dispositivo, bloqueando as linhas de campos elétricos do dreno, na região do canal de silício. A figura 2.10 apresenta um dispositivo MuGFET de porta tripla:



**Figura 2.10 - Estrutura SOI MOSFET de Porta Tripla.**

A diferença entre os dispositivos de porta  $\pi$  e porta  $\Omega$  se dá pela forma de extensão do eletrodo de porta ( $V_{GS}$ ) abaixo no canal do dispositivo, onde o de porta  $\Omega$  apresenta uma maior extensão da porta em comparação ao de porta  $\pi$ . A figura 2.11 apresenta as variações dos dispositivos de porta tripla, porta  $\pi$  (A) e porta  $\Omega$  (B):



**Figura 2.11 - Corte transversal de estrutura SOI MOSFET de Porta  $\pi$  (A) e Porta  $\Omega$  (B).**

## 2.3 Dispositivos Tensionados Mecanicamente

No início da utilização dos semicondutores pelas indústrias eletrônicas, a força mecânica nos dispositivos (*stress*), foi considerada causa de defeitos.<sup>4</sup> Apenas em meados dos anos 2000, a rejeição ao semicondutor tensionado (*strained*) mecanicamente mudou e começaram a introduzir intencionalmente as tensões mecânicas melhorando o desempenho dos dispositivos.

Na atualidade há uma tendência cada vez maior em utilizar o efeito das tensões mecânicas nos dispositivos, inclusive evitando defeitos causados pelo tensionamento mecânico parasitário do processo. A tecnologia de canal tensionado é adotada em quase todos os dispositivos de 90, 65 e 45nm.<sup>29</sup>

As expressões como *stress* e *strain* são diferentes entre si. *Stress* é força por unidade de área desempenhada em um sólido, sua unidade é Pascal [PA], sendo relacionado como pressão, esforço. O termo *Strain* é a deformação, variação das dimensões de um corpo sob atuação de uma força em comparação ao corpo sem atuação desta mesma força.<sup>32</sup>

A primeira evidência de melhoria por tensionamento mecânico na mobilidade de elétrons e lacunas foi reportada na literatura em 1954,<sup>30</sup> mas apenas nos anos 90 foi usada na indústria. Uma nova versão foi aplicada à tecnologia SOI, tornando-se comum após o ano 2000.<sup>29, 30, 31</sup>

### 2.3.1 Tensionamento Mecânico

O tensionamento mecânico introduzido intencionalmente nos dispositivos deu início a uma nova abertura de campo de estudos dos dispositivos na microeletrônica, chamado de engenharia de *stress*.

Utilizando o tensionamento mecânico notou-se um aumento expressivo da corrente de dreno ( $I_{DS}$ ). Para os dispositivos atuais, a não utilização da engenharia de *stress* gera enorme desvantagem. Isso justifica o porquê das indústrias terem aderido à sua utilização.<sup>30</sup>

O tensionamento mecânico intencional do Si provoca uma alteração da rede cristalina por força mecânica. A modificação da rede cristalina do silício influencia diretamente na alteração das faixas de energia, em especial da faixa proibida de energia (*Band gap*), mudando algumas propriedades elétricas do semicondutor.<sup>32</sup>

A tensão mecânica é apresentada de duas formas: tensiva ou compressiva. A força tensiva no canal, utilizada em dispositivos nMOS, aumenta a mobilidade dos elétrons, enquanto a força compressiva é utilizada em dispositivos pMOS, e aumenta a mobilidade das lacunas.

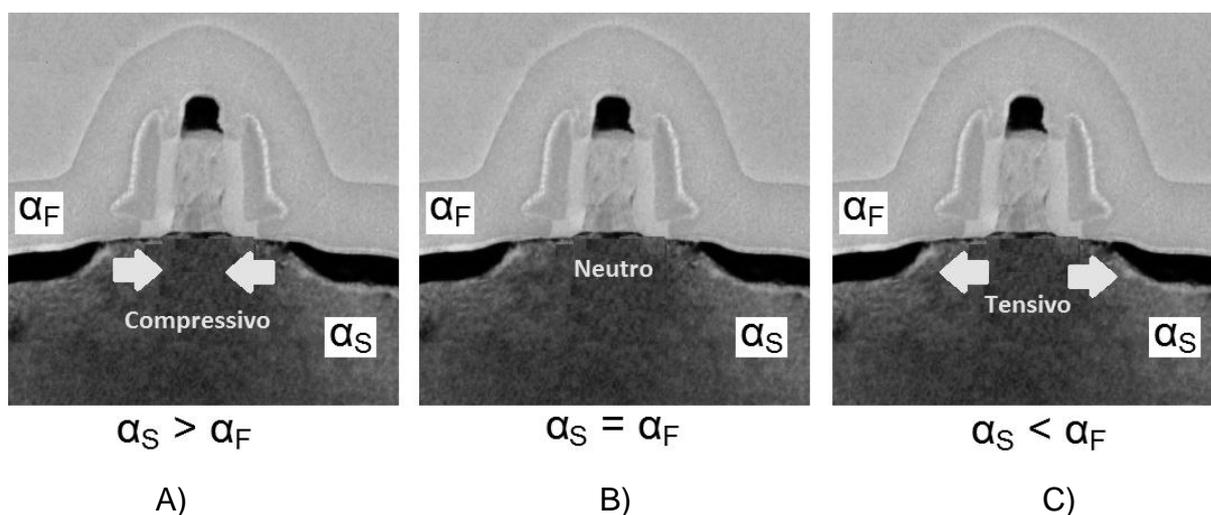
A modificação da rede cristalina pode ocorrer uniaxialmente ou biaxialmente, dependendo da técnica utilizada. No primeiro caso, a força é aplicada no eixo ao longo do comprimento de canal do dispositivo, enquanto que no segundo caso as forças são aplicadas ao longo do comprimento e da largura do dispositivo.<sup>5</sup>

### 2.3.2 Uniaxial

A tensão mecânica uniaxial é gerada por dilatação térmica. A técnica largamente utilizada é obtida através da deposição de um filme de nitreto de silício ( $\text{Si}_3\text{N}_4$ ) sobre a estrutura, através de deposição em fase vapor químico enriquecido por plasma (*Plasma Enhanced Chemical Vapor Deposition – PECVD*) a uma temperatura de aproximadamente  $700^\circ\text{C}$ . Com a diminuição dessa temperatura, pelo fato dos coeficientes de dilatação térmica serem diferentes, provoca-se uma tensão mecânica sobre um transistor SOI Convencional (*Strained Contact Etch Stop Layer – sCESL*).<sup>34, 35, 36</sup>

A figura 2.12 mostra a representação da geração da tensão mecânica uniaxial em um dispositivo MOSFET

Fonte: Intel



**Figura 2.12 - Esquema representativo da geração de tensão mecânica uniaxialmente com filme tensionado. Considerando A)  $\alpha_S > \alpha_F$  B)  $\alpha_S = \alpha_F$  C)  $\alpha_S < \alpha_F$**

Na figura 2.12, considerando que  $\alpha_S$  e  $\alpha_F$ , sejam os coeficientes de dilatação térmica do substrato e do filme respectivamente. Ocorrendo a deposição do filme a uma alta temperatura ( $\sim 700^\circ\text{C}$ ). Diminuindo a temperatura do sistema, passando da temperatura de deposição para a temperatura ambiente ( $\sim 25^\circ\text{C}$ ), temos a seguinte situação:

A) Considerando o coeficiente do substrato maior que a do filme ( $\alpha_S > \alpha_F$ ), o substrato irá se encolher mais que o filme, causando uma força compressiva na região do canal. <sup>37, 38</sup>

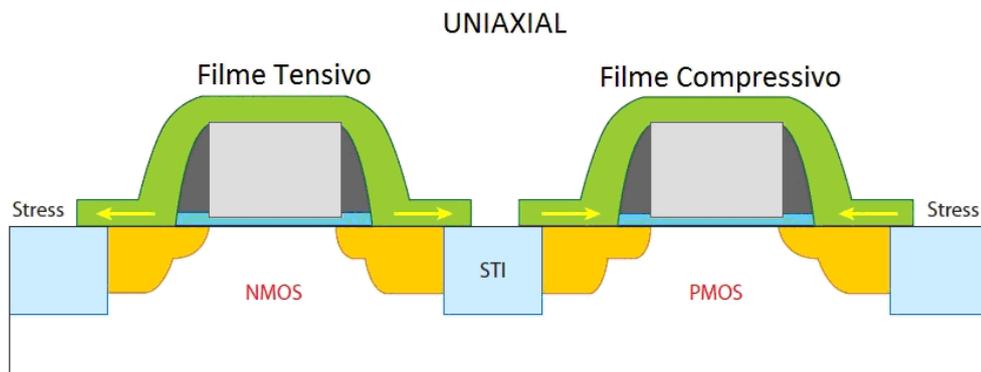
B) Considerando os coeficientes iguais ( $\alpha_S = \alpha_F$ ), o filme e o substrato acompanham a mesma dilatação e compressão, obtendo uma região neutra no canal.

C) Considerando o coeficiente do substrato menor que a do filme ( $\alpha_S < \alpha_F$ ), o filme irá se encolher mais que o substrato, causando uma força tensora na região do canal.

Caso aumentar-se a temperatura acima da deposição (700°C), o efeito ocasionado será o inverso do apresentado nos itens A) e B) acima.

Outro modo de se causar a tensão mecânica dos dispositivos uniaxialmente é depositando uma liga de Silício Germânio (SiGe) em poços na região de fonte e dreno do transistor. Pelo fato do espaçamento interatômico do silício e do germânio ser diferente, provoca uma dilatação, causando uma compressão na região do canal dos dispositivos. A técnica vem perdendo seu espaço devido ao fato de defeitos no processo de deposição da liga SiGe e sua proximidade com o canal, causarem uma redução no nível de corrente de dreno, além de ter um custo maior em processos CMOS em comparação à técnica de deposição do nitreto de Silício.

A figura 2.13 mostra o perfil de um transistor com tensão mecânica uniaxial tensivo (n-MOSFET) e compressivo (p-MOSFET).



**Figura 2.13 - Transistor com tensão mecânica uniaxialmente.**  
**A) Dispositivo Compressivo B) Dispositivo Tensivo** <sup>38</sup>

### 2.3.3 Biaxial

A tensão mecânica biaxial é gerada na estrutura cristalina, através da utilização de liga de SiGe. Uma diminuição gradual da concentração de Ge nesta liga vai ocorrendo durante o processo de deposição, até que na parte superior torne Si sem concentração de Ge. Na seqüência um crescimento epitaxial é feito aumentando a camada de Si, resultando na mesma distância interatômica que a da camada da liga SiGe. Ao término do processo a camada de Si sofre uma oxidação térmica e é unida a outra lâmina que apresenta já uma camada de óxido espesso (*bonded wafer*). A camada com a liga de SiGe é removida, criando-se a lâmina SOI com a camada de Si tensionada nos dois sentidos (*Strained Silicon-On-Insulator - sSOI*).<sup>40, 41</sup>

A figura 2.14 mostra uma estrutura utilizada em um dispositivo com o canal tensionado biaxialmente. O fenômeno acompanha em todos os sentidos (biaxial).

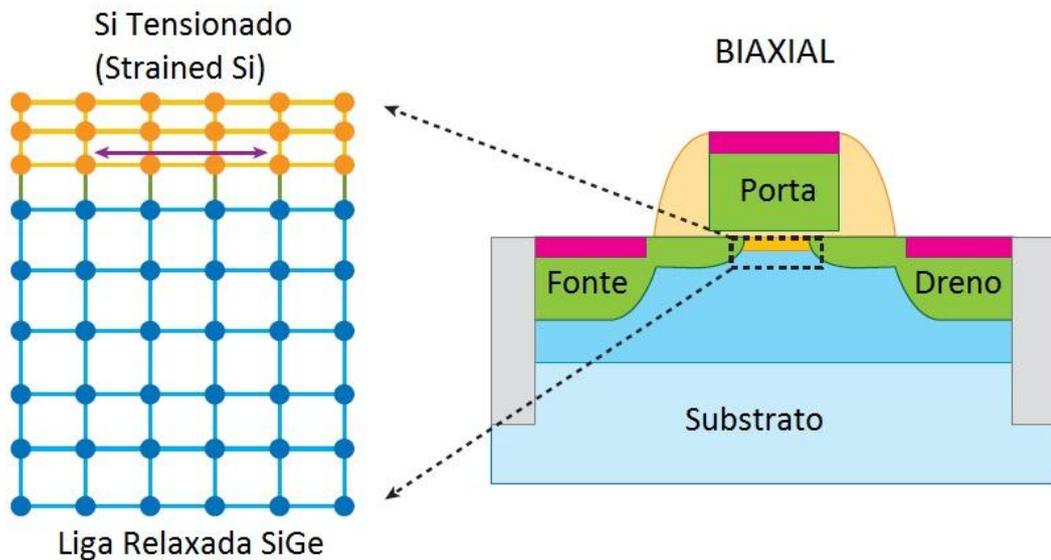
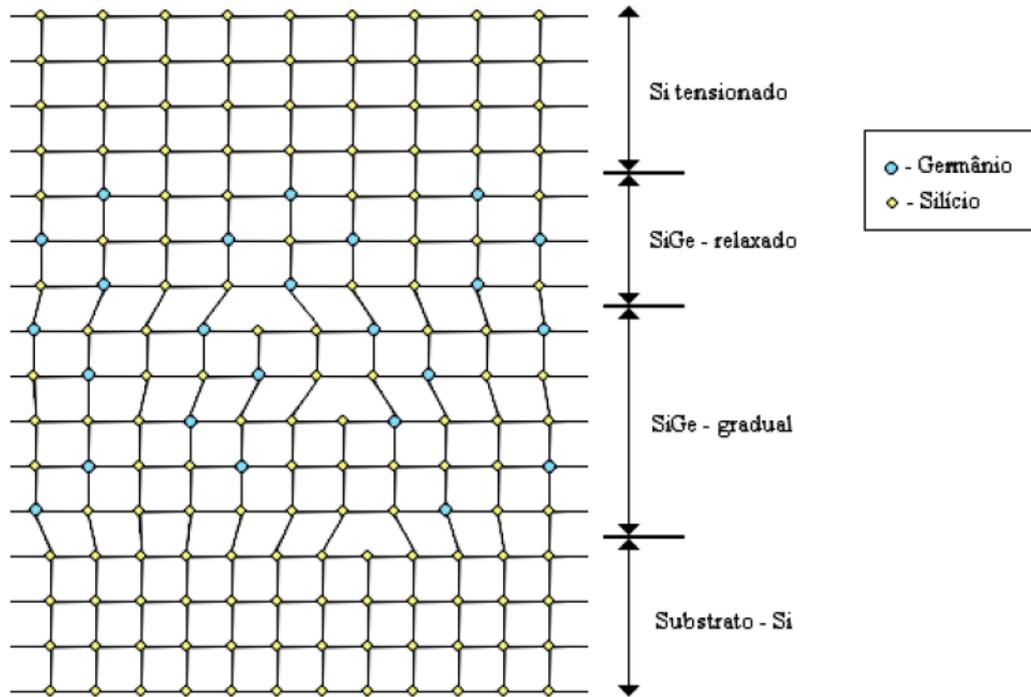


Figura 2.14 - Dispositivo Biaxial com o canal tensionado por liga SiGe

A figura 2.15 mostra esquematicamente a formação da camada tensionada biaxialmente.



**Figura 2.15 - Formação da tensão mecânica biaxial através da utilização de ligas SiGe.**

Na figura acima (2.15), a deformação do filme de Si ( $\varepsilon_{FILME}$ ) devido à diferença das distâncias interatômica é dada pela equação (2.27):<sup>43</sup>

$$\varepsilon_{FILME} = \frac{a_{SUB} - a_{FILME}}{a_{SUB}} \quad (2.27)$$

Onde  $a_{SUB}$  e  $a_{FILME}$  são os espaçamentos cristalinos do substrato e do filme, respectivamente. No Si o espaçamento  $a_{FILME}$  é dado por 0,5431 nm, já para a liga  $Si_{1-x}Ge_x$  a constante  $a_{SUB}$  é dependente da concentração de germânio e pode ser aproximado pela equação (2.28)<sup>42</sup>

$$a_{SUB}(x) = 0,002733 \cdot x^2 + 0,01992 \cdot x + 0,5431 \quad [\text{nm}] \quad (2.28)$$

E a tensão mecânica na camada é dada pela equação (2.29)<sup>43</sup>

$$\sigma = -2\gamma \cdot \frac{\nu + 1}{\nu - 1} \cdot \varepsilon_{FILME} \quad (2.29)$$

Onde  $\nu$  é o coeficiente de Poisson, que representa a razão entre a deformação lateral e longitudinal,  $\gamma$  é o módulo de elasticidade transversal que pode ser definido pela equação (2.30):

$$\gamma = \frac{E}{2 \cdot (1 + \nu)} \quad (2.30)$$

Onde E é o módulo de Young ou módulo de elasticidade que é definido como a razão entre a tensão mecânica e a deformação.<sup>44</sup>

## 2.4 Crescimento Epitaxial Seletivo (SEG)

Em dimensões submicrométricas, os dispositivos tendendo a diminuir suas dimensões com isso os MuGFETs também têm a necessidade de se diminuir a largura do filete de silício (fin) para que haja um bom controle do efeito de canal curto. Em dimensões tão pequenas a resistência série parasitária (incluindo a resistência de contato) causa uma degradação no nível de corrente e da transcondutância.

A maneira mais utilizada de se reduzir a resistência série parasitária sem comprometer a engenharia de canal, é aumentando a área de contato na região de fonte e dreno. Com o aumento da área ocorre a diminuição da resistência de contato, como mostrado pela equação (2.31).

$$R_{CO} = \frac{\rho_{CO}}{A} \quad (2.31)$$

Onde  $R_{CO}$  é a resistência de contato parasitária,  $\rho_{CO}$  é a resistividade de contato e A é a área de contato. Para que seja possível, há a necessidade de altos níveis de dopagens nestas regiões. Um desafio tecnológico ainda para os dispositivos com o filete de silício estreito.<sup>11, 46</sup>

O crescimento seletivo epitaxial (*Selective Epitaxial Growth – SEG*) é usado aumentando a espessura do silício na região de fonte e dreno, onde apresenta uma alta dopagem, não comprometendo a região menos dopada (LDD) e a região do canal, ajudando desta maneira a resistência série parasitária total <sup>11, 47, 48</sup>. A figura 2.16 mostra um dispositivo com e sem a presença do SEG.

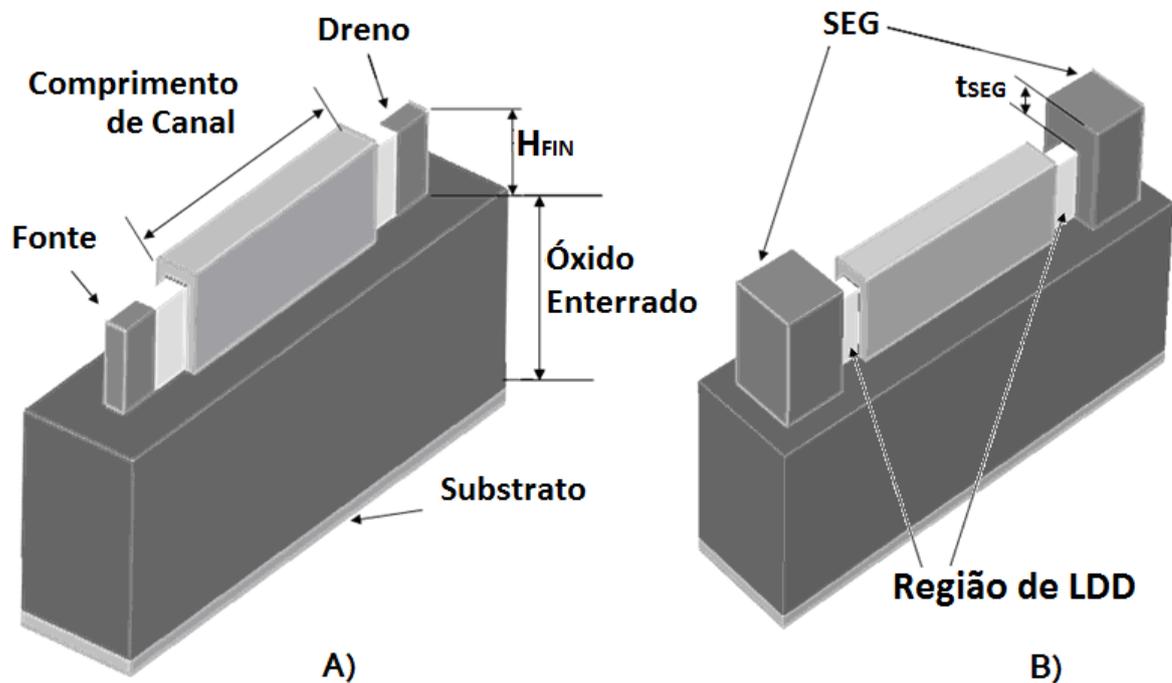


Figura 2.16 - Dispositivo MuGFET Sem SEG (A) e Com SEG (B)

O uso do SEG nas regiões de fonte e dreno pode melhorar o nível de corrente relacionado à diminuição da resistência série em até 50%, juntamente com silicetos como materiais de contatos. <sup>49</sup>.

### 3 MEDIDAS EXPERIMENTAIS

Neste capítulo são apresentados os resultados das medidas experimentais realizadas ao longo deste trabalho. Inicialmente, foi analisada a influência das tensões mecânicas, comparando os dispositivos uniaxiais e biaxiais com os de referência (sem tensão mecânica). Na segunda parte, uma análise dos dispositivos sob a influência do SEG e seus comportamentos tanto tensionados mecanicamente quando os sem tensão mecânica foram realizados.

#### 3.1 Descrições dos Dispositivos Estudados

Na caracterização elétrica dos dispositivos, foram utilizadas pastilhas de silício contendo diversos transistores MuGFETs em cascatas de transistores como mostrado na figura 3.1 e o *layout* do projeto dos dispositivos.

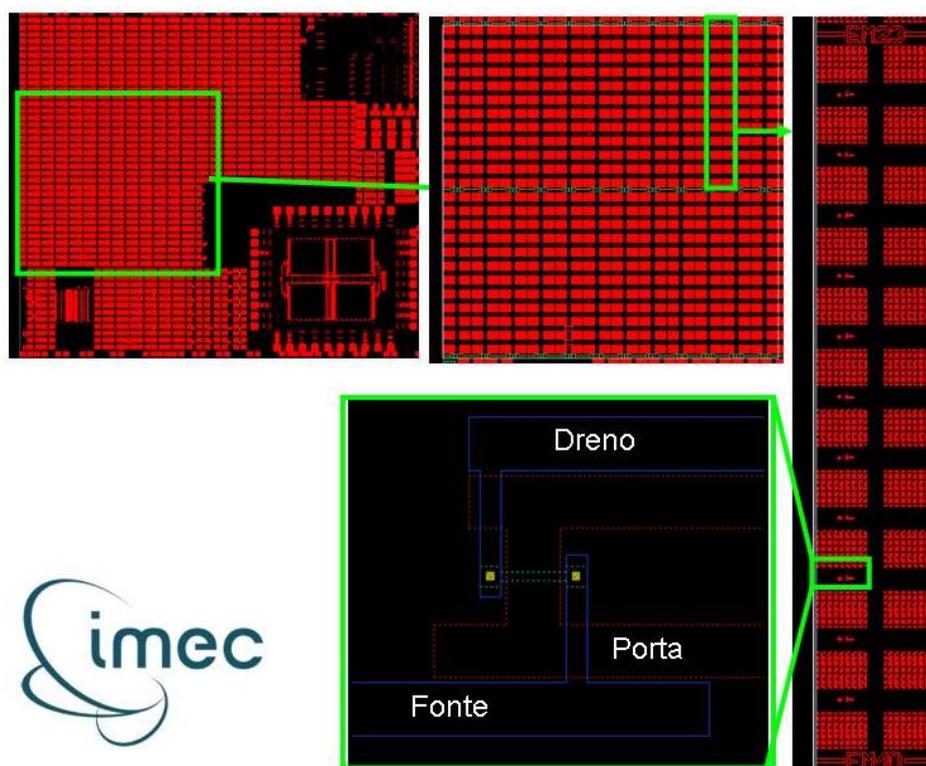
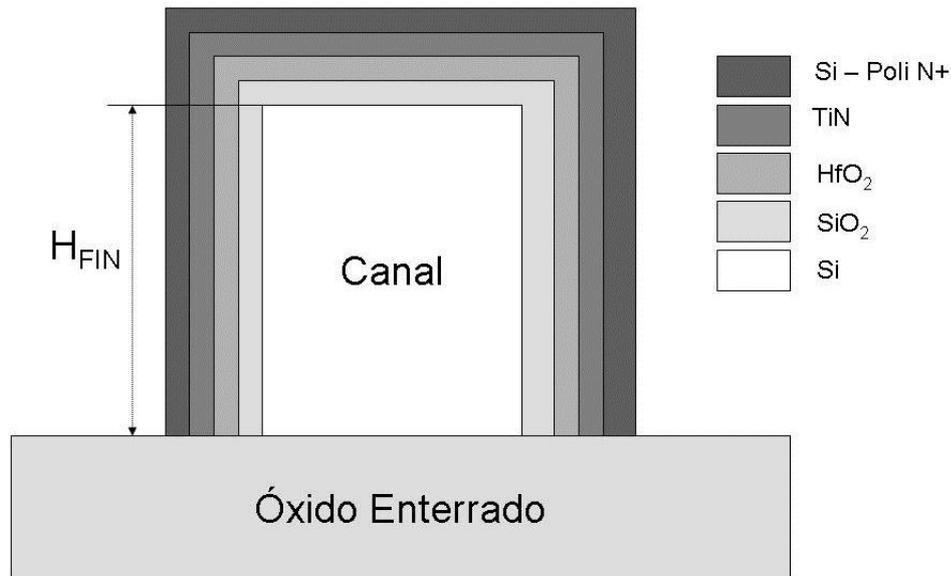


Figura 3.1 - Dispositivos Fabricados pelo IMEC.

Na figura 3.2 é mostrado o perfil transversal do MuGFET de porta tripla e a identificação de suas regiões.



**Figura 3.2 - Perfil transversal do MuGFET de Porta Tripla identificando os materiais de suas regiões.**

Os MuGFETs de porta tripla medidos experimentalmente foram fabricados no IMEC/Bélgica. Apresentam cascatas de dispositivos com as seguintes características: comprimento da região de fonte e dreno ( $L_S$  e  $L_D$ ) de 50 nm; comprimento das regiões menos dopadas ( $L_{LDD}$ ) de 50 nm; espessura do óxido enterrado ( $t_{OXB}$ ) de 150nm; altura da ilha de silício (fin) ( $H_{FIN}$ ) de 60 nm; dielétrico de porta constituído de 1 nm de óxido de silício ( $SiO_2$ ) e 2 nm de óxido de Háfio ( $HfO_2$ ) e com material de porta de Nitreto de Titânio (TiN), seguido de silício policristalino N+.

A região de canal é formada de silício tipo P com concentração de dopantes  $N_A$  de  $1 \cdot 10^{15} \text{ cm}^{-3}$ . A região de fonte e dreno é formada de silício tipo N+ com concentração de dopantes de  $N_D$  de  $1 \cdot 10^{20} \text{ cm}^{-3}$  e, a região de baixa dopagem LDD com concentração de dopantes de  $1 \cdot 10^{18} \text{ cm}^{-3}$ . A largura efetiva do fin  $W_{FIN}$  é de 20nm e o comprimento de canal efetivo varia de 30 nm a 900 nm.

### 3.2 Curva Característica $I_{DS} \times V_{GS}$

Os dispositivos MuGFETs apresentados foram caracterizados eletricamente com uma baixa tensão de dreno ( $V_D$ ) de 50mV, polarizando a tensão de porta ( $V_{GS}$ ) de -0,2 a 1,2 V. Na figura 3.3 são apresentadas as curvas características  $I_D$  em função de  $V_{GS}$  para os nMuGFET de porta tripla de  $W_{FIN}$  de 20 nm, com diferentes comprimentos de canais ( $L$ ) das tecnologias de referência, uniaxial e biaxial, no gráfico linear (a) e no monolog (b) da corrente de dreno em função da tensão de porta:

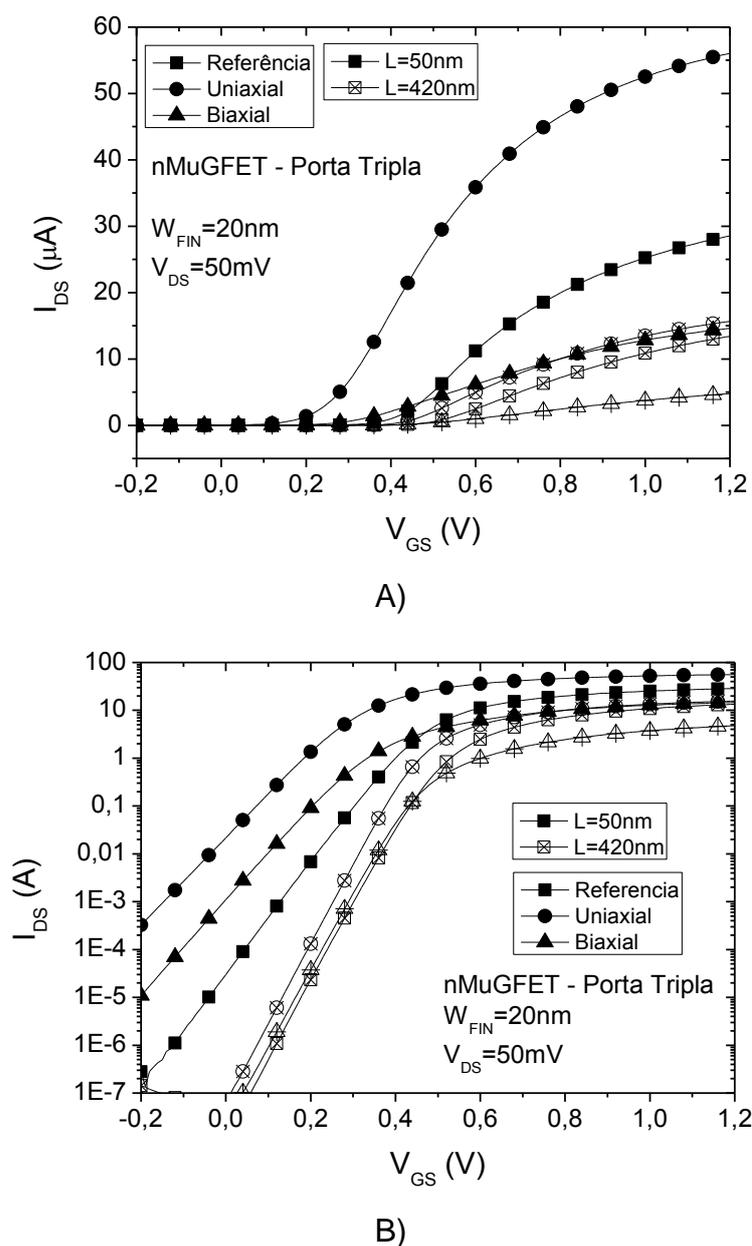


Figura 3.3 - Curva  $I_{DS} \times V_{GS}$  dos dispositivos de Referência, Uniaxial e Biaxial para dois comprimentos de canal em gráfico linear (A) e logaritmo (B).

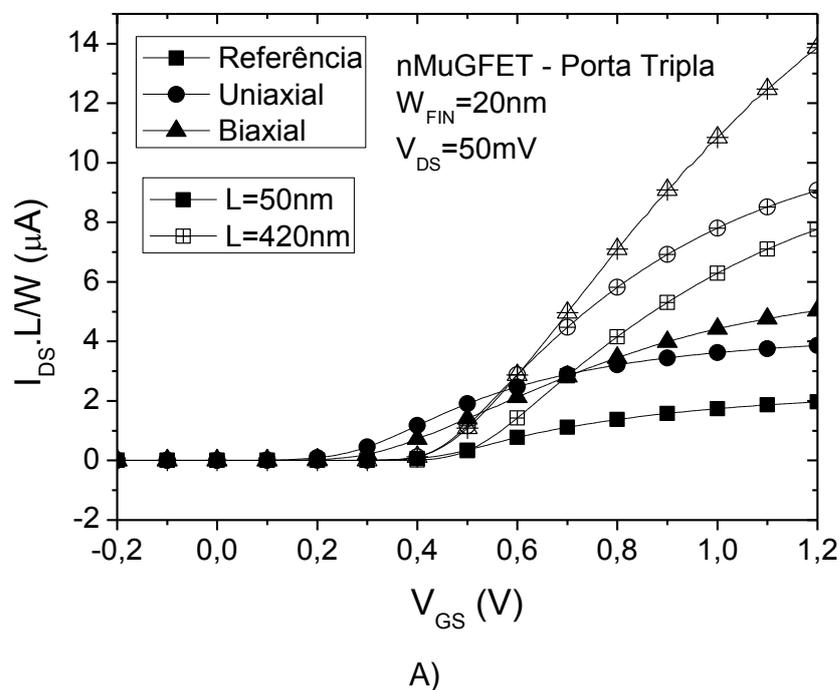
No gráfico da figura 3.3. A), os dispositivos uniaxiais de dimensões pequenas ( $L=50\text{nm}$ ) tem um maior nível de corrente em relação ao dispositivo de maior dimensão ( $L=420\text{nm}$ ). Já para dispositivos biaxiais o dispositivo de dimensão maior tem um maior nível de corrente em relação ao dispositivo de menor dimensão relacionado ao melhor do tensionamento mecânico. Ambas as tecnologias de canais tensionados (uniaxial e biaxial) apresentam uma melhora no níveis de corrente em relação aos dispositivos de referência.

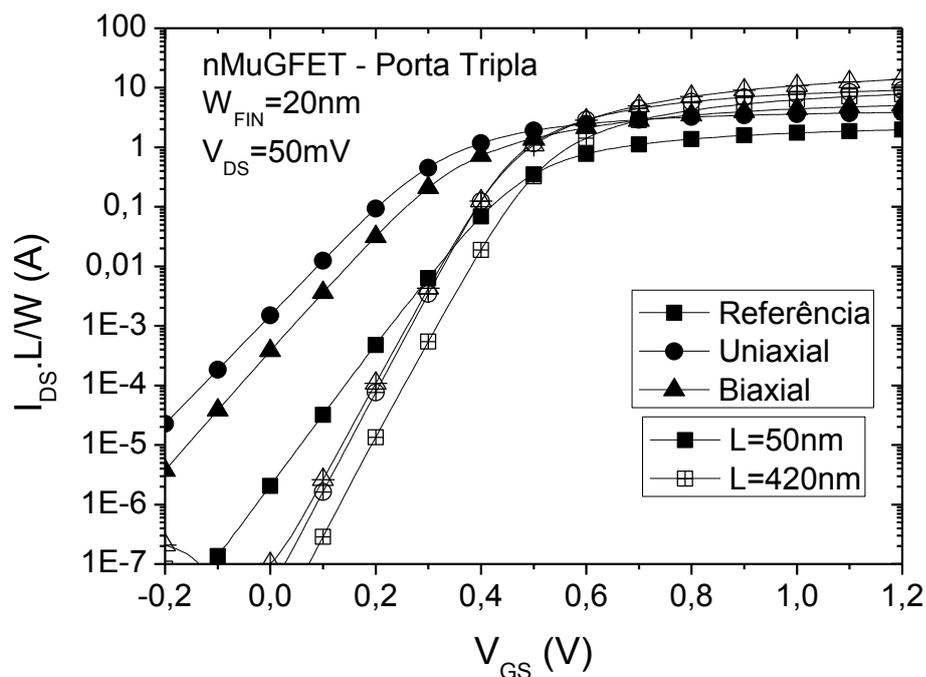
A equação da corrente de dreno ( $I_{DS}$ ) é dependente da geometria dos dispositivos. Considerando uma largura de canal ( $W$ ) fixa, quanto maior for o comprimento de canal ( $L$ ), maior será a resistência relacionada ao canal e desta forma o nível de corrente é menor, como mostrado na figura 3.3.

Uma análise sem a dependência das geometrias é feita multiplicando-se pelo fator inverso das geometrias a equação (3.1), fazendo a corrente de dreno ( $I_{DS}$ ) fique normalizada, como mostrado pela equação (3.1)

$$I_{DS} \propto \frac{W}{L} \Rightarrow I_{DS} \cdot \frac{L}{W} = I_{DS \text{ Normalizada}} \quad (3.1)$$

Na figura 3.4 são mostradas as curvas da figura 3.3 sem a dependência da geometria.



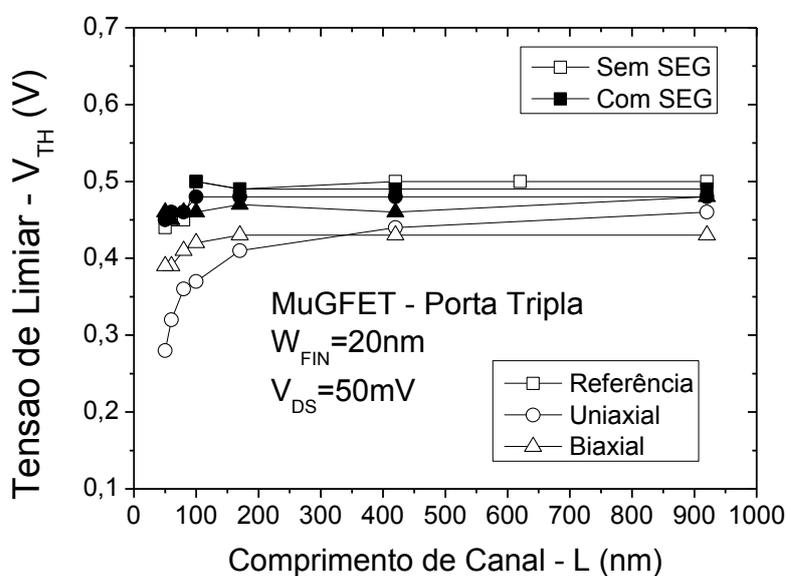


B)

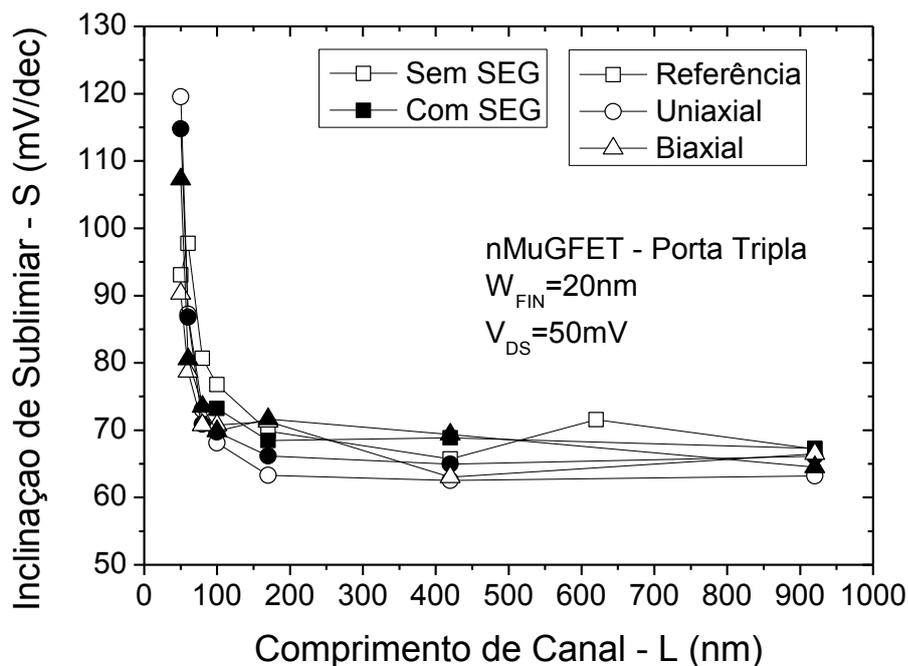
Figura 3.4 - Curva  $I_{DS} \times V_{GS}$  Normalizada dos dispositivos de Referência, Uniaxial e Biaxial para varios comprimentos de canal em gráfico linear (A) e logaritmo (B).

Após a normalização das curvas de dreno ( $I_{DS}$  Normalizada) ocorre uma inversão nos níveis de corrente em relação aos níveis de corrente não normalizada.

Na figura 3.5, é mostrada a tensão de limiar ( $V_{TH}$ ), extraída pela técnica da segunda derivada da curva ( $I_{DS} \times V_{GS}$ ) e de inclinação de sublimiar (S).



A)



B)

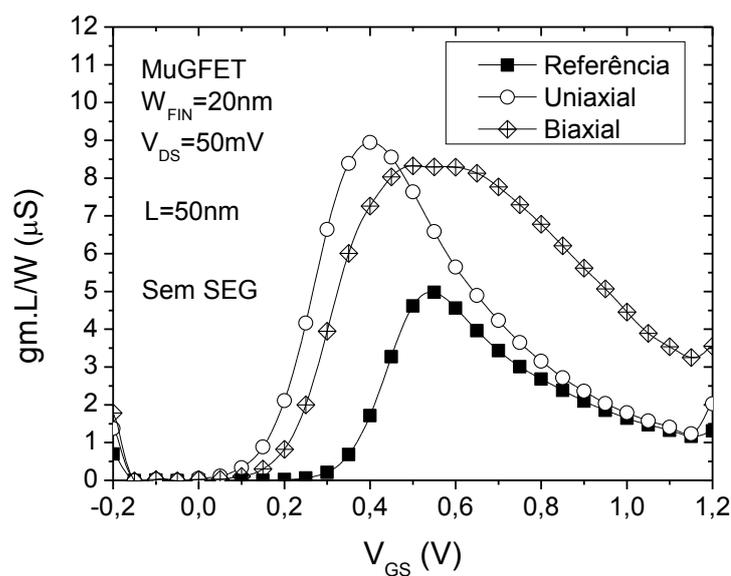
**Figura 3.5 - Variação da tensão de limiar (A) e inclinação de sublimar (B) em relação ao comprimento de canal**

Nas medidas elétricas para pequenos comprimentos de canais (L) nota-se que o eletrodo de porta perde o controle das cargas na região de canal, ocasionando uma diminuição na tensão de limiar e aumento da inclinação de sublimar, já que esses parâmetros são dependentes fortemente das cargas no canal.<sup>6,9</sup>

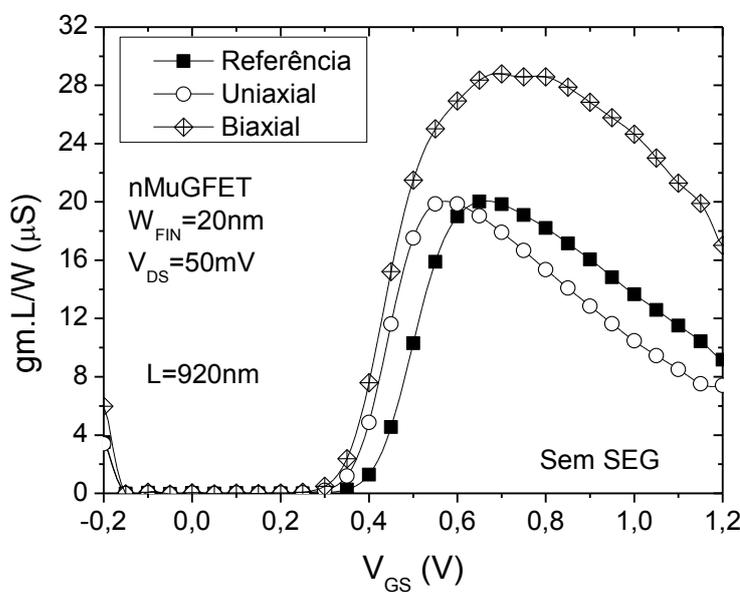
Para a tecnologia de fabricação empregada a dimensão segura mínima está por volta de 70 nm para ambas as tecnologias com e sem tensão mecânica (uniaxial e biaxial). As dimensões abaixo deste valor já sofrem forte efeito de canal curto (SCE). Este comportamento pode ser observado também na figura 3.4, onde os menores comprimentos de canais (L) começam a apresentar uma anomalia na curva em escala logarítmico.

### 3.3 Transcondutância

A transcondutância obtida pelo método da derivada da corrente  $I_{DS}$  em função da tensão de porta ( $V_{GF}$ )<sup>7, 9</sup> é um dos principais parâmetros analisados e está relacionada à eficácia do controle do dispositivo, influenciando diretamente na velocidade de chaveamento. A figura 3.6 mostra as curvas de transcondutância para comprimento de canal pequeno e grande ( $L=50\text{nm}$  e  $920\text{nm}$ , respectivamente) de referência e tensionados mecanicamente (uniaxial e biaxial).



A)



B)

Figura 3.6 - Curva da transcondutância em relação a tensão de porta para dispositivos de referência, Uniaxial e Biaxial dos dispositivos de  $L=50$  (A) e  $920\text{nm}$  (B).

Através do maior pico da curva de transcondutância, como mostrado na figura 3.6, foi extraída a transcondutância máxima dos portadores para baixo campo elétrico.

Nos dispositivos de comprimento de canal menor, notou-se que os dispositivos uniaxiais têm a degradação da mobilidade por campo elétrico mais acentuada, causado principalmente por defeitos no material. Ambas as técnicas uniaxial e biaxial apresentam para os comprimentos de canais uma melhora significativa na mobilidade.

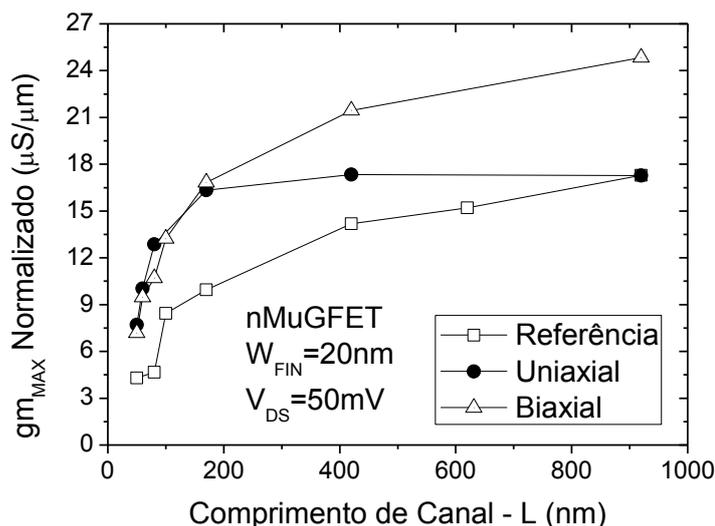
Na tabela 3.1, é mostrada a transcondutância máxima em função do comprimento de canal para algumas medidas realizadas.

**Tabela 3.1 - Transcondutância Máxima dos dispositivos de Referência, Uniaxial e Biaxial medidos em função do comprimento de canal.**

L (nm)	Transcondutância Max – $g_{m_{MAX}}$ ( $\mu S$ )		
	Referencia	Uniaxial	Biaxial
50	4,29	8,42	7,43
70	5,35	12,87	8,46
100	8,44	11,75	11,14
170	9,94	16,38	15,24
420	14,19	17,79	22,66
920	17,29	17,27	26,65

A mobilidade efetiva do portador no canal é proporcional à sua transcondutância. Nas medidas da tabela 3.1 os dispositivos uniaxiais apresentam maior mobilidade (maior  $g_{m_{MAX}}$ ) em relação aos de referência e biaxiais para dispositivos menores. Conforme aumenta o comprimento de canal os dispositivos biaxiais começam a ter um acréscimo maior em relação aos uniaxiais. Todos os dispositivos tensionados mecanicamente em relação aos de referência tem uma transcondutância máxima maior.

Na figura 3.7 é mostrada a transcondutância máxima dos portadores para baixo campo elétrico normalizado em relação ao comprimento de canal (L).



**Figura 3.7 - Transcondutância máx. Normalizada em relação ao comprimento de canal para tecnologia de Referência, Uniaxial e Biaxial.**

A figura 3.7 mostra uma alteração em relação ao efeito do tensionamento nos dispositivos em função do comprimento de canal. Isso é justificado pois os dispositivos uniaxiais de comprimento de canal menores, como são formados por uma camada de silício nitretado ( $\text{Si}_3\text{Ni}_4$ ) sobre o dispositivo, o tensionamento está sendo transferido aos dispositivos pela região de fonte e dreno. Quanto menor for o comprimento do canal, mais efetivo será o tensionamento na região do canal.

Uma investigação mais aprofundada da alteração do comprimento de canal (L) em função do tensionamento causado, principalmente nos dispositivos uniaxiais, é apresentada na seção seguinte justificando com os efeitos mecânicos essa alteração.

O tensionamento mecânico biaxial sofre um efeito de relaxamento nas bordas do fin, inerente ao processo de fabricação. A referência 50 mostra o estudo que comprova que este relaxamento influencia os 100nm das extremidades, como mostrado pela figura 3.8

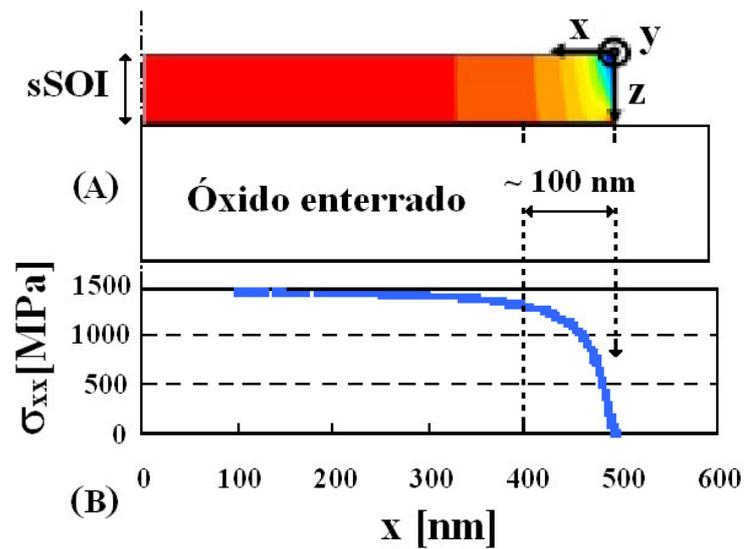


Figura 3.8 - Variação da tensão mecânica na direção da largura de uma ilha de silício em uma distribuição 2D (A) e em uma distribuição 1D à 1 nm abaixo do óxido de porta (B) de acordo com a ref. 50

Portanto em um filete de silício (fin) a largura ( $W$ ) abaixo dos 200nm há forte degradação do seu tensionamento. Os dispositivos estudados neste trabalho apresentam uma largura de  $W=20\text{nm}$ , o que relaciona à degradação de stress por um relaxamento para ilhas de silício, estando os dispositivos abaixo de 200nm.

A mobilidade é dependente do espalhamento dos portadores, a tensão mecânica muda a rede cristalina do material, favorecendo e melhorando a mobilidade. A mobilidade dos portadores é dada por:

$$\mu = \frac{q \cdot \tau}{m^*} \quad (3.2)$$

Onde  $1/\tau$  é a taxa de espalhamento e  $m^*$  é a massa efetiva. A tensão mecânica reduz a massa efetiva e a taxa de espalhamento, provocando um aumento na mobilidade<sup>51</sup>. A mudança na rede cristalina aumenta a distância interatômica (distância média que um elétron pode percorrer antes de se chocar com a rede), refletindo diretamente na mobilidade.

### 3.4 Comparação do $gm_{MAX}$ com o uso SEG nos dispositivos

A utilização do crescimento seletivo epitaxial (SEG) na região de fonte e dreno torna maior a área de contato, diminuindo a resistência de contato ( $R_{COM}$ )<sup>52</sup>. A elevação do nível de corrente de dreno ( $I_D$ ) causa uma transcondutância máxima mais elevada com a utilização SEG como mostrado na figura 3.9 e pela tabela 3.2.

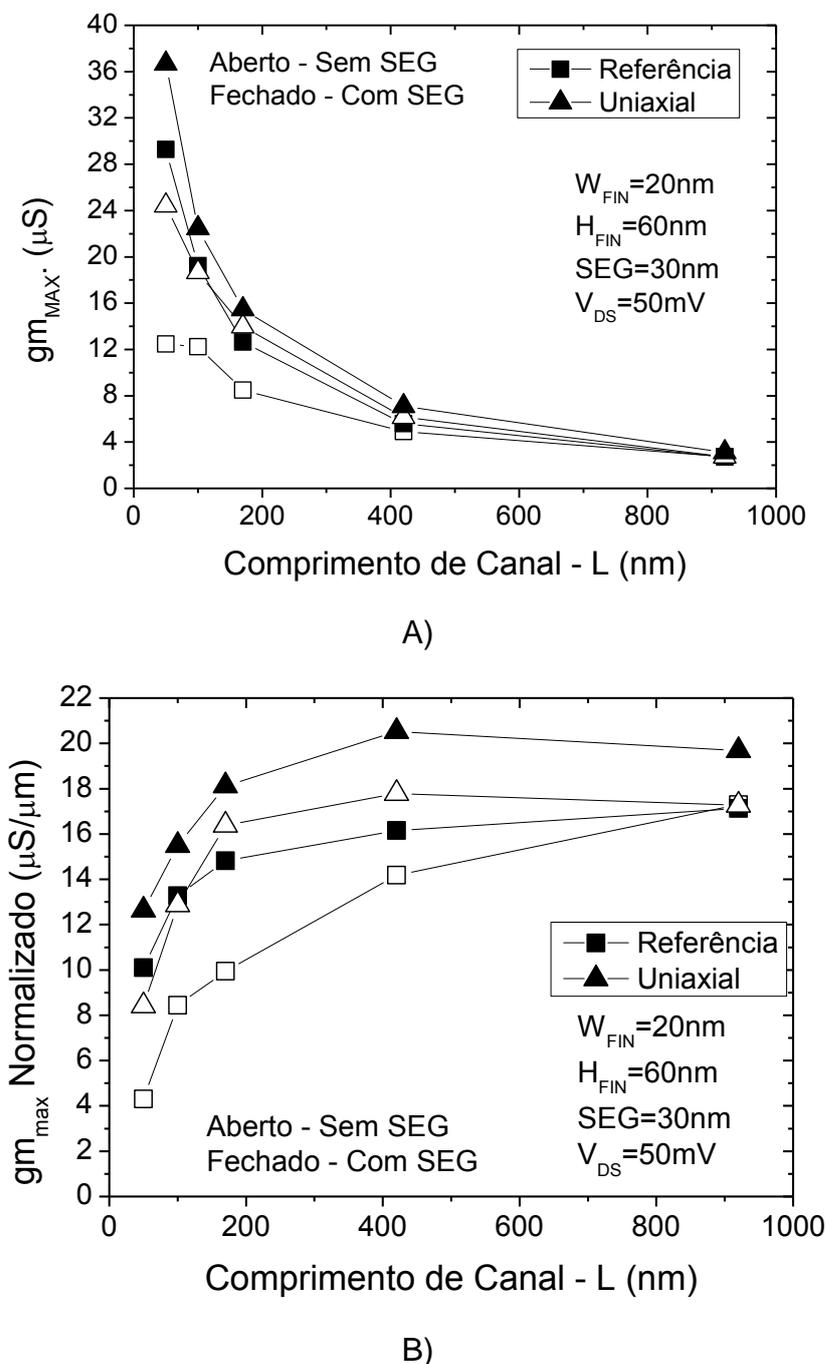


Figura 3.9 - Transcondutância efetiva Max (A) e normalizada (B) em relação ao comprimento de canal para os dispositivos de referência e uniaxial

A transcondutância máxima ( $g_{mMAX}$ ) está relacionado a mobilidade efetiva dos portadores na região do canal, para baixa tensão de dreno  $V_{DS}$ , o que torna independente do campo elétrico horizontal e vertical

**Tabela 3.2 - Transcondutância Máxima dos dispositivos de Referência, Uniaxial e Biaxial medidos em função do comprimento de canal, com e sem o uso do SEG.**

L (nm)	Transcondutância Max Normalizado			
	$g_{mMAX}$ Normalizado ( $\mu S/\mu m$ )			
	Sem SEG		Com SEG	
	Referência	Uniaxial	Referência	Uniaxial
50	4,29	8,42	10,09	12,64
100	8,44	12,87	13,27	15,49
170	9,94	16,38	14,82	18,13
420	14,18	17,79	16,15	20,52
920	17,29	17,27	17,13	19,68

Através de uma análise da transcondutância máxima dos dispositivos com e sem o uso do SEG, notou-se que em todos os dispositivos houve uma considerável melhora, tanto em relação aos parâmetros dependente da geometria quanto os normalizados.

Com os valores medidos, pode ser concluído que o uso do SEG na região de fonte e dreno melhora a transcondutância em relação aos dispositivos que não no SEG. Uma degradação em relação ao efeito de canal curto gera uma diminuição na transcondutância, mesmo com a utilização do SEG. Uma análise mais detalhada da influência do uso do SEG e tensionamento mecânico uniaxial pode ser compreendida nas seções seguintes nas simulações que extrapola algumas condições.

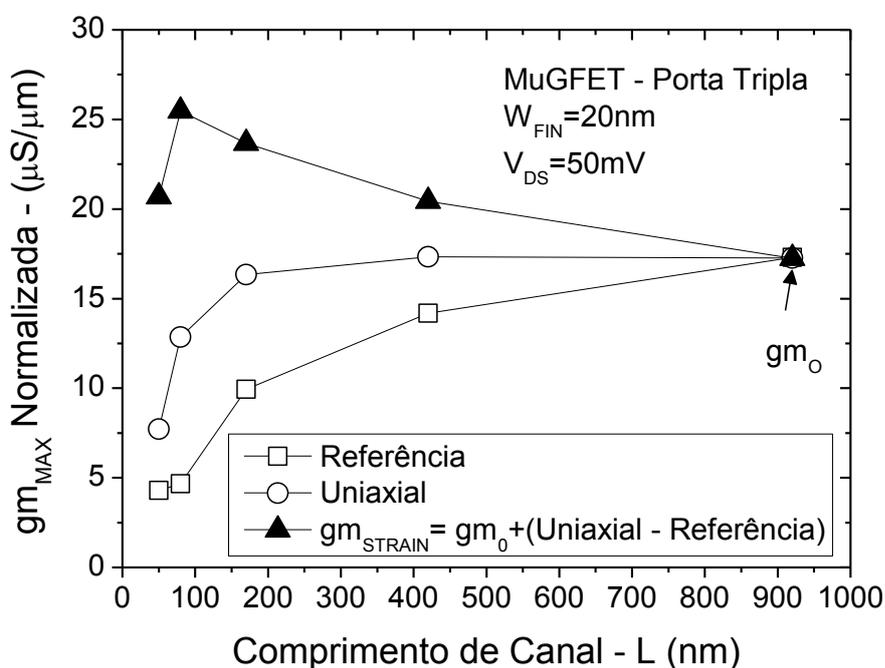
### 3.4.1 Análise do uso do SEG nos dispositivos Uniaxiais

Considerando que o dispositivo de referência tem as mesmas características de um dispositivo uniaxial, apenas com a diferença de conter uma camada de silício nitretada ( $Si_3Ni_4$ ) na parte superior, uma degradação nas medidas da figura 3.9 para comprimentos de canais menores está relacionada à resistência série parasitária,

estando presente da mesma forma para os dispositivos de referência quanto nos tensionados uniaxialmente.

A fim de separar a parcela da melhora na transcondutância máxima apenas em função da tensão mecânica, foram subtraídos os pontos das medidas da mobilidade efetiva máxima do uniaxial em relação ao de referência, partindo do ponto ( $gm_0$ ). O ponto  $gm_0$  foi definido como ponto de referencia considerando nula a melhora do tensionamento mecânico, já que quanto maior o comprimento de canal a tensão uniaxial torna se menor, chegando ser praticamente desprezível neste ponto.

A diferença da transcondutância é definida como a transcondutância independente da resistência parasitária, obtendo a mobilidade efetiva máxima em relação apenas ao aumento da deformação ( $gm_{STRAIN}$ ), como mostrado na figura 3.10.



**Figura 3.10 - Dependência da variação da transcondutância máxima em relação ao comprimento de canal dos dispositivos uniaxiais sobre o de referência.**

A figura 3.10 foi extraída pela diferença dos pontos de transcondutância máxima dos dispositivos tensionados uniaxialmente (CESL) em relação aos de referências com as mesmas características. A figura 3.10, confirma que quanto menor for o comprimento de canal, maior será a mobilidade efetiva máxima causada

pela tensão mecânica. Uma anomalia para dimensões de 50 nm é observada causada pelo efeito de canal curto (*SCE*).

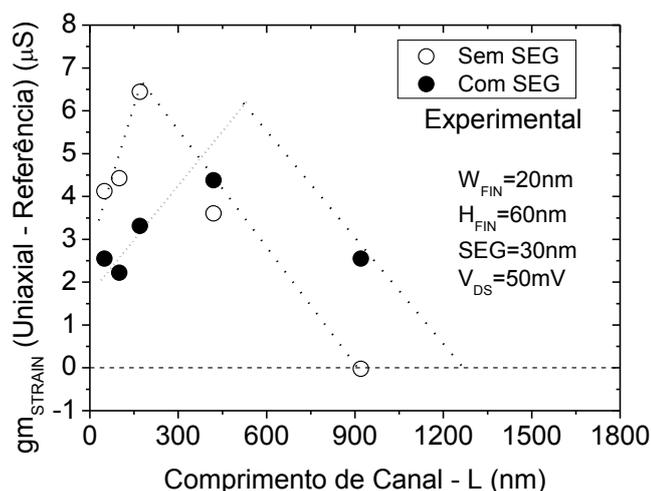
A tabela 3.3 mostra o quanto à transcondutância máxima dos dispositivos foi melhorado apenas pela parcela em relação o tensionamento mecânico.

**Tabela 3.3 - Variação da Transcondutância Máxima dos dispositivos Uniaxial em relação ao de referência em função do comprimento de canal.**

L (nm)	Mobilidade Efetiva Max Normalizada $g_{m_{MAX}}$ ( $\mu S/\mu m$ )		
	Referência	Uniaxial	$\Delta g_{m_{STRAIN}}$
50	4,29	8,42	4,13
100	8,44	12,87	4,43
170	9,94	16,38	6,44
420	14,18	17,79	3,61
920	17,29	17,27	0,00

A análise confirma que para dispositivo de comprimento de canal grande a melhora por tensão mecânica é quase desprezível, assim como para os dispositivos menores da tensão causada pela camada de silício nitretado é mais pronunciada.

Uma análise da variação no nível da mobilidade efetiva máxima em função do uso do tensionamento mecânico foi feita comparando-se as variações juntas do uso do SEG. Considerando a diferença dos valores da transcondutância máxima entre o dispositivo uniaxial e referência é causada somente pela eficácia da deformação mecânica (*Strain*). Na figura 3.11 é mostrada a diferença dos valores da transcondutância máxima entre os dispositivos uniaxial e de referência medidos.



**Figura 3.11 - Tendência de variação da transcondutância em relação ao strain dos dispositivos uniaxial com e sem SEG.**

Observa-se uma tendência que para dispositivos com comprimentos de canal curtos, a diferença do aumento de mobilidade é mais elevada da transcondutância máxima e ocorre para transistor sem SEG. Isto ocorre porque na ausência de SEG tem-se uma maior eficiência da tensão causada pela camada do silício nitretado ( $\text{Si}_3\text{Ni}_4$ ) e o crescimento da região de fonte e dreno afasta essa camada, não permitindo que a tensão interfira na região de canal. Esse efeito é justificado pelas simulações mecânicas que será realizada no capítulo 4.

Embora os dispositivos com SEG apresentassem um ganho menor da mobilidade efetiva máxima para comprimento de canal menor, nos dispositivos de maiores comprimento de canal o uso do SEG torna mais satisfatório já que a região a resistência de contato parasitária interfere mais do que a diminuição causada pelo espaçamento da camada de silício nitretado no dispositivo.

Para os dispositivos menores que aproximadamente 350 nm, a eficácia da tensão mecânica é mais elevada em dispositivos sem SEG e o uso de SEG gera uma melhora mais expressiva do tensionamento mecânico para dispositivos aproximadamente acima de 350 nm.<sup>53</sup>

## 4 SIMULAÇÃO NÚMERICA

Este capítulo destina-se a apresentar e discutir os resultados obtidos através das simulações numéricas bidimensionais e tridimensionais. Este capítulo é dividido em três partes: a primeira aborda as características dos simuladores utilizados, a segunda apresenta um estudo das tensões mecânicas obtidas por simulações de processos, analisando a influência principalmente do uso do SEG nos dispositivos em relação à tensão mecânica e a terceira parte analisa a influência elétrica do SEG na região de fonte e dreno e aborda os resultados das simulações elétricas dos dispositivos, confirmando os resultados experimentais.

### 4.1 Simuladores Utilizados

Os simuladores utilizados são baseados em equações físicas (como por exemplo a equação de continuidade, Equação de Poisson), que permitem obter características dos dispositivos simulados com alta confiabilidade. Ambos os simuladores consideram um conjunto de pontos e linhas, formando uma malha de nós (grade).

Foram utilizados os simuladores de processo ATHENAS – Silvaco<sup>54</sup>, o simulador de dispositivos ATLAS da Silvaco e Sentaurus da Synophys<sup>55</sup>. O simulador ATHENAS – Silvaco permitiu um estudo detalhado da influência da tensão mecânica, provocada pela camada de  $\text{Si}_3\text{Ni}_4$  sobre o dispositivo e alteração em função da espessura do SEG e comprimento de canal. O estudo das características elétricas provocadas pela alteração dos parâmetros do simulador de processos (ATHENAS), foi realizado com o simulador ATLAS – Silvaco. Ambos os estudos de forma bi-dimensional.

A integração dos estudos das características elétricas e alteração de processos de fabricação em dispositivos tridimensionais (MuGFETs) foram possíveis utilizando o simulador Sentaurus da Synophys, que apresenta um melhor resultado para dispositivos tridimensionais, obtendo um resultado mais próximo do

experimental e considerando a resistência de contato. Confirmando a tendência observada nos dispositivos experimentais e extrapolando parâmetros de processos e analisando os respectivos impactos elétricos.

#### **4.1.1 ATHENAS – Silvaco**

ATHENA é um programa de simulação de processos de fabricação de dispositivos da empresa Silvaco. Nesta ferramenta é possível descrever a geometria de um dispositivo, especificar a grade de simulação a ser utilizada para interpolação ponto a ponto e realizar etapas de processo de fabricação, tais como difusões, implantações iônicas, deposições, oxidações, corrosões, dentre outros. A estrutura do dispositivo fabricado pode ser extraída e utilizada como arquivo de entrada para o simulador de dispositivo ATLAS. É possível ainda extrair parâmetros de processo (espessura do óxido, dopagens, entre outros).<sup>54</sup> O programa do ATHENAS utilizado neste trabalho pode ser visto no Apêndice A.

#### **4.1.2 ATLAS – Silvaco**

O simulador de dispositivo ATLAS que é produzido também pela SILVACO, é um simulador que de acordo com os parâmetros de processos e construção física do dispositivo, permite através de modelos físicos bem conhecidos, simular o seu funcionamento em função da polarização dos terminais, permitindo uma análise detalhada de alguns parâmetros elétricos que não são possíveis na prática.

Os dispositivos simulados são formados por pontos da grade bidimensional ou tridimensional onde todas as equações físicas dos modelos envolvidos são calculadas para cada ponto da grade e por interação recalculada de acordo com os resultados obtidos nos pontos ao seu redor, até obter um resultado satisfatório, tornando os valores obtidos pelos modelos e simulados de alta confiabilidade.

A fim de obter um resultado mais confiante e próximo dos experimentais, alguns cuidados devem ser tomados, como inserir uma maior densidade de pontos

na estrutura próximo de regiões onde se tem grandes efeitos elétricos (alto campo), como por exemplo, região do canal próxima à região de porta ou aonde se tem grande diferença de dopagens como região de fonte/dreno e canal.

Neste trabalho foram utilizados alguns modelos específicos de semicondutores e efeitos mecânicos. As estruturas simuladas foram formadas por programação em ambiente de trabalho DECKBUILD. O programa do ATLAS utilizado neste trabalho pode ser visto no Apêndice B.

Uma vez conhecidos os resultados experimentais de caracterização elétrica, alguns modelos físicos foram utilizados, obtendo resultados próximos, considerando os principais efeitos físicos. Os modelos utilizados no ATLAS neste trabalho foram<sup>53</sup>:

- AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes.
- BGN (Bandgap Narrowing) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI.
- FLDMOB (Parallel Electric Field Dependence) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio.
- CVT – Modelo de mobilidade completo de Lombardi, que inclui dependência com concentração de portadores, campo elétrico transversal e paralelo e da temperatura. Recomendado para transistores não planares.
- STRESS – Soma o stress causado nas etapas de processos, incluindo a deposição da camada silício nitretado e altera as propriedades elétricas de deformação da banda de energia dos materiais. Modelo utilizado para simular dispositivos tensionados mecânicamente.

### 4.1.3 Sentaurus Devices – Synopsys

O simulador de dispositivos Sentaurus da Synopsys<sup>55</sup> calcula as características elétricas baseado nas leis fundamentais da física dos semicondutores associando as suas condições de polarização por método de elementos infinitos.

A utilização deste simulador foi de suma importância para confrontar os resultados das simulações tanto de processo como elétricos obtidos nos simuladores ATHENAS e ATLAS, ambos da Silvaco, mas de forma tridimensional, confirmando tendências analisadas nos dispositivos experimentais de múltiplas portas (MuGFETs) e parâmetros limitados nos anteriores como Resistência de Contato ( $R_{CO}$ ).

Sua execução é formada por disposição de comandos de forma seqüencial, obedecendo a uma ordem de declarações em partes. A seqüência da ordem de declaração é mostrada a seguir:

```
File      {...}  
Electrode {...}  
Physics  {...}  
Plot     {...}  
Math     {...}  
Solve    {...}
```

O parâmetro *File*, estabelece as estruturas que serão utilizadas nas simulações, já que o simulador de dispositivos não faz a geração das mesmas, devendo ser feita por outra ferramenta. Neste enlace, também são declarados os arquivos de saída, como os arquivos de dados simulados.

O parâmetro *Electrode*, define os eletrodos da estrutura, permitindo ainda adicionar e modificar parâmetros como função trabalho, tensão inicial dos eletrodos e barreira de potencial.

O parâmetro *Physics*, é utilizado para declarar todos os modelos físicos a serem adotados os quais serão utilizados na execução da simulação. Os modelos utilizados ao longo deste trabalho serão apresentados na seção 4.3.

Na seção *Plot*, se definem as variáveis a serem observadas da estrutura após a simulação numérica, como exemplo o campo elétrico, a mobilidade, potencial, densidade dos portadores, etc.

O *math*, é o enlace onde se declaram os métodos matemáticos a serem utilizados na resolução da simulação e a seção *solve* é aonde se declara qual tipo de curva será simulado e suas características como passos. Os comandos devem estar sempre entre colchetes para cada seção.

O programa que permite visualizar as estruturas geradas chama-se Tecplot <sup>56</sup> e para visualizar as curvas geradas na simulação chama-se Inspect <sup>57</sup>. O programa do SENTAURUS DEVICES utilizado neste trabalho pode ser visto no Apêndice C e D.

## 4.2 Simulação da Tensão Mecânica

Com a finalidade de se estudar o comportamento das tensões mecânicas uniaxiais em um dispositivo convencional na tecnologia SOI MOSFET, foi utilizado o simulador de processo de fabricação (ATHENAS - Silvaco). A simulação do processo de fabricação de um dispositivo planar foi feita bidimensionalmente. O estudo dos dispositivos uniaxiais pode ser comprovado dessa forma, já que a alteração em função do tensionamento mecânico é em uma direção, apenas em relação o comprimento de canal, tendo a alteração na largura ( $W$ ) do canal praticamente nula. Foi extraído assim o parâmetro “stress xx” (parâmetro o qual analisa as forças mecânicas do dispositivo na direção paralela ao comprimento de canal).

O dispositivo simulado apresenta espessura do oxido enterrado ( $t_{\text{OXB}}$ ) de 145 nm, espessura da camada de silício ( $t_{\text{SI}}$ ) de 60 nm, comprimento de canal ( $L$ ) de 100 nm, comprimento da região de fonte e dreno ( $L_S$  e  $L_D$ ) de 50 nm; comprimento das regiões menos dopadas ( $L_{\text{LDD}}$ ) de 50 nm; dielétrico de porta constituído de 2 nm de óxido de silício ( $\text{SiO}_2$ ), seguido de material de porta silício policristalino N+ de altura ( $t_{\text{PORTA}}$ ) de 100 nm, altura da camada do Silício nitretado ( $t_{\text{Si}_3\text{Ni}_4}$ ) de 100 nm, com um stress intrínseco de +1 GPa e foi variada a elevação do SEG ( $t_{\text{SEG}}$ ) de 0 a 50 nm em passo de 10 nm.

A região de canal é formada de silício tipo P com concentração de dopagem  $N_A$  de  $1.10^{15} \text{ cm}^{-3}$ , a região de fonte e dreno é formada de silício tipo N com concentração de dopantes de  $N_D$  de  $1.10^{20} \text{ cm}^{-3}$  e, a região de baixa dopagem LDD com concentração de dopantes de  $1.10^{18} \text{ cm}^{-3}$ .

Nos dispositivos de tecnologia nMOS, a camada de silício nitretado comprime a região de fonte e dreno, causando um tensionamento na região de canal. Desta forma foram simulados depositando uma camada de silício nitretado com uma tensão intrínseca de +1GPa sobre o dispositivo.

A figura 4.1 mostra a estrutura com o perfil do dispositivo fabricado e a análise do stress, ambos analisados no *tonyplot*<sup>52</sup>.

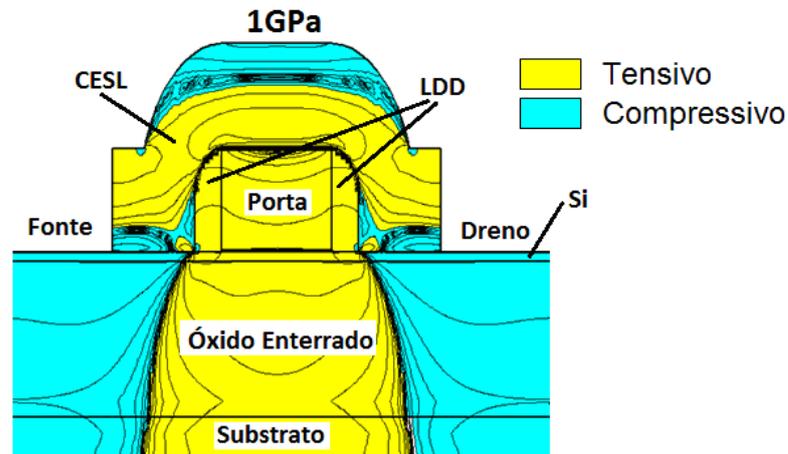


Figura 4.1 - Perfil da simulação com aplicação de tensão mecânica tensiva e compressiva.

Pelo fato das regiões de fonte e dreno serem fortemente dopadas, a compressão nessa região não interfere no desempenho do dispositivo, já que a região se comporta com características de condutor.<sup>4</sup>

Na figura 4.2, pode ser observado que na região de canal próxima à região de fonte e dreno ocorrem os maiores picos de tensões e o tensionamento vai diminuindo conforme se distancia desta interface. A região de porta do dispositivo torna a camada de silício nitretado afastado do dispositivo, não interferindo na região do canal, mas sendo de suma importância, já que o tensionamento mecânico é dependente da geometria do dispositivo.<sup>4</sup>

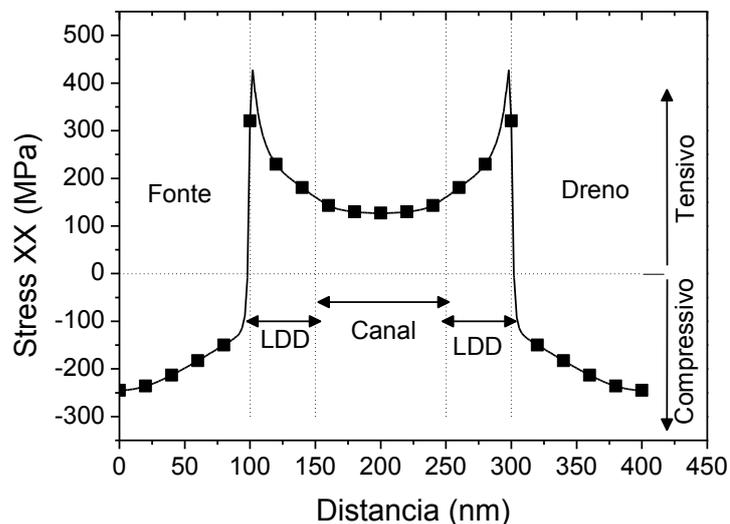


Figura 4.2 - Análise do Stress XX na região de canal da simulação Athenas - Silvaco.

Foi simulado o mesmo dispositivo apresentado acima, variando a altura da região de fonte e dreno com um crescimento seletivo epitaxial, simulando o SEG, como mostrado na figura 4.3.

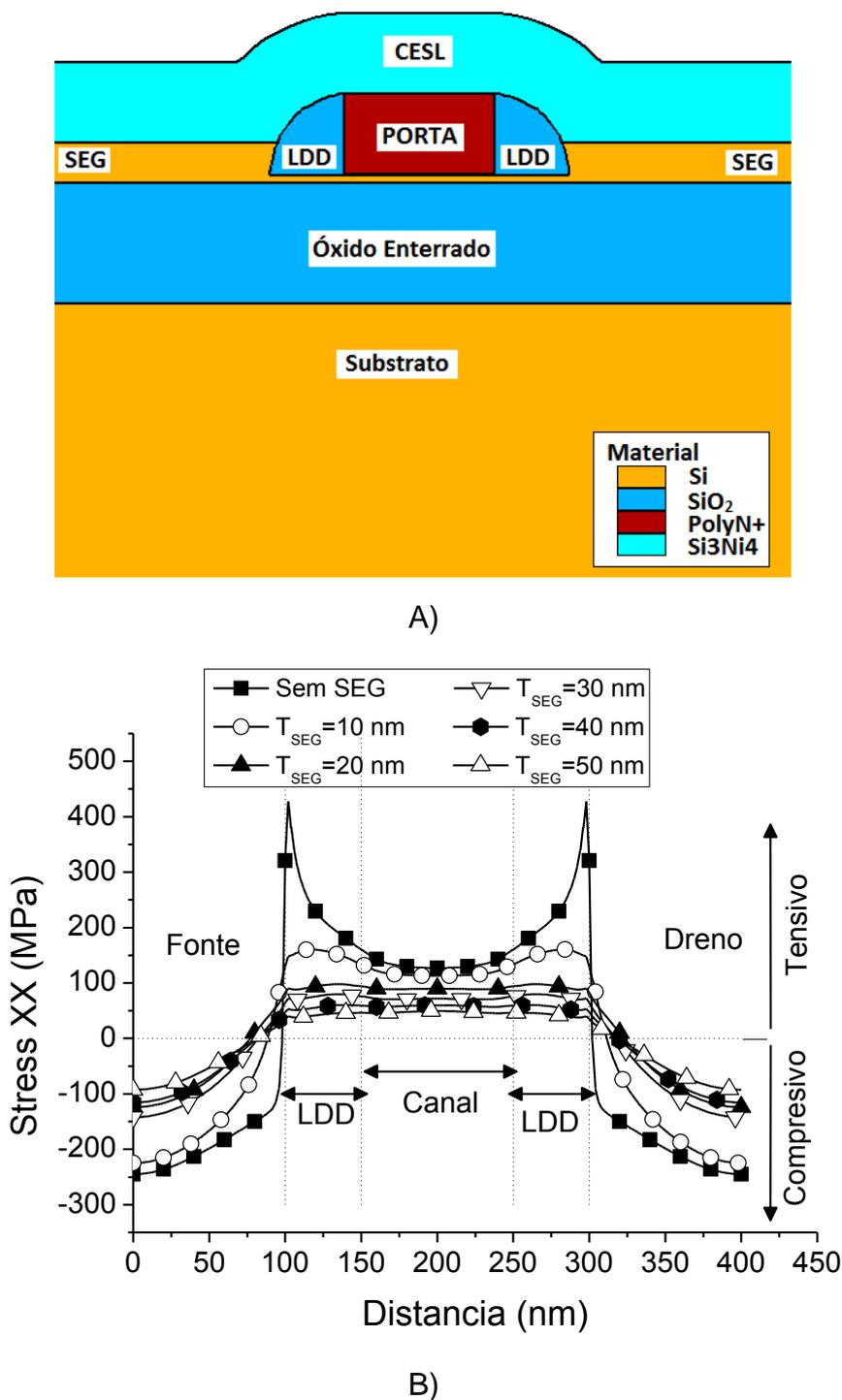
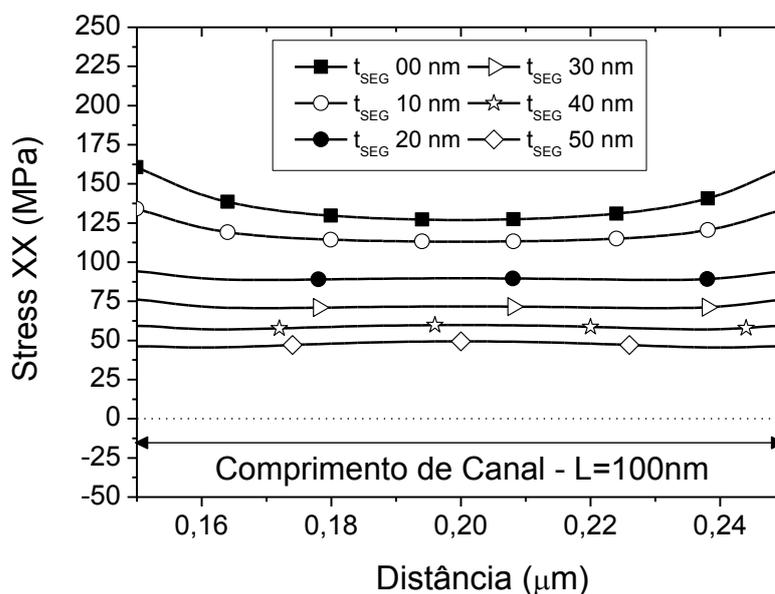


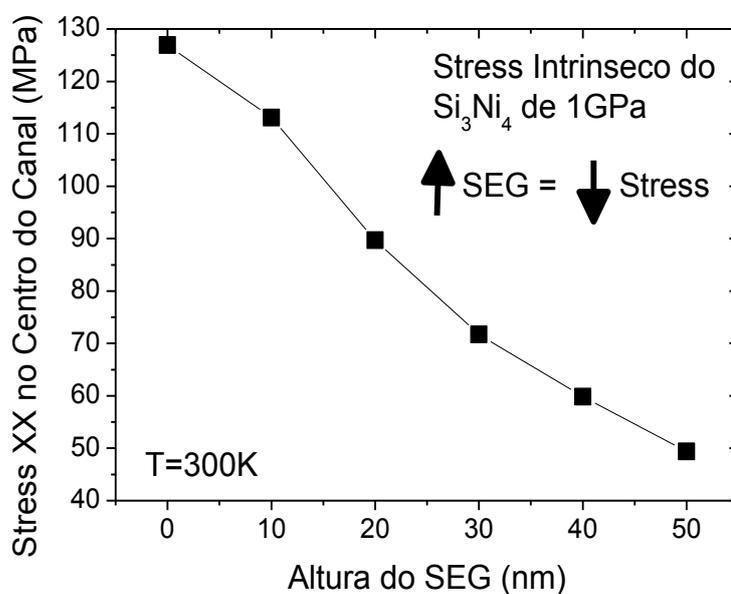
Figura 4.3 - Perfil da simulação do dispositivo com SEG (A) e análise do stress XX ao longo da região do canal com a variação da altura do SEG (B).

O comportamento da variação da altura do SEG nos dispositivos, aumentando a altura do SEG, a tensão ao longo do canal é diminuído expressivamente. Isso ocorre já que a camada de Silício Nitretado se afasta da região de fonte e dreno, como foi visto acima.<sup>53</sup>

A figura 4.4 mostra o tensionamento no centro do canal em função da variação da espessura do SEG ( $t_{SEG}$ ).<sup>53</sup>



A)



B)

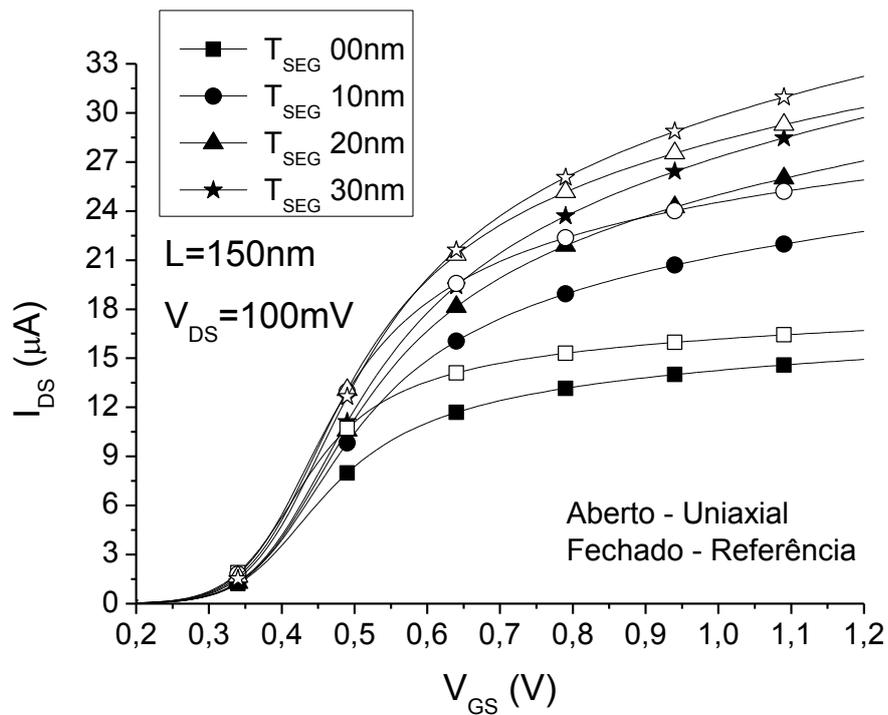
Figura 4.4 - Perfil de Stress XX na região do canal variando a altura do SEG (A) e Stress XX no centro do Canal em função da variação da altura do SEG (B).

O uso do SEG torna menor o stress efetivo na região do canal, causando uma competição entre a melhora da mobilidade causada por diminuir a resistência de contato (Utilizando SEG) e a melhora da mobilidade em função da deformação.<sup>53</sup>

No Apêndice A é mostrado o programa de simulação desenvolvido no ATHENAS da Silvaco.

### 4.3 Simulação de Dispositivos

Com o dispositivo fabricado no ATHENA da Silvaco, foi caracterizado eletricamente o dispositivo de  $L=150\text{nm}$ , variando a altura do SEG até  $40\text{nm}$  com passo de  $10\text{nm}$ . Obtendo as curvas características ( $I_{DS} \times V_{GS}$ ), com baixa tensão de dreno ( $V_{DS}$ ), conforme mostrada na figura 4.5:



A)

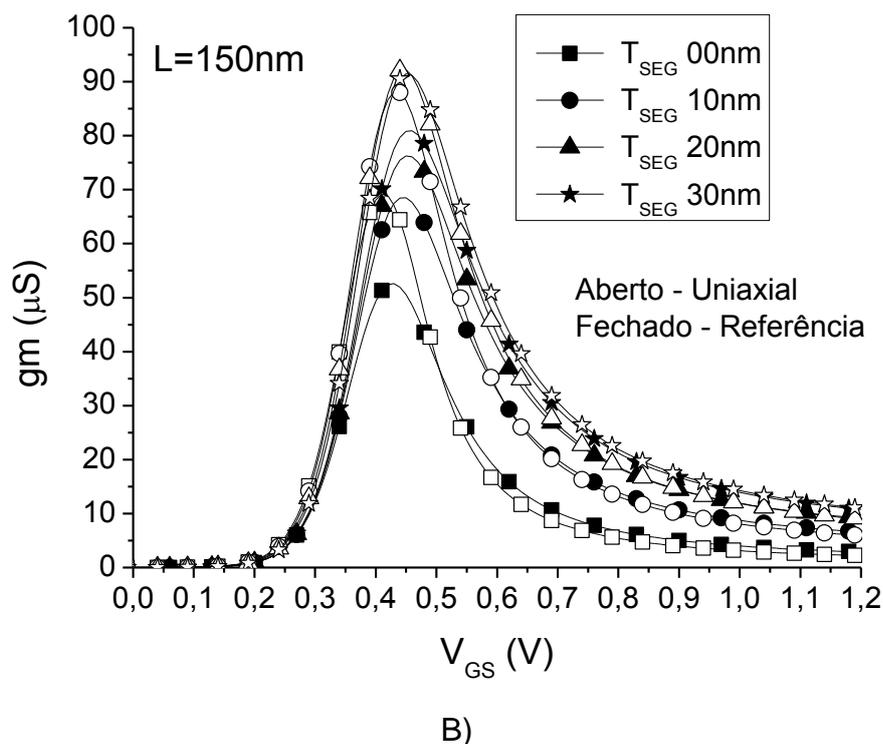


Figura 4.5 - Curva  $I_{DS} \times V_{GS}$  (A) e  $gm \times V_{GS}$  (B) para dispositivos variando a altura do SEG.

Na tabela 4.1, é apresentado os resultados extraídos da figura 4.5:

Tabela 4.1 - Transcondutância Máxima dos dispositivos simulados de referência e Uniaxial.

GM ( $\mu$ S)	Referência	Uniaxial (CESL)	Diferencia (CESL-REF)
SEG 00 nm	52,50 $\mu$ S	69,17 $\mu$ S	16,67 $\mu$ S
SEG 10 nm	68,49 $\mu$ S	88,07 $\mu$ S	19,58 $\mu$ S
SEG 20 nm	76,26 $\mu$ S	92,22 $\mu$ S	15,96 $\mu$ S
SEG 30 nm	80,89 $\mu$ S	91,44 $\mu$ S	10,55 $\mu$ S
SEG 40 nm	83,62 $\mu$ S	92,34 $\mu$ S	8,72 $\mu$ S

Nota-se que para o comprimento de canal em questão ( $L=150\text{nm}$ ), os dispositivos com a camada de  $\text{Si}_3\text{N}_4$  de 1GPa melhora a transcondutância máxima e apresentam uma maior degradação da mobilidade em função do campo elétrico transversal. Como apresentado nas simulações mecânica, a altura do SEG, afasta a camada do filme tensionado, refletindo tanto na diminuição do efeito mecânico sobre o dispositivo, como nas características elétricas.

O estudo em conjunto dos simuladores ATHENAS e ATLAS ambos da Silvaco, foi possível uma confirmação satisfatória de parâmetros que não foram

possíveis serem medidas experimentalmente. Para os dispositivos tridimensionais (MuGFETs) foi usado o simulador Senaturus da Synophys.

As simulações tridimensionais transcorreram em temperatura ambiente (300K). Foram simulados dispositivos próximos dos estudados experimentalmente, simulados tridimensionalmente, MuGFET com lâmina de SOI com oxido de enterrado ( $t_{\text{OXB}}$ ) de 145 nm e camada de silício ( $t_{\text{SI}}$ ) de 60 nm. Os dispositivos apresentavam comprimento da região de fonte e dreno ( $L_S$  e  $L_D$ ) de 50 nm; comprimento das regiões menos dopada ( $L_{\text{LDD}}$ ) de 50 nm, dielétrico de porta constituído de 2 nm de óxido de silício ( $\text{SiO}_2$ ).

A região de canal é formada de silício tipo P com concentração de dopagem  $N_A$  de  $1.10^{15} \text{ cm}^{-3}$ . A região de fonte e dreno é formada de silício tipo N com concentração de dopantes de  $N_D$  de  $1.10^{20} \text{ cm}^{-3}$  e, a região de baixa dopagem LDD com concentração de dopantes de  $1.10^{18} \text{ cm}^{-3}$ . A largura efetiva do fin  $W_{\text{FIN}}$  é de 25 nm e o comprimento de canal efetivo varia de 50 nm a 1200 nm. O arquivo da geração do dispositivo é apresentado no apêndice B.

### 4.3.1 Modelos Utilizados nas Simulações Numéricas

Foram incluídos nas simulações, modelos que melhor se adaptaram as simulações propostas, sendo utilizados os seguintes modelos:

**Incompletelonization**: Modelo que usa nos modelos as equações de Fermi-Dirac. Sendo indicado também na variação de temperatura. Este modelo considera todas as impurezas.

**Recombination**: Modelo responvael pela troca de portadores entre a faixa de condução e faixa de valência no dispositivo, sendo de extrema importância nas simulações dos MuGFETs. Neste modelo é considerado em conjunto outros submodelos:

**DopingDep**: Este sub modelo também considera a concentração de dopantes na recombinação de portadores. Como os dispositivos apresentam regiões de dopados é de essencial necessidade a utilização deste modelo.

**Phumob**: Modelo proposto por Klaassen é um modelo unificado de mobilidade Philips. Descreve de forma unificada a mobilidade de portadores minoritários e majoritários, além de considerar a dependência da temperatura na mobilidade e espalhamento dos portadores quando utilizado. <sup>58</sup>

**HighFieldsat**: Modelo de mobilidade que considera o alto campo elétrico. Quando se tem a condição de alto campo elétrico a mobilidade não é mais proporcional ao campo elétrico e tende a saturar, tendendo a valor infinito. Neste modelo considera esse efeito, tornando possível de se calcular. <sup>59</sup>

**Enormal**: Considera a o campo elétrico transversal, sendo de extrema importancia na degradação na mobilidade na interface semiconductor isolante do dispositivo. <sup>60</sup>.

**EffectiveIntrinsicDensity (OldSlotboom)**: Modelo que utiliza calculo do estreitamento da banda proibida devido ao alto campo elétrico <sup>61, 62</sup>.

**Piezo**: Considerado o modelo mais importante para a simulação da tensão mecânica. Considera os efeitos das piezoresistências numa estrutura. Foi incluído neste modelo a declaração em conjunto da deformação de potencial (Deformation Potential) e um modelo de mobilidade que considera as sub-faixas <sup>63, 64, 65</sup>

Os dispositivos tensionados uniaxialmente, foram ajustados os parâmetros proporcional a variação da mobilidade em função do uso do strain em relação aos dispositivos experimentais.

### 4.3.2 Análise Elétrica da influência do SEG da Região de Fonte e Dreno dos Dipositivos MuGFETs

O comportamento elétrico apenas da região de fonte ou dreno foi possível simulando estas regiões (região de fonte e dreno) como um resistor convencional de semiconductor. Foi utilizada a mesma dopagem da região  $N_D$  de  $1.10^{20} \text{ cm}^{-3}$ , espessura de 50 nm e substituindo a região de canal por um contato metálico de 60 nm de material metálico, utilizado resistência de contato ( $R_{COM}$ ) típico de  $1.10^{-7} \Omega \cdot \text{cm}^2$ . Foi utilizado o contato metálico, considerando que toda a região do canal tenha um fluxo de corrente por igual, desprezando os efeitos característicos dos transistores. A figura 4.6 mostra a região simulada do transistor:

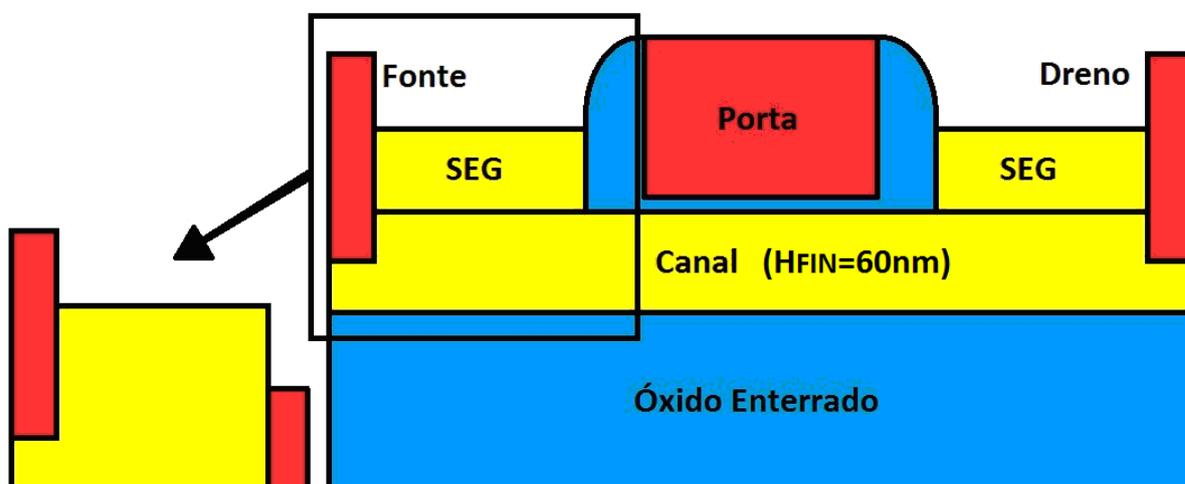
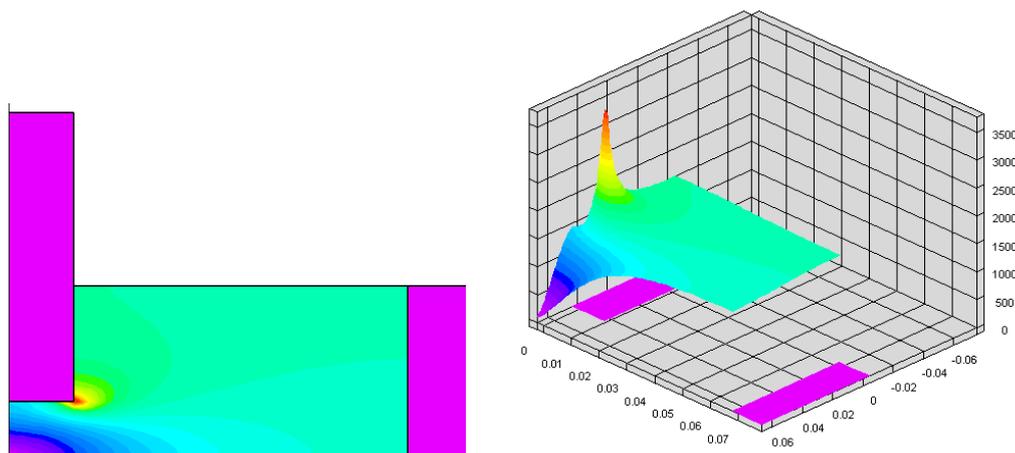


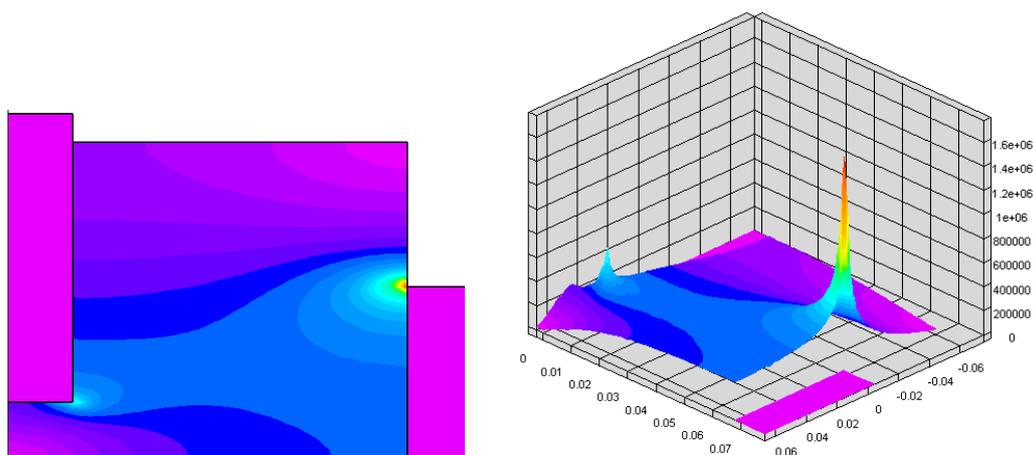
Figura 4.6 - Perfil do transistores SOI com a estrutura de Resistor para estudo da corrente na região de fonte e dreno.

Foi variada a altura do crescimento seletivo epitaxial de 10 em 10 nm, caracterizado eletricamente medindo a corrente da estrutura ao aplicar uma tensão de 5 e 10 V, foi salvo a estrutura para analisar o perfil do campo elétrico em 10 V.

As figuras 4.7 e 4.8 mostram as estruturas juntamente com o perfil de campo elétrico para a estrutura sem SEG e com SEG de 50 nm.



**Figura 4.7 - Perfil do Campo Elétrico na estrutura de Fonte e Dreno sem o SEG e o Perfil 3D da distribuição do Campo Elétrico ao longo da estrutura.**



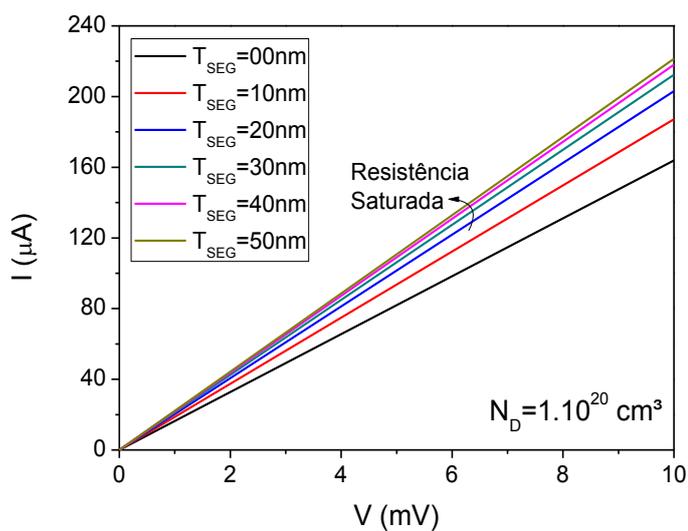
**Figura 4.8 - Perfil do Campo Elétrico na estrutura de Fonte e Dreno Com SEG de 50nm e o Perfil 3D da distribuição do Campo Elétrico ao longo da estrutura**

Através do perfil do campo elétrico entre os dispositivos com e sem a utilização do SEG, nota-se que a densidade de portadores entre o contato que representa a região do canal ao terminal que representa o contato de fonte e dreno busca a menor distância possível. Com o incremento da altura do SEG ( $t_{SEG}$ ) a área vai aumentando, diminuindo a resistência de contato, no entanto a partir de uma determinada altura (30nm), esta diferença torna imperceptível já que a distribuição se torna tão afastada que a região mais baixa do contato ainda é o caminho mais curto para o fluxo de corrente fluir, tornando desnecessário crescer o SEG acima deste ponto.

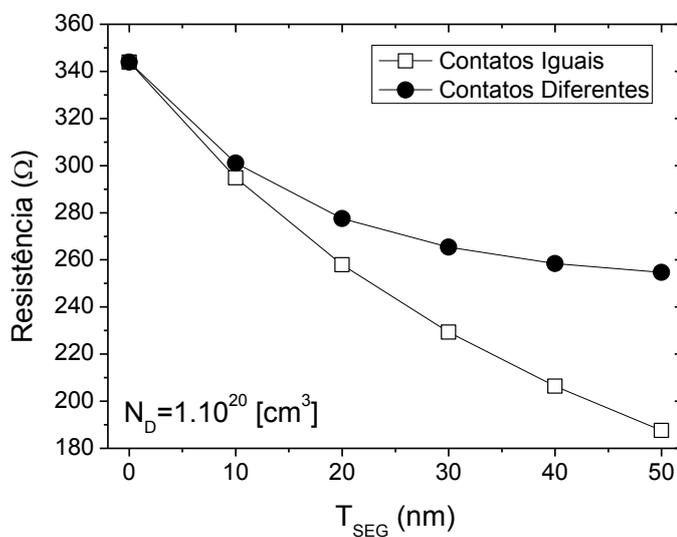
A figura 4.9 e a tabela 4.2 mostram os valores da resistência medida da estrutura com SEG.

**Tabela 4.2 - Resistência da estrutura simulada (região de fonte e dreno) em função da variação da altura do SEG**

$t_{SEG}$ (nm)	$R$ ( $\Omega$ ) - $N_D=1.10^{19}$ [ $cm^3$ ]
Sem SEG	343 $\Omega$
10	301 $\Omega$
20	277 $\Omega$
30	265 $\Omega$
40	258 $\Omega$
50	254 $\Omega$



A)



B)

**Figura 4.9 - Curva de Corrente em função da tensão na região de fonte e dreno em função da altura do SEG (A) e Curva de Resistência em função da altura do SEG, variando o contato (B).**

Por volta de 30 nm de altura do SEG ocorre uma saturação, não tendo sendo possível obter uma melhora significativa em função da diminuição da resistência de contato.

### 4.3.3 Análise Elétrica da influência do SEG nos Dispositivos MuGFETs de Porta Tripla

Com a versatilidade dos simuladores em permitir extrapolar, modificar parâmetros e analisar o comportamento elétrico, foi utilizado os dispositivos com as mesmas características dos experimentais do capítulo 3, permitindo analisar a tendência dos resultados obtidos na secção 3.4.1.

A figura 4.10 mostra a transcondutância máxima para os dispositivos simulados nas mesmas condições e extraídos com a mesma técnica apresentada na secção 3. A tendência observada foi a mesma dos obtidos experimentalmente. Para dispositivos de comprimento de canal menores ( $L < 300\text{nm}$ ) o uso do crescimento seletivo epitaxial torna menos efetiva a melhora da mobilidade efetiva máxima e para dispositivos com comprimento de canal maiores ( $L > 300\text{nm}$ ) o uso do crescimento seletivo epitaxial apresenta uma eficácia melhor, prolongando a melhora em função do strain uniaxial para maiores comprimentos de canal <sup>53, 66</sup>

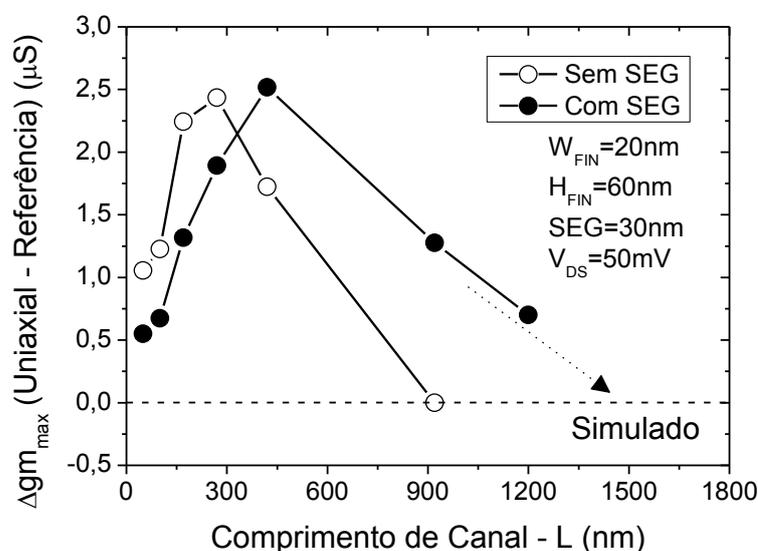
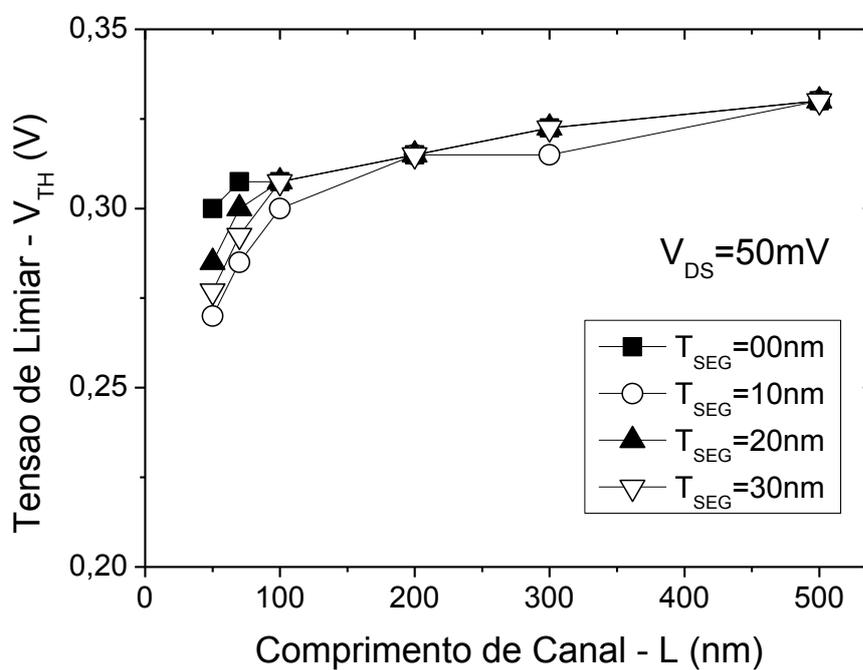
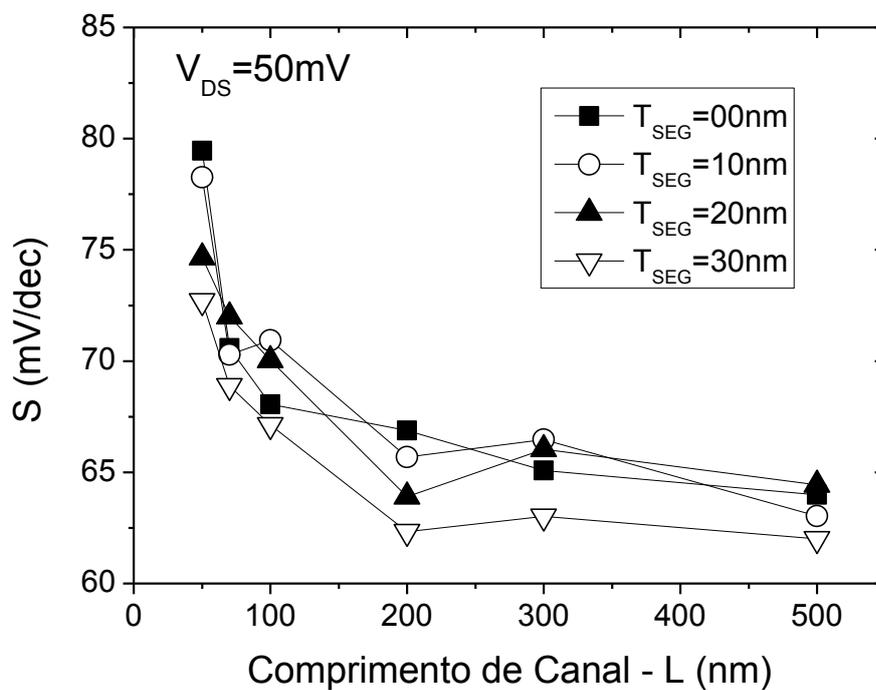


Figura 4.10 - Variação da mobilidade efetiva max em relação do comprimento de canal para dispositivos com e sem SEG (Simulados)

O efeito de canal curto dos dispositivos simulados foi notado que acompanhou a mesma tendência dos dispositivos experimentais. A figura 4.11 mostra a curva da tensão de limiar ( $V_{TH}$ ) e sublimiar (S) em função da tensão de porta.



A)

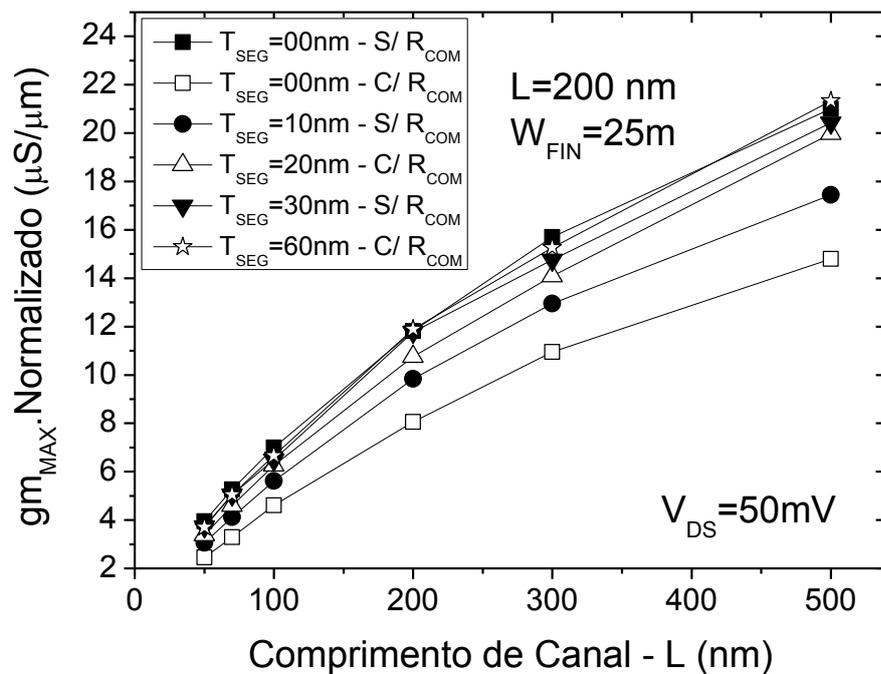


B)

Figura 4.11 - Variação da tensão de limiar (A) e inclinação de sublimiar (B) das simulações.

Assim como nos dispositivos experimentais os simulados também tem uma dimensão de comprimento de canal mínimo de aproximadamente 70 nm.

Os resultados analisados na seção 4.3.2 foram confirmados também através da mobilidade efetiva máxima que como apresentado na figura 4.12, ocorre a saturação da melhora da resistência de contato pelo aumento da região de contato na fonte e no dreno.



**Figura 4.12 - Variação da Mobilidade Efetiva Máxima em função do comprimento de canal variando a altura do SEG**

Para a tecnologia empregada neste trabalho mostra-se que não há efeito incrementar a altura do SEG acima de 30 nm, tendo seu melhor resultado nesta dimensão, justificando o uso da fabricação do IMEC adotando este dimensionamento.

## 5 CONCLUSÃO E SEQUÊNCIA DO TRABALHO

Este trabalho apresentou um estudo das características elétricas com seus principais parâmetros dos transistores na tecnologia SOI. Foi feita uma comparação do comportamento no uso da tensão mecânica em relação à influência do crescimento seletivo epitaxial (SEG) na região de fonte e dreno. Transistores MuGFETs de tipo N de porta tripla convencionais (de referência), transistores de canal tensionado (técnicas uniaxial e biaxial) e, com o uso de crescimento seletivo epitaxial (SEG) foram estudados.

O trabalho iniciou-se com um estudo da tecnologia SOI e dos dispositivos tensionados mecanicamente tanto da técnica uniaxial como a biaxial, compreendendo seus comportamentos e diferenças. Foi incluída a variação do SEG nesses dispositivos. Através de medidas experimentais obtidas em laboratórios, foi confirmado que os dispositivos com a utilização do SEG diminuíam a resistência parasitária de contato por aumentar a área de contato. Nos dispositivos menores ( $L < 100\text{nm}$ ) a mobilidade efetiva dos uniaxiais apresentaram melhores resultados em comparação aos de referência e para comprimento de canal maior ( $L > 100\text{nm}$ ) começa a prevalecer os biaxiais.

Através da utilização do simulador de processos, uma análise detalhada da atuação das forças mecânicas sobre os dispositivos uniaxiais permitiu a compreensão de como a camada de silício nitretado age sobre o dispositivo e como o SEG interfere nas forças mecânicas. Foi observado que a distribuição da força ao longo do canal não é uniforme, à medida que se aumenta o comprimento de canal, menor será a tensão mecânica efetiva no centro do canal do transistor. Assim como nos dispositivos o uso do SEG, causa uma diminuição da tensão mecânica no dispositivo, causado pelo afastamento da camada de filme tensor.

A utilização do crescimento seletivo epitaxial mostrou de grande importância para melhora no desempenho ao aumentar a área de contato dos dispositivos. Simulações elétricas justificaram que a altura ideal do SEG para a tecnologia estudada esta em torno de 30 nm.

Uma comparação das medidas com os dispositivos com a tensão mecânica na tecnologia uniaxial com a influência do SEG, notou-se uma tendência onde os dispositivos uniaxiais sem SEG tiveram um melhor resultado para comprimento de canal menor ( $L < 200\text{nm}$ ), para dimensões de comprimento de canal maiores ( $L > 200\text{nm}$ ) o uso do SEG nos dispositivos maiores acarretaram uma maior mobilidade efetiva máxima, além de se prolongar o stress uniaxial para dispositivos maiores, chegando próximo de 1000 nm.

Com a utilização do simulador elétrico foi possível confirmar a tendência observada nas medidas experimentais e estudar a região de fonte e dreno sob influência do SEG. Se conclui que para dispositivos tensionados uniaxialmente, os dispositivos de comprimento de canal menores não é recomendado o uso do SEG já que afasta a camada do filme tenso e diminui a tensão mecânica no canal, mas para dispositivos maiores, esse efeito prolonga à melhora a deformação nos dispositivos para comprimento de canais maiores.

Como seqüência do trabalho, pretende-se analisar a influência do SEG sobre os dispositivos biaxiais e aperfeiçoamento dos resultados em variação de temperatura, tanto em alta temperatura como em baixa temperatura, já que os dispositivos uniaxiais têm suas tensões geradas pelo coeficiente de dilatação do filme de silício nitretado, depositado em alta temperatura e ao abaixar para temperatura ambiente se contrai mais que o silício gerando a tensão mecânica.

## 6 PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO

**Gate induced floating body effect behavior in uniaxially strained SOI nMOSFETs.** Paula Ghedini Der Agopian, Vinicius Heltai Pacheco, Eddy Simoen, João Antonio Martino and Dennis Flandre. EUROSOI 2009, Goteborg. Fifth Workshop of the Thematic Network on Silicon-On-Insulator, Technology, Devices and Circuits, 2009. v. 1. p. 39-40. 2009.

**Selective Epitaxial Growth Influence on Uniaxial Strained Device.** Vinicius Heltai Pacheco and João Antonio Martino. V SEMINATEC – Workshop on Semiconductors and Micro & Nano Technology. Campinas-SP, Brasil, 2009.

**The Relationship Between SEG and Uniaxial Strain in the FinFET Performance.** Vinicius Heltai Pacheco, Paula Ghedini Der Agopian, João Antonio Martino, Eddy Simoen and Cor Claeys. EuroSOI 2010 - Sixth workshop of the thematic network on silicon on insulator technology, devices and circuits, 2010, Grenoble, France. EuroSOI 2010 - Conference Proceedings, 2010. v. 1. p. 049-050.

**SEG and Uniaxial Strain Influence on FinFET Performance at Low Temperature.** Paula Ghedini Der Agopian, Vinicius Heltai Pacheco, João Antonio Martino, Eddy Simoen and Cor Claeys. In: Wolte 9 – Ninth International Workshop on Low Temperature Electronics – 2010 – Guarujá-SP – Brazil.

**Impact of SEG on uniaxially strained MuGFET performance.**

Paula Ghedini Der Agopian, Vinicius Heltai Pacheco, João Antonio Martino, Eddy Simoen and Cor Claeys. In: Solid-State Electronic, V.59, p. 13-17, 2011.

## 7 REFERÊNCIAS BIBLIOGRÁFICAS

- 1 - MOORE, G. IEDM Tech. Digest, p.11-13, 1975
- 2 - COLINGE, J. P.; Multiple-gate SOI MOSFETs, *Solid-State Electronics*, v. 48, n. 6, p. 897-905, 2004.
- 3 - SUN, Y.; THOMPSON, S.E.; NISHIDA, T.; *Strain Effect in Semiconductors - Theory and Device Application*; 353p, Springer, 2009
- 4 - CHU, M.; SUN, Y.; AGHORAM, U.; THOMPSON, S.E. Strain: A Solution for Higher Carrier Mobility in Nanoscale MOSFETs. *The Annual Review of Materials Research*, 39:203-29; 2009.
- 5 - MAITI, C. K.; MAITI, T.K.; MAHATO, S.S. Strained engineered MOSFETs. *Semiconductor India*.
- 6 - COLINGE, J. P.; *FinFETs and Other Multi-Gate Transistors*, New York, Springer, 1ª edição, 339p., 2008.
- 7 - Colinge, J.P. *Silicon-On-Insulator Technology. Materials to VLSI*, 3 ed, Boston (MS): Kluwer Academic Publishers, 2004.
- 8 - AKARVARDAR, K.; MERCHA, A.; CRISTOLOVEANU, S.; GENTIL, P. et al., A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors, *IEEE Transactions on Electron Devices*, v. 54, n. 4, p.767-775, 2007.
- 9 - Lim, H.-K. and Fossum, J.G., Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's, *IEEE Trans. Electron Devices*, , vol. 30, no. 10, pp. 1244 -1251. 1983
- 10 - MARTINO, J.A; PAVANELLO M.A.; VERDONCK, P.B.; *Caracterização Elétrica de Tecnologia e Dispositivos MOS*, Thomson, 2004.
- 11 - NICOLETTI, T. **Estudo da Resistência série de fonte e dreno de transistores SOI FinFETs de porta tripla e com canal tensionado**, 2009. 134p. Dissertação de Mestrado; Escola Politécnica da Universidade de São Paulo, São Paulo, 2009.
- 12 - VEERARAGHAVAN, S.; FOSSUM J.G. Short-Channel Effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3. 1989.
- 13 - COLINGE, J. P. and KAMINS, T. L., CMOS circuits made in thin (100 nm) SIMOX films, **IEEE SOS/SOI Technology Workshop**, 1987.
- 14 - SOUZA, M.; **Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas**, 2008. 197p. Tese de Doutorado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2008.

- 15 - Sun, S.C.; Plummer, J.D., Electronic Mobility in inversion and accumulation layers on thermally oxidized silicon surfaces. IEEE Trans. Electron Devices, v.27, n.8, Aug. 1980.
- 16 - MANASEVIT, H. M.; SIMPSON, W. I. Journal of Applied Physics. V. 35, p. 1349, 1988.
- 17 - T. Sekigawa, Y. Hayashi: Solid State Eletronics, Vol 27, 1984.
- 18 - J.G. Fossum, K. Kim, Y. Chong: Extremely Scaled Double-Gate CMOS Performance Projections, Including GIDL-Controlled Off-State Current, 1999
- 19 - A. Breed, K.P. Roenker: Comparison of the Scaling Characteristics of nanoscale Silicon N-Channel Multiple-Gate MOSFETS, 2005
- 20 - MAGNONE, P. Gate Voltage Geometry Dependence of Series Resistance and of the Carrier Mobility in FinFET devices, Microelectronic Engineering, 2008.
- 21 - LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M.; TAKAMISHA, H.; SUZUKI, E.; Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI wafers and Orientation-Dependent Etching, Electrochemical Society Proceedings 2003-05, v. PV2003-05, p. 255-261, 2003.
- 22 - HIRAMOTO, T.; Nano-Scale Silicon MOSFET Towardsd Non-traditional and Quantun Devices, IEEE International SOI Conference Proceeding, p. 8-10, 2001.
- 23 - JIAO, Z.; SALAMA, A. T.; A Fully Depleted Delta-Channel SOI NMOSFET, Electrochemical Society Proceedings 2001-03, v. PV2001-03, p. 403-409, 2001.
- 24 - HUANG, X.; LEE, W. C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C.; Sub 50-nm FinFET: PMOS, Technical Digest of IEDM, p. 67-70, 1999.
- 25 - BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI. J.; ELEWA, T.. Double-Gate Silicon-on-Insulador with volume inversion: A new deveice with greatly enhanced performance. IEEE Electron device letters. V. EDL-8, N. 9, P. 410, 1987.
- 26 - HISAMOTO, D. et al., A Fully Depleted Lean-Channel Transistor (DELTA) – A Novel Vertical Ultra Thin SOI MOSFET, IEDM Tech. Digest, 833; 1989.
- 27 - BAIE, X.; COLINGE, J.P.; BAYOUT, V.; GRIVEI, E.. Quantum-wire effects in thin and narrow SOI MOSFETs, Proceedings of the IEEE International SOI Conference, P. 66, 1995.
- 28 – BAIE, X.; et Al. “A Silicon-on-insulator quantum wire”, **Solid-State Electron**, Vol. 39, no. 1, p. 49-51, 1996.

29 - Nano CMOS Desing for manufacturability – Robust Circuit and Physical Design for Sub-65nm Technology Nodes. – Wiley – Ban Wong, Franz Zach, Victor Moroz, Anurag Mittal, Greg Starr and Andrew Kahng. 2009.

30 - C.S.Smith, Piezoresistance effect in germanium and silicon, Phys. Rev., Vol 94, N° 01, pp. 42-49, 1954.

31 - M.Horstmann et al., Integration and optimization of embedded-SiGe, compressive, and tensile stressed liner films, and stress memorization in advanced SOI CMOS technologies, IEDM Tech. Dig., pp 243-246, 2005.

32 - MAITI, C. K.; MAITI, T.K.; MAHATO, S.S. Strained engineered MOSFETs. Semiconductor India., 2006

33 - TIMOSGENKO, GERE; Mecânica dos Sólidos; LTC, Vol 1; 244p.1983

34 - GALLON, C. et al; Mechanical and electrical analysis of strained liner effect in 35nm fully depleted silicon-on-insulator devices with ultra thin silicon channels, Japanese Journal of Applied Physics, v. 45, n 4B, p 3058-3063, 2006.

35 - AUGENDRE, E. et al; On the scalability of source/drain currente enhancement in thin film sSOI; Proceedings of ESSDERC, p. 301-304, 2005.

36 - LAUER, I.; ANTONIADIS, D.; Enhancement of electron mobility in ultrathin-body silicon-on-insulator MOSFETs with uniaxial strain, IEEE Electron Device Letters, v.26, n. 5, p. 314-316, 2005.

37 - OHRING, M.; Materials Science of thin films deposition and structure, 2<sup>nd</sup> Ed., San Diego, CA: Academic Press, 794p., 2002.

38 - FRANSSILA, S.; Introduction to microfabrication, Chichester: John Wiley, 432p., 2004.

39 - THOMPSON, S.E.; ARMSTRONG, M.; AUTH, C.; CEA, S.; CHAU, R.; GLASS, G.; HOFFMAN, T.; KLAUS, J.; ZHIYONG M.A.; MCINTYRE, B.; MURTHY, A.; OBRADOVIC, B.; SHIFREN, L.; SIVAKUMAR, S.; TYAI, S.; GHANI, T.; MISTRY, K.; BOHR, M.; EL-MANSY, Y.; "A Logic nanotechnology featuring strained-silicon", IEEE Electron Device Letters, Vol 25, p.191-193, 2004.

40 - LIU, C. W.; MAIKOP, S.; YU, C. Y.; Mobility-enhancement technologies, IEEE Circuits and Devices Magazine, v.21, n.3, p. 21-36, 2005.

41 - RADU, I.; HIMCINSCHI, C.; SINGH, R.; REICHE, M. Et al., sSOI fabrication by wafer bonding and layer splitting of thin SiGe virtual substrates, Materials Science and Engineering: B, v. 135, n.3, p. 231-234, 2006.

42 - DISMUKES, J.P.; EKSTROM, L.; PAFF, R. J.; Lattice parameter and density in germanium-silicon alloys, The Journal of Physical Chemistry, v. 68. n. 10, p.3021-3027, 1964.

- 43 - JAIN, S. C. ; MAES, H. E. ; PINARDI, K.; WOLF, I. De.; Stresses and Strains in lattice-mismatched Stripes, quantum wires, quantum dots, and substrates in Si technology, *Journal of Applied Physics*, v. 79, n.11, p. 8145-8165, 1996.
- 44 - CHO, C. H.; Characterization of Young's modulus of silicon versus temperature using a "beam deflection" method with a four-point bending fixture, *Current Applied Physics*, v.9, n. 2, p. 538-545, 2009.
- 45 - KAVALIEROS, J. et al. Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates and Strain Engineering. *Symposium On VLSI Technology Digest of Technical Papers*, p. 50, 2006.
- 46 - DIXIT, A. et al. Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs. *IEEE Transactions on Electron Devices*, v. 52, n. 6, 2005.
- 47 - OHGURO, T. et al. 0.12  $\mu\text{m}$  raised gate/source/drain epitaxial channel NMOS technology. *International Electron Devices Meeting*, p. 927, 1998.
- 48 - HOKAZONO, A. et. Al. Source/Drain engineering for sub-100 nm CMOS using selective epitaxial growth technique. *International Electron Devices Meeting*, p. 243, 2000.
- 49 - COLLAERT, N. et al. Multi-Gate Devices for the 32 nm Technology Node and Beyond: Challenges for Selective Epitaxial Growth. *Solid-States Electronics*, v. 52, n.9, 2008.
- 50 - ANDRIEU, F.; DUPRÉ, C.; ROCHETTE, F.; FAYNOT, O. *et al.*; 25nm Short and narrow strained FDSOI with TiN/HfO<sub>2</sub> gate stack, **Symposium on VLSI Technology Digest of Technical Papers**, p. 134-135, 2006.
- 51 - YUAN, C. Z. et al. Electron mobility enhancement in strained-Si nMOSFETs fabricated on SiGe-on-insulator (SGOI) substrates. *IEEE Electron Device Letter*, v. 22, p. 321, 2001.
- 52 - THOMPSON, S.E. PARTHASARATHY, S. Moore's Law: The Future of Si Microelectronics. *Materialstoday*; Vol. 9, Pag 20 – 35, June, 2006.
- 53 - PACHECO, V.H; AGOPIAN, P.G.D; MARTINO, J.A; SIMOEM, E; CLAEYS, C.; **The Relationship Between SEG and Uniaxial Strain in the FinFET Performance.** EuroSOI 2010 - Sixth workshop of the thematic network on silicon on insulator technology, devices and circuits, 2010, Grenoble, France. EuroSOI 2010 - Conference Proceedings, 2010. v. 1. p. 049-050. 2010
- 54 - ATLAS Users' Manual, Device simulation software, Junho, 2010.
- 55 - Sentaurus Device User guide, Versão Y-2006.06, Junho 2008.
- 56 - Tecplot SV User guide, Versão A-2007.12, Dezembro 2008.
- 57 - Inspect User guide, Versão A-2007.12, Dezembro 2007.

- 58 - KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.
- 59 - CANALI C. *et al.*, Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature, **IEEE Transactions on Electron Devices**, vol. ED-22, no. 11, pp. 1045–1047, 1975.
- 60 - LOMBARDI, C., MANZINI, S., SAPORO, A. e VANZI, M., A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE trans on Computer Aided Design**, Vol 7, No 11, pp 1164-1171, 1988.
- 61 - SLOTBOOM J. W. and GRAAFF H. C. de, Measurements of Bandgap Narrowing in Si Bipolar Transistors, **Solid-State Electronics**, vol. 19, no. 10, pp. 857–862, 1976.
- 62 - SLOTBOOM J. W. and GRAAFF H. C. de, Bandgap Narrowing in Silicon Bipolar Transistors, **IEEE Transactions on Electron Devices**, vol. ED-24, no. 8, pp. 1123–1125, 1977.
- 63 - LADES M. *et al.*, Analysis of Piezoresistive Effects in Silicon Structures Using Multidimensional Process and Device Simulation, **Simulation of Semiconductor Devices and Processes (SISDEP)**, vol. 6, Erlangen, Germany, pp. 22–25, 1995.
- 64 - WANG Z., Modélisation de la piézorésistivité du Silicium: Application à la simulation de dispositifs M.O.S, Tese de Doutorado, **Université des Sciences et Technologies de Lille**, França, 1994.
- 65 - EGLEY L. and CHIDAMBARRAO D., Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators, **Solid-State Electronics**, vol. 36, no. 12, pp. 1653–1664, 1993.
- 66 - AGOPIAN, P.G.D; PACHECO, V.H; MARTINO, J.A; SIMOEM, E; CLAEYS, C.; SEG and Uniaxial Strain Influence on FinFET Performance at Low Temperature Wolte 9 – Ninth International Workshop on Low Temperature Electronics – 2010 – Guarujá-SP – Brazil, 2010.

## APENDICE A – ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO DISPOSITIVO MuGFET NO ATHENAS – SILVACO

```
go athena
```

```
#####
# CRIAÇÃO DA LAMINA SOI
#####

# Definição da Grades
#####
line x loc=0.000 spac=0.0050 tag=esq
line x loc=0.010 spac=0.0020
line x loc=0.030 spac=0.0050
line x loc=0.050 spac=0.0050
line x loc=0.080 spac=0.0020
line x loc=0.100 spac=0.0020
line x loc=0.175 spac=0.0050 tag=dir

line y loc=0.000 spac=0.0010 tag=top
line y loc=0.060 spac=0.0050 tag=oxtp
line y loc=0.100 spac=0.0080
line y loc=0.210 spac=0.0100 tag=oxsb
line y loc=0.220 spac=0.0100 tag=sub

# Definição do Substrato
#####
region silicon xlo=esq xhi=dir ylo=top yhi=sub
region oxide xlo=esq xhi=dir ylo=oxtp yhi=oxsb
region alumin xlo=esq xhi=dir ylo=oxsb yhi=sub

init boro=1e15 orient=100

# Oxido de Sacrificio
#####
deposit oxide thick=0.0400 div=10

etch oxide start x=0.000 y=-0.200
etch continue x=0.000 y= 0.100
etch continue x=0.100 y= 0.100
etch done x=0.100 y=-0.200

# Formação do LDD
#####
implant arsenic dose=1e12 energy=4.5

# Limpeza do Oxido de Sacrificio
#####
etch oxide start x=0.000 y=-0.200
etch continue x=0.000 y= 0.000
etch continue x=0.400 y= 0.000
etch done x=0.400 y=-0.200
```

```

# Oxido de Porta
#####
deposit oxide thick=0.002

etch oxide start x=0.000 y=-0.200
etch continue x=0.000 y= 0.100
etch continue x=0.100 y= 0.100
etch done x=0.100 y=-0.200

# SiPolí N
#####
deposit poly thick=0.100 c.phosphor=1e20 div=30

# Definição da Região de Porta
#####
etch poly start x=0.000 y=-0.200
etch continue x=0.000 y= 0.100
etch continue x=0.100 y= 0.100
etch done x=0.100 y=-0.200

# Formação do Spacer
#####
deposit oxide thick=0.050 div=20
etch oxide thick=0.050

# Mascara de sacrificio
#####
deposit nitride thick=0.050

etch nitride start x=0.000 y=-0.200
etch continue x=0.000 y= 0.200
etch continue x=0.050 y= 0.200
etch done x=0.050 y=-0.200

# Formação da Fonte e Dreno
#####
implant arsenic dose=5e14 energy=5.5

etch nitride start x=0.000 y=-0.200
etch continue x=0.000 y= 0.200
etch continue x=0.400 y= 0.200
etch done x=0.400 y=-0.200

# Formação dos Contatos 1/2
#####
deposit alumin thick=0.020 div=30

etch alumin start x=0.010 y=-0.200
etch continue x=0.010 y= 0.000
etch continue x=0.400 y= 0.000
etch done x=0.400 y=-0.200

```

```

# Criação do SEG 1/2
#####
deposit silicon thick=0.010

etch silicon start      x=0.000 y=-0.200
etch continue           x=0.000 y=-0.010
etch continue           x=0.300 y=-0.010
etch done               x=0.300 y=-0.200

# Mascara de sacrificio 1/2
#####
deposit nitride thick=0.050

etch nitride start     x=0.000 y=-0.200
etch continue          x=0.000 y= 0.200
etch continue          x=0.050 y= 0.200
etch done              x=0.050 y=-0.200

# Dopagem do SEG de Fonte e Dreno 1/3
#####
implant arsenic dose=5e14 energy=5.5

# Criação do SEG 2/3
#####
deposit silicon thick=0.010

etch silicon start     x=0.000 y=-0.200
etch continue          x=0.000 y=-0.020
etch continue          x=0.300 y=-0.020
etch done              x=0.300 y=-0.200

# Dopagem do SEG de Fonte e Dreno 2/3
#####
implant arsenic dose=5e14 energy=5.5

# Formação dos Contatos 1/2
#####
deposit alumin thick=0.020 div=30

etch alumin start      x=0.010 y=-0.200
etch continue          x=0.010 y= 0.000
etch continue          x=0.400 y= 0.000
etch done              x=0.400 y=-0.200

# Criação do SEG 3/3
#####
deposit silicon thick=0.010

etch silicon start     x=0.000 y=-0.200
etch continue          x=0.000 y=-0.030
etch continue          x=0.300 y=-0.030
etch done              x=0.300 y=-0.200

```

```

# Dopagem do SEG de Fonte e Dreno 3/3
#####
implant arsenic dose=5e14 energy=5.5

etch nitride start    x=0.000 y=-0.200
etch continue         x=0.000 y= 0.200
etch continue         x=0.400 y= 0.200
etch done             x=0.400 y=-0.200

# Formação dos Contatos
#####
deposit alumin thick=0.030 div=60
etch alumin start     x=0.010 y=-0.200
etch continue         x=0.010 y= 0.000
etch continue         x=0.400 y= 0.000
etch done             x=0.400 y=-0.200

# CESL - Strain 1GPa
#####
deposit nitride thick=0.100 temp=700 div=30
material nitride intrin.sig=1e10
stress

structure outfile=03_CESL_30.str two.dim two.dim reflect right

# Eletroldos
#####

electrode name=gate      x=0.175 y=-0.050
electrode name=source    x=0.000 y=-0.005
electrode name=drain     x=0.350 y=-0.005
electrode name=substrate x=0.175 y= 0.215

structure outfile=03_CESL_30.str

```

## APENDICE B – ARQUIVO DE SIMULAÇÃO NUMERICA DE DISPOSITIVO NO ATLAS – SILVACO

```

go atlas

# Parâmetros ELetricos dos Eletrodos
#####

contact    name=gate           workfunc=4.7
contact    name=substrate  workfunc=4.95
contact    name=source     con.resist=1e-7
contact    name=drain      con.resist=1e-7

# Modelos Utilizados
#####
models stress cvt conmob watt srh bgn auger consrh fldmob print
temp=300

mobility egley.n
mobility egley.p

solve init

# Curva Caracteristica IDxVG
#####
#####
method     carries=1 newton autonr trap maxtrap=50

solve prev

solve vdrain=0.0005
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.05

method carries=2

solve     vgate=-1e-7
solve     vgate=-1E-6
solve     vgate=-1e-5
solve     vgate=-1e-4
solve     vgate=-1e-3
solve     vgate=-0.1
solve     vgate=-0.2
solve     vgate=-0.3
solve     vgate=-0.4
solve     vgate=-0.5

log outf=03_IDVG_CESL_30_1G_CRCON.log master

solve vgate=-0.2 vstep=0.01 name=gate vfinal=1.2

structure outfile=03_Elet_CESL_30.str

```

## APENDICE C – ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO DISPOSITIVO MuGFET

```
(sde:clear)

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; REGIOES DO TRANSISTOR
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Define o CANAL 3D
  (define r1 (sdegeo:create-cuboid
    (position 0.000 0.000 0.000)
    (position 0.025 0.060 0.100)
    "Silicon" "canal"
  ))

; Define o OXIDO de porta 2D
  (define r2 (sdegeo:create-polygon (list
    (position -0.002 0.060 0.000)
    (position 0.000 0.060 0.000)
    (position 0.000 0.000 0.000)
    (position 0.025 0.000 0.000)
    (position 0.025 0.060 0.000)
    (position 0.027 0.060 0.000)
    (position 0.027 -0.002 0.000)
    (position -0.002 -0.002 0.000)
    (position -0.002 0.060 0.000)
  ))
  "Oxide" "oxido_porta"
  ))

; Alonga o OXIDO de porta no eixo z
  (sdegeo:extrude (list (car (find-body-id (position 0.000 0.000
0.000)))) 0.100)

; Define a PORTA de porta 2D
  (define r3 (sdegeo:create-polygon (list
    (position -0.012 0.060 0.000)
    (position -0.002 0.060 0.000)
    (position -0.002 -0.002 0.000)
    (position 0.027 -0.002 0.000)
    (position 0.027 0.060 0.000)
    (position 0.037 0.060 0.000)
    (position 0.037 -0.012 0.000)
    (position -0.012 -0.012 0.000)
    (position -0.012 0.060 0.000)
  ))
  "PolySi" "porta"
  ))
```

```

; Alonga a PORTA de porta no eixo z
  (sdegeo:extrude (list (car (find-body-id (position -0.002 -
0.002 0.000)))) 0.100)

; Define o LDD-ESQUERDO 3D
  (define r4 (sdegeo:create-cuboid
(position 0.000 0.000 0.000)
(position 0.025 0.060 -0.050)
"Silicon" "ldde"
) )

; Define o DRENO 3D
  (define r5 (sdegeo:create-cuboid
(position 0.000 0.000 -0.050)
(position 0.025 0.060 -0.100)
"Silicon" "dreno"
))

; Define o LDD-DIREITO 3D
  (define r6 (sdegeo:create-cuboid
(position 0.000 0.000 0.100)
(position 0.025 0.060 0.150)
"Silicon" "lddd"
))

; Define o FONTE 3D
  (define r7 (sdegeo:create-cuboid
(position 0.000 0.000 0.150)
(position 0.025 0.060 0.200)
"Silicon" "fonte"
))

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; REGIOES DO SUBSTRATOS
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Define o substrato 3D
  (define r8 (sdegeo:create-cuboid
(position -0.030 0.205 0.200)
(position 0.055 0.060 -0.100)
"Oxide" "substrato"
))

;; Define o contato de substrato 3D
  (define r9 (sdegeo:create-cuboid
(position -0.030 0.215 0.200)
(position 0.055 0.205 -0.100)
"Aluminum" "contato_substrato"
))

```

```

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; CONTATOS
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

;; CONTATO DE PORTA
  (sdegeo:define-contact-set "ccontato_porta" 0.010 (color:rgb 1
0 0) "##")
  (sdegeo:set-current-contact-set "ccontato_porta")
  (sdegeo:define-3d-contact (list
  (car (find-face-id (position -0.0120 0.050 0.025)))
  (car (find-face-id (position 0.0125 -0.012 0.025)))
  (car (find-face-id (position 0.0370 0.050 0.025)))
  )
  "ccontato_porta"
  )

; CONTATO DE DRENO
  (sdegeo:define-contact-set "ccontato_dreno" 0.010 (color:rgb 1
0 0) "##")
  (sdegeo:set-current-contact-set "ccontato_dreno")
  (sdegeo:define-3d-contact (list
  (car (find-face-id (position 0.0125 0.030 -0.100)))
  )
  "ccontato_dreno"
  )

; CONTATO DE FONTE
  (sdegeo:define-contact-set "ccontato_fonte" -0.010 (color:rgb 1
0 0) "##")
  (sdegeo:set-current-contact-set "ccontato_fonte")
  (sdegeo:define-3d-contact (list
  (car (find-face-id (position 0.0125 0.030 0.200)))
  )
  "ccontato_fonte"
  )

; CONTATO DE SUBSTRATO
  (sdegeo:define-contact-set "ccontato_substrato" 0.010
(color:rgb 1 0 0) "##")
  (sdegeo:set-current-contact-set "ccontato_substrato")
  (sdegeo:define-3d-contact (list
  (car (find-face-id (position -0.030 0.215 0.130)))
  )
  "ccontato_substrato"
  )

```

```

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; DOPAGEM DAS REGIÕES
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; CANAL
  (sdedr:define-constant-profile
   "definicao_perfil_constante_canal" "BoronActiveConcentration"
   1e+15)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_canal"
   "definicao_perfil_constante_canal" "canal")

; LDDE
  (sdedr:define-constant-profile
   "definicao_perfil_constante_ldde" "ArsenicActiveConcentration"
   1e+19)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_dreno"
   "definicao_perfil_constante_ldde" "ldde")

; LDDD
  (sdedr:define-constant-profile
   "definicao_perfil_constante_ldde" "ArsenicActiveConcentration"
   1e+19)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_dreno"
   "definicao_perfil_constante_lddd" "lddd")

; DRENO
  (sdedr:define-constant-profile
   "definicao_perfil_constante_dreno"
   "ArsenicActiveConcentration" 1e+20)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_dreno"
   "definicao_perfil_constante_dreno" "dreno")

; FONTE
  (sdedr:define-constant-profile
   "definicao_perfil_constante_fonte"
   "ArsenicActiveConcentration" 1e+20)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_fonte"
   "definicao_perfil_constante_dreno" "fonte")

; CONTATO DE DRENO
  (sdedr:define-constant-profile
   "definicao_perfil_constante_contato_dreno"
   "ArsenicActiveConcentration" 1e+22)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_contato_dreno"
   "definicao_perfil_constante_contato_dreno" "contato_dreno")

```

```

; CONTATO DE FONTE
  (sdedr:define-constant-profile
   "definicao_perfil_constante_contato_fonte"
   "ArsenicActiveConcentration" 1e+22)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_contato_fonte"
   "definicao_perfil_constante_contato_fonte" "contato_fonte")

; CONTATO DE SUBSTRATO
  (sdedr:define-constant-profile
   "definicao_perfil_constante_contato_substrato"
   "ArsenicActiveConcentration" 1e+22)
  (sdedr:define-constant-profile-region
   "placement_perfil_constante_contato_substrato"
   "definicao_perfil_constante_contato_substrato"
   "contato_substrato")

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; GRADE
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; CANAL
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Grade PRINCIPAL
  (sdedr:define-refeaval-window "RefGeralCanal0" "Cuboid"
   (position 0.000 0.000 0.000) (position 0.025 0.060 0.100) )
  (sdedr:define-refinement-size "DefRefGeralCanal0" 0.020 0.020
   0.010 0.020 0.020 0.010 )
  (sdedr:define-refinement-placement "LocRefGeralCanal0"
   "DefRefGeralCanal0" "RefGeralCanal0" )

; Grade SECUNDARIA - Interface Fonte / Canal
  (sdedr:define-refeaval-window "RefGeralCanal1" "Cuboid"
   (position 0.000 0.000 0.000) (position 0.025 0.060 0.010) )
  (sdedr:define-refinement-size "DefRefGeralCanal1" 0.010 0.010
   0.005 0.010 0.010 0.005 )
  (sdedr:define-refinement-placement "LocRefGeralCanal1"
   "DefRefGeralCanal1" "RefGeralCanal1" )

; Grade SECUNDARIA - Interface Dreno / Canal
  (sdedr:define-refeaval-window "RefGeralCanal2" "Cuboid"
   (position 0.000 0.000 0.100) (position 0.025 0.060 0.090) )
  (sdedr:define-refinement-size "DefRefGeralCanal2" 0.010 0.010
   0.005 0.010 0.010 0.005 )
  (sdedr:define-refinement-placement "LocRefGeralCanal2"
   "DefRefGeralCanal2" "RefGeralCanal2" )

; Grade SECUNDARIA - Interface Porta / Canal
  (sdedr:define-refeaval-window "RefGeralCanal3" "Cuboid"
   (position 0.000 0.000 0.010) (position 0.025 0.020 0.090) )
  (sdedr:define-refinement-size "DefRefGeralCanal3" 0.010 0.010
   0.005 0.010 0.010 0.005 )
  (sdedr:define-refinement-placement "LocRefGeralCanal3"
   "DefRefGeralCanal3" "RefGeralCanal3" )

```

```

; REGIÕES DE LDD
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
; Grade PRINCIPAL - LDD-E
  (sdedr:define-refeval-window "RefBaseLDDE" "Cuboid" (position
    0.000 0.000 0.000) (position 0.025 0.060 -0.050) )
  (sdedr:define-refinement-size "DefRefBaseLDDE" 0.005 0.005
    0.005 0.005 0.005 0.005 )
  (sdedr:define-refinement-placement "LocRefBaseLDDE"
    "DefRefBaseLDDE" "RefBaseLDDE" )

; Grade PRINCIPAL - LDD-D
  (sdedr:define-refeval-window "RefBaseLDDD" "Cuboid" (position
    0.000 0.000 0.100) (position 0.025 0.060 0.200) )
  (sdedr:define-refinement-size "DefRefBaseLDDD" 0.005 0.005
    0.005 0.005 0.005 0.005 )
  (sdedr:define-refinement-placement "LocRefBaseLDDD"
    "DefRefBaseLDDD" "RefBaseLDDD" )

; REGIÃO DE FONTE
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
; Grade PRINCIPAL - FONTE
  (sdedr:define-refeval-window "RefBasefonte" "Cuboid" (position
    0.000 0.000 -0.050) (position 0.025 0.060 -0.100) )
  (sdedr:define-refinement-size "DefRefBasefonte" 0.010 0.010
    0.010 0.010 0.010 0.010 )
  (sdedr:define-refinement-placement "LocRefBasefonte"
    "DefRefBasefonte" "RefBasefonte" )

; Grade PRINCIPAL - DRENO
  (sdedr:define-refeval-window "RefBasedreno" "Cuboid" (position
    0.000 0.000 0.150) (position 0.025 0.060 0.200) )
  (sdedr:define-refinement-size "DefRefBasedreno" 0.010 0.010
    0.010 0.010 0.010 0.010 )
  (sdedr:define-refinement-placement "LocRefBasedreno"
    "DefRefBasedreno" "RefBasedreno" )

; SUBSTRATO
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
; Grade PRINCIPAL
  (sdedr:define-refeval-window "RefBasesubstrato" "Cuboid"
    (position -0.030 0.060 0.200) (position 0.055 0.205 -0.100) )
  (sdedr:define-refinement-size "DefRefBasesubstrato" 0.050 0.050
    0.050 0.050 0.050 0.050 )
  (sdedr:define-refinement-placement "LocRefBasesubstrato"
    "DefRefBasesubstrato" "RefBasesubstrato" )

```

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; CONSTRUÇÃO DE GRADE
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; SNMESH
  (sde:set-meshing-command "snmesh -a -c boxmethod -d -j -s")
  (sdedr:append-cmd-file "")
  (sde:build-mesh "snmesh" "-a -c boxmethod -d -j -s"
"L100_W25_H60_SEG00_6")
```

## APENDICE D – ARQUIVO DE SIMULAÇÃO NUMÉRICA DE DISPOSITIVO NO SENTAURUS - SYNOPHYS

```

File {
  # Arquivos de entrada:
  Grid= "L100-W25-H60-Nale15-mesh_msh.tdr"
  Doping= "L100-W25-H60-Nale15-mesh_msh.tdr"
  Parameter="Parameters.par"
  # Arquivos de saída:
  Plot= "L100-W25-H60-Nale15_des.tdr"
  Current= "L100-W25-H60-Nale15_des.plt"
  Output= "L100-W25-H60-Nale15_des.log"
}

Electrode {
  { Name="fonte" Voltage=0.000 }
  { Name="dreno" Voltage=0.050 }
  { Name="porta" Voltage=1.000 Workfunction=4.7 }
  { Name="substrato" Voltage=0.000 Workfunction=4.95 }
}

Physics {
  Mobility (
    Enormal
    PhuMob
    HighFieldSaturation
    IncompleteIonization
  )

  Recombination (
    SRH ( DopingDependence TempDependence )
    Auger ( WithGeneration )
  )

  EffectiveIntrinsicDensity (
    BandGapNarrowing ( OldSlotboom )
  )

  IncompleteIonization

  Temperature=300
}

Physics (
  RegionInterface="canal/oxido_porta") {
  charge(Conc=3e+10)
}

```

```

Plot {
  eDensity hDensity
  eCurrent hCurrent
  equasiFermi hquasiFermi
  LatticeTemperature
  ElectricField eEparallel hEparallel
  Potential SpaceCharge
  SRHRecombination
  Auger
  eMobility hMobility
  eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
  BandGap BandGapNarrowing
  Affinity
  ConductionBand valenceBand
}

Math {
  TensorGridAniso
  RelErrControl
  ExitOnFailure
  Method=ILS
  number_of_threads=4
  stacksize=1000000
  wallclock
}

Solve {
  Poisson
  Coupled { Poisson }
  Save (FilePrefix="Save_Init_L200-W1030-H30-Nale15")

  Quasistationary (
    InitialStep=0.010
    Maxstep=0.010

  Goal { name="porta" voltage=0.000 }
  )
  {

  Plugin (BreakOnFailure) {
  Coupled { Poisson Electron Hole }
  }
  }
}

```