VITOR TATSUO ITOCAZU

EFEITO DO SUBSTRATO EM TRANSISTORES SOI DE CAMADA DE SILÍCIO E ÓXIDO ENTERRADO ULTRAFINOS

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Ciências.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

São Paulo 2014 Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 07 de abril de 2014

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Itocazu, Vitor Tatsuo Efeito do substrato em transistores SOI de camada de silício e óxido enterrado ultrafinos / V.T. Itocazu. -- Edição Revisada -- São Paulo, 2014. 82 p. Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos. 1.Microeletrônica I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t. VITOR TATSUO ITOCAZU

EFEITO DO SUBSTRATO EM TRANSISTORES SOI DE CAMADA DE SILÍCIO E ÓXIDO ENTERRADO ULTRAFINOS

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Ciências.

São Paulo 2014

AGRADECIMENTOS

Ao Professor Dr. João Antonio Martino, pela orientação, apoio e incentivo ao longo da realização desse trabalho.

À minha mãe, por seu amor incondicional e pelo constante suporte e apoio.

Ao meu amigo Fernando Ferrari pelas conversas, risadas e conselhos em diversos momentos ao longo do trabalho.

Ao professor Dr. Victor Sonnenberg, que me ajudou muito ao longo do trabalho com constante incentivo, apoio e ensinamento ao longo do trabalho.

Aos meus amigos Felipe, Katia, Rangel, Sara e Talita do grupo SOI-CMOS, pelos constantes conselhos, ensinamentos e apoio.

Aos meus padrinhos Tatsuo e Neide Sakima que sempre me incentivaram a querer aprender e conhecer mais.

Ao Laboratório de Sistemas Integráveis, da Escola Politécnica da Universidade de São Paulo pela disponibilidade da infraestrutura necessária para essa atividade de pesquisa.

À minha namorada Natalie, por sua compreensão e apoio em todos os momentos.

E a todas as pessoas que de forma direta ou indireta contribuíram para a execução deste trabalho e que foram involuntariamente omitidas.

"É preciso, antes de tudo, querer."

(Amyr Klink)

RESUMO

Este trabalho apresenta um estudo do efeito do substrato em transistores SOI de camada de silício e óxido enterrado ultrafinos (*Ultra Thin Body and Buried Oxide* - UTBB). A análise do trabalho foi realizada baseando-se em modelos teóricos, simulações numéricas e medidas experimentais.

Experimentalmente pode-se notar que a presença do plano de terra (*Ground Plane,* GP) abaixo do óxido enterrado elimina e/ou minimiza alguns efeitos indesejados do substrato, tais como a variação do potencial na terceira interface (óxido enterrado/substrato).

A densidade de armadilhas de interfaces (Nit) foi um parâmetro importante no ajuste da simulação para se obter curvas de corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}) e em função da tensão de substrato (V_{GB}) similares às experimentais. As densidades de armadilhas de interface da primeira e da segunda interface foram ajustadas para o valor de $2x10^{11}$ eV⁻¹cm⁻² depois de analisadas as curvas experimentais. Assim, a partir dessas simulações pode-se notar que o modelo usado no simulador era compatível com os resultados experimentais, com erro menor que 10%.

Observou-se que o modelo analítico de efeito do substrato proposto por Martino et al. para transistores SOI totalmente depletados com camadas de silício mais espessas (acima de 40 nm) pode ser utilizado para dispositivos UTBB SOI de canal longo (10 µm) até a segunda interface (camada de silício/óxido enterrado) entrar em inversão, quando o modelo perde a validade.

Utilizando o modelo analítico também foi possível determinar os valores de tensão de substrato máximo (V_{GBmax}) e mínimo (V_{GBmin}), que determinam a tensão que, aplicada no substrato, mudam o estado da terceira interface de inversão para depleção (V_{GBmin}) e de depleção para acumulação (V_{GBmax}). Os valores de V_{GBmax} variaram de 0,57 V à 0,75 V e os de V_{GBmin} de -0,08 V à -3,39 V.

O modelo analítico utilizado tem uma concordância ainda maior (menor que 10%) para transistores de canal curto (L=70 nm) em relação ao de canal longo (L=10µm), provavelmente devido ao acoplamento eletroestático de fonte/dreno e

canal que posterga a formação da camada de inversão da terceira interface, ampliando a faixa de validade do mesmo.

Por meio das simulações numéricas também foi possível analisar a concentração de elétrons ao longo do canal do transistor. Observou-se que a condição de polarização da terceira interface (óxido enterrado/substrato) tem grande influência no comportamento da segunda interface (camada de Silício/óxido enterrado) e da primeira (óxido de porta/camada de Silício) nos transistores UTBB SOI.

Quando a terceira interface (óxido enterrado/substrato) está em acumulação, a primeira interface possui uma concentração de elétrons menor que a segunda interface, caracterizando assim, uma condução maior pela segunda interface.

O simulador também foi utilizado para analisar o potencial interno do transistor ao longo da profundidade. Foram feitas simulações com e sem GP e variando-se a temperatura de operação dos transistores. Foi observado que quanto maior a temperatura de operação, os efeitos do substrato são minimizados devido à diminuição do nível de Fermi. Com a presença do GP a queda de potencial no substrato é praticamente zero enquanto nos dispositivos sem GP variam entre 0,2V e 0,6V.

Como nos dispositivos com GP a queda do potencial no substrato é praticamente zero, a queda nos óxidos aumentou em relação aos dispositivos sem GP, podendo causar problemas de confiabilidade.

Palavras chaves: SOI, UTBB, efeito do substrato, plano de terra

ABSTRACT

This work presents a study of the substrate effect on Ultra Thin Body and Buried Oxide (UTBB) SOI transistors. The work analysis was performed based on theoretical models, numerical simulations and experimental measurements.

Experimentally, it is possible to notice that the presence of the ground plane implantation (GP) below the buried oxide eliminates and/or minimizes some undesirable effects of the substrate, as the variation of potential drop on third interface (buried oxide/substrate).

The interface trap density (Nit) was an important parameter on simulation adjustment to obtain drain current curves as function of front gate bias and back gate bias close to the experimental. The interface trap density of the front and back interface were adjusted to the value of $2x10^{11}$ e V⁻¹ cm⁻² after the experimental curves were analyzed. So from these simulations, it can be verified that the model used in the simulator was compatible with the experimental results, with error < 10%.

It is noted that the analytic model proposed by Martino et al. to analyze the substrate effect for fully depleted SOI transistor with thicker silicon thickness (above 40 nm) is useful for UTBB SOI devices with long channel (L=10 μ m) until the back interface reach the inversion, when the model is no longer valid.

Using the analytic model, it was also possible to determine the values of V_{GBmax} and V_{GBmin} , which represents the back voltage required to change de third interface from inversion to depletion mode (V_{GBmin}), and the depletion to accumulation mode (V_{GBmax}). The value of V_{GBmax} ranged from 0,57 V to 0,75 V and for V_{GBmin} ranged from -0,08 V to -3,39 V.

The analytic model has more agreement for short channel (L = 70nm) transistor than the longer one (L = 10μ m), probably due to the electrostatic coupling between de drain/source and the channel that delays the formation of inversion channel on third interface extending the validity range of the model.

By the numerical simulation, it was possible to analyze the electron concentration along the transistor. It was observed that the mode of the third

interface influences directly the condition of the back and front interfaces on UTBB SOI transistor.

When the third interface is in accumulation mode, the front interface has an electron concentration lower than the back interface, so the current flows mainly on the back interface. This makes the value of the front threshold voltage is less than the analytic model, once the model is valid only if while the back interface is on depletion mode.

The numerical simulation was also used to analyze the potential drop on SOI transistor. Simulation was performed with and without GP and varying the temperature. It was observed that for higher temperature, the substrate effect was minimized dur to the decrease of the Fermi level towards the mid-band. With GP, the substrate potential drop is almost zero, while on devices without GP it changes from 0,2 V to 0,6 V

For devices with GP the potential, as the drop on substrate is almost zero, the potential drop on front and buried oxide increases, which can causes reliability problems.

Key words: SOI, UTBB, substrate effect, ground plane

LISTA DE FIGURAS

Figura 1.1 – Gráfico representando a Lei de Moore	20
Figura 1.2 – Estrutura CMOS convencional	21
Figura 1.3 – Estrutura SOI CMOS	21
Figura 1.4 – Esquema de um transistor em lâmina SOI destacando as três interfaces estudadas.	22
Figura 1.5 – Modelo de transistores com a) porta simples; b) porta dupla (MuGFET) e c) porta tri	pla
(MuGFET)	23
Figura 2.1 – Exemplo de dispositivo SOI nMOSFET	26
Figura 2.2 – Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um	
totalmente depletado (b) desprezando-se a queda de potencial no substrato	28
Figura 2.3 – Corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}) para diferentes valores	de
tensão de substrato (V _{GB})	31
Figura 2.4 – Corrente de dreno (I_D) em função da tensão de porta (V_{GF})	32
Figura 2.5 – Modelo da variação da tensão de limiar da primeira interface para diferentes tensõe	s de
substrato, potencial do substrato \emptyset SUB = 0 V	35
Figura 2.6 – Curva de tensão de limiar da primeira interface, levando em consideração a variaçã	o da
queda de potencial no substrato. Ponto A tensão de substrato máxima (V $_{\sf GBmáx}$) e po	onto
B, tensão de substrato mínima (V _{GBmin})	37
Figura 3.1 – Esquema do transistor UTBB SOI com a presença de Plano de Terra abaixo do óxid	oc
enterrado	38
Figura 3.2 – Curva simulada da corrente de dreno (I_D) em função da tensão de substrato (V_{GB}) , r	oara
diversos valores de concentração no substrato (Na _{SUB}).	42
Figura 3.3 – Curva experimental da corrente de dreno (I_D) em função da tensão de substrato (V_C	_{зв}),
para dispositivos com e sem GP.	43
Figura 3.4 – Corrente de dreno (I_D) em função da tensão de substrato (V_{GB}), para diversos valore	es de
tensão de porta (V _{GF}), com e sem GP	43
Figura 3.5 - Curvas de tensão de limiar da primeira interface (V_{TF}) em função de VGB para valor	es
simulados e experimentais, em dispositivos sem GP para L = 10 μ m	44
Figura 3.6 - Curvas de tensão de limiar da primeira interface (V_{TF}) em função de V_{GB} para valore	S
simulados e experimentais, em dispositivos com GP para L = 10 μ m	45
Figura 3.7 – Curvas simuladas de tensão de limiar da segunda interface (V_{TB}) em função da tens	são
de porta (V _{GF}), com e sem GP para L = 10 μ m	46
Figura 3.8 – Curvas simuladas de tensão de limiar da primeira interface (V_{TF}) em função da tens	ão de
substrato (V _{GB}), com e sem GP para L = 10 μ m	46
Figura 3.9 – Curvas simuladas de inclinação de sublimiar da primeira interface (SS _F) em função	da
tensão de substrato (V _{GB}) com e sem GP para L = 10 μ m	47
Figura 3.10 – Curvas simuladas de inclinação de sublimiar da segunda interface (SS _B) em funçã	o da
tensão de porta (V_{GF}) com e sem GP para L = 10 µm	48
Figura 4.1 – Curva teórica de V_{TF} em função de V_{GB} para diferentes valores de concentração de	
substrato	49

Figura 4.2 -	- Região ampliada onde aparece o efeito do substrato da figura 4.1	50
Figura 4.3 -	- Curva teórica de V _{TF} em função de V _{GB} para diferentes valores de t_{oxb}	51
Figura 4.4 -	Curva teórica de V_{TF} em função de V_{GB} para diferentes valores de t_{oxf}	51
Figura 4.5 -	- Curvas de V _{TF} em função de V _{GB} para valores experimentais e modelo analítico, em	
	dispositivos sem GP para L = 10 μm	52
Figura 4.6 -	Curvas de V_{TF} em função de V_{GB} para valores experimentais e modelo analítico, em	
	dispositivos com GP para L = 10 μm	53
Figura 4.7 -	- Concentração de elétrons no canal para V_{GB} = 3, 0 e -3V e V_{TF} próximo a tensão de lim	iar
	em dispositivo sem GP	54
Figura 4.8 -	- Região ampliada da figura 4.7 da concentração de elétrons no canal para V_{GB} = 3, 0 e	-
	3V e V _{TF} próximo a tensão de limiar em dispositivo sem GP	54
Figura 4.9-	Concentração de elétrons no canal para V_{GB} = 3, 0 e -3V e V_{TF} próximo a tensão de limi	ar
	em dispositivo com GP	55
Figura 4.10	- Região ampliada da figura 4.9 da concentração de elétrons no canal para V_{GB} = 3, 0 e	-
	3V e V _{TF} próximo a tensão de limiar em dispositivo com GP	55
Figura 4.11	- Curva experimental da corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB})),
	para dispositivos com e sem GP para L = 70 nm	57
Figura 4.12	– Curvas experimentais de V_{TF} em função de V_{GB} para transistores sem GP com	
	diferentes comprimentos de canais, 10 µm e 70 nm	58
Figura 4.13	- Curvas experimentais de V_{TF} em função de V_{GB} para transistores com GP com	
	diferentes comprimentos de canais, 10 µm e 70 nm	58
Figura 4.14	- Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos sem GP para L = 70 nn	n,
	$L = 10 \ \mu m$ e modelo analítico e erro normalizado entre resultados experimentais e model	0
	analítico	59
Figura 4.15	- Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos com GP para L = 70 m	m,
	$L = 10 \ \mu m$ e modelo analítico e erro normalizado entre resultados experimentais e	
	modelo analítico	60
Figura 4.16	 Passo a passo na extração da tensão de limiar. 	61
Figura 4.17	- Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos sem GP para L = 70 nn	n,
	L = 10 µm e modelo analítico e erro normalizado entre resultados experimentais e model	0
	analítico corrigidas	62
Figura 4.18	- Curvas experimentais de VTF em função de VGB para L = 70nm com e sem GP e a	
	diferença entre esses valores ΔVTF	63
Figura 4.19	– Diferença entre os valores de V_{TF} entre dispositivos com e sem GP para modelo	
	analítico, resultados experimentais de L = 70 nm e L = 10 µm	64
Figura 4.20	- Corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para diversos valores	;
	de tensão de porta (V _{GF}), com (a) e sem (b) GP à 25°C para L = 10 μ m	65
Figura 4.21	- Corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para diversos valores	;
	de tensão de porta (V _{GF}), com (a) e sem (b) GP à 200°C para L = 10 μ m	65

- Figura 4.27 Simulação do potencial interno ao longo do potencial do substrato para $V_{GF} = 0V e V_{GB}$ = -0,2 e 1 V. Comparando dispositivos UTBB com e sem GP.......70
- Figura 4.28 Simulação do potencial interno da porta até os primeiros 50nm de profundidade para $V_{GF} = 0V e V_{GB} = -0,2 e 1 V.$ Comparando dispositivos UTBB com e sem GP......70

LISTA DE TABELAS

Tabela 4.1 - Valores de	V _{GBmax} e V _{GBmin} para	diferentes valores de Na _{SUB} 49	9
-------------------------	----------------------------------------------	--------------------------------------------	---

LISTA DE SIGLAS E ABREVIATURAS

CI	Circuitos Integrados.
CVT	Modelo de mobilidade de Lombardi
BGN	Band Gap Narrowing
CMOS	Complementary Metal-Oxide-Semiconductor
FD	Fully Depleted
GP	Ground Plane
GSI	Giga Scale Integration
Imec	Interuniversity Microelectronics Centre (Centro Interuniversitario de
	Microeletrônica).
MOS	Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor).
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor (transistor de efeito
	de campo metal-óxido-semicondutor).
MuGFET	Multiple Gate Fiel Effect Transistor
PD	Partially Depleted
SCE	Short Effect Channel
SOI	Silicon-on-Insulator (silício-sobre-isolante).
SRH	Shockley–Read–Hall
TCAD	Technology Computer-Aided Design
UTBB	Ultra Thin Body and Buried Oxide
UTBOX	Ultra Thin Buried Oxide

LISTA DE SÍMBOLOS

C _{it1}	Capacitância das armadilhas de interface óxido de porta/camada de silício por unidade de área [F/cm ²]
C _{it2}	Capacitância das armadilhas de interface camada de silício/óxido enterrado por unidade de área [F/cm ²]
C _{ox}	Capacitância do óxido por unidade de área [F/cm ²]
C _{ox1}	Capacitância do óxido de porta por unidade de área [F/cm ²]
C _{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm ²]
C _{Si}	Capacitância do camada de silício por unidade de área [F/cm ²]
d _{máx}	Espessura da camada de depleção máxima [nm]
Ec	Nível de energia da faixa de condução [eV].
E _F	Nível de energia de Fermi [eV].
Eg	Nível de energia da faixa proibida [eV].
Ei	Nível intrínseco do semicondutor [eV].
Ev	Nível de energia da faixa de valência [eV].
I _D	Corrente de dreno [A].
I _{DS}	Corrente entre dreno e fonte [A].
К	Constante de Boltzmann [1,38066 x 10 ⁻²³ J/K]
L	Comprimento do canal do transistor [µm]
Na	Concentração de impurezas aceitadoras [cm ⁻³].
Na _{SUB}	Concentração de dopantes no substrato [cm-3]
N _d	Concentração de impurezas doadoras [cm ⁻³].
n _i	Concentração intrínseca de portadores [cm ⁻³].
Nit	Densidade de armadilhas de interface [eV ⁻¹ .cm ⁻²].
Nit _f	Densidade de armadilhas da primeira interface [eV ⁻¹ .cm ⁻²].

Nit _b	Densidade de armadilhas da segunda interface [eV ⁻¹ .cm ⁻²].
Q	Carga elementar do elétron [C]
Q _{depl}	Carga de depleção total no camada de silício por unidade de área [C/cm ²]
Q _{inv}	Carga de inversão por unidade de área [C/cm ²]
Q _{S2}	Carga de inversão na interface camada de silício/óxido enterrado por unidade de área [C/cm ²]
Q _{ox}	Densidade de carga fixa no óxido [C/cm ²]
Q _{ox1}	Densidade de carga fixa no óxido de porta [C/cm ²]
Q _{ox2}	Densidade de carga fixa no óxido enterrado [C/cm ²]
Q _{ox3}	Densidade de carga fixa no substrato [C/cm ²]
SS	Inclinação de sublimiar [mV/déc]
SS _B	Inclinação de sublimiar da interface camada de silício/óxido enterrado [mV/déc]
SS _{B,acc}	Inclinação de sublimiar da interface camada de silício/óxido enterrado com a segunda interface em acumulação [mV/déc]
SS _{B,depl}	Inclinação de sublimiar da interface camada de silício/óxido enterrado com a segunda interface em depleção [mV/déc]
SSF	Inclinação de sublimiar da interface filme de óxido de porta/Silício [mV/déc]
т	Temperatura [K].
t _{oxb}	Espessura do óxido enterrado [nm]
t _{oxf}	Espessura do óxido de porta [nm]
t _{Si}	Espessura do camada de silício [nm]
V _D	Tensão aplicada ao dreno [V].
V _{DS}	Tensão aplicada entre dreno e fonte [V].
V _{FB}	Tensão de faixa plana [V]

V _G	Tensão aplicada na porta [V]
V_{GB}	Tensão aplicada ao substrato (ou porta de trás) do transistor [V].
V_{GF}	Tensão aplicada à porta (da frente) do transistor [V].
V _{GS}	Tensão aplicada entre dreno e fonte [V].
Vs	Tensão aplicada na fonte [V]
V _T	Tensão de limiar [V]
V _{TB}	Tensão de limiar da interface camada de silício/óxido enterrado [V]
V _{TF}	Tensão de limiar da interface filme de óxido de porta/Silício [V]
V _{TF,acc}	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em acumulação [V]
V _{TF,depl}	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em depleção [V]
$V_{TF,inv}$	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em inversão [V]
W	Largura do canal do transistor [µm]
٤ _{Si}	Permissividade do Silício no vácuo [F/cm]
ØF	Potencial de Fermi do semicondutor [V]
Ø _{MS}	Diferença da função trabalho entre metal e Silício [V]
Ø _{MS1}	Diferença da função trabalho entre metal de porta/camada de silício [V]
Ø _{MS2}	Diferença da função trabalho entre camada de silício/substrato [V]
Ø _{S1}	Potencial da superfície na interface óxido de porta/camada de silício [V]
Ø _{S2}	Potencial da superfície na interface camada de silício/óxido enterrado [V]
Ø _{SUB}	Queda de potencial no substrato [V]
γ	Efeito de corpo [V ^{1/2}]

AG	RADI	ECIM	IENTOS	3			
RE	SUM	0		5			
AB	STRA	\CT		7			
LIS	TA D	E FIC	GURAS	9			
LIS	TA D	ETA	BELAS	12			
LIS	TA D	E SI	GLAS E ABREVIATURAS	13			
LIS	TA D	E SÍI	MBOLOS	14			
1	INT	RODI	JÇÃO	19			
	1.1 Hist		órico e Motivação	19			
	1.2 Obje		etivo	24			
	1.3	Estr	utura do Trabalho	24			
2	CO	NCEI	TOS BÁSICOS	26			
	2.1 T	Tecno	logia SOI	26			
	2	2.1.1	Tensão de Limiar	28			
	2	2.1.2	Curvas $I_D x V_{GF}$	31			
	2	2.1.3	Inclinação de Sublimiar	31			
	2	2.1.4	Efeito do Substrato (γ)	34			
3	PLA	ANO E	DE TERRA EM UTBB SOI	38			
	3.1 Disp		positivos Analisados e Simulações	38			
	3	3.1.1	Dados Experimentais	38			
	3.1.2		Simulações Numéricas	39			
	3.2	UTE	BB (Ultra thin Body and Buried Oxide)	41			
	3.3 Impl		lantação do Plano de Terra (<i>Ground Plane</i> - GP)	41			
	3.4	Aná	lise da Tensão de Limiar e da Inclinação de Sublimiar	44			
4	EFEITO DO SUBSTRATO NO UTBB SOI						

SUMÁRIO

ANE	ANEXO A – EXEMPLO: LINHAS DE COMANDO DE SIMULAÇÃO78								
REF	ERÊ	NCIAS							75
PUBLICAÇÕES GERADAS74									
5	CONCLUSÕES E SEQUÊNCIA DO TRABALHO7							72	
		ten	nperatura.					(69
	4.	.4.1 Ana	álise do	potencial	interno	do	substrato	variando-se	а
	4.4	Análise d	da influênc	ia da tempe	eratura				65
		de 70 nn	n					{	56
	4.3	Análise d	do efeito d	a implantaç	ão de pla	no de	e terra (GP)	em transistor	es
	4.2	Análise da concentração de elétrons na segunda interface5							
Erro! Indicador não definido.									
	4.1	UTBB	SOI						

1 INTRODUÇÃO

1.1 Histórico e Motivação

A evolução da eletrônica teve um grande marco com a criação dos primeiros circuitos integrados (CI). No ano de 1961 os transistores passaram a ser construídos em dimensões reduzidas, recebendo o nome de microeletrônica. [1] [2]

O transistor de efeito de campo (MOSFET) é o principal componente de um CI. O termo MOSFET vem do funcionamento do transistor, que se baseia no controle do fluxo de corrente ao longo do dispositivo, a partir do campo gerado por uma estrutura Metal – Óxido – Semicondutor (MOS) e uma tensão aplicada no terminal de porta.

A Lei de Moore diz que o número de componentes em um CI dobra aproximadamente a cada 24 meses (Figura 1.1), devido à rápida evolução da tecnologia, hoje chegando à faixa de integração de mais de um bilhão de componentes por CI, conhecido como GSI (*Giga Scale Integration*).

Porém com a diminuição do tamanho dos componentes, outros efeitos (e muitos deles indesejáveis) foram surgindo ao longo dos anos, como por exemplo, o efeito de canal curto (*Short Channel* Effect - SCE) que é decorrente da diminuição do comprimento do canal do transistor.

Tentando manter essa tendência, as empresas, indústrias, laboratórios, universidades entre outros, testam e projetam transistores baseados em novas estrutura e materiais ao longo dos anos.



Figura 1.1 – Gráfico representando a Lei de Moore

Fonte: http://pt.wikipedia.org/wiki/Lei_de_Moore

A tecnologia MOS convencional (*Metal-Oxide-Semiconductor*) é uma tecnologia muito utilizada até os dias de hoje. Porém, com o e avanço nos estudos, novas tecnologias foram sendo também utilizadas, como por exemplo a tecnologia SOI (*Silicon-On-Insulator*).

Percebe-se nas Figura 1.2 e Figura 1.3 que uma das principais vantagens da tecnologia SOI em relação à tecnologia MOS convencional é a maior integração dos transistores e simplicidade na fabricação.







Na tecnologia MOS convencional, uma das maneiras para realizar o isolamento dos transistores é a criação de cavidades de isolamento (que ocupam uma área muito grande) e a realização de implantações de alta dopagem. Já na tecnologia SOI, o óxido enterrado realiza essa função ocupando uma área bem menor.





Fonte: Autor

Além da maior densidade de integração, podemos citar como vantagens a eliminação do efeito tiristor parasitário (*latch-up*), menor capacitância de junção,

maior resistência à radiação, menor efeito de canal curto, melhor inclinação de sublimiar, entre outros. [3]

Num transistor SOI, três interfaces são as estudadas para entender o funcionamento do transistor. Como mostra a Figura 1.4 a primeira interface é a interface entre o óxido de porta e a camada de silício, a segunda interface é a interface entre a camada de silício e o óxido enterrado e por fim, a terceira interface entre óxido enterrado e substrato.



Figura 1.4 – Esquema de um transistor em lâmina SOI destacando as três interfaces estudadas.

Fonte: Autor

Atualmente, duas são as frentes mais promissoras para um menor escalamento. A primeira é de transistores em três dimensões, onde uma grande melhoria é observada na presença de mais de uma porta (SOI MuGFETs – SOI *Multiple Gate Field Effect Transistors*) [4], como destacado na Figura 1.5, melhorarando o controle do canal. A outra frente continua sendo de transistor SOI planar, porém baseada na diminuição das espessuras das camadas e silício (t_{si}) e de óxido enterrado (t_{oxb}) (UTBB SOI MOSFETs – *Ultra Thin Body and Buried Oxide* SOI MOSFETs).



Figura 1.5 – Modelo de transistores com a) porta simples; b) porta dupla (MuGFET) e c) porta tripla (MuGFET)

Fonte: Autor

Na Figura 1.5 pode-se observar dois exemplos de transistores 3D. No primeiro caso, Figura 1.5 a-) temos um transistor SOI MOSFET tradicional com porta simples, onde a condução da corrente é feita apenas pelo plano de cima do transistor. No caso b-) temos um transistor 3D de duas portas, uma em cima e outra embaixo do canal, assim aprimorando o controle da passagem de corrente no canal. No último mostrado na Figura 1.5 c-) temos um dispositivo 3D de porta tripla, onde temos condução de corrente nas 3 superfícies da aleta.

Um dos dispositivos candidatos a dar continuidade ao alto nível de integração dos dispositivos e seguir a Lei de Moore é o UTBB SOI MOSFET.

O funcionamento dele é igual ao de um transistor SOI convencional, porém devido às espessuras da camada de silício e do óxido enterrado serem muito pequenas, há um grande acoplamento entre as interfaces, gerando diferentes efeitos, que serão focos desta dissertação.

1.2 Objetivo

O objetivo deste trabalho é estudar teórica (usando modelo analítico) e experimentalmente alguns dos diferentes efeitos gerados pelo forte acoplamento entre a porta e o substrato do UTBB SOI MOSFET, dando ênfase ao efeito do substrato.

Dispositivos com dois diferentes comprimentos de canal foram estudados. Um com canal longo de 10 µm e o outro com canal curto de 70 nm.

Verificar através de simulações numéricas a concentração de elétrons ao longo do canal em diferentes condições de polarização para entender melhor a relação entre as 3 interfaces do transistor (Figura 1.4).

Analisar o potencial interno do transistor variando a temperatura a fim de observar o comportamento do potencial no camada de silício e nos óxidos de porta e enterrado.

As análises serão feitas em dispositivos com e sem implantação de plano de terra (*Ground Plane* – GP), e as simulações numéricas são feitas com diferentes valores de concentração de substrato.

1.3 Estrutura do Trabalho

Este trabalho está dividido em cinco capítulos, cuja descrição está apresentada abaixo:

Capítulo 1 - INTRODUÇÃO: Este capítulo apresenta o histórico de evolução da microeletrônica e características gerais da tecnologia SOI. Também são apresentados nesse capítulo a motivação e objetivo do trabalho e sua estrutura.

Capítulo 2 - CONCEITOS BÁSICOS: Neste capítulo a tecnologia SOI é descrita com mais detalhes, comparando com a tecnologia MOS convencional e dando ênfase em algumas de suas principais características, como tensão de limiar e inclinação de sublimiar.

Capítulo 3 - PLANO DE TERRA EM UTBB SOI: Para uma melhoria nas características do transistor SOI, é feita uma implantação abaixo do óxido enterrado,

conhecida como Plano de Terra (ou *Ground Plane* – GP), este capítulo, explica e detalha as melhorias ocorridas com essa implantação.

Capítulo 4 - Modelo Analítico representando variação da queda de potencial no substrato: Este capítulo aborda o foco principal do trabalho que é o efeito do substrato no UTBB SOI. Resultados simulados, teóricos e experimentais são mostrados e comparados para uma análise do efeito que o substrato do transistor apresenta.

Capítulo 5 - CONCLUSÕES E SEQUÊNCIA DO TRABALHO: O último capítulo aborda as conclusões do trabalho e sustões para complementar o trabalho.

2 CONCEITOS BÁSICOS

Neste capítulo serão apresentados os principais conceitos dos transistores SOI e parâmetros importantes que foram analisados durante o trabalho.

2.1 Tecnologia SOI

O transistor com estrutura SOI (*Silicon-on-Insulator*), mostrado na Figura 2.1, tem como principal mudança em relação à estrutura MOS convencional à presença de uma camada de óxido enterrado logo abaixo do canal do transistor. A presença dessa camada isolante traz várias vantagens no funcionamento do dispositivo.

Nessa figura temos como parâmetros importantes para análise: t_{oxf} – espessura do óxido de porta, t_{Si} – espessura do camada de silício, t_{oxb} – espessura do óxido enterrado, L – comprimento do canal, W- largura do canal, V_{GF} - tensão aplicada na porta, V_S – tensão aplicada na fonte, V_D – tensão aplicada no dreno e V_{GB} – tensão aplicada no substrato.

Figura 2.1 – Exemplo de dispositivo SOI nMOSFET.



Fonte: Autor

Pode-se citar como principais vantagens: melhor isolação elétrica entre os transistores que existem na mesma lâmina, maior escalamento, controle do canal melhorado, menor capacitância de junção, maior resistência a radiação, processo mais simples a partir da lâmina SOI, chaveamento mais rápido entre outras [3]

Os transistores SOI podem ser divididos em dois tipos principais:

- Parcialmente depletados (PD SOI MOSFET Partially depleted SOI MOSFET) são aqueles que a espessura da camada de silício é grande o suficiente para que a máxima região de depleção da primeira e segunda interface somadas fique abaixo da espessura do canal (t_{Si} > 2x_{dmáx}).
- Totalmente depletados (FD SOI MOSFET Fully depleted SOI MOSFET) são aqueles em que a espessura da camada de silício é menor que a máxima região de depleção de uma das interfaces (t_{Si} < x_{dmáx}).

$$x_{dmax} = \sqrt{\frac{2\varepsilon_{Si}2\phi_F}{qN_a}}$$
(2.1)

onde xd_{max} é a máxima largura da região de depleção, ε_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi do semicondutor e N_a é a concentração de dopantes no corpo, onde

$$\phi_{\rm F} = \frac{kT}{q} \ln \left(\frac{\rm Na}{\rm ni} \right) \tag{2.2}$$

onde
$$ni = 3.9 \times 10^{16} T^{3/2} e^{-(\frac{Eg}{2kT})}$$

onde k é a constante de Boltzmann, T é a temperatura em Kelvin, q é a carga do elétron, ni é a concentração intrínseca de portadores e Eg é a largura da faixa proibida.

As Figura 2.2a 2.2b mostram as faixas de energia dos dois tipos de transistores citados.



Figura 2.2 – Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um totalmente depletado (b) desprezando-se a queda de potencial no substrato

Fonte: Autor.

2.1.1 Tensão de Limiar

A tensão de limiar é a tensão que, aplicada na porta, gera o número suficiente de portadores livres na primeira interface de forma a propiciar a condução.

MOS Convencional

Em dispositivos MOSFET convencionais, essa tensão de limiar, pode ser calculada através da equação (2.3).

$$V_{\rm TF} = V_{\rm FB} + 2\phi_{\rm F} + \frac{qN_{\rm a}x_{\rm dmax}}{C_{\rm ox}}$$
(2.3)

onde C_{ox} é a capacitância do óxido por unidade de área (expresso também pela relação de ϵ_{ox}/t_{ox}) e V_{FB} é a tensão de faixa plana.

O valor de V_{FB} pode ser obtido a partir da diferença de função trabalho entre o metal de porta e o silício ϕ_{MS} , a capacitância do óxido C_{ox} e a densidade de cargas fixas no óxido Q_{ox} conforme equação (2.4).

$$V_{\rm FB} = \phi_{\rm MS} - \frac{Q_{\rm ox}}{C_{\rm ox}}$$
(2.4)

SOI MOSFET

a) Parcialmente Depletado

Como nos dispositivos SOI parcialmente depletados a região de depleção da primeira interface não interage com região de depleção da segunda interface, o comportamento desse transistor em relação à tensão de limiar é semelhante à de um MOS convencional, equação (2.3).

b) Totalmente Depletado

Nos dispositivos SOI totalmente depletados há uma interação entre a primeira e a segunda interface. Assim, a tensão aplicada na porta (V_{GF}), por exemplo, além de influenciar no potencial da primeira interface, gera mudanças também na segunda interface. Analogamente a tensão aplicada no substrato (V_{GB}), além de influenciar no potencial da segunda interface, influencia também no potencial da primeira interface. Usando o modelo de Lim & Fossun [11], tem-se as equações (2.5) e (2.6) que regem essa interação entre o potencial das duas interfaces ($\phi_{S1} e \phi_{S2}$) e as tensões aplicadas na porta (V_{GF}) e no substrato (V_{GB}).

$$V_{GF} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv}}{C_{ox1}}$$
(2.5)

$$V_{GB} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(\frac{C_{Si}}{C_{ox2}}\right) \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}}$$
(2.6)

onde \emptyset_{MS1} é a diferença da função trabalho entre o metal de porta e a camada de silício (t_{Si}), Q_{ox1} é a densidade efetiva de cargas fixas na primeira interface, C_{Si} é a

capacitância na camada de silício por unidade de área, \emptyset_{S1} é o potencial de superfície na primeira interface, \emptyset_{S2} é o potencial de superfície na segunda interface, Q_{depl} é a carga de depleção total na camada de silício por unidade de área, Q_{inv} é a carga de inversão por unidade de área na primeira interface, \emptyset_{MS2} é a diferença da função trabalho entre o substrato e a camada de silício, Q_{ox2} é a densidade efetiva de cargas fixas na segunda interface, Q_{S2} é a carga na segunda interface por unidade de área.

A partir dessas equações é possível determinar a tensão de limiar para dispositivos totalmente depletados em função da condição da segunda interface.

b.1) Segunda interface em acumulação

Quando a segunda interface esta em acumulação, o potencial de superfície é zero, admite-se que a carga de inversão seja zero e para inverter a primeira interface o potencial \emptyset_{S1} é igual a $2\emptyset_F$. Aplicando-se estas condições na equação (2.5), resulta na equação (2.7).

$$V_{TF,ac2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}}$$
(2.7)

b.2) Segunda interface em inversão

Quando a segunda e a primeira interface estiverem em inversão, os potenciais o $\phi_{S1} e \phi_{S2}$ são iguais a $2\phi_F e$ admite-se que a carga de inversão seja zero. Aplicando-se estas condições na equação (2.5), resulta na equação (2.8).

$$V_{\rm TF,inv2} = \phi_{\rm MS1} - \frac{Q_{\rm ox1}}{C_{\rm ox1}} + 2\phi_{\rm F} - \frac{Q_{\rm depl}}{2C_{\rm ox1}}$$
(2.8)

b.3) Segunda interface em depleção

Quando a segunda interface esta em depleção o potencial ϕ_{S2} entra em uma condição especial onde é sempre maior que zero, porém nunca chegará a $2\phi_F$. Assim a tensão de limiar dependerá da tensão aplicada no substrato V_{GB}. Como indicado na equação (2.9)

$$V_{TFdepl2} = V_{TF,ac2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{GB} - V_{GB,ac})$$
(2.9)

2.1.2 Curvas I_D x V_{GF}

Como nos dispositivos SOI MOSFETs totalmente depletados pode ocorrer a interação entre as duas interfaces, as curvas de corrente de dreno em função da tensão aplicada na porta, podem ser divididas em quatro regiões (Figura 2.3). [12].

Figura 2.3 – Corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}) para diferentes valores de tensão de substrato (V_{GB}).



Fonte: COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.

Na região A, percebe-se que a corrente na 2ª interface está presente, e influênciando no nível de corrente diretamente, mesmo com a 1ª interface em acumulação. Na região B, a 2ª interface está depletada, assim não há influência da corrente da segunda interface, outro fator é que a tensão de limiar depende da tensão do substrato (equação 2.9). Na região C pode-se observar que há um mínimo deslocamento mínimo da curva, notando-se que a tensão no substrato não tem tanta influência na tensão de limiar, uma vez que a 2ª interface está em acumulação. Na região D, tanto a 1ª como a 2ª interfaces estão depletadas, porém a 2ª está próxima da inversão, fazendo com que qualquer aumento na tensão de porta leve à inversão da 2ª interface. [3]

2.1.3 Inclinação de Sublimiar

A inclinação de sublimiar (SS) é um parâmetro que determina o quão rápido o transistor demora a sair do estado de corte para o estado de condução.

Ela é determinada através do inverso da derivada do logarítmico da corrente de dreno em função da tensão de porta, conforme equação (2.10) e ilustrado na Figura 2.4.

$$SS = \frac{dV_G}{d(\log I_D)}$$
(2.10)

Figura 2.4 – Corrente de dreno (I_D) em função da tensão de porta (V_{GF})



Fonte: Autor

Em dispositivos SOI totalmente depletados, com a segunda interface depletada, a expressão completa para a inclinação de sublimiar da primeira interface (SS_F) é dada pela equação (2.11) [3].

$$SS_{F} = \frac{dV_{G}}{d(logI_{D})} = \frac{kT \ln 10}{q} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si} - C_{Si}}{C_{ox2}C_{ox1}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \right]$$
(2.11)

onde C_{it1} e C_{it2} são as capacitâncias de armadilhas de interfaces óxido de porta/camada de Silício e camada de Silício/óxido enterrado. Sendo $C_{it} = q^2 N_{it}$ e N_{it} é a densidade de armadilhas de interface.

Desprezando as capacitâncias de armadilhas de interface obtêm-se a equação (2.12).

$$SS_{F} = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \right]$$
(2.12)

Na literatura podemos encontrar que, o menor valor para inclinação de sublimiar é quando SS $\cong \frac{kT \ln 10}{q} \cong 60$ mv/déc em temperatura ambiente (T=300 K) [3].

Em dispositivos SOI totalmente depletados com a segunda interface em acumulação, a expressão completa para inclinação de sublimiar da primeira interface é dada por

$$SS_{F} = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si} + C_{it1}}{C_{ox1}} \right]$$
(2.13)

A expressão da inclinação de sublimiar da primeira interface, desprezando as capacitâncias de armadilhas de interface (C_{it}), pode ser generalizada como infica a equação (2.14).

$$SS_{F} = \frac{kT \ln 10}{q} n \qquad (2.14)$$

Onde n é o fator de corpo, sendo n = 1+ α . [3].

Para dispositivos MOS convencional, $\alpha = \frac{C_{depl}}{C_{ox1}} = \frac{\epsilon_{Si}}{x_{dmáx}C_{ox1}}$

Em dispositivos SOI com a segunda interface em acumulação $\alpha = \frac{C_{Si}}{C_{ox1}}$

Em dispositivos SOI com a segunda interface em depleção o valor de α pode ser escrito por, $\alpha = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si}+C_{ox2})}$.

Numericamente falando, tem-se a seguinte relação

n SOI totalmente depletado < n MOS convencional < n SOI segunda interface acumulada

Portanto, menor inclinação de sublimiar no SOI totalmente depletado e um melhor desempenho em relação ao MOS convencional.

2.1.4 Efeito de Corpo (γ)

Parcialmente Depletado

O efeito de corpo em um dispositivo SOI parcialmente depletado é o mesmo do MOS convencional se for feito .contato de corpo. Sem contato de corpo a influencia de V_{GB} em V_{TF} é zero.

Totalmente Depletado

No dispositivo SOI totalmente depletado o efeito do substrato se apresenta de maneira diferente dos demais dispositivos citados.

A variação da tensão de limiar em função da variação da tensão de substrato pode ser obtida através da derivada das expressões (2.7), (2.8) e (2.9) em função de V_{GB} resultando nas equações (2.13) (2.14) e (2.15) respectivamente.

$$\frac{dV_{\rm TF,ac2}}{dV_{\rm GB}} = 0 \tag{2.13}$$

$$\frac{dV_{\rm TF,inv2}}{dV_{\rm GB}} = 0 \tag{2.14}$$

$$\frac{dV_{\text{TFdepl2}}}{dV_{\text{GB}}} = -\frac{C_{\text{Si}}C_{\text{ox2}}}{C_{\text{ox1}}(C_{\text{Si}}C_{\text{ox2}})} = \frac{-\varepsilon_{\text{Si}}C_{\text{ox2}}}{C_{\text{ox1}}(t_{\text{Si}}C_{\text{Si}}+\varepsilon_{\text{Si}})}$$
(2.15)

Quando uma polarização suficientemente negativa for aplicada no substrato, a segunda interface entra em acumulação e o valor de ϕ_{S2} é igual a 0 V (constante), não mais influenciando no valor da tensão de limiar da primeira interface (equação 2.13).

Do mesmo modo pode-se considerar que ϕ_{S2} é igual a $2\phi_F$ quando a segunda interface está invertida, e o aumento da polarização do substrato mantém $\phi_{S2} = 2\phi_F$ (constante) e portanto não influencia na tensão de limiar da primeira interface (equação 2.14).

A equação (2.15) só tem validade se a camada de silício estiver totalmente depletada.

Baseado nessas condições, a figura 2.5 mostra a variação da tensão de limiar da primeira interface em função da tensão aplicada no substrato.

Figura 2.5 – Modelo da variação da tensão de limiar da primeira interface para diferentes tensões de substrato, potencial do substrato \emptyset SUB = 0 V.



Fonte: COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.

2.2 Modelo Analítico representando variação da queda de potencial no substrato

O modelo proposto por Martino et al [12] para o efeito do substrato em dispositivos SOI é composto pelas equações (2.16) e (2.17) propostas por Lim&Fossum [11] e mais uma terceira equação (2.18) que leva em consideração o potencial na 3^a interface ϕ_{SUB} [12].

$$V_{GF} = V_{FB1} + \frac{q_{Na} t_{Si}}{2C_{ox1}} + \left(\frac{\varepsilon_{Si}}{t_{Si}C_{ox1}} + 1\right) \phi_{S1} - \frac{\varepsilon_{Si}}{t_{Si}C_{ox1}} \phi_{S2} - \frac{Q_{inv}}{C_{ox1}}$$
(2.16)

$$V_{GB} = V_{FB2} + \frac{q_{Na} t_{Si}}{2C_{ox2}} + \left(\frac{\varepsilon_{Si}}{t_{Si}C_{ox2}} + 1\right) \phi_{S2} - \frac{\varepsilon_{Si}}{t_{Si}C_{ox2}} \phi_{S1} - \frac{Q_{S2}}{C_{ox2}}$$
(2.17)
$$\phi_{SUB} = \left[\frac{-\sqrt{2qNa_{SUB}\epsilon_{Si}}}{2C_{ox2}} + \sqrt{\left(\frac{2qNa_{SUB}\epsilon_{Si}}{4C_{ox2}^2} - V_{FB3}\right) + (\phi_{S2} - V_{GB})}\right]^2$$
(2.18)

onde:

$$\emptyset_{SUB} = 0 \to V_{GB} = V_{GBmax} = \emptyset_{S2} - V_{FB3}$$
(2.19)

$$\phi_{SUB} = 2\phi_{FB} \rightarrow V_{GB} = V_{GBmin} = \phi_{S2} - V_{T3}$$
 (2.20)

е

$$V_{FB3} = \Phi_{MS} - \frac{Q_{ox3}}{C_{ox2}} = \frac{kT}{q} ln \frac{Na}{Na_{SUB}} - \frac{Q_{ox3}}{C_{ox2}}$$
(2.21)

$$V_{TF3} = V_{FB3} + 2\phi_{FB} + \frac{\sqrt{2qNa_{SUB}\epsilon_{Si}2\phi_{FB}}}{C_{ox2}}$$
 (2.22)

Desprezando o termo Q_{S2} e incluindo o potencial na 3^a interface, deve-se reescrever a equação (2.17) como mostrada na equação (2.23):

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{q_{Na} t_{Si}}{2C_{ox2}} + \left(\frac{\varepsilon_{Si}}{t_{Si} C_{ox2}} + 1\right) \phi_{S2} - \frac{\varepsilon_{Si}}{t_{Si} C_{ox2}} \phi_{S1} - \phi_{SUB}$$
(2.23)

O conjunto de equações (2.16), (2.17) e (2.23) representam o comportamento do SOI MOSFET incluindo o efeito do substrato (variação de ϕ_{SUB}) [12].

Os valores de VGBmáx e VGBmin, expressos pelas equações (2.19) e (2.20) podem são representados na Figura 2.6 pelos pontos A e B respectivamente.

A Figura 2.6 mostra um comparativo da curva de tensão de limiar da primeira interface em função da tensão de substrato para as condições de $\phi_{SUB} = 0V$ e com ϕ_{SUB} variando de 0V a $2\phi_{F}$.

Figura 2.6 – Curva de tensão de limiar da primeira interface, levando em consideração a variação da queda de potencial no substrato. Ponto A tensão de substrato máxima (V_{GBmáx}) e ponto B, tensão de substrato mínima (V_{GBmin}).



3 PLANO DE TERRA EM UTBB SOI

Neste capítulo será estudado o plano de terra (*Ground Plane* – GP) desde sua dopagem (implantação) até as influências básicas na tensão de limiar e na inclinação de sublimiar.

3.1 Dispositivos Analisados e Simulações

3.1.1 Dados Experimentais

Neste trabalho foram utilizados dispositivos UTBB SOI fabricados no centro de pesquisa imec/Bélgica.

Figura 3.1 – Esquema do transistor UTBB SOI com a presença de Plano de Terra abaixo do óxido enterrado



Fonte: Autor

Os dispositivos estudados têm como características comuns óxido de porta (t_{oxf}) de 5 nm, espessura da camada de silício (t_{Si}) de 6nm, óxido enterrado (t_{oxb}) de 18 nm, largura do canal (W) de 1µm e material de porta TiN.

O valor de t_{oxf} é relativamente alto, pois os transistores estudados foram projetados para o estudo de memória, no qual a fuga de corrente pela porta é extremamente prejudicial.

Entre os dispositivos analisados, parte deles não possuem implantação no substrato (aproximadamente 1×10^{15} cm⁻³) e os outros que possuem implantação de plano de terra - GP (aproximadamente 1×10^{18} cm⁻³) logo abaixo do óxido enterrado.

Serão analisados transistores com comprimento de canal de 10 µm e 70 nm.

Assim, tem-se quatro tipos de dispositivos diferentes: L=70 nm com GP, L=10 μ m com GP, L = 70 nm sem GP e L = 10 μ m sem GP.

3.1.2 Simulações Numéricas

A utilização de simuladores no trabalho tem como principais funções ampliar o entendimento do dispositivo e facilitar a análise dos dados.

Para esse trabalho foi utilizada o simulador numérico ATLAS, desenvolvido pela Silvaco[®].[15]

O ATLAS permite simular a operação de dispositivos bidimensionais ou tridimensionais, visualizar estruturas geradas, curvas, parâmetros físicos e elétricos dos dispositivos e também calibrar os simuladores para melhor aproximação com a realidade.

Para esse trabalho, foram feitas simulações bidimensionais, utilizando os modelos: CVT, BGN e SRH.

CVT: Modelo de degradação da mobilidade nas interfaces proposto por Lombardi [19]

BGN: Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

SRH (Shockley–Read–Hall): Modelo de geração-recombinação de portadores, este processo envolve a troca de portadores entre a faixa de condução e de valência descrito pela equação 2.1 [18]

Um exemplo de arquivo de entrada com as linhas de comando para determinar curvas de corrente de dreno em função de tensão de substrato pode ser visto no ANEXO A

3.1.2.1 Ajuste de carga de interface em simulações

Nas simulações numéricas realizadas um parâmetro muito importante utilizado para fazer o ajuste com as medidas experimentais foi a densidade de armadilha de interface da primeira, Nit₁, e da segunda, Nit₂, interfaces.

A partir de curvas experimentais, pode-se calcular os valores de inclinação de sublimiar quando a segunda interface do dispositivo está em acumulação (SS_{B,acc}) e também em depleção (SS_{B,depl}).

As equações (3.1) e (3.2) foram utilizadas para se determinar os valores de Nit₁ e Nit₂ a partir dos valores de SS $_{B,acc}$ e SS $_{B,depl}$ extraídos experimentalmente [21][25].

SS_{B,acc} =
$$\frac{kT}{q} \ln(10) \left(1 + \frac{C_{Si} + Cit_2}{C_{ox2}} \right)$$
 (3.1)

SS _{B,depl} =
$$\frac{kT}{q} \ln(10) \left(1 + \frac{C_{it2}}{C_{ox2}} + \frac{\frac{(C_{Si} (C_{it1} + C_{ox1})}{(C_{Si} + C_{it1} + C_{ox1})}}{C_{ox2}} \right)$$
 (3.2)

$$C_{it} = q^2 N_{it} \tag{3.3}$$

Isolando-se C_{it2} da equação (3.1) obteve-se o valor de Nit₂ ($C_{it2} = q^2Nit_2$). Com o valor de Nit₂ e SS_{B,depl}, isolou-se o C_{it1} e consequentemente Nit₁, através da equação (3.2)

Depois de algumas simulações, um ajuste no valor de Nit₁ e Nit₂ foi feito e conclui-se que para efeito de simulação os valores Nit₁= Nit₂ = $2x10^{11}$ e.V⁻¹cm⁻² eram compatíveis aos resultados experimentais para os transistores de canal de 10 µm.

3.2 UTBB (Ultra thin Body and Buried Oxide)

O UTBB surgiu como uma alternativa promissora para manter o alto escalamento de dispositivos em um circuito integrado. Suas características físicas, as que dão o nome ao dispositivo, são as pequenas espessuras da camada de silício e do óxido enterrado.

A diminuição das camadas gera um forte acoplamento da porta com o substrato, assim a tensão de limiar pode ser controlada mais facilmente pela tensão aplicada no substrato (V_{GB}) do que em dispositivos com camadas mais espessas. Um melhor controle na indução do efeito de corpo flutuante, diminuição do efeito de canal curto (SCE – *Short Channel Effect*) e menor resistência térmica estão entre outras vantagens do UTBB SOI em relação ao SOI convencional. [3] [8] [9] [10] [14]

3.3 Implantação do Plano de Terra (Ground Plane, GP)

Em um transistor UTBB sem implantação adicional do substrato, a região de depleção formada abaixo do óxido enterrado pode ser grande o suficiente para que se aumente o valor equivalente do óxido enterrado.

A implantação do GP é uma alternativa para se reduzir/ eliminar esse efeito de depleção formado no substrato logo abaixo do óxido enterrado.

A Figura 3.2 mostra curvas simuladas de corrente de dreno em função da tensão no substrato na escala logarítmica com diferentes valores de concentração de substrato para representar o efeito da presença do GP nos transistores UTBB SOI. [13]. Nesse caso, as simulações foram feitas para transistores com óxido de porta de 5 nm, camada de silício de 50 nm e óxido enterrado de 10 nm.

Percebe-se na figura 3.2 que a medida que a concentração do substrato aumenta (de Na_{SUB} = 10^{15} cm⁻³ até Na_{SUB} = $5x10^{18}$ cm⁻³) uma anomalia (*kink*) percebida na curva vai diminuindo até desaparecer.

Figura 3.2 – Curva simulada da corrente de dreno (I_D) em função da tensão de substrato (V_{GB}), para diversos valores de concentração no substrato (Na_{SUB}).



A Figura 3.3 mostra curvas experimentais de corrente de dreno em função da tensão aplicada no substrato na escala logarítmica para dois dispositivos diferentes de canal longo de 10 µm. Um deles possui GP abaixo do óxido enterrado e o outro não possui nenhuma implantação. Esses dispositivos tem o óxido de porta de 5 nm, camada de silício de 6 nm e óxido enterrado de 18 nm.

Nessas curvas experimentais podemos perceber que nos dispositivos com a presença do GP essa anomalia (*kink*) desaparece assim como visto na figura 3.2.

Figura 3.3 – Curva experimental da corrente de dreno (I_D) em função da tensão de substrato (V_{GB}), para dispositivos com e sem GP.



A Figura 3.4 mostra curvas experimentais de corrente de dreno em função da tensão de substrato para uma grande faixa de variação de tensão aplicada na porta (V_{GF}) na escala linear para dispositivos com e sem GP.

Figura 3.4 – Corrente de dreno (I_D) em função da tensão de substrato (V_{GB}), para diversos valores de tensão de porta (V_{GF}), com e sem GP.



Pode-se observar na Figura 3.4 que para valores mais positivos de V_{GF} as curvas sem GP apresentam uma anomalia.

As anomalias vistas nas figuras 3.2, 3.3 e 3.4, são provenientes do mesmo efeito. Quando a terceira interface está em acumulação, ou seja, valores mais positivos de V_{GB}, o valor do potencial do substrato (ϕ_{SUB}) é constante e aproximadamente zero. À medida que a terceira interface passa da acumulação para depleção o potencial de substrato passa a variar, influenciando no nível de corrente e na tensão de limiar do dispositivo.

Essa variação de ϕ_{SUB} é a responsável pela anomalia apresentada nas curvas sem GP para V_{GF} positivos.

3.4 Análise da Tensão de Limiar e da Inclinação de Sublimiar

Para efeito de comparação, colocaram-se juntas as curvas experimentais e simuladas da tensão de limiar da primeira interface (V_{TF}) em função da tensão aplicada no substrato. Para dispositivos sem GP (figura 3.5) e com GP (figura 3.6)

Figura 3.5 - Curvas de tensão de limiar da primeira interface (V_{TF}) em função de VGB para valores simulados e experimentais, em dispositivos sem GP para L = 10 µm



Figura 3.6 - Curvas de tensão de limiar da primeira interface (V_{TF}) em função de V_{GB} para valores simulados e experimentais, em dispositivos com GP para L = 10 µm



A tensão de limiar (V_T) foi extraída pelo método da segunda derivada que se baseia na extração de V_T através do valor do ponto máximo do pico existente na segunda derivada da curva $I_D \times V_{G.}$ [22]

Através das figuras 3.5 e 3.6, pode-se perceber que o simulador utilizado representa bem o efeito de substrato nos dispositivos SOI UTBB.

A figura 3.7 mostra curvas simuladas fazendo a comparação da tensão de limiar da segunda interface (V_{TB}) em função da tensão de porta (V_{GF}) dos dispositivos com e sem GP.

Na Figura 3.7 percebe-se que a presença do GP aumenta a tensão de limiar da segunda interface, para valores positivos de V_{GF} a influência do GP é maior ainda, pois é a região que a ausência do GP gera variações no potencial interno do substrato (ϕ_{SUB}).

Figura 3.7 – Curvas simuladas de tensão de limiar da segunda interface (V_{TB}) em função da tensão de porta (V_{GF}), com e sem GP para L = 10 µm.



A figura 3.8 mostra curvas simuladas fazendo a comparação da tensão de limiar da primeira interface (V_{TF}) em função da tensão de substrato (V_{GB}) dos dispositivos com e sem GP.

Figura 3.8 – Curvas simuladas de tensão de limiar da primeira interface (V_{TF}) em função da tensão de substrato (V_{GB}), com e sem GP para L = 10 μ m.



Na Figura 3.8 o valor da tensão de limiar da primeira interface, V_{TF} , sofre um aumento com a presença do GP. Pode-se perceber que a presença do GP faz com que a inclinação da curva $V_{TF} \times V_{GB}$ se modifique. Um dos fatores que pode ocasionar essa mudança na curva é a condução pela segunda interface, uma vez que o V_{GB} está aumentando.

Outro parâmetro que foi analisado para verificar a influência do GP foi a inclinação de sublimiar da primeira interface (SS_F) e da segunda interface (SS_B) .

A figura 3.9 mostra curvas de inclinação de sublimiar da primeira interface (SS_F) em função da tensão aplicada no substrato (V_{GB}) , baseadas em dados simulados.

A figura 3.10 mostra curvas de inclinação de sublimiar da segunda interface (SS_B) em função da tensão aplicada na porta (V_{GF}) , baseadas em dados simulados.

Figura 3.9 – Curvas simuladas de inclinação de sublimiar da primeira interface (SS_F) em função da tensão de substrato (V_{GB}) com e sem GP para L = 10 μm.



Figura 3.10 – Curvas simuladas de inclinação de sublimiar da segunda interface (SS_B) em função da tensão de porta (V_{GF}) com e sem GP para L = 10 μ m.



Na inclinação de sublimiar da primeira interface (SS_F) em função da tensão aplicada no substrato (V_{GB}), visto na figura 3.9, percebe-se que a presença do GP diminui os valores de SS_F em até 10% aproximando cada vez mais do valor mínimo teórico de 60 mV/déc.

Quando analisado a inclinação de sublimiar da segunda interface (SS_B) variando a tensão na porta (V_{GF}) (figura 3.10) percebe-se que a presença do GP influência percentualmente em cerca de 3% nos valores de SS_B .

Os valores apresentados de SS_B estão acima de 200 mV/déc. Como visto nas equações (2.12) e (3.1), os valores de SS_F e SS_B dependem diretamente dos valores de C_{ox1} e C_{ox2}. Quando analisamos o valor de SS_F o valor de C_{ox1} é referente ao óxido de porta (t_{oxf}) e o de C_{ox2} referente ao óxido enterrado (t_{oxb}).Como o valor do óxido enterrado é maior que o valor do óxido de porta, consequentemente o valor de C_{ox2} será menor que C_{ox1} fazendo com que o valor de SS_B seja maior que SS_F.

4 EFEITO DO SUBSTRATO NO UTBB SOI

4.1 Análise no Modelo Analítico

Através do modelo analítico citado na seção 2.2 foram analisadas curvas para diferentes valores de camada de silício, óxido de porta, óxido enterrado, concentração de substrato e concentração no canal.

Variando a concentração no substrato obtiveram-se curvas levando-se em consideração o efeito do substrato ϕ_{SUB} e não levando em consideração esse efeito ($\phi_{SUB} = 0$), como mostram as figuras 4.1 e 4.2.

Figura 4.1 – Curva teórica de V_{TF} em função de V_{GB} para diferentes valores de concentração de substrato



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

Figura 4.2 - Região ampliada onde aparece o efeito do substrato da figura 4.1



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

Os valores de V_{GBmin} foram obtidos através da equação (4.5) e os valores de V_{GBmax} pela equação (4.4). Os dados obtidos estão na tabela 4.1.

Na _{SUB} (cm ⁻³)	V _{GBmáx} (V)	V _{GBmin} (V)	Δv_{GB}
10 ¹⁵	0,57	-0,08	0,65
10 ¹⁷	0,69	-1,07	1,76
10 ¹⁸	0,75	-3,39	4,14

Tabela 4-1 – Valores de V_{GBmax} e V_{GBmin} para diferentes valores de Na_{SUB}

Observando a equação (2.21) percebe-se que o aumento de Na_{SUB} faz com que o valor de V_{FB3} diminua. Na equação (2.19), quanto menor o valor de V_{FB3} , maior o valor de $V_{GBmáx}$. Na equação (2.22), o aumento de Na_{SUB} faz com que V_{TF3}

aumente e consequentemente, como visto na equação (2.20), V_{GBmin} diminui, como pode-se conferir na tabela 4.1.

Variaram-se também os valores dos óxidos de enterrado e porta para ver a influência desses parâmetros na tensão de limiar da primeira interface (V_{TF}), como mostram as figuras 4.3 e 4.4 respectivamente.

Figura 4.3 – Curva teórica de V_{TF} em função de V_{GB} para diferentes valores de t_{oxb}



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

Figura 4.4 - Curva teórica de V_{TF} em função de V_{GB} para diferentes valores de t_{oxf}



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

Percebeu-se que no modelo analítico a variação de t_{oxb} e t_{oxf} tem um comportamento contrário. Uma vez que ao aumentar o valor de t_{oxb} o comportamento da curva é muito similar ao se diminuir o valor de t_{oxf}.

Ao aumentar o valor de t_{oxf} a influência da tensão aplicada na porta diminui, uma vez que com o óxido de porta mais espesso a capacitância do óxido diminui. O mesmo efeito é observado caso o valor de t_{oxb} diminua. Com o óxido enterrado menos espesso, a influência da tensão aplicada no substrato é maior.

Como visto nas figuras 3.5 e 3.6, os dados simulados e experimentais coincidem em quase todos os pontos para L = 10 μ m. Para efeito de mais uma comparação, colocaram-se as curvas experimentais e teóricas (usando o modelo analítico) dos dispositivos estudados juntas.

O modelo analítico [12] tem boa concordância para valores de V_{GB} até cerca de 2V, até que a segunda interface entre em inversão (terceira interface acumula), como se pode observar nas figuras 4.5 e 4.6.

Figura 4.5 – Curvas de V_{TF} em função de V_{GB} para valores experimentais e modelo analítico, em dispositivos sem GP para L = 10 μ m



Figura 4.6 - Curvas de V_{TF} em função de V_{GB} para valores experimentais e modelo analítico, em dispositivos com GP para L = 10 μ m



Analisando os dados, quando a segunda interface entra em inversão, o modelo analítico perde a validade, pois os valores experimentais e simulados de V_{TF} são menores que os valores teóricos previsto no modelo.

Verificando a equação (4.9) e (4.15), o termo Q_{S2} foi desprezado. Como Q_{S2} representa as cargas de inversão da segunda interface, se o termo foi desprezado, então a partir do momento que a segunda interface inverte o modelo desenvolvido não é mais válido.

4.2 Análise da concentração de elétrons na segunda interface

Utilizando o simulador ATLAS [15] pode-se analisar o comportamento do potencial da primeira e segunda interface em relação à terceira a fim de avaliar a validade do modelo proposto por Martino et al [12] para os dispositivos UTBB.

As figuras 4.7, 4.8, 4.9 e 4.10 foram feitas a partir de uma análise da concentração de elétrons ao longo do dispositivo com e sem GP

A partir da análise de V_{TF}, adotou-se 3 valores de V_{GB}: 3V (terceira interface em acumulação), 0V (terceira interface em depleção) e -3V (terceira interface em acumulação) para a análise da concentração de elétrons.

Além disso, para esses valores de V_{GB} , foram adotados valores de V_{GF} próximos aos respectivos valores de V_{TF} .

Figura 4.7 – Concentração de elétrons no canal para V_{GB} = 3, 0 e -3V e V_{TF} próximo a tensão de limiar em dispositivo sem GP



Figura 4.8 – Região ampliada da figura 4.7 da concentração de elétrons no canal para V_{GB} = 3, 0 e - $3V e V_{TF}$ próximo a tensão de limiar em dispositivo sem GP



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.



Figura 4.9- Concentração de elétrons no canal para V_{GB} = 3, 0 e -3V e V_{TF} próximo a tensão de limiar em dispositivo com GP

Fonte: Autor

Figura 4.10 - Região ampliada da figura 4.9 da concentração de elétrons no canal para V_{GB} = 3, 0 e - $3V e V_{TF}$ próximo a tensão de limiar em dispositivo com GP



Fonte: ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

As figuras 4.7 e 4.9 mostram a concentração de elétrons ao longo da profundidade no meio do canal (até 1µm de profundidade). Já as figuras 4.9 e 4.11 mostram apenas a concentração e elétrons nos primeiros 80 nm do transistor (região do óxido de porta, camada de silício e óxido enterrado).

As figuras 4.8 e 4.10 mostram que para $V_{GB} = 3$ V a terceira interface está em acumulação, uma vez que há pouca concentração de elétrons livres; no caso de V_{GB} = -3 V a concentração de elétrons na terceira interface é alta, portanto a terceira interface está em inversão; para $V_{GB} = 0$ V a terceira interface encontra-se em um estado intermediário, caracterizando o estado de depleção.

Nota-se que quando a terceira interface encontra-se em acumulação (V_{GB} =3V), a segunda interface inverte antes que a primeira nas figuras 4.8 e 4.10. Esse efeito ocorre por causa do grande e forte acoplamento entre as três interfaces, uma vez que a tensão aplicada no substrato influência diretamente no comportamento de condução do canal.

Nas figuras 4.7 e 4.9 pode-se perceber que a partir de 800 nm de profundidade a concentração de elétrons é constante $(2x10^5 \text{ cm}^{-3} \text{ e } 10^3 \text{ cm}^{-3}, \text{ respectivamente})$ pois ambos encontram-se na região neutra, onde $p * n = ni^2$, (p é a concentração de lacunas livres e n é a concentração de elétrons livres).

Para dispositivos sem GP (figura 4.7) pode-se ver a variação de n da terceira interface até a profundidade de 800 nm, que ocorre na região de depleção. Para dispositivos com GP (figura 4.10), a região de depleção é aproximadamente 30 nm, uma vez que Na_{SUB} = 10^{18} cm⁻³.

4.3 Análise do efeito da implantação de plano de terra (GP) em transistores de 70 nm

Medidas elétricas foram feitas em transistores de canal de 70 nm com e sem GP para observar o comportamento da corrente nesses transistores.

Uma primeira análise foi feita observando o comportamento das curvas de corrente de dreno (I_{DS}) em função da tensão aplicada no substrato (V_{GB}).

Nesse caso, o comportamento dos transistores com comprimento de canal de 70 nm é semelhante ao comportamento das curvas para transistores com comprimento de canal de 10 µm.

Figura 4.11 - Curva experimental da corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para dispositivos com e sem GP para L = 70 nm



Na figura 4.11 pode-se observar o comportamento das curvas de corrente de dreno em função da tensão aplicada no substrato para transistores com comprimento de canal de 70 nm. O comportamento das curvas é simular ao da figura 3.3, para transistores de comprimento de canal de 10 µm.

A partir das figuras 3.3 e 4.11 podemos ver a influência do comprimento de canal no nível de corrente, como podemos ver na equação (4.9) [23] a corrente de dreno é inversamente dependente do comprimento de canal (L) [22].

$$I_{DS} = \mu . C_{OX} . \frac{W}{L} . \left[(V_G - V_T) V_{DS} - n \frac{V^2_{DS}}{2} \right]$$
(4.9)

Outra análise que podemos fazer é da tensão de limiar da primeira interface (V_{TF}) , extraída a partir das curvas de corrente de dreno (I_{DS}) em função da tensão aplicada na porta (V_{GF}) . O método de extração da tensão de limiar utilizado foi, novamente, o da segunda derivada [22].

Os valores de V_{TF} para transistores de canal curto de 70 nm e de canal longo de 10 μ m [24], podem ser visto nas figuras 4.12 (com GP) e 4.13 (sem GP).

Figura 4.12 – Curvas experimentais de V_{TF} em função de V_{GB} para transistores sem GP com diferentes comprimentos de canais, 10 μ m e 70 nm



Fonte: Autor

Figura 4.13 - Curvas experimentais de V_{TF} em função de V_{GB} para transistores com GP com diferentes comprimentos de canais, 10 μm e 70 nm



Nas figuras 4.12 e 4.13 podemos observar que as duas curvas tem certo paralelismo até cerca de V_{GB} = 2V, depois disso os valores de V_{TF} para transistores de canal longo diminuem significativamente.

Para efeito de comparação e análise, acrescentou-se às curvas das figuras 4.12 e 4.13 o modelo proposto por Martino apresentado na seção 4.1.3 e definido pelas equações (4.8), (4.15) e (4.10), gerando assim as curvas das figuras 4.14 e 4.15.

Outra análise feita também nas figuras 4.15 e 4.16 é uma análise de erro normalizada que é apresentada nos eixos da direita de ambas as figuras. O erro foi calculado baseado na equação (4.17).

$$E\% = \left(\frac{V_{\text{TFexp},(V_{\text{GB}})} - V_{\text{TFmod},(V_{\text{GB}})}}{V_{\text{TFmod},(V_{\text{GB}} = -5V)}}\right) \times 100$$
(4.17)

onde $V_{TFexp,(VGB)}$ é o valor de V_{TF} experimental para uma certa tensão de substrato, $V_{TFmod,(VGB)}$ é o valor de V_{TF} teórico para uma certa tensão de substrato e $V_{TFmod,(VGB = -5 \text{ V})}$ é o valor de V_{TF} teórico para tensão de substrato de -5 V.

Figura 4.14 – Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos sem GP para L = 70 nm, L = 10 µm e modelo analítico e erro normalizado entre resultados experimentais e modelo analítico



Figura 4.15 - Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos com GP para L = 70 nm, L = 10 μm e modelo analítico e erro normalizado entre resultados experimentais e modelo analítico



Nas figuras 4.14 e 4.15 pode-se perceber que o modelo tem concordância tanto nos transistores de canal longo quanto nos de canal curto até cerca de V_{GB} = 3V com erro menor que 10%. A partir desse ponto nota-se que os valores de V_{TF} para os transistores de canal curto são mais coincidentes com o modelo do que os valores dos transistores de canal longo.

Como visto nos valores de erro, para transistores longos o erro pode chegar até 30%, enquanto para transistores de canal curto o erro permanece abaixo dos 10% em toda faixa de V_{GB} estudada.

De acordo com os resultados obtidos, tudo indica que os transistores de canal curto de 70 nm são mais alinhados com o modelo analítico devido ao forte acoplamento entre dreno/fonte e canal, que posterga a formação do canal de inversão na segunda interface, mantendo assim o modelo analítico válido para uma faixa maior de V_{GB}.

4.4 Análise na Extração de Tensão de Limiar

Análises mais detalhadas foram feitas na extração de tensão de limiar para valores de tensão de substrato maior que 3V (região que o os dados experimentais divergem com o modelo).

A figura 4.16 mostra uma sequencia de análise na extração de tensão de limiar. A figura 4.16 A mostra a curva em escala linear de corrente de dreno em função da tensão de porta. A Figura 4.16 B mostra a primeira derivada da corrente em função da tensão de porta. A Figura 4.16 C representa a segunda derivada da corrente de dreno em função da tensão de porta. O ponto máximo da curva C é o valor extraído da tensão de limiar.



Figura 4.16 – Passo a passo na extração da tensão de limiar.

Fonte: Autor

Pode-se perceber que na figura 4.16 C há dois picos. O pico da esquerda (menor valor de V_{GF}) representa a inversão da segunda interface e o pico da direita (maior valor de V_{GF}) a inversão da primeira interface.

Os valores extraídos inicialmente para as análises foram do pico que representa a inversão da segunda interface.

Extraindo os valores de tensão de limiar do pico da primeira interface, podese refazer as curvas 4.14 e 4.15 com os novos valores, representados na figura 4.17.

Na figura 4.17 percebe-se que o erro para os valores de tensão de limiar da primeira interface para os transistores de L = $10\mu m$ diminuiu consideravelmente, de até 30% para menos de 10%

Figura 4.17 – Curvas experimentais de V_{TF} em função de V_{GB} em dispositivos sem GP para L = 70 nm, L = 10 μ m e modelo analítico e erro normalizado entre resultados experimentais e modelo analítico corrigidas.



4.5 Variação da Tensão de Limiar em Dispositivos com e sem Plano de Terra

Tendo em vista analisar o efeito do substrato em dispositivos UTBB SOI, a figura 4.18 mostra uma análise feita em dispositivos com e sem GP. A figura 4.18 mostra valores experimentais de V_{TF} e a diferença [$\Delta V_{TF} = V_{TF}$ (com GP) – V_{TF} (sem GP)] entre esses valores, em função da tensão aplicada no substrato.

Figura 4.18 – Curvas experimentais de VTF em função de VGB para L = 70nm com e sem GP e a diferença entre esses valores Δ VTF



Fonte: Autor

A figura 4.19 mostra o ΔV_{TF} para três condições diferentes: dispositivos com canal longo de 10 µm, canal curto de 70 nm e para o modelo analítico.

Uma boa concordância entre as curvas é observada na figura 4.19, o que confirma que o modelo analítico utilizado pode também ser utilizado para dispositivos UTBB SOI enquanto a segunda interface estiver em depleção (não invertida).

Figura 4.19 – Diferença entre os valores de V_{TF} entre dispositivos com e sem GP para modelo analítico, resultados experimentais de L = 70 nm e L = 10 μ m



Pode-se observar que os valores máximos, em módulo, de ΔV_{TF} ocorrem quando a terceira interface atinge a inversão ($V_{GBmin} \cong -0,08V$, como vê-se na tabela 4.1), sendo $|\Delta V_{TFmax}| \cong 200 \text{ mV}$ para L=10 µm e diminuindo $|\Delta V_{TFmax}| \cong 100 \text{ mV}$ para L = 70 nm devido ao forte acoplamento eletrostático entre fonte/dreno e canal.

Em regiões onde V_{GB} > V_{GBmax} e V_{GB} < V_{GBmin}, o valor de Δ V_{TF} tende a ser constante, devido ao potencial no substrato também ser constante nesses dois casos. Para V_{GB} > V_{GBmax}, a terceira interface está em acumulação, portanto temos $\phi_{SUB} = 0$, e quando V_{GB} < V_{GBmin} a terceira interface está em inversão, portanto $\phi_{SUB} = 2\phi_F$. Na prática, quando a terceira interface está em acumulação ou inversão, os valores de ϕ_{SUB} são ligeiramente diferentes dos valores adotados (0 e $2\phi_F$). Assim os valores de Δ V_{TF} teórico, são ligeiramente diferentes dos experimentais.

4.6 Análise da influência da temperatura

Medidas experimentais e simulações foram feitas a 25°C e a 200°C, com e sem GP para dispositivos de canal longo de 10 μ m, como pode ser visto nas figuras 4.20 e 4.21 [20].

Figura 4.20 - Corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para diversos valores de tensão de porta (V_{GF}), com (a) e sem (b) GP à 25°C para L = 10 µm



- Fonte: SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.
- Figura 4.21 Corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para diversos valores de tensão de porta (V_{GF}), com (a) e sem (b) GP à 200°C para L = 10 µm



Fonte: SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.

Novamente, nota-se que o simulador tem boa concordância com os dados experimentais mesmo para altas temperaturas.

As figuras 22 e 23 mostram as curvas experimentais para dispositivos com canal curto de 70 nm, com e sem GP, para temperatura ambiente (25°C) e alta temperatura (200°C).









Fonte: Autor

Pode-se observar que o comportamento das curvas para dispositivos de canal curto de 70 nm é muito semelhante ao comportamento dos dispositivos de canal longo de 10 µm.

A figura 4.24 mostra uma comparação das curvas com e sem GP, para V_{GF} = 0V e diferentes temperaturas (25°C, 100°C e 200°C).

Figura 4.24 – Corrente de dreno (IDS) em função da tensão de substrato (VGB), para diversos valores de temperatura, com e sem GP para L = 10 μm. Dados Experimentais (a) e Simulados (b)



Fonte: SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.

O nível de Fermi está diretamente relacionado à temperatura como pode-se ver na equação 2.2. Uma vez que a temperatura aumenta, o valor de ni aumenta, fazendo com que o valor do potencial de Fermi diminua.

Assim, é possível observar que a variação máxima de V_{GB} (ΔV_{GBmax}) diminui com o aumento da temperatura por causa da diminuição do nível de Fermi.

O mesmo comportamento é observado experimentalmente para os transistores de canal curto de 70 nm como pode-se observar na figura 4.25.

Figura 4.25 – Curvas experimentais de corrente de dreno (I_{DS}) em função da tensão de substrato (V_{GB}), para diversos valores de temperatura, com e sem GP.e para L = 10 μ m



Fonte: Autor

Na figura 4.26 pode-se observar que os valores de ΔV_{GBmax} para transistores de canal curto de 70 nm diminuem em relação aos transistores de canal longo de 10µm, devido ao maior acoplamento eletrostático entre fonte/dreno e canal.

Figura 4.26 – Diferença máxima entre os valores de tensão de substrato (V_{GB}) em dispositivos com e sem GP para transistores de canal longo de 10µm e canal curto de 70 nm em função da temperatura



Fonte: Autor

4.6.1 Análise do potencial interno do substrato variando-se a temperatura

Simulações numéricas foram implementadas a fim de analisar o potencial interno ao longo da estrutura SOI, com $V_{GF}=0$ e $V_{GB}=-0,2V$ e 1V à T=25°C e 200°C, como mostrado nas figuras 4.27 e 4.28.

Para V_{GB}= -0,2V, quando a terceira interface está próxima da inversão, nos dispositivos com GP, o potencial do substrato $Ø_{sub1}$ é praticamente zero, enquanto para dispositivos sem GP o $Ø_{sub2}$ é cerca de 0,6V à T=25°C, como visto na figura 4.27.

Para altas temperaturas, o nível de Fermi diminui, e consequentemente ϕ_{sub4} diminui para 0,2V em dispositivos sem GP, enquanto para dispositivos com GP $\phi_{sub3} \approx 0$, também visto na figura 4.275.

Figura 4.27 – Simulação do potencial interno ao longo do potencial do substrato para $V_{GF} = 0V e V_{GB}$ = -0,2 e 1 V. Comparando dispositivos UTBB com e sem GP



Fonte: SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.

Figura 4.28 - Simulação do potencial interno da porta até os primeiros 50nm de profundidade para $V_{GF} = 0V e V_{GB} = -0,2 e 1 V.$ Comparando dispositivos UTBB com e sem GP



Fonte: SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.

Na figura 4.28 pode-se perceber que para $V_{GB} = 0,2$ V nos dispositivos com GP a queda de potencial dentro dos óxidos (porta e enterrado) é maior que nos dispositivos sem GP. Isso ocorre, pois nos dispositivos com GP a queda de potencial no substrato é praticamente zero, podendo causar problemas de confiabilidade. Para altas temperaturas 200°C, o potencial dentro dos óxidos diminui.
5 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

Neste trabalho foram estudados dispositivos SOI com camada de silício e de óxido enterrado ultrafinos (UTBB SOI).

A implantação do plano de terra (GP) nesse tipo de dispositivos é essencial para seu melhor funcionamento, uma vez que a implantação elimina ou reduz os efeitos do substrato.

A partir de cálculos e simulações foi possível estimar o valor de densidade de armadilhas de interface para a primeira e segunda interface utilizado nas simulações. O valor obtido foi 2x10¹¹ eV⁻¹ cm⁻².

A simulação numérica bidimensional dos dispositivos UTBB SOI com e sem GP apresentaram boa concordância com as curvas experimentais na faixa de tensão estudada para dispositivos de canal longo de 10 µm.

Nos dispositivos com canal curto de 70 nm o modelo analítico apresentou maior concordância em todas as regiões estudadas, comparando com transistores de canal longo de 10 µm, devido ao forte acoplamento eletrostático entre fonte/dreno e canal, postergando a formação da região de inversão na segunda interface existente nos transistores de canal curto.

A partir do modelo analítico foi possível determinar os valores de V_{GBmax} e V_{GBmin}, que determinam a tensão que aplicada no substrato altera o estado da terceira interface de inversão para depleção (V_{GBmin}) e de depleção para acumulação (V_{GBmax}). Percebeu-se que à medida que a concentração no substrato aumentava os valores de V_{GBmax} e V_{GBmin} mudavam. Os valores de V_{GBmax} variaram de 0,57 V à 0,75 V e os de V_{GBmin} de -0,08 V à -3,39 V, ambos considerando a concentração de substrato variando de 10^{15} cm⁻³ à 10^{18} cm⁻³.

As análises a partir de simulação numérica de concentração de elétrons permitiu observar que quando a terceira interface entra em acumulação a segunda interface começa a conduzir mais corrente que a primeira. Essa interferência da segunda interface na primeira é gerada pelo forte acoplamento entre as três interfaces, uma vez que a tensão aplicada no substrato influência diretamente no comportamento de condução do canal.

A partir dessas simulações também observou-se a concentração de elétrons ao longo do transistor inteiro. Próximo ao contato de substrato observou-se que a concentração de elétrons ficou constante obedecendo à relação $p * n = ni^2$.

O potencial interno nos dispositivos com GP dentro do óxido enterrado para tensão de substrato = -0,2V é muito menor do que em dispositivos sem GP. Por sua vez os valores de queda de potencial no substrato nos dispositivos com GP são praticamente nulo.

Para trabalhos futuros, a realização de simulações para transistores de canal curto é muito importante para entender o acoplamento eletrostático de dreno/fonte com o canal gerado. Assim podemos analisar com mais detalhes a concordância do modelo analítico com esses transistores e também realizar medidas experimentais em transistores de comprimento do canal diferentes (intermediários) para analisar o comportamento da tensão de limiar em função do comprimento de canal.

Implementar a variação da queda do potencial no substrato para outros modelos analíticos existentes e verificar o comportamento das curvas e comparar com os dados experimentais.

PUBLICAÇÕES GERADAS

ITOCAZU, V.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C; MARTINO, J. A.; Analysis of the Silicon Film Thickness and the Ground Plane Influence on Ultra Thin Buried Oxide SOI nMOSFETs em: 27th Symposium on Integrated Circuits and Systems Design, 2012, - SBMicro2012, Brasilia, Brasil, 2012.

SONNENBERG, V.; ITOCAZU, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C; Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane em 223rd Electrochemical Society Meeting – ECS 2013, Toronto, Canada, 2013.

ITOCAZU, V.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C; MARTINO, J. A.; Analysis of the Interface Trap Densities and the Ground Plane on Ultra Thin Buried Oxide SOI Transistor em eighty Workshop on semiconductors and micro & nano technology – VIII SEMINATEC, Campinas, Brasil, 2013.

ITOCAZU, V.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C; MARTINO, J. A.; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

MARTINO, J. A; SONNENBERG, V.; ITOCAZU, V.; SIMOEN, E.; CLAEYS, C; Substrate Effect on Threshold Voltage of long and short channel UTBB SOI nMOSFET aceito em: EUROSOI 2014 X Workshop of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits, Tarragona, Espanha, 2014.

REFERÊNCIAS

- [1] MOORE, G. E. Cramming more components onto integrated circuits, Electronics Magazine, 1965, num. 4.
- [2] MOORE, G. E. Progress in Digital Integrated Electronics. Intel, 1975.
 Disponível em: < http://download.intel.com/museum/Moores_Law/Articles-Press_Releases/Gordon_Moore_1975_Speech.pdf>. Acesso em: 10 Abril 2013.
- [3] COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [4] COLINGE, J. P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.
- [5] COLINGE, J.P.; Thin-Film SOI Technology: the solution to many submicron CMOS problems, Technical Digest of EDM, 1898, p. 817-820.
- [6] COLINGE, J.P.; Thin-film SOI devices: A perspective, Microelectronic Engineering, 1988, vol. 8, num.3-4, p. 127-147.
- [7] CHANG, L. et al. Moore's law lives on CMOS Transistor. IEEE Circuits & Devices Magazine, 2003, p. 35-42.
- [8] FENOUILLET-BERANGER, C. et al. "Impact of a 10 nm ultra BOX (UTBOX) and ground plane on FDSOI devices for 32 nm node and below". Solid State Electronics, 2010, vol. 54. p.849.
- [9] ALMEIDA, L. M. et al. One Transistor Floating Body RAM Performances on UTBOX Devices Using the BJT Effect. Journal of Integrated Circuits and Systems, São Paulo, 2012. 113-119.
- [10] FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below. Soilid State Electronics, 2009, vol. 53, p. 730-734.

- [11] LIM, H.-K.; FOSSUM, J. G. Threshold Voltage of Thin Film Silicon on Insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, 1983, vol. 30, num. 10, p. 1244-1251.
- [12] MARTINO, J.A. et al. "Model for the potential drop in the silicon substrate for thin-film SOI MOSFETs", Electronics Lett, 1990, vol. 26, 1462.
- [13] ITOCAZU, V. et al. Analysis of the Silicon Film Thickness and the Ground Plane Influence on Ultra Thin Buried Oxide SOI nMOSFET, ECS Trans., 2012, 49, p. 511.
- [14] FUJIWARA, M. et al. Impact of BOX Scaling on 30 nm Gate Length FD SOI MOSFETs. Proceedings of 2005 IEEE International SOI Conference. Honolulu, Hawaii: [s.n.]. 2005.
- [15] ATLAS 3D numerical simulator, Silvaco Datasystems Inc, 2006
- [16] KILCHYTSKA, V. et al Ultra-thin body and thin-BOX SOI CMOS technology analog figures of merit Solid-Estate Electronics, 2011, vol. 70, p.50-58.
- [17] OHTOU, T., SARAYA, T. and HIRAMOTO, T. Variable-Body-Factor SOI MOSFET With Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control, IEEE Transactions on electron Devices, 2008, vol. 55, num. 1.
- [18] HALL, R.N.; Electron-hole recombination in Germanium, Physical Review, 1952, vol. 87, p. 387.
- [19] LOMBARDI, C. et al.; A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, IEEE Transactions on Computer-Aided Design, 1988, vol. 7, num. 11, p. 1164–1171.
- [20] SONNENBERG, V. et al., Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane, ECS Trans, 2013, vol. 53, p. 85.
- [21] MARTINO, J. A. et al., Transistor-Based Extraction of Carrier Lifetime and Interface Traps Densities in Silicon-on-Insulator Materials, ECS Trans., 2013, vol. 50, p. 225.

- [22] TERAO, A.; FLANDRE, D.; TAMAYO, E. L.; WIELE, F. V.; IEEE Electron Devide Letters, 1991, p. 682.
- [23] MARTINO, J.A.; PAVANELLO, M. A.; VERDONCK, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS, editora Thomson, São Paulo, Brasil, 2004
- [24] MARTINO, J. A; et al; Substrate Effect on Threshold Voltage of long and short channel UTBB SOI nMOSFET submetido à: EUROSOI 2014 X Workshop of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits.
- [25] ITOCAZU, V.; et al; Substrate Effect on UTBB em: 28th Symposium on Integrated Circuits and Systems Design, 2013, - SBMicro2013, Curitiba, Brasil, 2013.

ANEXO A - EXEMPLO DE LINHAS DE COMANDO DE SIMULAÇÃO

go atlas

mesh infile=utbox16L10a.str

- doping uniform n.type conc=1e20 reg=fonte
- doping uniform p.type conc=1e15 reg=canal
- doping uniform n.type conc=1e20 reg=dreno
- doping uniform p.type conc=1e18 reg=substrato
- contact name=gate workfunc=4.53
- #contact name=substrate workfunc=4.95

Carga na primeira interface

#interface xmin=0.02 xmax=0.145 ymax=-0.025 ymin=-0.032 QF=1E11

Nitf=2e11 efetivo

set Nitf=0.38e10

inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.0 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.02 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.04 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.06 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.08 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.18 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.16 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.2 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.22 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.24 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.26 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.28 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.3 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.32 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.34 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.36 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.38 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.4 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.42 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.44 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.46 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.48 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.5 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.52 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.54 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.56 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.022 ymin=-0.026 acceptor density=\$"Nitf" e.level=0.58 degen=12 sign=3e-15 sigp=3e-14

Carga na segunda interface

#interface ymax=-0.005 ymin=-0.015 QF=1E11

Nitb=2e11 efetivo

set Nitb=0.38e10

inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.0 degen=12 sign=3e-15 sigp=3e-14

inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.02 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.04 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.06 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.08 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.1 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.12 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.14 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.16 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.18 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.2 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.22 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.24 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.26 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.28 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.3 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.32 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.34 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.36 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.38 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.4 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.42 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.44 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.46 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.48 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.5 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.52 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.54 degen=12 sign=3e-15 sigp=3e-14 inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.56 degen=12 sign=3e-15 sigp=3e-14

inttrap ymax=-0.010 ymin=-0.020 acceptor density=\$"Nitb" e.level=0.58 degen=12 sign=3e-15 sigp=3e-14

#modelos utilizados

models bgn consrh cvt print

method gummel newton autonr bicgst trap maxtrap=20 carriers=2

solve init

solve prev

Vgb= 0V

solve vdrain=0.0

solve vdrain=0.001

solve vdrain=0.005

solve vdrain=0.01

solve vdrain=0.025

solve vdrain=0.05

solve vsubstrate=0.5

log outf=utbox16L10a_F_nitf2e11_nitb2e11_pos.log

solve vgate=1.0 vfinal=-0.3 vstep=-0.01 name=gate

solve vsubstrate=1.0

solve vgate=1.0 vfinal=-0.5 vstep=-0.01 name=gate

```
solve vsubstrate=1.5
```

solve vgate=1.0 vfinal=-0.5 vstep=-0.01 name=gate

solve vsubstrate=2.0

solve vgate=1.0 vfinal=-1.0 vstep=-0.01 name=gate

solve vsubstrate=2.5

solve vgate=1.0 vfinal=-1.0 vstep=-0.01 name=gate

solve vsubstrate=3.0

solve vgate=1.0 vfinal=-1.5 vstep=-0.01 name=gate

solve vsubstrate=3.5

solve vgate=1.0 vfinal=-1.5 vstep=-0.01 name=gate

solve vsubstrate=4.0

solve vgate=1.0 vfinal=-2.0 vstep=-0.01 name=gate

solve vsubstrate=4.5

solve vgate=1.0 vfinal=-2.5 vstep=-0.01 name=gate

solve vsubstrate=5

solve vgate=1.0 vfinal=-3.0 vstep=-0.01 name=gate

quit

ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

VITOR TATSUO ITOCAZU

EFEITO DO SUBSTRATO EM TRANSISTORES SOI DE CAMADA DE SILÍCIO E ÓXIDO ENTERRADO ULTRAFINOS

São Paulo 2014