

Escola Politécnica da Universidade de São Paulo (EPUSP)
Departamento de Engenharia de Sistemas Eletrônicos (PSI)

Sara Dereste dos Santos

Caracterização elétrica de transistores SOI sem extensão de fonte e dreno com estrutura planar e vertical (3D)

São Paulo

2014

Sara Dereste dos Santos

Caracterização elétrica de transistores SOI sem extensão de fonte e dreno com estrutura planar e vertical (3D)

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Ciências.

São Paulo

2014

Sara Dereste dos Santos

Caracterização elétrica de transistores SOI sem extensão de fonte e dreno com estrutura planar e vertical (3D)

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Ciências.

Área de concentração:
Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

São Paulo

2014

Dedico este trabalho à minha querida família,

com muito amor.

AGRADECIMENTOS

Agradeço primeiramente a Deus que é a base e razão da minha vida.

Ao meu professor e orientador, João Antonio Martino, pela dedicação ao longo desses anos. Pela paciência e amizade e por acreditar no meu trabalho.

Ao CNPq e Capes pelo auxílio financeiro.

Aos meus amigos do grupo SOI que foram, sem dúvida, fundamentais ao longo desses anos. Obrigada por toda a ajuda, pelas discussões e pelas críticas, sempre muito construtivas e, acima de tudo, pelo trabalho em equipe.

Agradeço em especial a Talitha Nicoletti que foi minha parceira no desenvolvimento dos trabalhos e se tornou minha grande amiga, sem dúvida, para toda a vida.

Ao professor Nishida e sua equipe, em especial ao Tony, Sri e Andy por me receberem na Universidade da Flórida e me ajudarem a realizar este trabalho.

Aos pesquisadores Eddy Simoen, Cor Claeys e Marc Aoulaiche por me receberem no centro de pesquisa Imec e colaborarem para o enriquecimento desta tese.

Aos professores e técnicos do LSI que, de alguma forma, colaboraram no decorrer do trabalho.

Aos meus pais e meu irmão por me apoiarem e incentivarem em todos os momentos, sendo meus principais exemplos de vida.

Ao meu companheiro Rafael pela enorme paciência e por me apoiar em todo este trajeto.

Aos meus amigos da Fatec, do Liceu de Artes e Ofícios e da escola Santos Amaro da Cruz por me fazerem crescer e acreditar que este sonho era possível. Agradeço em especial aos meus professores que me mostraram o grande valor desta profissão.

A todos os meus queridos amigos, omitidos de forma involuntária, meus sinceros agradecimentos, pois sem vocês nada disso teria sentido.

Não abandone a sabedoria, e ela o protegerá;

ame-a, e ela cuidará de você.

Provérbios 4:6

RESUMO

Este trabalho tem como objetivo estudar transistores estado da arte desenvolvidos no imec, Bélgica, e dessa forma, contribuir para a evolução tecnológica do Brasil. Tratam-se de transistores sem extensão de fonte e dreno (SemExt), analisados sob diferentes aspectos. São estudados transistores SOI (*Silicon-On-Insulator*) de múltiplas portas (MuGFETs) e SOI planares de camada de silício e óxido enterrado ultrafinos (UTBB). Diversos comprimentos de óxido espaçador são comparados a fim de se determinar o melhor comportamento elétrico, baseado nas características digital e analógica desses transistores. A caracterização elétrica dos transistores é realizada com base em medidas experimentais estáticas e dinâmicas e o uso de simulações numéricas complementa a análise dos resultados.

Os MuGFETs de porta tripla são caracterizados em função dos principais parâmetros digitais e analógicos, onde os transistores sem extensão de fonte e dreno (F/D) apresentam desempenho elétrico superior aos com extensão na maior parte das análises. Como exemplo, obteve-se experimentalmente que a inclinação de sublimiar do dispositivo sem extensão reduziu até 75 mV/dec, quando comparado com o valor do transistor de referência de 545 mV/dec para o comprimento efetivo de canal, $L_{\text{eff}}=50$ nm. Apesar do transistor sem extensão apresentar menor transcondutância (g_m), a razão das correntes no estado ligado (I_{on}) e desligado (I_{off}) é até 3 vezes maior que nos dispositivos de referência. O ganho intrínseco de tensão (A_V), por sua vez, é capaz de aumentar até 9 dB em relação ao dispositivo com sobreposição de porta, graças ao melhor desempenho da eficiência do transistor (g_m/I_{DS}) assim como da tensão *Early* (V_{EA}).

Da mesma forma, os SOI UTBB apresentam melhores resultados quando as regiões de extensão de fonte e dreno são suprimidas da estrutura. Neste caso, o comprimento efetivo de canal torna-se modulável com a tensão de porta, ou seja, para cada valor de tensão na porta, haverá um valor diferente de L_{eff} , e esta é a principal razão para a melhoria do transistor. Além disso, os dispositivos sem extensão são mais imunes ao campo elétrico horizontal do dreno, o que diminui a influência deste campo sobre as cargas do canal. Como resultado, transistores com maiores comprimentos de regiões sem extensões de F/D apresentam melhores resultados como, por exemplo, a razão $I_{\text{on}}/I_{\text{off}}$ é três vezes maior que aqueles observados nos transistores de referência e o ganho intrínseco de tensão é 60% maior.

Os SOI UTBB são submetidos a duas outras análises. A primeira focada no estudo de ruído de baixa frequência. Neste estudo, duas espessuras de camada de silício (t_{Si}) do SOI UTBB são comparadas. Nota-se que quanto mais fina a espessura t_{Si} , maior é a influência de uma interface sobre a outra. Logo, o ruído presente em uma interface afeta a outra e vice-versa. Devido ao elevado acoplamento entre a 1ª e 2ª interfaces, cargas alocadas em diferentes posições nos filmes de óxido e silício podem contribuir para o ruído gerado em ambas as interfaces. Os transistores sem extensão também são analisados em função do dielétrico de porta, onde dispositivos com dióxido de silício são comparados aos transistores com dielétrico de alto valor (alto K), que fornecem, como esperado, maior nível de ruído devido a maior densidade de armadilhas na interface desses óxidos (cerca de duas ordens de grandeza maior que a do SiO_2).

O segundo estudo refere-se a análise do distúrbio em células de memória de corpo flutuante (FBRAM). Os transistores SOI UTBB são aplicados como memória e através da mudança nas polarizações de repouso foi possível induzir o efeito de distúrbio nos dados armazenados. Dessa forma, uma janela de operação onde a perturbação no dado é parcial foi estimada. Com isso, a condição de escrita do bit "0" pôde ser otimizada fora da região de distúrbio total, sem prejudicar o tempo de retenção e a janela de leitura da memória.

Com base nas análises realizadas, foi constatado que os transistores sem extensão respondem melhor à questão do escalamento, sendo menos susceptíveis aos efeitos de canal curto. São indicados para operarem em circuitos de baixa tensão e baixa potência, onde não haja necessidade de alta velocidade de chaveamento. Além do mais, eles são mais indicados para operarem como memória FBRAM por serem menos dependentes dos efeitos da corrente de GIDL (*Gate Induced Drain Leakage*). E, uma vez que foram otimizados para aplicações de memória, a possibilidade de usar dielétricos de porta formados por óxido de silício, resulta em um melhor desempenho em termos de ruído de baixa frequência.

Palavras-chave: Transistores, Parâmetros analógicos, Caracterização elétrica, Microeletrônica

ABSTRACT

This work aims to study the state-of-the-art transistors, developed at imec, Belgium, in order to contribute to the Brazilian technological evolution. These are the source/drain extensionless transistors (SemExt), which are analyzed under different aspects. Multiple gate (MuGFETs) SOI (Silicon-On-Insulator) transistors are studied as well as the planar SOI ones with ultrathin body and BOX thicknesses (UTBB). Several spacer lengths are analyzed in order to determine the better electrical behavior, based on the transistor digital and analog features. The transistor electrical characterization is based on experimental static and dynamic measurements and the use of numerical simulations complements the analysis of the results.

The triple gate MuGFET are characterized as a function of the main digital and analog parameters, where the source/drain (S/D) extensionless devices show superior electrical behavior compared to the conventional devices with S/D extensions in the most part of the analysis. As an example, the subthreshold slope of the extensionless transistors reduced, experimentally, up to 75 mV/dec, compared to the reference ones for the effective channel length of $L_{\text{eff}}=50$ nm. Despite the extensionless transistors present the smaller transconductance (g_m), the ratio between the on-current (I_{on}) and the off-current (I_{off}) is three times higher than in the reference devices. On the other side, the intrinsic voltage gain (A_V) increases up to 9 dB compared to the overlapped devices thanks to the better performance of the transistor efficiency (g_m/I_{DS}) as well as the *Early* voltage (V_{EA}).

Similarly, SOI UTBB presents better results when the source/drain extensions are eliminated from the structure. In this case, the effective channel length is modulated by the gate bias, which means that for each gate voltage drop there will be a different L_{eff} , that is the main reason to improve the transistor characteristics. Moreover, the extensionless devices are more immune to the drain horizontal electric field, what decreases its influence on the channel charges. As a result, transistors with longer source/drain extensionless regions present better results, such as the $I_{\text{on}}/I_{\text{off}}$ ratio three times higher than the reference devices and about 60% of improvement in the intrinsic voltage gain.

SOI UTBBs are submitted to two other analyses. The first one is focused on the low frequency noise study. In this case, two silicon film thicknesses (t_{Si}) are compared. It is observed that the thinner the thickness, the greater the influence from one interface to the other. Consequently, the noise presented in one interface affects the other and vice-versa. Due to the higher coupling between the front and back interfaces, the charges which are allocated in different positions in the oxide and silicon films can contribute to the generated noise in both interfaces. The extensionless transistors are also analyzed as a function of the gate dielectric, where the devices with silicon dioxide are compared to the ones with high dielectric constant (high K) material, which present, as expected, higher noise level due to the elevated trap density (about two orders of magnitude higher than the SiO_2).

The second study refers to the analysis of the floating body memory (FBRAM) disturb. SOI UTBB transistors are applied as memory and by changing the holding bias condition it was possible to induce the disturb effect in the storage data. In this way, a window of operation where the disturb is partial was estimated. Based on that, the writing "0" condition was optimized out of the region of total disturb, with no loss in the retention time and in the memory read window.

Based on the performed analyzes it was observed that extensionless transistors are more scalable, being less susceptible to the short channel effects. They are properly indicated to be applied in low-power and low-voltage circuits, where there are no requirements for fast switching. Moreover, they behave better applied as FBRAM since they are less dependent to the GIDL (Gate Induced Drain Leakage) current. And, since they were optimized to memory applications, the possibility to use silicon dioxide dielectric results in a better behavior in terms of low frequency noise.

Keywords: Transistors, Analog parameters, Electrical characterization, Microelectronics.

LISTA DE ILUSTRAÇÕES

Figura 2.1- Perfil da estrutura de um transistor SOI nMOSFET	27
Figura 2.2 - Diagrama de faixas de energia para um transistor canal N parcialmente depletado.	28
Figura 2.3 - Diagramas de faixas de energia de um transistor canal N totalmente depletado.....	29
Figura 2.4 - Exemplos de transistores SOI de porta quádrupla, porta cilíndrica e portas Π e Ω , que equivalem a pouco mais de três portas (porta tripla +).	30
Figura 2.5 - Desenho esquemático de um transistor de porta tripla.	31
Figura 2.6 - Estrutura de um transistor UTBB SOI MOSFET.	32
Figura 2.7 - Perfil de depleção, exemplificando o DIBL de superfície (a) e o DIBL de corpo (b) [35].	38
Figura 2.8 - Distribuição de energia potencial ao longo da posição no canal, da fonte para o dreno, nas condições de canal longo e canal curto [36].....	38
Figura 2.9 - Seção transversal de um transistor de múltiplas portas e as componentes da resistência série de fonte e dreno.	40
Figura 2.10 - Corrente de dreno em função do potencial de dreno para obtenção da tensão <i>Early</i> (V_{EA}).	43
Figura 2.11- Perfil de cargas de um transistor nMOS com comprimento de canal longo (a) e canal curto (b).	45
Figura 2.12 – Variação aleatória da corrente em função do tempo e da média I [48].	48
Figura 2.13 – Distribuição do ruído g-r ao longo da frequência onde pode-se notar o perfil conhecido como Lorentzian.....	50
Figura 2.14 – Descrição esquemática de ruído RTS, exemplificado para um MOSFET. A corrente de dreno muda entre dois níveis discretos quando um elétron do canal muda para dentro ou para fora da armadilha do óxido de porta.	51
Figura 2.15 – Ilustração esquemática de elétrons no canal de um MOSFET sendo capturados e emitidos pelas armadilhas contidas no óxido de porta, resultando na flutuação da densidade de cargas de inversão e, portanto, na corrente de dreno [48].	52

Figura 2.16 – Comparação entre o ruído por flutuações na mobilidade e o ruído por flutuações no número de portadores.....	54
Figura 2.17 – Exemplo de um capacitor de uma memória DRAM convencional.....	56
Figura 2.18 - Célula de memória da 1T-DRAM [54].	56
Figura 2.19 – Matriz de transistores funcionando como célula de memória [55].....	57
Figura 2.20 (a) Mecanismo de escrita do dado '1' na memória pelo método do BJT (b) surgimento da histerese com alto valor de tensão aplicado ao dreno [61]	59
Figura 2.21 Mecanismo de escrita do dado '0' por acoplamento capacitivo [61].....	60
Figura 2.22 – Sequência de pulsos usada para programar o transistor.	60
Figura 2.23 Margem de sensibilidade ΔI_S e janela de leitura em função de $V_{G_leitura}$.	61
Figura 2.24 – Corrente I_{DS} em função do tempo de repouso mostrando o ponto onde o tempo de retenção é extraído.....	62
Figura 3.1 - Perfil de um transistor com regiões de subposição (a) e sobreposição (b).....	63
Figura 3.2 - Vista superior de um transistor auto-alinhado de referência (a), seguido pelos transistores sem extensão de F/D (b) e com sobreposição de porta (c).....	65
Figura 3.3 - I_{DS} em função da sobretensão de porta V_{GT} para transistores com e sem extensões de F/D para $W_{FIN}=25$ nm (a) e $W_{FIN}=100$ nm (b).	67
Figura 3.4 - I_{DS} em função da sobretensão de porta V_{GT} para transistores com e sem extensões de F/D para $W_{FIN}=25$ nm (a) e $W_{FIN}=100$ nm (b).	68
Figura 3.5 - Máxima transcondutância em função dos diferentes comprimentos de L_{OL} e L_{UL}	70
Figura 3.6 - DIBL em função de comprimento de L_{OL} e L_{UL} para $W_{FIN}=25, 50,$ e 100 nm.	71
Figura 3.7 - Inclinação de sublimiar em função dos comprimentos de L_{OL} e L_{UL} para diferentes larguras da aleta.....	71
Figura 3.8 - Eficiência dos transistores em função da corrente de dreno normalizada para (a) largura de canal de 20 nm e (b) 100 nm.....	72
Figura 3.9 - Condutância de saída em função de V_{DS} para W_{FIN} de 25 e 100 nm.....	73
Figura 3.10 - Tensão <i>Early</i> em função dos comprimentos de L_{OL} e L_{UL}	74
Figura 3.11 - Ganho intrínseco de tensão em função dos comprimentos de L_{UL} e L_{OL} para diferentes larguras de canal.	74

Figura 3.12 - Frequência de ganho unitário para os diferentes comprimentos de L_{OL} e L_{UL} obtida para $V_{GT}=200$ mV e $V_{GT}=400$ mV.....	75
Figura 3.13 – Corte transversal das estruturas de referência (a) e SemExt (b), contendo suas principais características.....	77
Figura 3.14 – V_T e DIBL em função de L_{eff} para dispositivos de referência e SemExt, considerando os dados experimentais (a) e os resultados simulados (b)...	78
Figura 3.15 – Densidade de elétrons e concentração de dopantes ao longo da posição do canal para $V_{GT}=0,2$ V e $V_{DS}=0,05$ V	79
Figura 3.16 – Máxima transcondutância e resistência total dos transistores com e sem extensões de F/D obtidos experimentalmente e por simulação numérica.....	79
Figura 3.17 – Inclinação de sublimiar e razão I_{on}/I_{off} para os dados experimentais (a) e para as simulações numéricas.....	80
Figura 3.18 – Eficiência do transistor para $L_{eff}=50$ nm (a) e $L_{eff}=500$ nm (b).	81
Figura 3.19 – Condutância de saída baseada em (a) simulação e (b) em dados experimentais para $L_{eff}=50$ nm, 80 nm e 180 nm.	82
Figura 3.20 – V_{EA} (a) e A_V (b) em função de L_{eff} comparando os resultados simulados aos experimentais.	82
Figura 4.1 – Inclinação de sublimiar em função das diferentes lâminas para $L_{eff}=44$ nm e 69 nm.	85
Figura 4.2 – Transcondutância máxima em função de L_{eff} para $V_{DS}=50$ mV, comparando as diferentes configurações de F/D.	85
Figura 4.3 – DIBL em função dos diferentes perfis de F/D obtido para $L_{eff}=44$ nm e 69 nm.	86
Figura 4.4 – Razão I_{on}/I_{off} para os diferentes tipos de amostras estudadas.....	87
Figura 4.5 – Corrente de GIDL em função do comprimento de canal para os diferentes perfis de fonte e dreno.....	88
Figura 4.6 – Condutância de saída em função de V_{DS} para (a) $L_{eff}=69$ nm e (b) $L_{eff}=34$ nm.	88
Figura 4.7 - g_m/I_{DS} em função da corrente de dreno normalizada para (a) $L_{eff}=69$ nm e (b) $L_{eff}=44$ nm para $V_{DS}=1,1$ V e para as diferentes configurações de dreno. ...	89
Figura 4.8 -Tensão <i>Early</i> para as diferentes amostras, considerando L_{eff} igual a 69 nm e 44nm.	90
Figura 4.9 – A_V para L_{eff} de 69 nm e 44 nm, comparando as diferentes configurações de F/D.	90

Figura 4.10 – Razão V_T/V_{T0} (a) e percentual de variação de V_T em relação a V_{T0} (b) em função de L_{eff}	92
Figura 4.11 – DIBL (a) e inclinação de sublimar (b) em função de L_{eff}	93
Figura 4.12 – Razão I_{on}/I_{off} em função de L_{eff} para diferentes temperaturas.....	94
Figura 4.13 – Corrente de GIDL obtida para $V_{DS}=1,1$ V e $V_{GT}=-2$ V em função da temperatura.....	95
Figura 4.14 – Condutância de saída obtida para $V_{DS}=1,1$ V e $V_{GT}=200$ mV em função do L_{eff}	95
Figura 4.15 – Tensão Early em função de L_{eff} para $V_{DS}=1,1$ V e $V_{GT}=200$ mV.....	96
Figura 4.16 – Ganho intrínseco de tensão em função de L_{eff} para $V_{GT}=200$ mV e diferentes temperaturas.	97
Figura 4.17 - Mapa da lâmina indicando as pastilhas medidas destacadas na região central em vermelho.....	98
Figura 4.18 - Correlação das tensões de limiar da 1ª e 2ª interfaces para as duas espessuras da camada de silício analisadas e $V_{DS}=0,05$ V.	99
Figura 4.19 - Correlação das mobilidades das duas interfaces estudadas para as lâminas com $t_{Si}=14$ nm e $t_{Si}=6$ nm.....	100
Figura 4.20 – Mobilidade em função da inclinação de sublimar para a 1ª e 2ª interfaces.....	100
Figura 4.21 – Variabilidade de S_{VG} ao longo da lâmina para t_{Si} de 6 e 14 nm nas duas interfaces estudadas.....	101
Figura 4.22 – Correlação dos valores de S_{VG} da 2ª e 1ª interfaces para as duas espessuras de silício.	103
Figura 4.23 – S_{VG} em função da mobilidade para t_{Si} de 6 e 14 nm e para as duas interfaces.....	104
Figura 4.24 – S_i em função da frequência para a 1ª e 2ª interfaces e $t_{Si}=6$ nm.....	106
Figura 4.25 – S_{VG} da primeira interface em função da razão I_{DS}/g_m para t_{Si} de 14 e 6 nm.	106
Figura 4.26 – S_i em função da frequência para $t_{Si}=14$ nm, comparando o perfil das duas interfaces. Neste caso, o perfil das curvas corresponde a ruído g-r.....	107
Figura 4.27 – S_i em função da frequência para $t_{Si}=14$ nm e diferentes condições de polarização: V_{BS} em acumulação para dois valores de V_{GS} próximos a V_{th} e V_{GS} em acumulação para duas condições de V_{BS} próximos a V_{th} . O perfil similar em ambas as interfaces indica que a armadilha está no Si.	108

Figura 4.28 – S_I em função da frequência para $t_{Si}=14$ nm. Neste caso, o perfil de g-r aparece apenas quando a 1ª interface está acumulada, o que indica a ocorrência de armadilhas no BOX.....	109
Figura 4.29 – S_I em função da frequência para $t_{Si}=14$ nm. O perfil de ruído g-r ocorre apenas na condição de V_{BS} acumulado, sugerindo que as armadilhas estão aprisionadas no óxido de porta t_{ox}	110
Figura 4.30 – Mobilidade na 1ª interface versus mobilidade na 2ª interface para dispositivos convencionais de SiO_2 e transistores com alto K.....	112
Figura 4.31 – S_I em função da frequência para a 1ª interface e as duas lâminas estudadas. Os símbolos representam a ocorrência de ruído g-r.....	113
Figura 4.32 – S_I em função da frequência para a 2ª interface, comparando os dois dielétricos. Os símbolos representam o ruído de g-r.....	113
Figura 4.33 – Densidade de ruído normalizada em função da corrente de dreno... 114	114
Figura 4.34 – Densidade de ruído normalizada em função da corrente de dreno... 114	114
Figura 4.35 – Densidade espectral de ruído na corrente obtida para seis dispositivos ao longo da lâmina. 1ª e 2ª interfaces são comparadas além dos diferentes dielétricos de porta.	115
Figura 4.36 – Correlação de S_{VG} da primeira e segunda interfaces para os dispositivos de alto K e SiO_2	116
Figura 4.37 – Correlação de S_{VG} com a mobilidade para a 1ª interface dos dispositivos com alto K e com SiO_2	117
Figura 4.38 – Nível de corrente em função do tempo para diferentes polarizações de $V_{G_repouso}$	119
Figura 4.39 – Nível de corrente de dreno em função do tempo para diferentes $V_{D_repouso}$	120
Figura 4.40 – Margem de sensibilidade em função de $V_{G_Repouso}$ (a) e $V_{D_Repouso}$ (b).....	121
Figura 4.41 – Tempo de retenção (T_R) em função de $V_{G_repouso}$ (a) e $V_{D_repouso}$ (b) .	121
Figura 4.42 – Janela de leitura para a condição padrão de escrita do “0”, $V_D=0,5$ V e $V_G=-0,5$ V e, para a condição otimizada, $V_D=0,8$ V e $V_G=-1$ V.	122

LISTA DE TABELAS

Tabela 3.1 – Parâmetros dos transistores simulados.....	66
Tabela 3.2 – Relação I_{on}/I_{off} para larguras da aleta de 25, 50 e 100 nm e diferentes comprimentos de extensões de F/D.	68
Tabela 3.3 – Resistência total para diferentes W_{FIN} e comprimentos de <i>sobreposição</i> e <i>SemExt.</i>	69
Tabela 3.4 – Parâmetros dos dispositivos adotados nas estruturas simuladas.	76
Tabela 4.1– Fator de acoplamento para as diferentes espessuras de t_{Si}	102
Tabela 4.2 – Valores de densidade de armadilhas no óxido (N_{ot}) calculados para os dois valores de t_{Si}	104
Tabela 4.3 – Valores de V_T e mobilidade para as duas lâminas analisadas.	111

LISTA DE ABREVIATURAS E SIGLAS

1T1C-DRAM	1-Transistor, 1 Capacitor Dynamic Random Access Memory
1T-DRAM	1-Transistor Dynamic Random Access Memory
BGN	Bandgap Narrowing
BJT	Bipolar Junction Transistor
BL	Bit Line
BOX	Buried Oxide
CA	Corrente Alternada
CC	Corrente Contínua
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	Fully Depleted Lean-channel Transistor
DIBL	Drain Induced Barrier Lowering
DRAM	Dynamic RAM
EOT	Equivalent Oxide Thickness
F/D	Fonte/Dreno
FBJ	Forward Bias Junction
FBRAM	Floating Body RAM
FD	Fully Depleted
FinFET	Fin Field Effect Transistor
GIDL	Gate Induced Drain Leakage
GIFBE	Gate Induced Floating Body Effect
GP	Ground Plane
HDD	Highly Doped Drain
HfSiO	Silicato de háfnio
II	Impact Ionization
Imec	Interuniversity Microelectronic Center
ISSG	In Situ Steam Generation
ITRS	International Technology Roadmap for Semiconductors
KLA	Klaassen
LDD	Lightly Doped Drains
MOS	Metal-Oxide-Semiconductor
MuGFETs	Multi Gate Field Effect Transistors
NFD	Near Fully Depleted
P	Fósforo
PD	Partially Depleted
PSD	Power Spectral Density
RAM	Random Access Memory
RDF	Random Dopant Fluctuations
ROM	Read Only Memory
SCE	Short Channel Effect
SEG	Selective Epitaxial Growth
SemExt	Sem extensão de F/D
Si	Silício
SiO ₂	Dióxido de Silício
SOI	Silicon-On-Insulator
SRAM	Static RAM
SRH	Shockley-Read-Hall
STI	Shallow Trench Isolation
TIN	Nitreto de Titânio
UTBB	Ultra-Thin Body and BOX
WL	Word line

LISTA DE SÍMBOLOS

α	Razão das capacitâncias C_b/C_{ox}
α_H	Parâmetro Hooge
α_n	Parâmetro de tunelamento
α_{sc}	Parâmetro de espalhamento Coulomb
A_V	Ganho intrínseco de tensão (V/V)
β	Ganho do transistor bipolar parasitário do transistor SOI
C_b	Capacitância entre a camada de inversão e o eletrodo da segunda interface por unidade de área (F/cm^2)
C_D	Capacitância da camada de depleção por unidade de área (F/cm^2)
C_L	Capacitância de carga (F)
C_{OX}	Capacitância do óxido de porta por unidade de área (F/cm^2)
C_{Si}	Capacitância da camada de silício por unidade de área (F/cm^2)
D_{ot}	Densidade de armadilhas no óxido ($cm^{-3}eV^{-1}$)
ΔI_S	Margem de sensibilidade da corrente de dreno(A)
ϵ_0	Permissividade relativa no vácuo ($8,85 \times 10^{-14}$ F/cm)
E_C	Nível energético da faixa de condução (V)
E_F	Nível energético de Fermi (V)
E_{FB}	Nível energético de Fermi do substrato (V)
E_{FM}	Nível energético de Fermi do metal (V)
ϵ_{ox}	Permissividade do óxido de silício ($3,45 \times 10^{-13}$ F/cm)
ϵ_{Si}	Permissividade do silício ($1,06 \times 10^{-12}$ F/cm)
E_V	Nível energético da faixa de valência (V)
ϕ	Potencial no canal (V)
Φ_F	Potencial de Fermi (V)
f	Frequência (Hz)
ϕ_{MS}	Diferença de função trabalho entre o metal e o filme de silício (V)
f_T	Frequência de ganho unitário de tensão (Hz)
g_D	Condutância de saída (μS)
g_m	Transcondutância (μS)
g_m/I_{DS}	Eficiência do transistor (V^{-1})
g_{m_sat}	Transcondutância na saturação (μS)
g_{m_triodo}	Transcondutância no triodo (μS)
g_{mmax}	Transcondutância máxima (μS)
\hbar	Constante de Planck ($6,62606957 \times 10^{-34}$ m ² kg / s)
H_{FIN}	Altura da aleta de silício
I	Corrente de dreno através da barreira (A)
I_0	Corrente de saturação do diodo (A)
I_1	Corrente de dreno no estado ligado (A)
I_{ch}	Corrente de dreno do canal sem considerar a ionização por impacto (A)
I_D	Corrente de dreno (A)
I_{DS}	Corrente entre dreno e fonte (A)
$i_n(t)$	Flutuação na corrente de dreno(A)
I_o	Corrente de dreno no estado desligado (A)
I_{off}	Corrente de fuga de dreno na região de sublimiar (A)
I_{on}	Corrente de dreno na região de saturação (A)
k	Constante de Boltzmann ($1,38066 \times 10^{-23}$ J/K)
K	Constante dielétrica
L	Comprimento do canal do transistor (nm)
λ	Comprimento natural (m)
L_{eff}	Comprimento efetivo do canal do transistor (nm)

$L_{\text{eff(inv_forte)}}$	Comprimento efetivo do canal do transistor na inversão forte (nm)
$L_{\text{eff(inv_frac)}}$	Comprimento efetivo do canal do transistor na inversão fraca (nm)
L_M	Comprimento de porta (nm)
L_{OL}	Comprimento da região de sobreposição de F/D sobre a porta (nm)
$L_{\text{ox_esp}}$	Comprimento de óxido espaçador (nm)
L_{UL}	Comprimento da região de subposição (nm)
L_{underlap}	Comprimento da região de subposição(underlap) (nm)
μ	Mobilidade efetiva (cm^2/Vs)
M	Fator multiplicativo referente à ionização por impacto
m^*	Massa efetiva dos elétrons
μ_n	Mobilidade efetiva dos elétrons (cm^2/Vs)
μ_{sc}	Mobilidade de espalhamento (cm^2/Vs)
n	Fator de corpo
N_a	Concentração de impurezas aceitadoras (cm^{-3})
n_{Acc}	Fator de corpo com a segunda interface acumulada
N_d	Concentração de impurezas doadoras (cm^{-3})
n_{Depl}	Fator de corpo com a segunda interface depletada (cm^{-3})
n_i	Concentração intrínseca de portadores
n_{MOS}	Fator de corpo do transistor MOS convencional
n_p	Número de portas do dispositivo
q	Carga elementar do elétron ($1,6 \times 10^{-19}$ C)
Q_{D1}	Densidade de carga de depleção na condição de canal longo (C/cm^2)
Q_{D2}	Densidade de carga de depleção na condição de canal curto (C/cm^2)
Q_{depl}	Densidade de carga de depleção na camada de silício do transistor SOI (C/cm^2)
R_{ac}	Resistência de acumulação nas regiões das extensões de fonte e dreno sobrepostas pela porta (Ω)
R_{con}	Resistência de contato entre as regiões de fonte e dreno de silício e de siliceto (Ω)
r_j	Profundidade da junção da fonte e dreno (\square)
R_{SD}	Resistência série de fonte e dreno (Ω)
R_{sh}	Resistência das regiões de LDD abaixo dos espaçadores de fonte e dreno (Ω)
R_{sp1}	Resistência de espalhamento devido ao espalhamento da corrente da fina camada de acumulação para dentro das regiões fracamente dopadas (Ω)
R_{sp2}	resistência devido ao espalhamento da corrente das LDDs para dentro das regiões altamente dopadas (HDD) (Ω)
R_{TOTAL}	Resistência total (Ω)
S	Inclinação de sublimiar (S)
S_i	Ruído na corrente (A^2/Hz)
S_I^{Acc}	Densidade espectral de ruído na corrente com a 2ª interface em acumulação (A^2/Hz)
S_I^{Depl}	Densidade espectral de ruído na corrente com a 2ª interface em depleção (A^2/Hz)
S_V	Ruído na tensão (V^2/Hz)
S_{VG}	O ruído de tensão referenciado à entrada (V^2/Hz)
T	Temperatura
t_{BOX}	Espessura do óxido enterrado
T_R	Tempo de retenção (s)
t_{Si}	Espessura da camada de silício
V_B	Tensão de substrato (V)
V_{BS}	Tensão entre substrato e fonte (V)
V_D	Tensão de dreno (V)
V_d	Tensão aplicada na junção p-n.
$V_{D_repouso}$	Tensão de dreno na condição de repouso da memória (V)
V_{DS}	Tensão entre dreno e fonte (V)
V_{EA}	Tensão Early (V)

$V_{G_leitura}$	Tensão de porta na condição de leitura da memória (V)
$V_{G_repouso}$	Tensão de porta na condição de repouso da memória (V)
V_{G1}	Tensão na primeira interface do transistor SOI (V)
V_{G2}	Tensão na segunda interface do transistor SOI (V)
V_{GB}	Tensão entre a porta e o substrato SOI (V)
V_{GS}	Tensão entre porta e fonte (V)
V_{GT}	Tensão de sobretensão de porta (V)
V_S	Tensão da fonte (V)
V_T	Tensão de limiar (V)
V_{T0}	Tensão de limiar do transistor de canal longo (V)
$V_{T1(VD1)}$	Tensão de limiar para V_D baixo (V)
$V_{T2(VD2)}$	Tensão de limiar para V_D alto (V)
W	Largura do canal do transistor (nm)
W_{FIN}	Largura da aleta de silício do transistor MuGFET (nm)
$x_{dm\acute{a}x}$	Largura máxima de depleção
x_{d1}	Largura de depleção da 1ª interface (m)
x_{d2}	Largura de depleção da 2ª interface (m)

SUMÁRIO

1	INTRODUÇÃO	23
1.1	OBJETIVOS E ESTRUTURA DO TRABALHO	25
2	CONCEITOS BÁSICOS	27
2.1	TECNOLOGIA SILÍCIO SOBRE ISOLANTE - SOI	27
2.1.1	Dispositivos Parcialmente Depletados - PD	28
2.1.2	Dispositivos Totalmente Depletados – FD	29
2.1.3	Dispositivos Quase Totalmente Depletados – NFD	29
2.2	TRANSISTORES SOI DE MÚLTIPLAS PORTAS - MuGFETs	30
2.3	TRANSISTORES SOI DE ÓXIDO ENTERRADO E CAMADA DE SILÍCIO ULTRAFINOS – UTBB	31
2.4	CARACTERÍSTICAS ELÉTRICAS	33
2.4.1	Tensão de limiar (V_T)	33
2.4.2	Transcondutância (g_m)	34
2.4.3	Inclinação de sublimiar (S)	35
2.4.4	Mobilidade (μ)	36
2.4.5	Abaixamento de barreira induzido pelo dreno (DIBL)	37
2.4.6	Resistência série parasitária de fonte e dreno (R_{SD})	39
2.4.7	Razão g_m/I_{DS}	41
2.4.8	Condutância de saída (g_D)	42
2.4.9	Tensão <i>Early</i> (V_{EA})	42
2.4.10	Ganho intrínseco de tensão do transistor (A_V)	43
2.4.11	Frequência de ganho unitário (f_T)	44
2.5	EFEITOS DE SEGUNDA ORDEM	44
2.6	RÚIDO DE BAIXA FREQUÊNCIA	46
2.6.1	Definição de ruído	47
2.6.2	Fontes de ruído	48
2.6.3	Ruído referenciado à entrada – S_{VG} (<i>Input referred noise PSD</i>)	54
2.7	DISTÚRBO EM CÉLULAS DE MEMÓRIA 1T-DRAM	55
2.7.1	Programação da memória	57
2.7.2	Definições de parâmetros	61
3	ESTUDO DOS TRANSISTORES SOI DE MÚLTIPLAS PORTAS SEM EXTENSÃO DE FONTE/DRENO	63

3.1	SIMULAÇÃO NUMÉRICA DE TRANSISTORES COM E SEM EXTENSÕES DE F/D	64
3.1.1	Estruturas Simuladas	65
3.1.2	Características Elétricas	66
3.2	CARACTERIZAÇÃO ELÉTRICA DE MuGFETS COM E SEM EXTENSÕES DE F/D	76
3.2.1	Características Elétricas	77
4	ESTUDO DOS TRANSISTORES SOI COM ÓXIDO ENTERRADO E CAMADA DE SILÍCIO ULTRAFINOS – UTBB.....	83
4.1	INFLUÊNCIA DO COMPRIMENTO DO ÓXIDO ESPAÇADOR NAS CARACTERÍSTICAS DOS TRANSISTORES SEM EXTENSÃO DE F/D	83
4.1.1	Comportamento elétrico	84
4.2	EFEITO DA TEMPERATURA NOS TRANSISTORES UTBB	91
4.2.1	Comportamento elétrico	91
4.3	ESTUDO DO RUÍDO DE BAIXA FREQUÊNCIA EM TRANSISTORES UTBB	97
4.3.1	Variabilidade do ruído de baixa frequência nas 1ª e 2ª interfaces dos transistores UTBB.....	97
4.3.2	Comparação do ruído de baixa frequência em diferentes dielétricos de porta	110
4.4	DISTÚRBO EM CÉLULAS DE MEMÓRIA 1T-DRAM BASEADAS EM TRANSISTORES UTBB.....	117
4.4.1	Características dos dispositivos medidos	117
4.4.2	Resultados Experimentais	118
5	CONCLUSÕES E PROPOSTAS DE TRABALHOS FUTUROS	123
5.1	CONCLUSÕES	123
5.2	PROPOSTAS DE TRABALHOS FUTUROS.....	126
	Publicações geradas	127
	Referências Bibliográficas	131
	Anexo 1 - Estrutura gerada no Devedit e simulada no Atlas.....	139

1 INTRODUÇÃO

A indústria da microeletrônica vive em constante evolução, buscando dispositivos cada vez mais eficientes e rápidos. A evolução tem se baseado no surgimento de novas tecnologias, na mudança de materiais e no escalamento dos dispositivos, sendo que esta última foi por muito tempo a opção mais utilizada. Atualmente, apenas a diminuição geométrica dos transistores não permite a sua melhora. É necessário associar outras tecnologias para obter um bom funcionamento [1-10].

Os transistores de efeito de campo (MOSFET, do inglês, *Metal-Oxide-Semiconductor Field Effect Transistor*), fabricados em lâminas de silício passaram a sofrer com os efeitos parasitários, também conhecidos como efeitos de canal curto [1]. Com a evolução da tecnologia MOS convencional, surgiu a tecnologia Silício sobre Isolante (SOI MOSFET). A lâmina SOI, com uma camada de óxido enterrado separando a região ativa do substrato de silício, mostrou-se superior na supressão de alguns efeitos parasitários, diminuindo também as capacitâncias de modo geral [2].

Apesar das vantagens da tecnologia SOI MOSFET sobre a MOS convencional, os pequenos comprimentos de canal passaram a ser afetados pelo campo elétrico horizontal, havendo, portanto, uma disputa entre os campos vertical e horizontal, resultando na queda da quantidade de cargas controladas pela porta. Assim, a fim de melhorar o controle da porta sobre as cargas do canal, a tecnologia planar deu espaço aos dispositivos tridimensionais com mais de um eletrodo de porta. Surgiram então os dispositivos de múltiplas portas. Os primeiros dispositivos com duas portas foram fabricados na década de 80, utilizando substratos SOI e conhecidos como DELTA [3]. O FinFET surgiu na sequência, diferenciando-se apenas por apresentar óxido de porta mais espesso no topo do canal. Os transistores verticais de porta tripla, muitas vezes chamados FinFETs de porta tripla, apresentam esse óxido de porta no topo do canal com a mesma espessura das laterais, possibilitando a condução de corrente no topo [4].

Em paralelo ao surgimento dos transistores não-planares, surgiram os transistores SOI com óxido enterrado e camada de silício ultrafinos, chamados de UTBB (do inglês, *Ultra-Thin Body and BOX*). Com a diminuição das espessuras da

camada de silício (t_{Si}) e da camada de óxido enterrado (t_{BOX}), os transistores planares passaram a funcionar com forte influência da polarização de substrato, V_B [5]. Dessa forma, melhor acoplamento eletrostático tem sido obtido nestas estruturas que trazem a vantagem da compatibilidade com o processo planar habitual. Atualmente, existe uma considerável disputa entre estes dispositivos e os não-planares para definir qual deles será o sucessor nos futuros nós tecnológicos.

Os transistores verticais trazem a vantagem de serem compactos e, por isso, ocuparem menores espaços e apresentarem melhor acoplamento eletrostático entre porta e canal. Com várias aletas (do inglês, *fin*, estreita e alta camada de silício onde é construído o transistor) em paralelo é possível ter um aumento considerável na corrente I_D total. Porém, quando a largura de fonte e dreno torna-se pequena, a resistência série da estrutura aumenta, tornando necessário o uso de tecnologias que reduzam estas resistências. Outra característica importante nos dispositivos não-planares é o fato deles apresentarem diferentes orientações cristalográficas em cada superfície, o que afeta a mobilidade dos portadores na rede. No caso dos elétrons, a mobilidade é maior no plano de condução do topo da *aleta* (100) do que no plano das laterais (110). Como a condução ocorre em todos os lados, o valor final da corrente dependerá da parcela oriunda de cada superfície. Desta forma, a fim de melhorar a condução de corrente em todas as superfícies, o transistor pode ser rotacionado de 45 graus em relação ao chanfro da lâmina para que todas as superfícies passem a atuar sobre o plano 100 [6].

Por outro lado, os transistores UTBB apresentam as vantagens já conhecidas da estrutura SOI convencional. Com o óxido enterrado ultrafino ($t_{BOX} < 20$ nm) é possível controlar as cargas do canal através da polarização do substrato que permite, também, o controle da tensão de limiar (V_T) do dispositivo. A implantação de um plano de terra (do inglês, *ground plane*, GP) nestes dispositivos suprime a região de depleção abaixo do óxido enterrado, favorecendo o controle do dispositivo através do substrato [7].

Para melhorar ainda mais o comportamento dos transistores sob tecnologia não-planar e UTBB, o uso de porta não auto-alinhada com fonte e dreno tem crescido substancialmente. Basicamente, são transistores sem extensões de fonte e dreno, ou seja, sem o LDD (do inglês, *lightly doped drains*). No lugar, há apenas a dopagem intrínseca do canal, o que resulta em um comprimento de canal modulável

com a tensão de porta. Dessa forma, essas regiões sem extensão ajudam a diminuir a penetração das regiões de depleção de fonte e dreno no interior do canal, minimizando, portanto, os efeitos de canal curto [8].

O uso de transistores sem extensões de fonte e dreno (SemExt) melhora as características gerais dos transistores além de melhorar o comportamento destes dispositivos atuando como célula de memória. Portanto, é possível obter maior tempo de retenção assim como maior margem de sensibilidade quando tecnologias de fonte e dreno são acrescentadas à estrutura [9].

Um aspecto importante nos dispositivos UTBB é a fina camada de silício destes dispositivos. Ao passo que a menor espessura permite melhor controle das cargas pelas polarizações da porta e do substrato, o acoplamento entre ambas as interfaces aumenta drasticamente, de forma que uma interface passa a atuar fortemente uma sobre a outra. Como resultado, torna-se difícil caracterizar apenas uma interface e os resultados passam a ficar dependentes desse acoplamento [10].

1.1 OBJETIVOS E ESTRUTURA DO TRABALHO

O objetivo deste trabalho é estudar o comportamento digital e analógico dos transistores SOI MuGFETs assim como os transistores SOI UTBB. Em ambos os casos, dispositivos sem extensão são comparados às estruturas convencionais auto-alinhados, de modo a comprovar seu melhor desempenho nas atuais escalas. Também será foco deste trabalho o estudo do ruído de baixa frequência dos SOI UTBB que, por sua vez, também foram aplicados como célula de memória 1T-DRAM, onde o distúrbio foi analisado.

A estrutura do trabalho está dividida da seguinte forma.

No capítulo 1 são apresentadas a introdução e a estrutura do trabalho enquanto o capítulo 2 aborda os conceitos teóricos fundamentais relacionados ao assunto.

No capítulo 3 são apresentados os resultados experimentais referentes aos MuGFETs. Neste capítulo, dispositivos com diferentes comprimentos de região sem extensão de fonte e dreno são comparados baseados em simulações numéricas tridimensionais e dados experimentais.

Na sequência, o capítulo 4 mostra o comportamento dos transistores sem extensão de fonte/dreno e com tecnologia UTBB. Uma vez que os dispositivos desta seção foram otimizados para operarem como memória, há um item específico sobre o estudo do distúrbio em células de memória 1T-DRAM. Neste capítulo também é realizado um estudo de ruído em baixa frequência nos transistores UTBB apresentados.

As conclusões obtidas e as propostas pra continuação do trabalho são apresentados no capítulo 5, finalizando o trabalho.

2 CONCEITOS BÁSICOS

Neste capítulo serão abordados os conceitos teóricos dos temas envolvidos no trabalho. Uma breve revisão bibliográfica sobre a tecnologia SOI e dos transistores de múltiplas portas (MuGFETs) além dos transistores de óxido enterrado e corpo ultrafinos (UTBB). A definição dos parâmetros elétricos referentes a estes dispositivos também será abordados a seguir.

2.1 TECNOLOGIA SILÍCIO SOBRE ISOLANTE - SOI

A tecnologia silício sobre isolante, ou SOI MOSFET foi uma evolução da estrutura MOS convencional. Fisicamente, a estrutura SOI (Silicon-On-Insulator) difere-se da convencional por apresentar uma camada de material isolante entre o substrato e a fina camada de silício onde os dispositivos são construídos. A Figura 2.1 apresenta o perfil de um transistor SOI MOSFET canal N [2].

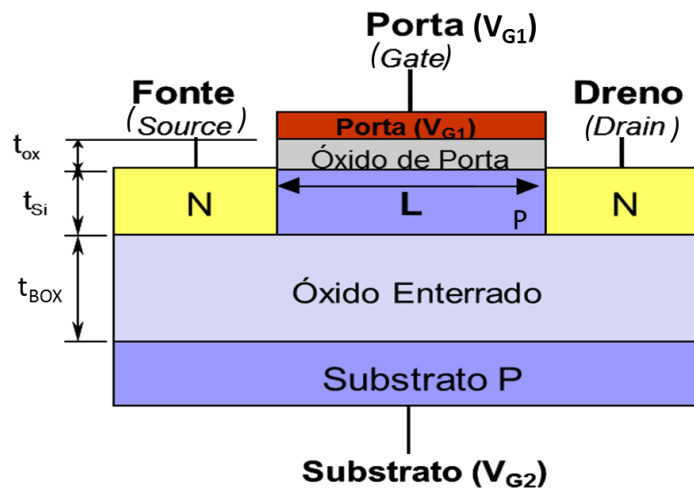


Figura 2.1- Perfil da estrutura de um transistor SOI nMOSFET

A camada isolante chamada de óxido enterrado (do inglês, *Buried Oxide* - BOX) traz melhorias ao transistor, como por exemplo, a eliminação do efeito tiristor parasitário (*latch-up*), a diminuição da capacitância total e a menor incidência de efeitos de canal curto [11, 12].

De acordo com a espessura da camada de silício, da dopagem do canal e da temperatura, os dispositivos podem operar de forma parcialmente depletada (PD - *Partially Depleted*), totalmente depletada (FD - *Fully Depleted*) ou quase totalmente depletada (NFD - *Near Fully Depleted*) [2].

2.1.1 Dispositivos Parcialmente Depletados - PD

Os dispositivos são chamados de parcialmente depletados quando não há interação entre as regiões de depleção induzidas na primeira e segunda interfaces [2]. Ou seja, a camada de silício é maior que duas vezes $x_{dm\acute{a}x}$, existindo uma camada neutra entre as regiões de depleção. No caso da região neutra estar aterrada, o comportamento do dispositivo torna-se idêntico ao de um transistor MOS convencional. No entanto, se o mesmo estiver flutuando, dois efeitos parasitários surgem. O primeiro, chamado de efeito de elevação abrupta da corrente (*kink effect*), refere-se à elevação da corrente de dreno (I_{DS}) na curva I_{DS} em função de V_{DS} para altos valores de tensão de dreno [13]. O segundo refere-se à presença de um transistor bipolar NPN parasitário com base flutuante entre a fonte e o dreno. O diagrama de bandas de energia destes dispositivos é apresentado na Figura 2.2.

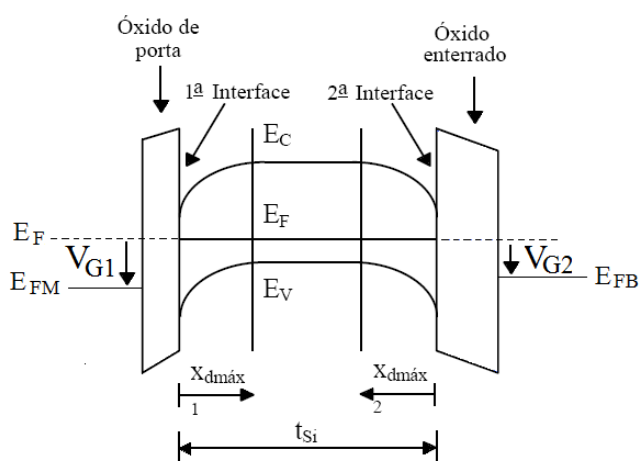


Figura 2.2 - Diagrama de faixas de energia para um transistor canal N parcialmente depletado.

2.1.2 Dispositivos Totalmente Depletados – FD

Já os dispositivos totalmente depletados têm como característica a espessura do silício ser menor que $x_{dm\acute{a}x}$. Nesse caso, o dispositivo fica livre do efeito de elevação abrupta da corrente se sua segunda interface estiver depletada. Portanto, essa definição é válida desde que não haja acumulação ou inversão da segunda interface decorrente de um grande potencial negativo ou positivo, respectivamente, aplicados ao substrato [2].

O diagrama de faixas de energia da estrutura FD (*fully depleted*) pode ser visto na Figura 2.3.

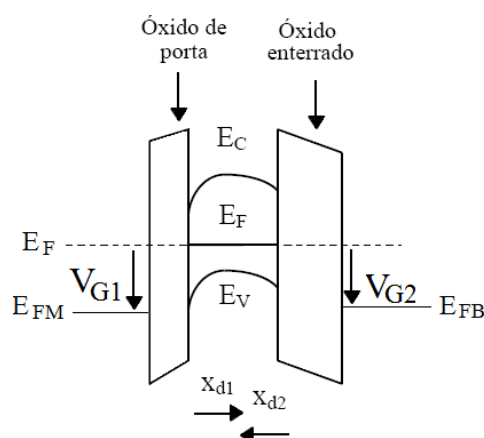


Figura 2.3 - Diagramas de faixas de energia de um transistor canal N totalmente depletado.

Observam-se que de acordo com a condição da primeira e segunda interface (acumulação, depleção e inversão) nove modos distintos de operação podem ser obtidos [2]. No entanto, dispositivos totalmente depletados com a segunda interface depletada apresentam as melhores características com relação à transcondutância, baixo campo elétrico longitudinal (horizontal), diminuição dos efeitos de canal curto e excelente inclinação de sublimiar [2].

2.1.3 Dispositivos Quase Totalmente Depletados – NFD

Estes dispositivos possuem a espessura da camada de silício variando entre $x_{dm\acute{a}x}$ e $2x_{dm\acute{a}x}$. Desta forma as regiões de depleção da primeira e da segunda

interface poderão ou não entrar em contato e isso dependerá da tensão aplicada ao substrato. Se suas regiões de depleção entrar em contato, o dispositivo funcionará como totalmente depletado, caso contrário, funcionarão como parcialmente depletado.

2.2 TRANSISTORES SOI DE MÚLTIPLAS PORTAS - MuGFETs

A fim de aumentar a corrente de dreno e diminuir os efeitos de canal curto, foram criados os transistores tridimensionais (3D) com múltiplas portas, os MuGFETs (*Multi Gate Field Effect Transistors*). Nessas estruturas, a presença de mais de uma porta garante o melhor controle das cargas do canal, que é o principal problema em dispositivos de canal curto, onde a depleção de fonte e dreno prejudica o comportamento do transistor.

Entre os transistores de múltiplas portas pode-se mencionar o XMOS [14], o DELTA [3], o FinFET [4], o *Gate-All-Around* [15], o *II-gate* [16], o Ω -gate [17], dentre outros. Cada um destes dispositivos apresenta geometria e quantidade de portas diferenciadas. A Figura 2.4 mostra o perfil de alguns exemplos de transistores de múltiplas portas.

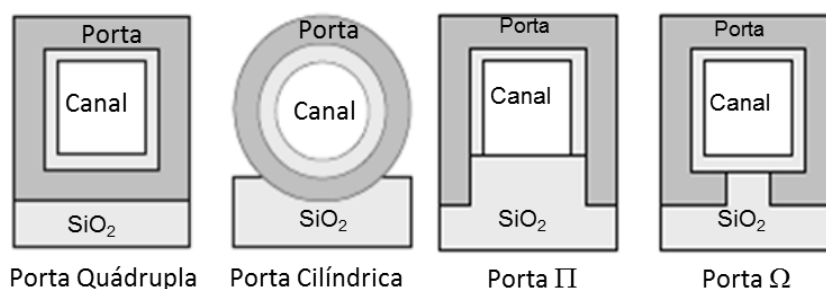


Figura 2.4 - Exemplos de transistores SOI de porta quádrupla, porta cilíndrica e portas II e Ω , que equivalem a pouco mais de três portas (porta tripla +).

O transistor DELTA (*fully DEpleted Lean-channel TrAnsistor*) foi o primeiro a apresentar duas portas, sendo construído sobre uma estreita e alta camada de

silício, chamada da *aleta*. Com o material de porta em torno dessa *aleta*, a condução de corrente se dá nas laterais. De acordo com a largura da *aleta* (W_{FIN}), estes dispositivos podem operar como transistores de porta tripla (*triple-gate*) [18] já que, além das laterais, há também condução de corrente no topo da *aleta*. Partindo do mesmo princípio surgiu o transistor FinFET, porém fazendo uso de um espesso dielétrico de porta no topo da *aleta*, garantindo a condução de corrente apenas nas laterais [4]. A Figura 2.5 mostra um desenho esquemático de um transistor de porta tripla, onde L corresponde ao comprimento de canal, H_{FIN} é a altura da *aleta* de silício, W_{FIN} é a largura da *aleta*, t_{ox} é o óxido de porta que, para transistores de porta tripla é igual no topo e nas laterais da *aleta*, e o t_{BOX} corresponde ao óxido enterrado.

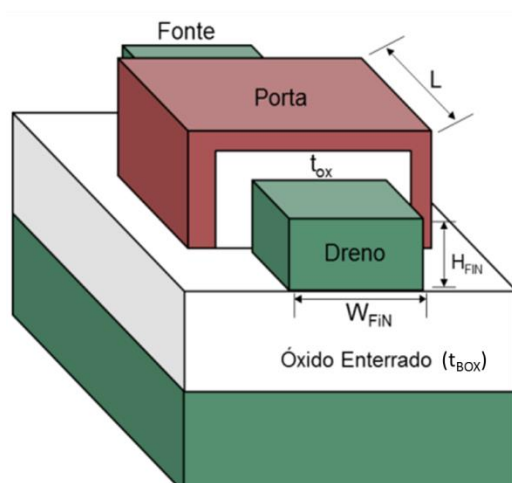


Figura 2.5 - Desenho esquemático de um transistor de porta tripla.

2.3 TRANSISTORES SOI DE ÓXIDO ENTERRADO E CAMADA DE SILÍCIO ULTRAFINOS – UTBB

Se por um lado o uso de dispositivos tridimensionais favorece o aumento da densidade de corrente e melhora o acoplamento eletrostático, por outro a tecnologia planar ainda pode ser muito explorada através do afinamento do óxido enterrado bem como da espessura da camada de silício [5].

A esses dispositivos dá-se o nome de transistores de camada de silício e óxido enterrado ultrafinos ou, do inglês, *Ultra-Thin Body and BOX* (UTBB). Ao

diminuir as espessuras da camada de silício e do óxido enterrado, a fina região ativa passa a estar fortemente sob influência do potencial aplicado ao substrato (V_{GB}) que, por sua vez, funciona como uma segunda porta do dispositivo. Dessa forma, o controle eletrostático na região do canal aumenta decorrente da menor espessura da camada de silício, diminuindo, conseqüentemente, os efeitos de canal curto ao passo que os efeitos de autoaquecimento devido ao óxido enterrado são minimizados. A Figura 2.6 apresenta um dispositivo SOI UTBB, com a descrição de cada região [19, 6].

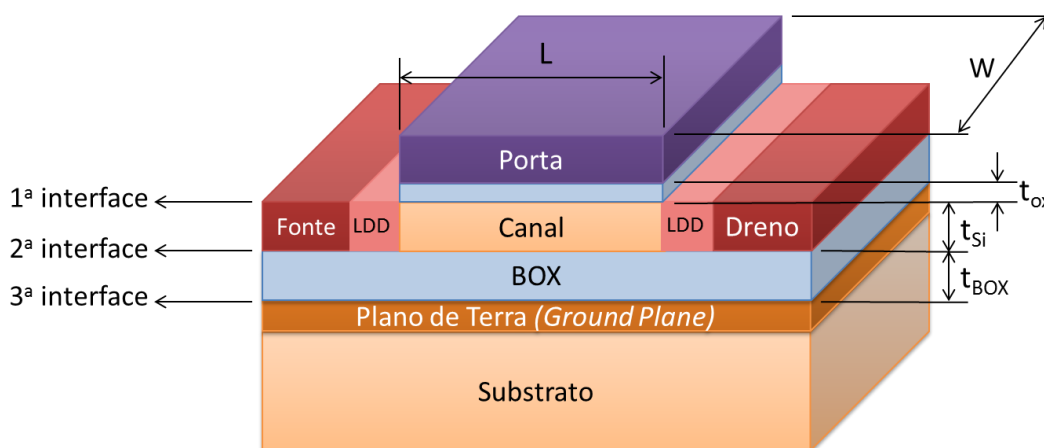


Figura 2.6 - Estrutura de um transistor UTBB SOI MOSFET.

De acordo com o esquemático acima pode-se notar uma região abaixo do óxido enterrado denominada GP. (do inglês, *ground plane*) ou plano de terra. Trata-se de uma implantação iônica através do óxido enterrado para formar a região de alta dopagem (10^{18} cm^{-3}) que visa reduzir a depleção do silício abaixo do óxido enterrado, na terceira interface. A combinação do uso de GP e a polarização do substrato favorecem o ajuste da tensão de limiar do dispositivo além da possibilidade de dispositivos multi- V_T ou com V_T dinâmico. Com isso, a dopagem para ajuste de V_T não é necessária, o que ajuda a evitar as flutuações de dopantes (RDF, do inglês, *random dopant fluctuations*) ao longo da fina camada de silício [5] [20].

A fim de se obter baixos valores de V_{GB} ($<3,5 \text{ V}$) é necessário que o óxido enterrado seja fino ($t_{BOX} \leq 10 \text{ nm}$). Para se enquadrarem na denominação UTBB, a

camada de silício precisa ser menor ou igual a 20 nm enquanto que BOX pode ter no máximo 50 nm de espessura [21].

2.4 CARACTERÍSTICAS ELÉTRICAS

2.4.1 Tensão de limiar (V_T)

A tensão de limiar é o potencial necessário para se aplicar na porta do transistor e ocasionar a inversão dos portadores na região do canal. No caso de dispositivos MOS convencionais, isso acontece para uma tensão de porta equivalente a duas vezes o potencial de Fermi (Φ_F). No entanto, em transistores de múltiplas portas a tensão de limiar ocorre na inversão fraca, onde algumas regiões do canal invertem antes das demais e, por isso, o método usado em dispositivos convencionais não pode ser considerado [22].

Há vários métodos na literatura usados para extrair a tensão de limiar. Um dos métodos mais utilizados é o MTC – “*Maximum Transconductance Change*” [23] – que fornece o valor da tensão de limiar pelo máximo ponto da derivada da transcondutância. A equação 2.1 é usada para definir a tensão de limiar no caso de dispositivos de múltiplas portas [24].

$$V_T = \phi_{MS} + \frac{kT}{q} \ln \left(\frac{2C_{OX} kT}{q^2 n_i W_{FIN}} \right) + \frac{\pi^2 \hbar}{2qm^* W_{FIN}^2} \quad (2.1)$$

onde o primeiro termo ϕ_{MS} é a diferença de função trabalho entre o metal e o filme de silício, k é a constante de Boltzmann, q é a carga do elétron, C_{OX} é a capacitância no óxido de porta, n_i é a concentração intrínseca de portadores, \hbar é a constante de Planck, m^* é a massa efetiva do elétron e W_{FIN} é a largura da aleta do transistor. O segundo termo representa o potencial no canal (ϕ), sendo inversamente proporcional à largura do filme de silício (W_{FIN}). Quando o filme é muito fino, o potencial do canal pode ser maior que $2\Phi_F$, resultando em maior concentração de portadores no limiar comparativamente aos de filme mais espessos. O terceiro termo, por sua vez, está relacionado à variação de energia mínima na banda de condução com a espessura do filme de silício, que só pode ser determinado através de cálculos de mecânica quântica.

Dispositivos de porta tripla; quádrupla, Π e Ω apresentam as interfaces silício/óxido não planares e com cantos, podendo ocorrer a inversão nos cantos, topos ou nas laterais dessas interfaces, para diferentes tensões aplicada na porta. Os transistores de múltiplas portas podem apresentar até quatro tensões de limiar devido aos efeitos de canto superiores e inferiores e diferentes concentrações de dopantes no canal. No entanto, para baixas dopagens de canal ($<10^{17} \text{ cm}^{-3}$) observa-se apenas uma tensão de limiar [25].

O modelo da tensão de limiar apresentado pela equação 2.1 pode ser extrapolado para o caso dos transistores SOI UTBB, pois a fina camada de silício faz com que o substrato possa desempenhar um papel de segunda porta no transistor.

2.4.2 Transcondutância (g_m)

A transcondutância é o parâmetro que mede a eficácia do controle da tensão aplicada na porta sobre a corrente de dreno e é dada por:

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.2)$$

O modelo de Lim & Fossum [26] descreve as equações da corrente através das quais é possível obter as medidas da transcondutância de transistores SOI nas regiões de triodo (2.3) e saturação (2.4) [27]:

$$g_{m\text{triodo}} = \frac{dI_{DS}}{dV_{GS}} = \mu_n C_{ox} \frac{W}{L} V_{DS} \quad (2.3)$$

$$g_{m\text{sat}} = \frac{dI_{DS\text{sat}}}{dV_G} = \frac{\mu_n C_{ox}}{n} \frac{W}{L} (V_{GS} - V_T) \quad (2.4)$$

Nas equações acima, μ_n é a mobilidade efetiva dos elétrons; W é a largura do canal; L é o comprimento do canal do transistor e n é o fator de corpo que pode ser descrito como:

$$n = 1 + \alpha \quad (2.5)$$

sendo que α representa a relação das capacitâncias C_b/C_{ox} , sendo C_{ox} a capacitância do óxido de porta e C_b a capacitância entre a camada de inversão e o eletrodo da segunda interface. De acordo com o modo de operação da segunda interface do transistor, o fator de corpo n assume diferentes relações:

$$n_{Acc} = 1 + \frac{C_{Si}}{C_{ox}} \quad (2.6)$$

$$n_{Depl} = 1 + \frac{C_{Si}C_{BOX}}{C_{ox}(C_{Si} + C_{BOX})} \quad (2.7)$$

Sabendo que no transistor MOSFET convencional assim como nos transistores SOI PD, $n_{MOS} = 1 + \frac{C_D}{C_{ox}}$, onde C_D é a capacitância da camada de depleção, tem-se a seguinte relação para valores de n .

$$n_{Depl} < n_{MOS} < n_{Acc}$$

Sendo assim, uma maior transcondutância é obtida nos transistores SOI FD se comparado aos transistores MOSFETs convencionais.

2.4.3 Inclinação de sublimiar (S)

A inclinação de sublimiar é definida pela variação na tensão de porta necessária a fim de se aumentar a corrente de dreno em uma década [28], sendo dada em mV/dec e descrita por:

$$S = \frac{\delta V_{GS}}{\delta(\log I_{DS})} \quad (2.8)$$

Como a componente predominante de corrente no sublimiar é a de difusão, pode-se obter que:

$$S = \frac{kT}{q} \cdot n \cdot \ln(10) \quad (2.9)$$

O dispositivo SOI totalmente depletado apresenta fator de corpo (n) menor que o MOS convencional, apresentando, portanto, uma inclinação de sublimiar menor. Já os transistores de múltiplas portas apresentam fatores de corpo muito próximos da unidade, fazendo com que a inclinação de sublimiar desses dispositivos se aproxime do valor mínimo teórico de 60 mV/dec [29]. Pode-se perceber pela equação (2.9) que S é diretamente proporcional à temperatura.

2.4.4 Mobilidade (μ)

Mobilidade dos portadores é a facilidade com que elétrons e lacunas atravessam a estrutura cristalina do material sem colidir com a vibração da estrutura. Quanto maior a mobilidade dos portadores, menor será a perda de energia, portanto mais baixa será a resistividade.

A mobilidade é uma característica importante estudada nos dispositivos, pois dela dependem os resultados de saída. Isto é, quanto maior a mobilidade dos portadores, maior será a corrente de dreno na região do canal. No entanto, para os atuais dispositivos, com dimensões cada vez menores, surgem efeitos que diminuem a mobilidade, sendo o principal deles, o aumento da resistência total do dispositivo. Defeitos gerados por processos, tais como a rugosidade do filme e a implantação iônica, também contribuem para a diminuição da mobilidade.

Para finas espessuras do filme de silício (abaixo de 5 nm) surge um fenômeno conhecido como inversão de volume. O fenômeno inversão de volume foi descoberto em 1987 [30], e experimentalmente observado em 1990 [15], na implementação do transistor MOSFET de porta circundante. Esse é um fenômeno que aparece nos transistores SOI MOSFETs de porta dupla ou tripla, no qual a inversão dos portadores não ocorre apenas na interface Si/SiO₂ mas sim no meio da camada de silício, o que proporciona um aumento na mobilidade no canal do transistor, diminuindo a tensão de limiar.

A inversão de volume é um fenômeno quântico que ocorre para espessuras de filme de silício menores que 5 nm. Nessas condições, a corrente passa a fluir no corpo do transistor e não apenas na superfície, como ocorre normalmente. Para

determinar este efeito, além da solução dada pela equação de Poisson, é preciso considerar a solução dada pela equação de Schroedinger, pois esta considera os efeitos quânticos [30].

2.4.5 Abaixamento de barreira induzido pelo dreno (DIBL)

O efeito de abaixamento de barreira induzida pelo dreno (*Drain Induced Barrier Lowering*) é um dos mais importantes efeitos de canal curto estudados [31]. É um efeito oriundo da mudança na tensão de limiar decorrente do aumento da tensão de dreno.

Na medida em que o comprimento de canal dos transistores diminui, a distância geométrica entre fonte e dreno torna-se muito pequena. Como resultado, a parcela de cargas controladas pelas regiões de fonte e dreno torna-se significativa mediante a região controlada apenas pelas portas [32]. O uso de estruturas não dopadas ou com baixa dopagem (*undoped*) tem favorecido a presença de DIBL nas estruturas.

O efeito de DIBL mostra o quanto a tensão de limiar é afetada quando um potencial maior é aplicado no dreno, o que leva o transistor à saturação. Esse fenômeno é conhecido também como DIBL de superfície (Figura 2.7a), uma vez que ele age na região próxima à interface porta/canal, alterando as cargas dessa região e, conseqüentemente, a tensão de limiar [33].

No caso do DIBL de corpo, a interação das regiões de depleção da fonte decorrente de sua expansão causa o *punchthrough* (perfuração MOS, Figura 2.7b) [34] entre a fonte e o dreno. Esse efeito, característico da tecnologia MOS, portanto eliminado na tecnologia SOI, causa a fuga de corrente pelo corpo do transistor através das regiões de depleção em contato com o corpo. Uma espécie de “curto-circuito” que leva à perda do controle do dispositivo, pois a porta deixa de cumprir o seu papel. Nessa situação, a superfície não é afetada por possuir maior concentração de dopantes decorrentes do ajuste da tensão de limiar, através de implantação iônica, nesse local.

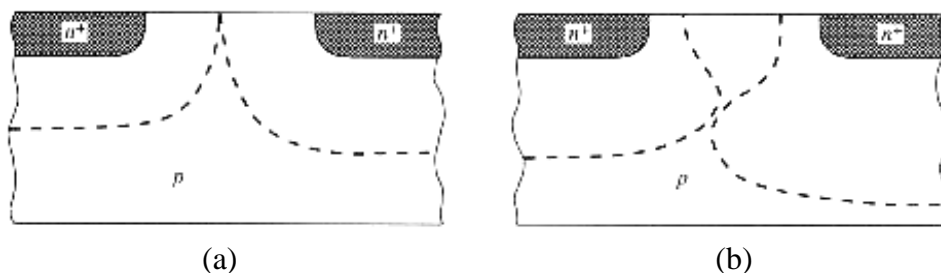


Figura 2.7 - Perfil de depleção, exemplificando o DIBL de superfície (a) e o DIBL de corpo (b) [35].

A Figura 2.8 mostra um gráfico da energia de potencial em função da posição do transistor, passando pelas regiões de fonte, canal e dreno. Quando o canal é longo, o potencial sobre ele permanece constante em um determinado valor. Na medida em que o comprimento de canal diminui, o potencial no dreno induz o abaixamento do potencial no canal junto à fonte, originando o DIBL.

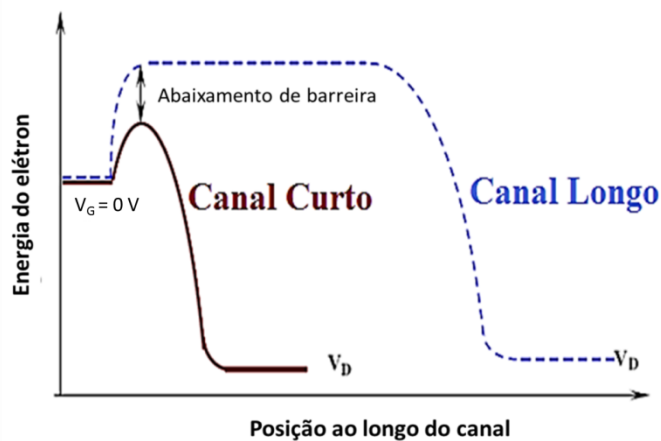


Figura 2.8 - Distribuição de energia potencial ao longo da posição no canal, da fonte para o dreno, nas condições de canal longo e canal curto [36].

Para determinar o valor de DIBL utiliza-se a equação 2.10.

$$DIBL(mV/V) = \frac{V_{T1(VD1)} - V_{T2(VD2)}}{V_{D2} - V_{D1}} \quad (2.10)$$

onde, $V_{D2} > V_{D1}$ sendo que V_{D1} é a tensão de dreno na região linear e V_{D2} é a tensão de dreno na região de saturação. $V_{T1(VD1)}$ é a tensão de limiar extraída na curva $I_D \times V_G$ em linear e $V_{T2(VD2)}$ é a tensão de limiar extraída na curva $I_D \times V_G$ em saturação.

Como forma de evitar o DIBL costuma-se fazer com que as junções de fonte e dreno sejam suficientemente rasas, além de aumentar a concentração de dopantes na região do canal, de forma que o dreno não consiga controlar a junção da fonte. As estruturas conhecidas como halo são usadas nas regiões de fonte e dreno justamente com essa finalidade. No entanto, aumentar a concentração de dopantes na região do canal, nas atuais dimensões (dezenas de nanômetros), é uma opção que tem sido deixada de lado. Isso por que, é mais difícil garantir uma dopagem uniforme para todos os dispositivos, uma vez que apenas algumas unidades de átomos de dopantes são alocadas em cada dispositivo. Assim, têm-se usado dispositivos com canal sem dopagem intencional (concentração natural, $1 \times 10^{15} \text{ cm}^{-3}$) [37].

2.4.6 Resistência série parasitária de fonte e dreno (R_{SD})

A influência da resistência série no desempenho dos dispositivos tem se tornado mais significativa nas atuais dimensões, limitando o nível de corrente dos transistores, que são fabricados sob pequenas camadas de silício. A resistência série parasitária relaciona todas as resistências que vão da região da fonte até o dreno com exceção da resistência da região do canal [37]. Para transistores de múltiplas portas, tem sido reportado o aumento da resistência série devido ao estreitamento da aleta de silício, causando redução na corrente total. Nessas estruturas, a resistência parasitária série de fonte e dreno é proveniente de diversas regiões, como pode ser observado na figura 2.9 [38].

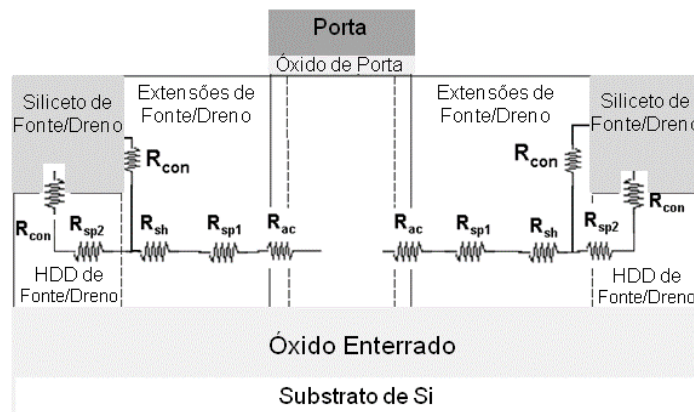


Figura 2.9 - Seção transversal de um transistor de múltiplas portas e as componentes da resistência série de fonte e dreno.

onde:

- R_{ac} é a resistência de acumulação nas regiões das extensões de fonte e dreno sobrepostas pela porta;

- R_{sp1} é a resistência de espalhamento devido ao espalhamento da corrente da fina camada de acumulação para dentro das regiões fracamente dopadas (LDDs);

- R_{sh} é a resistência das regiões de LDDs abaixo dos espaçadores de fonte e dreno;

- R_{sp2} é a resistência devido ao espalhamento da corrente das LDDs para dentro das regiões altamente dopadas (HDD). Existente somente se houver crescimento seletivo epitaxial;

- R_{con} é a resistência de contato entre as regiões de fonte e dreno de silício e de siliceto.

A resistência série parasita é um dos fatores limitantes na introdução da arquitetura de múltiplas portas em nós tecnológicos futuros. A fim de reduzir essa resistência faz-se necessário o uso do crescimento seletivo epitaxial (SEG, do inglês, Selective Epitaxial Growth) de Si ou SiGe nas extensões de fonte e dreno (LDD) e/ou nas regiões com alta dopagem (HDD – *Highly Doped Drain*). O SEG é utilizado para aumentar a espessura da *aleta* de silício fora da região de porta e do

espaçador, diminuindo a resistência do mesmo devido ao aumento da área. Aumentos de até 50% no nível da corrente são reportados na literatura [39].

Existem vários métodos na literatura para se extrair a resistência série parasitária. Neste trabalho foi utilizado o método desenvolvido por Terada, K. e Muta, H. em 1979 [40]; que, apesar de ser voltado para dispositivos planares, tem apresentado valores estimativamente aceitáveis.

2.4.6.1 Método de Terada e Muta

Para aplicação deste método, medem-se transistores com diferentes comprimentos de canal, extraem-se os valores da tensão de limiar de cada transistor e obtêm-se a resistência total obtida pela equação 2.11, mantendo $V_{GT} = V_{GS} - V_T$ constante para cada transistor medido [40].

$$R_{TOTAL} = R_{CH} + R_{SD} = \frac{V_{DS}}{I_{DS}} \quad (2.11)$$

A resistência série parasita é estimada através da regressão linear da curva da resistência total em função do comprimento de canal dos dispositivos medidos onde, $R_{SD} \cong R_{TOTAL}$ para L igual a zero. Nessa condição, assume-se que não há influência da resistência do canal no valor total obtido.

2.4.7 Razão g_m/I_{DS}

A eficiência de um transistor é a relação entre a transcondutância e a corrente de dreno (g_m/I_{DS}) e pode ser traduzida como a capacidade de converter uma dada corrente de polarização em transcondutância [41]. A razão g_m/I_{DS} é normalmente apresentada em função da corrente de dreno normalizada ($I_{DS}/(W/L)$). O valor máximo da razão g_m/I_{DS} ocorre quando o transistor MOSFET ou SOI está operando na inversão fraca [42]:

$$\frac{g_m}{I_{DS}} = \frac{q}{n.k.T} = \frac{\ln 10}{S} \quad (2.12)$$

Na equação 2.12, q é a carga elementar do elétron; T é a temperatura absoluta; k é a constante de Boltzmann e n é o fator de corpo operando na inversão fraca.

Quando o transistor estiver operando na inversão forte, haverá uma redução no valor da relação g_m/I_{DS} com o aumento da corrente de dreno, sendo dada pela equação 2.13 [43]:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2 \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L}}{n \cdot I_{DS}}} \quad (2.13)$$

Como o fator de corpo (n) é menor em dispositivos SOI totalmente depletados, a razão g_m/I_{DS} será maior em dispositivos SOI se comparado aos MOSFETs convencionais. Através das equações 2.12 e 2.13, observa-se que a eficiência dos transistores depende totalmente da tecnologia e do ponto de polarização.

2.4.8 Condutância de saída (g_D)

A condutância de saída (g_D), ou condutância de dreno, representa a variação da corrente de dreno em função da tensão aplicada neste terminal, para uma dada tensão de porta. Este parâmetro demonstra a sensibilidade do canal em relação ao campo elétrico horizontal, sendo interessante a obtenção de valores baixos, pois isso indicará a menor influência do campo elétrico oriundo do dreno na região do canal [44]. A condutância de saída é dada pela equação 2.14.

$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (2.14)$$

2.4.9 Tensão *Early* (V_{EA})

A tensão *Early* representa o efeito da modulação do comprimento de canal devido à polarização entre o dreno e a fonte do transistor [44]. Quando a tensão

aplicada no dreno de um transistor é maior que a tensão de saturação, a região de depleção próxima ao dreno aumenta, resultando num comprimento efetivo de canal menor, o que provoca um acréscimo na corrente de dreno na saturação. Com isso, a inclinação da curva da corrente de dreno em função da tensão V_{DS} aumenta.

A tensão *Early* pode ser determinada pela equação 2.15 considerando que os valores da corrente de dreno e da condutância de saída (g_D) tenham sido obtidos na região de saturação.

$$V_{EA} \cong \frac{I_{DS_sat}}{g_{D_sat}} \quad (2.15)$$

A partir da extrapolação de uma reta tangente à curva da corrente de dreno em função da tensão entre fonte e dreno ($I_{DS} \times V_{DS}$) até a intersecção com o eixo de V_{DS} e I_{DS} igual a zero, é possível de se extrair a tensão *Early* quando $V_{DS} = -V_{EA}$, conforme a Figura 2.10.

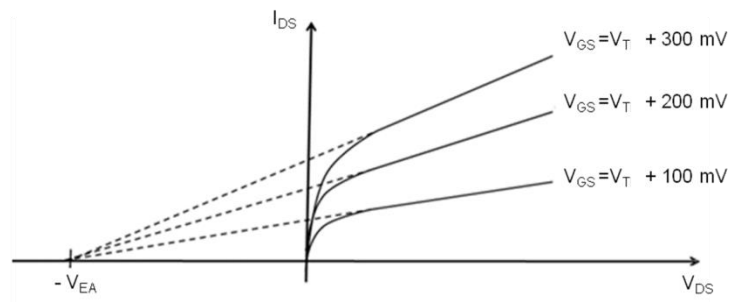


Figura 2.10 - Corrente de dreno em função do potencial de dreno para obtenção da tensão *Early* (V_{EA}).

2.4.10 Ganho intrínseco de tensão do transistor (A_V)

O ganho intrínseco do transistor consiste em uma das principais características dos circuitos integrados analógicos e descreve a eficiência do transistor em controlar a fonte de corrente considerando uma resistência de saída, limitando o ganho dos amplificadores operacionais [2]. Através da equação 2.16 pode-se determinar o ganho máximo de tensão intrínseco dos transistores.

$$|A_V| = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} \cdot V_{EA} \quad (2.16)$$

Quanto maior for a razão g_m/I_{DS} e a tensão *Early*, mais alto será o valor do ganho intrínseco de tensão do dispositivo.

2.4.11 Frequência de ganho unitário (f_T)

O ganho especificado pela equação 2.16 é válido para operações em baixa frequência. Na medida em que esta frequência aumenta, o ganho diminui podendo atingir a unidade. Nesta condição, tem-se a frequência de ganho unitário (f_T) para qual o ganho de malha aberta iguala-se a 1, conforme apresentado na equação 2.17 para transistores de efeito de campo.

$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_L} \quad (2.17)$$

onde g_m é a transcondutância e $C_L = C_{ox} \cdot W \cdot L$, com C_{ox} sendo a capacitância do óxido de porta por unidade de área, W a largura do canal e L o comprimento do canal do transistor.

2.5 EFEITOS DE SEGUNDA ORDEM

Os efeitos de canal curto (*SCE - Short Channel Effect*) são efeitos parasitários decorrentes da redução do comprimento de canal dos transistores. Eles acarretam a variação da tensão de limiar, a degradação da inclinação de sublimiar, a diminuição da barreira induzida pelo dreno, etc. Esses efeitos afetam as características dos transistores, pois com a redução do comprimento do canal há uma mudança no perfil de cargas dessa região [45]. Esse fenômeno é ilustrado na Figura 2.11 onde é possível notar que a quantidade de carga Q_{D2} é consideravelmente menor que Q_{D1} , enquanto que as cargas controladas pelas regiões de fonte e dreno (regiões hachuradas) tornam-se mais significativas na medida em que o comprimento de canal diminui [46, 47].

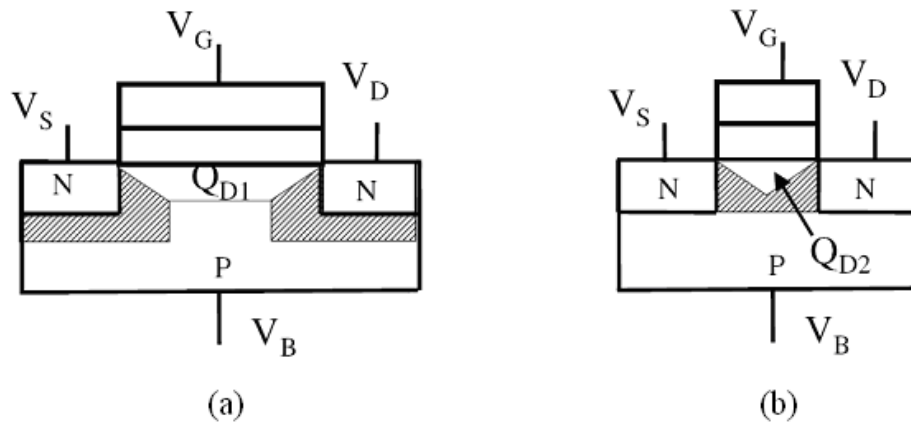


Figura 2.11- Perfil de cargas de um transistor nMOS com comprimento de canal longo (a) e canal curto (b).

Para os transistores MOSFETs convencionais e SOI MOSFETs parcialmente depletados de canal longo, as cargas de depleção controlada pela porta é determinada pela equação 2.18.

$$Q_{depl} = q \cdot N_a \cdot x_{dm\acute{a}x} \quad (2.18)$$

A situação de canal curto é configurada quando a quantidade de cargas controladas pela porta é da mesma ordem de grandeza que a presente nas regiões de depleção de fonte e dreno. Nesse caso, a carga de depleção é dada por:

$$Q_{depl,eff} = Q_{depl} \left(1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2 \cdot x_{dmax}}{r_j}} - 1 \right) \right) \quad (2.19)$$

sendo que, r_j é a profundidade da junção da fonte e dreno e L é o comprimento de canal do dispositivo.

Os transistores SOI MOSFET totalmente depletados, para as mesmas dimensões e condições de polarização em relação aos convencionais, sofrem menor influência da redução do comprimento do canal.

Em dispositivos de múltiplas portas a influência dos efeitos de canal curto acontece de forma tridimensional, variando de acordo com a quantidade de portas. Esses dispositivos mostram dependência com o comprimento natural λ , que representa a penetração das linhas do campo elétrico do dreno no corpo do transistor ou o quanto a região de dreno pode controlar a região de depleção no canal. Portanto, transistores de porta dupla e porta tripla possuem um menor efeito

de canal curto do que transistores de porta única, pois possuem menor valor de λ . Para transistores de porta única e porta dupla, o parâmetro λ é determinado pelas equações 2.20 e 2.21, respectivamente [24].

$$\lambda_1 = \sqrt{\frac{\varepsilon_{Si}}{\varepsilon_{ox}} t_{ox} t_{Si}} \quad (2.20)$$

$$\lambda_2 = \sqrt{\frac{\varepsilon_{Si}}{2\varepsilon_{ox}} t_{ox} t_{Si}} \quad (2.21)$$

A partir de outros trabalhos, o conceito de comprimento natural foi o generalizado para todos os dispositivos MuGFETs como apresentado na equação 2.22.

$$\lambda_{np} = \sqrt{\frac{\varepsilon_{Si}}{np\varepsilon_{ox}} \left(1 + \frac{\varepsilon_{ox} t_{Si}}{4\varepsilon_{Si} t_{ox}} \right) t_{Si} t_{ox}} \quad (2.22)$$

onde, np é o número de portas do dispositivo analisado. Esta relação é independente da concentração de dopantes e, portanto, pode ser utilizados tanto para dispositivos com canal dopados ou não.

O comprimento natural diminui quando o número de portas do dispositivo aumenta, o que demonstra maior controle da região do canal nestes dispositivos.

2.6 RÚIDO DE BAIXA FREQUÊNCIA

Correntes e tensões em circuitos eletrônicos sofrem variações devido a interferências causadas por ruído. O sinal desejado torna-se difícil de distinguir quando o valor do ruído é significativo em relação ao sinal. Os ruídos podem ser originados de fontes externas, como exemplo, linhas de transmissão CA, rádios transmissores que perturbam um circuito de interesse devido aos acoplamentos eletrostáticos e eletromagnético. No entanto, o ruído também pode ser de origem interna quando flutuações randômicas acontecem na estrutura física do material. Este tipo de ruído não pode ser completamente eliminado e, por isso, limita a precisão das medidas, determinando o valor mínimo dos sinais que serão

detectados. Por causa disto, ruído é um problema fundamental na ciência e na engenharia, importante de ser compreendido, caracterizado e considerado a fim de minimizar seus efeitos nos sinais detectados [48, 49, 50].

2.6.1 Definição de ruído

Ruído em um dispositivo eletrônico é uma perturbação espontânea e randômica de um sinal determinístico inerente à física do dispositivo. Este sinal não pode ser eliminado como acontece em fontes de ruído externas que, normalmente, podem ser filtradas por circuitos adequados. No caso do ruído verdadeiro (*true noise*), este pode apenas ser minimizado através do projeto adequado dos dispositivos e circuitos [48].

A Figura 2.12 ilustra como um sinal eletrônico flutua randomicamente devido ao ruído. A corrente através de um dispositivo pode ser escrita como sendo:

$$I(t) = \bar{I} + i_n(t) \quad (2.23)$$

onde \bar{I} é a corrente média e $i_n(t)$ é a corrente que flutua randomicamente. O valor de i_n é randômico em qualquer ponto no tempo e não pode ser previsto. Ao contrário, descreve-se o ruído com valores médios. Neste caso, por exemplo, a média de i_n é sempre zero.

O estudo de ruído é baseado nos métodos matemáticos da teoria da probabilidade, que permite definir médias apropriadas das variáveis randômicas que estão sendo tratadas. É importante ressaltar que não é o objetivo deste trabalho estudar detalhadamente o comportamento matemático do ruído de baixa frequência. Esta técnica é usada apenas como ferramenta para caracterizar os transistores, uma vez que o nível de ruído serve para descrever a qualidade dos filmes finos obtidos, fornecendo características importantes das etapas de processo utilizadas [48]. Um método comum e eficaz de caracterizar e descrever o ruído é através da conversão do mesmo do domínio do tempo para o domínio da frequência por transformada de Fourier. A densidade espectral de potência (PSD, do inglês, *power spectral density*) dá informação sobre como a potência do ruído é distribuída na frequência. O PSD do ruído da corrente e do ruído da tensão é dado em A^2/Hz e V^2/Hz , respectivamente.

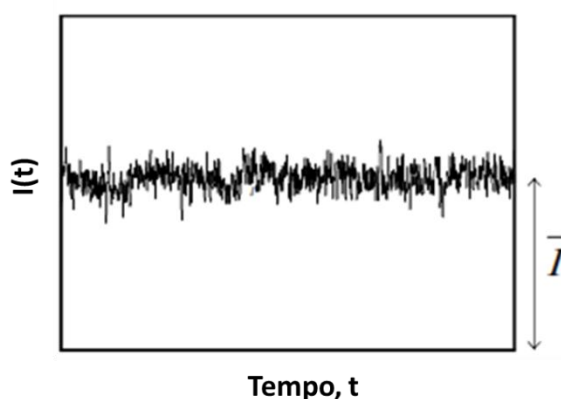


Figura 2.12 – Variação aleatória da corrente em função do tempo e da média \bar{I} [48].

2.6.2 Fontes de ruído

2.6.2.1 Ruído térmico

Ruído térmico deriva do movimento randômico dos elétrons no material. Cada vez que um elétron se liberta, sua velocidade é randomizada. Instantaneamente, podem haver mais elétrons movendo-se em uma dada direção e uma pequena corrente passa a fluir. Esta corrente flutua em comprimento e direção, mas a média ao longo do tempo é sempre zero. Se um pedaço de material com resistência R (diferente de zero) e temperatura T é considerado, a densidade espectral de potência da corrente de ruído térmico é

$$S_I = \frac{4kT}{R} \quad (\text{ou } S_V = 4kTR) \quad (2.24)$$

sendo S_I o ruído na corrente e S_V o ruído na tensão e k é a constante de Boltzmann.

O ruído térmico existe em todo resistor e parte resistiva de um dispositivo (sem a necessidade de uma polarização ser aplicada) e corresponde ao menor limite de ruído em um circuito elétrico [48].

2.6.2.2 Ruído de barreira (*Shot*)

A corrente que flui através de uma barreira de potencial, como uma junção p-n, não é contínua devido à natureza discreta das cargas eletrônicas (elétrons). A corrente através de uma barreira é dada pelo número de portadores que carregam a carga q , fluindo através da barreira durante um período de tempo [48]. A corrente de ruído *shot* é gerada quando os elétrons atravessam a barreira de forma independente e ao acaso. A corrente que flutua com a densidade espectral de potência (PSD, do inglês, *power spectral density*) é

$$S_I = 2qI \quad (2.25)$$

onde I é uma corrente CC através da barreira e q é a carga elementar do elétron. O ruído *shot* é um processo Poisson e foi primeiramente descoberto em tubos de vácuo por W. Schottky, antes de 1918. Uma corrente é necessária a fim de gerar ruído *shot*, mas as correntes reversa e direta através da barreira precisam ser consideradas separadamente. A corrente do diodo ideal é dada como

$$I = I_0(e^{qV_d/kT} - 1) \quad (2.26)$$

onde I_0 é a corrente de saturação do diodo e a V_d é a tensão aplicada na junção p-n, k é a constante de Boltzmann e T a temperatura. A corrente através da junção p-n a zero volts é zero já que as correntes reversa e direta se cancelam. No entanto, o ruído *shot* total é a soma do ruído *shot* nas correntes reversa e direta [48].

$$S_I = 2qI_0 e^{qV_d/kT} + 2qI_0 = 4qI_0 \quad (2.27)$$

2.6.2.3 Ruído de geração-recombinação (*g-r*)

Ruído de geração-recombinação (*g-r*) em semicondutores origina-se das armadilhas que randomicamente capturam e emitem cargas, causando então flutuações no número de portadores disponíveis para transporte de corrente. Se cargas são armadilhadas em pontos críticos, a carga armadilhada pode induzir flutuações na mobilidade dos portadores, no coeficiente de difusão, no campo elétrico, na altura da barreira, etc. Estados eletrônicos dentro da faixa proibida são

referidos como armadilhas, e existem, devido à presença de vários defeitos ou impurezas no semiconductor e nas suas superfícies. As transições das seguintes formas ocorrem em um semiconductor [48]:

- (i) Elétron livre + lacuna livre
- (ii) Elétron livre + lacuna livre gerada
- (iii) Elétron livre + armadilha vazia – elétron vai para a armadilha
- (iv) Lacuna livre + armadilha vazia – lacuna vai para a armadilha

O formato do espectro neste caso é chamado de Lorentzian e é ilustrado pela Figura 2.13.

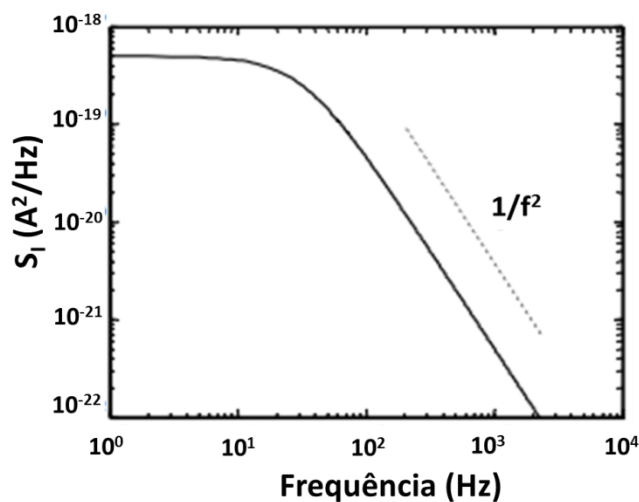


Figura 2.13 – Distribuição do ruído g-r ao longo da frequência onde pode-se notar o perfil conhecido como Lorentzian.

2.6.2.4 Sinal telegráfico randômico - Random Telegraph Signal (RTS)

Um caso especial de ruído g-r é o ruído RTS (também conhecido como *popcorn*), que é apresentado como eventos de chaveamento discretos no domínio do tempo, como apresenta a Figura 2.14. Se apenas algumas armadilhas estão envolvidas, a corrente pode chavear entre um e outro estado resultando numa forma de onda RTS devido ao armadilhamento e desarmadilhamento das cargas. Para dois níveis de pulsos com altura igual ΔI e durações de tempo distribuídos no menor estado, τ_l , e no maior estado, τ_h , o espectro das flutuações de corrente é dado como descrito em 2.28.

$$Si(f) = \frac{4(\Delta I)^2}{(\tau_l + \tau_h) \left[\left(\frac{1}{\tau_l} + \frac{1}{\tau_h} \right)^2 + (2\pi f)^2 \right]} \quad (2.28)$$

A Figura 2.14 indica o processo de armadilhamento do elétron e o espectro RTS resultante.

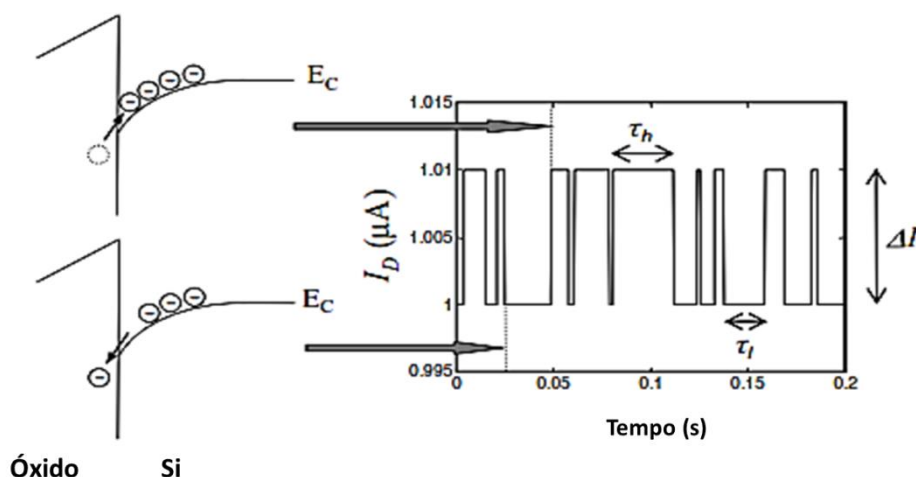


Figura 2.14 – Descrição esquemática de ruído RTS, exemplificado para um MOSFET. A corrente de dreno muda entre dois níveis discretos quando um elétron do canal muda para dentro ou para fora da armadilha do óxido de porta.

O espectro de um ruído RTS assim como g-r é do tipo Lorentzian. Ruído g-r pode ser visto como a somatória de processos de ruído RTS de uma ou mais armadilhas com constante de tempos idênticas, e é apenas mostrada como RTS no domínio do tempo se o número de armadilhas envolvidas for pequeno. RTS é um fenômeno interessante já que os processos de chaveamento randômico que envolve apenas uma armadilha podem ser estudados no domínio do tempo. É estabelecido que RTS é causado por uma simples carga que controla o fluxo de um número de portadores do que um número grande de portadores sendo envolvidos no processo de armadilhamento e desarmadilhamento, então uma carga solitária pode ser estudada. Informações interessantes sobre o nível de energia da armadilha, tempos de emissão e captura de armadilhas bem como seção transversal das mesmas podem ser adquiridos da caracterização por ruído RTS, sendo normalmente observado em dispositivos MOS com pequena área de porta (normalmente $< 1 \mu\text{m}^2$) [51].

2.6.2.5 Ruído 1/f

Ruído 1/f, também chamado de ruído *Flicker*, é o nome comum para flutuações com o espectro proporcional a $1/f^\gamma$ com γ próximo de 1, usualmente no intervalo de 0,7 a 1,3. O espectro do ruído 1/f assume a forma geral

$$S_I = \frac{D \cdot I^\rho}{f^\gamma} \quad (2.29)$$

onde D é uma constante e ρ é o expoente da corrente. Flutuações 1/f na condutância têm sido observadas na parte de baixa frequência do espectro (10^{-5} a 10^7 Hz) na maioria dos materiais condutores e para uma grande variedade de dispositivos semicondutores.

De acordo com [48] há essencialmente dois mecanismos físicos por trás da flutuação de corrente: flutuações no número de portadores e flutuações na mobilidade

No primeiro caso, as flutuações na corrente acontecem devido ao processo de armadilhamento e desarmadilhamento das cargas, como já descrito anteriormente. Esse processo é ilustrado na Figura 2.15 a seguir.

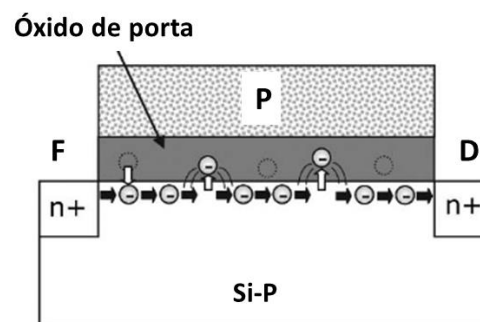


Figura 2.15 – Ilustração esquemática de elétrons no canal de um MOSFET sendo capturados e emitidos pelas armadilhas contidas no óxido de porta, resultando na flutuação da densidade de cargas de inversão e, portanto, na corrente de dreno [48].

O segundo mecanismo que pode gerar ruído 1/f é flutuação na mobilidade. Foi primeiramente descrito por Hooge pela fórmula empírica das flutuações na resistência.

$$\frac{S_R}{R^2} = \frac{\alpha_H}{fN} \quad (2.30)$$

sendo S_R a flutuação na resistência R e N o número de portadores. O parâmetro adimensional α_H , refere-se ao parâmetro Hooge, foi inicialmente sugerido ser constante e igual a 2×10^{-3} . Mais tarde, foi descoberto que α_H depende da qualidade do cristal; em materiais perfeitos, valores 2-3 ordens de magnitude menores foram observados. Foi também proposto que apenas espalhamento fônon contribui para flutuações na mobilidade. O fator $1/N$ resulta das flutuações da mobilidade independentes para cada portador de condução.

Trata-se, portanto, de um modelo empírico, que não sugere uma explicação física por trás das flutuações de mobilidade, mas que tem se adequadado aos resultados experimentais, principalmente na descrição do comportamento dos MOSFET canal P [52].

Existe um grande debate na comunidade científica sobre a origem de ruído 1/f ocorrer por flutuação no número de portadores ou por flutuação na mobilidade. No passado, muitos esforços tentavam provar que uma das duas fontes era a principal delas. Porém, uma contribuição de ambas predomina na ocorrência de ruído 1/f dependendo do tipo de material, de dispositivo, das condições de operação e etc [48] [52].

A Figura 2.16 mostra o comportamento do ruído da corrente de acordo com sua origem.

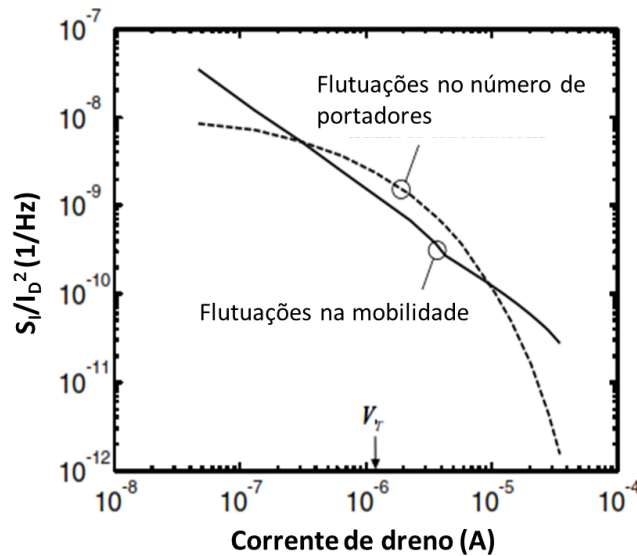


Figura 2.16 – Comparação entre o ruído por flutuações na mobilidade e o ruído por flutuações no número de portadores.

2.6.3 Ruído referenciado à entrada – S_{VG} (*Input referred noise PSD*)

O ruído $1/f$ na corrente de dreno pode ser referenciado a entrada através de uma fonte de tensão de porta equivalente. O ruído de fato não é gerado das flutuações na tensão de porta porque o terminal de porta é polarizado numa tensão fixa. O ruído de tensão referenciado à entrada é, portanto, apenas uma construção matemática, que é calculada como [49]:

$$S_{VG} = \frac{S_I}{g_m^2} \quad (2.31)$$

onde g_m é a transcondutância.

Através de S_{VG} é possível determinar a densidade de armadilhas no óxido (D_{ot}), conforme a equação 2.32 [53].

$$S_{VG} = \frac{q^2 k T D_{ot}}{W L f C_{ox}^2 \alpha_n} \quad (2.32)$$

onde q é a carga elementar do elétron, k é a constante de Boltzmann, T é a temperatura absoluta, α_n é o parâmetro de tunelamento que equivale a 10^8 cm^{-1} para

elétrons em um óxido de silício, f é a frequência, C_{ox} é a capacitância do óxido, W é a largura do canal e L o comprimento do canal.

2.7 DISTÚRBO EM CÉLULAS DE MEMÓRIA 1T-DRAM

De acordo com a operação realizada a memória pode ser classificada como volátil ou não volátil. No primeiro caso, fazem parte as memórias RAM (*Random Access Memory*) que permitem tanto a leitura quanto a escrita da memória. No caso das memórias não voláteis, apenas a leitura do dado é permitida, sendo que a gravação é realizada uma única vez e o dado fica permanentemente gravado na memória. A estas memórias dá-se o nome de ROM (*Read Only Memory*). Neste trabalho, o foco será nas memórias voláteis que se dividem em memória SRAM e DRAM. Ambas necessitam de alimentação contínua para a manutenção do dado. No entanto, no caso da memória estática SRAM (*Static RAM*), um conjunto de 6 transistores é responsável por armazenar indefinidamente (entenda-se, neste caso, enquanto houver alimentação) os dados. Tratam-se de memórias que ocupam uma grande área e são muito rápidas. No caso da memória dinâmica DRAM (*Dynamic RAM*), os capacitores são responsáveis pelo armazenamento da carga. Portanto, a área ocupada é menor que no caso da SRAM. Por outro lado, os capacitores se descarregam, exigindo uma atualização periódica do dado armazenado. A esta atualização dá-se o nome de *refresh* da informação. Normalmente, a configuração padrão deste tipo de memória é composta por um transistor e um capacitor e, por isso, é conhecida como 1T1C-DRAM [54].

Neste tipo de configuração, o maior problema está relacionado ao tamanho do capacitor que, normalmente, é profundo a fim de aumentar a área e, conseqüentemente, a capacitância. A Figura 2.17 mostra o perfil de um capacitor utilizado em célula de memória.



Figura 2.17 – Exemplo de um capacitor de uma memória DRAM convencional.

Como se pode notar, a construção destes capacitores é um processo limitante em termos de etapas de processo bem como em relação à área ocupada. Baseado nisso, o conceito de memória 1T-DRAM, que consiste na memória DRAM com apenas um transistor, vem recebendo especial atenção na pesquisa e será o foco deste capítulo.

Também conhecida como memória de corpo flutuante (FBRAM - *Floating Body RAM*), esta memória utiliza o efeito de corpo flutuante do transistor SOI para armazenar as cargas no corpo do mesmo. Trata-se, portanto, de um processo compatível com a tecnologia CMOS e que pode ser facilmente escalável devido à ausência do capacitor. Um exemplo de uma célula de memória 1T-DRAM é apresentado na Figura 2.18 [54].

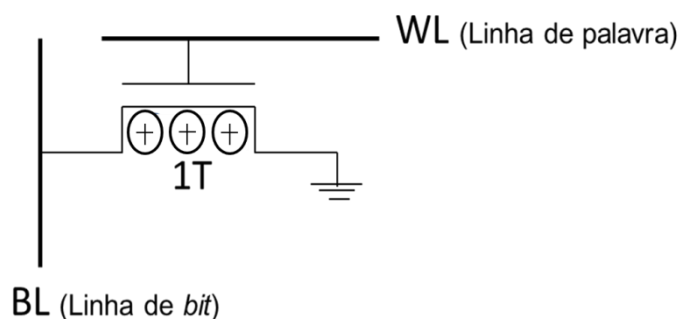


Figura 2.18 - Célula de memória da 1T-DRAM [54].

A figura anterior traz os conceitos de linha de palavra (WL, do inglês, *Word Line*) e linha de bit (BL, do inglês, *Bit Line*). Eles representam as linhas de conexões em uma matriz de dispositivos como representado na Figura 2.19.

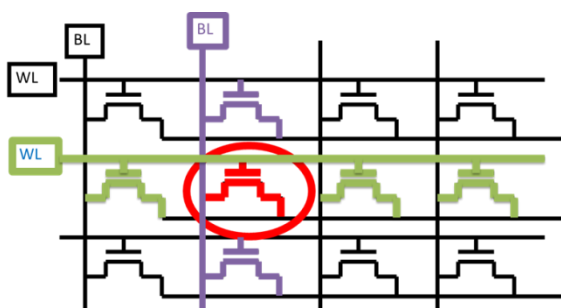


Figura 2.19 – Matriz de transistores funcionando como célula de memória [55].

Desta forma, é possível notar que a porta de todos os transistores está conectada à linha de palavra enquanto que o dreno dos dispositivos encontra-se na linha de bit. Para acessar um transistor específico, como por exemplo, o indicado na figura acima, implica em polarizar toda a linha de BL e WL e, conseqüentemente, polarizar os demais transistores conectados a estas linhas. Essa polarização pode causar uma perturbação no dado gravado e a esse fenômeno dá-se o nome de distúrbio. O distúrbio é um parâmetro importante a ser definido na memória, pois o ideal é que não houvesse esse tipo de perturbação. Neste capítulo, o distúrbio será analisado com base em um único transistor e no seu tempo de retenção (T_R). Para isso, a tensão de repouso foi modificada em relação ao valor padrão, simulando sua influência sobre T_R .

2.7.1 Programação da memória

Programar a memória significa efetuar as operações de escrita e leitura dos dados contidos nela. Para escrever o dado “1” é preciso armazenar cargas no corpo do transistor enquanto que para escrever o dado “0” é necessário remover essas cargas do corpo.

A escrita do dado “1” pode ocorrer por diferentes processos. São eles: ionização por impacto (II – *Impact Ionization*) [56], efeito do transistor bipolar

parasitário (BJT – *Bipolar Junction Transistor*) [56, 57], corrente de fuga induzida pela porta (GIDL – *Gate Induced Drain Leakage*) [57] e efeito de corpo flutuante induzido pela porta (GIFBE – *Gate Induced Floating Body Effect*) [58]. A escrita do dado “0” pode acontecer por polarização direta da junção (FBJ – *Forward Bias Junction*) e por acoplamento capacitivo (*Capacitive Coupling*) [59].

Neste trabalho, assim como em [9] a escrita e leitura do dado “1” acontece pelo efeito do transistor bipolar parasitário, enquanto que a escrita do dado ‘0’, por acoplamento capacitivo. Uma breve descrição de cada uma delas é dada a seguir.

2.7.1.1 Efeito do transistor bipolar parasitário (BJT)

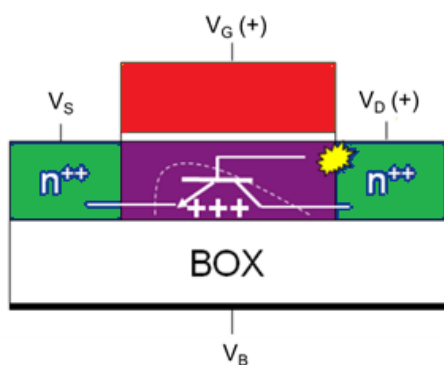
O método de programação do estado ‘1’ consiste na ativação do transistor bipolar parasitário (formado por fonte (emissor), canal (base) e dreno (coletor)) através das cargas geradas inicialmente por ionização por impacto. Estas cargas são geradas devido ao elevado campo elétrico no dreno associado ao alto valor da tensão de porta. Se o tempo de vida desses portadores minoritários for alto o suficiente, a base do transistor bipolar parasitário amplificará a corrente, resultando em uma realimentação na corrente de dreno do transistor principal, que sofrerá um aumento abrupto conforme representado na Figura 2.20. A inclinação de sublimiar nesta região se aproxima de zero [60]. A equação 2.33 mostra a corrente do transistor MOS nessa condição:

$$I_{DS} = MI_{ch}/[1 - \beta(M - 1)] \quad (2.33)$$

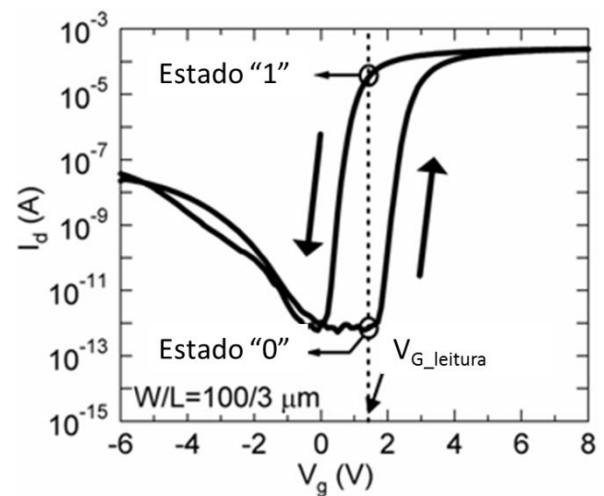
onde I_{ch} é a corrente do canal sem considerar a ionização por impacto; β é o ganho do transistor bipolar parasitário e M é o fator multiplicativo referente à ionização por impacto.

Na equação 2.33, dependendo das características do transistor bipolar parasitário, se $\beta(M - 1)$ aproximar-se de 1 haverá um aumento abrupto na corrente de dreno que tenderá a infinito. Por outro lado, o efeito cessará quando houver a diminuição do campo elétrico próximo ao dreno, que diminuirá a corrente de base do transistor parasitário. Na Figura 2.20b observa-se a formação de uma histerese na

curva de $I_{DS} \times V_{GS}$ e nota-se também que há um intervalo de tensões de porta no qual a corrente de dreno apresenta dois valores distintos, sendo um em nível alto (estado “1”) e outro em nível baixo (estado “0”). O nível alto de corrente de dreno indica que há lacunas no corpo e, portanto, o dado “1” foi escrito, enquanto que o nível baixo de corrente corresponde ao nível lógico “0”. Neste caso, o efeito BJT está desativado e as lacunas foram removidas do corpo do transistor [60].



(a)



(b)

Figura 2.20 (a) Mecanismo de escrita do dado ‘1’ na memória pelo método do BJT (b) surgimento da histerese com alto valor de tensão aplicado ao dreno [61]

2.7.1.2 O acoplamento capacitivo

O acoplamento capacitivo é um dos métodos para a escrita do dado “0”. Para isso, aplica-se um pulso positivo na porta do transistor que depleta a primeira interface e faz com que as junções dreno-corpo e fonte-corpo sejam diretamente polarizadas. Com isso, as cargas saem do corpo através das junções e o dado “0” é gravado.

A Figura 2.21 ilustra o mecanismo de escrita do dado ‘0’ por acoplamento capacitivo.

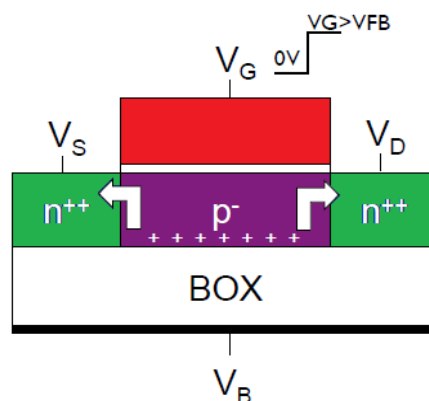


Figura 2.21 Mecanismo de escrita do dado '0' por acoplamento capacitivo [61].

2.7.1.3 Sequência de pulsos

Finalmente, o esquema de polarizações utilizado para gravar os dados no transistor é apresentado na Figura 2.22.

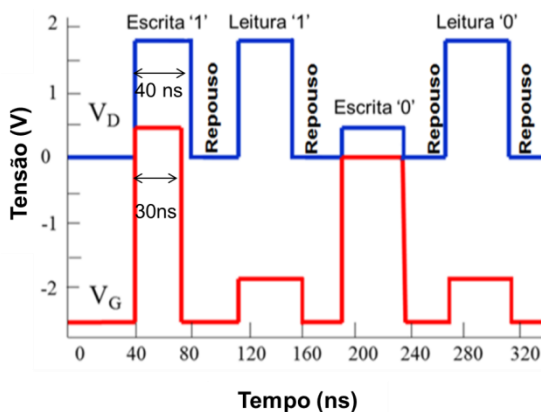


Figura 2.22 – Sequência de pulsos usada para programar o transistor.

A sequência acima foi estabelecida graças ao uso de dois geradores de pulsos aplicados no dreno e na porta do dispositivo. A tensão do substrato foi mantida constante e igual a 3 V, para garantir uma janela de leitura grande enquanto que a fonte foi mantida aterrada. Os valores apresentados foram otimizados ao longo do desenvolvimento de outros trabalhos, sendo que a programação dos pulsos é realizada em ambiente Labview. Para a realização do estudo de distúrbio, os

valores de V_D e V_G no repouso foram alterados a fim de simular a perturbação no dado.

2.7.2 Definições de parâmetros

2.7.2.1 Margem de sensibilidade e janela de leitura

A margem de sensibilidade da corrente, ΔI_S , é dada pela diferença dos níveis de corrente nos estados ligado (I_1) e desligado (I_0) durante a operação de leitura. Já a janela de leitura é definida como sendo o intervalo máximo e mínimo de V_G onde a histerese pode ser observada, possibilitando a leitura dos estados “1” e “0”. A Figura 2.23 mostra a margem de sensibilidade e a janela de leitura obtidas experimentalmente em função de $V_{G_leitura}$.

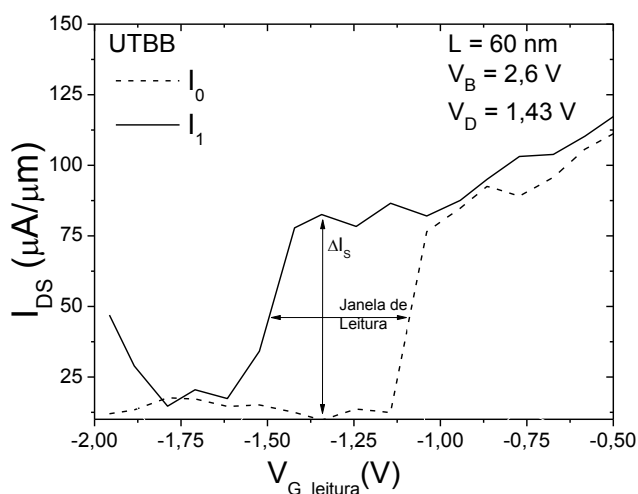


Figura 2.23 Margem de sensibilidade ΔI_S e janela de leitura em função de $V_{G_leitura}$.

Uma observação importante é em relação a tensão de porta na condição de repouso ($V_{G_repouso}$). Para evitar distúrbios durante a leitura, $V_{G_repouso}$ deve estar fora da janela de leitura [9].

2.7.2.2 Tempo de retenção (T_R)

O tempo de retenção é o tempo em que o dado fica armazenado na memória, pronto para ser lido. Da mesma forma que o capacitor da memória 1T1C se descarrega com o tempo, no caso da memória 1T-DRAM, o transistor também perde as cargas que ficam armazenadas no seu corpo, necessitando de refrescamento para que o dado seja atualizado. O tempo de retenção, T_R , é normalmente extraído quando a margem de sensibilidade degrada 50%, ou seja, o nível de corrente I_0 é degradado e tende ao valor de I_1 , conforme indicado na Figura 2.24.

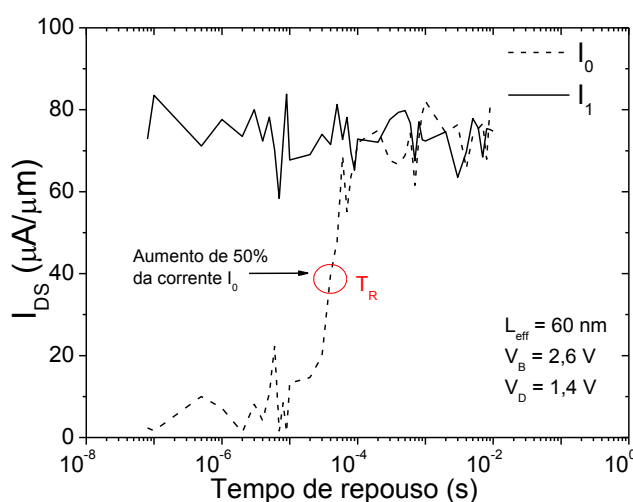


Figura 2.24 – Corrente I_{DS} em função do tempo de repouso mostrando o ponto onde o tempo de retenção é extraído.

Curva I_{DS} versus tempo de repouso, mostrando o ponto onde o tempo de retenção (T_R) é extraído após degradação de 50% do nível I_0 .

Através do gráfico acima é possível notar que o nível “0” é degradado, ou seja, após um tempo, a geração de cargas faz com que o nível “0” vá para “1”. Espera-se que o tempo de retenção seja elevado, a fim de diminuir o tempo de refrescamento da memória. O valor recomendado pelo ITRS (*International Roadmap for Semiconductor Industry*) é próximo de 64 ms [62].

3 ESTUDO DOS TRANSISTORES SOI DE MÚTIPLAS PORTAS SEM EXTENSÃO DE FONTE/DRENO

Neste capítulo, transistores de canal vertical ou tridimensionais (MuGFETs) sem extensão de fonte e dreno são comparados às estruturas de múltiplas portas com LDD (*Lightly Doped Drain*) baseado em simulações numéricas tridimensionais e caracterização elétrica.

Transistores com porta não auto-alinhada com fonte/dreno (F/D) vem sendo reportados como solução para evitar efeitos de canal curto, para baixas tensões de alimentação e baixa potência [63]. Conhecidos como transistores com subposição (*underlap*) ou transistores sem extensões de fonte e dreno, apresentam as regiões de extensões ou, LDD, com a dopagem natural da lâmina, ou seja, sem dopagem adicional. Dessa forma, o efeito de sobreposição (*overlap*) devido à difusão lateral dos dopantes é reduzido ou mesmo eliminado, como apresentado nas Figuras 3.1(a) e (b) que se aloca entre as regiões do canal e de fonte e dreno de alta dopagem.

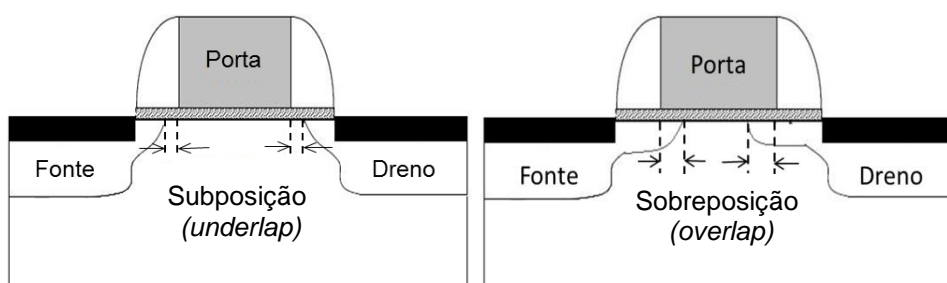


Figura 3.1 - Perfil de um transistor com regiões de subposição (a) e sobreposição (b).

Numa estrutura com sobreposição, o comprimento efetivo do canal (L_{eff}) é menor que o comprimento de porta (L_M). No caso do dispositivo sem extensão de F/D (subposição), L_{eff} depende de V_{GS} , ou seja, é modulável com a tensão de porta. Isso significa que o comprimento efetivo dependerá do potencial da porta V_G , podendo ser maior que o comprimento de máscara L_M .

De acordo com Fossum et al. [8], a modulação do canal com a tensão da porta obedece a seguinte relação. Para baixos potenciais, onde os dispositivos

operam na inversão fraca, ocorre uma migração dos portadores induzidos pela porta para as regiões sem extensão de F/D, alterando a densidade de portadores e o campo elétrico destas regiões. Como resultado, o comprimento de canal efetivo é dado pela equação 3.1.

$$L_{eff(inv_fraca)} = L_M + 2L_{Underlap} \quad (3.1)$$

Na inversão forte o comprimento efetivo tende ao próprio comprimento de porta, devido à alta densidade de portadores em todo o canal formado, ou seja:

$$L_{eff(inv_forte)} \cong L_M \quad (3.2)$$

Deste modo, embora não haja uma conexão direta das junções fonte/canal e dreno/canal alinhadas com a região da porta, o efeito transistor ainda existe devido ao espriamento das linhas de campo elétrico e, conseqüente surgimento de portadores nas regiões sem extensão de F/D. A partir deste ponto os dispositivos convencionais com as regiões LDD serão denominados dispositivos de referência ao passo que os transistores sem extensões de F/D serão chamados pela abreviação SemExt.

3.1 SIMULAÇÃO NUMÉRICA DE TRANSISTORES COM E SEM EXTENSÕES DE F/D

Para a realização desta etapa foi utilizado o simulador numérico Atlas da Silvaco. Foram criadas estruturas tridimensionais a fim de garantir a maior proximidade dos resultados à realidade. Os parâmetros geométricos e as características dos materiais foram definidos com base em dispositivos reais, diferindo-se apenas pela introdução das regiões sem extensão de F/D.

Os modelos físicos utilizados nas simulações são descritos a seguir [64].

BGN (*Bandgap Narrowing*) – Modelo importante para aplicação em regiões com alta concentração de dopantes sendo necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI. Deve ser usado em conjunto com o modelo Klaassen;

SRH (*Shockley-Read-Hall*) – Modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixo;

KLA (*Klaassen*) – Modelo de mobilidade que inclui dependência com concentração de portadores, concentração intrínseca de portadores e temperatura. Aplica diferentes mobilidades para portadores majoritários e minoritários. Recomendado para transistores da tecnologia SOI.

AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes de dreno;

FLDMOB – Modelo que considera a dependência da mobilidade com o campo elétrico paralelo. Recomendado para aplicações com alta polarização de dreno.

3.1.1 Estruturas Simuladas

Foram criadas estruturas com e sem extensão de fonte/dreno, sendo que as com extensão estão divididas em auto-alinhadas (onde as regiões de LDD estão auto-alinhadas com a porta) e com sobreposição de F/D na região da porta. As três estruturas geradas são exemplificadas na Figura 3.2. As características adotadas estão presentes na tabela 3.1.

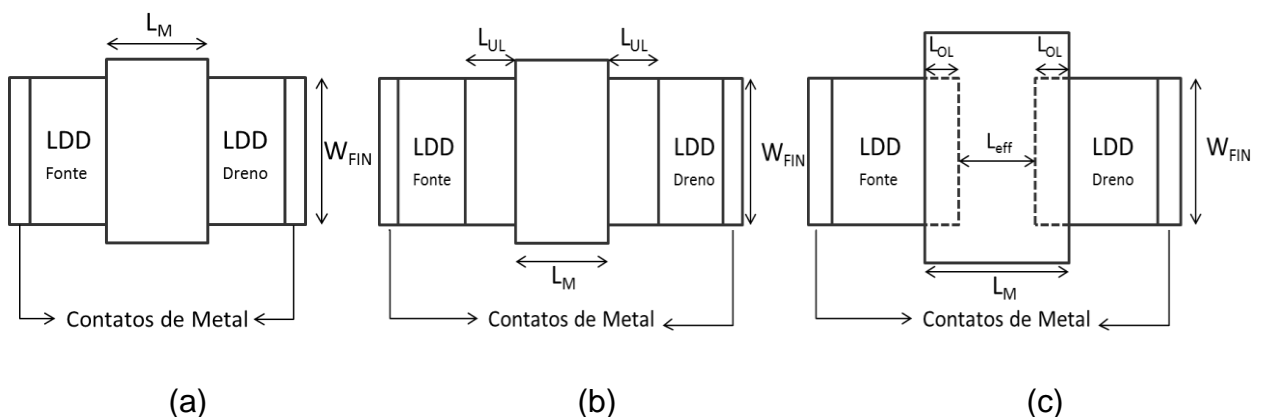


Figura 3.2 - Vista superior de um transistor auto-alinhado de referência (a), seguido pelos transistores sem extensão de F/D (b) e com sobreposição de porta (c).

Tabela 3.1 - Parâmetros dos transistores simulados.

Parâmetro	Valor
Comprimento de canal (L)	100 nm
Largura da aleta (W_{FIN})	25, 50, 100 nm
Altura da aleta (H_{FIN})	60 nm
Espessura do óxido de porta (t_{ox})	1,5 nm
Espessura do óxido enterrado (t_{BOX})	145 nm
Concentração de dopantes do canal tipo P (N_a)	10^{15} cm^{-3}
Concentração de dopantes das regiões de extensão de fonte/dreno (LDD) tipo N (N_d)	10^{19} cm^{-3}
Comprimentos das regiões de sobreposição (L_{OL}) e subposição (L_{UL})*	-10, -5, 5, 10 nm

*Foram adotados sinais negativo e positivo para indicar as regiões de *sobreposição* e *subposição*, respectivamente. A estrutura de referência corresponde ao comprimento 0 ao longo do estudo.

A função trabalho referente ao material de porta foi adotada como sendo 4,7 que equivale ao Nitreto de Titânio (TiN). Todos os perfis de concentração de dopantes nas junções são abruptos.

3.1.2 Características Elétricas

3.1.2.1 Corrente de dreno (I_{DS})

A corrente de dreno foi estudada a fim de analisar o impacto da presença ou não das extensões de F/D. No caso das estruturas sem extensão, uma nova componente resistiva é somada à resistência total do dispositivo já que uma região com baixa dopagem é acrescida ao transistor. O contrário acontece para transistores com sobreposição, onde o nível de corrente aumenta devido ao menor comprimento de canal efetivo e a maior concentração de dopantes das regiões de LDD.

A Figura 3.3 mostra o comportamento da corrente de dreno para as estruturas estudadas. Para $W_{FIN}=25$ nm, quase não há influência das diferentes estruturas devido ao bom acoplamento eletrostático das portas em todo o canal. Isso significa que, para larguras de porta pequenas, o campo elétrico gerado por cada uma das interfaces (ou portas) se sobrepõem ao outro, garantindo o domínio das cargas do canal pelas portas. Porém, na medida em que W_{FIN} aumenta (Figura 3.3b), nota-se que I_{DS} diminui até duas ordens de grandeza na região de sublimiar quando os

dispositivos sem extensão com $L_{UL}=10$ nm são comparados às estruturas com sobreposição de $L_{OL}=-10$ nm. Dessa forma, menores correntes de fuga assim como melhor inclinação de sublimiar são características de dispositivos sem extensão de F/D que, neste caso, apresentam L_{eff} maior que o L_M .

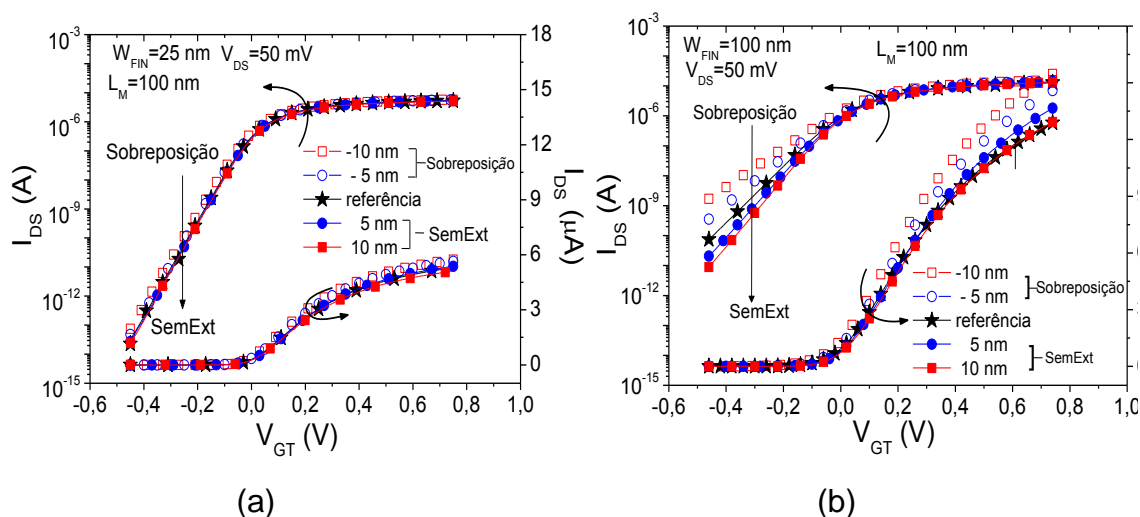


Figura 3.3 - I_{DS} em função da sobreposição de porta V_{GT} para transistores com e sem extensões de F/D para $W_{FIN}=25$ nm (a) e $W_{FIN}=100$ nm (b).

Entretanto, na medida em que V_G aumenta e o comprimento de canal tende ao valor de máscara L_M , nos dispositivos sem extensão, o nível de corrente se aproxima do valor obtido para o dispositivo de referência (auto-alinhado). Por outro lado, com a ocorrência da difusão lateral que provoca a sobreposição das regiões de F/D abaixo da porta e diminui o L_{eff} do transistor, ocorre a piora dos parâmetros elétricos relacionados aos efeitos de canal curto, enquanto que o nível de corrente para $V_{GS} > V_T$ aumenta devido à relação inversa da corrente com o comprimento de canal.

A fim de demonstrar que o fato de o dispositivo não ter suas extensões de fonte e dreno não interfere no efeito transistor do mesmo, simulações numéricas foram desenvolvidas com base em comprimentos maiores de L_{UL} . As curvas apresentadas nas Figuras 3.4 mostram que, embora haja uma perda significativa na corrente I_{on} (de até uma ordem de grandeza) à medida que L_{UL} aumenta, ainda é possível observar um comportamento de transistor. Também é possível notar que

para a largura de canal de 25 nm o impacto entre as diferentes estruturas na região de sublimiar é quase indiferente devido ao bom acoplamento eletrostático desta estrutura, enquanto que para $W_{FIN}=100$ nm a melhora na corrente *I_{off}* bem como na inclinação de sublimiar é visível para maiores L_{UL} . Isso mostra que é preciso ter um compromisso na escolha do comprimento L_{UL} ideal a fim de evitar uma perda muito grande na corrente *I_{on}* e que melhore as características de sublimiar.

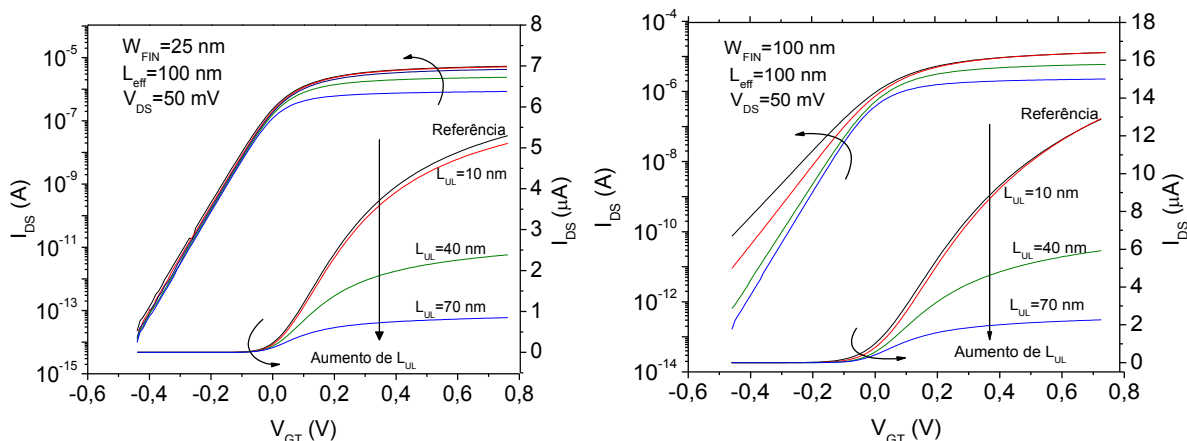


Figura 3.4 - I_{DS} em função da sobretensão de porta V_{GT} para transistores com e sem extensões de F/D para $W_{FIN}=25$ nm (a) e $W_{FIN}=100$ nm (b).

3.1.2.2 Razão *I_{on}/I_{off}*

Como observado no item anterior, a corrente de dreno é modulada com V_{GS} nos transistores sem extensão. A Tabela 3.2 mostra os valores da razão *I_{on}/I_{off}* para diferentes valores de W_{FIN} e para os diferentes comprimentos L_{OL} e L_{UL} .

Tabela 3.2 – Relação *I_{on}/I_{off}* para larguras da aleta de 25, 50 e 100 nm e diferentes comprimentos de extensões de F/D.

$V_{DS} = 50$ mV	L (nm)	Ion/Ioff		
		$W_{FIN}=25$ nm	$W_{FIN}=50$ nm	$W_{FIN}=100$ nm
Sobreposição	-10	10970	1519	165
	-5	14972	2660	323
Referência (auto-alinhado)	0	13012	4244	567
SemExt	5	15442	4413	843
	10	16186	5149	1140

A partir da Tabela 3.2 pode-se notar que a razão I_{on}/I_{off} é sempre maior nos dispositivos sem extensão, demonstrando que a perda obtida na corrente I_{on} devido ao aumento da resistência total da estrutura é compensado pela melhora expressiva na corrente I_{off} . Para $W_{FIN}=100$ nm a diferença entre $L_{OL}=-10$ nm e $L_{UL}=10$ nm é de aproximadamente 6,9 vezes. Isso demonstra que, dispositivos com elevado efeito de canal curto podem ser aperfeiçoados com a ausência das extensões de F/D.

3.1.2.3 Resistência total (R_{Total})

A resistência total em função de diferentes W_{FIN} para dispositivos com e sem extensões de F/D é apresentada na Tabela 3.3, para V_{GT} de 0,2 V. As regiões de extensão sem dopagem causam um aumento na resistência total como mencionado anteriormente. Essas resistências fazem parte da resistência parasitária do transistor que é maior comparada aos com *sobreposição*. Por isso, a corrente destes dispositivos para altos valores de V_G tende a diminuir.

Tabela 3.3 – Resistência total para diferentes W_{FIN} e comprimentos de *sobreposição* e *SemExt*.

$V_{DS} = 50$ mV	L (nm)	Resistência Total (Ω)		
		$W_{FIN}=25$ nm	$W_{FIN}=50$ nm	$W_{FIN}=100$ nm
<i>Sobreposição</i>	-10	9353	5812	3566
	-5	9553	6008	3791
Referência (auto-alinhado)	0	10148	6548	4280
	5	10332	6591	4147
<i>SemExt</i>	10	10508	6613	4256

3.1.2.4 Transcondutância máxima (g_{mmax})

A transcondutância máxima obtida para $V_{DS}=50$ mV segue o mesmo comportamento já observado na análise da corrente de dreno. Nota-se na Figura 3.5 que os transistores com *sobreposição* são mais vantajosos, apresentando um aumento de aproximadamente 14% em relação aos sem extensão. Isso se deve ao

menor L_{eff} destes dispositivos, diferentemente dos transistores sem extensão que apresentam g_{mmax} degradado.

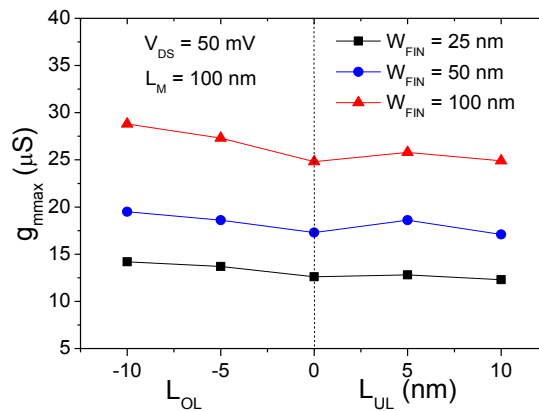


Figura 3.5 - Máxima transcondutância em função dos diferentes comprimentos de L_{OL} e L_{UL} .

3.1.2.5 Abaixamento de barreira induzido pelo dreno (DIBL)

O DIBL em função de L_{OL} e L_{UL} é apresentado na Figura 3.6 para diferentes valores de W_{FIN} . Para determinar o DIBL foram utilizadas as curvas de corrente de dreno para baixo e alto V_{DS} (50 mV e 1,2 V), onde a tensão de limiar na saturação (V_{T2}) foi definida com base no nível de corrente da tensão de limiar na condição linear (V_{T1}). Os maiores valores acontecem para os dispositivos com sobreposição e para $W_{\text{FIN}}=100 \text{ nm}$, onde a influência do campo lateral é mais significativa e resulta uma variação em V_{T} de 350 mV/V. Por se tratar de um efeito de canal curto, é natural que o DIBL seja maior para os dispositivos com sobreposição já que o comprimento de canal efetivo é menor. A melhora no DIBL para os transistores sem extensão está relacionada ao menor impacto das regiões de depleção do dreno junto ao canal uma vez que a distância entre a região de LDD e o canal é maior. Consequentemente, a distribuição do campo elétrico horizontal (do dreno) na região do canal é atenuada.

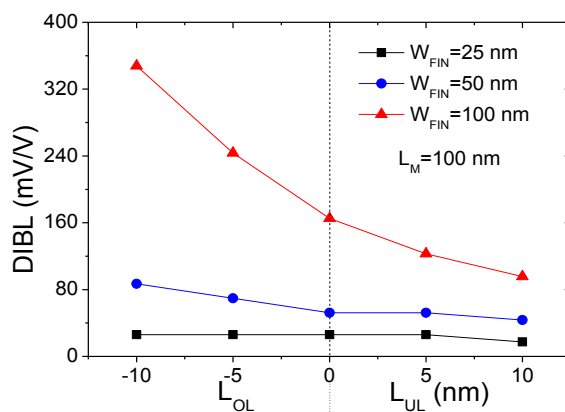


Figura 3.6 - DIBL em função de comprimento de L_{OL} e L_{UL} para $W_{FIN}=25, 50$, e 100 nm.

3.1.2.6 Inclinação de sublimiar (S)

A Figura 3.7 mostra a inclinação de sublimiar em função dos comprimentos de L_{UL} e L_{OL} para diferentes larguras de canal.

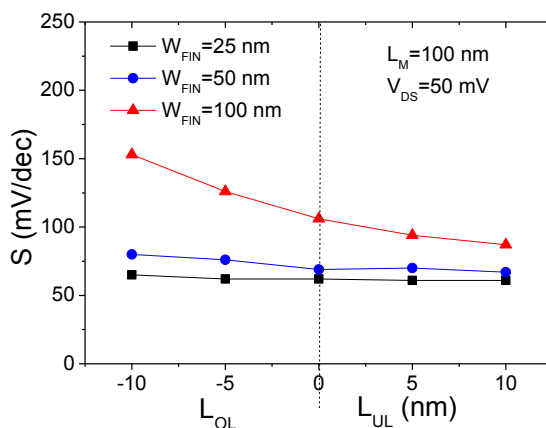


Figura 3.7 - Inclinação de sublimiar em função dos comprimentos de L_{OL} e L_{UL} para diferentes larguras da aleta.

A inclinação de sublimiar melhora nos dispositivos sem extensão devido ao maior comprimento de canal efetivo nesta condição de polarização (sublimiar). Mesmo ao aumentar o valor de W_{FIN} há apenas 26 mV/dec de acréscimo ao valor de S em relação ao $W_{FIN}=25$ nm para $L_{UL}=10$ nm, enquanto que nos dispositivos com sobreposição essa variação é de 90 mV/dec para $L_{OL}=-10$ nm.

Seguindo a mesma tendência do DIBL, larguras de canal menores proporcionam maior acoplamento das portas, resultando em valores próximos ao ideal em todas as estruturas.

3.1.2.7 Eficiência do transistor (g_m/I_{DS})

A razão g_m/I_{DS} em função da corrente de dreno normalizada é apresentada na Figura 3.8. A eficiência dos transistores sem extensão é maior que a dos demais dispositivos, principalmente na inversão fraca e moderada. Nestas regiões a eficiência se relaciona com a inclinação de sublimiar de forma inversa, conforme equação 2.12. Como o dispositivo sem extensão favorece a diminuição do S, estes dispositivos apresentam melhor eficiência, principalmente para larguras de canal maiores (Figura 3.7). Uma diferença de aproximadamente 10 V^{-1} é alcançada na região de inversão fraca entre os dispositivos com $L_{UL}=10 \text{ nm}$ e $L_{OL}=-10 \text{ nm}$ para $W_{FIN}=100 \text{ nm}$ (Figura 3.8b).

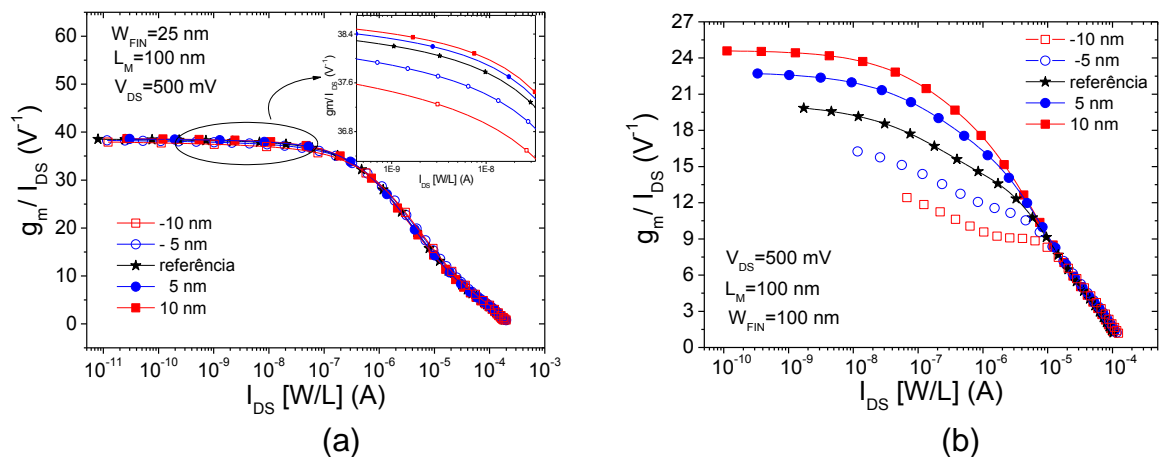


Figura 3.8 - Eficiência dos transistores em função da corrente de dreno normalizada para (a) largura de canal de 20 nm e (b) 100 nm.

3.1.2.8 Condutância de saída (g_D)

Para determinar a condutância de saída (g_D) as características de corrente $I_{DS} \times V_{DS}$ dos dispositivos foram analisadas conforme Figura 3.9a. Para $W_{FIN}=100 \text{ nm}$ nota-se uma elevada inclinação no nível de corrente na região de saturação,

indicando alta influência do campo elétrico do dreno nestes dispositivos, principalmente para os transistores com sobreposição. A Figura 3.9b mostra a condutância de saída em função da tensão de dreno para as larguras de canal de 25 e 100 nm. Como este parâmetro está associado à susceptibilidade do canal ao campo elétrico lateral, dispositivos sem extensão são mais vantajosos, apresentando os menores valores de condutância de saída. Com canais mais largos, esse efeito torna-se mais notável e uma significativa melhora de aproximadamente 25% em g_D é observada.

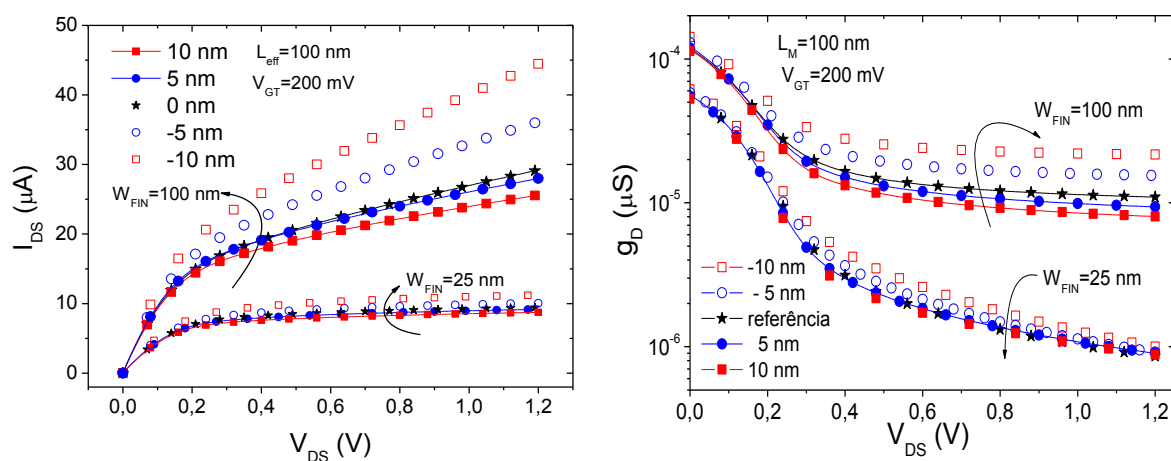


Figura 3.9 - Condutância de saída em função de V_{DS} para W_{FIN} de 25 e 100 nm.

A Figura 3.10 apresenta a tensão *Early* (V_{EA}) em função do comprimento L_{OL} e L_{UL} para diferentes W_{FIN} . A tensão *Early* também está relacionada à penetração do campo elétrico do dreno no canal e, por isso, os melhores resultados são referentes aos dispositivos sem extensão, que diminuem essa influência. Para $W_{FIN} = 25$ nm há 25% de melhora no valor da tensão *Early* em relação aos comprimentos de -10 e 10 nm, aumentando para 50% no caso de largura de canal de 100 nm.

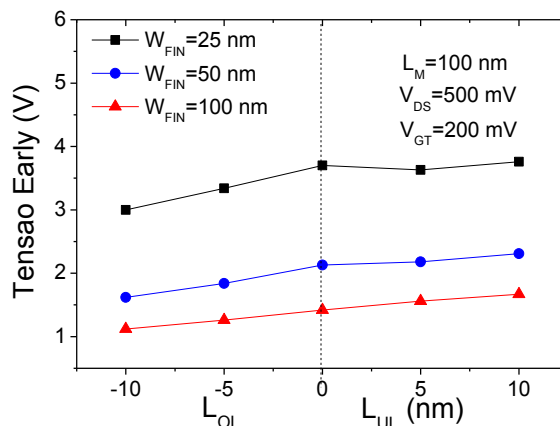


Figura 3.10 - Tensão *Early* em função dos comprimentos de L_{OL} e L_{UL} .

O ganho intrínseco de tensão (A_V) em função do comprimento de L_{OL} e L_{UL} é apresentado na Figura 3.11. Como esse parâmetro é o produto da tensão *Early* e da razão g_m/I_{DS} , o melhor comportamento dos dispositivos sem extensão prevalece. Aproximadamente, um aumento de até 7 dB é observado nestes dispositivos para $W_{FIN} = 25$ nm, comparando os comprimentos de -10 nm e 10 nm.

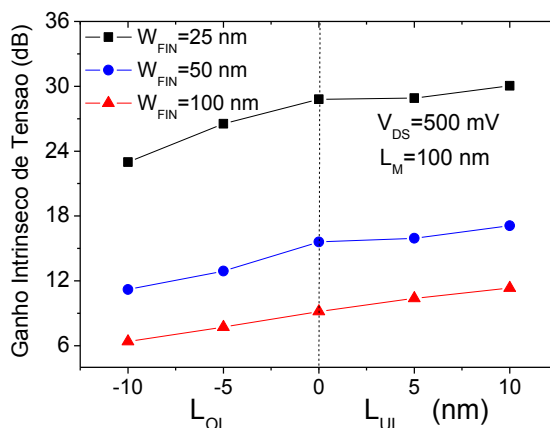


Figura 3.11 - Ganho intrínseco de tensão em função dos comprimentos de L_{UL} e L_{OL} para diferentes larguras de canal.

3.1.2.9 Frequência de ganho unitário (f_T)

A frequência de ganho unitário ($f_T = g_m / (2 \cdot \pi \cdot C_L)$) foi extraída para os diferentes comprimentos de L_{UL} e L_{OL} , considerando dois valores de sobretensão de porta e

$V_{DS}=500\text{mV}$. A capacitância de carga é calculada como sendo $C_L=C_{ox}WL$, onde C_{ox} é a capacitância de porta por unidade de área. Como resultado, frequências acima de 50 GHz foram obtidas, o que demonstra coerência com valores experimentais já publicados [50, 51]. A comparação entre as diferentes larguras de canal mostra que os transistores mais estreitos, por apresentarem menor capacitância, são responsáveis pelas maiores frequências obtidas. A frequência de ganho unitário chega a ser 2 vezes maior para $W_{FIN}=25\text{ nm}$ em relação a $W_{FIN}=100\text{ nm}$. A fim de estimar com maior precisão o valor de f_T , o comprimento de canal efetivo, que considera as regiões de overlap que avançam para dentro do canal foi considerado nos cálculos para os dispositivos com sobreposição, o que salientou o aumento de f_T em relação aos dispositivos sem extensão. Estes por sua vez, apresentam L_{eff} tendendo ao comprimento de máscara já que estão operando acima de V_T e, portanto, apresentam o mesmo comprimento de canal (100 nm). Com menor L_{eff} e, conseqüentemente, maior g_m , dispositivos com maior L_{OL} apresentam maior f_T , podendo atingir até 50% de diferença comparado ao $L_{UL}=10\text{ nm}$. Um aspecto importante está relacionado ao fato de os dispositivos sem extensão apresentarem valores próximos aos dispositivos de referência auto-alinhados. Isso mostra que não há degradação significativa no desempenho destes dispositivos em termos de f_T .

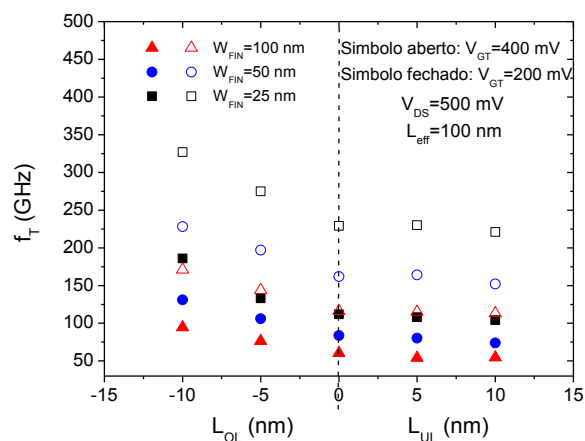


Figura 3.12 - Frequência de ganho unitário para os diferentes comprimentos de L_{OL} e L_{UL} obtida para $V_{GT}=200\text{ mV}$ e $V_{GT}=400\text{ mV}$.

Desta forma, considerando principalmente os parâmetros analógicos estudados, a exceção do f_T , o desempenho de transistores sem extensão é superior

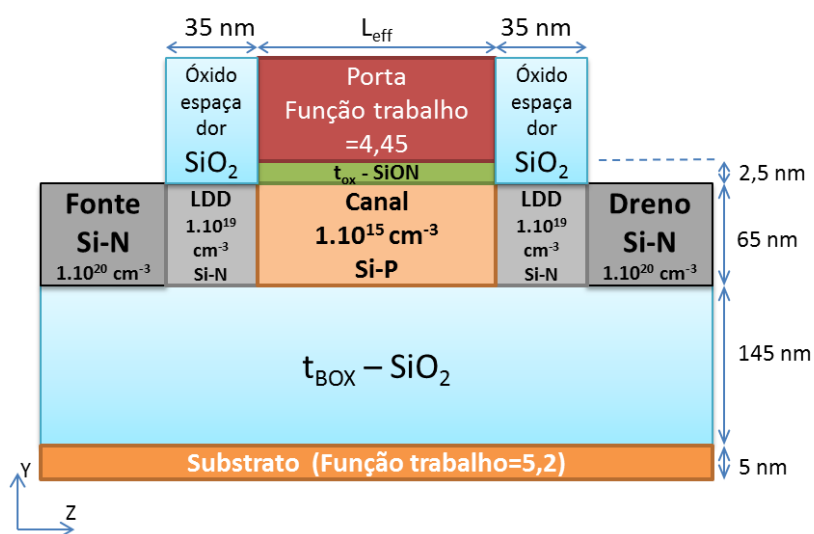
em relação aos demais. Lembrando que o intervalo de variação estudado foi pequeno (-10 nm a 10 nm). Portanto, espera-se que as melhorias obtidas sejam extrapoladas para comprimentos de subposição ainda maiores, tornando-se estruturas realmente atrativas para aplicações que não necessitem de alto nível de corrente Ion.

3.2 CARACTERIZAÇÃO ELÉTRICA DE MuGFETS COM E SEM EXTENSÕES DE F/D

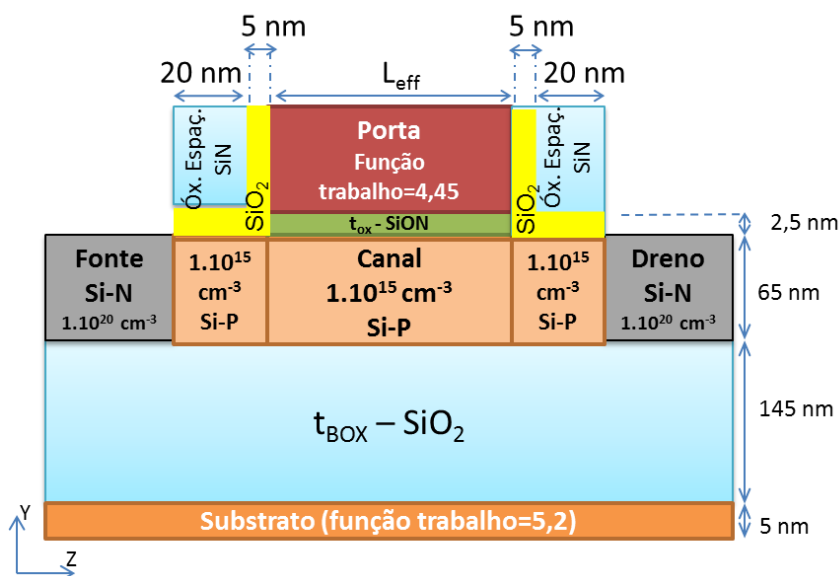
Nesta etapa, MuGFETs com e sem extensões de F/D são estudados através da caracterização elétrica e de simulação numérica tridimensional. Estes transistores foram fabricados no imec, Bélgica. As simulações foram originadas no Atlas, seguindo os mesmos modelos adotados no item anterior. Foi adotado o perfil gaussiano de concentração de dopantes nas junções. As características dos dispositivos são listadas na Tabela 3.4 e ilustradas na Figura 3.13 através da seção transversal da estrutura de referência (a) e da estrutura sem extensão (b). Pode-se notar que a espessura/largura do óxido espaçador é diferente para cada estrutura, o que afeta diretamente o perfil de dopantes dos transistores.

Tabela 3.4 – Parâmetros dos dispositivos adotados nas estruturas simuladas.

Parâmetro	Valor
Comprimento de canal	500 nm ~ 50 nm
Largura da aleta (W_{FIN})	30 nm
Altura da aleta (H_{FIN})	60 nm
Espessura do óxido de porta (t_{ox})	2,5 nm
Espessura do óxido enterrado (t_{BOX})	145 nm
Concentração de dopantes do canal tipo P (N_a)	10^{15} cm^{-3}
Concentração de dopantes das regiões de extensão de fonte/dreno (LDD) tipo N (N_d)	10^{19} cm^{-3}



(a)



(b)

Figura 3.13 – Corte transversal das estruturas de referência (a) e SemExt (b), contendo suas principais características.

3.2.1 Características Elétricas

3.2.1.1 Tensão de limiar e DIBL

Os gráficos contidos na Figura 3.14 representam o comportamento da tensão de limiar e do DIBL em função do comprimento de canal por meio de medidas elétricas (a) e por simulação numérica (b). O objetivo das simulações foi observar as tendências obtidas experimentalmente, pois o ajuste exato das estruturas envolveria

conhecimento específico de etapas de processo que não são divulgados. Isso justifica a diferença quantitativa obtida em relação aos dados experimentais. Dessa forma, pode-se afirmar que, partindo-se de uma estrutura fisicamente igual àquela medida e utilizando os modelos padrão do simulador numérico, é possível observar a mesma tendência dos dados experimentais. A diferença ΔV_T é aproximadamente 20 mV maior para os dispositivos de referência para $L_{eff} < 180$ nm. A relação $\Delta V_T/V_{T0}$, sendo V_{T0} o valor da tensão de limiar para maior comprimento de canal, é de 48% para $L_{eff}=50$ nm e dispositivos de referência ao passo que os transistores sem extensão variam 38%. O DIBL foi extraído pelo mesmo método já apresentado no item 3.1. Pode-se notar que para $L_{eff}=50$ nm não foi possível extrair os valores de DIBL devido à grande degradação por efeito de canal curto que resulta em valores elevados (acima de 0,7 V/V). Para $L_{eff}=60$ nm, dispositivos de referência degradam cerca de 60% mais que os dispositivos sem extensão.

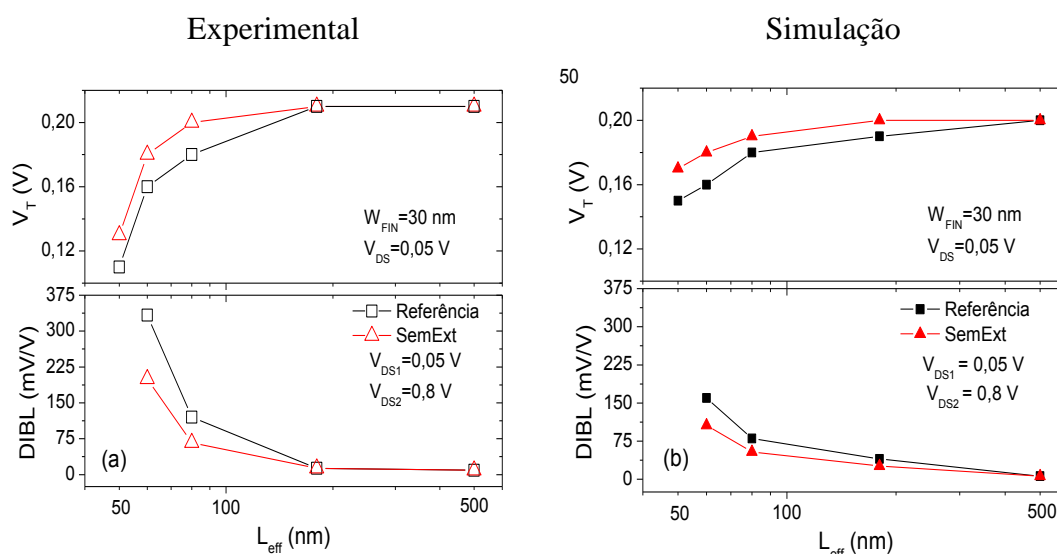


Figura 3.14 – V_T e DIBL em função de L_{eff} para dispositivos de referência e SemExt, considerando os dados experimentais (a) e os resultados simulados (b).

A fim de comprovar a formação do canal nos transistores sem extensão, a Figura 3.15 mostra um corte ao longo do canal do dispositivo de $L_M=140$ nm e $W_{FIN}=50$ nm com a densidade de corrente de elétrons e o perfil de concentração de dopantes equivalente. Pode-se notar que, nas regiões destacadas como L_{UL} , de comprimento igual a 40 nm, há uma elevada concentração de elétrons mesmo que a concentração de dopantes diminua gradativamente de 10^{21} até 10^{15} cm^{-3} .

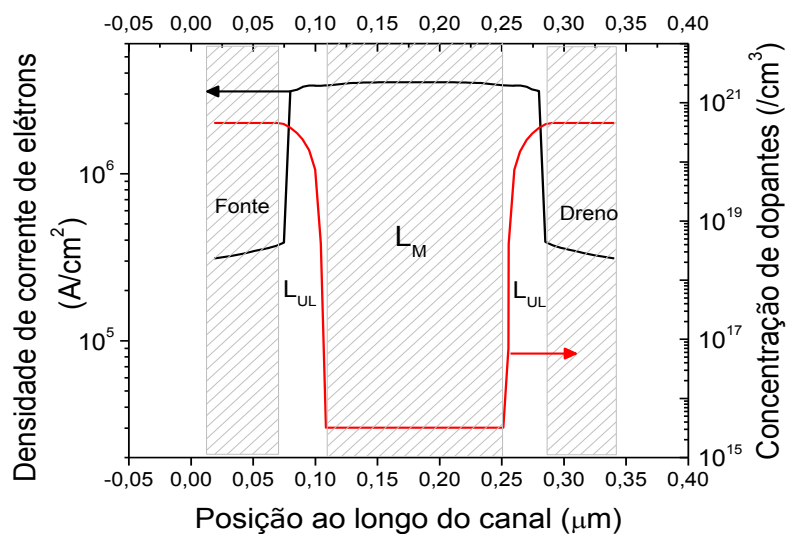


Figura 3.15 – Densidade de elétrons e concentração de dopantes ao longo da posição do canal para $V_{GT}=0,2$ V e $V_{DS}=0,05$ V

3.2.1.2 Máxima transcondutância e resistência total

A transcondutância máxima e a resistência total são mostradas na Figura 3.16 e, como esperado, o comportamento de ambas as análises são complementares, já que a maior resistência implica em diminuir o nível de corrente e conseqüentemente o valor da transcondutância. Uma queda de $30 \mu\text{S}$ é observada nos dispositivos sem extensão para $L_{\text{eff}}=500$ nm enquanto a resistência introduzida pelas regiões de L_{UL} chega a acrescentar até 200Ω neste dispositivo.

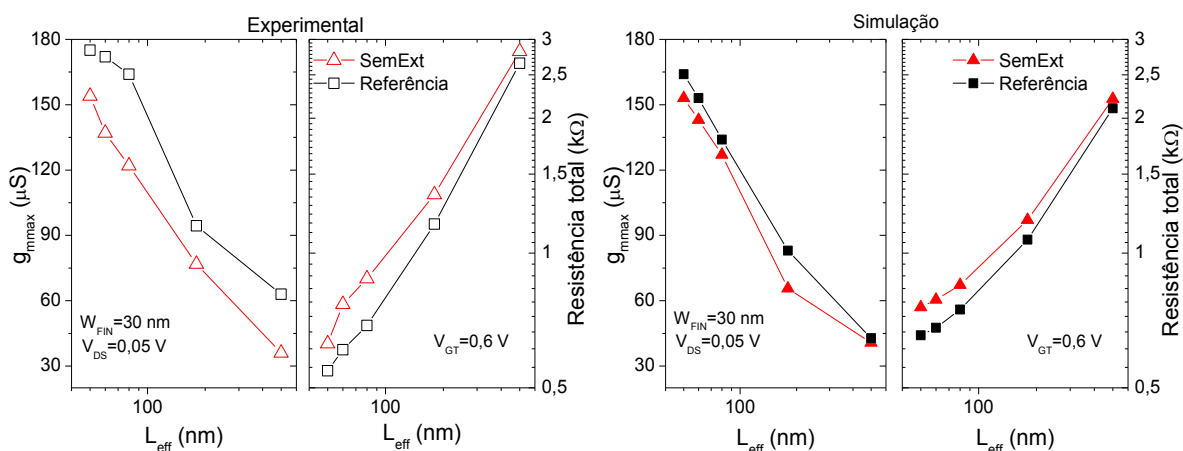


Figura 3.16 – Máxima transcondutância e resistência total dos transistores com e sem extensões de F/D obtidos experimentalmente e por simulação numérica.

3.2.1.3 Inclinação de sublimiar e razão I_{on}/I_{off}

A inclinação de sublimiar e a razão I_{on}/I_{off} , apresentadas na Figura 3.17, mostram que o comportamento de sublimiar melhora conforme anteriormente explorado, ou seja, o maior L_{eff} nas estruturas sem extensão de F/D na região de sublimiar melhora a inclinação de sublimiar assim como a corrente de fuga desses transistores. Uma diminuição no valor experimental de S de até 75 mV/dec ocorre nas estruturas sem extensão de $L_{eff}=50$ nm ao passo que a relação I_{on}/I_{off} cresce mais que 3 vezes nestes transistores com $L_{eff}=60$ nm. Esta melhora tende a ser suprimida para menores comprimentos de canal, como observado para $L_{eff}=50$ nm. Nota-se que, comparativamente aos valores experimentais, os dados obtidos por simulação aparentam mais imunidade aos efeitos de canal curto, embora a tendência seja a mesma. Isso pode estar associado dentre outras coisas à densidade de cargas de interface que foi mantida constante nas simulações no valor de $1.10^{11} \text{ cm}^{-2}$.

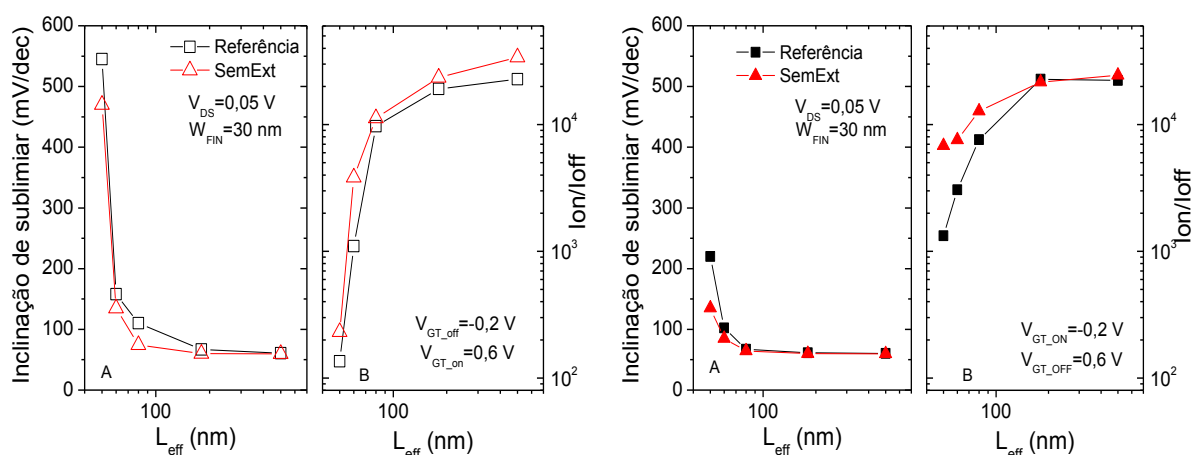


Figura 3.17 – Inclinação de sublimiar e razão I_{on}/I_{off} para os dados experimentais (a) e para as simulações numéricas.

3.2.1.4 Eficiência do transistor (g_m/I_{DS})

A eficiência do transistor g_m/I_{DS} em função da corrente de dreno normalizada foi obtida para dois comprimentos de canal diferentes, $L_{eff}=50$ nm e $L_{eff}=500$ nm, conforme apresentado na Figura 3.18. A transcondutância foi obtida para $V_{DS}=0,5$ V. O comportamento ao longo da polarização de porta mostra que o maior impacto dos

diferentes tipos de estruturas ocorre para $L_{\text{eff}}=50$ nm, onde dispositivos sem extensão apresentam até 5 V^{-1} de acréscimo no valor de g_m/I_{DS} na região equivalente ao sublimiar da corrente, onde a eficiência é inversamente proporcional à inclinação de sublimiar que, neste caso, diminuiu 75 mV/dec nos dispositivos sem extensão.

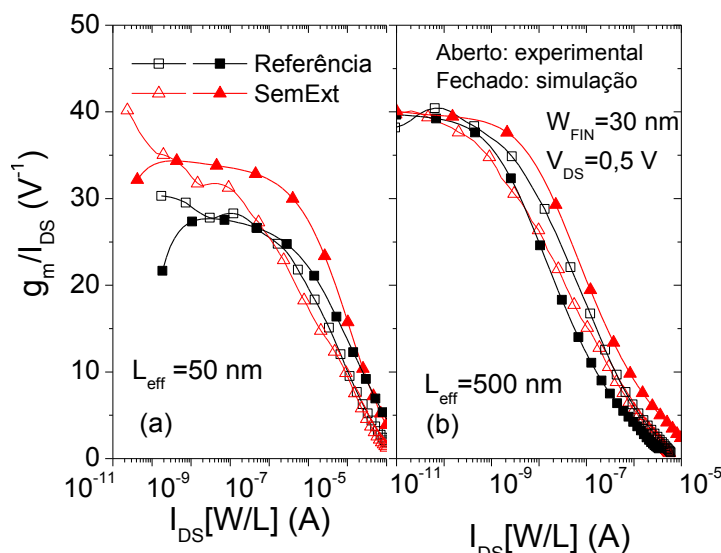


Figura 3.18 – Eficiência do transistor para $L_{\text{eff}}=50$ nm (a) e $L_{\text{eff}}=500$ nm (b).

3.2.1.5 Condutância de saída (g_D)

A Figura 3.19 mostra a condutância de saída em função da corrente I_{DS} para os comprimentos de canal de 50, 80 e 180 nm na condição de $V_{\text{GT}}=0,2$ V. Para as curvas simuladas, as linhas pontilhadas indicam o comportamento dos dispositivos de referência ao passo que os símbolos fechados equivalem aos dispositivos sem extensão. Da mesma forma, são apresentados os dados experimentais, onde as linhas cheias correspondem aos transistores de referência enquanto os símbolos abertos representam os sem extensão. Maiores comprimentos de canal são menos susceptíveis às linhas de campo elétrico do dreno, o que diminui o valor de g_D em pelo menos 2,5 vezes maior em relação ao $L_{\text{eff}}=50$ nm na saturação. Os dispositivos sem extensão, por sua vez, tem o melhor comportamento, ou seja, menor g_D , o que já era esperado uma vez que estes apresentaram menor DIBL devido a menor influência do campo elétrico ao longo do canal.

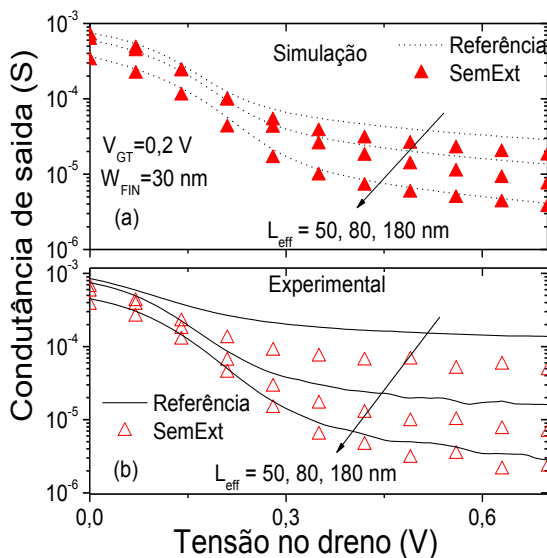


Figura 3.19 – Condutância de saída baseada em (a) simulação e (b) em dados experimentais para $L_{\text{eff}}=50$ nm, 80 nm e 180 nm.

3.2.1.6 Tensão V_{EA} e ganho intrínseco de tensão (A_V)

A análise da tensão *Early* é apresentada na Figura 3.20a que, juntamente com a análise da eficiência do transistor, permitiu o cálculo do ganho intrínseco de tensão, apresentado na Figura 3.20b. Dispositivos sem extensão apresentam aumento de até 3 V em V_{EA} em comparação com os de referência como pode ser observado ao longo dos diferentes comprimentos de canal, o que acarreta um ganho que varia de 1 a 9 dB nestes transistores.

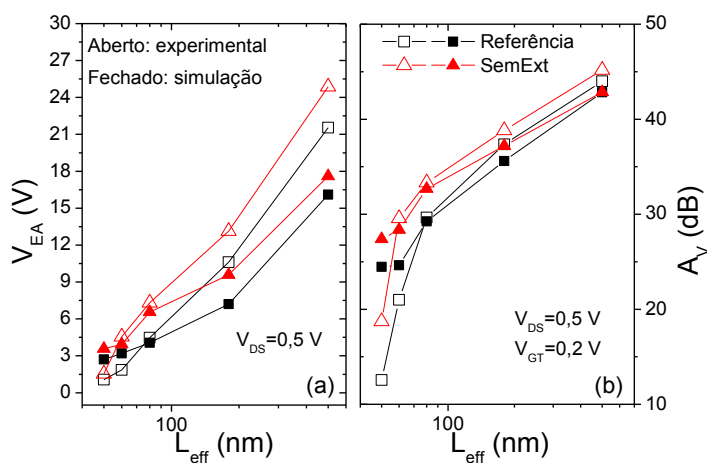


Figura 3.20 – V_{EA} (a) e A_V (b) em função de L_{eff} comparando os resultados simulados aos experimentais.

4 ESTUDO DOS TRANSISTORES SOI COM ÓXIDO ENTERRADO E CAMADA DE SILÍCIO ULTRAFINOS – UTBB

Nesta fase do estudo, os transistores de óxido enterrado e espessura da camada de silício ultrafinos (UTBB) são estudados com base nos parâmetros digitais e analógicos destes dispositivos, tendo em vista a influência do comprimento do óxido espaçador e os efeitos da temperatura. Além disto, um estudo mais detalhado sobre o comportamento do ruído é dedicado a estes transistores, assim como a aplicação destes como célula de memória. Vale ressaltar que os UTBB aqui analisados foram otimizados para operarem como memória 1T-DRAM (*1-Transistor Dynamic Random Access Memory*), ou simplesmente, memória de corpo flutuante. A maior parte das análises aqui apresentadas foi realizada no imec, Bélgica, durante o estágio de doutorado no exterior.

4.1 INFLUÊNCIA DO COMPRIMENTO DO ÓXIDO ESPAÇADOR NAS CARACTERÍSTICAS DOS TRANSISTORES SEM EXTENSÃO DE F/D

Como já explicado anteriormente, dispositivos sem extensão apresentam uma extensão da região do canal devido a não formação das regiões de LDD. Isso porque, apesar de conter o óxido espaçador que é o responsável pela baixa dopagem destas regiões, transistores sem extensão não passam pela etapa de implantação para a formação do LDD. Portanto, como resultado, tem-se uma estrutura sem as extensões de fonte e dreno. Uma vez que o óxido espaçador é mantido, pode-se concluir que a região sem extensão seguirá o perfil do óxido espaçador, ou seja, quanto maior o seu comprimento, maior será a região sem extensão (ou *underlap*). Baseado nisso, diferentes comprimentos de óxido espaçador (L_{ox_esp}) são estudados a fim de investigar sua influência nos principais parâmetros dos transistores.

Os transistores estudados nesta etapa contêm diferentes comprimentos de óxido espaçador. São eles: $L_{ox_esp}=20$ nm, $L_{ox_esp}=15$ nm, $L_{ox_esp}=10$ nm. Há também um dispositivo com $L_{ox_esp}=15$ nm que apresenta inclinação de 12° no ângulo de implantação iônica das regiões altamente dopadas de fonte e dreno e, finalmente, a

estrutura de referência que corresponde à estrutura padrão do transistor, contendo as regiões de LDD. Neste último caso, $L_{ox_esp}=20$ nm. É importante ressaltar que os valores apresentados correspondem a média obtida de cerca de 5 medidas. Nesta etapa, a temperatura de operação adotada foi de 85°C , já que esta é a temperatura normal de operação para aplicações como célula de memória [9]. Todos os resultados são baseados em dados experimentais.

4.1.1 Comportamento elétrico

A Figura 4.1 apresenta a inclinação de sublimar para os diferentes tipos de lâminas medidas e para $L_{eff}=44$ nm e $L_{eff}=69$ nm. O melhor desempenho obtido ocorre para as amostras sem extensão com 20 nm e 15 nm de comprimento de espaçador, onde o percentual de melhoria é de aproximadamente 29% em relação à lâmina de referência, considerando o menor L_{eff} . Por outro lado, os dispositivos sem extensão com $L_{ox_esp}=10$ nm comportam-se de forma pior que os transistores de referência devido à maior difusão lateral de dopantes presente nestas estruturas, uma vez que as mesmas não possuem LDD. Estes dispositivos chegam a apresentar inclinação de sublimar acima de 400 mV/dec. Quanto ao dispositivo com inclinação no ângulo de implantação, nota-se que S aumenta aproximadamente 70 mV/dec em relação ao dispositivo equivalente sem inclinação, demonstrando que este processo degrada o desempenho do dispositivo devido a mudança no perfil dos dopantes. Em outras palavras, a inclinação no ângulo de implantação iônica provoca maior penetração dos dopantes no sentido do canal, diminuindo o valor efetivo da região sem extensão.

A transcondutância máxima em função do comprimento de canal efetivo é apresentada na Figura 4.2 para as diferentes estruturas de fonte e dreno estudadas. Os valores foram obtidos na região linear para $V_{DS}=50$ mV. A análise da transcondutância permite confirmar que as estruturas sem extensão de F/D sofrem com menor transcondutância devido a maior resistência dessas estruturas.

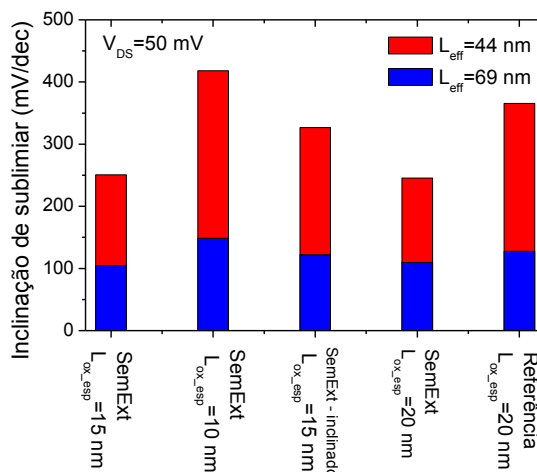


Figura 4.1 – Inclinação de sublimiar em função das diferentes lâminas para $L_{\text{eff}}=44$ nm e 69 nm.

Para os dispositivos sem extensão com $L_{\text{ox_esp}}=20$ nm, g_{mmax} diminui até 1,5 vezes comparado ao dispositivo de referência enquanto que, na sequência, aparecem os transistores com $L_{\text{ox_esp}}=15$ nm, os dispositivos sem extensão-inclinado e, finalmente, aqueles com $L_{\text{ox_esp}}=10$ nm, apresentando resultados sutilmente maiores que os dispositivos de referência, que são os melhores neste quesito, pois apresentam menor comprimento efetivo de canal e, portanto, maior corrente.

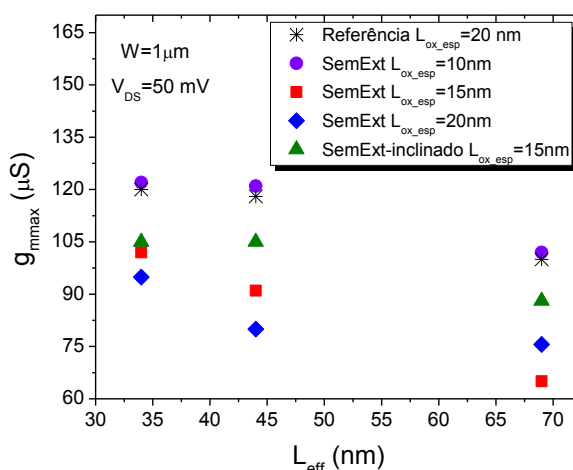


Figura 4.2 – Transcondutância máxima em função de L_{eff} para $V_{\text{DS}}=50$ mV, comparando as diferentes configurações de F/D.

O comportamento do DIBL ($\text{DIBL}=\Delta V_{\text{T}}/\Delta V_{\text{DS}}$) pode ser observado na Figura 4.3 para todos os tipos de F/D estudados, considerando dois comprimentos de

canal, 44 nm e 69 nm. A tensão de limiar foi extraída para $V_{DS}=50$ mV e $V_{DS}=1,1$ V a fim de analisar a mudança na tensão de limiar induzida pelo aumento da tensão de dreno. Nota-se que o DIBL varia de 95 mV/V para 170 mV/V para os comprimentos de canal longo e curto, respectivamente, considerando o dispositivo com $L_{ox_esp}=20$ nm. Tais valores aumentam para 254 mV/V e 2,54 V/V quando o tamanho do espaçador diminui para 10 nm. Isso mostra como a região sem extensão contribui para evitar a influência do maior campo elétrico do dreno na região de canal. Novamente, os transistores inclinados apresentam resultados semelhantes aos de $t_{ox_esp}=10$ nm e próximos ao dispositivo de referência devido à difusão lateral acentuada nestes dispositivos.

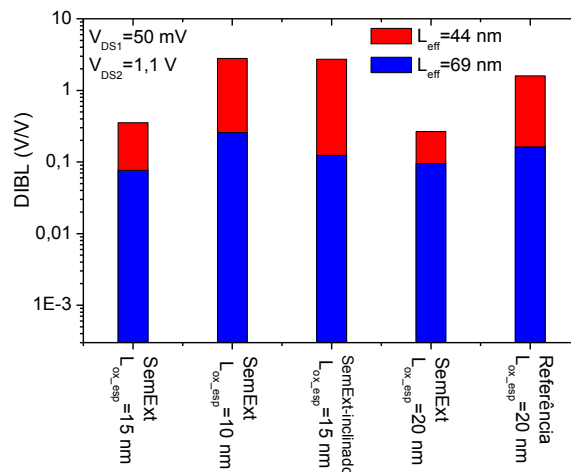


Figura 4.3 – DIBL em função dos diferentes perfis de F/D obtido para $L_{eff}=44$ nm e 69 nm.

A razão I_{on}/I_{off} é apresentada na Figura 4.4 para as diferentes estruturas de F/D e $V_{DS}=50$ mV. Para L_{ox_esp} de 20 e 15 nm, o valor obtido é próximo de 10^4 , demonstrando que, apesar do impacto negativo na corrente I_{on} , há uma melhora significativa em I_{off} que faz a razão I_{on}/I_{off} ser maior para os dispositivos sem extensão com maior L_{ox_esp} devido ao maior comprimento de canal efetivo na região de sublimiar. O pior comportamento acontece para o dispositivo com $L_{ox_esp}=10$ nm onde a razão I_{on}/I_{off} se aproxima de 10^3 , sendo mais prejudicada pelo aumento significativo da corrente I_{off} decorrente do menor L_{eff} .

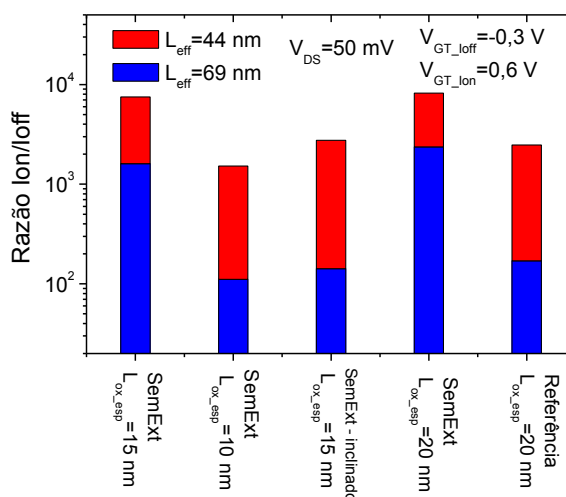


Figura 4.4 – Razão Ion/Ioff para os diferentes tipos de amostras estudadas.

A Figura 4.5 mostra a corrente de GIDL (*Gate Induced Drain Leakage*) em função do comprimento de canal efetivo para os diferentes tipos de F/D, obtidos para $V_{GT} = -2,2$ V e $V_{DS} = 1,1$ V. A corrente de GIDL é três ordens de grandeza maior nos transistores sem extensão com $L_{ox_esp} = 10$ nm comparado ao $L_{ox_esp} = 20$ nm, considerando o comprimento de 69 nm. Na medida em que L_{eff} diminui, a diferença torna-se mais significativa, atingindo mais de seis ordens de grandeza para as mesmas estruturas, considerando $L_{eff} = 34$ nm. Esse comportamento é esperado, uma vez que, a corrente de GIDL acontece na região de sobreposição do dreno junto à porta para alto campo elétrico no dreno. Uma vez que as estruturas sem extensão com maiores L_{ox_esp} evitam a ocorrência do efeito de sobreposição, a corrente de GIDL é minimizada. Por outro lado, as estruturas de referência assim como àquelas com L_{ox_esp} de 10 nm e 15 nm (inclinado) favorecem a difusão lateral que resulta na sobreposição das regiões de F/D abaixo da porta e, conseqüentemente, aumentam a corrente de GIDL nesta região.

A condutância de saída (g_D) é apresentada na Figura 4.6a para $L_{eff} = 69$ nm e 4.6b para $L_{eff} = 34$ nm, em função de V_{DS} , sendo que as curvas foram obtidas para $V_{GT} = 200$ mV. Pode-se notar que g_D tende a aumentar (de 2~3 vezes) para menores comprimentos de canal. É possível observar que os melhores resultados (menores valores de g_D) correspondem aos dispositivos sem extensão com maiores L_{ox_esp} .

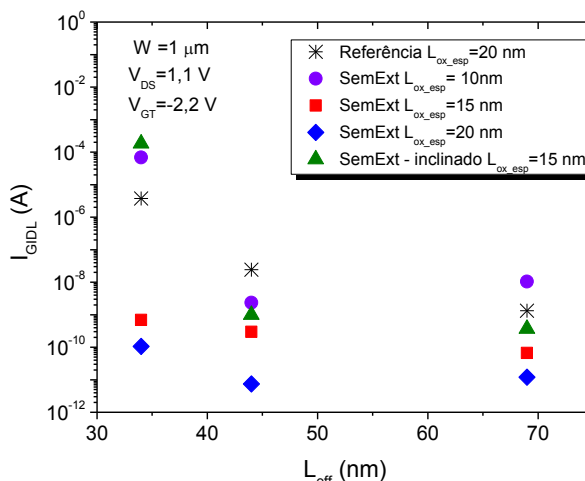


Figura 4.5 – Corrente de GIDL em função do comprimento de canal para os diferentes perfis de fonte e dreno.

O dispositivo com ângulo de implantação iônica inclinado (triângulo) apresenta, para maior L_{eff} , comportamento próximo aos dispositivos sem extensão com $L_{\text{ox_esp}}$ de 15 e 20 nm. Por outro lado, quando L_{eff} diminui, ocorre uma aproximação dos valores de g_D aos dos dispositivos de referência e dos sem extensão com $L_{\text{ox_esp}}=10$ nm. Na medida em que o comprimento de canal diminui, o impacto das difusões laterais torna-se mais significativo e, por isso, o comportamento tende a piorar, ficando mais susceptível às linhas de campo elétrico do dreno.

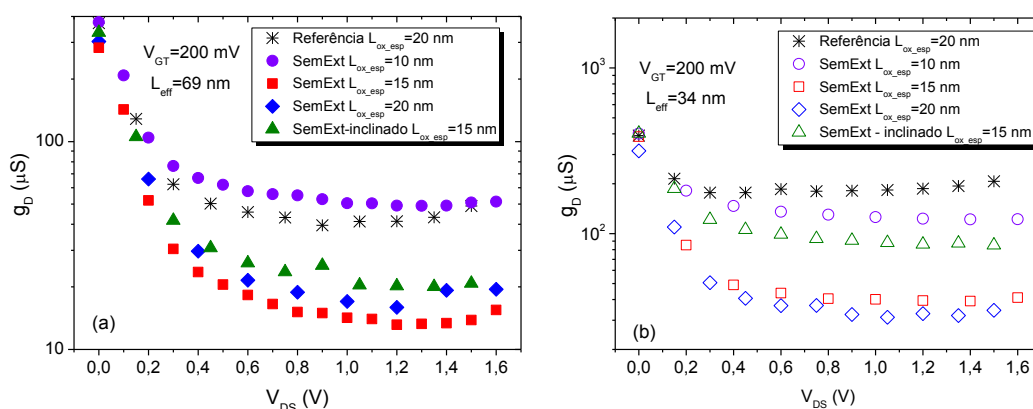


Figura 4.6 – Condutância de saída em função de V_{DS} para (a) $L_{\text{eff}}=69$ nm e (b) $L_{\text{eff}}=34$ nm.

Na Figura 4.7 a eficiência do transistor, representada pela razão da transcondutância pela corrente de dreno, é extraída em função da corrente de dreno normalizada e para $V_{DS}=1,1$ V. A principal diferença entre as diversas configurações de fonte e dreno acontece na inversão fraca, onde a eficiência do transistor relaciona-se com a inclinação de sublimiar, de acordo com a equação 2.12. Como previamente mencionado, uma vez que a inclinação de sublimiar melhora (diminui) nos dispositivos sem extensão, o mesmo ocorre para a eficiência g_m/I_{DS} na região de sublimiar que aumenta nestes dispositivos.

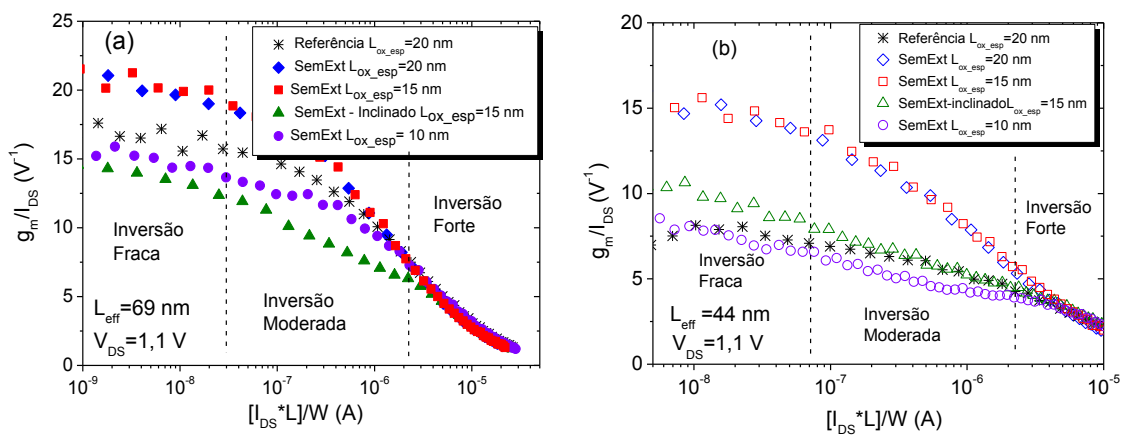


Figura 4.7 - g_m/I_{DS} em função da corrente de dreno normalizada para (a) $L_{eff}=69$ nm e (b) $L_{eff}=44$ nm para $V_{DS}=1,1$ V e para as diferentes configurações de dreno.

Na Figura 4.7a, nota-se uma variação de aproximadamente $5 V^{-1}$ entre a melhor condição observada (transistores com $L_{ox_esp}=20$ e 15 nm) e os dispositivos com pior comportamento (inclinados). Já na Figura 4.7b a variação é de aproximadamente $7 V^{-1}$. Vale ressaltar que, neste caso, o pior comportamento é observado nos dispositivos com $L_{ox_esp}=10$ nm. Isso demonstra que há uma difusão lateral mais significativa nestes dispositivos no caso de comprimentos de canal menores. Como a influência do campo elétrico diminui nas estruturas sem extensão é esperado que a tensão *Early* melhore, como de fato é mostrado na Figura 4.8. Obtida para $V_{DS}=1,1$ V e $V_{GT}=200$ mV, V_{EA} é pelo menos $2,5$ V maior para transistores sem extensão com L_{ox_esp} de 20 e 15 nm, comparado ao dispositivo de referência e baseado no comprimento de canal de 69 nm.

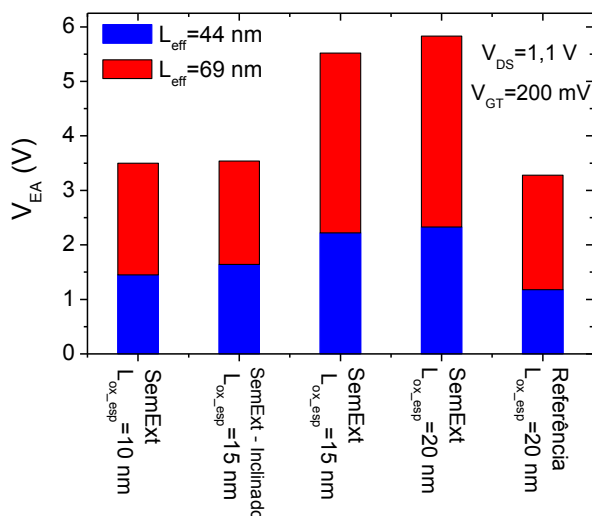


Figura 4.8 -Tensão *Early* para as diferentes amostras, considerando L_{eff} igual a 69 nm e 44nm.

O ganho intrínseco de tensão é apresentado na Figura 4.9 em função das diferentes configurações de fonte e dreno. Pode-se notar que o dispositivo sem extensão com $L_{eff}=69$ nm apresenta A_V próximo de 100 V/V nos casos onde L_{ox_esp} é igual a 20 e 15 nm, enquanto que o dispositivo de referência aproxima-se de 40 V/V. Esse ganho, no entanto, é apenas significativo para os maiores comprimentos de L_{ox_esp} , já que os demais dispositivos sem extensão chegam a apresentar ganho menor que o dispositivo padrão. Além do mais, a proximidade dos valores sugere que não há controle de processo suficiente para assegurar a formação da região sem extensão nas estruturas.

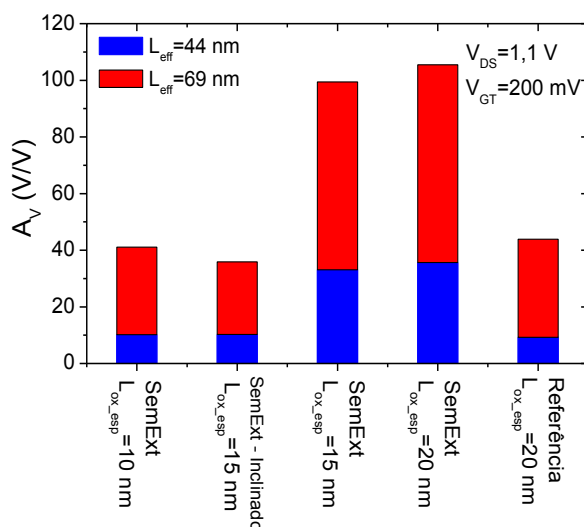


Figura 4.9 – A_V para L_{eff} de 69 nm e 44 nm, comparando as diferentes configurações de F/D.

4.2 EFEITO DA TEMPERATURA NOS TRANSISTORES UTBB

A partir da análise realizada no item 4.1, dois dispositivos foram adotados para que a influência da temperatura fosse estudada. Primeiramente, o dispositivo de referência que representa a configuração padrão dos transistores e, a fim de representar a classe dos dispositivos sem extensão de fonte e dreno, optou-se pelo transistor com $L_{ox_esp}=20$ nm, já que este apresentou os melhores resultados ao longo das análises. Desta forma, além da temperatura de 85°C , foram estudadas as temperaturas de 25°C e 100°C , considerando os dados experimentais obtidos pelo analisador de parâmetros HP4156C.

4.2.1 Comportamento elétrico

A tensão de limiar normalizada pelo V_T do dispositivo com maior comprimento de canal, V_{T0} , é apresentada na Figura 4.10 para dispositivos de referência e sem extensão em função da temperatura. Os resultados mostram que a redução de V_T com o comprimento de canal é menor nos dispositivos sem extensão exceto para $L_{eff}=34$ nm onde os efeitos de canal curto são acentuados até mesmo nestas estruturas e ocasionam uma variação de aproximadamente 20% no valor de V_T . O aumento da temperatura piora ainda mais o comportamento dos dispositivos de referência, como pode ser observado para $T=100^{\circ}\text{C}$ onde houve cerca de 60% de aumento contra 30% dos transistores sem extensão para o menor L_{eff} analisado. A maior variação de V_T para altas temperaturas está associada ao aumento do nível de concentração intrínseca de portadores (n_i) que afeta o nível de Fermi e, conseqüentemente, diminuem o V_T , principalmente para os dispositivos de canal curto [2]. Sabe-se que, com o aumento da temperatura, as regiões de depleção de F/D tendem a aumentar e, conseqüentemente, passam a afetar as cargas na região do canal, aumentando os efeitos de canal curto. Nas estruturas sem extensão de F/D esse efeito é minimizado. A razão de $\Delta V_T/\Delta T$ diminui de $-5,33$ mV/ $^{\circ}\text{C}$ nos dispositivos de referência para $-0,93$ mV/ $^{\circ}\text{C}$ nos transistores sem extensão com $L_{eff}=34$ nm.

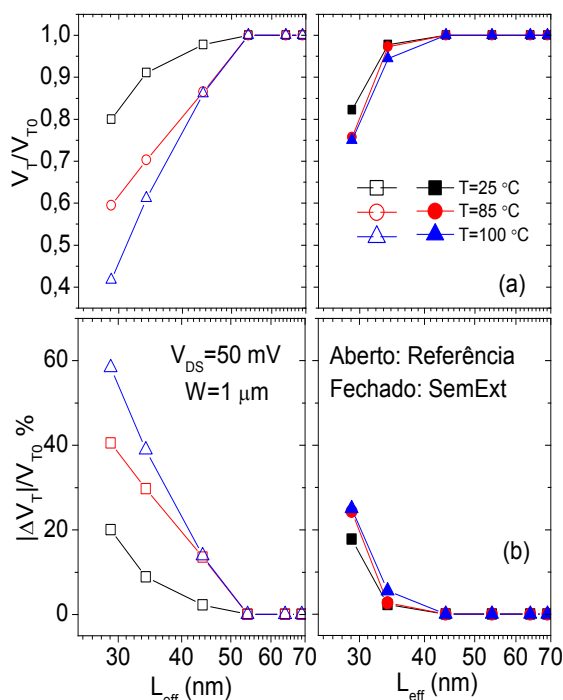


Figura 4.10 – Razão V_T/V_{T0} (a) e percentual de variação de V_T em relação a V_{T0} (b) em função de L_{eff} .

A respeito do DIBL, a evolução ao longo do comprimento de canal pode ser vista na Figura 4.11a assim como o comportamento da inclinação de sublimiar (Fig. 4.11b). É possível notar uma forte taxa de degradação de ambos os parâmetros devido aos efeitos de canal curto. À temperatura ambiente, o DIBL varia de 0,15 V/V para 2 V/V para comprimentos de canal longo e curto, respectivamente. Por outro lado, as estruturas sem extensão mostram melhores resultados com valores que mudam de 0,095 V/V para 0,73 V/V, para $L_{eff}=69$ nm e $L_{eff}=29$ nm, respectivamente. A mudança induzida pela temperatura é basicamente a mesma nos dispositivos sem extensão e de referência, aumentando no máximo 16% o valor do DIBL. Baseado nos resultados da inclinação de sublimiar, a temperatura é mais influente nos menores comprimentos de canal onde, para $L_{eff}=29$ nm, a variação chega a 40% nos dois tipos de estruturas de F/D. À temperatura ambiente, o valor de ΔS entre os comprimentos de canal de 69 nm e 29 nm aumenta 410 mV/dec na condição de referência enquanto que os dispositivos sem extensão sofrem aumento de 165 mV/dec. Como previsto em [8], o uso de estruturas sem extensão de F/D ajuda a evitar os efeitos de canal curto devido à modulação do comprimento de canal pela polarização de porta. Consequentemente, o maior comprimento de canal efetivo na

inversão fraca melhora a inclinação de sublimar enquanto o DIBL melhora devido à menor penetração das linhas de campo elétrico do dreno na região do canal.

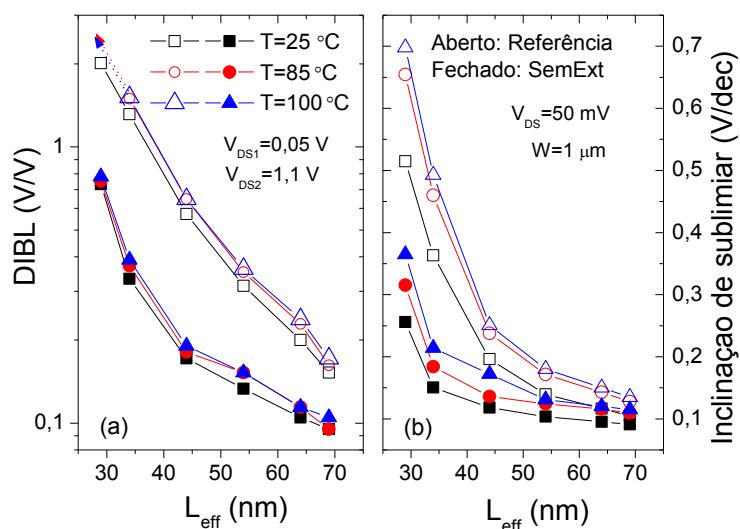


Figura 4.11 – DIBL (a) e inclinação de sublimar (b) em função de L_{eff} .

A razão I_{on}/I_{off} é apresentada na Figura 4.12 onde pode-se notar um comportamento inverso entre dispositivos de referência e os sem extensão. Para $L_{eff}>54\text{ nm}$, as estruturas de referência apresentam maior razão I_{on}/I_{off} devido a maior corrente I_{on} destes dispositivos, associada a menor resistência da estrutura. No entanto, com a redução do comprimento de canal e o consequente aumento dos efeitos de canal curto, a estrutura sem extensão torna-se mais vantajosa em termos de I_{on}/I_{off} . Isso porque, nestas dimensões, sua influência é mais significativa e reduz consideravelmente os valores de I_{off} . Para $L_{eff}=34\text{ nm}$ a razão I_{on}/I_{off} aumenta 2 ordens de grandeza nos dispositivos sem extensão em todas as temperaturas analisadas. No entanto, ao aumentar a temperatura ocorre a queda nos níveis de corrente em ambas as estruturas, degradando a razão I_{on}/I_{off} em quase 3 ordens de magnitude como pode ser observado no comprimento de canal de 69 nm .

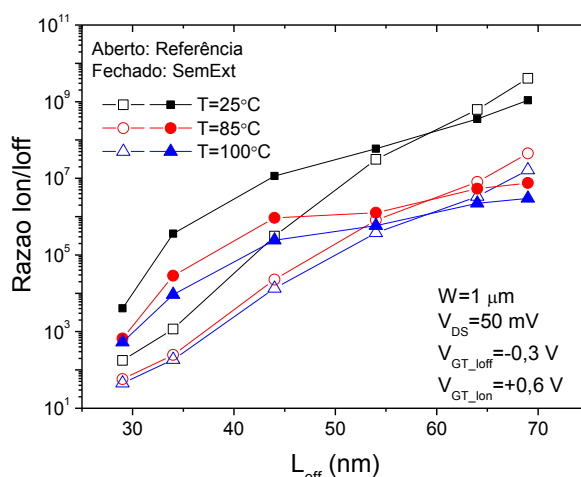


Figura 4.12 – Razão Ion/Ioff em função de L_{eff} para diferentes temperaturas.

A Figura 4.13 apresenta a corrente de GIDL em função da temperatura obtida para $V_{\text{GT}}=-2$ V e $V_{\text{DS}}=1,1$ V para os dois tipos de estruturas de F/D. Como o GIDL é a corrente de fuga devido ao elevado campo elétrico entre a porta e a sobreposição das regiões de F/D (decorrente da difusão lateral dos dopantes), dispositivos sem extensão são menos susceptíveis a este fenômeno como já observado no item anterior. Comparando os dispositivos sem extensão aos de referência, uma diferença de cerca de 3 ordens de grandeza pode ser observada para $L_{\text{eff}}=44$ nm nas três temperaturas estudadas. A corrente de GIDL é inversamente proporcional ao comprimento de canal e, por isso, os maiores valores observados aparecem para o menor L_{eff} . O aumento da temperatura, por sua vez, diminui a largura da faixa proibida, aumentando o I_{GIDL} . A máxima variação induzida pela temperatura ocorre para o comprimento de canal de 69 nm onde o dispositivo de referência aumenta 19 vezes contra 4 vezes no caso do dispositivo sem extensão.

A condutância de saída em função do comprimento de canal, extraída para $V_{\text{GT}}=200$ mV, é apresentada na Figura 4.14. Como esperado e anteriormente mencionado, dispositivos sem extensão são mais imunes aos efeitos do campo elétrico do dreno, o que diminui o valor de g_{D} . Comparado ao dispositivo de referência, essa diferença chega a ser 5 vezes menor para $L_{\text{eff}}=34$ nm.

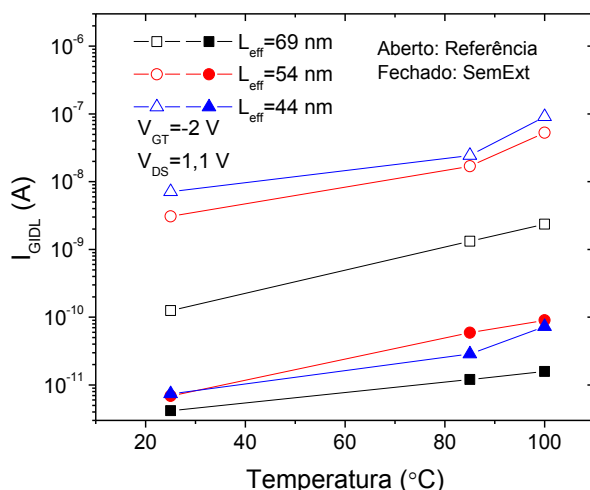


Figura 4.13 – Corrente de GIDL obtida para $V_{DS}=1,1$ V e $V_{GT}=-2$ V em função da temperatura.

Por outro lado, o impacto da temperatura mostra uma ligeira queda nos valores de g_D devido à diminuição na corrente de dreno, porém a variação é somente significativa (~25%) nos comprimentos de canal menores que 34 nm para os dispositivos de referência, e para $L_{eff}=29$ nm no caso dos transistores sem extensão de F/D.

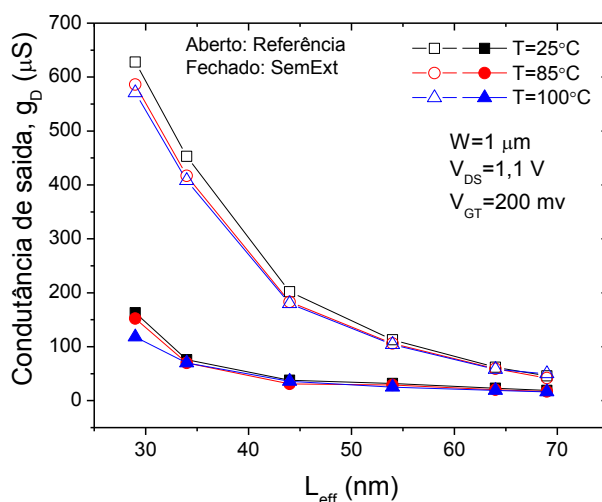


Figura 4.14 – Condutância de saída obtida para $V_{DS}=1,1$ V e $V_{GT}=200$ mV em função do L_{eff} .

A tensão *Early* (V_{EA}) é apresentada na Figura 4.15 para diferentes temperaturas e em função do comprimento de canal. Uma vez que a influência do campo elétrico horizontal é menor nas estruturas sem extensão de F/D, uma melhora significativa em V_{EA} pode ser observada. À temperatura ambiente, a

diferença entre dispositivos de referência e sem extensão é de cerca de 2 V e diminui com o comprimento de canal devido a maior influência dos efeitos de canal curto. O aumento da temperatura afeta ambas as estruturas, diminuindo os valores de V_{EA} em até 0,7 V (para $L_{eff}=69$ nm) devido a maior depleção lateral que piora os efeitos de canal curto causados pela temperatura [2].

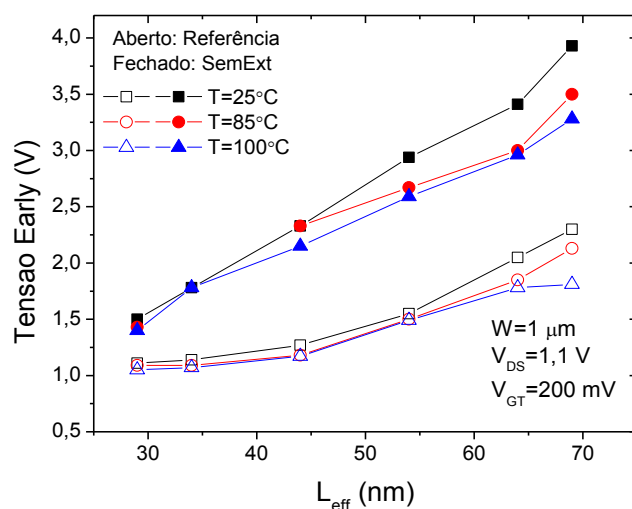


Figura 4.15 – Tensão Early em função de L_{eff} para $V_{DS}=1,1$ V e $V_{GT}=200$ mV.

Quanto maior a razão g_m/I_{DS} e maior o valor de V_{EA} , maior será o ganho intrínseco de tensão A_V . Dessa forma, dispositivos sem extensão apresentam maior ganho em relação aos de referência, sendo que uma melhora de cerca de 50% é obtida para todos os comprimentos de canal e temperaturas estudados, conforme Figura 4.16. A diferença obtida pelo aumento da temperatura é pequena e representa uma variação média de menos de 10% para todos os dispositivos, exceto para $L_{eff}=69$ nm que apresenta uma diminuição em A_V de aproximadamente 18% para os dispositivos de referência.

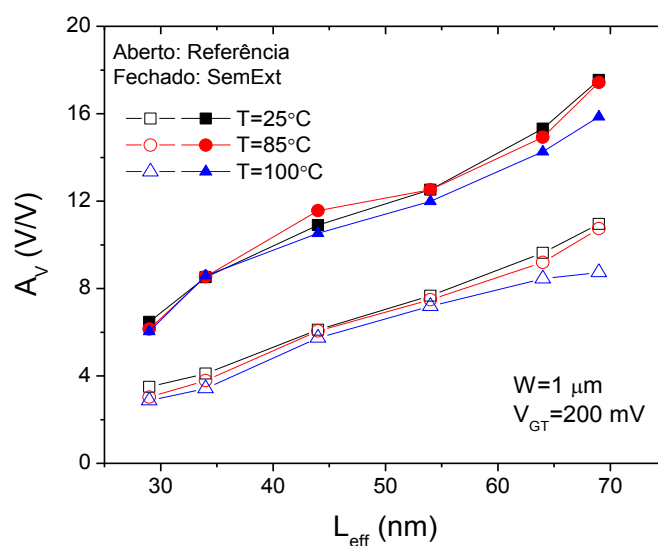


Figura 4.16 – Ganho intrínseco de tensão em função de L_{eff} para $V_{\text{GT}}=200$ mV e diferentes temperaturas.

4.3 ESTUDO DO RÚIDO DE BAIXA FREQUÊNCIA EM TRANSISTORES UTBB

Nesta seção, o foco será dado ao estudo do ruído de baixa frequência nos transistores UTBB em análise. Inicialmente, apenas os dispositivos sem extensão com $L_{\text{ox_esp}}=15$ nm serão estudados em função da variabilidade ao longo da lâmina, da influência da 1ª e 2ª interfaces e de diferentes espessuras da camada de silício ($t_{\text{Si}}=6$ nm e $t_{\text{Si}}=14$ nm). Em seguida, transistores sem extensão contendo material de porta com alto K são comparados aos convencionais com dióxido de silício (SiO_2). Essa etapa foi desenvolvida integralmente no Imec, Bélgica, uma vez que eles possuem o equipamento necessário para medidas de ruído.

4.3.1 Variabilidade do ruído de baixa frequência nas 1ª e 2ª interfaces dos transistores UTBB.

A fim de estudar a variabilidade ao longo da lâmina, dez transistores com $L_{\text{eff}}=69$ nm foram medidos ao longo do eixo vertical da mesma, conforme indicado na Figura 4.17.

Uma vez que a espessura da camada de silício (t_{Si}) é muito fina nos dois casos estudados (14 e 6 nm), a interação entre a 1ª interface (óxido de porta/canal)

e a 2ª interface (canal/óxido enterrado) torna-se significativa e, por isso, a relação entre elas foi avaliada.

Neste caso, as medidas de ruído foram realizadas pelo sistema BTA controlado pelo programa NoisePro da Pro PlusSolutions. Os transistores foram medidos em temperatura ambiente e na condição linear ($V_{DS}=0,05$ V), com a tensão na porta (V_{GS}) ou no substrato (V_{BS}) polarizadas desde a inversão fraca até a forte. O ruído da 1ª interface foi medido com $V_{GB}=0$ V enquanto que o ruído da 2ª interface foi obtido para $V_{GS}=0$ V. Foi realizada a caracterização elétrica CC através do analisador de parâmetros HP4156C a fim de complementar as análises e correlacionar os dados. Os valores de V_T bem como os de μ_N foram extraídos dos dados CC na região linear, seguindo o método de função-Y. [67]

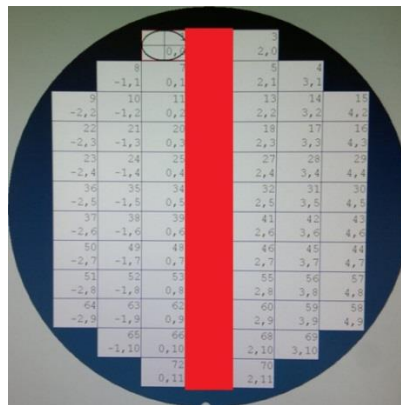


Figura 4.17 - Mapa da lâmina indicando as pastilhas medidas destacadas na região central em vermelho.

4.3.1.1 Correlação do ruído com os principais parâmetros digitais

A tensão de limiar da 1ª e 2ª interfaces é apresentada na Figura 4.18 para as duas lâminas estudadas. Um espalhamento significativo pode ser observado, principalmente para os dispositivos com 6 nm de espessura de t_{Si} . Neste caso, a variação na 1ª interface atinge 100 mV o que pode estar relacionado à variação na espessura t_{Si} bem como aos diferentes comprimentos efetivos de canal. Para a lâmina com $t_{Si}=14$ nm, excluindo os dois pontos extremos, a variação chega a 18 mV. É importante salientar que, conforme reportado em [56], uma variação de 1 nm na espessura de t_{Si} resulta na mudança de V_T de aproximadamente 25 mV.

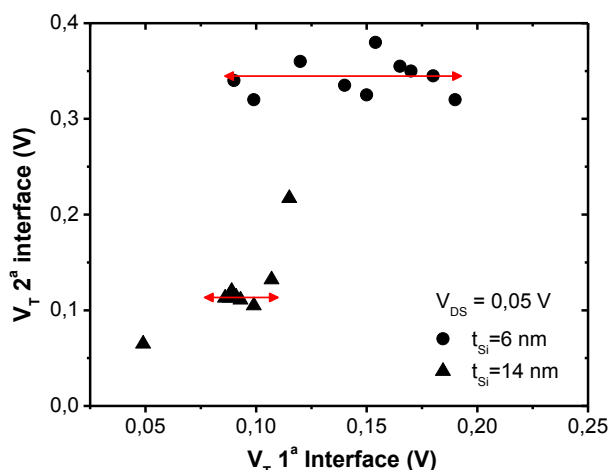


Figura 4.18 - Correlação das tensões de limiar da 1ª e 2ª interfaces para as duas espessuras da camada de silício analisadas e $V_{DS}=0,05$ V.

Do mesmo modo, a mobilidade é mostrada na Figura 4.19, correlacionando as duas interfaces. A variabilidade entre os dispositivos é novamente observada, atingindo valores médios próximos de 35% e 50% para $t_{Si}=14$ nm e $t_{Si}=6$ nm, respectivamente. Para a maioria dos transistores em ambas as lâminas, há uma relação linear entre a 1ª e 2ª interfaces numa razão de 2:1. Isto significa que quanto maior a mobilidade da 1ª interface, maior será a mobilidade da 2ª, demonstrando que o acoplamento eletrostático entre elas é significativo. No entanto, os valores de mobilidade são particularmente baixos, principalmente para $t_{Si}=6$ nm, o que indica a má qualidade na formação dos filmes. Também era esperado que os valores de mobilidade para ambas as lâminas fosse aproximado, uma vez que elas passaram por etapas de processos semelhantes. No entanto, a variação observada pode estar relacionada com a etapa de processo STI (*Shallow Trench Isolation*), que é responsável pela formação do óxido de campo. Foi observado que ao invés de 10 nm de óxido, cerca de 18 nm de SiO_2 foi obtido. Isso significa que mais silício da camada t_{Si} foi consumido, gerando maior desuniformidade na lâmina e, conseqüentemente, aumentando os defeitos na segunda interface.

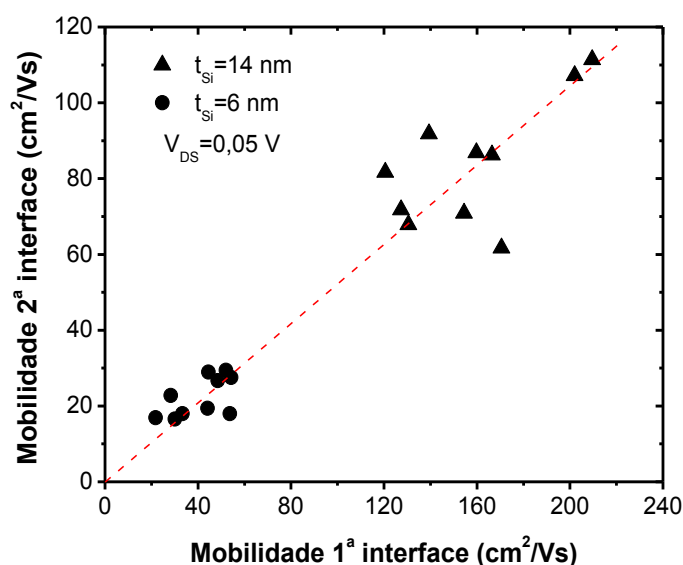


Figura 4.19 - Correlação das mobilidades das duas interfaces estudadas para as lâminas com $t_{Si}=14$ nm e $t_{Si}=6$ nm.

A Figura 4.20 ilustra o comportamento da mobilidade em função da inclinação de sublimar para ambas as lâminas estudadas e para as duas interfaces. Apesar da baixa mobilidade na lâmina de $t_{Si}=6$ nm, a melhor inclinação de sublimar indica o elevado acoplamento eletrostático no canal, como esperado. Uma grande dispersão nos valores de mobilidade é obtida em ambas as lâminas e interfaces, o que é consistente com a grande densidade de defeitos encontrada nestes dispositivos, que será indicada posteriormente.

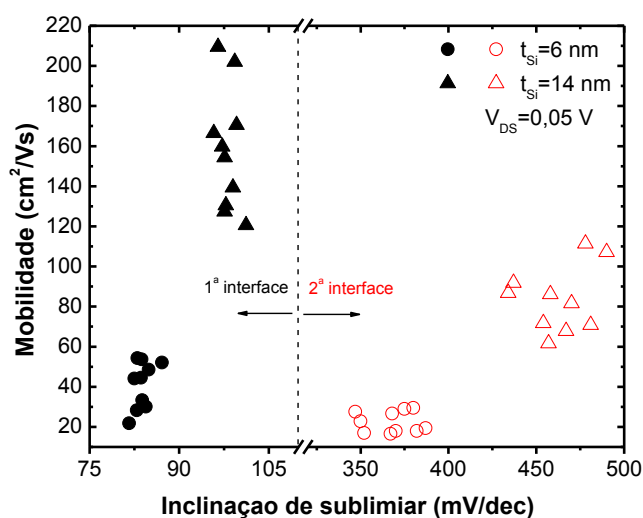


Figura 4.20 – Mobilidade em função da inclinação de sublimar para a 1ª e 2ª interfaces e t_{Si} de 6 nm e 14 nm.

A densidade de ruído referenciada à entrada (S_{VG}) obtida em 25 Hz, conforme Figura 4.21, confirma o espalhamento já observado nos parâmetros CC. A variação ao longo do eixo vertical da lâmina atinge pelo menos uma ordem de magnitude, exceto pelos pontos identificados como ruído g-r, onde os valores aumentam até 4 ordens de grandeza. Todos os demais pontos são decorrentes de armadilhas no óxido como apresentado pelos respectivos espectros que são predominantemente do tipo $1/f^\gamma$ ($\gamma \sim 1$). Nestes casos, um valor médio de $1,7 \times 10^{-10} \text{ V}^2/\text{Hz}$ e $5,5 \times 10^{-11} \text{ V}^2/\text{Hz}$ é obtido na primeira interface para os dispositivos de t_{Si} mais fino e mais espesso, respectivamente, desconsiderando os dois pontos próximos de $1 \times 10^{-6} \text{ V}^2/\text{Hz}$.

Para a segunda interface, os valores são de $1,4 \times 10^{-9} \text{ V}^2/\text{Hz}$ para $t_{Si}=6 \text{ nm}$ e $5 \times 10^{-10} \text{ V}^2/\text{Hz}$ para $t_{Si}=14 \text{ nm}$. Pode-se notar uma melhora significativa nos valores de S_{VG} quando o t_{Si} aumenta, o que sugere que os filmes mais finos estão sujeitos a um maior impacto das cargas do óxido em baixas frequências.

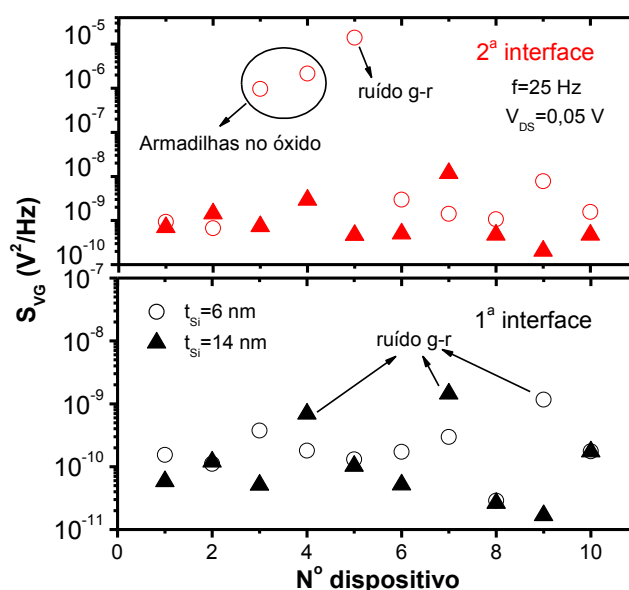


Figura 4.21 – Variabilidade de S_{VG} ao longo da lâmina para t_{Si} de 6 e 14 nm nas duas interfaces estudadas.

No caso dos transistores com camada de silício fina e totalmente depletados, a densidade espectral de ruído (S_i) da primeira interface com a segunda interface em depleção ($V_{GB}=0 \text{ V}$) é afetada pelo ruído da segunda interface devido ao acoplamento entre elas, o que resulta em:

$$S_I^{depl} \approx S_I^{acc} \left(1 + c^2 \frac{C_{ox,1}^2 N_{ot,2}}{C_{ox,2}^2 N_{ot,1}} \right) \quad (4.1)$$

com c igual a:

$$c = \frac{C_{Si}}{C_{ox,1} \left(1 + \frac{C_{Si}}{C_{ox,2}} \right)} \quad (4.2)$$

sendo que, na equação 4.2, C_{Si} é a capacitância do filme de silício ($=\varepsilon_0 \varepsilon_{Si} / t_{Si}$; ε_0 é a permissividade no vácuo e ε_{Si} é a constante dielétrica do silício). Os índices 1 e 2 correspondem a 1ª e 2ª interfaces, respectivamente.

Na equação 4.1, S_I^{depl} e S_I^{acc} correspondem à densidade espectral de ruído com a segunda interface em depleção ou acumulação. Quando o substrato pode ser polarizado em acumulação, as flutuações induzidas pelas armadilhas da segunda interface são evitadas, o que faz com que o ruído medido na primeira interface seja devido apenas às armadilhas presentes no óxido de porta. De acordo com esta equação, caso o dispositivo não possa ser polarizado em acumulação, o ruído medido na primeira interface será maior devido ao efeito das armadilhas da segunda interface e vice-versa.

Se a quantidade de armadilhas no óxido da primeira e segunda interface for igual ($N_{ot,1}=N_{ot,2}$) o fator de aumento será $c^2 \frac{t_{ox,2}^2}{t_{ox,1}^2}$, sendo que c pode ser estimado, teoricamente, como mostrado na Tabela 4.1.

Tabela 4.1 Fator de acoplamento para as diferentes espessuras de t_{Si}

t_{Si} (nm)	c_1 (1ª interface)	c_2 (2ª interface)
6	0,25	2,59
14	0,22	1,88

De acordo com os valores da Tabela 4.1, nota-se que o fator de acoplamento c aumenta para espessuras de camada de silício menores, como esperado.

Baseado na Figura 4.22, o ajuste linear representado pela linha tracejada, considerando apenas os espectros $1/f$ da primeira e segunda interfaces, apresenta uma correlação razoável entre os dispositivos, resultando em uma inclinação de 8,5, que está próxima da razão $(t_{ox,2}/t_{ox,1})^2=(18/5)^2=12,96$ que refere-se à condição de $N_{ot,1}=N_{ot,2}$. Neste caso, portanto, a diferença entre o valor experimental e teórico indica a diferença nos valores de N_{ot} da primeira e segunda interface assim como a influência do fator de acoplamento.

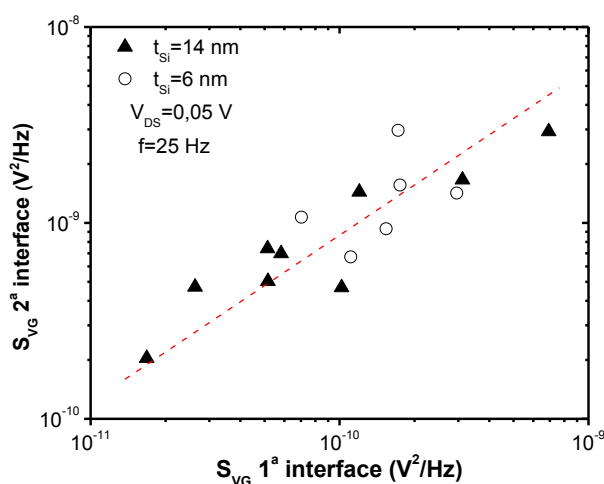


Figura 4.22 – Correlação dos valores de S_{VG} da 2ª e 1ª interfaces para as duas espessuras de silício.

A partir dos valores de S_{VG} na condição de faixa plana é possível estimar N_{ot} através da equação 2.32 [53].

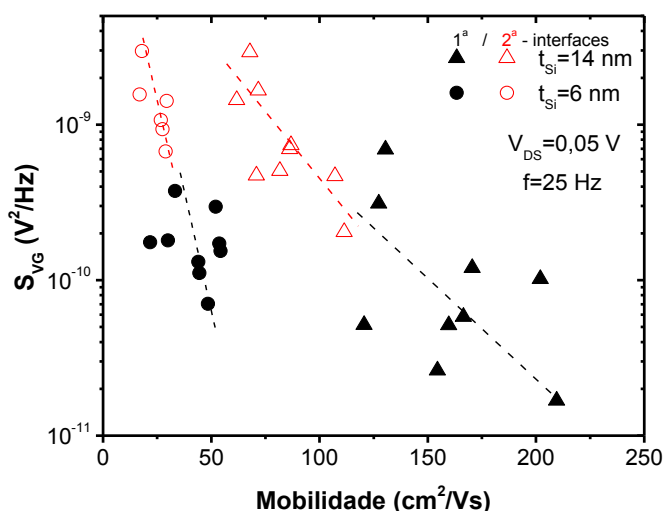
O conjunto de dispositivos com t_{Si} mais finos apresentam N_{ot} cerca de duas a três vezes maiores que os dispositivos com filme de silício mais espesso, salientando uma degradação maior nestes dispositivos.

Uma vez que os resultados de N_{ot} foram obtidos a partir dos valores de S_{VG} na condição de faixa plana, porém com a segunda interface depletada, os valores obtidos estão superestimados devido ao efeito do acoplamento das interfaces. Isso pode ser confirmado através dos valores de N_{ot} apresentados na Tabela 4.2, onde ambas as interfaces apresentam valores aproximados de densidade de armadilhas no óxido.

Tabela 4.2 Valores de densidade de armadilhas no óxido (N_{ot}) calculados para os dois valores de t_{Si}

t_{Si} (nm)	Interface	Média ($cm^{-3}eV^{-1}$)	Intervalo ($cm^{-3}eV^{-1}$)
6	1 ^a	$2,1 \times 10^{17}$	$8,4 \times 10^{16} - 4,5 \times 10^{17}$
	2 ^a	$1,3 \times 10^{17}$	$6,3 \times 10^{16} - 7,3 \times 10^{17}$
14	1 ^a	$6,6 \times 10^{16}$	$2,0 \times 10^{16} - 2,1 \times 10^{17}$
	2 ^a	$4,6 \times 10^{16}$	$1,9 \times 10^{16} - 1,3 \times 10^{17}$

A correlação entre S_{VG} e a mobilidade é apresentada na Figura 4.23. Apesar do alto espalhamento nos valores, uma tendência pode ser notada no sentido de que altos valores de ruído correspondem a menores mobilidades [69]. Isto pode ser explicado com base no espalhamento Coulomb das cargas armadilhadas no óxido de acordo com $1/\mu_{sc} \sim \alpha_{sc} q N_{ot}$, sendo N_{ot} em cm^{-2} e μ_{sc} a mobilidade de espalhamento que, neste caso, foi considerada a própria mobilidade efetiva dos elétrons. Considerando os valores médios de mobilidade e N_{ot} , um intervalo de energia de $4kT$ ($\sim 0,1$ eV) e uma profundidade de tunelamento de ~ 2 nm, o parâmetro de espalhamento, α_{sc} , é de cerca de 3×10^8 Vs/C e 8×10^8 Vs/C para a primeira e segunda interfaces dos dispositivos com t_{Si} espesso, enquanto que os dispositivos com t_{Si} fino apresentam valores de α_{sc} de $3,3 \times 10^8$ e $1,1 \times 10^9$ para a primeira e segunda interfaces, respectivamente. O aumento observado no segundo caso ajuda a explicar a menor mobilidade obtida nos dispositivos com menor t_{Si} [48] [69].

Figura 4.23 – S_{VG} em função da mobilidade para t_{Si} de 6 e 14 nm e para as duas interfaces.

4.3.1.2 Fontes de variabilidade

Uma variabilidade evidente foi observada no conjunto de parâmetros analisados anteriormente, através dos dados CC bem como nas análises de ruído. Diferentes fontes podem causar espalhamento ao longo da posição da lâmina, principalmente nas atuais dimensões dos dispositivos. Uma das razões está relacionada com as variações do filme de silício e do óxido que afetam o desempenho do dispositivo [68]. Além do mais, a rugosidade da superfície pode introduzir mais defeitos nesta região, aumentando a densidade de armadilhas [70]. Algumas etapas de processo podem também afetar as espessuras finais dos filmes bem como a qualidade dos mesmos [52] [50]. Espera-se que transistores com área muito pequena sofram mais desses efeitos, já que poucas cargas podem alterar consideravelmente o seu comportamento. Neste sentido, o estudo do ruído de baixa frequência pode ser útil para definir as principais fontes de variabilidade assim como a qualidade das etapas de processo dos futuros nós tecnológicos.

4.3.1.2.1 Ruído Flicker ou 1/f

A maioria dos transistores de ambas as lâminas exibem predominantemente ruído do tipo 1/f (ou Flicker) em baixas frequências (<1 KHz). A Figura 4.24 mostra alguns exemplos da densidade espectral de ruído da corrente (S_I) em função da frequência para a primeira e segunda interfaces do filme de silício mais fino (o mais espesso comporta-se da mesma forma) e extraído para $V_{GS} \sim V_T$. Neste caso, são apresentadas as curvas de 6 amostras de dispositivos diferentes. Tais espectros mostram ruído 1/f em baixas frequências e, de acordo com a curva apresentada na Figura 4.25, isso é atribuído a flutuações no número de cargas do óxido (Δn) [53] [10].

Um espalhamento de uma ordem de magnitude foi observado em ambas as lâminas, descrevendo as flutuações ao longo do diâmetro das mesmas. Isso também contribui para a baixa mobilidade obtida já que as cargas armadilhadas causam espalhamento Coulomb, como apresentado na Figura 4.23. Em ambas as lâminas, o ruído na corrente é maior na primeira interface, o que está relacionado com o fator de acoplamento da segunda interface que é maior e afeta mais a primeira. Em

outras palavras, as flutuações induzidas pela segunda interface irão contribuir para o ruído da primeira, devido à natureza totalmente depletada do canal. Esta tendência piora nos dispositivos com t_{Si} mais fino.

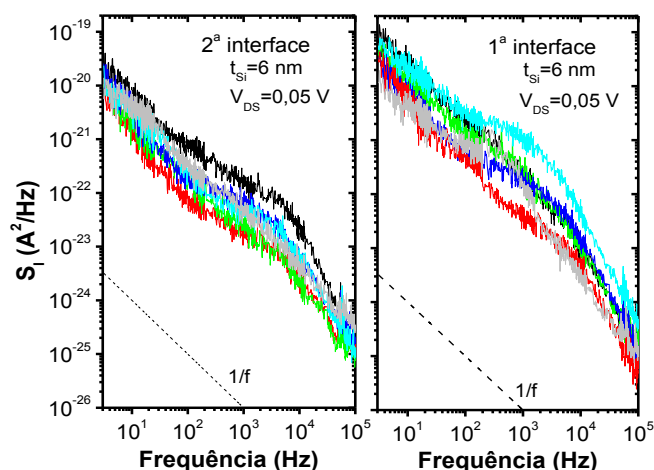


Figura 4.24 – S_I em função da frequência para a 1ª e 2ª interfaces e $t_{Si}=6$ nm.

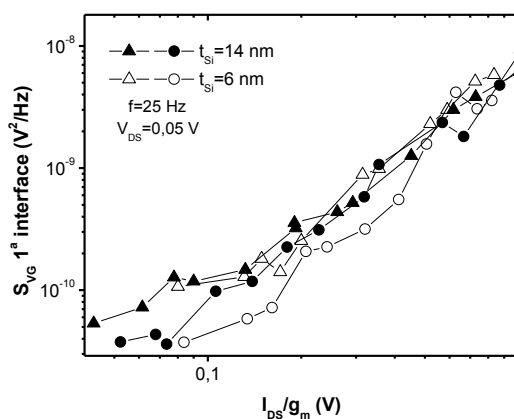


Figura 4.25 – S_{VG} da primeira interface em função da razão I_{DS}/g_m para t_{Si} de 14 e 6 nm.

4.3.1.2.2 Ruído de Geração-Recombinação (g-r)

De acordo com os dados experimentais, alguns dispositivos apresentam ruído g-r em baixas frequências o que aumentam o espectro em pelo menos uma ordem de grandeza como pode ser visto na Figura 4.26.

O espectro apresentado na Figura 4.26 apresenta ruído g-r causado por armadilhas no filme de Si. Considerar a ocorrência simultânea de ruído g-r nos espectros da primeira e segunda interface é uma maneira de identificar que as armadilhas estão localizadas no filme de silício e não nos óxidos da primeira ou segunda interfaces, resultando, neste caso, em ruído telegráfico randômico (RTS). No entanto, foi mostrado que os efeitos de acoplamento em dispositivos com filmes de silício finos são fortes, tornando-se mais difícil identificar a origem das armadilhas, isto é, no filme de silício ou no óxido [51].

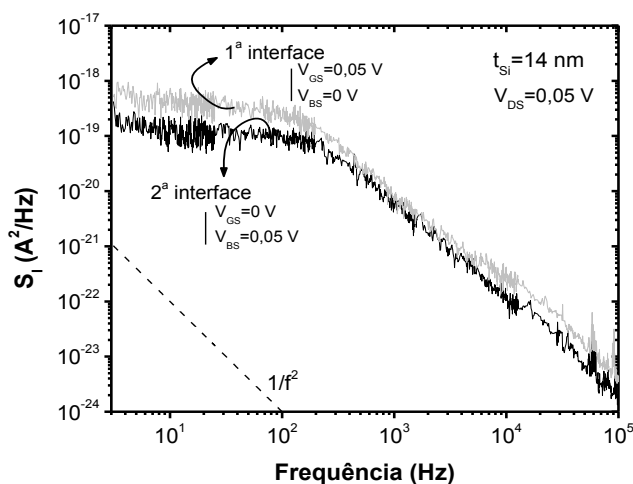


Figura 4.26 – S_1 em função da frequência para $t_{Si}=14$ nm, comparando o perfil das duas interfaces. Neste caso, o perfil das curvas corresponde a ruído g-r.

4.3.1.2.3 Ruído no modo acumulação

A fim de evitar a influência de ambos os canais no ruído de baixa frequência, os transistores com 14 nm de filme de silício foram submetidos a diferentes condições de polarização para atingir o modo acumulação em uma das interfaces, eliminando a influência das suas armadilhas de óxido sobre o outro canal. Deste modo, enquanto o ruído era medido na primeira interface, a segunda interface era levada a acumulação e vice-versa. Esta configuração favorece a análise de cada interface, evitando os efeitos de acoplamento. Para o caso da lâmina com menor filme de silício, não foi possível obter a acumulação em cada uma das interfaces devido ao alto acoplamento eletrostático entre os canais. Por isso, esta análise não

foi efetuada na lâmina com $t_{Si}=6$ nm. A Figura 4.27 mostra a densidade espectral de ruído em função da frequência para a primeira e segunda interfaces nas duas condições de polarização e próximos do V_T de cada interface. O desempenho é similar daquele apresentado na Figura 4.26, ou seja, predominantemente ruído g-r. Neste caso, uma vez que ambos os canais comportam-se de maneira parecida, mesmo com condições diferentes de polarização é possível concluir que as armadilhas responsáveis por este comportamento estão localizadas no filme de silício.

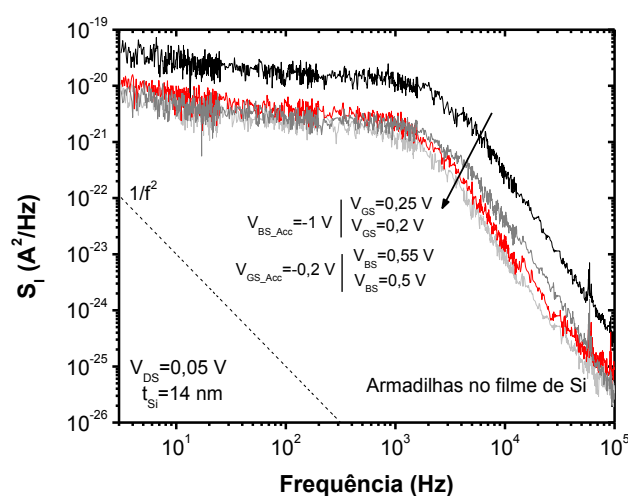


Figura 4.27 – Si em função da frequência para $t_{Si}=14$ nm e diferentes condições de polarização: V_{BS} em acumulação para dois valores de V_{GS} próximos a V_{th} e V_{GS} em acumulação para duas condições de V_{BS} próximos a V_{th} . O perfil similar em ambas as interfaces indica que a armadilha está no Si.

No entanto, na Figura 4.28, um efeito diferente é notado. Para a primeira interface em acumulação e, portanto, sem influência desta sobre a segunda interface, observa-se um perfil de g-r, sugerindo que as armadilhas possam estar localizadas na segunda interface bem como no filme de silício. Quando a segunda interface é levada a acumulação, o espectro atinge o comportamento de $1/f$. Portanto, as armadilhas neste caso estão localizadas no BOX e correspondem a RTS.

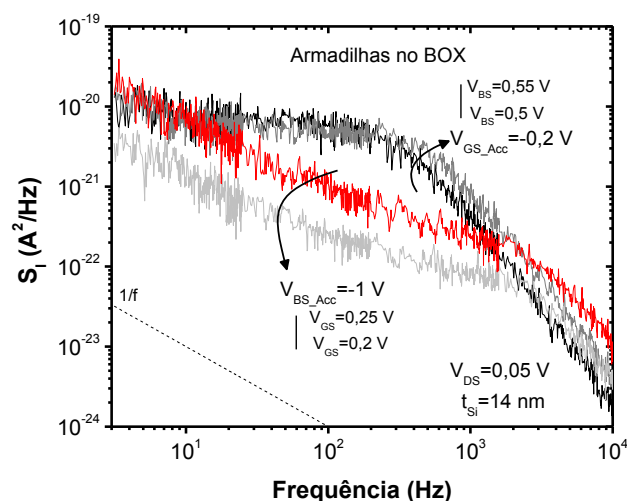


Figura 4.28 – S_I em função da frequência para $t_{Si}=14$ nm. Neste caso, o perfil de g-r aparece apenas quando a 1ª interface está acumulada, o que indica a ocorrência de armadilhas no BOX.

A Figura 4.29 apresenta a última situação observada neste conjunto de análises. Enquanto a primeira interface exibe claramente ruído g-r em baixas frequências, a segunda interface mostra o perfil $1/f$ com uma amplitude de ruído significativamente menor. O maior nível de ruído g-r observado na primeira interface sugere que as armadilhas estão posicionadas na interface com o óxido de porta e não no filme de silício, porque senão o mesmo espectro Lorentzian seria visível no espectro da segunda interface.

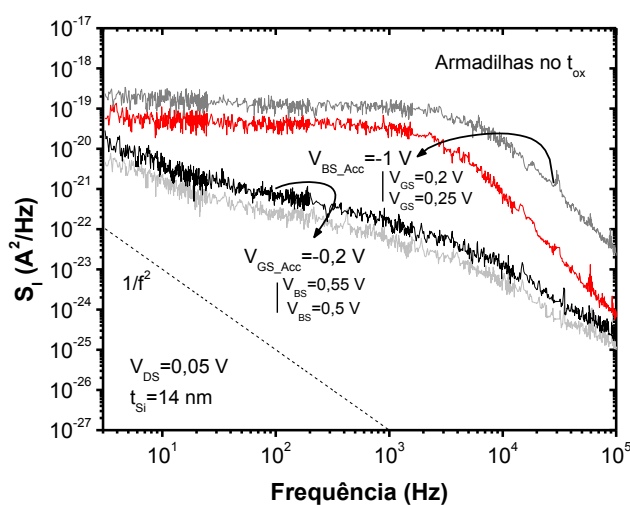


Figura 4.29 – S_I em função da frequência para $t_{Si}=14$ nm. O perfil de ruído g-r ocorre apenas na condição de V_{BS} acumulado, sugerindo que as armadilhas estão aprisionadas no óxido de porta t_{ox} .

Desta forma, as três condições em termos de posição da armadilha foram encontradas nos dispositivos estudados, reforçando a ideia sobre os efeitos do acoplamento eletrostático para filmes de silício muito finos.

4.3.2 Comparação do ruído de baixa frequência em diferentes dielétricos de porta

Neste tópico, transistores com diferentes dielétricos de porta são comparados em função do comportamento do ruído de baixa frequência. Duas lâminas, portanto, são estudadas e as características são descritas a seguir.

Os dispositivos testados foram fabricadas no imec, Bélgica, em lâminas SOI totalmente depletadas (FD) com óxido enterrado ultra-finos e camada de silício ultra-finos (UTBB). A espessura do óxido enterrado (t_{BOX}) é de 18 nm e a espessura do filme de silício (t_{Si}) é de 6 nm, obtidos após o processamento dos dispositivos. A diferença entre as duas lâminas é a composição da porta. No primeiro caso, trata-se do convencional dióxido de silício (SiO_2 + silício poli) enquanto que a outra lâmina é formada por material de alto K (*high-k*) composta por 1,5 nm ISSG (*In Situ Steam Generation*) + 4,2nm HfSiO + 5 nm TiN + 2 nm Si-cap, o que resulta na espessura de óxido equivalente (EOT, do inglês, *equivalent oxide thickness*) de 2,6 nm.

Em cada lâmina, 6 dispositivos com as mesmas dimensões foram medidos, de forma a avaliar a variação ao longo da mesma. O comprimento de canal analisado é de 69 nm enquanto a largura de canal é de 1 μ m. Mais detalhes do processo podem ser encontrados em [10]. As medidas de ruído foram realizadas através do sistema BTA controlado pelo software NoisePro da empresa ProPlus Design Solutions, Inc. enquanto as análises CC foram feitas utilizando o sistema HP-Agilent 4156C. Todas as medidas foram feitas em temperatura ambiente ao longo do diâmetro vertical da lâmina, conforme apresentado no item anterior. Os transistores foram polarizados na região linear ($V_{DS}=0,05$ V) com a tensão da porta (V_{GS}) ou a

tensão da 2ª interface (V_{GB}) variando da inversão fraca à forte. O ruído na primeira interface foi medido com $V_{GB}=0$ V enquanto que o ruído na segunda interface foi obtido com $V_{GS}=0$ V.

4.3.2.1 Resultados experimentais

Nesta seção, dispositivos com dielétrico de porta composto por silicato de háfnio (HfSiO) são comparados aos convencionais dióxidos de silício a fim de avaliar o comportamento de baixa frequência e estabelecer uma correlação com os principais parâmetros do transistor.

Inicialmente, a tensão de limiar e a mobilidade de baixo campo são analisadas em ambas as lâminas. A Tabela 4.3 mostra os valores extraídos ao longo da lâmina e baseados no método da função Y (*Y-function*). Ambas as interfaces são estudadas devido ao forte acoplamento entre elas. A variação de V_T ocorre devido à variação pontual da espessura do filme de silício bem como possíveis diferenças no comprimento efetivo de canal dos dispositivos. Pode-se notar também que a mobilidade dispersa-se entre a média de 60,7 cm^2/Vs para os dispositivos convencionais de SiO_2 enquanto que a lâmina de alto K varia ao redor de 37,8 cm^2/Vs , o que confirma o melhor comportamento (~40% de aumento) dos dispositivos convencionais. Além do mais, a mobilidade obtida na 2ª interface dos transistores com alto K é melhor que a 1ª interface já que esta é formada por SiO_2 . Por outro lado, a lâmina com SiO_2 nas duas interfaces sofre com o aumento da espessura do óxido enterrado durante a etapa de processo STI e, por isso, apresenta menor mobilidade na 2ª interface.

Tabela 4.3 – Valores de V_T e mobilidade para as duas lâminas analisadas.

	Interface	Tensão de limiar (V)		Mobilidade (cm^2/Vs)	
		Média	Intervalo	Média	Intervalo
SiO_2	1ª	0,15	0,09 ~ 0,18	60,7	33,3 ~ 70,0
	2ª	0,34	0,32 ~ 0,36	49,9	27,2 ~ 53,6
HfSiO	1ª	0,81	0,79 ~ 0,83	37,8	21,0 ~ 45,8
	2ª	4,86	4,77 ~ 4,99	62,5	47,3 ~ 84,5

Nenhuma correlação foi encontrada entre a tensão de limiar da primeira e segunda interface, ao contrário do observado na mobilidade, apresentada na Figura 4.30, onde uma tendência linear pode ser notada principalmente para os transistores de alto K. Isso demonstra que as interfaces estão acopladas e influenciam uma na outra.

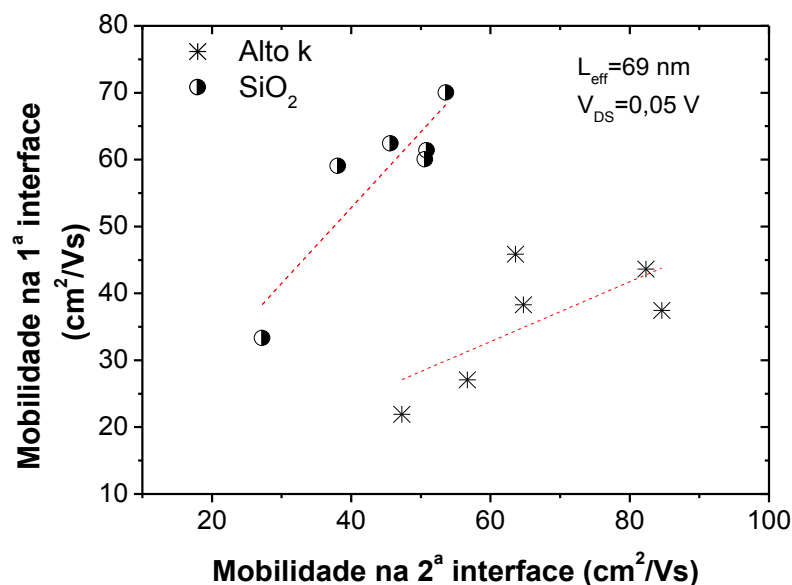


Figura 4.30 – Mobilidade na 1ª interface versus mobilidade na 2ª interface para dispositivos convencionais de SiO₂ e transistores com alto K.

A densidade espectral de ruído na corrente (S_I) para a primeira e segunda interface é apresentada nas Figuras 4.31 e 4.32, respectivamente, onde as amostras de cada dielétrico na mesma condição de sobretensão de porta, $V_{GT} \sim 0$ V são comparadas.

Pode-se notar que o nível de ruído é aproximadamente o mesmo em ambos os canais (interfaces). Isso pode ser associado às interferências de um canal no outro. Como a 2ª interface é formada por óxido de silício crescido termicamente (SiO₂), valores similares são esperados nos dois tipos de lâminas. No entanto, transistores de alto K apresentam nível de ruído na 2ª interface quase duas ordens de grandeza maiores que as amostras com dielétrico convencional. O comportamento puramente formado por ruído 1/f é observado em todos os dispositivos para frequências menores que 100 Hz. A ocorrência de ruído de geração-recombinação aparece na segunda interface de duas amostras de SiO₂.

Este ruído é induzido por níveis de energia profundos no filme de silício, como mostrado pelos símbolos nos espectros a seguir.

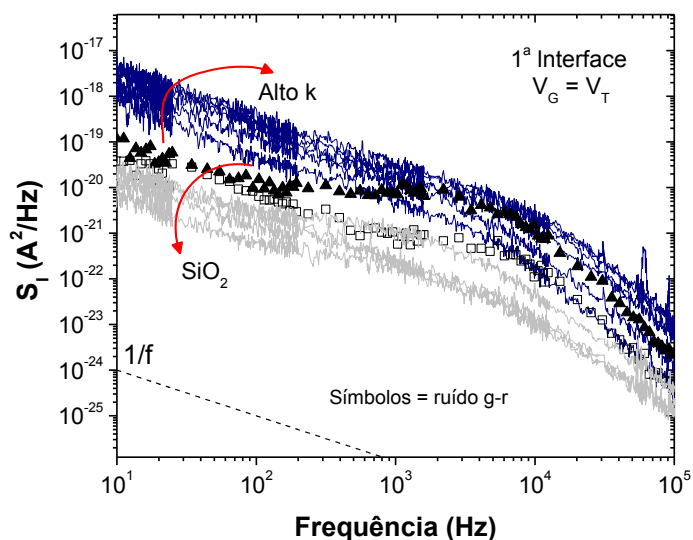


Figura 4.31 – S_I em função da frequência para a 1ª interface e as duas lâminas estudadas. Os símbolos representam a ocorrência de ruído g-r.

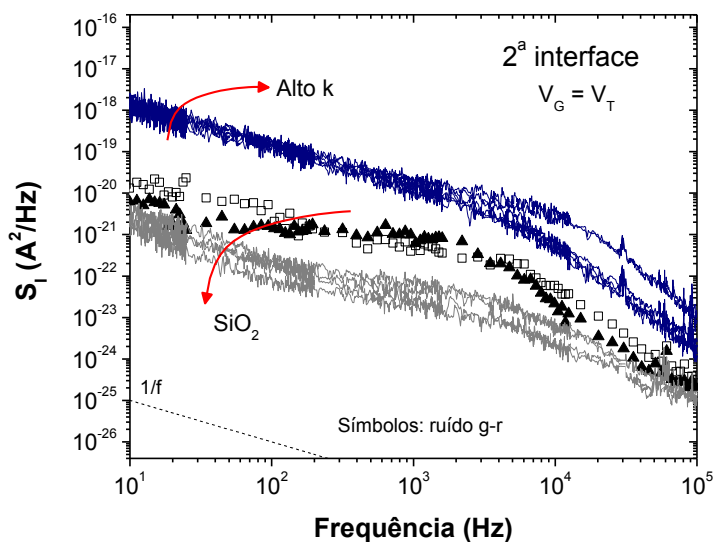


Figura 4.32 – S_I em função da frequência para a 2ª interface, comparando os dois dielétricos. Os símbolos representam o ruído de g-r.

Os níveis de ruído $1/f$ foram estimados em 25 Hz. De acordo com o espectro de ruído normalizado (S_I/I_{DS}^2), representado pela Figura 4.33 (1ª interface) e 4.34 (2ª

interface), um platô pode ser observado na inversão fraca seguido por uma queda após a tensão de limiar e inversão forte, indicando que o ruído de baixa frequência é devido às flutuações no número de portadores [53].

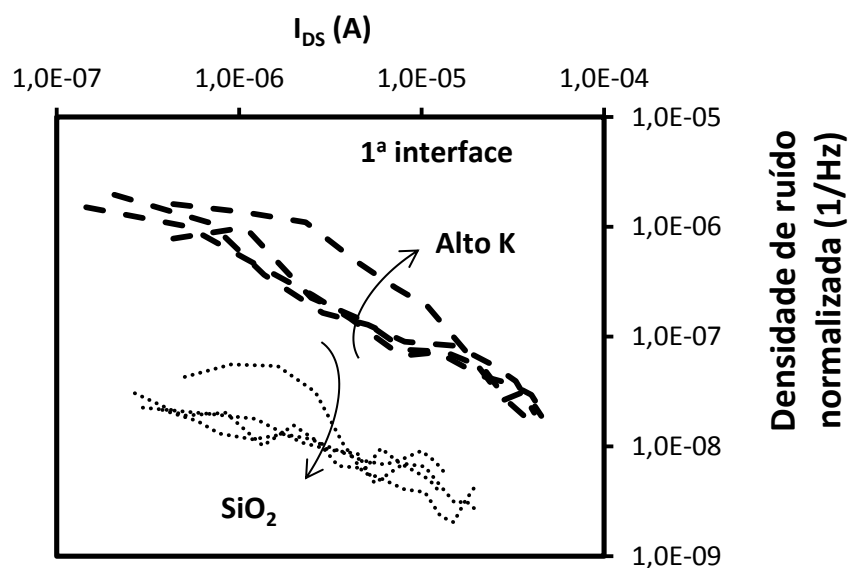


Figura 4.33 – Densidade de ruído normalizada em função da corrente de dreno.

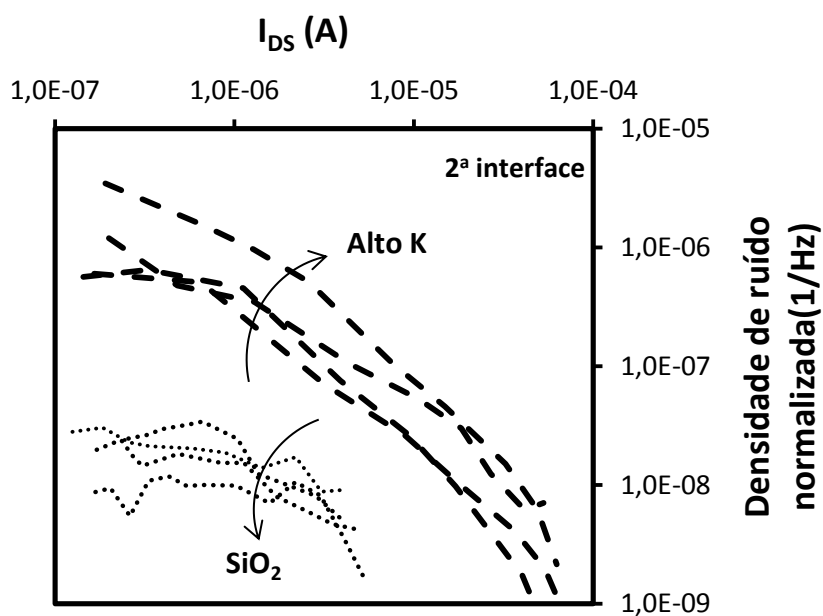


Figura 4.34 – Densidade de ruído normalizada em função da corrente de dreno.

A Figura 4.35 apresenta os valores de S_{VG} para a primeira e segunda interfaces, comparando os dois dielétricos. Como esperado, o uso de dielétrico de alto K induz o aumento na densidade de armadilhas nas camadas de óxido o que resulta em um perfil de interface degradado [69]. Os valores de S_{VG} para os transistores com alto K são cerca de uma ordem de magnitude maiores em ambas as interfaces. Dois pontos estão evidenciados para indicar a ocorrência de ruído g-r no caso da lâmina de SiO_2 . Exceto por estes pontos, o espectro das amostras é predominantemente do tipo $1/f^\gamma$ ($\gamma \sim 1$) o que significa que o ruído é relacionado a armadilhas no óxido. Então, através da média de S_{VG} , pode-se determinar o valor da densidade de armadilhas no óxido como será apresentado posteriormente. Os valores médios de S_{VG} da primeira interface correspondem a $2,5 \times 10^{-9} \text{ V}^2/\text{Hz}$ e $1,5 \times 10^{-10} \text{ V}^2/\text{Hz}$ para as lâminas com alto K e com SiO_2 , respectivamente, enquanto a mesma análise na segunda interface apresenta os valores de $2,3 \times 10^{-8} \text{ V}^2/\text{Hz}$ e $1,0 \times 10^{-9} \text{ V}^2/\text{Hz}$.

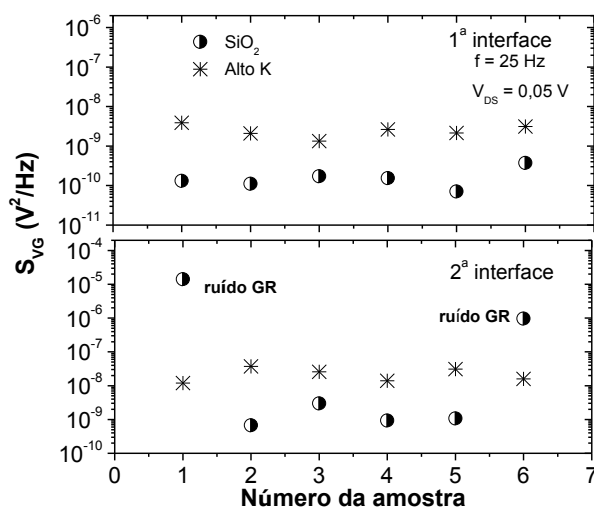


Figura 4.35 – Densidade espectral de ruído na corrente obtida para seis dispositivos ao longo da lâmina. 1ª e 2ª interfaces são comparadas além dos diferentes dielétricos de porta.

A correlação de S_{VG} entre 2ª e 1ª interface é apresentada na Figura 4.36. Os pontos identificados como ruído g-r não foram contabilizados. Nota-se que, da mesma forma observada na análise da mobilidade, há uma dependência dos valores

de uma interface com a outra. No entanto, mais dispositivos ajudariam a comprovar esta tendência, uma vez que esta correlação não é tão clara.

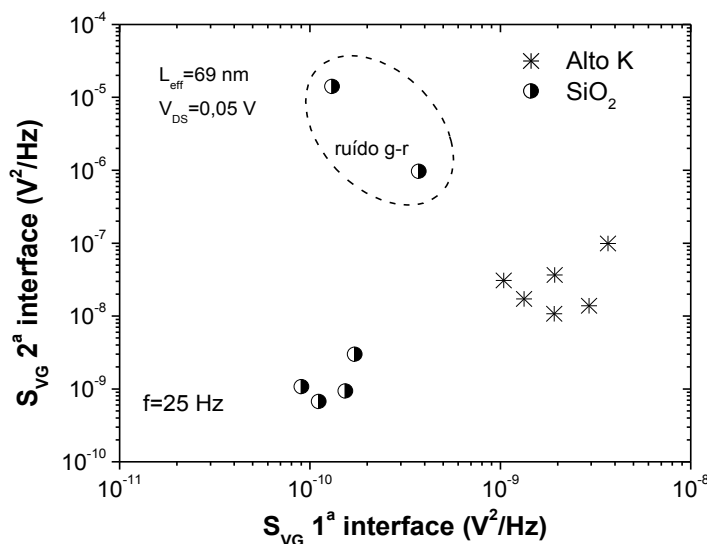


Figura 4.36 – Correlação de S_{VG} da primeira e segunda interfaces para os dispositivos de alto K e SiO_2 .

Baseado no valor médio dos níveis de ruído $1/f$, a densidade de armadilhas no óxido (N_{ot}) pode ser determinada de acordo com a equação 4.10.

Como resultado, a densidade de armadilhas para os dispositivos com alto K é duas ordens de grandeza maior comparada aos dispositivos com o SiO_2 . Os valores estimados são de $7,1 \times 10^{19}$ e $2,2 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ para a 1ª e 2ª interface, respectivamente, enquanto as amostras de óxido de silício apresentam $1,7 \times 10^{17}$ e $9,5 \times 10^{16} \text{ cm}^{-3} \text{ eV}^{-1}$ para a primeira e segunda interfaces, respectivamente.

A Figura 4.37 mostra a correlação entre os valores de S_{VG} com a mobilidade para a 1ª interface. Embora não haja correlação entre esses parâmetros quando a 2ª interface é analisada, a primeira interface mostra que quanto maior a mobilidade, menor é o valor de S_{VG} , isto é, um comportamento linear principalmente para os dispositivos de alto K. Este resultado já foi reportado em [71] e pode ser explicado baseado no espalhamento Coulomb das cargas armadilhadas. Baseado nos valores médios de mobilidade e N_{ot} , um intervalo de energia de $4kT$ (0,1 eV) e profundidade de tunelamento de ~ 2 nm, o parâmetro de espalhamento α_{sc} , é de $1,2 \times 10^6 \text{ Vs/C}$ para

a 1ª interface dos dispositivos com alto K enquanto que a lâmina com dielétrico de SiO₂ apresenta α_{sc} igual a 3×10^8 Vs/C.

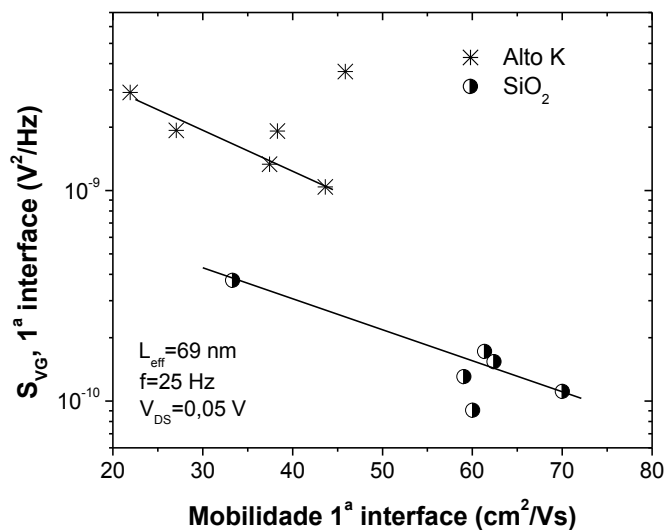


Figura 4.37 – Correlação de S_{VG} com a mobilidade para a 1ª interface dos dispositivos com alto K e com SiO₂.

4.4 DISTÚRBO EM CÉLULAS DE MEMÓRIA 1T-DRAM BASEADAS EM TRANSISTORES UTBB

Neste capítulo, os transistores UTBB serão utilizados como célula de memória dinâmica a fim de analisar o impacto do distúrbio nestes dispositivos. Para isso, inicialmente, será abordado o aspecto teórico das memórias 1T-DRAM, seguindo-se do estudo experimental realizado.

4.4.1 Características dos dispositivos medidos

Os transistores UTBB nMOSFETs foram fabricados em lâmina SOI de 300 mm de diâmetro com filme de silício e espessura de BOX obtidas após a fabricação dos dispositivos de 14 nm e 18 nm, respectivamente. O material da porta é

composto por 5 nm de TiN depositado sobre 5 nm de SiO₂ crescido termicamente e recoberto por 100 nm de Si amorfo. O canal apresenta a dopagem natural da lâmina assim como as regiões sem extensão de fonte e dreno abaixo dos 20 nm dos espaçadores de nitreto, resultando em dispositivos sem extensão. Os dispositivos também apresentam implantações puras de P (Fósforo) nas regiões fortemente dopadas de fonte e dreno ou HDD e crescimento seletivo epitaxial. O valor do comprimento efetivo de canal é de 95 nm e a largura de canal de 1 μm, sendo que todas as medidas foram realizadas à temperatura de 85°C.

4.4.2 Resultados Experimentais

O tempo de retenção pode ser entendido como o tempo onde as cargas são retidas no corpo do transistor até a condição de leitura subsequente. Para extrair o tempo de retenção (T_R) foi adotado o tempo equivalente referido a degradação da margem de sensibilidade em 50%. A diferença entre os níveis de corrente de “1” e “0” (ou apenas o estado ligado/desligado) defini a margem de sensibilidade, ΔI_S .

A Figura 4.38a mostra o nível de corrente dos estados “0” e “1” em função do tempo de repouso obtido por $V_{D_repouso}=0$ V e diferentes polarizações de porta (induzindo então ao distúrbio WL) entre uma condição de escrita e leitura subsequente, variando desde -4,2 até -2,0 V. Para todas as condições apresentadas na Figura 4.38a, o estado “0” é degradado devido a geração de lacunas devido ao GIDL e geração *Shockley Read Hall* (SRH) acelerados pelo campo. Por esse motivo, maiores polarizações diminuem este efeito e melhoram o tempo de retenção [72]. Por outro lado, ao aumentar $V_{G_repouso}$ de -1,8 a -1,2 V, como apresentado na Figura 4.38b, pode-se notar que a diminuição no tempo de retenção e a degradação do estado “1”. Para polarizações de porta maiores, as cargas acumuladas tendem a diminuir, resultando na perda das lacunas que reduzem o nível de corrente do estado ligado. Baseado no esquema de polarização apresentado na Figura 2.22, considerando o tempo de retenção obtido para $V_{G_repouso}=-1,2$ V, o pior caso de distúrbio acontece após 50 leituras obtido nas células que dividem o mesmo WL. O

número de leituras, neste caso, é dado pela razão entre o tempo de retenção medido e o tempo de leitura definido na programação da memória (40 ns).

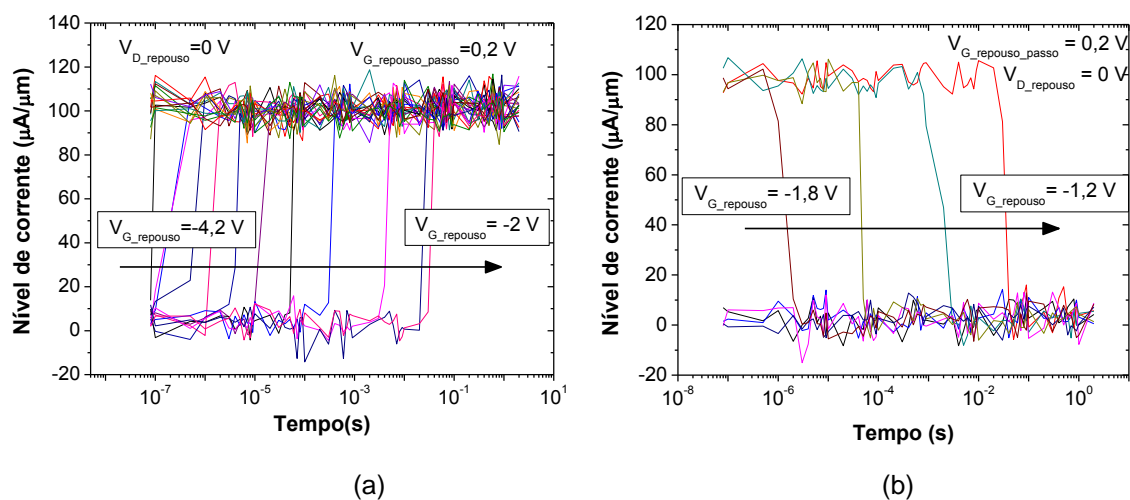


Figura 4.38 – Nível de corrente em função do tempo para diferentes polarizações de V_{G_reposo} .

No intervalo de $-4,2\text{ V}$ a $-1,2\text{ V}$ o distúrbio é parcial. No entanto, um distúrbio completo do estado “1” ocorre em todas as células que dividem o mesmo WL após a escrita do estado “1” ($V_G=0,5\text{ V}$) e a escrita do estado “0” ($V_G=0\text{ V}$). Portanto, para estas condições um refrescamento é necessário nas células dividindo o mesmo WL após uma condição de escrita.

Da mesma maneira, o BL foi analisado. Das Figuras 4.39a e 4.39b, é possível observar a influência do BL no tempo de retenção. Neste caso, V_{D_reposo} entre a condição de escrita e leitura varia de $-0,75\text{ V}$ a 2 V enquanto V_{G_reposo} é mantido constante e igual a $-2,5\text{ V}$. Dois casos podem ser observados como previamente apresentado no distúrbio de WL. Alto BL é responsável pela geração de lacunas que perturbam o estado “0” que mudam o nível de corrente para o estado ligado. No entanto, polarizações negativas de BL abrem a junção corpo/dreno e as lacunas são expelidas (estado “1” é perturbado).

Praticamente nenhum distúrbio de BL é observado para a condição de escrita “0” ($V_D=0,5\text{ V}$) onde mais de 1500 leituras podem ser realizadas antes da

degradação. Por outro lado, para a escrita do nível “1” assim como a situação de leitura ($V_D=1,8$ V), este número cai para 25.

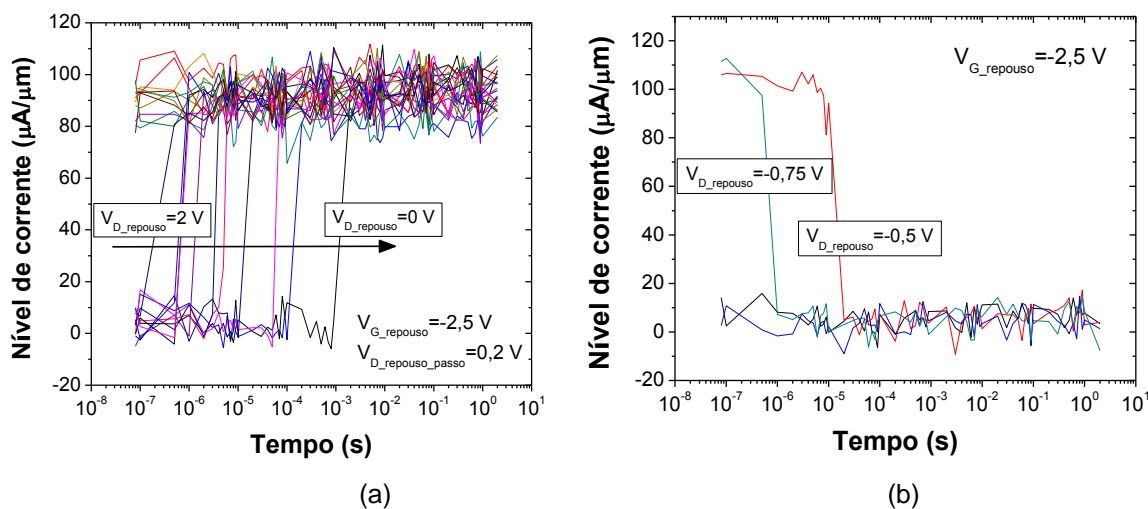


Figura 4.39 – Nível de corrente de dreno em função do tempo para diferentes $V_{D,\text{repouso}}$.

De acordo com as Figuras 4.40a e 4.40b, a corrente de dreno é apresentada para diferentes polarizações de $V_{G,\text{repouso}}$ e $V_{D,\text{repouso}}$, enfatizando os estados “1” e “0” e considerando um tempo de repouso de 40 ns. Uma margem de sensibilidade (ΔI_S) de aproximadamente 100 $\mu\text{A}/\mu\text{m}$ pode ser extraída em ambas as curvas. A degradação da margem de sensibilidade indica quando estes estados estão totalmente perturbados depois de uma operação de WL ou BL. Desta forma, para minimizar as condições de operação e limitar o distúrbio do dado é necessário selecionar uma polarização dentro das janelas de WL (de $V_G = -4,2$ V a $-1,2$ V) e BL (de $V_D = -0,75$ V a 2 V).

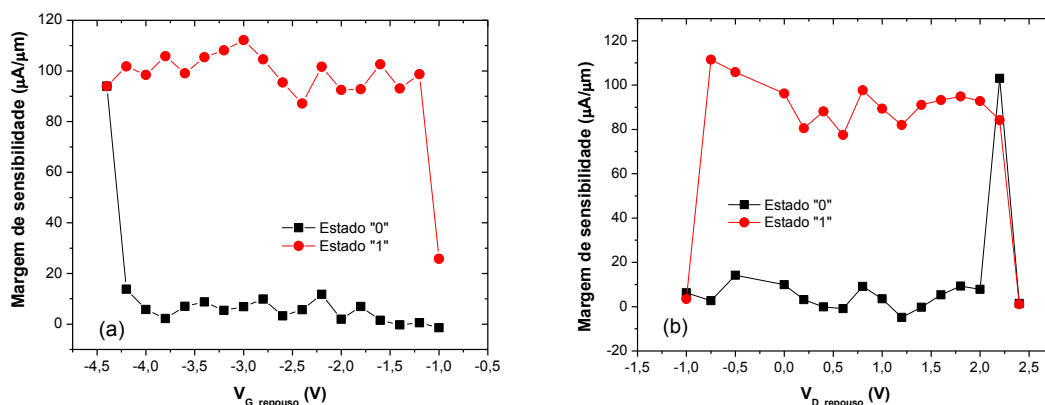


Figura 4.40 – Margem de sensibilidade em função de $V_{G_Repouso}$ (a) e $V_{D_Repouso}$ (b).

De acordo com as figuras 4.41a e 4.41b, pode-se notar o comportamento do tempo de retenção em função da polarização de WL e BL, respectivamente. A condição padrão é marcada a fim de compará-la com os demais valores e identificar uma condição ótima onde a retenção seja maior. Um tempo de retenção de cerca de 40 ms é obtido para WL de -2 V, que é 8 vezes maior que o valor obtido na condição padrão. No entanto, a fim de evitar o distúrbio de leitura, o $V_{G_repouso}$ precisa estar fora da janela de leitura (Figura 4.42) e, por isso, ele é mantido em -2,5 V.

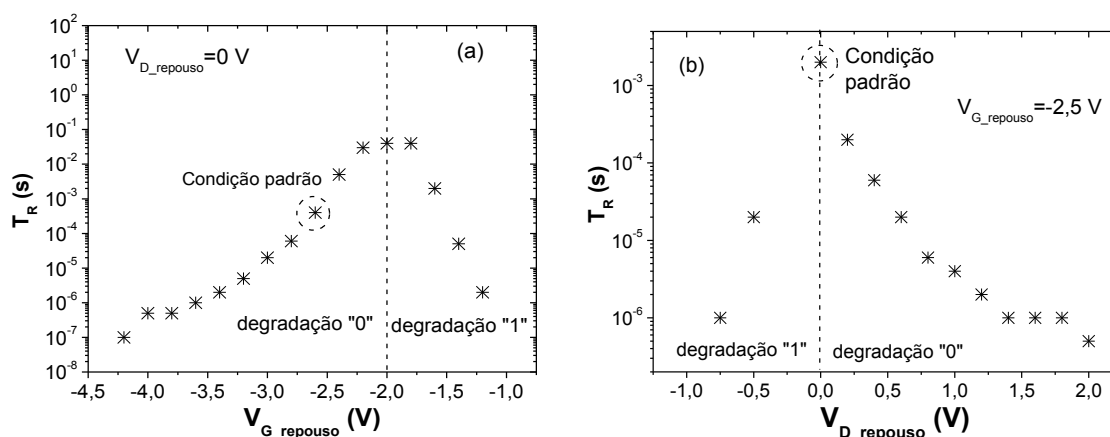


Figura 4.41 – Tempo de retenção (T_R) em função de $V_{G_repouso}$ (a) e $V_{D_repouso}$ (b)

Considerando as janelas de operação de WL e BL, a condição de escrita "0" pôde ser otimizada de forma a evitar a região de maior distúrbio. A sequência previamente reportada de escrita "0" consistia de $V_D=0,5$ V e $V_G=-0,5$ V. Para reduzir o distúrbio foi identificado que V_G mais negativo pode ser usado com V_D sutilmente maior, o que praticamente não afeta a janela de leitura $V_{G_leitura}$ e o tempo de retenção. A Figura 4.42 apresenta a janela de leitura para duas condições diferentes de polarização. Embora a diminuição de V_G induza a um estreitamento da janela, a diferença não é significativa e mesmo para maiores V_D (1,0; 1,2; 1,4) a janela mantém-se a mesma. Além disso, a margem de sensibilidade é mantida no mesmo nível o que é desejável para obter leitura dos dados mais rápida e melhor escalabilidade.

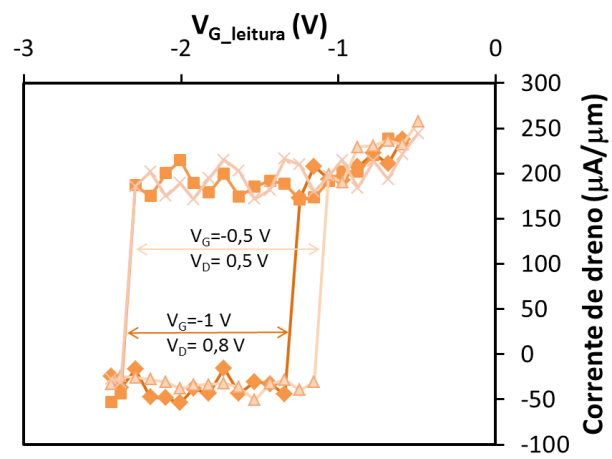


Figura 4.42 – Janela de leitura para a condição padrão de escrita do “0”, $V_D=0,5 V$ e $V_G=-0,5 V$ e, para a condição otimizada, $V_D=0,8 V$ e $V_G=-1 V$.

5 CONCLUSÕES E PROPOSTAS DE TRABALHOS FUTUROS

5.1 CONCLUSÕES

Neste trabalho os transistores SOI (*Silicon-On-Insulator*) sem extensão de fonte e dreno (SemExt) foram estudados em função de diferentes aspectos a fim de avaliar seu comportamento nas mais diversas condições de operação.

Primeiramente, os dispositivos sem extensão foram analisados nos transistores SOI de múltiplas portas. Através de simulações numéricas tridimensionais e dados experimentais, transistores de porta tripla com diferentes comprimentos de extensão de Fonte/Dreno (L_{UL}) mostraram que estes dispositivos são superiores em termos dos principais parâmetros digitais e analógicos estudados para aplicações em baixa tensão e baixa potência. Pode-se salientar o melhor comportamento em relação aos efeitos de canal curto que diminuíram a inclinação de sublimiar cerca de 3,5 vezes em relação ao dispositivo de referência auto-alinhado. A tensão de limiar também é menos afetada, reduzindo 10% menos que os transistores convencionais, ao passo que o DIBL melhora até 60% em relação ao dispositivo com sobreposição de porta. Em relação aos parâmetros analógicos, a tensão *Early* aumentou 0,7 V enquanto o ganho intrínseco de tensão chegou a crescer 9 dB. A melhoria nesses parâmetros se dá pelo comprimento de canal modulável com a tensão de porta e com a diminuição da influência do campo elétrico proveniente do dreno na região do canal. O único parâmetro degradado é a transcondutância devido à maior resistência total da estrutura assim como a frequência de ganho unitário que depende da transcondutância.

Do mesmo modo, os dispositivos sem extensão foram analisados em transistores SOI planares de camada de silício e óxido enterrado ultra-finos UTBB (*Ultra-Thin Body and Buried Oxide*). Neste caso, diferentes comprimentos de óxido espaçador foram comparados assim como diferente ângulo de implantação de fonte e dreno. Notou-se que óxidos espaçadores com maior comprimento geraram regiões sem extensões maiores e, portanto, melhoraram o comportamento do dispositivo como anteriormente observado. Óxidos espaçadores de menor comprimento são mais propensos aos efeitos da difusão lateral e possível ocorrência da sobreposição das regiões de fonte/dreno com a porta. Nestes casos, o comprimento efetivo de

canal diminui, degradando o desempenho do transistor. Da mesma forma, quando o dispositivo é submetido à implantações inclinadas com relação a normal da região de fonte e dreno, essa inclinação também favorece a difusão lateral dos portadores, piorando o seu comportamento elétrico. Como resultado, o melhor desempenho digital e analógico ocorreu para o dispositivo com comprimento de óxido espaçador de 20 nm que apresentou DIBL menor nos dispositivos de menor comprimento de canal (~ 250 mV/V para 44 nm) e condutância de saída (g_D) cerca de 5 vezes menor. Desta forma, este transistor foi escolhido para ser estudado em função da temperatura juntamente com o dispositivo convencional, com porta auto-alinhada.

No estudo da temperatura, observou-se que os dispositivos sem extensão são mais imunes aos seus efeitos. A tensão de limiar variou no máximo $-0,93$ mV/ $^{\circ}$ C contra $-5,33$ mV/ $^{\circ}$ C observado no dispositivo de referência. Da mesma forma, o DIBL é menor quando a temperatura aumenta nos transistores sem extensão, atingindo no máximo 6% de aumento comparado aos 25% obtidos nos dispositivos de referência. Nos parâmetros analógicos, o efeito da temperatura foi semelhante em ambos os dispositivos, degradando a maioria dos parâmetros em no máximo 10%.

Uma vez que foi observado que o transistor sem extensão possui as características mais vantajosas em relação do transistor convencional na maioria dos parâmetros, optou-se por analisar o desempenho do ruído de baixa frequência nestes dispositivos. Para estabelecer uma comparação, transistores com t_{Si} de 14 nm foram confrontados aos de 6 nm. Observou-se um espalhamento considerável nos parâmetros CC bem como no ruído de baixa frequência, o que foi associado à diferença na espessura do filme de silício ao longo da lâmina. Alguns casos de ruído de geração-recombinação foram detectados e, nestes casos, uma análise em acumulação mostrou que a posição da armadilha pode variar de acordo com o dispositivo. Foi observado que a armadilha pode estar posicionada na camada de silício assim como armadilhada em um dos óxidos, da primeira ou segunda interface, gerando um perfil Lorentzian semelhante caso a análise não seja em acumulação de uma das interfaces. Outro aspecto importante observado nestes dispositivos com t_{Si} finos é que a correlação da densidade de ruído nas duas interfaces é linear, de forma que quanto maior for a densidade espectral de ruído em uma, maior será o

valor da outra. Também, maior ruído está relacionado a menor mobilidade, o que faz sentido devido ao maior espalhamento Coulomb observado.

A comparação entre dispositivos com dielétrico de porta com alta constante dielétrica (K) e o convencional dióxido de silício mostrou que, como esperado, o uso de materiais alto K induz a maior densidade de armadilhas no óxido que elevam o nível de ruído. A diferença obtida esteve próxima de duas ordens de grandeza nos valores de densidade de armadilhas no óxido (N_{ot}) que resultaram um nível de ruído uma ordem de magnitude maior nos transistores de alto K. Embora esse comportamento já seja conhecido, o estudo do ruído pode ser utilizado como ferramenta para avaliar a qualidade do processo. Desse modo, os valores de ruído obtidos para os filmes de alto K mostraram-se melhores que outros reportados na literatura, estando abaixo de $200 \mu V \mu m^2 / Hz$.

Por fim, os mesmos transistores foram submetidos às análises de distúrbio, atuando como célula de memória composta por um único transistor (1T-DRAM). Através das mudanças nas condições de repouso da porta e do dreno ($V_{G_repouso}$ e $V_{D_repouso}$), pôde-se notar a influência destas polarizações no tempo de retenção. Assim, uma espécie de distúrbio induzido pela condição de repouso mostrou como o tempo de retenção é afetado por diferentes polarizações. Como resultado, observou-se uma janela entre -4,2 V e -1,2 V para $V_{G_repouso}$ e entre -0,75 V e 2 V para o $V_{D_repouso}$ onde o distúrbio é parcial. Fora destas janelas de operação, o distúrbio é total e, portanto, deve ser evitado. Com base nisso, a condição de escrita do zero foi otimizada para operar fora da região de distúrbio. Foi encontrado que V_G mais negativo pode ser usado com maiores V_D sem prejuízos no tempo de retenção e na janela de leitura.

Com base nas conclusões apresentadas, pode-se afirmar que transistores sem extensão de F/D são vantajosos sob diversos aspectos, podendo ser utilizados, principalmente, nas aplicações de baixa-potência e baixa-tensão, onde a velocidade de chaveamento não precisa ser elevada, uma vez que a corrente Ion desses transistores é reduzida. Por fim, o presente trabalho explorou amplamente os transistores sem extensão de F/D com o intuito de colaborar com o atual estado da arte da microeletrônica no mundo. É importante ressaltar que tais tecnologias não são difundidas no Brasil devido à deficiência do país no setor. Por essa razão, este

trabalho de doutorado, ainda que de forma sutil, contribui para o avanço tecnológico do país.

5.2 PROPOSTAS DE TRABALHOS FUTUROS

Como propostas de trabalhos futuros, existe a possibilidade de complementar o estudo de distúrbio em células de memória 1T-DRAM através de simulações numéricas. Além disso, a realização deste estudo em uma matriz de transistores nos forneceria resultados ainda mais consistentes. O simulador numérico poderia ser útil nesse tipo de análise.

Há também a possibilidade de estudar o comportamento do ruído de baixa frequência nos SOI MuGFETs analisados na primeira etapa do trabalho. Com isso, uma comparação entre MuGFETs e UTBB poderia ser estabelecida.

PUBLICAÇÕES GERADAS

Durante este trabalho de doutorado foram publicados os seguintes artigos de minha autoria ou co-autoria:

Artigos em revistas (7)

S. D. dos Santos, B. Cretu, V. Strobel, J.-M. Routoure, R. Carin, J.A. Martino, M. Aoulaiche, M. Jurczak, E. Simoen e C. Claeys, “Low-Frequency Noise Assessment in Advanced UTBOX SOI nMOSFETs with Different Gate Dielectrics”, **Solid-State Electronics**, aprovado em novembro de 2013.

K. R. A. Sasaki, T. Nicoletti, L. M. Almeida, **S. D. dos Santos**, A. Nissimoff, M. Aoulaiche, E. Simoen, C. Claeys e J. A. Martino, “Improved Retention Time in UTBOX Devices as FBRAM Application”, aprovado em novembro de 2013.

T. Nicoletti, **S. D. dos Santos**, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “Advantages of Different Source/Drain Engineering on Scaled UTBOX SOI NMOSFETs Under High Temperatures”, **Solid-State Electronics**, v. 91, p. 53-58, 2014.

E. Simoen, M. Aoulaiche, **S. D dos Santos**, J. A. Martino, V. Strobel, B. Cretu, J.-M. Routoure, R. Carin, A.L. Rodriguez, J. A. Jimenez Tejada, C. Claeys, “Low-Frequency Noise Studies on Fully Depleted UTBOX Silicon-on-Insulator nMOSFETs: Challenges and Opportunities”. **ECS Journal of Solid State Science and Technology**, v. 2, p. Q205-Q210, 2013.

S. D. dos Santos, T. Nicoletti, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “On the Variability of the Front-/Back-Channel LF Noise in UTBOX SOI nMOSFETs”, **IEEE Transactions on Electron Devices**, v. 60, n.1, p. 444-450, 2013.

T. Nicoletti, M. Aoulaiche, L. M. Almeida, **S. D. dos Santos**, J. A. Martino, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering”, **IEEE Electron Device Letters**, v. 33, n. 7, p. 940-942, 2012.

S. D. dos Santos; J. A. Martino, E. Simoen, C. Claeys, “Impact of Selective Epitaxial Growth and Uniaxial/Biaxial Strain on DIBL Effect Using Triple Gate FinFETs”. **JICS. Journal of Integrated Circuits and Systems** (Ed. Português), v. 5, p. 154-159, 2010.

Artigos em congressos (18)

S. D. dos Santos, K. R. A. Sasaki, T. Nicoletti, J. A. Martino, M. Aoulaiche, E. Simoen, C. Claeys, "The Negative World-line Holding Bias Effect on the Retention Time in FBRAMs", aceito para apresentação em EuroSOI 2014, Tarragona.

T. Nicoletti, K. R. A. Sasaki, **S. D. dos Santos**, J. A. Martino, M. Aoulaiche, E. Simoen, C. Claeys, "Generation Rate Analysis of Different S/D Junction Engineering in Scaled UTBOX 1T-DRAM", **223rd ECS Meeting 2013: The Electrochemical Society Meeting, 2013**, Toronto. ECS Transactions. Pennington, NJ: ECS Transactions. v. 53. p. 195-201.

E. Simoen; M. Aoulaiche; **S. D dos Santos**; J. A. Martino; V. Strobel; B. Cretu; J.-M. Routoure; R. Carin; A. L. Rodriguez; J. A. J. Tajada; C. Claeys, "Lessons Learned from Low-Frequency Noise Studies on Fully Depleted UTBOX Silicon-On-Insulator nMOSFETs". In: **223rd ECS Meeting, 2013**, Toronto. ECS Transactions. Pennington, NJ: ECS Transactions, 2013. v. 53. p. 49-61.

S. D dos Santos; T. Nicoletti; J. A. Martino; M. Aoulaiche; M. Jurczak; E. Simoen; C. Claeys, "Impact of Disturb on Retention Time in Single FBRAM Cells". In: **223rd ECS Meeting, 2013**, Toronto. ECS Transactions. Pennington, NJ: ECS Transactions, 2013. v. 53. p. 133-138.

S. D. dos Santos; E. Simoen; V. Strobel; B. Cretu; J.-M. Routoure; R. Carin; M. Aoulaiche; A. Veloso; J. Malgorzata; J. A. Martino; C. Claeys, "Low-frequency noise for different gate dielectrics on state-of-the-art UTBOX SOI nMOSFETs". In: **Ninth Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits, 2013**, Paris. EuroSOI 2013 Conference Proceedings, 2013. v. 9. p. 1-2.

V. Strobel; B. Cretu; **S. D. dos Santos**; E. Simoen; J.-M. Routoure; R. Carin; M. Aoulaiche; J. Malgorzata; J. A. Martino; C. Claeys, "Low frequency noise assessment in advanced UTBOX SOI n-channel MOSFETs". In: **Ninth Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits, 2013**, Paris. EuroSOI 2013 Conference Proceedings, 2013. v. 9. p. 3-4.

S. D. dos Santos; J. A. Martino; V. Strobel; B. Cretu; J.-M. Routoure; R. Carin; E. Simoen; M. Aoulaiche; M. Jurczak; C. Claeys, "Low-Frequency Noise in High-K and SiO₂

UTBOX SOI nMOSFETS". In: **China Semiconductor Technology International Conference**, CSTIC, 2013, Shanghai. ECS Transactions. Pennington, NJ: ECS Transactions, 2013. v. 52. p. 87-92.

T. Nicoletti; **S. D. dos Santos**; K. R. A. Sasaki; J. A. Martino; M. Aoulaiche; E. Simoen; C. Claeys, "The Activation Energy Dependence on the Electric Field in UTBOX SOI FBRAM Devices". In: **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013**, Monterey, CA. Proceedings of IEEE S3S, 2013. v. 1. p. meio digital

P. G. D. Agopian; S. D. dos Santos; F. N. Souza; J. A. Martino; A. Vandooren; R. Rooyackers; E. Simoen; C. Claeys, "NW-TFET Analog Performance for Different Ge Source". In: **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013**, Monterey, CA. Proceedings of IEEE S3S, 2013. v. 1. p. meio digital.

S. D. dos Santos; J. A. Martino; M. Aoulaiche; J. Malgorzata; E. Simoen; C. Claeys, "Temperature dependence of LF noise in UTBB nMOSFETs." In: **22nd International Conference on Noise and Fluctuations (ICNF), 2013**, Montpellier. IEEE Proceedings, 2013. p.1-4.

S. D. dos Santos; E. Simoen; V. Strobel; B. Cretu; J.-M. Routoure; R. Carin; M. Aoulaiche; M. Jurczak, M; J. A. Martino; C. Claeys, "On the variability and front-back coupling of the low-frequency noise in UTBOX SOI nMOSFETs". In: **IEEE 11th International Conference on SolidState and Integrated Circuit Technology (ICSICT), 2012**, Xian. p. 1.

T. Nicoletti, S. D. dos Santos, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, "Gate Length Impact on UTBOX FBRAM Devices", **IEEE International SOI Conference**, 2012.

S. D. dos Santos, T. Nicoletti, M. Aoulaiche, J. A. Martino, A. Veloso, E. Simoen, C. Claeys, M. Jurczak, "Spacer Length and Tilt Implantation Influence on Scaled UTBOX FD MOSFETs", **SBMicro 2012: 27th Symposium on Microelectronics Technology and Devices**, p. 483-489, 2012.

T. Nicoletti, **S. D. dos Santos**, L. M. Almeida, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, "The Impact of gate Length Scaling on UTBOX FDSOI Devices: The Digital/Analog Performance of Extension-less Structures", **ULIS 2012: 13th International Conference on Ultimate Integration on Silicon**, p. 121-124, 2012.

S. D. dos Santos, T. Nicoletti, M. Aoulaiche, E. Simoen, C. Claeys, J. A. Martino, "Study of the Main Digital and Analog Parameters of Underlapped MuGFETs", **EuroSOI 2012: 8th European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits** p. 123-124, 2012.

S. D. dos Santos, T. Nicoletti, J. A. Martino, "Analog Performance of Gate Source/Drain Underlap Triple-Gate SOI nMOSFET", **SBMicro 2011: 26th Symposium on Microelectronics Technology and Devices**, p. 239-246, 2011.

T. Nicoletti, **S. D. dos Santos**, L. M. Almeida, J. A. Martino, E. Simoen, C. Claeys, "Rotated SOI MuGFETs at High-Temperatures", **EuroSOI 2011: 7th European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits**, p. 83-84, 2011.

S. D. dos Santos, T. Nicoletti, J. A. Martino, E. Simoen, C. Claeys. "DIBL Behavior of Triple Gate FinFETs with SEG on Biaxial Strained Devices", **SBMicro 2010: 25th Symposium on Microelectronics Technology and Devices**, p. 51-58, 2010.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] L. Chang, Y.-K. Choi, J. Kedzierski, P. Xuan, J. Bokor, C. Hu e T.-J. King, "Moore's law lives on CMOS transistor," *IEEE Circuits and Devices Magazine*, vol. 19, n. 1, 2003.
- [2] J. P. Colinge, *Silicon-On-Insulator Technology. Materials to VLSI*, 3rd ed., Boston (MS): Kluwer Academic Publishers, 2004.
- [3] D. Hisamoto, T. Kaga, Y. Kawamoto e E. Takeda, "A fully depleted lean channel transistor (DELTA) - A novel vertical ultra-thin SOI MOSFET," *Technical Digest of IEDM*, pp. 833-836, 1989.
- [4] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor e C. Hu, "FinFET – A self-aligned double-gate MOSFET scalable to 20 nm," *IEEE Transactions on Electron Devices*, vol. 47, n. 12, pp. 2320-2325, 2000.
- [5] C. Fenouillet-Beranger, P. Perreau, S. Denorme, L. Tosti, F. Andrieu, O. Weber, S. Monfray, S. Barnola, C. Arvetb, Y. Campidelli, S. Haendler, R. Beneyton, C. Perrot, C. de Buttet, P. Gros, L. Pham-Nguyen, F. Leverd e P. Gouraud, "Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI Devices for 32 nm Node and Below," *Solid-State Electronics*, vol. 53, n. 7, pp. 730-734, 2009.
- [6] E. Landgraf, W. Rosner, M. Stadele e L. Dreesjornfeld, "Influence of crystal orientation and body doping on trigate transistor performance," *Solid-State Electronics*, vol. 50, n. 1, pp. 38-43, 2006.
- [7] J. P. Colinge, "Subthreshold slope of thin-film SOI MOSFETs," *IEEE Electron Device Letter*, vol. EDL7, pp. 244-246, 1986.
- [8] J. G. Fossum, M. Chowdhury, V. Trivedi, T.-J. King, Y.-K. Choi, J. An e B. Yu, "Physical insights on design and modeling of nanoscale FinFETs," *IEDM Technical Digest*, p. 679, 2003.

- [9] T. Nicoletti, M. Aoulaiche, L. Almeida, S. Santos, J. Martino, A. Veloso, M. Jurczak, E. Simoen e C. Claeys, "The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering," *IEEE Electron Device Letters*, vol. 33, n. 7, pp. 970-942, 2012.
- [10] S. D. Santos, T. Nicoletti, J. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen e C. Claeys, "On the Variability of the Front-/Back-Channel LF Noise in UTBOX SOI nMOSFETs," *IEEE Transactions on Electron Devices*, vol. 60, n. 1, pp. 444-450, 2013.
- [11] R. R. Troutman, Latch-up in CMOS technology: the problem and its cure, Kluwer Academic Publisher, 1986.
- [12] T. D. Stanley, "The State-of-the-art in SOI Technology," *IEEE Transactions on Nuclear Science*, vol. 35, n. 6, 1988.
- [13] M. Y. S. D. K. Hammad, "Analytical Modeling of the Partially-Depleted SOI MOSFET," *IEEE Transactions on Electron Devices*, vol. 48, n. 2, pp. 252-258, 2001.
- [14] T. Sekigawa e Y. Hayashi, "Calculated threshold voltage characteristic of an XMOS transistor having an additional bottom gate," *Solid-State Electronics*, vol. 27, n. 8/9, pp. 827-828, 1984.
- [15] J. Colinge, M. Gao, A. Romano-Rodriguez, H. Maes e C. Claeys, "Silicon-on-Insulator "Gate-All-Around Device"," *Technical Digest of IEDM*, pp. 595-598, 1990.
- [16] J. T. Park, J. Colinge e C. Diaz, "Pi-gate SOI MOSFET," *IEEE Electron Device Letters*, vol. 22, p. 405, 2001.
- [17] F. L. Yang, H.-Y. Chen, F.-C. Chen, C.-C. Huang, C.-Y. Chang, H.-K. Chiu, C.-C. Lee, C.-C. Chen, H.-T. Huang, C.-J. Chen, H.-J. Tao, Y.-C. Yeo, M.-S. Liang e C. Hu, "25 nm CMOS omega FETs," *Technical Disgest of IEDM*, p. 255, 2002.

- [18] B. S. Doyle, S. Datta, M. Doczy, S. Harelend, B. Jin, J. Kavalieros, T. Linton, A. Murthy, R. Rios e R. Chau, "High performance fully-depleted tri-gate CMOS transistors," *IEEE Electron Device Letters*, vol. 24, n. 4, pp. 263-263, 2003.
- [19] T. Ohtou, T. Saraya e T. Hiramoto, "Variable Body-Factor SOI MOSFET with Ultra-Thin Buried Oxide for Adaptive Threshold Voltage and Leakage Control," *IEEE Electron Device Letters*, vol. 55, pp. 40-47, 2008.
- [20] J. W. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan e V. De, "Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage," *IEEE Solid-State Circuits*, vol. 37, pp. 1396-1402.
- [21] S. Monfray, T. Skotnicki, C. Fenouillet-Beranger, N. Carriere, D. Chanemougame, Y. Morand, S. Descombes, A. Talbot, D. Dutartre, C. Jenny, P. Mazoyer, R. Palla, F. Leverd, Y. Le Friec, R. Pantel, S. Borel, D. Louis e V. Buffet, "Emerging Silicon-On-Nothing (SON) Devices Technology," *Solid-State Electronics*, vol. 48, pp. 887-895, 2004.
- [22] J. Colinge, J. Park e W. Xiong, "Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs," *IEEE Electron Device Letters*, vol. 24, n. 8, pp. 515-517, 2003.
- [23] H.-S. Wong, M. H. White, T. J. Krutsick e R. V. Booth, "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's," *Solid-State Electronics*, vol. 30, n. 9, pp. 953-968, 1987.
- [24] J. P. 1. e. Colinge, *FinFETs and other Multi-Gate Transistors*, New York: Springer, 2008, pp. p. 1-48.
- [25] M. G. C. Andrade e J. A. Martino, "Threshold voltages of SOI MuGFETs," *Solid-State Electronics*, vol. 52, pp. 1877-1883, 2008.
- [26] H. K. Lim e J. G. Fossum, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's," *IEEE Electron Device letters*, vol. 30, n. 10, pp. 1244-1251, 1983.

- [27] J. P. Colinge e C. A. Colinge, *Physics of Semiconductor Devices*, Massachusetts: Kluwer Academic Publishers, 2002, p. p. 436.
- [28] J. R. Brews, "Subthreshold behavior of uniformly and non-uniformly doped long channel MOSFET," *IEEE Transactions on Electron Devices*, vol. 26, n. 9, pp. 1282-1291, 1979.
- [29] K. Akarvardar, A. Mercha, S. Cristoloveanu, P. Gentil, E. Simoen, V. Subramanian e C. Claeys, "A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistor," *IEEE Transactions on Electron Devices*, vol. 54, n. 4, pp. 767-775, 2007.
- [30] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini e T. Elewa, "Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Enhanced Performance.," *IEEE Electron Device letters*, vol. EDL8, n. 9, pp. 410-412, 1987.
- [31] J. Park e J. P. Colinge, "Multiple-Gate SOI MOSFETs: Device Design Guidelines," *IEEE Transactions on Electron Devices*, vol. 49, p. 2222, 2002.
- [32] H. Ghitani, "DIBL coefficient in short channel NMOS transistors," em *16th National Radio Science Conference*, Cairo, Egypt, 1999.
- [33] G. Samudra e K. Rajendran, "Scaling parameter dependent drain induced barrier lowering effect in double-gate SOI MOSFET," *Japanese Journal of Applied Physics*, vol. 38, pp. 349-352, 1999.
- [34] J. A. Martino, M. A. Pavanello e P. B. Verdonck, *Caracterização Elétrica de Tecnologia e Dispositivos MOS*, São Paulo: Pioneira Thomson Learning, 2003.
- [35] S. D. Santos, *Influência da Tensão Mecânica no Abaixamento de Barreira Induzido pelo Dreno em (DIBL) em FinFETs de Porta Tripla. Dissertação, Laboratório de Sistemas Integráveis*, São Paulo: Universidade de São Paulo – USP, 2010.
- [36] B. Streetman e S. Banerjee, *Solid State Electronic Devices*, 5. ed. Prentice Hal, 2000.

- [37] J. M. S. Junior, *Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores SOI ultra submicrométricos*, São Bernardo do Campo, São Paulo: Dissertação de mestrado pelo Centro Universitário da FEI, 2009.
- [38] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak e K. De Meyer, "Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs," *IEEE Transactions on Electron Devices*, vol. 52, n. 6, pp. 1132-1140, 2005.
- [39] N. Collaert, R. Rooyackers, A. Hikavy, A. Dixit, F. Leys, P. Verheyen, R. Loo, M. Jurczak e S. Biesemans, "Multi-gate devices for the 32 nm technology node and beyond: Challenges for Selective Epitaxial Growth," *Thin Solid Films*, vol. 517, pp. 101-104, 2008.
- [40] M. Terada e H. Muta, "A new Method to Determine Effective MOSFET Channel Length," *Japanese Journal of Applied Physics*, vol. 18, n. 5, pp. 953-959, 1979.
- [41] M. G. C. Andrade e J. A. Martino, "Analog Performance of Bulk and DTMOS Triple-Gate Devices," em *SBMicro*, São Paulo, 2010.
- [42] E. A. Vittoz, "Low Power Design: ways to approach the limits," *IEEE International Solid State Circuits Conference Digest of Technical Papers*, pp. 14-18, 1994.
- [43] D. Flandre, L. Ferreira, P. Jespers e J. Colinge, "Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analog CMOS circuit," *Solid-State Electronics*, vol. 39, n. 4, pp. 455-460, 1996.
- [44] R. T. Buhler, *Influência de Variações Dimensionais Decorrentes do Processo de Fabricação Sobre Parâmetros Elétricos de FinFET*, São Bernardo do Campo, São Paulo: Dissertação de mestrado pelo Centro Universitário da FEI, 2009.
- [45] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 36, n. 2, pp. 399-402, 1989.
- [46] A. Chaudhry e M. J. Kumar, "Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Ratability: A Review," *IEEE Transactions on Electron Devices and materials reliability*, vol. 4, n. 1, pp. 99-109, 2004.

- [47] T. Munata, T. Mizuno, T. Tezuka, J. Koga e S. Takagi, "Control of Threshold-Voltage and Short-Channel Effects in Ultrathin Strained-SOI CMOS Devices," *IEEE Transactions on Electron Devices*, vol. 52, n. 8, pp. 1780-1786, 2005.
- [48] M. von Haartman e M. Ostling, *Low-frequency noise in advanced MOS devices*, Netherlands: Springer, 2007.
- [49] A. Balandin, *Noise and Fluctuations Control in Electronic Devices*, American Scientific Publishers, 2002.
- [50] G. Ghibaudo e T. Boutchacha, "Electrical noise and RTS fluctuations in advanced CMOS devices," *Microelectron. Reliab*, vol. 42, pp. 573-582, 2002.
- [51] S. Eminente, S. Cristoloveanu, R. Clerc, A. Ohata e G. Ghibaudo, "Ultra-thin fully-depleted SOI MOSFETs: Special charge properties and coupling effects," *Solid-State Electronics*, vol. 51, p. 239–244, 2007.
- [52] L. Vandamme, X. Li e D. Rigaud, "1/f Noise in MOS devices, mobility or number fluctuations?," *IEEE Trans. Electron Devices*, vol. 41, n. 11, pp. 1936-1945, 1994.
- [53] E. Simoen, A. Mercha, C. Claeys, N. Lukyanchikova e N. Garbar, "Critical discussion of the front-back gate coupling effect on the low-frequency noise in fully depleted SOI MOSFETs," *IEEE Trans. Electron Devices*, vol. 51, n. 6, pp. 1008-1016.
- [54] M. Rosar, L. Bernard e S. Giorgio, "A new model for the description of gate voltage and temperature dependence of gate induced drain leakage (GIDL) in the low electric field regions [DRAMs]," *IEEE Transactions on Electron Devices*, vol. 47, n. 1, pp. 154-159, 2000.
- [55] S. D. d. Santos, T. Nicoletti, J. A. Martino, M. Aoulaiche, M. Jurczak, E. Simoen e a. C. Claeys, "Impact of Disturb on Retention Time in Single FBRAM Cells," *ECS Trans.*, vol. 53, n. 5, pp. 133-138, 2013 .
- [56] S. Y. Cha, *DRAM Technology – History & Challenges*, IEDM Short Course, 2011.

- [57] E. Yoshida e T. Tanaka, "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," *IEEE Transactions on Electron Devices*, vol. 53, n. 4, pp. 692-697, 2006.
- [58] M. Jurczak, *Memories on SOI: Floating-Body cell Memory*, Training Course, EuroSOI, Granada, 2011.
- [59] J. Chen, T. Chan, I. Chen, P. Ko e C. Hu, "Subbreakdown Drain Leakage Current in MOSFETs," *IEEE Electron Device Letters*, vol. 8, n. 11, pp. 515-517, 1987.
- [60] M. Bawedin, S. Cristoloveanu, D. Flandre e F. Udread, "Floating-Body SOI memory: Concepts, Physics and Challenges," *ECS Transactions*, vol. 19, pp. 243-256, 2009.
- [61] T. Nicoletti, *Estudo De Transistores Utbox Soi Não Auto-Alinhados Como Célula De Memória*, São Paulo: Tese apresentada à Universidade de São Paulo, 2013.
- [62] "International Technology Roadmap for Semiconductors," 2011. [Online]. Available: www.itrs.net.
- [63] S. A. Vitale, J. Kedzierski, P. W. Wyatt, M. Renzi e C. L. Keast, "SOI-Enabled Technologies for 3D Circuit Integration and Ultra Low Power Applications," em *219th ECS Meeting*, Montreal, Canada, 2011.
- [64] A. U. Manual, SILVACO , 2007.
- [65] V. Subramanian, B. Parvais, J. Borremans, A. Mercha, D. Linten, P. Wambacq, J. Loo, M. Dehan, C. Gustin, C. N., S. Kubicek, R. Lander e J. Hooker, "Planar Bulk MOSFETs Versus FinFETs: An Analog/RF Perspective," *IEEE Transactions on Electron Devices*, vol. 53, n. 12, 2006.
- [66] P. Wambacq, B. Verbruggen, K. Scheir, J. Borremans, M. Dehan, D. Linten, V. De Heyn, G. Van der Plas, A. Mercha, B. Parvais, C. Gustin, V. Subramanian, N. Collaert, M. Jurczak e S. Decoutere, "The Potential of FinFETs for Analog and

- RF Circuit Applications,” *IEEE transactions on Electron Devices*, vol. 54, n. 11, pp. 2541-2551, 2007.
- [67] G. Ghibaudo, “New method for the extraction of MOSFET parameters,” *Electronics Letters*, vol. 24, pp. 543-545, 1988.
- [68] P. Gaubert, A. Teramoto, T. Hamada, M. Yamamoto, K. Nii, H. Akahori, K. Kotani e T. Ohmi, “Impact of interface micro-roughness on low frequency noise in (110) and (100) pMOSFETs,” em *18th International Conference on Noise and Fluctuations*, 2005.
- [69] C. Claeys, E. Simoen, A. Mercha, L. Pantisano e E. Young, “Low-frequency noise performance of HfO₂-based gate stacks,” *J. Electrochem. Soc.*, vol. 152, n. 9, pp. F114-F123, 2005.
- [70] A. Asenov, R. Balasubramanian, A. Brown e J. Davies, “RTS amplitudes in decananometer MOSFETs: 3-D simulation study,” *IEEE Trans. Electron Devices*, vol. 50, n. 3, pp. 839- 845, 2003.
- [71] E. Simoen, A. Mercha, C. Claeys e E. Young, “Correlation between the 1/f noise parameters and the low-field mobility in HfO₂ gate dielectric n-channel metal–oxide–semiconductor field-effect transistors,” *Appl.Phys. Lett*, vol. 85, n. 6, p. 1057–1059, 2004.
- [72] K. R. A. Sasaki, *Propostas de melhorias de desempenho de memória dinâmica utilizando um único transistor UTBOX SOI.*, Dissertação de mestrado apresentada à Universidade de São Paulo, 2013.

ANEXO 1 – Estrutura gerada no Devedit e simulada no Atlas

```
#####
# Simulação de um Transistor SOI MuGFET de porta tripla #
# L=50 nm WFIN=25nm HFIN=60 nm tox=1,5nm tbox=145nm UL=10nm #
#####

go devedit simflags="-3d"

DevEdit version=2.8.7.R # file written Thu Jan 6 2011 14:36:25 GMT-2 (BRT)

bound.cond !apply max.slope=28 max.ratio=300 rnd.unit=0.0001 line.straightening=1 align.Points
when=automatic

work.area x1=0 y1=0 x2=0 y2=0

# devedit 2.8.7.R (Fri Apr 4 17:46:09 PDT 2008)

# libMeshBuild 1.24.5 (Fri Apr 4 17:38:34 PDT 2008)

# libSSS 2.6.3 (Fri Apr 4 17:26:34 PDT 2008)

# libSVC_Misc 1.28.3 (Thu Mar 6 15:35:06 PST 2008)

# libslm 7.4.16 (Mon Mar 10 16:31:43 PDT 2008)

# libSDB 1.10.10 (Fri Mar 28 17:23:21 PDT 2008)

# libGeometry 1.28.4 (Thu Mar 6 15:34:57 PST 2008)

# libCardDeck 1.30.4 (Thu Mar 6 15:32:16 PST 2008)

# libDW_Set 1.28.3 (Mon Mar 3 19:39:47 PST 2008)

# libSvcFile 1.12.4 (Thu Mar 6 15:37:02 PST 2008)

# libsstl 1.8.7 (Thu Mar 6 15:37:39 PST 2008)

# libDW_Misc 1.38.5 (Thu Mar 6 15:27:39 PST 2008)

# libQSilCore 1.2.2 (Wed Aug 30 19:34:57 PDT 2006)

# liberror 1.0.6 (Wed Aug 30 19:34:52 PDT 2006)

# libDW_Version 3.2.0 (Wed Aug 30 19:34:31 PDT 2006)

#####
# Definição das regiões e da grade #
#####

region reg=1 name=substrate mat=Silicon elec.id=1 work.func=0 color=0xffcc00 pattern=0x4 z1=0
z2=0.27 \

polygon="0,0 0,-0.01 0.038,-0.01 0.038,0"

#

constr.mesh region=1 default
```

```

region reg=2 name=box mat=SiO~2 color=0xff pattern=0x2 z1=0 z2=0.27 \
    polygon="0,-0.01 0,-0.155 0.005,-0.155 0.0065,-0.155 0.0315,-0.155 0.033,-0.155 0.038,-
0.155 0.038,-0.01"
#
constr.mesh region=2 default
region reg=3 name=source mat=NiSix elec.id=2 work.func=0 color=0x7fff pattern=0x3 z1=0 z2=0.05 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=3 default
region reg=4 name=LDDFonte mat=Silicon color=0xffcc00 pattern=0x4 z1=0.05 z2=0.1 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=4 default
region reg=10 name=underFonte mat=Silicon color=0xffcc00 pattern=0x4 z1=0.1 z2=0.11 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=10 default
region reg=5 name=canal mat=Silicon color=0xffcc00 pattern=0x4 z1=0.11 z2=0.16 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=5 default
region reg=11 name=underDreno mat=Silicon color=0xffcc00 pattern=0x4 z1=0.16 z2=0.17 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=11 default
region reg=6 name=LDDDreno mat=Silicon color=0xffcc00 pattern=0x4 z1=0.17 z2=0.22 \
    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=6 default
region reg=7 name=drain mat=NiSix elec.id=3 work.func=0 color=0x7fff pattern=0x3 z1=0.22 z2=0.27
\

```

```

    polygon="0.0065,-0.155 0.0065,-0.215 0.0315,-0.215 0.0315,-0.155"
#
constr.mesh region=7 default
region reg=8 mat=SiO~2 color=0xff pattern=0x2 z1=0.11 z2=0.16 \
    polygon="0.005,-0.155 0.005,-0.2165 0.033,-0.2165 0.033,-0.155 0.0315,-0.155 0.0315,-
0.215 0.0065,-0.215 0.0065,-0.155"
#
constr.mesh region=8 default
region reg=9 name=gate mat=Polysilicon elec.id=4 work.func=0 color=0xffff00 pattern=0x5 z1=0.11
z2=0.16 \
    polygon="0,-0.155 0,-0.2215 0.038,-0.2215 0.038,-0.155 0.033,-0.155 0.033,-0.2165 0.005,-
0.2165 0.005,-0.155"
#
constr.mesh region=9 default
# Set Meshing Parameters
#
base.mesh height=1000000 width=1000000
#
bound.cond !apply max.slope=28 max.ratio=300 rnd.unit=0.0001 line.straightening=1 align.points
when=automatic
#
imp.refine min.spacing=0.02 z=0
#
constr.mesh max.angle=90 max.ratio=300 max.height=10000 \
    max.width=10000 min.height=0.0001 min.width=0.0001
#
constr.mesh type=Semiconductor default
#
constr.mesh type=Insulator default
#
constr.mesh type=Metal default
#

```

```

constr.mesh type=Other default
#
constr.mesh region=1 default
#
constr.mesh region=2 default
#
constr.mesh region=3 default
#
constr.mesh region=4 default
#
constr.mesh region=5 default
#
constr.mesh region=6 default
#
constr.mesh region=7 default
#
constr.mesh region=8 default
#
constr.mesh region=9 default
#####
#           Refinamento da grade           #
#####
Mesh Mode=MeshBuild
refine mode=x x1=0.03254 y1=-0.142 x2=0.03254 y2=-0.142
refine mode=x x1=0.03268 y1=-0.0838 x2=0.03268 y2=-0.0838
refine mode=x x1=0.03228 y1=-0.0063 x2=0.03228 y2=-0.0063
refine mode=x x1=0.00249 y1=-0.1354 x2=0.00249 y2=-0.1354
refine mode=x x1=0.00382 y1=-0.0844 x2=0.00382 y2=-0.0844
refine mode=x x1=0.00111 y1=-0.0022 x2=0.00111 y2=-0.0022
refine mode=y x1=-0.00084 y1=-0.068 x2=0.04333 y2=-0.0677
refine mode=y x1=-0.00057 y1=-0.191 x2=0.04036 y2=-0.1904

```

```
refine mode=y x1=-0.00062 y1=-0.2072 x2=0.04173 y2=-0.2069
refine mode=y x1=-0.00093 y1=-0.1733 x2=0.04218 y2=-0.1714
refine mode=x x1=0.00222 y1=-0.2426 x2=0.00231 y2=0.0187
refine mode=x x1=0.00586 y1=-0.2394 x2=0.00595 y2=0.0143
refine mode=x x1=0.03206 y1=-0.2363 x2=0.03219 y2=0.0231
refine mode=x x1=0.0345 y1=-0.2375 x2=0.03481 y2=0.0247
refine mode=x x1=0.01257 y1=-0.2306 x2=0.0127 y2=0.0266
refine mode=x x1=0.02597 y1=-0.2331 x2=0.02606 y2=0.0184
refine mode=x x1=0.00622 y1=-0.2315 x2=0.00715 y2=0.0269
refine mode=x x1=0.02993 y1=-0.2319 x2=0.03183 y2=0.0304
refine mode=y x1=-0.00084 y1=-0.2097 x2=0.04284 y2=-0.2088
refine mode=y x1=-0.00048 y1=-0.1607 x2=0.04218 y2=-0.1493
refine mode=x x1=0.00751 y1=-0.2363 x2=0.0076 y2=0.0276
refine mode=x x1=0.02988 y1=-0.2303 x2=0.02997 y2=0.0317
refine mode=x x1=0.00729 y1=-0.2312 x2=0.00737 y2=0.0152
refine mode=x x1=0.03072 y1=-0.2296 x2=0.03077 y2=0.0307
refine mode=y x1=-0.00093 y1=-0.2198 x2=0.03978 y2=-0.2195
refine mode=y x1=-0.00093 y1=-0.2135 x2=0.04067 y2=-0.2116
#
z.plane z=0 spacing=0.02
z.plane z=0.04 spacing=0.01
z.plane z=0.05 spacing=0.002
z.plane z=0.09 spacing=0.01
z.plane z=0.10 spacing=0.002
z.plane z=0.11 spacing=0.002
z.plane z=0.12 spacing=0.01
z.plane z=0.15 spacing=0.01
z.plane z=0.16 spacing=0.002
z.plane z=0.17 spacing=0.002
z.plane z=0.18 spacing=0.01
```

```

z.plane z=0.22 spacing=0.002

z.plane z=0.23 spacing=0.01

z.plane z=0.27 spacing=0.02

z.plane max.spacing=1000000 max.ratio=1.5

#####
#           Estrutura final gerada em .str           #
#####

structure outf=Estrutura_SOI_FinFET_W25L50_UL10.str

#####

#####
# Simulação do transistor através da estrutura .STR gerada           #
# L=50 nm WFIN=25nm HFIN=60 nm tox=1,5nm tbox=145nm UL=10nm #
#####

go atlas simflags="-p 32"

mesh infile=Estrutura_SOI_FinFET_W25L50_UL10.str

#####
#           Dopagem das regiões           #
#####

DOPING REGION=5   UNIFORM CONCENTRATION=1E15 P.TYPE
DOPING REGION=10  UNIFORM CONCENTRATION=1E15 P.TYPE
DOPING REGION=11  UNIFORM CONCENTRATION=1E15 P.TYPE
DOPING REGION=4   UNIFORM CONCENTRATION=1E19 N.TYPE
DOPING REGION=6   UNIFORM CONCENTRATION=1E19 N.TYPE

save outf= FinW25L50_UL10_concentracao.str

# Região4=IddSource Região5=channel, Região6=IddDrain

#####

#####
#           Definição dos contatos           #
#####

CONTACT NAME=gate   workfunction=4.73

CONTACT NAME=substrate workfunction=4.95

#####

#####

```



```

#           Modelos utilizados           #
#####

#models bgn srh cvt auger print temp=298

models bgn srh kla auger print temp=298

#####
#           Alteração no modelo de mobilidade           #
#####

MOBILITY REGION=4  MUMAXN.KLA = 220  THETAN.KLA = 1.25

MOBILITY REGION=5  MUMAXN.KLA = 220  THETAN.KLA = 1.25

MOBILITY REGION=6  MUMAXN.KLA = 220  THETAN.KLA = 1.25

METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1

solve init

#####

#####
#           Polarização do transistor           #
#####

solve prev

#solve vdrain=0.0  vstep=0.01  vfinal=0.05 name=drain

solve vdrain=0.0  vstep=0.01  vfinal=1.2 name=drain

solve vgate=-0.01

#####

METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2

output e.mobility h.mobility

log outf= FinW25L50_VD12_UL10.log master

solve vgate=0.0  vstep=0.01  vfinal=0.38 name=gate

save outf= FinW25L50_UL10_VD12_corte1.str

solve vstep=0.01  vfinal=1.2 name=gate

save outf= FinW25L50_UL10_VD12_corte2.str

quit

```