BRUNA RAMOS DE SOUSA

Estudo do efeito da radiação em um amplificador operacional de
transcondutância implementado com SOI FinFETs

São Paulo

2021

BRUNA RAMOS DE SOUSA

Estudo do efeito da radiação em um amplificador operacional de
transcondutância implementado com SOI FinFETs

Versão Corrigida

Dissertação apresentada à Escola Politécnica da
Universidade de São Paulo para obtenção do título de
Mestre em Ciências.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

Coorientadora: Prof^a. Dra. Paula Ghedini Der Agopian

São Paulo

2021

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 06 de setembro de 2021

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

de Sousa, Bruna Ramos

Estudo do efeito da radiação em um amplificador operacional de transcondutância implementado com SOI FinFETs / B. R. de Sousa – versão corrigida -- São Paulo, 2021.

107 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Radiação de prótons 2.SOI FinFETs 3.Lookup Table 4.Verilog-A 5.Circuitos Analógicos

I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

DE SOUSA, Bruna Ramos. **Estudo do efeito da radiação em um amplificador operacional de transcondutância implementado com SOI FinFETs**. 2021. 06. Dissertação de Mestrado em Engenharia Elétrica – Escola Politécnica, Universidade de São Paulo, São Paulo, 2021.

Aprovado em: 06 de agosto de 2021

Banca Examinadora

Prof. Dr.: João Antonio Martino

Instituição: Universidade de São Paulo (USP)

Julgamento: Aprovado

Prof. Dr.: Salvador Pinillos Gimenez

Instituição: Faculdade de Engenharia Industrial (FEI)

Julgamento: Aprovado

Prof. Dr.: Hugo Daniel Hernandez Herrera

Instituição: Universidade Federal de Minas Gerais (UFMG)

Julgamento: Aprovado

AGRADECIMENTOS

Ao Prof. Dr. Martino, por ter me permitido trabalhar com o grupo SOI e pela orientação ao longo da trajetória acadêmica.

À Prof.^a Dra. Paula, pelas explicações e contribuições ao projeto.

Ao grupo SOI, pelas interações e colaborações fundamentais no desenvolvimento deste projeto.

À Escola Politécnica da Universidade de São Paulo, pela infraestrutura que permitiu a conclusão desta pesquisa.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001. Agradeço pela concessão da bolsa de mestrado e pelo apoio financeiro prestado durante a execução desta pesquisa.

À minha família e amigos, que me incentivam infinitamente a manter meus estudos.

“Look, man. I got a Master’s in Electrical Engineering, alright? I’m gonna be fine.”

Ant-Man (2015), Marvel Studios

RESUMO

DE SOUSA, Bruna Ramos. **Estudo do efeito da radiação em um amplificador operacional de transcondutância implementado com SOI FinFETs**. 2021. 06. Dissertação de mestrado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2021.

Neste trabalho é proposto o projeto de um amplificador operacional de transcondutância (OTA) com transistores SOI FinFETs e o estudo do efeito da radiação ionizante de prótons sobre tais circuitos. Uma vez que o SOI FinFET não tem um modelo analítico-matemático de primeira ordem preciso para programas de simulação elétrica, é proposto o uso do método chamado '*lookup table*' em Verilog-A. Esse método consiste na caracterização experimental detalhada do dispositivo SOI FinFET para obtenção do seu comportamento elétrico para alimentar uma tabela com os dados e simular suas interpolações, que serão utilizados em simulações de circuitos. Utilizando este método, os dispositivos FinFET dos tipos p e n com três diferentes larguras de aleta (W_{fin}) foram analisados (20 nm, 120 nm e 870 nm) e utilizados tanto em circuitos básicos (como o circuito de polarização intitulado também de "*bias*" e o espelho de corrente) como em circuitos amplificadores operacionais de transcondutância de dois estágios (*Operational Transconductance Amplifiers* - OTA). Apesar da conhecida degradação causada pela radiação ionizante nos dispositivos semicondutores, e no caso dos FinFETs naqueles dispositivos que possuem maior largura de aleta, a combinação dos efeitos causados nos dispositivos que formam o OTA resulta num inesperado aumento de ganho de tensão em todos os circuitos estudados. No caso do OTA estudado, observou-se um aumento de ganho de tensão diferencial quando comparados os circuitos pré-radiados e pós-radiados, para todos os circuitos estudados. Este aumento de ganho de tensão foi de 1,84 dB, 2,38 dB e 6,16 dB, para os circuitos OTA formados por dispositivos FinFETs de W_{fin} de 20 nm, 120 nm e 870 nm, respectivamente. Já no caso dos OTAs com fonte de corrente ideal, os resultados de aumento de ganho tensão obtidos foram de 0,87 dB, 1,19 dB e 6,21 dB, para os circuitos formados por dispositivos FinFETs de W_{fin} de 20 nm, 120 nm e 870 nm, respectivamente. Estes aumentos de ganhos de tensão nos circuitos pós-radiados estão relacionados à mudança dos pontos de polarização nos circuitos, que

causa diferentes valores de transcondutância (g_m) e condutância de saída (g_D). Essa variação na condutância de saída é mais relevante no dispositivo pFinFET, principal responsável pelo aumento do ganho de tensão após a radiação.

Palavras-chave: radiação de prótons, SOI FinFETs, *lookup table*, Verilog-A, circuitos analógicos.

ABSTRACT

DE SOUSA, Bruna Ramos. **Estudo do efeito da radiação em um amplificador operacional de transcondutância implementado com SOI FinFETs**. 2021. 06. Dissertação de mestrado – Escola Politécnica, Universidade de São Paulo, São Paulo, 2021.

In this work, the project of an operational transconductance amplifier (OTA) with SOI FinFET transistors and the analysis of the proton irradiation effect is proposed. Since the SOI FinFET does not have a precise first order analytical-matemathical model to be collected from electrical simulation programs, it is proposed to use a method called lookup table in Verilog-A. This method consists of a detailed experimental characterization of the SOI FinFET in order to obtain its electrical behavior and then feed the lookup table with the data and its interpolation, to be used in simulations. Using this method, FinFET devices of p and n types with three different fin widths (W_{fin}) were analyzed (20 nm, 120 nm and 870 nm), used in both basic circuits (such as bias and current-mirror circuits), as well as in two-stage amplifiers circuits (OTA). Despite the typical degradation caused by radiation in semiconductor devices, especially and in the case of FinFETs devices with wider fin width, the combination of effects caused by the radiation in these devices forming the OTA circuit will result in an unexpected voltage gain improvement for all studied circuits. In the case of the two-stage amplifier, an increase in differential voltage gain was observed when comparing the pre-radiated and post-radiated circuits, for all studied circuits. This voltage gain increase was 1.84 dB, 2.38 dB and 6.16 dB, for circuits formed by FinFETS with fin width (W_{fin}) of 20 nm, 120 nm and 870 nm, respectively. In the case of OTA with an ideal current source, the results of increased voltage gain obtained were 0.87 dB, 1.19 dB and 6.21 dB, for circuits formed by devices of W_{fin} of 20 nm, 120 nm and 870 nm, respectively. These improve in the voltage gains of the post-radiated circuits are related to the change in the polarization points, which causes different values of transconductance (g_m) and output conductance (g_D). This variation in the output conductance is more relevant in the pFinFET device, which is mainly responsible for the increase in gain after radiation.

Keywords: proton-irradiation, SOI FinFETs, lookup table, Verilog-A, analog circuits.

LISTA DE FIGURAS

Figura 2.1 – Representação esquemática dos transistores nMOSFET (A) e SOI nMOSFET (B).....	27
Figura 2.2 – Diversas estruturas SOI de múltiplas portas	29
Figura 2.3 – Transistores FinFET de porta tripla de corpo (A) e FinFET de porta tripla SOI (B) em perspectiva	31
Figura 2.4 – Estrutura FinFET com múltiplas aletas e múltiplas portas.....	34
Figura 2.5 – Exemplo de curvas $I_D \times V_D$ utilizadas para obtenção da Tensão Early (V_{EA})	40
Figura 2.6 – Ganho de tensão e largura de banda de um amplificador.....	42
Figura 2.7 – Representação dos efeitos principais da radiação TID no transistor.....	45
Figura 4.1 – Gráficos $I_D \times V_D$ para pFinFET (A) e nFinFET (B)	59
Figura 4.2 – Gráfico de C_{GG} por unidade de área ($fC/\mu m$) $\times V_{GF}$ (V)	60
Figura 4.3 – Gráficos de C_{GG} (fC) $\times V_{GF}$ (V) para os pFinFETs (A) e os nFinFETs (B)	61
Figura 4.4 – Gráficos $I_D \times V_G$ para pFinFET (A) e nFinFET (B)	63
Figura 4.5 – Eficiências (gm/I_D) dos transistores nFinFET (A) e pFinFET (B)	64
Figura 4.6 – Condutância de saída (g_D) em função da tensão de porta (V_{GF}) para o pFinFET (A) e o nFinFET (B)	65
Figura 4.7 – Gráficos do ganho de tensão (A_V) em função da corrente de dreno normalizada para o nFinFET (A) e pFinFET (B).....	67
Figura 4.8 – Gráfico de f_r em função da corrente de dreno normalizada para o nFinFET (A) e pFinFET (B)	68
Figura 5.1 – Circuito de polarização básico (<i>bias</i>).....	70
Figura 5.2 – Circuitos Espelho de Corrente formado por pFinFETs (A) e nFinFETs (B)	73
Figura 5.3 – Correntes de dreno normalizadas dos espelhos de corrente em função da carga	74
Figura 5.4 – Amplificador par diferencial (primeiro estágio) e fonte comum (segundo estágio) implementado com fontes de corrente ideais em cada estágio.	76
Figura 5.5 – Ganho de Tensão A_D em dB dos circuitos amplificadores, sendo o primeiro estágio o diferencial e o segundo estágio o fonte comum.....	79
Figura 6.1 – Circuito OTA com fonte de corrente ideal no espelho de corrente	85

Figura 6.2 – Ganho de Tensão A_D em dB do OTA com fonte de corrente ideal	87
Figura 6.3 – Circuito OTA completo.....	89
Figura 6.4 – Ganho de tensão A_D (dB) e Fase ($^\circ$) dos circuitos OTA completos	91

LISTA DE TABELAS

Tabela 2.1 – Equações do fator de acoplamento capacitivo considerando as condições de polarização da segunda interface.....	35
Tabela 2.2 – Tipos de radiação ionizante e seus efeitos nos dispositivos semicondutores	43
Tabela 3.1 – Características básicas dos SOI FinFETs de porta tripla estudados....	48
Tabela 3.2 – Características das cascatas de dispositivos	49
Tabela 3.3 – Dimensões variáveis dos dispositivos	49
Tabela 3.4 – Valores de tensões experimentais dos dispositivos	50
Tabela 3.5 – Exemplo de ‘ <i>lookup table</i> ’ contida nos arquivos .tbl	55
Tabela 4.1 – Tensão de Limiar (V_T) dos dispositivos estudados.....	62
Tabela 5.1 – Tensões de polarização $V_{DS} = V_{GS}$ (V) dos transistores do circuito de polarização (<i>bias</i>).....	70
Tabela 5.2 – Correntes $I_D = I_{OUT}$ (μA) obtidas do circuito <i>bias</i>	71
Tabela 5.3 – Tensão Early (V_{EA}) para $ V_{GT} = 250mV$ e $ V_D = 0,7 V$	75
Tabela 5.4 – Parâmetros gerais do projeto e dimensões dos dispositivos.....	77
Tabela 5.5 – Fontes de corrente ideais I_{REF} do circuito	78
Tabela 5.6 – g_m e g_D dos transistores M1, M2, M3, M4 e M6.....	81
Tabela 5.7 – Ganho de tensão A_D em dB obtido por cálculo utilizando valores de g_m e g_D	82
Tabela 6.1 – Parâmetros gerais do projeto e dimensões dos dispositivos.....	86
Tabela 6.2 – Parâmetros gerais do projeto e dimensões dos dispositivos.....	90
Tabela 6.3 – Tabela resultante das simulações do OTA completo	91

LISTA DE SIGLAS E ABREVIATURAS

AMS	<i>Analog and mixed-signal</i> (Sinais mistos e analógicos)
BOX	<i>Buried Oxide</i> (Óxido enterrado)
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
CRC	<i>Centre de Recherches du Cyclotron</i> (Centro de Pesquisas Cyclotron)
DELTA	<i>fully DEpleted Lean-channel TrAnsistor</i> (Transistor com canal estreito totalmente depletado)
DGMOS	<i>Double-Gate Metal-Oxide-Semiconductor</i> (Transistor de efeito de campo de porta dupla com metal-óxido-semicondutor)
DIBL	<i>Drain-Induced Barrier Lowering</i> (Redução da barreira induzida pelo dreno)
EPUSP	Escola Politécnica da Universidade de São Paulo
FDSOI	<i>Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante totalmente depletado)
FET	<i>Field Effect Transistor</i> (Transistor de efeito de campo)
FFT	<i>Fast Fourier Transform</i> (Transformada rápida de Fourier)
FinFET	<i>Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta)
GAA	<i>Gate All Around</i> (Porta circundante)
GBW	<i>Gain-Bandwidth Product</i> (Produto ganho de tensão-largura de banda)
GP	<i>Ground Plane</i> (Plano de terra)
Imec	<i>Interuniversity Microelectronics Centre</i> (Centro de Microeletrônica Interuniversidades)
LCR	Indutor (L), Capacitor (C) e Resistor (R)
LSI	Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor)
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo metal-óxido-semicondutor)
NFDSOI	<i>Near Fully Depleted Silicon-On-Insulator</i> (Silício sobre isolante quase totalmente depletado)
nFinFET	<i>n-channel Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta de canal tipo n)
nMOS	<i>n-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo n)

nMOSFET	<i>n-type Metal-Oxide-Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo metal-óxido-semicondutor com canal tipo n)
OTA	<i>Operational Transconductance Amplificator</i> (Amplificador operacional de transcondutância)
PDSOI	<i>Partially Depleted Silicon-On-Insulator</i> (Silício sobre isolante parcialmente depletado)
pFinFET	<i>p-channel Fin Field Effect Transistor</i> (Transistor de efeito de campo com aleta de canal tipo p)
pMOS	<i>p-type Metal-Oxide-Semiconductor</i> (Metal-óxido-semicondutor com canal tipo p)
SCE	<i>Short Channel Effects</i> (Efeitos de canal curto)
SEB	<i>Single-Event Burnout</i> (Evento único de queima do dispositivo)
SEE	<i>Single-Event Effects</i> (Efeitos de evento único ou efeitos transitórios)
SEG	<i>Selective Epitaxial Growth</i> (Crescimento epitaxial seletivo)
SEGR	<i>Single-Event Gate Rupture</i> (Evento único de ruptura de porta)
SEL	<i>Single-Event Latchup</i> (Evento único de disparo de transistor parasitário)
SES	<i>Single-Event Snapback</i> (Evento único de efeitos de ionização por impacto)
SEU	<i>Single-Event Upset</i> (Evento único de perturbação)
SI	<i>Strong Inversion</i> (Inversão forte)
SOI	<i>Silicon-On-Insulator</i> (Silício sobre isolante)
STI	<i>Shallow Trench Isolation</i> (Técnica de isolamento de caixa)
TID	<i>Total Ionizing Dose</i> (Efeitos de dose total ionizante)
TFET	<i>Tunnel Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo)
USP	Universidade de São Paulo
WI	<i>Weak Inversion</i> (Inversão fraca)

LISTA DE SÍMBOLOS

A_{CM}	Ganho de tensão de modo comum [dB ou V/V]
A_D	Ganho de tensão diferencial [dB ou V/V]
A_V	Ganho de tensão [dB ou V/V]
C	Capacitância [F]
C_C	Capacitância de compensação Miller [C]
C_D	Capacitância de depleção [C]
C_{GG}	Capacitância total de porta do transistor [F]
C_L	Capacitância de carga [C]
C_{ox}	Capacitância do óxido de porta [F/cm ²]
C_{si}	Capacitância do silício [F/cm ²]
D	Dose total acumulada [krad(SiO ₂)]
e^-	Elétrons
EOT	Espessura equivalente do óxido [nm]
f_T	Frequência de ganho unitário [Hz]
g_D	Condutância de saída [S]
g_{Dsat}	Condutância de saída de saturação [S]
Ge	Germânio
g_m	Transcondutância [S]
g_m/I_D	Eficiência do transistor [V ⁻¹]
$g_{m_{max}}^{LATERAL}$	Transcondutância máxima correspondente as interfaces laterais de um FinFET [S]
$g_{m_{max}}^{SUPERIOR}$	Transcondutância máxima correspondente a interface superior de um FinFET [S]
$g_{m_{max}}^{TOTAL}$	Transcondutância máxima total de um FinFET [S]
h^+	Lacunas
$\hbar$	Constante de Planck reduzida [eV.s]
H_{fin}	Altura da aleta de um FinFET [nm]
$HfSiON$	Óxido de Háfênio Nitretado
I_D	Corrente de dreno [A]
I_{D0}	Corrente de dreno de um transistor SOI planar de porta única com mesma área de porta de um dado transistor de múltiplas portas [A]
I_{DS}	Corrente entre dreno e fonte [A]
I_{Dsat}	Corrente de dreno de saturação [A]
I_{PE}	Corrente de alimentação do primeiro estágio [A]

I_{REF}	Corrente de referência [A]
I_{SE}	Corrente de alimentação do segundo estágio [A]
I_{SS}	Corrente de alimentação [A]
k	Constante de Boltzmann [$1,381 \cdot 10^{-23}$ J]
L	Comprimento de porta [nm]
m^*	Massa efetiva do confinamento do portador na direção transversal [kg]
n	Fator de corpo ou fator de idealidade
N_A	Concentração de impurezas aceitadoras [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
Ni_2Si	Siliceto de Níquel
N_{fin}	Números de aletas de um FinFET
P	Espaçamento entre aletas de um FinFET [nm]
q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
Q_{ox}	Densidade superficial de cargas no óxido [C/cm^2]
R_o	Resistência de saída [Ω]
Si	Silício
Si-poli	Silício-policristalino
SiO_2	Óxido de Silício
SS	<i>Subthreshold Slope</i> ou <i>Subthreshold Swing</i> (Inclinação de sublimiar) [mV/dec]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
T_g	Tangente [$^\circ$]
TiN	Nitreto de Titânio
t_{ox}	Espessura do óxido de porta [cm]
t_{si}	Espessura do silício [cm]
V_B	Tensão de substrato [V]
V_{CM}	Tensão de modo comum [V]
V_D	Tensão de dreno [V]
V_{DD}	Tensão de alimentação [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{Dsat}	Tensão de dreno de saturação [V]
V_{EA}	Tensão Early [V]
V_G	Tensão de porta [V]
V_{GT}	Sobretensão de porta [V]
V_{GS}	Tensão entre porta e fonte [V]

V_{LOAD}	Tensão de carga [V]
V_{in}	Sinal de entrada [V]
V_{out}	Sinal de saída [V]
V_S	Tensão de fonte [V]
V_T	Tensão de limiar do transistor [V]
V_{TH2}	Tensão de limiar da segunda interface [V]
W	Largura de canal do transistor [nm]
W_{eff}	Largura de canal efetiva do transistor [nm]
W_{fin}	Largura de aleta do FinFET [nm]
$X_{dm\acute{a}x}$	Profundidade máxima da região de depleção [nm]
α	Fator de acoplamento capacitivo
β_F	Fator de ganho de corrente direto máximo
ϵ_{OX}	Constante de permissividade do óxido de porta [$F.cm^{-1}$]
ϵ_{SI}	Constante de permissividade do silício [$F.cm^{-1}$]
θ_{fin}	Coeficiente de condução de corrente pela interface superior do canal de um transistor de múltiplas portas
π	Constante pi [3.1415]
ω	Energia necessária para produzir um par elétron-lacuna no óxido [eV]
Φ_F	Potencial de Fermi [V]
Φ_{MS}	Função trabalho do material de porta em relação ao silício [V]
Φ_S	Potencial de superfície [V]
μ	Mobilidade dos portadores de carga [$cm^2/V.s$]
μ_0	Mobilidade dos portadores para baixo campo elétrico [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva dos portadores de carga no canal [$cm^2/V.s$]
$\mu_{lateral}$	Mobilidade dos portadores de carga na interface lateral do canal de um FinFET [$cm^2/V.s$]
$\mu_{superior}$	Mobilidade dos portadores de carga na interface superior do canal de um FinFET [$cm^2/V.s$]
α	Fator de correção da quantidade de cargas armadilhadas no óxido

SUMÁRIO

1	INTRODUÇÃO	21
1.1	OBJETIVOS	24
1.2	ESTRUTURA DO TRABALHO	24
2	FUNDAMENTAÇÃO TEÓRICA	26
2.1	TECNOLOGIA DE SILÍCIO SOBRE ISOLANTE (SOI).....	26
2.2	TRANSISTORES SOI DE MULTIPLAS PORTAS	28
2.2.1	Transistores FinFETs	29
2.3	PARÂMETROS BÁSICOS DOS FINFETS	31
2.3.1	Tensão de Limiar (V_T).....	31
2.3.2	Corrente de Dreno (I_D).....	33
2.3.3	Inclinação de Sublimiar (SS)	34
2.3.4	Mobilidade dos portadores de carga (μ)	36
2.3.5	Transcondutância (g_m).....	37
2.3.6	Eficiência do transistor (g_m/I_D)	38
2.3.7	Condutância de Saída (g_D)	39
2.3.8	Tensão Early (V_{EA})	39
2.3.9	Ganho intrínseco de tensão (A_V)	40
2.3.10	Frequência de Ganho Unitário (f_T).....	41
2.4	AMPLIFICADORES DIFERENCIAIS	41
2.5	EFEITOS DA RADIAÇÃO IONIZANTE	42
2.5.1	Efeitos de Dose Total Ionizante (TID).....	44
3	MATERIAIS E MÉTODOS	48
3.1	DISPOSITIVOS MEDIDOS.....	48
3.2	EQUIPAMENTOS DE MEDIÇÃO E MEDIDAS REALIZADAS	50
3.2.1	Medidas de Corrente	50
3.2.2	Medidas de Capacitância	51

3.3	VERILOG-A E LOOKUP TABLE	52
3.4	METODOLOGIA DE PROJETO DE CIRCUITOS	56
4	CARACTERIZAÇÃO DOS DISPOSITIVOS	57
4.1	VALIDAÇÃO DO MODELO DE <i>LOOKUP TABLE</i> EM VERILOG-A.....	57
4.2	CURVAS EXPERIMENTAIS	58
4.2.1	Corrente de Dreno (I_D)	58
4.2.2	Capacitância Total de Porta (C_{GG})	59
4.3	PARÂMETROS ELÉTRICOS.....	61
4.3.1	Tensão de Limiar (V_T)	62
4.3.2	Inclinação de Sublimiar (SS)	63
4.3.3	Eficiência do Transistor (g_m/I_D).....	64
4.3.4	Condutância de saída (g_D)	65
4.3.5	Ganho intrínseco de tensão (A_v).....	66
4.3.6	Frequência de Ganho Unitário (f_T)	67
5	PROJETO DE CIRCUITOS BÁSICOS E ANÁLISE DA INFLUÊNCIA DA RADIAÇÃO	69
5.1	CIRCUITO DE POLARIZAÇÃO (BIAS).....	69
5.2	CIRCUITO ESPELHO DE CORRENTE	72
5.3	CIRCUITOS AMPLIFICADORES.....	76
6	PROJETO DE AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) SUBMETIDO À RADIAÇÃO.....	84
6.1	AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) COM FONTE DE CORRENTE IDEAL	84
6.2	AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) COMPLETO E ANÁLISE DE RESPOSTA EM FREQUÊNCIA.....	88
7	CONCLUSÕES E SEQUÊNCIA DO TRABALHO.....	93
	PUBLICAÇÕES GERADAS ATÉ O MOMENTO	96
	REFERÊNCIAS	97

APÊNDICE A – CÁLCULO DO NÚMERO DE FINS DOS DISPOSITIVOS.....	101
APÊNDICE B – MODELO VERILOG-A N-FINFET	104
APÊNDICE C – MODELO VERILOG-A P-FINFET	106

1 INTRODUÇÃO

Na microeletrônica, um dos dispositivos que merece mais destaque é o transistor de efeito de campo tipo Metal-Oxido-Semicondutor (*Metal Oxide Semiconductor Field Effect Transistor - MOSFET*), que desde sua invenção até os dias atuais tem sido objeto de estudo de diversos pesquisadores ao redor do mundo. Sua pesquisa e desenvolvimento constantes passaram por diversas fases e permitiram o avanço das tecnologias existentes, desde o início de sua concepção com as patentes de Julius E. Lilienfeld entre 1926 e 1933, passando por pelo menos 50 contribuições durante 30 anos, em sua primeira fase. Essas contribuições compreenderam o uso de materiais com menores níveis de impurezas no processo de fabricação e o avanço dos fenômenos físicos envolvidos no funcionamento dos dispositivos (SAH, 1988).

Na segunda fase de desenvolvimento desse dispositivo, que ocorreu entre 1958 e 1968 e teve o objetivo de estabilizar e demonstrar o funcionamento do transistor do tipo Metal-Óxido-Semicondutor (MOS), foi possível visualizar o funcionamento do transistor que se consolidou como MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) (SAH, 1988) e que permitiu a futura miniaturização dos dispositivos e integração dos circuitos integrados em larga escala (COLINGE, 2004).

Em 1965, Gordon E. Moore, um dos célebres fundadores da Intel, publicou uma previsão sobre a tendência de integração dos dispositivos, onde enunciou que o crescimento do número de transistores por circuito integrado (CI) teria uma tendência exponencial (MOORE, 2006). Esta previsão ficou conhecida como “Lei de Moore” e por aproximadamente 50 anos ditou o mercado de desenvolvimento de novas tecnologias na fabricação de circuitos integrados. Após algumas revisões, atualmente se segue a premissa de que o número de dispositivos num mesmo circuito integrado dobrará a cada cerca de 18 meses (MACK, 2015), principalmente devido ao fato de o ritmo de integração e redução dos dispositivos ter desacelerado na indústria como um todo. Esta desaceleração está ligada diretamente à dificuldade de reduzir ainda mais as dimensões dos transistores, esbarrando tanto em questões tecnológicas (surgimento de efeitos indesejados), quanto nas questões econômicas (alto custo de fabricação de dispositivos nanométricos).

Para prosseguir com a redução e escalamento de integração dos dispositivos existentes, então, foi necessário o desenvolvimento de novas tecnologias que permitiam a diminuição destes efeitos indesejados. Uma das novas tecnologias que surgiram nesse cenário foi a tecnologia SOI (*Silicon-On-Insulator*), onde a fabricação dos transistores é feita numa camada fina de silício sobre uma camada de algum material isolante, este normalmente sendo dióxido de silício (SiO_2). Este isolamento dielétrico previne o aparecimento de efeitos parasitários que são comuns nos transistores MOSFETs convencionais, já que não há interação entre o dispositivo e o substrato, promovendo inclusive melhor controle da corrente que flui no canal e maior imunidade aos efeitos de canal curto (*short channel effects* – SCE). As vantagens apresentadas pela tecnologia SOI ainda incluem a diminuição das capacitâncias parasitárias e a necessidade de um menor número de etapas de processo de fabricação, quando comparadas ao MOSFET convencional (COLINGE, 2004).

Com o passar do tempo e mesmo utilizando-se da tecnologia SOI, o escalamento dos dispositivos também atingiu um limite, exigindo o desenvolvimento de novas tecnologias para continuar suprimindo as demandas da indústria. Entre as alternativas encontradas para prosseguir com a redução das dimensões dos dispositivos, destaca-se o uso de diferentes arquiteturas, saindo do modelo planar e introduzindo-se o conceito de transistor tridimensional. Estes ainda podem ser de vários tipos e quantidade de portas, focando principalmente em melhorar o controle da porta sobre as cargas no canal do transistor (COLINGE, 2008).

Neste contexto ocorre o surgimento do transistor tridimensional de múltiplas portas, sendo que o de porta dupla vertical mais promissor foi chamado de FinFET (*Fin Field Effect Transistor*). Posteriormente o de porta tripla também passou a ser chamado de FinFET. O FinFET foi originalmente fabricado em um substrato SOI (SOI FinFET), mas posteriormente também em substrato de silício (Bulk FinFET). Por ser tridimensional o FinFET permite prosseguir com o escalamento, pois apresenta melhor controle dos efeitos de canal curto devido ao melhor acoplamento eletrostático da porta com o canal (KAWA, 2013). Inclusive, este tipo de transistor já é utilizado comercialmente pela empresa Intel em seus processadores (INTEL, 2014).

Tratando-se dos efeitos da radiação ionizante sobre dispositivos, diversos estudos indicam que a tecnologia SOI apresenta uma imunidade significativa à efeitos transientes de radiação, os Efeitos de Evento Único (SEE – *Single Event Effect*),

quando comparado aos MOSFETs convencionais, pois a presença de uma camada de óxido enterrado abaixo da camada fina de silício (canal) isola o transistor do substrato. Mesmo assim, os Efeitos de Dose Total Ionizante (TID – *Total Ionizing Dose*) devem ser considerados, já que a radiação induz o aprisionamento de cargas positivas no óxido enterrado, no óxido de porta e no óxido de isolamento dos dispositivos e a presença dessas cargas altera as características elétricas do transistor (CLAEYS; SIMOEN, 2002; COLINGE, 2004, 2008). Alguns trabalhos já apresentados sobre o tema (AGOPIAN et al., 2012; CAPARROZ et al., 2016), mostram este efeito permanente de radiação de alta fluência e dose nos dispositivos FinFET e como o aprisionamento de cargas positivas no óxido enterrado também causa a mudança da tensão de limiar (V_T) e consequentemente na inclinação de sublimiar (SS) destes dispositivos, a depender também de parâmetros geométricos de dispositivo (nFinFET ou pFinFET), largura de canal (L), largura de aletas (W_{fin}), entre outros.

Para a implementação de circuitos integrados, comumente utilizam-se programas de simulação na fase de pesquisa, que permitem certa previsão de comportamento antes do processo de fabricação, reduzindo custos. Porém, dispositivos mais recentes como os FinFETs apresentam uma dificuldade adicional em relação à previsão de seu comportamento, já que não possuem um modelo analítico de primeira ordem suficientemente preciso (KOROBKOV; AGARWAL; VENKATESWARAN, 2015; PAYDAVOSI et al., 2013; TASSIS et al., 2014). Quando se deseja analisar estes dispositivos complexos com comportamentos diferentes então, como por exemplo submetidos à radiação, esta precisão dos modelos analíticos pode ser ainda menor.

Diante deste cenário, verifica-se a necessidade de desenvolvimento de um método de análise e simulação de dispositivos em circuitos integrados que consiga utilizar dados experimentais proveniente de medidas de dispositivos reais, excluindo a necessidade de modelos analíticos nas simulações. Propõe-se, então, o uso do método *lookup table* utilizando a linguagem Verilog-A, que consiste na caracterização experimental detalhada dos dispositivos e inserção dos dados obtidos numa tabela, permitindo interpolações e extrapolações, para serem utilizados em simulações de circuitos (KUNDERT; ZINKE, 2004; ROFOUGARAN; FURMAN; ABIDI, 1988). Este

método pode inclusive ser validado comparando os dados experimentais obtidos dos transistores com os dados simulados utilizando ambientes de simulação de circuitos.

Embora já existam estudos que apresentam a influência da radiação ionizante nos transistores FinFETs (AGOPIAN et al., 2012; CAPARROZ, 2017) e outros estudos utilizando a ferramenta Verilog-A para análise de circuitos usando FinFETs não-radiados (CONTRERAS; CERDEIRA; PAVANELLO, 2012; TASSIS et al., 2014), o presente trabalho propõe a análise de circuitos analógicos utilizando transistores FinFETs, antes e depois da radiação ionizante de prótons, com o uso de *lookup tables* baseadas em medidas experimentais no Verilog-A. Desta forma, este trabalho inova em demonstrar a análise de circuitos analógicos complexos construídos com transistores FinFET a partir de dados experimentais medidos em transistores reais, comparando entre transistores submetidos e não submetidos à radiação.

1.1 OBJETIVOS

O objetivo deste trabalho é projetar e analisar um circuito amplificador operacional de transcondutância (OTA) implementado com SOI FinFETs e analisar a influência da radiação ionizante neste circuito, passando pelos circuitos analógicos básicos que o compõem. Neste estudo serão utilizadas as características experimentais dos FinFETs e o método do *lookup table* e Verilog-A para simulação do circuito. Tal estudo permitirá prever o possível comportamento dos circuitos estudados em aplicações como a aeroespacial e médica, por exemplo.

1.2 ESTRUTURA DO TRABALHO

O trabalho foi estruturado de forma a apresentar sete capítulos, descritos a seguir:

Capítulo 1 – Introdução: este capítulo apresenta a motivação para a escolha do tema, bem como uma breve história sobre o desenvolvimento da tecnologia em questão e os objetivos do presente trabalho;

Capítulo 2 – Fundamentação teórica: neste capítulo são apresentados os conceitos fundamentais para desenvolvimento do trabalho, tanto aplicados ao dispositivo estudado como à análise de circuitos;

Capítulo 3 – Materiais e métodos: este capítulo descreve as principais características dos dispositivos estudados, quais equipamentos e *softwares* que foram utilizados para a extração e a análise de dados e a abordagem de análise escolhida;

Capítulo 4 – Caracterização dos dispositivos: neste capítulo são apresentadas as curvas experimentais obtidas e os parâmetros elétricos dos dispositivos estudados;

Capítulo 5 – Projeto de circuitos básicos e análise da influência da radiação: este capítulo mostra o desenvolvimento e análise dos circuitos analógicos básicos que formam o amplificador operacional de transcondutância (OTA) e a influência da radiação ionizante de prótons nestes circuitos;

Capítulo 6 – Projeto de Amplificador Operacional de Transcondutância (OTA) submetido à radiação: neste capítulo foi projetado um Amplificador Operacional de Transcondutância (OTA) seguindo a abordagem de construção por partes e analisada a influência da radiação nestes circuitos;

Capítulo 7 – Conclusões parciais e sequência do trabalho: este capítulo apresenta as conclusões obtidas até a apresentação do trabalho e quais os possíveis passos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo será apresentada a tecnologia de silício sobre isolante (SOI), partindo dos conceitos básicos até os transistores de estrutura vertical de múltiplas portas (FinFETs) e seus parâmetros. Na sequência, serão apresentados conceitos sobre a radiação ionizante e qual sua influência sobre os transistores.

2.1 TECNOLOGIA DE SILÍCIO SOBRE ISOLANTE (SOI)

Com o avanço tecnológico e a necessidade de dispositivos mais rápidos para integração em CIs com alta capacidade de processamento, a redução das dimensões dos transistores MOSFET foi o caminho mais natural a ser seguido. Porém, uma vez que se diminui muito as dimensões dos dispositivos MOSFETs convencionais, diversos efeitos parasitários indesejados são notados, como por exemplo o efeito de canal curto (SCE - *Short Channel Effect*), que consiste na perda de controle do canal pela tensão aplicada na porta, devido a influência do campo elétrico proveniente da porta (COLINGE, 2004).

Nascida como uma solução aos problemas de escalamento da tecnologia dos MOSFETs fabricados em lâmina de silício (*bulk*), a tecnologia SOI (*Silicon-On-Insulator*) consiste basicamente na fabricação de transistores em uma fina camada de silício sobre um material isolante, sendo este normalmente o óxido de silício (SiO_2), que no dispositivo também é chamado de óxido enterrado (BOX – *Buried Oxide*). Desta forma, a região ativa do transistor fica isolada do substrato. O uso desta tecnologia promove a redução das capacitâncias presentes nos dispositivos, aumentando a velocidade dos mesmos, além de possibilitar de fabricação de transistores ainda menores (COLINGE, 2004).

A Figura 2.1 apresenta a representação esquemática do transistor MOSFET convencional do tipo n e do transistor SOI MOSFET do tipo n. Verifica-se, então, que os dois dispositivos possuem as regiões de polarização de porta (V_G), dreno (V_D), fonte (V_S) e substrato (V_B), óxido de porta (t_{ox}) e canal de silício (t_{si}), diferenciando-se apenas na presença do óxido enterrado (t_{BOX}) presente nos transistores SOI MOSFET e a fina espessura do canal.

Figura 2.1 – Representação esquemática dos transistores nMOSFET (A) e SOI nMOSFET (B)

Os dispositivos SOI MOSFET podem ser classificados de acordo com seu tipo de operação, podendo ser de três tipos distintos: dispositivos parcialmente depletados (PDSOI – *Partially Depleted SOI*), dispositivos totalmente depletados (FDSOI – *Fully Depleted SOI*) e dispositivos quase totalmente depletados (NFDSOI (*Near Fully Depleted SOI*)). A diferença básica entre estes dispositivos está no modo de operação, a depender da polarização aplicada entre os terminais de porta (V_G) e substrato (V_B), onde a camada de silício do canal pode ou não estar totalmente depletado (COLINGE, 2004). Para se obter dispositivos de tipos distintos, deve-se alterar a concentração de dopantes e a espessura da camada de silício do canal (t_{SI}).

Tratando-se de um dispositivo parcialmente depletado (PDSOI), a espessura da camada de silício do canal (t_{SI}) deve ser pelo menos duas vezes maior do que a soma das larguras de depleção máximas ($X_{dmáx}$), proveniente tanto da primeira interface quanto da segunda interface ($t_{SI} > 2 \cdot X_{dmáx}$). Desta forma, não existe interação entre estas regiões de depleção da primeira e segunda interface, criando uma região neutra entre elas que pode ser chamada de corpo que permanece flutuante (COLINGE, 2004).

Em um dispositivo totalmente depletado (FDSOI), a espessura da camada de silício do canal (t_{SI}) é menor do que a região de depleção máxima proveniente da primeira interface ($t_{SI} < X_{dmáx}$), ou seja, quando a tensão de porta (V_G) atingir a tensão de limiar (V_T), a região de canal fica totalmente depletada. Esta condição não ocorrerá

apenas quando se aplicar polarização no substrato (V_B) muito elevada que origine a acumulação de cargas ou crie uma camada de inversão na segunda interface (COLINGE, 2004).

O dispositivo quase totalmente depletado (NFDSOI) é um caso intermediário entre os dois dispositivos citados anteriormente, onde a espessura do canal de silício é maior do que a profundidade máxima de depleção e menor do que a duas vezes a mesma profundidade máxima de depleção ($X_{dm\acute{a}x} < t_{Si} < 2 \cdot X_{dm\acute{a}x}$). Sendo assim, baseado na polarização aplicada no substrato, este dispositivo pode funcionar tanto como um PDSOI (se as regiões de depleção provenientes das 2 interfaces não se encontrarem e houver a existência de uma região neutra entre elas) ou FDSOI (se as regiões de depleção provenientes das 2 interfaces se encontrarem) (COLINGE, 2004).

2.2 TRANSISTORES SOI DE MULTIPLAS PORTAS

Mesmo utilizando-se da tecnologia SOI, com o passar do tempo o escalamento dos dispositivos atingiu um limite, devido principalmente aos efeitos de canal curto. Para continuar o escalamento de dispositivos a tamanhos ainda menores que os obtidos com o uso da tecnologia SOI e assim desenvolver dispositivos menores e mais eficientes, a alternativa encontrada foi alterar as geometrias de construção dos dispositivos, saindo do modelo planar e partindo para modelos de transistores tridimensionais. Estes transistores tridimensionais podem ser de vários tipos e variar na quantidade de portas, com o intuito de melhorar o controle eletrostático de porta com o canal (COLINGE, 2008). A Figura 2.2 apresenta algumas estruturas SOI encontradas na literatura, classificadas pela quantidade de portas.

Historicamente, o primeiro trabalho apresentado pela literatura em 1984 sobre transistor de múltiplas portas consistia num transistor MOS de porta dupla chamado DGMOS (*Double-Gate Metal-Oxide-Semiconductor*) (SEKIGAWA; HAYASHI, 1984), porém somente cinco anos depois, em 1989, que o primeiro transistor de múltiplas portas foi fabricado, chamado de transistor DELTA (*fully DEpleted Lean-channel TrAnsistor*) (HISAMOTO et al., 1989). Este dispositivo consiste em um transistor SOI tridimensional que possui uma camada de silício vertical, alto e fino, formando uma aleta (do inglês, *fin*) (COLINGE, 2008).

Porta Dupla	GAA	MIGFET	FinFET
Porta Tripla	Porta Tripla	Porta π	Porta Ω
Porta Circundante	Porta Quadrupla	Cilíndrica	Múltiplas Pontes
<div> <div> Canal do Transistor</div> <div> Óxido de Porta ou Enterrado</div> <div> Eletrodo de Porta</div> </div>			

Figura 2.2 – Diversas estruturas SOI de múltiplas portas

Fonte: Adaptado de (COLINGE, 2008)

2.2.1 Transistores FinFETs

Partindo-se do transistor DELTA, evolução da tecnologia SOI tridimensional levou ao desenvolvimento de diversas outras estruturas, em especial o FinFET (*Fin Field Effect Transistor*), que tem uma estrutura similar ao DELTA, exceto pela presença de uma camada de óxido de porta mais espessa (*hard mask* - máscara rígida) na parte superior da camada de silício. Quando utilizada, esta máscara rígida previne a formação de inversão parasita no canal (COLINGE, 2008).

Comparados à tecnologia planar, os transistores SOI FinFETs apresentam algumas vantagens, como uma grande redução dos efeitos de canal curto, ótimo controle eletrostático da porta com o do canal, comportamento da região de sublimiar

quase ideal e alta densidade de integração, visto que os dispositivos tridimensionais fornecem maior desempenho em um espaço menor, entre outras vantagens (KAWA, 2013).

Atualmente, a estrutura citada na literatura para os transistores FinFETs consiste em um canal vertical alto e fino com o topo e os laterais envoltos pelo material de porta. O dielétrico no topo do canal, também chamado de máscara rígida (*hard mask*) pode ou não ser mais espesso do que os dielétricos das laterais. Quando este dielétrico é mais espesso, diz-se que o transistor é de porta dupla e quando esse dielétrico tem a mesma espessura que os das laterais, diz-se que o transistor é de porta tripla, sendo esta última mais comum de ser encontrada (CAPARROZ, 2017). Além do FinFET fabricado em lâmina SOI, existe também o FinFET fabricado em lâmina de silício, chamado de FinFET de corpo (Bulk FinFET). A Figura 2.3 apresenta os transistores FinFET de porta tripla de corpo e SOI FinFET em perspectiva.

Nesta Figura 2.3, verifica-se a presença de um canal vertical alto e fino, envolto por um dielétrico e posteriormente por um eletrodo de porta. Esta estrutura está acima do óxido enterrado de silício e do substrato de silício. As dimensões do dispositivo são denominadas como W_{fin} – largura da aleta, H_{fin} – altura da aleta, L – comprimento do canal, t_{BOX} – espessura do óxido enterrado e t_{ox} – espessura do óxido de porta. A diferença básica entre os dois tipos de FinFETs é a presença do óxido enterrado no SOI FinFET enquanto que a função de isolamento do FinFET de corpo é realizada pelo plano de terra (GP – *Ground Plane*), que é a implantação de dopantes em alta dose abaixo da aleta para isolar a região ativa do substrato e por um óxido de isolamento (STI – *Shallow Trench Isolation*), para separar uma aleta da outra (SUN et al., 2011).

Mesmo após diversos estudos e variações da quantidade de portas e modelos de dispositivos apresentados pela academia às indústrias, a implementação comercial de um FinFET de porta tripla ocorreu apenas em 2011, pela INTEL, ao apresentarem processadores contendo FinFET de corpo de nó tecnológico de 22nm. Em 2014, inclusive, a empresa lançou a evolução desta tecnologia, a qual foi denominada como segunda geração de transistores de porta tripla, com tecnologia de 14nm (INTEL, 2014). Continuando o escalamento, em 2016 a empresa IBM lançou a proposta de estrutura FinFET com *air spacers*, alcançando o nó tecnológico de 10nm (CHENG et al., 2017) e estudos do nó tecnológico de 7nm (XIE et al., 2017). A estrutura FinFET é considerada, inclusive, como uma das mais promissoras a continuar o escalamento

previsto pela Lei de Moore e atingir o nó tecnológico de 5 nm por, entre outras vantagens, menor efeito de canal curto (KAWA, 2013). A tecnologia FinFET deste nó tecnológico, inclusive, já está em estudo desde 2017 pelas empresas IBM e Samsung (BU, 2017).

Figura 2.3 – Transistores FinFET de porta tripla de corpo (A) e FinFET de porta tripla SOI (B) em perspectiva

2.3 PARÂMETROS BÁSICOS DOS FINFETS

A tridimensionalidade e o aumento da quantidade de portas em um SOI FinFET geram dificuldade na criação de um modelo analítico de primeira ordem preciso para este dispositivo (KOROBKOV; AGARWAL; VENKATESWARAN, 2015; PAYDAVOSI et al., 2013; TASSIS et al., 2014). Sendo assim, para discussão dos temas relevantes estudados, serão apresentados os parâmetros básicos deste dispositivo, de forma a elucidar o comportamento característico esperado, mais próximo da realidade.

2.3.1 Tensão de Limiar (V_T)

Por definição, a tensão de limiar (V_T) de um dispositivo consiste no valor de tensão mínimo necessário que deve ser aplicado entre a porta e a fonte (V_{GS}) do dispositivo para que o transistor induza as cargas no canal, formando uma região de

inversão que permita a passagem de corrente significativa entre os terminais de dreno e fonte (I_{DS}) (COLINGE; COLINGE, 2002). Normalmente, a tensão de limiar é atingida por uma condição de inversão forte do canal, onde o potencial de superfície (Φ_S) é igual ao dobro do potencial de Fermi (Φ_F), ou seja, $\Phi_S = 2\Phi_F$.

Em dispositivos de múltiplas portas, porém, a concentração de portadores na condição de inversão no canal deve ser maior para atingir a tensão de limiar, de forma que para atingir o potencial de superfície seja necessário mais que $2\Phi_F$ (COLINGE, 2008). Além disso, considerando a presença de múltiplas portas, podem ocorrer diferentes níveis de inversão no canal, o que também contribui para esta mudança na tensão de limiar. Considerando-se um transistor FinFET de porta dupla, a tensão de limiar (V_T) do dispositivo pode ser descrita pela equação 1 (COLINGE, 2008):

$$V_T = \Phi_{MS} + \frac{k \cdot T}{q} \ln \left[\frac{2 \cdot C_{OX} \cdot k \cdot T}{q^2 \cdot n_i \cdot t_{SI}} \right] + \frac{\hbar^2 \cdot \pi^2}{2 \cdot q \cdot m^* \cdot t_{SI}^2} \quad (1)$$

onde Φ_{MS} é a função trabalho entre o material de porta e o canal, k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron, C_{OX} é a capacitância do óxido de porta por unidade de área, n_i é a concentração intrínseca de portadores do silício, t_{SI} é a espessura do silício, $\hbar$ é a constante reduzida de Plank e m^* é a massa efetiva de confinamento do portador na direção transversal.

Na equação apresentada, o segundo termo representa o potencial de superfície (Φ_S) esperado na região do canal, que é inversamente proporcional a espessura da camada de silício (t_{SI}). Em camadas muito finas, este valor pode ser inclusive significativamente maior que $2\Phi_F$ e como consequência a concentração de portadores no regime de inversão quando atingida a tensão de limiar pode ser muito maior que a concentração presente em um MOSFET convencional. O terceiro termo representa os efeitos quânticos que ocorrem com a variação do comportamento das bandas de energia e que se torna relevante para $t_{SI} \leq 5$ nm (COLINGE, 2008).

2.3.2 Corrente de Dreno (I_D)

Uma vez considerado que o dispositivo FinFET tem porta tripla e o controle das cargas do canal é feito pelas portas superior e laterais, a largura efetiva do canal (W_{eff}), desprezando-se as diferenças de mobilidades na superfície superior e nas laterais, pode ser aproximado pela equação 2:

$$W_{eff} \cong W_{fin} + 2H_{fin} \quad (2)$$

Nos FinFETs, a corrente de dreno é essencialmente a soma das correntes que fluem pelo canal considerando as interfaces cobertas pelo eletrodo de porta. Devido às diferentes orientações cristalográficas do silício e ao método de litografia da aleta, a mobilidade dos portadores de carga na interface superior é diferente da mobilidade das interfaces laterais (COLINGE, 2008). Mas para uma análise de primeira ordem, a normalização será feita levando-se em consideração à largura efetiva das portas (W_{eff}) (CAPARROZ, 2017).

O uso de dispositivos tridimensionais como os FinFETs permite, ainda, a alta capacidade de corrente devido a possibilidade de construção de estruturas que possuem diversas aletas com portas interligadas, formando um único dispositivo. Nestes dispositivos de múltiplas aletas (*fins*), a corrente de dreno será a corrente de que flui por uma única aleta multiplicada pelo número de aletas (N_{fin}) (COLINGE, 2008). A Figura 2.4 apresenta uma estrutura FinFET de múltiplas aletas.

Uma aproximação mais precisa para se comparar a corrente de dreno em um SOI convencional e o FinFET de múltiplas portas é dada pela equação 3.

$$I_D = I_{D0} \frac{\theta_{fin} \cdot \mu_{superior} \cdot W_{fin} + 2\mu_{lateral} \cdot H_{fin}}{\mu_{superior} \cdot P} \quad (3)$$

onde I_D é a corrente de dreno do transistor FinFET de múltiplas portas, I_{D0} é a corrente de dreno do transistor SOI convencional de área de porta igual a área do FinFET, W_{fin} é a largura da aleta, H_{fin} é a altura da aleta, $\mu_{superior}$ é a mobilidade dos portadores de carga na interface superior do canal, $\mu_{lateral}$ é a mobilidade dos portadores de carga

nas interfaces laterais do canal e P é o espaçamento entre as aletas. O coeficiente θ_{fin} será determinado com base na quantidade de portas, onde para transistores de porta tripla ele assume o valor 1 e para transistores de porta dupla ele assume 0 (já que não há condução pela interface superior) (COLINGE, 2008).

Figura 2.4 – Estrutura FinFET com múltiplas aletas e múltiplas portas

Fonte: Adaptado de (COLINGE, 2008)

2.3.3 Inclinação de Sublimiar (SS)

A inclinação de sublimiar (SS, do inglês *subthreshold slope* ou *subthreshold swing*) de um dispositivo é um parâmetro que indica sua velocidade de chaveamento, ou seja, a rapidez em que o dispositivo sai do estado desligado e passa para o estado ligado. Quanto mais baixo o valor de SS, então, mais eficiente é o transistor. Por definição, o parâmetro informa qual a variação de tensão de porta (V_G) necessária para causar a variação de uma década na corrente de dreno (I_D), considerando a operação na região de sublimiar (COLINGE; COLINGE, 2002).

Partindo-se da definição, este parâmetro pode ser determinado como o inverso da derivada do log da corrente de dreno (I_D) em função da tensão de porta (V_G) (onde V_G é obrigatoriamente menor que V_T). A equação depende da relação entre as capacitâncias entre porta e substrato presentes no dispositivo, como apresentado na equação 4 (COLINGE, 2004).

$$SS = \frac{dV_G}{d(\log I_D)} = \frac{kT}{q} \ln(10) n \quad (4)$$

onde k é a constante de Boltzmann, T é a temperatura absoluta, q é a carga elementar do elétron e n é o fator de corpo do dispositivo, um parâmetro utilizado para indicar o controle do eletrodo de porta sobre o potencial de superfície da primeira interface. Verificando-se na equação, nota-se que quanto menor for o fator de corpo, menor será o SS.

O fator n também pode ser definido como $n = (1 + \alpha)$, onde α corresponde ao fator de acoplamento capacitivo do transistor, parâmetro que leva em consideração a relação entre as capacitâncias presente no dispositivo e o acoplamento entre elas. Uma vez que o acoplamento capacitivo varia conforme as condições de polarização, este fator deve variar de acordo com as condições de polarização da segunda interface (COLINGE, 2004). A Tabela 2.1 apresenta as equações do fator de acoplamento capacitivo α , variando conforme a polarização da segunda interface.

Tabela 2.1 – Equações do fator de acoplamento capacitivo considerando as condições de polarização da segunda interface

MOS ou PDSOI	FDSOI com 2ª interface em acumulação	FDSOI com 2ª interface em depleção
$\alpha = \alpha_{MOS} = \frac{C_D}{C_{ox1}}$	$\alpha = \alpha_{acc} = \frac{C_{si}}{C_{ox1}}$	$\alpha = \alpha_{depl} = \frac{C_{si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{si} \cdot C_{ox2})}$

Fonte: (COLINGE, 2004).

onde C_D é a capacitância de depleção, C_{si} é a capacitância da camada de silício, C_{ox1} é a capacitância do óxido de porta e C_{ox2} é a capacitância do óxido enterrado.

Conforme as equações apresentadas na tabela, usualmente os valores de α seguem a sequência $\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$. Quanto menor o fator α , menor é o fator n e menor o SS, fazendo com que o dispositivo seja chaveado mais rapidamente. Sendo assim, o SS terá menor valor (e consequentemente melhor desempenho) nos FDSOI com a 2ª interface em depleção, seguido dos MOS convencionais ou PDSOI e por último nos FDSOI com a 2ª interface em acumulação. Em transistores SOI de porta dupla, o valor do fator de corpo n é aproximadamente igual a 1 (COLINGE, 2004).

2.3.4 Mobilidade dos portadores de carga (μ)

A mobilidade dos portadores de carga nos materiais semicondutores é definida como a proporção entre a velocidade de deriva dos portadores de carga (elétrons ou lacunas) pelo campo elétrico (COLINGE; COLINGE, 2002; SZE; MATTIS, 1970).

Nos transistores SOI de múltiplas portas, uma vez que a corrente é conduzida e controlada no dispositivo por diversas interfaces e portas, os portadores de carga possuem mobilidades diferentes em cada interface, a depender da orientação cristalográfica do silício na interface em questão. Em um SOI FinFET, pode-se definir a mobilidade efetiva dos portadores (μ_{eff}) partindo-se das dimensões das aletas e da mobilidade em cada interface (KOBAYASHI et al., 2011), conforme a equação 5:

$$\mu_{eff} = \frac{W_{fin}}{W_{fin} + 2 \cdot H_{fin}} \cdot \mu_{superior} + \frac{2 \cdot H_{fin}}{W_{fin} + 2 \cdot H_{fin}} \cdot \mu_{lateral} \quad (5)$$

onde H_{fin} é a altura da aleta (*fin*), W_{fin} é a largura da aleta, $\mu_{superior}$ é a mobilidade dos portadores de carga da interface superior do canal e $\mu_{lateral}$ é a mobilidade dos portadores de carga das interfaces laterais do canal do transistor FinFET.

Como pode ser observado na equação 5, a geometria do dispositivo é extremamente relevante para a definição da mobilidade efetiva. Sendo assim, em dispositivos de aletas largas, a influência da interface superior na mobilidade efetiva é maior pois a maior parte da condução de corrente ocorre no topo do canal. Já em dispositivos com aletas estreitas, a maior influência será das interfaces laterais e a condução de corrente ocorrerá predominantemente nas laterais do canal (KOBAYASHI et al., 2011).

Além disso, podem ocorrer outros fatores na mobilidade dos transistores de múltiplas portas, como o fenômeno da inversão de volume, que pode ocorrer nos dispositivos com filmes finos de silício e faz com que os portadores de carga fiquem confinados no centro do filme de silício, ao invés de nas suas extremidades (próximos às interfaces). Quando isso acontece, a mobilidade é maior (COLINGE, 2008). Este fenômeno é de natureza quântica e foi descoberto para transistores SOI MOSFET GAA (*Gate-All-Around*) (BALESTRA et al., 1987) e também foi observado para dispositivos SOI de porta tripla, como os SOI FinFETs (COLINGE et al., 2006).

2.3.5 Transcondutância (gm)

A transcondutância (gm) de um transistor é uma medida de transferência que informa a efetividade de controle da tensão aplicada na porta (V_G) sobre a corrente que flui pelo dreno (I_D) (COLINGE, 2008). Na região de saturação a transcondutância é razão entre a variação da corrente de dreno (I_D) em relação a tensão de porta (V_G) para tensão de dreno (V_D) maior que a tensão de dreno de saturação (V_{Dsat}), conforme a equação 6, já especificada para os transistores FDSOI MOSFET (COLINGE, 2004):

$$gm = \frac{dI_D}{dV_G} = \frac{\mu_n C_{ox1}}{(1 + \alpha)} \frac{W}{L} (V_G - V_T) \quad (6)$$

onde μ_n é a mobilidade dos portadores de cargas, C_{ox1} é a capacitância do óxido de porta, α é o fator de acoplamento capacitivo, W a largura do canal e L o comprimento do canal.

Tratando-se de dispositivos de múltiplas portas, a mobilidade dos portadores de cargas pode ser diferente em cada interface, sendo assim, primeiramente deve se considerar cada interface separadamente. Em um modelo proposto por F. Daugé (DAUGÉ et al., 2004), considerou-se um FinFET de largura variável e aplicaram-se tensões de porta apropriadas à determinadas variações de largura. Quando a condução pela segunda interface se mostrou insignificante e os canais das portas frontais e laterais foram ativados simultaneamente, obteve-se um pico de transcondutância que tornou possível a afirmação presente na equação 7:

$$gm_{max}^{TOTAL} = gm_{max}^{SUPERIOR} + gm_{max}^{LATERAL} \quad (7)$$

onde $gm_{max}^{SUPERIOR}$ é a máxima transcondutância do canal frontal e $gm_{max}^{LATERAL}$ é a máxima transcondutância dos canais laterais.

Por aproximações da equação 7, se descrevem as equações 8, 9 e 10 a seguir:

$$gm_{max}^{LATERAL} = 2 \frac{H_{fin}}{L} \cdot C_{ox} \cdot V_D \cdot \mu_{lateral} \quad (8)$$

$$gm_{max}^{SUPERIOR} = \frac{W_{fin}}{L} \cdot C_{ox} \cdot V_D \cdot \mu_{superior} \quad (9)$$

$$gm_{max}^{TOTAL} = \{W_{fin} \cdot \mu_{superior} + 2 \cdot H_{fin} \cdot \mu_{lateral}\} \frac{C_{ox} \cdot V_D}{L} \quad (10)$$

onde H_{fin} é a altura da aleta, W_{fin} é a largura da aleta, $\mu_{superior}$ é a mobilidade dos portadores de carga na interface superior do canal, $\mu_{lateral}$ é a mobilidade dos portadores de carga nas interfaces laterais do canal, C_{ox} é a capacitância do óxido de porta e L é o comprimento do canal.

2.3.6 Eficiência do transistor (gm/I_D)

A eficiência de um transistor (gm/I_D) é um parâmetro que indica qual a quantidade de corrente (I_D) é necessária para se obter certa transcondutância (gm). Sendo assim, este valor é dado pela razão entre a transcondutância e a corrente de dreno (gm/I_D) (COLINGE, 2004). Quanto maior o valor de gm/I_D , mais eficiente é o transistor, pois maior a transcondutância obtida para um valor de corrente constante.

Por tratar-se de um parâmetro de eficiência, este parâmetro é amplamente utilizado na análise e projeto de circuitos analógicos. A escolha da eficiência de um transistor (gm/I_D) como parâmetro de projeto tem algumas razões, onde se destacam o fato do parâmetro ser fortemente ligado à performance analógica, a indicação da região de operação do transistor e por ser uma ferramenta de cálculo das dimensões do transistor (SILVEIRA; FLANDRE; JESPERS, 1996).

Em MOSFETs convencionais e SOI, a eficiência do transistor (gm/I_D) mostra em saturação um valor máximo quase constante na inversão fraca (*weak inversion* – WI) e um decaimento quadrático com a corrente de dreno (I_D) na inversão forte (*strong inversion* – SI) (FLANDRE et al., 1996).

2.3.7 Condutância de Saída (g_D)

A condutância de saída de um transistor é um parâmetro que indica a influência da variação da tensão de dreno (V_D) sobre a corrente de dreno (I_D), mantendo-se a tensão de porta (V_G) constante. Quanto menor o valor da condutância de saída g_D na região de saturação, melhor o desempenho do transistor em aplicações analógicas. A definição da condutância de saída é apresentada pela equação 11:

$$g_D = \left. \frac{dI_D}{dV_D} \right|_{V_{GS}=\text{constante}} \quad (11)$$

2.3.8 Tensão Early (V_{EA})

A tensão Early (V_{EA}), também conhecida como efeito de modulação de canal, é um parâmetro analógico dos dispositivos MOSFET. Idealmente, para uma dada tensão de porta (V_G) fixa, acima da tensão de limiar (V_T), quando a tensão de dreno (V_D) ultrapassa a tensão de dreno de saturação (V_{Dsat}), a corrente de dreno (I_D) do dispositivo deveria se manter constante. No entanto, ao aumentar a tensão de dreno (V_D) no dispositivo, a região de depleção entre dreno e canal aumenta, causando uma diminuição do comprimento efetivo do canal abaixo da porta e consequentemente no aumento da corrente de dreno (I_D) quando o transistor está na região de saturação (COLINGE; COLINGE, 2002).

Utilizando-se como exemplo a obtenção de curvas de $I_D \times V_D$ para certos V_G de um dispositivo MOSFET conforme mostrado na Figura 2.5, verifica-se que ao aumentar a tensão de porta (V_G), a variação de corrente é ainda maior. Sendo assim, ao prolongar as retas tangentes da corrente na saturação, idealmente todas interceptam o eixo de V_D no mesmo ponto, definido como o valor da tensão Early (V_{EA}) do dispositivo (COLINGE; COLINGE, 2002).

Figura 2.5 – Exemplo de curvas $I_D \times V_D$ utilizadas para obtenção da Tensão Early (V_{EA})

Fonte: Adaptado de (COLINGE; COLINGE, 2002)

O valor da tensão Early (V_{EA}) pode ser calculado ao se relacionar a corrente de dreno na saturação (I_{Dsat}) com a condutância de saída na saturação (g_{Dsat}), conforme a equação 12:

$$g_{Dsat} = \frac{I_{Dsat}}{V_{EA} + V_{Dsat}} \cong \frac{I_{Dsat}}{V_{EA}} \Rightarrow V_{EA} \cong \frac{I_{Dsat}}{g_{Dsat}} \quad (12)$$

onde V_{EA} é a tensão Early do dispositivo, I_{Dsat} é a corrente de dreno na saturação e g_{Dsat} é a condutância de saída na saturação, ambos para um determinado V_G .

2.3.9 Ganho intrínseco de tensão (A_v)

O ganho intrínseco de tensão (A_v) é um parâmetro analógico que indica qual a amplificação de tensão de um transistor tendo como carga uma fonte de corrente constante. Além de poder ser definido como a razão da tensão de saída (V_{out}) e da tensão de entrada (V_{in}), esse parâmetro também pode ser obtido pela relação entre a transcondutância (g_m) e a condutância de saída (g_D), e por consequência a eficiência do transistor (g_m/I_D) multiplicada pela tensão Early (V_{EA}), conforme relacionados na equação 13 (COLINGE, 2008).

$$|A_V| = \frac{V_{out}}{V_{in}} = \frac{g_m}{g_D} \cong \frac{g_m}{I_D} \cdot V_{EA} \quad (13)$$

2.3.10 Frequência de Ganho Unitário (f_T)

A frequência de ganho unitário (f_T) é um parâmetro analógico que representa o ganho de tensão igual a 1, ou seja, a frequência de um sinal que aplicado na porta de um transistor, produz um ganho unitário. É uma figura de mérito importante para caracterização de dispositivos em alta frequência e pode ser expressa pela relação da transcondutância com a capacitância total de porta (C_{GG}), conforme a equação 14 (SEDRA; SMITH, 2007).

$$f_T = \frac{g_m}{2 \pi C_{GG}} \quad (14)$$

2.4 AMPLIFICADORES DIFERENCIAIS

Dentro da variedade de circuitos amplificadores, pode-se destacar os amplificadores diferenciais. Estes amplificadores possuem entradas diferenciais, isto é, o sinal a ser amplificado é proveniente da diferença entre um sinal de entrada positivo (V_{in}^+) e um sinal de entrada negativo (V_{in}^-). Desta forma, estes circuitos possuem maior imunidade a ruídos quando comparados a amplificadores de entrada única, pois um ruído que está presente nas duas entradas é cancelado e é promovida uma melhora na razão de amplificação entre sinal e ruído na saída (RAZAVI, 2017).

O amplificador diferencial também possui tipos diferentes de ganhos de tensão, sendo eles o ganho de tensão diferencial (A_D), que é o produto da transcondutância de curto circuito (G_m) pela resistência série de saída (R_o) do circuito e também o ganho de tensão de modo comum (A_{CM}), que é o ganho para quando as duas entradas do amplificador diferencial recebem um mesmo sinal de entrada (V_{in}) em fase (RAZAVI, 2017).

Os amplificadores diferenciais também podem ser utilizados com realimentação negativa, de forma que o ganho de tensão resultante é menor, mas dessa forma são menos sensíveis aos desvios provenientes dos parâmetros internos

dos dispositivos que formam o amplificador. Uma vez que se reduz o ganho de tensão do amplificador, se aumenta a faixa de frequência de operação na mesma proporção, de modo que o produto do ganho de tensão do amplificador e a largura de banda (GBW) se mantém constante (SEDRA; SMITH, 2007). A largura de banda (GBW) de um circuito é constante e é uma figura de mérito importante de um amplificador, usado para comparar a velocidade de diferentes circuitos. Este parâmetro é obtido como a frequência onde o ganho de tensão é unitário (ou seja, 0 dB), conforme pode ser observado na Figura 2.6.

Figura 2.6 – Ganho de tensão e largura de banda de um amplificador

2.5 EFEITOS DA RADIAÇÃO IONIZANTE

Quando se relaciona a radiação ionizante aos dispositivos semicondutores, seu comportamento nestes ambientes é fortemente dependente do tipo de radiação a qual o dispositivo é submetido. Por exemplo, quando se trata de aplicações espaciais e militares, é praticamente evidente que estes ambientes estarão sujeitos à radiação. Porém, além destes ambientes, os dispositivos podem sofrer os efeitos da radiação quando aplicados a outros propósitos.

Em geral, estes ambientes podem ser classificados e divididos em algumas categorias de aplicação, sendo elas: aplicações espaciais, aplicações nucleares, ambiente natural, experimentos físicos de alta energia e processamento induzido de radiação. Cada ambiente citado é caracterizado por conter um espectro próprio de partículas e distribuição de energia (CLAEYS; SIMOEN, 2002). Sendo assim, esta radiação pode ser proveniente de diversas fontes, tanto naturais quanto artificiais e conter diversos tipos de partículas diferentes, como prótons, elétrons, nêutrons, fótons, íons pesados, etc. A Tabela 2.2 mostra os tipos de radiação ionizante, onde classifica os efeitos físicos e seus resultados causados nos dispositivos semicondutores por cada tipo de partícula, além de descrever em qual ambiente ela é comumente encontrada.

Tabela 2.2 – Tipos de radiação ionizante e seus efeitos nos dispositivos semicondutores

Partícula	Efeito Físico	Resultado	Ambiente
Fóton	Criação de carga no óxido	Mudança da tensão de limiar (V_T)	Espaço, nuclear
	Foto-corrente (alta taxa de dose)	Ligação do dispositivo	Bomba nuclear
	Criação de estados de interface	Degradação da mobilidade (μ) e sublimar (SS)	Espaço, nuclear
Íon Pesado	Criação de pares e^-h^+	Efeitos de evento único	Espaço
Nêutron	Deslocamento de átomos	Degradação de β_F	Nuclear
	Reco de átomos	SEU	Aviação
Próton	Reco de átomos	SEU	Espaço
	Interação nuclear	SEU	Erupções Solares
	Criação de carga no óxido	Mudança da tensão de limiar (V_T)	Cinturão de radiação
	Deslocamento de átomos	Degradação de β_F	Cinturão de radiação
Elétron	Criação de carga no óxido	Mudança da tensão de limiar (V_T)	Espaço
	Deslocamento de átomos	Degradação de β_F	Cinturão de radiação

Fonte: Adaptado de (COLINGE, 2004)

Tratando-se dos transistores SOI MOSFETs, verifica-se que estes dispositivos possuem diversas características particulares que fazem com que tenham alta

tolerância a certos tipos de eventos de radiação, porém são mais susceptíveis a outros, quando comparados aos MOSFETs convencionais. Quando submetidos à radiação do tipo de evento único (SEE – *Single Event Upset*), formado por eventos radioativos transitórios, os dispositivos SOI MOSFETs apresentam alta tolerância, devido principalmente a camada fina de silício (canal) e a presença do óxido enterrado isolando o canal do restante da lâmina. Porém, quando se trata de radiação de dose total ionizante (TID – *Total Ionization Dose*), que é resultado da exposição cumulativa a radiação, o dispositivo SOI MOSFET tende a ser mais susceptível, devido ao acúmulo de cargas no óxido enterrado e consequentemente na mudança permanente de comportamento do dispositivo (COLINGE, 2004).

Basicamente, então, os efeitos decorrentes da radiação ionizantes podem ser classificados como: Efeitos de Evento Único (SEE – *Single Event Effect*) e Efeito de Dose Total Ionizante (TID – *Total Ionizing Dose*). Os Efeitos de Evento Único (SEE) são efeitos transitórios nos dispositivos, e possuem outras classificações mais específicas, como: penetração de partícula energética (SEU – *Single-Event Upset*), disparo de tiristor parasitário (SEL – *Single-Event Latchup*), queima do dispositivo (SEB – *Single-Event Burnout*), ruptura de porta (SEGR – *Single-Event Gate Rupture*) e aumento dos efeitos de ionização por impacto (SES – *Single-Event Snapback*) (COLINGE, 2004).

Como o principal efeito causado pela radiação ionizante em transistores fabricados em lâminas SOI é o Efeito de Dose Total Ionizante (TID), apenas ele será abordado especificamente.

2.5.1 Efeitos de Dose Total Ionizante (TID)

Os Efeitos de Dose Total Ionizante (TID) ocorrem quando há exposição contínua dos dispositivos SOI a radiação, de forma a incidirem fenômenos permanentes de geração de pares elétron-lacuna (e^-h^+) nos óxidos de porta e enterrado e a geração de armadilhas de interface, recombinação e transporte destas cargas geradas nos óxidos. Devido à presença do óxido enterrado, os transistores SOI são mais suscetíveis aos efeitos do TID quando comparados aos MOSFETs convencionais, pois a espessura do óxido enterrado é maior que a do óxido de porta

e assim mais relevante, além de ser mais uma interface formada por óxido-silício e mais susceptível a este tipo de radiação ionizante (COLINGE, 2004).

Caso o dispositivo em questão não seja submetido a um campo elétrico, os elétrons e as lacunas presentes no óxido se recombinam eficientemente, de forma a restarem apenas algumas cargas não recombinadas remanescentes. Porém, como o óxido está normalmente cercado de metal e silício, estes campos elétricos normalmente existem em situações reais. Os elétrons gerados no óxido têm uma mobilidade maior e se deslocam para a região de maior potencial, porém as lacunas têm mobilidade menor e assim sendo uma maior probabilidade de serem armadilhadas, criando uma carga líquida positiva no óxido. Se estas cargas estão suficientemente próximas a interface, elas podem armadilhar elétrons e criar armadilhas de interface, além de aumentar o potencial da região (BARNABY, 2006). Além disso, uma vez acumuladas, as cargas positivas no óxido induzidas pela radiação podem inverter a segunda interface e aumentar as correntes de fuga no transistor (COLINGE, 2008). A Figura 2.7 mostra uma representação dos principais efeitos da radiação TID sobre os dispositivos.

Figura 2.7 – Representação dos efeitos principais da radiação TID no transistor

Fonte: Adaptado de (BARNABY, 2006; CLAEYS; SIMOEN, 2002)

Já que a carga fixa presente no óxido sempre será positiva, devido à mobilidade reduzida das lacunas, há uma redução na tensão de limiar (V_T), então considerando este efeito, para o transistor do tipo p a tensão de limiar que já é negativa, ficará mais negativa e para o transistor do tipo n, a tensão de limiar positiva tende a cair. Porém, tratando-se das armadilhas de interface, elas podem armadilhar tanto lacunas quanto elétrons, a depender do tipo do transistor. Em transistores do tipo p, as lacunas armadilhadas contribuem para a redução da tensão de limiar, e uma vez que esta tensão de limiar já é negativa, ela tende a ficar ainda mais negativa. Já em transistores do tipo n, os elétrons armadilhados tendem a causar um aumento na tensão de limiar, e uma vez que esta tensão de limiar é positiva, ela tende a ficar mais positiva. Porém, dependendo da espessura do óxido e da dose acumulada, o efeito das armadilhas de interface não é tão significativo quanto ao efeito provocado pelas cargas fixas, causando diferentes respostas a radiação quando comparados os tipos de canal dos transistores (BARNABY, 2006). Pelo exposto, nota-se então que os transistores do tipo p podem sofrer uma mudança mais significativa em V_T já que os dois efeitos se somam, enquanto nos transistores do tipo n estes efeitos são contrários.

Uma vez que o TID causa efeitos de degradação permanente nos transistores, causando principalmente um deslocamento na tensão de limiar e criando correntes de fuga nas laterais e segunda interface do canal (SCHWANK et al., 2003), a variação na tensão de limiar em transistores MOSFET decorrente do TID pode ser obtida por meio da equação 15 (BARNABY, 2006).

$$\Delta V_T = -\frac{Q_{ox}t_{ox}}{\epsilon_{ox}} = -\alpha \frac{q\rho}{\omega\epsilon_{ox}} t_{ox}^2 D \quad (15)$$

onde Q_{ox} é a concentração de carga no óxido, t_{ox} é a espessura do óxido, ϵ_{ox} é a permissividade do óxido, α um fator de correção que leva em consideração que nem todas as cargas geradas ficam armadilhadas no óxido, q a concentração de elétrons, ω a energia necessária para produzir um par elétron-lacuna no óxido e D a dose total acumulada.

Como a radiação induz alterações na tensão de limiar dos dispositivos, por consequência é causada também uma alteração na inclinação de sublimiar (MAMOUNI et al., 2009). Esta alteração está principalmente ligada ao fato de as cargas presentes no óxido alterarem a tensão de limiar da segunda interface (V_{TH2})

dos dispositivos SOI e assim alterar condução de corrente pela segunda interface, fazendo com que o dispositivo inicie a condução antes ou depois do esperado. Em transistores do tipo p, a redução de V_{TH2} para valores mais negativos causa uma menor condução na segunda interface e conseqüentemente uma melhora no comportamento da inclinação de sublimiar. No caso dos transistores do tipo n, a redução de V_{TH2} para valores mais baixos causa uma maior condução na segunda interface e conseqüentemente uma degradação da inclinação de sublimiar (AGOPIAN et al., 2012).

Além de alterar a tensão de limiar e a inclinação de sublimiar, outro parâmetro que é degradado nos transistores é a mobilidade dos portadores de carga (μ) da camada de inversão. Esta mobilidade de baixo campo é reduzida devido ao espalhamento de Coulomb (interação entre partículas carregadas) na interface onde há incidência de radiação e nas cargas aprisionadas no óxido (CLAEYS; SIMOEN, 2002).

Outra característica bastante relevante da influência da radiação nos dispositivos está relacionada a área dos dispositivos, pois dispositivos de áreas maiores se provaram mais susceptíveis a radiação. Esta susceptibilidade maior está diretamente ligada ao fato destes dispositivos possuírem maior área de canal e conseqüentemente uma maior área de interface com o óxido enterrado, permitindo que as cargas aprisionadas no óxido tenham ainda mais influência sobre o comportamento dos dispositivos. Além disso, dispositivos menores apresentam um melhor acoplamento entre as portas e conseqüentemente uma maior imunidade à radiação (AGOPIAN et al., 2012).

Assim sendo, verifica-se que as cargas induzidas pela radiação nos óxidos e interfaces presentes nos dispositivos podem afetar diversos parâmetros dos transistores, principalmente nos transistores do tipo SOI MOSFET, como a tensão de limiar (V_T), inclinação de sublimiar (SS), mobilidade de portadores de carga (μ), etc. Ainda, o tamanho e tipo do transistor (p ou n) também determinam esta resposta a radiação e sua relevância na alteração das características do dispositivo, onde também se notam comportamentos inversos quando comparados os transistores do tipo p e do tipo n.

3 MATERIAIS E MÉTODOS

Neste capítulo do trabalho são apresentadas as características físicas dos dispositivos estudados, os equipamentos utilizados para as medições da parte experimental e os métodos de simulação e projeto de circuitos.

3.1 DISPOSITIVOS MEDIDOS

Todos os dispositivos utilizados nos procedimentos experimentais são SOI FinFETs de porta tripla. A Tabela 3.1 mostra as características comuns a todos os dispositivos estudados.

Tabela 3.1 – Características básicas dos SOI FinFETs de porta tripla estudados

Parâmetro	Sigla	Valor
Comprimento do canal	L	150 nm
Altura da aleta	H_{fin}	65 nm
Espessura equivalente do óxido	EOT	1,5 nm
Espessura do óxido enterrado	t_{BOX}	145 nm
Dopagem do Canal	N_A	$1 \times 10^{15} \text{ atm/cm}^3$
Número de aletas	N_{fin}	5 (em paralelo)
Composição do Eletrodo de Porta		10 nm TiN + 100 nm Si-poli
Composição do Óxido de Porta		2 nm HfSiON + 1 nm SiO ₂
Composição do Dreno e Fonte		Si-Ge + Ni ₂ Si (crescimento SEG)

Fonte: Imec

Os dispositivos foram fabricados no centro de pesquisa e desenvolvimento Imec, localizado na cidade de Leuven, na Bélgica. No caso dos dispositivos radiados, a irradiação foi realizada no equipamento CYCLONE, no centro de pesquisas Centre de Recherches du Cyclotron (CRC), na cidade de Louvain-la-Neuve, na Bélgica. O processo realizado consistiu numa irradiação de prótons com energia de 60 MeV e incidência normal (perpendicular à superfície da lâmina), à temperatura ambiente. A fluência da irradiação foi de 10^{12} prótons/cm², que corresponde a uma dose

equivalente a 100 krad (SiO_2), valor este utilizado como referência típica para análise de aplicações espaciais. Durante o processo de radiação, os dispositivos não estavam polarizados, isto é, estavam desconectados de fontes elétricas. Os dispositivos também não possuem encapsulamento (Imec).

As lâminas fornecidas e medidas possuem diversas cascatas de dispositivos com larguras de aletas (W_{fin}) e comprimentos de canal (L) variáveis, sendo identificadas por códigos. O código é composto do prefixo EM e mais 2 algarismos, que informa o tipo de canal (tipo p ou tipo n) e qual a dimensão variável da cascata (comprimento ou largura) (Imec). A Tabela 3.2 mostra as cascatas utilizadas nas medidas e suas características.

Tabela 3.2 – Características das cascatas de dispositivos

Cascata	Tipo de Canal	Dimensão fixa	Dimensão Variável
EM49	tipo n	$L = 150 \text{ nm}$	Largura (W_{fin})
EM57	tipo p	$L = 150 \text{ nm}$	Largura (W_{fin})

Fonte: Imec

A adoção de uma dimensão fixa de largura (L) de 150 nm para todos os dispositivos visa evitar efeitos de canal curto nos estudos. A variação de dimensão dos dispositivos dentro de cada cascata pode ser identificada pela letra T e um algarismo, onde cada cascata possui 11 dispositivos, numerados de T1 a T11 (Imec). A Tabela 3.3 mostra as dimensões de cada dispositivo dentro das cascatas utilizadas.

Tabela 3.3 – Dimensões variáveis dos dispositivos

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11
$W_{\text{fin}} \text{ (nm)}$	20	30	40	50	70	120	370	570	870	1870	2870

Fonte: Imec

Dentre os dispositivos das cascatas, apenas foram estudados os dispositivos T1, T6 e T9, contendo então as larguras de aletas (W_{fin}) de 20 nm, 120 nm e 870 nm, respectivamente. O dispositivo T11, de largura de aleta (W_{fin}) de 2870 nm foi utilizado para medida de capacitância, como uma referência para as capacitâncias dos

dispositivos menores. Os outros dispositivos não foram estudados, pois possuem tamanhos próximos aos escolhidos, de forma a não fornecerem resultados passíveis de comparação. Sendo assim, os dispositivos dos tamanhos escolhidos permitem verificar as variações desejadas, sem comprometer o estudo.

Dito isto, foram analisados ao todo 12 dispositivos, sendo 6 deles do tipo nFinFET e 6 do tipo pFinFET. Dentre os 6 de cada tipo, encontram-se 2 dispositivos de cada largura de aleta, um não-radiado e um radiado.

3.2 EQUIPAMENTOS DE MEDIÇÃO E MEDIDAS REALIZADAS

As medidas experimentais dos dispositivos citados foram realizadas no Laboratório de Sistemas Integráveis (LSI) da Escola Politécnica da Universidade de São Paulo (EPUSP), na cidade de São Paulo, Brasil.

Elas foram realizadas em duas fases, onde a primeira consistiu em medidas de corrente dos dispositivos (para variados valores de tensão de porta e dreno) e a segunda em medidas de capacitância (para variados valores de tensão de porta).

3.2.1 Medidas de Corrente

Para as medidas experimentais de corrente, o analisador de semicondutores utilizado foi o Agilent B1500, da marca Keysight Technologies e as medições foram realizadas à temperatura ambiente.

Para obtenção de um modelo experimental válido e confiável, todas as medições realizadas visavam medir a corrente de dreno (I_D) para variações das tensões de porta (V_G) e dreno (V_D), obtidos com variação a passos pequenos. A Tabela 3.4 mostra os valores de tensões escolhidos e o tamanho dos passos para obtenção de dados dos dispositivos.

Tabela 3.4 – Valores de tensões experimentais dos dispositivos

	Curva $I_D \times V_G$		Curva $I_D \times V_D$	
	V_G	V_D	V_D	V_G
Variação	-0,5 V - 1,5 V	0,05 V - 1,5 V	0 - 1,5 V	0,4 V - 1,85 V
Passos	0,01 V	0,05 V	0,01 V	0,05 V

Seguindo a tabela apresentada, nota-se que foram feitas duas medições, onde na primeira se obtiveram os valores de I_D em função de V_G , variando em passos pequenos, parametrizados para certos valores de V_D . Depois, foi obtido o valor de I_D em função de V_D , variando em passos pequenos, parametrizados para certos valores de V_G . Todas as medidas foram realizadas para tensão de fonte na referência ($V_S = 0$). Obviamente, para uma mesma condição de polarização (combinação de valores de V_G e V_D), o valor obtido de corrente I_D deve ser o mesmo (ou pelo menos com diferença mínima), de forma que a segunda medição ($I_D \times V_D$) foi inicialmente utilizada no presente trabalho para validação dos dados obtidos na primeira medição ($I_D \times V_G$) e por consequência, validação do modelo experimental. Uma vez validadas, as tabelas foram combinadas de forma a criar uma grande tabela com os valores obtidos nas duas medições.

Então, as tabelas utilizadas como *lookup tables* finais possuem a combinação das duas tabelas ($I_D \times V_G$ e $I_D \times V_D$), onde para dados de polarizações exclusivas, as duas tabelas se complementam e para dados de polarizações iguais, foi calculada uma média entre os valores de corrente obtidos. Além disso, para corrigir as variações bruscas de corrente causadas por imprecisões indesejadas nas medições, foi aplicado um filtro de suavização do tipo Savitzky-Golay com 10 pontos de janela e polinômio de ordem 5. Para maiores informações sobre aplicação o filtro do tipo Savitzky-Golay, verificar a referência (SAVITZKY; GOLAY, 1964).

3.2.2 Medidas de Capacitância

Para as medidas experimentais de capacitância, o analisador de semicondutores utilizado foi o E4980A Precision LCR Meter, da marca Keysight Technologies e as medições foram realizadas à temperatura ambiente.

Para obtenção de um modelo experimental válido e confiável, todas as medições realizadas visavam medir a capacitância total de porta (C_{GG}) para variações das tensões de porta (V_G), com fonte e dreno em curto-circuito, obtidas com variação a passos pequenos. As tensões de porta (V_G) variam de -1,5 V a 1,5 V a passos de 15 mV. A frequência do sinal foi definida em 100 kHz, a uma amplitude de 100 mV.

Uma vez que não seria possível medir as capacitâncias dos dispositivos escolhidos dadas as limitações do equipamento, foi realizada a medida da

capacitância de um dispositivo de maior largura de aleta (W_{fin}), sendo escolhido então o maior dispositivo da cascata como referência. O dispositivo medido possui dimensão fixa de largura (L) de 150 nm e largura de aleta (W_{fin}) de 2850 nm. Obtida a capacitância deste dispositivo em questão, ela foi dividida pela área da porta deste dispositivo e foi obtida então a capacitância por unidade de área de porta. Esta capacitância por unidade de área de porta foi então multiplicada pela área de porta de cada dispositivo estudado (dos três tamanhos de aleta escolhidos, antes e depois da radiação).

No caso das tabelas de capacitância utilizadas no modelo *lookup table*, após realizados os cálculos com base na capacitância por unidade da área de porta, foi aplicado um filtro de suavização do tipo Savitzky-Golay com 20 pontos de janela e polinômio de ordem 2.

3.3 VERILOG-A E LOOKUP TABLE

O Verilog-A é uma linguagem de programação descritiva de hardware utilizada para circuitos analógicos, sendo derivada da linguagem Verilog-AMS. Utilizando a linguagem Verilog-A, é possível criar e utilizar módulos que descrevem o comportamento de componentes e sistemas (CADENCE, 2006). Assim sendo, estes módulos podem ser simples, como um componente (resistor, capacitor, indutor, etc.) ou sistemas analógicos (amplificadores, filtros, etc.), que posteriormente serão incluídos em algum circuito para simulações mais complexas.

O modelo ou método *lookup table*, que em tradução livre significa ‘tabela de pesquisa’, consiste basicamente na obtenção de uma tabela, a ser alimentada com dados que substituirão o uso de um modelo matemático que descreva o comportamento do dispositivo a ser analisado. O uso deste método é recomendado quando não se possui um modelo analítico de primeira ordem preciso para o dispositivo que se deseja simular, de forma a modelar o dispositivo pelas características obtidas experimentalmente (ROFOUGARAN; FURMAN; ABIDI, 1988). Na literatura atual, verifica-se o uso deste modelo para análise de FinFETs (CONTRERAS; CERDEIRA; PAVANELLO, 2012; KOROBKOV; AGARWAL; VENKATESWARAN, 2015) e de diversos outros dispositivos, como Tunnel-FET

(RANGEL; AGOPIAN; MARTINO, 2018) e Line-TFET (GONÇALEZ FILHO et al., 2020).

É importante ressaltar que, mesmo tendo se provado bastante consistente e confiável, este modelo possui algumas limitações, onde se nota principalmente a necessidade de medição de todos os dispositivos que se deseja utilizar, já que o comportamento entre diferentes tamanhos não pode ser ajustado por parâmetros físicos. Outra limitação importante observada no presente trabalho foi a extrapolação não confiável para valores muito maiores do que os obtidos experimentalmente, uma vez que os dados não possuem características previstas pelo modelo de extrapolação linear.

Utilizando-se do método *lookup table* em Verilog-A, então, é possível construir um modelo para dispositivos com base em uma tabela obtida através de dados experimentais, e assim realizar interpolações e extrapolações entre os pontos desta tabela, permitindo a realização de simulações de circuitos (KUNDERT; ZINKE, 2004). A modelagem através de tabelas em Verilog-A pode ser utilizada tanto com tabelas descritas dentro da própria linguagem quanto em tabelas contidas em arquivos separados (CADENCE, 2006). A seguir, serão demonstradas e explicadas as estruturas utilizadas dentro desta programação.

Para declaração de dispositivos dentro da linguagem, utiliza-se a estrutura “*module*”, que faz a descrição do dispositivo, definindo nome, terminais e parâmetros internos. A linha “*module FinFET (d, s, fg, bg)*” indica que o dispositivo recebe o nome de FinFET e que possui quatro terminais (dreno (d), fonte (s), porta (fg), e substrato (bg)). A estrutura “*inout*” declara o tipo de porta, que pode ser entrada (in), saída (out) ou entrada/saída (inout). A estrutura “*electrical*” define que o tipo de sinal utilizado é do tipo elétrico. Por fim, a estrutura “*parameter real*” define um parâmetro que recebe um valor real. Os parâmetros escolhidos foram a largura de aletas (w), com ou sem radiação (rad), tabela a ser consultada (vg_vd) e número de aletas (n). Dentro do ambiente de simulação este parâmetro pode ser alterado. O comando “*analog begin*” inicia a descrição do dispositivo (CADENCE, 2006).

A função a ser utilizada dentro do Verilog-A para modelagem utilizando tabelas em formato de arquivo é a \$table_model (variáveis, tabela fonte, controle), onde em “variáveis” são descritas as variáveis independentes da tabela, “tabela fonte” contém

o nome do arquivo fonte da tabela e a seção “controle” inclui caracteres que definem o modo de interpolação e extrapolação da tabela (CADENCE, 2006).

Dentro da seção controle, é preciso inserir uma cadeia de caracteres dada por um número e duas letras. O número inserido definirá o grau do polinômio utilizado na interpolação de valores, sendo “1” para interpolação linear, “2” para interpolação com polinômio de segundo grau e “3” para interpolação de terceiro grau. A primeira letra a ser inserida define o formato de extrapolação a ser executado caso se obtenham valores menores aos presentes na tabela e a segunda letra define o formato de extrapolação caso os valores sejam maiores aos presentes na tabela. A extrapolação para valores maiores e menores pode ser realizada mantendo constante o último valor através da opção “*clamp*” que é implementada utilizando-se a letra “C”. Caso se deseje uma extrapolação linear, se utiliza a letra “L”. Caso se deseje emitir um aviso caso os valores extremos sejam ultrapassados, além de manter o último valor constante, utiliza-se a letra “E”. Utilizando-se a letra “I”, se ignora a linha descrita (CADENCE, 2006).

Dentro da descrição abaixo, utilizada como exemplo, se verifica que a corrente I que passa pelos terminais de dreno (d) e fonte (s) recebe os valores baseados na tabela contida no arquivo chamado “n_vg_srad_w20.tbl”, que possui os valores de tensão entre porta (fg) e fonte (s) e dreno (d) e fonte (s), com parâmetros de interpolação linear (1) e extrapolação constante do último valor obtido (C), conforme se descreve:

$$I(d, s) <+ (n/5) * \$table_model (V(fg, s), V(d, s), "n_vg_srad_w20.tbl", "1CC,1CC")$$

Ainda se verifica a utilização de um parâmetro multiplicador n, que simboliza a número de aletas do dispositivo e está sendo dividido por 5. Este parâmetro se inicia em 5 e assim se verifica a tabela original, já que os dispositivos medidos experimentalmente possuem 5 aletas em paralelo.

Para utilização de outras tabelas para os dispositivos de diferentes larguras de aletas e entre os dispositivos radiados e não radiados, foi utilizada a função “*if*” (se), que apenas seleciona a tabela a ser utilizada baseado na inserção de parâmetros dentro do ambiente de simulação.

As tabelas utilizadas devem ser salvas com a extensão “.tbl” e por padrão contêm os valores obtidos experimentalmente para a corrente de dreno (I_D) em função da tensão de porta (V_G) e da tensão de dreno (V_D), ordenadas primeiramente em função de V_G e depois de V_D , seguindo a estrutura exemplo apresentada na Tabela 3.5.

A organização dos dados na tabela seguindo ordem crescente em V_G e V_D se observou desnecessária e meramente estética, uma vez que o Verilog-A procura os valores mais próximos de polarização independente de que ordem estão dispostos os dados no arquivo. Verificou-se inclusive que para os casos onde existem dois valores distintos de I_D para uma polarização igual de V_G e V_D , o Verilog-A escolhe apenas um valor na tabela como verdadeiro e ignora o segundo valor encontrado. A primeira linha da tabela serve apenas para nomenclatura e é desconsiderada pelo Verilog-A, uma vez que a linha se inicia pelo símbolo de cerquilha (#).

Tabela 3.5 – Exemplo de ‘lookup table’ contida nos arquivos .tbl

# V_G	V_D	I_D		# V_G	V_D	I_D
V_{G0}	V_{D1}	I_{D01}		0,00	0,05	1,48e-13
V_{G0}	V_{D2}	I_{D02}		0,00	0,10	1,86e-13
V_{G0}	V_{D3}	I_{D03}		0,00	0,15	3,23e-13
...	...	...		...	...	...
V_{G1}	V_{D1}	I_{D11}		0,01	0,05	1,50e-13
V_{G1}	V_{D2}	I_{D12}		0,01	0,10	2,31e-13
...	...	...		...	...	...
V_{GN}	V_{DN}	I_{DN}		V_{GN}	V_{DN}	I_{DN}

Os programas em Verilog-A que descrevem o comportamento dos dispositivos utilizados com o uso das *lookup tables* encontram-se nos Apêndices B (nFinFETs) e C (pFinFETs).

3.4 METODOLOGIA DE PROJETO DE CIRCUITOS

Conforme citado anteriormente, uma metodologia de projeto de circuitos bastante utilizada é a metodologia que se utiliza da eficiência dos transistores (gm/I_D). Este método evita os problemas causados pela imprecisão do uso da equação quadrática de corrente dos transistores, principalmente quando os transistores não possuem um modelo analítico de primeira ordem preciso. Este método também permite a comparação entre tecnologias diferentes, uma vez que se garante que os transistores estarão polarizados no mesmo ponto de inversão, independente dos valores de V_T e de corrente, já que estes dados são particulares de cada tecnologia estudada (SILVEIRA; FLANDRE; JESPER, 1996).

Para uso deste método, recomenda-se seguir um passo-a-passo de projeto. O passo-a-passo recomendado (JESPER; MURMANN, 2017) deve levar em conta as especificações do projeto e qual a tecnologia utilizada pelo circuito, de forma a ser formado basicamente pelas etapas expostas:

- Determinar gm a ser utilizado conforme especificações do projeto;
- Escolher L levando em conta o compromisso entre ganho e largura de banda;
- Escolher gm/I_D ou f_T com base nos valores desejados de consumo de potência, faixa linear de saída e largura de banda (GBW);
- Determinar I_D do projeto com base no gm/I_D escolhido;
- Determinar W_{fin} (ou N_{fin}) com base nas curvas de corrente.

Será considerado o projeto de circuitos com base nas condições especificadas e análise da influência da radiação no mesmo, obtendo os resultados sem reajuste dos parâmetros inicialmente escolhidos.

4 CARACTERIZAÇÃO DOS DISPOSITIVOS

Este capítulo abordará os resultados iniciais do presente trabalho, iniciando pela validação do modelo de *lookup table* em Verilog-A no ambiente dos *softwares* Cadence Virtuoso e Spectre, passando pelas curvas experimentais obtidas e análise dos parâmetros básicos dos transistores estudados e por fim apresentando a construção de circuitos básicos para verificação do funcionamento do software de simulação de circuitos.

4.1 VALIDAÇÃO DO MODELO DE LOOKUP TABLE EM VERILOG-A

Uma vez obtidos os dados experimentais, construídas as tabelas e descrito o funcionamento dos dispositivos em linguagem Verilog-A, a construção dos circuitos foi realizada utilizando-se do *software* Cadence Virtuoso e as simulações foram realizadas com o *software* Cadence Spectre.

Para validação do modelo *lookup table* utilizando o Verilog-A e verificação da confiabilidade do *software* de simulação de circuitos e conforme já citado anteriormente, foi desenvolvido um teste básico, que consiste na utilização de apenas uma das tabelas de dados experimentais obtidas como *lookup table*, no caso, a tabela de $I_D \times V_G$ e obtenção de curvas $I_D \times V_D$ construídas a partir da primeira tabela com o uso do *software* de simulação. Estas curvas simuladas obtidas foram, então, comparadas com as curvas experimentais medidas de $I_D \times V_D$. Este teste foi realizado para todos os transistores estudados, ou seja, os FinFETs do tipo P e N, das três larguras de aletas (W_{fin} de 20 nm, 120 nm e 870 nm) e não radiados e radiados, totalizando 12 dispositivos.

Após a realização dos testes, verificou-se que a comparação entre os dados obtidos nas duas medições (tabelas) possui uma boa concordância entre si, de forma a validar o modelo utilizado. Porém, dadas as limitações de medição e do erro percentual tolerável, notou-se leves ondulações na corrente I_D que não correspondem ao valor real esperado, principalmente na região de saturação dos transistores. A alternativa utilizada para corrigir estas ondulações indesejáveis foi a utilização de um filtro de suavização nas curvas, de forma a obter dados mais precisos e mais confiáveis inclusive para uso nas interpolações. Conforme já citado anteriormente, as

duas tabelas foram, então, mescladas em uma única tabela e as curvas foram suavizadas com um filtro.

Assim sendo, alguns dos gráficos apresentados a seguir no presente trabalho mostrarão a comparação entre os dados experimentais (baseados nas tabelas originais) e simulados (baseados na tabela mesclada e com filtro obtidas por meio do ambiente de simulação), principalmente para os parâmetros básicos, de forma a validar ainda mais o funcionamento do modelo proposto.

4.2 CURVAS EXPERIMENTAIS

A obtenção de dados experimentais precisos é de extrema importância para o presente estudo, uma vez que estes dados ditam todo o comportamento dos dispositivos dentro do ambiente de simulação. A seguir, serão apresentadas as curvas construídas com base nos dados obtidos experimentalmente.

4.2.1 Corrente de Dreno (I_D)

A corrente de dreno (I_D) de todos os dispositivos estudados foi obtida experimentalmente e os resultados estão expostos na Figura 4.1. Nestes gráficos, é possível comparar as correntes obtidas para uma tensão de porta (V_G) fixa entre os dispositivos, antes e depois da radiação, considerando os dados experimentais e simulados. Inicialmente, já se verifica que os dados experimentais e simulados possuem concordância entre si, de forma a validar o modelo utilizado. Também se verifica que, uma vez que esta tensão de polarização está fixa e que as tensões de limiar (V_T) mudam após a radiação, ocorre um deslocamento da corrente. Quanto maior o transistor, maior a mudança de V_T após a radiação e conseqüentemente maior o deslocamento da corrente. Nos transistores do tipo p, a corrente diminui uma vez que o V_T é mais negativo, e nos transistores do tipo n, o comportamento contrário é obtido.

Figura 4.1 – Gráficos $I_D \times V_D$ para pFinFET (A) e nFinFET (B)

4.2.2 Capacitância Total de Porta (C_{GG})

Conforme citado anteriormente, a capacitância total de porta (C_{GG}) de cada um dos dispositivos estudados foi calculada com base na medida experimental realizada para um dispositivo de largura de aleta (W_{fin}) maior dos que os dispositivos utilizados para estudo no presente trabalho, sendo este um dispositivo de dimensão fixa de largura (L) de 150 nm e largura de aleta (W_{fin}) de 2850 nm. A Figura 4.2 mostra o gráfico da capacitância total de porta (C_{GG}) por unidade de área de porta ($fC/\mu m^2$) em função da tensão de porta (V_{GF}) obtida por medição deste dispositivo de maior largura. Neste gráfico, é possível observar tanto a capacitância do dispositivo pFinFET quanto nFinFET, antes e depois da radiação.

Figura 4.2 – Gráfico de C_{GG} por unidade de área (fC/ μm) x V_{GF} (V)

É possível observar que, para valores de tensão de porta (V_{GF}) menores que V_T , em ambos os dispositivos do tipo p e n, os dispositivos pós-radiados possuem a capacitância total de porta (C_{GG}) em torno de 0,1 fC/ μm maior. Porém, estes valores não são relevantes, uma vez que se deseja que a tensão de porta esteja sempre acima de V_T . Para valores de V_{GF} acima de V_T , na região de sublimiar, a capacitância se comporta de forma diferente para cada um dos dispositivos, onde no dispositivo do tipo n a capacitância se mantém entre 0,1 e 0,2 fC/ μm maior, após a radiação, durante toda a variação de V_{GF} . No caso do dispositivo do tipo p, esta capacitância é aproximadamente 0,05 fC/ μm menor em um intervalo de tensão de porta, e depois volta a ser 0,05 fC/ μm maior novamente. Além disso, os dois dispositivos apresentam comportamento oposto durante esse intervalo, seguindo o comportamento esperado já citado e apresentado no presente trabalho.

Utilizando, então, a capacitância C_{GG} por unidade de área de porta e calculando para cada dispositivo das três larguras de aleta utilizados no trabalho, obtêm-se a tabela de capacitâncias utilizada nas simulações seguindo os valores apresentados na Figura 4.4. Uma vez que estes valores de capacitância consistem na multiplicação

das capacitâncias apresentadas anteriormente pela área de porta e pelo número de aletas de cada dispositivo estudado, a mesma tendência já apresentada é observada.

Figura 4.3 – Gráficos de C_{GG} (fC) x V_{GF} (V) para os pFinFETs (A) e os nFinFETs (B)

4.3 PARÂMETROS ELÉTRICOS

Após obtenção dos dados experimentais dos dispositivos de forma detalhada, diversas análises podem ser feitas com relação aos parâmetros elétricos e analógicos normalmente estudados e se estes valores correspondem aos mesmos já obtidos em comparação com a literatura atual. Uma vez que parte destes dados já foram amplamente discutidos em trabalhos anteriores (AGOPIAN et al., 2012; CAPARROZ, 2017), estas informações visam, além de demonstrar os efeitos da radiação nos dispositivos utilizados, também validar os dados obtidos experimentalmente.

4.3.1 Tensão de Limiar (V_T)

A tensão de limiar dos dispositivos foi obtida seguindo o procedimento comumente adotado conhecido como método da segunda derivada, onde se observa o pico da segunda derivada da curva $I_D \times V_G$, com baixos valores de V_D , devendo este pico ser máximo para o caso dos nMOS ou mínimo para o caso dos pMOS (MARTINO; PAVANELLO; VERDONCK, 2004; TERAQ et al., 1991). O valor encontrado para este pico é considerado o valor da tensão de limiar V_T do dispositivo.

Uma vez que os gráficos obtidos com este método estavam ruidosos, antes da definição do V_T de cada dispositivo foi aplicado um filtro de suavização do tipo FFT com 5 pontos de janela. A Tabela 4.1 apresenta o valor das tensões de limiar (V_T) obtidas com o método da segunda derivada e a diferença entre a tensão de limiar dos dispositivos antes e depois da radiação.

Tabela 4.1 – Tensão de Limiar (V_T) dos dispositivos estudados

nFinFET				pFinFET			
W (nm)	Pré-rad (V)	Pós-rad (V)	Dif (%)	W (nm)	Pré-rad (V)	Pós-rad (V)	Dif (%)
20	0,51	0,51	0%	20	- 0,43	- 0,46	7%
120	0,46	0,44	-5%	120	- 0,41	- 0,47	13%
870	0,44	0,41	-7%	870	- 0,37	- 0,44	16%

Com base na tabela, é possível verificar que a redução de V_T após a radiação sugerida pelo armazenamento de cargas positivas no óxido enterrado é consistente com o esperado, o que inclusive permite afirmar que este efeito é predominante para os dois tipos de dispositivo (AGOPIAN et al., 2012). Porém, nota-se pela diferença entre o valor de V_T do dispositivo antes da radiação e depois da radiação que neste parâmetro, os dispositivos do tipo n sofrem menos influência à radiação do que os dispositivos do tipo p, devido justamente ao efeito das armadilhas de interface, que acabam por anular parte dos efeitos de carga positiva no óxido enterrado nos transistores do tipo n ao invés de somar os efeitos, como nos transistores do tipo p.

4.3.2 Inclinação de Sublimiar (SS)

A inclinação de sublimiar é um parâmetro afetado pela radiação, pois a indução de cargas positivas no óxido enterrado causa a redução da tensão de limiar da segunda interface (V_{th2}), conforme já mencionado anteriormente. Nos dispositivos nFinFET, a redução de V_{th2} causa o aumento da condução pela segunda interface, degradando o SS. Porém, nos dispositivos pFinFET o comportamento contrário é observado, uma vez que a redução de V_{th2} implica em menos corrente fluindo pela segunda interface, assim ocorre uma melhora no SS. Nos dispositivos menores de ambos os tipos, a radiação não tem tanta influência, dado a área reduzida e o alto acoplamento entre as portas. Este comportamento obtido nas curvas experimentais dos dispositivos segue o mesmo padrão já apresentado anteriormente em outros estudos (AGOPIAN et al., 2012; CAPARROZ, 2017; MAMOUNI et al., 2009). A Figura 4.4 mostra o gráfico de $I_D \times V_G$ onde é possível identificar a inclinação de sublimiar dos transistores estudados. Verifica-se novamente que os dados experimentais e simulados possuem concordância entre si, mantendo a validação do modelo utilizado.

Figura 4.4 – Gráficos $I_D \times V_G$ para pFinFET (A) e nFinFET (B)

4.3.3 Eficiência do Transistor (gm/I_D)

Conforme citado anteriormente, a eficiência do transistor (gm/I_D) é um parâmetro analógico importante no projeto de circuitos. Sendo assim, sua alteração mediante influência da radiação deve ser verificada. A Figura 4.5 mostra o gráfico de eficiência obtido para os transistores estudados, considerando os dados experimentais e simulados. Novamente e mantendo a consistência do presente trabalho, os dados experimentais e simulados possuem boa concordância entre si, validando o modelo utilizado também para este parâmetro.

Sabe-se que dependendo da região de inversão em qual o dispositivo está operando, a eficiência depende de parâmetros diferentes. Basicamente, na região de inversão fraca o gm/I_D é determinado principalmente pelo inverso do SS, então uma vez que a radiação altera o SS, esta alteração será observada na eficiência. Já na região de inversão forte, o gm/I_D é determinado principalmente pela mobilidade. Novamente, observam-se comportamentos inversos entre os tipos de transistores e os transistores menores quase não são afetados devido ao melhor acoplamento entre porta e canal (AGOPIAN et al., 2012).

Figura 4.5 – Eficiências (gm/I_D) dos transistores nFinFET (A) e pFinFET (B)

Além disso, verifica-se que o dispositivo pFinFET de maior largura (W_{fin} de 870 nm) também apresenta degradação da eficiência no regime de inversão moderado, antes da radiação. Esse comportamento ocorre devido a corrente parasita que flui pela segunda interface e é suprimido após a radiação, uma vez que o processo provê a melhora do controle das cargas na segunda interface destes dispositivos com a acumulação de cargas positivas no óxido enterrado, induzindo uma menor condução de corrente por esta interface.

4.3.4 Condutância de saída (g_D)

Outro parâmetro que deve ser analisado para circuitos analógicos é a condutância de saída (g_D). Da mesma forma que a eficiência (g_m/I_D), esse parâmetro tem influência direta no ganho de tensão dos dispositivos e, conseqüentemente, no ganho de tensão dos circuitos. A Figura 4.6 mostra a condutância de saída (g_D) em função da tensão de porta (V_{GF}).

Figura 4.6 – Condutância de saída (g_D) em função da tensão de porta (V_{GF}) para o pFinFET (A) e o nFinFET (B)

Como o g_D é um parâmetro que é obtido de um processo derivativo e os dispositivos mais estreitos (W_{fin} de 20 nm) apresentam correntes I_D menores, mesmo pequenas variações de corrente podem resultar em grandes variações em g_D . Devido a isso, verifica-se que o g_D dos dispositivos mais estreitos apresenta maiores variações, tanto para nFinFETs quanto para pFinFETs, porém como g_D destes dispositivos já possuem valores menores, essas variações não devem ser levadas em consideração.

Além disso, é possível notar que proporcionalmente o processo de radiação aparenta não ter influência no g_D para $|V_{GF}|$ maior do que $|V_T|$, mas apresenta efeitos significantes para baixos valores de sobre-tensão de porta ($V_{GT} = V_G - V_T$), reduzindo (ou melhorando) o g_D dos pFinFETs e aumentando (ou piorando) o g_D dos nFinFETs. Essa variação é causada pela influência da radiação no SS (como já explicado previamente) e segue a tendência já apresentada de ser mais significativo nos pFinFETs do que nos nFinFETs e de aumentar com o aumento da largura de aleta (W_{fin}) dos dispositivos.

4.3.5 Ganho intrínseco de tensão (A_V)

O ganho intrínseco de tensão (A_V) é um parâmetro analógico de suma importância para análise de circuitos analógicos. Quando se trata de um dispositivo isolado, seu valor normalmente segue a mesma tendência apresentada pela eficiência, uma vez que o ganho intrínseco é a eficiência do transistor (g_m/I_D) multiplicada pela tensão Early (V_{EA}). Além disso, o ganho intrínseco também pode ser calculado como a divisão da transcondutância pela condutância de saída, motivo pelo qual ambos os parâmetros são importantes na análise do ganho de tensão dos dispositivos. A Figura 4.7 apresenta o ganho de tensão em função da corrente normalizada de cada dispositivo estudado.

Figura 4.7 – Gráficos do ganho de tensão (A_V) em função da corrente de dreno normalizada para o nFinFET (A) e pFinFET (B)

4.3.6 Frequência de Ganho Unitário (f_T)

Conforme definido anteriormente, a frequência de ganho unitário é expressa pela equação (14), onde indica que é diretamente proporcional à transcondutância e inversamente proporcional a capacitância total de porta (C_{GG}). Sabe-se que a transcondutância (g_m) é dependente da relação entre W/L , enquanto a capacitância total de porta (C_{GG}) é dependente do produto $W \cdot L$. Como f_T é a divisão de g_m por $2\pi C_{GG}$, f_T é dependente apenas da relação de $1/L^2$. Ou seja, a frequência de ganho unitário f_T não deve depender das larguras de aletas (W_{fin}), pelo menos nesta análise de primeira ordem.

Uma vez que todos os dispositivos analisados no presente trabalho têm o mesmo L e variam apenas o W_{fin} , espera-se que as frequências de ganho unitário não variem entre estes dispositivos. A Figura 4.8 apresenta a frequência de ganho unitário (f_T) em função da corrente normalizada para todos os dispositivos estudados. Conforme esperado, se verifica que f_T praticamente não varia entre os dispositivos estudados, comparando tanto nos dispositivos pré-radiados quanto nos pós-radiados,

principalmente nos dispositivos nFinFET. Além disso, por mais que a variação de W_{fin} não deva interferir em f_T ativamente, podem existir diferenças de acoplamento entre os dispositivos que interferem ligeiramente neste parâmetro, de forma que ligeiras variações são toleráveis.

Figura 4.8 – Gráfico de f_T em função da corrente de dreno normalizada para o nFinFET (A) e pFinFET (B)

5 PROJETO DE CIRCUITOS BÁSICOS E ANÁLISE DA INFLUÊNCIA DA RADIAÇÃO

Neste capítulo será apresentado o desenvolvimento e análise dos circuitos analógicos básicos que formam o amplificador operacional de transcondutância (OTA) e a influência da radiação ionizante de prótons nestes circuitos.

5.1 CIRCUITO DE POLARIZAÇÃO (BIAS)

O primeiro circuito projetado para a verificação dos efeitos da radiação sobre os circuitos analógicos foi o circuito de polarização, ou circuito *bias*. É sabido que num circuito amplificador, a polarização é normalmente realizada por corrente, de forma a definir-se uma corrente de polarização para o circuito e espelhar a mesma (por meio de um circuito espelho de corrente) para todos os estágios amplificadores.

Em simulações de circuitos simples, normalmente se utiliza uma fonte de corrente ideal para tal feito. Porém, no caso do estudo em questão, será utilizado um circuito de polarização básico formado por FinFETs e os efeitos da radiação sobre tal circuito. A Figura 5.1 apresenta o circuito de polarização (bias) básico utilizado.

Inicialmente, verifica-se que o circuito de polarização é formado por dois transistores, um pFinFET (M10) e um nFinFET (M9), sendo V_{DD} a tensão de polarização, V_{LOAD} a tensão de carga e I_{OUT} a corrente de saída. As ligações dos dois transistores são dadas de forma que as tensões entre dreno e fonte (V_{DS}) e entre porta e fonte (V_{GS}) dos transistores são iguais individualmente, garantindo a saturação, e a corrente de dreno (I_D) dos dois transistores são iguais (circuito série) e consequentemente igual a corrente de saída I_{OUT} . Nesta análise inicial, serão comparados os circuitos formados com as três larguras de aletas (W_{fin}) pré-definidas (20 nm, 120 nm e 870 nm) e não será alterado o número de aletas (N_{fins}), fixo em 5 para os dois tipos de transistores, conforme originalmente presente na lâmina. Esse tipo de abordagem foi escolhido para apresentar a influência da radiação em cada tipo de dispositivo utilizando este circuito básico.

Figura 5.1 – Circuito de polarização básico (*bias*)

A tensão de carga (V_{LOAD}) deve ser considerada pois este circuito será conectado a um espelho de corrente. Considerando-se esta carga ligada a saída I_{OUT} , os mesmos cuidados devem ser tomados de forma a buscar manter o V_{GS} e o V_{DS} dos dois transistores o mais próximo possível da igualdade e por consequência do ponto ótimo. Para se atingir o ponto ótimo de operação deste circuito, então, uma vez que o V_{DD} escolhido para o circuito é 2,1 V, o valor de V_{DS} e V_{GS} deveria ser igual a $(V_{DD} - V_{LOAD}) / 2$. Montado o circuito combinado para cada um dos tamanhos de transistor em uma condição de carga (V_{LOAD}) de 0,7 V, espera-se então um $V_{DS} = V_{GS}$ de 0,7 V. A Tabela 5.1 mostram as tensões de polarização $V_{DS} = V_{GS}$ (V) resultantes e a diferença percentual entre a tensão dos dispositivos n- e do pFinFET.

Tabela 5.1 – Tensões de polarização $V_{DS} = V_{GS}$ (V) dos transistores do circuito de polarização (*bias*)

N_{fin}	L (nm)	W_{fin} (nm)	Pré-radiação			Pós-radiação		
			nFinFET	pFinFET	Dif (%)	nFinFET	pFinFET	Dif (%)
5	150	20	0,7150	0,6850	-4%	0,7030	0,6970	-1%
5	150	120	0,7000	0,7000	0%	0,6620	0,7380	10%
5	150	870	0,6970	0,7030	1%	0,6520	0,7480	13%

Analisando a tabela proposta, verificam-se diversos efeitos ocorrendo em paralelo. Primeiramente, analisando o circuito com dispositivos não radiados, verificou-se um leve desbalanceamento no circuito formado pelos transistores de menor tamanho ($W_{fin} = 20$ nm). Esse desbalanceamento é causado pelos diferentes patamares de corrente entre os transistores isolados do tipo p e tipo n para uma mesma quantidade de N_{fins} . Este comportamento já é conhecido e é causado pelos diferentes valores de V_T e de mobilidade entre os dispositivos (pode-se observar esta diferença na Figura 4.1). Então, como os dois transistores (de diferentes tipos) estão ligados em série no circuito, a corrente que flui no circuito deve ser única e necessariamente igual entre os dois e para que esta corrente seja igual, há uma variação dos pontos de polarização de cada dispositivo. Este desbalanceamento não é encontrado nos circuitos formados pelos transistores maiores e as diferenças obtidas entre as polarizações são dadas pela ligeira diferença de corrente entre os dispositivos. Analisando o comportamento após a radiação e sabendo que para uma mesma polarização a corrente dos dispositivos tipo n tende a aumentar e dos dispositivos tipo p tende a diminuir, verifica-se que ocorre uma compensação de efeitos no dispositivo de menor tamanho. Porém, para transistores maiores, verifica-se uma diferença mais pronunciada, uma vez que a diferença entre as correntes dos transistores do tipo p e do tipo n tende a ser maior. Quando se aplica radiação, então, os pontos se deslocam ainda mais devido a um maior distanciamento destas curvas. Além do deslocamento das tensões de polarização, ocorrerá uma mudança da corrente obtida, e uma vez que este circuito visa funcionar como uma fonte de corrente para a polarização dos circuitos subsequentes, esta variação de corrente deve ser considerada. A Tabela 5.2 mostra as correntes de dreno obtidas do circuito para as dadas polarizações apresentadas na tabela anterior e a diferença percentual entre as correntes obtidas nos dispositivos pré-radiados e pós-radiados.

Tabela 5.2 – Correntes $I_D = I_{OUT}$ (μA) obtidas do circuito *bias*

N_{fin}	L (nm)	W_{fin} (nm)	Pré-rad	Pós-rad	Dif (%)
5	150	20	34,85	33,35	-4,50%
5	150	120	73,08	75,06	2,64%
5	150	870	429,30	414,70	-3,52%

Conforme os dados obtidos na tabela, verifica-se que a alteração das polarizações pela radiação causa alterações na corrente, que para os casos analisados podem chegar a valores de até aproximadamente 4,5% de diferença. Uma vez que a corrente do circuito em questão depende do ponto de polarização de $V_{DS} = V_{GS}$ dos dois dispositivos, o ponto de polarização ótimo é extremamente relevante e deve ser buscado para evitar alterações não esperadas na corrente.

É válido ressaltar que os dados de corrente I_D levam em consideração, até o presente momento, que todos os transistores foram medidos e simulados com o N_{fin} fixo em 5. Diferentes abordagens poderiam ser utilizadas para tentar aproximar o ponto de polarização do ponto ideal. Por exemplo a passagem de corrente pode ser controlada pelo número de aletas (N_{fin}) do transistor em questão. Uma vez que transistores de maiores W_{fin} sofrem os efeitos da radiação de forma mais pronunciada, além de esbarrar na limitação do modelo da necessidade de medição de dispositivos de diversos tamanhos, o caminho mais natural é o aumento/diminuição do número de aletas (N_{fin}) dos dispositivos. Este parâmetro pode ser modelado pelo próprio Verilog-A, pois é apenas o resultado da multiplicação da corrente já medida por um fator, já que a corrente que passa em uma quantidade N_{fin} de aletas é a corrente que passa por uma aleta multiplicada pela quantidade de aletas (COLINGE, 2008). Além disso, para obtenção da corrente desejada a ser fornecida pelo circuito *bias*, basta dividir o valor da corrente necessária no projeto pelo valor da corrente obtida para apenas uma aleta, onde o resultado deverá ser o número de aletas (N_{fin}) que os dispositivos devem ter para permitirem a passagem da corrente desejada.

5.2 CIRCUITO ESPELHO DE CORRENTE

O circuito espelho de corrente é muito utilizado em projetos analógicos por permitir que uma dada corrente seja espelhada e utilizada em vários pontos diferentes dos circuitos subsequentes. Uma vez que a polarização dos transistores nos estágios de amplificação é normalmente realizada por corrente, este circuito e seu comportamento são de alta relevância. Este circuito é formado por dois transistores iguais, ligados conforme mostrado na Figura 5.2, onde exemplifica-se a configuração de um espelho de corrente formado por pFinFETs (A) e formado por nFinFETs (B).

Sendo V_{DD} a tensão de alimentação, I_{REF} a corrente de referência, I_{LOAD} a corrente de carga, V_{LOAD} a tensão de carga, M_{P1} e M_{P2} os transistores pFinFETs e M_{N1} e M_{N2} os transistores nFinFETs.

Figura 5.2 – Circuitos Espelho de Corrente formado por pFinFETs (A) e nFinFETs (B)

Para verificar a influência da radiação no circuito proposto, a corrente a ser espelhada será fornecida por uma fonte de corrente ideal (I_{REF}), de forma a não se considerar o efeito da radiação existente no circuito de polarização apresentado anteriormente. O V_{DD} escolhido foi novamente 2,1 V e será considerado o efeito da alteração de V_{LOAD} no circuito de espelho, uma vez que as cargas esperadas entre os estágios de amplificação serão diferentes. A corrente I_{REF} foi selecionada de forma a ser obtido o ponto ótimo de corrente normalizada 1 em $V_{GS} = V_{DS} = 0,7$ V nos espelhos dos dispositivos não-radiados e mantida esta mesma corrente para análise da alteração do ponto ótimo nos espelhos dos dispositivos radiados. Então, para os nFinFETs, o ponto ótimo esperado ocorre em $V_{LOAD} = 0,7$ V e para os pFinFETs ocorre em $V_{LOAD} = 1,4$ V ($V_{DD} - V_{DS}$). A Figura 5.3 mostra as correntes normalizadas do espelho de corrente em função da carga (V_{LOAD}) para os circuitos formados por (A) pFinFET e (B) nFinFET, antes e depois da radiação.

Figura 5.3 – Correntes de dreno normalizadas dos espelhos de corrente em função da carga

Pelos gráficos apresentados, verifica-se que para uma mesma I_{REF} aplicada nos circuitos antes e depois da radiação, o ponto ótimo apresenta uma pequena

variação e é obtido para V_{LOAD} menores, já que após a radiação o V_T dos dispositivos é menor e o ponto de polarização muda. Além disso, é possível verificar a influência da diferença da tensão Early (V_{EA}) dos dispositivos na região de operação do espelho de corrente, pois uma vez que o V_{EA} diminui com o aumento do W_{fin} , os dispositivos maiores apresentam variações maiores, ou seja, maior inclinação da reta na região de saturação. Os valores de Tensão Early dos dispositivos para $|V_{GT}| = 250\text{mV}$ e $|V_D| = 0,7\text{ V}$ são mostrados na Tabela 5.3.

Tabela 5.3 – Tensão Early (V_{EA}) para $|V_{GT}| = 250\text{mV}$ e $|V_D| = 0,7\text{ V}$

N_{fins}	L (nm)	W_{fin} (nm)	nFinFET		pFinFET	
			Pré-rad (V)	Pós-rad (V)	Pré-rad (V)	Pós-rad (V)
5	150	20	6,56	6,55	11,44	10,42
5	150	120	2,96	2,65	2,68	2,80
5	150	870	1,47	1,46	1,22	1,33

Nota-se que, considerando este efeito, a diferença de variação de corrente entre dispositivos não-radiados e radiados é pequena, respeitando o comportamento esperado em que os transistores menores apresentam melhores resultados devido ao melhor acoplamento entre as portas e canal e conseqüentemente à maior imunidade à radiação. Porém, conforme observado na Figura 5.3, a variação de corrente máxima, ou seja, I_{LOAD}/I_{REF} muito maior ou menor que 1 (obtida para o transistor mais largo) pode chegar a altos valores, principalmente com a diminuição de V_{GS} ou V_{DS} ou aumento de V_{LOAD} .

Em termos práticos, esse tipo de variação na corrente quando comparados os circuitos com dispositivos pré-radiados e pós-radiados, então, será maior ainda para V_{DS} e V_{GS} de valores baixos ou também quando a quantidade de *fins* (N_{fins}) dos dispositivos forem diferentes entre si. No entanto, como o objetivo do circuito espelho de corrente é justamente ‘espelhar’ a corrente para os diversos setores do circuito final, esse tipo de ajuste de N_{fins} pode e deve ser utilizado para se obter a corrente que se necessita em cada parte do circuito em questão.

5.3 CIRCUITOS AMPLIFICADORES

Os circuitos amplificadores selecionados para análise são o par diferencial e fonte comum, uma vez que o amplificador operacional de transcondutância (OTA) que será analisado posteriormente é formado por esses amplificadores. Os dois circuitos foram implementados juntos, como primeiro e segundo estágio de um único amplificador. Além disso, as fontes de corrente (I_{REF1} e I_{REF2}) são ideais, de forma a analisar a influência da radiação apenas nos circuitos em questão. A Figura 5.4 mostra o amplificador de dois estágios implementado para análise.

Figura 5.4 – Amplificador par diferencial (primeiro estágio) e fonte comum (segundo estágio) implementado com fontes de corrente ideais em cada estágio.

O V_{DD} escolhido se mantém em 2,1 V e a tensão de modo comum (V_{CM}) em V_{in} é 1,4 V. Para comparar de forma justa os circuitos formados por transistores de diferentes larguras de aleta (W_{fin}), todo o dimensionamento do circuito foi implementado com base no método g_m/I_D . Sendo assim, o g_m/I_D escolhido para análise de projeto foi 8 V^{-1} . Este valor de eficiência foi escolhido devido aos dispositivos estarem em região de inversão forte (exceto em alguns casos que pode ser inversão moderada a forte, devidamente explicados), também apresentando

ganho relevante. Mesmo que a análise destes circuitos amplificadores não leve em consideração a resposta em frequência neste primeiro momento, seguindo o método gm/I_D a transcondutância do segundo estágio foi escolhida como 10 vezes a transcondutância do primeiro estágio, já que este tipo de prática é comum para garantia de estabilidade na realimentação (ALLEN; HOLBERG, 2012).

A Tabela 5.4 apresenta os parâmetros gerais do circuito amplificador dimensionado, bem como o número de *fins* (N_{fins}) dos dispositivos presentes no circuito, considerando um gm/I_D de 8 V^{-1} para os dispositivos não radiados. A quantidade de N_{fins} dos dispositivos foi dimensionada partindo-se do padrão de 5 *fins* para os transistores M1 e M2 (nFinFETs). Definido este valor, com uso dos gráficos de eficiência dos dispositivos (Figura 4.5), foi definida a corrente para obtenção da eficiência (gm/I_D) de 8 V^{-1} . Uma vez definida a corrente, para que M3 e M4 (pFinFETs) também estivessem no mesmo ponto de eficiência (gm/I_D) de 8 V^{-1} , a quantidade de N_{fins} destes dispositivos precisou ser ajustada para 7, valor este definido também utilizando os gráficos de eficiência dos dispositivos. Seguindo o padrão de metodologia de projeto já citado anteriormente, o transistor do segundo estágio (M6) possui 70 *fins*, valor este 10 vezes maior que o transistor do primeiro estágio. Verificar no Apêndice A o cálculo detalhado da quantidade de *fins* de cada circuito. Para verificação da influência da radiação no circuito e a título de comparação, os dispositivos não radiados foram substituídos pelos dispositivos radiados e nenhum parâmetro foi alterado, isto é, N_{fins} , I_{REF} e tensões V_{DD} e V_{CM} se mantiveram inalterados.

Tabela 5.4 – Parâmetros gerais do projeto e dimensões dos dispositivos

Parâmetros do Projeto	Valor	Transistores	N_{fins} (para todos os W_{fin})
V_{DD}	2,1 V	M1, M2	5
V_{CM}	1,4 V	M3, M4	7
gm/I_D	8 V^{-1}	M6	70

As correntes definidas para as fontes de corrente ideais (I_{REF1} e I_{REF2}) para se obter a eficiência desejada de gm/I_D de 8 V^{-1} são mostradas na Tabela 5.5, seguindo

a relação $I_{REF2} = 5 \times I_{REF1}$. Conforme já citado, esses valores de correntes foram definidos utilizando os gráficos de eficiência (gm/I_D) dos dispositivos (Figura 4.5), levando em consideração o número de aletas (N_{fins}) determinados para os dispositivos. No caso, como a primeira definição de projeto leva em consideração que N_{fins} de M1 e M2 são 5, a corrente I_{REF1} do circuito será 10 vezes a corrente definida para um *fin* obtida pelo gráfico de eficiência, correntes essas citadas anteriormente. Mesmo que a quantidade de N_{fins} do dispositivo do segundo estágio seja 10 vezes o N_{fins} do dispositivo do primeiro estágio, deve-se levar em consideração o fato de que I_{REF1} determina a corrente para o circuito par diferencial, de forma que cada lado recebe metade de I_{REF1} . Então, I_{REF2} deve ser 5 vezes maior que I_{REF1} para que os dois estágios recebam a corrente que mantenha a eficiência (gm/I_D) em 8 V^{-1} .

Tabela 5.5 – Fontes de corrente ideais I_{REF} do circuito

$W_{fin} \text{ (nm)}$	20	120	870
$I_{REF1} \text{ (}\mu\text{A)}$	61	78	152
$I_{REF2} \text{ (}\mu\text{A)}$	305	390	760

A Figura 5.5 mostra o ganho de tensão diferencial (A_D) do circuito em dB, onde se especifica o ganho do primeiro estágio (par diferencial), segundo estágio (fonte comum) e o ganho total, para circuitos com FinFETs de larguras de aletas (W_{fin}) de 20 nm, 120 nm e 870 nm, antes e após a radiação, usando o *software* Cadence Virtuoso no ambiente de simulação Spectre.

Nota-se, inicialmente, que os circuitos formados por dispositivos mais estreitos apresentam ganhos de tensão maiores, e conforme se aumenta a largura do dispositivo, os ganhos de tensão diminuem. Esse tipo de comportamento é esperado e segue a tendência já apresentada para o ganho de tensão dos dispositivos isolados, que é diretamente proporcional à tensão Early, já explicada previamente.

Figura 5.5 – Ganho de Tensão A_D em dB dos circuitos amplificadores, sendo o primeiro estágio o diferencial e o segundo estágio o fonte comum

Quando comparados os ganhos de tensão entre os circuitos formados por dispositivos pré-radiados com os circuitos formados por dispositivos pós-radiados, nota-se que todos os circuitos formados com dispositivos radiados apresentam um aumento do ganho de tensão nos dois estágios separadamente e consequentemente um aumento no ganho total. Considerando-se que a radiação tipicamente degrada o comportamento dos dispositivos semicondutores, foi uma surpresa ver que o ganho de tensão em um amplificador aumenta. Para a análise deste comportamento, deve-se verificar a expressão o ganho de tensão do circuito em questão, que pode ser obtida pela expressão do ganho do circuito OTA, estimado pela expressão 16 (RAZAVI, 2017).

$$A_D [V/V] \approx \frac{g_{m_{M1,M2}}}{g_{D_{M1,M2}} + g_{D_{M3,M4}}} \times \frac{g_{m_{M6}}}{g_{D_{M6}} + g_{D_{M7}}} \quad (16)$$

onde o primeiro termo é o ganho de tensão do primeiro estágio, o segundo termo é o ganho de tensão do segundo estágio, $g_{m_{Mi}}$ é transcondutância do transistor M_i e $g_{D_{Mi}}$ é a condutância de saída do transistor M_i . Uma vez que o transistor M_7 não existe no presente circuito pois foi substituído por uma fonte de corrente ideal, $g_{D_{M7}}$ pode ser desconsiderado.

Analizando o circuito em questão, pode-se afirmar que a principal razão para o aumento de ganho quando se compara o circuito formado por transistores pré-radiados e pós-radiados é a mudança dos pontos de polarização do circuito causada pela mudança de V_T . Resumidamente, esta mudança de V_T vai causar uma melhora de g_m e uma mudança de g_D (a depender do tipo de transistor, onde reduz/melhora nos pFinFETs e aumenta/piora nos nFinFETs).

Explicando mais detalhadamente e conforme já mostrado anteriormente, o processo de radiação promove um aumento da corrente nos nFinFETs (V_T é positivo e diminui com a radiação) e uma diminuição de corrente nos pFinFETs (V_T é negativo e também diminui com a radiação, ficando mais negativo), onde os pFinFETs são mais afetados pelo fenômeno. Então, forçar uma corrente de referência ideal nos dois estágios de amplificação causará uma diminuição da tensão V_{GS} e V_{DS} em todos os transistores, tanto nos nFinFETs (M1 e M2) quanto nos pFinFETs (M3, M4 e M6) para manter o mesmo V_{DD} definido para o circuito.

Uma vez que o circuito foi dimensionado para operação em tensões próximas de 0,7 V ou menos, após a radiação, a diminuição (para valores mais negativos) de V_{GS} e V_{DS} nos dispositivos pFinFETs causará uma redução de g_D . Enquanto isso, essa mesma diminuição de V_{GS} e V_{DS} nos dispositivos nFinFETs causará um leve aumento de g_D .

Com relação ao g_m , a melhora está relacionada a diferentes razões que dependem do tipo de transistor. Para os dispositivos nFinFETs, a melhora está diretamente conectada ao comportamento da sobretensão de porta (V_{GT}). Como já explicado previamente, o V_T apresenta uma leve redução depois da radiação. Mesmo que após a radiação ocorra a redução de ambos V_{GS} e V_T , a degradação de V_T é maior que a de V_{GS} , devido principalmente ao V_{DS} alto, que impacta diretamente no valor de V_T (causado pelo DIBL e efeitos de canal curto nos dispositivos de W_{fin} maiores). Então, o V_{GT} ($V_{GF} - V_T$) é maior após a radiação e ocorre um aumento de g_m nos nFinFETs. Novamente e seguindo a tendência já apresentada, os dispositivos estreitos praticamente não são afetados pela radiação.

No caso dos dispositivos pFinFETs, o efeito dominante no aumento do g_m é a supressão da condução de corrente parasita pela segunda interface. Como já explicado previamente, o processo de radiação promove uma melhora no controle das cargas na segunda interface destes dispositivos com a acumulação de cargas

positivas no oxido enterrado, induzindo uma menor condução de corrente por esta interface. Essa melhora no controle das cargas da segunda interface causa, então, um melhor controle das cargas do canal pela porta, que também aumenta o g_m dos dispositivos pFinFET. Assim sendo, pode ser notado aumento de g_m para ambos os dispositivos, do tipo pFinFET e nFinFET. A Tabela 5.6 mostra o g_m e o g_D dos transistores M1 e M2 (nFinFETs), M3, M4 e M6 (pFinFETs) para os circuitos em questão, com as larguras de aletas de três tamanhos distintos, antes e depois da radiação.

Inicialmente, pode-se verificar que g_m e g_D de M6 serão 10 vezes maiores que g_m e g_D de M3 e M4. Este comportamento é esperado, uma vez que ambos os dispositivos estão operando à mesma eficiência e M6 é 10 vezes maior em N_{fins} que M3 e M4.

Tabela 5.6 – g_m e g_D dos transistores M1, M2, M3, M4 e M6

nFinFET	$W_{fin} = 20nm$		$W_{fin} = 120nm$		$W_{fin} = 870nm$	
M1, M2	pré-rad	pós-rad	pré-rad	pós-rad	pré-rad	pós-rad
g_m (μS)	243,0	243,3	312,0	322,9	602,3	911,1
g_D (μS)	3,5	3,6	12,1	13,3	82,6	88,2

pFinFET	$W_{fin} = 20nm$		$W_{fin} = 120nm$		$W_{fin} = 870nm$	
M3, M4	pré-rad	pós-rad	pré-rad	pós-rad	pré-rad	pós-rad
g_m (μS)	255,5	281,1	314,6	353,5	614,0	795,0
g_D (μS)	3,5	2,7	17,4	15,9	127,0	101,8

pFinFET	$W_{fin} = 20nm$		$W_{fin} = 120nm$		$W_{fin} = 870nm$	
M6	pré-rad	pós-rad	pré-rad	pós-rad	pré-rad	pós-rad
g_m (μS)	2555	2811	3146	3535	6140	7950
g_D (μS)	35	27	174	159	1270	1018

A título de exemplo, utilizando a expressão 16 com os valores presentes na Tabela 5.6, obtém-se os resultados apresentados nas equações 17 e 18, a primeira o resultado para o circuito formado com os dispositivos de $W_{fin} = 20 nm$ pré-radiados e a segunda para pós-radiados. Analogamente, este cálculo pode ser realizado para todos os casos de circuitos presentes na Tabela 5.6.

$$\begin{aligned}
A_D(\text{pré} - \text{rad}) &\approx \frac{243 \times 10^{-6}}{3,5 \times 10^{-6} + 3,5 \times 10^{-6}} \times \frac{2555 \times 10^{-6}}{35 \times 10^{-6}} \\
&= 34,71 \times 73 \text{ em V/V ou } 30,81 + 37,26 \text{ em dB} \\
&= 2533,83 \text{ V/V ou } 68,07 \text{ dB}
\end{aligned}
\tag{17}$$

$$\begin{aligned}
A_D(\text{pós} - \text{rad}) &\approx \frac{243,3 \times 10^{-6}}{3,6 \times 10^{-6} + 2,7 \times 10^{-6}} \times \frac{2811 \times 10^{-6}}{27 \times 10^{-6}} \\
&= 38,62 \times 104,11 \text{ em V/V ou } 31,73 + 40,35 \text{ em dB} \\
&= 4020,73 \text{ V/V ou } 72,08 \text{ dB}
\end{aligned}
\tag{18}$$

A Tabela 5.7 apresenta os valores de ganho A_D em dB obtidos para cada circuito apresentado, utilizando a expressão 16 com os valores presentes na Tabela 5.6, seguindo o exemplo de cálculo apresentado nas equações 17 e 18.

Tabela 5.7 – Ganho de tensão A_D em dB obtido por cálculo utilizando valores de g_m e g_D

Ganho A_D em dB	$W_{fin} = 20\text{nm}$		$W_{fin} = 120\text{nm}$		$W_{fin} = 870\text{nm}$	
	pré-rad	pós-rad	pré-rad	pós-rad	pré-rad	pós-rad
1º Estágio	30,81	31,73	20,48	20,87	9,17	13,62
2º Estágio	37,26	40,35	25,14	26,94	13,68	17,85
Total	68,07	72,08	45,62	47,81	22,85	31,47

Analisando a expressão 16 em conjunto com a Tabela 5.6 e a Tabela 5.7, no primeiro estágio do amplificador, o leve aumento de g_m e g_D dos dispositivos nFinFETs após a radiação apresentará um pequeno impacto na variação do ganho de tensão do circuito, já que a variação de g_m compensaria a variação de g_D e vice-versa. Porém, a maior redução de g_D nos dispositivos pFinFETs causa um aumento do ganho de tensão, quando comparados os circuitos pré e pós-radiados.

No segundo estágio do amplificador, esse aumento de ganho de tensão é ainda maior, uma vez que neste estágio a dependência de g_m e g_D são ligadas à apenas um único transistor (M6). Este comportamento é observado nos circuitos de amplificação formados pelos três tamanhos de largura de aletas propostos no presente trabalho.

Comparando-se o ganho obtido por simulação presente na Figura 5.5 com o ganho calculado pelas equações apresentado na Tabela 5.7, verifica-se que os

valores de ganho são próximos. Uma vez que a equação apresenta valores aproximados, pode-se validar os valores obtidos. Da mesma forma que os ganhos simulados, os ganhos calculados seguem uma tendência de aumento após a radiação para todos os circuitos estudados. Em síntese, apesar da degradação típica causada pela radiação de prótons em um único dispositivo do tipo SOI FinFET, o ganho de tensão aumenta para todos os circuitos amplificadores apresentados, graças ao aumento do ganho nos dois estágios de amplificação decorrente da mudança do ponto de polarização. A mudança destes pontos de polarização é causada pelo efeito da radiação em cada dispositivo, que causa variação de V_T e ocorre mesmo utilizando fontes de corrente ideais.

6 PROJETO DE AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) SUBMETIDO À RADIAÇÃO

O projeto proposto para o presente trabalho consiste em um amplificador operacional de transcondutância (*operational transconductance amplifier* – OTA), que é um circuito analógico muito presente em circuitos integrados (Cis) analógicos. Por ser um circuito relativamente simples e já conhecido, pode ser usado para análise da influência da radiação nos dispositivos inseridos em um circuito analógico.

6.1 AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) COM FONTE DE CORRENTE IDEAL

Antes de apresentar o projeto do amplificador operacional de transcondutância (OTA) completo, optou-se por apresentar, inicialmente, a análise do efeito da radiação ionizante considerando o circuito parcialmente completo, inicialmente usando uma fonte de corrente ideal no lugar do circuito de polarização. Além disso, também não foram consideradas as capacitâncias presentes nos dispositivos e no circuito. No caso, então, o circuito é formado pela junção do espelho de corrente e dos dois estágios amplificadores (par diferencial e fonte comum), conforme apresentado na Figura 6.1.

Essa abordagem visa seguir o processo utilizado no presente trabalho para a análise da influência da radiação, onde analisou-se essa influência nos sub-circuitos que formam o OTA e se agruparam (por partes) os circuitos até chegar na formação do circuito OTA completo.

Novamente, o V_{DD} escolhido foi 2,1 V, a tensão de modo comum (V_{CM}) foi 1,4 V e o g_m/I_D foi 8 V^{-1} . Uma vez que se trata dos mesmos parâmetros gerais dos circuitos amplificadores apresentados anteriormente, o número de *fins* (N_{fins}) dos dispositivos presentes no circuito anterior (M1, M2, M3, M4 e M6) não foram alterados.

Tabela 6.1 – Parâmetros gerais do projeto e dimensões dos dispositivos

Parâmetros do Projeto	Valor	Transistores	N_{fins}		
			$W_{\text{fin}} = 20 \text{ nm}$	$W_{\text{fin}} = 120 \text{ nm}$	$W_{\text{fin}} = 870 \text{ nm}$
V_{DD}	2,1 V	M1, M2	5	5	5
V_{CM}	1,4 V	M3, M4	7	7	7
gm/I_D	8 V^{-1}	M5	10	10	2
		M6	70	70	70
		M7	46	42	8
		M8	10	10	2
$I_{\text{REF}} (\mu\text{A})$			61	73	75

Para compensar este efeito da baixa tensão Early nos dispositivos (ver Tabela 5.3), foram ajustadas a quantidade de N_{fins} e a corrente I_{REF} do circuito, visando garantir a corrente ideal que garante o gm/I_D escolhido no circuito pré-irradiação. Assim sendo, para determinado I_{REF} escolhido garantindo gm/I_D de 8 V^{-1} no primeiro estágio, a quantidade de N_{fins} de M5 e M8 se mantiveram iguais. Porém, a quantidade de N_{fins} de M7 foi ajustada para menos que $5 \times N_{\text{fins}}$ de M8, para todos os circuitos de diferentes larguras de aletas analisados, visando manter o gm/I_D proposto.

Após a radiação, todos os circuitos de espelhamento de corrente apresentaram um aumento da corrente espelhada, tanto no primeiro estágio quanto no segundo estágio. Esse comportamento é resultado da redução de V_T nos dispositivos nFinFET (uma vez que os espelhos são formados por estes dispositivos) e consequentemente, no aumento da corrente que é espelhada. Conforme esperado, com o aumento da largura de aleta (W_{fin}) dos dispositivos, a variação desta corrente espelhada é ainda maior, devido a maior redução de V_T causada pela maior influência que estes dispositivos sofrem à radiação. Esta variação de corrente seria ainda maior se a quantidade de N_{fins} do circuito com dispositivos de W_{fin} de 870 nm não fossem ajustados para 2 (em vez de 10, igual apresentado dos circuitos de W_{fin} menores).

Então, foi analisado o ganho de tensão deste circuito OTA considerando a junção dos efeitos sofridos pelos circuitos espelho de corrente e primeiro e segundo estágios de amplificação após a radiação, considerando as compensações

mencionadas. Seguindo a estimaco do ganho apresentado na expresso 16,  esperado que, em comparao com o circuito amplificador de dois estgios apresentado anteriormente, a maior influncia na variao do ganho de tenso ser causada no segundo estgio, devido a insero do transistor M7 no circuito.

A Figura 6.2 mostra o ganho de tenso (A_D) em dB do circuito OTA com fonte de corrente ideal, onde se verifica o ganho do primeiro estgio (par diferencial), segundo estgio (fonte comum) e o ganho total, para circuitos formados pelas larguras de aletas (W_{fin}) de 20 nm, 120 nm e 870 nm, antes de depois da radiao.

Analizando este grfico, se verifica que, da mesma forma que no circuito amplificador apresentado anteriormente, o ganho de tenso dos circuitos ps-radiados aumenta, quando comparados aos circuitos pr-radiados.

Comparando o ganho de tenso deste circuito OTA com fonte de corrente ideal com o ganho de tenso dos circuitos amplificadores apresentados anteriormente (Figura 6.2 e Figura 5.5, respectivamente), nota-se que h uma pequena diminuio da corrente do primeiro estgio aps a radiao em todos os circuitos, devido a diferena de corrente espelhada pelo circuito espelho de corrente (uma vez que agora a corrente no  fixa e proveniente de uma fonte ideal).

Figura 6.2 – Ganho de Tenso A_D em dB do OTA com fonte de corrente ideal

Porém, a maior alteração ocorre, conforme previsto pela equação, no segundo estágio, causada pela inserção do transistor M7 no circuito. Essa redução de ganho no segundo estágio é maior para o dispositivo de menor largura de aleta (W_{fin}) e diminui conforme é aumentado o W_{fin} dos dispositivos presentes no circuito. Isso ocorre devido ao g_D de M7 e o quanto que este parâmetro é afetado pela radiação, quando comparado ao g_D de M6. Uma vez que aumentar a largura de aleta (W_{fin}) faz g_D aumentar (mesmo para uma mesma quantidade de N_{fins}), o g_D do M6 aumentará conforme esperado. Porém, como a quantidade de N_{fins} de M7 varia entre os circuitos (para compensar a variação do espelho de corrente), o g_D destes dispositivos não aumentam na mesma proporção, já que transistores com menos fins também terão menor g_D . Assim sendo, existe uma variação na contribuição do g_D de M7 na variação do ganho do segundo estágio, quando comparados entre os circuitos de diferentes W_{fin} .

6.2 AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) COMPLETO E ANÁLISE DE RESPOSTA EM FREQUÊNCIA

Seguindo para a análise do OTA completo, então, forma-se o amplificador de dois estágios formados pelos circuitos par-diferencial (M1-M4) e fonte comum (M6), com corrente de espelhada proveniente de um circuito espelho de corrente (M8, M5 e M7) e com polarização de um circuito *bias* (M9 e M10), conforme pode ser observado na Figura 6.3.

Como o presente circuito é uma evolução do circuito anterior, todos os parâmetros básicos, bem como o dimensionamento proposto para o circuito se mantém iguais. Além dos dispositivos já citados anteriormente, foi acrescido um capacitor C_C para compensação Miller, quando necessário, entre os dois estágios de amplificação para garantir a estabilidade do circuito com uma margem de fase de no mínimo 60° (RAZAVI, 2017). Também foi acrescido um capacitor de carga C_L na saída do segundo estágio, para simular o acoplamento com um circuito subsequente, no valor fixo de 100 fF para todos os casos.

Para determinar a quantidade de *fins* dos transistores do circuito de polarização, novamente se deve analisar a quantidade de corrente a ser espelhada

para se manter a eficiência dos transistores (gm/I_D) em 8 V^{-1} , antes da radiação. Como se pretende manter valores reais de projeto, a quantidade de N_{fins} dos dispositivos serão valores inteiros, de forma a chegar o mais próximo possível da eficiência escolhida para o projeto. Ou seja, o valor escolhido de N_{fins} será o mais próximo para atingir a corrente desejada em I_{SS} e consequentemente em I_{PE} . Conforme já explicado, a corrente I_{SE} deve ser o mais próxima possível de $5 \times I_{PE}$, então a quantidade de *fins* do dispositivo M7 segue sendo ajustada para tal, uma vez que o espelho sofre desvios devido à influência da tensão Early. A **Erro! Fonte de referência não encontrada.** mostra os parâmetros gerais do projeto do OTA completo e as dimensões dos dispositivos. Veja cálculos detalhados no apêndice A.

Figura 6.3 – Circuito OTA completo

Após simulados os resultados, obtêm-se um gráfico de ganho de tensão A_D e fase dos circuitos OTAs formados com transistores de larguras de aleta diferentes, antes e depois da radiação, conforme pode ser observado na Figura 6.4. A Tabela 6.3 também apresenta os resultados das simulações dos OTAs completos construídos com os dispositivos de diferentes larguras de aletas.

Tabela 6.2 – Parâmetros gerais do projeto e dimensões dos dispositivos

Parâmetros do Projeto	Valor	N _{fins}		
		W _{fin} = 20 nm	W _{fin} = 120 nm	W _{fin} = 870 nm
V _{DD}	2,1 V			
V _{CM}	1,4 V			
Transistores				
M1, M2		5	5	5
M3, M4		7	7	7
M5		10	10	2
M6		70	70	70
M7		46	42	8
M8		10	10	2
M9, M10		9	4	2

Inicialmente, nota-se que a presença de um circuito de polarização formado por dispositivos que também sofrem da influência da radiação pode influenciar o ganho tanto do primeiro quanto do segundo estágio de amplificação, já que essa corrente I_{ss} é espelhada para os estágios e influenciam diretamente na eficiência e consequentemente no ganho dos circuitos.

Comparando o ganho de tensão A_D dos dois circuitos analisados no presente capítulo (sem e com o circuito de polarização *bias*), se verifica uma variação praticamente irrelevante antes da radiação. Isto se deve ao fato de que a escolha da quantidade de fins dos dispositivos que formam este circuito foi correta, de forma a fornecer praticamente a mesma corrente fixa e ideal para o circuito OTA. Após a radiação, com a inserção de dispositivos que também sofrem influência da radiação no circuito de polarização, se espera uma variação da corrente fornecida e consequentemente variação no ganho. Conforme já apresentado anteriormente, a corrente fornecida pelo circuito de polarização pode aumentar ou diminuir (a depender do casamento entre os transistores pFinFET e nFinFET que formam este circuito), o que pode interferir ativamente no ganho de tensão do circuito.

Figura 6.4 – Ganho de tensão A_D (dB) e Fase ($^\circ$) dos circuitos OTA completos

Tabela 6.3 – Tabela resultante das simulações do OTA completo

	$W_{fin} = 20$ nm		$W_{fin} = 120$ nm		$W_{fin} = 870$ nm	
	pré-rad	pós-rad	pré-rad	pós-rad	pré-rad	pós-rad
I_{SS} (μA)	62,6	61,6	74,9	83,6	172,4	179,6
I_{PE} (μA)	62,5	61,8	79,5	90,3	191	202,9
I_{SE} (μA)	313,8	286,9	403,0	446,2	911,5	966,2
C_L (fF)	100	100	100	100	100	100
C_C (fF)	30	30	40	40	20	20
Margem de Fase ($^\circ$)	63,26	68,67	66,67	68,74	67,62	63,76
A_D (dB)	60,36	58,65	46,33	46,67	22,85	29,56
GBW (GHz)	0,88	0,88	0,88	0,88	1,59	1,86

Seguindo como base o comportamento apresentado de ganho de tensão A_D nos circuitos anteriores, esperava-se que continuasse ocorrendo um aumento do ganho entre os circuitos pré-radiados e pós-radiados. Verificando-se os dados provenientes do gráfico e da tabela apresentados, inicialmente se verifica o aumento

ganho de tensão máximo A_D , exceto para o circuito formado pelos dispositivos de menor largura de aleta ($W_{fin} = 20 \text{ nm}$). Este comportamento é causado principalmente pela ligeira variação de corrente de polarização I_{SS} para um valor menor, resultado este já apresentado anteriormente nas possíveis variações de corrente nos circuitos de polarização (*bias*), devido as mudanças dos pontos de polarização após a radiação.

Novamente, mesmo com a variação de corrente I_{SS} entre os circuitos pré-radiados e pós-radiados, a corrente do primeiro estágio (I_{PE}) e a corrente do segundo estágio (I_{SE}) se aproximam dos valores definidos, graças ao ajuste de N_{fins} dos dispositivos que tem função de espelhar a corrente. Da mesma forma que nos circuitos anteriores, este ajuste é feito devido à variação promovida pela tensão Early nos dispositivos e visa manter a corrente desejada nos circuitos amplificadores para que a eficiência se mantenha conforme definida pelo projeto.

Utilizando as medidas de capacitância C_{GG} na análise, é possível então analisar, além do ganho de tensão, a fase e a largura de banda (GBW) do circuito. Estes parâmetros dependem, além das capacitâncias dos dispositivos, dos capacitores de compensação Miller (C_C) e do capacitor de carga (C_L). Nas especificações definidas neste projeto, o GBW dos dispositivos de menor largura de aleta se mantiveram próximos aos 0,9 GHz, mesmo após a radiação, enquanto no dispositivo de maior largura de aleta este valor ficou entre aproximadamente 1.6 GHz antes da radiação e 1,85 GHz após a radiação, sugerindo que além da radiação causar um maior ganho de tensão, também aumenta a largura de banda neste circuito.

7 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

Neste trabalho foi apresentado o efeito da radiação de prótons no projeto de circuitos analógicos básicos e posteriormente no amplificador operacional de transcondutância (OTA) constituído por transistores SOI FinFET. O projeto foi realizado através de simulação Spectre no ambiente do *software* Cadence Virtuoso utilizando-se, porém, as curvas experimentais de SOI FinFETs com e sem radiação. A proposta para realização das simulações é a metodologia de *lookup table* em Verilog-A, que permitiu a criação de um modelo baseado no comportamento experimental dos SOI FinFETs, para propiciar uma simulação de circuitos mais realista.

Inicialmente foi analisado o comportamento dos dispositivos em circuitos básicos que compõe um amplificador operacional de transcondutância (OTA), sendo eles o circuito de polarização (*bias*), o espelho de corrente e os amplificadores par-diferencial e fonte comum. Foi observado que a radiação influencia os dispositivos presentes em todos os circuitos, principalmente mudando os pontos de polarização devido a variação da tensão de limiar (V_T).

No caso do circuito de polarização e no circuito espelho de corrente, esta mudança nos pontos de polarização dos transistores causa diferentes respostas de corrente. No circuito de polarização, a influência da radiação nos circuitos analisados causou diferenças no ponto ótimo de tensão de até 13% e de corrente de até 4,5%. No caso dos espelhos de corrente, polarizar fora dos pontos ótimos de corrente normalizada em saturação pode causar diferenças de até 40% para os valores de $V_D = V_G$ apresentados, devido à variação causada pela tensão Early.

Como os circuitos amplificadores são polarizados por corrente, verificou-se que pequenas variações nestas correntes fornecidas por estes circuitos podem causar grandes variações de ganho. Como os circuitos são analisados em função da amplificação de tensão e os circuitos de polarização e espelhamento visam apenas fornecer a corrente necessária para os circuitos amplificadores funcionarem corretamente, a abordagem escolhida no presente trabalho se utilizou da variação da quantidade de aletas dos FinFETs a fim de fornecer a corrente desejada seguindo as especificações do projeto.

No caso dos circuitos amplificadores OTA de dois estágios (par-diferencial e fonte comum), analisados em conjunto como um amplificador contendo primeiro e

segundo estágio, verificou-se inicialmente um comportamento inesperado de aumento de ganho diferencial quando comparados os circuitos pré e pós-radiados, para todos os circuitos estudados. Esta diferença de ganho de tensão obtida teve como resultado 1,84 dB, 2,38 dB e 6,16 dB, para os circuitos formados por dispositivos de W_{fin} de 20 nm, 120 nm e 870 nm, respectivamente. A variação do ganho de tensão, ainda, mostrou ser maior para os dispositivos de maior largura de aleta, com relação aos dispositivos menores. Ou seja, quanto maior a influência da radiação nos dispositivos, maior a variação do aumento do ganho de tensão nos circuitos estudados.

Após análise detalhada, verificou-se que a maior influência no aumento do ganho após radiação é promovida pelos dispositivos pFinFETs presentes no circuito, que têm suas características elétricas melhoradas após a radiação. O principal parâmetro que influencia no aumento de ganho é condutância de saída, que melhora (diminui) consideravelmente após a radiação. Quando se trata do segundo estágio, então, essa variação do ganho observado foi ainda maior, devido à grande dependência do ganho com o pFinFET.

A abordagem escolhida para o presente trabalho acoplou os circuitos básicos por partes, primeiramente juntando os circuitos de espelho de corrente com os amplificadores para análise da influência da radiação e variação com relação aos circuitos individuais, formando então um OTA com fonte de corrente ideal. Neste caso, o ganho continuou aumentando quando comparados os circuitos pré-radiados e pós-radiados, com resultados de aumento de ganho tensão de 0,87 dB, 1,19 dB e 6,21 dB, para os circuitos formados por dispositivos de W_{fin} de 20 nm, 120 nm e 870 nm, respectivamente. Porém, com a inserção do circuito espelho de corrente, o ganho do segundo estágio caiu para todos os circuitos estudados (quando comparados aos circuitos amplificadores sem circuito espelho de corrente), uma vez que com o acoplamento dos circuitos, a condutância de saída do dispositivo presente no espelho de corrente deve ser considerada na expressão do ganho de tensão.

Por fim, após o acoplamento de todos os circuitos básicos formando o OTA completo, notou-se comportamento similar no aumento de ganho após a radiação, exceto para o circuito formado com o dispositivo de menor largura de aleta. Este comportamento pode ser explicado pela ligeira variação de corrente promovida nos dispositivos menores causar maiores variações de ganho. Mesmo assim, o ganho dos circuitos estudados com dispositivos de diferentes larguras de aleta se manteve no

mesmo patamar quando comparado aos ganhos obtidos nos circuitos anteriores, principalmente no circuito formado pelo dispositivo de maior largura de aleta, também confirmando os valores obtidos nos circuitos anteriores.

Pode-se concluir que, uma vez que os dispositivos de largura de aleta menor não sofram tanto dos efeitos da radiação, o uso destes dispositivos em circuitos analógicos radiados é mais recomendado, já que a variação dos pontos de polarização no circuito é menor e consequentemente a variação de ganho também.

Porém, por mais que os dispositivos de maior largura de aleta sofram mais os efeitos da radiação, dentro do circuito apresentado e para os parâmetros de projeto sugeridos, o aumento do ganho de tensão após a radiação para estes dispositivos é maior. Ou seja, mesmo sofrendo de efeitos da radiação e tendo dispositivos sofrendo efeitos de degradação de características elétricas, para o circuito analógico apresentado, o ganho de tensão e a largura de banda aumentaram, sugerindo também a possibilidade de uso destes dispositivos em alguma aplicação específica.

Uma importante consideração é que os dispositivos de largura de aleta menor possuem resultados de ganho maiores, em torno de 60 ~ 70 dB nos circuitos estudados, enquanto os dispositivos de largura de aleta maior possuem resultados de ganho menor, entre 20 ~ 30 dB nos circuitos estudados, devido a variação de tensão Early.

Uma possível sugestão de sequência para o presente trabalho seria a análise dos dispositivos em circuitos sofrendo além da radiação, da variação de temperatura. Desta maneira poderiam ser cobertos e analisados os efeitos esperados presentes em aplicações aeroespaciais, por exemplo.

PUBLICAÇÕES GERADAS ATÉ O MOMENTO

Publicações em periódicos

DE SOUSA, B. R.; NOGUEIRA, A. M.; AGOPIAN, P. G. D.; MARTINO, J. A. **Voltage gain improvement of the operational transconductance amplifier designed with silicon-on-insulator fin field effect transistor after being exposed to proton-irradiation.** Semicond. Sci. Technol. (SST). 36 (2021) 035001 (8pp).

Publicações em congressos

DE SOUSA, B. R.; AGOPIAN, P. G. D.; MARTINO, J. A. **A SOI FinFET device model based on Verilog-A for proton-irradiation influence analysis.** 19th SFORUM – Undergraduate-Student Forum. São Paulo: 2019.

DE SOUSA, B. R.; AGOPIAN, P. G. D.; MARTINO, J. A. **Proton-Irradiation Influence on Current Mirror Circuit Using Verilog-A Approach Based on Experimental SOI FinFET Characteristics.** 237th The Electrochemical Society (ECS). Montreal: 2020.

REFERÊNCIAS

AGOPIAN, Paula G.D. et al. Influence of 60-MeV proton-irradiation on standard and strained n-and p-Channel MuGFETs. **IEEE Transactions on Nuclear Science**, v. 59, n. 4 PART 1, p. 707–713, 2012.

ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. New York, NY 10016: Oxford University Press, Inc., 2012. (Integrated Circuits and Systems).

BALESTRA, Francis et al. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Enhanced Performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410–412, 1987.

BARNABY, H. J. Total-Ionizing-Dose Effects in Modern CMOS Technologies. **IEEE Transactions on Nuclear Science**, v. 53, n. 6, p. 3103–3121, 2006.

BU, Huiming. **5 nanometer transistors inching their way into chips**. Disponível em: <<https://www.ibm.com/blogs/think/2017/06/5-nanometer-transistors/>>. Acesso em: 18 maio 2020.

CADENCE. **Cadence® Verilog® -A Language Reference**. . [S.l: s.n.]. , 2006

CAPARROZ, Luis F. V. Efeito Da Radiação Em Transistores 3D Em Baixas Temperaturas. 2017, [S.l: s.n.], 2017.

_____. Proton radiation influence on SOI FinFET trade-off between transistor efficiency and unit gain frequency. 2016, [S.l: s.n.], 2016. p. 3–6.

CHENG, K. et al. Air spacer for 10nm FinFET CMOS and beyond. 31 jan. 2017, [S.l.]: Institute of Electrical and Electronics Engineers Inc., 31 jan. 2017. p. 17.1.1-17.1.4.

CLAEYS, Cor; SIMOEN, Eddy. **Radiation Effects in Advanced Semiconductor Materials and Devices**. Berlin, Heidelberg: Springer Berlin Heidelberg, 2002. v. 57. (Springer Series in Materials Science).

COLINGE, J.-P. **FinFETs and Other Multi-Gate Transistors**. Boston, MA: Springer US, 2008.

_____. Quantum-Mechanical effects in trigate SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 53, n. 5, p. 1131–1136, maio 2006.

_____. **Silicon-on-Insulator Technology: Materials to VLSI**. Boston, MA: Springer US, 2004.

COLINGE, J.-P.; COLINGE, C. A. **Phys. Semicond. Devices**. [S.l.]: Kluwer Academic Publishers, 2002.

CONTRERAS, Esteban; CERDEIRA, Antonio; PAVANELLO, Marcelo Antonio. Simulation of Miller OpAmp analog circuit with FinFET transistors. **2012 8th International Caribbean Conference on Devices, Circuits and Systems, ICCDCS 2012**, p. 6–9, 2012.

DAUGÉ, F. et al. Coupling effects and channels separation in FinFETs. abr. 2004, [S.l: s.n.], abr. 2004. p. 535–542.

FLANDRE, D. et al. **Modelling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analogue CMOS Circuits**. . [S.l: s.n.], 1996.

GONÇALEZ FILHO, Walter et al. Analog design with Line-TFET device experimental data: from device to circuit level. **Semiconductor Science and Technology**, v. 35, n. 5, p. 055025, 1 maio 2020. Disponível em: <<https://iopscience.iop.org/article/10.1088/1361-6641/ab7a08>>. Acesso em: 15 maio 2020.

HISAMOTO, Digh et al. A fully depleted lean-channel transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. 1989, [S.l.]: Publ by IEEE, 1989. p. 833–836.

INTEL. **Advancing Moore's Law on 2014! Intel**. [S.l: s.n.]. Disponível em: <<http://www.intel.com/content/dam/www/public/us/en/documents/presentation/advancing-moores-law-in-2014-presentation.pdf>>. , 2014

JESPER, P. G. A.; MURMANN, B. **Systematic Design of Analog CMOS Circuits: Using Pre-Computed Lookup Tables**. 1st Editio ed. [S.l.]: Cambridge University Press, 2017.

KAWA, Jamil. **FinFET Design, Manufacturability, and Reliability**. Disponível em: <<https://www.synopsys.com/designware-ip/technical-bulletin/finfet-design.html>>. Acesso em: 10 fev. 2020.

KOBAYASHI, Daisuke et al. Proton-induced mobility degradation in finfets with stressor layers and strained SOI substrates. jun. 2011, [S.l: s.n.], jun. 2011. p. 800–807.

KOROBKOV, Alexander; AGARWAL, Amit; VENKATESWARAN, Subramanian. Efficient FinFET Device Model Implementation for SPICE Simulation. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 34, n. 10, p. 1696–1699, 2015.

KUNDERT, Kenneth S.; ZINKE, Olaf. **Des. Guid. to Verilog-AMS**, June 2004. Boston: Kluwer Academic Publishers, 2004.

MACK, Chris. The Multiple Lives of Moore's Law. **IEEE Spectrum**, v. 52, n. 4, p. 31–37, 2015.

MAMOUNI, Farah El et al. Fin-width dependence of ionizing radiation-induced subthreshold-swing degradation in 100-nm-gate-length FinFETs. dez. 2009, [S.l: s.n.], dez. 2009. p. 3250–3255.

MARTINO, João Antonio; PAVANELLO, Marcelo Antonio; VERDONCK, Patrick Bernard. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. [S.l.]: Pioneira Thomson Learning, 2004.

MOORE, Gordon E. Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff. **IEEE Solid-State Circuits Society Newsletter**, v. 11, n. 3, p. 33–35, set. 2006.

PAYDAVOSI, Navid et al. BSIM - SPICE models enable FinFET and UTB IC designs. **IEEE Access**, v. 1, p. 201–215, 2013.

RANGEL, Roberto S.; AGOPIAN, Paula G.D.; MARTINO, João Antonio. A tunnel-FET device model based on Verilog-A applied to circuit simulation. 2018, [S.l.]: IEEE, 2018. p. 1–4.

RAZAVI, Behzad. **Design of Analog CMOS Integrated Circuits**. [S.l: s.n.], 2017.

ROFOUGARAN, A. R.; FURMAN, B.; ABIDI, A. A. Accurate analog modeling of short channel FETs based on table lookup. 1988, [S.l.]: IEEE, 1988. p. 413–416.

SAH, Chih-Tang. Evolution of the MOS transistor-from conception to VLSI. **Proceedings of the IEEE**, v. 76, n. 10, p. 1280–1326, 1988.

SAVITZKY, Abraham; GOLAY, M. J. E. Smoothing and Differentiation of Data by Simplified Least Squares Procedures. **Analytical Chemistry**, v. 36, n. 8, p. 1627–1639, 1 jul. 1964.

SCHWANK, J. R. et al. Radiation effects in SOI technologies. **IEEE Transactions on Nuclear Science**, v. 50 III, n. 3, p. 522–538, 2003.

SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. São Paulo: Pearson Prentice Hall, 2007.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid State Electronics**, v. 27,

n. 8–9, p. 827–828, 1 ago. 1984.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314–1319, set. 1996.

SUN, Xin et al. Variation Study of the Planar Ground-Plane Bulk MOSFET, SOI FinFET, and Trigate Bulk MOSFET Designs. **IEEE Transactions on Electron Devices**, v. 58, n. 10, p. 3294–3299, out. 2011. Disponível em: <<http://ieeexplore.ieee.org/document/6006523/>>. Acesso em: 17 maio 2020.

SZE, S. M.; MATTIS, Daniel C. **Phys. Semicond. Devices**. [S.l: s.n.], 1970. v. 23.

TASSIS, D. et al. Variability of nanoscale triple gate FinFETs: Prediction and analysis method. **2014 21st IEEE International Conference on Electronics, Circuits and Systems, ICECS 2014**, n. 11, p. 710–713, 2014.

TERAO, A. et al. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682–684, dez. 1991.

XIE, R. et al. A 7nm FinFET technology featuring EUV patterning and dual strained high mobility channels. 31 jan. 2017, [S.l.]: Institute of Electrical and Electronics Engineers Inc., 31 jan. 2017. p. 2.7.1-2.7.4.

APÊNDICE A – CÁLCULO DO NÚMERO DE FINS DOS DISPOSITIVOS

A quantidade de N_{fins} dos dispositivos foi dimensionada partindo-se do padrão de 5 *fins* para os transistores M1 e M2 (nFinFETs). Definido este valor, com uso dos gráficos de eficiência dos dispositivos (Figura 4.5), partindo-se da suposição de $V_{DS} = 0,7$ V em todos os dispositivos, é possível definir a corrente para obtenção da eficiência (gm/I_D) também definida de 8 V^{-1} .

Conforme a Figura 4.5, tomando como exemplo o dispositivo de $W_{fin} = 20$ nm pré-irradiação, para os dispositivos nFinFET é necessário aproximadamente $6,1 \text{ } \mu\text{A}$ de corrente normalizada para cada *fin*. No caso dos dispositivos pFinFET, para cada *fin* é necessário aproximadamente $4,7 \text{ } \mu\text{A}$ de corrente normalizada.

Sabendo que a corrente que passa no par-diferencial é uma corrente que se divide igualmente por cada lado do circuito, uma vez que M1 e M2 (nFinFETs) são iguais, bem como M3 e M4 (pFinFETs), a corrente I_D que passa nos dois tipos de dispositivos é a mesma. A equação 19 mostra o cálculo a ser efetuado para se obter a corrente real com base na corrente normalizada.

$$I_D = I_{D \text{ norm}} \times \frac{W_{eff}}{L} \times N_{fins} \quad (19)$$

onde I_D é a corrente real, $I_{D \text{ norm}}$ é a corrente normalizada, W_{eff} é a largura efetiva do canal, L a largura do canal e N_{fins} é a quantidade de *fins*.

Sabendo que no circuito em questão a corrente I_D é a mesma nos dois tipos de dispositivo, bem como as dimensões (W_{eff} / L), o resultado da equação 19, levando em consideração os dois tipos de dispositivo é dado pela equação 20.

$$I_{D \text{ norm}} P \times N_{fins} P = I_{D \text{ norm}} N \times N_{fins} N \quad (20)$$

Assim sendo, a equação 21 mostra o cálculo efetuado para chegar à quantidade de fins dos dispositivos pFinFET com base nas correntes normalizadas e quantidade de fins dos dispositivos nFinFET.

$$N_{fins} P (W_{fin} = 20 \text{ nm}, \text{pré} - \text{rad}) \approx \frac{6,1}{4,7} \times 5 \approx 6,5 \quad (21)$$

Verifica-se, então, que os dispositivos pFinFETs (M3 e M4) deveriam ter entre 6 e 7 fins para se aproximarem da corrente e eficiência dos dispositivos nFinFETs (M1 e M2). Sendo assim e conforme a variação esperada e calculada, a quantidade de N_{fins} dos dispositivos pFinFET (M3 e M4) foi arredondada e ajustada para 7, em todos os casos (W_{fin} de 20 nm, 120 nm e 870 nm). Este ajuste foi efetivo, fazendo com que a eficiência (gm/I_D) dos dispositivos M1, M2, M3 e M4 se mantivessem em valores próximos de 8 V^{-1} , conforme confirmação no próprio ambiente de simulação (Cadence Virtuoso com simulação no Spectre).

Seguindo o padrão de metodologia de projeto já citado anteriormente, o transistor do segundo estágio (M6) possui 70 fins, valor este 10 vezes maior que o transistor do primeiro estágio conforme já explicado anteriormente e seguindo o método gm/I_D a transcondutância do segundo estágio foi escolhida como 10 vezes a transcondutância do primeiro estágio, já que este tipo de prática é comum para garantia de estabilidade na realimentação (ALLEN; HOLBERG, 2012). A partir deste ponto, uma vez que há uma maior complexidade nos circuitos apresentados, todos os ajustes necessários para alcance dos valores de corrente e eficiência desejados nos dispositivos foram executados no próprio ambiente de simulação.

Na inserção do espelho de corrente, caso apresentado no segundo circuito, o transistor M5 então foi ajustado para 10 fins, já que a corrente que ele espelhará deverá ser suficiente para se dividir entre o par-diferencial, onde M1 e M2 possuem 5 fins cada. Da mesma forma, M8 foi ajustado para 10 fins, de forma a ficar simétrico a M5. Este caso não ocorre para os circuitos formados por dispositivos de W_{fin} de 870nm, conforme explicado no anteriormente no texto do presente trabalho. Para o caso de M7, também, houve ajuste da quantidade de fins para valores menores que 10 vezes o tamanho M1 e M2. Todos estes ajustes foram realizados visando manter a eficiência dos dispositivos amplificadores (M1, M2, M3, M4 e M6) na eficiência pré-definida de 8 V^{-1} , uma vez que a função do circuito espelho de corrente é espelhar a corrente de referência proveniente da fonte de corrente ideal.

Por fim, ao retirar a fonte de corrente ideal e inserir os transistores M9 e M10 no circuito de polarização (caso do último circuito apresentado), também se buscou

dentro do próprio ambiente de simulação a quantidade de *fins* dos dispositivos que garantisse a eficiência pré-definida nos estágios amplificadores.

APÊNDICE B – MODELO VERILOG-A N-FINFET

```
// VerilogA for FinFET_N, FinFET_N, veriloga
`include "constants.vams"
`include "disciplines.vams"

module FinFET_N (d, s, fg, bg);
  inout d, s, fg, bg;
  electrical d, s, fg, bg;

  parameter real w = 20, rad = 0, n = 5;
  // w assume 20, 120 ou 870 // rad = 0(sem radiacao) e rad = 1(com radiacao)
  // n = 5 numero inicial de Nfins
  real ID, gm, gd, gm_ld, Av, cgs, cgd, cgg, ft;

  analog begin
    if (rad == 0) begin

      if (w == 20) begin
        ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w20.tbl", "1CC,1CC;1");
        gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w20.tbl", "1CC,1CC;2");
        gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w20.tbl", "1CC,1CC;3");
        cgs = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w20.tbl", "1CC;1");
        cgd = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w20.tbl", "1CC;2");
      end

      else if (w == 120) begin
        ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w120.tbl", "1CC,1CC;1");
        gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w120.tbl", "1CC,1CC;2");
        gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w120.tbl", "1CC,1CC;3");
        cgs = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w120.tbl", "1CC;1");
        cgd = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w120.tbl", "1CC;2");
      end

      else if (w == 870) begin
        ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w870.tbl", "1CC,1CC;1");
        gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w870.tbl", "1CC,1CC;2");
        gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_srad_w870.tbl", "1CC,1CC;3");
        cgs = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w870.tbl", "1CC;1");
        cgd = (n/5) * $table_model (V(fg, s), "n_capacit_srad_w870.tbl", "1CC;2");
      end
    end
  end
end
```

```

end
end

else if (rad == 1) begin

if (w == 20) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w20.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w20.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w20.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w20.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w20.tbl", "1CC;2");
end

else if (w == 120) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w120.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w120.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w120.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w120.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w120.tbl", "1CC;2");
end

else if (w == 870) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w870.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w870.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "n_vd_vg_rad_w870.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w870.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "n_capacit_rad_w870.tbl", "1CC;2");
end

end

cgg = cgs+cgd;
I(d, s) <+ ID;
I(fg, d) <+ cgd*ddt(V(fg,d));
I(fg, s) <+ cgs*ddt(V(fg,s));
gm_Id = gm/ID; // Calculo da eficiencia do transistor
Av = gm/gd; // Calculo do ganho intrinseco
ft = gm/(M_TWO_PI *cgg); // Calculo de fT

end
endmodule

```

APÊNDICE C – MODELO VERILOG-A P-FINFET

```
// VerilogA for FinFET_P, FinFET_P, veriloga
`include "constants.vams"
`include "disciplines.vams"

module FinFET_P (d, s, fg, bg);
inout d, s, fg, bg;
electrical d, s, fg, bg;

parameter real w = 20, rad = 0, n = 5;
// w assume 20, 120 ou 870 // rad = 0(sem radiacao) e rad = 1(com radiacao)
// n = 5 numero inicial de Nfins
real ID, gm, gd, gm_ld, Av, cgs, cgd, cgg, ft;

analog begin
if (rad == 0) begin

if (w == 20) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w20.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w20.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w20.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w20.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w20.tbl", "1CC;2");
end

else if (w == 120) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w120.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w120.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w120.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w120.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w120.tbl", "1CC;2");
end

else if (w == 870) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w870.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w870.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_srad_w870.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w870.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_srad_w870.tbl", "1CC;2");
end
end
end
```

```

end
end

else if (rad == 1) begin

if (w == 20) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w20.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w20.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w20.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w20.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w20.tbl", "1CC;2");
end

else if (w == 120) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w120.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w120.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w120.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w120.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w120.tbl", "1CC;2");
end

else if (w == 870) begin
ID = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w870.tbl", "1CC,1CC;1");
gm = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w870.tbl", "1CC,1CC;2");
gd = (n/5) * $table_model (V(fg, s), V(d, s), "p_vd_vg_rad_w870.tbl", "1CC,1CC;3");
cgs = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w870.tbl", "1CC;1");
cgd = (n/5) * $table_model (V(fg, s), "p_capacit_rad_w870.tbl", "1CC;2");
end

end

cgg = cgs+cgd;
I(d, s) <+ ID;
I(fg, d) <+ cgd*ddt(V(fg,d));
I(fg, s) <+ cgs*ddt(V(fg,s));
gm_Id = gm/ID; // Calculo da eficiencia do transistor
Av = gm/gd; // Calculo do ganho intrinseco
ft = gm/(M_TWO_PI *cgg); // Calculo de fT

end
endmodule

```