Marcelo Bertoldo

Efeitos da Radiação de Prótons em FinFET's de porta tripla de
corpo (Bulk-FinFET).

São Paulo
2016

Marcelo Bertoldo

Efeitos da Radiação de Prótons em FinFET's de porta tripla de corpo
(Bulk-FinFET).

Dissertação de mestrado apresentada
à escola Politécnica da Universidade
de São Paulo para obtenção do título
de mestre em ciências.

São Paulo
2016

Marcelo Bertoldo

Efeitos da Radiação de Prótons em FinFET's de porta tripla de corpo
(Bulk-FinFET).

Dissertação de mestrado apresentada
à escola Politécnica da Universidade
de São Paulo para obtenção do título
de mestre em ciências.

Área de concentração:
Microeletrônica

Orientador:
João Antonio Martino

São Paulo
2016

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de dezembro de 2016

Assinatura do autor

Assinatura do orientador

Catálogo-na-publicação

Bertoldo, Marcelo

Efeitos da Radiação de Prótons em FinFET's de porta tripla de corpo (Bulk FinFET) / M. Bertoldo – VERSÃO REVISADA -- São Paulo, 2016.

97 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.MICROELETRÔNICA 2.TRANSISTORES 3.RADIAÇÃO IONIZANTE
I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Dedico este trabalho à Deus e minha família.

AGRADECIMENTOS

Agradeço ao professor João Antonio Martino pela orientação, dedicação e por acreditar em meu potencial mesmo com pouco tempo de dedicação na realização desta dissertação de mestrado.

A professora Paula Ghedini Der Agopian por toda ajuda durante a realização deste trabalho.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica da USP.

Ao amigo Alberto Vinicius Santos por toda ajuda, apoio e ensinamento durante esses anos.

Aos colegas Tatsuo, Caio, Silvieri, Rangel e Vinicius pela amizade, apoio e companheirismo.

A minha esposa Emanuelle por ter me apoiado, ajudado e me dado ensinamentos importantes e que se não fosse por ela este trabalho não seria realizado.

Aos meus pais Marco e Roseli por toda compreensão nos momentos difíceis.

A todos da Croma Comercial pela compreensão e ajuda nos momentos de ausência.

“Cada sonho que você deixa para trás,
é um pedaço do seu futuro que deixa
de existir”

Steve Jobs

RESUMO

O transistor de efeito de campo por aletas de porta tripla de corpo (Bulk-FinFET) é um dispositivo com aplicações comerciais e possui algumas vantagens sobre os FinFETs de porta tripla SOI (Silício sobre Isolante - *Silicon on Insulator*). Estas vantagens são devidas ao custo da lâmina mais competitivo e maior quantidade de fabricantes de lâmina de silício, além da compatibilidade com processos de tecnologias convencionais de substrato de silício e melhor dissipação térmica.

Aplicações aeroespaciais estão sujeitas à incidência das radiações ionizantes de partículas e eletromagnéticas. Os efeitos permanentes das radiações ionizantes criam cargas positivas nos óxidos dos transistores. São afetados os óxidos de porta e os óxidos de isolamento, podendo levar os transistores a degradação e falha.

Neste trabalho foi avaliado o impacto das radiações ionizantes de prótons de 60 MeV em FinFETs de porta tripla de corpo. O seu desempenho elétrico em aplicações de CIs CMOS analógicos após as radiações ionizantes comparando-os com dispositivos não radiados. Esta radiação possui de uma energia radiante bem maior que as radiações ionizantes presentes nas regiões do espaço visando o estudo do pior caso. Por isso se estes dispositivos funcionarem com essas radiações ionizantes extremas, acreditamos que irão funcionar nas regiões que contêm as radiações ionizantes naturais. Foram estudados FinFET's do tipo-n e do tipo-p. Os dispositivos estudados foram irradiados não polarizados.

Foram extraídas curvas da corrente de dreno em função da tensão aplicada na porta em baixos e altos campos elétricos longitudinais e verticais e avaliado o comportamento dos dispositivos nas regiões de corte e condução. Foi medida também a curva da corrente de dreno em função da tensão aplicada no dreno para a obtenção dos principais parâmetros analógicos, como o ganho de tensão intrínseco, a transcondutância máxima em saturação e a condutância de saída. Todas as curvas foram extraídas para FinFETs de porta tripla de

corpo com diferentes dimensões de comprimentos de canal (35, 70, 130 e 1000 nm) e diferentes larguras das aletas (20, 130 e 1000 nm).

Devido às cargas induzidas no óxido de isolamento pelas radiações ionizantes de prótons, os dispositivos com larguras das aletas mais estreitas apresentaram altas correntes de fuga no dreno na região de corte, tanto com campo elétrico longitudinal decorrente de uma polarização de dreno de 50 mV, quanto para campo elétrico longitudinal decorrente de uma tensão de dreno de 800 mV. Foi observado também, reduções nos valores das tensões de limiar nos dispositivos radiados em torno de 50 mV nos dispositivos estudados quando comparado as condições dos dispositivos pré-radiados. Nos parâmetros analógicos, houve redução significativa no ganho intrínseco de tensão nos dispositivos do tipo-n com maior comprimento de canal após as radiações ionizantes, ao comparar com dispositivos não radiados. O ganho intrínseco de tensão nos dispositivos tipo-n não radiado com comprimento de canal de 1000 nm é em torno de 55 dB. Este valor foi reduzido para cerca de 40 dB nos dispositivos com comprimento de canal de 1000 nm após a radiação. A principal influência na degradação do ganho intrínseco de tensão se deve a alteração da condutância de saída nos dispositivos radiados com comprimento de canal de 1000 nm.

Palavras-chave: FinFET de Corpo, Radiação, MuGFET, Porta Tripla.

ABSTRACT

The bulk triple gate fin field effect transistor (Bulk-FinFET) is a device with commercial application and has some advantages versus triple gate SOI (silicon on insulator) FinFET. These advantages are due to the low cost of wafer and more quantity of manufacturers; also process more compatible with conventional technologies of silicon substrate and better thermal dissipation.

Aerospace applications are subject to particles and electromagnetic ionizing radiation. The permanent effects of ionizing radiation create positive charges on transistor oxide. The gate and isolation oxide are affected by ionizing radiation can lead to degradation and failures.

This work evaluates the influence of 60 MeV proton ionizing radiation in bulk FinFETs. The electrical performance on analog CMOS ICs application after ionizing radiation when compared with non-radiated devices. This radiation has a radiant energy higher than ionizing radiation present on space regions, so this work looks the worst case. So if these devices work with these extreme ionizing radiations, these devices will work in natural environment. It was studied n type and p type FinFETs. The studied devices were irradiated non polarized.

It were extracted figures of drain current in function of gate voltage in low and high, longitudinal and vertical electrical field, was evaluated the devices behavior on off and conduction region. The extracted, also, the figure of drain in function of gate voltage to obtain the main analog parameters, like intrinsic voltage gain, maximum transconductance in saturation and output conductance. All the figures were extracted for tri gate bulk FinFETs with different channel length dimensions (35, 70, 130 and 1000 nm) and different width fins (20, 130 and 1000 nm).

Due induced charges on isolation oxide by proton ionizing radiation, the devices with narrow fins presented high leakage current on off region, in both longitudinal electrical fields, with 50 mV and 800mV polarization in drain voltage. It was observed also, reduction on threshold voltage on radiated devices around 50 mV if compared with non-radiated devices. In the analog parameters has a significant reduction on voltage intrinsic gain on largest

channel length n type devices after ionizing radiation when compared with non-radiated devices. The intrinsic voltage gain on non-radiated n type devices with 1000 nm of channel length is around of 55 dB and this value was reduced to 40 dB on 1000 nm of channel length radiated devices. The main influence on voltage intrinsic gain degradation due to change on output conduction on 1000 nm of channel length radiated devices.

Key-words: Bulk FinFET, Radiation, MuGFET, Triple Gate.

LISTA DE FIGURAS

Figura 1 - Evolução exponencial dos microprocessadores ao longo do tempo do tempo que representa a lei de Moore.....	21
Figura 2 - Posicionamento da tecnologia onde o trabalho está inserido	23
Figura 3 - Efeitos de Canal Curto. (A) Canal longo; (B) Canal Curto	26
Figura 4 - Estrutura do SOI MOSFET Planar	28
Figura 5 - Diagrama de Bandas de Energia do PD SOI MOSFET	30
Figura 6 - Diagrama de Bandas de Energia do Transistor FD SOI MOSFET ..	30
Figura 7 - FinFET de porta dupla	31
Figura 8 – SOI FinFET de Porta Tripla.....	32
Figura 9 - Estrutura do FinFET de Porta Tripla de Corpo (Bulk FinFET).....	34
Figura 10 - Sessões transversais do (a)" π -gate" e (b)" Ω -gate" MuGFETs, respectivamente	35
Figura 11 – MuGFETs A - Porta Quadrupla e B - Porta Circundante.....	36
Figura 12 - Estrutura de FinFETs de porta tripla	37
Figura 13 - Obtenção da tensão Early.....	46
Figura 14 - Cinturões de Van Allen	49
Figura 15 - Cinturões de Van Allen e a AMAS	49
Figura 16 - Vento Solar	50
Figura 17 - Raios Cósmicos Galácticos e a formação de cascatas de partículas	51
Figura 18 - Geração de pares elétrons-lacunas no silício. A - Estrutura MOS convencional e B estrutura SOI.....	52
Figura 19 - Processo de formação das armadilhas no óxido e interface a partir da radiação de partículas	56
Figura 20 - Seção transversal de um transistor planar com óxido STI	58
Figura 21 - Localização do transistor parasitário na estrutura FinFET	59
Figura 22 - $I_D \times V_G$ do dispositivo pré e pós irradiação	60
Figura 23 – Estrutura dos pontos na lâmina estudada	62
Figura 24 – Corrente de dreno normalizada pela largura efetiva da aleta em função a tensão de porta dos FinFETs de porta tripla de corpo (<i>bulk FinFET</i>), tipo n, pré e pós-radiados com radiação de próton, polarização no dreno de 50 mV.....	63

Figura 25 – Corrente de dreno normalizada pela largura efetiva da aleta em função a tensão de porta dos FinFETs de porta tripla de corpo (<i>bulk FinFET</i>), tipo p, pré e pós-radiados com radiação de próton, polarização no dreno de - 50 mV.....	64
Figura 26 - FinFET porta tripla de corpo com cargas no óxido.....	65
Figura 27 – Tensão de limiar em função do comprimento do canal (L), para dispositivos tipo-n e tipo-p, pré e pós-radiado.....	66
Figura 28 – Tensão de limiar em função da largura da aleta (W_{FIN}), para dispositivos tipo-n e p, pré e pós radiado.	67
Figura 29 - Corrente de dreno normalizada pela aleta efetiva em função da tensão de porta para dispositivos pré e pós radiado, com polarização no dreno de +800 mV para dispositivos do tipo n.....	68
Figura 30 - Corrente de dreno normalizada pela aleta efetiva em função da tensão de porta para dispositivos pré e pós radiado, com polarização no dreno de -800 mV para dispositivos do tipo p.	68
Figura 31 – Corrente de dreno na região de sublimiar com $V_{GT} = -950$ mV em função da largura da aleta para os dispositivos pré e pós-radiados do tipo-n..	69
Figura 32 – Corrente de dreno na região de sublimiar com $V_{GT} = 950$ mV em função da largura da aleta para os dispositivos pré e pós-radiados do tipo-p..	70
Figura 33 – Ganho de tensão intrínseca em função do comprimento de canal para transistores tipo p e n, com dispositivos pré e pós-radiados.....	71
Figura 34 – Transcondutância em função do comprimento do canal para n e p, com os dispositivos pré e pós-radiados.	72
Figura 35 – Condutância de saída em função do comprimento do canal para n e p, com os dispositivos pré e pós-radiados	73
Figura 36 - Tensão Early em função do comprimento de canal para n e p, pré e pós radiação.....	73
Figura 37 - Estruturas simuladas (a) $W_{FIN} = 20$ nm; (b) $W_{FIN} = 130$ nm.....	76
Figura 38 – Dispositivos simulados pré e pós radiado com $W_{FIN} = 20$ nm	85
Figura 39 - Corte lateral do dispositivo simulado $W_{FIN} = 20$ nm e $V_D = -0,3$ V. 86	
Figura 40 – Dispositivos simulados pré e pós radiado com $W_{FIN} = 130$ nm	87

LISTA DE ABREVIATURA E SIGLAS.

AMAS	Anomalia Magnética do Atlântico Sul (<i>South America Anomaly</i>)
CMOS	Metal Óxido Semicondutor Complementar (<i>Complementary Metal Oxide Semiconductor</i>)
DELTA	Transistor Totalmente Depletado de canal enxuto (<i>Fully Depleted Lean-channel Transistor</i>)
FDSOI	SOI Totalmente Depletado (<i>Fully Depleted SOI</i>)
FET	Transistor de Efeito de Campo (<i>Field Effect Transistor</i>)
FinFET	Transistor de Efeito de Campo de Aleta (<i>Fin Field Effect Transistor</i>)
GIDL	Fuga no Dreno induzida pela Porta (<i>Gate Induced Drain Leakage</i>)
GP	Plano de Terra (<i>Ground Plane</i>)
HfSiO	Silicato de Óxido de Háfio
LOCOS	Silício Oxidado localmente (<i>Local Oxidation of Silicon</i>)
MOS	Metal Óxido Semicondutor (<i>Metal Oxide Semiconductor</i>)
MOSFET	Transistor de Efeito de Campo Metal Óxido Semicondutor (<i>Metal Oxide Semiconductor Field Effect Transistor</i>)
MuGFET	Transistor de Efeito de Campo com Múltiplas Portas (<i>Multiple Gate Field Effect Transistor</i>)
NASA	Agência Espacial Americana (<i>National Aeronautics and Space Administration</i>)
PDSOI	SOI Parcialmente Depletado (<i>Partially Depleted SOI</i>)
RCG	Raios Cósmicos Galácticos
SCE	Efeitos de Canal Curto (<i>Short Channel Effects</i>)
SEB	Evento único de queima (<i>Single-Event Burnout</i>)
SEGR	Evento único de ruptura da porta (<i>Single-Event Gate Rupture</i>)
SEL	Evento Tiristor Parasitário (<i>Single-event latchup</i>)
SES	Evento único de retorno (<i>Single-Event Snapback</i>)
SEU	Perturbação de evento único (<i>Single-event upset</i>)
SiMOX	Separação por implantação de Oxigênio (<i>Separation by Implantation of Oxygen</i>)
SiO ₂	Óxido de silício
SOI	Silício sobre Isolante (<i>Silicon on Isolator</i>)
SOS	Silício sobre Safira (<i>Silicon on Sapphire</i>)
STI	Óxido de Separação das Aletas (<i>Shallow Trench Isolation</i>)

UTBB	Transistor com camada de óxido enterrado e substrato (<i>ultra thin body and buried oxide</i>)
TID	Dose Total Ionizante (<i>Total Ionizing Dose</i>)
TiN	Nitreto de Titânio
XMOS	MOSFET de porta cruzada (<i>Cross Gate MOSFET</i>)

LISTA DE SÍMBOLOS

A_V	Ganho intrínseco de tensão [dB]
C_{OX}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{Si}	Capacitância do silício por unidade de área [F/cm^2]
D	Dose [Gy]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de energia de Fermi [eV]
E_S	Campo elétrico lateral [V/cm]
E_T	Campo elétrico total [V/cm]
E_V	Nível de energia superior da faixa de valência [eV]
g_D	Condutância de saída [S]
g_{DSAT}	Condutância de saída na região de saturação [S]
g_m	Transcondutância [S]
g_{mSAT}	Transcondutância na região de saturação [S]
H_{FIN}	Altura da aleta [nm]
I_D	Corrente de dreno [A]
I_{DSAT}	Corrente de dreno na região de saturação [A]
I_{OFF}	Corrente de dreno no estado desligado [A]
J_{GIDL}	Densidade de GIDL [$A/\mu m^2$]
L	Comprimento de canal [nm]
K	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
n	Fator de corpo [adimensional]
N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
n_i	Concentração intrínseca de dopantes de silício [cm^{-3}]
P	Espaçamento entre aletas [nm]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_{DEPL}	Carga total de depleção do canal por unidade de área [C/cm^2]
Q_{OX}	Carga total no óxido [C/cm^2]
S	Inclinação de sublimiar [mV/Década]
T	Temperatura [K]
t_{OX}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V_B	Tensão de Substrato [V]

V_D	Tensão de Dreno [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de Faixa Plana [V]
V_G	Tensão de Porta [V]
V_{GB}	Tensão de Substrato em SOI MOSFET [V]
V_{GF}	Tensão de Porta em SOI MOSFET [V]
V_{GT}	Diferença entre tensão entre porta e limiar [V]
V_S	Tensão de Fonte [V]
V_T	Tensão de Limiar [V]
W	Largura do canal do transistor [nm]
W_{FIN}	Largura da aleta [nm]
X_{dMAX}	Profundidade máxima de depleção [nm]
α	Coeficiente que relaciona as capacitâncias [adimensional]
ϵ_{OX}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
ϕ_f	Potencial de Fermi da camada de silício [V]
Φ_{MS}	Diferença de função trabalho entre o material de porta e o semiconductor [V]
ϕ_s	Potencial de superfície [V]
λ	Comprimento Natural [μm]
μ	Mobilidade de cargas moveis em um semiconductor [$cm^2/V.s$]
μ_{side}	Mobilidade de cargas moveis em um semiconductor na interface lateral da aleta [$cm^2/V.s$]
μ_{top}	Mobilidade de cargas moveis em um semiconductor na interface superior da aleta [$cm^2/V.s$]
θ	Coeficiente de degradação da mobilidade [V^{-1}]

1	INTRODUÇÃO	20
1.1	OBJETIVO	24
1.2	ESTRUTURA DO TRABALHO.....	24
2	CONCEITOS BÁSICOS	26
2.1	TRANSISTOR DE EFEITO DE CAMPO - MOSFET	26
2.2	TRANSISTORES SOI MOSFET	27
2.2.1	SOI MOSFET Parcialmente Depletado [Partially Depleted (PD) SOI MOSFET].....	28
2.2.2	SOI MOSFET Totalmente Depletado [<i>Fully Depleted</i> (FD) SOI MOSFET].....	29
2.3	TRANSISTORES DE MÚLTIPLAS PORTAS.....	31
2.3.1	SOI FinFET de Porta Dupla.....	31
2.3.2	SOI FinFET de Porta Tripla	32
2.3.3	FinFET de porta tripla de corpo (<i>Bulk FinFET</i>)	33
2.3.4	SOI FinFET de Porta Tripla + (3+).....	34
2.3.5	MuGFET de Porta Quadrupla e Circundante (<i>Nanowire</i>)	35
2.4	PARÂMETROS ELÉTRICOS.....	36
2.4.1	Corrente de dreno.....	36
2.4.2	Tensão de Limiar	38
2.4.3	Transcondutância	41
2.4.4	Inclinação de Sublimiar.....	43
2.4.5	Efeito de canal curto.....	43
2.4.6	Condutância de saída.....	45
2.4.7	Tensão Early	45
2.4.8	Ganho intrínseco de tensão.....	46
2.4.9	Corrente de dreno induzida pela porta (GIDL).....	46
3	EFEITOS DA RADIAÇÕES IONIZANTES EM MOSFETS.....	48
3.1	CINTURÕES MAGNÉTICOS DE VAN ALLEN	48

3.2	ATIVIDADES SOLARES	50
3.3	RAIOS CÓSMICOS GALÁCTICOS.....	51
3.4	EFEITO DAS RADIAÇÕES IONIZANTES EM MOSFETS.....	52
3.4.1	Fenômenos de efeito único.	53
3.4.2	Efeitos da Dose Ionizante Total em MOSFETs	55
4	RADIAÇÕES IONIZANTES POR PRÓTONS EM FINFET DE PORTA TRIPLA DE CORPO (<i>BULK FINFET</i>)	61
4.1	CARACTERÍSTICAS DO DISPOSITIVO	61
4.2	CARACTERÍSTICAS DA RADIAÇÃO UTILIZADA.....	62
4.3	RESULTADOS EXPERIMENTAIS.....	63
5	SIMULAÇÃO NUMÉRICA DOS MOSFETS DE PORTA TRIPLA DE CORPO (BULK) COM E SEM CARGAS NAS INTERFACES.....	74
5.1	SIMULADOR ATLAS.....	74
5.2	MODELOS FÍSICOS UTILIZADOS NA SIMULAÇÃO	74
5.3	ESTRUTURAS SIMULADAS	76
5.4	ESTRUTURA GERADA NO DEVEDIT E SIMULADA NO ATLAS	77
5.4.1	FinFET de corpo sem cargas fixas no óxido, W_{FIN} de 20 nm.....	77
5.4.2	FinFET de corpo sem cargas fixas no óxido, W_{FIN} de 130 nm.....	79
5.4.3	FinFET de corpo com cargas fixas no óxido, W_{FIN} de 20 nm.....	81
5.4.4	FinFET de corpo com cargas fixas no óxido, W_{FIN} de 130 nm	83
5.4.5	Resultados da simulação.....	85
6	CONCLUSÕES FINAIS E PROPOSTAS PARA CONTINUAÇÃO DO TRABALHO	88
6.1	CONCLUSÕES FINAIS.....	88
6.2	PROPOSTA PARA CONTINUAÇÃO DO TRABALHO.....	89
	PUBLICAÇÕES DURANTE O TRABALHO	90
	REFERÊNCIAS.....	91

1 INTRODUÇÃO

Desde a década de 1960, quando o circuito integrado foi fabricado pela primeira vez (1), a eletrônica tem ocupado cada vez mais espaço na vida das pessoas, como nos telefones celulares, computadores, câmeras, etc. Com a evolução da eletrônica surgiram algumas aplicações em novas áreas como automóveis, máquinas de lavar, aviões, aplicações aeroespaciais, etc. além de mais segurança a eletrônica trouxe mais praticidade e novas funcionalidades nestas aplicações. Também têm melhorado os processos industriais, como sensores, robôs que realizam tarefas que pessoas arriscariam sua vida para completarem, etc. Enfim a eletrônica através de circuitos integrados tem auxiliado o desenvolvimento humano e levado à humanidade para limites nunca antes imaginados.

Afim de aumentar a capacidade de processamento, aumentar eficiência energética, diminuir o tamanho dos circuitos integrados e consequentemente diminuir o custo do componente, foi necessária aumentar a integração dos dispositivos em uma mesma lâmina, com isso houve a necessidade de cada vez mais reduzir as dimensões dos transistores. O custo do semicondutor é diretamente relacionado com a área de semicondutor e o número de componentes por área. A indústria microeletrônica é orientada por mais de 50 anos pela Lei de Moore. O avanço contínuo da tecnologia de CIs CMOS (Metal Óxido Semicondutor Complementar – *Complementary Metal Oxide Semiconductor*) levaram a comunidade a utilizar novas estruturas como os transistores de múltiplas portas que tornou possível o nó tecnológico de 14nm (2).

Em 1965 Gordon E. Moore publicou um artigo que enumera alguns pontos críticos no processo de integração de transistores em circuitos integrados. Neste artigo continha a previsão de que a quantidade de transistores em um circuito integrado iria dobrar a cada 12 meses (3), que é chamada de Lei de Moore. Atualmente este número passou para cerca de 18 a 24 meses (4).

Paralelamente à Lei de Moore, um comitê que reúne cientistas de cinco regiões produtoras de semicondutores (Europa, Japão, Coreia, Taiwan e os Estados Unidos), divulga periodicamente uma previsão internacional de evolução tecnológica (ITRS), baseado na relação custo/desempenho (5).

A figura 1 representa a evolução exponencial dos microprocessadores ao longo do tempo do tempo. É possível observar que a Lei de Moore é uma lei exponencial que representa perfeitamente a evolução destes componentes (6).

Figura 1 - Evolução exponencial dos microprocessadores ao longo do tempo do tempo que representa a lei de Moore

Fonte: Adaptado de (6).

Os transistores de efeito de campo (FET) com o escalamento passaram a sofrer de efeitos parasitários, tais como os efeitos de canal curto (que alteram parâmetros como a redução da tensão de limiar, aumento da inclinação de sublimiar e redução da tensão de dreno associadas ao abaixamento de barreira induzida na fonte) (7). Além dos efeitos de canal curto, outros efeitos deveriam

ser suprimidos (como as capacitâncias de junção) ou eliminados (como o disparo do tiristor parasitário da estrutura CMOS). A tecnologia denominada de “silício sobre isolante” (*Silicon On Insulator* - SOI) possui uma camada de óxido (óxido enterrado) entre a região ativa e o substrato do transistor, que conseguiu reduzir ou eliminar tais efeitos do MOS convencional (8).

Além de diminuir os efeitos parasitários indesejáveis, os dispositivos SOI também melhoraram a integração dos transistores e o processo de fabricação dos circuitos integrados, pois para isolar os transistores da tecnologia MOS convencional, era necessário criar cavidades de isolamento e a realização de dopagens de alta dose, entretanto o óxido enterrado dos dispositivos SOI realiza esta isolamento naturalmente (8).

Os primeiros nós tecnológicos dos processos da tecnologia SOI CMOS possuíam a camada de silício sobre isolante espessa. Esse dispositivo é chamado de parcialmente depletado (*Partially Depleted* - PDSOI). Com o escalamento a camada de silício tornou-se fina o suficiente levando este dispositivo a operar no regime totalmente depletado (*Fully Depleted* - FDSOI) (9), que melhorou muito as suas características elétricas.

Com o avanço do escalamento os dispositivos SOI totalmente depletados também começaram a sofrer de efeitos de canal curto. Para melhorar o controle eletrostático da porta, foi desenvolvido em 1989 um dispositivo que possuía duas portas, o qual ficou conhecido como DELTA (*Fully Depleted Lean-channel Transistor*) (10). A evolução do DELTA foi o dispositivo fabricado com porta dupla e geometria não planar, o chamado Transistor de Efeito de Campo de Aleta (*Fin Field Effect Transistor* - FinFET). O FinFET possui óxido de porta espesso no topo da aleta (*fin*). Como evolução natural deste dispositivo foi desenvolvido um transistor com o óxido no topo do dispositivo com a mesma espessura que os óxidos das portas laterais, possuindo assim três portas (chamado de FinFET de porta tripla) e aumentando o controle eletrostático sobre o canal. Os dispositivos de múltiplas portas também podem ser chamados de MuGFET (*Multiple Gate Field Effect Transistor*) (11).

A figura 2 é um gráfico de desempenho em função do tempo e pode ser observado o avanço da tecnologia ao longo do tempo. Nos nós tecnológicos de 130 nm houve o aparecimento do silicato como espaçadores, nos nós tecnológicos de 90, 65 e 45 nm houve o surgimento das técnicas de estressamento de canal, nos nós tecnológicos de 45, 32 e 28 nm os materiais de porta passaram a ser metais como nitreto de titânio, nos nós tecnológicos comerciais atuais novas tecnologias foram implementadas como os transistores de múltiplos canais (MuGFETs) e transistores com finas camadas de óxido enterrado e substrato (*Ultra Thin body and buried oxide - UTBB*). Os dispositivos estudados estão situados neste nó tecnológico.

Figura 2 - Posicionamento da tecnologia onde o trabalho está inserido

Fonte: Adaptado de (12)

Os transistores de porta tripla são tanto fabricados sobre uma lâmina SOI quanto fabricado diretamente sobre um substrato de silício. Os transistores de porta tripla sobre o substrato de silício são atualmente fabricados pela Intel na quarta geração (nó tecnológico de 22 nm) e quinta geração (nó tecnológico de 14 nm) do *Intel Core* (13). Este dispositivo possui vantagens comerciais frente ao SOI, pois por ser fabricado em lâmina convencional de silício (*bulk*), onde o processo de fabricação da lâmina é mais simples, por consequência seu custo é mais baixo e possuem uma gama razoável de fabricantes de lâmina.

A partir do final da década de 1990, surgiu um novo tipo de circuito analógico, chamado de dispositivos analógicos programáveis (FPAA – *Field Programmable Analog Array*) que possibilitou que aplicações até então restritas

ao domínio digital, aplicado até então pelos dispositivos lógicos programáveis (FPGA – *Field Programmable Gate Array*), fossem possíveis também no domínio analógico. As características dos FPAA, como possibilidade de reconfiguração flexível, rápida prototipagem e a possibilidade de implementação de circuitos adaptáveis, eram interessantes em aplicações espaciais.

Os circuitos eletrônicos operando no espaço podem ser expostos a doses significativas de radiação e também podem ser expostos a incidências de partículas pesadas provenientes do sol ou de fora da galáxia. Tal exposição à radiações ionizantes podem ocasionar alterações ou perturbações em sua operação que resultará na falha do dispositivo.

1.1 OBJETIVO

O objetivo deste trabalho é estudar o comportamento digital e analógico do FinFET de porta tripla de corpo após ser submetido à radiações ionizantes de prótons de 60 MeV sendo comparados com os dispositivos não radiados. Serão verificados como a radiação alterou parâmetros tais como corrente de dreno, tensão de limiar e ganho intrínseco de tensão.

Os resultados obtidos experimentalmente foram comparados com os das simulações numéricas a fim de confirmar os diferentes mecanismos dos efeitos das radiações ionizantes nos dispositivos envolvidos.

1.2 ESTRUTURA DO TRABALHO

Este trabalho foi dividido em cinco capítulos, como apresentado a seguir:

Capítulo 1 - Introdução: Apresenta uma breve descrição histórica e contextualiza o transistor de porta tripla de corpo na tecnologia onde está inserido. Foi apresentado os objetivos do trabalho e a estrutura do trabalho.

Capítulo 2 - Conceitos Básicos: Apresenta os conceitos básicos dos MOSFETs, a evolução dos dispositivos até os MuGFETs, com especial atenção aos dispositivos de porta tripla de corpo, a revisão bibliográfica, os parâmetros que

descrevem seu comportamento e uma breve apresentação dos efeitos das radiações ionizantes em FinFETs.

Capítulo 3 - Efeitos da Radiação em dispositivos MOSFET/FinFETs: Apresenta os efeitos permanentes e transitórios das radiações ionizantes com ênfase nos efeitos das radiações de partículas de prótons nos transistores e suas consequências.

Capítulo 4 - Radiação de Prótons em Transistor de Porta Tripla de Corpo: É discutido e analisado neste capítulo os resultados experimentais obtidos no desenvolvimento deste trabalho.

Capítulo 5 - Simulações Numéricas: Serão apresentados os resultados dos efeitos da radiação em FinFETs de porta tripla através de simulações numéricas obtidas pelo simulador Atlas.

Capítulo 6 - Conclusões: Serão apresentados às conclusões deste trabalho e propostas de continuação.

Publicações: Será apresentada a publicação realizada durante este trabalho.

Referências: Serão relacionadas todas as referências utilizadas neste trabalho.

2 CONCEITOS BÁSICOS

Neste capítulo é apresentado um breve histórico da tecnologia de múltiplas portas (MuGFET), onde são abordados diferentes modelos de transistores e discutidos alguns conceitos básicos. Como corrente de dreno, tensão de limiar e ganho intrínseco de tensão. Estes parâmetros são importantes para analisar o comportamento do dispositivo.

2.1 TRANSISTOR DE EFEITO DE CAMPO - MOSFET

O transistor de efeito de campo (*Field Effect Transistor* - FET) do tipo Metal Óxido Transistor (MOS) é um dispositivo que possui uma camada de um metal ou um material condutivo (M) sobre um óxido (O) crescido a partir do substrato do semiconductor (S). A estrutura MOS separa duas junções, a de fonte e a de dreno. O transistor de efeito de campo do tipo MOS é chamado de MOSFET (14).

Com o escalamento das dimensões do transistor, alguns defeitos foram aparecendo, como os efeitos de canal curto. Como podemos verificar na figura 3, com a redução das dimensões dos dispositivos, a fonte e o dreno passaram a controlar uma parcela maior das cargas no canal. A falta de controle da porta sobre essas cargas acarreta alguns problemas, como a da redução da tensão de limiar (V_T) e efeito de perfuração MOS (*punch-through*) (15,16).

Fonte: Autor

Onde V_G é tensão de porta.

2.2 TRANSISTORES SOI MOSFET

Desde a década de 1960 existia uma tecnologia CMOS de circuito integrador onde o transistor era fabricado sobre uma camada isolante, nesta época o isolante era a safira (17). Porém com o avanço da tecnologia, passou a ser usado óxido de silício como isolante. A tecnologia de silício sobre isolante (SOI) era mais utilizada em aplicações aeroespaciais por que o óxido enterrado possui a capacidade de isolar a região ativa do transistor da região do substrato do transistor, o que o tornava ele mais imune de efeitos transitórios das radiações ionizantes (18) e a grandes variações de temperatura (19).

O óxido enterrado além de isolar a região ativa (canal) do transistor do substrato, também diminuem a influência da região de depleção proveniente do dreno e fonte fazendo com que os efeitos de canal curto fossem reduzidos. As capacitâncias internas do transistor são menores no SOI, pois o óxido enterrado cria uma capacitância em série com as demais capacitâncias (8).

A figura 4 representa a estrutura básica de um transistor SOI MOSFET onde t_{ox} é a espessura do óxido de porta, t_{BOX} é a espessura do óxido enterrado, t_{Si} é a espessura da região do canal, L é o comprimento de canal e W é a largura do canal. As tensões que polarizam o transistor são tensão de fonte (V_S), tensão de dreno (V_D), tensão na porta (V_{GF}) e tensão de substrato (V_{GB}).

Convenciona-se chamar de 1ª interface, a região entre o óxido de porta e o canal, a 2ª interface como sendo entre o filme de silício onde o canal é formado e o óxido enterrado e a 3ª interface como sendo entre o óxido enterrado e o substrato. As regiões de depleção na região do canal (1ª e 2ª interfaces) podem sofrer interação entre si, dependendo de t_{Si} (7).

Figura 4 - Estrutura do SOI MOSFET Planar

Fonte: Autor

2.2.1 SOI MOSFET Parcialmente Depletado [Partially Depleted (PD) SOI MOSFET]

Os dispositivos onde não há interação entre as regiões de depleção proveniente da 1ª e da 2ª interfaces, devido ao t_{Si} ser mais espesso que duas vezes a máxima profundidade da camada de depleção ($x_{dmáx}$) (7), ou seja:

$$t_{Si} \geq 2 \cdot x_{dmáx} \quad (1)$$

Onde a profundidade máxima da camada de depleção ($x_{dmáx}$) pode ser definida pela equação (2):

$$x_{dmáx} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{qN_a}} \quad (2)$$

Onde o potencial de Fermi (ϕ_F) ser definido pela equação (3):

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) \quad (3)$$

Nas equações acima ϵ_{Si} é a permissividade do silício, q é carga elementar do elétron, k é a constante de Boltzmann, T é a temperatura, N_a é a concentração dos dopantes aceitadores (do corpo) e n_i é a concentração intrínseca dos portadores do silício.

Na região neutra entre as duas regiões de depleção pode haver um contato elétrico (contato de corpo) que deixará o dispositivo com o mesmo comportamento de um MOSFET implementado até a tecnologia convencional (bulk). Caso não exista contato elétrico nesta região, a região neutra estará em flutuação, que irá favorecer o aparecimento de efeitos parasitários como o efeito de elevação abrupta de corrente de dreno (*kink effect*) e o efeito bipolar parasitário entre a fonte e o dreno (20).

O diagrama de bandas de energia do transistor parcialmente depletado é representado pela figura 5, onde E_C é o nível de energia dos portadores móveis de carga de condução, E_f é o nível de Fermi e E_V é o nível de valência, x_{d1} é a espessura região de depleção da primeira interface, x_{d2} é a espessura região de depleção da segunda interface, V_{GF} é a tensão na porta e V_{GS} é a tensão no substrato.

2.2.2 SOI MOSFET Totalmente Depletado [*Fully Depleted* (FD) SOI MOSFET]

Os transistores totalmente depletados possuem t_{Si} mais fino que máxima profundidade da camada de depleção ($x_{dmáx}$), ou seja:

$$t_{Si} < x_{dmáx} \quad (4)$$

A camada de silício ficará totalmente depletada quando a tensão aplicada na porta (V_G) for igual à tensão de limiar, não dependendo da tensão aplicada no

substrato (V_B) (7). O FD SOI com a 2ª interface depletada possui características mais interessantes quando comparado ao PD SOI, como aumento da transcondutância (21), diminuição da inclinação de sublimar, redução dos efeitos de canal curto (22), eliminação do efeito de elevação abrupta de corrente (23), redução do campo elétrico (24), etc.

Figura 5 - Diagrama de Bandas de Energia do PD SOI MOSFET

Fonte: Autor, adaptado de (7)

A figura 6 representa o diagrama de bandas de energia do SOI MOSFET totalmente depletado.

Figura 6 - Diagrama de Bandas de Energia do Transistor FD SOI MOSFET

Fonte: Autor, adaptado de (7)

2.3 TRANSISTORES DE MÚLTIPLAS PORTAS

No sentido de aumentar a corrente e melhorar os efeitos de canal curto (25), os dispositivos SOI evoluíram da estrutura clássica com uma única porta, para estruturas com múltiplas portas (dispositivos porta dupla, tripla ou quadrupla). Nesta seção serão apresentados os dispositivos com múltiplas portas e suas características.

2.3.1 SOI FinFET de Porta Dupla

A primeira publicação que relatava um dispositivo de porta dupla data de 1984 e o dispositivo era conhecido por XMOS (26), que possuía um excelente controle eletrostático das cargas na camada de silício. Este dispositivo tinha o canal horizontal e as suas portas eram uma em cima e a outra embaixo do transistor. Como pode ser observado na figura 7.

O FinFET (figura 6) é uma evolução do DELTA (27), e possui um óxido espesso aplicado sobre a aleta (*fin*) do transistor. O FinFET com a aplicação deste óxido espesso possui controle das cargas no silício somente pelas portas laterais (28).

Figura 7 - FinFET de porta dupla

Fonte: Autor

2.3.2 SOI FinFET de Porta Tripla

Os transistores de porta tripla são uma evolução do FinFET de porta dupla. Este dispositivo possui a mesma espessura do óxido de porta em todo transistor, logo o transistor tem controle de cargas nas três faces da camada vertical de silício, melhorando o controle de cargas (29), como apresentado na figura 8.

Figura 8 – SOI FinFET de Porta Tripla

Fonte: Autor

As dimensões do transistor de porta tripla são comprimento de canal (L), altura da aleta (H_{FIN}) e largura da aleta (W_{FIN}), a largura do canal é dada pela soma das dimensões de cada canal, ou seja, $W = W_{FIN} + 2 \cdot H_{FIN}$. A condução de corrente de dreno total do dispositivo é dominada tanto pelas portas laterais quanto pela porta superior. A proporção de corrente de dreno depende da relação das dimensões entre a largura e a altura da aleta (26).

Para aletas mais finas, $W_{FIN} < H_{FIN}$, a condução de cargas depende mais dos canais laterais. Para aletas com $W_{FIN} = H_{FIN}$, a condução de corrente será tanto pelas laterais quanto pelo canal superior, já para aletas largas, $W_{FIN} > H_{FIN}$, a condução de corrente de dreno será pelo canal superior (30).

No transistor de porta tripla há um aumento de cargas nos cantos devido ao compartilhamento de cargas de cada porta, este efeito é chamado de efeito de

canto (29). Este efeito faz com que ocorra uma inversão de cargas prematuramente nessas regiões. Devido à inversão prematura nessa região, surge uma tensão de limiar referente aos cantos das aletas (31). Porém este efeito é somente representativo se a dopagem do canal for maior que 10^{17} cm^{-3} . Caso contrário pode ser desprezado (32).

Além do SOI MOSFET porta tripla, também é fabricado o MOSFET de porta tripla de corpo (*bulk FinFET*), que não possui óxido enterrado entre a região ativa e a região de substrato (33).

2.3.3 FinFET de porta tripla de corpo (*Bulk FinFET*)

O MOSFET de porta tripla de corpo (*bulk*) possui algumas diferenças quanto ao SOI, como plano de terra (*Ground Plane*) que é uma implantação de alta dose de dopantes abaixo da aleta a fim de isolar a região ativa do restante do substrato (34). O óxido de isolamento (STI - *Shallow Trench Isolation*) é utilizado para separar uma aleta da outra (35). No MOSFET SOI não há necessidade de plano de terra e STI, pois o óxido enterrado naturalmente faz a função de isolamento.

Apesar de o processo de fabricação do transistor de porta tripla de corpo possuir mais etapas, o que aumenta o seu custo, o preço mais vantajoso e um número maior de fabricantes da lâmina pode tornar a fabricação desses transistores uma opção mais interessante (36), pois o fabricante do Bulk FinFET não irá depender apenas de poucos fornecedores de lâmina.

Além da opção de custo, outras vantagens do transistor de porta tripla de corpo em comparação com o SOI MOSFET de porta tripla como, menor densidade de defeitos, melhor transferência de calor e maior compatibilidade com dispositivos convencionais de corpo (*bulk*) (37).

A figura 9 ilustra o MOSFET de porta tripla de corpo (*bulk*). A aleta é diretamente conectada ao substrato, não existindo óxido enterrado, porém entre a região ativa e o substrato e é realizada uma implantação de dopantes em alta dose que isola a região ativa do substrato. Onde L é o comprimento do canal, W_{FIN} é a largura da aleta e H_{FIN} é a altura da aleta.

Figura 9 - Estrutura do FinFET de Porta Tripla de Corpo (Bulk FinFET)

Fonte: Autor

2.3.4 SOI FinFET de Porta Tripla + (3+)

Foram feitas algumas melhorias nos dispositivos de porta tripla, estes dispositivos possuem uma extensão nos eletrodos de porta logo abaixo da camada de silício fazendo com que as portas nestes dispositivos possuem maior acoplamento eletrostático, pois essa extensão da porta induz campo elétrico vertical por baixo da camada de silício, bloqueando o campo elétrico do dreno e fonte. As atuações destas extensões funcionam como uma pseudo quarta porta. Com o aumento do número de portas, a inclinação de sublimiar melhora, pois o controle da porta sobre os canais é mais efetivo (38).

Os dispositivos mais conhecidos são o “ π -gate” (39) e “ Ω -gate” (40), como podem ser vistos na figura 10.

Figura 10 - Sessões transversais do (a) " π -gate" e (b) " Ω -gate" MuGFETs, respectivamente

Fonte: Autor

2.3.5 MuGFET de Porta Quadrupla e Circundante (*Nanowire*)

A porta desses transistores envolve totalmente a região ativa do transistor. Os dispositivos que possuem a camada de silício em paralelogramo, são chamados de dispositivos de porta quadrupla e dispositivos com a camada de silício cilíndrico (*nanowire*), são chamados de dispositivos com a porta circundante (41).

O MuGFET de porta quadrupla deve ser especialmente projetado para que as quatro portas interajam com a mesma participação, para isso as quatro faces devem ter a mesma dimensão (42).

Os dispositivos com a porta circundante possuem o melhor controle eletrostático do canal com relação ao MuGFET porta quadrupla.

A figura 11 representa os dispositivos com porta que cobre toda camada de silício.

Figura 11 – MuGFETs A - Porta Quadrupla e B - Porta Circundante

Fonte: Autor

2.4 PARÂMETROS ELÉTRICOS

Esta seção apresenta os principais parâmetros elétricos dos MuGFETs, que serão utilizados ao longo do trabalho. A característica mais relevante que será discutida é a corrente de dreno na região de corte do transistor, pois esta apresentou anomalias devido às radiações ionizantes por prótons.

2.4.1 Corrente de dreno

A corrente de dreno nos dispositivos de múltiplas portas é essencialmente igual à soma das correntes de todas as interfaces cobertas pelo eletrodo de porta. Portanto a corrente de dreno em um dispositivo de múltiplas portas é igual a corrente de dreno de um transistor de porta simples multiplicado pelo número de portas (assumindo dispositivo com seção quadrada), caso os portadores possuam a mesma mobilidade em todas as interfaces, mas normalmente não são (7).

Por exemplo, a corrente de dreno de um dispositivo de porta dupla é, em primeira aproximação, o dobro de um transistor planar com o comprimento de canal e largura equivalentes. Em dispositivos múltiplas-portas, as aletas individuais têm a mesma altura e largura. Resultando em um valor de corrente fixo, discreto, para um dado comprimento de canal. Para conduzir altos valores de correntes de dreno, são usados dispositivos com múltiplas aletas. A corrente

de dreno em dispositivos de múltiplas aletas é igual ao valor da corrente de dreno de uma única aleta multiplicado pelo número de aletas (7), como pode ser visto na figura 12.

Figura 12 - Estrutura de FinFETs de porta tripla

Fonte: Autor

Ao assumir que um dispositivo MuGFET construído em orientação cristalina (100) sua mobilidade de topo é dada por μ_{top} , enquanto que as interfaces laterais podem ter mobilidade diferente a de topo, dependendo da orientação cristalina, usualmente (110) e é notada como μ_{side} (25).

A corrente total de dreno (I_D) dos dispositivos de múltiplas aletas é a somatória das correntes de dreno de um dispositivo multiplicado pelo número de aletas. O espaçamento (P) é comprimento da largura de uma aleta mais o espaço até a próxima aleta e ao considerar a mobilidade em cada interface, a corrente total de dreno pode ser escrita pela equação (5)

$$I_D = I_{D0} \frac{\theta \mu_{top} W_{Fin} + 2 \mu_{side} H_{Fin}}{\mu_{top} P} \quad (5)$$

Onde:

I_{D0} é a corrente de dreno de um MOSFET planar;

W_{FIN} é a largura da aleta dos transistores de múltiplas portas;

H_{FIN} é a altura da aleta dos transistores de múltiplas portas e;

θ é o coeficiente de degradação da mobilidade.

Para dispositivos com porta tripla $\theta=1$, pois a corrente flui nas três interfaces e dispositivos com porta dupla $\theta=0$, pois o canal é formado apenas pelas portas laterais.

2.4.2 Tensão de Limiar

A tensão de limiar (V_T) é a tensão aplicada na porta (V_G) onde as cargas majoritárias irão se acumular na região do canal de modo que um canal de condução irá se formar entre a fonte e o dreno do transistor (43).

Na tecnologia MOS planar, a tensão de limiar acontece quando o potencial de superfície (ϕ_s) é aproximadamente igual a duas vezes a energia de fermi ($2\phi_F$) (7) e pode ser descrita pela equação (6).

$$V_T = V_{FB} + 2\phi_F - \frac{Q_{depl}}{C_{OX}} \quad (6)$$

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (7)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (8)$$

$$Q_{depl} = -q \cdot N_A \cdot x_{dmax} \quad (9)$$

Onde V_{FB} é a tensão de faixa plana, descrita pela equação (7), C_{OX} é a capacitância do óxido de porta por unidade de área e é descrita pela equação (8) e Q_{depl} é a carga total de depleção no canal por unidade de área e é descrita pela equação (9). Φ_{MS} é a diferença das funções trabalho do metal de porta e o

semicondutor, Q_{OX} é a densidade de cargas fixas por unidade de área no óxido de porta e ϵ_{OX} é a permissividade dielétrica do óxido.

Os dispositivos SOI parcialmente depletados com contato de corpo (filme de silício) se comportam como um MOSFET convencional e sua tensão de limiar pode ser escrita da mesma forma que a equação (6), porém nos dispositivos SOI totalmente depletados, a tensão de limiar deve-se levar em conta a região de depleção da 2ª interface e as equações que descrevem o comportamento do dispositivo é a do modelo de Lim & Fossum (44).

A relação da tensão de porta (V_G) entre o potencial de superfície é dado pela equação (10) (8).

$$V_{GF} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{OX1}} \phi_{S2} - \frac{Q_{depl} + Q_{inv1}}{2C_{OX1}} \quad (10)$$

Os parâmetros com índice 1 se referem aos parâmetros da 1ª interface e os parâmetros com índice 2, ao da 2ª interface.

A equação (11) descreve a relação entre a tensão de substrato (V_B) e o potencial de superfície (9):

$$V_{GB} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \frac{C_{Si}}{C_{OX2}} \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{OX2}}\right) \phi_{S2} - \frac{Q_{depl} + Q_{S2}}{2C_{OX2}} \quad (11)$$

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (12)$$

Onde:

C_{Si} é a capacitância do filme de silício e é descrita pela equação;

C_{OX} é a capacitância do óxido de porta;

Q_{OX} é a densidade de cargas fixas na interface;

Q_{inv} é a densidade de cargas na região da camada de inversão no canal;

Q_S é a densidade de cargas no canal da 2ª interface;

Φ_{MS} é a diferença da função trabalho entre metal e semiconductor;

ϕ_s é o potencial de superfície;

ϵ_{Si} é a permissividade do silício.

Para a expressão da tensão de limiar (V_T) no dispositivo SOI totalmente depletado temos que levar em consideração a condição da 2ª interface (7):

A tensão de limiar com a 2ª interface em acumulação ($V_{T1,acc2}$), temos $\phi_{S2} = 0$, $Q_{inv1} = 0$ e $\phi_{S1} = 2\phi_F$, portanto:

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (13)$$

A tensão de limiar com a 2ª interface invertida ($V_{T1,inv2}$), temos ϕ_{S1} e $\phi_{S2} = 2\phi_F$ e $Q_{inv} = 0$, portanto:

$$V_{T1,inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (14)$$

A tensão de limiar com a 2ª interface depletada ($V_{T1,depl2}$), temos Q_{inv} e $Q_{S2} = 0$ e $\phi_{S1} = 2\phi_F$, entretanto ϕ_{S2} entra em uma condição diferenciada, onde sempre será maior que 0, porém nunca será $2\phi_F$, a equação da tensão de limiar será:

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})} (V_{GB} - V_{GB,acc}) \quad (15)$$

Paras os transistores de múltiplas portas a tensão de limiar (V_T) não segue nenhuma das equações apresentadas acima, porque a inversão da camada de silício não ocorre na inversão forte e pode a ocorrer inversão do canal em pontos diferentes da aleta (8).

$$V_T = \phi_S^* + V_{FB} + \frac{kT\alpha}{q} \frac{1}{\delta} \sqrt{1 + \frac{\delta}{\alpha}} \quad (16)$$

Onde:

ϕ_S^* é o potencial de superfície de inversão fraca, ou seja, $<2\phi_F$ e é dado pela equação (17) (7) como pode ser observado

$$\phi_S^* = 2\phi_F + \frac{kT}{q} \ln \left[\delta \frac{1}{1 - e^{-\alpha}} \right] \quad (17)$$

Onde α e δ são relações entre as capacitâncias do MOSFET, dados pela equação (18) e (19).

$$\alpha = \frac{q}{kT} \cdot \frac{Q_{depl}}{8C_{Si}} \quad (18)$$

$$\delta = \frac{C_{OX1}}{4C_{Si}} \quad (19)$$

2.4.3 Transcondutância

A transcondutância (g_m) de um MOSFET é o quanto as cargas são acopladas pela porta, ou seja, a transcondutância mede a capacidade que a porta pode controlar as cargas do canal. A transcondutância no MOSFET pode ser descrita pela equação (20) (7).

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (20)$$

O modelo de Lin & Fossum descreve as equações de transcondutância para os SOI MOSFET nas regiões de saturação (g_{mSAT}) e triodo ($g_{mTRIODO}$) do transistor.

$$g_{mSAT} = \frac{\mu_N C_{OX}}{n} \frac{W}{L} (V_{GS} - V_T) \quad (21)$$

$$g_{mTRIODO} = \frac{\mu_N C_{OX} W}{L} \cdot V_{DS} \quad (22)$$

Podemos verificar que a transcondutância é dependente da mobilidade dos portadores (μ_N) e da geometria do transistor, W é a largura do canal e L é o comprimento de canal e n é o fator de corpo.

Dependendo do tipo de transistor, o fator de corpo (n) pode ser determinado como pode ser observado. O fator de corpo para o MOSFET convencional e o SOI parcialmente depletado (n_{MOS}) (45) pode ser visto na equação (23)

$$n_{MOS} = 1 + \frac{C_{depl}}{C_{OX}} \quad (23)$$

O fator de corpo para o transistor SOI totalmente depletado com a 2ª interface acumulada (n_{acc}) (45) é dado pela equação (24)

$$n_{acc} = 1 + \frac{C_{Si}}{C_{OX}} \quad (24)$$

No transistor SOI totalmente depletado com a 2ª interface depletada o fator de corpo (n_{depl}) (45) é dado pela equação (25)

$$n_{depl} = 1 + \frac{C_{Si}C_{OX}}{C_{OX}(C_{Si} + C_{OX2})} \quad (25)$$

Onde, C_{OX2} é a capacitância do óxido enterrado por unidade de área.

A relação entre os valores de n para os diferentes tipos de transistor é:

$$n_{depl} < n_{MOS} < n_{acc}$$

Pela equação da transcondutância na região de tródo (22) é possível fazermos uma aproximação da mobilidade em baixo campo elétrico, pois a região é pouco influenciada pelo campo elétrico lateral.

2.4.4 Inclinação de Sublimiar

A inclinação de sublimiar (S) é o quanto de tensão de porta (V_G), na região de sublimiar, é necessária para aumentar a corrente de dreno (I_{DS}) em uma década (7). A inclinação de sublimiar (7) pode ser definida pela equação (26)

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (26)$$

Sabemos que a corrente de difusão é predominante na região de sublimiar, assim é possível utilizar a equação (27) para determinarmos a inclinação de sublimiar.

$$S = \frac{kT}{q} \ln(10)n \quad (27)$$

O fator de corpo (n) indica o controle da porta sobre o potencial da 1ª interface, quanto menor esse valor, melhor será a inclinação de sublimiar, resultando melhor desempenho em aplicações de CI CMOS digitais (7).

O transistor SOI totalmente depletado possui fator de corpo menor que o do MOSFET planar, como visto anteriormente, apresentando então melhor inclinação de sublimiar. Já os MOSFETs de múltiplas portas tem fator de corpo muito próximos do ideal, deixando a o valor da inclinação de sublimiar próximo de 60 mV/dec, seu valor teórico em temperatura ambiente (46).

2.4.5 Efeito de canal curto

O efeito de canal curto (SCE – *Short Channel Effects*) está relacionado com a redução do comprimento de canal dos dispositivos, fazendo com que a porta perca o controle das cargas no canal. As camadas de depleção referente ao dreno e fonte tornam-se mais significativas em relação a região de depleção controlada pela porta. A redução dos valores de V_T e aumento de S é visto como consequência do efeito de canal curto (47).

A partir da distribuição do potencial do canal em dispositivos planar SOI totalmente depletados, que é regida pela equação de Poisson, pode-se extrair um parâmetro conhecido como comprimento natural do dispositivo (λ), este parâmetro λ depende das espessuras do óxido de porta e do filme de silício, respectivamente para prevenir o efeito de canal curto é recomendado que o comprimento efetivo do canal seja maior de 5 a 10 vezes o comprimento natural (48).

Como pode ser observado nas equações (28), (29), (30) e (31), quanto maior o número de portas menor será o comprimento natural, reduzindo, portanto os efeitos de canal curto (7).

Comprimento natural (λ_1) para dispositivos planar pode ser visto na equação (28)

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{OX}}} t_{Si} t_{OX} \quad (28)$$

Nas equações (29), (30) e (31) podem ser vistos o comprimento natural dos dispositivos de porta dupla (λ_2), dispositivos com porta quádrupla (λ_4) e comprimento natural para dispositivos com porta circundante (λ_0) (7).

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{OX}}} t_{Si} t_{OX} \quad (29)$$

$$\lambda_4 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{OX}}} t_{Si} t_{OX} \quad (30)$$

$$\lambda_o = \sqrt{\frac{2\epsilon_{Si} t_{Si}^2 \ln\left(1 + \frac{2t_{OX}}{t_{Si}}\right) + \epsilon_{OX} t_{Si}^2}{16\epsilon_{OX}}} \quad (31)$$

2.4.6 Condutância de saída

A condutância de saída (g_D) é o determinante que mede a resistências parasitárias, como resistência série e resistência do canal. Este parâmetro define o quanto a corrente de dreno varia com a tensão de dreno. A corrente de saída ideal deveria se manter constante com qualquer variação da tensão de dreno (49) resultando em condutância de saída nula. A condutância de saída pode ser calculada pela equação (32).

$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (32)$$

Ao resolvermos a equação (32) na região de saturação sob a modelagem da corrente de dreno da equação (33), obteremos a equação (34).

$$I_{DS_{SAT}} = \frac{\mu_N C_{OX} W}{2(n) L} (V_{GS} - V_T)^2 \cdot \left(1 + \frac{V_{DS}}{V_{EA}}\right) \quad (33)$$

$$g_{D_{SAT}} = \frac{\mu_N C_{OX} W}{2(n) L} (V_{GS} - V_T)^2 \cdot \frac{1}{V_{EA}} \quad (34)$$

Onde V_{EA} é a Tensão Early e n neste caso é o número de portas e pode ser dado por $n=1+\alpha$.

Como podemos verificar, a condutância de saída não depende de V_{DS} e seu valor será constante quando o transistor estiver na região de saturação.

2.4.7 Tensão Early

A tensão Early (V_{EA}) é a extrapolação da curva da corrente de dreno na região de saturação para grandes valores da tensão de porta até que esta intercepte o eixo das tensões (7). A tensão Early representa o efeito da modulação de canal devido a polarização entre o dreno e a fonte (7), pode ser calculado pela equação (35).

$$V_{EA} \cong \frac{I_{DS_{SAT}}}{g_{D_{SAT}}} \quad (35)$$

A partir da extrapolação através de uma reta tangente à curva da corrente de dreno em função da tensão de dreno ($I_D \times V_D$) da região de saturação até a interseção com o eixo da tensão de dreno (V_D), determina-se a tensão Early, Quando $V_D = -V_{EA}$, como pode ser observado na figura 13 (49).

2.4.8 Ganho intrínseco de tensão

O ganho intrínseco de tensão (A_V) mostra a eficiência do transistor ao controlar a fonte de corrente ao considerar a resistência de saída, limitando assim o ganho dos amplificadores operacionais. Este é um dos principais parâmetros dos circuitos integrados analógicos. O ganho pode ser descrito pela equação (36).

$$|A_V| = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} \cdot V_{EA} \quad (36)$$

2.4.9 Corrente de dreno induzida pela porta (GIDL)

A corrente de fuga de dreno induzida pela tensão aplicada na porta (GIDL – *Gate induced drain leakage*) trata-se do tunelamento de elétrons de banda para

banda que acontece na região de dreno abaixo da porta (49) quando a tensão na porta tem alta intensidade e sentido inverso ao sentido de inversão do canal. Nos dispositivos do tipo n os portadores disponíveis são elétrons e estes seguem para o dreno, enquanto as lacunas seguem para o eletrodo de menor potencial (fonte, neste caso). A densidade de GIDL (J_{GIDL}) pode ser modelada pela equação (37)

$$J_{GIDL} = A_G \cdot E_T^2 \cdot e^{\left(-\frac{B_G}{E_T}\right)} \quad (37)$$

Onde:

A_G é um parâmetro pré-exponencial

B_G é um parâmetro físico, pré-exponencial (tipicamente entre 23 e 70 MV/cm)

E_T é o campo elétrico total (25).

A maior componente do campo elétrico é o campo elétrico transversal (E_s), que poderá ser obtido através da equação (38):

$$E_s = \frac{V_{DG} - V_{FB} - 1,2}{3t_{OX1}} \quad (38)$$

Onde, V_{DG} é a tensão entre a porta e o dreno.

3 EFEITOS DA RADIAÇÕES IONIZANTES EM MOSFETS

Neste capítulo é analisado os principais tipos de radiações ionizantes e sua influência nos MOSFETs

3.1 CINTURÕES MAGNÉTICOS DE VAN ALLEN

Os principais tipos de radiações ionizantes que podem causar algum dano aos MOSFETs e aos circuitos integrados são aqueles relacionados às partículas, como prótons, elétrons, nêutrons, partículas alfa e íons pesados, e aqueles relacionados à radiação eletromagnética, raios-X e raios gama (51).

As principais fontes de radiações ionizantes são de origens espaciais, são aquelas geradas pelos cinturões magnéticos de Van Allen, tais quais aqueles relacionados as atividades solares e aos raios cósmicos.

Os cinturões magnéticos de Van Allen são regiões do espaço no entorno da Terra repletas de elétrons, prótons e baixa quantidade de íons pesados. Os cinturões magnéticos são formados devido à interação do campo elétrico com os ventos solares (52).

A figura 14 mostra o esquema dos dois cinturões magnéticos de Van Allen, o cinturão interno, que possui elétrons com energias menores (abaixo de 5 MeV) e possui altitude entre 100 km e 10.000 km e o cinturão externo contém elétrons com energia na ordem de 7 MeV, com altitude variando aproximadamente entre 20.000 km e 60.000 km (50). O cinturão externo apresenta fluxo mais variável e intenso que o cinturão interno. Os cinturões podem ser também de prótons de alta energia (52).

Devido à magnetosfera terrestre, as linhas de campo magnético sofrem uma influência na distribuição do fluxo de partículas, fazendo que ocorra uma anomalia, chamada de Anomalia Magnética do Atlântico Sul (AMAS ou SAA – *South Atlantic Anomaly*). Esta anomalia forma um tipo de depressão sobre o sul do Brasil devido à aproximação das linhas de campo. A ocorrência desta depressão se deve à diferença entre o centro do dipolo magnético e o centro geográfico da terra, observando os eixos magnéticos e de rotação. Na região

onde ocorre AMAS, o cinturão de Van Allen alcança menores altitudes, penetrando inclusive na atmosfera terrestre, como podemos observar na figura 15. A AMAS é a maior responsável pela radiação incidente em satélites de baixa órbita (51).

Figura 14 - Cinturões de Van Allen

Fonte: NASA

Figura 15 - Cinturões de Van Allen e a AMAS

Fonte: Agência Espacial Européia

3.2 ATIVIDADES SOLARES

A energia emitida pelo sol também é responsável por grande parte das radiações ionizantes. Cerca de metade desta energia é emitida como luz visível na parte mais alta do espectro e o restante como infravermelho próximo e como radiação ultravioleta (53).

O sol possui atividade cíclica, com período de 11 anos, compreendido por 7 anos de alta atividade e 4 anos de baixa atividade (54). Quando o sol está no semiciclo de baixa atividade as explosões solares geralmente emitem íons pesados em uma quantidade relativamente menor que os raios cósmicos galácticos. Entretanto no período de alta atividade, podem ocorrer explosões solares em eventos isolados que emitem íons pesados até 4 vezes mais que nos períodos de baixa atividade, gerando fluxos de íons maiores que os observados nos raios cósmicos galácticos, por alguns dias (51).

As explosões solares emitem íons pesados de alta energia, além de partículas alfa e elétrons (54).

O vento solar é outro evento associado ao sol. Os elétrons são excitados a ponto de serem ejetados do sistema gravitacional solar, devido à altíssima temperatura da coroa solar (55). Este fluxo de elétrons cria um desbalanceamento de cargas na superfície do sol resultando então na ejeção de prótons e íons pesados. O vento solar, figura 16, é composto por 95% de prótons, 4% de íons de Hélio e 1 % de outros íons pesados. A quantidade de elétrons é igual à de prótons de tal sorte que o vento solar é eletronicamente neutro (51).

Figura 16 - Vento Solar

Fonte: Inpe

3.3 RAIOS CÓSMICOS GALÁCTICOS

As regiões entre as galáxias são repletas de partículas energéticas que são chamados de raios cósmicos, cuja composição é de 85% de prótons, 4% de partículas alfa e 1% de íons pesados. Os raios cósmicos galácticos (RCG) possuem energia tipicamente na ordem de 10 GeV em seu núcleo e podem chegar próximos a Terra com energias na ordem de 1 GeV (56).

Nos períodos de alta atividade solar a incidência de RCGs é menor do que em períodos de baixa atividade, então pode-se dizer que a atividade solar regula a influência de RCGs que incidem sobre a atmosfera terrestre (56).

Os raios cósmicos provenientes da galáxia possuem partículas nucleares com muitos bilhões de elétron-volt, que ao chegar à atmosfera terrestre colidem com oxigênio e nitrogênio. Os fragmentos desta colisão irão se espalhar criando cascatas em avalanche de partículas, atravessando então a atmosfera terrestre (57). A cascata secundária é composta partículas de alta energia como nêutrons, prótons, elétrons e raios gama, píons e múons. As últimas partículas têm tempo de vida curto e não conseguem atingir a terra. Os fluxos de prótons e elétrons são atenuados pela atmosfera, logo as partículas com alta energia que podem perturbar circuitos eletrônicos são os nêutrons.

A figura 17 representa a incidência do RCG na superfície da terra e a formação das cascatas de partículas.

Figura 17 - Raios Cósmicos Galácticos e a formação de cascatas de partículas

Fonte: NASA

3.4 EFEITO DAS RADIAÇÕES IONIZANTES EM MOSFETS

Diversas aplicações estão sujeitas as interferências causadas pelas radiações ionizantes, como aquelas relacionadas às aplicações aeroespaciais e a aplicações médicas, com destaque para equipamentos de tratamento contra o câncer (58).

Os efeitos das radiações ionizantes em estruturas MOSFETs podem ser permanentes ou transitórios, dependendo do tipo de radiação ao qual o dispositivo é submetido (nêutrons, partículas ou radiação eletromagnética). Nos efeitos transitórios, os íons radiados ao colidir com o dispositivo afetam a região de depleção. Este efeito cria uma distorção e gera pares elétrons-lacunas ao longo do rastro iônico (59). Os dispositivos SOI são mais imunes aos efeitos transitórios devido ao óxido enterrado isolar a região ativa do substrato do transistor (7), como pode ser visto na figura 18.

Figura 18 - Geração de pares elétrons-lacunas no silício. A - Estrutura MOS convencional e B estrutura SOI

Fonte: Adaptado de (7)

Os efeitos permanentes das radiações ionizantes podem criar uma quantidade de cargas parasitárias nos óxidos de porta e óxidos isoladores dos dispositivos, o que pode levar a degradação e/ou falha destes dispositivos. Esta alteração

induz cargas tanto em óxido de silício (SiO_2), quanto em óxidos alternativos de alto coeficiente dielétrico (*high-k*), bem como óxidos de campo, e óxidos enterrados em dispositivos SOI (17). Os dispositivos SOI MOSFETS (FinFETS) sofrem maior degradação aos efeitos permanentes que os dispositivos MOS devido a presença do óxido enterrado (59).

As aplicações aeroespaciais estão potencialmente suscetíveis às radiações ionizantes, como os cinturões de Van Allen, a anomalia magnética do atlântico sul, os ventos solares e os raios cósmicos, tanto para aviões quanto para satélites.

Os SOI MOSFETs apresentam grande resistência aos efeitos transitórios decorrentes de radiações ionizantes. Existem diferentes efeitos da radiação dependendo do tipo de radiação (como nêutrons, prótons, elétrons íons pesados, radiação eletromagnética, etc.) (7) em que os dispositivos são submetidos. Os MOSFETs são relativamente insensíveis à radiação de nêutrons, porém são sensíveis a exposição de fenômenos de efeito único (transitórios) e efeitos permanentes (7).

A seguir esses efeitos serão detalhados e discutidos.

3.4.1 Fenômenos de efeito único.

Existem diversos tipos de eventos singulares, estes efeitos são em geral transitórios, a seguir estão os principais efeitos (60).

- Perturbação de evento único (*Single-event upset – SEU*)

O SEU é causado pela penetração de uma partícula com energia, como partículas alfa ou íons pesados em um dispositivo. Ao penetrar uma junção reversamente polarizada e que possui camada de depleção no substrato, um rastro de plasma é produzido ao longo do caminho da partícula, que irá gerar pares elétrons-lacunas. A presença deste rastro temporário irá colapsar a camada de depleção no traço e na vizinhança deste, podendo ocasionar mudança de estado lógico dos dispositivos. Estes efeitos são considerados transitórios, pois após algum tempo os pares elétrons-lacunas irão se recombinar (7).

Os elétrons gerados pelo rastro da partícula irão mover-se em direção a junção e as lacunas em direção ao substrato, criando uma corrente de substrato. Esses elétrons que moveram para a junção irão temporariamente aumentar a corrente de dreno transitória que poderá alterar a mudança de estado lógico. O tamanho do rastro deixado pela partícula é em ordem de 10 micrometros e seu tempo de duração é fração de nanossegundos (7).

Os SOI MOSFETs também poderão sofrer com a colisão de partículas ionizadas, que irão criar rastro. Entretanto, devido à presença do óxido enterrado (isolando a região ativa do substrato), as cargas geradas no substrato não influenciarão as junções do MOSFETs SOI e somente os elétrons da região ativa que afetarão (7).

- Evento Tiristor Parasitário (SEL – *Single-event latchup*)

O SEL pode ser causado pela colisão de íons pesados em substratos dos MOSFETs sobre a junção n-p-n-p parasitária. O SEL será desencadeado pelo excesso de corrente na base de cada transistor bipolar parasitário criado a partir da colisão de íons pesados. A duração do SEL é de nanossegundos e pode causar dano permanente no dispositivo. Nos SOI MOSFETs, a estrutura n-p-n-p não pode ser criada, logo em SOI MOSFET o SEL não existe (7).

- Outros eventos únicos

Existem outros eventos únicos que causam danos permanentes, mas que atingem dispositivos específicos como MOSFETs e transistores de potência bipolares ou MOSFETs (7), são eles:

Evento único de queima (SEB – *Single-Event Burnout*)

Evento único de ruptura da porta (SEGR – *Single-Event Gate Rupture*)

Evento único de retorno (SES – *Single-Event Snapback*)

3.4.2 Efeitos da Dose Ionizante Total em MOSFETs

Os efeitos de dose ionizante total (TID – *Total Ionizing Dose*) são efeitos permanentes causados pelo acúmulo de cargas no óxido de porta e nos óxidos isolantes. Seus efeitos dependem do tempo e intensidade da exposição (61).

A unidade de medida utilizada para dose absorvida é gray (Gy) e é definida como 1 joule de energia depositados em um quilograma de material. A unidade equivalente ao Gy no sistema SI é rad (radiation absorbed dose) e 1 Gy equivale a 100 rads (51).

Os óxidos são mais suscetíveis ao TID do que a região ativa dos MOSFETs atuais. As cargas (geralmente positivas) geradas no óxido de porta finos (tecnologia atual) pela radiação são menores devido a espessura do óxido, fazendo com que sejam rapidamente conduzidas para fora do óxido por tunelamento. Os óxidos de porta finos são vulneráveis aos efeitos relacionados à fuga de corrente de dreno, enquanto os óxidos de porta mais espessos como os óxidos com alto coeficiente dielétrico (*high-k*) são mais sensíveis aos efeitos da radiação ionizante (61).

Os prótons e/ou elétrons com alta energia ao penetrar no óxido de porta ou nos óxidos de isolamento, podem ionizar seus átomos gerando pares elétrons-lacunas. Quando esses pares são criados com energia maior que o mínimo necessário, por avalanche, estes criarão novos pares elétron-lacuna, desta maneira um simples incidente de fóton, elétron ou próton podem criar centenas de pares elétrons-lacunas. O mecanismo pelo qual a degradação ocorre é mostrado no diagrama de bandas de um MOSFET tipo n na figura 19. Os elétrons se movem rapidamente (em picossegundos) para a porta, enquanto que as lacunas seguirão em direção a interface Si/SiO₂. As lacunas irão se mover em direção a interface Si/SiO₂ através do óxido. As lacunas ao se aproximarem da interface serão em parte armadilhadas, formando armadilhas de cargas positivas no óxido (61).

Acredita-se que os íons de hidrogênio (prótons) são lançados como lacunas através do óxido de isolamento e estes ficam presos próximo a interface Si/SiO₂

formando armadilhas de interface. Quando a tensão de porta é próxima a tensão limiar, as cargas armadilhadas na interface são predominantemente cargas positivas para MOSFETs tipo p e negativas para MOSFETs tipo n (61).

Figura 19 - Processo de formação das armadilhas no óxido e interface a partir da radiação de partículas

Fonte: Autor adaptado de (42)

Após a geração dos portadores de carga no óxido, alguns pares elétrons-lacunas irão recombinar-se devido ao efeito de ionização. Este efeito é chamado de recombinação inicial. A taxa de recombinação é dependente dos campos elétricos verticais e longitudinais que atravessam o óxido, além de depender também da massa e da carga energética da partícula incidente (60).

O número de lacunas que são geradas nos óxidos, tanto nos óxidos de porta quanto nos óxidos de isolamento, são em função do campo elétrico longitudinal, da taxa acumulada de radiação (N_h), do material e das dimensões do óxido (62) e pode ser expressa pela equação (39):

$$N_h = f(E_{ox})g_0Dt_{ox} \quad (39)$$

Onde:

$f(E_{ox})$ é a taxa de geração de lacunas que não sofre recombinação inicial em função do campo elétrico aplicado;

g_0 é um parâmetro que expressa a densidade inicial de pares de portadores gerados em função da intensidade da radiação. Este parâmetro depende do material e para o SiO_2 é 8.1×10^{12} pares/ cm^3/rad ;

D é a dose (em rad) na qual o dispositivo é submetido.

O armadilhamento de cargas na interface e no óxido depende do campo elétrico aplicado. Uma pequena quantidade de cargas será aprisionada na interface Si/SiO₂ sob polarização de campo elétrico negativo, já que as lacunas tendem a migrar em sentido oposto ao da interface (61).

As armadilhas de interface podem trocar cargas com o semicondutor em escalas curtas de tempo, aumentando o ruído intrínseco do dispositivo e quando o transistor estiver cortado pode inverter a polarização na interface gerando um caminho para o fluxo de corrente de dreno (61). Esta inversão possibilita um caminho para o fluxo de corrente de dreno, gerando uma fuga de corrente, que irá aumentar a potência estática do dispositivo (61).

Além da fuga de corrente de dreno, as cargas armadilhadas no óxido (N_{ot}) e na interface (N_{it}) também serão responsáveis por desvios na tensão de limiar dos MOSFETs, causando degradação da mobilidade de portadores (62).

Os óxidos de isolamento são muito mais espessos que os óxidos de porta. Diferentemente dos óxidos de porta, que são crescidos através de um processo de oxidação térmica, os óxidos de isolamento são produzidos usando uma variedade de processos de deposição, por isso os parâmetros de armadilhamento não são bem controlados e podem ser consideravelmente maiores que os óxidos de porta (57).

Existem dois tipos diferentes de isoladores, LOCOS (*Local Oxidation of Silicon*) e STI (*Shallow Trench Isolation*), a técnica LOCOS foi utilizada por muitos anos, mas atualmente foi substituída pelo STI. Em MOSFETs, cargas positivas induzidas pela radiação formam uma camada tipo-p no óxido de campo junto ao substrato, então uma região tipo-n se formará no substrato e irá conduzir corrente de fuga por este caminho, isto é chamado de efeito borda (*edge effect*) (62).

A figura 20 ilustra as cargas armadilhadas no STI e a formação da camada de cargas sobreposta em dispositivos MOSFET planares.

Figura 20 - Seção transversal de um transistor planar com óxido STI

Fonte: Autor adaptado de (61)

O óxido de campo forma um transistor parasitário em paralelo com o dispositivo principal. A tensão de limiar do transistor parasita é relativamente alta nos dispositivos pré-radiados, porém as cargas positivas induzidas pela radiação irão fazer com que a tensão de limiar do transistor parasitário diminua consideravelmente. Se a tensão de limiar do transistor parasita diminuir o suficiente para que o dispositivo parasitário atue primeiro que o principal, isso irá gerar uma corrente de fuga na região de corte do transistor (60).

A figura 21 representa o transistor de porta tripla com cargas implantadas no óxido de isolamento (STI) pelos efeitos das radiações ionizantes. As cargas na interface do STI/aleta faz com que o transistor parasitário que aparece na junção entre porta lateral, STI e aleta tenha sua tensão de limiar reduzida. Assim o transistor parasitário entra em operação primeiro que o transistor principal.

Figura 21 - Localização do transistor parasitário na estrutura FinFET

Fonte: Autor

A figura 22 ilustra a curva I_D em função de V_G do MOSFET principal e do MOSFET parasitário antes e depois da irradiação.

Os dispositivos SOI possuem óxido enterrado que estão expostos à radiação ionizante onde as cargas positivas induzidas pela radiação irão se armadilhar na interface do óxido enterrado fazendo com que inverta a 2ª interface portanto formando um caminho para a corrente de fuga entre o dreno e a fonte (61).

Os dispositivos totalmente depletados possuem a 1ª e 2ª interfaces bem acopladas, por isso o acúmulo de cargas no óxido enterrado irá gerar uma diminuição da tensão de limiar do dispositivo (63).

A resposta à radiação em óxidos enterrados depende muito do processo de fabricação. Os dois processos comuns de fabricação, implantação de oxigênio (SIMOX) e adesão de lâminas oxidadas (*wafer bonding*) geram inúmeros defeitos no óxido enterrado, portanto é mais propícia a acumulação de armadilhas proveniente da radiação (61).

Figura 22 - $I_D \times V_G$ do dispositivo pré e pós irradiação

Fonte: Autor adaptado de (56)

As cargas induzidas pela radiação em estruturas de múltiplas portas SOI são severamente reduzidas devido ao bom controle de cargas da porta sobre os canais. O impacto dos efeitos da radiação nas características elétricas é desprezível. E os dispositivos de múltiplas portas podem resistir a altas doses de radiações ionizantes. O formato da porta ao redor da região ativa do silício reduz a quantidade de cargas abaixo do canal. A penetração do campo elétrico lateral no óxido enterrado força as lacunas geradas pela indução de radiação para as portas laterais, onde tem o armadilhamento de cargas tem menor impacto no dispositivo (61).

4 RADIAÇÕES IONIZANTES POR PRÓTONS EM FINFET DE PORTA TRIPLA DE CORPO (*BULK FINFET*)

Neste capítulo é apresentado o estudo do comportamento dos MOSFETs de porta tripla de corpo (*bulk*) após irradiação por prótons de energia de 60 MeV. O foco do estudo será a corrente de fuga na região de corte.

Foi utilizada a energia de 60 MeV, por se tratar de uma energia muito mais alta que as encontradas no espaço. Logo esta é uma quantidade de energia extrema e se os MOSFETs não falharem após a aplicação desta energia, irá funcionar para qualquer energia de radiação a que forem submetidos (análise de pior caso).

Os parâmetros analógicos deste dispositivo também são apresentados com demonstração das variações do ganho intrínseco do dispositivo pós-radiado, comparando com dispositivos pré-radiados.

4.1 CARACTERÍSTICAS DO DISPOSITIVO

Os dispositivos utilizados neste trabalho foram fabricados no Imec (Bélgica) com lâmina de silício tipo-p. A concentração de dopantes da lâmina é em torno de $1 \times 10^{15} \text{ cm}^{-3}$. Foram estudados neste trabalho transistores de porta tripla de corpo (*Bulk FinFET*) com três diferentes comprimentos de canal (L), 35 nm, 70 nm e $1 \mu\text{m}$ e três larguras de aleta (W_{FIN}) diferentes, 20 nm, 130 nm e $1 \mu\text{m}$, todas as aletas tem altura (H_{FIN}) de 40 nm. O dielétrico de porta é composto por 1 nm de óxido de silício (SiO_2), 2,1 nm de silicato de óxido de háfnio (HfSiO) e o metal de porta possui 5 nm de nitreto de titânio (TiN). Todas as estruturas têm 5 aletas (*fins*) em paralelo. O espaçamento (P) entre as aletas é de 30 nm. Neste trabalho, foram estudados MOSFETs do tipo n e p.

Foram efetuadas medidas da corrente I_D em baixo campo elétrico, com tensão de dreno (V_D) de 50 mV, variando a tensão da porta (V_G) de -1,2V até 1,2V para os dispositivos tipo-n e de 0,5V até -1,5V para os dispositivos tipo-p, para determinação da curva I_D em função de V_G dos dispositivos na região de triodo. Parâmetros como a tensão de limiar (V_T), a inclinação de sublimiar (S) e transcondutância máxima (g_{mmax}) foram extraídos através dos gráficos da curva

$I_D \times V_G$. Foram realizadas medidas de I_D em alto campo elétrico lateral, com $V_D = 800$ mV e 1,2 V respectivamente, o mesmo intervalo de V_G para baixo campo elétrico foi aplicado nessa análise, para determinarmos as curvas $I_D \times V_G$ dos dispositivos em saturação. Parâmetros como condutância de saída (g_D), transcondutância do dispositivo em saturação (g_{msat}), tensão Early (V_{EA}) e ganho intrínseco de tensão (A_V) foram extraídos do dispositivo operando na região de saturação. Também foi gerado o gráfico de $I_D \times V_D$ com a diferença entre tensão de porta e de limiar (V_{GT}) em 200 mV, este gráfico é fundamental para a extração dos parâmetros analógicos.

Os dados experimentais foram obtidos de através de medições no Agilent B1500 – Analizador de Parâmetros de Dispositivos Semicondutores em temperatura ambiente no laboratório de sistemas integráveis da Escola Politécnica da USP.

4.2 CARACTERÍSTICAS DA RADIAÇÃO UTILIZADA

Os dispositivos foram submetidos à radiação de prótons de 60 MeV com uma fluência de 10^{12} cm^{-2} em três áreas adjacentes de 8 cm de diâmetro cada uma. A lâmina possui 12” de diâmetro. O processo foi realizado no Cíclotron em Louvain-la-Neuve (Bélgica).

Figura 23 – Estrutura dos pontos na lâmina estudada

Fonte: Autor

A figura 22 representa a lâmina que foi utilizada neste trabalho. As regiões Superior (T), Central (C) e Inferior (B) foram submetidas às radiações ionizantes por prótons, enquanto as regiões Esquerda (L) e Direita (R) foram mantidas sem radiação.

4.3 RESULTADOS EXPERIMENTAIS

A figura 24 mostra a corrente de dreno (I_D) normalizada pela largura efetiva da aleta ($W_{\text{eff}} = W_{\text{FIN}} + 2H_{\text{FIN}}$) em função da tensão de porta (V_G) para o transistor de porta tripla de corpo do tipo n comparando os dispositivos pré e pós-radiados com duas larguras de aleta (W_{FIN}) diferentes (20nm e 130nm), todos os dispositivos desta curva possuem comprimento do canal (L) igual a 130nm. Os dispositivos operam em baixo campo elétrico lateral ($V_D = 50$ mV). A figura 25 compara os dispositivos do tipo p nas mesmas condições que os dispositivos da figura 24.

Figura 24 – Corrente de dreno normalizada pela largura efetiva da aleta em função a tensão de porta dos FinFETs de porta tripla de corpo (*bulk FinFET*), tipo n, pré e pós-radiados com radiação de próton, polarização no dreno de 50 mV.

Fonte: Autor

Embora os dispositivos estreitos de porta tripla SOI sejam geralmente mais insensíveis à radiação, neste trabalho o transistor de porta tripla de corpo tipo n

(fig. 24) estreito ($W_{\text{FIN}} = 20\text{nm}$) apresentou alta corrente fuga de dreno na região de corte após a irradiação. Este comportamento inesperado está relacionado com a condução parasitária que ocorre na região de interface silício/STI devido ao aumento das cargas induzidas pela radiação de prótons no óxido de isolamento, como representado na figura 27.

Figura 25 – Corrente de dreno normalizada pela largura efetiva da aleta em função a tensão de porta dos FinFETs de porta tripla de corpo (*bulk FinFET*), tipo p, pré e pós-radiados com radiação de próton, polarização no dreno de - 50 mV.

Fonte: Autor

Os transistores com largura aleta de 130 nm possuem implantação do plano de terra mais efetivo que os transistores com largura da aleta de 20 nm, diminuindo assim a influência do transistor parasitário. No transistor de corpo canal p (fig. 25) os efeitos da radiação são aparentemente independentes da dimensão da aleta. O V_T do transistor parasitário é mais negativo que o principal, logo o transistor principal passa a operar antes do transistor parasitário, portanto não observamos a influência nestes dispositivos.

O FinFET de porta tripla canal n com largura da aleta igual a 20 nm apresentou inclinação de sublimiar (S) degradada devido a curva de corrente de dreno deste transistor ser uma combinação das inclinações de sublimiar do transistor principal e do transistor parasitário. Visto que o transistor parasitário é um transistor com inclinação de sublimiar pior ($\gg 60 \text{ mV/dec}$) e com capacidade de corrente de dreno bem menor que o transistor principal. Por isso não se

observa um valor apropriado da inclinação de sublimar nem do transistor principal em nem do parasitário.

A inclinação de sublimar do dispositivo tipo-p não é afetada pela radiação, por que como observado anteriormente, o transistor principal atua primeiro que o transistor parasitário, fazendo com que os efeitos da radiação não sejam percebidos.

Figura 26 - FinFET porta tripla de corpo com cargas no óxido

Fonte: Autor

A figura 27 apresenta a tensão de limiar em função do comprimento do canal (L) para os dispositivos do tipo-n e p, comparando-os com radiados e não radiados e a figura 28 apresenta V_T em função da largura da aleta (W_{FIN}), para os mesmos dispositivos apresentados na figura 25. É apresentado o resultado de medida em 3 amostras com L diferentes, com o respectivo desvio padrão. Nas figuras 27 e 28 podemos observar que o transistor de porta tripla canal p não apresentou variação na tensão de limiar, antes e após a irradiação para todas as dimensões e também não foi observado efeitos de canal curto na faixa dos dispositivos estudados. Porém, o transistor de porta tripla canal n apresenta uma sutil redução dos valores de V_T após a irradiação (~ 50 mV) comparando-se com os dispositivos não radiados. A redução dos valores de V_T é relativo às cargas positivas armadilhadas no STI (62). Além disso, na figura

25 para os dispositivos tipo-n, também pode-se observar uma redução de V_T com a diminuição de L causado pelos efeitos de canal curto, que está presente em todos os dispositivos tanto pré quanto pós-radiados.

Comparando os dispositivos estreitos e largos do tipo-n (figura 28), é perceptível observar que a tensão de limiar altera-se com a variação da largura da aleta, devido ao confinamento de cargas causado pela implantação de plano de terra, provocando um aumento de V_T , quando se altera o valor de W_{FIN} tanto para os dispositivos radiados quanto para os dispositivos não radiados. Não se observou a influência significativa da radiação em dispositivos do tipo-p.

Figura 27 – Tensão de limiar em função do comprimento do canal (L), para dispositivos tipo-n e tipo-p, pré e pós-radiado.

Fonte: Autor

O FinFET de porta tripla canal n com largura da aleta igual a 20 nm apresentou inclinação de sublimiar (S) degradada devido a curva de corrente de dreno deste transistor ser uma combinação das inclinações de sublimiar do transistor principal e do transistor parasitário. Visto que o transistor parasitário é um transistor com inclinação de sublimiar pior ($\gg 60$ mV/dec) e com capacidade de corrente de dreno bem menor que o transistor principal. Por isso não se observa um valor apropriado da inclinação de sublimiar nem do transistor principal nem do parasitário.

A inclinação de sublimiar do dispositivo tipo-p não é afetada pela radiação, por que como observado anteriormente, o transistor principal atua primeiro que o transistor parasitário, fazendo com que os efeitos da radiação não sejam percebidos.

Figura 28 – Tensão de limiar em função da largura da aleta (W_{FIN}), para dispositivos tipo-n e p, pré e pós radiado.

Fonte: Autor

A Figura 29 apresenta a corrente de dreno (I_D) em função da tensão de porta (V_G) com o dispositivo polarizado em alto campo elétrico ($V_D = 800$ mV) para os dispositivos do tipo n comparando dispositivos pré e pós-radiados, para dispositivos com largura da aleta (W_{FIN}) de 20 nm e 130 nm, ambos dispositivos tem comprimento de canal (L) com 130 nm. Assim como na curva $I_D \times V_G$ para baixo campo elétrico ($V_D = 50$ mV), também é observado alta corrente de fuga no dreno na região de corte para os dispositivos estreitos devido a condução parasitária de corrente provocada pela atuação do transistor parasitário criado entre a aleta, o STI e as portas laterais. Para os dispositivos não radiados e o dispositivo radiado com largura de aleta de 130 nm, é possível observar fuga de corrente no dreno induzido pela porta (GIDL) na região de sublimiar. A figura 30 apresenta a curva $I_D \times V_G$ com o transistor na região de saturação, para FinFETs tipo p. Nesta figura, não foi observada variação significativa para os dispositivos do tipo p.

Figura 29 - Corrente de dreno normalizada pela aleta efetiva em função da tensão de porta para dispositivos pré e pós radiado, com polarização no dreno de +800 mV para dispositivos do tipo n.

Fonte: Autor

Figura 30 - Corrente de dreno normalizada pela aleta efetiva em função da tensão de porta para dispositivos pré e pós radiado, com polarização no dreno de -800 mV para dispositivos do tipo p.

Fonte: Autor

Nas figuras 29 e 30 foi verificado que a corrente de dreno na região de sublimiar possui alto valor de fuga somente para os dispositivos estreitos ($W_{FIN} = 20\text{nm}$) do tipo-n. Para obter uma análise mais completa sobre a

corrente de fuga anômala observada no dispositivo tipo-n estreito, foi realizada a medição da corrente de dreno em um ponto específico na região de sublimiar (I_{OFF}), este ponto foi definido como a diferença entre a tensão de dreno e de limiar (V_{GT}) de 950 mV, para os dispositivos do tipo n e p.

A figura 31 representa a medida da corrente de dreno na região de sublimiar, para os dispositivos tipo-n comparando os dispositivos pré e pós-radiados. Pode ser observado que os dispositivos pós-radiados estreitos apresentam maior corrente de dreno na região de sublimiar, e que o nível de corrente para o dispositivo com largura da aleta de 130 nm é aproximadamente o mesmo para os transistores pré e pós-radiados.

Figura 31 – Corrente de dreno na região de sublimiar com $V_{GT} = -950$ mV em função da largura da aleta para os dispositivos pré e pós-radiados do tipo-n.

Fonte: Autor

A figura 32 representa a medida de corrente na região de corte dos transistores canal p, no ponto específico onde a diferença entre a tensão de dreno e a tensão de limiar é de 950 mV. Os dispositivos utilizados nesta análise possuem comprimento de canal igual a 130 nm e largura de aleta de 20 nm e 130 nm. A variação do nível de corrente de dreno é praticamente o mesmo para os dispositivos pré e pós-radiados, tanto para os dispositivos com largura de aleta de 20 nm, quanto para o dispositivo com W_{FIN} igual a 130 nm.

A análise dos parâmetros extraídos a partir das curvas da corrente de dreno em função da tensão de porta é possível observar que a influência do transistor parasitário nos dispositivos tipo-n estreito é mais expressiva que nos outros dispositivos analisados, possivelmente devido ao posicionamento do plano de terra localizado abaixo da aleta, isolando a região ativa do substrato. Esta discussão será mais ratificada com as simulações numéricas deste dispositivo.

Figura 32 – Corrente de dreno na região de sublimiar com $V_{GT} = 950 \text{ mV}$ em função da largura da aleta para os dispositivos pré e pós-radiados do tipo-p.

Fonte: Autor

Os transistores de porta tripla de corpo também podem ser utilizados para aplicações analógicas, por isso é muito importante a análise do comportamento dos dispositivos em tal modo de operação quando submetido à radiação. A Figura 33 apresenta a curva do ganho intrínseco de tensão (A_V) em função do comprimento de canal (L) para dispositivos tipo-n e tipo-p, pré e pós-radiado.

A figura 33 mostra que os efeitos da radiação de prótons reduz o valor de A_V para ambos os dispositivos do tipo-n e p, é observado que a degradação do ganho intrínseco de tensão é maior para os dispositivos com comprimento de canal longo ($L = 1000 \text{ nm}$) e estão relacionados com as cargas positivas induzidas pela radiação no óxido STI.

O ganho intrínseco de tensão, como vimos no capítulo 2, é uma relação entre a transcondutância e a condutância de saída. Para uma melhor análise de A_V foi

traçada as curvas de transcondutância e da condutância de saída, ambas na região de saturação para se avaliar qual parâmetro foi mais influenciado após a irradiação de prótons.

Figura 33 – Ganho de tensão intrínseca em função do comprimento de canal para transistores tipo p e n, com dispositivos pré e pós-radiados.

Fonte: Autor

A figura 34 apresenta a transcondutância em saturação em função do comprimento de canal, esta curva mostra a eficiência da porta em controlar o canal. Nos dispositivos pós-radiados foi observada redução da transcondutância em saturação (g_{mSAT}) por todos os dispositivos, porém os dispositivos tipo-n foram mais afetados pelos efeitos da radiação. Esta redução da transcondutância evidencia que as cargas induzidas pela radiação no óxido faz com que o acoplamento eletrostático seja um pouco reduzido após a irradiação dos dispositivos.

A transcondutância depende diretamente da geometria do dispositivo, nesta curva, como a largura da aleta é fixa ($W_{FIN} = 20 \text{ nm}$) e variamos o comprimento de canal, há uma redução da transcondutância para os comprimentos de canal maiores.

A figura 35 apresenta a curva da condutância de saída em função do comprimento de canal (L), para dispositivos tipo-n e p e dispositivos pré e pós-radiados. Pode ser observado que após a radiação há uma maior degradação

nos dispositivos com maior comprimento de canal, tanto para os dispositivos tipo-n, quando comparado à performance do dispositivo com mesma dimensão não radiado. A partir da simulação numérica será esclarecido qual é o mecanismo que influencia o aumento da condução de saída nos dispositivos com maior comprimento de canal.

Figura 34 – Transcondutância em função do comprimento do canal para n e p, com os dispositivos pré e pós-radiados.

Fonte: Autor

A condutância de saída mede as resistências internas do dispositivo, como resistência série. Então quanto menor o valor da condutância de saída, maior será o nível de corrente do transistor.

O ganho intrínseco de tensão, como vimos na seção 2.4.8, é uma relação direta entre a transcondutância (gm) e a condutância de saída (g_D). Como pode-se observar, houve maior influência da condutância de saída na degradação do ganho intrínseco de tensão.

Na figura 36 pode ser observado o comportamento da tensão Early para os FinFETs canal n e p antes e após serem submetidos a radiação. Como discutido anteriormente os FinFETs de canal p não estão sujeitos a radiação devido a imunidade observada. Enquanto que os transistores de canal n sofrem uma grande alteração na tensão Early dos dispositivos com maior comprimento

de canal quando comparamos antes e pós a incidência de radiação, seguindo a tendência observada na condutância de saída.

Figura 35 – Condutância de saída em função do comprimento do canal para n e p, com os dispositivos pré e pós-radiados

Figura 36 - Tensão Early em função do comprimento de canal para n e p, pré e pós radiação

5 SIMULAÇÃO NUMÉRICA DOS MOSFETS DE PORTA TRIPLA DE CORPO (BULK) COM E SEM CARGAS NAS INTERFACES

Neste capítulo são apresentados os resultados a partir dos dados obtidos do simulador Atlas da Silvaco. Os parâmetros geométricos das estruturas tridimensionais criadas foram baseadas nas estruturas reais estudadas experimentalmente diferindo apenas da largura da aleta. Parâmetro do qual se notou diferença no comportamento.

5.1 SIMULADOR ATLAS

O simulador Atlas da Silvaco é um programa de simulações numéricas bi e tridimensionais de dispositivos que pode ser utilizado para simular o comportamento físico e elétrico de transistores MOS e bipolares, capacitores, resistores, diodos e outros dispositivos semicondutores. O simulador é baseado em equações que permitem a obtenção das características elétricas do dispositivo previamente especificado, assim como suas condições de polarização e funcionamento.

Estas simulações seguem uma grade triangular e não linear, na qual é permitido por tanto o modelamento geométrico do dispositivo sendo este planar ou provido de múltiplas portas. Podem ser inseridos elementos adicionais na grade. A quantidade destes elementos é especificada pelo usuário, bem como o potencial ou a concentração de impurezas pode sofrer variações. Eletrodos poderão ser colocados em qualquer lugar na estrutura construída.

São incorporados modelos físicos ao programa que irão prover precisão a simulação, incluindo o modelo de recombinação, foto-geração, ionização por impacto, estreitamento de banda de energia, tunelamento, mobilidade e tempo de vida do portador.

5.2 MODELOS FÍSICOS UTILIZADOS NA SIMULAÇÃO

Os modelos físicos que foram utilizados nestas simulações serão descritos a seguir.

fermi (*Fermi-Dirac*) – Este modelo considera a concentração de portadores reduzida em regiões altamente dopadas (aproximação estatística).

ni.fermi – Este modelo inclui os efeitos da estatística de Fermi no cálculo da concentração intrínseca na expressão da recombinação de SRH.

fldmob – Este modelo considera a dependência da mobilidade com o campo elétrico paralelo. Este modelo é indicado para as aplicações com alta polarização do dreno.

auger – Este é o modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Este modelo é importante para estruturas com altas densidades de correntes de dreno.

bgn (*Bandgap Narrowing*) – Este modelo é aplicado em regiões de alta concentração de dopantes para a modelagem do ganho do transistor do transistor bipolar parasitário ao transistor principal. Deve ser utilizado juntamente com o modelo Klaassen.

consrh (*Concentration Dependent Lifetime SRH*) – Este modelo considera a recombinação de portadores, onde o tempo de vida dos portadores dos portadores depende da concentração.

shi (*Shirahata*) – O Modelo de Shirahata considera os campos elétricos, este é um modelo de mobilidade alternativo. Pode ser combinado com Klaassen.

kla temp=300 (*Klaassen*) – Este é o modelo de mobilidade que inclui dependência com a concentração de portadores, concentração intrínseca de portadores e temperatura. Este modelo aplica diferentes mobilidades para os portadores majoritários e minoritários.

interf – Este modelo adiciona cargas na interface óxido/silício. Este modelo foi utilizado para simular os efeitos da radiação.

5.3 ESTRUTURAS SIMULADAS

Foram criadas estruturas com larguras da aleta (W_{FIN}) de 20 nm e 130 nm. As estruturas estão exemplificadas na figura 36. As características adotadas estão apresentadas na tabela 1.

Figura 37 - Estruturas simuladas (a) $W_{FIN} = 20$ nm; (b) $W_{FIN} = 130$ nm

Fonte: Autor

Tabela 1 - Parâmetros dos FinFETs de corpo simulados

Parâmetros	Valor
Comprimento de canal (L)	130 nm
Largura da aleta (W_{FIN})	20, 130 nm
Altura da aleta (H_{FIN})	40 nm
Espessura do óxido de porta (t_{OX})	3,1 nm
Espessura do STI	160 nm
Concentração de dopantes do canal tipo P (N_A)	10^{15} cm^{-3}
Concentração de dopantes nas extensões de Fonte/Dreno (LDD) tipo N (N_d)	10^{18} cm^{-3}
Concentração de dopantes de Fonte/Dreno tipo N (N_d)	10^{20} cm^{-3}
Concentração de dopantes do plano de terra (N_a)	10^{20} cm^{-3}
Concentração das cargas fixas na interface (Dispositivos irradiados)	2^{18} cm^{-3}

A função trabalho referente ao material de porta adotada foi de 4,7 que equivale ao Nitreto de Titânio (TiN). A função trabalho referente ao substrato adotado foi de 4,95 que equivale ao Silício. Todos os perfis de concentração de dopantes nas junções são abruptos.

5.4 ESTRUTURA GERADA NO DEVEDIT E SIMULADA NO ATLAS

Nesta seção serão apresentadas a programação das estruturas e os valores dos parâmetros adicionados.

5.4.1 FinFET de corpo sem cargas fixas no óxido, W_{FIN} de 20 nm

```
#Dispositivo: BFinFET L130 W20
#Tracar curva iDxVG sem influencia da radiacao de protons
go atlas
#
#Definir mesh
mesh infile=BFF_L130_W20.str
#
#Definir regioes do dispositivo
#
#
region    number=1 x.min=-0.0181 x.max=0.0181 y.min=0
y.max=0.0481 z.min=0.09 z.max=1.09 material=Polysilicon
region    number=2 x.min=-0.0131 x.max=0.0131 y.min=0.005
y.max=0.0481 z.min=0.09 z.max=1.09 material=HfO2
region    number=3 x.min=-0.011 x.max=0.011 y.min=0.0071
y.max=0.0481 z.min=0.02 z.max=1.16 material=SiO2
region    number=4 x.min=-0.19 x.max=0.19 y.min=0.0481
y.max=0.2 z.min=0 z.max=1.18 material=SiO2
region    number=5 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.2 z.min=0 z.max=1.18 material=Silicon
region    number=6 x.min=-0.19 x.max=0.19 y.min=0.2
y.max=0.3 z.min=0 z.max=1.18 material=Silicon
region    number=7 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.024 z.min=0 z.max=0.02 material=Aluminum
region    number=8 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.024 z.min=1.16 z.max=1.18 material=Aluminum
#
#
# Definir eletrodos
#
# 1#-Porta 2#-Fonte 3#-Dreno
#
electrode  name=Gate
electrode  name=Source
electrode  name=Drain
electrode  name=substrate bottom
contact name=Gate workfunction=4.7
contact name=substrate workfunction=4.95
#
```

```

#
#Definir dopagens
#
#Canal
#
doping      uniform conc=1e15  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.09 z.max=0.22
#
#Fonte
#
doping      uniform  conc=1e18 n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.04 z.max=0.09
doping      uniform  conc=1e20 n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0 z.max=0.04
#
#Dreno
#
doping      uniform conc=1e18  n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.22 z.max=0.27
doping      uniform conc=1e20  n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.27 z.max=0.31
#
#Fin + Ground Plane
#
doping      uniform conc=1e18  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0481 y.max=0.0531 z.min=0 z.max=0.31
doping      uniform conc=1e15  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0531 y.max=0.2 z.min=0 z.max=0.31
#
#Substrato
#
doping      uniform conc=1e15  p.type region=6 x.min=-0.19
x.max=0.19 y.min=0.2 y.max=0.3 z.min=0 z.max=0.31
#
#
structure outf=BFF_L130_W20_dop_RAD.str
#
#
model fermi ni.fermi fldmob print auger bgn consrh shi kla
temp=300
#mobility mu0n.shi=400
#
method      newton itlimit=25 trap atrap=0.5 maxtrap=5 autonr
nrccriterion=0.1 \
            tol.time=0.005 dt.min=1e-25
#
solve      init
solveprev
solve      vdrain=0
solve      vdrain=0.0001
solve      vdrain=0.001
solve      vdrain=0.01
solve      vdrain=0.05
#solve      vdrain=0.1
#solve      vdrain=0.4
#solve      vdrain=0.7

```

```

#solve      vdrain=1.0
#solve      vdrain=1.2
#solve      vdrain=1.5
#
#
log   outf=BFF_L130_W20_Rad.log
#
solve vgate=-1.2 vstep=0.01 name=gate vfinal=1.2
#
quit

```

5.4.2 FinFET de corpo sem cargas fixas no óxido, W_{FIN} de 130 nm

```

#Dispositivo: BFinFET L130 W130
#Tracar curva iDxVG sem influencia da radiacao de protons
go atlas
#
#Definir mesh
mesh  infile=BFF_L130_W130.str
#
#Definir regioes do dispositivo
#
#
region  number=1 x.min=-0.0731 x.max=0.0731 y.min=0
y.max=0.0481 z.min=0.09 z.max=1.09 material=Polysilicon
region  number=2 x.min=-0.0681 x.max=0.0681 y.min=0.005
y.max=0.0481 z.min=0.09 z.max=1.09 material=HfO2
region  number=3 x.min=-0.066 x.max=0.066 y.min=0.0071
y.max=0.0481 z.min=0.02 z.max=1.16 material=SiO2
region  number=4 x.min=-0.19 x.max=0.19 y.min=0.0481
y.max=0.2 z.min=0 z.max=1.18 material=SiO2
region  number=5 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.2 z.min=0 z.max=1.18 material=Silicon
region  number=6 x.min=-0.19 x.max=0.19 y.min=0.2
y.max=0.3 z.min=0 z.max=1.18 material=Silicon
region  number=7 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.024 z.min=0 z.max=0.02 material=Aluminum
region  number=8 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.024 z.min=1.16 z.max=1.18 material=Aluminum
#
#
# Definir eletrodos
#
# 1#-Porta 2#-Fonte 3#-Dreno
#
electrode  name=Gate
electrode  name=Source
electrode  name=Drain
electrode  name=substrate bottom
contact name=Gate workfunction=4.7
contact name=substrate workfunction=4.95
#
#
#Definir dopagens

```

```

#
#Canal
#
doping      uniform conc=1e15  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.09 z.max=0.22
#
#Fonte
#
doping      uniform  conc=1e18 n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.04 z.max=0.09
doping      uniform  conc=1e20 n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0 z.max=0.04
#
#Dreno
#
doping      uniform conc=1e18  n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.22 z.max=0.27
doping      uniform conc=1e20  n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.27 z.max=0.31
#
#Fin + Ground Plane
#
doping      uniform conc=1e18  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0481 y.max=0.0531 z.min=0 z.max=0.31
doping      uniform conc=1e15  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0531 y.max=0.2 z.min=0 z.max=0.31
#
#Substrato
#
doping      uniform conc=1e15  p.type region=6 x.min=-0.19
x.max=0.19 y.min=0.2 y.max=0.3 z.min=0 z.max=0.31
#
#
structure outf=BFF_L130_W20_dop_RAD.str
#
#
model fermi ni.fermi fldmob print auger bgn consrh shi kla
temp=300
#mobility mu0n.shi=400
#
method      newton itlimit=25 trap atrap=0.5 maxtrap=5 autonr
nrccriterion=0.1 \
            tol.time=0.005 dt.min=1e-25
#
solve      init
solve      prev
solve      vdrain=0
solve      vdrain=0.0001
solve      vdrain=0.001
solve      vdrain=0.01
solve      vdrain=0.05
#solve      vdrain=0.1
#solve      vdrain=0.4
#solve      vdrain=0.7
#solve      vdrain=1.0
#solve      vdrain=1.2

```



```
#solve      vdrain=1.5
#
#
log   outf=BFF_L130_W130_Rad.log
#
solve vgate=-1.2 vstep=0.01 name=gate vfinal=1.2
#
quit
```

5.4.3 FinFET de corpo com cargas fixas no óxido, W_{FIN} de 20 nm

```
#Dispositivo: BFinFET L130 W20
#Tracar curva iDxVG sem influencia da radiacao de protons^M
go atlas
#
#Definir mesh
mesh  infile=BFF_L130_W20.str
#
#Definir regioes do dispositivo
#
#
region  number=1 x.min=-0.0181 x.max=0.0181 y.min=0
y.max=0.0481 z.min=0.09 z.max=1.09 material=Polysilicon
region  number=2 x.min=-0.0131 x.max=0.0131 y.min=0.005
y.max=0.0481 z.min=0.09 z.max=1.09 material=HfO2
region  number=3 x.min=-0.011 x.max=0.011 y.min=0.0071
y.max=0.0481 z.min=0.02 z.max=1.16 material=SiO2
region  number=4 x.min=-0.19 x.max=0.19 y.min=0.0481
y.max=0.2 z.min=0 z.max=1.18 material=SiO2
region  number=5 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.2 z.min=0 z.max=1.18 material=Silicon
region  number=6 x.min=-0.19 x.max=0.19 y.min=0.2
y.max=0.3 z.min=0 z.max=1.18 material=Silicon
region  number=7 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.024 z.min=0 z.max=0.02 material=Aluminum
region  number=8 x.min=-0.01 x.max=0.01 y.min=0.0081
y.max=0.024 z.min=1.16 z.max=1.18 material=Aluminum
#
#
# Definir eletrodos
#
#      1#-Porta 2#-Fonte 3#-Dreno
#electrode  name=Gate
#electrode  name=Source
#electrode  name=Drain
electrode  name=substrate bottom
contact name=Gate workfunction=4.7
contact name=substrate workfunction=4.95
#
#
#Definir dopagens
#
#Canal
#
```

```

doping    uniform conc=1e15  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.09 z.max=0.22
#
#Fonte
#
doping    uniform  conc=1e18 n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.04 z.max=0.09
doping    uniform  conc=1e20 n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0 z.max=0.04
#
#Dreno
#
doping    uniform conc=1e18  n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.22 z.max=0.27
doping    uniform conc=1e20  n.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0081 y.max=0.0481 z.min=0.27 z.max=0.31
#
#Fin + Ground Plane
#
doping    uniform conc=1e18  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0481 y.max=0.0531 z.min=0 z.max=0.31
doping    uniform conc=1e15  p.type region=5 x.min=-0.01
x.max=0.01 y.min=0.0531 y.max=0.2 z.min=0 z.max=0.31
#
#Substrato
#
doping    uniform conc=1e15  p.type region=6 x.min=-0.19
x.max=0.19 y.min=0.2 y.max=0.3 z.min=0 z.max=0.31
#
#
#Cargas Fixas na Interface
interf     qf=1e13      x.min=-0.19 x.max=0.19 y.min=0.0481
          y.max=0.0531   z.min=0.09 z.max=0.22
#
#
structure outf=BFF_L130_W20_dop_RAD.str
#
#
model fermi ni.fermi fldmob print auger bgn consrh shi kla
temp=300
#mobility mu0n.shi=400
#
method     newton itlimit=25 trap atrap=0.5 maxtrap=5 autonr
nrccriterion=0.1 \
          tol.time=0.005 dt.min=1e-25
#
solve      init
solveprev
solve      vdrain=0
solve      vdrain=0.0001
solve      vdrain=0.001
solve      vdrain=0.01
solve      vdrain=0.05
#solve     vdrain=0.1
#solve     vdrain=0.4
#solve     vdrain=0.7

```

```

#solve      vdrain=1.0
#solve      vdrain=1.2
#solve      vdrain=1.5
#
#
log   outf=BFF_L130_W20_Rad.log
#
solve vgate=-1.2 vstep=0.01 name=gate vfinal=1.2
#
quit

```

5.4.4 FinFET de corpo com cargas fixas no óxido, W_{FIN} de 130 nm

```

#Dispositivo: BFinFET L130 W130
#Tracar curva iDxVG sem influencia da radiacao de protons
go atlas
#
#Definir mesh
mesh  infile=BFF_L130_W130.str
#
#Definir regioes do dispositivo
#
#
region  number=1 x.min=-0.0731 x.max=0.0731 y.min=0
y.max=0.0481 z.min=0.09 z.max=1.09 material=Polysilicon
region  number=2 x.min=-0.0681 x.max=0.0681 y.min=0.005
y.max=0.0481 z.min=0.09 z.max=1.09 material=HfO2
region  number=3 x.min=-0.066 x.max=0.066 y.min=0.0071
y.max=0.0481 z.min=0.02 z.max=1.16 material=SiO2
region  number=4 x.min=-0.19 x.max=0.19 y.min=0.0481
y.max=0.2 z.min=0 z.max=1.18 material=SiO2
region  number=5 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.2 z.min=0 z.max=1.18 material=Silicon
region  number=6 x.min=-0.19 x.max=0.19 y.min=0.2
y.max=0.3 z.min=0 z.max=1.18 material=Silicon
region  number=7 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.024 z.min=0 z.max=0.02 material=Aluminum
region  number=8 x.min=-0.065 x.max=0.065 y.min=0.0081
y.max=0.024 z.min=1.16 z.max=1.18 material=Aluminum
#
#
# Definir eletrodos
#
# 1#-Porta 2#-Fonte 3#-Dreno
#
electrode  name=Gate
electrode  name=Source
electrode  name=Drain
electrode  name=substrate bottom
contact name=Gate workfunction=4.7
contact name=substrate workfunction=4.95
#
#
#Definir dopagens

```

```

#
#Canal
#
doping      uniform conc=1e15  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.09 z.max=0.22
#
#Fonte
#
doping      uniform  conc=1e18 n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.04 z.max=0.09
doping      uniform  conc=1e20 n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0 z.max=0.04
#
#Dreno
#
doping      uniform conc=1e18  n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.22 z.max=0.27
doping      uniform conc=1e20  n.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0081 y.max=0.0481 z.min=0.27 z.max=0.31
#
#Fin + Ground Plane
#
doping      uniform conc=1e18  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0481 y.max=0.0531 z.min=0 z.max=0.31
doping      uniform conc=1e15  p.type region=5 x.min=-0.065
x.max=0.065 y.min=0.0531 y.max=0.2 z.min=0 z.max=0.31
#
#Substrato
#
doping      uniform conc=1e15  p.type region=6 x.min=-0.19
x.max=0.19 y.min=0.2 y.max=0.3 z.min=0 z.max=0.31
#
#Cargas Fixas na Interface
interf      qf=1e13      x.min=-0.19 x.max=0.19 y.min=0.0481
              y.max=0.0531      z.min=0.09 z.max=0.22
#
structure outf=BFF_L130_W20_dop_RAD.str
#
#
model fermi ni.fermi fldmob print auger bgn consrh shi kla
temp=300
#mobility mu0n.shi=400
#
method      newton itlimit=25 trap atrap=0.5 maxtrap=5 autonr
nrccriterion=0.1 \
              tol.time=0.005 dt.min=1e-25
#
solve      init
solve      prev
solve      vdrain=0
solve      vdrain=0.0001
solve      vdrain=0.001
solve      vdrain=0.01
solve      vdrain=0.05
#solve      vdrain=0.1
#solve      vdrain=0.4

```

```

#solve      vdrain=0.7
#solve      vdrain=1.0
#solve      vdrain=1.2
#solve      vdrain=1.5
#
#
log   outf=BFF_L130_W130_Rad.log
#
solve vgate=-1.2 vstep=0.01 name=gate vfinal=1.2
#
quit

```

5.4.5 Resultados da simulação

A partir dos dados obtidos através das simulações é possível analisar os efeitos da radiação nos MOSFETs de porta tripla de corpo (*bulk*).

Na figura 38 podemos observar a curva de tendência do dispositivo de comprimento de canal (L) com 130 nm e largura da aleta (W_{FIN}) com 20 nm sem os efeitos da radiação (sem cargas fixas na interface) e os dispositivos de comprimento de canal (L) com 130 nm e largura da aleta (W_{FIN}) com 20 nm com os efeitos da radiação (com cargas fixas na interface)

Figura 38 – Dispositivos simulados pré e pós radiado com $W_{FIN} = 20$ nm

Fonte: Autor

É possível observar fuga na corrente de dreno na região de sublimiar do dispositivo com os efeitos da radiação. Em baixa tensão de porta ($V_G = -0,3$ V) é observado uma densidade de corrente entre dreno e fonte acima do plano de

terra provocado pelas cargas fixas na interface, estas cargas simulam o efeito da radiação (fig. 38).

Figura 39 - Corte lateral do dispositivo simulado $W_{FIN} = 20 \text{ nm}$ e $V_D = -0,3 \text{ V}$

Fonte: Autor

Na figura 40 podemos observar a curva de tendência do dispositivo de comprimento de canal (L) com 130 nm e largura da aleta (W_{FIN}) com 130 nm sem os efeitos da radiação (sem cargas fixas na interface) e a curva de tendência do dispositivo de comprimento de canal (L) com 130 nm e largura da aleta (W_{FIN}) com 130 nm com os efeitos da radiação (com cargas fixas na interface).

Nestes dispositivos com largura da aleta maior não é possível observar a criação de um fluxo de corrente entre dreno e fonte acima do plano de terra, mas este é criado abaixo do plano de terra. Como o plano de terra isola a região ativa da região de substrato, esta densidade de corrente não influencia o funcionamento do dispositivo.

Figura 40 – Dispositivos simulados pré e pós radiado com $W_{FIN} = 130$ nm

Fonte: Autor

6 CONCLUSÕES FINAIS E PROPOSTAS PARA CONTINUAÇÃO DO TRABALHO

6.1 CONCLUSÕES FINAIS

Foi desenvolvido neste trabalho um estudo do comportamento elétrico dos transistores de porta tripla de corpo irradiados com prótons de 60 MeV. Também foi feita uma comparação os resultados dos dispositivos equivalentes não submetidos à radiação.

Primeiramente as curvas da corrente de dreno em função da tensão de porta foram apresentadas onde verifica-se que os dispositivos tipo-n com largura da aleta mais estreita é mais sensível à radiação submetida devido as cargas induzidas no óxido de separação das aletas (*Shallow Trench Isolator* – STI). Estas cargas introduzidas pela radiação irão criar um canal parasitário que conduzirá antes do canal principal, degradando assim a inclinação de sublimar.

Na sequência, foram apresentados os valores da tensão de limiar obtidos e os valores dos dispositivos tipo-n mostraram-se mais sujeitos aos efeitos da radiação. Também foi possível observar que os dispositivos tipo-n também são mais sensíveis ao confinamento de cargas devido à implantação do plano de terra.

Foi realizada a análise da influência da radiação em aplicações analógicas, com foco principal no ganho intrínseco de tensão. Neste caso, todos os dispositivos foram afetados pela radiação, seja por influência na transcondutância ou na condutância de saída. Foi observado que os dispositivos mais afetados foram aqueles com o comprimento de canal mais longo, do tipo-n. Observou-se que o valor do ganho intrínseco de tensão é em torno de 55 dB para os dispositivos não radiados e foi para 40 dB nos dispositivos após a radiação. Os valores de tensão Early (V_{EA}) para os dispositivos com maior comprimento de canal estudado (1000 nm) reduziu de 61 V nos dispositivos não radiados para 13 V nos dispositivos radiados. Foi observado uma redução na transcondutância em saturação (g_{msat}) em torno de 5% após a radiação para os dispositivos do tipo-n e em torno de 18% nos

dispositivos do tipo-p, porém a influência da condutância de saída tem maior impacto na composição do ganho de tensão intrínseco.

Através de pesquisas e confrontados nossos resultados, foi verificado que o óxido de separação das aletas (*Shallow Trench Isolator* – STI) é bastante suscetível à formação de armadilhas no óxido e de interface induzidas pela radiação, o que irá resultar o em tensão de limiar menor, quanto nível de corrente mais baixa e inclinação de sublimiar pior que o transistor principal.

Os transistores de porta tripla de corpo com canal n tem tensão de limiar mais alta que os transistores parasitários, isso faz com que o transistor parasitário entre em operação primeiro que o principal. Nos dispositivos com canal p, o transistor parasitário entra em operação após o transistor principal entrar, então o transistor principal se sobressai perante o parasitário. Por isso, a curva de corrente deste dispositivo aparenta que este não está sofrendo influência da radiação.

6.2 PROPOSTA PARA CONTINUAÇÃO DO TRABALHO

Como continuação do trabalho, propõe-se analisar o comportamento do FinFET de porta tripla de corpo (Bulk FinFET) após radiação de 60 MeV (análise de pior caso) em diferentes temperaturas, uma vez que as temperaturas em meios aeroespaciais são completamente diferentes da temperatura ambiente.

Propõe-se também estudar o comportamento destes dispositivos após recozimento, uma vez que as cargas inseridas nos óxidos (óxido de isolamento e óxido de porta), tentem a ter uma menor influência no funcionamento dos MOSFETS.

PUBLICAÇÕES DURANTE O TRABALHO

BERTOLDO, M.; OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. **Proton Radiation Effects on the Analog Performance of Bulk n- and p-FinFETs**, ECS Trans. Vol. 66 n. 5 p. 295-301; doi:10.1149/06605.0295ecst, 2015.

REFERÊNCIAS

- (1) BRINKMAN, W. F.; HAGGAN, D. E.; TROUTMAN, W. W. **History of the Invention of the Transistor and Where It Will Lead Us, Solid-State Circuits**, IEEE Journal of, 32, n. 12, p. 1858-1865 1997
- (2) JUN, H; QUANBO, L; ERMIN, C; CHUNYAN, Y; RUNLING, L; CHENGUANG, G; ZHIBIAO, M; YU, Z; PANG, A. **Challenges and solutions for 14nm FinFET etching**, Semiconductor Technology International Conference (CSTIC), p. 1-4 2015
- (3) MOORE, G. E. **Clamming More Components onto Integrated Circuits**, Electronics, 114-117, 1965
- (4) SUTARDJA, S **Slowing of Moore's law signals the beginning of smart everything**, 44th European Solid State Device Research Conference (ESSDERC), p. 7-8, 2014
- (5) <http://www.itrs2.net/itrs-news.html>
- (6) Criengely, R. X. **Breaking Moore's Law** 2013 em <http://www.betanews.com/2013/10/15/breaking-moores-law/>
- (7) COLINGE J.-P., **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. Boston: Kluwer Academic, 2004.
- (8) KATO, K.; WADA, T.; TANIGUCHI, T. **Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET's Using Two-Carrier Modeling**. I.E.E.E. Transactions on Electron Devices, v. 32, 458-462, 1985
- (9) MAKOVEJEV, S; PLANES, N; HAOND, M; FLANDRE, D; RASKIN, J-P; KILCHYTSKA, V **Self-heating in 28 nm bulk and FDSOI** Ultimate Integration on Silicon (EUROSOI-ULIS), p. 41-44, 2015
- (10) HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E. **A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET**, IEDM '89. Technical Digest., International, 833 – 836 1989
- (11) HISAMOTO, D.; WEN-CHIN, L.; KEDZIERSKI, J.; TAKEUCHI, H.; ASANO, K.; KUO, C.; ANDERSON, E.; KING, T.-J.; BOKOR, J.; CHENMING, H. **FinFET-a self-aligned double-gate MOSFET scalable to 20 nm**, Electron Devices, IEEE Transactions on V.47 ,12 2000
- (12) C. CLAEYS, D. LEONELLI, R. ROOYACKERS, A. VANDOOREN, A.S. VERHULST, M. HEYNS, G. GROESENENKEN AND S. DE GENDT. **Fabrication and Characterization of Si and Hetero-junction Tunnel Field Effect Transistors**, G-COE PICE Int. Symp., Tokyo, Oct. 13-14, 2009.

- (13) **22nm 3D Tri-Gate Transistor Announcement**, Intel, 2011
<http://www.intel.com.br/content/dam/www/public/us/en/documents/backgrounders/standards-22nm-3d-tri-gate-transistors-presentation.pdf>
- (14) HOFSTEIN, S.R.; HEIMAN F.P. **The silicon insulated-gate field-effect transistor**; Proceedings of the IEEE V.51-9, p.1190-1202, 1963
- (15) TROUTMAN, R.R. **Latchup in CMOS Technology: The Problem and Its Cure** 1986 The Springer International ISBN 978-1-4757-1887-4
- (16) IZUMI, K. **Proceedings of the Fourth International Symposium on Silicon-On-Insulator Technology and Advances**, Vol. 90-6, p.3, 1990.
- (17) HEIMAN, F.P. **Thin-film silicon-on-sapphire deep depletion MOS transistors**, IEEE Transactions on Electron Devices Vol.ED-13, n.12, p.855 – 862, 1966
- (18) DAVIS, G.E.; HITE, L.R.; BLAKE, T.G.W.; CHEN, C.-E.; LAM, H.W.; DEMOYER, R. **Transient Radiation Effects in SOI Memories**. IEEE Trans. on Nuclear Science, Vol. 32, p. 4432, 1985.
- (19) KRULL, W. A.; LEE, J. C. **Demonstration of the benefits of SOI for high temperature operation**. Proceedings of SOS/SOI Technology Workshop, p. 69, 1989.
- (20) HAMMAD, M. Y.; SCHRODER, D. K. **Analytical modeling of the partially-depleted SOI MOSFET** IEEE Transactions on Electron Devices, Vol. 48, N. 2, p. 252 – 258, 2001
- (21) YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.; TANGO, H. **Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film** IEEE Transactions on Electron Devices, Vol.36, n.3, p. 493 – 503, 1989
- (22) YOUNG, K. K. **Short-channel effect in fully depleted SOI MOSFETs** IEEE Transactions on Electron Devices, Vol. 36, n. 2, p. 399 – 402, 1989
- (23) COLINGE, J. -P., **Reduction of kink effect in thin-film SOI MOSFETs** IEEE Electron Device Letters, Vol. 9, n. 2, p. 97 – 99, 1988
- (24) GROESENEKEN, G.; COLINGE, J. P.; MAES, H. E.; ALDERMAN, J. C.; HOLT, S. **Temperature dependence of threshold voltage in thin-film SOI MOSFETs** IEEE Electron Device Letters, Vol. 11, n. 8, p. 329 – 331, 1990

- (25) COLINGE, J.-P. **FinFETs and Other Multi-Gate Transistors**, springer 2008
- (26) SEKIGAWA, T. **Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate**, Solid-state Electronics, Vol. 27, n. 8–9, p. 827 – 828, 1984
- (27) JIAO, Z.; SALAMA, C. A T. **A Fully Depleted Delta-Channel SOI MOSFET** Electrochemical Society Proceedings, v. 2001-3, p. 403-408, 2001
- (28) YU, B.; CHANG, L.; AHMED, S.; WANG, H. ; BELL, S.; YANG, C. Y.; TABERY, C.; HO, C. ; XIANG, Q.; KING, T. J.; BOKOR, J.; HU, C.; LIN, M.R.; KYSER, D. **FinFET scaling to 10 nm gate length** International Electron Devices Meeting (IEDM '02), p. 251 – 254, 2002
- (29) KILCHYTSKA, V.; COLLAERT, N.; ROOYACKERS, R.; LEDERER, D.; RASKIN, J.P.; FLANDRE, D. **Perspective of FinFETs for analog applications**, Proceeding of the 34th European Solid-State Device Research conference, p. 65 – 68, 2004
- (30) STADELE, M.; LUYKEN, R. J.; ROOSZ, M.; SPECHT, M.; ROSNER, W.; DREESKORNFELD, L.; HARTWICH, J.; HOFMANN, F.; KRETZ, J.; LANDGRAF, E.; RISCH, L. **A comprehensive study of corner effects in tri-gate transistors**, Proceeding of the 34th European Solid-State Device Research conference p. 165 – 168, 2004
- (31) PERVEZ, S.A.; KIN, H.; PARK, B.-G.; SHIN, H. **Simulation study for suppressing corner effect in a saddle MOSFET for Sub-50 nm high density high performance DRAM cell transistor**, International Semiconductor Device Research Symposium, p.1 – 2, 2009.
- (32) FOSSUM, J.G.; YANG, J.-W.; TRIVEDI, V.P. **Suppression of corner effects in triple-gate MOSFETs**, IEEE Electron Device Letters V.24-12, p.745 – 747, 2003
- (33) SHIN, C. NIKOLIC, B.; LIU, T. -J. K.; TSAI, C. H.; WU M. H.; CHANG, C. F.; KAO, C. Y.; LIN, G. S.; CHIU K. L.; FU C. S.; TSAI C.; LIANG C. W. **Tri-gate bulk CMOS technology for improved SRAM scalability** Solid-State Proceedings of the European Device Research Conference, p. 142 – 145, 2010
- (34) SUN, X.; MOROZ, V.; DAMRONGPLASIT, N.; SHIN, C. ; LIU, T. -J. K. **Variation Study of the Planar Ground-Plane Bulk MOSFET, SOI FinFET, and Trigate Bulk MOSFET** IEEE Transactions on Designs Electron Devices, Vol. 58, N.10, p. 3294 – 3299, 2011

- (35) TSAI, C. H.; LIU, T. -J. K.; TSAI, S. H.; CHANG, C. F.; TSENG, Y. M.; LIAO, R.; HUANG, R. M.; LIU, P. W.; TSAI, C. T.; SHIN, C.; NIKOLIĆ, B.; LIANG, C. W. **Segmented tri-gate bulk CMOS technology for device variability improvement** International Symposium on VLSI Technology Systems and P. 114 – 115, 2010
- (36) KAWASAKI, H.; OKANO, K.; KANEKO, A.; YAGISHITA, A.; IZUMIDA, T.; KANEMURA, T.; KASAI, K.; ISHIDA, T.; SASAKI, T.; TAKEYAMA, Y.; AOKI, N.; OHTSUKA, N.; SUGURO, K.; EGUCHI, K.; Y. TSUNASHIMA, Y.; INABA, S.; ISHIMARU, K.; ISHIUCHI, H. **Embedded Bulk FinFET SRAM Cell Technology with Planar FET Peripheral Circuit for hp32 nm Node and Beyond**, Digest of Technical Papers, Symposium on VLSI Technology, p.70 – 71, 2006
- (37) OKANO, K.; IZUMIDA, T.; KAWASAKI, H.; YAGISHITA, A.; KONDO, M.; ITO, S.; AOKI, N.; MIYANO, K.; ONO, T.; YAHASHI, A.; IWADE, K.; KUBOTA, T.; MATSUSHITA, T.; MIZUSHIMA, I.; INABA, S.; ISHIMARU, K.; SUGURO, K.; EGUCHI, K.; TSUNASHIMA, Y.; ISHIUCHI, H. **Process Integration Technology and Device Characteristics of CMOS FinFET on Bulk Silicon Substrate with sub-10 nm Fin Width and 20 nm Gate Length**, IEEE International Electron Devices Meeting, p. 721 – 723, 2005
- (38) PARK, T.; CHOI, S.; LEE, D. H.; YOO, J. R.; LEE, B. C.; KIM, J. Y.; LEE, C. G.; CHI, K. K.; HONG, S. H.; HYNN, S. J.; SHIN, Y. G.; HAN, J. N.; PARK, I. S.; CHUNG, U. I.; MOON, J. T.; YOON, E.; LEE, J. H. **Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers** Symposium on Digest of VLSI Technology, Technical Papers, p. 135 – 136, 2003
- (39) PARK, J. T.; COLINGE, J.-P.; DIAZ, C. H. **Pi-Gate SOI MOSFET**. IEEE Electron Devices Letters vol.22 , n.8 p.405-406, 2001
- (40) YANG, F.-L.; CHEN, H.-Y.; CHEN, F.-C.; HUANG, C.-C.; CHANG, C.-Y.; CHIU, H.-K.; LEE, C.-C.; CHEN, C.-C. ; HUANG, H.-T.; CHEN, C.-J.; TAO, H.-J.; YEO, Y.-C.; LIANG, M.-S.; HU, C. **25 nm CMOS Omega FETs** IEEE International Electron Device Meeting IEDM, p. 255-258 2002
- (41) MIYANO, S.; HIROSE, M.; MASUOKA, F.; **IEEE Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA)**, V. 39. NO. 8, 1992
- (42) KHAN, S. U. Z.; HOSSAIN, M. S.; HOSSEN, M. O.; RAHMAN, F. U.; ZAMAN, R.; KHOSRU, Q. D. M. **Analytical modeling of gate capacitance and drain current of gate-all-around InxGa1-xAs nanowire MOSFET** Electronic Design (ICED), 2014 2nd International Conference on, p. 89 – 93, 2014

- (43) SZE, S. M. **Physics of Semiconductor Devices**. New York: John Wiley & Sons, 1981.
- (44) LIM, H. K.; FOSSUM, J.G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's** , IEEE Transactions on Electron Devices Vol. 30, n. 10, p. 1244 – 1251, 1983
- (45) SUBRAMANIAN, V.; PARVAIS, B.; BORREMANS, J.; MERCHA, A.; LINTEN, D.; WAMBACQ, P.; LOO, J.; DEHAN, M.; COLLAERT, N.; KUBICEK, S.; LANDER, R.J.P.; HOOKER, J.C.; CUBAYNES, F.N.; DONNAY, S.; JURCZAK, M.; GROESENKEN, G.; SANSEN, W.; DECOUTERE, S. **Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FETs versus FinFETs**. Technical Digest of IEDM, 851, 2005.
- (46) KILCHYTSKA, V.; COLLAERT, N.; JURCZAK, M.; FLANDRE, D. **Specific features of multiple-gate MOSFET threshold voltage and subthreshold slope behavior at high temperatures**, Solid-State Electronics Vol. 51-9, p.1185–1193, 2007
- (47) HAMID, H.A.E., GUITART, J.R.; INIGUEZ, B. **Two-Dimensional Analytical Threshold Voltage and Subthreshold Swing Models of Undoped Symmetric Double-Gate MOSFETs**, IEEE Transactions on Electron Devices, Vol. 54-6, p. 1402 – 1408, 2007
- (48) YAN, R.-H.; OURMAZD, A.; LEE, K.F. **Scaling the Si MOSFET: from bulk to SOI to bulk**, IEEE Transaction on Electron Devices, Vol. 39-7, p.1704–1710, 1992
- (49) SMITH, D.C., SEDRA, A.S. **MICROELECTRONICS CIRCUITS 5th Ed**, New York Oxford, Oxford University Press, 2004
- (50) CHAN, T. Y.; CHEN, J.; KO, P. K.; HU, C. **The impact of gate-induced drain leakage current on MOSFET scaling** International Electron Devices Meeting, V. 33, p. 718 – 721, 1987
- (51) STASSINOPOULOS, E. G.; RAYMOND, J. P. **The space radiation environment for electronics** Proceedings of the IEEE, V.76, n. 11, p.1423 – 1442, 1988
- (52) HUDSON, M.K.; KRESS B.T.; MUELLER H.-R.; ZASTROW J.A.; BLAKE, J.B. **Relationship of the Van Allen radiation belts to solar wind drivers**, Journal of Atmospheric and Solar-Terrestrial Physics, Vol. 70-5, p. 708-729, 2008

(53) RASCÓN, D.S.; FERREIRA, A.D.; SILVA, M.G., **Renewable and Sustainable Energy Reviews**, Vol. 65, p. 387 – 401, 2016

(54) CHARIKOV, Y.E., GLOBINA, V.I.; Andrei N. SHABALIN, A.N.; ELFIMOVA, E.P. **Simulation of hard X-ray time delays in solar flares**, St. Petersburg Polytechnical University Journal: Physics and Mathematics, Vol. 1-2, p. 199 – 206, 2015

(55) PNEUMAN, G.W.; KOPP, R.A. **Gas-Magnetic Field Interactions in the Solar Corona**, Solar Physics, Vol. 18-2, p. 528 – 270, 1971

(56) MCDONALD, F.B. **Cosmic-Ray Modulation in the Heliosphere: A Phenomenological Study** Space Science Reviews V. 83, n. 1-2, p. 33-50, 1998

(57) BOUDENOT, J.P. Radiation Space Environment in VELAZCO, R., FOUILLAT, P., REIS, R., **Radiation Effects on Embedded Systems**, Springer, p. 1-9, June 2007. ISBN 978-1-4020-5645-1

(58) MARTÍNEZ-JABALOYAS, J.M.; CASTELLO-PORCAR, A.; GONZÁLEZ-BAENA, A.C.; CÓZAR-OLMOC, J.M.; MINANA-LÓPEZ, B.; GÓMEZ-VEIGA, F.; RODRIGUEZ-ANTOLÍN A., **Influence of demographic and tumor variables on prostate cancer treatment with curative intent in Spain. Results of the 2010 national prostate cancer registry**, Actas Urológicas Españolas (English Edition), 2016

(59) MUSSEAU, O. **Instabilities in Silicon Devices, Chapter 12 The effects of cosmic ions on electronic components**, New Insulators, Devices and Radiation Effects, Vol. 3, p. 781 – 890, 1999

(60) O'GORMAN, T.J. **The effect of cosmic rays on the soft error rate of a DRAM at ground level** IEEE Transactions on Electron Devices, Vol. 41-4, p.553 – 557 1994

(61) SCHWANK, J.R.; SHANEYFELT, M. R.; FLEETWOOD, D.M.; FELIX, J.A.; DODD, P.E.; PAILLET, P.; FERLET-CAVROIS, V. **Radiation Effects in MOS Oxides**, IEEE Transaction on Nuclear Science, Vol. 55-4, 1833-1853, 2008

(62) SCHRIMPF, R.D. Radiation Effect in Microeletronics in VELAZCO, R, FOUILLAT, P, REIS, R., **Radiation Effects on Embedded Systems**, Springer, p. 11-29 June 2007. ISBN 978-1-4020-5645-1

(63) SIMOEN, E.; GAILLARDIN, M.; PAILLET, P.; REED, R.A.; SCHRIMPF, R.D.; ALLES, M.L.; ELMAMOUNI, F.; FLEETWOOD, D.M.; GRIFFONI, A.;

CLAEYS, C. **Radiation Effects in Advanced Multiple Gate and Silicon-on-Insulator Transistors** IEEE Transactions Nuclear Science, 60, n. 3, p. 1970-1991 2013.