

ROBERT ALEKSANDER GAVIDIA BOVADILLA

**Defasador baseado em MEMS distribuídos para aplicações em
ondas milimétricas**

São Paulo

2013

ROBERT ALEKSANDER GAVIDIA BOVADILLA

**Defasador baseado em MEMS distribuídos para aplicações em
ondas milimétricas**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Ciência.

Orientador:
Prof. Dr. Gustavo Pamplona Rehder

São Paulo

2013

ROBERT ALEKSANDER GAVIDIA BOVADILLA

**Defasador baseado em MEMS distribuídos para aplicações em
ondas milimétricas**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Ciência

Área de Concentração: Microeletrônica

Orientador:
Prof. Dr. Gustavo Pamplona Rehder

São Paulo

2013

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de de 2013

Assinatura do autor:

Assinatura do orientador:

FICHA CATALOGRÁFICA

Bovadilla, Robert Aleksander Gavidia

Defasador baseado em MEMS distribuídos para aplicações em ondas milimétricas / R.A.G. Bovadilla. -- versão corr. -- São Paulo, 2013.

107 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Microeletrônica I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

Aos meus amados pais Blanca Bovadilla e
Jesús Gavidia por todo o amor, compreensão e
força que me dão diariamente.

AGRADECIMENTOS

À minha família que esteve todo este tempo ao meu lado, minha mãe Blanca, meu pai Jesús, meus queridos irmãos Giovana, Williams, Carolaine e Nicolle, meus queridos sobrinhos Alessandra e Williams, assim como ao meu irmão Manuel que desde o céu cuida cada passo que dou.

Ao meu orientador Dr. Gustavo Pamplona por ter confiado em mim e por ter sempre tido toda a disponibilidade e dedicação durante o desenvolvimento deste trabalho de mestrado. Aos professores Marco Alayo, Inés Pereya, Marcelo Carreño, Fatima Salete e Ariana Serrano por terem sempre estado dispostos a me ajudar.

Aos meus grandes amigos Mary, Chrisnael e Ruthy por ser como uma família para mim, com quem compartilhei gratos momentos durante todo este tempo em São Paulo.

Ao meu grande amigo no céu Ernesto, pelas gratas lembranças da nossa amizade.

A todos meus amigos e companheiros do Grupo de Novos Materiais e Dispositivos.

Aos meus queridos amigos Ana, Fernanda, Aida, Josi, Carlos, Erika, Dante, Marcus, Pamêlla, Murillo, Fabio, Diego, Ary, Keila, Oscar, Judith, Jorge Reyna, Leticia, Nathaly, Karen, Francisco, Nancy, Isabella, Esteban, Nelson, Juan Carlos, Carito, Maria Rosa, Karla, Lorena, José D., Juan, Augusto, Junior M., Cêlia e Tania por todos os momentos de distração que me ajudaram muito em todo este período de mestrado.

Aos meus amigos e companheiros da Bijari, em especial, Aymara, Daniel, Yadira, Amanda, Felipe, Natasha e Juliana por ter me ajudado em todo este tempo, fazendo-me sentir em casa.

Ao Igor, Alexandre, Adir, Jair e Marcio pela ajuda fornecida nos laboratórios, assim como aos técnicos da sala limpa, Rita, Teresa, Marco, João e Cristina.

Ao CNPq pelo apoio financeiro.

“La educación puramente teórica arranca al hombre de su contacto con la realidad que lo circunda haciéndole vivir en un mundo imaginario o idealizado, que más que un campo de lucha es una evasión hacia la esfera de la ilusión y del ensueño. El hombre contemporáneo debe aprender a reaccionar original y vitalmente ante el ámbito de vida que le rodea. La vida es siempre problemática porque es siempre una afluencia y un cambio continuo, en que no valen los patrones hechos, ni los lugares comunes, ni las recetas fijas que, en vez de arribar a una solución, escamotean la dificultad por ignorancia o por miedo.”

Antenor Orrego

RESUMO

Atualmente existe uma demanda por sistemas de comunicação com altas taxas de transferência de dados, trabalhando em ondas milimétricas (mmW). Além disso, os sistemas devem ser cada vez menores, apresentando um baixo consumo de potência e baixo custo para poderem ser utilizados em aplicações sem fio direcionadas ao mercado do consumidor. Neste trabalho, é proposto um defasador passivo miniaturizado de baixas perdas para aplicações em mmW baseado em um conceito inovador utilizando sistemas micro-eletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares de ondas lentas (S-CPW). Assim, a defasagem é conseguida pela liberação das fitas da camada de blindagem da S-CPW utilizando um processo de corrosão com vapor de HF. As fitas liberadas podem ser movimentadas quando uma tensão DC é aplicada, o que muda a fase do sinal propagado. É apresentado também um modelo eletromecânico e RF do defasador, compostos de elementos concentrados, permitindo a simulação do comportamento dinâmico do dispositivos e a mudança da fase. O defasador foi fabricado utilizando um processo realizado integralmente no Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo. Alguns testes elétricos de atuação, demonstram que o processo de fabricação é viável e permitiu a liberação e atuação do plano de blindagem.

Palavras chaves: Defasador de ondas milimétricas. MEMS. Modelo com elementos concentrados. Linha de transmissão coplanar de efeito de ondas lentas.

ABSTRACT

There is a demand for millimeter-wave (mmW) high data-rate communication systems. Systems should have small area as well as low power consumption and low cost in order to address wireless consumer applications. In this work, a low-loss distributed microelectromechanical (MEMS) phase shifter for mmW applications based on an innovative concept using distributed MEMS and slow-wave coplanar transmission lines (S-CPW) is proposed. The phase shift is achieved by releasing the ribbons of the shielding layer of the S-CPW with a HF vapor etching process. In this way the ribbons can be allowed actuated when a DC voltage is applied, which changes the phase of the propagating signal. An electromechanical model and a RF model were developed using lumped elements, allowing the simulation of the dynamic behavior of the distributed MEMS and the phase shift. The phase shifter was entirely fabricated at the Laboratory of Microelectronics of the Polytechnic School from the University of São Paulo. Some electrical tests showed that the fabrication process is viable and allowed the correct release of the shielding layer of the phase shifter.

Keywords: Millimeter-wave phase shifter. MEMS. Lumped model. Slow-wave transmission line.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	JUSTIFICATIVA E MOTIVAÇÃO	1
1.2	OBJETIVOS	3
2	FUNDAMENTOS TEÓRICOS	4
2.1	DEFASADOR DE LINHA COMUTADA	9
2.2	DEFASADOR TIPO REFLEXÃO	9
2.3	DEFASADOR DE LINHA CARREGADA	11
3	ESTADO DE ARTE	13
3.1	DEFASADOR DE LINHA COMUTADA (SL)	13
3.2	DEFASADOR TIPO REFLEXÃO (RT)	15
3.3	DEFASADOR DE LINHA CARREGADA (LL)	18
4	DEFASADOR COM MEMS DISTRIBUÍDOS	25
4.1	LINHAS DE TRANSMISSÃO DE ONDAS-LENTAS	25
4.2	PRINCÍPIO DE FUNCIONAMENTO DOS DEFASADORES BASEADOS EM LINHAS DE ONDA LENTA E MEMS DISTRIBUÍDOS	27
4.3	MODELAMENTO ELETROMECHANICO	30
4.4	MODELAMENTO DO COMPORTAMENTO EM RF DO DEFASADOR	42
4.5	MODELO RF DE ELEMENTOS FINITOS	44
4.6	MODELO RF DE ELEMENTOS CONCENTRADOS	49
5	MATERIAIS E MÉTODOS	56
5.1	MATERIAIS	56
5.1.1	Processo de Eletrodeposição	56
5.1.2	Corrosão Com Vapor de HF	58
5.2	MÉTODOS	60
6	RESULTADOS E DISCUSSÃO	67
6.1	PROCESSO DE FABRICAÇÃO	67
6.1.1	Definição da camada de blindagem	67
6.1.2	Deposição de óxido de silício (SiO ₂) e carbeto de silício amorfo hidrogenando (a-SiC:H)	71
6.1.3	Definição das vias	72
6.1.4	Definição da CPW, interconexões DC e trilhas	74
6.1.5	Corrosão da camada sacrificial de SiO ₂	77
6.2	TESTES DE ATUAÇÃO DO DEFASADOR	82
7	CONCLUSÕES	85
8	TRABALHOS FUTUROS	87
	REFERENCIAS BIBLIOGRAFICAS	88
	APÊNDICES	93

INTRODUÇÃO

Neste capítulo são apresentados os diversos aspectos que justificam e motivam o desenvolvimento de defasadores passivos em ondas milimétricas (mmW). Também são apresentados os objetivos desta dissertação de mestrado.

1.1 JUSTIFICATIVA E MOTIVAÇÃO

O imenso mercado consumidor demanda novos e melhores serviços e aplicações que necessitam da transmissão e recepção de dados em grandes velocidades, de sistemas miniaturizados com baixo consumo de energia e de baixo custo. Estas necessidades, aliadas à saturação das faixas de frequência disponíveis de 0,8 GHz a 10 GHz, levam à utilização de novas frequências em uma região bem mais alta do espectro, entre 30 GHz e 300 GHz, em ondas milimétricas (mmW).

A utilização destas frequências é interessante devido à que são gratuitas e disponibilizam uma grande largura de banda. Assim, especificamente nas bandas V (50 GHz - 75 GHz) e W (75 GHz – 110 GHz), diversas aplicações para o mercado consumidor vem sendo desenvolvidas como: radares automotivos para detecção de longo alcance utilizados no controle adaptativo de velocidade (*Adaptive Cruise Control*) e radares anticollisão, ambos em 77 GHz; transmissão de vídeo de alta definição em tempo real e redes pessoais de curto alcance e alta velocidade, em 60 GHz; imagens por RF em 94 GHz, entre outras.

Especialmente em 60 GHz, as perdas de percurso são elevadas devido a um pico de absorção do sinal eletromagnético do oxigênio na atmosfera. Por isso, é importante utilizar as técnicas de formação e direcionamento de feixe (*beam forming* e *beam steering*), que permite a concentração da energia emitida/recebida na direção do receptor/emissor, levando a um maior alcance na comunicação, podendo melhorar o desempenho e o consumo de potência. O direcionamento de feixe é feito com arranjo de antenas alimentado por defasadores. Os defasadores mudam a fase do sinal que chega às antenas, permitindo, assim, controlar o diagrama de radiação (i.e. feixe) do sistema. Neste tipo de sistema, os defasadores são responsáveis por grande parte do custo, devido principalmente à área que necessitam. Por isso, o

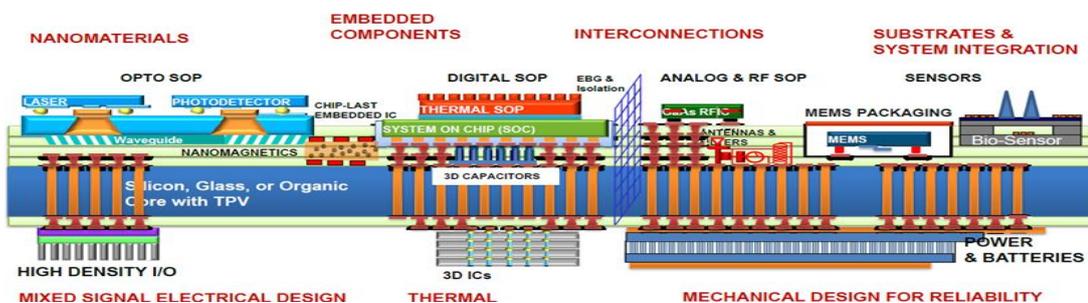
desenvolvimento de defasadores de baixo custo tem sido ultimamente objeto de muitas pesquisas.

Tradicionalmente, os defasadores em mmW são fabricados em Arseneto de Gálio (GaAs), pois esta tecnologia possibilita a obtenção de dispositivos ativos e passivos com bom desempenho. Porém, essa tecnologia tem a grande desvantagem de apresentar custo elevado. Como exemplo do alto custo da tecnologia, pode-se utilizar como comparativo o custo do substrato de GaAs que chega 300 dólares para uma lâmina de 100 mm, sendo esta a maior lâmina disponível.

Por outro lado, a tecnologia CMOS é mais barata (uma lâmina de 100 mm custa \$20) e tem apresentado uma grande evolução, permitindo hoje, em tecnologias avançadas (e.g. CMOS 55 nm), a fabricação de dispositivos ativos com bom desempenho. Apesar de serem mais baratas, as tecnologias CMOS mais avançadas também se tornam caras para o desenvolvimento de dispositivos passivos.

Ante isto, pode-se utilizar como alternativa uma tecnologia híbrida (Figura 1), na qual a implementação das diferentes partes do sistema é feita utilizando a melhor opção tecnológica, permitindo posteriormente sua integração em um só dispositivo. Assim, os dispositivos passivos podem ser fabricados utilizando uma tecnologia de baixo custo (e.g. CMOS 0,35 μm), e integrados com as partes ativas fabricadas com tecnologia avançada. Porém, em geral, as tecnologias baseadas em silício resultam em dispositivos passivos com muitas perdas, principalmente devido à condutividade do silício.

Figura 1 – Exemplo de tecnologia híbrida



Fonte: <http://www.prc.gatech.edu/research/technology/systemsintegration.shtml>

Neste contexto, este trabalho visa o desenvolvimento de defasadores passivos em mmW com baixas perdas utilizando tecnologias baseadas em silício de baixo custo. Visando solucionar o problema das perdas relacionadas ao silício, será utilizado um conceito inovador [1], baseado em sistemas microeletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares (CPW). Este conceito será descrito em detalhe na sessão 4 deste trabalho.

Como prova de conceito, para demonstrar o funcionamento deste dispositivo utilizando esse conceito inovador, pretende-se desenvolver o defasador no Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo, utilizando uma tecnologia que seja compatível com a tecnologia CMOS.

1.2 OBJETIVOS

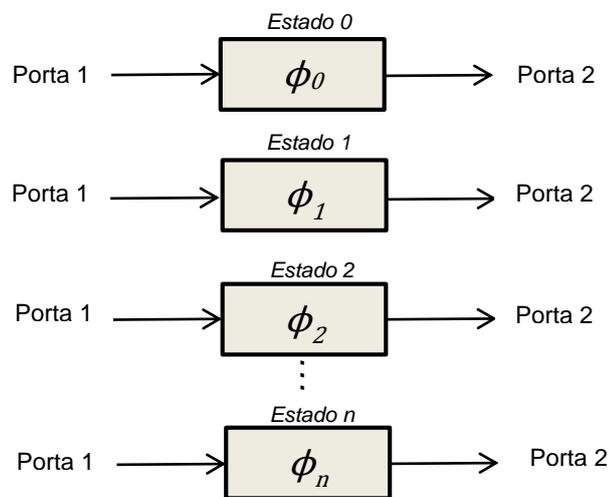
O objetivo do presente trabalho é desenvolver defasadores passivos de baixo custo e baixas perdas em ondas milimétricas baseados em sistemas microeletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares de efeito de ondas-lentas que utilizem tecnologia de silício compatível com a CMOS.

Os defasadores serão projetados, simulados, fabricados e testados, utilizando materiais e métodos disponíveis no Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo.

2 FUNDAMENTOS TEÓRICOS

Os defasadores são dispositivos com duas portas (Figura 2) que realizam a variação da fase do sinal transmitido dependendo do estado em que se encontra (Estado 0, 1, 2, ..., n) e, idealmente, não apresentam perdas.

Figura 2 - Esquema Fundamental de um Defasador.



Fonte: Autor

Na realidade, suas perdas vão depender do tipo de defasador, topologia, materiais e componentes de ajuste.

Existem diferentes topologias de defasadores que foram desenvolvidas com diferentes ênfases e características. Diferentes tipos de defasadores foram projetados com diferentes finalidades: minimizar a sua área; maximizar a sua largura de banda; minimizar as perdas de inserção e sua variação; etc.

Assim, se a fase do sinal inserido na porta 1 é ϕ_0 , pode-se definir a defasagem $\Delta\phi$ na porta 2 como mostrado na eq. (1).

$$\Delta\phi_n = \phi_n - \phi_0 \quad (1)$$

onde:

ϕ_n é a fase do sinal transmitido quando o defasador encontra-se no Estado n.

Os defasadores podem ser analógicos ou digitais. Os defasadores analógicos permitem uma mudança contínua da fase, isto é, eles possuem infinitos estados entre 0 e n. Já os digitais proporcionam um conjunto discreto de estados de fase, onde cada estado de fase é controlado por bits do defasador e cada bit possui dois estados (0 e 1).

Um defasador digital de 2 bits de 360° tem 4 estados diferentes (2^2). O bit mais significativo é aquele que controla o estado que proporciona uma defasagem maior, neste caso uma defasagem de 180° . Por outro lado, o bit menos significativo é aquele que controla o estado que proporciona a menor defasagem, neste caso uma defasagem de 90° . Assim, este defasador de 2 bits possuiria os estados de fase de 0° , 90° , 180° e 270° para a combinação dos bits de 00, 01, 10 e 11, respectivamente. Assim, quanto maior o número de bits, melhor será a resolução do defasador.

Dependendo do tipo de mudança de fase (analógico ou digital) utilizam-se diferentes elementos de ajustes, cada um com suas vantagens e desvantagens. Os elementos de ajustes podem ser eletrônicos ou eletromecânicos como mostra a Tabela 1.

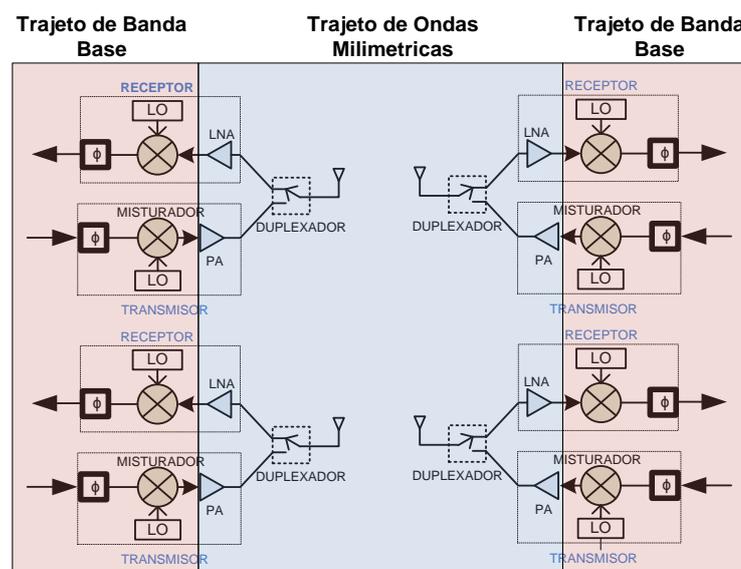
Tabela 1 - Classificação dos defasadores pelo elemento de ajuste

	ELETRÔNICO	ELETROMECAÂNICO
ANALÓGICO	Diodo Varactor Varactor BST Varactor MOS	Varactor MEMS
DIGITAL	Diodo PIN e chave FET	Chave MEMS

Os defasadores analógico-eletrônicos podem utilizar como elementos de ajuste diodos varactores, varactores MOS ou varactores baseados em materiais ferroelétricos (Titanato de Bário e Estrôncio - BST) que variam continuamente a sua capacitância em função da tensão aplicada. Os defasadores digital-eletrônicos utilizam diodos PIN ou chaves FETs para conseguir valores de defasagens discretas. Outros tipos de elementos de ajuste são os eletromecânicos, como os varactores MEMS (Analogico-Mecânico) e chaves MEMS (Digital-Mecânico). Um resumo dos diferentes defasadores encontrados na literatura é mostrado na sessão 3.

Um sistema de transmissão/recepção está formado por diferentes componentes, tal como antenas, osciladores locais (LO), amplificadores de baixo ruído (LNA), amplificadores de potência (PA), misturadores, etc. Em um sistema de transmissão/recepção com formação de feixe, os defasadores podem estar localizados no trajeto de banda base (antes do misturador) ou no trajeto de ondas milimétricas (depois do misturador). Se o defasador é localizado no trajeto de banda base (Figura 3) é necessário um misturador por trajeto (transmissão/recepção) para cada antena do sistema, aumentando consideravelmente o consumo de potência do sistema [2].

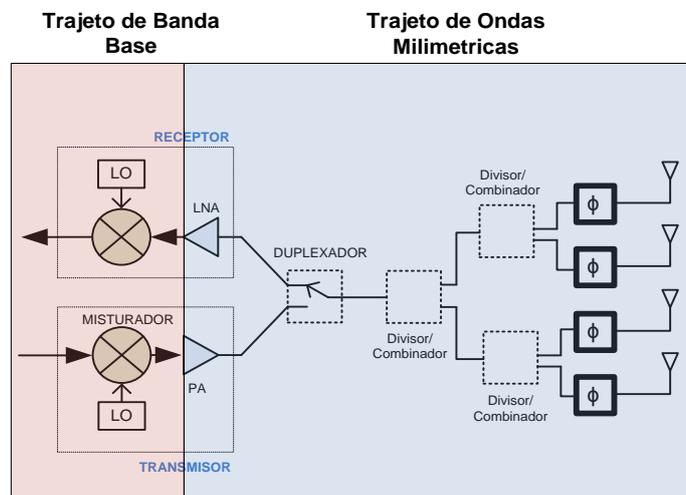
Figura 3 - Exemplo de topologia de transceptor de formação de feixe utilizando defasadores no trajeto de banda base.



Fonte: Autor

Pelo contrário, se o defasador estiver localizado no trajeto de ondas milimétricas (Figura 4), só é necessário um misturador por trajeto em todo o sistema, reduzindo assim a área do dispositivo e resultando em uma redução do custo de fabricação, em comparação com a topologia anterior (Figura 3). Por isso, neste trabalho será dada ênfase aos defasadores no trajeto de mmW.

Figura 4 - Um exemplo de topologia de transceptor de formação de feixe utilizando defasadores no trajeto de ondas milimétricas.



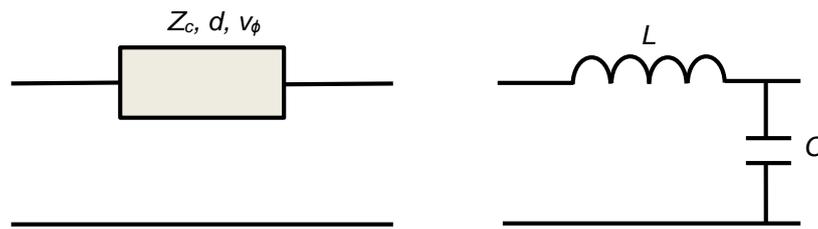
Fonte: Autor

Em mmW, os defasadores ainda podem ser ativos ou passivos. Os defasadores ativos, apesar de serem relativamente compactos, consomem muita potência, o que os torna pouco atrativos para as futuras aplicações em mmW citadas anteriormente. Mesmo assim, as principais características dos defasadores ativos são mostradas na Tabela 2, na sessão 3 do estado da arte.

Para facilitar o entendimento do funcionamento de um defasador, primeiramente será analisado uma linha de transmissão ideal (Figura 5) que pode ser descrita por sua impedância característica Z_c , velocidade de fase v_ϕ e comprimento d . Este tipo de linha também pode ser representado idealmente através do seu modelo

elétrico equivalente LC, sendo L a indutância por unidade de comprimento (H/m) e C a capacitância por unidade de comprimento (F/m) [3].

Figura 5 - Representação de uma linha de transmissão e seu modelo elétrico equivalente (só uma célula).



Fonte: Autor

Como representado na eq. (2) e eq. (3), Z_c e v_ϕ podem ser descritas em função de L e C .

$$Z_c = \sqrt{\frac{L}{C}} \quad (2)$$

$$v_\phi = \frac{1}{\sqrt{LC}} = \frac{\omega d}{\phi} \quad (3)$$

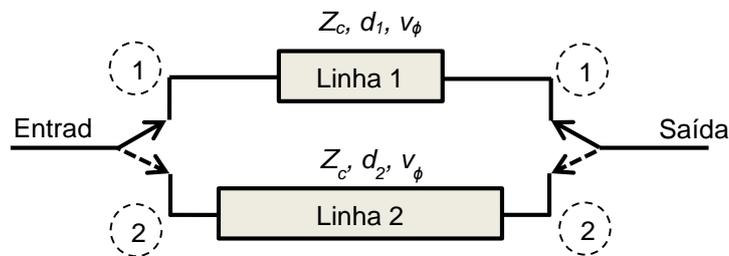
Pode-se ver na eq. (3) que a velocidade de fase também pode ser escrita em função da frequência angular ω , do comprimento d e da fase ϕ , sendo v_ϕ inversamente proporcional à ϕ . Pode-se observar também uma relação entre ϕ e os valores de L e C , indicando que qualquer mudança nesses equivalentes elétricos vai gerar uma mudança na fase do sinal transmitido.

Será descrito a seguir o funcionamento das três topologias de defasador passivo mais utilizadas: linha comutada, reflexão e linha carregada. Serão descritos seus princípios de funcionamento, suas principais características e aplicações.

2.1 DEFASADOR DE LINHA COMUTADA

Este tipo de defasador pode ser considerado o mais simples, já que é baseado na comutação entre linhas de transmissão (i.e. Linha 1 e Linha 2) com características diferentes. A Figura 6 ilustra um defasador de linhas comutadas de 1 bit, onde d , v_ϕ e Z_c representam o comprimento da linha, a velocidade de fase e a impedância característica da linha, respectivamente. Normalmente, Z_c é igual em todas as redes para diminuir as perdas de retorno.

Figura 6 - Topologia básica de um defasador de linha comutada com 1 bit de precisão.



Fonte: Autor

Quando o sinal passa pelo trajeto da linha 1, ele vai ter uma velocidade de fase característica $v_{\phi 1}$, eq. (3). Com a comutação entre o estado 1 e o 2, o sinal passa a ter uma velocidade de fase $v_{\phi 2}$, gerando assim, uma mudança de fase na saída do dispositivo, de acordo com a eq. (1). Devido à sua topologia, o defasador de linha comutada só pode mudar a fase de forma digital, com sua complexidade aumentando significativamente com o aumento dos números de bits.

2.2 DEFASADOR TIPO REFLEXÃO

O defasador tipo reflexão (*reflective-type phase shifter* ou RTPS), no entanto, pode ser projetado para ser um defasador analógico ou digital.

Este tipo de defasador é formado por um acoplador híbrido de 3-dB, que tem quatro portas, como ilustra a Figura 7. As portas 1 e 4 são as portas de entrada e saída, respectivamente, e as portas 2 e 3 são ligadas a cargas refletivas variáveis conectadas ao terra.

A defasagem para este tipo de defasador é dada pela eq. (4) [4].

$$\phi = -2 \tan^{-1} \left(\frac{\text{Im}[Z_L]}{Z_0} \right) \quad (4)$$

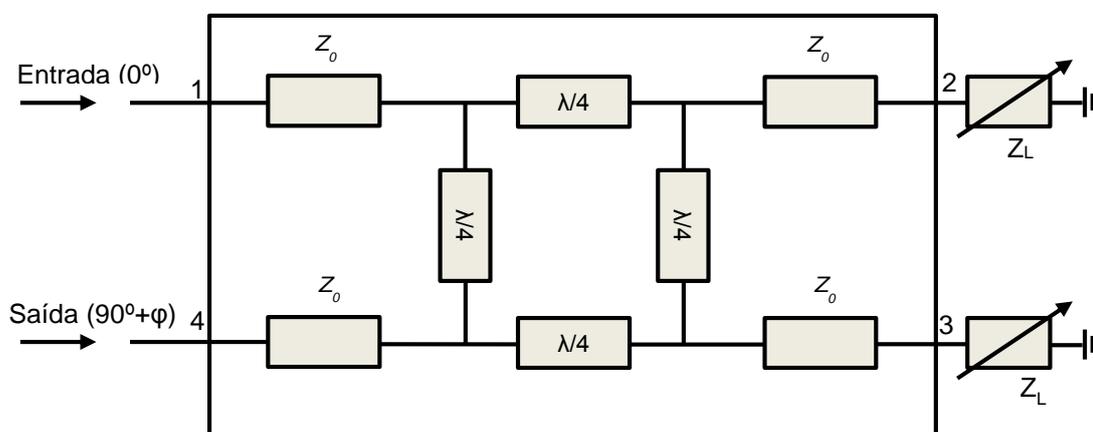
onde:

Z_0 é a impedância de referência do acoplador híbrido;

Z_L é a impedância das cargas refletivas.

A impedância de entrada e saída deste tipo de defasador é independente da impedância das cargas refletivas, podendo-se projetá-las para um valor determinado. Como as cargas refletidas são componentes variáveis com valores de impedância entre Z_{L_min} e Z_{L_max} , a defasagem $\Delta\phi$ induzida pelos componentes pode ser expressa de acordo com a eq. (1), onde ϕ pode ser obtido através da eq. (4).

Figura 7 - Exemplo de topologia de um defasador tipo reflexão.



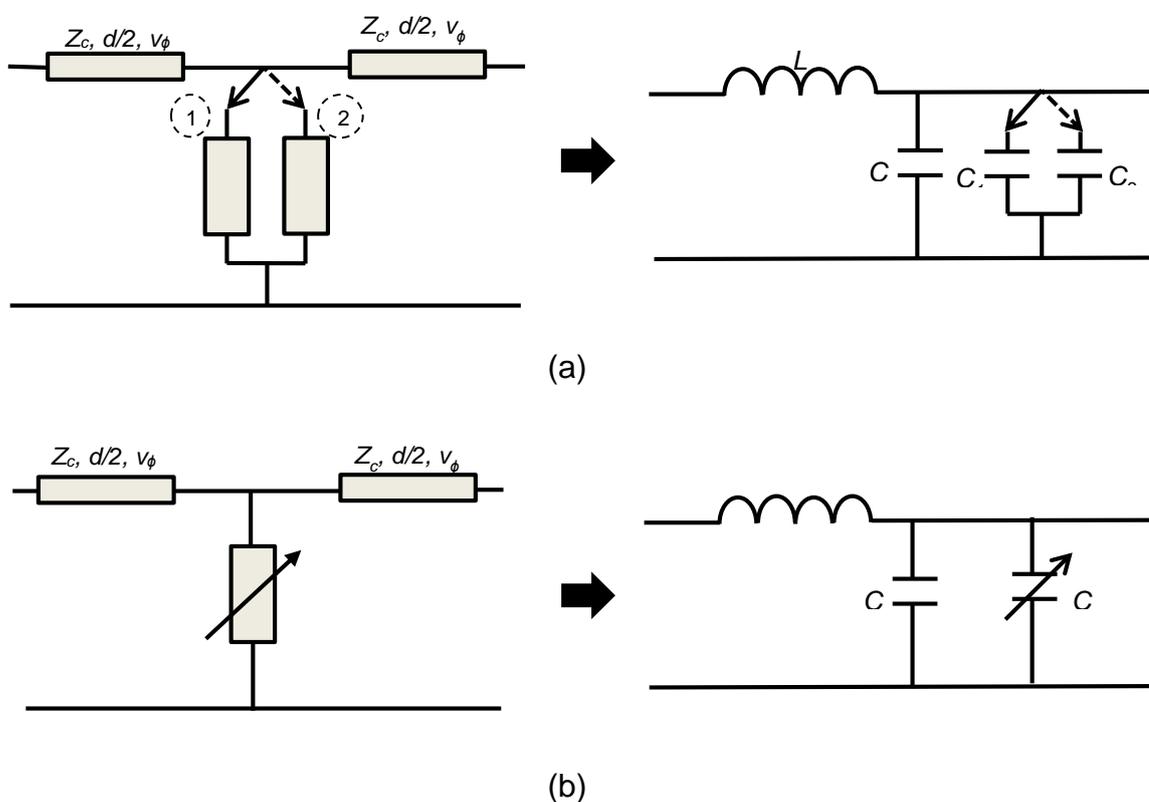
Fonte: Autor

Considerando que $-90^\circ < \tan^{-1}(x) < 90^\circ$, o máximo valor de defasagem que pode ser obtida com este defasador é 180° . Por isso, o principal problema para este tipo de defasadores é conseguir um intervalo de defasagem amplo. Para se conseguir uma defasagem de 360° é necessária a utilização de estágios em cascata, aumentando a complexidade e superfície do dispositivo. Além disso, este tipo de defasador apresenta perdas de transmissão elevadas devido aos componentes resistivos parasitas das cargas.

2.3 DEFASADOR DE LINHA CARREGADA

Este tipo de defasador é um dos defasadores mais utilizados em sistemas de telecomunicações [5]. Dentre suas principais características, pode-se destacar a simplicidade e baixa perda de inserção para defasagens menores que 90° [6].

Figura 8 - Topologia de defasador de linha carregada e seu modelo elétrico equivalente (uma célula) (a) Digital (b) Analógico.



Este tipo de defasador utiliza cargas variáveis distribuídas ao longo de uma linha de transmissão (Figura 8) para mudar a sua velocidade de fase. A linha de transmissão pode ser carregada com cargas comutáveis controladas digitalmente (Figura 8a) ou com cargas de variação contínua, como os varactores (Figura 8b). Assim, variando-se as cargas, muda-se a fase do sinal transmitido.

A impedância deste tipo de defasador varia com a variação da capacitância das cargas, sendo muito importante determinar os valores máximos e mínimos durante a etapa de projeto do dispositivo.

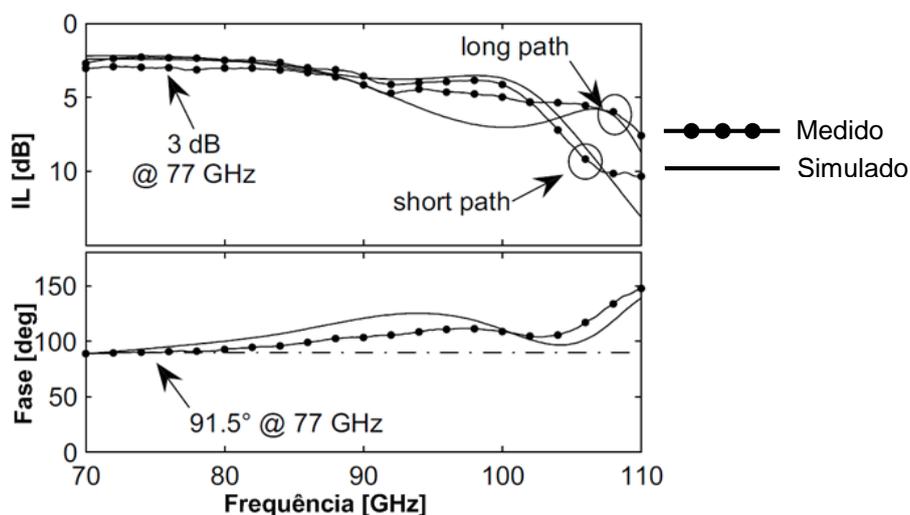
3 ESTADO DE ARTE

O principal objetivo desta sessão é apresentar os resultados da literatura para defasadores em mmW baseados nas diferentes topologias mencionadas na sessão 2. Estes resultados são descritos abaixo e resumidos na Tabela 2 (Pag. 21) e nas Figura 19, Figura 20, Figura 21 ao final do capítulo.

3.1 DEFASADOR DE LINHA COMUTADA (SL)

Dentre os artigos sobre defasadores de linha comutada, encontraram-se trabalhos baseados em diferentes tipos de elementos de ajuste. Em [7] os autores desenvolveram um defasador de 1 bit que utiliza chaves MEMS como elemento de ajuste e que foi fabricado para trabalhar em 77 GHz (Figura 9). Este defasador é baseado em silício de alta resistividade e apresenta perdas de inserção em torno de 3 dB, constante no intervalo entre 70 e 100 GHz.

Figura 9 - Defasagem e perdas de inserção obtidas em [7].

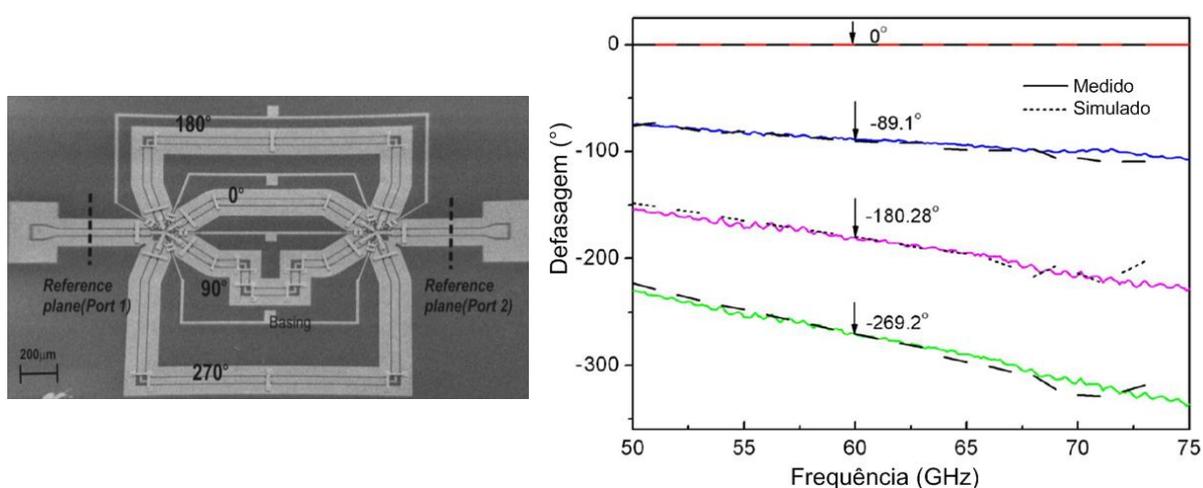


Fonte: [7]

Utilizando a topologia de linha comutada, em [8], os autores desenvolveram um defasador de 2 bits que utiliza chaves MEMS para seleccionar uma entre quatro linhas

de transmissão com diferentes comprimentos. Foi obtida uma defasagem máxima de 270° em 60 GHz (Figura 10), apresentando uma perda de inserção (IL) menor que 2,5 dB, implementado em uma área de 4 mm^2 . As tensões eletrostáticas para a atuação foram de 95 V, 86 V, 85 V e 75 V para conseguir os estados de 90° , 180° e 270° de defasagem.

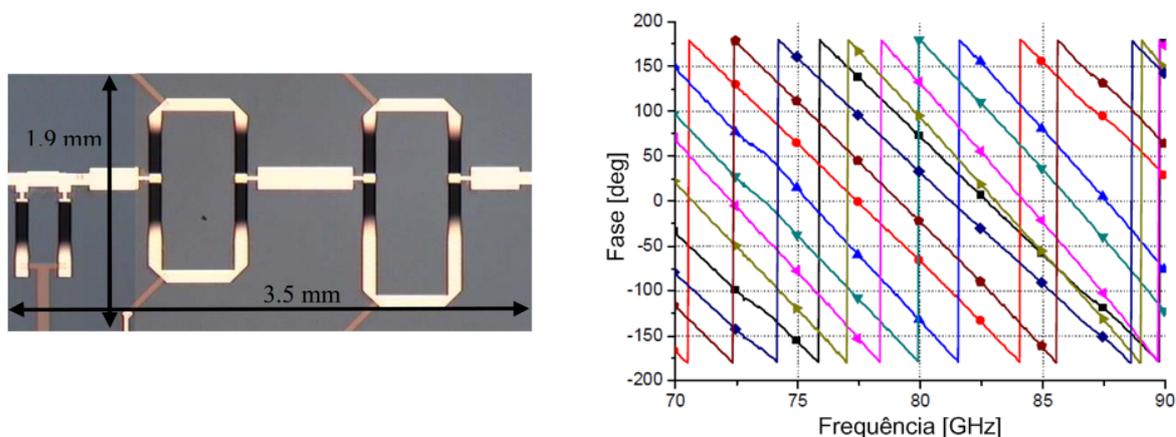
Figura 10 - Fotografia do defasador de 2- bits e a sua defasagem [8].



Fonte: [8]

Outro trabalho utilizando chaves MEMS é mostrado em [9], onde os autores desenvolveram um defasador de 3 bits (8 estados) com uma defasagem total de 180° sobre um substrato de Si, que trabalha em uma frequência de 76,5 GHz (Figura 11). Este defasador apresenta uma perda de inserção máxima de 5,7 dB, ocupando uma área de $6,65 \text{ mm}^2$. A tensão de atuação das chaves MEMS é aproximadamente de 46V.

Figura 11 - Resposta da defasagem do defasador em [9].



Fonte: [9]

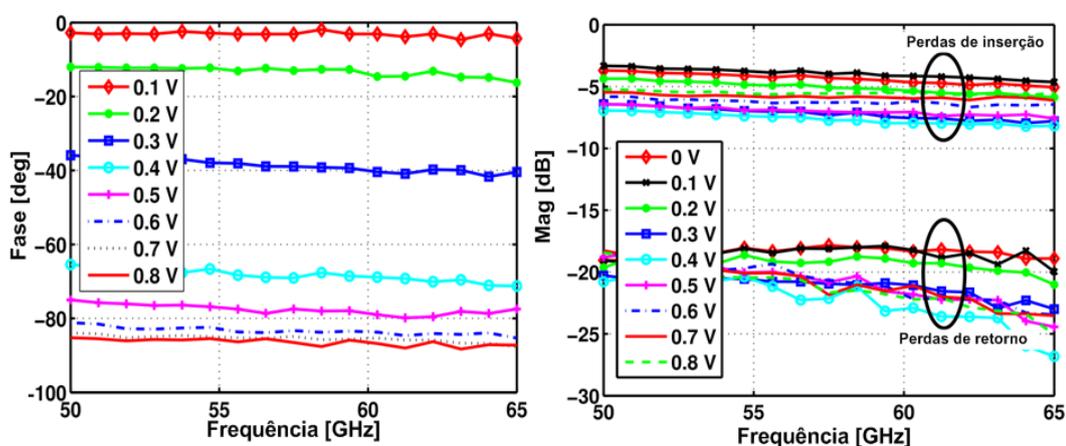
Na Tabela 2, são apresentados outros resultados utilizando a topologia de defasador de linha comutada.

Pode-se concluir a partir da Tabela 2 que os elementos de ajuste comumente utilizados para este tipo de defasador são os diodos PIN ou chaves MEMS. As chaves MEMS são mais utilizadas, pois apresentam perdas de transmissão menores. Além disso, os diodos PIN podem consumir bastante potência. Pode-se ver ainda que a resolução do defasador (número de bits) é dependente do número de linhas de transmissão utilizadas. Assim, para um maior número de bits são necessárias mais linhas de comutação, aumentando a área do dispositivo.

3.2 DEFASADOR TIPO REFLEXÃO (RT)

Em [12] os autores utilizam cargas refletivas baseadas em transistores MOS (Varactor MOS), conseguindo uma defasagem contínua de 0° a 87°. Este defasador foi fabricado com tecnologia CMOS de 90 nm e apresenta uma perda de inserção que varia de 4,5 a 8 dB, de 50 a 65 GHz, ocupando uma área de 0,075 mm² (Figura 12).

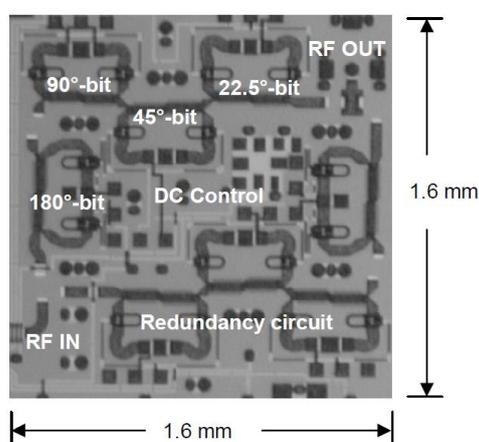
Figura 12 - Defasagem e perdas de inserção e retorno para o defasador em [12].



Fonte: [12]

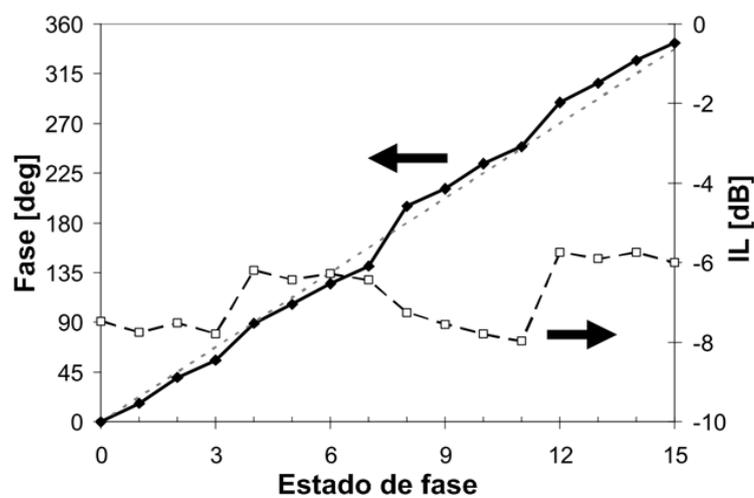
Com a mesma topologia, em [13], os autores desenvolveram um defasador de 4 bits (Figura 13), que utiliza chaves HEMT (*High Electron Mobility Transistor*) como elemento de ajuste. Este trabalho é baseado na utilização de células base que proporcionam defasagens de $22,5^\circ$, 45° , 90° e 180° . Este defasador utiliza tecnologia de GaAs e pode proporcionar uma defasagem de até $337,5^\circ$ em 94 GHz, ocupando uma área de $1,28 \text{ mm}^2$, com uma perda de inserção média de 8 dB (Figura 14).

Figura 13 - Fotografia do defasador de 4 bits tipo reflexão utilizado em [13].



Fonte: [13]

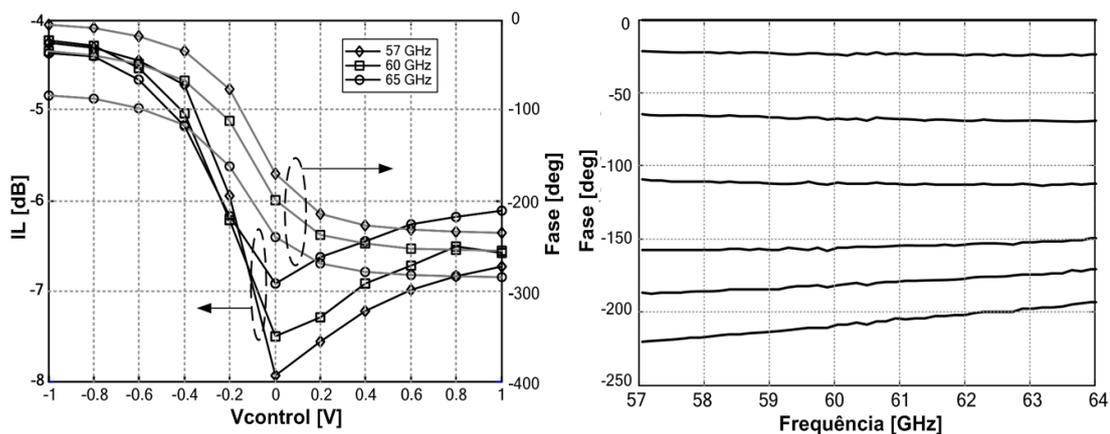
Figura 14 - Defasagem e perdas de inserção do defasador de [13].



Fonte: [13]

Em [14], um defasador de 180° foi desenvolvido em tecnologia CMOS. O defasador passivo apresenta perdas de inserção entre 4,2 dB e 7,5 dB em 60 GHz e usa como cargas refletivas varactores MOS.

Figura 15 - Perdas de inserção e defasagem do defasador tipo reflexão apresentado em [14].



Fonte: [14]

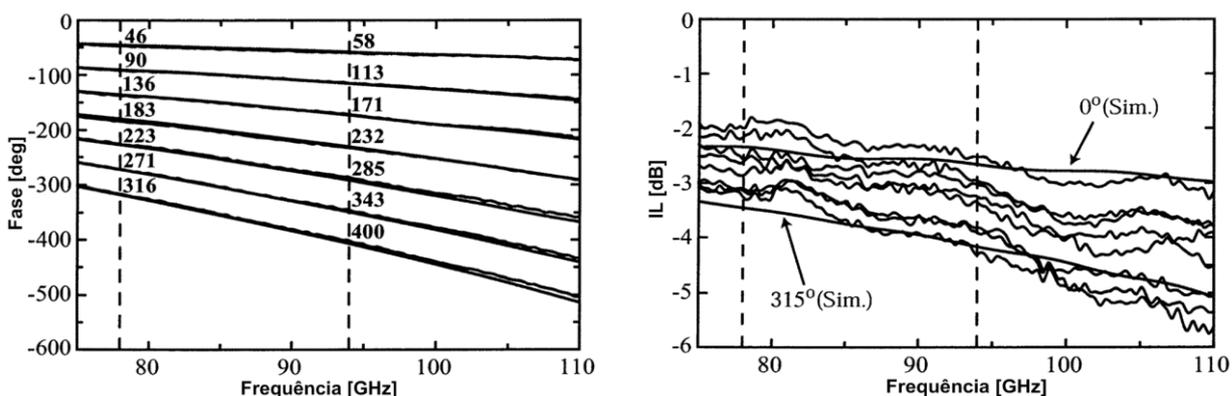
Outros resultados de defasadores desenvolvidos utilizando a topologia tipo reflexão são mostrados na Tabela 2.

Pode-se concluir, assim, que nos defasadores tipo reflexão, como pode ser encontrado na Tabela 2, a utilização de varactores MOS em tecnologias CMOS ou BiCMOS leva a fabricação de defasadores com áreas reduzidas de $0,031 \text{ mm}^2$ a $0,33 \text{ mm}^2$ para frequências de aproximadamente 60 GHz. Apesar desta característica vantajosa, o baixo fator de qualidade (FoM em $^\circ/\text{dB}$) dos varactores MOS, em geral, resulta em perdas de inserção altas.

3.3 DEFASADOR DE LINHA CARREGADA (LL)

Dentre os defasadores de linha carregada, pode-se encontrar em [19], um defasador de 3 bits fabricado sobre um substrato de vidro, baseado em linhas de transmissão coplanar que utilizam chaves MEMS como elemento de ajuste. Este defasador ocupa uma área aproximada de $10,8 \text{ mm}^2$ e apresenta uma perda de inserção de 3,2 dB para uma defasagem de 316° a 78 GHz (Figura 16).

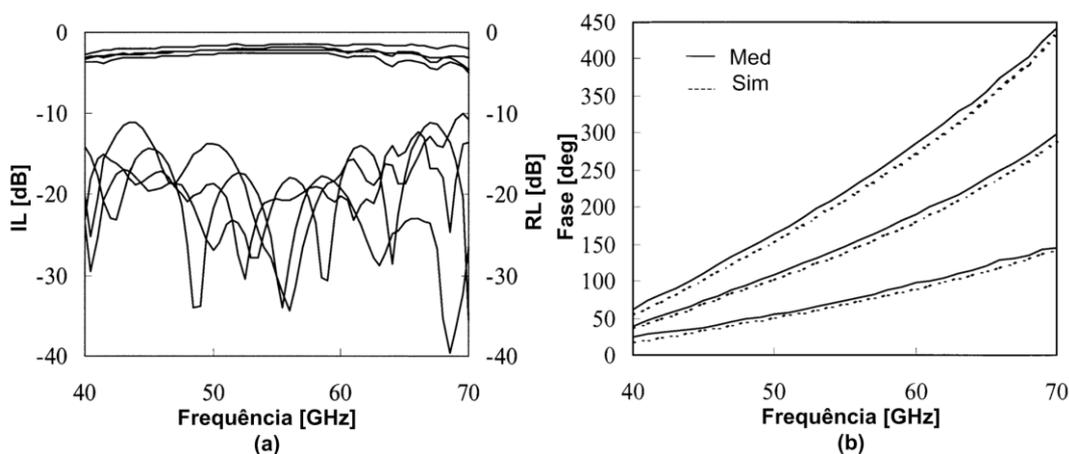
Figura 16 - Defasagem e perdas de inserção obtida em [19].



Fonte: [19]

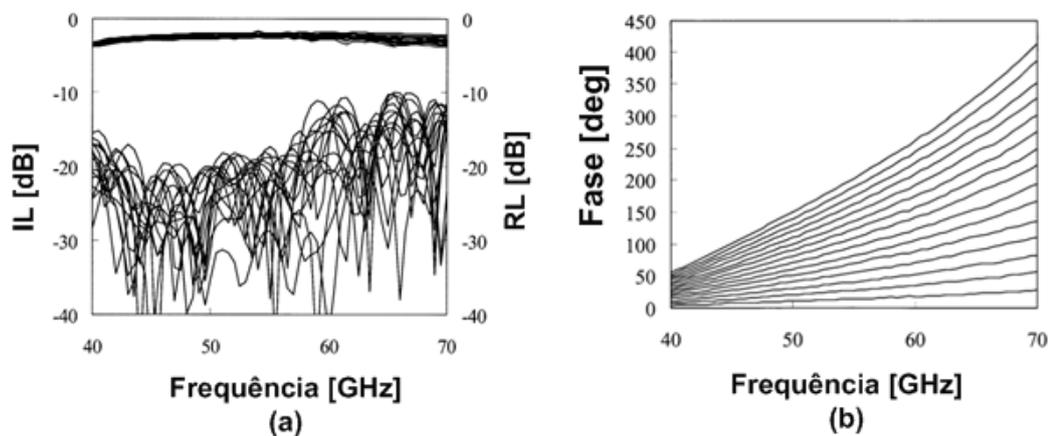
Em [20], os autores trabalharam em um defasador de 2 e outro de 4 bits, também utilizando chaves MEMS como objeto de ajuste que foram fabricados sobre um substrato de quartzo. O defasador de 2 bits realiza uma defasagem de 270° em 60 GHz. Este defasador apresenta perdas de inserção de aproximadamente 2,2 dB e é implementado em uma área de $9,45 \text{ mm}^2$, como mostrado na Figura 17.

Figura 17 - Resultados medidos do defasador de 2 bits (270° a 60 GHz) em [20]: (a) perdas de retorno e perdas de inserção e (b) defasagem.



Fonte: [20]

Figura 18 - Defasador de 4 bits ($337,5^\circ$ a 65 GHz) em [20]: (a) perdas de retorno e perdas de inserção e (b) defasagem.



Fonte: [20]

O defasador de 4 bits realiza uma defasagem de $337,5^\circ$ em 65 GHz, com uma perda de inserção de aproximadamente 2,8 dB e é implementado em uma área de $11,85 \text{ mm}^2$ (Figura 18).

Outros resultados de defasadores desenvolvidos utilizando a topologia de linha carregada são mostrados na Tabela 2.

Pode se concluir que os defasadores de linha carregada, como mostrado na Tabela 2, utilizam normalmente varactores MOS, chaves MEMS ou varactores MEMS como elemento de ajuste. A utilização de varactores MOS leva a dispositivos de dimensões menores, com área de $0,2 \text{ mm}^2$ para um defasador de 3 bits. No entanto, como para os defasadores tipo reflexão, as perdas de inserção também são altas.

Por outro lado, em [24] a utilização de tecnologias alternativas (Substrato de Sílica fundida) e de varactores MEMS como elemento de ajuste, proporciona os melhores resultados encontrados até agora na literatura. Este defasador apresenta defasagem contínua de 0° a 285° para uma frequência de 40 GHz, que pode ser implementado em uma área de $2,12 \text{ mm}^2$, apresentando perdas de inserção em torno de 1,3 dB.

Tabela 2 - Resumo do desempenho de defasadores passivos e ativos da literatura atual.

Tecnologia	Tipo/Elemento de Ajuste	Freq. (GHz)	Mudança de fase (°)	IL (dB) / Cons. de Energia (mW)	Área (mm ²)	FoM (°/dB)	Ref.
Si de alta resistividade	Passivo - SL /MEMS (1 bits)	77	90	-3	Não disp.	30	[7]
Substrato de Quartzo	Passivo - SL/MEMS (2 bits)	60	270	-2,5	4	108	[8]
Substrato de Si	Passivo - LL & SL (3bits)	76,5	180	-5,3	6,65	33,96	[9]
InGaAs	Passivo – SL/Diodo PIN (4 bits)	47	337,5	-6,1	2,16	55,33	[10]
CMOS 90 nm	Passivo - SL (4 bits)	60	337,5	-14	0,28	24,11	[11]
CMOS 90-nm	Passivo – RT/Varactor MOS (analógico)	60	87	-6,25	0,075	13,92	[12]
GaAs	Passivo - RT/Chaves HEMT (4 bit)	94	337,5	-8	1,28	42,19	[13]
BiCMOS SiGe	Passivo – RT/Varactor MOS (analógico)	60	180	-5,85	0,18	30,77	[14]
Substrato de Quartzo	Passivo – RT/MEMS (2 bits)	60	135	-4	3,15	33,75	[15]
CMOS 90 nm	Passivo – RT/Varactor MOS (analógico)	58	90	-6	0,08	15	[16]
CMOS 65 nm	Passivo – RT/Varactor MOS (analógico)	60	180	-6,6	0,031	27,27	[17]
CMOS 65 nm	Passivo – RT/ Varactor MOS (analógico)	60	147	-4,5	0,048	32,67	
BiCMOS SiGe 130 nm	Passivo – RT / Varactor MOS (analógico)	60	156	-5,1	0,33	30,59	[18]
Substrato de Vidro	Passivo – LL / MEMS (2 bits)	94	331	-3,4	~8	97,35	[19]
Substrato de Vidro	Passivo – LL / MEMS (3 bits)	78	316	-3,2	~10, 8	98,78	
Substrato de Quartzo	Passivo – LL/ MEMS (2 bits)	60	270	-2,2	9,5	122,73	[20]
Substrato de Quartzo	Passivo – LL/ MEMS (4 bits)	65	337,5	-2,8	11,85	120,54	
Substrato de Quartzo	Passivo – LL/ MEMS (2 bits)	60	270	-2,2	9.45	122,72	[21]
BiCMOS SiGe 0.12-µm	Passivo – LL / Diodo Varactor (analógico)	94	65	-7	0,21	9,29	[22]
CMOS 65 nm	Passivo – LL / MOS Varactor (3 Bits)	60	180	-9,4	0,2	19,15	[23]
Substrato de Sílica fundida	Passivo – LL / MEMS Varactor (analógico)	40	285	-1,8	2,12	158,33	[24]
BiCMOS SiGe 65-nm	Ativo - Digital (4 bits)	74	360	128	0,075	-	[25]
CMOS 65-nm	Ativo - Digital (4 bits)	94	360	142	0,12	-	
CMOS 90-nm	Ativo - Digital (5 bits)	60	360	50	0,63	-	[26]
CMOS 65-nm	Ativo - Digital (4 bits)	60	360	168	1,7	-	[27]
BiCMOS	Ativo - Vector Interpolator	60	360	32,4	0,64	-	[15]

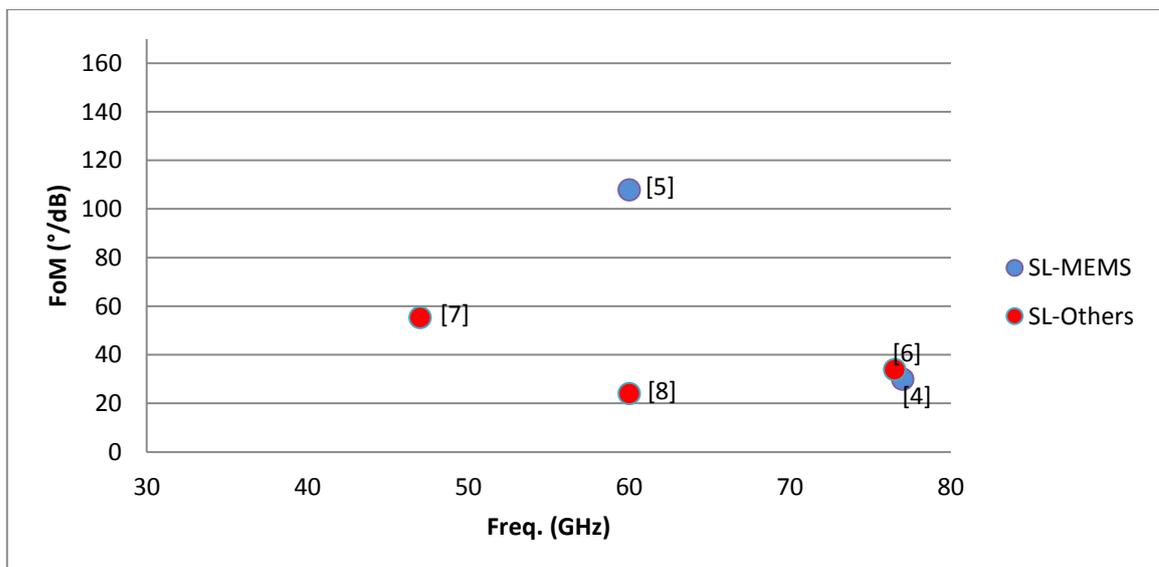
SL: Defasador de linha comutada; LL: Defasador de linha carregada; RT: Defasador tipo reflexão.

Baseado na Tabela 2, calculou-se uma Figura de Mérito-FoM, eq. (5), definida pela defasagem dividida pela perda de inserção máxima (em dB) para cada defasador. Assim, na Figura 19, Figura 20 e Figura 21 são mostrados os resultados da FoM obtidos para cada topologia de defasador e elemento de ajuste utilizado, onde quanto maior o valor melhor o rendimento. Como resultado, em geral, o melhor rendimento se observa nos defasadores de linha carregada utilizando MEMS como elemento de ajuste.

$$FoM = \frac{\phi}{IL} \left[\frac{^\circ}{dB} \right] \quad (5)$$

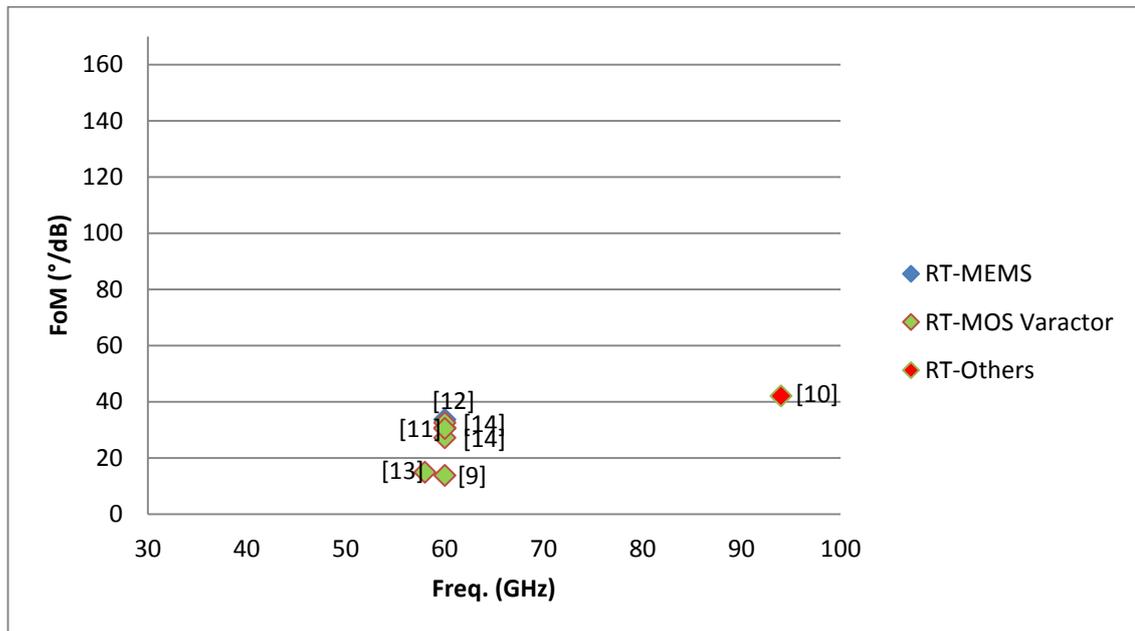
A Figura 19 mostra os resultados da FoM para os defasadores de tipo linha comutada, encontrando-se para este tipo de defasador que os melhores resultados utilizam MEMS como elemento de ajuste. Uma grande limitante de este tipo de defasador é a proporcionalidade que existe entre a área do dispositivo com a resolução dele, sendo que para uma maior resolução se precisa mais linhas de transmissão, o que resulta em um aumento na área.

Figura 19 - Figura de Mérito dos defasadores de tipo linha comutada (SL) mostrados na Tabela 2.



Por outro lado, a Figura 20 mostra os resultados da FoM para os defasadores de tipo reflexão, observando-se em forma geral valores baixos para a FoM. Dos resultados mostrados na Tabela 2, também se pode concluir que este tipo de defasador pode ser compacto utilizando varactores MOS como elemento de ajuste, mas isso resulta em altas perdas de inserção.

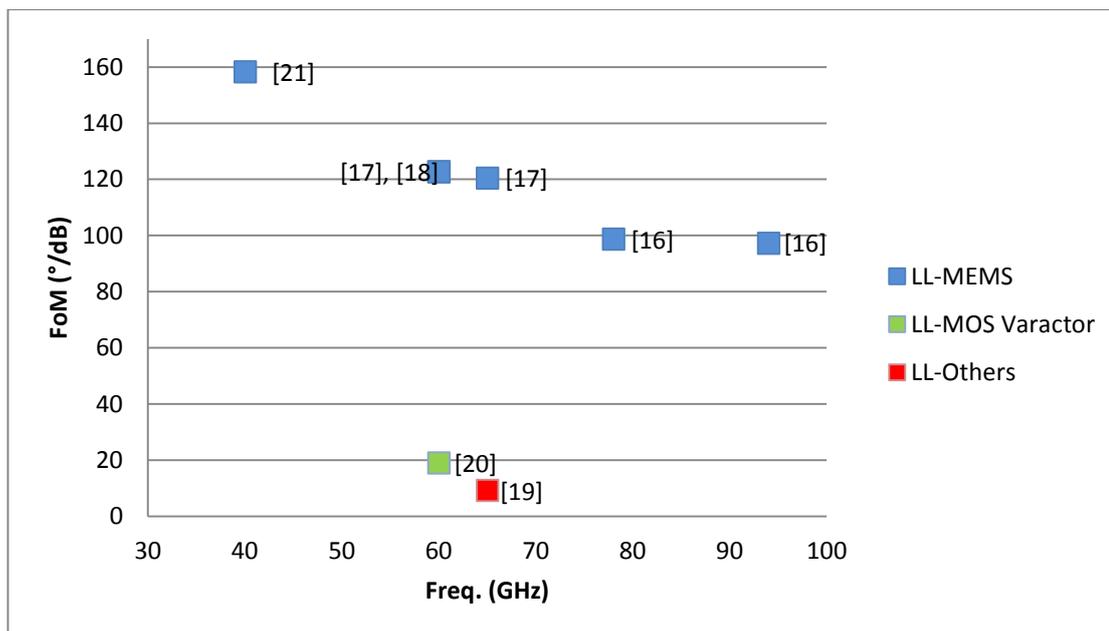
Figura 20 - Figura de Mérito dos defasadores de tipo reflexão (RT) mostrados na Tabela 2.



Fonte: Autor

Os resultados da FoM para os defasadores de tipo linha carregada são mostrados na Figura 21. Para este tipo de defasador se encontraram os melhores resultados dentre as três topologias consideradas. Esses defasadores utilizam MEMS como elemento de ajuste, sendo eles fabricados sobre substratos de sílica fundida ou quartzo.

Figura 21 - Figura de Mérito dos defasadores de tipo linha carregada (LL) mostrados na Tabela 2.



Fonte: Autor

Por mostrarem a melhor performance, os defasadores de tipo linha carregada que utilizam MEMS como elemento de ajuste servirão como base para o defasador proposto neste trabalho, sendo seu princípio descrito a seguir.

4 DEFASADOR COM MEMS DISTRIBUÍDOS

Nesta sessão será apresentado o conceito dos defasadores com MEMS distribuídos e linhas de transmissão coplanares de efeito de ondas-lentas, objetivo deste trabalho de mestrado. Será explicado brevemente o princípio de funcionamento de uma linha de transmissão de onda lenta e como este tipo de linha pode ser modificada para realizar um defasador. Também será mostrado o modelamento utilizando elementos concentrados desenvolvido para realizar simulações eletromecânicas do MEMS distribuído e simulações em RF do defasador, todo em um sistema completo.

4.1 LINHAS DE TRANSMISSÃO DE ONDAS-LENTAS

O efeito de ondas lentas em uma linha de transmissão é obtido pelo aumento da permissividade relativa efetiva (ϵ_{ref}), que leva a uma redução na velocidade de fase do sinal transmitido, como ilustra a eq. (6).

$$v_{\phi} = \frac{c}{\sqrt{\epsilon_{\text{ref}}}} \quad (6)$$

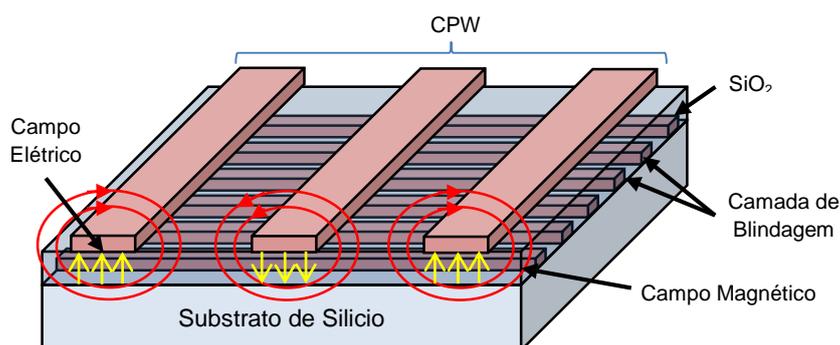
Considerando duas linhas de transmissão (LT1 e LT2), que foram projetadas para ter a mesma impedância característica, Z_c , porém com diferentes velocidades de fase ($v_{\phi 1}$ e $v_{\phi 2}$), se $v_{\phi 1}$ é menor que $v_{\phi 2}$, então, para um mesmo comprimento de linha, ϕ_1 será maior que ϕ_2 , eq. (3). Da mesma forma, se essas linhas fossem projetadas para terem defasagens iguais, então o comprimento de LT1 seria menor que o de LT2, levando a miniaturização e redução do custo do dispositivo.

O aumento de ϵ_{ref} em linhas de transmissão pode ser obtido através de modificações geométricas. Por exemplo, em linhas de transmissão planares como a de linha de microfita (*Microstrip*) é possível aumentar o valor de ϵ_{ref} através de modificações do plano de terra (*ground defect structure*) [28]. Em linhas de

transmissão tipo *CoPlanar Waveguide* (CPW) isso é feito pela adição de uma camada de metal (camada de blindagem) entre a linha de transmissão e o substrato. Estas linhas são conhecidas como *shielded-CPW* ou S-CPW e são atualmente as linhas de transmissão com maior fator de qualidade em tecnologias integradas em silício [29] e por isso serão utilizadas como base para o desenvolvimento dos defasadores neste trabalho.

Em tecnologias baseadas em Si, além de gerar o efeito de ondas lentas, a camada de blindagem impede que o campo elétrico chegue até o substrato de Si, reduzindo assim, as perdas devido à condutividade do Si [30]. A Figura 22 ilustra uma S-CPW, que normalmente é fabricada na camada de interconexão metálica (*back-end-of-line*) de tecnologias CMOS. A linha coplanar é fabricada na camada metálica superior, por esta ser normalmente mais espessa (de 1 μm a 3 μm), reduzindo assim as perdas no condutor. A camada de blindagem é feita em um nível metálico mais próximo do silício e é constituída de tiras estreitas (de 1 μm a 200 nm) e finas (de 200 nm a 600 nm). Por estar próximo da CPW, a camada de blindagem capta o campo elétrico, mas permite a passagem do campo magnético, evitando outras perdas na transmissão.

Figura 22 - Linha de transmissão de onda lenta tipo CPW.

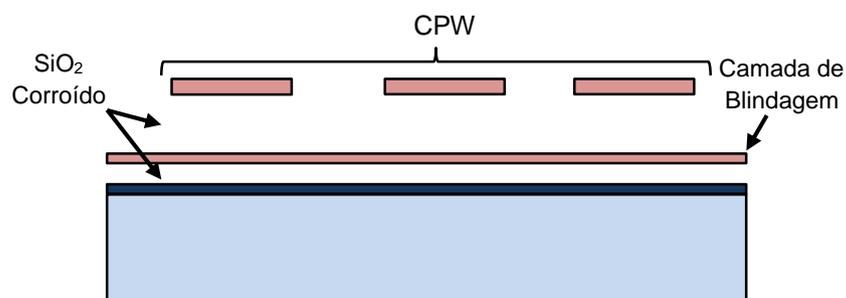


Fonte: Autor

4.2 PRINCÍPIO DE FUNCIONAMENTO DOS DEFASADORES BASEADOS EM LINHAS DE ONDA LENTA E MEMS DISTRIBUÍDOS

Nas S-CPWs, do ponto de vista de circuito, pode-se considerar que a camada de blindagem atua como uma capacitância distribuída, carregando a linha CPW. Neste caso, a capacitância equivalente do modelo ideal (Figura 5) pode ser controlada essencialmente pela distância entre a CPW e a camada de blindagem. Como o campo magnético não é perturbado pela camada de blindagem, a indutância equivalente não muda. Assim, com o controle da posição da camada de blindagem é possível controlar a velocidade de fase e, portanto, pode-se controlar a fase do sinal transmitido. Para permitir isso, é necessário modificar a S-CPW e liberar sua camada de blindagem, para que possa ser movimentada mecanicamente. A liberação desta camada é feita corroendo o óxido de silício (SiO_2) que a envolve. A Figura 23 mostra a vista em corte da S-CPW modificada, que será a estrutura base do defasador ajustável proposto neste trabalho.

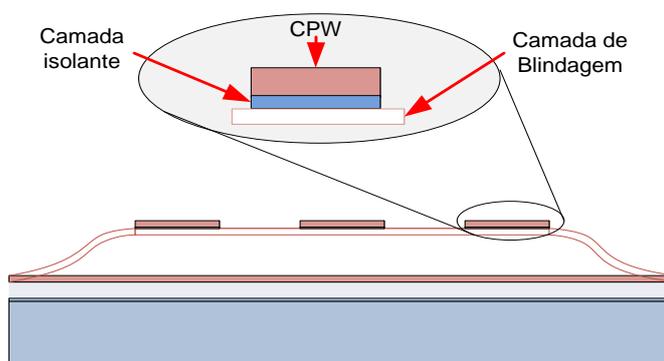
Figura 23 - Modificação da S-CPW para a realização do defasador proposto neste trabalho.



Fonte: Autor

A posição da camada de blindagem é controlada através da aplicação de uma tensão contínua entre ela e a CPW. Com a tensão, a camada de blindagem será atraída em direção a CPW, devido à força eletrostática, aumentando a capacitância equivalente da linha, mudando a fase do sinal. Sem tensão aplicada, a camada de blindagem permanece em repouso, mantendo a capacitância equivalente inicial e a fase inicial. A Figura 24 ilustra a atuação da camada de blindagem.

Figura 24 - Princípio de ajuste do defasador proposto.



Fonte: Autor

A variação de C na estrutura proposta não é contínua já que só existem duas posições para cada fita na camada de blindagem. A primeira posição é a posição de repouso, na qual a fita está à distância inicial da linha de transmissão. Neste caso, a linha de transmissão tem um ϵ_{ref} mínimo, pois a capacitância equivalente é mínima. A segunda posição é a posição atuada, quando a fita colapsa no CPW, pois aumentando a capacitância e gerando um ϵ_{ref} máximo.

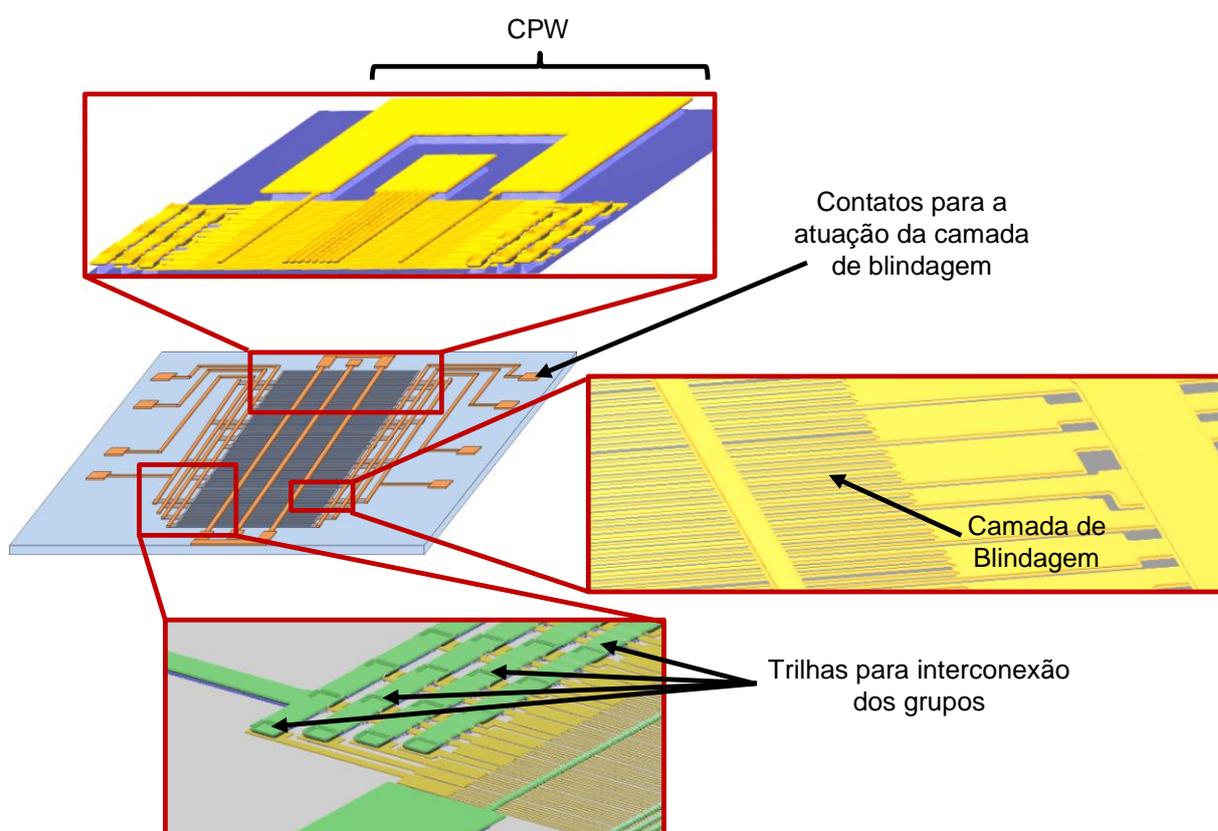
Para este dispositivo, a distância entre a camada de blindagem e a linha de transmissão não pode ser zero, pois isto geraria um curto circuito (em DC) entre as duas camadas. Para evitar esse curto, é utilizada uma camada isolante fina entre a camada de blindagem e a CPW. Esta camada isolante é ilustrada na Figura 24.

Para o defasador proposto neste trabalho a camada de blindagem é composta por 20 conjuntos de fitas, onde cada conjunto é formado por grupos de 3, 5, 7 e 9 fitas, sendo eles projetados para proporcionar os estados de fase de um defasador de 3 bits de 180° de defasagem (Figura 25). A divisão dos grupos em 20 conjuntos é feita para evitar as perdas de retorno ligadas aos efeitos da frequência de Bragg [31].

Cada grupo de 3, 5, 7 ou 9 (Figura 25) é acionado individualmente, mas simultaneamente em todos os conjuntos. Para isso, os grupos são religados por trilhas

e vias. Desta forma, a tensão elétrica pode ser aplicada separadamente em cada grupo (usando os contatos específicos) para a obtenção dos 3 bits de precisão.

Figura 25 - Defasador proposto neste trabalho. As imagens foram elaboradas utilizando o programa simMEMS, desenvolvido no GNMD [32].



Fonte: Autor

4.3 MODELAMENTO ELETROMECHANICO

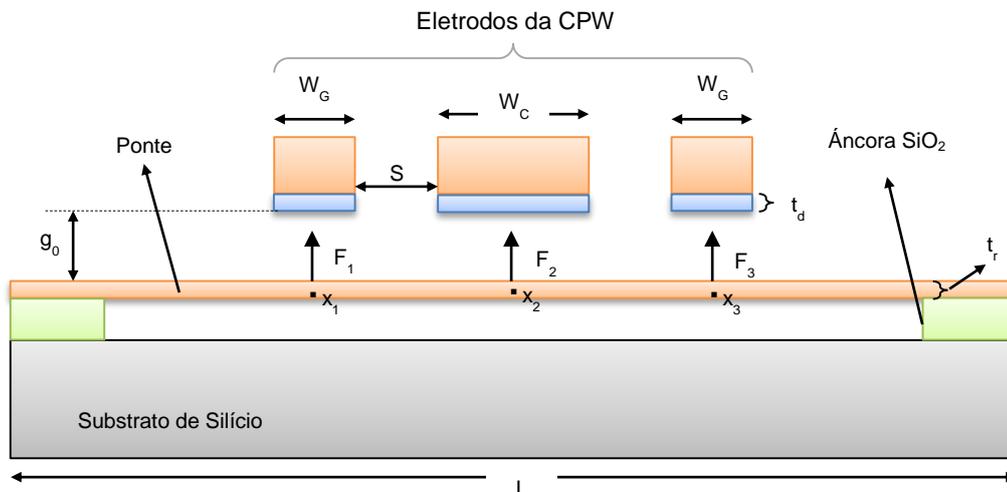
O modelamento utilizando elementos concentrados permite simular o comportamento eletromecânico do MEMS distribuído junto com o comportamento do defasador em RF. Este modelo dinâmico do defasador é importante para a simulação de um sistema completo de um transceiver com formação de feixe, no qual os transientes e tempos de chaveamento devem ser considerados. Para simular esses dois comportamentos em um mesmo ambiente é utilizada uma analogia mecânica-elétrica. Nesta analogia, a força de um domínio mecânico pode ser representada como corrente no domínio elétrico, a velocidade como tensão, o coeficiente de amortecimento como condutância elétrica, a massa como a capacitância e a constante de mola como o inverso da indutância elétrica.

A utilização deste modelamento permite encontrar a variação da posição das estruturas (vigas biengastadas ou pontes) da camada de blindagem em função do tempo, quando uma tensão elétrica é aplicada entre elas e os eletrodos da CPW. Essa variação da posição é responsável pela variação da capacitância equivalente da S-CPW que leva à mudança na fase do sinal propagado. Este modelamento pode ser utilizado também para determinar outros parâmetros importantes como a tensão de *pull-in* e o tempo de chaveamento necessário para que as pontes da camada de blindagem passem do estado de repouso ao estado ativado.

A estrutura simulada por elementos concentrados é mostrada na Figura 26 e suas dimensões são especificadas na Tabela 3. Para o modelamento, as pontes da camada de blindagem são simuladas como uma viga biengastada e os eletrodos da CPW são considerados estruturas fixas devido à sua espessura (10 vezes maior que a espessura da ponte), que leva a uma rigidez mecânica consideravelmente maior.

O comportamento eletromecânico de toda a camada de blindagem pode ser modelado pela análise do comportamento de apenas uma fita, pois a força eletrostática que atua sobre a cada fita da camada de blindagem é a mesma.

Figura 26 – Seção transversal da estrutura simulada por elementos concentrados.



Fonte: Autor

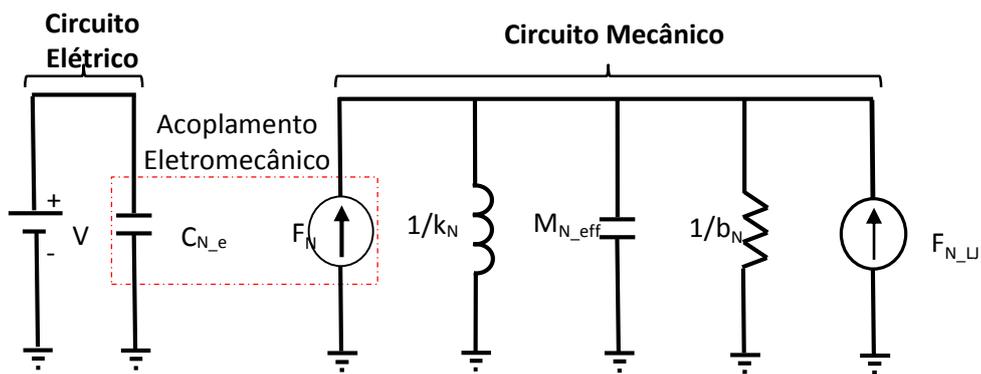
Tabela 3 – Parâmetros do modelo.

Geometria	Valor
Comprimento da ponte	$L = 170 \mu\text{m}$
Largura da ponte	$w_r = 1 \mu\text{m}$
Espessura da ponte	$t_r = 0,25 \mu\text{m}$
Largura do eletrodo central	$w_C = 8 \mu\text{m}$
Largura do eletrodo de terra	$w_G = 12 \mu\text{m}$
Gap	$g_0 = 750 \text{nm}$
Espessura da camada isolante	$t_d = 500 \text{nm}$
Distância entre os eletrodos da CPW	$S = 50,7 \mu\text{m}$

Na estrutura, a tensão aplicada entre a camada de blindagem e a CPW (sinal e terra) gera uma força eletrostática que desloca a camada de blindagem em direção da CPW. Assim, em cada eletrodo da CPW será gerado uma força F_1 , F_2 e F_3 , (Figura 26) que vai contribuir para o deslocamento total de cada uma das fitas da camada de blindagem.

O modelamento do deslocamento gerado pelas forças em cada um dos eletrodos é feito através de um modelo massa, mola e amortecedor equivalente para cada ponto. Esse modelo permite simular o comportamento dinâmico das fitas e pode ser representado eletricamente utilizando uma analogia eletromecânica. Portanto, o modelo para cada ponto analisado pode ser dividido em um circuito elétrico formado por uma fonte de tensão e uma capacitância, e um circuito mecânico formado por uma massa (capacitor), uma mola (indutor), um amortecedor (resistor) e duas fontes de força (fonte de corrente), todos em paralelo como mostra a Figura 27.

Figura 27 – Circuito equivalente utilizado para simular o comportamento dinâmico das fitas nos pontos x_1 , x_2 e x_3 .



Fonte: Autor

Na Figura 27, a fonte F_N representa a força eletrostática, que pode ser calculada pela eq. (7), [31].

$$F_N = \frac{\epsilon_0 \cdot A \cdot V^2}{2 \cdot \left(g_0 + \frac{t_d}{\epsilon_r} - y\right)^2} \quad (7)$$

onde:

V representa a tensão aplicada;

A é a área definida pela largura de cada eletrodo da CPW a ser analisado (W_c e W_G) e a largura de cada fita (W_f);

ϵ_0 é constante dielétrica do espaço livre (valor utilizado $\epsilon_0=8.854e-12$ F/m);

ϵ_r é a constante dielétrica relativa da camada dielétrica localizada sob a CPW (valor utilizado $\epsilon_r=7$);

y representa o deslocamento das fitas;

N é o índice da força analisada ($N=1, 2$ e 3).

A fonte F_{N_LJ} mostrada na Figura 27, representa a força de Lennard-Jones que pode ser expressada como mostrado em (8). Esta força é considerada no modelo para simular as forças atrativa e repulsiva relacionadas ao contato mecânico entre as fitas e a CPW [31]. Na eq. 8, os valores de C_A e C_R representam as constante atrativa e constante repulsiva correspondentemente, sendo o valor de C_R escolhido para permitir uma fácil convergência das simulações numéricas. Ambas componentes tendem a aumentar muito mais rápido do que a força eletrostática quando a distância entre as fitas e os condutores estão perto de zero. Assim, a força repulsiva interrompe o deslocamento da fita quando esta entra em contato com a camada dielétrica.

$$F_{N_LJ} = \frac{C_A \cdot A}{(g_0 - \frac{t_d}{\epsilon_r} - y)^3} - \frac{C_R \cdot A}{(g_0 - \frac{t_d}{\epsilon_r} - y)^{10}} \quad (8)$$

A massa efetiva (M_{N_eff}) mostrada na Figura 27, é utilizada para representar a energia cinética de toda a fita no ponto específico (x_N). O valor dessa massa efetiva pode ser calculado utilizando o princípio de Rayleigh como mostrado em (9), [33].

$$M_{N_eff} = \int_0^L \left(\frac{y_T}{y_{x_N}} \right)^2 \frac{M}{L} dx \quad (9)$$

onde:

y_T é a expressão do deslocamento da viga em função da posição analisada [34];

y_{x_N} é o deslocamento produzido no ponto específico a ser analisado;

M, L são a massa total e o comprimento da fita, respectivamente.

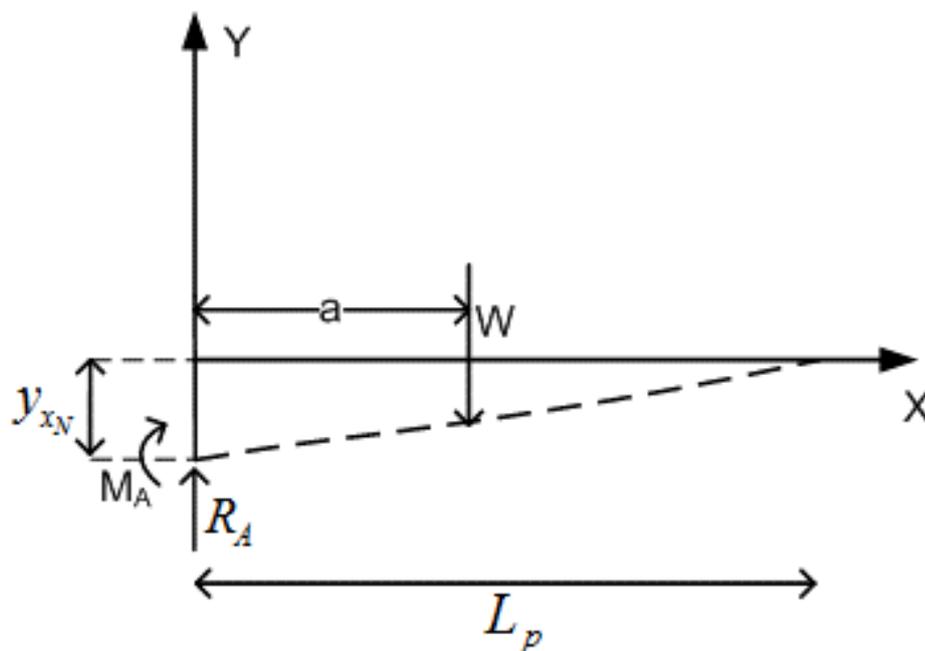
Da mesma forma, o valor da constante de mola (k_N) que aparece na Figura 27, é calculado utilizando a equação da força mola mostrada em (10).

$$F = ky \quad (10)$$

onde:

y é o deslocamento da viga que pode ser calculado baseado no modelo Euler-Bernoulli para pequenos deslocamentos de uma viga biengastada sob uma força concentrada mostrado na Figura 28 [34].

Figura 28 - Modelo de deslocamento de uma viga bi engastada sob uma força concentrada.



Fonte: [34]

O deslocamento y_{x_N} para este modelo é definido como mostrado em (11), (12) e (13).

$$y_{x_N} = \frac{M_A x^2}{2EI} + \frac{R_A x^3}{6EI} - \frac{W}{6EI} \langle x - a \rangle^3 \quad (11)$$

$$M_A = -\frac{W a}{L^2} (L - a)^2 \quad (12)$$

$$R_A = \frac{W}{L^3} (L - a)^2 (L + 2a) \quad (13)$$

onde:

$$\langle x - a \rangle^3 = \begin{cases} 0; & x < a \\ (x - a)^3; & x > a \end{cases}$$

M_A é o momento fletor;

R_A é a força de reação, ambas no suporte A;

a é o ponto onde a força concentrada é aplicada;

x é o ponto ao longo da viga a ser analisado;

W é a força aplicada;

I é o segundo momento de inercia;

E é o módulo de Young (valor utilizado $E_{cu}=120$ GPa).

A constante de amortecimento (b_N) mostrada na Figura 27 pode ser calculada como é mostrado na eq.(14) [31].

$$b_N = \frac{\sqrt{k_N M_{N_eff}}}{Q} \quad (14)$$

onde:

k_N é a constante de mola;

M_{N_eff} é a massa efetiva da fita;

Q representa o fator de qualidade da fita.

Para grandes deslocamentos (como neste caso) o fator de qualidade depende fortemente do espaçamento (g_0) entre a CPW e a fita, podendo ser representado pela eq. (15).

$$Q = Q_0 \left(1.1 - \left(\frac{y}{g_0} \right)^2 \right)^{3/2} \left(1 + 9.638 \left(\frac{\lambda}{g_0 - y} \right)^{1.159} \right) \quad (15)$$

onde:

Q_0 é o fator de qualidade para pequenos deslocamento dado na eq. (16);

y é o deslocamento da fita;

λ é o livre caminho médio ($\lambda=65$ nm);

μ é a coeficiente de viscosidade dinâmica do meio ($\mu_{ar}=1.8e-5$ m²/s) e

ρ é densidade do material da fita ($\rho_{Cu}=8960$ Kg/m³).

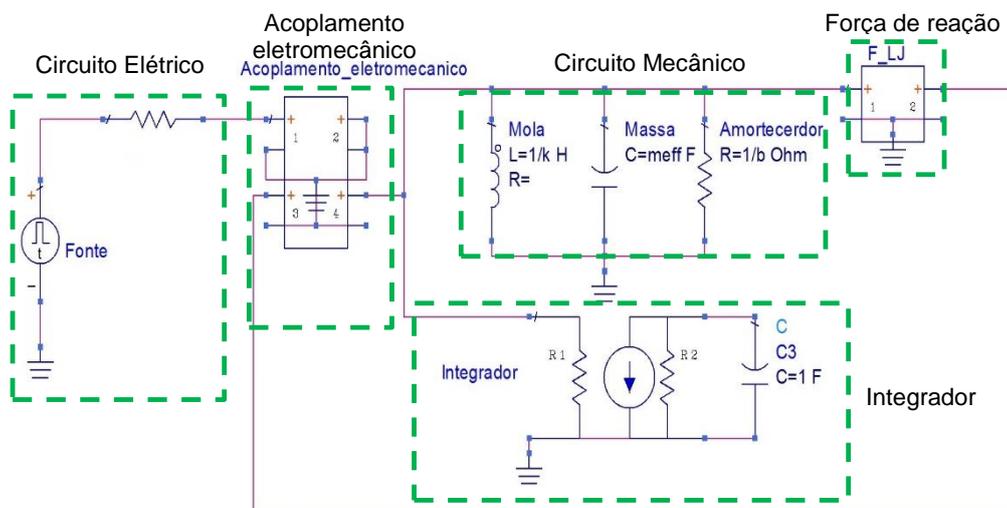
$$Q_0 = \frac{2.7\pi g_0^3 t_r^2}{\mu W_r L^3} \sqrt{E\rho} \quad (16)$$

O modelo da Figura 27 foi implementado no *software* ADS (Advanced Design System, da Agilent) como mostra a Figura 29. O circuito apresentado nesta figura representa o modelo para um só ponto da fita (x_1 , x_2 ou x_3), sendo que o mesmo circuito também foi implementado para a simulação de cada um dos outros pontos. O deslocamento total de todos os pontos analisados foi obtido por sobreposição, levando em conta a influência da força de todos eletrodos da CPW no mesmo ponto.

Como a analogia utilizada representa a velocidade do movimento da fita como uma tensão elétrica, essa tensão deve ser integrada para se obter a posição das fitas no ponto analisado. A mudança da posição da viga (deslocamento) devido à força eletrostática resulta em um aumento da capacitância elétrica, que aumenta a força eletrostática. Por outro lado, a força mola equivalente da estrutura ($k \cdot y$) aumenta com o deslocamento e se contrapõe com a força eletrostática. Com o aumento da tensão aplicada, o deslocamento da estrutura também aumenta e como a força eletrostática é proporcional ao quadrado da separação entre os eletrodos (CPW e fitas), está se torna muito maior que a força de mola, fazendo com que as fitas da camada de

blindagem colapsem nos condutores da CPW. Quando a distância entre as fitas e os condutores da CPW se torna muito pequena, a força de Lennard-Jones se torna muito grande, impedindo que o deslocamento além do plano da CPW e estabilizando o sistema. A tensão necessária para que as fitas colapsem na CPW é conhecida como tensão de *pull-in*.

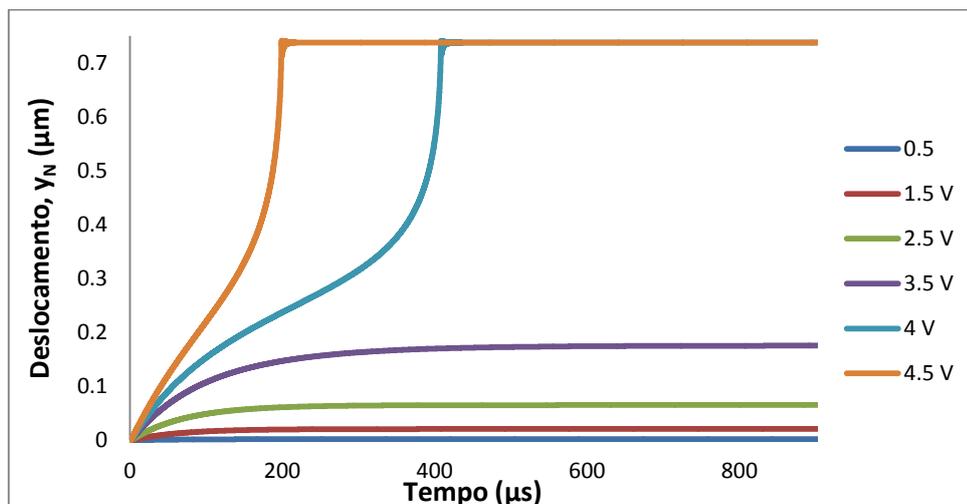
Figura 29 – Modelo eletromecânico de um ponto na fita da camada de blindagem.



Fonte: Autor

As análises do comportamento dinâmico da fita em pontos específicos onde estão localizados os eletrodos da CPW (o central e os dois de terras) são mostrados na Figura 30 e na Figura 31. Nestas figuras são mostrados o deslocamento das fitas da camada de blindagem nos pontos x_2 e x_1 (ou x_3 , pois a estrutura é simétrica) respectivamente, considerando a força eletrostática só no ponto analisado. Para x_2 (ponto abaixo do condutor central) a tensão de *pull-in* é aproximadamente 3,8 V (Figura 30).

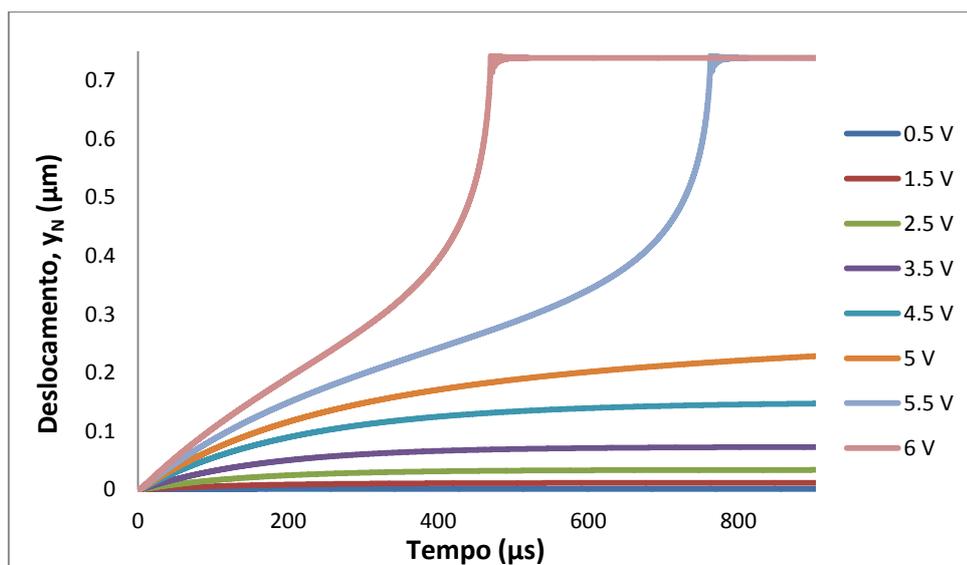
Figura 30 - Comportamento dinâmico da fita (deslocamento) com a aplicação de diferentes tensões no ponto x_2 .



Fonte: Autor

As simulações para x_1 e x_3 (pontos sob dos condutores laterais) mostram que a tensão de *pull-in* é aproximadamente 5 V (Figura 31).

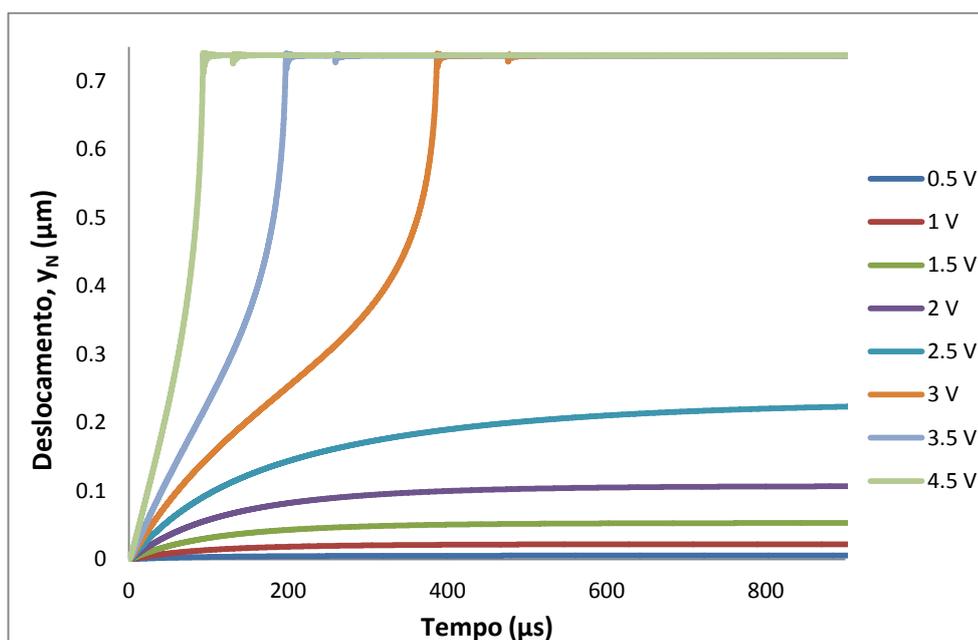
Figura 31 - Comportamento dinâmico da fita com a aplicação de diferentes tensões em x_1 e x_3 .



Fonte: Autor

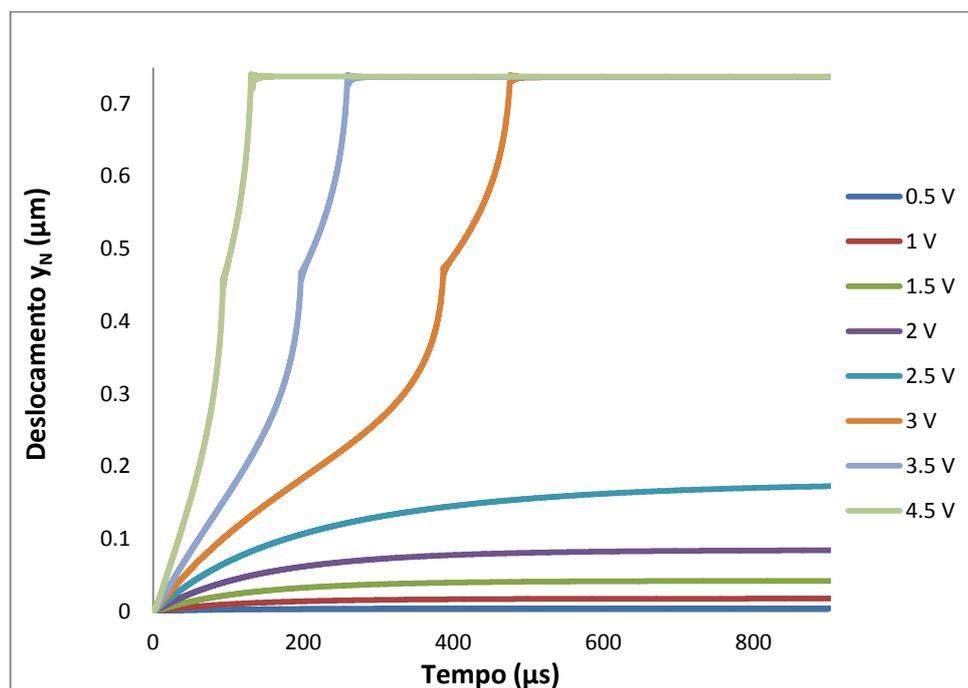
Os resultados apresentados anteriormente mostram o deslocamento produzido pela aplicação de uma tensão DC nos pontos específicos, isoladamente. Sabendo que a aplicação de uma tensão em qualquer um dos pontos vai contribuir no deslocamento nas outras duas posições, o resultado total é obtido utilizando o princípio de superposição. Assim, superpondo os deslocamentos obtidos e considerando os seus respectivos efeitos nas outras posições, i.e. o deslocamento em x_2 devido à força aplicada em x_1 e x_3 , e vice-versa; é possível obter o deslocamento total da fita nas posições dos condutores de terra (laterais) e o central. A Figura 32 e a Figura 33 mostram o deslocamento da fita quando uma tensão é aplicada nos três condutores. Neste caso, a tensão de *pull-in* para x_2 é de aproximadamente em 2,6V.

Figura 32 - Comportamento dinâmico no ponto x_2 da fita sob a aplicação de diferentes tensões nos três condutores da CPW.



Fonte: Autor

Figura 33 - Comportamento dinâmico no ponto x_1 (ou x_3) da fita sob a aplicação de diferentes tensões nos três condutores da CPW.



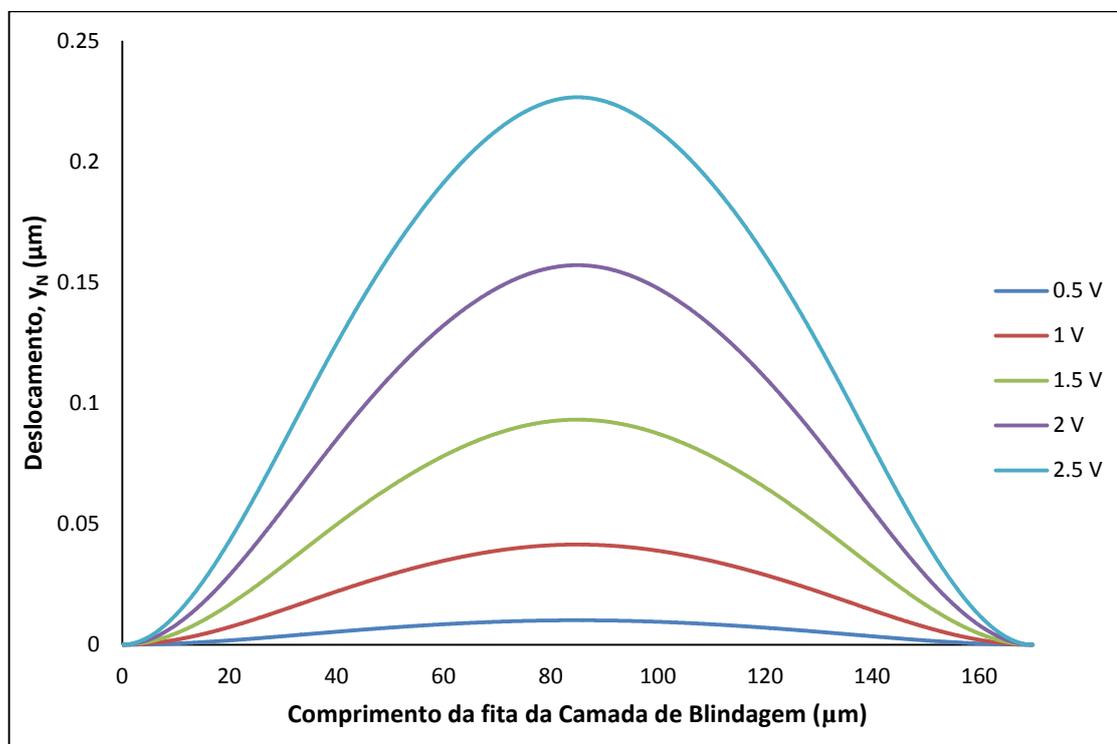
Fonte: Autor

Pode-se observar que quando a tensão é aplicada aos três condutores, a tensão de *pull-in* diminuiu, observando-se também uma mudança no tempo de acionamento.

Os resultados obtidos das análises foram comparados com simulações por elementos finitos utilizando o software COMSOL, corroborando o modelo de elementos concentrados utilizado.

Assim, na Figura 34 são mostrados os resultados das simulações feitas no COMSOL para o deslocamento da viga quando diferentes valores de tensão DC são aplicados entre as fitas da camada de blindagem e os três condutores da CPW. Para valores de tensão superiores a 2,7 V, a simulação por elementos finitos não convergiu, indicando que esta tensão está próxima da tensão de *pull-in* da estrutura, corroborando os resultados mostrados nas Figura 32 e Figura 33.

Figura 34 – Simulação estática com modelo de elementos finitos mostrando o deslocamento de uma fita da camada de blindagem em função da tensão DC aplicada.



Fonte: Autor

Com isso, o uso do modelo de elementos concentrados se mostra interessante, já que permite obter uma resposta confiável com um tempo de simulação reduzido.

4.4 MODELAMENTO DO COMPORTAMENTO EM RF DO DEFASADOR

Como foi mencionado anteriormente, a variação da posição das fitas da camada de blindagem resulta na mudança da capacitância por unidade de comprimento (C) da CPW e, em consequência, também na mudança de alguns parâmetros do defasador como a impedância característica da linha (Z_c) a constante de fase (β) e o fator de qualidade Q .

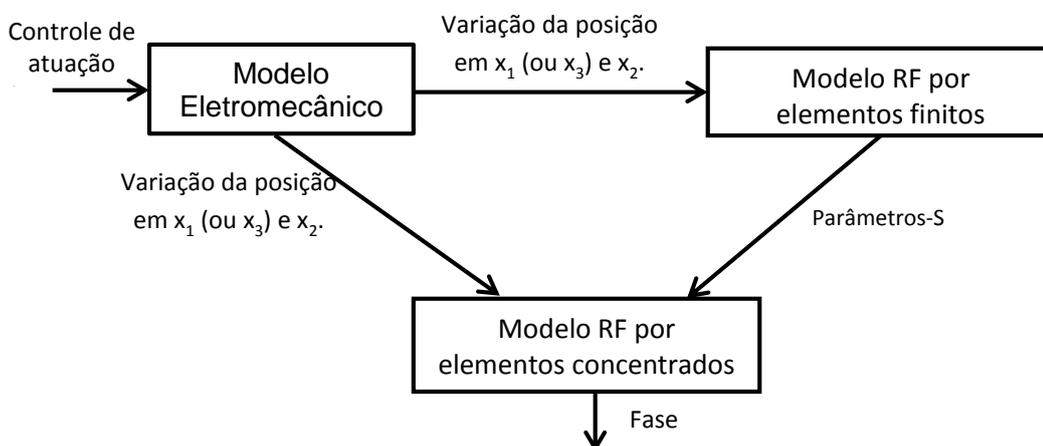
Para analisar a variação destes parâmetros, criou-se um modelo que permite simular o comportamento em RF do defasador, considerando o efeito do

deslocamento de todas as fitas, obtido do modelo eletromecânico. Esse modelo utiliza os resultados das simulações do comportamento em RF do defasador por elementos finitos utilizando o *software* HFSS (Ansoft) onde a estrutura é implementada em 3D, definindo-se as dimensões e os materiais do dispositivo.

A partir das simulações no HFSS obtém-se os parâmetros-S do defasador para diferentes posições da camada de blindagem. No ADS, é criado um modelo de elementos concentrados para o defasador que pode ser controlado pela tensão de atuação da camada de blindagem. Assim, é possível criar um modelo completo que permite simular o comportamento eletromecânico do MEMS distribuído junto com o comportamento do defasador em RF.

A metodologia utilizada para o modelamento é ilustrada nos diagramas de blocos da Figura 35. Nessa figura, são mostradas os diferentes modelos implementados e sua interligação.

Figura 35 - Diagrama de blocos que mostra a metodologia utilizada no modelamento do defasador.

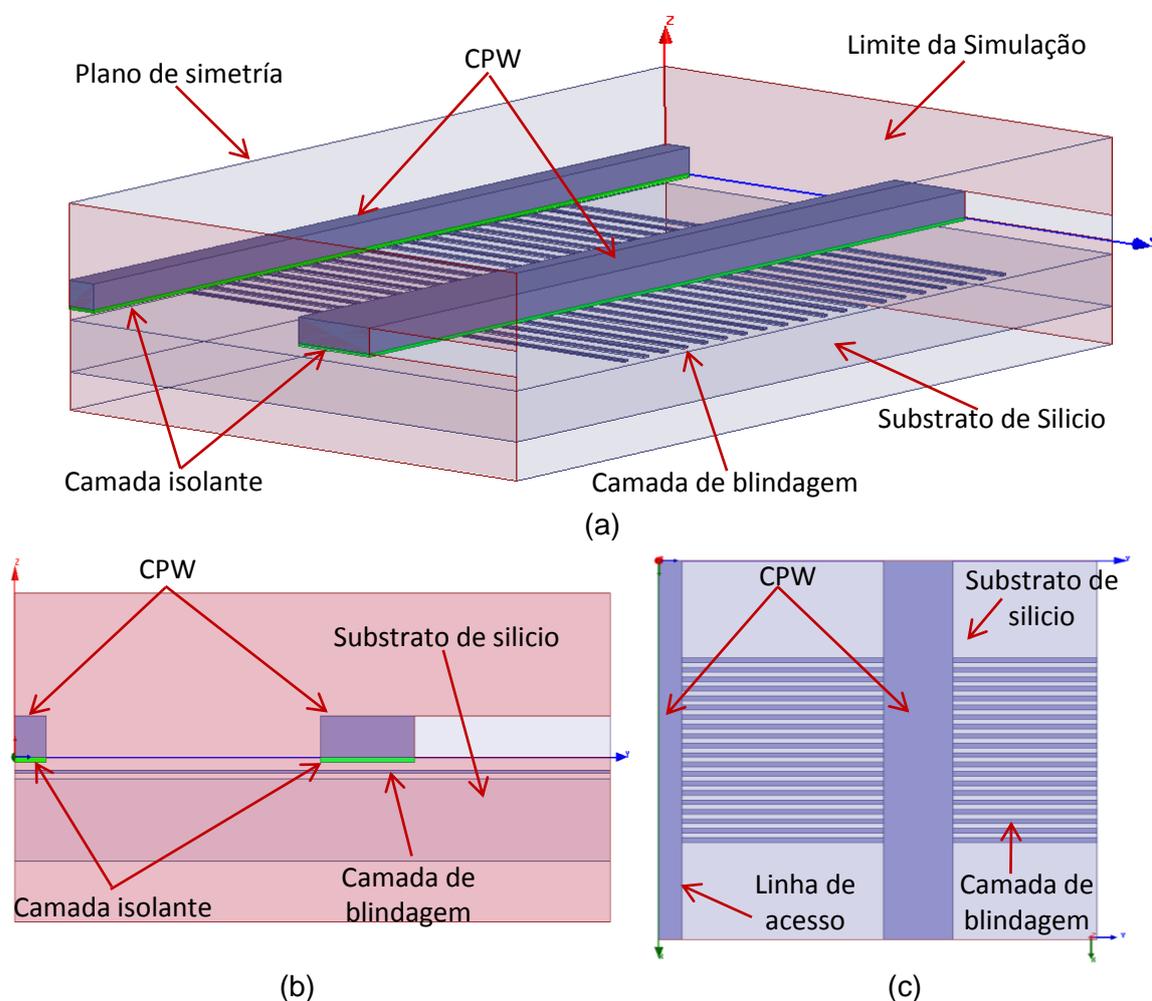


Fonte: Autor

4.5 MODELO RF DE ELEMENTOS FINITOS

A Figura 36a, a Figura 36b e a Figura 36c mostram um trecho do defasador proposto neste trabalho e modelado no HFSS. Devido ao alto custo computacional, somente um pequeno comprimento do defasador é simulado por elementos finitos. Por isso, também é definido um plano de simetria dividindo a estrutura na metade do condutor central da CPW.

Figura 36 - (a) Defasador implementado no HFSS. (b) Vista frontal e (c) vista superior do defasador.



Fonte: Autor

A partir dos valores simulados dos parâmetros S, é possível extrair parâmetros característicos do defasador, como a impedância característica (Z_c), a permissividade relativa efetiva (ϵ_{r_eff}) e o fator de qualidade (Q). Estes parâmetros foram extraídos dos parâmetros ABCD, calculados a partir dos parâmetros-S simulados pelo HFSS. A impedância característica da linha é dada pela eq. (17).

$$Z_c = \sqrt{\frac{B}{C}} \quad (17)$$

A constante de propagação (γ) é definida pela eq. (18).

$$\gamma = \frac{\text{acosh}(A)}{L_{CPW}} \quad (18)$$

onde:

L_{CPW} representa o comprimento da linha.

A constante de propagação possui uma parte real e outra imaginária. A parte real é conhecida como constante de atenuação (α) e a imaginária como a constante de fase (β). A constante de fase é utilizada para calcular permissividade relativa efetiva da linha (ϵ_{r_eff}) dada pela eq. (19).

$$\epsilon_{r_eff} = \left(\frac{c\beta}{2\pi f_c} \right)^2 \quad (19)$$

onde,

c é a velocidade da luz ($\sim 3 \times 10^8$ m/s) e

f_c é a frequência da onda propagada.

O fator de qualidade da linha que pode ser calculado como mostra a eq. (20).

$$Q = \frac{\beta}{2\alpha} \quad (20)$$

Como mencionado acima, as posições das fitas em x_1 , x_2 e x_3 , para diferentes valores de tensão aplicada, foram obtidos dos resultados das simulações eletromecânica. Os valores utilizados para as simulações de elementos finitos podem ser vistos na Tabela 4.

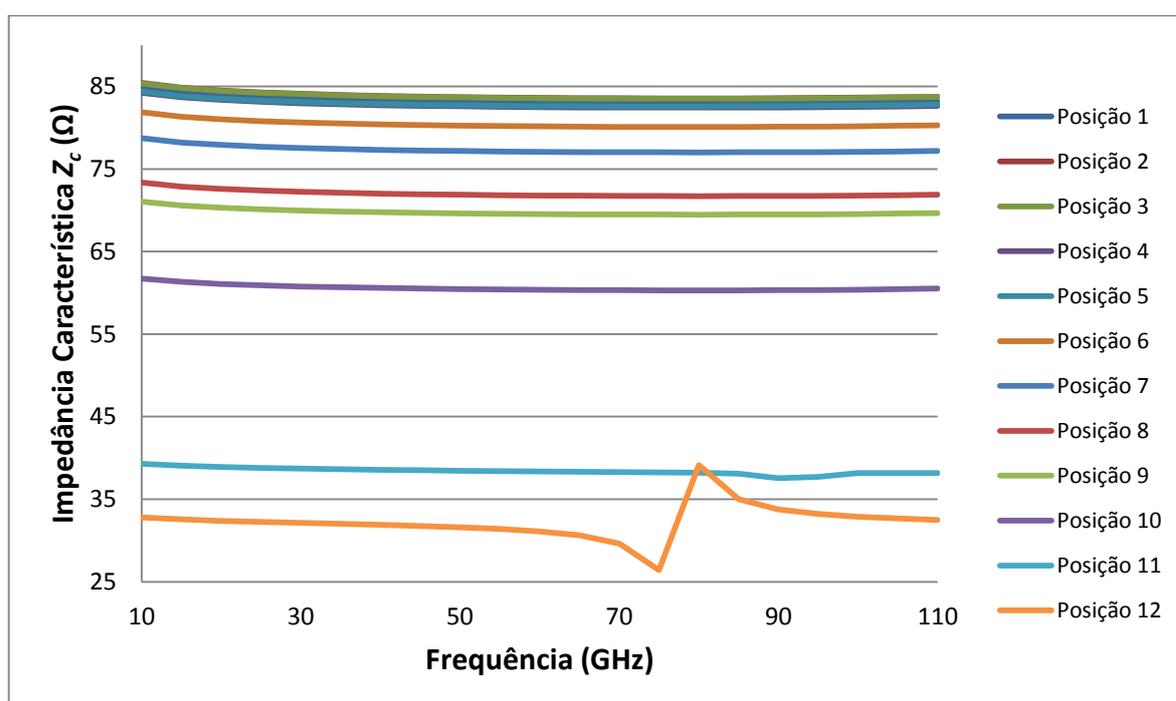
Tabela 4 – Deslocamentos utilizados nas simulações por elementos finitos

Posição	Deslocamento (nm)	
	x_1 (ou x_3)	x_2
1	0	0
2	3	3
3	11	14
4	26	32
5	49	32
6	84.7	107
7	191	148
8	229	308
9	274	374
10	375	537
11	589	737
12	750	750

Os resultados das simulações obtidos com o HFSS para Z_c em diferentes frequências são mostrados na Figura 37, podendo-se observar a variação deste parâmetro em função da variação na posição da camada de blindagem. Esta variação resulta em uma mudança do valor da impedância característica do defasador de 85Ω

(estado em repouso) para 30Ω (estado atuado). A variação de Z_c com a posição da camada de blindagem é intrínseca ao funcionamento de um defasador de tipo linha carregada. Esta variação deve ser projetada para minimizar a perda de retorno. Valores entre 35Ω e 70Ω geram perdas de retorno menores que 10 dB. O dispositivo simulado neste trabalho não foi otimizado para reduzir as perdas de retorno.

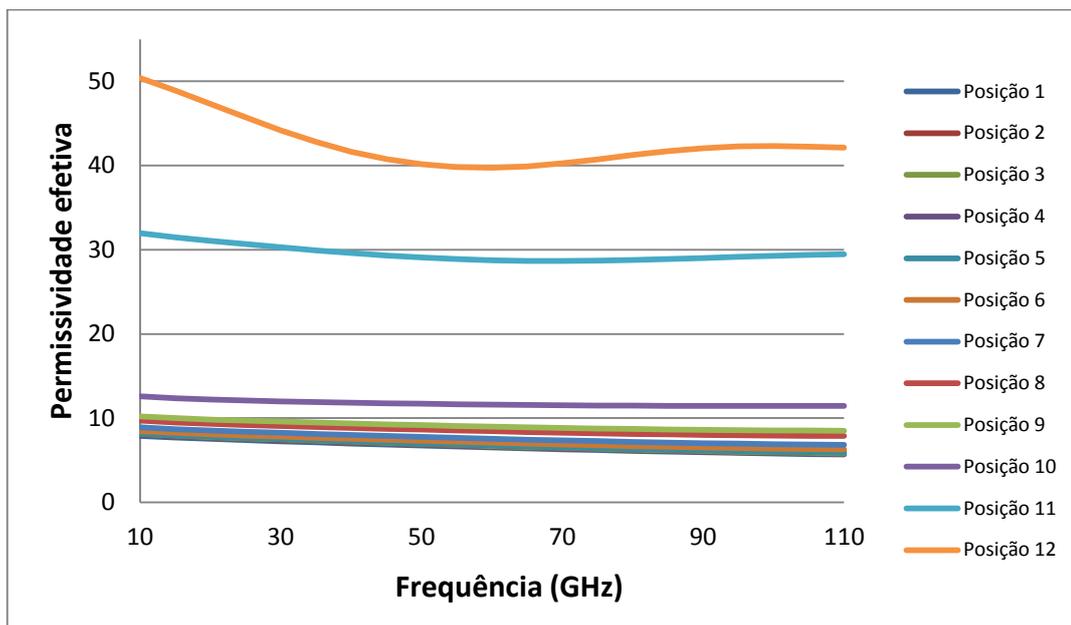
Figura 37 – Variação da impedância característica do defasador em função da frequência para diferentes posições da camada de blindagem.



Fonte: Autor

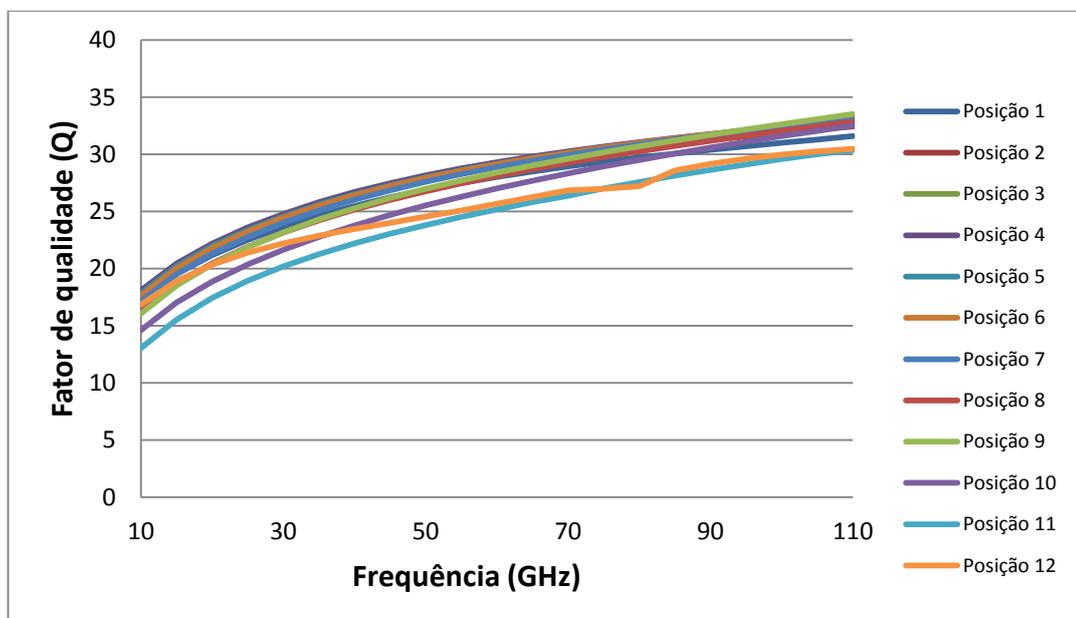
Nos resultados obtidos para a permissividade relativa efetiva do defasador, mostrados na Figura 38, pode-se observar que para posições próximas da posição de repouso, este parâmetro se mantém com valores entorno de 7 em toda a faixa de frequências simuladas. Já para o estado atuado da camada de blindagem, a permissividade varia em função da frequência entre valores de 40 em 60 GHz. Esta grande variação de ϵ_{r_eff} permite obter defasadores com comprimentos reduzidos, o que é muito importante para o desenvolvimento de conjuntos de antenas inteligentes (*beamsteering phased arrays*).

Figura 38 - Variação da permissividade relativa efetiva do defasador em função da frequência para diferentes posições da camada de blindagem.



Fonte: Autor

Figura 39 - Variação do fator de qualidade do defasador em função da frequência para diferentes posições da camada de blindagem.



Fonte: Autor

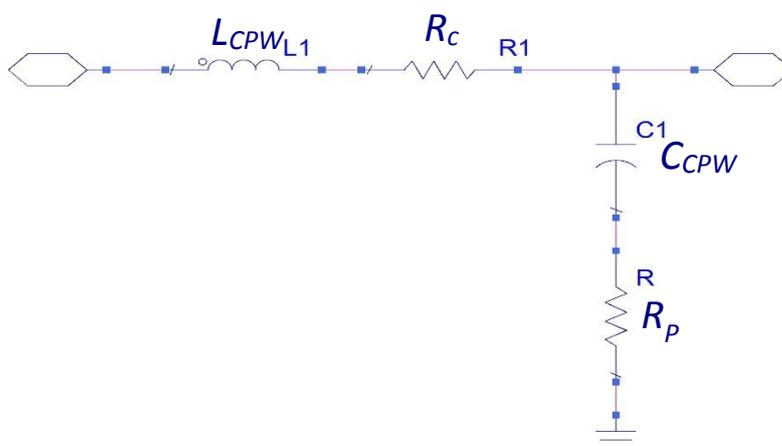
A Figura 39 mostra o fator de qualidade do defasador em função da posição da camada de blindagem. É interessante notar que o fator de qualidade é praticamente constante, reduzindo levemente de 30 para 25 com o aumento do deslocamento. Além disso, os valores entre 25 e 30 estão próximos dos encontrados na literatura para linhas de transmissão baseadas em S-CPW [35].

4.6 MODELO RF DE ELEMENTOS CONCENTRADOS

As simulações do modelo de elementos finitos possibilitaram a obtenção dos parâmetros S do defasador em função de cada posição de x_2 e x_1 (ou x_3) da Tabela 4. Esses parâmetros foram utilizados para implementar um modelo de elementos concentrados do defasador no ADS.

O modelo RF com elementos distribuídos do defasador é ilustrado na Figura 40 e explicado em detalhe na referência [36]. Este modelo, desenvolvido para uma linha S-CPW, incorpora ao modelo ideal de uma linha de transmissão as perdas ôhmicas de condução (R_c) e perdas ôhmicas na camada de blindagem (R_p).

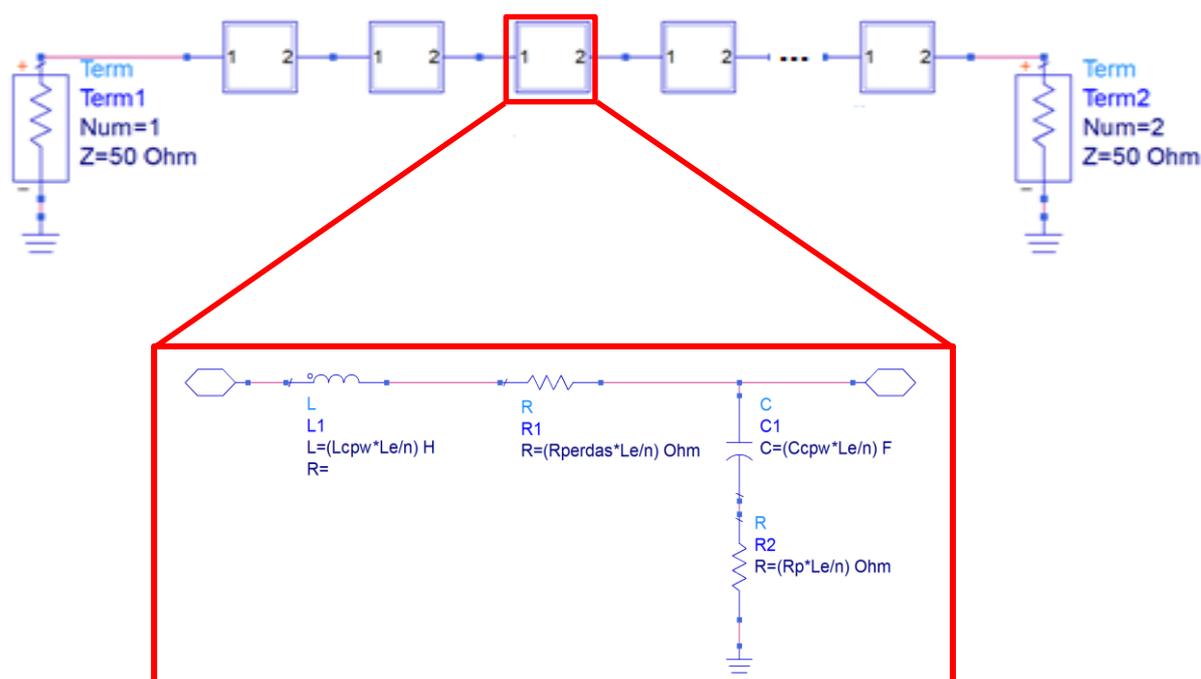
Figura 40 - Modelo elétrico equivalente proposto em [36] para um trecho de uma linha de transmissão S-CPW.



Fonte: Autor

Este modelo distribuído é baseado em elementos R, L e C por unidade de comprimento e , para a simulação do defasador, é necessária a implementação de vários trechos com elementos concentrados em série, como mostrado na Figura 41.

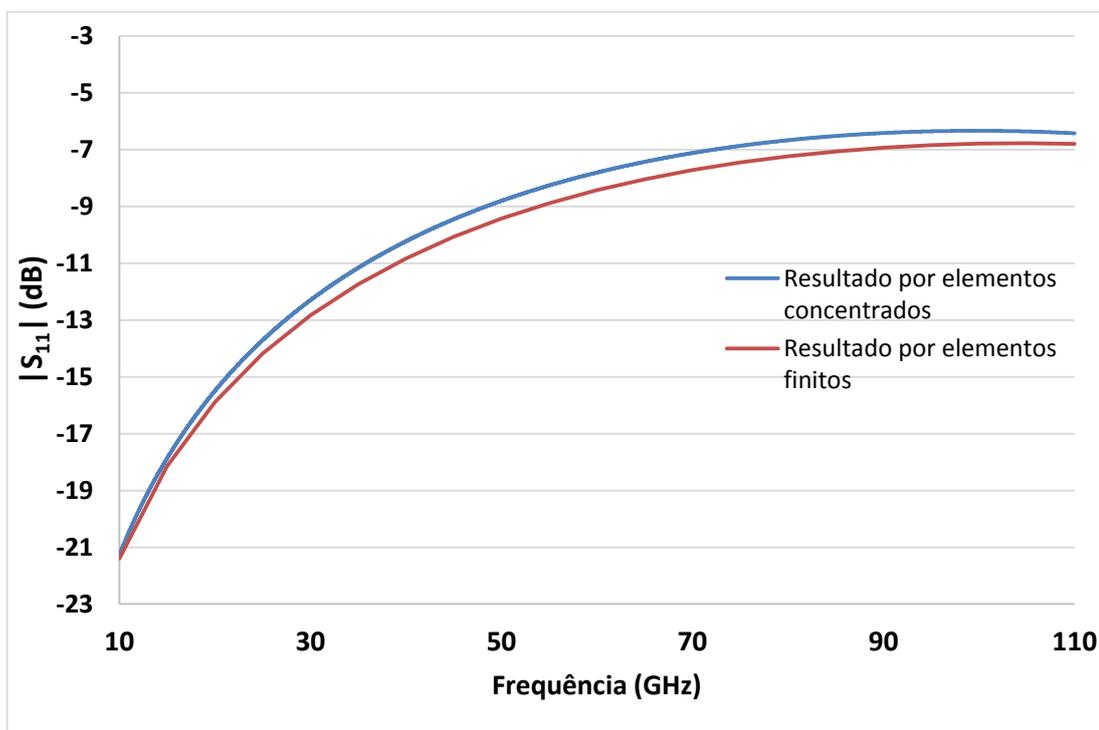
Figura 41 – Modelo RF com elementos concentrados do defasador implementado no ADS.



Fonte: Autor

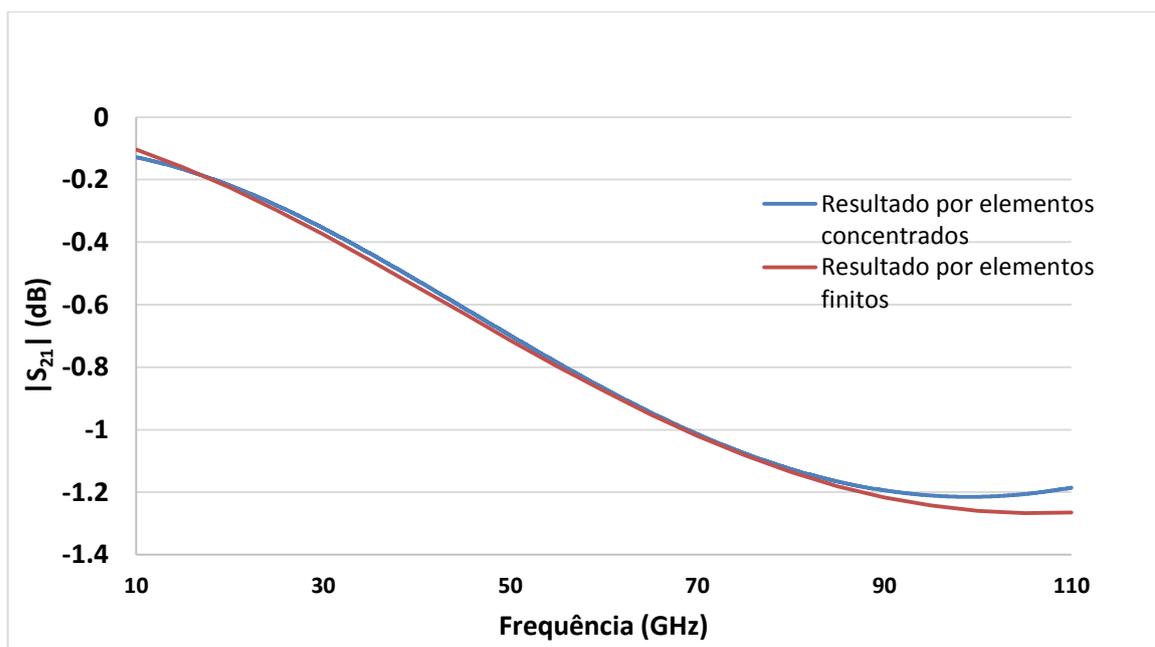
Inicialmente, os valores para cada um dos elementos concentrados do modelo equivalente do defasador foram extraídos de [36]. Então, os parâmetros $|S_{11}|$, $|S_{21}|$ e a fase de S_{21} foram comparados aos resultados obtidos das simulações por elementos finitos. Os valores dos elementos concentrados foram ajustados para que as respostas dos dois modelos concordassem. Um exemplo de ajuste pode ser visto na Figura 42, na Figura 43 e na Figura 44. Este procedimento foi realizado para cada uma das posições detalhadas na Tabela 4.

Figura 42 - Comparação do $|S_{11}|$ dos modelos de elementos concentrados (após ajuste) e de elementos finitos.



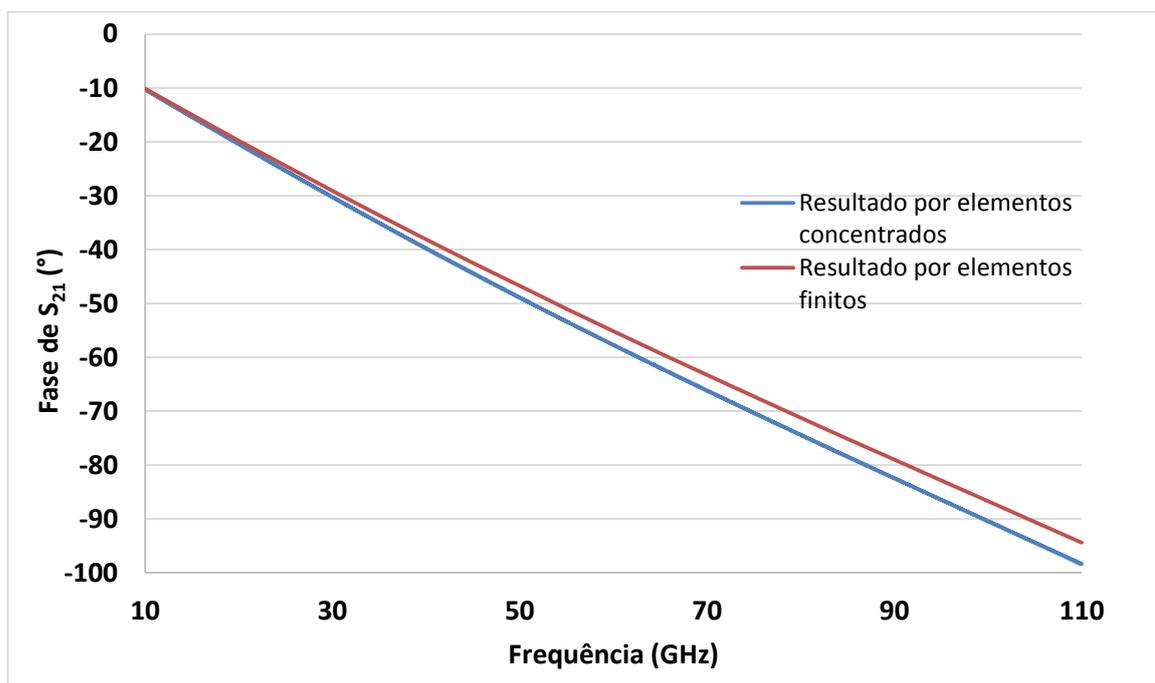
Fonte: Autor

Figura 43 - Comparação do $|S_{21}|$ dos modelos de elementos concentrados (após ajuste) e de elementos finitos.



Fonte: Autor

Figura 44 - Comparação da fase de S_{21} dos modelos de elementos concentrados (após ajuste) e de elementos finitos.

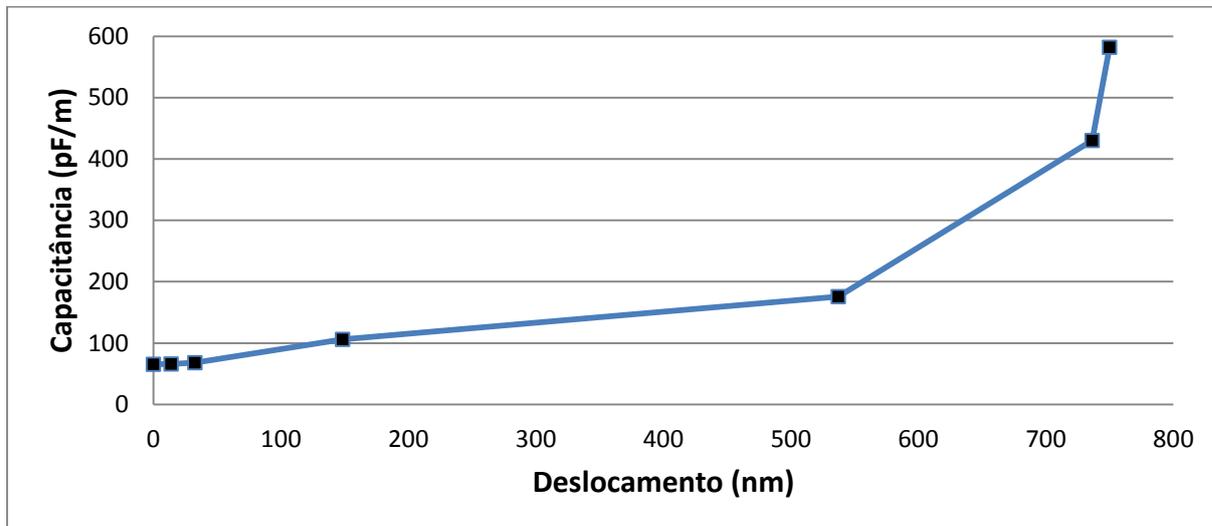


Fonte: Autor

O procedimento descrito acima permitiu plotar gráficos para cada elemento concentrado, podendo-se encontrar as variações da capacitância equivalente C_{CPW} (Figura 45), da indutância equivalente L_{CPW} (Figura 46), e da resistência equivalente R_c (Figura 47) em função do deslocamento da camada de blindagem. No caso das perdas ôhmicas R_P da camada de blindagem, o valor encontrado foi muito pequeno e constante em todas as simulações.

A Figura 45 mostra a variação da capacitância equivalente do defasador em função do deslocamento da camada de blindagem. Este aumento é esperado e coerente, pois o campo elétrico da CPW está totalmente confinado entre a CPW e a camada de blindagem e com a diminuição da distância entre eles espera-se um aumento da capacitância.

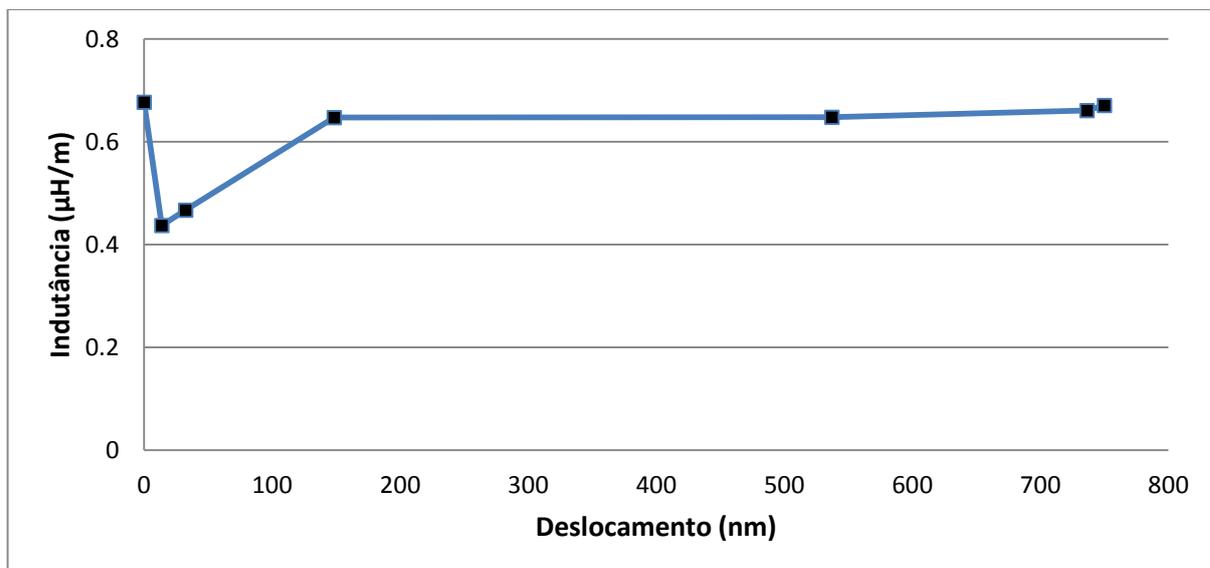
Figura 45 - Variação da capacitância do defasador em função da variação da posição das fitas da camada de blindagem.



Fonte: Autor

O valor da indutância equivalente é praticamente constante (Figura 46). Existe, no entanto, uma redução significativa neste parâmetro para pequenos deslocamentos da camada de blindagem, cujo significado físico precisa ser estudado.

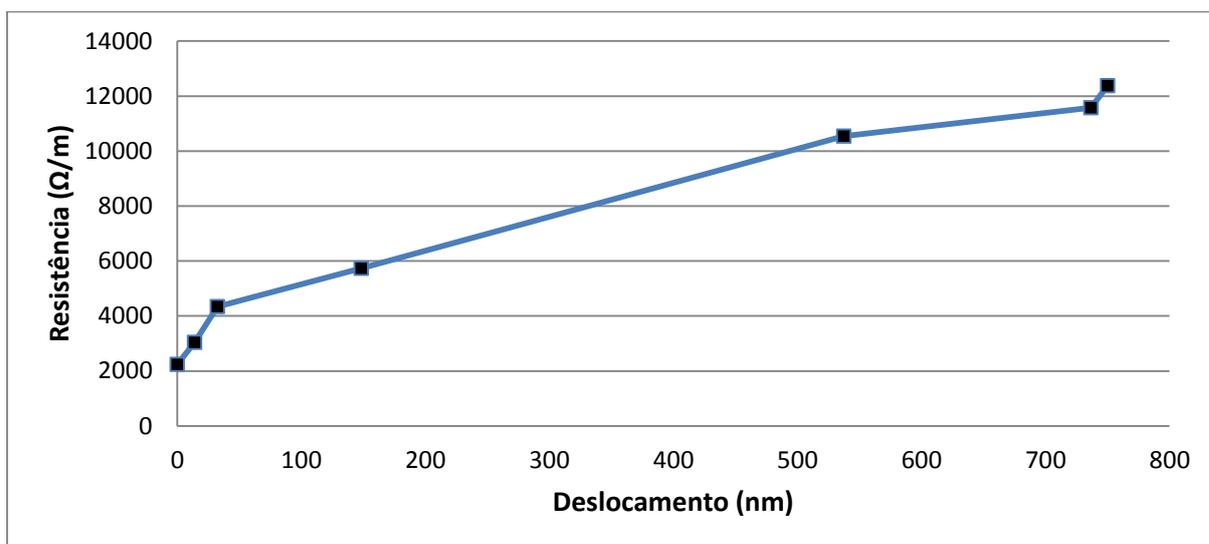
Figura 46 - Variação da indutância do defasador em função da variação da posição das fitas da camada de blindagem.



Fonte: Autor

Por outro lado, a Figura 47 mostra que a resistência equivalente R_c aumenta com o aumento do deslocamento. Este fato também está ligado à redução do fator de qualidade visto na Figura 39, porém o motivo desta redução também deverá ser estudado.

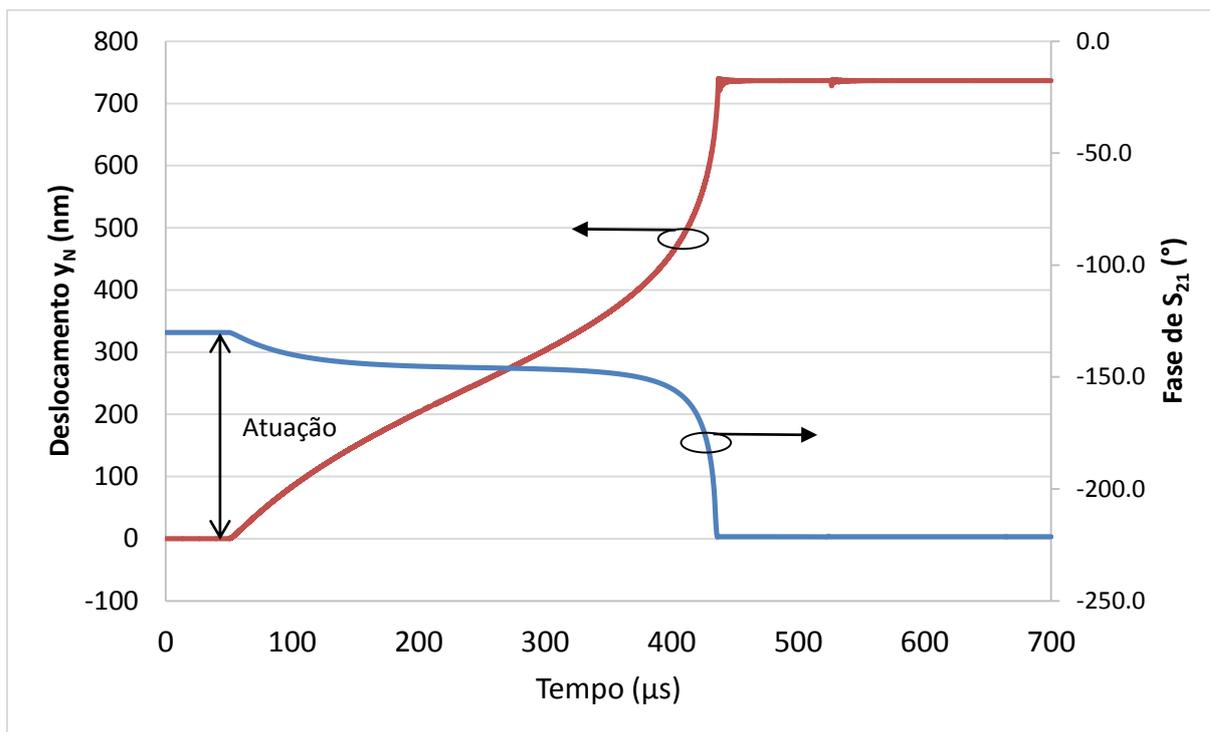
Figura 47 - Variação da resistência do defasador em função da variação da posição das fitas da camada de blindagem.



Fonte: Autor

Os resultados acima permitem encontrar as equações que descrevem a tendência da variação de cada elemento concentrado. Essas equações de tendência podem, então, serem implementadas no ADS para cada um dos componentes do modelo RF de elementos concentrados do defasador. Com isso se consegue um modelo completo que pode simular a mudança da fase do dispositivo em função da tensão DC aplicada na camada de blindagem.

Figura 48 – Mudança de fase de S_{21} durante a atuação da camada de blindagem do defasador.



Fonte: Autor

A Figura 48 mostra o resultado da simulação por elementos concentrados juntando o modelo RF e o modelo eletrostático do defasador. O modelo completo utilizado para esta simulação pode ser encontrado no Apêndice 1. Nesta figura, é mostrada a variação da fase de S_{21} quando um pulso de tensão é aplicado entre a CPW e a camada de blindagem. Pode-se observar também que para pequenos deslocamentos das fitas, não existe uma variação de fase grande e quando a fita colapsa na CPW a variação é máxima, sendo a defasagem total de aproximadamente 91° .

Existe uma diferença entre os resultados da simulação e os calculado utilizando a eq. (3) e a eq. (6). Assim, utilizando $\epsilon_{r_eff_max}$ e $\epsilon_{r_eff_min}$ calculou-se uma defasagem de aproximadamente 81° . O erro encontrado entre os valores calculados e simulados está associado ao ajuste da curva de capacitância (Figura 45), que subestima o valor da capacitância máxima.

5 MATERIAIS E MÉTODOS

Neste capítulo serão descritos os materiais e métodos utilizados no processo de fabricação do defasador descrito nos capítulos anteriores.

5.1 MATERIAIS

O processo de fabricação do defasador utiliza métodos convencionais de microeletrônica como limpeza RCA, fotolitografia de contato, deposições por *sputtering*, deposição química em fase vapor assistida por plasma (PECVD), entre outros. Esses métodos são bem conhecidos e detalhados na literatura [37], sendo assim, só os parâmetros que foram utilizados são especificados na Tabela 5.

Além dos métodos convencionais utilizados em microeletrônica que foram mencionados acima, a fabricação dos defasadores envolve a utilização de alguns processos não convencionais, que serão descritos a seguir.

5.1.1 Processo de Eletrodeposição

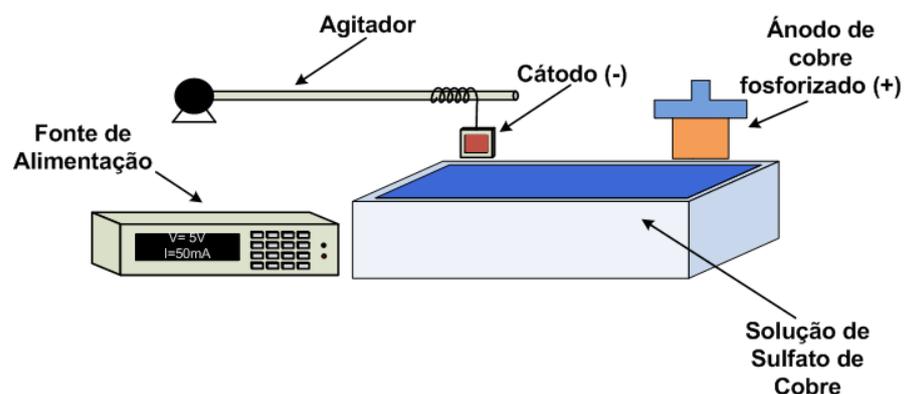
Eletrodeposição é o processo de revestimento, usualmente metálico, de uma superfície condutora utilizando eletricidade. A eletrodeposição é realizada colocando um potencial negativo no objeto a ser revestido (catodo da célula eletrolítica) e imergindo-o em uma solução que contém sais do metal a depositar. O potencial positivo da fonte é conectado a um eletrodo do mesmo material a ser depositado, também imerso na solução (anodo).

Durante o processo, o catodo atrai os íons metálicos carregados positivamente do sal, que “ganham” elétrons (redução) e se tornam metal na superfície do objeto.

Neste trabalho, a eletrodeposição é utilizada para espessar os filmes de cobre depositados por *sputtering* sobre lâminas de silício. O sistema de eletrodeposição utilizado neste projeto (Figura 49) é composto por um eletrodo, um porta-substrato,

uma fonte de corrente controlada, um agitador linear e um recipiente que contém uma solução ácida de sulfato de cobre.

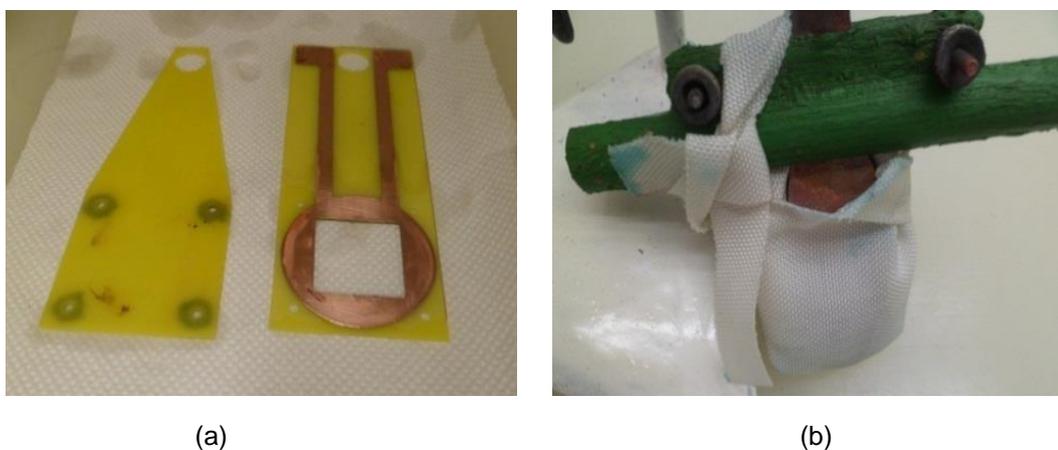
Figura 49 - Sistema utilizado para a eletrodeposição de cobre.



Fonte: Autor

Na Figura 50a é mostrado o porta-substrato utilizado neste processo. Este eletrodo foi projetado especificamente com as dimensões das lâminas de duas polegadas utilizadas neste trabalho.

Figura 50 - Eletrodos: (a) Cátodo, (b) Ânodo de cobre fosforizado.



(a)

(b)

Fonte: Autor

O anodo mostrado na Figura 50b é formado por uma peça sólida de cobre fosforizado. Utiliza-se cobre fosforizado, pois o eletrodo de cobre puro gera a formação de camadas escuras em sua superfície, que são desprendidas e arrastradas até a superfície do catodo, causando depósitos ásperos. Com anodos de cobre fosforizado a camada escura fica suficientemente aderida, não afetando a deposição dos filmes [38].

Para este processo, a solução do banho de cobre é baseada na receita fornecida pela empresa Electrochemical Products Inc – EPI. Os componentes da solução são:

- Sulfato de Cobre – 205 g/L: Principal provedor de íons metálicos.
- Ácido Sulfúrico – 40 mL/L: Proporciona melhor condutividade na solução e a dissolução do anodo.
- Ácido Clorídrico – 0,1 mL/L: Pequenas quantidades de cloreto são necessárias nos banhos de cobre brilhantes para que os agentes de adição funcionem corretamente.
- E-Brite 200M – 6mL/L: É o principal refinador de grão e abrillantador em uma alta densidade de corrente.
- E-Brite 200R ou 200RX-W – 1,5 mL/L: É o principal aditivo de reposição/manutenção utilizado para fornecer um depósito de cobre brilhante, nivelado e dúctil.

Como é mostrado no *datasheet* dos banhos ácidos de cobre feitos pela EPI, este banho deve ter um pH menor que 1.

5.1.2 Corrosão Com Vapor de HF

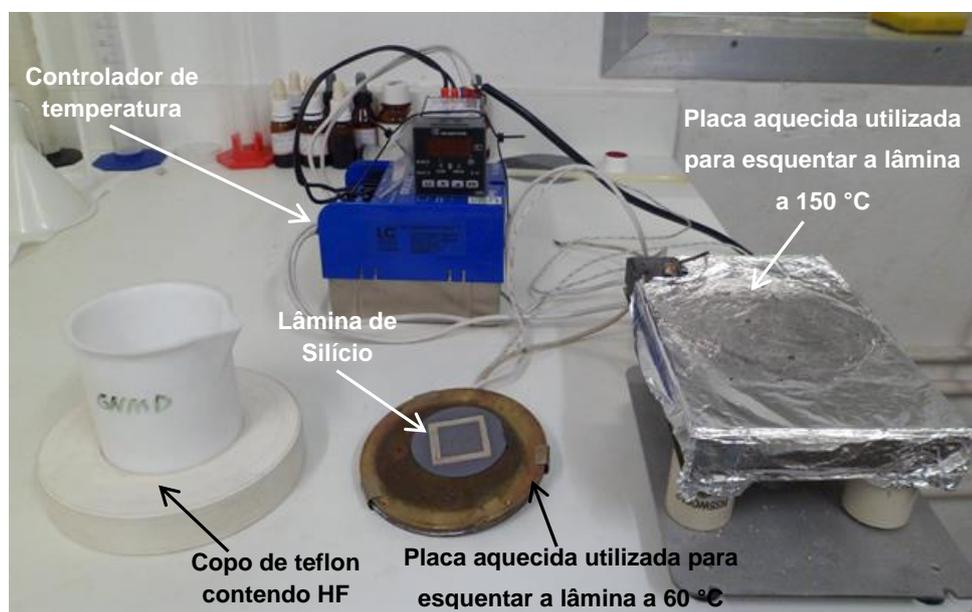
Durante as etapas de fabricação do defasador, é necessário a corrosão de camadas sacrificiais de SiO_2 que envolve a camada de blindagem, deixando assim, a estrutura livre para a movimentação.

Normalmente a corrosão de SiO_2 é feita utilizando soluções baseadas em ácido fluorídrico (HF). Por ser uma corrosão úmida, é necessário a secagem da amostra, o que pode gerar uma aderência permanente da estrutura no substrato (*stiction*).

Como alternativa, pode-se utilizar técnicas de corrosão baseadas em vapor de HF, onde o mecanismo de corrosão é dado pela adsorção de H_2O e HF na superfície do SiO_2 , que o ataca, e libera os gases SiF_4 e H_2O como resultado da corrosão [39].

A quantidade de água adsorvida na superfície do filme é controlada pela temperatura do substrato [40]. Assim, se a temperatura não é suficientemente alta, a quantidade de água adsorvida pode ser grande e causa a formação de uma camada líquida, resultando na corrosão úmida do filme de SiO_2 com altas taxas de corrosão. Por outro lado, se a temperatura for muito alta, a água e o HF não chegam a condensar na superfície, impedindo a corrosão.

Figura 51 - Sistema para corrosão utilizando vapor de HF.

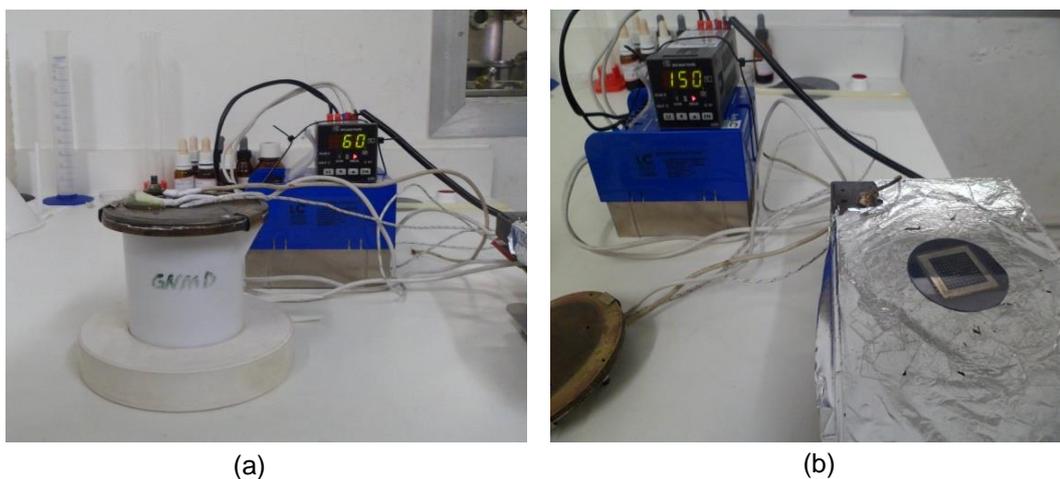


Fonte: Autor

O sistema utilizado neste processo é mostrado na Figura 51. Durante o processo de corrosão, a lâmina é levada a uma temperatura de 75°C , utilizando uma placa aquecida que é colocada em cima de um copo de teflon contendo a solução de HF, como mostrado na Figura 52a. Terminado o tempo do processo, a lâmina é

colocada em outra placa aquecida, para ser aquecida a uma temperatura de 150°C, com a finalidade de evaporar qualquer resíduo da corrosão (Figura 52b).

Figura 52 - (a) Sistema durante a corrosão (b) Aquecimento final da lâmina.



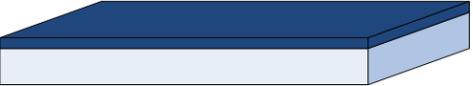
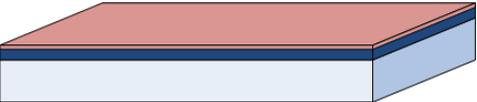
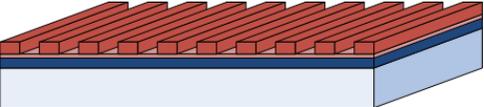
Fonte: Autor

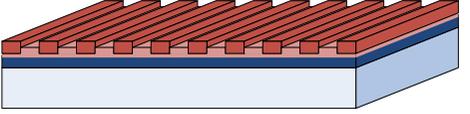
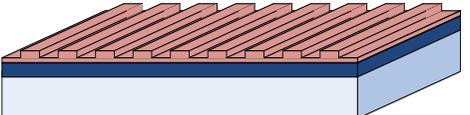
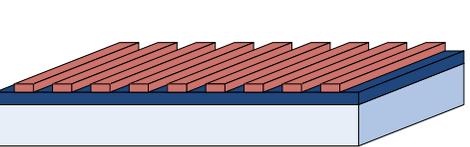
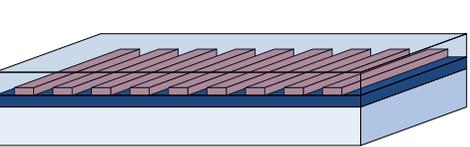
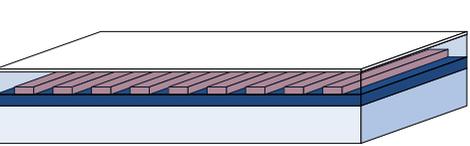
As condições utilizadas para este processo foram tomadas de trabalhos anteriores feitos em nosso grupo de investigação.

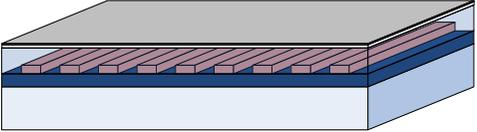
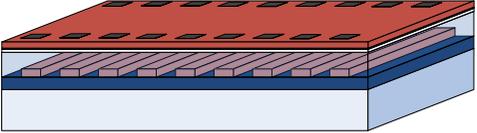
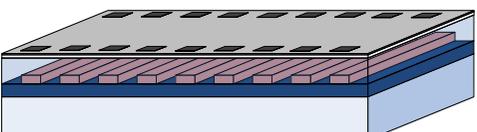
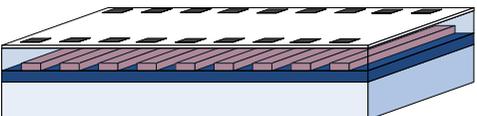
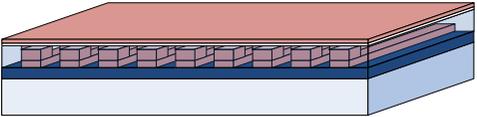
5.2 MÉTODOS

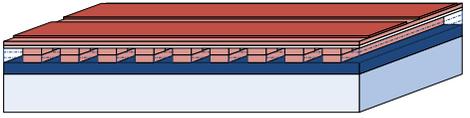
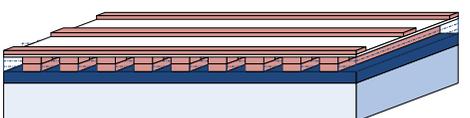
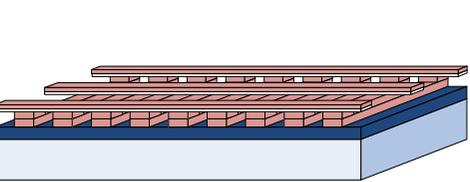
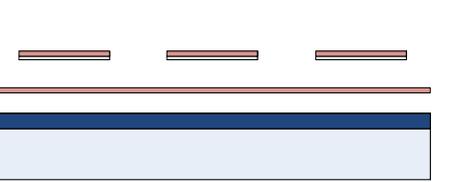
Baseados nos processos mencionados na sessão anterior o processo de fabricação do defasador está dividido em diferentes etapas descritas a seguir na Tabela 5.

Tabela 5 - Etapas do processo de fabricação.

ETAPA		DESCRIÇÃO															
1		<p>Limpeza RCA:</p> <p>A limpeza inicial do substrato de silício é feita utilizando a limpeza RCA para remover impurezas existentes na lâmina.</p>															
2		<p>Oxidação Térmica a Seco:</p> <p>A oxidação da lâmina é feita em um forno a 1100°C por um tempo de 45 minutos, visando obter uma camada de 500 nm de óxido de silício.</p>															
3		<p>Deposição de Titânio e Cobre por sputtering:</p> <p>Utilizando o <i>Magnetron Sputtering</i> é depositado titânio (Ti) e cobre (Cu). A camada de Cu (~20 nm) é utilizada como semente de metal para a fabricação da camada de blindagem do defasador e o Ti (~20nm) é usado para melhorar a aderência entre o Cu e o silício.</p> <table border="1" data-bbox="1184 879 1704 1042"> <thead> <tr> <th></th> <th>Ti</th> <th>Cu</th> </tr> </thead> <tbody> <tr> <td>Pressão (mTorr)</td> <td colspan="2">2</td> </tr> <tr> <td>Potência RF - 13,56 MHz (W)</td> <td>100</td> <td>70</td> </tr> <tr> <td>Fluxo de argônio (sccm)</td> <td colspan="2">10</td> </tr> <tr> <td>Tempo (seg.)</td> <td>60</td> <td>75</td> </tr> </tbody> </table>		Ti	Cu	Pressão (mTorr)	2		Potência RF - 13,56 MHz (W)	100	70	Fluxo de argônio (sccm)	10		Tempo (seg.)	60	75
	Ti	Cu															
Pressão (mTorr)	2																
Potência RF - 13,56 MHz (W)	100	70															
Fluxo de argônio (sccm)	10																
Tempo (seg.)	60	75															
4		<p>Fotogravação da primeira máscara:</p> <p>O processo de fotogravação utiliza fotoresiste positivo, AZ-1518, diluído duas vezes, que é depositado por <i>spinner</i> a 5000 rpm por 30 s para ter uma espessura de 700 nm. O fotoresiste é exposto através da máscara que define a camada de blindagem, mostrado na Figura 53, para depois ser revelado.</p>															

5		<p>Eletrodeposição de Cobre/Níquel:</p> <p>Esta etapa é realizada com o objetivo de espessar a camada de cobre depositada por <i>sputtering</i> na etapa 3. O tempo do processo é de 1 min, sendo a fonte de alimentação configurada para fornecer ao sistema uma corrente constante de 50 mA. Como resultado esperado uma camada de 250 nm.</p>																																																
6		<p>Remoção do fotoresiste:</p> <p>A lâmina é fervida em acetona e em álcool por 5 minutos.</p>																																																
7		<p>Remoção da Semente:</p> <p>A região do filme de cobre usado como semente que ficou embaixo do fotoresiste e que não foi espessada, é removida usando uma solução de $H_2O + NH_3(OH) + H_2O_2$ (50:1:1), com a finalidade de oxidar a superfície de Cu. O óxido de cobre é removido em ácido acético. Este processo é repetido até que toda a semente tenha sido removida. Finalmente, o Ti depositado na etapa 3 é removido utilizando uma solução de HF/H₂O (1:20)</p>																																																
8		<p>Deposição de SiO₂ e a-SiC:H por PECVD</p> <p>Uma camada sacrificial de SiO₂ (~1µm) e uma camada isolante de a-SiC:H (~200 nm) são depositadas utilizando PECVD.</p> <table border="1" data-bbox="1151 882 1738 1204"> <thead> <tr> <th></th> <th colspan="2">SiO₂</th> <th colspan="2">a-SiC:H</th> </tr> </thead> <tbody> <tr> <td rowspan="2">Fluxo (sccm)</td> <td>N₂O</td> <td>75</td> <td>SiH₄</td> <td>3.6</td> </tr> <tr> <td></td> <td></td> <td>CH₄</td> <td>32.4</td> </tr> <tr> <td rowspan="2">Pressão (mTorr)</td> <td>SiH₄</td> <td>30</td> <td>H₂</td> <td>200</td> </tr> <tr> <td></td> <td></td> <td>SiH₄</td> <td>67</td> </tr> <tr> <td></td> <td>N₂O</td> <td>32</td> <td>CH₄</td> <td>21</td> </tr> <tr> <td></td> <td>SiH₄</td> <td>36</td> <td>H₂</td> <td>66</td> </tr> <tr> <td>Potência (W)</td> <td colspan="2">200</td> <td colspan="2">100</td> </tr> <tr> <td>Temperatura (°C)</td> <td colspan="2">320</td> <td colspan="2">320</td> </tr> <tr> <td>Tempo (min.)</td> <td colspan="2">70</td> <td colspan="2">40</td> </tr> </tbody> </table>		SiO ₂		a-SiC:H		Fluxo (sccm)	N ₂ O	75	SiH ₄	3.6			CH ₄	32.4	Pressão (mTorr)	SiH ₄	30	H ₂	200			SiH ₄	67		N ₂ O	32	CH ₄	21		SiH ₄	36	H ₂	66	Potência (W)	200		100		Temperatura (°C)	320		320		Tempo (min.)	70		40	
	SiO ₂		a-SiC:H																																															
Fluxo (sccm)	N ₂ O	75	SiH ₄	3.6																																														
			CH ₄	32.4																																														
Pressão (mTorr)	SiH ₄	30	H ₂	200																																														
			SiH ₄	67																																														
	N ₂ O	32	CH ₄	21																																														
	SiH ₄	36	H ₂	66																																														
Potência (W)	200		100																																															
Temperatura (°C)	320		320																																															
Tempo (min.)	70		40																																															
9																																																		

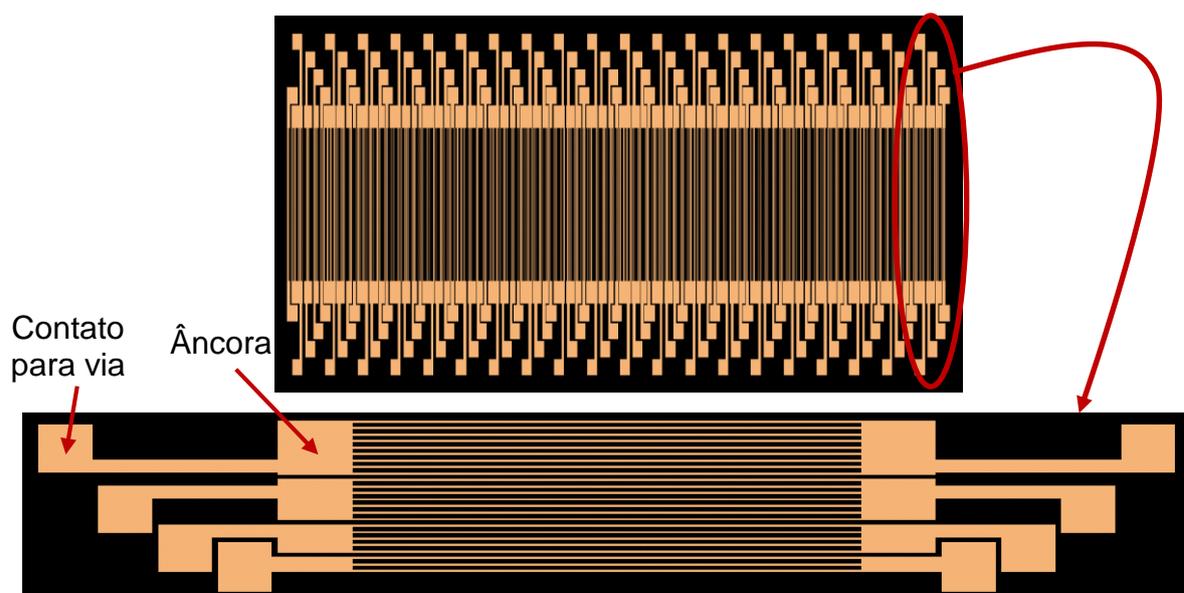
10		<p>Deposição de Alumínio:</p> <p>Uma camada de alumínio (~0.5um) é depositada para ser utilizado como máscara para próxima etapa.</p>															
11		<p>Fotogração da segunda máscara:</p> <p>Esta etapa é realizada para definir a geometria das vias que serão utilizadas para conectar os grupos de fitas da camada de blindagem com os contatos DC na superfície do dispositivo. Para este processo é utilizado como máscara o alumínio depositado na etapa anterior, A definição das vias é feita utilizando a segunda máscara (Figura 54) da mesma forma que na etapa 4.</p>															
12		<p>Corrosão por plasma:</p> <p>Nesta etapa, o SiO₂ e o a-SiC:H são corroídos por <i>reactive ion etching</i> (RIE), utilizando um sistema capacitivo e plasma de SF₆ e O₂ com os parâmetros listados abaixo por um tempo de 50 min.</p> <table border="1" data-bbox="1267 847 1621 1011"> <thead> <tr> <th></th> <th>SF₆</th> <th>O₂</th> </tr> </thead> <tbody> <tr> <td>Pressão (mTorr)</td> <td colspan="2">100</td> </tr> <tr> <td>Fluxo (sccm)</td> <td>50</td> <td>50</td> </tr> <tr> <td>Potência (W)</td> <td colspan="2">100</td> </tr> <tr> <td>Tempo (min.)</td> <td colspan="2">70</td> </tr> </tbody> </table>		SF ₆	O ₂	Pressão (mTorr)	100		Fluxo (sccm)	50	50	Potência (W)	100		Tempo (min.)	70	
	SF ₆	O ₂															
Pressão (mTorr)	100																
Fluxo (sccm)	50	50															
Potência (W)	100																
Tempo (min.)	70																
13		<p>Remoção de Alumínio:</p> <p>O alumínio depositado na etapa 10 é corroído utilizando uma solução de HF diluído em água em uma proporção de 20:1 (H₂O:HF).</p>															
14		<p>Deposição de Titânio e Cobre por sputtering:</p> <p>Como na etapa 3, um filme de ~20 nm de titânio é utilizado para dar aderência ao filme de cobre (~20 nm) que servirá como semente para a eletrodeposição das linhas de transmissão CPW.</p>															

15		<p>Fotogração da terceira máscara:</p> <p>Este processo se diferencia do processo realizado na etapa 4, pois utiliza um fotoresiste AZ-1375 com maior espessura ~4 μm. A máscara utilizada é mostrada na Figura 55.</p>
16		<p>Eletrodeposição de Cobre/Níquel:</p> <p>Da mesma forma que na etapa 5, um processo de eletrodeposição é realizado por um tempo de 2 minutos e 30 segundos para se obter uma espessura de ~2μm. Em seguida, o fotoresiste, a semente de Cu e o Ti são removidos como nas etapas 6 e 7.</p>
17		<p>Corrosão por Plasma:</p> <p>Esta etapa tem como finalidade a corrosão anisotrópica da camada sacrificial de SiO_2, visando facilitar a liberação da camada de blindagem. É utilizado os mesmos parâmetros da etapa 12 para a corrosão por RIE durante 30 min.</p>
18		<p>Corrosão em HF vapor:</p> <p>O processo de corrosão com vapor de HF é realizado para liberar a camada de blindagem e é feito a uma temperatura de 75°C, por um tempo de ~100 min.</p> <p>Depois deste período, a lâmina é aquecida a uma temperatura de 150°C com a finalidade de remover resíduos do processo de corrosão em HF.</p>

As máscaras utilizadas nos processos de fotogração são mostradas nas Figura 53, Figura 54 e Figura 55.

Na primeira máscara, mostrada na Figura 53, pode-se ver a disposição dos grupos de 3, 5, 7 e 9 fitas, mencionados anteriormente. Cada fita tem uma largura de 1 μm e um comprimento de 220 μm , sendo separadas por uma distância de 1 μm . Elas são ligadas a uma estrutura que serve de âncora quando as estruturas são liberadas. Cada grupo de fitas possui um contato que será ligado por vias.

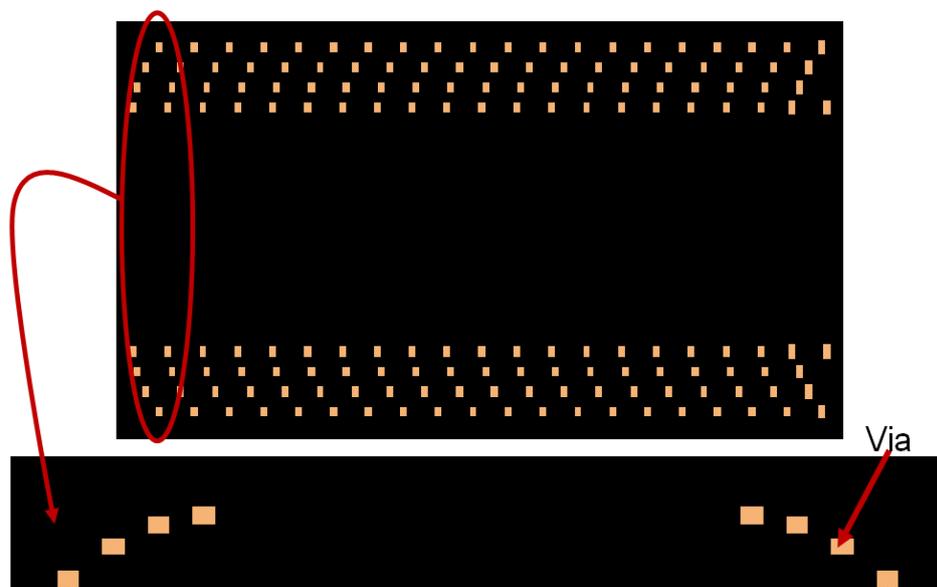
Figura 53 - Máscara utilizada para a fotogração da camada de blindagem, etapa 4.



Fonte: Autor

A segunda máscara (Figura 54) é utilizada na etapa 11. Esta máscara define as zonas onde serão feitas as vias que conectarão os grupos de fitas com a superfície do dispositivo. Cada zona tem 7 μm de largura e 10 μm de comprimento, sendo essas áreas onde se realizará a corrosão dos filmes de SiO_2 e a-SiC:H.

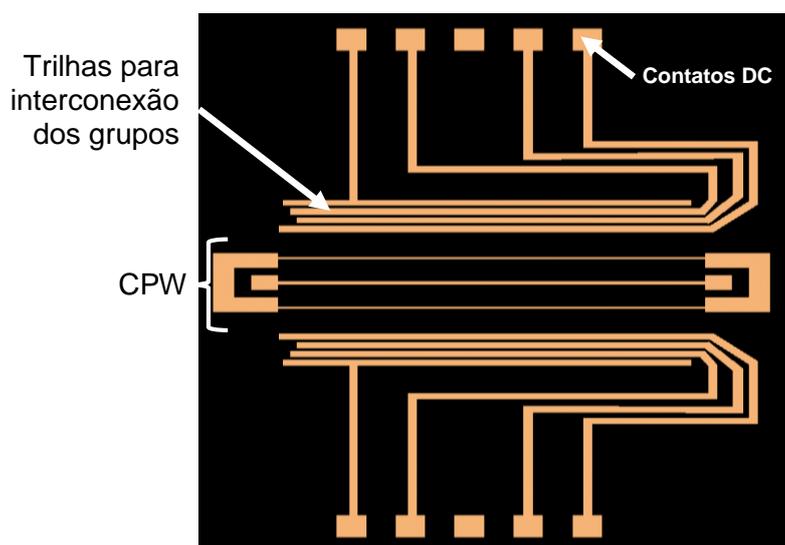
Figura 54 - Máscara para a definição das vias, utilizada na etapa 11.



Fonte: Autor

Por último, a terceira máscara (Figura 55) é utilizada na etapa 15, definindo a CPW na superfície da estrutura junto com os contatos para a atuação DC, que interligam os grupos de fitas da camada de blindagem.

Figura 55 - Terceira máscara (CPW).



Fonte: Autor

6 RESULTADOS E DISCUSSÃO

Nos capítulos anteriores, foi mostrado o conceito do defasador proposto neste trabalho junto com o seu modelo eletromecânico e RF, e o processo de fabricação utilizado para o desenvolvimento destes dispositivos.

Neste capítulo são mostrados os resultados e discussão referentes ao processo de fabricação e aos testes de atuação do dispositivo.

6.1 PROCESSO DE FABRICAÇÃO

O processo de fabricação mostrado no capítulo anterior permitiu a realização dos dispositivos almejados do ponto de vista estrutural. Os resultados das etapas principais do processo de fabricação são mostrados a seguir.

6.1.1 Definição da camada de blindagem

A definição da camada de blindagem relacionada às etapas 3, 4, 5, 6 e 7 da Tabela 5 é uma das etapas mais críticas do processo de fabricação, pois envolve a definição de centenas de linhas de 1 μm de largura espaçadas por 1 μm , com 220 μm de comprimento. A seguir serão feitos alguns comentários sobre o processo de fabricação da camada de blindagem, com detalhes específicos para o sucesso desta etapa.

a) Deposição de Titânio e Cobre

Inicialmente, a deposição de titânio e cobre foi realizada por *sputtering*, conseguindo-se resultados bons de aderência dos filmes no substrato oxidado de silício.

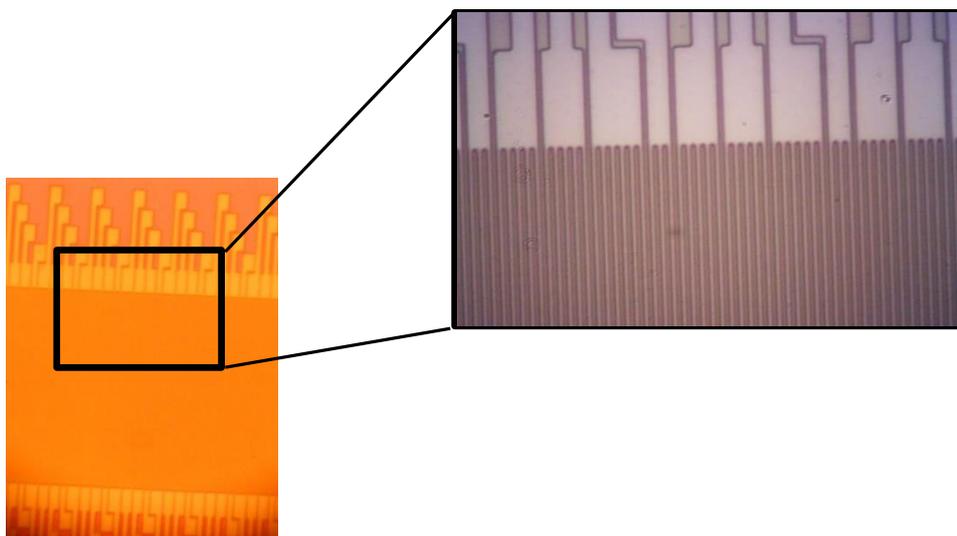
Posteriormente, devido a problemas apresentados com o equipamento, se tentou depositar as duas camadas de metal por evaporação. No entanto, os filmes depositados por esta técnica apresentaram pouca aderência, descolando-se durante o processo de fabricação.

Utilizando outro sistema de *sputtering* foi possível depositar só a camada de titânio. A camada de cobre continuou sendo depositada por evaporação, obtendo-se resultados melhores quanto a aderência. Contudo, os melhores resultados foram obtidos utilizando somente deposições por *sputtering* sem quebrar o vácuo do sistema entre as deposições de Ti e Cu.

b) Fotogravação da primeira máscara

Neste processo de fotogravação utilizou-se a máscara ilustrada na Figura 53. Esta etapa do processo de fabricação é uma das etapas mais críticas devido às pequenas dimensões das fitas da camada de blindagem. Ainda assim, os resultados obtidos, apresentados na Figura 56, mostraram uma geometria bem definida sem interrupções das pequenas fitas da camada de blindagem.

Figura 56 - Resultado do processo de fotogravação da primeira máscara para definição do fotoresiste sobre o filme de cobre.

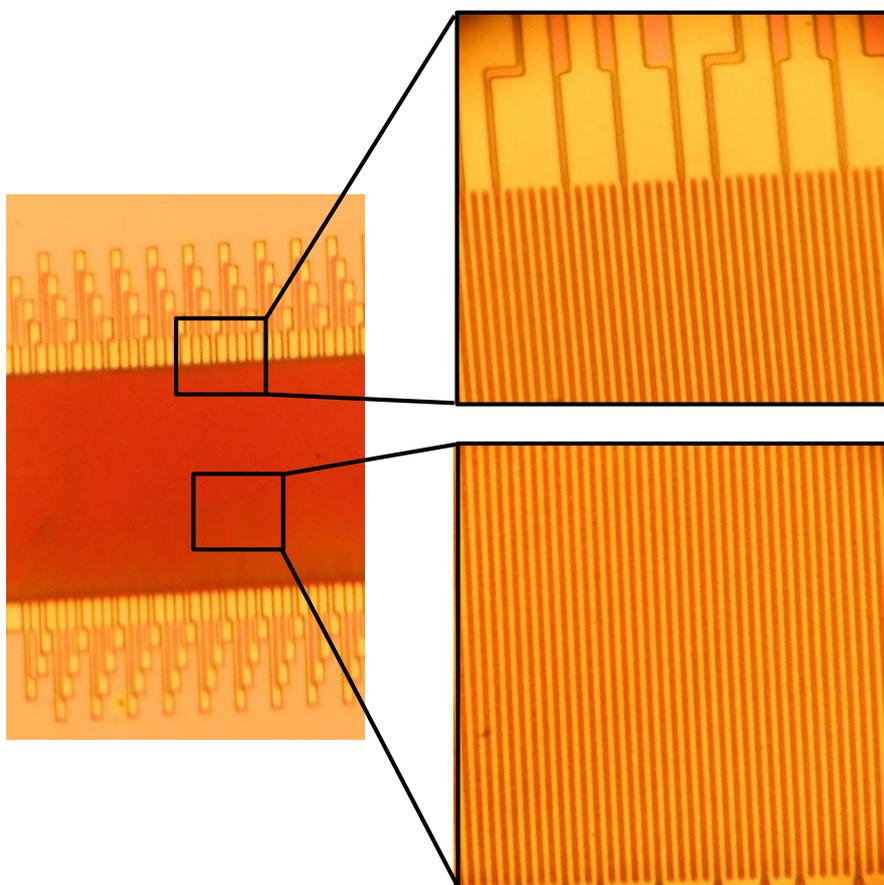


Fonte: Autor

c) Processo de eletrodeposição, remoção do fotoresiste e remoção da semente de cobre/titânio

O processo de eletrodeposição utilizado para o espessamento da camada de cobre apresenta bons resultados, que são mostrados na Figura 57. Através deste processo foi possível obter filmes com espessura controlada, sem grande variação da espessura e com reprodutibilidade.

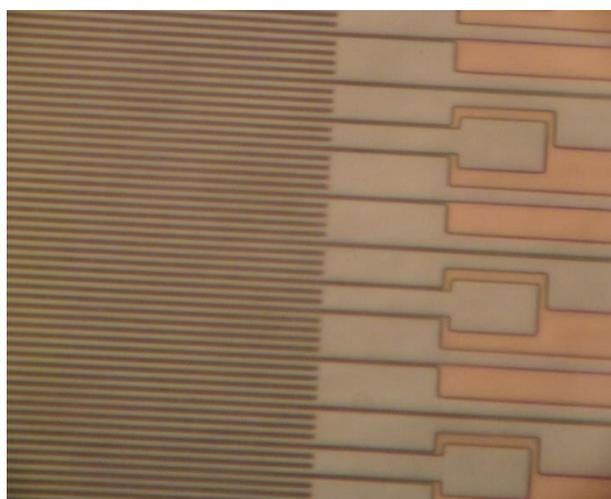
Figura 57 - Resultado do processo de eletrodeposição de cobre. Imagem do plano de blindagem com cobre espessado e fotoresiste nas regiões que não foram espessadas.



Fonte: Autor

Foi constatado que durante a etapa de remoção da semente, o cobre do plano de blindagem se tornava consideravelmente rugoso e oxidava facilmente. Para evitar este problema passou-se a utilizar uma fina camada de Níquel, também depositada por eletrodeposição. A Figura 58 mostra a camada de blindagem coberta com um filme fino de níquel.

Figura 58 - Resultado do processo de eletrodeposição de níquel sobre o filme de cobre da camada de blindagem.

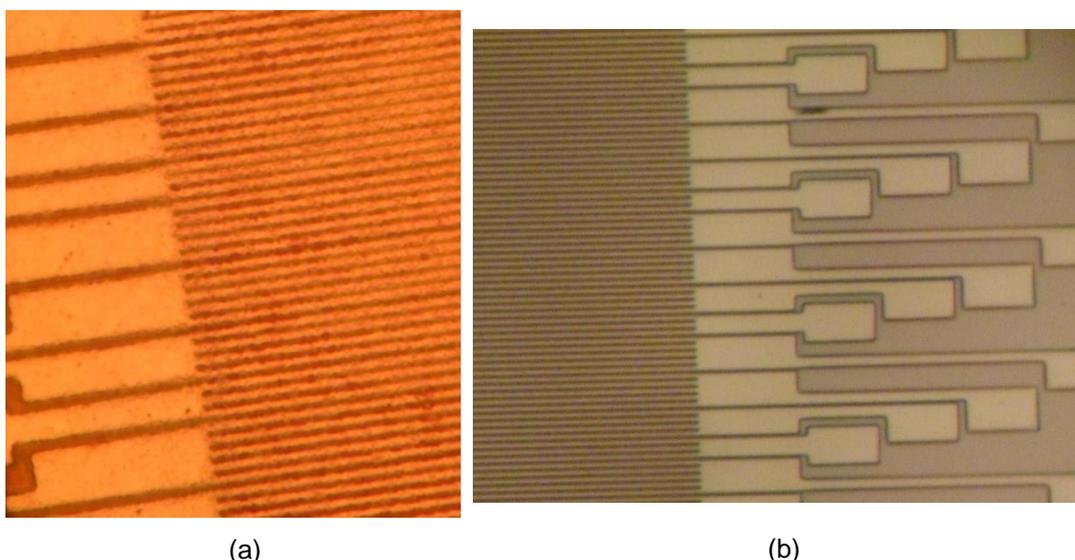


Fonte: Autor

Uma comparação entre os resultados após a etapa de remoção da semente com e sem níquel é mostrada na Figura 59.

Medições da espessura da camada de blindagem por perfilometria mostram que ela possui uma espessura de ~650 nm.

Figura 59 - Comparação entre a superfície da camada de blindagem após a remoção da semente (a) sem e (b) com a camada de níquel.



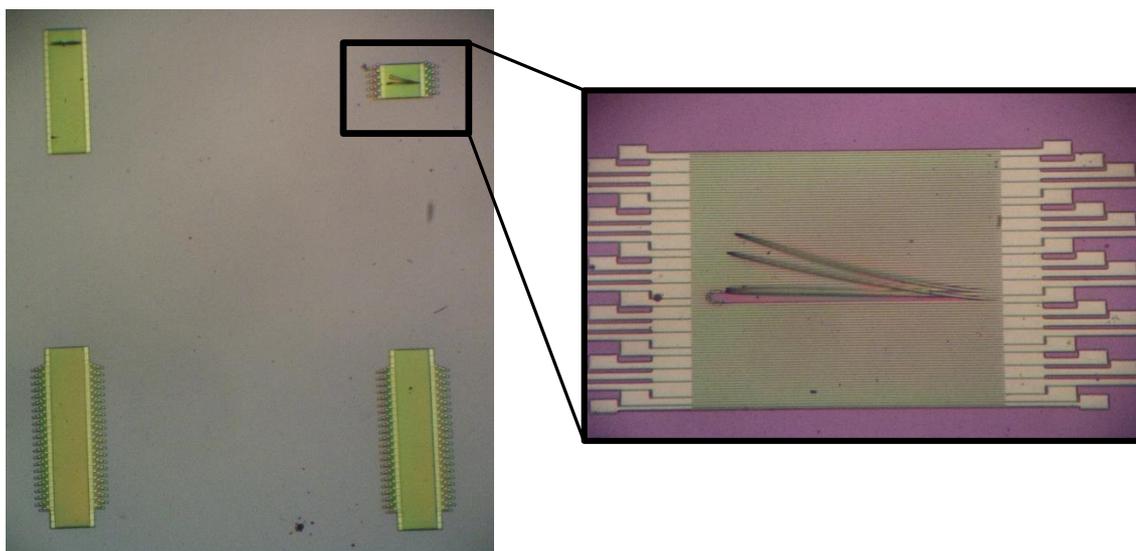
Fonte: Autor

6.1.2 Deposição de óxido de silício (SiO_2) e carbeto de silício amorfo hidrogenando (a-SiC:H)

A deposição do SiO_2 e o a-SiC:H foi realizada por *Plasma Enhanced Chemical Vapor Deposition* (PECVD) e utilizou parâmetros já estudados em pesquisas anteriores do Grupo de Novos Materiais e Métodos do LME [41], [42]. Estes materiais foram desenvolvidos para possuírem baixa tensão mecânica residual, importante para a fabricação de MEMS.

Apesar disto, observou-se o desprendimento do substrato de algumas fitas da camada de blindagem, como é mostrado na Figura 60. Uma das possíveis causas para este descolamento pode ser o estresse térmico ligado à diferença de coeficiente de expansão térmica do cobre/níquel e SiO_2 que ocorre durante as deposições por PECVD. Este efeito, somado à pouca aderência comentada acima, pode gerar o descolamento das fitas da camada de blindagem. Este efeito não foi observado quando ambos filmes de titânio e cobre foram depositados por *sputtering*. Como pode ser observado na Figura 60, esse efeito só aconteceu em alguns dos dispositivos.

Figura 60 - Desprendimento de fitas da camada de blindagem após as deposições por PECVD.



Fonte: Autor

6.1.3 Definição das vias

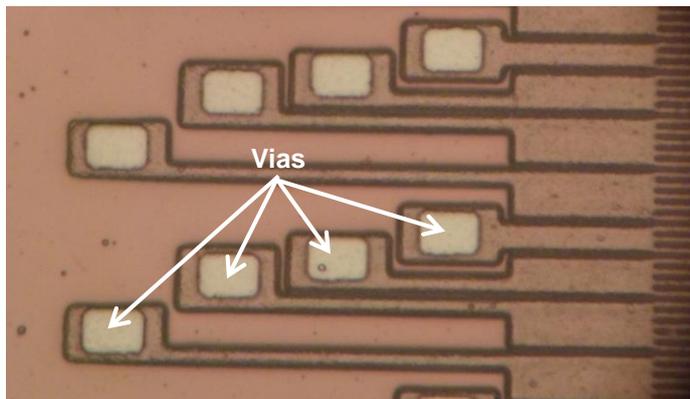
A definição das vias que vão ligar os contatos para a atuação da camada de blindagem engloba as etapas 10, 11, 12 e 13 da Tabela 5 e os resultados são mostrados a seguir.

a) Deposição de Alumínio por *sputtering* e fotogração da segunda máscara

Inicialmente, para esta etapa utilizava-se uma camada de Ti que era depositada por *sputtering*, conseguindo-se filmes que suportavam bem sua utilização como máscara durante o processo de corrosão por plasma (etapa 12 da Tabela 5).

Posteriormente, devido a problemas com o equipamento passou-se a depositar o Ti por evaporação, obtendo-se como resultado uma camada de metal que não suporta o tempo necessário de corrosão. Por isso, o material utilizado foi mudado para o Alumínio depositado por evaporação. Foi utilizado uma camada de ~500 nm, na qual fotograçou-se a segunda máscara, mostrada na Figura 54, com resultados ilustrados na Figura 61.

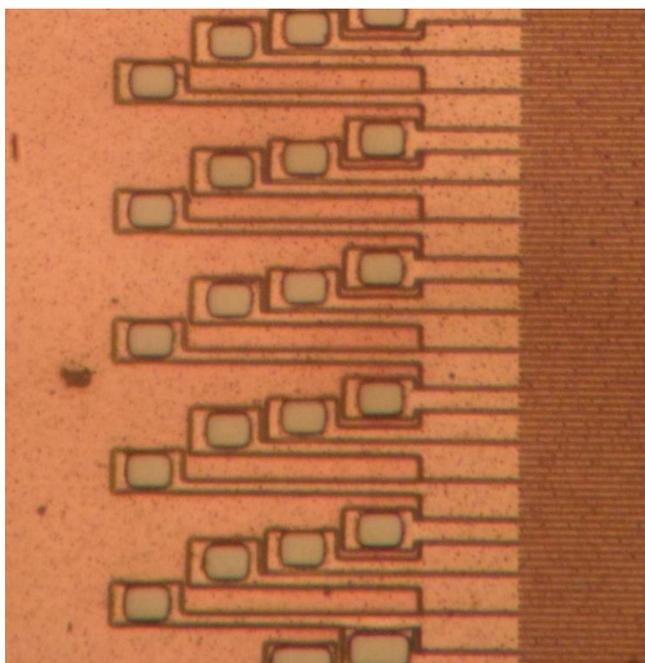
Figura 61 - Fotogravação da segunda máscara.



Fonte: Autor

Após a definição da geometria das vias por litografia, o filme de alumínio é corroído para expor as áreas que serão corroídas por plasma. A Figura 62 mostra uma amostra após a corrosão do alumínio em HF e água (1:20).

Figura 62 - Corrosão de Al nas áreas definidas durante a etapa de fotogravação.



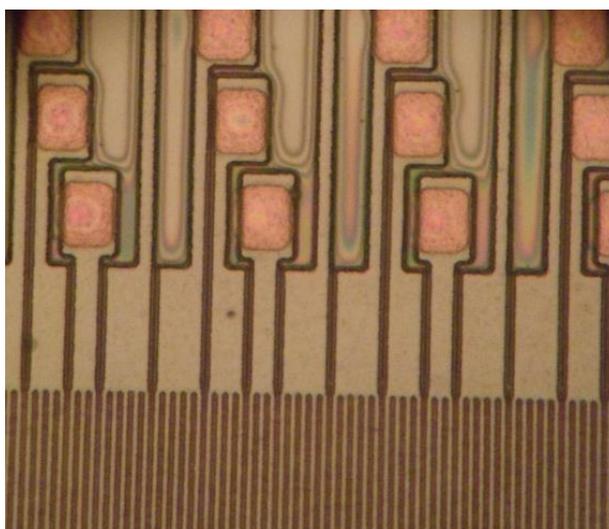
Fonte: Autor

b) Corrosão por plasma e remoção de Alumínio

Uma vez que foram definidas as áreas das vias, a camada sacrificial de SiO_2 foi corroída utilizando Corrosão Iônica Reativa (RIE). Com este processo é possível remover as camadas sacrificial (SiO_2) e isolante (a-SiC:H) até chegar à parte inferior, onde se encontram os contatos da camada de blindagem, como mostra Figura 63.

Após a corrosão em RIE, o alumínio utilizado com máscara foi removido com a mesma solução de H_2O e HF utilizado na etapa anterior.

Figura 63 - Resultado do processo de Corrosão por Íon Reativo utilizado para remover a camada sacrificial de SiO_2 nas regiões das vias.

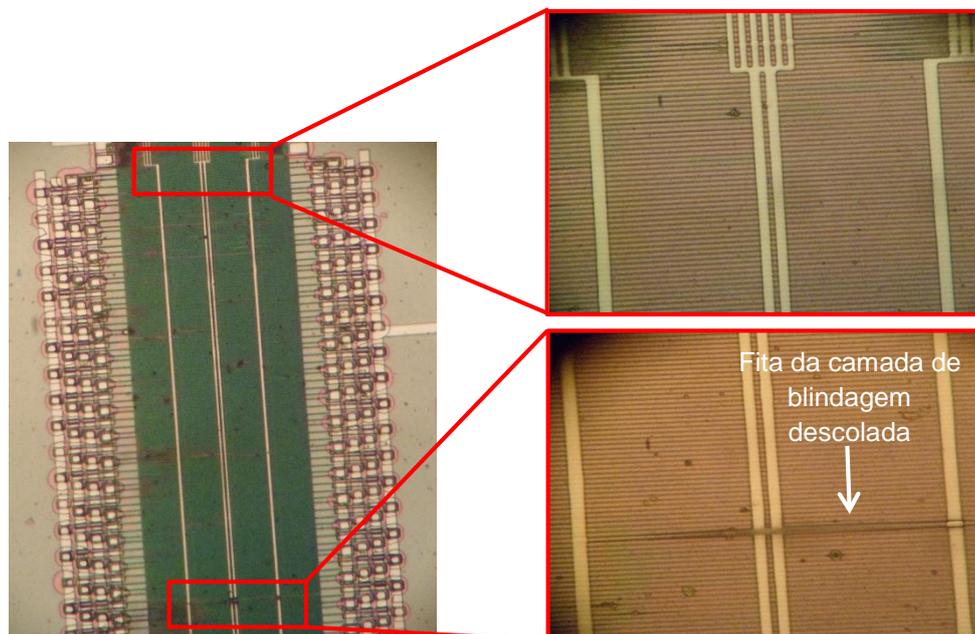


Fonte: Autor

6.1.4 Definição da CPW, interconexões DC e trilhas

A definição da CPW, interconexões DC e trilhas engloba as etapas 14, 15 e 16 da Tabela 5 e são basicamente as mesmas etapas utilizadas para a definição da camada de blindagem. Os resultados destas etapas são mostrados na Figura 64.

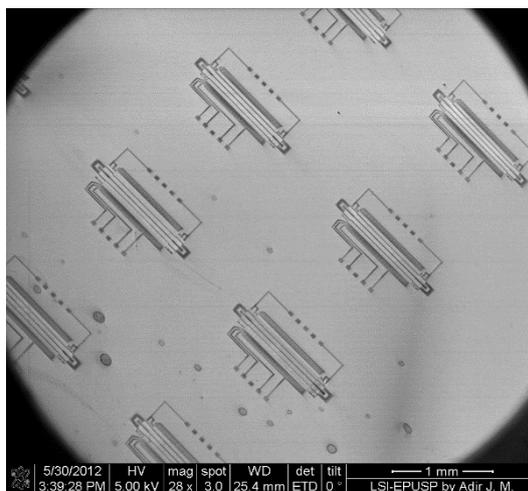
Figura 64 – Resultados da etapa de definição da CPW, interconexões DC e trilhas.



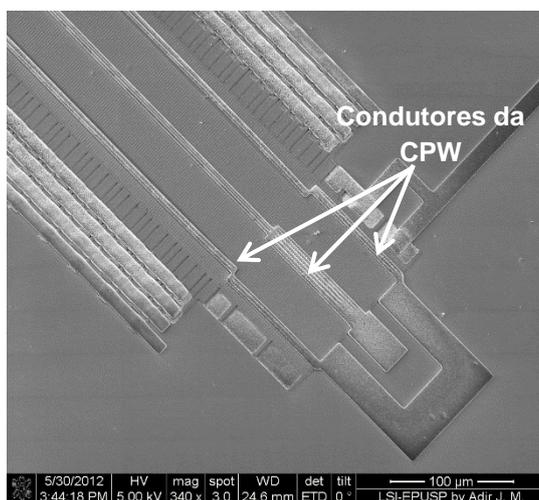
Fonte: Autor

Como foi mencionado anteriormente, depois do processo de deposição por PECVD observou-se que algumas fitas da camada de blindagem descolam do substrato. Esse efeito pode ser observado também na Figura 64.

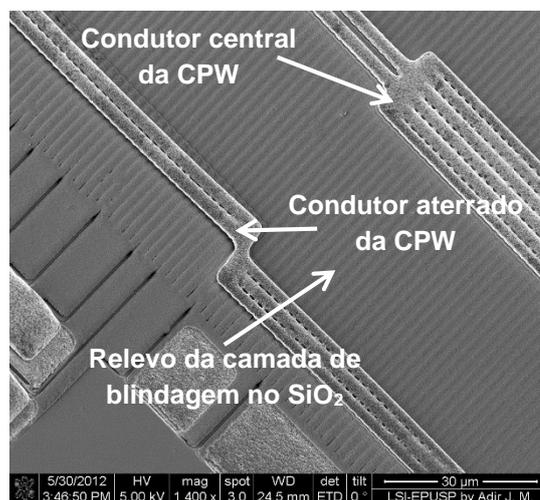
Figura 65 - Fotos dos defasadores tiradas com um microscópio eletrônico de varredura (MEV).



(a)



(b)



(c)

Fonte: Autor

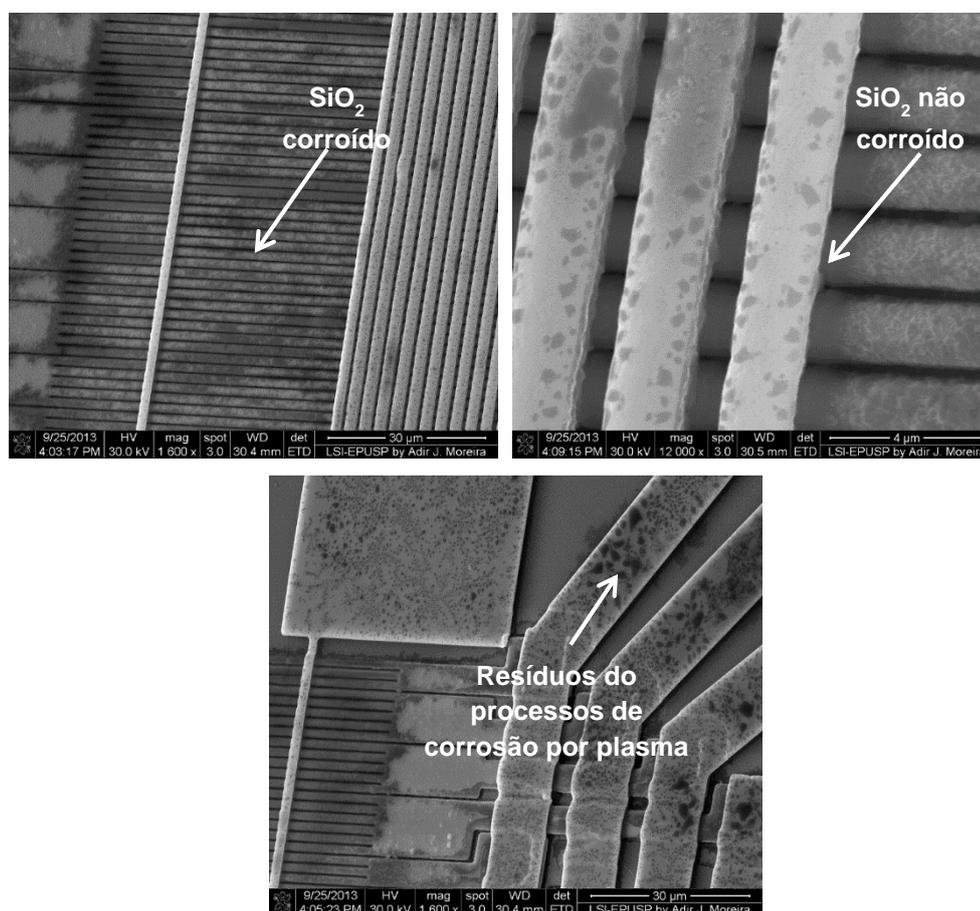
A Figura 65 mostra imagens do microscópio eletrônico de varredura (MEV) dos defasadores antes da liberação da camada de blindagem. Na Figura 65a observa-se uma vista geral dos defasadores fabricados. Em detalhe, na Figura 65b observa-se os contatos RF, a CPW e as interconexões DC. Na Figura 65c pode-se ver o relevo da camada de blindagem no SiO_2 sacrificial e detalhes do condutor central da CPW e seu terra.

6.1.5 Corrosão da camada sacrificial de SiO₂

A liberação das fitas da camada de blindagem pela corrosão da camada sacrificial de SiO₂ engloba a etapa 17 e 18 da Tabela 5.

Em um primeiro momento, as lâminas passam por um processo de corrosão por plasma (RIE), que ajuda na corrosão da camada de SiO₂, sendo os resultados para essa etapa mostrados na Figura 66.

Figura 66 - Imagem do MEV onde é mostrado o resultado do processo de corrosão por plasma (RIE) utilizado para facilitar a remoção da camada sacrificial de SiO₂.



Fonte: Autor

O processo por RIE é uma corrosão anisotrópica, que corrói verticalmente a camada sacrificial. No entanto, as regiões do filme sacrificial sob a CPW e camada de blindagem não são corroídas. Este processo reduz o tempo necessário para a liberação da camada de blindagem. Na Figura 66 pode-se observar algumas manchas que aparecem durante esta etapa, que podem ser resíduos poliméricos formados durante o processo de corrosão por plasma.

Normalmente, para remover esses resíduos poliméricos as laminas são submergidas, por um curto tempo (~20 segundos), em uma solução de Ácido Nítrico e Água 1:10, porém o ácido nítrico ataca também a camada de níquel depositada para proteger o cobre.

Nas imagens da Figura 66, também pode-se corroborar que com o processo de corrosão por plasma, consegue-se corroer a camada sacrificial anisotropicamente até chegar na camada de blindagem.

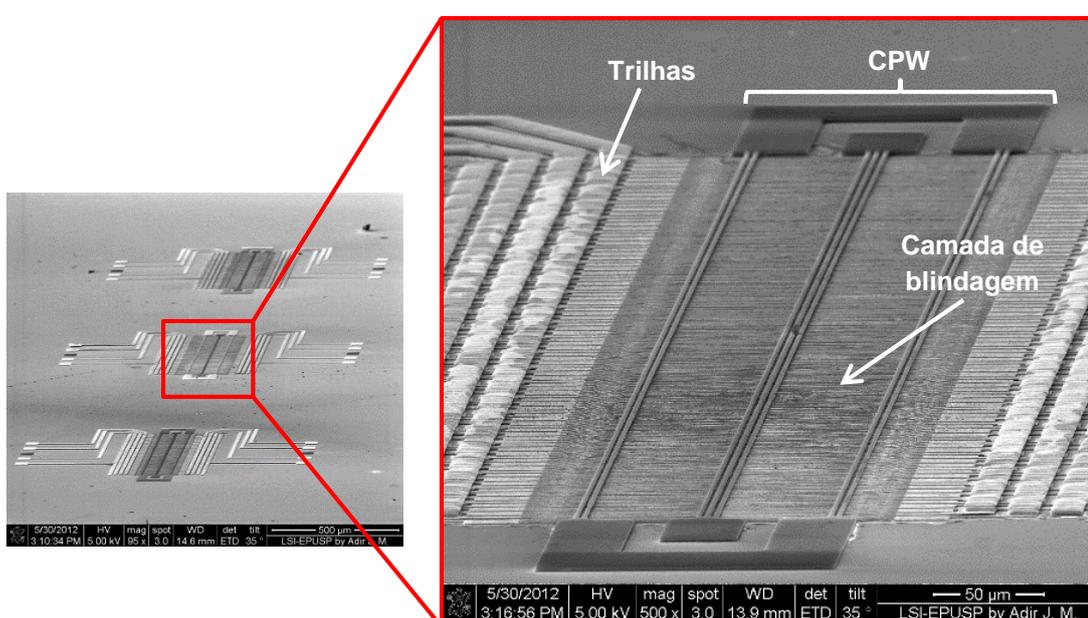
Depois da corrosão por plasma, as lâminas são levadas diretamente à etapa de corrosão por vapor de HF, utilizado para liberar totalmente a camada de blindagem, como explicado no capítulo 5.

Inicialmente, o processo de corrosão por vapor de HF era realizado a uma temperatura de 60°C, seguido de uma etapa de recozimento a 90°C, esperando-se com isto remover os resíduos da corrosão que ficavam sobre a lâmina.

Destas duas etapas, se observou melhores resultados realizando a etapa de corrosão a 75°C e a etapa de recozimento a 150°C. Assim, fazer o processo de corrosão a uma temperatura de 75°C reduz a velocidade de corrosão, permitindo um melhor controle da taxa de corrosão. Além disso, observou-se que o recozimento a 90°C, não removia totalmente os resíduos de HF da lâmina, motivo pelo qual este processo passou a ser feito a uma temperatura mais elevada de 150°C.

Como até agora foi explicado, ao longo de todo o trabalho de mestrado, foi-se observando diferentes resultados que foram utilizados para otimizar cada etapa do processo de fabricação. A Figura 67 mostra os dispositivos fabricados após a última etapa do processo, a corrosão da camada sacrificial de SiO₂. Nessas figuras, pode-se observar de uma forma geral que o processo de fabricação permite a obtenção dos defasadores propostos.

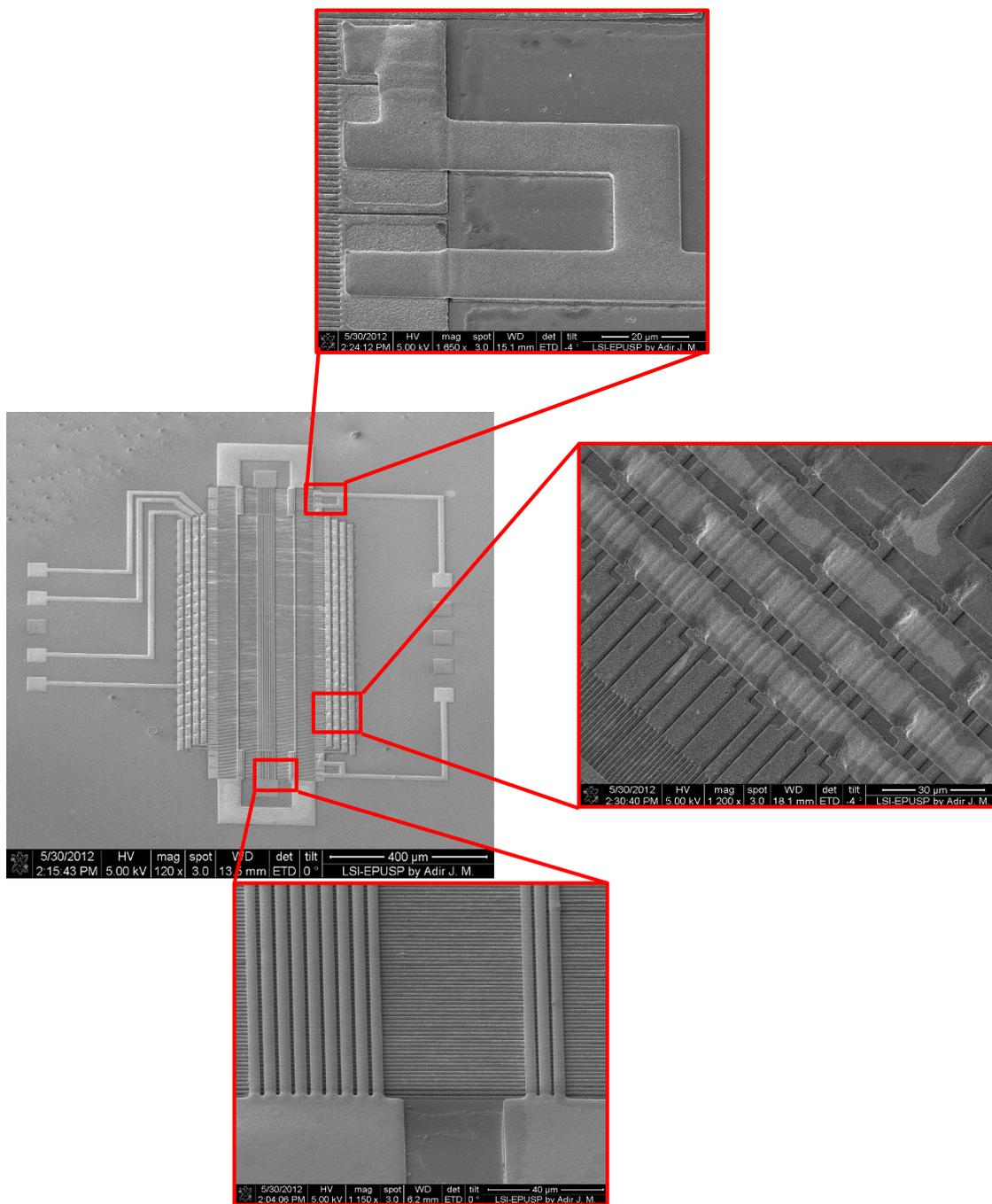
Figura 67 – Imagens do MEV dos defasadores fabricados e liberados.



Fonte: Autor

Uma melhor vista, com detalhes, do defasador fabricado é mostrada na Figura 68. Nestas imagens pode-se observar que realmente a camada de níquel ajuda proteger o cobre, evitando que este fique com a superfície rugosa (Figura 69a).

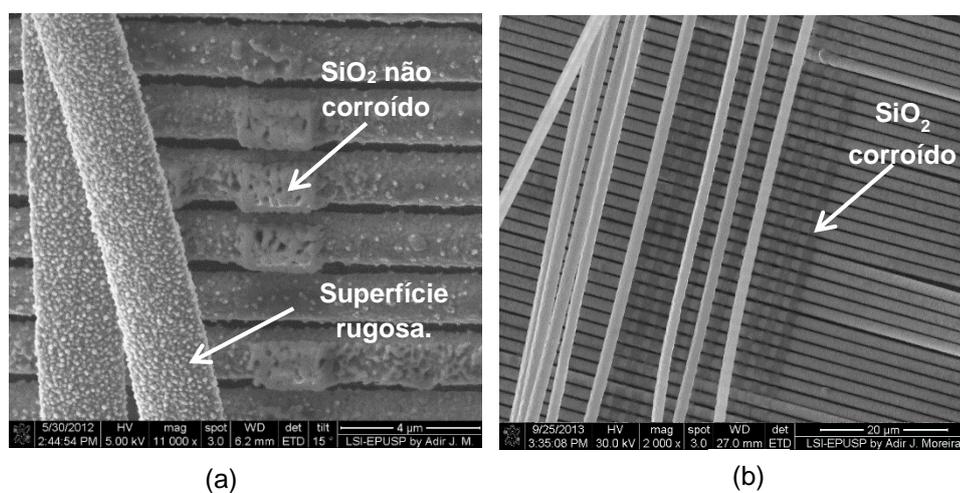
Figura 68 – Detalhes do defasador fabricado.



Fonte: Autor

A Figura 69 mostra uma comparação entre duas lâminas corroídas com vapor de HF por tempos diferentes. A primeira lâmina (Figura 69a) foi corroída por 30 minutos, e nela pode-se observar, ao remover a CPW propositalmente, que ainda existe SiO_2 .

Figura 69 – Resultados do processo de corrosão da camada sacrificial. (a) lâmina corroída durante 30 minutos, (b) lâmina corroída durante 80 minutos.



Fonte: Autor

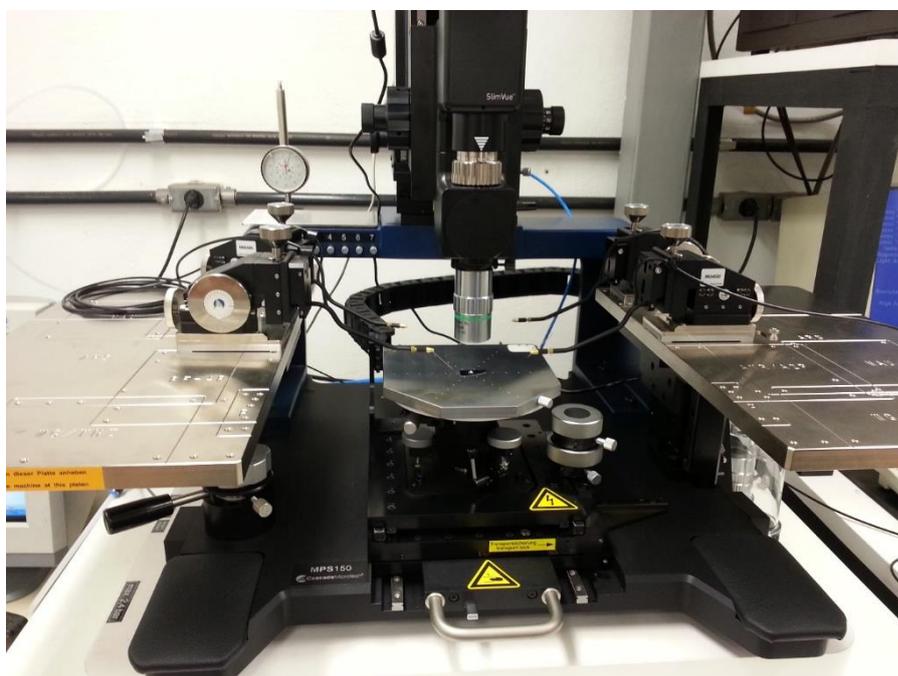
Uma segunda lâmina (Figura 69b) foi corroída por 100 minutos, podendo-se observar que já não existe mais a presença de SiO_2 entre a CPW e camada de blindagem.

6.2 TESTES DE ATUAÇÃO DO DEFASADOR

Os dispositivos fabricados foram testados com a finalidade de confirmar a liberação da camada de blindagem. Os resultados obtidos foram promissores, conseguindo-se observar que a camada de blindagem realmente está liberada e que foi possível atua-la eletricamente.

Para esta etapa foi utilizado o equipamento mostrado na Figura 70, que permite fazer os testes de atuação, aplicando diferentes valores de tensão DC e, ao mesmo tempo, permite fazer a medição da capacitância entre a camada de blindagem e a CPW. A medição da capacitância é importante porque permite encontrar como este parâmetro varia em função do deslocamento das fitas durante a atuação do dispositivo.

Figura 70 – Equipamento utilizado para os testes de atuação dos defasadores.



Fonte: Autor

Nos primeiros resultados obtidos, observou-se a movimentação de só alguns grupos de fitas da camada de blindagem, quando uma tensão DC foi aplicada. Essa

aplicação de tensão DC foi feita com valores no intervalo de 1 V a 25 V, observando-se movimentação das estruturas para valores maiores a 13V (vídeo disponibilizado em: https://nds.lme.usp.br/videos/SAM_0209).

Nos últimos dispositivos fabricados realizaram-se outros tipos de testes para confirmar a liberação das fitas da camada de blindagem. Estes testes consistiram na atuação térmica das fitas. Para isso, aplicou-se tensão DC entre os contatos de um grupo de fitas, como ilustra a Figura 71. Com a passagem de corrente nas fitas, estas esquentam devido ao efeito Joule, expandem e se movimentam.

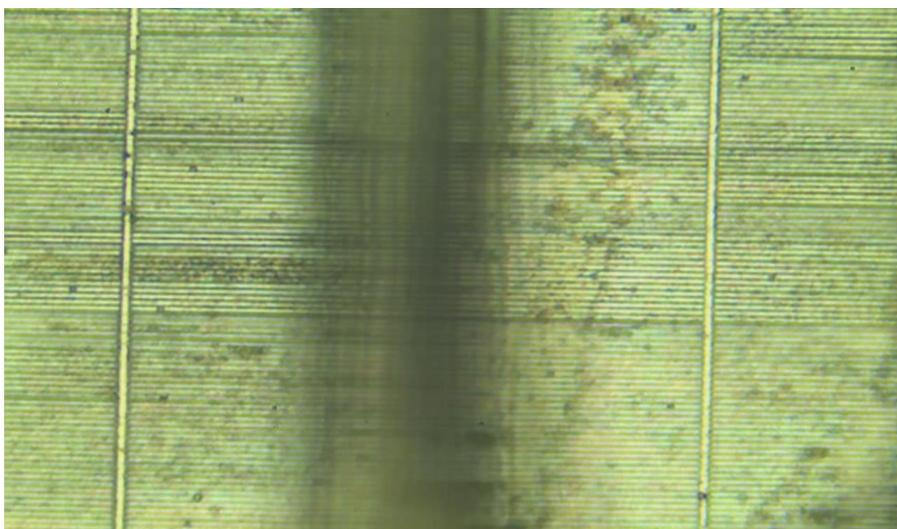
Figura 71 – Contatos onde foi aplicada tensão para a atuação térmica das fitas.



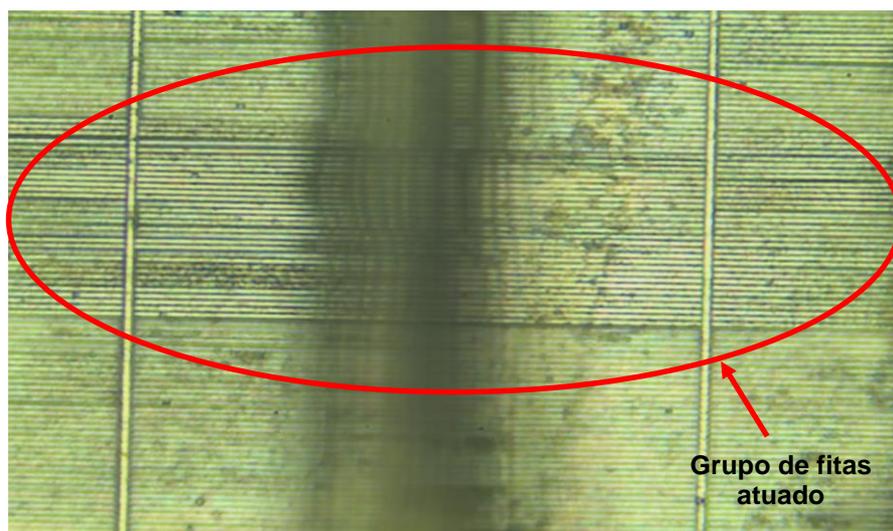
Fonte: Autor

Desta forma, foi possível observar o deslocamento das fitas, mostrando que estão realmente liberados. Esta foi uma maneira fácil e rápida para verificar a liberação das estruturas, pois o deslocamento é maior e de fácil determinação. A Figura 72 mostra o deslocamento através da atuação térmica de um grupo de fitas da camada de blindagem (vídeo disponibilizado em: <https://nds.lme.usp.br/videos/2.avi>), passando do estado em repouso (Figura 72a) ao estado atuado (Figura 72b).

Figura 72 – Atuação do grupo de fitas.



(a)



(b)

Fonte: Autor

7 CONCLUSÕES

Este trabalho foi desenvolvido inteiramente no Laboratório de Microeletrônica da Universidade de São Paulo junto ao Grupo de Novos Materiais e Dispositivos. Aqui foram desenvolvidos diversos aspectos de extrema relevância científica/acadêmica, porém também de grande interesse tecnológico e comercial. Este trabalho foi focado no desenvolvimento de defasadores baseados em MEMS distribuídos para aplicações comerciais em ondas milimétricas. Os desenvolvimentos realizados neste trabalho de mestrado foram pioneiros no Brasil e fomentam uma base sólida para o desenvolvimento de RF MEMS e dispositivos para ondas milimétricas no LME-USP e no Brasil, permitindo o desenvolvimento de dispositivos no estado-da-arte com tecnologia inteiramente nacional.

Este trabalho focou no desenvolvimento de um processo de fabricação que permitisse a realização de defasadores baseados em linhas de transmissão tipo S-CPW e MEMS distribuídos que permitem a movimentação do plano de blindagem deste tipo de linha de transmissão, utilizando uma tecnologia de baixo custo baseada em silício. Por isso, os defasadores fabricados não foram otimizados nem do ponto de vista RF, nem do ponto de vista eletromecânico. Contudo, o processo de fabricação se mostrou viável e promissor, permitindo a liberação da camada de blindagem.

Testes de atuação foram realizados e mostraram resultados promissores para o funcionamento do defasador, confirmando a liberação da camada de blindagem. Durante esses teste conseguiu-se observar a movimentação de alguns dos grupos de fitas quando uma tensão DC de 13 V foi aplicada. Porém, como explicado as medidas em RF do defasador não foram feitas, por problemas no projeto mecânico do defasador. Foram encontrados alguns problemas para a fabricação dos defasadores, mas estes foram superados durante desenvolvimento deste trabalho de mestrado.

Foi desenvolvido um modelo de elementos concentrados que permite simular a parte eletromecânica dos MEMS distribuídos junto com o modelo em RF do defasador para uma análise completa do dispositivo. Com este modelo, pode-se obter a variação da fase em função do deslocamento das fitas da camada de blindagem é importante para a simulação de um sistema completo. As respostas do modelo

eletromecânico foram corroboradas com simulações feitas por elementos finitos. Os resultados obtidos permitiram validar os resultados do modelo eletromecânico proposto. Além disso, este modelo servirá como base para futuras otimizações dos defasadores baseados no princípio de funcionamento descrito neste trabalho. No entanto, existem algumas partes do modelo elaborado que precisam ser otimizadas para melhorar a exatidão das simulações

8 TRABALHOS FUTUROS

Este trabalho de mestrado mostrou resultados muito promissores para o desenvolvimento dos defasadores propostos. Contudo, alguns aspectos deverão ser estudados/aprimorados para que se consiga dispositivos funcionais que almejem o estado-da-arte. Os dispositivos fabricados não foram otimizados nem para sua atuação eletrostática, nem para seu funcionamento RF, o que deverá ser feito em trabalhos futuros. Esta otimização permitirá medidas elétricas em RF e em baixas frequências, possibilitando sua comparação entre os modelos desenvolvidos e o aprimoramento destes modelos.

Neste trabalho, foi possível superar diversos problemas de fabricação, porém, outros problemas apareceram que precisarão ser estudados. O descolamento indesejado das fitas da camada de blindagem provavelmente está ligado à qualidade dos filmes de cobre e titânio depositados. Bons resultados foram obtidos utilizando um sistema de *sputtering*, que hoje está em manutenção. Por tanto, logo este sistema volte a operar estes filmes serão testados e acredita-se que este problema será resolvido. Outro problema a ser estudado são os resíduos que aparecem após a corrosão por plasma. Além disso, durante os testes de atuação, em algumas partes dos dispositivos, não se observou movimentação. Por este motivo, devem ser feitos mais testes de corrosão com vapor de HF, até que se encontre o tempo necessário para liberar todas as fitas da camada de blindagem sem danificar o dispositivos. Este aspecto deverá ser estudado junto com o reprojeto dos dispositivos, onde âncoras maiores deverão ser consideradas, permitindo um tempo maior de corrosão em vapor de HF.

O modelo eletromecânico do defasador, desenvolvido neste trabalho, será fundamental para otimizar o projeto mecânico do dispositivo. Assim, fazendo simulações paramétricas poder-se-á otimizar a resposta do dispositivo variando suas dimensões e características de maneira simples e rápida, para um rendimento melhor em função de diferentes especificações.

Finalmente, como os defasadores são fabricados em tecnologia baseada em Si, este conceito poderá ser transferido para uma tecnologia CMOS de baixo custo.

REFERENCIAS BIBLIOGRAFICAS

- [1] REHDER, G; FERRARI, P. **Tunable High-Frequency Transmission Line**. WO2012032269. FR PCT/FR2011/052058. 8 Set 2011.
- [2] Kraemer, M; Ercoli, M; Dragomirescu, D; Plana, R. A wideband single-balanced down-mixer for the 60 GHz band in 65 nm CMOS, **Microwave Conference Proceedings (APMC), 2010 Asia-Pacific**, p.1849, Dec. 2010.
- [3] Chang, Kai; **RF and Microwave Wireless Systems: 1st Edition**. New York: John Wiley & Sons, 2000.
- [4] Ferrero, F. T.D. et al. Reflection-type phase shifter integrated on advanced BiCMOS technology in the 60 GHz band. **New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International**, p.434, June 2011.
- [5] BARTOLUCCI, G.; GIANNINI, F.; LIMITI, E. On the generalized loaded-line phase shifter. In: Microwave and Optoelectronics Conference, 1995. **Proceedings**, 1995. SBMO/IEEE MTT-S International, v.2, p.554 - 558, 24-27 Jul 1995.
- [6] ATWATER, H.A. Circuit Design of the Loaded-Line Phase Shifter. **Microwave Theory and Techniques, IEEE Transactions**, v.33, p. 626 - 634, Jul 1985.
- [7] BUCK, T.; KASPER, E. RF MEMS phase shifters for 24 and 77 GHz on high resistivity silicon. **Silicon Monolithic Integrated Circuits in RF Systems (SiRF)**, 2010 Topical Meeting, p. 224 - 227, 11-13 Jan. 2010.
- [8] SONGBIN G.; HUI S.; BARKER, N.S. A 60-GHz 2-bit Switched-Line Phase Shifter Using SP4T RF-MEMS Switches. **Microwave Theory and Techniques, IEEE Transactions**, v.59, p. 894 - 900, Abril 2011.

- [9] STEHLE, A. et al. RF-MEMS Switch and Phase Shifter Optimized for W-Band. In: Microwave Conference, 2008. **Proceeding**, 2008. EuMC 2008, 38th European, p.104 -107, 27-31 Oct 2008.
- [10] KIM, M.; YANG, J.G.; YANG, K. Switched transmission-line type Q-band 4-bit MMIC phase shifter using InGaAs pin diodes. **Electronics Letters**, v.46, n. 3, p.225-226, 4 Feb. 2010.
- [11] YUN-CHIEH, C. et al. A 60GHz digitally controlled 4-bit phase shifter with 6-ps group delay deviation. In: Microwave Symposium Digest (MTT), 2012. **Proceeding**, 2012. IEEE MTT-S International, p.1-3, 17-22 Jun 2012.
- [12] BIGLARBEGIAN, B. et al. A Wideband 90° continuous phase shifter for 60GHz phased array transceiver in 90nm CMOS technology. In: Microwave Integrated Circuits Conference, 2009. **Proceeding**, 2009. EuMIC, p.479 - 482, 28-29 Sep. 2009.
- [13] SHIH, S.E. et al. A W-Band 4-Bit Phase Shifter in Multilayer Scalable Array Systems. In: Compound Semiconductor Integrated Circuit Symposium, 2007. **Proceeding**, 2007. CSIC IEEE, p.1-4, 14-17 Oct 2007.
- [14] MING-DA T.; NATARAJAN, A. 60GHz passive and active RF-path phase shifters in silicone. In: Radio Frequency Integrated Circuits Symposium, 2009. **Proceeding**, 2009. RFIC IEEE, p.223-226, 7-9 Jun 2009.
- [15] HONG-TEUK K. et al. A compact V-band 2-bit reflection-type MEMS phase shifter. **Microwave and Wireless Components Letters, IEEE**, v.12, n.9, p.324-326, Sep. 2002.
- [16] BIGLARBEGIAN, B. et al. Millimeter-Wave Reflective-Type Phase Shifter in CMOS Technology. **Microwave and Wireless Components Letters, IEEE**, v.19, n.9, p.560-562, Sep 2009.

- [17] TABESH, M.; ARBABIAN, A.; NIKNEJAD, A. 60GHz low-loss compact phase shifters using a transformer-based hybrid in 65nm CMOS. In: Custom Integrated Circuits Conference (CICC), 2011. **Proceeding**, 2011 IEEE, p.1-4, 19-21 Set 2011.
- [18] KRISHNASWAMY, H.; VALDES-GARCIA, A.; JIE-WEI L. A silicon-based, all-passive, 60 GHz, 4-element, phased-array beamformer featuring a differential, reflection-type phase shifter. In: Phased Array Systems and Technology (ARRAY), 2010. **Proceeding**, 2010. **IEEE International Symposium**, p. 225-232, 12-15 Oct 2010.
- [19] JUO-JUNG, H.; DUSSOPT, L.; REBEIZ, G. Distributed 2- and 3-bit W-band MEMS phase shifters on glass substrates. **Microwave Theory and Techniques, IEEE Transactions**, v. 52, n. 2, p. 600- 606, Fev 2004.
- [20] HONG-TEUK, K. et al. V-band 2-b and 4-b low-loss and low-voltage distributed MEMS digital phase shifter using metal-air-metal capacitors. **Microwave Theory and Techniques, IEEE Transactions**, v. 50, n. 12, p. 2918- 2923, Dez 2002.
- [21] HONG-TEUK, K. et al. V-band low-loss and low-voltage distributed MEMS digital phase shifter using metal-air-metal capacitors. In: MICROWAVE SYMPOSIUM DIGEST, 2002. **Proceeding**. p.341-344, 2002.
- [22] PARLAK, M.; BUCKWALTER, J.F. A Low-Power, W-Band Phase Shifter in a 0.12 um SiGe BiCMOS Process. **Microwave and Wireless Components Letters, IEEE**, v.20, n.11, p.631-633, Nov. 2010.
- [23] YIKUN, Y. et al. A 60GHz digitally controlled phase shifter in CMOS. In: SOLID-STATE CIRCUITS CONFERENCE, 2008 **Proceeding**. p.250-253, 15-19 Set. 2008.
- [24] MCFEETORS, G.; OKONIEWSKI, M. Distributed MEMS analog phase shifter with enhanced tuning. **Microwave and Wireless Components Letters, IEEE**, v.16, n.1, p.34-36, Jan 2006.

- [25] SARKAS, I. et al. W-band 65-nm CMOS and SiGe BiCMOS transmitter and receiver with lumped I-Q phase shifters. In: RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM, 2009. **Proceeding**. p.441-444, 7-9 Jun 2009.
- [26] KI-JIN, K. et al. A 60 GHz Wideband Phased-Array LNA With Short-Stub Passive Vector Generator. **Microwave and Wireless Components Letters, IEEE**, v.20, n.11, p.628-630, Nov. 2010.
- [27] YIKUN, Y. et al. A 60 GHz Phase Shifter Integrated With LNA and PA in 65nm CMOS for Phased Array Systems. **Solid-State Circuits, IEEE Journal**, v.45, n.9, p.1697-1709, Set 2010.
- [28] LIU, H.; LI, Z.; SUN, X. Compact defected ground structure in microstrip technology. **Electronics Letters**, v.41, n.3, p.132-134, 3 Fev. 2005.
- [29] FRANC, A.; PISTONO, E.; FERRARI, P. Design guidelines for high performance slow-wave transmission lines with optimized floating shield dimensions. In: MICROWAVE CONFERENCE (EUMC), 2010, **Proceeding**. p.1190-1193, 28-30 Set. 2010.
- [30] MILANOVIC, V. et al. Characterization of broad-band transmission for coplanar waveguides on CMOS silicon substrates. **Microwave Theory and Techniques, IEEE Transactions**, v.46, n.5, p.632-640, Maio 1998.
- [31] REBEIZ, G.; **RF MEMS: Theory, Design, and Technology**: 1st Edition. New Jersey: Wiley, 2003.
- [32] COLOMBO, Fábio Belotti; **Desenvolvimento de um software para simulação atomística de processos de microfabricação baseado em autômatos celulares**. 2011. Dissertação (Mestrado em Microeletrônica) - Escola Politécnica, University of São Paulo, São Paulo, 2011.
- [33] W. Wing, et al; Theoretical Analysis of Stiffness Constant and Effective Mass for a Round-Folded Beam in MEMS Accelerometer,” **J. of Mechanical Engineering**, North America, v. 57, June 2011.

- [34] Young, W. C; Budynas, R. G; **Roark's Formulas for Stress and Strain**: 7th Edition. New York: McGraw-Hill, 2002.
- [35] Franc, A. L; Pistono, E; Gloria, D; Ferrari, P. High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters. **Electron Devices, IEEE Transactions on**, v.59, n. 5, p.1219-1226, 2012.
- [36] A Lossy Circuit Model Based on Physical Interpretation for Integrated Shielded Slow-Wave CMOS Coplanar Waveguide Structures. **Microwave Theory and Techniques, IEEE Transactions on**, v.61, n. 2, p. 754-763, Feb. 2013.
- [37] FRANSSILA, S., **Introduction to microfabrication**: 2nd edition. England: Wiley, 2010
- [38] KENJI YAJIMA, S.; AKIHIRO KAKIMOTO, O.; HIDEYUKI IKENOYA, I. **Phosphorized Copper Anode For Electroplating**. US 6.783,611 B2, 12 Março 2002.
- [39] ANGUIA, J.; BRIONES, F. HF/H₂O vapor etching of SiO₂ sacrificial layer for large-area surface-micromachined membranes. **Sensors and Actuators A: Physical**, v. 64, n.3, p.247-251, 31 Jan 1998
- [40] HELMS, C.R.; DEAL, B.E. Mechanisms of the HF/H₂O vapor phase etching of SiO₂. **Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films**, v.10, n.4, p.806-811, 1992.
- [41] Carreño, M. N. P; Alayo, M. I; Pereyra, I; Lopes A.T. PECVD-SiO_xN_y films for large area self-sustained grids applications, **Sensors and Actuators A: Physical**, v. 100, p. 295-300, September 2002.
- [42] Pelegrini, M. V.; Rehder, G. P.; Pereyra, I. a-SiC:H films deposited by PECVD for MEMS applications, **physica status solidi (c)**, v. 7, p. 786, Abril 2010.

APÊNDICES

APÊNDICE A: Modelo Completo de Elementos Concentrados

A seguir é mostrado modelo completo de elementos concentrados desenvolvido para fazer tanto as simulações eletromecânicas quanto as simulações em RF do defasador. O processo de implementação dos circuitos e as expressões utilizadas para calcular o valor de cada componente foram descritos a detalhe na sessão 4.3. Assim, as Figuras A1, Figura A2 e A3 mostram os circuitos do modelo eletromecânico que simula o comportamento dinâmico da fita da camada de blindagem no ponto x_2 (abaixo do condutor central), x_1 e x_3 (abaixo dos condutores de terra), respectivamente.

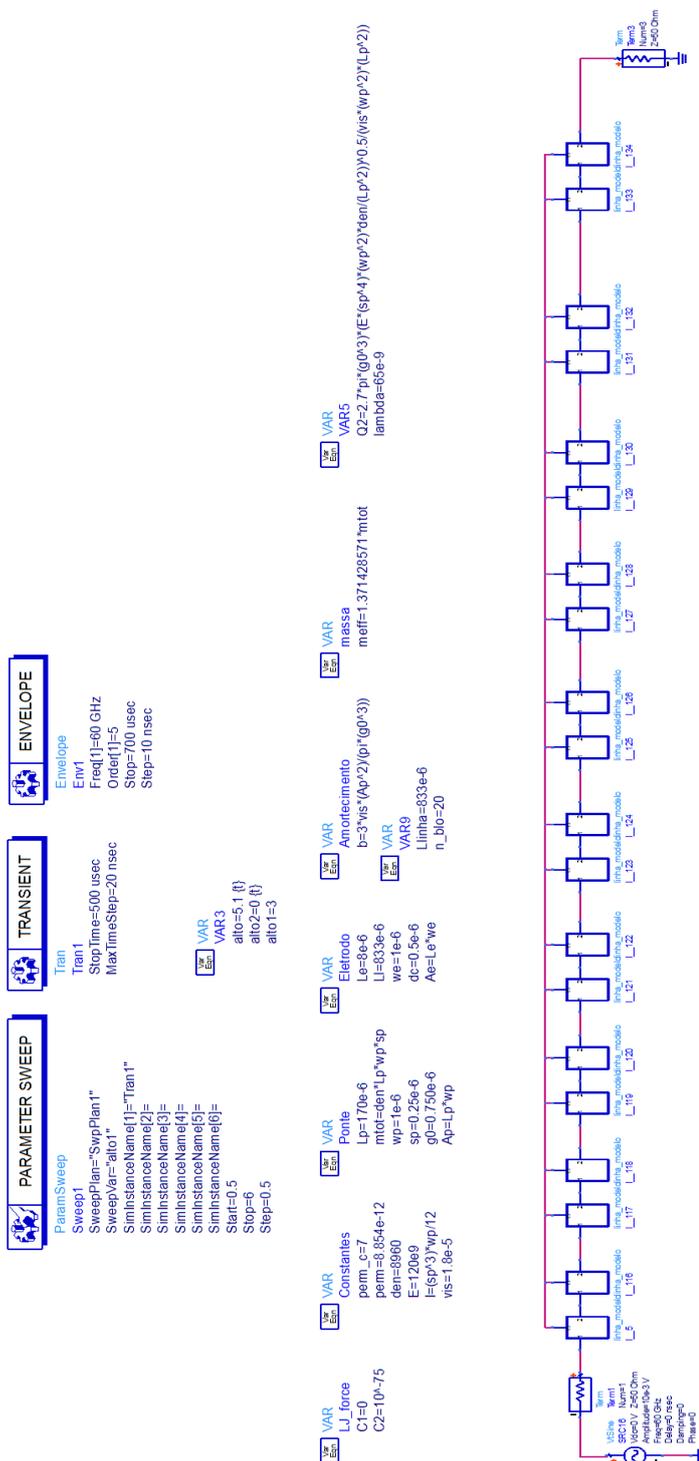
Para cada circuito foram adicionados dois blocos. Um deles, tem a função de calcular o deslocamento gerado nos dois pontos diferentes ao ponto onde a força é aplicada. Por exemplo, na

Figura A1, um bloco calcula o deslocamento em x_1 e x_3 , devido à força aplicada em x_2 . O outro bloco se encarrega de somar o deslocamento gerado no ponto analisado devido à aplicação de força nos outros pontos, por exemplo, ainda na

Figura A1, este bloco calcula o deslocamento em x_2 devido à força aplicada em x_1 e x_3 .

Finalmente, na Figura A4 é mostrado o circuito do modelo RF que simula a mudança de fase do dispositivo em função ao deslocamento das fitas da camada de blindagem.

Figura A4 - Circuito implementado para simular o comportamento em RF do defasador.



Fonte: Autor

APÊNDICE B: Trabalhos completos publicados em anais de congressos

- BOVADILLA, R. A. G. ; REHDER, G. P. ; SERRANO, A. M. C. L. C. ; FERRARI, P. Distributed MEMS Phase Shifter for Millimeter-Wave applications. In: Chip in Curitiba 2013, 2013, Curitiba. 28th Symposium on Microelectronics Technology and Devices, 2013.
- BOVADILLA, R. A. G. ; REHDER, G. P. ; SERRANO, A. L. C. ; FERRARI, P. Defasador baseado em MEMS distribuídos para aplicações em ondas milimétricas. In: XX Congreso Internacional de Ingeniería Eléctrica, Electrónica, Computación y Ramas Afines, 2013, Trujillo. XX Congreso Internacional de Ingeniería Eléctrica, Electrónica, de Computación y Ramas Afines, 2013.