WALTER GONÇALEZ FILHO

**Projeto e Aplicação de Amplificadores Operacionais de
Transcondutância Baseados no Comportamento Experimental de
Line-TFETs**

São Paulo

2020

WALTER GONÇALEZ FILHO

**Projeto e Aplicação de Amplificadores Operacionais de
Transcondutância Baseados no Comportamento Experimental de
Line-TFETs**

Versão Corrigida

Dissertação de mestrado apresentada à Escola
Politécnica da Universidade de São Paulo como
parte dos requisitos necessários para a obtenção
do título de Mestre em Ciências.

São Paulo

2020

WALTER GONÇALEZ FILHO

**Projeto e Aplicação de Amplificadores Operacionais de
Transcondutância Baseados no Comportamento Experimental de
Line-TFETs**

Versão Corrigida

Dissertação de mestrado apresentada à Escola
Politécnica da Universidade de São Paulo como parte
dos requisitos necessários para a obtenção do título
de Mestre em Ciências

Área de concentração: Microeletrônica

Orientadora: Prof^a. Dr^a. Paula Ghedini Der Agopian

Coorientador: Prof. Dr. João Antonio Martino

São Paulo

2020

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Gonçalves Filho, Walter

Projeto e Aplicação de Amplificadores Operacionais de Transcondutância Baseados no Comportamento Experimental de Line-TFETs / W. Gonçalves Filho -- versão corr. -- São Paulo, 2020.
131 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Line-TFET 2.Modelo em lookup table 3.Circuitos integrados analógicos 4.Amplificador Operacional de Transcondutância 5.Circuito de readout I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

RESUMO

Transistores de tunelamento (TFETs) utilizam o tunelamento quântico entre bandas de energia de materiais semicondutores como principal mecanismo de condução, enquanto a tecnologia convencional de transistores MOSFET utiliza os mecanismos de difusão e deriva. Como consequência, transistores de tunelamento possuem características particulares, como por exemplo a baixa condutância de saída que o torna promissor para o projeto de circuitos integrados analógicos, em particular para amplificação de pequenos sinais em baixa frequência, devido ao menor nível de corrente desses dispositivos em comparação com o MOSFET. TFETs em geral exibem ganho intrínseco de tensão extremamente alto, igual ou superior a 50dB, baixos níveis de corrente em comparação com o MOSFET e alta resistência a ruído e a variação de temperatura. Line-TFETs, que também utilizam o tunelamento como princípio de condução, têm uma geometria tal que a geração de portadores por tunelamento acontece uniformemente em uma dimensão e o campo elétrico vertical é o responsável pela ocorrência do tunelamento. Essa topologia, em conjunto com o uso de $\text{Si}_{0,55}\text{Ge}_{0,45}$ como material de fonte, resulta em um aumento na corrente de dreno, melhoria na inclinação de sublimiar e na corrente de dreno, esta última sendo diretamente proporcional à área de porta. Portanto, diante deste cenário, esse trabalho tem como objetivo estudar o desenvolvimento de circuitos integrados analógicos com o dispositivo Line-TFET, explorando não só as características mencionadas acima, mas também outras particularidades desse dispositivo demonstradas no presente estudo.

A modelagem DC dos dispositivos foi realizada a partir de uma nova abordagem que utiliza medidas experimentais inseridas em ábacos (*lookup tables*) e codificadas na linguagem de descrição de *hardware* Verilog-A, evitando a complexidade e a falta de acurácia dos modelos analíticos. Estas características são de suma importância para o projeto de circuitos com dispositivos complexos, pois permitem obter um modelo contínuo de forma simples e direta. Para fazer a caracterização das capacitâncias parasitárias, o Line-TFET foi modelado no simulador de dispositivos Sentaurus após obter boa concordância com os dados experimentais. A partir da comparação entre simulações e dados experimentais, diversas dimensões do dispositivo foram variadas a fim de avaliar seus impactos nas curvas de corrente e nas características analógicas do Line-TFET. Este estudo revelou propriedades únicas

deste dispositivo, especialmente no que se refere a condutância de saída. Foi demonstrado, tanto por simulação quanto por meio de resultados experimentais, que esse parâmetro independe do comprimento de porta, o que modifica profundamente o projeto de circuitos integrados analógicos com o Line-TFET.

Utilizando o modelo obtido via *lookup table* de dados experimentais e os resultados da caracterização desenvolvida, foram realizados os projetos de circuitos integrados analógicos básicos (espelho de corrente, amplificador fonte comum, par diferencial com carga ativa e amplificador de dois estágios), demonstrando como as não idealidades oriundas dos dados experimentais impactam os resultados e o projeto dos circuitos propostos. Os parâmetros de mérito resultantes são exibidos e discutidos, em particular ressaltando o alto ganho de tensão obtido para baixas frequências e a simplificação na topologia do circuito, fazendo comparações com os resultados utilizando tecnologia MOSFET através do projeto com PDKs convencionais e com projetos da literatura que utilizam TFETs.

Por fim, são sugeridas aplicações que podem se beneficiar de características do amplificador obtido, como por exemplo seu alto ganho de corrente contínua (DC) de malha aberta e grande capacidade de integração. Em particular, foi desenvolvido um circuito de *readout* para sensores, revelando que o alto ganho intrínseco de tensão e a proporcionalidade da corrente de dreno com a área de porta em Line-TFETs resulta em uma topologia de circuito mais simples e em enorme redução na área de *chip*, diminuindo a área de porta dos dispositivos em cerca de duas grandezas. Esse projeto também apresenta um consumo de potência da ordem de nW, que é semelhante ao obtido no projeto de circuitos do estado-da-arte com a tecnologia MOSFET convencional.

Palavras-Chave: Line-TFET. Modelo em *lookup table*. Circuitos integrados analógicos. Amplificador Operacional de Transcondutância. Circuito de readout.

ABSTRACT

Tunneling Field Effect Transistors (TFETs) use band-to-band quantum tunneling as their main conduction mechanism, differently from conventional MOSFET technology that relies on drift and diffusion of carriers. Therefore, tunneling devices present many particular characteristics, some of them suitable for the design of analog circuits, in particular for amplification of low-frequency small-signals. For instance, TFETs in general exhibit extremely high intrinsic voltage gain, around 50dB, low current levels and resistance to noise and temperature variation. Line-TFETs, which also use band-to-band tunneling as the main conduction mechanism, are built in such a way that the tunneling generation rate of carriers happens evenly in one dimension and the vertical electric field makes tunneling happen. This topology, along with the $\text{Si}_{0.55}\text{Ge}_{0.45}$ source, increases the drain current, improves the subthreshold slope and makes the drain current proportional to the gate area. The goal of this work is to study the design of analog circuits with the Line-TFET device, exploring the aforementioned characteristics and others revealed in this study.

DC device modeling was performed from experimental data that was inserted in lookup tables coded in Verilog-A, avoiding the complexity and inaccuracy of analytical modeling, which is extremely important for complex devices, obtaining a continuous model simply and straightforwardly. To obtain the parasitic capacitances, the Line-TFET was modeled in the semiconductor design tool Sentaurus with good agreement with experimental data. From the simulated device and the experimental data, different device dimensions were varied to evaluate their impact on the current and analog characteristics. This study revealed unique properties of this device, especially regarding its output conductance. This parameter was shown to be independent of the gate length, which profoundly changes the design of analog circuits with the Line-TFET.

Through the lookup table model and by using the results of the aforementioned electrical characterization, different basic analog circuits are designed with the Line-TFET (current mirror, common source amplifier, differential pair with active load and two-stage amplifier), which aim to demonstrate both the achieved figures of merit and how non-idealities of the device impact the design. The results are exhibited and discussed, in particular highlighting the very high DC voltage gain and making

comparisons with the results obtained for conventional MOSFETs and with TFET designs from the literature.

At last, some applications that should benefit from some of the characteristics of the Line-TFET amplifier, such as its very high DC voltage gain and its integration capacity, are suggested. A sensor readout circuit is designed as an example, revealing that the high intrinsic voltage gain and the proportionality of the current with the gate area of Line-TFETs result in the simplification of circuit topology and in huge reduction of circuit area for low-frequency designs. It also results in power consumption of some nW, which is comparable to the obtained in state-of-the-art designs with conventional MOSFET technology.

Keywords: Line-TFET. Lookup table modelling. Analog circuits. Transconductance Operational Amplifier. Readout circuit.

LISTA DE ILUSTRAÇÕES

Figura 1 - Número de transistores ao longo dos anos em processadores comerciais	21
Figura 2 - Corrente de dreno em função da tensão de porta, com destaque para a relação entre tensão de alimentação, I_{on} , I_{off} e SS . Adaptado de (IONESCU, 2011).	23
Figura 3 - Curvas de corrente de dreno em função da tensão de dreno, comparando a tensão Early entre TFETs de homo e heterojunção e MOSFET. Adaptado de (SEDIGHI, 2015).	25
Figura 4 - Funcionamento básico de um pTFET. a) estrutura básica; b) diagrama de bandas de energia ao longo do dispositivo; c) curva I_{ds} x V_{gs} típica. Adaptado de (IONESCU, 2011).	29
Figura 5 - Bandas de energia e a geração/recombinação térmica.	31
Figura 6 - Efeito do TAT em uma curva I_{ds} x V_{gs} de um TFET.	32
Figura 7 - a) Estrutura de um Line-TFET b) bandas de energia no eixo vertical. Adaptada de (WALKE, 2014).	33
Figura 8 - Curva I_{ds} x V_{gs} de um Line-TFET e mecanismos de condução predominantes.....	35
Figura 9 - Características da corrente em função da tensão de dreno. a) Curva I_{ds} x V_{ds} de um TFET e b) Destaque da região superlinear. Adaptado de: (SEDIGHI, 2015).	35
Figura 10 – Estrutura de um Line-TFET e diagrama de bandas de energia associado na direção horizontal (à esquerda) e na direção vertical (à direita).	37
Figura 11 - Tensão de limiar com e sem quantização da banda de condução no <i>pocket</i> e diferença entre os dois casos. Adaptado de: (WALKE, 2014).	38
Figura 12 - Nível de corrente de dreno em função do comprimento de porta. Adaptado de: (WALKE, 2014).	38
Figura 13 - Efeito do desalinhamento da porta com a fonte na geometria a) com deslocamento positivo, b) alinhado e c) com deslocamento negativo e d) na curva de corrente. Adaptado de: (WALKE, 2014).	39
Figura 14 – Configuração básica do primeiro estágio: OTA de 5 transistores.	41
Figura 15 - Configuração básica do segundo estágio: fonte comum.....	41
Figura 16 – Curva de grandes sinais de um OTA. Adaptada de (RAZAVI, 2015).	42

Figura 17 - Modelo de pequenos sinais de um OTA básico. Retirado de (RAZAVI, 2015).	43
Figura 18 - Circuito equivalente de um OTA básico usando modelo de pequenos sinais para cálculo de R_{out} . Retirado de (RAZAVI, 2015).	44
Figura 19 - Circuito equivalente de um OTA básico considerando operação em modo comum. a) circuito equivalente b) modelo de pequenos sinais. Retirado de (RAZAVI, 2015).	45
Figura 20 - Resultados de um design com tecnologia nanométrica ($W/L=5\mu m/20nm$). a) Curva V_{out} x V_{in} . b) Curva A_v x V_{in} . Retirado de (RAZAVI, 2015).	47
Figura 21 - Modelo de pequenos sinais da conexão entre os dois estágios. Retirado de: (ALLEN, 2012).	48
Figura 22 - Resposta em frequência (ganho e fase) de um amplificador de dois estágios em malha aberta. Retirado de (ALLEN, 2012).	49
Figura 23 - Resposta transitória na saída de um amplificador com diferentes margens de fase. Retirado de (ALLEN, 2012).	49
Figura 24 - Modelo de pequenos sinais da conexão entre os dois estágios com capacitor de compensação. Retirado de (ALLEN, 2012).	50
Figura 25 - Amplificador de dois estágios e capacitâncias parasitárias. Retirado de: (ALLEN, 2012).	51
Figura 26 – Circuito básico de <i>readout</i> .	53
Figura 27 - Resposta em frequência de um amplificador em malha fechada. a) Definição do ganho e da frequência de corte superior b) diagrama de Bode resultante	53
Figura 28 – Topologias de implementação de R_{fb} . a) MOSFET diodo-conectado b) <i>DC servo loop</i> c) TFET fonte-conectado.	54
Figura 29 - Comparação entre correntes de entrada e saída de um espelho de corrente para várias temperaturas. a) com <i>point</i> TFET e b) com MOSFET. Retirado de (MARTINO, 2016)	56
Figura 30 - Proporção entre as correntes de entrada e saída de um espelho de corrente para várias temperaturas com Line TFETs. Retirado de (MARTINO, 2016).	56
Figura 31 - Proporção entre o ganho diferencial de um par diferencial em função da temperatura com relação a temperatura ambiente usando TFET e MOSFET. Retirado de (MARTINO, 2016).	57

Figura 32 – Incerteza nas medidas experimentais	59
Figura 33 - Curvas g_m/I_{ds} e f_t em função da sobretensão de porta em um MOSFET. Adaptado de (MURMAN, 2016).....	64
Figura 34 - Produto de g_m/I_{ds} e f_t em função da sobretensão de porta em um MOSFET. Adaptado de (MURMAN, 2016).	64
Figura 35 - Curva I_{ds} x V_{gs} experimental e modelo contínuo obtido com <i>lookup table</i> para $V_{ds}=0,6V$; $1,2V$ e $1,8V$	65
Figura 36 - Curva I_{ds} x V_{ds} experimental e modelo contínuo obtido com <i>lookup table</i> para $V_{gs}=1,2V$ até $V_{gs}=1,8V$	67
Figura 37 - Curva g_m x V_{gs} experimental e modelo contínuo obtido com <i>lookup table</i> para $V_{ds}=1,2V$	67
Figura 38 - Curva g_d x V_{ds} experimental e modelo contínuo obtido com <i>lookup table</i> para a) $V_{gs}=1,8V$; b) $V_{gs}=1,5V$ e c) $V_{gs}=1,2V$	68
Figura 39 – a) Curva I_{gs} x V_{ds} experimental para vários V_{gs} de $1,15V$ até $1,8$. b) Curva R_{gs} x V_{gs} ($V_{ds}=1,5V$) para um dispositivo de dimensões de porta $1\mu m$ x $1\mu m$	68
Figura 40 - a) Corrente de lacunas e de elétrons para $V_{ds}=1,4V$ b) corrente total para $V_{ds}=1V$; $1,4V$ e $1,8V$	70
Figura 41 - Geração de elétrons por tunelamento na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para a) $V_{ds}=1V$ e b) $V_{ds}=1,8V$	71
Figura 42 - Diagrama de bandas na direção horizontal na região de separação entre fonte e dreno (L_{sd}) $2nm$ abaixo do pocket para $V_{ds}=1V$ a $1,8V$	71
Figura 43 - Curvas I_{ds} x V_{gs} para $L_{sd}=25nm$, $35nm$ e $45nm$, com $V_{ds}=1,8V$	72
Figura 44 - Geração de elétrons por tunelamento na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para a) $L_{sd}=25nm$ e b) $L_{sd}=45nm$. $V_{gs}=2V$ e $V_{ds}=1.8V$	73
Figura 45 - Diagrama de bandas na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para $L_{sd}=25nm$ até $L_{sd}=45nm$	73
Figura 46 - Curvas I_{ds} x V_{ds} para $L_{sd}=25nm$, $35nm$ e $45nm$ ($V_{gs}=1,2V$).	74
Figura 47 - Curvas I_{ds} x V_{gs} para $L_{sd}=25nm$, $L_g=200nm$ e $t_{pocket}=4nm$; $6nm$ e $8nm$	75
Figura 48 - Curvas g_d x V_{ds} para $L_{sd}=25nm$, $L_g=200nm$ e $t_{pocket}=4nm$; $6nm$ e $8nm$	75

Figura 49 – a) Corrente de dreno em função da tensão de porta b) condutância de saída em função da tensão de dreno para diferentes dopagens no <i>pocket</i> (boro: 10^{17} cm^{-3} , 10^{18} cm^{-3} e 10^{19} cm^{-3} ($L_g=1\mu\text{m}$, $L_{sd}=21\text{nm}$ e $t_{\text{pocket}}=4\text{nm}$).....	76
Figura 50 – Condutância de saída em função da tensão de dreno para sobreposições de porta de +3nm, +1nm, 0nm e -1nm.	77
Figura 51 – Curva I_{ds} x V_{ds} experimental de um dispositivo de $L_g=70\text{nm}$ com degradação da região de saturação para $V_{gs}=1,2\text{V}$ (a partir de $V_{ds}=1\text{V}$).	78
Figura 52 – Line-TFETs simulados com comprimentos de porta de 100nm a $1\mu\text{m}$, espessura do <i>pocket</i> de 6nm e separação entre fonte e dreno de 35nm. Condutância de saída em função de V_{ds} . Inset: corrente de dreno em função de V_{ds}	79
Figura 53 - Curvas g_d x V_{ds} para $L_{sd}=25\text{nm}$, 35nm e 45nm, com $L_g=100\text{nm}$ e $L_g=1\mu\text{m}$ para $V_{gs}=1,2\text{V}$	79
Figura 54 - Curvas I_{ds} x V_{ds} experimentais para $L_g=70\text{nm}$; 130nm e $1\mu\text{m}$, com $V_{gs}=1,8\text{V}$	80
Figura 55 - Curvas I_{ds} x V_{gs} simulada em comparação com dados experimentais para $L_g=1\mu\text{m}$, com V_{ds} de 1V a 1,8V.	82
Figura 56 - Capacitância parasitárias C_{gs} , C_{gd} e $C_{gg}=C_{gs}+C_{gd}$ em função de V_{gs} para $V_{ds}=0,6\text{V}$; 1,2V; e 1,8V.	83
Figura 57 - Capacitância parasitárias C_{gs} , C_{gd} e $C_{gg}=C_{gs}+C_{gd}$ em função de V_{ds} para $V_{gs}=1,25\text{V}$; 1,5V e 1,75V.	84
Figura 58 - Ganho intrínseco de tensão em função da corrente de dreno normalizada	84
Figura 59 - Curva da eficiência do transistor em função da corrente de dreno experimental e modelo contínuo obtido com <i>lookup table</i> para $V_{ds}=1,2\text{V}$	85
Figura 60 - Frequência de ganho unitário e eficiência do transistor em função da corrente normalizada.....	86
Figura 61 – Simbologia de dispositivo proposta para o Line-TFET	87
Figura 62 – Circuito espelho de corrente com Line-TFETs	88
Figura 63 - Corrente de saída e de referência de um espelho de corrente, com e sem corrente de fuga pela porta, para $V_{gs}=1,2\text{V}$; 1,5V e 1,8V. $W_1=W_2$ e $L_1=L_2$	88
Figura 64 – Simulação de um espelho de corrente com diferentes espessuras de <i>pocket</i> , indicando V_{load} mínimo e máximo, considerando uma tolerância de 10% de diferença entre as correntes.....	89

Figura 65 - Simulação de um espelho de corrente com diferentes dopagens de <i>pocket</i> , indicando V_{load} mínimo e máximo, considerando uma tolerância de 10% de diferença entre as correntes.	90
Figura 66 - Simulação de um espelho de corrente com diferentes sobreposições de porta, indicando V_{load} mínimo.	91
Figura 67 - Diagrama de Bode de um amplificador fonte comum em diferentes condições de inversão, com carga de 50fF. a) Ganho b) fase.	94
Figura 68 - Resultados de um fonte comum com fonte de corrente como carga usando Line-TFETs. a) Curva para grandes sinais (V_{out} x V_{in}) b) Ganho diferencial de tensão de malha aberta em função da tensão na entrada	94
Figura 69 - Diagrama de Bode de um estágio fonte comum em que se deseja dobrar o ganho com relação a uma situação inicial, usando dispositivos Line-TFET e MOSFET. a) Ganho b) fase	96
Figura 70 - Diagrama de Bode de um par diferencial com carga ativa com Line-TFET em 3 condições de inversão, com carga de 50fF. a) Ganho b) fase.....	99
Figura 71 - Deslocamento da tensão de modo comum por causa da corrente de porta para $V_{gs1,2}=1,4V$. a) Tensão de saída; b) Corrente em M1 e M3 e corrente em M2 e M4 em função da tensão de entrada	101
Figura 72 – OTA de dois estágios com Line-TFET	102
Figura 73 – OTA de 2 estágios com $g_m/I_{ds}=8V^{-1}$ e $W_{1,2}=150nm$. Diagrama de Bode para tecnologias Line-TFET, MOSFET 65nm, 130nm e 130nm $L_g=1\mu m$. a) ganho b) fase...	103
Figura 74 - OTA de 2 estágios com $I_{ds}/W=2\mu A/\mu m$ e $W_{1,2}=150nm$. Diagrama de Bode para tecnologias Line-TFET, MOSFET 65nm, 130nm e 130nm $L_g=1\mu m$. a) ganho b) fase.	105
Figura 75 – Diagrama de Bode de um OTA de 2 estágios utilizando Line-TFETs com $L_g=100nm$	107
Figura 76 – Implementação do amplificador para o circuito de <i>readout</i>	111
Figura 77 – Diagrama de Bode de ganho e fase de malha fechada para o circuito de <i>readout</i> com MOSFET e Line-TFET	112

LISTA DE TABELAS

Tabela 1 – Dispositivos Line-TFET medidos e observações gerais	58
Tabela 2 - Especificações das simulações.	70
Tabela 3 - Dependência de parâmetros de pequenos sinais com dimensões de máscara em MOSFET e Line-TFET	81
Tabela 4 - Projeto de estágio fonte comum com fonte de corrente como carga: dispositivos.....	92
Tabela 5 - Projeto de estágio fonte comum com fonte de corrente como carga: resultados do circuito com carga de 50fF.	93
Tabela 6 - Projeto de estágio fonte comum com fonte de corrente como carga, comparando MOSFET e Line-TFETs: aumentando o ganho de tensão de malha aberta	95
Tabela 7 – Projeto de par diferencial com carga ativa: dimensionamento.....	98
Tabela 8 - Projeto de par diferencial com carga ativa: resultados do circuito.	99
Tabela 9 – OTA de 2 estágios: dimensionamento dos dispositivos com diferentes tecnologias.	103
Tabela 10 - OTA de 2 estágios com $g_m/I_{ds}=8V^{-1}$ e $W_{1,2}=150nm$: resultados do design para diferentes dispositivos.....	104
Tabela 11 - OTA de 2 estágios com $I_{ds}/W=2\mu A/\mu m$ e $W_{1,2}=150nm$: resultados do design para diferentes dispositivos.....	105
Tabela 12 - Dimensionamento do OTA de 2 estágios usando Line-TFETs com $L_g=100nm$ e $g_m/I_{ds}=12V^{-1}$	107
Tabela 13 – Resultados do OTA de 2 estágios usando Line-TFETs com $L_g=100nm$ e $g_m/I_{ds}=12V^{-1}$	107
Tabela 14 – Comparação entre o OTA de 2 estágios com Line-TFET e outros projetos de amplificadores com TFETs	109
Tabela 15 – Resultados comparando o projeto de um circuito de <i>readout</i> com Line-TFETs e MOSFETs.....	112
Tabela 16 – Resultados de outros projetos de circuito de <i>readout</i> com tecnologia MOSFET comparados com o design usando Line-TFETs.....	113

LISTA DE ABREVIATURAS E SIGLAS

BTBT	Tunelamento entre bandas
CMFB	Realimentação de modo comum
CMRR	Taxa de rejeição de modo comum
DSL	<i>DC servo loop</i>
FinFET	Transistor de efeito de campo de porta tripla
MOSFET	Tecnologia metal-óxido-silício de transistores de efeito de campo
OTA	Amplificador operacional de transcondutância
SOI	Tecnologia silício sobre isolante
SRH	Geração/recombinação de Schokley-Reed-Hall
TAT	Tunelamento assistido por armadilhas
TSMC	Empresa <i>Taiwan Semiconductor Manufacturing Company</i>
TFET	Transistor de tunelamento por efeito de campo

LISTA DE SÍMBOLOS

A	Fator pré exponencial de tunelamento [cm^{-3}]
A_v	Ganho intrínseco de tensão [V/V; dB]
A_d	Ganho diferencial de tensão de malha aberta [V/V; dB]
A_v'	Ganho de tensão de malha fechada [V/V; dB]
$A_{v_{cm}}$	Ganho de modo comum [dB]
B	Fator exponencial de tunelamento [V/cm]
C_c	Capacitância de compensação [F]
C_d	Capacitância de depleção [$\text{F}/\mu\text{m}^2$]
C_{gd}	Capacitância entre porta e dreno [$\text{F}/\mu\text{m}^2$]
C_{gs}	Capacitância entre porta e fonte [$\text{F}/\mu\text{m}^2$]
C_i	Capacitância de entrada [F]
C_L	Capacitância de linha [F]
C_n	Capacitância de <i>feedback</i> [F]
C_{ox}	Capacitância do óxido de porta [$\text{F}/\mu\text{m}^2$]
D_{op}	Fator de deformação do potencial de fônons
E_c	Nível de energia de condução [eV]
E_f	Nível de energia de Fermi [eV]
E_{fn}	Quasi-nível de energia de Fermi para elétrons [eV]
E_{fp}	Quasi-nível de energia de Fermi para lacunas [eV]
E_g	Faixa proibida [eV]
$E_{g_{tun}}$	Faixa proibida efetiva mais deslocamento do nível de condução [eV]
E_{TRAP}	Nível de energia de armadilhas [eV]
E_v	Nível de energia de valência [eV]
f_{CH}	Frequência de corte inferior [Hz]
f_{CL}	Frequência de corte superior [Hz]
f_t	Frequência de ganho unitário [Hz]
G_{BTBT}	Geração de portadores por tunelamento [cm^{-3}]
G	Fator de degeneração
GBW	Frequência de ganho unitário do circuito [Hz]
g_d	Condutância de saída [S]
g_{m_x}	Transcondutância do transistor número x [S]
Gm	Transcondutância do circuito [S]

gm/Ids	Eficiência do transistor [V^{-1}]
k	Constante de Boltzmann [$1,381 \cdot 10^{-23} \text{ m}^2 \cdot \text{Kg/s}^2 \cdot \text{K}$]
k_m	Momento transversal máximo [$\text{kg} \cdot \text{m/s}$]
$\hbar$	Constante de Planck normalizada [$1,055 \cdot 10^{-34} \text{ J} \cdot \text{s}$]
I_{ds}	Corrente de dreno [A]
I_{off}	Corrente de fuga [A]
L_g	Comprimento de porta [m]
L_{sd}	Separação de fonte e dreno [nm]
m^*	Massa efetiva dos portadores [kg]
$m_{c v}$	Massa efetiva dos portadores na banda de condução/valência [kg]
m_0	Massa efetiva dos portadores no vácuo [kg]
N_{op}	Número de fônons
p'_x	Pólo no nó x antes da compensação [s^{-1}]
p_x	Pólo no nó x antes da compensação [s^{-1}]
q	Carga do elétron [$1,602 \cdot 10^{-19} \text{ C}$]
r_{ox}	Resistência de saída do transistor número x [ohm]
R_{fb}	Resistência de <i>feedback</i> [ohm]
R_{gs}	Resistência de porta [ohm]
R_{out}	Resistência de saída do circuito [ohm]
R_{ss}	Resistência da fonte de corrente [ohm]
SS	Inclinação de sublimiar [mV/década]
T	Temperatura [K]
t_{pocket}	Espessura do <i>pocket</i> [nm]
V_A	Tensão Early [V]
V_{cm}	Tensão de modo comum [V]
V_{dd}	Tensão de alimentação [V]
V_{dsat}	Tensão de sauração [V]
V_{gs}	Tensão de porta [V]
V_{in}	Tensão de entrada [V]
V_{out}	Tensão de saída [V]
V_{ov}	Sobretensão de porta [V]
V_t	Tensão de limiar [V]
W	Largura do dispositivo [m]
z_x	zero do nó x [s^{-1}]

Δ_2	Vales da banda de condução segundo modelo k.p de 2 bandas
ε	Nível de energia em que ocorre o tunelamento [eV]
ε_{op}	Energia dos fônons [eV]
λ	Distância de tunelamento [nm]
Φ_M	Margem de fase [graus]
Φ_s	Potencial de superfície [V]
$\Delta\Phi$	Janela de tunelamento [eV]
κ	Magnitude do vetor de onda imaginário da relação de dispersão de duas bandas de Kane [(J.s) ⁻¹]
ρ	Densidade de massa [kg.cm ⁻³]

SUMÁRIO

1. Introdução	20
1.1. Histórico da tecnologia de transistores	20
1.2. Objetivos	25
1.3. Estrutura do trabalho.....	26
2. Conceitos básicos	28
2.1. Mecanismos de condução	28
2.1.1. Tunelamento entre bandas	28
2.1.2. Nível de corrente e probabilidade de tunelamento.....	30
2.1.3. Recombinação Schokley-Reed-Hall (SRH)	31
2.1.4. Tunelamento assistido por fônons e armadilhas.....	31
2.2. O transistor Line-TFET.....	33
2.2.1. Características estruturais e princípio de funcionamento	33
2.2.2. Curvas de corrente e regimes de operação	34
2.2.3. Não idealidades e efeitos de segunda ordem.....	37
2.3. O circuito amplificador de dois estágios.....	40
2.3.1. Sobrecarga de tensão e faixa linear de saída.....	42
2.3.2. Parâmetros de pequenos sinais e ganho de tensão de malha aberta .	43
2.3.3. Ganho de tensão de modo comum.....	44
2.3.4. Considerações para tecnologias nanométricas	46
2.3.5. Resposta em frequência e estabilidade	48
2.3.6. Aplicação de um OTA: o circuito de <i>readout</i>	52
2.4. Circuitos analógicos com TFET	54
3. Materiais e métodos.....	58
3.1. Medidas experimentais e <i>lookup table</i>	58
3.2. Simulação numérica do dispositivo	60
3.3. Metodologia de projeto de circuitos analógicos: método da eficiência do transistor.....	63
4. Caracterização elétrica e estudo da relação entre condutância de saída e tunelamento parasitário no Line-TFET	65
4.1. características dc e <i>lookup table</i>	65

4.2.	Estudo da condutância de saída e variação de parâmetros do dispositivo.	69
4.2.1.	Tunelamento de fonte para dreno	70
4.2.2.	Variação do comprimento de separação entre fonte e dreno (Lsd)	72
4.2.3.	Variação da espessura do <i>pocket</i>	74
4.2.4.	Dopagem do <i>pocket</i>	76
4.2.5.	Desalinhamento entre porta e fonte	76
4.2.6.	Condutância de saída e comprimento de porta	77
4.2.7.	Verificação experimental.....	79
4.2.8.	Impacto nos parâmetros de pequenos sinais	80
4.3.	Características de pequenos sinais	82
4.3.1.	Obtenção das capacitâncias parasitárias	82
4.3.2.	Ganho intrínseco de tensão, frequência de ganho unitário e eficiência do transistor	84
5.	Projeto de circuitos amplificadores com Line-TFET	87
5.1.	Espelho de corrente	87
5.1.1.	Projeto em diferentes níveis de inversão	87
5.1.2.	Corrente de polarização e variabilidade de dispositivos	89
5.2.	Estágio Fonte Comum	91
5.2.1.	Projeto em diferentes níveis de inversão	91
5.2.2.	Aumentando o ganho do circuito: particularidades do Line-TFET	94
5.3.	Par diferencial com carga ativa	97
5.4.	OTA de Dois Estágios	101
5.4.1.	Comparação com tecnologia MOSFET	102
5.4.2.	Design nanométrico de alto ganho e baixa potência para baixas frequências.....	106
5.4.3.	Comparação com outros projetos com TFET	108
5.5.	Circuito Integrado de <i>readout</i>	109
6.	Conclusões	114

1. INTRODUÇÃO

Este capítulo apresenta como o desenvolvimento tecnológico de transistores e as atuais limitações na continuidade do escalonamento de dispositivos motivou o surgimento de novas tecnologias, como por exemplo os transistores de tunelamento. Apesar de TFETs terem sido concebidos para superar desafios que aplicações de alta densidade no estado da arte encontram, esse capítulo mostra de forma resumida as motivações por trás do interesse em se usar essa tecnologia para aplicações analógicas. Aqui também serão apresentados os objetivos e as principais contribuições científicas que este trabalho visa. Na última seção, é feita uma descrição da estrutura e organização deste trabalho.

1.1. HISTÓRICO DA TECNOLOGIA DE TRANSISTORES

Gordon E. Moore, presidente da Intel em meados dos anos 1960, observou que a quantidade de transistores dentro dos circuitos integrados de alta densidade dobraria em um período de cerca de 18 meses. Com o passar do tempo, essa previsão se mostrou muito próxima da realidade e foi chamada de Lei de Moore (MARKOFF, 2007) e está ilustrada na Figura 1:

Um parâmetro fundamental para a dissipação de potência de um dispositivo é a inclinação de sublimiar (SS). Este parâmetro é dado tipicamente em mV/década de corrente pois indica quantos mV de variação na tensão de porta (V_{gs}) são necessários para aumentar a corrente de dreno (I_{ds}) em uma década na transição entre os estados desligado e ligado. Quanto menor este valor, mais facilmente (com menor dissipação de potência) o dispositivo chaveará. O valor de SS pode ser calculado como:

$$SS = \frac{\partial V_{gs}}{\partial \Phi_s} \cdot \frac{\partial \Phi_s}{\partial \log(I_{ds})} \quad (1)$$

Sendo ϕ_s o potencial de superfície. O primeiro termo é o fator de corpo, que para uma estrutura MOS típica, desconsiderando os estados de interface:

$$\frac{\partial V_{gs}}{\partial \Phi_s} \approx \left(1 + \frac{C_d}{C_{ox}}\right) \quad (2)$$

Onde C_d é a capacitância associada as cargas na região de depleção embaixo da porta e C_{ox} a capacitância promovida pelo óxido de porta. O segundo termo indica a variação da corrente com o potencial de superfície, que é caracterizado pelo princípio físico de condução. No caso do MOSFET convencional, o mecanismo de transporte predominante na região de sublimiar é a difusão, de onde se pode deduzir que:

$$\frac{\partial \Phi_s}{\partial \log(I_{ds})} = \frac{k \cdot T}{q} \cdot \ln(10) \quad (3)$$

Onde k é a constante de Boltzmann, T a temperatura em kelvin e q a carga do elétron. À temperatura ambiente ($T=300K$), o valor deste termo é de cerca de 60mV/década (IONESCU, 2011) para dispositivos MOSFET.

Estima-se, em um cálculo aproximado, que em tecnologias modernas a potência total dissipada (dinâmica mais estática) em um ciclo de chaveamento é diretamente proporcional à corrente de estado desligado (I_{off}) e ao cubo da tensão de alimentação (V_{dd}) (IONESCU, 2011). Contudo, dada uma performance (nível de corrente I_{on}), o valor da tensão de limiar V_t deve ser diminuída na mesma medida quando se reduz V_{dd} , uma vez que I_{ds} é diretamente proporcional a $(V_{dd}-V_t)^2$ em um MOSFET. Isso tem como consequência um aumento exponencial em I_{off} , devido ao valor aproximadamente constante de SS e que não pode ser diminuído para uma dada temperatura. Isso é ilustrado na Figura 2, retirada de (IONESCU, 2011):

Figura 2 - Corrente de dreno em função da tensão de porta, com destaque para a relação entre tensão de alimentação, I_{ON} , I_{OFF} e SS. Adaptado de (IONESCU, 2011).

Em tecnologias modernas, especialmente para dispositivos fabricados em substrato Silício Sobre Isolante (SOI, em inglês) e de múltiplas portas, o fator de corpo é muito próximo de 1, de forma que atualmente o valor de SS fica em torno de seu limite físico de 60mV/década de corrente de dreno a temperatura ambiente (COLINGE, 2004). Consequentemente, a busca por maior eficiência energética dos transistores passou a girar em torno do segundo termo da equação (1), ou seja, de diferentes mecanismos de condução.

Em um MOSFET, portadores são gerados e recombinados termicamente através da faixa proibida específica do material semiconductor, atingindo os níveis de energia de condução (E_c) e de valência (E_v). Em um TFET, elétrons tunelam de E_v para E_c pela ação de um campo elétrico aplicado no dreno (ou na porta no caso de um Line-TFET, como será explicado mais adiante). O comprimento de tunelamento, e como consequência a corrente de dreno, pode ser controlada através do terminal de porta, que modula os níveis de energia no canal. Esse mecanismo, chamado de tunelamento entre bandas (BTBT) é, a princípio, promissor para aplicações *low power, low voltage* de circuitos integrados, pois permite obter um SS menor que 60mV/década a temperatura ambiente, produz um corrente I_{OFF} ultra baixa e quanto menor a tensão de porta, menor o valor de SS (IONESCU, 2011).

Contudo, para os TFET superarem de fato a tecnologia MOSFET, são estimados os seguintes parâmetros de mérito: corrente de dreno na ordem de mA/ μ m, razão I_{ON}/I_{OFF} de pelo menos 10^5 , SS menor que 60mV/década à temperatura ambiente por

cerca de 5 décadas de corrente e $V_{dd} < 0,5V$ (IONESCU, 2011). Devido ao baixo nível de corrente de dreno desses dispositivos e à degradação da curva de sublimiar causada por armadilhas, conforme observado principalmente em dispositivos experimentais, ficou claro que para atingir esses parâmetros de mérito se faz necessário o uso de geometrias e materiais complexos (MEMISEVIC, 2016) (MOSELUND, 2016).

Apesar disso, foi percebido que tanto TFETs sofisticados como os baseados em silício possuem duas características marcantes ao se olhar as características de corrente de dreno em função da tensão de dreno (curvas $I_{ds} \times V_{ds}$): tensão Early (V_A) e resistência de saída (r_o) extremamente altas (AGOPIAN, 2017). Dessa forma, aplicações analógicas com TFETs, especialmente as de amplificação de sinais, recentemente começaram a ser estudadas devido a essas características (ACHARYAN, 2018). No que se refere a tensão Early e a resistência de saída, os TFETs superam largamente a tecnologia MOSFET (AGOPIAN, 2017), especialmente se considerarmos tecnologias nanométricas, pois nesse caso a modulação de canal se torna mais severa, reduzindo V_A e consequentemente o ganho intrínseco de tensão (A_v) dos dispositivos MOSFET. Como consequência, projetistas de circuitos integrados analógicos precisam trocar ganho por densidade de integração, o que é uma grande limitação para diversas aplicações (RAZAVI, 2015). A Figura 3 ilustra esse fato, comparando TFETs fabricados com materiais III-V e um MOSFET, todos de porta dupla com comprimento de canal 20nm, a uma mesma sobretensão de porta ($V_{ov} = V_{gs} - V_t$). Na imagem, TFET se refere a um dispositivo de homojunção e HTFET um de heterojunção na interface fonte/canal.

Figura 3 - Curvas de corrente de dreno em função da tensão de dreno, comparando a tensão Early entre TFETs de homo e heterojunção e MOSFET. Adaptado de (SEDIGHI, 2015).

Um dos grandes entraves para o projeto de circuitos com TFETs é a falta de modelagem analítica desses dispositivos. Existem diversos estudos nesse sentido (LU, 2015) (MAMIDALA, 2017) mas, até o momento, a modelagem é extremamente complexa e está ainda em desenvolvimento, de forma que diversos efeitos importantes acabam não sendo levados em consideração. Como consequência, tais projetos costumam usar dispositivos e modelos relativamente simples, que não são muito próximos da realidade e em geral oriundos de simulações numéricas. Uma das consequências dessa abordagem é que tais estudos focam na polarização do dispositivo em um regime de inversão muito fraca (baixo V_{gs}), visando atingir uma eficiência do transistor (gm/I_{ds}) maior que o limite físico que o MOSFET permite, em tensões ultrabaixas, uma vez que subestimam efeitos parasitários importantes.

1.2. OBJETIVOS

O presente trabalho tem como objetivo realizar o projeto de circuitos integrados amplificadores usando a tecnologia Transistor de Tunelamento em Linha (Line-TFET), comparando os resultados com a tecnologia MOSFET convencional e com a literatura. Uma vez que estudos sobre o uso de TFETs em aplicações analógicas são muito recentes, quase nenhuma traz resultados a partir de dispositivos experimentais. Em parte, isso se deve ao problema da modelagem analítica apontado no fim da seção anterior e em parte por ser difícil ter dados de caracterização elétrica de dispositivos

reais. Este estudo parte de uma abordagem relativamente nova, em que os dispositivos são modelados diretamente de dados experimentais pelo método de *lookup table*, visando construir um modelo simples, porém o mais próximo possível da realidade.

Uma consequência dessa abordagem é que se percebe que polarizar TFETs em regimes de inversão muito fraca (baixo V_{gs}) é, na prática, muito difícil ou até inviável. Este estudo é, portanto, um dos primeiros a considerar as regiões de inversão moderada e forte as quais, apesar de aumentar a tensão de alimentação, ainda apresentam um ganho de tensão de malha aberta muito maior que o atingido pela tecnologia convencional e torna o projeto bem mais factível.

Por fim, este estudo também é o primeiro a considerar o design de circuitos analógicos com uma determinada tecnologia de TFET mais moderna e robusta: o Line-TFET, que não foi explorado na literatura para o projeto de circuitos de qualquer classe. Como consequência, um estudo dos parâmetros de pequenos sinais se fez necessário, revelando novas características destes dispositivos.

1.3. ESTRUTURA DO TRABALHO

No capítulo 2 são apresentados os conceitos básicos para se compreender devidamente o resto do trabalho, passando pelos níveis de abstração de física dos mecanismos de condução, dispositivo, arquitetura de circuito e sistema. Na seção 2.1, são discutidos os mecanismos de condução presentes em Line-TFETs. Na seção 2.2, é explicado o funcionamento e estrutura básicos, características gerais das curvas de corrente e não idealidades do Line-TFET estudado. Na seção 2.3, são apresentados conceitos básicos referentes ao circuito amplificador de dois estágios. É mostrado como calcular parâmetros básicos e secundários e sua relação com a tecnologia utilizada, em particular mencionando o design com tecnologia convencional sub-micrométrica. Também são mencionadas outras topologias de circuito, visando justificar a topologia escolhida, fazer inferências de como o circuito se comportaria em outras topologias e comparar com outros circuitos que podem ser encontrados na literatura. Por fim, na seção 2.4, é feita uma revisão do que se tem na literatura a respeito de circuitos básicos, como par diferencial e espelho de corrente, com TFETs.

No capítulo 3 são explicitadas as metodologias utilizadas ao longo desse estudo. É detalhado como as medidas experimentais foram realizadas e como a modelagem

DC do dispositivo foi feita. Em seguida, a simulação numérica do dispositivo é detalhada, descrevendo os modelos utilizados pelo simulador e como a caracterização AC foi realizada. Por fim, é discutida e justificada a metodologia de projeto de circuito adotada nesse estudo por meio do método da eficiência do transistor.

Os resultados desse trabalho referentes ao dispositivo são exibidos no capítulo 4. São exibidos os resultados da modelagem e da caracterização elétrica do dispositivo experimental. Em seguida, é discutido por meio de simulações a variação de parâmetros analógicos do dispositivo com dimensões, relacionando com o funcionamento interno ao dispositivo. Por fim, são exibidos os resultados que comparam o modelo computacional simulado com os dados experimentais DC e da estimativa das capacitâncias parasitárias para simulação AC realizada por esse procedimento.

No capítulo 5 são exibidos os resultados desse trabalho para o projeto de circuitos analógicos básicos com Line-TFETs, desde o projeto de um espelho de corrente até o projeto de um amplificador de dois estágios. Também será discutido nesse capítulo o uso de um circuito amplificador com Line-TFET no projeto de um *readout* para sensores.

No último capítulo, os resultados são resumidos e é realizada a conclusão do trabalho.

2. CONCEITOS BÁSICOS

Esse capítulo apresentará diversos conceitos básicos necessários para o entendimento dos resultados obtidos nesse trabalho. Primeiramente, será exibida a física básica de funcionamento de transistores de tunelamento. Em seguida, a estrutura do Line-TFET será mostrada e seu funcionamento será detalhado. Por fim, os circuitos que serão estudados com essa tecnologia serão detalhados, de onde serão obtidos seus principais parâmetros de mérito e como calculá-los.

2.1. MECANISMOS DE CONDUÇÃO

Essa seção detalhará os mecanismos de transporte presentes em transistores de tunelamento e sua relação com parâmetros de mérito do dispositivo, como por exemplo nível de corrente e inclinação de sublimiar.

2.1.1. Tunelamento entre bandas

Conforme mencionado na seção 1.1, em um TFET os elétrons tunelam da banda de valência (E_v) para a banda de condução (E_c) com a aplicação de um campo elétrico, sendo que o comprimento de tunelamento (λ) pode ser controlado pelo terminal de porta, controlando a corrente de dreno. A Figura 4, adaptada de (IONESCU, 2011), ilustra o funcionamento de um *point* pTFET, que estruturalmente é um diodo PIN com terminal de porta (Figura 4.a)) (IONESCU, 2011). Em um pTFET, a fonte é do tipo N⁺ e o dreno do tipo P⁺, enquanto em um nTFET a dopagem dessas regiões é invertida, ou seja, P⁺ e N⁺, respectivamente.

Figura 4 - Funcionamento básico de um pTFET. a) estrutura básica; b) diagrama de bandas de energia ao longo do dispositivo; c) curva I_{ds} x V_{gs} típica. Adaptado de (IONESCU, 2011).

Conforme exibido na figura 4.b), sendo E_F o nível de Fermi, no estado desligado (OFF) não há sobreposição entre E_V no canal (no caso de um nTFET, E_V na fonte P+) e E_C na fonte (no caso de um nTFET, E_C no canal) e o tunelamento não ocorre pois não há níveis de energia disponíveis, resultando em uma corrente de fuga I_{off} ultra baixa (traço pontilhado azul na figura 4.b) e ponto azul na figura 4.c)). Ao aumentar o módulo de V_{gs} , as bandas no canal se deslocam em $q\Delta V_{gs}$ até eventualmente a banda de valência atingir o mesmo nível de energia que a banda de condução na fonte, no caso de um dispositivo tipo P. Em um dispositivo tipo N, a banda de condução do canal atingiria, para V_{gs} alto o suficiente, o mesmo nível de energia que a banda de valência da fonte P+. Dessa forma, a corrente de dreno sobe abruptamente, visto que a distância de tunelamento varia exponencialmente no início. Consequentemente, a curva de sublimiar típica de um TFET não é uma reta mas sim uma exponencial num gráfico $\log(I_{ds})$ x V_{gs} devido à relação não elementar entre probabilidade de tunelamento e distância de tunelamento, conforme será detalhado na seção seguinte. Aumentando ainda mais o módulo de V_{gs} , a distância de tunelamento passa a diminuir de forma aproximadamente linear e como consequência a corrente de dreno passa a aumentar num ritmo exponencial simples. Apenas elétrons na janela $\Delta\Phi$ podem

tunelar (linha pontilhada a esquerda na figura 4.b)), de forma que se pode visualizar a transição abrupta entre os estados ligado (ON) e desligado (OFF). A barreira de energia através do qual os elétrons tunelam está indicada em cinza na Figura 4.b) e pode ser aproximada por um triângulo de base λ (comprimento de tunelamento) e altura E_g (banda proibida) (IONESCU, 2011).

Esse mecanismo, chamado de tunelamento entre bandas (BTBT) é, a princípio, promissor para aplicações *low power, low voltage* pois permite obter um SS menor que 60mV/década à temperatura ambiente, produz uma corrente I_{off} ultrabaixa e quanto menor o nível de inversão, menor o valor de SS (IONESCU, 2011).

2.1.2. Nível de corrente e probabilidade de tunelamento

Pela própria natureza do tunelamento, TFETs em geral apresentam níveis de corrente de dreno ordens de grandeza menores que o MOSFET. A aproximação WKB para uma barreira de energia triangular fornece uma fórmula aproximada para a taxa de transmissão de portadores por tunelamento (T_{WKB}) (IONESCU, 2011) ¹:

$$T_{WKB} \approx \exp\left(\frac{-4 \cdot \lambda \cdot \sqrt{2 \cdot m^* \cdot E_g^3}}{3 \cdot q \cdot \hbar \cdot (E_g + \Delta\Phi)}\right) \quad (4)$$

Onde m^* é a massa efetiva dos portadores e $\hbar$ a constante de Planck normalizada. Essa equação, além de exibir a característica super exponencial com V_{gs} (através de $\Delta\Phi$) discutida na seção anterior, mostra como a probabilidade de tunelamento é fortemente influenciada pelo material através de m^* de E_g . Isso implica que um TFET de alta performance requer materiais semicondutores complexos, como por exemplo materiais III-V. Isso também explica por que TFETs de silício apresentam correntes de dreno tão baixas, visto que a massa efetiva dos portadores e sua banda proibida são relativamente grandes (IONESCU, 2011).

No que se refere ao comprimento de tunelamento λ , há vários fatores estruturais do dispositivo importantes para minimizá-lo que se relacionam a geometria, dimensões, dopagem, acoplamento eletroestático da porta e engenharia das junções.

¹ Na realidade, essa fórmula tem um alcance limitado, sendo adequada apenas para semicondutores diretos com baixa concentração de defeitos e para dimensões suficientes para não ocorrer nenhum tipo de confinamento quântico (IONESCU, 2011). Contudo, ela fornece uma descrição qualitativa suficiente para os propósitos dessa seção

Como resultado, TFETs de alta performance requerem geometrias complexas (em geral não planares), corpo fino, dielétricos de alta permissividade ultrafinos, dopagem com uma concentração que varie ordens de grandeza em alguns nanômetros na junção de tunelamento, heterojunções, entre outros (IONESCU, 2011).

2.1.3. Recombinação Schokley-Reed-Hall (SRH)

A geração de pares elétron-lacuna ocorre com o rompimento de ligações covalentes na rede cristalina de um semiconductor por agitação térmica, de forma que os elétrons transitam da banda de valência, deixando uma lacuna, para a banda de condução. O processo oposto, a recombinação, ocorre da mesma forma no sentido inverso. Essa transição pode ocorrer de forma indireta, pois em um material semiconductor real existem níveis de energia intermediários que se localizam no meio da faixa proibida. Eles são oriundos de impurezas e defeitos na rede cristalina, sendo chamados de níveis de energia de armadilha E_{TRAP} (SZE, 2007). Esse fenômeno é ilustrado na Figura 5, adaptada de (SIVIERI, 2016). As setas 1 e 4 ilustram o fenômeno de recombinação e as setas 2 e 3, o de geração:

Figura 5 - Bandas de energia e a geração/recombinação térmica.

O SRH define a corrente de fuga em TFETs (mas não no Line-TFET, como será explicado mais adiante), como pode ser visto na Figura 5 na seção seguinte (SIVIERI, 2016). Quando a corrente devido ao tunelamento se torna baixa o suficiente, a geração térmica, pelo mecanismo SRH, se torna mais significativa.

2.1.4. Tunelamento assistido por fônons e armadilhas

Conforme exposto na seção anterior, existem níveis de energia localizados no meio da banda proibida, denominados E_{TRAP} . Os elétrons então podem tunelar para

esses níveis de energia ao invés de para E_c , o que é especialmente importante para baixos valores de V_{gs} , em que esse fenômeno passa a ser mais importante que o tunelamento entre bandas, degradando o valor de SS (SIVIERI, 2016) (Figura 6). Depois de tunelar para E_{TRAP} , os portadores se dispersam para outros níveis de energia com a emissão ou absorção de fônons, o que é particularmente importante para semicondutores indiretos como silício ou germânio (SAJJAD, 2015), semelhantemente ao que ocorre no SRH. Por isso, uma forma de modelagem desse fenômeno, denominado de Tunelamento Assistido por Fônons e Armadilhas (TAT), é considerá-lo como um fenômeno de geração/recombinação térmica enriquecido pelo campo elétrico.

Figura 6 - Efeito do TAT em uma curva I_{ds} x V_{gs} de um TFET.

Esse mecanismo é o principal fator de degradação da inclinação de sublimar em TFETs. Como esse efeito depende basicamente da concentração e dos tipos de defeitos na rede cristalina, ele é determinado principalmente por variáveis relativas ao processo de fabricação. Como consequência, o TAT é frequentemente subestimado ou nem sequer levado em conta em estudos baseados em dispositivos simulados, conforme mencionado no final da seção 1.1, sendo então uma das diferenças mais determinantes entre estudos com TFETs simulados e estudos baseados em dados experimentais, principalmente para TFETs de silício ou com fonte de SiGe (liga de silício-germânio).

2.2. O TRANSISTOR LINE-TFET

Essa seção apresentará o princípio de funcionamento básico e a geometria do dispositivo considerado nesse estudo, o Line-TFET. Também serão discutidos os regimes de operação do dispositivo (com relação as tensões de porta e de dreno) e diversas não idealidades fundamentais para se considerar dispositivos reais.

2.2.1. Características estruturais e princípio de funcionamento

A estrutura de um Line-TFET é exibida na Figura 7.a), adaptada de (WALKE, 2014). A região de fonte é estendida ao longo de todo o comprimento de porta e é fortemente dopada para obter uma junção abrupta. A fonte é composta por SiGe, material de menor faixa proibida mas com E_c próximo ao do Si, aumentando a geração de portadores por tunelamento. Entre o dielétrico de porta e a fonte há uma região de silício tensionado não dopado ultra fino, com uma espessura de cerca de 5nm denominada *pocket*. O tunelamento principal ocorre então de E_v da fonte para E_c do *pocket* (Figura 7.b)) e os elétrons (lacunas) são conduzidos até o dreno (fonte) por deriva. O ponto chave desse dispositivo é que o campo elétrico da porta é responsável não só pela sobreposição de bandas, como em um TFET convencional, mas também por remover os elétrons da banda de valência e que vão para a banda de condução, o que normalmente é realizado pelo campo elétrico lateral (do dreno) em TFETs convencionais. Como esse fenômeno ocorre ao longo de todo o comprimento de porta, ele é denominado tunelamento em linha, diferentemente do tunelamento pontual descrito na seção 2.1. É importante observar que como o *pocket* é muito fino, ocorre quantização de E_c nessa região (WALKE, 2014):

Figura 7 - a) Estrutura de um Line-TFET b) bandas de energia no eixo vertical. Adaptada de (WALKE, 2014).

Alguns resultados da estrutura exibida na Figura 7.a) são: maior área de tunelamento e portanto maior corrente de dreno (da ordem de alguns $\mu\text{A}/\mu\text{m}$); subida de corrente de dreno mais abrupta ao ligar o dispositivo (menor SS, atingindo um mínimo pontual de até 55mV/década, pois com o tunelamento SS muda ponto a ponto) devido a rápida diminuição da distância de tunelamento; corrente de fuga determinada pelo tunelamento de fonte para dreno independente de L_g e altamente dependente de V_{ds} ; corrente de dreno ambipolar² reduzida devido à subposição de porta no lado do dreno e a corrente é diretamente proporcional a $W.L_g$, em que W é a largura do dispositivo e L_g o comprimento de porta (WALKE, 2014).

2.2.2. Curvas de corrente e regimes de operação

A Figura 8 exibe a curva de I_{ds} em função de V_{gs} para alguns V_{ds} de um Line-TFET com os mecanismos de condução predominantes discriminados. O tunelamento parasitário de fonte para dreno depende exponencialmente de V_{ds} , se sobrepondo à região de baixo SS conforme V_{ds} aumenta (WALKE, 2014). Com o aumento de V_{gs} , o TAT passa a ser mais importante, fazendo o dispositivo entrar na região de sublimiar mas com SS maior do que se esperaria com BTBT puro. Isso pode ser confirmado e o ponto de transição entre TAT e BTBT definido com medidas em baixa temperatura (WALKE, 2014) e pelo método da energia de ativação (MARTINO, 2012), uma vez que o TAT é um fenômeno termicamente ativado e o BTBT é praticamente independente da temperatura (SAJJAD, 2015).

² Tipicamente em um TFET, se V_{gs} for suficientemente alto em módulo no sentido contrário ao de operação normal, o dispositivo volta a ligar, pois o cruzamento de bandas e tunelamento passa a ocorrer do lado do dreno. Esse efeito, conhecido como corrente ambipolar, pode ser reduzido de algumas formas, por exemplo com uma subposição entre a porta e o dreno (WALKE, 2014), como ocorre naturalmente neste Line-TFET. Ou seja, a porta não se sobrepõe ao dreno.

Figura 8 - Curva I_{ds} x V_{gs} de um Line-TFET e mecanismos de condução predominantes

A Figura 9 exibe a curva de I_{ds} em função de V_{ds} e a Figura 9.b) um *zoom* da região em torno de 0V de um TFET, onde é destacada a região superlinear. Ao diminuir V_{ds} a partir da região de saturação, a condutância de saída (g_d) do dispositivo aumenta de forma linear, de forma semelhante a um MOSFET em triodo. Contudo, há um ponto de inflexão na região linear da curva I_{ds} x V_{ds} de TFETs (ponto V_{DTH} na Figura 9.b)), onde a inclinação da curva (ou seja, g_d) chega a um patamar máximo e passa a diminuir conforme se diminui V_{ds} , entrando então na região superlinear (SEDIGHI, 2015). Apesar da Figura 9 ser referente a um *point* TFET, praticamente o mesmo ocorre em um Line-TFET. Contudo, não há estudos detalhados sobre o comportamento de g_d ao longo da curva I_{ds} x V_{ds} de Line-TFETs, especialmente considerando dispositivos experimentais, de forma que as diferenças entre esse dispositivo e *point* TFETs nesse aspecto ainda não estão claras. Este assunto faz parte dos resultados deste estudo, que serão discutidos no capítulo 4.

Figura 9 - Características da corrente em função da tensão de dreno. a) Curva I_{ds} x V_{ds} de um TFET e b) Destaque da região superlinear. Adaptado de: (SEDIGHI, 2015).

O ganho intrínseco de tensão extremamente alto (graças a alta tensão Early) dos dispositivos de tunelamento pode ser explicado ao se considerar o mecanismo físico de saturação desses dispositivos. Partindo da região superlinear (valores baixos de V_{ds}), a curva de transferência $I_{ds} \times V_{ds}$ dos TFETs é definida pela estatística de Fermi de ocupação de estados de energia da fonte e do canal. Os estados da fonte vão se tornando desocupados com o aumento de V_{ds} , enquanto os estados da região intrínseca (que corresponde ao pocket e a região de separação entre fonte e dreno no Line-TFET) vão sendo ocupados. Isso explica a região superlinear e a saturação atrasada típica desses dispositivos (LU, 2014) (MICHIELIS, 2012). Contudo, esse fenômeno não ocorre indefinidamente pois, para um V_{ds} alto o suficiente, ocorre a depleção de portadores na região intrínseca. Nesse caso, tanto o potencial de superfície como o nível de energia de condução ficam presos a um valor e a corrente de dreno passa a depender muito pouco de V_{ds} , que é a região de saturação, resultando em um V_A extremamente alto, de cerca de 100V (ACHARYA, 2018) (MALLIK, 2011).

A Figura 10, adaptada de (ACHARYA, 2018), exibe essas características em um Line-TFET através de seu diagrama de bandas nas direções horizontal e vertical. A estrutura do dispositivo considerado em (ACHARYA, 2018) é semelhante a que foi apresentada na Figura 7, de (WALKE, 2014), sendo a principal diferença o fato de que na Figura 10 a região que separa a fonte e o dreno fica abaixo da porta e do *pocket*. Como em (ACHARYA, 2018) não foi levado em consideração o *point* TFET parasitário que se encontra nessa região e nem o tunelamento de fonte para dreno, as conclusões referentes a origem da alta tensão Early nesse dispositivo permanecem as mesmas. O diagrama de bandas na direção horizontal mostra que, primeiramente, a fonte (ponto X1) fica depletada de portadores com o aumento de V_{ds} , travando o potencial de superfície nessa região. Em seguida, conforme se aumenta mais ainda V_{ds} , o mesmo acontece na região entre fonte e dreno (X2, Lsd), que faz o papel do canal intrínseco de um *point* TFET, caso que foi discutido no parágrafo anterior. Consequentemente, a tensão de dreno passa a ter um efeito desprezível no potencial de superfície e no tunelamento em linha, conforme exibido no diagrama de bandas na direção vertical.

Figura 10 – Estrutura de um Line-TFET e diagrama de bandas de energia associado na direção horizontal (a esquerda) e na direção vertical (a direita).

2.2.3. Não idealidades e efeitos de segunda ordem

Além do TAT e do tunelamento de fonte para dreno que já foram discutidos, existem diversos outros efeitos não ideais que impactam as curvas de corrente de dreno do dispositivo. Esses efeitos em geral não são modelados analiticamente, sendo quantitativamente verificados em caracterização experimental e em simulações numéricas.

Um desses efeitos é a quantização dos níveis de energia da banda de condução no *pocket* devido a sua espessura de cerca de 5nm. O efeito disso é aumentar o valor da tensão de limiar (definida como a tensão de porta em que a banda de valência da fonte e a primeira sub-banda de condução do *pocket* se alinham) em alguns mV, conforme se pode ver na Figura 11, adaptada de (WALKE, 2014). Essa figura exhibe o valor da tensão de limiar em função da espessura do *pocket*. As simulações foram calibradas com dados experimentais de um Line-TFET, comparando simulações semi-clássicas sem quantização das bandas de energia e simulações quânticas baseadas

na equação 1-D de Schrödinger. Além disso, as simulações consideram uma dopagem tipo P no *pocket* de 10^{19}cm^{-3} que leva em consideração a difusão de boro proveniente da fonte durante as etapas térmicas do processo de fabricação. Pode-se perceber que, apesar da tensão de limiar sempre aumentar com a diminuição do *pocket* devido ao encurvamento de E_c , esse aumento é muito mais severo e o seu valor é sempre pelo menos 400mV maior no caso da simulação quântica.

Figura 11 - Tensão de limiar com e sem quantização da banda de condução no *pocket* e diferença entre os dois casos. Adaptado de: (WALKE, 2014).

Devido à resistência interna do dispositivo, a corrente de dreno, que deveria ser diretamente proporcional a L_g devido a proporcionalidade da área de tunelamento com esse parâmetro, tende a saturar em um valor, deixando de tender a uma reta em torno de $L_g=500\text{nm}$, conforme exhibe a Figura 12, adaptada de (WALKE, 2014).

Figura 12 - Nível de corrente de dreno em função do comprimento de porta. Adaptado de: (WALKE, 2014)

O alinhamento entre a porta e a fonte é importante nesse dispositivo pois o campo de espraio da porta forma um *point* TFET parasitário, em que o canal é a separação entre a fonte e o dreno. Se a fonte acabar antes da porta, este *point* TFET parasitário pode ter uma tensão de limiar baixa e degradar a curva de sublimiar. Se a fonte se estender além da porta, a corrente de dreno cai cerca de uma ordem de grandeza devido à alta tensão de limiar dessa região de fonte (WALKE, 2014). A Figura 13.a) ilustra os alinhamentos positivos e negativos da porta com relação a fonte e a Figura 13.b) compara simulações em que a porta está 4nm antes e depois da fonte e o caso de alinhamento perfeito. Alinhamento positivo se refere ao caso da Figura 13.a) e negativo ao caso da Figura 13.c).

Figura 13 - Efeito do desalinhamento da porta com a fonte na geometria a) com deslocamento positivo, b) alinhado e c) com deslocamento negativo e d) na curva de corrente. Adaptado de: (WALKE, 2014).

A corrente de porta também é importante nesse dispositivo pois ela é oriunda da corrente de tunelamento pelo óxido de porta, que está na mesma direção que o tunelamento em linha, na direção vertical. Essa corrente pode se tornar significativa principalmente porque o acoplamento eletroestático da porta deve ser maximizado, o que requer a menor espessura possível para o óxido de porta. A alta corrente de porta prejudica o funcionamento de circuitos com esse dispositivo ao introduzir uma resistência de entrada e pode prejudicar a integridade do óxido de porta.

2.3. O CIRCUITO AMPLIFICADOR DE DOIS ESTÁGIOS

Um amplificador operacional é um componente básico e fundamental no desenvolvimento de diversas aplicações analógicas, podendo também ser usado em algumas aplicações digitais. Há diversas classes desse circuito, mas nesse estudo em particular será considerado o amplificador operacional de transcondutância (OTA, em inglês), que é um tipo de amplificador operacional que converte a tensão diferencial de entrada em corrente para um nó de alta impedância. Dependendo da aplicação e da configuração em que o OTA é usado, diferentes parâmetros de mérito podem ser mais ou menos importantes: largura de banda, ganho de tensão ou de corrente, impedâncias de entrada e saída, sobrecarga de tensão, linearidade, tolerância a ruído e a variação de temperatura, potência dissipada e eficiência energética, área de circuito, entre outros (RAZAVI, 2015).

O núcleo de um amplificador operacional, e especialmente de um OTA, é com frequência um amplificador de dois estágios, especialmente em tecnologias modernas em que se faz necessário maximizar o ganho de tensão de malha aberta e a faixa linear de saída (região de alto ganho na Figura 16) (RAZAVI, 2015). Devido a questões que se relacionam às não idealidades discutidas na seção 2.2, TFETs podem necessitar de tensões de alimentação mais altas e a ter sua faixa linear da saída prejudicada (SIVIERI, 2016), o que é especialmente verdade para os Line-TFETs por causa do tunelamento parasitário de fonte para dreno que é significativo para valores de V_{gs} menores (AGOPIAN, 2017). Além disso, esses dispositivos apresentam um ganho intrínseco de tensão muito alto mas frequência de ganho unitário (ft) baixa (SEDIGHI, 2015). Por conta dessas características, esse estudo foca na topologia de dois estágios, que maximiza a faixa linear da saída e o ganho em detrimento da largura de banda. Além disso, o uso de TFETs não deve ser um problema na dissipação de potência, que é moderada nessa topologia, devido ao baixo nível de corrente dos dispositivos. Nas seções seguintes serão apresentados conceitos e parâmetros básicos do amplificador de dois estágios.

Primeiramente, será considerado o primeiro estágio do circuito amplificador em sua configuração mais básica, conhecida como OTA de 5 transistores, exibida na Figura 14. Esse estágio é composto por um par diferencial (M1 e M2), que tem a função de converter a tensão diferencial de entrada (V_{in+} e V_{in-}) em corrente com um ganho, um espelho de corrente como carga (M3 e M4), que replica a corrente para um

nó de alta impedância (V_{out}) e mantém o par diferencial polarizado, e um quinto transistor (M5) que é uma fonte de corrente de polarização, definida por V_{bias} . Essa topologia simplifica os circuitos de polarização e de realimentação de modo comum, mas apresenta um pólo espelho que limita a largura de banda, dificultando atingir estabilidade, além de ser mais suscetível a instabilidade da tensão de alimentação e do modo comum da entrada (RAZAVI, 2015).

Figura 14 – Configuração básica do primeiro estágio: OTA de 5 transistores.

O segundo estágio é um amplificador de fonte comum (M6) com uma fonte de corrente como carga (M7), exibido na Figura 15. Esse estágio tem a função de multiplicar o seu ganho pelo do primeiro estágio, fazendo com que o ganho total seja da ordem do ganho intrínseco de tensão do transistor (A_v) ao quadrado, enquanto a faixa linear da saída é maximizada (RAZAVI, 2015).

Figura 15 - Configuração básica do segundo estágio: fonte comum.

2.3.1. Sobrecarga de tensão e faixa linear de saída

A Figura 16 exibe a curva de grandes sinais típica de um OTA, adaptada de (RAZAVI, 2015):

Figura 16 – Curva de grandes sinais de um OTA. Adaptada de (RAZAVI, 2015).

Considerando o OTA de 5 transistores, o primeiro estágio do circuito amplificador, as faixas de tensão de entrada e saída são calculadas como se segue:

1. A saída de modo comum, quando $V_{in}^+ = V_{in}^-$, é $V_{out_{dc}} = V_{dd} - |V_{ds4}|$ em que $V_{gs3} = V_{gs4} \approx V_{ds4}^3$.

2. A saída mínima $V_{out_{min}}$ deve ser o suficiente para manter M2 em saturação, e depende de $V_{in_{cm}}$: $V_{out_{min}} = V_{dsat2} + V_{dsat5}$. Considerando $V_{dsat2} \approx V_{in_{cm}} - V_{dsat5} - V_{th}$ $\rightarrow V_{out_{min}} \approx V_{in_{cm}} - V_{th}^4$, de forma que se deseja ter o menor valor possível de $V_{in_{cm}}$.

3. Este valor mínimo de $V_{in_{cm}}$ é dado por: $V_{in_{cm}} \geq V_{gs1,2} + V_{dsat5}$, que mantém a fonte de corrente (M5) em saturação⁵.

4. O valor máximo da saída é determinado pela tensão que tira M4 da saturação: $V_{out_{max}} = V_{dd} - |V_{dsat4}|$

Com relação ao segundo estágio, a tensão máxima de saída é a que tira M6 da saturação: $V_{out_{máx}} = V_{dd} - V_{dsat6}$. A tensão mínima é a que tira M7 da saturação: $V_{out_{mín}} = V_{dsat7}$ (RAZAVI, 2015).

Tipicamente, o circuito é projetado para que o primeiro estágio tenha alto ganho e menor faixa linear da saída e o segundo estágio seja o oposto. Por isso, é comum

³ Valor não exato devido a modulação de canal.

⁴ Valor não exato devido a saturação da velocidade de portadores.

⁵ Considerando $V_{in} \approx V_{in_{cm}}$ (ponto de terra virtual)

começar o projeto pela saída do segundo estágio, que limitará a sobrecarga de tensão do circuito e, por consequência, o ganho de ambos os estágios (RAZAVI, 2015).

2.3.2. Parâmetros de pequenos sinais e ganho de tensão de malha aberta

O modelo de pequenos sinais do OTA de 5 transistores, considerando uma fonte de corrente ideal, é exibido na Figura 17, retirada de (RAZAVI, 2015):

Figura 17 - Modelo de pequenos sinais de um OTA básico. Retirado de (RAZAVI, 2015).

Do modelo de pequenos sinais, temos que:

$$V4 = \left(\frac{-V4}{rd} - gm_{1,2} \cdot V1 \right) \cdot ro_1 + Vin^+ - V1 \quad (5)$$

Onde $gm_{1,2}$ é a transcondutância dos transistores de entrada e $rd = \frac{1}{gm_3} || ro_3$.

Sabendo que:

$$I_{out} = gm_4 \cdot V4 + \frac{V4}{rd} \quad (6)$$

E considerando que $Vin^+ - Vin^- = V1 - V2$, temos:

$$Gm_1 = \frac{I_{out}}{Vin^+ - Vin^-} = -gm_{1,2} \cdot ro_{1,2} \cdot \frac{gm_4 \cdot rd + 1}{rd + 2 \cdot ro_{1,2}} \quad (7)$$

Para o cálculo da resistência de saída do circuito R_{out} , observa-se que M1 e M2 tem uma resistência vista pelo nó de saída igual a $2 \cdot ro_1$ (se os transistores forem casados), que forma um divisor de tensão com rd , conforme exibido na Figura 18.

Figura 18 - Circuito equivalente de um OTA básico usando modelo de pequenos sinais para cálculo de Rout. Retirado de (RAZAVI, 2015).

$$V_{gs4} = V_x \cdot \frac{r_d}{2 \cdot r_{o1,2} + r_d} \quad (8)$$

$$I_x = I_{M2} + I_{M4} + I_{ro4} = \frac{V_x}{2 \cdot r_{o1,2} + r_d} + \frac{V_x \cdot r_d}{2 \cdot r_{o1,2} + r_d} + \frac{V_x}{r_{o4}} \quad (9)$$

$$R_{out} = \frac{V_x}{I_x} = \frac{r_{o4} \cdot (2 \cdot r_{o1,2} + r_d)}{(1 + g_{m4} \cdot r_d) \cdot r_{o4} + 2 \cdot r_{o1,2} + r_d} \quad (10)$$

Por fim, o ganho diferencial de tensão de malha aberta do circuito será:

$$A_{v1} = G_{m1} \cdot R_{out1} = -g_{m1,2} \cdot (r_{o1,2} || r_{o4}) \cdot \frac{2 \cdot g_{m4} \cdot r_{o4} + 1}{2 \cdot (g_{m4} \cdot r_{o4} + 1)} \quad (11)$$

Em geral, $2 \cdot r_o \gg r_d$, de forma que as expressões acima se reduzem a $G_m = -g_{m1,2}$, $R_{out} = -r_{o1,2} || r_{o4}$ e por fim:

$$A_{v1} \approx -g_{m1,2} \cdot (r_{o1,2} || r_{o4}) \quad (12)$$

Pode-se deduzir, considerando o modelo de pequenos sinais do segundo estágio, que o ganho de malha aberta, a transcondutância e a resistência de saída obtidos no caso simplificado acima têm as mesmas expressões no caso de um fonte comum com fonte de corrente como carga (RAZAVI, 2015). Portanto, o ganho de malha aberta do amplificador de dois estágios simples pode ser aproximado como:

$$A_v \approx g_{m1,2} \cdot (r_{o1,2} || r_{o4}) \cdot g_{m6} \cdot (r_{o6} || r_{o7}) \quad (13)$$

2.3.3. Ganho de tensão de modo comum

Para calcular o ganho de modo comum ($A_{v_{cm}}$), ou seja, o quanto uma variação no nível DC da entrada comum afeta a saída, consideramos as entradas curto circuitadas, conforme indica a Figura 19, e definimos:

$$A_{v_{cm}} = \frac{\Delta V_{out}}{\Delta V_{in_{cm}}} \quad (14)$$

Onde ΔV_{out} e ΔV_{in} são as variações de tensão pico a pico na saída e na entrada de modo comum, respectivamente.

Figura 19 - Circuito equivalente de um OTA básico considerando operação em modo comum. a) circuito equivalente b) modelo de pequenos sinais. Retirado de (RAZAVI, 2015).

Como qualquer variação na entrada causará uma variação igual nas correntes de dreno de M1 e M2, e portanto nas correntes dos dois lados do circuito, observa-se que, se os transistores forem simétricos, a tensão no ponto F é igual a tensão na saída (ponto X, Figura 19.a)), pois $V_{ds3} = V_{gs3} = V_{gs4}$ e a corrente é a mesma em M3 e M4. Considera-se então que M1 e M2 estão em paralelo, assim como M3 e M4, conectando os pontos F e X da Figura 19.a). A partir dos modelos de pequenos sinais dos transistores, chega-se no circuito equivalente da Figura 19.b), em que r_{o1} e r_{o2} são associados em paralelo, assim como g_{m1} e g_{m2} . Cada transistor de carga tem uma resistência equivalente igual a $\frac{1}{g_{m,ro}}$, que associados em paralelo, resulta em uma resistência equivalente de $\frac{1}{2.g_{m3,4}} \parallel \frac{r_{o3,4}}{2}$. O valor de R_{ss} é a resistência de dreno de M5, ou seja, $R_{ss} = r_{o5}$.

Uma mudança em V_{cm} causará uma mudança na corrente que passa em M3 e M4 igual a uma mudança da corrente de polarização em M5, ou seja:

$$\Delta I_{3,4} = \Delta I_{SS} \rightarrow \frac{\Delta V_{out}}{\frac{1}{2.g_{m3,4}} \parallel \frac{r_{o3,4}}{2}} = \frac{\Delta V_p}{R_{ss}} \rightarrow \frac{\Delta V_{out}}{\Delta V_p} = \frac{R_d}{R_{ss}} \quad (15)$$

$$\text{Em que } R_d = \frac{1}{2.g_{m3,4}} \parallel \frac{r_{o3,4}}{2}.$$

Uma mudança em V_{cm} causará uma mudança nas correntes do por diferencial igual a uma mudança na corrente de polarização, ou seja:

$$\Delta I_1 + \Delta I_2 + \Delta I_{ro1,2} = \Delta I_{SS} \rightarrow 2.g_{m1,2} \cdot (\Delta V_{cm} - \Delta V_p) + \frac{\Delta V_{out} - \Delta V_p}{0,5.r_{o1,2}} \quad (16)$$

Substituindo ΔV_{out} pela expressão (14) resulta em:

$$\frac{\Delta V_P}{\Delta V_{cm}} = \frac{-2 \cdot g_{m1,2} \cdot R_{ss} \cdot r_{o1,2}}{r_{o1,2} + 2 \cdot R_{ss} \cdot r_{o1,2} \cdot g_{m1,2} + 2 \cdot (R_d + R_{ss})} \quad (17)$$

Por fim, o ganho de modo comum vale:

$$A_{v_{cm}} = \frac{\Delta V_{out}}{\Delta V_{in_{cm}}} = \frac{\Delta V_{out}}{\Delta V_P} \cdot \frac{\Delta V_P}{\Delta V_{in_{cm}}} = \frac{-2 \cdot g_{m1,2} \cdot r_{o1,2} \cdot R_d}{r_{o1,2} + 2 \cdot R_{ss} \cdot r_{o1,2} \cdot g_{m1,2} + 2 \cdot (R_d + R_{ss})} \quad (18)$$

Se a modulação de canal puder ser desprezada (se $r_{o1,2}$ for muito grande):

$$A_{v_{cm}} \approx \frac{\frac{1}{2 \cdot g_{m3,4}} \parallel \frac{r_{o3,4}}{2}}{\frac{1}{2 \cdot g_{m1,2}} + R_{ss}} \quad (19)$$

Tipicamente, $\frac{1}{g_{m3,4}} \ll r_{o3,4}$, de forma que:

$$A_{v_{cm}} \approx \frac{-g_{m1,2}}{g_{m3,4} \cdot (1 + 2 \cdot g_{m1,2} \cdot R_{ss})} \quad (20)$$

Se R_{ss} tende a infinito (fonte de corrente ideal), A_{cm} tende a 0. Ou seja, o ganho de modo comum é oriundo da resistência finita da fonte de corrente (M5), que quanto maior for, melhor será a resposta de modo comum do circuito. O descasamento do espelho de corrente e do par diferencial também aumenta o ganho de modo comum, apesar de que se o descasamento do par diferencial não for muito severo, pode vir a compensar o efeito de R_{ss} (RAZAVI, 2015).

A taxa de rejeição de modo comum (CMRR) é dada pela razão entre o ganho diferencial de tensão e o ganho de modo comum. Se $g_{m1,2} = g_{m3,4}$:

$$CMRR = \frac{A_d}{A_{v_{cm}}} \approx 2 \cdot A_v^2 \quad (21)$$

2.3.4. Considerações para tecnologias nanométricas

A tensão do dreno do transistor de fonte de corrente do primeiro estágio (M5, tensão no ponto P da Figura 19) é determinada pela tensão de entrada da seguinte forma:

$$V_{gs_{1,2}} = V_{g_{1,2}} - V_{s_{1,2}} \rightarrow V_{ds_5} = V_{in} - V_{gs_{1,2}} \quad (22)$$

Se a tensão de pico-a-pico na entrada (V_{inpp}) for pequena, V_{in} é praticamente constante (e igual a $V_{in,cm}$), de forma que pode-se considerar o ponto V_{ds5} também praticamente constante e é portanto considerado um ponto de terra virtual para pequenos sinais, conforme indica a equação (22). Contudo, como ocorre em amplificadores de baixo ganho, tipicamente com transistores pequenos, a excursão do sinal de entrada é grande, de forma que este ponto pode deixar de ser um terra virtual e $M5$ pode vir a entrar em saturação (RAZAVI, 2015).

Considerando a modulação de canal para os transistores do espelho de corrente, temos que $V_{ds4} \approx V_{gs4}$. Esse valor deixa de ser exato nesse caso pois a corrente DC então não é mais exatamente igual dos dois lados. Esse efeito é mais crítico em transistores pequenos devido a maior modulação de canal (menor V_A) e maior variabilidade com processo de fabricação (RAZAVI, 2015).

Em tecnologias nanométricas, o V_{inpp} é mais limitado por conta da menor linearidade do ganho em uma faixa limitada de tensão. Isso decorre do efeito Early pronunciado e do baixo ganho intrínseco de tensão desses dispositivos. Ou seja, o ganho é mais prejudicado quando os dispositivos começam a chegar perto da região de triodo. A Figura 20 exibe o exemplo de um design de um OTA de 5 transistores com as seguintes características, retirado de (RAZAVI, 2015): $V_{dd}=1V$, $W/L=5\mu m/20nm$, $I_{pol}=0,25mA$ e $V_{in,cm}=0,5V$. Vemos que a região linear é apenas $-0,1V < V_{in} < 0,1V$ e o ganho cai abaixo de 5 V/V fora da região $-0,05 < V_{in} < 0,05$.

Figura 20 - Resultados de um design com tecnologia nanométrica ($W/L=5\mu m/20nm$). a) Curva V_{out} x V_{in} . b) Curva A_v x V_{in} . Retirado de (RAZAVI, 2015).

Tecnologias menores oferecem melhores características de sublimiar, podendo trabalhar com V_{gs} menor que V_t , resultando em V_{dsat} muito baixo, possibilitando saída de 0V a V_{dd} (*rail-to-rail output*, em inglês). Isso também permite a redução da

tensão de alimentação e da corrente de polarização, reduzindo a potência gasta, mas a custo de performance dinâmica devido à redução no nível de corrente de dreno dos dispositivos e de g_m , conseqüentemente (PARVEEN, 2013).

2.3.5. Resposta em frequência e estabilidade

O modelo de pequenos sinais do circuito amplificador de dois estágios é exibido na Figura 21 e mostra o ponto de conexão entre os dois estágios, ignorando a capacitância parasitária entre porta e dreno (C_{gd}) do transistor M6. Os dois pólos dominantes desse circuito são associados aos nós de saída do primeiro e do segundo estágio e são dados por, respectivamente:

$$p1' = \frac{1}{R_I \cdot C_I} \text{ e } p2' = \frac{1}{R_{II} \cdot C_{II}} \quad (23)$$

Em que R_I (R_{II}) e C_I (C_{II}) representam a resistência de saída e a capacitância para o terra vista da saída do primeiro (segundo) estágio, respectivamente (ALLEN, 2012).

Figura 21 - Modelo de pequenos sinais da conexão entre os dois estágios. Retirado de: (ALLEN, 2012).

Em geral, apesar de $p'2$ normalmente ficar mais próximo da origem que $p'1$ devido a capacitância de linha C_L que é conectada na saída do circuito, a resistência de saída dos dois estágios costuma ser muito próxima, de forma que esses pólos são tipicamente muito próximos e relativamente distantes da origem. Isso faz com que a resposta em frequência do circuito em malha aberta fique semelhante ao exibido na Figura 22, retirada de (ALLEN, 2012):

Figura 22 - Resposta em frequência (ganho e fase) de um amplificador de dois estágios em malha aberta. Retirado de (ALLEN, 2012).

A margem de fase é definida como a fase em que $F(s)=1$, ou seja, a fase na frequência em que o ganho vale 0dB. A Figura 23 exibe a resposta transitória do circuito a uma entrada em degrau para diferentes margens de fase, retirada de (ALLEN, 2012). Pode-se perceber como para margens de fase menores, a saída do circuito apresenta oscilação significativa em torno do valor final durante o transitório, de forma que normalmente se define que a margem de fase seja pelo menos 60° (ALLEN, 2012).

Figura 23 - Resposta transitória na saída de um amplificador com diferentes margens de fase. Retirado de (ALLEN, 2012).

A Figura 22 mostra como o amplificador de 2 estágios não compensado apresenta uma margem de fase muito menor que 60° e, portanto, requer algum tipo de compensação em frequência. Para o amplificador de 2 estágios, normalmente se

utiliza o método de compensação de Miller, que consiste na introdução de um capacitor de compensação (C_c) ligando a saída do primeiro estágio com a do segundo estágio em uma malha fechada, de forma que o modelo de pequenos sinais fica como o exibido na Figura 24, retirada de (ALLEN, 2012):

Figura 24 - Modelo de pequenos sinais da conexão entre os dois estágios com capacitor de compensação. Retirado de (ALLEN, 2012).

Com a introdução de C_c e de C_{gd} do transistor de entrada do segundo estágio (M6), pode-se deduzir que a expressão da resposta em frequência da saída do segundo estágio é:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{gm_1 \cdot gm_2 \cdot R_1 \cdot R_2 \cdot (1 - s \cdot (C_c + C_{gd6}) / gm_2)}{1 + s \cdot D1 + s^2 \cdot D2} \quad (24)$$

Onde $D1 = R_1 \cdot (C_1 + C_c + C_{gd6}) + R_2 \cdot (C_2 + C_c + C_{gd6}) + gm_2 \cdot R_1 \cdot R_2 \cdot (C_c + C_{gd6})$

$$D2 = R_1 \cdot R_2 \cdot [C_1 \cdot C_2 + (C_c + C_{gd6}) \cdot C_1 + (C_c + C_{gd6}) \cdot C_2]$$

Considerando que os polos estão agora bem espaçados, ou seja, $p2 \gg p1$:

$$p1 \approx \frac{-1}{gm_2 \cdot R_1 \cdot R_2 \cdot C_c} \quad (25)$$

$$p2 \approx \frac{-gm_2 \cdot (C_c + C_{gd6})}{C_1 \cdot C_2 + C_2 \cdot (C_c + C_{gd6}) + C_1 \cdot (C_c + C_{gd6})} \quad (26)$$

Considerando que $C_c \gg C_{gd6}$, $C_2 \gg C_1$ e que $C_c > C_1$:

$$p2 \approx \frac{-gm_2}{C_2} \quad (27)$$

O zero da função de transferência da equação (24) vale:

$$z1 \approx \frac{-gm_2}{C_c} \quad (28)$$

A Figura 25 mostra o circuito amplificador de dois estágios com suas diversas capacitâncias parasitárias e o capacitor de compensação C_c .

Figura 25 - Amplificador de dois estágios e capacitâncias parasitárias. Retirado de: (ALLEN, 2012)

A partir dessa figura, as expressões para os pólos e para o zero ficam:

$$p1 \approx \frac{-1}{gm_2 \cdot (ro_2 || ro_4) \cdot (ro_6 || ro_7) \cdot C_c} \quad (29)$$

$$p2 \approx \frac{-gm_6}{C_2} \quad (30)$$

$$z1 \approx \frac{-gm_2}{C_c} \quad (31)$$

Pode-se deduzir que a frequência de ganho unitário (GBW) vale, aproximadamente:

$$GBW \approx \frac{gm_2}{C_c} \quad (32)$$

Para que a margem de fase (Φ_M) seja pelo menos 60° :

$$\Phi_M = \pm 180^\circ - \text{Arg}[A(jw) \cdot F(jw)] \quad (33)$$

$$60^\circ = \pm 180^\circ - \tan^{-1}\left(\frac{GBW}{|p1|}\right) - \tan^{-1}\left(\frac{GBW}{|p2|}\right) - \tan^{-1}\left(\frac{GBW}{|z1|}\right) \quad (34)$$

Assumindo que o zero é dez vezes maior que GBW:

$$120^\circ = \tan^{-1}(Av_{dc}) + \tan^{-1}\left(\frac{GBW}{|p2|}\right) - \tan^{-1}(0,1) \quad (35)$$

Considerando que Av_{dc} é grande:

$$24,3^\circ = \tan^{-1}\left(\frac{GBW}{|p2|}\right) \rightarrow |p2| > 2,2 \cdot GBW \quad (36)$$

Para que o zero seja dez vezes maior que GBW, das equações (25) e (26):

$$gm_2 > 10. gm_6 \quad (37)$$

A partir desses resultados e das equações (24) e (26):

$$Cc > 0,22. C_2 \quad (38)$$

Como $C_2 \approx C_L$, tipicamente o valor do capacitor de compensação deve ser pelo menos 22% do valor da capacitância de carga, considerando que os transistores do segundo estágio tem transcondutância 10 vezes maior que os do primeiro estágio.

Além dos dois pólos dominantes considerados até então, o circuito apresenta um terceiro pólo e um segundo zero oriundos de C_3 da Figura 25. Pode-se deduzir que esse pólo e zero valem, respectivamente (ALLEN, 2012):

$$p3 \approx \frac{-gm_3}{C_3} \quad (39)$$

$$z2 \approx \frac{-2.gm_3}{C_3} \quad (40)$$

O segundo zero tende a cancelar o efeito do terceiro pólo, além do fato de que ambos em geral são maiores que GBW. Mesmo no caso em que esse zero e esse pólo são menores que GBW, a estabilidade do circuito é praticamente não afetada. Na verdade, a tendência nesse caso é que a margem de fase aumente um pouco graças a um ligeiro aumento em GBW (ALLEN, 2012).

2.3.6. Aplicação de um OTA: o circuito de *readout*

Circuitos de *readout* são frequentemente necessários para realizar amplificação dos sinais na saída de um sensor ou de uma matriz de sensores em uma determinada banda de passagem. A área de circuito e o consumo de potência são particularmente críticos em diversas aplicações modernas, como por exemplo em sensores implantáveis ou em aplicações com muitos sensores, uma vez que o circuito integrado de *readout* precisa ser replicado para cada nó (HARPE, 2016). O erro de leitura é inversamente proporcional ao ganho de malha aberta do amplificador, o que é uma limitação importante para realizar a aquisição de sinais pequenos (ZHONG, 2018). Esse fato resulta em um compromisso entre o erro de leitura e área de circuito, uma vez que MOSFETs de canal curto apresentam baixo ganho intrínseco de tensão. Além disso, em algumas aplicações como aquisição de biossinais, a largura de banda do amplificador precisa cobrir frequências muito baixas (a depender da aplicação, de até menos de 1Hz) e, portanto, demandando capacitâncias e resistências muito altas na

configuração de malha fechada, o que aumenta consideravelmente a área de circuito (HARPE, 2016) (ZHONG, 2018). O circuito básico de um *readout* é exibido na Figura 26.

Figura 26 – Circuito básico de *readout*

A Figura 27.a) indica como obter a resposta em frequência do circuito a partir do diagrama de Bode de malha aberta, enquanto a Figura 27.b) exibe a resposta em frequência de malha fechada resultante. O ganho de malha fechada (A_v') é definido a partir da razão entre as capacitâncias C_i e C_n : $A_v' = C_i/C_n$. A frequência de corte superior (f_{CL}) é definida a partir da capacitância de carga (C_L) e da resistência de saída do amplificador, podendo ser obtida graficamente a partir da interceptação do ganho definido com C_i e C_n com a resposta em frequência de malha aberta. Com a finalidade de eliminar a resposta de modo comum, mas preservando sinais de frequência muito baixa, a frequência de corte inferior (f_{CH}) deve ser a menor possível. f_{CH} é definida a partir de R_{fb} e de C_n através de $f_{CH} = (2 \cdot \pi \cdot R_{fb} \cdot C_n)^{-1}$. Uma vez que C_n é definido a partir do ganho e do valor de C_i , R_{fb} deve ser o maior possível (HARPE, 2016).

Figura 27 - Resposta em frequência de um amplificador em malha fechada. a) Definição do ganho e da frequência de corte superior b) diagrama de Bode resultante

Existem diversas estratégias para a implementação dos resistores de malha fechada (R_{fb}). O uso de resistores comuns é, em geral, inviável, pois para se definir frequências de corte muito baixas o consumo de área de *chip* se torna proibitivo. Uma abordagem comum é de se usar pseudo resistores implementados com transistores MOSFET diodo-conectados (Figura 28.a)) que podem inclusive serem dinamicamente alterados a partir da polarização. Quanto maior o comprimento de porta desses transistores, maior a resistência diferencial do pseudoresistor e menor a frequência de corte inferior atingida (HARPE, 2016). Outra abordagem é de se usar um amplificador *DC servo loop* (DSL, Figura 28.b)) no lugar de R_{fb} , de forma a se definir a frequência de corte inferior, obter maior resistência a variação de temperatura e ajustar a tensão de modo comum na entrada do amplificador principal. Apesar de ser a solução mais robusta, essa topologia é a que mais consome área de circuito, uma vez que o DSL necessita de realimentação de modo comum (CMFB) e seus transistores precisam ser muito grandes para se obter frequências de corte baixas (HARPE, 2016). Por fim, alguns estudos sugerem o uso de TFETs fonte-conectados (Figura 28.c)) que fazem o uso da corrente I_{off} ultrabaixa desses dispositivos para se obter resistências diferenciais muito altas com menor consumo de área. Contudo, essa implementação requer dois dispositivos em paralelo devido a unidirecionalidade da corrente em TFETs (TRIVEDI, 2014).

Figura 28 – Topologias de implementação de R_{fb} . a) MOSFET diodo-conectado b) *DC servo loop* c) TFET fonte-conectado.

2.4. CIRCUITOS ANALÓGICOS COM TFET

A ultrabaixa condutância de saída dos TFETs é interessante para aplicações analógicas pois simplifica o design e a topologia do circuito. Ao se usar um espelho de corrente como carga, a alta resistência de saída pode evitar a necessidade de *cascoding* que consome faixa linear de saída e área de circuito e cria pólos de alta frequência que podem causar instabilidade (SEDIGHI, 2015). Por exemplo, conforme

demonstrado experimentalmente em (MARTINO, 2016), TFETs exibem maior tensão de conformidade em espelhos de corrente, definida como a tensão de saída em que a corrente é replicada fielmente para a saída do espelho, dada uma tolerância de por exemplo 10% como é o caso dos exemplos adiante, ao longo de uma faixa maior de tensão.

Os TFETs também apresentam menor variabilidade da corrente de dreno com variação de temperatura. Isso ocorre porque o único efeito térmico no tunelamento entre bandas é, praticamente, o de diminuir a banda proibida do material, enquanto no MOSFET ocorre a degradação da mobilidade. No primeiro caso, a banda proibida diminui um pouco e a corrente então aumenta ligeiramente com a temperatura. No segundo caso, a corrente diminui e varia muito, visto que a mobilidade é altamente dependente da temperatura (MARTINO, 2016). Também em (MARTINO, 2016), foi demonstrado experimentalmente como os circuitos par diferencial e espelho de corrente com TFETs são menos suscetíveis a variação de temperatura.

A Figura 29 compara as correntes na entrada (traço vermelho) e de saída (traço azul) de um espelho de corrente para diferentes temperaturas, em a) de um *point* TFET e em b) de um MOSFET. Nessa imagem pode-se ver como a corrente de saída segue fielmente a corrente de referência por uma faixa de tensão muito maior em TFETs. Pode-se ver também como tanto o nível de corrente como a tensão de conformidade variam menos com a temperatura para os TFETs (MARTINO, 2016).

Na Figura 30 vemos a razão de espelhamento de um espelho de corrente com Line-TFETs, onde é exibida a razão entre a corrente na saída (I_{ds2}) e a corrente na entrada (I_{ds1}). Com uma variação de 150K na temperatura, essa proporção varia de cerca de 10 para cerca de 6, de forma que vemos a mesma tendência de robustez a variação de temperatura nesses dispositivos, sendo o descasamento observado devido ao efeito do TAT (MARTINO, 2016).

Figura 29 - Comparação entre correntes de entrada e saída de um espelho de corrente para várias temperaturas. a) com *point* TFET e b) com MOSFET. Retirado de (MARTINO, 2016)

Figura 30 - Proporção entre as correntes de entrada e saída de um espelho de corrente para várias temperaturas com Line TFETs. Retirado de (MARTINO, 2016).

A Figura 31 compara a variação no ganho diferencial de tensão (A_d) com a temperatura de um par diferencial com TFETs e com MOSFET de porta tripla (FinFET). Fica claro que nesse caso os TFET também sofrem muito menos com a temperatura, pois enquanto o circuito com MOSFET teve uma queda de 52% no ganho diferencial de tensão com uma variação de 150K na temperatura, praticamente não se nota variação no ganho do circuito com TFETs (MARTINO, 2016).

Figura 31 - Proporção entre o ganho diferencial de um par diferencial em função da temperatura com relação a temperatura ambiente usando TFET e MOSFET. Retirado de (MARTINO, 2016).

Diversos estudos desenvolveram projetos de amplificadores com *point* TFETs visando atingir tensões de alimentação e consumo de potência ultrabaixos em baixa frequência. Esses estudos focam em realizar o design usando a região de sublimiar, visando atingir uma eficiência do transistor (gm/Ids) acima do limite físico para os MOSFET (SEDIGHI, 2015) (TRIVEDI, 2014) (LIU, 2014). Contudo, esses estudos se mostraram pouco factíveis pois os dispositivos precisam ter níveis de corrente suficientemente altos com quantidade de defeitos pequena o suficiente para que o TAT não degrade a região de sublimiar e, portanto, a eficiência do transistor. Dessa forma, esses estudos que utilizam dispositivos simulados carecem de maior fundamentação experimental.

3. MATERIAIS E MÉTODOS

O presente capítulo detalhará a metodologia utilizada nesse trabalho para a realização das medidas experimentais dos dispositivos Line-TFET e a inserção desses dados nas tabelas utilizadas no modelo de *lookup table* em Verilog A (seção 3.1). A seção 3.2 detalha as simulações numéricas feitas no programa de TCAD Sentaurus e o modelo físico utilizado por esse programa. A metodologia usada como base no projeto dos circuitos (seção 3.3) também será apresentada aqui.

3.1. MEDIDAS EXPERIMENTAIS E LOOKUP TABLE

As curvas de corrente de dreno experimentais são obtidas através do equipamento Keysight B1500. São medidos dispositivos Line-TFET de 2 larguras de canal diferentes e de 3 comprimentos de canal, totalizando 6 dispositivos. Todos os dispositivos foram medidos em um mesmo *chip*. A Tabela 1 enumera os dispositivos com observações gerais sobre cada um.

Tabela 1 – Dispositivos Line-TFET medidos e observações gerais

Dispositivo	Dimensões	Obs.
T1	W=120nm Lg=1 μ m	Medida OK
T2	W=200nm Lg=1 μ m	I _{gs} muito alto para V _{gs} >1.6V e V _{ds} <0,5V
T3	W=120nm Lg=130nm	Medida anômala para V _{gs} alto
T4	W=200nm Lg=130nm	Forte degradação da região de saturação
T5	W=120nm Lg=70nm	Medida OK
T6	W=200nm Lg=70nm	Medida OK

São medidas as curvas I_{ds} x V_{ds} e I_{gs} x V_{ds} para vários V_{gs}. Especificações das medidas:

Faixa: de 0 a 1,8V para V_{ds} e V_{gs}

Passo: 10mV para V_{ds} e 50mV para V_{gs}

Limitador de corrente na porta: 400nA

Limitador de corrente no dreno: 1mA

Número de PLCs: 20 (máximo)

Variação máxima aceitável entre medidas: 100pA

O dispositivo de referência escolhido foi o T1, de dimensões $W=120\text{nm}$ e $L=1\mu\text{m}$, e, portanto, todo o modelamento descrito nos resultados será baseado neste transistor. Ele foi escolhido pois foi o que apresentou as melhores características, tendo corrente de porta e tunelamento parasitário aceitáveis. Os transistores T5 e T6 também apresentaram boas características, mas decidiu-se pelo de maior dimensão para ser levado em conta o efeito da resistência de canal e para que o tunelamento em linha seja muito predominante sobre efeitos parasitários.

Como o g_d desse dispositivo é extremamente baixo (na ordem de nS) é muito difícil medir experimentalmente este parâmetro, uma vez que a corrente I_{ds} varia de forma quase desprezível entre um ponto e outro de V_{ds} quando em saturação. A Figura 32 mostra a incerteza das medidas, que é maior do que a variação de I_{ds} quando em saturação. O gráfico foi obtido ao se medir sucessivamente 4 vezes um mesmo transistor, em condições exatamente iguais de polarização, limitadores de corrente, nº de PLCs e etc, tomando um intervalo de cerca de 60 segundos entre as medidas:

Figura 32 – Incerteza nas medidas experimentais

Vemos que a incerteza das medidas varia entre 2 e 2,5 ordens de grandeza abaixo da corrente medida. Estimando g_d como 1nS para $V_{gs}=1,8\text{V}$ e considerando que o passo de V_{ds} é de 10mV, sendo $g_d = \Delta I_{ds} / \Delta V_{ds}$ na saturação, o valor de I_{ds}

deve variar em cerca de $\Delta I_{ds}=10\text{pA}$ entre cada medida. Esse valor é cerca de 5 ordens de grandeza abaixo de I_{ds} com $V_{gs}=1,8\text{V}$.

Como mesmo com outras configurações de medida não foi possível atingir a precisão desejada com qualquer passo de V_{ds} , a solução encontrada foi interpolar a região de saturação com uma reta.

Primeiramente, estima-se o valor de g_d para o máximo V_{gs} (1,8V). Esse valor é usado então para se calcular os g_d para todas as outras curvas $I_{ds} \times V_{ds}$ para cada V_{gs} , considerando a proporção entre a corrente no começo da saturação de referência ($V_{gs}=1,8\text{V}$) e a corrente no começo da saturação para o novo V_{gs} :

$$\frac{g_{dV_{gs}=1,8V}}{g_{dV_{gs'}}} = \frac{I_{dsV_{gs}=1,8V}}{I_{dsV_{gs'}}} \quad (35)$$

O primeiro ponto a ser interpolado pela reta de inclinação $g_{dV_{gs'}}$, e que também é usado para se estabelecer a proporção entre os g_d , é o primeiro ponto em saturação que não apresenta g_d negativo e nem muito maior que o esperado.

As curvas experimentais foram filtradas e interpoladas para que os dados fossem colocados em uma *lookup table*. Essa tabela é codificada na linguagem Verilog A e então pode ser usada em qualquer ambiente de simulação apropriado. Nesse estudo, foi utilizado o Cadence ADE L (CADENCE, 2006). Foi utilizado um polinômio de grau 3 para a interpolação tanto de V_{gs} como de V_{ds} (MURMAN, 2016).

3.2. SIMULAÇÃO NUMÉRICA DO DISPOSITIVO

O Line-TFET experimental foi modelado no simulador de dispositivos semicondutores Sentaurus Device com 3 objetivos: ter um maior entendimento dos mecanismos de condução presentes, estudar a variação de g_d com diversas dimensões, em especial com a variação do comprimento de porta L_g , e simular as capacitâncias parasitárias C_{gs} e C_{gd} . Será descrito a seguir o modelo de tunelamento utilizado, assim como outros modelos secundários. Nos anexos B e C se encontram, respectivamente, o modelo da geometria e o arquivo de simulação com os modelos físicos. A estrutura é gerada no programa Sentarus Structure Editor e a simulação é rodada no programa Sentaurus Device.

Foi utilizado o modelo *Dynamic Nonlocal Path Band-to-Band* (SENTAURUS, 2016). Esse modelo calcula os caminhos de tunelamento, tanto direto quanto assistido

por fônons (mas sem levar em conta os níveis de defeito E_{TRAP}), dinamicamente seguindo o perfil de bandas de energia. Dado um caminho de tunelamento de comprimento λ , que começa em $x=0$ e termina em $x=\lambda$, lacunas são geradas em $x=0$ e elétrons em $x=\lambda$. A geração de portadores por tunelamento em $x=0$ é dada por:

$$G_{BTBT} = |\nabla E v(0)| \cdot \frac{dJ}{dE} \cdot (f_c - f_v) \quad (41)$$

Onde: $|\nabla E v(0)|$ é o campo elétrico associado ao potencial de quasi-fermi que converte corrente em portadores/cm³;

dJ/dE é a equação de Landauer, vezes a taxa de transmissão através da barreira de tunelamento segundo a aproximação WKB (MAMIDALA, 2017):

$$\frac{dJ}{dE} = C_{\text{direct}} \cdot \exp(-2 \cdot \int_0^\lambda \kappa \cdot dx) \quad (42)$$

$$C_{\text{direct}} = \frac{g}{72 \cdot \hbar} \cdot \left(\int_0^\lambda \frac{dx}{\kappa} \right)^{-1} \cdot [1 - \exp(-k_m^2 \cdot \int_0^\lambda \frac{dx}{\kappa})] \quad (43)$$

K é a magnitude do vetor de onda imaginário da relação de dispersão de duas bandas de Kane (MAMIDALA, 2017) (KANE, 1960):

$$\kappa = \frac{1}{\hbar} \cdot \sqrt{m_r \cdot E g_{\text{tun}} \cdot (1 - \alpha^2)} \quad (44)$$

$$\alpha = \frac{-m_0}{2 \cdot m_r} + 2 \cdot \sqrt{\frac{m_0}{2 \cdot m_r} \cdot \left(\frac{e - E v}{E g_{\text{tun}}} - \frac{1}{2} \right) + \frac{m_0^2}{16 \cdot m_r^2} + \frac{1}{4}} \quad (45)$$

$e = E v(0) = E c(\lambda)$, que é a energia em que ocorre o tunelamento;

$E g_{\text{tun}}$ é a banda proibida do material somado ao *offset* da banda de condução Δc ;

k_m é o momentum transversal máximo determinado pelo máximo de $E v$ ($e_{\text{máx}}$) e mínimo de $E c$ ($e_{\text{mín}}$):

$$k_m^2 = \min\left(\frac{2 \cdot m_v \cdot (e_{\text{máx}} - e)}{\hbar}, \frac{2 \cdot m_c \cdot (e_{\text{mín}} - e)}{\hbar}\right) \quad (46)$$

Sendo que na relação de duas bandas de Kane a massa efetiva dos portadores em $E c$ e $E v$ (m_c e m_v , respectivamente) estão relacionadas por:

$$\frac{1}{m_c} = \frac{1}{2 \cdot m_r} + \frac{1}{m_0} \quad (47)$$

$$\frac{1}{m_v} = \frac{1}{2 \cdot m_r} - \frac{1}{m_0} \quad (48)$$

$$\frac{1}{m_r} = \frac{1}{m_v} + \frac{1}{m_c} \quad (49)$$

$f_c - f_v$ é a diferença de probabilidade de ocupação dos níveis de energia de elétrons na banda de condução e de lacunas na banda de valência. Esse termo, proveniente da equação de Landauer, foi adicionado à equação de Kane para a corrente ser nula com $V_{ds}=0V$ e para capturar a região superlinear das curvas $I_{ds} \times V_{gs}$:

$$f_c - f_v = \left(\exp \left[\frac{e - E_{fn}(\lambda)}{k.T} \right] + 1 \right)^{-1} - \left(\exp \left[\frac{e - E_{fp}(0)}{k.T} \right] + 1 \right)^{-1} \quad (50)$$

A equação (41) é simplesmente uma extensão do tradicional modelo de Kane para perfis de banda arbitrários. A fórmula tradicional de Kane-Keldysh é (KANE, 1960):

$$G_{kane} = A \cdot \left(\frac{F}{F_0} \right)^P \cdot \exp \left(\frac{-B}{F} \right) \quad (51)$$

Onde $F_0=1V/cm$ e $P=2$ para tunelamento direto ou $P=2,5$ para tunelamento indireto assistido por fônons. Os fatores A e B podem ser expressos como:

$$A = \frac{g \cdot m_r^{0,5} \cdot (q \cdot F_0)^2}{36 \cdot \pi \cdot E g_{tun}^{0,5}} \quad (52)$$

$$B = \frac{\pi \cdot m_r^{0,5} \cdot E g_{tun}^{1,5}}{2 \cdot q \cdot \hbar} \quad (53)$$

Para o tunelamento assistido por fônons, dJ/dE , $C_{ph\acute{o}non}$ e κ são calculados de forma um pouco diferente (SENTAURUS, 2016) (KLEINMAN, 1964), chegando na seguinte relação com os parâmetros de Kane para tunelamento:

$$A = \frac{g \cdot (m_v \cdot m_c)^{1,5} \cdot (1 + 2 \cdot N_{op}) \cdot D_{op}^2 \cdot (q \cdot F_0)^{2,5}}{2^{5,25} \cdot \hbar^{2,25} \cdot m_r^{1,25} \cdot \rho \cdot e_{op} \cdot E g_{tun}^{1,75}} \quad (54)$$

$$B = \frac{2^{3,5} \cdot m_r^{0,5} \cdot E g_{tun}^{1,5}}{6 \cdot q \cdot \hbar} \quad (55)$$

Onde D_{op} é a deformação do potencial, e_{op} é o nível de energia e $N_{op} = [\exp(e_{op}/kT) - 1]^{-1}$ é o número de fônons ópticos, respectivamente, e ρ é a densidade de massa do material.

Pode-se especificar m_c , m_v , g e $g \cdot D_{op}^2 / \rho$ para o simulador ou simplesmente os fatores A e B, da onde será computado o primeiro grupo de parâmetros. Parâmetros de entrada adicionais são: Δc , m_c/m_v e e_{op} . Este último desativa o tunelamento assistido por fônons quando igual a zero (SENTAURUS, 2016).

Para o perfil de bandas foi usado o modelo eMultivalley(kpDOS) e hMultivalley(kpDOS). O primeiro ativa o modelo de 2 bandas k.p onde 3 vales Δ_2 serão criados para elétrons, enquanto o segundo ativa o modelo de 6 bandas k.p criando 3 bandas para lacunas (*light*, *heavy* e *spin-orbit*) (HERMAN, 1956). Conforme consta em (SENTAURUS, 2016), essa descrição do perfil de banda de energia é adequada para aplicações com SiGe.

3.3. METODOLOGIA DE PROJETO DE CIRCUITOS ANALÓGICOS: MÉTODO DA EFICIÊNCIA DO TRANSISTOR

A metodologia de projeto baseada na eficiência do transistor (gm/Ids) é largamente utilizada por projetistas de circuitos integrados analógicos pois esse método contorna o problema de se usar a equação quadrática de corrente dos MOSFET que é muito imprecisa para tecnologias nanométricas. Esse método, portanto, é promissor para ser usado com TFETs que não tem equações de corrente analíticas simples e nem precisas. Outra motivação para se usar este método é que ele é um bom ponto de partida para a comparação entre tecnologias diferentes, visto que ele indica os níveis de inversão de um dado dispositivo independentemente de V_{th} e do nível de corrente, fornecendo uma curva que é particular a cada tecnologia.

Esse método permite trocar faixa linear da saída e eficiência energética por largura de banda através do nível de inversão do dispositivo. Conforme V_{gs} diminui e o dispositivo entra na região de sublimiar (e o valor de gm/Ids aumenta), a menor sobreensão de porta (V_{od}) resulta em um menor V_{dsat} , aumentando a faixa linear da saída. Contudo, neste caso, os dispositivos precisam ter um W maior para compensar o nível de corrente de dreno, prejudicando a largura de banda devido ao aumento das capacitâncias parasitárias. A Figura 33, adaptada de (MURMAN, 2016), ilustra esse ponto com uma curva gm/Ids típica de um MOSFET e a curva de f_t associada. Na Figura 34, vemos o produto de gm/Ids e f_t , que exibe um pico na região de inversão moderada, representando o ponto de polarização de melhor compromisso entre esses dois parâmetros.

Figura 33 - Curvas g_m/I_{ds} e f_t em função da sobretensão de porta em um MOSFET. Adaptado de (MURMAN, 2016)

Figura 34 - Produto de g_m/I_{ds} e f_t em função da sobretensão de porta em um MOSFET. Adaptado de (MURMAN, 2016).

Em uma tecnologia MOSFET convencional, também existe um compromisso entre o ganho e a largura de banda através do comprimento de porta L_g do dispositivo. Um L_g maior aumenta a área e consequentemente as capacitâncias parasitárias dos transistores, mas também aumenta a tensão Early, diminuindo g_d e, portanto, aumentando o ganho intrínseco de tensão. Em um Line-TFET, contudo, a frequência de ganho unitário não deve variar com L_g , visto que f_t é diretamente proporcional a g_m/C_{gg} mas g_m e C_{gg} são diretamente proporcionais a L_g , que então se cancela na fração (WALKE, 2014).

A seguir é exibido um exemplo de sequência de projeto a partir de g_m/I_{ds} para a tecnologia MOSFET (MURMAN, 2016). Esse passo a passo deve ser adaptado segundo as especificações de projeto e a tecnologia utilizada, servindo aqui apenas como uma ilustração do método utilizado:

1. Determinar g_m a partir dos objetivos de projeto
2. Escolher L_g com base no compromisso entre ganho e largura de banda: L_g pequeno $\rightarrow$ alta largura de banda; L_g grande $\rightarrow$ alto ganho
3. Escolher g_m/I_{ds} ou f_t com base na faixa linear da saída, consumo de potência e largura de banda: g_m/I_{ds} alto $\rightarrow$ alta faixa linear da saída e eficiência energética; g_m/I_{ds} baixo $\rightarrow$ alta largura de banda
4. Determinar I_{ds} a partir de g_m e de g_m/I_{ds}
5. Determinar W com base nas curvas de corrente

4. CARACTERIZAÇÃO ELÉTRICA E ESTUDO DA RELAÇÃO ENTRE CONDUTÂNCIA DE SAÍDA E TUNELAMENTO PARASITÁRIO NO LINE-TFET

Esse capítulo se refere aos resultados da análise do dispositivo Line-TFET e suas características analógicas, bem como sua relação com fenômenos parasitários. Primeiramente serão exibidas as curvas experimentais DC em comparação com os resultados do modelamento com *lookup table*, usando como referência o transistor T1 da seção 3.1., discutindo algumas limitações deste método de modelamento de dispositivos experimentais. Também será exibido o modelo obtido por meio de simulações numéricas via TCAD para as capacitâncias parasitárias C_{gs} e C_{gd} e curvas de pequenos sinais, como ganho intrínseco de tensão (A_v) e frequência de ganho unitário (f_t). Na seção seguinte, algumas características importantes para o projeto de circuitos analógicos, em particular da condutância de saída (g_d) e sua relação com fenômenos parasitários, serão discutidas, relacionando-as com diversos parâmetros construtivos do dispositivo: espessura do *pocket* (t_{pocket}), comprimento da separação entre fonte e dreno (L_{sd}), alinhamento entre porta e fonte, dopagem do *pocket* ($pDop$) e comprimento de porta (L_g).

4.1. CARACTERÍSTICAS DC E LOOKUP TABLE

Na Figura 35 são exibidos os pontos de medidas experimentais e a curva contínua de corrente I_{ds} x V_{gs} obtida com o modelo de *lookup table* para $V_{ds}=0,6V$; $1,2V$ e $1,8V$. Pode-se observar que o modelo e a curva experimental estão muito próximos.

Figura 35 - Curva I_{ds} x V_{gs} experimental e modelo contínuo obtido com *lookup table* para $V_{ds}=0,6V$; $1,2V$ e $1,8V$

Na Figura 35, pode-se ainda ver o efeito do tunelamento parasitário de fonte para dreno para tensões até cerca de $V_{gs}=0,7V$, que faz com que a corrente aumente exponencialmente com V_{ds} , conforme relatado em (WALKE, 2012). Conforme discutido em (AGOPIAN, 2017), em (MARTINO, 2016) e na seção 2.2.2, esses dispositivos exibem predominância do TAT, que degrada a curva de sublimiar, até cerca de $V_{gs}=1,2V$. Acima de $V_{gs}=1,2V$, há a predominância de BTBT e, nessa região (com V_{gs} entre 1,2V e 1,8V), o nível de corrente vai de cerca de $100nA/\mu m$ a $10\mu A/\mu m$, que é um valor bastante alto para TFETs, como consequência do tunelamento em linha e da fonte de silício-germânio. Em comparação com algumas arquiteturas de *point* TFET, esse nível de corrente é cerca de 3 ordens de grandeza maior que para um TFET de silício (RANGEL, 2018) (AGOPIAN, 2017), cerca de 10 vezes maior que em um TFET convencional com fonte de Silício-Germânio (TRIVEDI, 2014) (AGOPIAN, 2017) mas apenas de 2 a 3 ordens de grandeza menor que em TFETs de materiais III-V e MOSFETs (SEDIGHI, 2015).

A Figura 36 exibe as curvas contínuas I_{ds} x V_{ds} obtidas pelo método de *lookup table* para V_{gs} de 1,2V até 1,8V e os pontos experimentais. Pode-se perceber que o modelo e a curva experimental estão muito próximos. Pode-se ver, para V_{gs} alto o suficiente, a região superlinear característica de TFETs (por exemplo, para $V_{gs}=1,8V$, a região até cerca de $V_{ds}=0,25V$). Contudo, para tensões de dreno abaixo de 0,25V, a corrente de porta predomina, e por isso I_{ds} tem valores negativos. Observa-se que I_{ds} é sempre positivo para $V_{ds}>0V$ para tensões menores que $V_{gs}=1,5V$. A saturação quase perfeita desse dispositivo pode ser observada na Figura 36, apresentando tensão Early de cerca de 100V. Em tecnologias MOSFET nanométricas, esse valor dificilmente ultrapassa 5V (SEDIGHI, 2015) (RAZAVI, 2015).

Figura 36 - Curva I_{ds} x V_{ds} experimental e modelo contínuo obtido com *lookup table* para $V_{gs}=1,2V$ até $V_{gs}=1,8V$.

A Figura 37 exibe a curva contínua g_m x V_{gs} obtida pelo método de *lookup table* e o medido experimentalmente para $V_{ds}=1,2V$. Ambos estão muito próximos e pode-se perceber que não houve problemas com a derivada do modelo contínuo. Nesta figura, pode-se observar que g_m tende a uma reta em escala log para $0,6V < V_{gs} < 1V$, evidenciando a presença do TAT nessa região (AGOPIAN, 2017) (MARTINO, 2016). Se não fosse por este efeito das armadilhas de interface, g_m decresceria exponencialmente na curva $\log(g_m)$ x V_{gs} como resultado do tunelamento entre bandas, conforme discutido na seção 2.1.4 e em (SEDIGHI, 2015).

Figura 37 - Curva g_m x V_{gs} experimental e modelo contínuo obtido com *lookup table* para $V_{ds}=1,2V$.

A Figura 38 mostra as curvas g_d x V_{ds} de $V_{gs}=1,2V$, $1,5V$ e $1,8V$. Devido a dificuldade de se medir experimentalmente a condutância de saída, conforme

discutido na seção 3.1, foi realizada uma interpolação linear em I_{ds} nessa região. Contudo, pode-se ver na Figura 38 como a interpolação com uma reta é uma aproximação razoável. Apesar disso, conforme demonstrado na seção 4.2, em um dispositivo real g_d chega a um valor mínimo e começa a subir quando em saturação profunda. Conforme mencionado, o Line-TFET apresenta uma condutância de saída ultrabaixa, de cerca de $50\text{nS}/\mu\text{m}$ para $V_{gs}=1,8\text{V}$.

Figura 38 - Curva g_d x V_{ds} experimental e modelo contínuo obtido com *lookup table* para a) $V_{gs}=1,8\text{V}$; b) $V_{gs}=1,5\text{V}$ e c) $V_{gs}=1,2\text{V}$

A Figura 39.a) exibe as curvas experimentais de I_{gs} em função de V_{ds} para V_{gs} de $1,15\text{V}$ até $1,8\text{V}$ com passo de 50mV . Percebe-se que no pior caso ($V_{gs}=1,8\text{V}$) a corrente de porta é cerca de 40 vezes menor que a corrente de dreno (cerca de $200\text{nA}/\mu\text{m}$ e $9\mu\text{A}/\mu\text{m}$, respectivamente). Apesar desse valor não ser muito alto em comparação com a corrente de dreno, deve impactar o circuito amplificador. A Figura 39.b) exibe a resistência entre a porta e a fonte para um dispositivo de dimensões de porta $1\mu\text{m} \times 1\mu\text{m}$ ($R_{gs}=V_{gs}/(I_{gs}.W.L_g)$) devido a corrente de fuga da porta em função de V_{gs} . Pode-se ver que esse valor é significativo pois, apesar de maior, é da ordem de grandeza de $1/g_d$.

Figura 39 – a) Curva I_{gs} x V_{ds} experimental para vários V_{gs} de $1,15\text{V}$ até $1,8$. b) Curva R_{gs} x V_{gs} ($V_{ds}=1,5\text{V}$) para um dispositivo de dimensões de porta $1\mu\text{m} \times 1\mu\text{m}$.

Por fim, estabelece-se que o dispositivo será polarizado com V_{gs} maior ou igual a 1V pois abaixo disso há a predominância do TAT e alta susceptibilidade a elevação de corrente na região de saturação, especialmente para dispositivos pequenos. Para preservar o dielétrico de porta, devido a corrente de fuga, o limite máximo de V_{gs} é estabelecido em 1,8V.

As principais limitações do método de modelagem e caracterização proposto e utilizado nesse trabalho são:

Perda de definição da região de saturação, em especial para alto valor de V_{ds} , que pode inviabilizar o uso deste método para projetos em que a linearidade da saída é importante e sensível a V_{ds} ;

Deve-se garantir que o dispositivo não sofra de fenômenos que alterem significativamente a região de saturação profunda (V_{ds} alto), como tunelamento de fonte para dreno excessivo e DIBT;

Dispositivos com diferentes dimensões e parâmetros construtivos devem ter suas próprias medidas experimentais e *lookup tables*. Alternativamente, pode-se fazer a modelagem e simulação dessas variações, mas isso pode não ser tão direto, dependendo do dispositivo. Por exemplo, no caso do Line-TFET, dispositivos com diferentes comprimentos de porta precisaram ser simulados para se obter um modelo para a sua condutância de saída, conforme será detalhado adiante.

4.2. ESTUDO DA CONDUTÂNCIA DE SAÍDA E VARIAÇÃO DE PARÂMETROS DO DISPOSITIVO

Nesta seção, serão exibidos os resultados de simulações da estrutura que foi exibida na Figura 7.a) com os parâmetros exibidos na Tabela 2:

Tabela 2 - Especificações das simulações.

Lg	100nm a 1 μ m	Lsd	25nm a 45nm
tpocket	4nm a 8nm	pDop	10 ¹⁷ cm ⁻³ a 10 ¹⁹ cm ⁻³
Espessura da fonte	35nm	Dopagem fonte	10 ²⁰ cm ⁻³
Espessura do dreno	30nm	Dopagem dreno	5.10 ¹⁸ cm ⁻³
Espessura do corpo	25nm	Dopagem outros	10 ¹⁵ cm ⁻³
EOT	0.9nm	Φ_M	4,7V
Material de fonte	Si _{0,55} Ge _{0,45}	Desalinhamento porta-fonte	-1nm a +3nm
A _{si}	1,5.10 ¹⁵ cm ⁻³	B _{si}	2.10 ⁷ V/cm
A _{ge}	9,1.10 ¹⁶ cm ⁻³	B _{ge}	4,9.10 ⁶ V/cm

4.2.1. Tunelamento de fonte para dreno

Inicialmente, é considerado um dispositivo de dimensões tpocket=6nm, Lsd=25nm e Lg=1 μ m. Figura 40.a) mostra a curvas da corrente de dreno em função da tensão de porta, separando elétrons e lacunas, para Vds=1,4V. Quando Vgs aumenta o tunelamento em linha se torna mais significativo, de forma que a corrente de fuga de elétrons se torna desprezível. Apesar disso, a corrente de lacunas continua sendo altamente dependente de Vds. A Figura 40.b) mostra este efeito nas curvas totais de corrente, em que Ioff aumenta rapidamente com o aumento de Vds. Isso sugere que ocorre um tunelamento parasitário de fonte para dreno (WALKE, 2014).

Figura 40 - a) Corrente de lacunas e de elétrons para Vds=1,4V b) corrente total para Vds=1V; 1,4V e 1,8V.

Para analisar melhor este fato, a Figura 41 exibe a geração de elétrons por tunelamento na região entre o dreno e a fonte (Lsd) para Vgs=2V; Vds=1V (Figura

41.a)) e $V_{ds}=1.8V$ (Figura 41.b)). A Figura 42 exibe o diagrama de bandas de energia nessa região. Nas Figura 41.a) e b) é revelado que há um tunelamento de fonte para dreno por meio de um point TFET de canal curto parasitário formado pela junção P-i-N na beira da fonte, que é controlado pelo campo de espreadimento da porta, altamente dependente de V_{ds} por causa do efeito de DIBT, como sugere a Figura 42 que mostra o encurvamento abrupto das bandas de energia. Esse *point* TFET parasitário se comporta de forma semelhante com o discutido em (MARTINO, 2012). Uma vez que a influência da separação entre a fonte e dreno (L_{sd}) é importante nesse aspecto, são feitas algumas simulações variando esse parâmetro.

Figura 41 - Geração de elétrons por tunelamento na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para a) $V_{ds}=1V$ e b) $V_{ds}=1,8V$.

Figura 42 - Diagrama de bandas na direção horizontal na região de separação entre fonte e dreno (L_{sd}) 2nm abaixo do pocket para $V_{ds}=1V$ a $1,8V$.

4.2.2. Variação do comprimento de separação entre fonte e dreno (Lsd)

A variação de Lsd afeta tanto o DIBT e, portanto, o tunelamento de fonte para dreno, quanto resistência de canal. As curvas I_{ds} x V_{gs} para Lsd=25nm, 35nm e 45nm para $V_{ds}=1,8V$ são exibidas na Figura 42. Pode-se ver, analisando as curvas para V_{gs} baixo, que o tunelamento de fonte para dreno é muito mais severo para Lsd=25nm. No entanto, quando o foco é a corrente de estado ligado, o melhor resultado (maior I_{ds}) é obtido para Lsd menores.

Figura 43 - Curvas I_{ds} x V_{gs} para Lsd=25nm, 35nm e 45nm, com $V_{ds}=1,8V$.

As Figura 44.a) e b) mostram a geração de elétrons por tunelamento na região entre a fonte e o dreno para Lsd=25nm e 45nm ($V_{gs}=2V$ e $V_{ds}=1,8V$, estado ligado) e a Figura 45 mostra o diagrama de banda de energia nessa região na direção horizontal, 2nm abaixo do *pocket*. Apesar do DIBT ser consideravelmente reduzido para $Lsd \geq 35nm$, o tunelamento de elétrons para o dreno ocorre mesmo para Lsd=45nm.

Figura 44 - Geração de elétrons por tunelamento na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para a) $L_{sd}=25\text{nm}$ e b) $L_{sd}=45\text{nm}$. $V_{gs}=2\text{V}$ e $V_{ds}=1.8\text{V}$.

Figura 45 - Diagrama de bandas na direção horizontal na região de separação entre fonte e dreno (L_{sd}) para $L_{sd}=25\text{nm}$ até $L_{sd}=45\text{nm}$.

A Figura 46 apresenta as curvas $I_{ds} \times V_{ds}$ para $L_{sd}=25\text{nm}$, $L_{sd}=35\text{nm}$ e $L_{sd}=45\text{nm}$. Pode-se ver que a tensão de saturação é aproximadamente 700mV, 900mV e 1,2V, respectivamente, reduzindo o nível de corrente na região linear. Isso é uma consequência da resistência de canal que aumenta rapidamente com L_{sd} , já que essa é uma região de baixa dopagem e, portanto, de alta resistência.

Figura 46 - Curvas I_{ds} x V_{ds} para $L_{sd}=25\text{nm}$, 35nm e 45nm ($V_{gs}=1,2\text{V}$).

4.2.3. Variação da espessura do *pocket*

Especialmente nessa seção, a dopagem no *pocket* foi reduzida para 10^{16}cm^{-3} (boro) para viabilizar a comparação entre dispositivos de t_{pocket} diferentes, pois com uma dopagem de *pocket* maior, V_t aumenta. Com espessuras de *pocket* maiores o tunelamento em linha fica menos intenso, de forma que esses dois fatores em conjunto acabam degradando muito as curvas de corrente de um dispositivo com essas características. A Figura 47 exibe as curvas I_{ds} x V_{gs} para $t_{\text{pocket}}=4\text{nm}$; 6nm e 8nm , com $L_{sd}=25\text{nm}$ e $L_g=200\text{nm}$. Conforme t_{pocket} é reduzido, o comprimento de tunelamento também diminui, de forma que há um aumento no nível de corrente, que sobe de $10^{-7}\text{A}/\mu\text{m}$ para $3 \cdot 10^{-6}\text{A}/\mu\text{m}$ com uma redução no t_{pocket} de 8nm para 4nm , respectivamente. Também com a redução de t_{pocket} , o acoplamento eletroestático entre a porta e a fonte melhora, de forma que ocorre uma diminuição no valor da inclinação de sublimiar e uma subida mais abrupta de corrente. Contudo, devido o maior encurvamento de E_c no *pocket*, a tensão de limiar aumenta ao se diminuir t_{pocket} . Um fator não considerado nessas simulações é o confinamento quântico, que deve fazer V_t aumentar alguns mV a mais (ver Figura 11).

Figura 47 - Curvas I_{ds} x V_{gs} para $L_{sd}=25\text{nm}$, $L_g=200\text{nm}$ e $t_{\text{pocket}}=4\text{nm}$; 6nm e 8nm

Como o tunelamento parasitário depende muito pouco da espessura do pocket, espera-se que o valor de g_d na saturação profunda não dependa muito deste parâmetro, conforme verificado na Figura 48 que exibe as curvas g_d x V_{ds} para os valores de t_{pocket} mencionados acima. As principais diferenças entre as 3 curvas são o valor de g_d antes da saturação profunda, devido ao nível de corrente, e o valor de V_{ds} em que a saturação profunda é atingida (ambos maiores para menores valores de t_{pocket} , devido ao aumento no tunelamento em linha). Porém, para V_{ds} alto o suficiente, g_d tende sempre a valores semelhantes. Isso será importante para analisar os dados experimentais, já que uma importante fonte de variabilidade entre dispositivos é a espessura do pocket (WALKE, 2014).

Figura 48 - Curvas g_d x V_{ds} para $L_{sd}=25\text{nm}$, $L_g=200\text{nm}$ e $t_{\text{pocket}}=4\text{nm}$; 6nm e 8nm .

4.2.4. Dopagem do *pocket*

Devido a difusão de boro da fonte para o *pocket*, a concentração de dopantes pode ultrapassar 10^{19}cm^{-3} nessa região, o que aumenta a tensão de limiar (WALKE, 2014). Uma vez que a espessura do *pocket* é muito pequena, a distribuição gaussiana de dopantes por difusão pode ser aproximada por um perfil uniforme nessa região. A Figura 49 exibe as curvas $I_{ds} \times V_{gs}$ e $g_d \times V_{ds}$ em a) e b), respectivamente, em que $pDop$ indica a concentração de boro no *pocket*. Em a), pode-se observar que a tensão de limiar aumenta mais rapidamente para dopagens de *pocket* maiores, o que ocorre devido ao cruzamento de bandas ocorrer para um valor maior de V_{gs} . Contudo, como visto em b), uma vez que a condutância de saída passa a aumentar para todos os dispositivos, seus valores ficam extremamente próximos pois, mais uma vez, a separação entre fonte e dreno permanece inalterada. Pelo mesmo motivo, a corrente de lacunas (e, portanto, I_{off}) em a) não muda com a dopagem do *pocket*.

Figura 49 – a) Corrente de dreno em função da tensão de porta b) condutância de saída em função da tensão de dreno para diferentes dopagens no *pocket* (boro: 10^{17}cm^{-3} , 10^{18}cm^{-3} e 10^{19}cm^{-3} ($L_g=1\mu\text{m}$, $L_{sd}=21\text{nm}$ e $t_{pocket}=4\text{nm}$))

4.2.5. Desalinhamento entre porta e fonte

Em (WALKE, 2014), os autores discutem os efeitos do desalinhamento entre porta e fonte no comportamento de $I_{ds} \times V_{gs}$ do Line-TFET, conforme ilustrado na Figura 13. Se a porta se estender além da fonte (sobreposição de porta positiva), o tunelamento pontual na beira da fonte se torna mais forte, possivelmente degradando a curva de sublimiar, dependendo da magnitude do TAT. Se a fonte se estender além da porta (sobreposição de porta negativa), o nível de corrente para V_{gs} alto cai devido à alta tensão de limiar da região da fonte que está além da porta (WALKE, 2012). A

fim de avaliar o efeito do desalinhamento entre porta e fonte nas características de I_{ds} x V_{ds} , o que é importante para e analisar as características analógicas do Line-TFET, um dispositivo com $t_{pocket}=4\text{nm}$, $pDop=10^{17}\text{ cm}^{-3}$, $L_{sd}=21\text{nm}$ e $L_g=1\mu\text{m}$ é simulado para diferentes desalinhamentos. A Figura 50 mostra a condutância de saída em função de V_{ds} para uma sobreposição de porta de $+3\text{nm}$, $+1\text{nm}$, 0nm e -1nm (Figura 13).

Figura 50 – Condutância de saída em função da tensão de dreno para sobreposições de porta de $+3\text{nm}$, $+1\text{nm}$, 0nm e -1nm .

Essa figura mostra que a sobreposição de porta positiva melhora as características analógicas do Line-TFET, reduzindo a tensão de saturação (portanto, aumentando $V_{gd_{sat}}$). Isso não só permite a operação com tensões de alimentação menores mas também atrasa a degradação da região de saturação devido ao tunelamento de fonte para dreno, o que também permite a operação com tensões de alimentação menores, além de aumentar a faixa linear de saída.

4.2.6. Condutância de saída e comprimento de porta

Conforme extensivamente discutido em (ACHARYAN, 2018), a saturação leve neste dispositivo é atingida quando a fonte fica depletada de portadores. Também em (ACHARYAN, 2018), é discutido que a saturação profunda é atingida quando a região entre a fonte e o dreno fica depletada de portadores. Contudo, conforme demonstrado na seção anterior, o tunelamento pontual parasitário ocorre nessa região e é altamente dependente de V_{ds} , sobrepondo o mecanismo de saturação profunda discutido em (ACHARYAN, 2018). Isso causa diversas consequências no comportamento elétrico e analógico do dispositivo:

a) A condutância de saída atinge um mínimo quando em saturação e começa a subir para V_{ds} alto o suficiente ao invés de decrescer assintoticamente como indicado em (ACHARYAN, 2018);

b) Limitação da tensão mínima de porta: com V_{gs} baixo, o tunelamento em linha se torna mais fraco e, para V_{ds} alto o suficiente, ocorre uma completa degradação da região de saturação (AGOPIAN, 2017) devido ao tunelamento de fonte para dreno.

c) Limitação do comprimento mínimo de porta: assim como no caso de V_{gs} baixo, uma menor área de porta resulta em uma menor corrente de tunelamento em linha, de forma que dispositivos pequenos são mais propensos a degradação da região de saturação. Por exemplo, a Figura 51 mostra este fenômeno acontecendo para $V_{gs}=1,2V$ a partir de $V_{ds}=1V$ em um dispositivo de $L_g=70nm$:

Figura 51 – Curva I_{ds} x V_{ds} experimental de um dispositivo de $L_g=70nm$ com degradação da região de saturação para $V_{gs}=1,2V$ (a partir de $V_{ds}=1V$).

d) O valor médio de g_d praticamente independe de L_g , já que a separação de fonte para dreno permanece a mesma.

O ponto principal aqui é que, mesmo que o tunelamento parasitário não seja forte o suficiente para degradar muito as curvas de corrente, esse é o principal fator na definição do valor médio de g_d , o que independe do comprimento de porta.

A Figura 52 exibe g_d em função de V_{ds} para comprimentos de porta variando de $L_g=100nm$ até $L_g=1\mu m$, com $L_{sd}=35nm$ e $t_{pocket}=6nm$, enquanto o *inset* mostra a corrente de dreno em função de V_{ds} . Fica claro que depois que g_d começa a subir com o aumento de V_{ds} para todos os dispositivos, seus valores são praticamente os mesmos (A partir de $V_{ds}=1,75V$). Apesar de ser indesejável um aumento de g_d com V_{ds} , seu valor não aumenta significativamente quando em saturação, pelo menos para os dispositivos considerados aqui (com V_{ds} indo de 1,5V a 2V, seu valor aumenta de 0,015nS para 0,033nS no dispositivo de $L_g=100nm$). A corrente de dreno, contudo,

se comporta de forma diferente. Conforme exhibe o *inset* da Figura 52, a corrente de dreno é diretamente proporcional a L_g para qualquer V_{ds} .

Figura 52 – Line-TFETs simulados com comprimentos de porta de 100nm a 1μm, espessura do *pocket* de 6nm e separação entre fonte e dreno de 35nm. Condutância de saída em função de V_{ds} . Inset: corrente de dreno em função de V_{ds} .

A Figura 53 mostra g_d em função de V_{ds} para L_{sd} indo de 25nm até 45nm, comparando $L_g=100$ nm e $L_g=1μm$. Apesar de g_d subir mais ou menos rapidamente dependendo do valor de L_{sd} , devido a diferentes intensidades de tunelamento parasitário, para um L_{sd} fixo, g_d tende sempre a um mesmo valor.

Figura 53 - Curvas g_d x V_{ds} para $L_{sd}=25$ nm, 35nm e 45nm, com $L_g=100$ nm e $L_g=1μm$ para $V_{gs}=1,2$ V.

4.2.7. Verificação experimental

A Figura 54 exhibe as curvas experimentais da corrente de dreno normalizadas pela área de porta em função de V_{ds} de dispositivos com $W=200$ nm e $L_g=70$ nm;

130nm e 1 μ m, com $V_{gs}=1,8V$. Pode-se notar que a corrente deles não é diretamente proporcional a L_g , principalmente por causa de variação no processo de fabricação, especialmente na espessura e dopagem do *pocket*, e também devido ao aumento na resistência interna do dispositivo com o aumento de L_g (WALKE, 2014). O valor de $V_{gd_{sat}}$ é de pelo menos 1V nesses dispositivos, o que sugere um desalinhamento de porta e fonte de cerca de +3nm.

Figura 54 - Curvas I_{ds} x V_{ds} experimentais para $L_g=70nm$; 130nm e 1 μ m, com $V_{gs}=1,8V$

Espera-se que um dispositivo fabricado médio, que tem a mesma estrutura da Figura 7.a), tenha as seguintes dimensões, segundo mostrado na imagem de um Microscópio Eletrônico de Transmissão disponível em (WALKE, 2014): espessura de corpo e de fonte de cerca de 45nm e 25nm, respectivamente, EOT de 0,9nm e espessura de pocket de cerca de 5nm. Também em (WALKE, 2014), estima-se que esse dispositivo tenha $L_{sd}=21nm$.

As condutâncias de saída média medidas para $L_g=70nm$, 130nm e 1 μ m foram 4,5nS, 4ns e 4,7nS. Isso confirma que g_d não é proporcional a L_g (como a corrente de dreno) e considerá-lo constante com L_g é uma aproximação bem razoável.

4.2.8. Impacto nos parâmetros de pequenos sinais

A Tabela 3 resume a dependência de parâmetros de pequenos sinais com as dimensões de máscara do dispositivo, que são acessíveis ao projetista de circuitos. Sendo $g_d = I_{ds}/V_A$ na saturação, pode-se notar que para o MOSFET a condutância de saída é proporcional a $1/L_g^2$ por causa do nível de corrente, que é proporcional a W/L_g , e por causa da tensão Early que é proporcional a L_g devido a modulação de

canal (RAZAVI, 2015). Para Line-TFETs, esse parâmetro depende apenas de W pois o fenômeno parasitário que o define não acontece embaixo da porta e, portanto, não depende de L_g , o que significa que tanto I_{ds} quanto V_A são proporcionais a L_g , cancelando a dependência com esse parâmetro.

Sendo a frequência de ganho unitário de um dispositivo $f_t = g_m / 2\pi C_{gg}$, para MOSFETs, g_m diminui com L_g enquanto C_{gg} aumenta, de forma que f_t é inversamente proporcional ao quadrado do comprimento de porta, que então deve ser minimizado ao máximo quando a largura de banda precisa ser alta. Portanto, o produto ganho-frequência ($GBWP = A_v f_t$) é inversamente proporcional a L_g . Para Line-TFETs, conforme mencionado em (WALKE, 2014), f_t independe de L_g pois tanto g_m quanto C_{gg} são diretamente proporcionais a esse parâmetro. Assim, o GBWP é diretamente proporcional a L_g nesses dispositivos.

Tabela 3 - Dependência de parâmetros de pequenos sinais com dimensões de máscara em MOSFET e Line-TFET

	MOSFET	Line-TFET
I_{ds}	$\propto W/L_g$	$\propto W.L_g$
g_m	$\propto W/L_g$	$\propto W.L_g$
g_d	$\propto W/L_g^2$	$\propto W$
$A_v (g_m/g_d)$	$\propto L_g$	$\propto L_g$
C_{gg}	$\propto W.L_g$	$\propto W.L_g$
f_t	$\propto 1/L_g^2$	Constante
$GBWP (A_v f_t)$	$\propto 1/L_g$	$\propto L_g$

Devido a dependência de f_t e do GBWP com L_g nos MOSFET é interessante diminuir o tamanho desses dispositivos. Contudo, quanto menor o dispositivo, além do menor A_v , mais complicado e caro se torna o processo de fabricação. Para Line-TFETs, o aumento do GBWP com L_g representa uma grande vantagem pois não é necessário reduzir tanto o tamanho desses dispositivos uma vez que o ganho aumenta da mesma forma que em MOSFETs, sem que f_t seja afetado pelo aumento de L_g .

As consequências do que foi apontado acima no projeto e dimensionamento de circuito amplificadores serão mais discutidas na seção estágio fonte comum (5.1.2).

4.3. CARACTERÍSTICAS DE PEQUENOS SINAIS

Essa seção detalhará como foram obtidos os modelos necessários para se fazer a simulação de parâmetros de pequenos sinais, a fim de se obter os valores de ganho intrínseco de tensão (A_v), frequência de ganho unitário (f_t) e eficiência do transistor (gm/I_{ds}). Para tanto, as capacitâncias parasitárias precisaram ser estimadas via simulação TCAD no programa Sentaurus, o que é feito após obter-se boa concordância da simulação TCAD com os dados experimentais.

4.3.1. Obtenção das capacitâncias parasitárias

Utilizando o modelo do dispositivo simulado com as especificações da Tabela 2, utilizando $t_{pocket}=4\text{nm}$, $L_{sd}=25\text{nm}$, $L_g=1\mu\text{m}$, $pDop=10^{19}\text{cm}^{-3}$ e um desalinhamento da fonte com a porta de $+3\text{nm}$, compara-se a curva $I_{ds} \times V_{gs}$ do dispositivo experimental com o simulado na Figura 55, para V_{ds} de 1V a 1,8V com passo de 400mV. Pode-se perceber que as curvas concordam de forma muito próxima para V_{gs} maior que 1,2V. Abaixo disso, há o predomínio do TAT, que não foi simulado, visto que no projeto do circuito não se utilizará essa região de polarização. A região OFF, com o predomínio do tunelamento parasitário de fonte para dreno, também ficou próxima ao se comparar as duas curvas, com uma diferença máxima de 2,5 vezes.

Figura 55 - Curvas $I_{ds} \times V_{gs}$ simulada em comparação com dados experimentais para $L_g=1\mu\text{m}$, com V_{ds} de 1V a 1,8V.

Na Figura 56 pode-se ver os resultados para as capacitâncias parasitárias C_{gs} , C_{gd} e $C_{gg}=C_{gs}+C_{gd}$ em função de V_{gs} para V_{ds} de 0,6V; 1,2V e 1,8V. Os resultados estão em concordância com o relatado na literatura, como por exemplo em

(ACHARYAN, 2018), em que se relata C_{gs} e C_{gd} na ordem de algumas dezenas de $\text{fF}/\mu\text{m}^2$ para esses dispositivos. Pode-se ver também como C_{gs} predomina sobre C_{gd} para V_{gs} baixo ou V_{ds} alto, enquanto no meio termo a contribuição de ambas as capacitâncias é importante, o que é uma característica única dos Line-TFETs (LU, 2010).

Figura 56 - Capacitância parasitárias C_{gs} , C_{gd} e $C_{gg}=C_{gs}+C_{gd}$ em função de V_{gs} para $V_{ds}=0,6\text{V}$; $1,2\text{V}$; e $1,8\text{V}$.

A Figura 57 exibe as curvas das capacitância parasitárias em função de V_{ds} para $V_{gs}=1,25\text{V}$; $1,5\text{V}$ e $1,75\text{V}$. Enquanto para *point* TFETs o efeito Miller é muito presente, pois há a predominância de C_{gd} sobre C_{gs} (SEDIGHI, 2015), pode-se ver nessa figura uma característica interessante de Line-TFETs: na região de saturação C_{gg} é dominado principalmente por C_{gs} , reduzindo o efeito Miller e consequentemente melhorando a operação dinâmica do dispositivo. Isso ocorre porque a fonte fica abaixo da porta e do *pocket* nesse dispositivo, de forma que as cargas nessa região se tornam mais significativas para maiores valores de V_{ds} . Conforme V_{ds} diminui, C_{gs} diminui e C_{gd} aumenta, eventualmente atingindo valores semelhantes na região linear.

Figura 57 - Capacitância parasitárias C_{gs} , C_{gd} e $C_{gg}=C_{gs}+C_{gd}$ em função de V_{ds} para $V_{gs}=1,25V$; $1,5V$ e $1,75V$.

4.3.2. Ganho intrínseco de tensão, frequência de ganho unitário e eficiência do transistor

O ganho intrínseco de tensão (A_v) em função da corrente de dreno normalizada é exibido na Figura 58, calculado como $g_m/I_{ds} \times V_A$. Como resultado do valor muito alto da tensão Early (cerca de 100V), o valor de A_v chega até a cerca de 60dB, enquanto em tecnologias MOSFET nanométricas esse valor dificilmente excede 20dB (RAZAVI, 2015). Em comparação com outras topologias de TFET, esse valor é tipicamente maior que o ganho intrínseco de tensão de TFETs com materiais III-V (SEDIGHI, 2015) mas menor que para TFETs de Silício devido ao seu nível de corrente consideravelmente menor (RANGEL, 2019) (AGOPIAN, 2017).

Figura 58 - Ganho intrínseco de tensão em função da corrente de dreno normalizada

A Figura 59 exibe a curva gm/Ids x Ids experimental e pelo método de *lookup table* com $V_{ds}=1,2V$, para a faixa de Ids de 10^{-9} até 10^{-6} (V_{gs} de $1V$ até $1,8V$). Pode-se observar como a curva gm/Ids desse dispositivo não tem patamares de inversão bem definidos, como ocorre em MOSFETs, apesar de que para tensões abaixo de $V_{gs}=1V$ gm/Ids começa a tender a um patamar devido ao TAT. Na faixa de corrente de $Ids=10^{-7} A/\mu m$ até $Ids=10^{-6} A/\mu m$ (com $V_{gs}=1,2V$ até $V_{gs}=1,4V$) a eficiência do transistor vai de $gm/Ids=11,5V^{-1}$ até $gm/Ids=8V^{-1}$. Com $Ids=10^{-6} A/\mu m$ até $Ids=10^{-5} A/\mu m$ (com $V_{gs}=1,4V$ até $V_{gs}=1,8V$), a eficiência do transistor varia de $gm/Ids=8V^{-1}$ até $gm/Ids=4,5V^{-1}$. Pode-se perceber como para Ids a partir de cerca de $4 \cdot 10^{-8} A/\mu m$ (com V_{gs} abaixo de $1,2V$) gm/Ids cai antes de voltar a subir, devido ao efeito do TAT. Essas faixas de eficiência do transistor são, em geral, mais limitadas que as encontradas nos dispositivos MOSFET (RAZAVI, 2015) e na literatura com TFETs simulados (SEDIGHI, 2015), mas poderiam ser ampliadas com melhorias no projeto e no processo de fabricação do dispositivo, reduzindo o efeito do TAT e do tunelamento parasitário de fonte para dreno.

Figura 59 - Curva da eficiência do transistor em função da corrente de dreno experimental e modelo contínuo obtido com *lookup table* para $V_{ds}=1,2V$

A Figura 60 exibe a frequência de ganho unitário (f_t) do transistor em função da corrente de dreno normalizada em conjunto com a curva gm/Ids , evidenciando o compromisso entre esses dois parâmetros. Dependendo do valor de Ids/W , f_t varia entre $5MHz$ e $500MHz$, que é de 100 a 1000 vezes menor que para alguns TFETs com materiais III-V e para MOSFETs nanométricos (SEDIGHI, 2015), mas representando um aumento de cerca de 10 vezes em comparação com *point* TFETs de Silício-

Germânio (LU, 2010) e um aumento de 100 a 1000 vezes com relação a TFETs de Silício (RANGEL, 2019).

Figura 60 - Frequência de ganho unitário e eficiência do transistor em função da corrente normalizada.

5. PROJETO DE CIRCUITOS AMPLIFICADORES COM LINE-TFET

Em todos os circuitos apresentados neste capítulo são feitas algumas considerações a fim de simplificar a análise subsequente. Os transistores P e N são considerados simétricos (mesmo módulo de corrente e de V_{th}), visto que havia apenas transistores tipo N experimentais disponíveis. A variabilidade entre dispositivos é considerada desprezível, com exceção da seção 5.1.2. em que se explora o efeito da variação de alguns parâmetros em espelhos de corrente. Após explorar o efeito da corrente de porta até a seção 5.3., esta também é desconsiderada no design de circuitos maiores. Aqui introduzimos também um símbolo de dispositivo para o Line-TFET, visando representar a dependência de parâmetros elétricos com dimensões de máscara particular a este dispositivo. O *pocket* está representado acima da junção de tunelamento na fonte, conforme mostra a Figura 61:

Figura 61 – Simbologia de dispositivo proposta para o Line-TFET

5.1. ESPELHO DE CORRENTE

5.1.1. Projeto em diferentes níveis de inversão

Um espelho de corrente é simulado com o intuito de validar o modelo desenvolvido no capítulo anterior, verificar a sobrecarga de tensão desse dispositivo e verificar o impacto da corrente de porta no circuito. O circuito com transistores tipo N é exibido na Figura 62 e são plotadas as correntes de referência (I_{ref}) e de saída (I_{out}) em função da carga alimentada (V_{load}), com $W_1=W_2$ e $L_1=L_2$. São consideradas 3 condições de inversão: $V_{gs}=1,2V$; $V_{gs}=1,5V$ e $V_{gs}=1,8V$. Ilustrando a flexibilidade do modelo desenvolvido, são consideradas as situações com e sem a corrente de fuga pelo óxido de porta, I_{gs} .

Figura 62 – Circuito espelho de corrente com Line-TFETs

Figura 63 - Corrente de saída e de referência de um espelho de corrente, com e sem corrente de fuga pela porta, para $V_{gs}=1,2V$; $1,5V$ e $1,8V$. $W_1=W_2$ e $L_1=L_2$.

Analisando a Figura 63, as seguintes características podem ser notadas:

O baixíssimo g_d faz o circuito praticamente um espelho de corrente ideal durante toda a faixa de tensão considerada aqui;

O mínimo V_{load} que o circuito consegue manter, considerando uma diferença de corrente não maior que 10% entre I_{ref} e I_{out} , para inversão forte, moderada e fraca, respectivamente é: 790mV, 430mV e 180mV. Esses valores podem ser um pouco menores para dispositivos de menor L_g devido a menor resistência interna (WALKE, 2014);

Como esperado, I_{gs} é mais importante na condição de V_{gs} máximo e nessa condição, a diferença nas correntes resultantes é de 6,7% ($I_{out}=1,15\mu A$ e $I_{out}=1,08\mu A$ com e sem I_{gs} , respectivamente). Isso limita o número de transistores que podem ser ligados em paralelo com o espelho de corrente e pode afetar o nível de modo comum de circuitos maiores.

5.1.2. Corrente de polarização e variabilidade de dispositivos

A fim de avaliar o efeito de variações de processo em circuito de polarização, um espelho de corrente é simulado considerando três situações diferentes: diferentes espessuras de *pocket*, variação na dopagem do *pocket* e variação no alinhamento entre porta e fonte, que são as principais causas de variabilidade entre dispositivos. Todos os dispositivos possuem $L_g=1\mu\text{m}$, $L_{sd}=21\text{nm}$ e $V_{gs}=1,2\text{V}$. A menor carga que o circuito consegue sustentar (V_{load} mínimo) é definida como a tensão em que a corrente de referência e a de saída passam a diferir em mais do que 10%.

A Figura 64 exibe o resultado para um espelho de corrente com dispositivos que possuem $t_{pocket}=4, 6$ e 8nm ($pDop=10^{17}\text{cm}^{-3}$). Considerando os casos extremos, a Figura 64 revela uma variação de 25nA na corrente de polarização e uma variação de 300mV no V_{load} mínimo para uma variação de 4nm no *pocket*. Além disso, espessuras maiores de *pocket* fazem o Line-TFET ser mais propenso ao tunelamento de fonte para dreno, de forma que transistores com $t_{pocket}=6\text{nm}$ e 8nm apresentam um V_{load} máximo de $2,4\text{V}$ e $1,86\text{V}$, respectivamente. Isso confirma que menores espessuras de *pocket* melhoram demasiadamente a faixa linear de saída, apesar de isso aumentar o V_{load} mínimo (e V_{dsat}) por causa do aumento de V_{th} .

Figura 64 – Simulação de um espelho de corrente com diferentes espessuras de *pocket*, indicando V_{load} mínimo e máximo, considerando uma tolerância de 10% de diferença entre as correntes.

A Figura 65 exibe as características de saída de um espelho de corrente considerando $pDop=10^{17}$, 10^{18} e 10^{19}cm^{-3} . O deslocamento da tensão de limiar resulta

em uma diferença de 430nA na corrente de referência, comparando $pDop = 10^{17}$ e 10^{19} cm^{-3} , enquanto para $pDop = 10^{17}$ e 10^{18} cm^{-3} a diferença é de apenas 36nA (7%). Portanto, é recomendável manter as fases térmicas de processo após a fabricação do *pocket* baixas o suficiente para prevenir uma concentração de dopantes acima de $10^{18}cm^{-3}$. A diferença desprezível no V_{load} mínimo pode ser explicada da seguinte forma: enquanto $pDop$ e, conseqüentemente, V_{th} aumentam, menor é o nível de inversão do dispositivo dado um V_{gs} fixo. Portanto, a tensão de saturação diminui quando se aumenta $pDop$ para um dado V_{gs} . Contudo, conforme visto na Figura 49, isso também faz com que g_d suba mais rapidamente, de forma que um efeito compensa o outro.

Figura 65 - Simulação de um espelho de corrente com diferentes dopagens de *pocket*, indicando V_{load} mínimo e máximo, considerando uma tolerância de 10% de diferença entre as correntes.

A Figura 66 considera sobreposições de porta de -1, 0, +1 e +3nm em ambos os dispositivos. Ao aumentar a sobreposição de porta, a tensão de saída mínima do circuito diminui de 1,16V para 0,3V, comparando os casos extremos, com uma diferença negligenciável na corrente de referência.

Figura 66 - Simulação de um espelho de corrente com diferentes sobreposições de porta, indicando V_{load_min} .

5.2. ESTÁGIO FONTE COMUM

Um estágio fonte comum com fonte de corrente como carga (Figura 15) com Line-TFETs é simulado com o intuito de: verificar o alto ganho intrínseco de tensão desses dispositivos; verificar a sobrecarga de tensão em diferentes condições de inversão e ilustrar o dimensionamento de um circuito com as particularidades dos Line-TFETs, principalmente a proporcionalidade da corrente com $W.L_g$ e o g_d constante com L_g , fazendo comparações com a tecnologia MOSFET. Em todos os casos é usada uma carga de 50fF.

5.2.1. Projeto em diferentes níveis de inversão

A Tabela 4 exhibe os resultados do projeto para os dispositivos do circuito, com os transistores em três condições de inversão. Para se obter uma eficiência do transistor de pelo menos uma dezena, o dispositivo de entrada deve ser polarizado com V_{gs} de 1,25V ou menos. Nessa condição de inversão, limitada considerando as limitações do dispositivo, em particular de TAT e tunelamento parasitário de fonte para dreno discutidas nas seções anteriores, obtêm-se um V_{dsat} de cerca de 450mV, que maximiza a faixa linear de tensão do circuito com esse dispositivo. Com uma eficiência do transistor de 6,2 S/A, o valor de V_{dsat} aumenta pouco mais de 100mV, chegando a 575mV. Na situação de inversão máxima dadas as limitações impostas pela corrente de porta, o valor de V_{dsat} chega a cerca de 750mV, ou seja, aumenta apenas 300mV com relação a condição de inversão anterior, em que V_{gs} aumentou em 500mV.

Observa-se então que não se perde tanta faixa linear de saída ao aumentar o nível de inversão (com g_m/I_{ds} indo de 10 S/A até a 4,25 S/A) utilizando esse dispositivo. Como nesse design optou-se por manter as dimensões dos transistores constantes e iguais a $L_g=1\mu\text{m}$ e $W=220\text{nm}$, o valor de I_{ds} aumenta com o nível de inversão, e consequentemente g_m aumenta em quase 20 vezes com o V_{gs} do transistor de entrada indo de 1,25V até 1,75V. O valor de r_o diminui conforme se aumenta o nível de inversão (indo de 0,32Gohm a 11,5Gohm) devido ao aumento da corrente de dreno, visto que optou-se por manter as dimensões constantes nesse projeto, mas, conforme esperado, é extremamente alto, o que resulta em um circuito de alto ganho de tensão. Na faixa de inversão considerada, f_t varia em cerca de uma ordem de grandeza, indo de 40MHz a 450MHz.

Tabela 4 - Projeto de estágio fonte comum com fonte de corrente como carga: dispositivos

Dispositivos	N	P	N	P	N	P
W (nm)	70	220	70	220	70	220
L_g (μm)	1					
g_m/I_{ds} (V^{-1})	4,35	-	6,2	-	10	-
V_{gs} (V)	1,75	-1,55	1,5	-1,35	1,25	-1,15
V_{dsat} (mV)	750	600	575	-550	450	-400
g_m (nS)	2170	-	663,7	-	125	-
r_o (Gohm)	0,32	0,31	1,38	1,36	11,5	11,5
f_t (MHz)	450	-	180	-	40	-

A Tabela 5 exibe os resultados do projeto para o circuito, com os transistores nas três condições de inversão consideradas. A tensão de alimentação do circuito (V_{dd}) foi definida em 1,8V considerando os valores de V_{dsat} , obtendo um valor alto em comparação com outros projetos com TFETs encontrados na literatura, mas que utilizam dispositivos simulados que conseguem ser polarizados em tensões muito baixas (SEDIGHI, 2015) (TRIVEDI, 2014), porém de forma pouco realista. A corrente do circuito, e consequentemente a performance e o consumo de potência, aumentam em cerca de 40 vezes com o V_{gs} dos transistores de entrada indo de 1,25V até 1,75V, enquanto a faixa linear da saída ($V_{out_{max}}-V_{out_{min}}$) obtida varia entre 1Vpp e 500mVpp,

respectivamente, o que fornece certa flexibilidade para o projetista balancear o compromisso entre esses fatores. Verifica-se que o circuito apresenta um ganho de tensão de malha aberta muito alto, de cerca de 50dB, condizente com o relatado em (AGOPAIN, 2017). Devido ao aumento na resistência de saída do circuito com a diminuição do nível de inversão, a frequência de corte em que o ganho cai 3dB (f_{c3dB}) diminui de 21kHz para 1kHz. Esse valor é da ordem de grandeza de kHz por causa da resistência de saída extremamente alta, que é da ordem de centenas de Mohm. Com o aumento do nível de inversão, o nível de corrente e g_m aumentam, aumentando GBW de 0,48MHz até 7,7MHz com g_m/I_{ds} indo de $10V^{-1}$ até $4,25V^{-1}$, respectivamente, com uma carga de 50fF. Esses resultados são exibidos também na Figura 67, que exibe o diagrama de Bode do ganho e da fase nas três condições de inversão consideradas.

Tabela 5 - Projeto de estágio fonte comum com fonte de corrente como carga: resultados do circuito com carga de 50fF.

Inversão (g_m/I_{ds})	$4,35V^{-1}$	$6,2V^{-1}$	$10V^{-1}$
Vdd (V)	1,8		
I_{ds} (nA)	500	106,75	12,6
$V_{out_{min}}$ (V)	0,75	0,575	0,45
$V_{out_{max}}$ (V)	1,2	1,25	1,4
Faixa linear de saída (Vpp)	0,45	0,675	1
A_v (dB)	51	53	55
f_{c3dB} (kHz)	21	5,6	1
GBW (MHz)	7,7	2,6	0,48

Figura 67 - Diagrama de Bode de um amplificador fonte comum em diferentes condições de inversão, com carga de 50fF. a) Ganho b) fase.

A Figura 68 exibe em a) a curva para grandes sinais ($V_{out} \times V_{in}$) e em b) a curva de ganho de tensão de malha aberta em função de V_{in} do circuito na situação de inversão com $g_m/I_{ds}=10$ para o transistor de entrada. Em a), verifica-se que de fato ambos os transistores saturam com V_{ds} cerca de 400mV e que a região de alto ganho encontra-se para V_{out} entre 1,4V e 0,4V. Em b), verifica-se um patamar bem definido na região em torno de $V_{in}=1,25V$, mas que A_v cai pela metade com o valor de V_{in} indo 1mV acima ou abaixo do nível DC.

Figura 68 - Resultados de um amplificador fonte comum com fonte de corrente como carga usando Line-TFETs. a) Curva para grandes sinais ($V_{out} \times V_{in}$) b) Ganho diferencial de tensão de malha aberta em função da tensão na entrada

5.2.2. Aumentando o ganho do circuito: particularidades do Line-TFET

Considerando uma tecnologia MOSFET convencional, dado que um projetista deseja aumentar o ganho diferencial de tensão de malha aberta de um circuito amplificador, tipicamente se aumenta o L_g dos transistores, aumentando W na mesma medida para manter o nível de corrente e g_m os mesmos, visando apenas aumentar a resistência de saída. Com Line-TFETs, o projetista também deve aumentar o L_g para

aumentar o ganho intrínseco de tensão dos dispositivos, mas nesse caso A_v aumenta por causa do aumento da transcondutância (conforme discutido na seção 4.3.6 e mostrado na Tabela 3).

No caso de Line-TFETs, o projetista pode escolher entre manter a corrente e g_m constantes, diminuindo W na mesma medida em que se aumenta L_g e consequentemente aumentando a resistência de saída, ou manter W constante, aumentando g_m . Para ilustrar ambos os cenários, a Tabela 6 e os diagramas de Bode de ganho e fase na Figura 69 comparam o projeto de um estágio de fonte comum em que se deseja dobrar o ganho de malha aberta do circuito com relação a uma situação inicial, comparando MOSFET e Line-TFET, usando como carga 50fF.

Tabela 6 - Projeto de estágio fonte comum com fonte de corrente como carga, comparando MOSFET e Line-TFETs: aumentando o ganho de tensão de malha aberta

Dispositivo	MOSFET			Line-TFET		
Situação	Inicial	W cte.	I cte.	Inicial	W cte.	I cte.
$L_{g_{input}}$ (nm)	130	260	260	300	600	600
W_{input} (nm)	200	400	200	140	70	140
$L_{g_{load}}$ (nm)	130	260	260	300	600	600
W_{load} (nm)	200	400	200	400	200	400
I (A)	15,5 μ	15,5 μ	7,75 μ	66n	66n	132n
G_m (S)	110 μ	110 μ	55 μ	400n	400n	800n
R_{out} (ohm)	125k	260k	550k	350M	700M	350M
A_v (dB)	23	29	30	43	49	49
f_{C3dB} (Hz)	32,6M	16,3M	8,15M	10k	5k	10k
GBW (Hz)	380M	380M	190M	1,5M	1,5M	3M

Figura 69 - Diagrama de Bode de um estágio fonte comum em que se deseja dobrar o ganho com relação a uma situação inicial, usando dispositivos Line-TFET e MOSFET. a) Ganho b) fase

No projeto com MOSFET, o único cenário interessante é manter o nível de corrente constante, que resulta em uma diminuição pela metade de g_d e g_m constante. O maior valor de R_{out} (devido ao menor valor de g_d) diminui a constante de tempo $1/RC$ no nó de saída do primeiro estágio para metade de seu valor, diminuindo na mesma medida f_{c3dB} . A diferença dessa situação para o cenário de W constante é que nesse último caso, R_{out} aumenta por um fator de 4 enquanto degradando g_m por um fator de 2, resultando numa diminuição por um fator de 4 e de 2 em f_{c3dB} e em GBW, respectivamente. A área do circuito é multiplicada por um fator de 4 ou de 2 no cenário de corrente constante e de W constante, respectivamente.

Com Line-TFETs, pode-se escolher entre aumentar R_{out} mantendo g_m constante ou dobrar g_m mantendo R_{out} constante a fim de se dobrar o ganho de tensão do circuito. No primeiro caso, a área do circuito é mantida a mesma devido a redução de W , enquanto no cenário de W constante, a área de circuito é dobrada. Outra característica interessante dos Line-TFETs é que, quando aumentando L_g , f_t permanece o mesmo enquanto o produto ganho-frequência aumenta, enquanto com MOSFET ambos diminuem. O resultado é o mesmo que para MOSFETs no cenário de corrente constante: g_m e GBW se mantêm os mesmos, mas f_{c3dB} é reduzido devido à redução de g_d . Contudo, no cenário de W constante, GBW é dobrado devido ao aumento de g_m , enquanto R_{out} e f_{c3dB} permanecem os mesmos. Em conclusão, é vantajoso para o ganho e para a resposta em frequência usar maiores valores de L_g com Line-TFETs e a área do circuito é menos impactada quando aumentando o ganho no caso desses dispositivos em comparação com MOSFET.

5.3. PAR DIFERENCIAL COM CARGA ATIVA

Seguindo a metodologia baseada no parâmetro g_m/I_{ds} descrita na seção 3.3, o projeto do circuito é feito com o seguinte procedimento, que inicialmente desconsidera a corrente de porta. Optou-se por fazer o projeto baseado em uma corrente total de $1\mu A$, mas outras abordagens seriam possíveis, a depender da especificação da aplicação: g_m fixo, ganho fixo, entre outros. A abordagem escolhida neste estudo foi a de usar a maior corrente possível, maximizando a performance do circuito, mas respeitando as limitações de polarização discutidas anteriormente. O procedimento é resumido a seguir:

1. Dado um nível de inversão (g_m/I_{ds}) dos transistores de entrada, definir o nível de corrente I_{ds}/W
2. A partir do nível de corrente I_{ds} , determinar g_m e W
3. A partir de $I_{ds}/W \times V_{gs}$ determinar V_{gs} e W de M5
4. Através de $I_{ds}/W \times V_{gs}$, determinar V_{gs} de M1 e M2
5. Determinar $V_{in_{cm}}$ a partir de V_{dsat_5} e $V_{gs_{1,2}}$
6. Determinar $W_{3,4}$ através do nível de corrente, com $V_{gs_{3,4}} = V_{out_{DC}} - V_{dd}$

São feitas as seguintes definições para todos os níveis de inversão:

1. O nível de corrente de cada transistor será de cerca de $500nA$;
2. A tensão de alimentação será de $2,5V$. Esse valor é maior que o utilizado no amplificador fonte comum ($1,8V$) pois posteriormente a saída desse estágio será conectada a entrada do segundo estágio, de forma que se faz necessário um V_{dd} maior para polarizar o transistor de entrada do segundo estágio com pelo menos $1,2V$;
3. O nível DC de saída será de cerca de $1,3V$, colocando o segundo estágio em inversão fraca para maximizar a faixa linear da saída e minimizar I_{gs} .
4. Visando maximizar o ganho de tensão, o GBWP e a robustez do processo de fabricação (seção 4.2.6), todos os dispositivos tem $L_g = 1\mu m$.
5. É considerada uma carga de $50fF$.

A Tabela 7 mostra o projeto seguindo os passos descritos anteriormente e os resultados de dimensionamento dos dispositivos e de polarização para três condições de inversão. Pode-se ver que como o valor da corrente normalizada aumenta de cerca de $100nA$ para cerca de $7,4\mu A$ com g_m/I_{ds} diminuindo de $11,35 S/A$ até $4,75 S/A$, a

largura dos transistores de entrada varia de 70nm até 4000nm para manter o nível de corrente que foi estabelecido em 500nA para cada transistor. Definiu-se que o transistor de fonte de corrente (M5) estaria em menor nível de inversão ($gm/I_{ds}=11,35 \text{ V}^{-1}$), minimizando $V_{in_{cm}}$ e, portanto, maximizando a faixa linear de saída. Como consequência, obteve-se um V_{dsat} de 450mV para M5 e valores de $V_{in_{cm}}$ de 1,65V, 1,85V e 2,2V para gm/I_{ds} de $11,34 \text{ V}^{-1}$, 8 V^{-1} e $4,75 \text{ V}^{-1}$, respectivamente.

Tabela 7 – Projeto de par diferencial com carga ativa: dimensionamento.

$gm/I_{ds} \text{ (V}^{-1}\text{)}$	11,35	8	4,75
$I_{ds}/W \text{ (A/}\mu\text{m)}$	0,123	0,846	7,4
$W_{1,2} \text{ (nm)}$	4000	590	70
$V_{gs5} \text{ (V)}$	1,2		
$V_{dsat5} \text{ (V)}$	0,45		
$W_5 \text{ (nm)}$	8000		
$V_{gs1,2} \text{ (V)}$	1,2	1,4	1,75
$V_{in_{cm}} \text{ (V)}$	1,65	1,85	2,2
$W_{3,4} \text{ (nm)}$	4000		

Pode-se observar pela Tabela 7 que a largura dos transistores do espelho de corrente resultou em valores relativamente grandes, em especial quando em comparação com as larguras dos transistores de entrada quando com gm/I_{ds} igual a 8 V^{-1} e $4,75 \text{ V}^{-1}$. Como o nível de inversão do segundo estágio é igual ao nível de inversão do espelho de corrente nessa topologia, pois, sendo M6 o transistor de entrada do segundo estágio, $V_{gs6}=V_{out_{DC \text{ 1}^{\text{o}} \text{ estágio}}} - V_{dd} = V_{ds4} \approx V_{ds3} = V_{gs3}$. Uma vez que foi definido que o segundo estágio estará com um menor nível de inversão ($gm/I_{ds}=11,35 \text{ V}^{-1}$) para maximizar a faixa linear da saída, o espelho de corrente também estará nesse nível de inversão, necessitando de um W muito maior que o de M1 e M2 para atingir o mesmo nível de corrente. Uma solução para caso se deseje diminuir o W do espelho de corrente seria utilizar uma topologia completamente diferencial, em que o nível de inversão dos transistores de carga pode ser ajustado por meio de uma fonte de tensão de polarização. Contudo, ressalta-se que nesse circuito o uso de CMFB seria mais crítico (RAZAVI, 2015). Outra solução seria aumentar o nível de inversão da saída, a custo de diminuir a faixa linear da saída e a susceptibilidade a corrente de porta lgs.

A Tabela 8 exibe os resultados para o circuito obtidos e a Figura 70 mostra o diagrama de Bode para as três condições de inversão dos transistores de entrada, com uma carga de 50fF.

Tabela 8 - Projeto de par diferencial com carga ativa: resultados do circuito.

g_m/I_{ds} (V^{-1})	11,35	8	4,75
Vdd (V)	2,5		
I (μA)	1		
Potência (μW)	2,5		
Gm (μS)	5,675	4	2,375
Rout (Mohm)	115		
Faixa linear de saída (Vpp)	0,45	0,35	0,2
Av (dB)	56	54	47,5 ⁶
Av _{cm} (dB)	-62		
CMRR (dB)	118	116	109,5
f _{C3dB} (kHz)	22		
GBW (MHz)	17,8	12,5	7,5

Figura 70 - Diagrama de Bode de um par diferencial com carga ativa com Line-TFET em 3 condições de inversão, com carga de 50fF. a) Ganho b) fase.

Analisando a Tabela 8 e a Figura 70, se fazem as seguintes observações:

⁶ Devido ao deslocamento de V_{outDC} intrínseco a essa topologia.

1. O circuito apresenta um nível de corrente relativamente alto quando comparado a outros projetos com TFETs graças ao tunelamento em linha, a fonte de silício-germânio dos dispositivos e a polarização fora da região de sublimiar.

2. O consumo de potência do circuito é extremamente baixo, mas poderia ser reduzido a poucos nW em níveis de inversão menores, reduzindo a performance dinâmica do circuito.

3. A resistência de saída do circuito é extremamente alta, consequência da saturação quase perfeita dos Line-TFETs.

4. O ganho de malha aberta do circuito é extremamente alto, da ordem de 53dB, condizente com o projeto do estágio fonte comum (seção 5.2) e com o apontado em (AGOPIAN, 2017).

5. Os valores de faixa linear da saída poderiam ser muito maiores (pelo menos 1Vpp) com ajuste do nível DC com CMFB ou ajuste das dimensões do espelho de corrente. Contudo, esse circuito é raramente usado sozinho e nesse trabalho ele será aplicado como o primeiro estágio de um circuito amplificador. Nesse caso, a excursão do sinal de saída deve ser de poucos mVpp.

6. Como consequência do altíssimo g_d de M5, resultando em um valor muito alto de R_{ss} na equação (20), o circuito tem um $A_{v_{cm}}$ muito baixo, que em combinação com o alto ganho, resulta em um CMRR muito alto. Isso justifica o uso de uma topologia simples e de saída única.

7. O valor de $f_{c_{3dB}}$ permanece inalterado com o nível de inversão devido ao valor de R_{out} que não se altera por causa do nível de corrente fixo

8. O valor de GBW aumenta ligeiramente ao diminuir o nível de inversão pois com um nível de corrente fixo, maiores valores de eficiência do transistor (g_m/I_{ds}) resultam em maior g_m .

Na Figura 71.a), vemos a curva V_{out} em função de V_{in} e na Figura 71.b) as curvas de $I_{ds1,3}$ e $I_{ds2,4}$ em função de V_{in} com e sem corrente de porta para a situação de $V_{gs1,2}=1,4V$:

Figura 71 - Deslocamento da tensão de modo comum por causa da corrente de porta para $V_{gs1,2}=1,4V$. a) Tensão de saída; b) Corrente em M1 e M3 e corrente em M2 e M4 em função da tensão de entrada

Pode-se perceber na Figura 71.a) que a inclusão de I_{gs} desloca o nível de tensão DC da saída desejado (1,3V) em cerca de 10mV com relação a ΔV_{in} . Na Figura 71.b), pode-se ver que a inclusão de I_{gs} aumenta a assimetria entre os dois lados do circuito, o que pode ser explicado com o auxílio da Figura 18, que exhibe o modelo de pequenos sinais do circuito. A introdução de I_{gs} pode ser modelada como uma resistência parasitária de porta para fonte (R_{gs}) que, no espelho de corrente, entra em paralelo com r_{o3} , diminuindo valor de r_d , que passa a ser $r_d = (1/g_{m3}) // r_{o3} // R_{gs3} // R_{gs4}$, o que explica a diferença entre as correntes com a introdução de I_{gs} no espelho de corrente.

5.4. OTA DE DOIS ESTÁGIOS

O circuito amplificador de dois estágios é exibido na Figura 72 , incluindo os transistores de polarização. A topologia escolhida para o primeiro estágio foi de um par diferencial com carga ativa, que simplifica o circuito de polarização por não necessitar de CMFB. Essa topologia é mais suscetível a variação no nível de tensão de modo comum e da tensão de alimentação, mas o uso de TFETs, que possuem ganho intrínseco de tensão muito alto, faz com que esse problema seja muito menos crítico. Nessa seção, serão comparados alguns designs deste circuito com Line-TFETs e com tecnologia MOSFET convencional, a partir de diferentes pontos de partida seguindo a metodologia de projeto da eficiência do transistor, descrita na seção 3.3. Todos os projetos consideram uma carga de 50fF e um capacitor de compensação de 25fF.

Figura 72 – OTA de dois estágios com Line-TFET

5.4.1. Comparação com tecnologia MOSFET

Fixando um determinado valor de g_m/I_{ds} ou de densidade de corrente (I_{ds}/W) e de largura dos transistores de entrada ($W_{1,2}$), pode-se fazer a comparação entre o projeto de um OTA com tecnologias MOSFET convencional e Line-TFET em condições similares de inversão.

A partir de um valor de g_m/I_{ds} igual a $8V^{-1}$, que é o meio da faixa disponível de valores de eficiência do transistor para o Line-TFET, e de $W_{1,2}=150nm$, que é o mínimo disponível para a tecnologia MOSFET 130nm, obtêm-se um determinado nível de corrente em cada ramo do primeiro estágio. O nível de corrente no ramo de polarização é definido por W_{bias2} , enquanto no segundo estágio o nível de corrente deve ser pelo menos 10 vezes maior do que em $M_{1,2}$ para se obter uma margem de fase de pelo menos 60° . No caso do design com tecnologia MOSFET 130nm $L_g=1\mu m$, o nível de corrente no segundo estágio precisou ser ainda maior para se atingir estabilidade, pois com uma carga de $C_L=50fF$ os pólos dominantes do circuito ficam ainda muito próximos, mesmo com $C_c=25fF$. A Tabela 9 exibe o resultado do dimensionamento dos dispositivos.

Tabela 9 – OTA de 2 estágios: dimensionamento dos dispositivos com diferentes tecnologias.

	Line-TFET	MOS 65nm	MOS 130nm	MOS 130nm (Lg=1 μ m)
W_{1-2}	150nm			
W_{3-4}	150nm	300nm	345nm	630nm
$W_{5/bias}$	300nm			
W_6	1.5 μ m	4.5 μ m	2.7 μ m	15.8 μ m
W_7	1.5 μ m			6 μ m

A Tabela 10 resume os resultados do projeto do circuito enquanto a Figura 73 exibe os diagrama de ganho e fase em função da frequência. Os resultados mostram uma alta faixa linear de saída (1,4Vpp), ganho de tensão DC em malha aberta e resistência de saída extremamente altos, iguais a 110dB e 80Mohm, respectivamente. O circuito apresenta baixo consumo de potência, de 3,2 μ W, mesmo com uma maior tensão de alimentação (2,5V em comparação com 1,2V), devido ao menor nível de corrente do Line-TFET, o que resulta em um GBW menor, igual a 5,5MHz, após compensação. A Figura 73 mostra que a frequência de corte (f_{c3dB}) para o Line-TFET é extremamente menor, o que é uma consequência da resistência de saída muito maior desses dispositivos. O design com Line-TFETs também tem uma taxa de rejeição de modo comum (CMRR) muito maior devido ao maior ganho intrínseco desses dispositivos, o que justifica a simplificação da topologia.

Figura 73 – OTA de 2 estágios com $g_m/I_{ds}=8V^{-1}$ e $W_{1,2}=150nm$. Diagrama de Bode para tecnologias Line-TFET, MOSFET 65nm, 130nm e 130nm Lg=1 μ m. a) ganho b) fase.

Tabela 10 - OTA de 2 estágios com $g_m/I_{ds}=8V^{-1}$ e $W_{1,2}=150nm$: resultados do design para diferentes dispositivos.

	Line-TFET	MOS 65nm	MOS 130nm	MOS 130nm ($L_g=1\mu m$)
I_{ds}/W ($\mu A/\mu m$)	0.6	35		5
Vdd (V)	2.5	1.2		
I total (μA)	1.275	75	21	32.5
Power (μW)	3.2	90	25,2	39
Faixa linear de saída (Vpp)	1.4	0.725	0.75	0.7
Rout (ohm)	80M	10k	68k	242k
Av (dB)	110	28	40	66
CMRR (dB)	116	34	46	72
f_{C3dB} (Hz)	20	10M	2M	18k
GBW (Hz)	5.5M	240M	180M	32M

Utilizando agora como ponto de partida mesma densidade de corrente e dimensões dos transistores de entrada para o projeto do OTA de dois estágios, utiliza-se as mesmas dimensões da Tabela 9 e densidade de corrente igual a $2\mu A/\mu m$. Esse nível de corrente coloca o Line-TFET em inversão forte, com $g_m/I_{ds}=5.2V^{-1}$, enquanto os dispositivos MOSFET estão quase na região de inversão fraca, com g_m/I_{ds} de quase $20V^{-1}$ para os comprimentos de porta de 65nm e 130nm, enquanto o dispositivo de $L_g=1\mu m$ mostra um comportamento mais próximo do Line-TFET. A Figura 74 e a Tabela 11 mostram os resultados para este projeto.

Figura 74 - OTA de 2 estágios com $I_{ds}/W=2\mu A/\mu m$ e $W_{1,2}=150nm$. Diagrama de Bode para tecnologias Line-TFET, MOSFET 65nm, 130nm e 130nm $L_g=1\mu m$. a) ganho b) fase.

Tabela 11 - OTA de 2 estágios com $I_{ds}/W=2\mu A/\mu m$ e $W_{1,2}=150nm$: resultados do design para diferentes dispositivos.

	Line-TFET	MOS 65nm	MOS 130nm	MOS 130nm ($L_g=1\mu m$)
g_m/I_{ds} (V^{-1})	5.2	18	19	11
V_{dd} (V)	2.5	1.2		
I_{total} (μA)	3.6			12.6
Power (μW)	9	4.3		15.1
Faixa linear de saída (V_{pp})	1.3	0.825	0.9	0.875
R_{out} (ohm)	28M	80k	550k	925k
A_v (dB)	115	32	42	74
CMRR (dB)	121	38	48	80
f_{c3dB} (Hz)	18	560k	250k	2.8k
GBW (Hz)	8.5M	24M	31M	13M

Como resultado do mesmo nível de corrente, o GBW é semelhante para todos os designs, mas um pouco maior para os projetos com MOSFETs devido a maior eficiência do transistor. Por causa do nível de inversão um pouco maior do Line-TFET com relação ao design anterior (Tabela 10 e Figura 73), o GBW aumentou de 5,5MHz

para 8,5MHz, enquanto para os designs com MOSFET L_g de 65nm, 130nm e 1 μ m, esse valor sofreu uma redução de 10, 6 e 3 vezes, respectivamente, devido ao menos nível de inversão com relação ao design anterior. Também por causa da mudança no nível de inversão, a resistência de saída e a faixa linear de saída para o Line-TFET diminui enquanto para o MOSFET esses dois valores aumentaram. O consumo de potência em todos os designs nesse projeto ficou similar, uma vez que se usava a mesma densidade de corrente e dimensões (com a exceção do design com MOSFET 130nm $L_g=1\mu$ m por questões de estabilidade), o que então resultou em uma resposta de alta frequência similar. Apesar de que os MOSFETs tiveram o A_v e o CMRR aumentados com relação ao design anterior devido a redução nos níveis de inversão, eles ainda apresentem uma redução de pelo menos 40dB no ganho com relação ao projeto com Line-TFETs.

5.4.2. Design nanométrico de alto ganho e baixa potência para baixas frequências

Nos designs anteriores, os dispositivos Line-TFET foram polarizados na região de inversão forte e utilizaram máximo comprimento de canal a fim de maximizar o nível de corrente, a operação dinâmica e para fazer comparações com MOSFETs em condições similares de performance. Contudo, o Line-TFET oferece a possibilidade de se obter um ganho intrínseco de tensão extremamente alto com dispositivos nanométricos, minimizando a área de circuito com baixo consumo de potência em baixa frequência. Essas características são favoráveis para aplicações como aquisição de biossinais, que necessitam amplificar sinais entre frequências de abaixo de 1Hz até algumas centenas de kHz com alta precisão (e, portanto, alto ganho de malha aberta) enquanto minimizando o consumo de potência e área de circuito. A Tabela 12 exibe o dimensionamento dos transistores enquanto a Tabela 13 e a Figura 75 exibem os resultados de um design que utiliza $L_g=100$ nm, com os transistores de entrada (M1 e M2) polarizados no menor nível de inversão que foi possível alcançar devido ao tunelamento de fonte para dreno que degrada a região de saturação ($g_m/I_{ds}=12V^{-1}$).

Tabela 12 - Dimensionamento do OTA de 2 estágios usando Line-TFETs com $L_g=100\text{nm}$ e $g_m/I_{ds}=12\text{V}^{-1}$

Line-TFET $L_g=100\text{nm}$ $g_m/I_{ds}=12\text{V}^{-1}$	
W_{1-2}	100nm
W_{3-4}	100nm
$W_{5/bias}$	200nm
W_6	$1\mu\text{m}$
W_7	$1\mu\text{m}$

Tabela 13 – Resultados do OTA de 2 estágios usando Line-TFETs com $L_g=100\text{nm}$ e $g_m/I_{ds}=12\text{V}^{-1}$

Line-TFET $L_g=100\text{nm}$ $g_m/I_{ds}=12\text{V}^{-1}$	
I_{ds}/W (nA/ μm)	7,5
Vdd (V)	1,8
I total (nA)	10
Power (nW)	18
Output swing (Vpp)	1,1
Rout (ohm)	470M
A_v (dB)	71
CMRR (dB)	77
f_{C3dB} (Hz)	10
GBW (Hz)	50k

Figura 75 – Diagrama de Bode de um OTA de 2 estágios utilizando Line-TFETs com $L_g=100\text{nm}$.

A partir de um valor de $g_m/I_{ds}=12V^{-1}$, $W_{1,2}=100nm$, W_5 e W_{bias} iguais a 200nm, obtêm-se um nível de corrente de polarização que totaliza cerca de 1,4nA no primeiro estágio e mais 1,4nA no ramo de polarização ($M_{bias1,2}$). O nível de corrente no segundo estágio deve ser 10 vezes maior, de forma que se obtêm uma corrente total de cerca de 10nA. Com uma tensão de alimentação de 1,8V, esse nível de corrente resulta em um consumo de potência de cerca de 18nW.

A redução no nível de inversão permitiu reduzir a tensão de alimentação para 1,8V, o que diminui o consumo de potência e oferece a possibilidade de compatibilidade com tecnologias mais modernas. A redução de L_g reduziu g_m , o que fez com que GBW e A_v diminuíssem para 50kHz e 71dB, respectivamente. É interessante notar que, apesar disso, os valores de R_{out} e $f_{c_{3db}}$ permaneceram praticamente os mesmos, sendo R_{out} aumentou para 470Mohm e, conseqüentemente, $f_{c_{3db}}$ diminui para 10Hz somente devido ao menor nível de inversão. Também devido a maior eficiência do transistor, a faixa linear de saída permaneceu acima de 1Vpp mesmo com a redução de V_{dd} . Esse design atinge um consumo de potência de apenas 18nW com um ganho DC de malha aberta de 71dB enquanto usando áreas de porta entre $0,01\mu m^2$ e $0,1\mu m^2$, em uma topologia simples de alta taxa de rejeição de modo comum (CMRR) de 77dB.

5.4.3. Comparação com outros projetos com TFET

A Tabela 14 compara o primeiro e último design do OTA de dois estágios ($g_m/I_{ds}=8V^{-1}$ e $12V^{-1}$, respectivamente) com outros projetos de OTA com TFETs encontrados na literatura. Uma maior tensão de alimentação foi necessária por causa das não idealidades que degradam a região de sublimiar, ou seja, tunelamento de fonte para dreno e TAT. É importante notar que os outros estudos usam dispositivos simulados e desconsideram alguma não idealidades importantes da região de inversão fraca, portanto atingindo tensões de alimentação extremamente baixas. Apesar disso, a dissipação de potência ainda ficou baixa, mas maior para o primeiro design devido ao maior nível de corrente do Line-TFET, o maior nível de inversão neste design em particular, e as limitações de projeto consideradas, como por exemplo os valores de g_m/I_{ds} e de corrente total utilizados, o que, por outro lado, resulta em maior performance dinâmica. Esse trabalho também atingiu um ganho DC de tensão de malha aberta maior devido ao uso da topologia de dois estágios, apesar de que outros trabalhos usaram *cascoding* para aumentar o ganho.

Tabela 14 – Comparação entre o OTA de 2 estágios com Line-TFET e outros projetos de amplificadores com TFETs

	Esse trabalho		(TRIVEDI, 2014)	(LIU, 2014)	(SEDIGHI, 2014)
TFET	SiGe Line-TFET		III-V porta dupla		SiGe vertical
Topologia	Dois estágios		Folded cascode	Telescopic cascode	Um estágio
Vdd	2.5V	1.8V	0.43V	0.5V	1V
I total	1.275 μ A	10nA	216nA	10nA	3.6nA
Potência	3.2 μ W	18nW	93nW	5nW	3.6nW
Av	110dB	71dB	63dB	50dB	27.7dB

5.5. CIRCUITO INTEGRADO DE *READOUT*

Diferentes aplicações modernas de circuitos integrados analógicos, desde Internet das Coisas até aquisição de biossinais, necessitam de circuitos integrados com mínimo consumo de potência e área de circuito. Os projetos de amplificadores estudados nos capítulos anteriores evidenciam que o Line-TFET apresenta características interessantes que podem ser úteis para superar algumas dessas limitações existentes em aplicações modernas de amplificação de sinais de baixa frequência. Em particular, o Line-TFET apresenta ganho intrínseco de tensão extremamente alto, que simplifica a topologia do circuito, e baixos níveis de corrente, o que é propício para aplicações de baixa potência e baixa frequência. Além disso, foi demonstrado que TFETs são resistentes a variação de temperatura (MARTINO, 2016) e a ruído (NEVES, 2016). Portanto, este trabalho propõe o uso de Line-TFETs para se realizar o projeto de um circuito de *readout* com alto ganho de malha aberta (acima de 45dB) e banda de passagem entre $f < 1\text{Hz}$ e $f = 100\text{Hz}$.

Para a implementação dos resistores de malha fechada (R_{fb} , Figura 26), foi utilizado um par de transistores fonte-conectados para o design com Line-TFET devido a unidirecionalidade de corrente. Para o MOSFET, 6 transistores diodo-conectados em série foram necessários para aumentar a resistência de malha fechada. A Figura 76 mostra a topologia do circuito amplificador utilizado, que consiste em um par diferencial com carga ativa e saída diferencial. As dimensões de porta dos transistores de entrada (M1 e M2) são 100nm x 1 μ m e 250nm x 4 μ m para o Line-TFET e MOSFET, respectivamente.

CMFB foi implementado com pseudo resistores (M_{cmfb}) nas mesmas configurações que foram mencionadas para cada tecnologia. Esses transistors precisam ter resistência diferencial tão alta quanto possível para se preservar a resistência de saída e o ganho do circuito. Para o MOSFET, isso significa aumentar o comprimento de porta e, conseqüentemente, a área de circuito. Resistência diferencial suficiente foi atingida nesse caso usando um transistor de dimensões $150\text{nm} \times 10\mu\text{m}$ para cada saída. No caso do Line-TFET, transistores menores resultam em resistências diferenciais maiores pois nesse dispositivo a corrente é diretamente proporcional a área de porta. Portanto, dois dispositivos em paralelo de dimensões $120\text{nm} \times 100\text{nm}$ foram necessários para cada saída.

Pseudo resistores também foram usados para a implementação da fonte de corrente de polarização (M_{bias1}). No projeto com MOSFET foi utilizado um transistor tipo N e um transistor tipo P diodo-conectados com dimensões de $150\text{nm} \times 4\mu\text{m}$, enquanto para o design com Line-TFETs usou um diodo-conectado de dimensões $200\text{nm} \times 1\mu\text{m}$. A implementação para o Line-TFET deve prover robustez a variação de temperatura se os dispositivos estiverem em uma região de polarização com pouco ou nenhum TAT, com V_{gs} alto o suficiente (acima de cerca de $1,2\text{V}$ (MARTINO, 2018)). Nessa região de polarização, o tunelamento banda a banda, que praticamente independe da temperatura, é muito mais significativo que o TAT, que é um mecanismo de transporte termicamente ativado. A razão entre W_{bias2} e W_5 determina a proporção de corrente em cada ramo do circuito. Para o Line-TFET, essa proporção é igual a $(W_{bias2} \times L_{bias2}) / (W_5 \times L_5)$. Portanto, foram utilizados $(230\text{nm} \times 100\text{nm}) / (100\text{nm} \times 1\mu\text{m})$ de forma a se reduzir a corrente no ramo de polarização. Isso não foi possível no projeto com MOSFETs pois $M_{1,2}$ já possuíam níveis de corrente muito baixos ao se utilizar dispositivos de dimensões $250\text{nm} \times 4\mu\text{m}$.

Figura 76 – Implementação do amplificador para o circuito de *readout*.

A Figura 77 mostra o diagrama de Bode de ganho e fase comparando ambos os projetos, enquanto a Tabela 15 resume os resultados. No design com MOSFET, as conexões da saída e do ramo de polarização consomem maior corrente e, portanto, consumindo mais potência. A menor eficiência do transistor e a maior tensão de alimentação prejudicam o consumo de potência com Line-TFETs. Apesar disso, esse design apresenta 51dB de ganho de tensão DC de malha aberta, reduzindo o erro de leitura em 2 vezes quando comparado com o MOSFET (45dB), enquanto usando uma topologia bem simples. A banda de passagem de aproximadamente 1Hz até cerca de 100Hz foi atingida em ambos os casos, mas o design com Line-TFET necessitou de transistores menores por causa de seu menor nível de corrente e a proporcionalidade da corrente com a área de porta. A área de circuito diminui muito quando utilizando pseudo resistores com Line-TFETs pois sua corrente de dreno é proporcional a área de porta, aumentando a resistência diferencial de dispositivos pequenos. Dessa forma, dois dispositivos de dimensões 120nm x 100nm em paralelo atingem cerca de 50Gohm de resistência diferencial, enquanto no caso do MOSFET foram necessários 6 transistores em série de dimensões 150nm x 10 μ m para cada Rfb. Essa característica do Line-TFET permite atingir frequências de corte abaixo de 1Hz enquanto usando dispositivos nanométricos e valores pequenos de capacitâncias (C_i , C_n e C_L).

Figura 77 – Diagrama de Bode de ganho e fase de malha fechada para o circuito de *readout* com MOSFET e Line-TFET

Tabela 15 – Resultados comparando o projeto de um circuito de *readout* com Line-TFETs e MOSFETs

	Line-TFET	MOSFET
Vdd	2,5V	1,2V
Potência	33nW	730nW
Ganho de malha fechada	39dB	31dB
Erro de leitura relativo	$A_{vMOS}/A_{vLine}=0.4$	
Largura de banda	850mHz~117Hz	2,15Hz~105Hz
Ci/Cn/CL	10pF/150fF/1pF	100pF/1.5pF/100pF
$W_{bias1} \times L_{bias1}$	200nm x 1 μ m	150nm x 4 μ m (x2)
$W_{bias2} \times L_{bias2}$	230nm x 100nm	150nm x 4 μ m
$W_{1,2} \times L_{1,2}$	100nm x 1 μ m	250nm x 4 μ m
$W_{3,4} \times L_{3,4}$	100nm x 1 μ m	1,25 μ m x 4 μ m
$W_{cmfb} \times L_{cmfb}$	120nm x 100nm (x4)	150nm x 10 μ m (x2)
$W_{feedback} \times L_{feedback}$	120nm x 100nm (x2)	150nm x 10 μ m (x6)
Área total de resistores	0,096 μ m ²	21 μ m ²

A Tabela 16 exibe os resultados deste trabalho em comparação com outros projetos de circuitos de *readout* da literatura. Mesmo com maior tensão de alimentação e não polarizando os dispositivos na região de sublimiar, o deisgn com Line-TFETs atinge consumo de potência similar aos demais trabalhos de alguns nW graças ao menor nível de corrente deste dispositivo, facilitando o projeto em frequência extremamente baixas. O maior ganho intrínseco de tensão do Line-TFET permite a simplificação da topologia do circuito, permitindo o uso de um amplificador de um estágio simples de baixo erro de leitura. Usar capacitores menores e pseudo

resistores ao invés de um DSL para se definir uma frequência de corte inferior de mHz também foi possível por causa da resistência diferencial extremamente alta de Line-TFETs fonte-conectados nanométricos.

Tabela 16 – Resultados de outros projetos de circuito de *readout* com tecnologia MOSFET comparados com o design usando Line-TFETs.

	Line-TFET	(HARPE, 2016) MOS 65nm	(CHEN, 2015) MOS 65nm	(HAN, 2013) MOS 180nm
Vdd	2,5V	0,6V	0,6V	,45V
Potência	33nW	1nW	16.8nW	730nW
Ganho de malha fechada	39dB	32dB	51-96dB	52dB
Largura de banda	850mHz~117Hz	1.5Hz~350Hz	<0.5Hz~250Hz	0.25Hz~10kHz
Ci/Cn/CL	10pF/150fF/1pF	Ci=40pF Cn=1pF	Ci=50pF Cn=0.5pF	-
Topologia do amplificador	Um estágio	Dois estágios		
Topologia de malha fechada	Pseudo resistores (0.096 μm^2)	DSL	DSL	Pseudo resistores

6. CONCLUSÕES

Foi estudado como os mecanismos de transporte de Line-TFETs se relacionam com suas características analógicas, visando a modelagem do dispositivo com variação de suas dimensões e sua aplicação no projeto de circuitos amplificadores. Com o modelo obtido, foram realizados os projetos de circuitos analógicos básicos, relacionando os resultados obtidos com as características únicas dos Line-TFETs. Esses circuitos foram unidos no projeto de um circuito amplificador de 2 estágios, mais uma vez relacionando seus parâmetros de mérito com os dispositivos utilizados. Por fim, uma proposta de aplicação para um circuito amplificador com Line-TFETs em um circuito de *readout* de sensores foi apresentada, avaliando seus resultados em comparação com a literatura e com o projeto utilizando MOSFETs convencionais.

A modelagem de dispositivos com *lookup tables* de medidas experimentais revela que a principal vantagem deste método é de se obter um modelo contínuo com ótima concordância com dados experimentais de forma simples e rápida, evitando modelagem analítica que pode ser extremamente complexa, pouco precisa e limitada, algo crítico para dispositivos avançados. As desvantagens apontadas foram a dificuldade de se ter boa resolução da região de saturação e a limitação do modelo ao dispositivo específico que foi medido. Durante a caracterização DC do dispositivo, se pôde constatar que o dispositivo atinge um nível de corrente alto para TFETs (de cerca de $10\mu\text{A}/\mu\text{m}$) e possui resistência de saída extremamente alta, resultado do tunelamento em linha e da fonte de silício-germânio. Também pôde-se ver o efeito do tunelamento parasitário de fonte para dreno na corrente quando desligado (baixo V_{gs}), que aumenta exponencialmente com V_{ds} , limitando a polarização mínima de porta e a faixa linear de saída. A corrente de porta foi analisada, de onde se pôde constatar que o valor de I_{gs} é significativo suficiente para resultar em uma resistência de porta quase da mesma ordem de grandeza que a resistência de dreno, limitando o design de circuitos amplificadores e de polarização.

O estudo da variação da condutância de saída com dimensões, demonstrou que esse parâmetro depende principalmente do tunelamento parasitário de fonte para dreno, de forma que seu valor médio não depende de L_g , o que é uma característica única e inesperada para os Line-TFETs. Também foi revelado nesse estudo como alguns parâmetros de processo podem alterar características analógicas do dispositivo, como por exemplo a distância entre o final da fonte e o dreno que quando

aumentada, diminui o valor de g_d e reduz o efeito do tunelamento parasitário, mas aumenta rapidamente a resistência interna. É demonstrado como esse fato impacta os parâmetros de pequenos sinais do dispositivo, em especial chegando à conclusão de que tanto o ganho como a performance dinâmica de Line-TFETs aumentam proporcionalmente com o comprimento de porta, em oposição ao que acontece com a tecnologia MOSFET convencional.

A análise das capacitâncias parasitárias por meio de simulação numérica mostra que no Line-TFET C_{gs} predomina sobre C_{gd} na região de saturação, em oposição ao que acontece em *point* TFETs. Esse fato reduz o efeito Miller, tendendo a melhorar a performance dinâmica de circuitos com esse dispositivo. A maior performance dinâmica do Line-TFET em comparação com outros dispositivos de tunelamento foi apontada, em que se constata que f_t chega a cerca de 500MHz. O ganho intrínseco de tensão muito maior do que em comparação com a tecnologia MOSFET também foi apresentado, atingindo valores entre 50 e 60 dB.

Após a caracterização e modelagem do Line-TFET, foram realizados os projetos de diversos circuitos analógicos básicos com essa tecnologia. O projeto de um espelho de corrente demonstra como a alta resistência de saída dos dispositivos produz uma cópia quase exata da corrente de referência. A caracterização básica deste circuito demonstrou o máximo de carga que é suportado, que varia entre 180mV e 780mV, a depender da região de inversão. Também foi discutido como o funcionamento do circuito muda com a presença da corrente parasitária de porta, uma não idealidade importante, que faz com que a diferença entre as correntes de entrada e saída aumente (cerca de 6,7% no pior caso). Em sequência, foi avaliado por meio de simulação numérica o impacto de algumas variações oriundas do processo de fabricação neste circuito. Constatou-se que aumentar a sobreposição de porta melhora a capacidade de carga do circuito e que variações de dopagem e de espessura do *pocket* impactam significativamente os níveis de corrente.

No projeto de um estágio fonte comum, são exibidos os parâmetros de mérito obtidos para o circuito em várias condições de inversão. Em particular, foi observado o alto ganho obtido pelo circuito com uma faixa linear da saída razoável (acima de 50dB e 1Vpp, respectivamente) e baixo consumo de potência, de poucos μW . Também foi discutido como o projeto muda com Line-TFETs, uma vez que g_d não depende de L_g , e fazendo comparações com o MOSFET. Foi desenvolvido também um exemplo de como o ganho e a performance do circuito aumentam com L_g , em oposição com o

MOSFET convencional onde apenas o ganho aumenta, sem se preocupar com a performance dinâmica. Como consequência, foi demonstrado como um projetista pode escolher aumentar ou G_m ou R_{out} para aumentar o ganho total, com menor impacto na área de circuito, em oposição ao MOSFET que pode apenas aumentar R_{out} por meio do aumento de L_g . Essas características também foram observadas no projeto do par diferencial com carga ativa, mas se constatou que a corrente de porta pode inviabilizar o projeto devido a assimetria entre as correntes nos ramos do circuito.

Amplificadores de dois estágios foram projetados visando fazer comparações entre as tecnologias MOSFET e Line-TFET. Para tanto, comparou-se projetos com os dispositivos polarizados em condições semelhantes de inversão: mesmos g_m/I_{ds} e $W_{1,2}$ (transistores de entrada) ou mesmos I_{ds}/W e $W_{1,2}$. Foi concluído que o Line-TFET apresenta ganho DC de malha aberta pelo menos 40dB maior que o MOSFET (no caso de mesmo L_g), resistência de saída 3 ordens de grandeza maior e menor consumo de potência, mas com menor largura de banda e frequência de corte 3 ordens de grandeza menor devido à resistência de saída centenas de $G\Omega$. Também foi demonstrado o design de um circuito amplificador de alto ganho DC de malha aberta (71dB) e consumo de potência de apenas 18nW utilizando dispositivos nanométricos, com área de porta entre $0,01\mu m^2$ e $0,1\mu m^2$, evidenciando que Line-TFETs podem ser promissores para aplicações que requerem baixo consumo de potência e área de circuito com alto ganho DC. A redução na área de circuito se dá não só pela menor área de porta dos dispositivos, mas também pela simplificação na topologia do circuito.

O projeto de um circuito de *readout* para sensores explora as características observadas no projeto com Line-TFETs nas seções anteriores. Essa seção demonstra o design de um circuito de *readout* que atinge baixo erro de leitura (devido ao ganho DC de malha aberta acima de 50dB), com consumo de potência de algumas dezenas de nW e uma topologia mais simples do que a que seria necessária com o MOSFET convencional. Ademais, dado que a resistência diferencial de Line-TFETs fonte-conectados é inversamente proporcional a área de porta, foi possível atingir frequências de corte abaixo de 1Hz com dispositivos pseudo resistores nanométricos e menores valores de capacitâncias.

Por fim, esses resultados visam prover um ponto de partida para projetistas que desejam usar a tecnologia Line-TFET em circuitos integrados analógicos, tornando as características gerais desse dispositivo bem definidas ao incluir diversas não

idealidades presentes em dispositivos experimentais na análise. Além disso, esses resultados apontam que o Line-TFET pode ser um dispositivo promissor para superar alguns desafios enfrentados em designs modernos de circuitos integrados analógicos de baixa frequência, pois esse dispositivo proporciona simplificação da topologia, redução na área de circuito e na dissipação de potência, fatores limitantes em aplicações como IoT, aquisição de biossinais, eletrônica vestível, entre outros.

PUBLICAÇÕES GERADAS

Periódicos:

1) W. Gonzalez Filho, E. Simoen, R. Rooyackers, C. Claeys, N. Collaert, J. A. Martino, P. G. D. Agopian, "Analog design with Line-TFET device experimental data: from device to circuit level.", **Semiconductor Science and Technology (SST)** – 10.1088/1361-6641/ab7a08.

2) W. Gonzalez Filho, J. A. Martino, P. G. D. Agopian, "Output conductance of Line-TFETs for different device parameters", **Journal of Integrated Circuits and Systems (JICS)** – Aceito para publicação.

Conferências:

3) W. Gonzalez Filho, R. Rangel, J. A. Martino, P. G. D. Agopian, "Readout circuit design using experimental data of Line-TFET devices", **237th ECS meeting** – Aceito para publicação.

4) W. Gonzalez Filho, E. Simoen, R. Rooyackers, C. Claeys, N. Collaert, J. A. Martino, P. G. D. Agopian, "Two-stage amplifier design based on experimental Line-Tunnel FET data.", **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)** – Publicado e selecionado para apresentação oral no dia 10/15/2019.

5) W. Gonzalez Filho, J. A. Martino, P. G. D. Agopian, "Output conductance at saturation like region on LineTFET for different dimensions", **34th Symposium on Microelectronics Technology and Devices (SBMicro)** – Publicado e selecionado para apresentação oral no dia 29/06/2019.

6) W. Gonzalez Filho, J. A. Martino, P. G. D. Agopian, "Line TFET modelling using lookup table obtained from experimental data", **XIV Workshop on Semiconductors and Micro & Nano Technology (SEMINATEC)** – Publicado e pôster apresentado no dia 12/04/2019.

7) W. Gonzalez Filho, J. A. Martino, P. G. D. Agopian, "Study of Process and Device Parameters for Improvement of Triple Gate Tunnel-FETs", **XIII Workshop on Semiconductors and Micro & Nano Technology (SEMINATEC)** – Publicado e selecionado para apresentação oral no dia 20/04/2018.

REFERÊNCIAS

ACHARYA, A. et al., Drain current saturation in line tunneling-based TFETs: an analog design perspective. **IEEE TRANSACTIONS ON ELECTRON DEVICES**, v. 65, n. 1, 2018.

AGOPIAN, P. G. D. et al., “Study of Line-TFET analog performance comparing with other TFET and MOSFET architectures”, **Solid-State Electronics**, Vol. 128, pp. 43-47, 2017.

ALLEN, P. E. CMOS Analog Circuit Design. **Oxford University Press**, 2012.

Cadence Design Systems, Cadence®Verilog®-A Language Reference. 2006.

CHEN, Y. et al., An injectable 64nW ECG mixed-signal SoC in 65nm for arrhythmia monitoring, **IEEE Journal of Solid-State Circuits**, v. 50 n. 1, 2015.

COLINGE, J.-P. Silicon-On-Insulator technology: materials to VLSI. **Kluwer Academic Publishers**, p. 229–231, 2004.

DE MICHIELIS, L., LATTANZIO, L., IONESCU A. M., “Understanding the superlinear onset of Tunnel-FET output characteristic”, **IEEE Electron Device Letters**, v. 33, n. 11, pp. 1523-1525, 2012.

HAN, D. et al., A 0.45V 100-channel neural-recording IC with sub- μ W/channel consumption in 0.18 μ m CMOS, **III Solid-State Circuits Conference Digest of Technical Papers**, 2013.

HARPE, P. et al., A 0.20 mm² 3nW Signal acquisition IC for miniature sensor nodes in 65 nm CMOS, **IEEE Journal of Solid-State Circuits**, v. 51 n. 1, p. 240-248, 2016.

HAYASHI, E. Apple deve sair na frente com seus chips A12 de 7 nm para os iPhones deste ano. Disponível em: <https://canaltech.com.br/smartphone-/apple-deve->

sair-na-frente-com-seus-chips-a12-de-7-nm-para-os-iphones-deste-ano-121808, set. 2018. Acesso em: 25.4.2019.

HERMAN, F., The electronic energy band structure of silicon and germanium. **Proceedings of the IRE**, 1955.

IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, v. 479, n. 7373, p. 329–337, nov. 2011.

KANE, E. O., Zener tunneling in semiconductors. **Journal of Physics and Chemistry of Solids**, v. 12, n. 2, 1960

KLEINMAN, L., Theory of phonon-assisted tunneling in semiconductors. **Physical Review**. v. 140 n. 2A, 1964.

LIU, H. et al., “Tunnel-FET-Based Ultra-Low Power, Low-Noise Amplifier Design for Bio-signal Acquisition”, **ISLPED**, ACM, pp. 57-62, 2014

LU, H. et al., Tunnel FET analog benchmarking and circuit design. **IEEE Transactions On Circuits and Systems**, v. 62, n. 1, 2010.

LU, H.; ESSENI, D.; SEABAUGH, A. Universal analytic model for tunnel FET circuit simulation. **Solid-State Electronics**, v. 108, p. 110–117, jun. 2015.

MALLIK A., CHATTOPADHYAY A., “Drain-dependence of Tunnel Field Effect Transistor characteristics: The role of the channel”, **IEEE Transactions on Electron Devices**, v. 58, n. 12, pp. 4250-4257, 2011.

MAMIDALA, J. K. Tunnel Field Effect Transistors: Modelling and Simulation. **John Wiley and Sons**, 2017.

MARKOFF, J. Intel Says Chips Will Run Faster, Using Less Power. Disponível em: <https://www.nytimes.com/2007/01/27/technology/27chip.html>, jan. 2007. Acesso em: 25.4.2019.

MARTINO, M. D. V. et al. Performance of TFET and FinFET Devices Applied to Current Mirrors For Different Dimensions and Temperatures. **Semiconductor Science and Technology**, v. 31, n. 5, p. 055001, 2016.

MARTINO, M. D. V. et al., Estudo de Transistores de Tunelamento Controlados por Efeito de Campo. **Escola Politécnica da Universidade de São Paulo**, 2012.

MEMISEVIC, E. et al., Vertical InAs/AaAsAb/GaSb Tunneling Field-Effect Transistor on Si with $s = 48$ mv/decade and $i_{on} = 10$ A/m for $i_{off} = 1$ nA/m at $v_{ds} = 0.3$ V. **IEEE Electron Devices Meeting**, 16-501, 2016.

MOSELUND, K. et al., Lateral InAs/Si p-type tunnel fets integrated on Si — part 1: experimental devices. **IEEE Transaction on Electron Devices**, v. 63, n. 11, 2016.

MURMAN, B. Systematic Design of Analog Circuits Using Pre-Computed LookupTables. **Stanford Press**, 2016.

NEVES, F. S. et al., Low-frequency noise analysis and modeling in vertical Tunnel FETs with Ge source, **IEEE Transactions on Electron Devices**, v. 63 n. 4, p. 1658-1665., 2016.

PARVEEN, T. Textbook of Operational Transconductance Amplifier and Analog Integrated Circuits. **I K International Publishing House**, 2013.

QUALCOMM. Snapdragon 835 Mobile Platform Product Brief. EUA, 2018.

RANGEL, R. S. et al., Performance Evaluation of Tunnel-FET Basic Amplifier Circuits. **10th LASCAS**, 2019.

RAZAVI, B. Design of Analog CMOS Integrated Circuits. **Mc Graw Hill Education**, 2015.

SAJJAD, R. et al., Trap Assisted Tunneling and Its Effect on Subthreshold Swing of Tunnel Field Effect Transistors. **IEEE Transactions on Electron Devices**, v. 63, n. 11, 2015

SEDIGHI, B. et al. Analog Circuit Design Using Tunnel-FETs. **IEEE Transactions on Circuits and Systems**, v. 62, n. 1, p. 39–48, jan. 2015.

SENTAURUS, SentaurusTM Device User Guide. EUA, 2016.

SIVIERI, V. D. B. Estudo de Transistores de Tunelamento Induzido Por Efeito de Campo (TFET) Construídos em Nanofio. **Escola Politécnica da Universidade de São Paulo**, 2016.

SZE, S. M.; NG, K. K. Physics of Semiconductor Devices. **N.J: Wiley-Interscience**, 3rd edition, 2007.

TRIVEDI, A. et al., Application of Silicon-Germanium Source Tunnel-FET to Enable Ultra-low Power Cellular Neural Network-based Associative Memory. **IEEE Transactions on Electron Devices**, v. 61, n. 11, 2014.

WALKE, A. M. et al., Fabrication and Analysis of a Si/Si_{0.55}Ge_{0.45} Heterojunction Line-tunnel FET. **IEEE Transaction on Electron Devices**, v. 61, n. 3, pp. 707-715, 2014.

ZHONG L. et al., Oversampling Successive Approximation Technique for MEMS Differential Capacitive Sensor, **IEEE Journal of Solid-State Circuits**, v. 53 n. 8, p. 2240-2251, 2018

APÊNDICE A – MODELO VERILOG-A PARA SIMULAÇÃO DE CIRCUITOS

```
// VerilogA for line_tfet, line_tfet,veriloga

`include "constants.vams"
`include "disciplines.vams"

module line_tfet(G, D, S);
  inout G, D, S;
  electrical G, D, S;

  parameter real W=0.12;
  parameter real L=1;

  real l=L, Cgs, Cgd, Qd, Qs;
  analog begin

    //      I(G,S) <+ (W/0.12) * L * $table_model(V(D,S),
    V(G,S),"line_120nm_1um_igs.tbl" , "1LL,1LL");
      Cgs = W * L * $table_model(V(D,S), V(G,S),"line_1um_1um_cgs.tbl" ,
    "3LL,3LL");
      Cgd = W * L * $table_model(V(D,S), V(G,S),"line_1um_1um_cgd.tbl" ,
    "3LL,3LL");

      Qs = -Cgs*V(G,S);
      Qd = -Cgd*V(G,D);
      case(1)
        (l==1): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_1um_ids.tbl" , "3LL,3LL");
        (l==0.9): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_900nm_ids.tbl" , "3LL,3LL");
        (l==0.8): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_800nm_ids.tbl" , "3LL,3LL");
        (l==0.7): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_700nm_ids.tbl" , "3LL,3LL");
        (l==0.6): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_600nm_ids.tbl" , "3LL,3LL");
        (l==0.5): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_500nm_ids.tbl" , "3LL,3LL");
        (l==0.4): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_400nm_ids.tbl" , "3LL,3LL");
        (l==0.3): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_300nm_ids.tbl" , "3LL,3LL");
        (l==0.2): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_200nm_ids.tbl" , "3LL,3LL");
        (l==0.1): I(D,S) <+ (W/0.12) * $table_model(V(D,S),
    V(G,S),"line_120nm_100nm_ids.tbl" , "3LL,3LL");
      endcase

      I(D) <+ ddt(Qd);
      I(S) <+ ddt(Qs);
    end
  endmodule
```

APÊNDICE B – ARQUIVO PARA GERAR A ESTRUTURA DO DISPOSITIVO NO PROGRAMA SENTAUROS STRUCTURE EDITOR

```
;-----SDE-----

;-----Definindo os parametros-----
(define EOT 0.0009 ); [um] espessura do oxido de porta efetivo;
(define L 1); [um] comprimento do gate;
(define Ls 1.1); [um] comprimento da fonte;
(define offset 0.004); [um] desalinhamento entre fonte e porta;
(define Lch 0.021); [um] comprimento da regiÃo intrÃnseca do canal;
(define Ld 0.05); [um] comprimento do dreno;
(define tb 0.025); [um] espessura do corpo de Si;
(define ts 0.035); [um] espessura da fonte;
(define tpocket 0.004); [um] espessura do pocket;
(define td 0.031); [um] espessura do dreno;
(define tbox 0.145); [um] espessura do oxido enterrado;
(define Hspacer 0.01); [um] altura do spacer;

;-----definindo constantes-----;
(define LBOX (+ (+ Ls Lch) Ld)); comprimento do oxido enterrado;
(define LBOXc (/ LBOX 2.0)); metade do tamanho do dispositivo;
(define Lc (/ L 2.0)); metade do tamanho do canal;
(define H (+ (+ (+ tb tbox) ts) tpocket)); altura do dispositivo;
(define tx (- (+ tpocket ts) td)); H-espessura do dreno-espessura do
corpo;
(define u (- LBOX (+ (+ Ld L) (* 2 Lch)))); comprimento do contato de
fonte;
;-----Estrutura-----;

(sdegeo:create-rectangle (position (* LBOXc -1.0) 0.0 0.0) (position
LBOXc tbox 0.0) "Oxide" "oxido_enterrado")
(sdegeo:create-rectangle (position (* Lc -1) H 0.0 ) (position Lc (+ H
EOT) 0.0) "Oxide" "oxido_porta")
(sdegeo:create-rectangle (position (* Lc -1) H 0.0 ) (position (* (+ Lc
Lch) -1) (+ H Hspacer) 0.0) "Oxide" "spacer1")
(sdegeo:create-rectangle (position Lc H 0.0 ) (position (+ Lc Lch) (+ H
Hspacer) 0.0) "Oxide" "spacer2")
(sdegeo:create-rectangle (position (* LBOXc -1) tbox 0.0 ) (position
LBOXc (+ tbox tb) 0.0) "Silicon" "corpo")
(sdegeo:create-rectangle (position (* LBOXc -1) (+ tbox tb) 0.0)
(position (- Lc offset) (+ (+ tbox tb) ts) 0.0) "SiliconGermanium"
"fonte" )
(sdegeo:create-rectangle (position (- Lc offset) (+ tbox tb) 0.0)
(position (+ Lc Lch) H 0.0) "Silicon" "canal" )
(sdegeo:create-rectangle (position (+ Lc Lch) (+ tbox tb) 0.0) (position
LBOXc (+ (+ tbox tb) tx) 0.0) "Silicon" "canal2" )
(sdegeo:create-rectangle (position (+ Lc Lch) (+ (+ tbox tb) tx) 0.0)
(position LBOXc H 0.0) "Silicon" "dreno" )
(sdegeo:create-rectangle (position (* (+ Lc Lch) -1) (- H tpocket) 0.0)
(position (- Lc offset) H 0.0) "SiliconGermanium" "pocket" )
```

```

;-----Contatos-----
;Vermelho contato fonte
(sdegeo:define-contact-set "Contato_fonte" 4 (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Contato_fonte")
(sdegeo:set-contact-edges (list (car (find-edge-id (position (* (+ (+ Lc
Lch) (/ u 2)) -1) (- H tpocket) 0.0)))) "Contato_fonte")
(sdegeo:set-contact-edges (list (car (find-edge-id (position (* (+ Lc Lch)
-1) (+ (- H tpocket) 0.001) 0.0)))) "Contato_fonte")

(journal:pause)
(render:rebuild)
;-----
;Amarelo contato dreno
(sdegeo:define-contact-set "Contato_dreno" 4 (color:rgb 1 1 0 ) "##" )
(sdegeo:set-current-contact-set "Contato_dreno")
(sdegeo:set-contact-edges (list (car (find-edge-id (position (+ (+ Lc Lch)
(/ Ld 2)) H 0.0)))) "Contato_dreno")
(journal:pause)
(render:rebuild)

;-----
;Branco contato substrato
(sdegeo:define-contact-set "Contato_substrato" 4 (color:rgb 1 1 1 ) "##"
)
(sdegeo:set-current-contact-set "Contato_substrato")
(sdegeo:set-contact-edges (list (car (find-edge-id (position 0.0 0.0
0.0)))) "Contato_substrato")
(journal:pause)
(render:rebuild)

;-----
;Azul contato porta
(sdegeo:define-contact-set "Contato_porta" 4 (color:rgb 0 0 1 ) "##" )
(sdegeo:set-current-contact-set "Contato_porta")
(sdegeo:set-contact-edges (list (car (find-edge-id (position 0 (+ H EOT)
0.0)))) "Contato_porta")
(journal:pause)
(render:rebuild)

;-----Dopagens-----
-

(sdedr:define-constant-profile "ConstantProfileDefinition_fonte"
"BoronActiveConcentration" 1E20)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte"
"ConstantProfileDefinition_fonte" "fonte")

(sdedr:define-constant-profile "ConstantProfileDefinition_dreno"
"ArsenicActiveConcentration" 5E18)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno"
"ConstantProfileDefinition_dreno" "dreno")

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration" 1E15)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal"
"ConstantProfileDefinition_canal" "canal")

(sdedr:define-constant-profile "ConstantProfileDefinition_canal2"
"BoronActiveConcentration" 1E15)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal2"
"ConstantProfileDefinition_canal2" "canal2")

(sdedr:define-constant-profile "ConstantProfileDefinition_pocket"
"BoronActiveConcentration" 1E19)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_pocket"
"ConstantProfileDefinition_pocket" "pocket")

(sdedr:define-constant-profile "ConstantProfileDefinition_corpo"
"BoronActiveConcentration" 1E15)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_corpo"
"ConstantProfileDefinition_corpo" "corpo")

;-----Refinamento-----
-----;

(sdegeo:create-rectangle (position (* (+ Lc Lch) -1) (- (+ (+ tbox tb) ts)
tpocket) 0.0) (position (- Lc offset) (+ (+ tbox tb) ts) 0.0)
"SiliconGermanium" "ref_fonte_y" )

(sdegeo:create-rectangle (position (- Lc 0.02) (+ tbox tb) 0.0) (position
(- Lc offset) (- (+ (+ tbox tb) ts) tpocket) 0.0) "SiliconGermanium"
"ref_fonte_x" )

(sdedr:define-constant-profile "ConstantProfileDefinition_ref_fonte_y"
"BoronActiveConcentration" 1E20)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement_ref_fonte_y"
"ConstantProfileDefinition_ref_fonte_y" "ref_fonte_y")

(sdedr:define-constant-profile "ConstantProfileDefinition_ref_fonte_x"
"BoronActiveConcentration" 1E20)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement_ref_fonte_x"
"ConstantProfileDefinition_ref_fonte_x" "ref_fonte_x")

;-----Grade-----
-----;

;Ã³xido porta
(sdedr:define-refinement-size "RefinementDefinition_oxido_porta" 0.01
0.01 0 0.001 0.001 0)
(sdedr:define-refinement-region "RefinementPlacement_oxido_porta"
"RefinementDefinition_oxido_porta" "oxido_porta" )

;pocket

```

```

(sdedr:define-refinement-size "RefinementDefinition_pocket" 0.002 0.0008
0 0.0001 0.00005 0)
(sdedr:define-refinement-region "RefinementPlacement_pocket"
"RefinementDefinition_pocket" "pocket" )

;fonte
(sdedr:define-refinement-size "RefinementDefinition_fonte" 0.005 0.005 0
0.0001 0.0001 0)
(sdedr:define-refinement-region "RefinementPlacement_fonte"
"RefinementDefinition_fonte" "fonte" )

;dreno
(sdedr:define-refinement-size "RefinementDefinition_dreno" 0.0025 0.0025
0 0.0001 0.0001 0)
(sdedr:define-refinement-region "RefinementPlacement_dreno"
"RefinementDefinition_dreno" "dreno" )

;canal
(sdedr:define-refinement-size "RefinementDefinition_canal" 0.00075
0.00075 0 0.0001 0.0001 0)
(sdedr:define-refinement-region "RefinementPlacement_canal"
"RefinementDefinition_canal" "canal" )

;refinamento da fonte em y
(sdedr:define-refinement-size "RefinementDefinition_ref_fonte_y" 0.002
0.0008 0 0.0001 0.00005 0)
(sdedr:define-refinement-region "RefinementPlacement_ref_fonte_y"
"RefinementDefinition_ref_fonte_y" "ref_fonte_y" )

;refinamento da fonte em x
(sdedr:define-refinement-size "RefinementDefinition_ref_fonte_x" 0.0025
0.0025 0 0.001 0.001 0)
(sdedr:define-refinement-region "RefinementPlacement_ref_fonte_x"
"RefinementDefinition_ref_fonte_x" "ref_fonte_x" )

(sde:set-meshing-command "snmesh -a -c boxmethod")
(sdedr:append-cmd-file "")
(sde:build-mesh "snmesh" "-a -c boxmethod" "line")

;;;SAVE;;;

(sdeio:save-tdr-bnd (get-body-list) "line_bnd.tdr")

```


APÊNDICE C – ARQUIVO DE SIMULAÇÃO AC E DC DO DISPOSITIVO NO PROGRAMA SENTAURUS DEVICE

```

File{
    Grid= "line_msh.tdr"
    Doping="line_msh.tdr"
    parameter="sige.par"
    Plot= "line_BTBT.tdr"
    Current="line_BTBT.plt"
    Output="line.log"
}

Electrode {
    { Name="Contato_fonte"      Voltage=0 }
    { Name="Contato_dreno"      Voltage=1 }
    { Name="Contato_porta"      Voltage=0      Workfunction=4.7 }
}

Physics{
    MoleFraction(RegionName = ["fonte" "ref_fonte_y" "ref_fonte_x"]
        xFraction=0.45
    )
    MoleFraction(RegionName = ["pocket"]
        xFraction=0
    )
    Temperature=300
    Fermi
    eMultivalley(kpDOS)
    hMultivalley(kpDOS)
    EffectiveIntrinsicDensity (NoBandGapNarrowing)
    # hQuantumPotential(Resolve Density)
    # eQuantumPotential(Resolve Density)

    ###for SRH and TAT:
    # Recombination(SRH(Dopingdependence))
    # Recombination(SRH(Dopingdependence
    #     NonlocalPath(Lifetime = Schenk TwoBand Fermi)))

    Recombination(
        Band2Band(Model=NonlocalPath
            -InterfaceReflection
            -FranzDispersion
        )
    )
}

Plot{
    EffectiveBandgap
    eDensity hDensity
}

```

```

eCurrent hCurrent
TotalCurrent TotalCurrentDensity
SRHrecombination
eSRHrecombination hSRHrecombination tSRHrecombination
TotalRecombination
Potential
ElectricField/Vector
eBarrierTunneling hBarrierTunneling
Band2BandGeneration
eBand2BandGeneration hBand2BandGeneration
eQuasiFermi hQuasiFermi
ConductionBand ValenceBand
Doping DonorConcentration AcceptorConcentration
BandGap
BandGapNarrowing
EffectiveBandGap
SemiconductorGradValenceBand/Vector
DielectricConstant
ElectronAffinity
SpaceCharge # added on 28th Nov 2014
# B2BTunnelingMass1
}

Math{
  Extrapolate
  RelErrControl
  Currentweighting
  Iterations=50
  NotDamped=50
  Digits=5

  DensityIntegral(30) #set 150 for T<100 to avoid convergence issues

  RhsFactor = 1e25

  ImplicitACSystem
  #RecomputeQFP
}

CurrentPlot{
  eBand2BandGeneration(Integrate(Everywhere))
  hBand2BandGeneration(Integrate(Everywhere))
  SRHRecombination(Integrate(Everywhere))
  eSRHRecombination(Integrate(Everywhere))
  tSRHRecombination(Integrate(Everywhere))
  hSRHRecombination(Integrate(Everywhere))
  TotalRecombination(Integrate(Everywhere))
}

Solve {
  #initial solution:
  #Coupled {Poisson hQuantumPotential eQuantumPotential}

```

```

Coupled {Poisson}
Coupled {Poisson Electron Hole}

# #Bias drain to target bias:
NewCurrentProfile="VDS=1.0_"
Quasistationary(
  InitialStep=0.05 Increment=2
  MinStep=1e-3 MaxStep=25e-3
  Goal { Name="Contato_porta" Voltage=2})
{ACCoupled ( StartFrequency=1.e3 EndFrequency=1.e3 NumberOfPoints=1
Decade
  ACCompute (Time = (Range = (0 1) intervals=24))
  ACExtract="AC1" )
  #{Poisson Electron Hole}
  {Poisson Electron Hole} }

}

```