ALBERTO VINICIUS DE OLIVEIRA

Estudo de transistores de porta tripla (FinFETs) de silício e de germânio

São Paulo 2017

## ALBERTO VINICIUS DE OLIVEIRA

Estudo de transistores de porta tripla (FinFETs) de silício e de germânio

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Ciências.

São Paulo 2017

## ALBERTO VINICIUS DE OLIVEIRA

Estudo de transistores de porta tripla (FinFETs) de sílicio e de germânio

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Ciências.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

Coorientadora: Prof.<sup>a</sup>. Dra. Paula Ghedini Der Agopian

São Paulo 2017

Este exemplar foi revisado e corrigido em responsabilidade única do autor e com a a	relação à versão original, sob anuência de seu orientador.
São Paulo, de	de
Assinatura do autor:	
Assinatura do orientador:	

Catalogação-na-publicação

Oliveira, Alberto Vinicius de Estudo de transistores de porta tripla (FinFETs) de silício e de germânio / A. V. Oliveira -- versão corr. -- São Paulo, 2017. 139 p.
Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.
1.Microeletrônica 2.Transistor 3.Silício 4.Germânio 5.FinFET I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Dedico este trabalho aos meus pais; Josefa e Luis.

#### AGRADECIMENTOS

Primeiramente a Deus, por tornar possível a realização deste trabalho.

Aos professores, Dr. João Antonio Martino e Dra. Paula Ghedini Der Agopian, pela intensa orientação, pelos ensinamentos e constantes incentivos transmitidos ao longo de toda a jornada do trabalho e, principalmente, pela confiança depositada.

Às agências de fomento, CAPES e CNPq, pelos apoios financeiros prestados tanto no Brasil quanto no exterior.

Aos meus amados, pais e irmã; Josefa, Luis e Natalia, pela paciência em minha ausência, pelo constante incentivo, carinho e suporte. Além de todos os meus familiares que me apoiaram em todas as fases de minha vida.

Aos amigos Caio e Amanda Bordallo, Felipe Neves, Ricardo Rangel, Vitor Tatsuo, Fernando Ferrari, Victor Sivieri, Kátia Sasaki, Luciano Almeida, Glaucia Fonseca, Pieter Lenaerts e Amanda Sabino por todo apoio, companheirismo, discussões e momentos de descontração.

À Julia Pacheco Fanton, a qual tenho muita gratidão pelo intenso incentivo a seguir à carreira acadêmica.

Aos pesquisadores Eddy Simoen, Cor Claeys e Jérôme Mitard pela orientação, parceria e discussões técnicas durante o meu estágio no Imec, Leuven, Bélgica.

A todos do grupo SOI e do Imec que contribuíram de alguma forma à realização do trabalho e que, porventura, tenham sidos omitidos.

Se eu vi mais longe, foi por estar sobre os ombros de gigantes. (Isaac Newton)

#### RESUMO

Este trabalho apresenta um estudo que inclui a comparação experimental entre transistores de porta tripla (FinFETs) fabricados sobre lâminas de Silício-Sobre Isolante (SOI) e os fabricados diretamente sobre a lâmina de silício (de corpo). A caracterização elétrica dos FinFETs foi realizada para canais tipo n e p, a fim de realizar uma avaliação no desempenho tanto de parâmetros para aplicações digitais (tensão de limiar, transcondutância e inclinação de sublimiar), quanto analógicas (ganho intrínseco de tensão, tensão Early, condutância de saída e razão gm/I<sub>DS</sub>), em temperatura ambiente (25 °C). Além disso, a faixa de comprimento de canal analisado foi de 130 nm a 10 µm, altura da aleta de 65 nm e a largura da aleta de 20 nm a 250 nm. Ainda, é apresentado um estudo em temperatura, na faixa de 25 °C a 150 °C, focando-se na comparação entre os dispositivos FinFETs SOI e de corpo. Em temperatura ambiente, a variação da tensão de limiar em função do comprimento de canal do transistor é observada primeiro nos dispositivos FinFETs de corpo comparada aos FinFETs SOI. Desta forma, mostra-se que os FinFETs SOI são mais imunes ao efeito de canal curto do que aos FinFETs de corpo. No entanto, um ponto a ser otimizado na tecnologia FinFET SOI é a condução pela segunda interface, uma vez que, esta afeta a inclinação de sublimiar a qual atingiu valores maiores de três vezes (tipo n) e 2 vezes (tipo p) que os FinFETs de corpo, considerando-se aletas largas (130 nm) e comprimentos de canal abaixo de 130 nm. Este efeito degrada diversos parâmetros, tornando assim os FinFETs de corpo mais favoráveis, principalmente, em aplicações analógicas, resultando em níveis de ganho intrínseco de tensão de 10 % a 20% maiores que os FinFETs SOI, para canais tipo n e p, respectivamente. Para a faixa de temperatura de 25 °C a 150 °C, o FinFET de corpo apresentou uma variação da tensão de limiar na ordem de quatro vezes a do FinFET SOI. Por outro lado, o parâmetro de redução da barreira de potencial induzida pela tensão aplicada ao dreno (DIBL) é dependente da tempertura, quando a condução pela segunda interface é observada no FinFET SOI. Por fim, na faixa de temperatura estudada os parâmetros para aplicações analógicas não apresentaram variações significativas, quando comparado aos da temperatura ambiente.

Além disso, este trabalho apresenta um comparação do desempenho elétrico de FinFETs de germânio (canal tipo p), os quais apresentam diferentes processos de substrato (integração de germânio sobre silício), por meio do estudo de ruído em baixa frequência (LFN) e parâmetros para aplicações digitais. Notou-se que os diferentes substratos interferem no desempenho dos dispositivos, principalmente na região de sublimiar, na qual necessita de uma otimização de processo de crescimento epitaxial do substrato, a fim de reduzir o nível de corrente elétrica de fuga entre dreno e substrato. Como consequência da alta densidade de defeitos no substrato virtual de germânio, a corrente elétrica de dreno atingiu uma ordem de grandeza maior do que os demais processos. Por meio da análise de ruído em baixa frequência, constatou-se que há defeitos no interior do canal dos transistores, os quais são termicamente ativados e afetam a região de sublimiar. Além do mais, os dispositivos com tensionamento compressivo, de ambos os processos STI *first* e STI definida depois (STI *last*), apresentaram uma mobilidade efetiva de portador três vezes maior comparado ao processo STI *last* sem tensionamento do canal, a uma temperatura de operação de 77 K.

Palavras chave: FinFET. Microeletrônica.Transistor.Silício.Gêrmanio.

#### ABSTRACT

This work presents an experimental comparison between triple gate FinFETs fabricated on Silicon-On-Insulator (SOI) and on silicon wafers. It is presented the electrical characterization of SOI FinFET and bulk FinFET of both p and n types, in order to compare theirs digital (Current-Voltage curves, threshold voltage, transconductance and subthreshold swing) and analog (intrisic voltage gain, Early voltage, ouput conductance gm/IDs ratio) performances at room temperature (25 °C). Moreover, a temperature evaluation is shown, where its range is from 25 °C to 150 °C. In addition, the studied channel length range is from 130 nm to 10 µm, fin height of 65 nm and the fin width range varying from 20 nm to 250 nm. At room temperature, the SOI FinFET devices show to be more immune to the SCEs than the bulk FinFET ones. However, it is necessary to optimize the SOI structure, since it suffers from the parasitic back interface conduction, which degraded almost all studied parameters, for instance, the subthreshold swing of SOI FinFETs were higher three times (for n-type) and two times (for p-type) compared with the bulk ones. As a result the bulk FinFET is more suitable in analog applications, which presented intrisic voltage gain 10 % and 20% higher than SOI FinFETs, for n- and p-type, respectively. At different temperature the bulk FinFET is more vulnerable to threshold voltage variation than the SOI FinFET. On the other hand, the DIBL is the parameter that tends to be worst as the temperature increases, for the SOI FinFETs. Finally, the basic analog parameters at different temperature operation presented no significant variations, comparing to the ones at room temperature operation.

Apart from that, this work also provides a first comparison of the impact of the different Ge-on-Si integration schemes on the Ge pFinFET performances, using Low-Frequency-Noise (LFN) and digital parameters as evaluation tools. It is demonstrated that different substrate growths play a role in the off-state current, where an effort is required in order to optimize (reduce) the drain current level, since has been found that the Ge/Si substrate (from STI last process and relaxed channel) presents a higher defect density into the substrate, resulting in an off-current level of one order of magnitude higher than the other processes under evaluation. From the low-frequency-noise results, ones show that there are defects into the channel rather than the gate oxide, which are thermally activated and dominate the subthreshold region. In addition, the strained Ge FinFETs, from both

STI first and last processes, which reached values of effective mobility three times higher than the relaxed ones at temperature of 77 K.

Key words: FinFET.Microelectronic.Transistor.Silicon.Germanium

# LISTA DE FIGURAS

Figura 1 -	Evolução tecnológica de transistores MOS 30
Figura 2 -	Estruturas de FinFET de porta tripla
Figura 3 -	Migração da tecnologia planar para a FinFET da Intel 32
Figura 4 -	Primeiro FinFET SOI brasileiro fabricado na USP 33
Figura 5 -	Estruturas de FinFET de porta tripla, (A): SOI e (B): de Corpo 34
Figura 6 -	Secção transversal de um transistor SOI nMOS 37
Figura 7 -	Diagrama de faixas de energia de um transistor nMOS 39
Figura 8 -	Diagrama de faixas de energia de um transistor PD nSOI 39
Figura 9 -	Diagrama de faixas de energia de um transistor FD nSOI 40
Figura 10 -	Curva $V_{GS} \ x \ V_{GB}$ para nMOSFET FD nSOI
Figura 11 -	Efeito de canal curto para as tecnologias MOSFET e SOI 42
Figura 12 -	Componentes de campo elétrico em um dispositivo de multíplas
	portas
Figura 13 -	Diferentes estruturas de portas 46
Figura 14 -	Estrutura FinFET de porta dupla 47
Figura 15 -	FinFET SOI com múltiplas aletas 48
Figura 16 -	Dependência da espessura do filme de silício sobre-tensão de limiar
	em um dispositivo de porta dupla 49
Figura 17 -	Redução da barreira de potencial do canal induzida pela tensão
	aplicada ao dreno52
Figura 18 -	Tensão Early54
Figura 19 -	Etapas básicas de fabricação de um FinFET SOI 61
Figura 20 -	Fluxo base de fabricação de um FinFET de corpo 62
Figura 21 -	Processo "STI antes" – canal de Ge tensionado 67
Figura 22 -	Imagem de microscopia eletrônica de campo escuro da secção
	transversal de uma FinFET de Ge STI antes com tensionamento no
	canal
Figura 23 -	Processo "STI depois" - canal de Ge não tensionado 69
Figura 24 -	Imagem de microscopia eletrônica da secção transversal de uma
	FinFET de Ge STI depois sem tensionamento no canal 69
Figura 25 -	Processo "STI depois" – canal de Ge tensionado 70

- Figura 27 Esquema elétrico para caracterização C-V em alta frequenência. 73

- Figura 33 Transcondutância em função do comprimento de canal, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo. .... 79
- Figura 34 Transcondutância em função do comprimento de canal, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo... 80
- Figura 35 Condutância de saída em função do comprimento de canal, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.

Figura 50 -	Frequência de ganho unitário para diferentes dispositivos, comparando-se pFinFETs SOI e de corpo
Figura 51 -	Tensão de limiar em função da temperatura, para largura da aleta de 20 nm. comparando-se nFinFETs SOI e de corpo
Figura 52 -	Tensão de limiar em função da temperatura, para largura da aleta de 130 nm, comparando-se nFinFETs SOI e de corpo
Figura 53 -	Taxa de variação de tensão de limiar com a temperatura, para largura da aleta de 20 nm, comparando-se nFinFETs SOI e de corpo. 94
Figura 54 -	Taxa de variação de tensão de limiar com temperatura, para largura da aleta de 130 nm, comparando-se nFinFETs SOI e de corpo 95
Figura 55 -	Simulação da densidade de corrente de elétrons ao longo da altura da aleta, comparando-se nFinFETs SOI e de corpo
Figura 56 -	Transcondutância máxima normalizada em função da temperatura, para larguras de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo
Figura 57 -	Transcondutância máxima normalizada em função da temperatura, para larguras de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo
Figura 58 -	Corrente de dreno em função da tensão de porta para diferentes temperaturas, nFinFET de corpo
Figura 59 -	Corrente de dreno em função da tensão de porta para diferentes temperaturas, nFinFETs SOI
Figura 60 -	Redução de barreira induzida na fonte pela tensão aplicada ao dreno em função da temperatura, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo
Figura 61 -	Redução de barreira induzida na fonte pela tensão aplicada ao dreno em função da temperatura, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo
Figura 62 -	Tensão Early em função da temperatura, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo
Figura 63 -	Tensão Early em função da temperatura, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo

- Figura 68 Máxima transcondutância normalizada em função da largura de aletas para pFinFETs de Ge de diferentes processos STI....... 106

- Figura 75 Densidade espectral de ruído de baixa frequência e densidade espectral normalizada em função da frequência para pFinFETs de Ge de diferentes processos STI em temperatura ambiente...... 113
- Figura 76 Densidade espectral de corrente de dreno normalizada e razão quadrática da transcondutância pela corrente de dreno em função do módulo da corrente de dreno em triodo para dispositivos

- Figura 81 Constante de tempo de ruído geração-recombinação (componente Lorentziana) em função da tensão aplicada à porta, para pFinFETs de Ge de diferentes processos STI em temperatura ambiente... 117
- Figura 82 Densidade espectral normalizada em função da temperatura e frequência para pFinFETs de Ge de diferentes processos STI... 118

# LISTA DE TABELAS

Tabela 1 - Característica dos FinFETs de corpo e SOI	. 63
Tabela 2 - Modelos considerados na simulação de FinFETS.	. 64
Tabela 3 - Parâmetros ajustados no simulador	. 65
Tabela 4 - Comparativo entre processos STI de canal tensionado	. 71
Tabela 5 - Característica dos FinFETs de Ge.	. 72
Tabela 6 - Parâmetros de dispositivos pFinFETs de Ge	120

# LISTA DE ABREVIATURAS E SIGLAS

CI	Circuito integrado
CET	<i>Capacitance Equivalent Thickness</i> ou espessura equivalente de óxido pela capacitância de inversão
CMOS	Complementary Metal-Oxide-Semiconductor
DC	Direct current ou operação em corrente contínua
DIBL	Drain Induced Barrier Lowering ou redução da barreira de potencial induzida pela tensão aplicada ao dreno
EOT	Equivalent oxide thickness ou espessura equivalente de óxido
FD SOI	Fully Depleted Silicon-On-Insulator ou silício sobre Isolante totalmente depletado
FET	Field Effect Transistor ou Transistor de Efeito de Campo
FinFET	Fin Field Effect Transistor (Vertical multiple gate Field Effect Transistor) ou Transistor Vertical de Efeito de Campo de múltiplas portas
Ge	Germânio
GIDL	Gate induced Drain Leakage ou corrente de fuga do dreno induzida pelo terminal porta
GP	Ground Plane ou plano de terra
GR	Ruído de geração-recombinação (Componente Lorentziana)
ITRS	International Technology Roadmap for Semiconductor
LFN	Low-Frequency-Noise ou ruído em baixa frequência
LPLV	Low-power low- voltage ou baixa potência e baixa tensão
MG	Metal Gate ou metal de porta
MOSFET	Metal Oxide Semiconductor Field Effect Transistor ou Transistor de Efeito de Campo Metal-Óxido-Semicondutor

MuGFET	Multiple Gate Field Effect Transistor ou Transistor de Efeito de Campo de Múltiplas Portas
nMOSFET	MOSFET de canal tipo n
NFD	Near Fully Depleted ou próximo da depleção total
pMOSFET	MOSFET de canal tipo p
NMOS	Transistor MOS tipo N
PD SOI	Partially Depleted Silicon-On-Insulator ou silício-sobre-isolante parcialmente depletado
PMOS	Transistor MOS tipo P
RDF	Random-Dopant Fluctuation ou flutuação aleatória de dopante
SCE	Short channel effect ou efeito de canal curto
Si	Silício
SiO <sub>2</sub>	Óxido de silício
SOI	Silicon-On-Insulator ou silício sobre Isolante
STI	Shallow Trench Isolation ou isolação por trincheira rasa
TD	Threading dislocation ou defeito estrutural na rede cristalina -
TiN	Nitreto de titânio
UTBB	<i>Ultra Thin Body and Buried oxide</i> ou dispositivos de filme e óxido enterrado ultra finos
ZTC	Zero Temperature Coeficient ou ponto invariante com a temperatura

# LISTA DE SÍMBOLOS

A	Parâmetro numérico da equação do modelo de ZTC
Av	Ganho intrínseco de tensão [V/V ou dB]
Ai	Constante do patamar da compenente Lorentziana [V <sup>2</sup> /Hz]
В	Parâmetro numérico da equação do modelo de ZTC
Bw	Parâmetro relativo ao ruído branco [V <sup>2</sup> /Hz ou A <sup>2</sup> /Hz]
С	Fator de degradação da transcondutância
CD	Capacitância de depleção por unidade de área [F/cm <sup>2</sup> ]
C <sub>gg</sub>	Capacitância total associada à porta [F]
C <sub>gd</sub>	Capacitâncias entre porta-dreno [F]
Cgs	capacitâncias entre porta-fonte [F]
C∟	Capacitância de saída [F]
Cox, Cox1	Capacitância do óxido de porta por unidade de área [F/cm <sup>2</sup> ]
Cox2	Capacitância do óxido enterrado por unidade de área [F/cm <sup>2</sup> ]
Csi	Capacitância do filme de Si por unidade de área [F/cm <sup>2</sup> ]
Dot	Densidade superficial de armadilhas [C/cm <sup>2</sup> ]
E	Campo elétrico [V/cm]
Ec	Nível energético inferior da faixa de condução [eV]
EF	Nível de Fermi [eV]
Eg	Largura da faixa proibida [eV]
E <sub>g0</sub>	Eg à temperatura de 0K [eV]
Ei	Nível intrínseco do semicondutor [eV]
Е⊤	Nível energético superior da faixa de valência da armadilha [eV]
Ev	Nível energético superior da faixa de valência [eV]
f	Frequência [Hz]

fo	Frequência característica da compenente Lorentziana [Hz]
ft	Frequência de ganho unitário [Hz]
gо	Condutância de saída [S]
gm	Transcondutância [S]
gm <sub>max</sub>	Transcondutância máxima [S]
gm <sub>max</sub> .L	Transcondutância máxima normalizada [S.µm]
gmtriodo	Transcondutância em triodo [S]
gm <sub>sat</sub>	Transcondutância em saturação [S]
gm/I <sub>D</sub>	Eficiência do transistor [V <sup>-1</sup> ]
h	Constante de Planck [eV.s]
ħ	Constante de Planck normalizada [eV.s]
H <sub>fin</sub>	Altura da aleta [nm]
I <sub>DS</sub>	Corrente entre fonte e dreno [A]
DSsat	Corrente entre dreno e fonte na região de saturação [A]
DS_FinFET	Corrente entre dreno e fonte para um dispositivo FinFET [A]
DS_Planar	Corrente entre dreno e fonte para um planar [A]
I <sub>ON</sub>	Corrente de dreno na região inversão forte (Acima de VT) [A]
IOFF	Corrente de dreno na região de sublimiar [A]
k	Constante de Boltzmann [eV/K]
k <sub>f</sub>	Constante relativo ao ruído flicker (1/f) [V <sup>2</sup> /Hz ou A <sup>2</sup> /Hz]
L	Comprimento do canal [µm ou nm]
Mc	Mc é o número de mínima energia da banda de condução
me*	Massa efetiva de elétron [kg]
m <sub>h</sub> *	Massa efetiva de lacuna [kg]
Mr	Massa reduzida (elétron ou lacuna) [kg]
N	Fator de corpo

n_p	Número de portas
N+	Região fortemente dopada com material do tipo N
Na	Concentração de dopantes aceitadores [cm <sup>-3</sup> ]
N <sub>eff</sub>	Densidade superficial de armadilha [cm <sup>-2</sup> ]
Ni	Concentração intrínseca de portadores [cm-3]
Ninv	Densidade de portadores de inversão [cm-2]
Nот	Densidade de armadilha do óxido de porta [eV <sup>-1</sup> cm <sup>-3</sup> ]
Р	Passo: distância entre uma aleta e outra [nm]
q	Carga elementar do elétron [C]
QINV	Densidade de carga de inversão [C/cm <sup>2</sup> ]
Sid	Densidade espectral de potência da corrente elétrica de dreno [A <sup>2</sup> /Hz]
Svg	Densidade espectral de ruído de baixa frequência referente à tensão de entrada na tensão [V²/Hz]
SVGfb	Svg na tensão de faixa plana [V²/Hz]
SS	Inverso da inclinação de sublimiar ou, comumente conhecido como inclinação de sublimiar [mV/década]
т	Temperatura [K ou C]
t <sub>box</sub>	Espessura do óxido enterrado [nm]
t <sub>ox</sub>	Espessura do dielétrico de porta [nm]
tsi	Espessura da região do canal [nm]
<b>t</b> high-K	Espessura do dielétrico de alta constante dielétrica [nm]
VBS	Tensão aplicada entre os terminais de substrato e fonte [V]
Vds	Tensão entre os terminais de fonte e dreno [V]
VDS_Triodo	Tensão entre dreno e fonte para baixo campo elétrico lateral [V]
VDS_Sat	Tensão entre dreno e fonte para alto campo elétrico lateral [V]
Vds_sat	Tensão entre dreno e fonte de saturação [V]
Vea	Tensão Early [V]
Vfb	Flat Band Voltage ou tensão de faixa plana [V]
V <sub>GB</sub>	Tensão entre o substrato a fonte para dispositivos SOI [V]

Vgs	Tensão entre a porta e a fonte [V]
Vgt	Sobre-tensão de porta [V]
Vato	VGs no ponto ZTC (Zero Temperature Coeficient ou Ponto
VZIC	invariante com a temperatura) [V]
VT, Vth	Tensão de limiar [V]
VT_Triodo	Tensão de limiar obtido na polarização de V <sub>DS_Triodo</sub> [V]
VT_Sat	Tensão de limiar obtido na polarização de V <sub>DS_Sat</sub> [V]
$V_{T\_MuGFET}$	Tensão de limiar para um MuGFET [V]
W	Largura do transistor [nm]
W <sub>eff</sub>	Largura efetiva do transistor [nm]
Wfin	Largura da aleta [nm]
XDMAX	Máxima largura da camada de depleção [µm ou nm]
a	Razão entre entre as capacitâncias abaixo e acima da camada
ŭ	de inversão
αsc	Coeficiente de espalhamento Coulomb [Vs/C]
Ωt	parâmetro de atenuação de tunelamento de ruído [cm <sup>-1</sup> ]
(ΔE)	Energia de ativação da armadilha (E⊤-E∨) [eV]
Δμ	Modelo de Hooge do ruído flicker (1/f)
ΔN	Modelo de McWorther do ruído flicker (1/f)
	Razão da variação da tensão de limiar pela variação de
$\Delta V \text{ th} / \Delta I$	temperatura [V/°C]
ε <sub>ox</sub>	Permissividade elétrica do óxido [F/cm]
<b>E</b> Si	Permissividade elétrica do silício [F/cm]
	Permissividade elétrica do material de alta constante dielétrica
Ehigh-K	[F/cm]
γ	Fator gama referente ao ruído flicker
λ	Constante de modulação de canal
λn	Comprimento natural [nm]
κ	Constante dielétrica do material
	Mobilidade de portador limitada por outros mecanismos de
<b>h</b> 0	espalhamento a parte do espalhamento Coulomb [cm²/V.s]
μn	Mobilidade de elétrons [cm²/V.s]

µ_topo	Mobilidade de portadores na superfície superior de um FinFET
	[cm <sup>2</sup> /V.s]
$\mu_{lateral}$	Mobilidade de portadores na superfície lateral de um FinFET
	[cm <sup>2</sup> /V.s]
фғ	Potencial de Fermi do semicondutor [V]
фмѕ	Diferença de função trabalho entre metal de porta e
	semicondutor [V]
σρ	Área da secção transversal de armadilhas para lacunas [cm <sup>-2</sup> ]
τ	Constante de tempo do centro de geração-recombinação [s]

# SUMÁRIO

1	INTRODUÇÃO	29
1.1	OBJETIVO	35
1.2	ESTRUTURA DO TRABALHO	36
2	REVISÃO BIBLIOGRÁFICA	37
2.1	TECNOLOGIA SOI	37
2.2	EFEITOS DE CANAL CURTO	42
2.3	COMPRIMENTO NATURAL E MATERIAL DIELÉTRICO	43
2.4	ELETRODO METÁLICO DE PORTA	44
2.5	TRANSISTORES DE MÚLTIPLAS PORTAS	45
2.5.1	FinFET de porta tripla	46
2.5.1.1	Corrente de dreno	47
2.5.1.2	Tensão de limiar	48
2.6	PRINCIPAIS PARÂMETROS ELÉTRICOS	49
2.6.1	Transcondutância	49
2.6.2	Inclinação de sublimiar	50
2.6.3	Redução da barreira de potencial induzida pelo dreno	51
2.6.4	Condutância de saída	52
2.6.5	Ganho intrínseco de Tensão	52
2.6.5.1	Razão gm/I <sub>D</sub>	53
2.6.5.2	Tensão Early (V <sub>EA</sub> )	54
2.6.6	Frequência de ganho unitário	54
2.6.7	Variação de tensão de limiar com a temperatura	55
2.6.8	Ponto invariante com a temperatura	55
2.6.9	Mobilidade de portadores	56
2.6.10	Ruído em baixa frequência	57

2.6.10.2	Ruído geração-recombinação	59
3	MATERIAIS E MÉTODOS	. 61
3.1	FINFET DE SILÍCIO	. 61
3.1.1	Etapas básicas de Fabricação de FinFETs: SOI e de corpo	. 61
3.1.2	Caracterização elétrica	. 62
3.1.3	Simulador Numérico de Dispositivos	. 64
3.1.3.1	Modelos	. 64
3.1.3.2	Ajustes	. 64
3.2	FINFET DE GERMÂNIO	. 65
3.2.1	FinFET de germânio: Motivação e Desafios	. 65
3.2.2	Processos de fabricação	. 66
3.2.2.1	Isolação por trincheira rasa definida antes	. 67
3.2.2.2	Isolação por trincheira rasa definida depois	. 68
3.2.2.2.1	Canal não tensionado	68
3.2.2.2.2	Canal tensionado	69
3.2.3	Comparativo entre os processos isolação por trincheira	. 70
3.2.4	Caracterização elétrica	. 71
3.2.4.1	Características Corrente-Tensão	. 72
3.2.4.2	Características Capacitância-Tensão	72
3.2.4.3	Características de ruído de baixa frequência	. 73
4	FINFETS DE SILÍCIO	. 74
4.1	COMPORTAMENTO EM TEMPERATURA AMBIENTE	. 74
4.1.1	FinFET canal n	. 74
4.1.1.1	Parâmetros básicos para aplicação digital	. 74
4.1.1.2	Parâmetros básicos para aplicação analógica	. 78
4.1.2	FinFET canal p	. 84
4.1.2.1	Parâmetros básicos para aplicação digital	84

4.1.2.2	Parâmetros básicos para aplicação analógica
4.2	COMPORTAMENTO EM FUNÇÃO DA TEMPERATURA
4.2.1	Parâmetros básicos para aplicação digital
4.2.2	Parâmetros básicos para aplicação analógica 100
5	FINFET DE GERMÂNIO 104
5.1	PARÂMETROS BÁSICOS 104
5.2	MOBILIDADE EFETIVA 110
5.3	RUIDO EM BAIXA FREQUÊNCIA 112
5.3.1	Geração-recombição116
5.4	DISCUSSÃO 121
6	CONCLUSÕES / TRABALHOS FUTUROS 122
6.1	CONCLUSÕES 122
6.2	TRABALHOS FUTUROS 124
	PUBLICAÇÕES126
	REFERÊNCIAS130
	ANEXO A: EXEMPLO DE ARQUIVO DE SIMULAÇÃO NO
	SENTAURUS138

### 1 INTRODUÇÃO

A indústria da nanoeletrônica vive em uma contínua evolução, acompanhando o previsto na lei de Moore [1; 2], a qual prevê que o número de transistores em um circuito integrado (CI) deve dobrar, em média, a cada 18 meses. A evolução baseia-se no surgimento de novas tecnologias, na mudança de materiais e no escalamento dos dispositivos. Sendo que este último foi por muito tempo a opção mais utilizada. Os *Metal Oxide Semiconductor Field Effect Transistors* (MOSFETs) têm sua implementação em altíssima escala de integração dificultada devido ao crescente escalamento dos dispositivos. A miniaturização do comprimento de canal dos transistores é responsável por diversos efeitos, comumente chamados de efeitos de canal curto [3]. Sendo assim, é necessário buscar outras tecnologias para obter-se um melhor desempenho.

Ao longo das últimas décadas, uma nova tecnologia mostrou ter um grande potencial para ser utilizada na fabricação de circuitos integrados. Trata-se da tecnologia SOI [4], na qual os dispositivos são fabricados em lâminas de silício sobre isolante (Silicon-On-Insulator - SOI). A tecnologia SOI mostra-se superior na supressão do efeito parasitário latch-up e na melhoria de parâmetros elétricos, devido ao melhor acoplamento eletrostático entre a porta e o canal, em relação ao MOS convencional. Um dos motivos se deve ao fato da existência do óxido enterrado, na tecnologia SOI, isolar a região ativa do restante do substrato. Os transistores desta tecnologia podem ser classificados em: parcialmente depletado (PD) e totalmente depletado (FD) [4]. Inicialmente, os dispositivos fabricados na tecnologia MOS convencional foram substituídos pelos PDs SOI, devido à compatibilidade dos processos de fabricação e grande semelhança no modo de operação. Posteriormente, os dispositivos FDs SOI passaram a ser muito utilizados pela indústria na fabricação de circuitos de alto desempenho, pois os transistores totalmente depletados apresentam melhor acoplamento eletrostático entre a porta e o canal que resulta em um melhor desempenho destes dispositivos quando comparados aos parcialmente depletados, como por exemplo, maior velocidade de chaveamento (inclinação de sublimiar muito próxima da ideal, em torno de 60 mV/década) quando operando na temperatura ambiente e menor fator de corpo [5]. Devido à melhoria, estes transistores

passaram a ser empregados principalmente na fabricação de processadores [6] e memórias [7].

Apesar dos dispositivos SOI serem mais imunes aos efeitos de canal curto do que os MOSFETs convencionais, para tecnologia abaixo de 22 nm, esses esfeitos são reduzidos mesmo com escalamento das dimensões dos transistores. A evolução tecnológica dos MOSFETs é apresentado na Figura 1, onde a estrutura planar foi dominante desde o nó de 130 nm até o de 32 nm sendo ainda uma alternativa à evolução dos dispositivos, porém com a tecnologia de canal e óxido enterrado ultra finos (Ultra Thin Body and Buried oxide - UTBB) SOI. Por outro lado, tem-se novas estruturas como transistor vertical de múltiplas portas, isto é, Fin Field Effect Transistor (FinFET) e nanofio.



Figura 1 - Evolução tecnológica de transistores MOS.

Visando-se viabilizar a evolução tecnológica dos transistores, melhorias no processo de fabricação foram introduzidas, tais como tensionamento mecânico no canal, materiais dielétricos de porta de alta constante dielétrica ( $\kappa$ ) e eletrodo de porta de metal. O tensionamento mecânico incrementa a mobilidade de portadores na região de canal [8] (nós de 90 nm a 45 nm). Enquanto que o material dielétrico de porta de alto  $\kappa$  é fortemente necessário (nós abaixo de 65 nm) devido a um incremento considerável na corrente elétrica de fuga de porta por tunelamento [9], da miniaturização dos dispositivos e a redução de

Fonte: Adaptado de Iwai (2015).

espessura do dielétrico de porta (t<sub>ox</sub>). O efeito de tunelamento é amenizado ao utilizar-se material com alta constante dielétrica, pois pode-se utilizar uma camada física do dielétrico de porta mais espessa sem degradar o desempenho do dispositivo [10]. E, o metal de porta, também para os nós tecnológicos abaixo de 65 nm, foi uma solução encontrada para eliminar o problema da depleção localizado no silício policristalino junto ao dielétrico, o qual era anteriormente utilizado como material de porta. Esta mudança resultou também em uma solução para o ajuste da tensão de limiar do transistor [11], por meio da sua função trabalho do metal, o que também favoreceu a evolução tecnológica pois permitiu eliminar uma etapa de dopagem na região de canal reduzindo-se o problema da flutuação aleatória de dopantes (RDF), crítica para dimensões muito reduzidas [12].

Uma das alternativas mais promissoras para reduzir os efeitos de canal curto para tecnologias menores do que 22 nm, e alvo de intensas pesquisas, é a utilização de transistores com múltiplas portas (*multi-gates*). Os primeiros dispositivos com duas portas foram fabricados na década de 80, utilizando substratos SOI e conhecidos como DELTA [13]. O FinFET surgiu posteriormente, diferenciando-se apenas por apresentar óxido de porta mais espesso no topo do canal. Os transistores verticais de porta tripla (Figura 2) ou transistores 3D, apresentam óxido de porta no topo do canal com a mesma espessura das laterais, possibilitando a condução de corrente no topo [14]. Além disso, esses dispositivos são atualmente chamados na literatura de FinFETs de porta tripla ou apenas de FinFET. Outra solução que vem sendo estudada, em paralelo aos transistores FinFETs, é a de transistores SOI planares com espessuras de silício e óxido enterrado ultrafinos (UTBB), os quais são fortemente empregados em aplicações de baixa potência e baixa tensão (*low-power low-voltage*) [15].



Figura 2 - Estruturas de FinFET de porta tripla.

Fonte: Autor.

No fim de 2011, uma das mais influentes empresas do ramo de processadores, a Intel, anunciou seu primeiro microprocessador (*Ivy-Bridge*) com transistores FinFETs de porta tripla (transistor 3D) utilizando o substrato de silício (FinFET de corpo), migrando da tecnologia planar de 32 nm à 3D de 22 nm [16], como apresentado na Figura 3. Empresas, como a IBM (atual Global Foundries) estão investindo também em FinFET, porém com o substrato SOI [17].



Figura 3 - Migração da tecnologia planar para a FinFET da Intel.

Fonte: Adaptado de Bohr (2011).

Desde 2006 a Escola Politécnica da Universidade de São Paulo (USP) vem estudando transistores avançados para futuros nós tecnológicos. Inicialmente, dedicando-se ao estudo, de caracterização elétrica e modelagem de transistores FinFET fabricados no centro de pesquisas Imec/Bélgica [18]. Em seguida, concentrou esforços em pesquisas com o objetivo de fabricar dispositivos FinFETs como prova de conceito. Em 2008 foi submetido e aprovado um projeto

temático da FAPESP (Processo 2008/05792-4) intitulado "Projeto, Fabricação e Caracterização de Transistores FinFETs", reunindo pesquisadores da Escola Politécnica da Universidade de São Paulo (USP), Universidade Estadual de Campinas (UNICAMP) e do Centro Universitário da FEI, sob a coordenação geral do Prof. Dr. João Antonio Martino. Como um dos resultados deste projeto, foi apresentado o primeiro FinFET da América Latina em um Workshop em Salamanca, Espanha em 12 de dezembro de 2012 [19]. A primeira divulgação na imprensa sobre este trabalho foi feita em 13 de dezembro de 2012 [20]. A Figura 4 mostra uma foto obtida, através de um microscópio eletrônico, do primeiro FinFET fabricado na USP utilizando feixe de elétrons. Este dispositivo apresenta 50 nm a 100 nm de largura de aleta (W<sub>fin</sub>), 100 nm de altura de aleta (H<sub>fin</sub>), 200 nm de óxido enterrado (t<sub>box</sub>), 4,5 nm de óxido de porta (t<sub>ox</sub>) e 1 µm de comprimento de canal (L). Detalhes técnicos do projeto e caracterização elétrica do FinFET com feixe de elétrons para definir o dispositivo foi desenvolvido pela USP e pode ser visto em [21; 22].





Neste mesmo projeto temático, outra metodologia de fabricação de FinFET foi desenvolvida pela UNICAMP, utilizando-se neste caso o feixe de íons (FIB) para definição da aleta de silício [23].

Fonte: Adaptado de Rangel (2013).

Embora ambos os dispositivos fabricados no Brasil tenham um perfil mais acadêmico, o Brasil mostrou que, além da capacidade de fabricação de dispositivos avançados, está investindo em estudos de dispositivos de alta tecnologia mundial. Quando o projeto iniciou em 2008, não havia nenhuma tecnologia comercial com este tipo de transistor. Em 2011, a Intel apresentou pela primeira vez uma tecnologia de fabricação comercial utilizando dispositivo não planar (FinFET, também conhecido por transistor 3D) [16], mostrando que a proposta do projeto temático tinha um alvo correto. Além da formação de recursos humanos em alta tecnologia, o conhecimento deste tipo de transistor é fundamental também para os projetistas de circuitos integrados já que a tecnologia já se tornou comercial para aplicações avançadas.

Vale ressaltar que, desde o início dos estudos da estrutura FinFET, os dispositivos fabricados sobre lâminas SOI, FinFET SOI, (Figura 5A) eram mais promissores do que os fabricados sobre lâmina de silício, FinFET de corpo, (Figura 5B), por ser a primeira desenvolvida, ter um processo de fabricação mais simples e apresentar melhores desempenhos elétricos [24]. Atualmente, a comunidade científica concentra esforços no estudo da estrutura FinFET fabricados sobres ambos os substratos, SOI e silício [25]. Destaca-se que além da Intel, a Samsung e a TSMC também adotaram a opção de comercializar seus produtos com dispositivos FinFETs de corpo [26].



Figura 5 - Estruturas de FinFET de porta tripla, (A): SOI e (B): de Corpo.



Um estudo indica que para a fabricação de um FinFET SOI foram necessárias em torno de 40 etapas a menos comparado ao FinFET de corpo [24]. Em contrapartida, no mesmo estudo, o custo da uma lâmina SOI é superior a quatro vezes a uma lâmina de silício [24]. Por fim, mesmo apresentando um maior custo nas etapas de fabricação - FinFET de corpo -, o custo da lâmina mostra-se ser um fator decisivo no quesito tecnologia a ser utilizada para fabricação de um dispositivo FinFET em escala comercial, sugerindo que este foi o motivo pelo qual a Intel investiu no FinFET de corpo.

O estado da arte de transistores tem, de um lado, a Intel [27]. apostando em uma estrutura de FinFET (de corpo), a qual mostra ser suficientemente boa para comercialização de seus produtos, mesmo esta apresentando uma maior complexidade no processo de fabricação, em contrapartida, utilizando-se lâminas mais baratas. E, de um outro lado, a IBM - *Global Foundries* - [17]. investe fortemente na estrutura também FinFET, porém SOI, a qual apresenta um processo de fabricação mais simples comparado aos FinFETs de corpo. No entanto, as lâminas SOI são mais caras comparada às lâminas de silício [24]. Sendo assim, um estudo comparativo entre as duas estruturas FinFETs é de suma importância para avaliar/compreender qual estrutura se manterá predominante na evolução tecnológica.

O germânio e a combinação de materias das colunas III-V da tabela periódica, estão sendo cogitados como alternativas ao tradicional silício, a fim de manter a evolução tecnológica dos dispositivos (Figura 1), porém com a finalidade de aplicações de alto desempenho, utilizando-se estruturas FinFETS ou UTBB [28; 29; 30; 31].

#### 1.1 OBJETIVO

O objetivo deste trabalho é, inicialmente, realizar um estudo comparativo entre os transistores FinFET de porta tripla construídos sobre lâminas SOI e lâminas de silício, tomando-se por base a caracterização elétrica e simulações numéricas tridimensionais. A comparação será baseada nos principais parâmetros para aplicações digitais e analógicas operando desde a temperatura ambiente a 150 °C. Desta forma, deseja- se contribuir para a indicação da estrutura mais apropriada às aplicações analógicas. Além disso, um estudo experimental do comportamento elétrico (parâmetros para aplicações digitais e rúido em baixa frequência) dos promissores dispositivos às futuras aplicações de alto desempenho - FinFETs de germânio - foi realizado, a fim de avaliar as limitações de cada processo, bem como descobrir qual apresenta o melhor desempenho elétrico.

#### 1.2 ESTRUTURA DO TRABALHO

Este trabalho está dividido em seis capítulos. Partindo-se do capítulo 1 o qual é dado uma introdução geral e apresentação do objetivo.

No capítulo 2 apresenta-se uma revisão bibliográfica sobre a tecnologia SOI, transistores de múltiplas portas e os principais parâmetros estudados.

No capítulo 3 são apresentadas as principais características dos dispositivos estudados, bem como os parâmetros utilizados na caracterização elétrica e as características do simulador utilizado no trabalho.

O capítulo 4 apresenta os resultados obtidos da comparação entre os transistores FinFETs SOI e de corpo. Na primeira parte, a temperatura de operação é apenas a ambiente, enquanto que na outra, esta vai até 150 °C.

No capítulo 5 são estudados os futuros FinFETs de canal de Ge, considerando-se três processos diferentes de fabricação de substrato, por meio das análises de parâmetros para aplicações digitais, mobilidade efetiva de portador e ruído em baixa frequência.

O capítulo 6 apresenta as principais conclusões do trabalho além de propostas de continuidade à pesquisa.
# 2 REVISÃO BIBLIOGRÁFICA

Neste capítulo são apresentados os conceitos relevantes à evolução nas estruturas dos transistores tendo-se como foco os transistores verticais de porta tripla (FinFET) bem como os principais parâmetros elétricos utilizados no desenvolvimento deste estudo.

# 2.1 TECNOLOGIA SOI

Comparando-se com a estrutura MOSFET convencional, a principal característica da tecnologia SOI é a presença adicional de um material isolante espesso (óxido de silício) na ordem de centena de nanômetros, logo abaixo das regiões de canal e de fonte/dreno, separando-se essas regiões do substrato, conhecido como óxido enterrado [4]. Na Figura 6 é apresentada a secção transversal de um transistor SOI de canal n, identificando-se as principais dimensões, tais como: as espessuras dos óxidos da porta (t<sub>ox</sub>) e do enterrado (t<sub>box</sub>); comprimento do canal (L) e espessura da camada de silício (t<sub>si</sub>) e as três interfaces do dispositivo.



Figura 6 - Secção transversal de um transistor SOI nMOS.

O modo de funcionamento dos transistores SOI MOSFETs depende fortemente do valor do t<sub>Si</sub> e da concentração de dopantes da região ativa do silício. A partir da espessura do t<sub>Si</sub>, pode-se classificar os transistores SOI em

Fonte: Autor.

três tipos: parcialmente depletado (PD); totalmente depletado (FD) ou próximo da depleção total (NFD).

Para uma correta classificação do transistor deve-se comparar o t<sub>Si</sub> com a máxima largura de depleção (x<sub>DMAX</sub>), considerando uma concentração de dopante constante no canal, sendo que x<sub>DMAX</sub> é dada pela eq. (1).

$$\boldsymbol{X}_{DMAX} = \sqrt{\frac{4\varepsilon_{Si}\Phi_{F}}{qN_{a}}} \tag{1}$$

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \tag{2}$$

onde  $\phi_F$  é o potencial de Fermi, dado pela eq. (2),  $\varepsilon_{Si}$  é permissividade elétrica do Si, q é a carga elementar do elétron, N<sub>a</sub> é a concentração de dopantes aceitadores no canal, n<sub>i</sub> é a concentração intrínseca de portadores do semicondutor, k é a constante de Boltzmann e T é a temperatura absoluta em Kelvin.

Os transistores SOI parcialmente depletados (PD) possuem a espessura da camada de silício (t<sub>Si</sub>) superior ao dobro de x<sub>DMAX</sub>. Desta maneira, não há qualquer interação entre as zonas de depleção provenientes das interfaces, primeira e segunda, existindo, portanto, sempre uma região neutra entre as duas regiões de depleção. Caso a região de corpo seja polarizada ao potencial de terra, o transistor PD SOI tem seu comportamento igual ao do dispositivo MOS convencional. A Figura 7 e a Figura 8 mostram o diagrama de faixas de energia de um transistor MOS convencional e um PD SOI nMOSFET, respectivamente. Entretanto, quando o corpo do transistor fica eletricamente flutuante, podem ocorrer dois efeitos parasitários, no PD: o efeito de elevação abrupta de corrente e o efeito bipolar parasitário entre fonte e dreno [4].



Figura 7 - Diagrama de faixas de energia de um transistor nMOS.







Os transistores totalmente depletados (FD) possuem t<sub>Si</sub> inferior à x<sub>DMAX</sub>. Assim a camada de silício estará totalmente depletada quando a tensão aplicada à V<sub>GS</sub> for maior ou igual a tensão de limiar (V<sub>T</sub>), pois a zona de depleção, proveniente da primeira interface é suficiente para atingir a segunda interface, independente da condição de polarização de substrato (V<sub>GB</sub>). No FD há uma interação entre os potenciais elétricos das duas interfaces, como mostrado na Figura 9. Com isso, o controle da corrente (I<sub>DS</sub>) entre dreno e fonte sofrerá influência da polarização do substrato (V<sub>GB</sub>). Figura 9 - Diagrama de faixas de energia de um transistor FD nSOI.



Fonte: Autor.

Cada uma das interfaces (óxido de silício/silício) podem trabalhar três modos de operação:

- a) Acumulação (canal n): quando a tensão aplicada entre a porta e a fonte é inferior a tensão de faixa plana (VFB) e portadores majoritários são acumulados, portanto não formará o canal de elétrons para condução da corrente I<sub>DS</sub>;
- b) Depleção (canal n): neste caso a tensão aplicada entre a porta e a fonte é superior a V<sub>FB</sub>, porém inferior à V<sub>T</sub>, os portadores majoritários são repelidos formando uma região sem a presença de cargas móveis, portanto, ainda não conduzirá a corrente I<sub>DS</sub>;
- c) Inversão (canal n): neste último, a tensão aplicada entre a porta e a fonte é superior a V<sub>T</sub>, há formação de uma camada superficial de elétrons livres que possibilitará a condução de I<sub>DS</sub>.

Sendo assim, como o dispositivo FD tem duas interfaces (óxido/silício), este pode apresentar nove modos de operação, representado na Figura 10.







Os Modos 3, 6 e 9 não são comumente utilizados, uma vez que apresentam a formação de canal na segunda interface, logo haverá uma condução de I<sub>DS</sub> através desta interface (fuga), o que é indesejável. Os modos usuais de operação são indicados na área hachurada (em verde) da Figura 10.

Os dispositivos FD SOI apresentam vantagens em relação aos MOS convencionais, tais como maior transcondutância (gm); menor efeito de canal curto; melhora no comportamento da região de sublimiar (SS) e imunidade ao efeito de elevação abrupta de corrente (efeito do PD SOI), quando V<sub>GB</sub> for polarizado de tal forma que a segunda interface fique depletada [4].

# 2.2 EFEITOS DE CANAL CURTO

O efeito de canal curto (SCE) predominantemente se dá quando as cargas de depleção (Q<sub>d</sub>) na região do canal começam a deixar de ser controladas pela porta e passam a serem controladas em parte pela tensão aplicada ao dreno, devido à diminuição do comprimento de canal do transistor, como representado na Figura 11. Consequentemente, efeitos parasitários surgem, resultando na degradação de alguns parâmetros básicos do transistor, tais como: a tensão de limiar e a inclinação de sublimiar [32].



Figura 11 - Efeito de canal curto para as tecnologias MOSFET e SOI.

Fonte: Autor.

A tecnologia SOI, por possuir um óxido enterrado abaixo da região de canal, permite uma maior redução do comprimento de canal antes de ocorrer o efeito de canal curto, comparado à MOS convencional [4].

# 2.3 COMPRIMENTO NATURAL E MATERIAL DIELÉTRICO

O comprimento natural ( $\lambda_n$ ) é um parâmetro da equação de Poisson, no qual descreve a distribuição de potencial elétrico ao longo do canal do transistor para toda a estrutura [33]. O  $\lambda_n$  está associado a penetração das linhas de campo elétrico de fonte e dreno na região de canal. A partir da equação de Poisson é possível determinar qual parâmetro pode ser otimizado. Sendo assim, concluiuse que para um MOSFET estar livre de SCEs é necessário que o comprimento do canal seja de 4 a 6 vezes maior que o comprimento natural ( $\lambda_n$ ) do dispositivo [33]. Além disso, melhorando-se o controle eletrostático do campo elétrico vertical sobre a região de canal é possível minimizar os efeitos de canal curto (SCE) no dispositivo [34]. As componentes x, y e z de campo elétrico (E) em um dispositivo de múltiplas portas são apresentadas na Figura 12. A fim de simplificar a expressão, assumindo-se uma secção transversal quadrada de canal, o  $\lambda_n$  é dado conforme segue na eq. (3), o qual deve ser o menor possível [34].

$$\lambda_{\rm n} = \sqrt{\frac{\mathcal{E}_{\rm Si}}{n \, p. \mathcal{E}_{\rm OX}}} . t_{\rm OX} . t_{\rm Si}$$
<sup>(3)</sup>

onde n\_p é o número de portas, tsi é a espessura do silício, tox é a espessura do dielétrico de porta,  $\varepsilon_{si}$  a permissividade elétrica do silício e  $\varepsilon_{ox}$  a permissividade elétrica do dielétrico de porta.



Figura 12 - Componentes de campo elétrico em um dispositivo de multíplas portas.

Sendo assim, para melhorar o controle eletrostático das cargas no canal é necessário diminuir t<sub>si</sub> e/ou t<sub>ox</sub> e/ou aumentar  $\varepsilon_{ox}$  [34]. No entanto, em dispositivos

Fonte: Adaptado de Colinge (2008).

avançados, a definição de t<sub>si</sub> está associado às limitações de processo de fabricação [35]. A redução exagerada de t<sub>ox</sub> provocaria um aumento na corrente elétrica de fuga de porta por tunelamento [9]. Uma alternativa é o aumento da constante dielétrica ( $\kappa$ ) do material dielétrico de porta [10], o que faz-se necessário empregar materiais com alto  $\kappa$ . Dessa forma, uma camada mais espessa do dielétrico de porta pode ser utilizado, mantendo-se a corrente de fuga pela porta sob controle, além de aumentar o desempenho do dispositivo.

A fim de facilitar os cálculos de corrente dreno e/ou tensão de limiar, é utilizado um parâmetro que indica qual seria a espessura equivalente (EOT), caso fosse utilizado SiO<sub>2</sub> como dielétrico de porta no dispositivo [36], como apresentado na eq. (4).

$$EOT = t_{high_{\kappa}} \frac{\mathcal{E}_{OX}}{\mathcal{E}_{high_{\kappa}}}$$
(4)

onde  $\varepsilon_{high-k}$  é a permissividade elétrica do material de alta constante dielétrica e  $t_{high-k}$  é a espessura do dielétrico de alta constante dielétrica.

Outra alternativa para melhorar a qualidade da interface (óxido/canal) e evitar um número excessivo de armadilhas de interface, é crescer previamente uma camada pelicular interfacial de SiO<sub>2</sub>, para então ser depositada, sobre esta camada, o material de alta constante dielétrica [37]. Além da constante dielétrica, outra característica importante que um material dielétrico deve ter é uma grande faixa proibida (*Bandgap*), a fim de controlar a corrente fuga de porta.

O óxido de háfnio tem sido bastante estudado e empregado como dielétrico de porta em dispositivos avançados pois apresenta tanto uma alta constante dielétrica quanto uma maior faixa proibida comparado ao óxido de silício, além disso apresenta uma boa estabilidade termodinâmica com o silício, uma vez que atinge densidade de estado de armadilha similar ao óxido de silício, em torno de 10<sup>11</sup> eV<sup>-1</sup>cm<sup>-2</sup> [38].

# 2.4 ELETRODO METÁLICO DE PORTA

Os transistores MOSFETs avançados são fabricados em dimensões cada vez menores, atingindo níveis nanométricos. Assim, o controle da tensão de limiar

(VT) do dispositivo convencional (planar), realizado pela concentração de dopantes na região do canal, torna-se pouco efetivo uma vez que os dispositivos mais recentes possuem pouca região de silício ativo, resultando no efeito de flutuação aleatória de dopantes (RDF), e por sua vez, uma variação de VT entre dispositivos de uma mesma lâmina.

Atualmente, o ajuste de tensão de limiar é realizado pela função trabalho do metal de porta. Para um dispositivo de múltiplas portas (MuGFETs) trabalhar com alto desempenho, faz-se necessário um metal na porta com função trabalho próximo a ± 200 meV a partir do meio da banda de silício, chamado de *mid-gap materia* [34].

O nitreto de titânio (TiN) é um dos metais mais utilizado como metal de porta visto que este apresenta muitas vantagens, tais como, baixa resistividade elétrica e função trabalho próximo ao meio da banda proibida do Si. A função trabalho deste material pode ser ajustada alterando-se a espessura do filme do TiN, bem como os modos de deposição, pois a liga de TiN mistura-se com o Si afetando as propriedades elétrica (resistividade) do material [39; 40; 41].

# 2.5 TRANSISTORES DE MÚLTIPLAS PORTAS

Em 1984, buscava-se uma solução para uma menor variação da tensão de limiar ao diminuir-se o comprimento de canal, ou seja, diminuir-se o efeito de canal curto, Sekigawa e Hayashi apresentaram uma estrutura de porta dupla [34]. Com isso, dispositivos de múltiplas portas (MuGFETs) passaram a ser estudados, uma vez que a integridade eletrostática, ou seja, penetração da linha de campo elétrico de dreno a fonte na região do canal é melhorada quanto mais portas o dispositivo tiver [34]. Os MuGFETs, os quais podem ser classificados como apresentado na Figura 13, são uma das alternativas para o contínuo esforço da comunidade científica para aumentar a capacidade de corrente, bem como apresentar um melhor desempenho frente aos efeitos de canal curto [34]. Devido ao fato de quanto maior a quantidade de portas, maior será o acoplamento eletrostático na região do canal [34] e menor será o  $\lambda_n$ , eq. (3).



#### Figura 13 - Diferentes estruturas de portas.

# 2.5.1 FinFET de porta tripla

Uma tecnologia promissora que tem sido continuamente estudada visando garantir os próximos nós tecnológicos abaixo de 22 nm é a de transistor de porta tripla, também conhecido como transistor 3D ou FinFET (*fin Field Effect Transistor*). E, a partir deste ponto em diante, será chamado apenas de FinFET. Nesta estrutura, as regiões de dreno, canal e fonte são construídos em uma aleta (*fin*), daí surgiu o termo FinFET. No entanto, este termo era empregado inicialmente para transistores de porta dupla, o qual apresenta a estrutura de aleta, porém possuía uma camada espessa de óxido na região do topo da aleta, tornando desprezível a influência da porta superior na região do canal do dispositivo como apresentado na Figura 14. Atualmente, a literatura utiliza os termos transistor de porta tripla e FinFET como sinônimos uma vez que ambas são construídas em aletas.

Figura 14 - Estrutura FinFET de porta dupla.



Os transistores FinFETs podem ser construídos sobre lâminas silício-sobreisolante (SOI) ou lâminas de silício (conhecida na literatura como *bulk* ou de corpo), como apresentados anteriormente na Figura 5.

#### 2.5.1.1 Corrente de dreno

A corrente elétrica no dispositivo FinFET de porta tripla flui através do canal de inversão formado devido às três portas, isto é, as duas laterais e a porta superior. A largura efetiva do canal (W<sub>eff</sub>) para esta estrutura é dada como segue na eq. (5). Além disso, nos FinFETs, a fim de garantir um melhor acoplamento na região do canal, é necessário que a aleta deste dispositivo seja a mais fina e a mais alta possível [42].

$$W_{\text{eff}} \cong W_{\text{fin}} + 2H_{\text{fin}}$$
(5)

onde W<sub>fin</sub> é a largura da aleta (fin) e H<sub>fin</sub> é a altura da aleta, como apresentado na Figura 15.

A capacidade de corrente elétrica de um FinFET otimizado (aleta estreita) é baixa comparado aos dispositivos planares. Sendo assim, é necessário aplicar o recurso de múltiplas aletas idênticas em paralelo [34], as quais são espaçadas entre si - passo (P) - a fim de evitar interferência entre elas, como mostrado na Figura 15.



Fonte: Adaptado de Colinge (2008).

Comparando-se a capacidade de condução de corrente elétrica de um dispositivo de múltiplas aletas em paralelo, considerando a mesma área de ocupação de um dispositivo SOI planar, é possível ajustar as dimensões de forma a se ter uma maior capacidade de corrente elétrica para a estrutura FinFET. A corrente elétrica na estrutura FinFET é proporcional às mobilidades dos portadores na superfície do semicondutor as quais apresentam diferentes valores no topo e nas laterais da aleta. Essa diferença de mobilidades está relacionada à orientação cristalográfica no plano de condução do material semicondutor utilizado na região do canal. A porta superior possui orientação na direção <100> enquanto as portas laterais possuem orientações na direção <110> a qual tem uma mobilidade de elétrons menor que a primeira [43]. Além do que, a mobilidade é mais degradada nas laterais da aleta devido à rugosidade da superfície lateral gerada pelo processo de fabricação [43].

#### 2.5.1.2 Tensão de limiar

Em dispositivos FinFETs a tensão de limiar (VT) é calculada como mostra a eq. (6) [44] onde o último termo da expressão (efeito quântico) pode ser desprezado no caso em que a largura da aleta (Wfin) seja superior a cerca de 10 nm [34] como ilustrado na Figura 16. Esta figura apresenta a dependência da largura da aleta de silício sobre a tensão de limiar em um dispositivo de porta dupla.

Adicionalmente, a função trabalho do metal é um parâmetro importante para o ajuste de V<sub>T</sub>, como apresentado no item 2.4, uma que vez que a concentração de dopantes é baixa (natural da lâmina) e a largura da aleta é fina resultando-se em uma carga de depleção desprezível [34].

$$V_{T_{FinFET}} = \Phi_{MS} + \frac{kT}{q} ln \left( \frac{2C_{ox}kT}{q^2 n_i W_{fin}} \right) + \frac{\pi^2 \hbar^2}{2qm_r W_{fin}^2}$$
(6)

onde  $\Phi_{MS}$  é a diferença de função trabalho entre o metal de porta e o semicondutor, k é a constante de Boltzman, T é a temperatura absoluta em Kelvin, q é a carga elementar de elétron,  $C_{OX}$  é a capacitância de porta por unidade de área, n<sub>i</sub> é a concentração intríseca de portadores, W<sub>fin</sub> é a largura da aleta, ħ é a constante de Planck normalizada e m<sub>r</sub> é a massa reduzida de elétrons e lacunas [34].



Figura 16 - Dependência da espessura do filme de silício sobre-tensão de limiar em um dispositivo de porta dupla.

# 2.6 PRINCIPAIS PARÂMETROS ELÉTRICOS

#### 2.6.1 Transcondutância

A transcondutância (gm) é um parâmetro que traduz o quanto eficaz é o controle da corrente entre dreno e fonte ( $I_{DS}$ ) pela tensão aplicada entre porta e fonte  $V_{GS}$  [4], definida pela eq. (7) a seguir:

$$gm = \frac{d I_{DS}}{d V_{GS}}$$
(7)

O modelo de Lim & Fossum [45] descreve as equações da corrente através das quais é possível obter a transcondutância de transistores SOI nas regiões de triodo (baixo V<sub>DS</sub>) eq.(8) e saturação eq.(9) [46]:

$$gm_{triodo} = \frac{d I_{DS}}{d V_{GS}} = \mu C_{ox} \frac{W_{eff}}{L} V_{DS}$$
<sup>(8)</sup>

$$gm_{sat} = \frac{d I_{DSsat}}{d V_{G}} = \frac{\mu C_{ox}}{n} \frac{W_{eff}}{L} (V_{GS} - V_{T})$$
<sup>(9)</sup>

onde n é o fator de corpo igual a (1+ $\alpha$ ) e  $\alpha$  é a razão de capacitâncias a qual pode ser calculada conforme as eq. (10) - PD SOI e dispositvos sobre lâmina de silício - e eq. (11) - FD SOI - [4]. C<sub>D</sub> é a capacitância de depleção por unidade de área, C<sub>ox1</sub> é a capacitância do dielétrico de porta por unidade de área, C<sub>Si</sub> é a capacitância do filme de Si por unidade de área e C<sub>Ox2</sub> é a capacitância do óxido enterrado por unidade de área, L é comprimento do canal e  $\mu$  é a mobilidade de portador.

$$\alpha = \frac{C_D}{C_{OX1}} \tag{10}$$

$$\alpha = \frac{1}{C_{0X1}} \left( \frac{C_{Si} C_{0X2}}{C_{Si} + C_{0X2}} \right)$$
(11)

#### 2.6.2 Inclinação de sublimiar

A inclinação de sublimiar (SS) é um parâmetro de qualidade do transistor. Quanto menor for o valor de SS, mais rápido será o chaveamento do dispositivo do estado desligado para o ligado [4]. Este parâmetro representa o quanto V<sub>GS</sub> deve ser variado para aumentar I<sub>DS</sub> em uma década de corrente. Este parâmetro pode ser extraído pelo patamar da curva resultante da eq. (12), além de ser determinado por uma estimativa de primeira ordem pela eq. (13), quando o fator de corpo (n) for conhecido.

$$SS = \frac{d V_{GS}}{d \log(I_{DS})}$$
(12)

$$SS = \frac{kT}{q} \ln(10)(n)$$
<sup>(13)</sup>

#### 2.6.3 Redução da barreira de potencial induzida pelo dreno

O efeito DIBL de corpo (*Drain-Induced Barrier Lowering* ou redução da barreira de potencial induzida pelo dreno) é a redução da barreira de potencial no canal provocada pelo o aumento da tensão aplicada ao dreno, a qual resulta no aumento de depleção da junção canal-dreno, podendo fazer com que a região controlada pelo dreno alcance a região controlada pela fonte [47]. Assim, quando o canal é curto, menor será a tensão V<sub>DS</sub> necessária para ocorrer este efeito, conhecido como DIBL [48]. O principal efeito parasitário é a diminuição de V<sub>T</sub> com o aumento da tensão de dreno.

A Figura 17 mostra um diagrama de faixas de energia para um nMOSFET sob o efeito do DILB, passando pelas regiões de fonte, canal e dreno. Ao polarizar o terminal de dreno, a medida em que o L é reduzido, o potencial no dreno induz o abaixamento do potencial no canal junto à fonte, ou seja efeito DIBL. Para se determinar o valor de DIBL utiliza-se a eq. (14) [48].

$$DIBL = \frac{V_{T_Triodo} - V_{T_Sat}}{V_{DS_Sat} - V_{DS_Triodo}}$$
(14)

onde V<sub>T\_Triodo</sub> é a tensão de limiar extraída em baixo campo elétrico lateral, V<sub>T\_Sat</sub> é a tensão de limiar extraída em alto campo elétrico lateral, V<sub>DS\_Sat</sub> é a tensão entre dreno e fonte para alto campo elétrico lateral e V<sub>DS\_Triodo</sub> é a tensão entre dreno e fonte para baixo campo elétrico lateral.



Figura 17 - Redução da barreira de potencial do canal induzida pela tensão aplicada ao dreno.

#### 2.6.4 Condutância de saída

A condutância de saída (g<sub>D</sub>) é um importante parâmetro o qual indica o quanto a resistência de saída é influenciada pelo campo elétrico lateral. A g<sub>D</sub> é definida pela variação da corrente elétrica de dreno pela variação de tensão elétrica no dreno, como mostra a eq. (15). O ideal seria que a corrente de dreno se mantivesse constante na região de saturação mesmo com a variação da tensão de dreno [50] que resulta em um g<sub>D</sub> muito baixo (nulo, no caso ideal).

$$g_D = \frac{d I_{DS}}{dV_{DS}}$$
(15)

### 2.6.5 Ganho intrínseco de Tensão

O ganho intrínseco de tensão ( $A_V$ ) é um dos principais parâmetros dos circuitos analógicos no qual descreve o ganho de malha aberta de um transistor [4]. O  $A_V$  pode ser escrito como a razão entre gm e g<sub>D</sub>, como pode ser observado na eq. (16) ou pela eq. (17), para valores de V<sub>DS\_sat</sub> muito menor que a tensão Early (V<sub>EA</sub>).

$$\left|\mathsf{A}_{\mathsf{V}}\right| = \frac{gm}{g_{\mathsf{D}}} \tag{16}$$

$$\left|\mathsf{A}_{\mathsf{V}}\right| \cong \frac{gm}{I_{DS}} \left| V_{EA} \right| \tag{17}$$

2.6.5.1 Razão gm/ID

A razão gm/I<sub>DS</sub> é de extrema importância em projetos de aplicações analógicas, os quais requerem um bom modelamento da inversão fraca até a forte [51].

O máximo valor deste parâmetro é observado em inversão fraca e é dado pela eq. (18) [4; 51].

$$\frac{gm}{I_{DS}} = \frac{q}{nkT} = \frac{\ln(10)}{SS}$$
(18)

onde q é a carga elementar do elétron, k é a constante de Boltzmann, n é o fator de corpo, T é a temperatura absoluta em Kelvin e SS é a inclinação de sublimiar.

Enquanto que, ao aproximar-se da inversão forte, o valor de gm/l<sub>D</sub> diminui, e é regido pela eq. (19) [51].

$$\frac{gm}{I_{DS}} = \sqrt{\frac{2\mu C_{OX} \frac{W_{eff}}{L}}{nI_{DS}}}$$
(19)

onde µ é a mobilidade de portador, L é o comprimento do canal e I<sub>DS</sub> é a corrente elétrica entre dreno e fonte.

A razão gm/I<sub>DS</sub> é predominantemente dependente da tecnologia utilizada e da condição de polarização; regimes de inversão forte, moderada e fraca. Este parâmetro está associado ao efeito de modulação de canal, o qual ocorre para V<sub>DS</sub> maiores que a tensão de saturação (V<sub>DS\_SAT</sub>), a região de depleção da junção dreno-canal aumenta, fazendo com que o comprimento efetivo do canal diminua, resultando na elevação da corrente de dreno com o aumento da tensão de dreno [46]. Extrapolando-se as retas, como mostrado na Figura 18, das curvas parametrizadas em V<sub>GS</sub>, elas convergem em um valor, conhecido como tensão Early (V<sub>EA</sub>).



A extração deste parâmetro pode ser realizada por meio da eq. (20), quando considerado V<sub>DS\_SAT</sub> muito menor que |V<sub>EA</sub>|.

$$|V_{EA}| \simeq \frac{I_{DS\_sat}}{g_{D}}$$
 (20)

onde I<sub>DS\_sat</sub> é a corrente de dreno, quando o transistor entra na saturação e g<sub>D</sub> é a condutância de saída também na saturação [46].

# 2.6.6 Frequência de ganho unitário

Com o aumento da frequência, o ganho diminui até atingir o valor unitário. Nesta condição, tem-se a frequência de ganho unitário (ft) para qual o ganho de malha aberta é igual a um e pode ser obtida conforme eq. (21) [52].

$$f_{t} = \frac{gm}{2\pi (C_{gg})}$$
(21)

onde gm é a transcondutância e  $C_{gg}$  é a capacitância total associada à porta a qual é a soma das capacitâncias entre porta-dreno ( $C_{gd}$ ) e porta-fonte ( $C_{gs}$ ); ( $C_{gd}+C_{gs}$ ). Assumindo-se as capacitâncias intrísecas ( $C_{gd}+C_{gs}$ ) muito menores do que a capacitância de saída ( $C_L$ ),  $C_{gg}$  será igual a  $C_L$  [53].

#### 2.6.7 Variação de tensão de limiar com a temperatura

O  $\Delta V_{th}/\Delta T$  avalia a taxa de variação da tensão de limiar (V<sub>T</sub>) com a temperatura [4]. Neste trabalho,  $\Delta V_{th}/\Delta T$  é calculado conforme a eq. (22).

$$\frac{\Delta V_{th}}{\Delta T} = \frac{V_{th}(T_i) - V_{th}(25^{\circ}C)}{T_i - 25}$$
<sup>(22)</sup>

onde V<sub>th</sub>(T<sub>i</sub>) e V<sub>th</sub> (25 °C) são as tensões de limiar para uma temperatura específica (T<sub>i</sub>) e para temperatura ambiente, respectivamente.

A temperatura também interfere fortemente na concentração intrínseca de portador (n<sub>i</sub>), como apresentado na eq. (23) [54], na qual reduz o  $\Phi_F$  e V<sub>th</sub>.

$$n_i \alpha T^{1,5} e^{\frac{Eg_0}{2kT}}$$
<sup>(23)</sup>

onde E<sub>90</sub> é a largura da banda proibida à temperatura de 0 K.

#### 2.6.8 Ponto invariante com a temperatura

Com o aumento da temperatura, a tensão de limiar dimunui, resultando em um incremento na corrente de dreno. Por outro lado, com o aumento da temperatura, a mobilidade é degradada provocando uma redução de I<sub>DS</sub>; Desta forma, pode ocorrer uma compensação, na qual resulta em um ponto característico na curva I<sub>DSX</sub>V<sub>GS</sub>, conhecido como ponto invariante com a temperatura (ZTC-*Zero Temperature Coeficient*) [55]. A tensão de V<sub>GS</sub> na qual ocorre o ZTC (V<sub>ZTC</sub>) é calculada conforme a eq. (24) e a eq. (25) em ambos os regimes linear e saturação, respectivamente, conforme modelo proposto por Camilo e Martino [56; 57].

$$V_{ZTC} = \frac{V_{th1} - \left(\frac{T_1}{T_2}\right)^C \left[V_{th1} + \frac{\partial V_{th1}}{\partial T} (T_1 - T_2)\right]}{1 - \left(\frac{T_1}{T_2}\right)^C} - \frac{nV_{DS}}{2}$$
(24)

$$V_{ZTC} = A + \sqrt{A^2 - B}$$
<sup>(25)</sup>

onde V<sub>th</sub> é a tensão de limiar, T é a temperatura de operação do dispositivo e c é o fator de degradação da transcondutância. Os parâmetros A e B são apresentados nas eq. (26) e eq. (27), respectivamente. E, T<sub>1</sub> é menor do que T<sub>2</sub>.

$$A = V_{th1} + \frac{(V_{th1} - V_{th2})\left(\frac{T_1}{T_2}\right)^{C}}{1 - \left(\frac{T_1}{T_2}\right)^{C}}$$

$$B = \frac{V_{th1}^{2} - V_{th2}^{2}\left(\frac{T_1}{T_2}\right)^{C}}{1 - \left(\frac{T_1}{T_2}\right)^{C}}$$
(26)
(27)

# 2.6.9 Mobilidade de portadores

O método *split Capacitance-Voltage* (C-V) é uma técnica importante de avaliação da mobilidade efetiva de portadores. Para tal, é necessário combinar a caracterização da corrente elétrica de dreno (I<sub>DS</sub>) na região linear com a capacitância de porta-canal (C<sub>GC</sub>) do dispositivo [58].

A corrente elétrica de dreno na região linear, na qual a diferença de potencial entre os terminais de fonte e dreno ( $V_{DS}$ ) é muito menor do que a sobre-tensão de porta ( $V_{GT} = V_{GS} - V_T$ ), pode ser obtida conforme eq. (28) [58].

$$I_{DS} = \mu_{eff} \frac{W_{eff}}{L} Q_{INV} V_{DS}$$
<sup>(28)</sup>

onde  $\mu_{eff}$  é a mobilidade efetiva de portador e  $Q_{INV}$  é a densidade carga de inversão. Esta é calculado como apresentado na eq. (29) [59] e  $C_{OX}$  é a capacitância por unidade de área do material dielétrico de porta.

$$Q_{INV} = C_{OX} \left( V_{GS} - V_T \right) \tag{29}$$

Uma maneira prática para obtenção de Q<sub>INV</sub> é pela eq. (30), a qual requer a caracterização elétrica de C<sub>GC</sub> em função da tensão aplicada à porta (V<sub>GS</sub>) [59].

$$Q_{INV} = \int C_{GC} dV \tag{30}$$

De posse de Q<sub>INV</sub> em função de V<sub>GS</sub> - eq. (29) -, o coeficiente angular da curva representa o valor de C<sub>OX</sub> que, por sua vez, permite a extração da espessura equivalente do dielétrico de porta (EOT), também conhecido como *Capacitance Equivalent Thickness* (CET) quando extraído no regime de operação de inversão. Sendo que C<sub>OX</sub> é dada pela razão entre a permissividade do material dielétrico de porta e a sua espessura considerando-se SiO<sub>2</sub> como material dielétrico de porta a fim de extrair o valor de CET.

Após a combinação das características corrente-tensão (I-V), capacitânciatensão (C-V) e manipulação algébrica da eq. (28), a mobilidade efetiva é obtida como mostra a eq. (31).

$$\mu_{eff} = \frac{I_{DS}}{V_{DS}} \frac{1}{Q_{INV}} \frac{L}{W_{eff}}$$
<sup>(31)</sup>

#### 2.6.10 Ruído em baixa frequência

O ruído de baixa frequência - *Low-Frequency Noise* (LFN) - é uma técnica poderosa e não-destrutiva, na qual permite avaliar, em detalhes, a qualidade do material dielétrico de porta, bem como o canal do dispositivo e a interface dielétrico/canal [60].

O LFN é composto, basicamente, por três componentes, isto é, ruído branco, ruído *flicker* (1/f) e ruído geração-recombinação: ruído GR (somatória das componentes Lorentzianas) [61], como apresentado na eq. (32), A primeira componente é encontrada em todo o espectro de frequência (f), porém é negligenciável comparado às outras duas parcelas, para f abaixo de 10 kHz (baixa frequência).

$$S_{VG}(f) = B_W + \frac{K_f}{f^{\gamma}} + \sum_{i=0}^N \frac{A_i}{1 + (\frac{f}{f_{0i}})^2}$$
(32)

onde Sv<sub>G</sub> é a densidade espectral de ruído de baixa frequência referente à tensão de entrada, B<sub>w</sub> é relativo ao nível de ruído branco, k<sub>f</sub>/f<sup>v</sup> apresenta o ruído *flicker* (1/f),  $\gamma$  é o fator gama referente ao ruído *flicker*, A<sub>i</sub> e f<sub>0i</sub> são o valor do patamar e a frequência característica de diferentes componentes Lorentzianas, respectivamente.

## 2.6.10.1 Ruído flicker (1/f)

O ruído 1/f pode ser influenciado por dois mecanismos distintos [62]: flutuação de número de portador ( $\Delta N$ ) - modelo de McWhorter - [63] ou flutuação de mobilidade ( $\Delta \mu$ ) - modelo de Hooge - [63], ou combinação de ambos.

O mecanismo dominante pode ser facilmente identificado ao avaliar-se o paralelismo entre duas curvas: a densidade espectral de potência da corrente de dreno normalizada (S<sub>ID</sub>/I<sub>DS</sub>) e razão quadrática da transcondutância pela corrente de dreno (gm/I<sub>DS</sub>)<sup>2</sup> em função da corrente elétrica de dreno [63]. Uma vez confirmado este paralelismo, isso indica que o mecanismo de  $\Delta$ N é o dominante. Caso contrário, será o modelo de Hooge ( $\Delta\mu$ ) ou efeitos adicionais ao ruído *flicker*.

Sendo o mecanismo  $\Delta N$  predominante, a extração de importantes parâmetros é viabilizada, tais como, coeficiente de espalhamento Coulomb ( $\alpha_{sc}$ ), densidade espectral de ruído de baixa frequência referente à tensão de entrada na tensão de faixa plana (S<sub>VGfb</sub>) e densidade de armadilha no óxido (N<sub>OT</sub>). Este, por sua vez, é determinado a partir da eq. (33).

$$S_{VGfb} = \frac{q^2 k T N_{OT}}{W_{eff} L_G \alpha_t C_{OX}^2 f}$$
(33)

onde f é a frequência e αt é o parâmetro de atenuação de tunelamento de ruído, o qual possui o valor na faixa de 0,92x10<sup>8</sup> cm<sup>-1</sup> a 1,3x10<sup>8</sup> cm<sup>-1</sup> [64].

A fim de extrair a densidade de armadilhas no óxido, ambos parâmetros: coeficiente de espalhamento Coulomb ( $\alpha_{sc}$ ) e densidade espectral de ruído de baixa frequência referente à tensão de entrada na tensão de faixa plana (S<sub>VGfb</sub>), devem ser conhecidos. Para tal, utiliza-se um gráfico (S<sub>VG</sub> x I<sub>DS</sub>/gm) da eq. (34), onde  $\alpha_{sc}$  e S<sub>VGfb</sub> são calculados a partir do ponto de intersecção da abcissa e coeficiente angular da reta, respectivamente. Além disso, assumindo-se um intervalo de energia térmica de 4kT de modo que a densidade de armadilhas no óxido possa ser convertida em densidade superficial de armadilhas (D<sub>OT</sub>) [65], considerando-se uma espessura de 2 nm para a camada de armadilha-

$$S_{VG} = S_{VGfb} \left( 1 + \alpha_{SC} \ \mu \ C_{OX} \ \frac{I_{DS}}{gm} \right)^2$$
(34)

onde S<sub>VG</sub> é a densidade espectral de ruído de baixa frequência referente à tensão de entrada e  $\alpha_{SC}$  é coeficiente de espalhamento Coulomb.

Adicionalmente, o coeficiente de espalhamento Coulomb pode ser extraído por meio da dependência linear do inverso da mobilidade (1/µ) com D<sub>OT</sub>, dado pela eq. (35).

$$\frac{1}{\mu} = \frac{1}{\mu_0} + qD_{OT}\alpha_{SC}$$
<sup>(35)</sup>

onde  $\mu_0$  é a mobilidade de portador limitada por outros mecanismos de espalhamento a parte do espalhamento Coulomb do óxido.

## 2.6.10.2 Ruído geração-recombinação

O ruído de geração-recombinação (GR) - componente Lorentziana - pode originar-se de armadilha no dielétrico de porta, conhecido como sinal telegráfico

aleatório - *Random Telegraph Signal* (RTS), no qual apresenta uma dependência de V<sub>GS</sub> nos parâmetros da componente Lorentziana [66]. Caso contrário, corresponde aos defeitos na região de depleção do transistor, ou seja, no canal [66]. Para centros de armadilha na região de depleção, pode-se obter a densidade superficial de armadilhas (N<sub>eff</sub>), para o centro GR, a partir de um patamar da amplitude (A<sub>i</sub>) da densidade espectral de tensão aplicado ao terminal de porta (Sv<sub>G</sub>), por sua vez, este pode ser obtido pela razão entre a densidade espectral de corrente elétrica de dreno pelo quadrado da transcondutância (S<sub>ID</sub>/gm<sup>2</sup>), conforme eq. (36) [67].

$$A_{i} = \frac{q^{2} N_{eff}}{W_{eff} L C_{OX}^{2}} \tau_{i}$$
(36)

onde  $\tau_i$  é a constante de tempo do centro de GR, definida como o inverso de  $2\pi f_{ci}$  [68], sendo f<sub>ci</sub> a frequência dos centros de GR de índice i. Este parâmetro pode ser facilmente extraído do pico apresentado pela densidade espectral normalizada pela frequência (S<sub>ID</sub>xf).

A dependência da temperatura das características do ruído GR é dada pela eq. (37) [69].

$$\ln(\tau T^{2}) = \frac{E_{\tau} - E_{v}}{kT} + \ln\left(\frac{h^{3}}{4k^{2}\sigma_{p}\sqrt{6\pi^{3}M_{c}} m_{e}^{*3/2} m_{h}^{*1/2}}}\right)$$
(37)

onde h é a constante de Planck; T é a temperatura; m<sub>e</sub>\* e m<sub>h</sub>\* são as massas efetivas de elétrons e lacunas, respectivamente, e Mc é o número de mínima energia da banda de condução. A partir da curva de ln( $\tau T^2$ ) em função de (1/*kT*), extrai-se a energia de ativação da armadilha ( $\Delta E$ ), inclinação angular da curva a qual é a diferença entre as energias da armadilha ( $E_T$ ) e a de valência do material do canal ( $E_V$ ), e a sua secção transversal para lacunas ( $\sigma_P$ ) - coeficiente linear da curva.

# **3 MATERIAIS E MÉTODOS**

Este capítulo apresenta as características físicas dos dispositivos estudados, tanto para os FinFETs de silício, quanto para os de germânio. Além disso,são apresentados os equipamentos utilizados na caracterização elétrica, para as análises de I-V, C-V e LFN, e a configuração da simulação também é discutida.

3.1 FINFET DE SILÍCIO

# 3.1.1 Etapas básicas de Fabricação de FinFETs: SOI e de corpo

As etapas básicas de fabricação de um FinFET SOI [24] é apresentado na Figura 19. A partir de uma lâmina SOI, o processo consiste em definir a região da aleta (etapa 1), utilizando-se máscara e fotoresiste (FR). Seguido de uma corrosão (etapa 2) que termina ao se atingir a camada do óxido enterrado. Além disso, por existir este óxido enterrado, não há necessidade de isolação adicional entre as aletas. Considerando-se um dispositivo de dopagem natural da lâmina, apenas as etapas de fabricação da porta e implantação das regiões de fonte e dreno são requeridas (etapa 3).



Fonte: Adaptado de Mendez (2009).

Por outro lado, quando uma lâmina de silício é utilizada, a complexidade do processo aumenta principalmente por não haver uma demarcação clara para a definição da altura da aleta, como é na lâmina SOI. Um possível fluxo para a construção de um FinFET de corpo é mostrado na Figura 20. Após a corrosão para definição da aleta (etapas 1 e 2), um processo de preenchimento de óxido é requerido (etapa 3). Esta deposição de óxido deve ser profunda e de alta razão

de aspecto da trincheira, sem vazios e outros defeitos. Seguido de um polimento do óxido até a região do silício (etapa 4) o qual será definido pela altura da aleta. Depois, remove-se o óxido parcialmente (etapa 5), a fim de deixar espaços entre as aletas. Vale a pena ressaltar que a remoção do óxido, bem como a corrosão da trincheira dependem do tempo de corrosão e não têm uma camada de fim de corrosão determinada. Embora as aletas estejam separadas por um óxido, elas continuam conectadas embaixo do óxido. Sendo assim, uma implantação angular de alta dopagem é necessária para isolar uma aleta da outra e evitar fugas (etapa 6), conhecida como plano de terra (*ground plane -* GP) ou implantação de *anti-punchthrough* [24]. Por fim, as etapas de fabricação da porta e implantação das regiões de fonte e dreno são requeridas (etapa 7).



Fonte: Adaptado de Mendez (2009).

# 3.1.2 Caracterização elétrica

Toda a caracterização elétrica foi realizada utilizando-se um analisador de parâmetros semicondutores Agilent B1500, localizado no Laboratório de Sistemas Integráveis da Escola Politécnica na Universidade de São Paulo. As curvas características de corrente-tensão (I-V) de dispositivos de canais tipos ne p- foram medidas do regime de acumulação para inversão, com passo de tensão aplicada à porta de 10 mV, para valores fixos de V<sub>DS</sub> de +/- 50 mV (para baixo campo elétrico lateral) e de +/- 800 mV para alto campo elétrico lateral, garantindo que o dispositivo esteja operando na região de saturação e sem atingir o potencial elétrico de ruptura do dielétrico de porta. Enquanto que as temperaturas de operação dos transistores foram de 25 °C, 50 °C, 100 °C e 150 °C.

Todos os dispositivos FinFETs (SOI e de corpo) de porta tripla estudados foram fabricados no Imec, Bélgica. As estruturas dos dispositivos estudados são apresentadas na Figura 5 - Estruturas de FinFET de porta tripla, (A): SOI e (B): de Corpo. E, as principais características dos dispositivos são apresentadas na Tabela 1.

Parâmetros	FinFET de corpo	FinFET SOI		
t <sub>ox</sub> (nm)	2,5 composiç	2,5 composição de SiON		
t <sub>box</sub> (nm)	-	145 (SiO <sub>2</sub> )		
Metal de porta (nm)	5 (composição TiN)			
W <sub>fin</sub> (nm)	20; 40; 65; <sup>2</sup>	20; 40; 65; 130 e 250		
H <sub>fin</sub> (nm)	65	65		
L (nm)	130; 250; 1.00	130; 250; 1.000 e 10.000		
Aletas em paralelo	5	5		
Dopagem do canal (cm <sup>-3</sup> )	~1x10 <sup>15</sup> (Natur	al da lâmina)		

Tabela 1 - Característica dos FinFETs de corpo e SOI.

Fonte: Autor.

A caracterização dos dispositivos em baixo valor de V<sub>DS</sub> faz-se necessário para extração e análise de parâmetros para aplicações digitais, tais como, V<sub>T</sub>, SS, curva de transferência (I-V) e efeito de canal curto da tecnologia. Por outro lado, alto valor de V<sub>DS</sub> permite estudar os parâmetros para aplicações analógicas, isto é, gm<sub>sat</sub>, g<sub>D</sub>, V<sub>EA</sub> e A<sub>V</sub>. E, a fim de garantir a mesma condição de polarização de inversão dos dispositivos, foi adotado o valor de sobre-tensão de porta, isto é, V<sub>GT</sub> = V<sub>GS</sub> – V<sub>T</sub>, de +/- 200 mV, para dispositivos de canais tipos ne p-, respectivamente.

Para as análises dos FinFETs de corpo e SOI, utilizou-se duas lâminas diferentes referente ao processo AL090313 do Imec; a Lâmina D09 (FinFETs SOI) e a D24 (FinFETs de corpo), cujas caracteríticas estão indicadas na Tabela 1.

#### 3.1.3 Simulador Numérico de Dispositivos

Atualmente, ferramentas como *Technology* CAD (*Computer-Aided Design*), ou simplesmente TCAD são muito utilizadas em pesquisas científicas, a fim de obter resultados cada vez mais rápidos, por exemplo, de novos dispositivos estudados. As ferramentas TCAD possuem diversos pacotes de programas, que permitem simular processos de fabricação e operação de dispositivos bidimensionais ou tridimensionais, além de visualizar as estruturas geradas, as curvas e os parâmetros físicos, com o intuito aproximar a simulação, o mais próximo possível, de um dispositivo real.

Neste trabalho, a ferramenta escolhida foi o TCAD *Sentaurus Device*, desenvolvido pela Synopsys®, a qual apresenta um amplo conjunto de modelos para diversas finalidades [70].

3.1.3.1 Modelos

Tabela 2 - Modelos considerados na simulação de FinFETS.			
Modelos	Descrição		
PhuMob	Modelo de mobilidade unificado da Philips		
Enormal	Modelo de mobilidade, o qual calcula o campo perpendicular à interface (Si / Isolante)		
HighFieldSaturation	Modelo que degrada a mobilidade com a aplicação de altos campos		
Recombination(SRH(DopingDep))	Modelo de Shockley-Read-Hall de recombinação dependendo da dopagem		
EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))	Modelo OldSlotboom de Bandgap, no qual a afinidade eletrônica é dependente da temperatura e é afetada pelo estreitamento do BandGap		

Os modelos utilizados são apresentados na Tabela 2.

Fonte: Adaptado de Synopsys (2014).

# 3.1.3.2 Ajustes

Os parâmetros ajustados no simulador, para as simulações de dispositivos 3D, estão apresentados na Tabela 3, os quais foram obtidos por meio de comparação com dados experimentais.

A degradação da mobilidade pelo campo vertical está associada ao parâmetro *EnormalDependence: A*, o qual foi ajustado baseado nas curvas (simulada e experimental) de corrente elétrica de dreno em função da tensão aplicada à porta. O valor adotado foi o caso que apresentou o casamento mais próximo entre as curvas, na região de inversão forte.

O ajuste da tensão de limiar, a qual foi extraída pelo método do pico da segunda derivada de I<sub>DS</sub> [71], foi ajustada alterando-se o valor do parâmetro *workfunction*. Uma vez sabido que o material do eletrodo de porta é TiN, para este material, o range para dispositivos do tipo n é de 4.3 eV a 4.5 eV [34], adotou-se o valor próximo ao valor real de V<sub>T</sub>, tanto dos dispositivos FinFETs SOI, quanto os FinFETs d corpo.

Por fim, o parâmetro *PhuMob: mumax\_P*, o qual está associada à mobilidade de baixo campo, foi ajustado até que os valores de transconduância máxima das curvas (simulada e experimental) estivessem suficientemente próximos, sendo que cada tipo de substrato - SOI e de sílicio - teve o seu próprio ajuste.

No ANEXO A é apresentado um exemplo de um arquivo do simulador utilizado no trabalho.

Tabela 3 - Parâmetros ajustados no simulador.				
Parâmetro	Valor ajustado			
Faraneuo	FinFET SOI	FinFET de corpo		
Material = "Silicon": PhuMob: mumax_P	750 cm²/V.s	650 cm <sup>2</sup> /V.s		
Material = "Silicon": EnormalDependence: A	2,1	2,2		
workfunction	4,35 eV			

Fonte: Adaptado de Synopsys (2014).

# 3.2 FINFET DE GERMÂNIO

#### 3.2.1 FinFET de germânio: Motivação e Desafios

A combinação de germânio, como material de canal de transistor tipo p devido à maior mobilidade de lacunas comparada à do silício [72], e a estrutura de múltiplas portas, tal como FinFET, a qual apresenta um maior acoplamento eletrostático e melhor controle do efeito de canal curto, comparado aos dispositivos planares [73; 74] e descrito na seção 2.5.1, tem sido considerado como uma alternativa promissora para aplicações de alto desempenho [75]. Entretanto, a fim de tornar o futuro dispositivo, isto é: FinFET de Ge, compatível à escala industrial, a integração com a plataforma de silício deve ser fortemente levada em consideração.

Além de Si, materiais, como SiGe, Ge e compostos a partir dos elementos das colunas III-V da tabela periódica, estão sendo largamente estudados para futuras aplicações sobre a plataforma de silício [72; 76; 77]. No entanto, o principal desafio a ser superado é a alta densidade de defeitos estruturais, conhecidos como *threading discolation* (TD) e *misfit* [78], devido à diferença entre os parâmetros de rede dos materiais, uma vez que a camada crescida epitaxialmente possui um elemento diferente ao do substrato (silício). Quando presente, o TD induz estados profundos de armadilhas na largura da faixa proibida, consequentemente, causando excesso de ruídos geração-recobinação de portadores [79], o qual degrada parâmetros elétricos de dispositivos, tais como, tensão de limiar [80], corrente de fuga de junção de fonte para o substrato [80] e mobilidade de portadores da camada de inversão.

Considerando-se a utilização de Ge em dipositivos do tipo p aos futuros nós tecnológicos, algumas estratégias podem ser adotadas com o intuito de reduzir a densidade de TD [81] e atenuar a influência destes no interior do canal do dispositivo. Para tal, três diferentes processos de fabricação de substrato serão considerados e apresentados a seguir neste trabalho.

#### 3.2.2 Processos de fabricação

A definição da aleta (*fin*) do dispositivo pode ser definida por dois métodos; formação de uma isolação por trincheira rasa (STI – *Shallow Trench Isolation*) de óxido de silício definidas antes e depois. A partir deste ponto, os métodos serão chamados de "STI antes" e "STI depois" com o intuito de simplicar a nomenclatura. Além disso, neste trabalho, estes métodos serão utilizados em três processos, a fim de reduzir a densidade de TD [81].

#### 3.2.2.1 Isolação por trincheira rasa definida antes

O processo de "STI antes" consiste na formação da estrutura STI ao redor de aleta de Si, previamente definida no substrato de silício. A seguir, esta aleta de Si é corroida, resultando-se em uma região que, por sua vez, é preenchida por SiGe, a qual é crescida epitaxialmente. Por fim, é crescida uma fina camada (+/- 30 nm) de Ge que será usada como aleta do transistor. A Figura 21 ilustra um esquemático básico da definição de uma aleta de Ge pelo processo "STI antes", enquanto que a Figura 22 mostra uma imagem de microscopia eletrônica de campo escuro de um dispositivo real do processo em questão.

A fim reduzir a quantidade de defeitos estruturais no canal do transistor, proveniente dos diferentes parâmetros de rede do Ge e do Si, o processo "STI antes" utiliza-se de uma técnica conhecida como razão de aspecto de armadilha (A*spect-Ratio-Trapping -* ART), ou seja, uma relação entre a altura a largura da região de SiGe. Quando o valor de razão de aspecto ART é maior do que três, os defeitos estruturais são predominantemente armadilhados na parte inferior desta região de SiGe [82].

Como consequência da diferença entre os parâmetros de rede do Ge e do SiGe, surgirá um tensionamento compressivo na estrutura cristalina do Ge (aproximadamente 30 nm), o qual afetará o transporte de portador na interface do canal, resultando numa melhoria na mobilidade de lacunas e, por sua vez, corrente elétrica de dreno; ideal para dispositivos de canal tipo p [83].



Figura 22 - Imagem de microscopia eletrônica de campo escuro da secção transversal de uma FinFET de Ge STI antes com tensionamento no canal.



Fonte: Adaptado de Witters [84] (2013).

# 3.2.2.2 Isolação por trincheira rasa definida depois

A aleta de Ge pode ser definida pelo processo "STI depois" de duas maneiras: canal não tensionado e tensionado, como mostrado na Figura 23 e na Figura 25, repectivamente.

## 3.2.2.2.1 Canal não tensionado

O primeiro processo, também conhecido como substrato virtual de Ge, é baseado no crescimento epitaxial de uma camada espessa (algumas dezenas de micrômetros) de Ge sobre um substrado de Si. Seguido pela definição da aleta de Ge e formação da STI, como apresentado na Figura 23. Após o crescimento do Ge sobre o Si a densidade de TD é na ordem de 10<sup>7</sup> cm<sup>-2</sup> [85], no melhor caso do estado da arte.

Por ter sido crescido uma espessa camada de Ge-sobre-Si, é esperado um relaxamento da rede cristalina do Ge resultando na inexistência de um tensionamento mecânico no canal do transistor. A Figura 24 mostra uma imagem de microscopia eletrônica de um dispositivo real do processo em questão.



Figura 24 - Imagem de microscopia eletrônica da secção transversal de uma FinFET de Ge STI depois sem tensionamento no canal.



Fonte: Adaptado de Loo [85] (2010).

# 3.2.2.2.2 Canal tensionado

Uma outra maneira à fabricação de FinFET de Ge é crescer, por epitaxia, uma espessa camada de SiGe (algumas dezenas de micrometros) sobre uma lâmina de Si. Posteriormente, é crescido uma fina camada de Ge sobre a de SiGe, seguido pela definição da aleta e formação da STI. Com este processo, obtemse a menor densidade de TD que está na faixa de 10<sup>6</sup> cm<sup>-2</sup> [86], a qual proporciona uma camada de Ge livre de defeitos estruturais devido ao substrato.

A Figura 25 apresenta um esquemático básico da definição de uma aleta de Ge pelo processo "STI depois", com o canal mecanimamente tensionado. A Figura 26 mostra uma imagem de microscopia eletrônica de campo escuro de um dispositivo real do processo em questão.



Figura 26 - Imagem de microscopia eletrônica de campo escuro da secção transversal de uma FinFET de Ge<u>STI depois com tension</u>amento no canal.



Fonte: Adaptado de Mitard [28] (2014).

# 3.2.3 Comparativo entre os processos isolação por trincheira

A Tabela 4 mostra uma comparação de primeira ordem dos processos "STI antes" e "STI depois" de canais tensionados, com os pontos fortes, os desafios e as oportunidade de melhoria de cada um dos processos [28].

	Pontos fortes	Desafios Oportunidad		
_		Defeitos armadilhados ao longo da aleta de SiGe/sGe.		
"STI antes"	Co-integracação com dispositivos nMOS de canal de Si ou III-V.	Tensionamento-relaxamento da camada de SiGe nas trincheiras rasas (abaixo de 80 nm STI).		
		Segregação de dopantes para dentro do canal de Ge.	Dopagem gradual i <i>nsitu</i> SiGe SRB pós tratamento do SiGe.	
	Baixa densidade de defeitos na aleta SiGe/sGe.	Relaxamento do canal durante o processo STI.	Baixa temperatura de óxido.	
"STI depois"	Controle do perfil de dopantes na camada de SiGe .	Integração com Si CMOS "amigável".	Oportunidade para dispositivos nMOS de canal de Si tensionado, caso um comum camada de SiGe seja empregado. (Si <sub>0,5</sub> Ge <sub>0,5</sub> )	

Tabela 4 - Comparativo entre processos STI de canal tensionado.

Fonte: Autor

## 3.2.4 . Caracterização elétrica

A caracterização elétrica dos FinFETs de Ge foi realizada no laboratório de caracterização elétrica do Imec, na qual pode-se avaliar as características I-V, C-V e LFN, conforme apresentado a seguir.

Os FinFETs de germânio foram fabricados no Imec - Bélgica - sobre lâminas de silício de 300 mm, das quais três foram consideradas neste trabalho; o processo AL142338 (isolação por trincheira rasa definida antes) lâmina D19 com o canal mecanicamente tensionado e o processo AL140199 (isolação por trincheira rasa definida depois) lâminas D02 e D19, canal não tensionado e tensionado, respectivamente. A Tabela 5 mostra as principais características dos dispositivos FinFETs de Ge estudados.

Tabela 5 - Característica dos FinFETs de Ge.				
	"STI antes"	"STI depois"		
	(canal tensionado)	(canal tensionado)	(canal não tensionado)	
Si <sub>1-x</sub> Ge <sub>x</sub>	x = 75 %	x = 70 %	n.a	
t <sub>ox</sub> (nm)	0,7 nm de SiO <sub>2</sub> + 1 nm de SiO <sub>2</sub> +1,8 nm de HfO <sub>2</sub>			
Metal de porta (nm)		5 (composição TiN	)	
W <sub>fin</sub> (nm)		20; 30; 50 e 100		
H <sub>fin</sub> (nm)	20	30	30	
L (nm)	77; 1.000 e 10.000			
Aletas em paralelo	4			
Dopagem Si <sub>1-x</sub> Ge <sub>x</sub>	5x10 <sup>18</sup> cm <sup>-3</sup> (dopante: fósforo)			
Fonte: Autor.				

#### 3.2.4.1 Características Corrente-Tensão

As curvas características de corrente-tensão (I-V) foram obtidas através de um analisador de parâmetros de dispositivos semicondutores, HP 4156C. Estas medidas foram realizadas a partir do regime de acumulação para inversão, com passo de 20 mV para a tensão aplicada ao terminal de porta, valores fixos de V<sub>DS</sub> de - 50 mV (baixo campo elétrico lateral) para dispositivos de canal do tipo p- em temperatura ambiente e a 77 K (referente a análise de *split*-CV). De posse destes resultados, o impacto dos diferentes processos STI no desempenho de aplicações digita dos dispositivos foi estudado, tais como, gm, V<sub>T</sub>, SS, curva de transferência (I-V).

## 3.2.4.2 Características Capacitância-Tensão

As curvas de capacitância-tensão (C-V) realizadas em um medidor C-V de alta frequência, Agilent E4980 A, no qual adotou-se uma frequência de 1 MHz para o sinal ac. Enquanto que a parte dc, variou-se a tensão aplicada à porta do transistor do regime de acumulação para inversão, com passo de 20 mV, variando-se a temperatura de operação de ambiente até 77 K, por meio de um sistema criogênico a vácuo micromanipulado, i. e., modelo ST-500 - Janis. A ligação elétrica entre o transistor e o medidor C-V realizada à caracterização C-V de alta frequência é ilustrada na Figura 27.




A partir da caracterização C-V dos dispositivos, estudou-se a espessura equivalente do dielétrico de porta, a mobilidade efetiva de portador e densidade de portador, a fim de avaliar os mecanismos de espalhamento de mobilidade.

## 3.2.4.3 Características de ruído de baixa frequência

A caracterização do ruído de baixa frequência (LFN) foi realizada com a operação na região linear, isto é, baixo campo elétrico lateral ( $V_{DS} = -50 \text{ mV}$ ), enquanto que a polarização de porta ( $V_{GS}$ ) foi variada de inversão fraca (um Volt baixo da tensão de limiar) a forte (um e meio Volt acima da tensão de limiar), por meio de um sistema de medidas da ProPlusSolution.

A caracterização de LFN permitiu a análise de defeitos GR no interior do canal dos dispositivos bem como avaliar o mecanismo de espalhamento de mobilidade de portador e a densidade de cargas no óxido.

Fonte: Autor.

# 4 FINFETS DE SILÍCIO

Neste capítulo, desempenhos elétricos (de aplicações analógicas e digitais) entre as duas estruturas FinFETs (de corpo e SOI) são comparados, com a operação em temperatura ambiente. Além disso, ambos os tipos de canais (n e p) são estudados. Os resultados são baseados em apenas dados experimentais.

## 4.1 COMPORTAMENTO EM TEMPERATURA AMBIENTE

## 4.1.1 FinFET canal n

#### 4.1.1.1 Parâmetros básicos para aplicação digital

Primeiramente são analisadas as curvas de corrente de dreno ( $I_{DS}$ ) em função da sobre-tensão de porta ( $V_{GT} = V_{GS} - V_T$ ) para a aleta mais larga (250 nm) e para diferentes comprimentos de canal, conforme apresentado na Figura 28.





Assim como na tecnologia planar [4], os dispositivos FinFETs SOI apresentam níveis de corrente de dreno (I<sub>DS</sub>) superiores aos FinFETs de corpo, na região de inversão forte (V<sub>GT</sub> maior do que zero Volt), como mostra a Figura 28. No entanto, o fator predominante não é fator de corpo, mas sim a degradação da mobilidade de baixo campo ( $\mu$ ) nos FinFETs de corpo, causada durante a dopagem da

região conhecida como implantação de plano de terra *(ground plane* – GP*)* ou *anti-punchthrough* [73] e discutida na seção 3.1.1; esta etapa é desnecessária no FinFET SOI devido à existência do óxido enterrado.

Ainda na Figura 28, porém na região de sublimiar (V<sub>GT</sub> menor do que zero Volt), a corrente elétrica de dreno (I<sub>OFF</sub>) sofre uma suave elevação (abaixo de uma ordem de magnitude) com a redução do comprimento de canal em ambas as estruturas. Desta região, pode-se avaliar um importante parâmetro, a inclinação de sublimiar.

A inclinação de sublimiar (SS) em função da largura da aleta ( $W_{fin}$ ), para dispositivos de canal de 10 µm e de 130 nm pode ser vista na Figura 29 e na Figura 30, respectivamente.





Na Figura 29, ambas tecnologias apresentam valores de SS próximos ao limite teórico para temperatura ambiente de 60 mV/década [4]. Além disso, os dispositivos FinFETs SOI apresentam SS sutilmente menores comparado aos FinFETs de corpo, porém para W<sub>fin</sub> estreitas (aproximadamente 20 nm), as quais a tecnologia FinFET é comumente utilizada, não há uma diferença significativa entre os valores de SS dos FinFETs, pois possuem um maior controle

eletrostático das cargas no canal, resultando em uma menor IOFF, como observado na Figura 28 para L de 1 µm.

Para dispositivos com L de 130 nm (Figura 30) observa-se que os FinFETs de corpo apresentam o mesmo comportamento dos dispositivos de canais longos (Figura 29). Comparando-se as estruturas, para dispositivos estreitos (W<sub>fin</sub> abaixo de 50 nm), não apresentam uma diferença significativa de SS. Por outro lado, na faixa de W<sub>fin</sub> de 65 nm a 250 nm, os dispositivos FinFETs SOI mostram um inesperado aumento da inclinação de sublimiar, o qual será avaliado posteriormente.

Figura 30 - Inclinação de sublimiar em função da largura da aleta, para comprimento de canal de



Fonte: Autor. Focando-se nos dispositivos FinFETs SOI, a fim de entender os comportamentos inesperados apresentados por estes, na região de sublimiar da Figura 28 e com o aumento da largura da aleta (Figura 30), uma nova caracterização elétrica foi realizada apenas nos SOI, variando-se a polarização do substrato, para comprimentos de canal de 130 nm, 250 nm e 1 μm, considerando-se o pior caso de W<sub>fin</sub> (250 nm).

A Figura 31 mostra a degradação da corrente de sublimiar com a diminuição do comprimento de canal para polarização de substrato de zero Volt.



Figura 31 - Corrente de dreno em função da sobre-tensão de porta para diferentes comprimentos de canal e polarização de substrato, nFinFET SOI.

No entanto, quando uma polarização negativa ao substrato é aplicada, observa-se que o comportamento da corrente elétrica de dreno, na região de sublimiar, tende ao mesmo nível da corrente elétrica dos dispositivos longos nesta região. Desta maneira, constata-se que a corrente de fuga é causada por uma condução da segunda interface [87], pois ao polarizar o substrato negativamente, a segunda interface do FinFET SOI muda de depleção para acumulação, como apresentado Figura 10. Assim, a condução parasitária é suprimida, resultando na melhoria de SS. Este comportamento não é observado para dispositivos de aletas estreitas devido ao forte acomplamento eletrostático entre as portas laterais e de topo [34].

Tratando-se de parâmetros para aplicações digitais, um parâmetro crucial é a tensão de limiar ( $V_T$ ). Na Figura 28 a influência de  $V_T$  foi desconsiderada, uma vez que a corrente de dreno foi analisada em função de  $V_{GT}$  ( $V_{GS} - V_T$ ). Sendo assim, na Figura 32 apresenta-se a tensão de limiar em função do comprimento de canal. Com esta curva é possível verificar se o dispositivo sofre de efeitos de canal curto, conforme discutido em 2.2.

Na Figura 32, nota-se que a largura da aleta ( $W_{fin}$ ) apresenta uma menor influência sobre os valores de  $V_T$  nos dispositivos FinFETs SOI do que nos dispositivos FinFETs de corpo. Isso se deve, possivelmente, pelo fato dos dispositivos FinFETs de corpo apresentarem uma dopagem no canal, devido à implantação de dopantes abaixo da aleta (implantação de *anti-punchthrough*), a fim de isolar e evitar fugas entre as regiões de fonte e dreno do dispositivo. Desta forma, átomos dopantes difundem para o interior do canal, o que resulta em uma concentração de dopantes maior do que a dopagem natural da lâmina  $(1x10^{15} \text{ cm}^{-3})$ . Por sua vez, aumenta o  $\Phi_F$ , como apresentado na eq. (2), e consequentemente a tensão de limiar.





Fonte: Autor.

À medida que o comprimento de canal diminui de 10  $\mu$ m a 130 nm, os transistores FinFETs SOI não apresentam variação da tensão de limiar. Por outro lado, os dispositivos FinFETs de corpo com W<sub>fin</sub> de 130 nm e 250 nm apresentaram, sugerindo que estes sofrem de efeito de canal curto, já que apresentam uma diminuição de V<sub>T</sub> à medida que o comprimento de canal diminui. Assim, a influência do campo elétrico de dreno é mais significativa, resultando na perda parcial de controle das cargas do canal pela porta.

#### 4.1.1.2 Parâmetros básicos para aplicação analógica

Focando-se na avaliação de uma figura de mérito de desempenho analógico, o ganho intrínseco de tensão ( $A_V$ ), o qual pode ser obtido pela eq. (16), faz-se necessário analisar a transcondutância (gm), na região de saturação ( $V_{DS} = 0.8 V$ ). A Figura 33 e a Figura 34 apresentam gm em função do comprimento de canal, para W<sub>fin</sub> estreita (20 nm) e larga (130 nm), respectivamente. Observa-se que em ambos os casos os dispositivos FinFETs SOI apresentam gm maior do que os FinFETs de corpo, devido à diferença de etapas no processo de fabricação entre os FinFETs SOI e de corpo, abordado na seção 3.1.1, que resulta na degradação da mobilidade durante a dopagem da região conhecida como implantação de plano de terra (*ground plane –* GP) ou *anti-punchthrough*, no caso do FinFET de corpo [73]. Uma vez que, no FinFET SOI, esta etapa é desnecessária devido à existência do óxido enterrado.

Figura 33 - Transcondutância em função do comprimento de canal, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.



Fonte: Autor.

Além disso, para todos os comprimentos de canal estudados em ambas as tecnologias, SOI e de corpo, os dispositivos mais largos (Figura 34) apresentam maior gm que os estreitos (Figura 33), devido à transcondutância ser proporcional à largura efetiva da aleta, como apresentado na seção 2.6.1.

A Figura 35 e a Figura 36 apresentam a condutância de saída ( $g_D$ ) em função do comprimento de canal são apresentadas, para  $W_{fin}$  de 20 nm e 130 nm, respectivamente.



Figura 34 - Transcondutância em função do comprimento de canal, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo.

Figura 35 - Condutância de saída em função do comprimento de canal, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.



Na Figura 35, observa-se que para aleta estreita os dispositivos FinFETs SOI e de corpo apresentam níveis g<sub>D</sub> semelhantes, uma vez que quanto mais estreito for a aleta do dispositivo, maior será o acoplamento eletrostático, o que resulta

em uma menor influência do efeito de modulação de canal. Por outro lado, para aleta larga (Figura 36), os dispositivos FinFETs de corpo apresentam g<sub>D</sub> menor que os FinFETs SOI, para todos os comprimentos de canal estudado, em oposição ao comportamento observado na Figura 35. Uma possível causa é o pior controle de corrente de dreno, uma vez que parte desta flui devido á corrente elétrica de fuga pela segunda interface a qual opera sem o controle do terminal de porta, como abordado na seção 4.1.1.1. Enquanto que não é observado este comportamento no FinFET de corpo, pois há uma região com implantação de dopantes (GP), conforme apresentado na seção 3.1.1, a qual impede um possível corrente elétrica de fuga.

Figura 36 - Condutância de saída em função do comprimento de canal, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo.



De posse da transcondutância e condutância de saída, obtém-se o ganho intrínseco de tensão - seção 2.6.5 -, o qual é apresentado em função comprimento de canal na Figura 37, para  $W_{fin}$  de 20 nm. Nota-se que para L de 10 µm os transistores SOI apresentam maiores valores de Av, o que está de acordo com os resultados encontrados na literatura [73]. E, com a redução do comprimento de canal os valores de Av mantêm um diferença cerca de 15 %, entre as estruturas.



Por outro lado, para  $W_{fin}$  de 130 nm, apesar dos valores de gm terem sido superiores, no caso dos dispositivos FinFETs SOI (Figura 34), os maiores valores de A<sub>V</sub> são dos transistores FinFETs de corpo, como apresentado na Figura 38, indicando que a condutância de saída foi o fator predominante no valor de A<sub>V</sub> para aletas largas.





Figura 37 - Ganho intrínseco de tensão em função do comprimento de canal, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.

Avaliando-se o Av em função da largura da aleta (Figura 39) para L de 130 nm, observa-se que para aleta estreita (20 nm) o dispositivo SOI tem o maior nível de Av, porém, quando a largura da aleta aumenta, os transistores FinFETs de corpo apresentam melhor desempenho. Além do mais, os dispositivos FinFET de corpo apresentam um patamar, no qual varia apenas 2,5 dB na faixa de 20 nm a 65 nm de W<sub>fin</sub>, em contraste com o SOI que reduziu cerca de 10 dB, na mesma faixa de largura. Este comportamento foi desencadeado pela condução parasitária inerente à estrutura SOI, o qual foi discutido anteriormente na seção 4.1.1.1.





Fonte: Autor.

Outra figura de mérito de aplicações analógicas é a frequência de ganho unitário (ft); seção 2.6.6. Na Figura 40 é apresentada a frequência de ganho unitário (ft) em função de diferentes dispositivos. A capacitância de carga adotada é de 1 pF.



Figura 40 - Frequência de ganho unitário para diferentes dispositivos, comparando-se nFinFETs SOI e de corpo.

Nota-se que para dispositivos FinFETs SOI, o ft é maior em todas as combinações de dimensões estudadas. Além disso, para dispositivos de L e W<sub>fin</sub> de 130 nm há uma notável diferença entre os dispositivos FinFETs SOI e de corpo, mesmo com a influência da segunda interface em depleção, o que resulta numa corrente de fuga na região de sublimiar dos FinFETs SOI de aletas largas, como discutido na Figura 31. Os FinFETs SOI atingem 20 MHz acima dos FinFETs de corpo. O parâmetro predominante é a transcondutância (gm), o qual é dependente das dimensões W<sub>fin</sub> e L e da mobilidade de portador. Esta, por sua vez, é inferior em FinFET de corpo comparada ao FinFET SOI, como discutido na Figura 33, devido a sua redução após a implantação de GP [73], resultando em níveis de ft melhores para os FinFETs SOI.

## 4.1.2 FinFET canal p

#### 4.1.2.1 Parâmetros básicos para aplicação digital

A corrente de dreno (I<sub>DS</sub>) em função da sobre-tensão de porta (V<sub>GT</sub> = V<sub>GS</sub> - V<sub>T</sub>) é analisada e apresentada na Figura 41 e na Figura 42, para larguras de aleta estreita e larga, respectivamente. Em cada figura, dois comprimentos de canal são considerados, um de 130 nm e outro de 1  $\mu$ m.



Figura 41 - Corrente de dreno em função da sobre-tensão de porta, para comprimentos de canal 130 nm e 10 µm e largura de aleta de 20 nm, comparando-se pFinFETs SOI e de corpo.

Figura 42 - Corrente de dreno em função da sobre-tensão de porta, para comprimentos de canal 130 nm e 10 µm e largura de aleta de 130 nm, comparando-se pFinFETs SOI e de corpo.



Em ambas as figuras 41 e 42, na região de inversão forte, os dispositivos FinFETs SOI apresentam níveis de corrente de dreno (I<sub>DS</sub>) maiores do que os FinFETs de corpo, uma vez que a sua mobilidade de baixo campo é maior, devido à implantação do plano de referência, o qual isola as regiões de fonte e dreno abaixo da região do canal, como apresentado na seção 3.1.1. Além disso,

como esperado, a I<sub>DS</sub> é inversamente proporcional ao comprimento de canal. Por outro lado, para o dispositivo FinFET SOI de aleta larga e canal de 130 nm, há uma degradação da inclinação de sublimiar, devido a condução parasitária da segunda interface e como apresentado para os nFinFETs, na seção 4.1.1.1.

O alto nível de l<sub>DS</sub> na região de sublimiar (cinco ordens de grandeza maior do que o dispositivo da mesma tecnologia, porém de L = 1  $\mu$ m), do FinFET SOI (L = W<sub>fin</sub> = 130 nm) apresentado na Figura 42, implica diretamente na degradação da inclinação de sublimiar (SS). Sendo assim é analisada, na Figura 43 a inclinação de sublimiar em função do comprimento de canal, para larguras de aleta de 20 nm e 130 nm.



Figura 43 - Inclinação de sublimiar em função do comprimento de canal, para larguras da aleta de 20 nm e 130 nm, comparando-se pFinFETs SOI e de corpo.

Em ambas as tecnologias, é notável que a SS para dispositivos estreitos (20 nm) fica praticamente igual o limite teórico de 60 mV/década, assim como os FinFETs de canal tipo n, os quais foram apresentados na seção 4.1.1.1. No entanto, para W<sub>fin</sub> de 130 nm, ambos dispositivos apresentam degradação de SS com a diminuição de comprimento de canal. Os dispositivos FinFETs SOI são os mais afetados, para L de 130 nm, atingindo um nível de 110 mV/década, enquanto os FinFETs de corpo é cerca de 70 mV/década. Isto ocorre devido à condição parasitária da segunda interface, como apresentado no caso do transistor nFinFET SOI; curva I-V para diferente polarização de substrato.

Um parâmetro não foi avaliado em nenhuma das curvas  $I_{DS} \times V_{GT}$ apresentadas, para os pFinFETs, foi a tensão de limiar (VT). A Figura 44 mostra o comportamento da tensão de limiar (VT) em função do comprimento de canal dos pFinFETs. Nesta figura, observa-se que com a redução do comprimento de canal ambos os FinFETs, SOI e de corpo, sofrem de efeitos de canal curto, pois há uma redução do VT, em módulo.





Além disso, V<sub>T</sub> não apresenta variação significativa quando se aumenta a W<sub>fin</sub>, para FinFETs SOI. Por outro lado, os FinFETs de corpo apresentam cerca de 100 mV de diferença de V<sub>T</sub> para diferentes W<sub>fin</sub>. Isto leva a crer que a implantação de dopantes abaixo da região de canal da aleta (plano de terra ou implantação de *anti-punchthrough*) influencia no nível de Fermi ( $\phi_F$ ), consequentemente, na tensão de limiar, o que será discutido em 4.2.1

4.1.2.2 Parâmetros básicos para aplicação analógica

A Figura 45 e a Figura 46 mostram a razão gm/I<sub>DS</sub> dos transistores em diferentes comprimentos de canal e larguras de aleta, para FinFETs de corpo e SOI, respectivamente.

Na Figura 45, observa-se um menor nível de gm/I<sub>DS</sub> para as dimensões de L e W<sub>fin</sub> de 130 nm, na região de inversão fraca. Isto porque esta região é

proporcional a 1/SS (seção 2.6.5.1), e nesta dimensão, o dispositivo começa a sofrer de efeito de canal curto, uma vez que a inclinação de sublimiar, para o L e W<sub>fin</sub> de 130 nm, é cerca de 10 mV/década acima do limite teórico, conforme apresentado na Figura 43. Por outro lado, na região de inversão forte, observase uma variação de gm/I<sub>DS</sub> desprezível, quando comparado com os dispositivos de diferentes dimensões.



Figura 45 - Razão gm/I<sub>DS</sub> em função da corrente de dreno normalizada, para dispositivos pFinFETs de corpo.

Nos dispositivos FinFETs SOI (Figura 46), também há uma degradação na região de inversão fraca, para as mesmas dimensões apresentadas no dispositivo FinFET de corpo. Porém, a degradação é mais pronunciada no caso SOI, o qual atingiu cerca de 20 V<sup>-1</sup> abaixo das outras curvas de diferentes dimensões. Uma vez que esta região reflete a degradação de SS (Figura 43) devido à condução parasitária da segunda interface, que neste caso é de 50 mV/década acima do limite teórico.



Figura 46 - Razão gm/I<sub>DS</sub> em função da corrente de dreno normalizada, para dispositivos pFinFETs SOI.

Embora a região de inversão forte seja, predominantemente, dominada pela mobilidade de portadores, como visto na seção 2.6.5.1, e pela resistência série, a condução parasitária influenciou na razão gm/l<sub>DS</sub> do transistor de dimensões  $W_{fin} = L = 130$  nm, resultando no menor valor de gm/l<sub>DS</sub> comparando-se com as demais dimensões.

A tensão Early (V<sub>EA</sub>) em função do comprimento de canal (L) é apresentada na Figura 47, para W<sub>fin</sub> de 20 nm e 130 nm. Nota-se que para aleta estreita (W<sub>fin</sub> de 20 nm), os valores de V<sub>EA</sub> são próximos para toda faixa de L estudada, para ambas tecnologias SOI e de corpo. Isto se deve ao forte acoplamento eletrostático na região do canal para aletas estreitas, resultando em uma menor influência do campo elétrico lateral. Enquanto que para aleta larga, os dispositivos SOI apresentam maiores valores de V<sub>EA</sub> para quase todas as dimensões de L, exceto o de 130 nm, o qual o FinFET de corpo torna-se melhor, pois o efeito de condução parasitária é predominante no SOI.





De posse da razão gm/I<sub>DS</sub> do transistor e da tensão Early, é possível se obter o ganho intrínseco de tensão. A Figura 48 mostra o ganho intrínseco de tensão (A<sub>V</sub>) em função do comprimento de canal, para W<sub>fin</sub> de 20 nm e 130 nm

Figura 48 - Ganho intrínseco de tensão em função do comprimento de canal, para larguras da aleta de 20 nm e 130 nm, comparando-se pFinFETs SOI e de corpo.



Na Figura 48 é possível notar que o  $A_V$  tem a mesma tendência que o apresentado no V<sub>EA</sub>, indicando que este foi o fator predominante para a obtenção de  $A_V$ . Assim como nos dispositivos nFinFETs apresentados na seção 4.1.1.2,

um inesperado comportamento para dispositivos de aleta larga e canal de 130 nm é observado, e o FinFET de corpo torna-se melhor do que o FinFET SOI.

Com a finalidade de entender o comportamento obtido de Av para W<sub>fin</sub> de 20 nm e L de 130 nm, optou-se por avaliar Av em função de W<sub>fin</sub>, para diferentes comprimentos de canal, como segue na Figura 49.



Figura 49 - Ganho intrínseco de tensão em função da largura da aleta, para diferentes comprimentos de canal, comparando-se pFinFETs SOI e de corpo.

Fonte: Autor.

Embora os dispositivos FinFETs SOI tenham apresentado valores de Av maiores do que os FinFETs de corpo, para toda a faixa de largura de aleta e diferentes comprimentos de canal, há uma exceção para o L de 130 nm. Neste caso, quanto mais larga for a aleta, maior será a degradação dos parâmetros: corrente de fuga (Figura 42) e SS (Figura 43), nos dispositivos FinFETs SOI. Assim, a razão pela qual o FinFET de corpo torna-se melhor frente ao SOI, para o dispositivo com L de 130 nm, está associado à degradação do SOI devido à condução parasitária inerente a esta estrutura que acentua o efeito de canal curto neste dispositivo.

Na Figura 50 é apresentada uma figura de mérito em aplicações analógicas, a frequência de ganho unitário ( $f_t$ ) em função de diferentes dispositivos. A capacitância de carga adotada é de 1 pF. É possível observar que para dispositivos de canal longo (1 µm) os valores de  $f_t$  são próximos, para ambas as tecnologias, porém o SOI é maior. Por outro lado, para dispositivos com L de 130 nm, há uma notável diferença entre os dispositivos FinFETs SOI e de corpo.Os FinFETs SOI atingem 10 MHz acima dos transistores FinFETs de corpo.



Figura 50 - Frequência de ganho unitário para diferentes dispositivos, comparando-se pFinFETs SOI e de corpo.

Desta forma, o parâmetro predominante é a transcondutância (gm), e devido ao canal do SOI ser da dopagem natural da lâmina, enquanto que o FinFET de corpo sofre uma implantação de dopagem - GP -, resultando na redução da mobilidade de portadores [73] e consequentemente, da transcondutância. Esta, por sua vez, é inversamente proporcional ao comprimento de canal como apresentado na Figura 33 e eq. (9), por tanto, o L de 130 nm apresenta um maior nível de ft comparado ao comprimentos mais longos.

# 4.2 COMPORTAMENTO EM FUNÇÃO DA TEMPERATURA

A influência da temperatura foi avaliada nos desempenhos elétricos (de aplicações analógicas e digitais) para FinFETs de corpo e SOI no caso do canal do tipo n.

## 4.2.1 Parâmetros básicos para aplicação digital

A influência do aumento da temperatura na tensão de limiar é apresentada na Figura 51 e na Figura 52, para aletas estreita e larga, respectivamente. Os FinFETs SOI apresentam o mesmo perfil de redução com o aumento da temperatura, independente da largura da aleta.



Figura 51 - Tensão de limiar em função da temperatura, para largura da aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.

Por outro lado, nos FinFETs de corpo, a redução de V<sub>T</sub> foi mais evidente nos dispositivos de aleta largas (W<sub>fin</sub> de 130 nm) com o aumento da temperatura, como mostra a Figura 52.





Uma das possíveis causas é que na decorrência do aumento de temperatura, a concentração intrínseca de portadores é incrementada, consequentemente, o potencial de Fermi, o que implica que V⊤ também é reduzido. E, o FinFET de corpo pode ter uma concentração de dopantes no canal maior que SOI (devido ao GP), a variação com a temperatura é maior.

A Figura 53 e a Figura 54 apresentam a taxa de variação da tensão de limiar  $(\Delta V_{th}/\Delta T)$  em diferentes temperaturas, para larguras de aleta estreita e larga, respectivamente, e em ambas estruturas FinFETs de corpo e SOI.



Figura 53 - Taxa de variação de tensão de limiar com a temperatura, para largura da aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.

Nas figuras 53 e 54, nota-se que independentemente de  $W_{fin}$  e L, os dispositivos FinFETs de corpo apresentam maior redução de  $\Delta V_{th}/\Delta T$  do que os FinFETs SOI, com o aumento da temperatura. Acredita-se que no FinFET de corpo haja uma concentração de dopantes acima do nível intríseco (1x10<sup>15</sup> cm<sup>-3</sup>), devido à implantação do plano de terra (*ground plane* - GP) a qual evita corrente de fuga entre fonte e dreno [88] e afeta o potencial de Fermi.



Figura 54 - Taxa de variação de tensão de limiar com temperatura, para largura da aleta de 130 nm, comparando-se nFinFETs SOI e de corpo.

A concentração de dopagem do GP afeta diretamente a tensão de limiar (V<sub>T</sub>) [88]. Dessa forma, uma simulação tridimensional foi realizada com o intuito de melhor entender o comportamento apresentado de  $\Delta V_{th}/\Delta T$ .

A Figura 55 mostra a densidade de corrente de elétron em função de uma linha de corte, do topo até base, da altura da aleta (H<sub>fin</sub>), para três diferentes dispositivos: um FinFETs SOI, os demais FinFETs de corpo, porém um com e outra sem o GP, todos os dispositivos operando em duas temperaturas 25 °C e 150 °C.



Na Figura 55 é possível observar que os FinFETs SOI e de corpo (sem GP) têm o mesmo perfil de densidade de corrente ao longo de H<sub>fin</sub>. Adicionalmente, a temperatura não tem uma influência significativa nem na densidade de corrente nem na tensão de limiar. Por outro lado, o dispositivo FinFET de corpo (com GP) apresenta um confinamento de densidade corrente na região de canal, o qual resulta em um fluxo de corrente predominantemente na interface silício/óxido de porta (superfície do topo).

Assim, uma possível razão para a pronunciada degradação  $\Delta V_{th}/\Delta T$  no FinFET de corpo (Figura 53 e Figura 54) é que com o aumento da temperatura, o potencial de Fermi reduz, resultando na diminuição tanto do confinamento da densidade de corrente, quanto da tensão de limiar (V<sub>T</sub>).

Na Figura 56 e na Figura 57 é apresentado a influência da temperatura na transcondutância máxima normalizada (gm<sub>max</sub>.L), para larguras de aleta de 20 nm e de 130 nm, respectivamente. No caso de W<sub>fin</sub> estreito é notável que com o aumento da temperatura, a gm<sub>max</sub>.L diminui. Isso se deve ao fato da degradação da mobilidade de elétron, com o aumento da temperatura [89].



Além do que, os dispositivos FinFETs SOI apresentam maior valor de gm<sub>max</sub> do que o FinFET de corpo. Isso pode ser explicado pela existência da concentração de dopantes do GP, o qual pode degradar a mobilidade dos elétrons [73]. No caso dos FinFETs SOI não é necessário o GP devido à existência do óxido enterrado.





A transcondutância também é degradada devido ao efeito de resistência série na corrente de dreno, o qual resulta em um menor valor de gm para todos os casos de L de 130 nm. Na Figura 57 há uma melhoria na transcondutância, comparado aos dispositivos estreitos, graças ao aumento da mobilidade efetiva, uma vez que quanto mais larga for W<sub>fin</sub>, maior será a influência da mobilidade de elétron da superfície do topo da aleta que, por sua vez, é maior que mobilidade da superfície lateral, devido à orientação cristalográfica e ao processo de corrosão de definição da aleta do FinFET.

A Figura 58 e a Figura 59 apresentam a corrente de dreno (I<sub>DS</sub>) em função da tensão aplicada à porta (V<sub>GS</sub>), para diferentes temperaturas, em FinFETs de corpo e SOI, respectivamente. A corrente de dreno, na região de inversão forte, diminui com o aumento da temperatura e, enquanto que o comportamento oposto é encontrado na região de sublimiar, para ambas as tecnologias [89]. O primeiro acontece devido à degradação da mobilidade com o aumento da temperatura. Enquanto a outra observação está relacionada ao aumento da inclinação de sublimiar e aumento da corrente fuga de fonte para dreno quando temperatura eleva-se. Além do mais, vale destacar que o ponto ZTC ocorre para uma polarização de tensão aplicado à porta (V<sub>ZTC</sub>) de 258 mV para o SOI e 325 mV para o FinFET de corpo. Esta diferença é devido ao fato de V<sub>ZTC</sub> ser proporcional ao V<sub>T</sub> [56].



Figura 58 - Corrente de dreno em função da tensão de porta para diferentes temperaturas, nFinFET de corpo.



Figura 59 - Corrente de dreno em função da tensão de porta para diferentes temperaturas, nFinFETs SOI.

Além disso, o fato do FinFET SOI apresentar um maior nível de corrente de dreno (I<sub>DS</sub>) do que o de corpo, não é só relativo à redução da tensão de limiar, mas também está associado a degradação de gm devido às diferentes etapas de fabricação, como abordado na seção 4.1.1.1.

A redução de barreira induzida na fonte pela tensão aplicada ao dreno (DIBL) em função da temperatura é apresentada na Figura 60 e na Figura 61, para W<sub>fin</sub> de 20 nm e 130 nm, respectivamente.



Figura 60 - Redução de barreira induzida na fonte pela tensão aplicada ao dreno em função da temperatura, para largura de aleta de 20 nm, comparando-se nFinFETs SOI e de corpo.

Em ambas as figuras (Figura 60 e Figura 61), nota-se que o FinFET de corpo não apresenta uma significativa variação no valor de DIBL, considerando a faixa de temperatura estudada, e independente da largura da aleta.



Figura 61 - Redução de barreira induzida na fonte pela tensão aplicada ao dreno em função da temperatura, para largura de aleta de 130 nm, comparando-se nFinFETs SOI e de corpo.

Por outro lado, os dispositivos FinFETs SOI apresentam uma tendência crescente no DIBL com o aumento da temperatura, para qualquer combinação de dimensão (W<sub>fin</sub> e L). Isso sugere que com o incremento da temperatura o óxido enterrado torna-se menos eficiente (no caso do SOI) devido ao efeito de autoaquecimento, resultando em uma maior influência da penetração do campo elétrico lateral, na região do canal, comparado ao FinFET de corpo que usa a implantação de GP. Ao mesmo tempo, a degradação do DIBL, em função da temperatura, se torna mais evidente quando o dispositivo sofre de condução parasitária pela segunda interface (discutido na seção 4.1.1.1), como no FinFET SOI de W<sub>fin</sub> e L de 130 nm (Figura 54).

#### 4.2.2 Parâmetros básicos para aplicação analógica

A Figura 62 e a Figura 63 apresentam a tensão Early ( $V_{EA}$ ) em função da temperatura, para  $W_{fin}$  de 20 nm e 130 nm, respectivamente. A  $V_{EA}$  parece não

ter sido significativamente afetado pela faixa de temperatura estudada, em nenhuma das larguras de aleta. Por outro lado, como esperado, o maior valor de V<sub>EA</sub> é observado para o comprimento de canal mais longo, devido ao menor efeito de modulação do comprimento de canal.





Para dispositivos com W<sub>fin</sub> de 130 nm (Figura 63), o FinFET de corpo apresenta maior valor de V<sub>EA</sub> do que o FinFET SOI, para qualquer temperatura estudada. Isso sugere que com o aumento da temperatura o óxido enterrado é menos eficiente do que o GP, referente à penetração do campo elétrico lateral na região do canal, devido ao efeito de autoaquecimento. Além disso, os dispositivos de aleta larga apresentam menores valores de V<sub>EA</sub> do que os de aleta estreita, devido à perda do acoplamento eletrostático.



A Figura 64 e a Figura 65 apresentam o ganho intrínseco de tensão (A<sub>V</sub>) em função da temperatura, para comprimento de canal de 1  $\mu$ m e 130 nm, respectivamente, e diferentes W<sub>fin</sub>.





Focando-se nos dispositivos estreitos (W<sub>fin</sub>), para qualquer L, ambas as tecnologias apresentam níveis de A<sub>V</sub> próximos, devido ao forte acoplamento eletrostático na região do canal para dispositivos estreitos [34].



Figura 65 - Ganho intrínseco de tensão em função da temperatura, para comprimento de canal e 130 nm, comparando-se nFinFETs SOI e de corpo.

No entanto, em dispositivos largos (W<sub>fin</sub> de 130 nm), pode ser visto que o FinFET de corpo apresenta maiores valores de A<sub>V</sub> que o FinFET SOI devido ao aumento (degradação) da condutância de saída (g<sub>D</sub>) pela condução da segunda interface independente do controle do terminal de porta no FinFET SOI. Ao mesmo tempo, observa-se que o g<sub>D</sub> é pouco dependente com o aumento da temperatura, pelo menos para a faixa de temperatura estudada.

# 5 FINFET DE GERMÂNIO

Este capítulo apresenta a comparação de desempenhos elétricos entre FinFETs de Germânio, de canal tipo p, de três processos diferentes de substrato. Desta forma, avalia-se o impacto dos processos nas respectivas características elétricas dos transistores considerando-se parâmetros para aplicações digitais, ruído de baixa frequência e mobilidade efetiva de portador. Ressalta-se que os resultados são baseados em dados experimentais.

# 5.1 PARÂMETROS BÁSICOS

A Figura 66 apresenta a curva da corrente de dreno (I<sub>DS</sub>) em função da tensão aplicada à porta (V<sub>GS</sub>) para os três processos STI de pFinFET de Ge. Nota-se que o desempenho dos transistores é dependente do tipo de substrato, no qual a aleta de Ge foi definida, principalmente abaixo da região de sublimiar. Nesta região, para valores mais positivos de V<sub>GS</sub>, observa-se que o processo com o maior nível de corrente é o "STI depois" de canal não tensionado, devido ao fato do substrato ser de Ge, que por sua vez apresenta um menor valor de largura da faixa proibida (E<sub>g</sub>), resultando em uma maior corrente de fuga de junção dreno/substrato; ou seja, Ge/Ge comparado ao Ge/SiGe dos outros dois processos STI analisados. Ainda na região de sublimiar, o processo "STI antes" apresenta uma inclinação da curva diferente e maior (pior) do que os processos "STI depois". Este fato sugere que o processo "STI antes" apresenta uma inclinação du curva diferente e maior (pior) do que os processos "STI depois". Este fato sugere que o processo "STI antes" apresenta uma inclinação da curva diferente e maior (pior) do que os processos "STI depois". Este fato sugere que o processo "STI antes" apresenta uma inclinação da curva diferente e maior (pior) do que os processos "STI depois". Este fato sugere que o processo "STI antes" apresenta uma inclinação da curva diferente e maior (pior) do que os processos "STI depois". Este fato sugere que o processo "STI antes" apresenta uma maior fuga de corrente elétrica, na qual pode ser proveniente de uma ineficiência em alguma etapa da fabricação ou característica resultante do próprio processo "STI antes".

Ainda na Figura 66, porém com o foco na região de inversão forte, não é possível constatar o efeito do tensionamento mecânico na mobilidade de lacunas, uma vez que o dispositivo do processo "STI depois" de canal tensionado apresentou o menor nível de corrente comparado aos demais, uma vez que, era esperado um maior nível, o que indica que há outro parâmetro dominante nesta região e mais análises são requeridas, tais como transcondutância e mobilidade de portador.



A Figura 67 apresenta as correntes elétricas de dreno, fonte, substrato e porta dos pFinFETs de Ge em função de V<sub>GS</sub>.



Figura 67 - Correntes de dreno, fonte, substrato e porta em função da tensão aplicada à porta para pFinFETs de Ge de diferentes processos STI.

A partir Figura 67, constata-se que a corrente elétrica de substrato (IsuB) é a responsável pelo alto nível de IDS na região de sublimiar, fato este que é observado em todos os processos STI estudados. O principal motivo pode estar associado à alta densidade defeitos no substrato do transistor, devido à diferença entre os parâmetros de rede do Si e Ge, o que resulta numa corrente elétrica de fuga da junção fonte/substrato proporcional a densidade de defeitos, como estudado em diodos [80].

O menor nível de corrente elétrica, na Figura 67, é referente ao terminal de porta, independente dos processos STI considerados neste estudo, o que é um indicativo que o processo de empilhamento do material dielétrico de porta está suficientemente otimizado, no entanto, outros parâmetros devem ser analisados, tal como a inclinação de sublimiar.

Em busca de um melhor entendimento da região de inversão forte da Figura 66, a transcondutância (gm) máxima em função da largura de aleta é apresentada na Figura 68 e analisada para os três processos STI.



Figura 68 - Máxima transcondutância normalizada em função da largura de aletas para pFinFETs de Ge de diferentes processos STI.

Observa-se que os transistores de canais tensionados não apresentam uma dependência direta da largura da aleta, diferentemente dos FinFETs de canais não tensionados, sugerindo que para este, a mobilidade de lacunas é o fator predominante em gm. Além disso, o processo "STI depois" de canal tensionado apresenta o menor nível de gm, comparado aos demais processos, à medida que a aleta do transistor torna-se estreita, o que pode estar associado a alguma característica de Cox, isto é, apresentar diferentes espessuras efetivas do óxido, pois como apresentado no item 2.6.1 é o único parâmetro de primeira ordem que pode ser diferente entre os processos.

A análise de gm não é suficiente para justificar o diferente comportamento nos níveis de I<sub>DS</sub> - Figura 66 - para os processos STI estudados. Sendo assim, a espessura equivalente do óxido, a qual é extraída a partir de C<sub>OX</sub> é apresentada na Figura 69 em função da largura de aleta dos FinFETs. A partir desta, observase uma homogeneidade no processo de deposição do óxido tanto no topo quanto nas paredes laterais da aleta, uma vez que a espessura permanece, praticamente, constante tanto para dispositivos largos quanto estreitos.

Figura 69 - Espessura equivalente do óxido em função da largura da aleta para os diferentes processos STI.



Ainda na Figura 66 é possível observar um deslocamento da curva do dispositivo "STI depois" não tensionado comparado às curvas dos demais processos. Portanto, avalia-se a dependência da tensão de limiar com a largura de aleta - Figura 70 - considerando os três processos STI. Uma notória característica é o fato dos valores de V<sub>T</sub> serem predominantemente positivos, o que está associado a dois motivos. Primeiramente, por utilizar uma fina camada de SiO<sub>2</sub> do empilhamento do dielétrico de porta, o qual funciona como um dipolo elétrico, resultando em um deslocamento de V<sub>T</sub> no sentido mais positivo de

V<sub>GS</sub> [90]. E, o outro motivo é devido à função trabalho do metal de porta utilizada não ser suficiente para atingir o valor alvo da tensão de limiar negativa, para os pFinFETs de Ge, o qual apresenta uma menor  $E_g$  que o Si. Para solucionar este deslocamento de V<sub>T</sub>, um estudo com empilhamento metal de porta com diferentes materiais é requerido.





A Figura 70 revela ainda o efeito do tensionamento mecânico do canal na tensão de limiar, resultando em um deslocamento adicional de aproximadamente 0,3 V acima do valor apresentado para um canal sem tensionamento. Um provável motivo se deve ao fato do tensionamento compressivo no canal do transistor diminuir o  $E_g$  do material, neste caso Ge, reduzindo-se o potencial de Fermi e consequentemente o V<sub>T</sub> [91].

Uma região importante a ser observada, na Figura 66, é a transição de inversão fraca para forte, a qual permite estudar a característica de chaveamento do dispositivo. Assim, a Figura 71 apresenta a inclinação de sublimiar (SS) para diferentes larguras de aleta para os diferentes processos STI. A partir desta, observa-se que o típico valor de SS para os dispositivos de FinFETs de Ge é em torno de 30 mV/década acima do limite teórico de 60 mV/década a temperatura ambiente [4]. Este comportamento também é encontrado em dispositivos
estreitos, nos quais os FinFETs apresentam melhor acoplamento eletrostático. Como o atrativo dos dispositivos de Ge é a maior mobilidade de lacunas, o regime de operação em foco é a inversão forte. Consequentemente, uma solução suficiente adotada para a região de sublimiar é reduzir/controlar a densidade de armadilhas na interface canal/óxido de porta a um nível aceitável, para isso, a utilização de Si como camada de passivação da interface de canal/óxido tem demonstrado ser uma boa alternativa. E o valor típico de SS encontrado na literatura para FinFETs de Ge é entorno de 80 mV/década para baixo campo elétrico lateral [92; 93].





Um elevado valor SS - em torno de 200 mV/década - é encontrado para o dispositivo estreito do processo "STI antes", proveniente de uma falha na etapa de fabricação do empilhamento de dielétrico de porta, no qual o material de porta não contorna a aleta de Ge desde a sua base, permitindo-se que uma corrente elétrica flua dos terminais de fonte a dreno, independentemente do controle do terminal de porta. Desta forma, demonstra-se que a deposição do material de porta é uma etapa muito importante na fabricação de FinFETs para o processo "STI antes".

#### 5.2 MOBILIDADE EFETIVA

Pelas análises de IDS (Figura 66) e de gm (Figura 68), a influência do tensionamento compressivo na mobilidade do portador não pôde ser observada, sendo assim, a mobilidade efetiva de lacunas dos FinFETs de Ge é apresentada na Figura 72 a qual foi extraída pelo método discutido em 2.6.9. Em temperatura ambiente, observa-se que dispositivos com o canal mecanicamente tensionado apresentam valores de µeff ligeiramente superiores comparado ao sem tensionamento, o que é um indicio da existência de tensionamento compressivo no canal de Ge. Com a redução da temperatura a mobilidade efetiva de lacunas é elevada, resultante da diminuição do mecanismo de espalhamento de fônon. No entanto, o enriquecimento da µeff é mais pronunciado em dispositivos tensionados, sugerindo que a baixa temperatura intensifique a melhoria no transporte de portadores na superfície do canal, gerada pelo tensionamento compressivo. Este, por sua vez, provoca uma redução do seu Eg do material do canal [91], afetando a tensão de limiar do dispositivo, como visto na Figura 70. Por outro lado, com a diminuição da temperatura, há um aumento de Eg do material [54].



Figura 72 - Mobilidade efetiva de lacunas em função da densidade de portadores de inversão para pFinFETs de Ge de diferentes processos STI.

A análise da mobilidade efetiva permite avaliar o mecanismo predominante de espalhamento de mobilidade. Na Figura 72, nota-se que em todos os processos

STI estudados, o mecanismo espalhamento de rugosidade superficial é predominante no regime de inversão forte, no gual apresenta uma alta densidade de portadores de inversão e fracamente dependente da temperatura, resultando em uma forte degradação da mobilidade. A Figura 73 considera a densidade de portador de inversão (NINV), referente ao pico da µeff da Figura 72 em função da temperatura, para FinFETs de Ge de aletas largas e estreitas. A partir desta, constata-se que há uma dependência da temperatura em NINV, da qual é sutil para aletas largas e intensa para estreitas, no caso do processo "STI antes". Consequentemente, o pico µ<sub>eff</sub> - Figura 72 - é deslocado à esquerda, região dominada pelo espalhamento Coulomb, indicando que cargas do material de alta constante dielétrica (HfO<sub>2</sub>) degradem a mobilidade. No caso do processo "STI depois" para canal não tensionado, pela Figura 72 e pela Figura 73, é possível observar uma superposição de mecanismos domina μ<sub>eff</sub>; espalhamentos Coulomb e de rugosidade superficial.

Figura 73 - Densidade de portador de inversão referente ao pico da mobilidade efetiva de lacunas em função da temperatura para pFinFETs de Ge de diferentes processos STI.



O comportamento do pico da mobilidade efetiva de lacunas em função da largura de aletas é apresentado na Figura 74. Os processos "STI antes" e "STI depois" não tensionado mostram-se independentes de  $W_{fin}$ , um provável motivo é a influência dos espalhamentos Coulomb e rugosidade superficial na  $\mu_{eff}$ , que por outro lado, há uma notável dependência da largura da aleta com a

mobilidade ao processo "STI depois" tensionado. Este comportamento pode ser explicado pela forte contribuição das paredes laterais na mobilidade, uma vez que mobilidade do plano <110>, parede lateral da aleta, é maior do que a do topo da aleta <100> devido a diferente massa efetiva nos diferentes planos [94].



Figura 74 - Pico da mobilidade effetiva de lacunas em função da largura de aleta para pFinFETs de Ge de diferentes processos STI.

# 5.3 RUIDO EM BAIXA FREQUÊNCIA

Com o intuito de avaliar as características de possíveis defeitos no óxido, ou interface (material dielétrico/canal) ou no canal dos transitores de Ge, o estudo de ruído em baixa frequência é de grande utilidade. Sendo assim, a densidade espectral de ruído de baixa frequência - Figura 75 - revela que a componente 1/f é dominante em todos os processos STI estudados. Além disso, ruído Lorentziano (centros de geração-recombinação) também é encontrado na curva densidade espectral normalizada, a qual deveria ser independente da frequência caso a componente 1/f fosse a única fonte predominante.





Uma vez sabido que há a componente 1/f na densidade espectral, deseja-se descobrir qual é o mecanismo que o rege, flutuação de número de portador:  $\Delta N$ , ou flutuação de mobilidade:  $\Delta \mu$ . Para isso, verifica-se o paralelismo entre as curvas S<sub>ID</sub>/I<sub>DS</sub> e (gm/I<sub>DS</sub>)<sup>2</sup> como discutido na seção 2.6.10.1





Na Figura 76 o paralelismo é confirmado, isto é, o mecanismo ΔN é dominante para todos os processos STI estudados neste trabalho, permitindo-se uma análise da densidade cargas no óxido e do coeficiente de espalhamento Coulomb, os quais serão abordados a seguir.

A Figura 77 mostra a densidade de cargas no óxido em função da largura da aleta para os FinFETs de Ge de diferentes processos STI. O resultado obtido revela uma independência do substrato utilizado e uma certa homogeneidade para diferentes larguras de aletas. Os valores obtidos estão próximos aos FinFETs de Si, tipicamente na faixa de 1x10<sup>-17</sup> ~1x10<sup>-18</sup> cm<sup>-3</sup>eV<sup>-1</sup> [95; 96; 97], e abaixo dos dispositivos planares de Ge, 5x10<sup>18</sup>~3x10<sup>19</sup> cm<sup>-3</sup>eV<sup>-1</sup> [64; 98].

Figura 77 - Densidade de cargas no óxido em função da largura de aleta para pFinFETs de Ge de diferentes processos STI em temperatura ambiente.



Um outro parâmetro de interesse, a partir do espectro de ruído de baixa frequência, é o coeficiente de espalhamento Coulomb ( $\alpha_{sc}$ ), o que relaciona a distância da camada de inversão da interface óxido/canal. O resultado em função da largura de aleta para os três processos STI podem ser encontrados na Figura 78. Nota-se que há uma leve dependência de W<sub>fin</sub> com coeficiente de espalhamento Coulomb, exceto para o processo "STI depois" de canal tensionado, o que pode estar relacionado ao mecanismo de espalhamento de mobilidade. Para isso, é necessário correlacionar alguns parêmetros, tais como  $\mu$ , Not e  $\alpha_{sc}$ , como apresentado na Figura 79.





O inverso da mobilidade de lacunas em função do produto entre o coeficiente de espalhamento e a densidade de cargas no óxido para FinFETs de Ge é apresentado Figura 79, considerando aletas largas e estreitas.

Figura 79 - Inverso da mobilidade de lacunas em função do produto entre o coeficiente de espalhamente e a densidade de cargas no óxido para FinFETs de Ge de diferentes processos STI em temperatura ambiente.



Observa-se uma correlação entre a razão α<sub>sc</sub> x N<sub>OT</sub> e mobilidade de lacunas, no caso do processo "STI antes", sugerindo que o espalhamento Coulomb tem uma forte influência na mobilidade de portador dos dispositivos deste processo.

Conforme o item 2.6.10.1, a mobilidade é dependente de vários parâmetros. E ao avaliar-se o inverso da mobilidade de lacunas em função densidade cargas de armadilha superficial (Figura 80) pode-se extrair o coeficiente de espalhamento Coulomb. Sendo assim, confirma-se que em apenas o processo "STI antes" é fortemente dominado pelo mecanismo de espalhamento Coulomb, embora os valores obtidos pelos dois métodos Figura 78 e Figura 80 serem uma ordem de grandeza diferentes.



Figura 80 - Inverso da mobilidade de lacunas em função densidade cargas de armadilha superficial para FinFETs de Ge de diferentes processos STI em temperatura ambiente.

#### 5.3.1 Geração-recombição

A partir do espectro de ruído em baixa frequência, notou-se a presença de componentes Lorentzianas, também conhecidos como centros de geraçãorecombinação (GR), os quais são defeitos e podem estar localizados no interior do canal (V<sub>GS</sub> independente) ou no dielétrico de porta (V<sub>GS</sub> dependente) [66]. Cada centro GR possui uma frequência central, como discutido em 2.6.10.2, na qual pode ser expressa na sua respectiva constante de tempo.

A Figura 81 apresenta a constante de tempo de centro de GR em função da tensão aplicada à porta, variando-se a largura de aleta dos FinFETs. Nota-se que em todos os processos e larguras de aleta há centros de GR, nos quais são

independentes da polarização da tensão aplicada à porta, o que resulta tipicamente em defeitos dentro do canal do transistor. A constante de tempo de 10 ms é uma característica de dispositivos de canal de Ge como reportado na literatura [99]. No caso do processo "STI antes" para largura de aleta de 30 nm, dois centros de GR são identificados, como pode ser observado na Figura 81.

Figura 81 - Constante de tempo de ruído geração-recombinação (componente Lorentziana) em função da tensão aplicada à porta, para pFinFETs de Ge de diferentes processos STI em temperatura ambiente.



A Figura 82 apresenta a densidade espectral normalizada para diferentes temperaturas para os FinFETs de Ge de cada processo STI. Observa-se que a frequência central (fc) dos centros de GR desloca-se com a variação da temperatura devido à relação proporcional da frequência central com a concentração intrínseca de portador (n<sub>i</sub>) [69], a qual é termicamente ativada aproximadamente em E<sub>g</sub>/2 [100]. Portanto, com o aumento da temperatura, fc desloca-se no sentido crescente.

Por meio de diagrama de Arrhenius - Figura 83 - é possível extrair a energia de ativação de cada centro de GR, a qual é apresentada na Figura 84 e Tabela 6, bem como a condição de polarização dos dispositivos. Destaca-se que os defeitos devido aos centros de GR são ativados na região de sublimiar. Além disso, a energia de ativação de defeitos estrutura (TD) em Ge está na faixa de 0,26 a 0,33 eV acima da banda de valência [101], o que pode confirmar a presença de TD na Tabela 6 e Figura 84.



Figura 82 - Densidade espectral normalizada em função da temperatura e frequência para



Figura 83 - Diagrama de Arrhenius para pFinFETs de Ge de diferentes processos STI. **pFinFET de Ge** L = 77 nm<sup>W</sup><sub>fin</sub> (nm) 20 30 50 100

Figura 84 - Diagrama de faixas de energia do germânio contendo a energica de ativação dos centros de defeitos geração e recombinação extraídos da Figura 83.



Baseado no nível da densidade espectral e frequência central de cada componente Lorentziana, como mostrado em 2.6.10.2, obtem-se a densidade de armadilhas nos transitores.

Processo	W <sub>fin</sub> (nm)	V <sub>GS</sub> (V)	*Vgт (V)	ΔE (eV)	σ <sub>p</sub> (cm²)
"STI antes" tensionado	20	0.2	0.43	0.47	1.4x10 <sup>-17</sup>
	30	0.5	0.02	0.40	1.5x10 <sup>-19</sup>
	50	0.3	0.28	0.25	2.4x10 <sup>-21</sup>
	50	-0.1	0.68	0.16	6.4x10 <sup>-22</sup>
	100	0.5	0.07	0.15	1.5x10 <sup>-22</sup>
"STI depois" tensionado	30	0.2	0.32	0.41	1.7x10 <sup>-18</sup>
	30	0.5	0.02	0.23	7.8x10 <sup>-22</sup>
	50	0.4	0.08	0.44	1.6x10 <sup>-18</sup>
	100	0.3	0.17	0.37	2.5x10 <sup>-19</sup>
	100	0.1	0.37	0.3	1.3x10 <sup>-18</sup>
"STI depois" não tensionado	20	-0.3	0.55	0.41	1.2x10 <sup>-21</sup>
	30	-0.3	0.47	0.23	1.4x10 <sup>-16</sup>
	50	-0.3	0.44	0.44	1.7x10 <sup>-17</sup>
	100	-0.5	0.52	0.37	3.5x10 <sup>-16</sup>

Tabela 6 - Parâmetros de dispositivos pFinFETs de Ge

\* @ temperatura ambiente

Fonte: Autor

A Figura 85 apresenta a densidade de armadilha ( $N_{eff}$ ) em função da largura de aleta dos FinFETs.

Figura 85 - Densidade da armadilha em função da largura de aleta, para pFinFETs de Ge de



Constata-se que o nível de  $N_{eff}$  é superior a, no mínimo, duas ordens de grandeza a densidade de defeitos estruturais - TD - devido à diferença entre os parâmetros de rede de Si e Ge. Desta forma, revela-se que apesar da etapa de

fabricação do substrato ser um desafio para a utilização de dispositivos Ge sobre a plataforma de Si, etapas como a deposição do dielétrico de porta e a implantação das regiões de fonte e dreno também devem ser otimizadas, uma vez que estas podem introduzir defeitos no interior do canal dos FinFETs.

## 5.4 DISCUSSÃO

O comportamento elétrico dos FinFETs de Ge do processo "STI depois" de canal tensionado não apresentou um nível compatível de corrente elétrica de dreno ao do processo "STI antes" - Figura 66 - e confirmado pela transcondutância máxima (Figura 68), como esperado para dispositivos de canais tensionados compressivamente. Apesar dos valores de mobilidade de portador serem similares, a espessura equivalente do óxido do processo "STI antes" é menor (Figura 69), o que resulta em uma maior capacitância do óxido, consequentemente, maior nível de corrente como mostrado na Figura 66.

Focando-se na mobilidade de portadores, por meio de técnicas diferentes, tais como, *split* CV e ruído de baixa frequência, constatou-se que o mecanismo de espalhamento Coulomb domina o processo "STI antes", ou seja, um desafio a mais a ser superado para a tecnologia dos FinFETs de Ge, sugerindo-se um estudo mais aprofundado neste tópico.

A região de sublimiar para os FinFETs de Ge - Figura 66 - é dominada por defeitos (Figura 83 e Tabela 6), contribuindo para uma maior corrente de substrato, que por sua vez, contribui para um alto nível de corrente elétrica de dreno quando o dispositivo está desligado. No entanto, a densidade de armadilhas resultante para um FinFET de Ge é ordens de grandeza superior à densidade de defeitos estruturas do substrato, porém, o substrato ainda requer uma menor densidade de defeitos a fim de melhorar a corrente elétrica de fuga da região de estado desligado dos FinFETs de Ge.

#### 6 CONCLUSÕES / TRABALHOS FUTUROS

Neste trabalho foi apresentado, inicialmente, um estudo comparativo entre as duas estruturas FinFETs de corpo e SOI, sendo a tecnologia FinFET atualmente empregada nos nós tecnológicos de 22 nm e 14 nm e, fortemente indicada para os próximos nós.

## 6.1 CONCLUSÕES

Com o estudo realizado é possível constatar que, em temperatura ambiente, tanto para canal tipo n quanto tipo p, os dispositivos FinFETs SOI são mais imunes ao efeito de canal curto, quando comparado aos FinFETs de corpo. Muito embora, os FinFETs de corpo mostraram-se estar otimizados atingindo valores próximos, aos do FinFETs SOI, quanto aos parâmetros: inclinação de sublimiar e transcondutância. Em contrapartida, um ponto a ser otimizado na tecnologia FinFET SOI é a condução pela segunda interface, efeito este que degrada diversos parâmetros destes dispositivos, para aletas largas (130 nm) e comprimento de canal abaixo de 130 nm. Assim, os FinFETs de corpo tornamse mais favoráveis, principalmente, em aplicações analógicas, considerando-se aletas largas.

Ainda em temperatura ambiente, enquanto a tensão de limiar, para os FinFETs SOI, se mostrou invariante com a largura da aleta, o FinFET de corpo foi diretamente afetado pela com o incremento desta variável, para ambos tipos de canal, n e p. A variação do valor de tensão de limiar em função do comprimento de canal do transistor foi observada primeiro nos dispositivos FinFETs de corpo, quando comparada aos FinFETs SOI. Desta forma, mostrase que os FinFETs SOI podem ter o comprimento de canal ainda mais reduzido comparado aos FinFETs de corpo, por serem mais imunes ao efeito de canal curto.

Para comprimentos de canal abaixo de 130 nm, a largura da aleta torna-se uma variável relevante, principalmente, com relação à inclinação de sublimiar. Neste parâmetro, os FinFETs SOI atingiram valores de três vezes (tipo n) e 2 vezes (tipo p) pior que o SS dos FinFETs de corpo, devido à condução parasitária de pela segunda interface, nos dispositivos SOI, além de uma alta fuga na corrente de dreno na região de sublimiar. Para aletas estreitas (20 nm), as tecnologias apresentaram valores de inclinação de sublimar próximos entre si e ao limite teórica de 60 mV/década em quase todo o intervalo de comprimento de canal estudado (130 nm a 10 µm), mostrando que para dimensões tipicamente utilizadas de largura de aleta, os FinFETs estão otimizados.

O ganho intrínseco de tensão é predominantemente melhor (maior) para os FinFETs SOI quando comparado ao de corpo, para aletas estreitas. No entanto, para dispositivos (FinFET SOI) que sofrem de condução parasitária pela segunda interface, a condutância de saída e a tensão Early são significativamente degradados, resultando em níveis de ganho intrínseco de tensão de 10 % e 20% abaixo que os FinFETs de corpo, para canais de tipo n e p, respectivamente.

Contudo, os parâmetros que se mostraram independente do efeito parasitário e das dimensões dos dispositivos foram a frequência de ganho unitário e a transcondutância. Nestes parâmetros, os FinFETs SOI apresentaram melhores resultados, cerca de 10 % e 20 % maiores que os FinFETs de corpo, para dispositivos tipo n e p, respectivamente.

A eficiência do transistor (gm/I<sub>DS</sub>) apresentou uma degradação apenas na região de inversão fraca, a qual depende fortemente do inverso da inclinação de sublimiar. Por outro lado, a degradação só foi obtida para os dispositivos com a condução parasitária da segunda interface. Sendo assim, o FinFET SOI atingiu uma degradação de 50 %, enquanto para o FinFET de corpo foi de 20 %.

Em altas temperaturas, o FinFET de corpo mostrou ser mais susceptível à variação da tensão de limiar, o qual atingiu um nível quatro vezes pior que o FinFET SOI. Porém, mesmo com esta vulnerabilidade, os pontos de polarização independente da temperatura (V<sub>ZTC</sub>), para ambas as tecnologias, foram próximos. Além disso, um parâmetro que merece atenção é o DIBL, pois este parâmetro apresentou uma tendência crescente conforme a elevação de temperatura, para os FinFETs SOI. Finalmente, o ganho intrínseco de tensão (Av), pelo menos para a faixa estudada de temperatura, não apresentou uma significativa variação, com o aumento da temperatura em ambas tecnologias. Por outro lado, os FinFETs de corpo apresentam maiores ganhos do que os FinFETs SOI, uma vez que os dispositivos de aletas largas sofrem do efeito de condução parasitária, no caso do SOI. Além do mais, o comportamento dos

parâmetros básicos de aplicações analógicas, em alta temperatura, apresentou a mesma tendência dos que operaram em temperatura ambiente.

Além do estudo comparativo de FinFETs de silício, este trabalho apresentou uma comparação do desempenho elétrico de pFinFETs de germânio de diferentes processos de substrato (integração de germânio sobre silício).

A partir da análise dos pFinFETs de Ge estudados, nota-se que apesar do estágio inicial de implementação de dispositivos de germânio sobre lâmina de silício, principalmente pela alta densidade de defeitos estruturais no substrato de Ge/SiGe/Si ou Ge/Si - conhecidos como threading dislocation (TD) - os resultados na região de inversão forte foram afetados. Sobretudo nos dispositivos com tensionamento compressivo no canal a 77 K, os quais apresentaram uma mobilidade efetiva de portador três vezes maior do que o processo sem tensionamento do canal. O impacto da alta densidade de defeitos no substrato é observado na região de estado desligado, na qual a corrente elétrica de substrato domina a corrente elétrica de dreno (Ips), o que é agravado no caso do substrato de Ge/Si ("Shallow Trench Isolation last - STI last") sem tensionamento, resultando em um nível de I<sub>DS</sub> uma ordem de grandeza maior, comparado ao substrato de Ge/SiGe/Si de ambos os processos STI, devido a uma maior densidade de defeitos e uma menor largura da faixa proibida do Ge comparado ao SiGe. Entretanto, pela análise de ruído em baixa frequência, descobriu-se que os defeitos encontrados no interior do canal estão relacionados às etapas posteriores ao crescimento da camada de Ge do canal, pois a densidade de armadilha (Neff) encontrada é de duas a três ordens de grandeza superior à densidade de defeitos do substrato (TD). Em suma, os dispositivos pFinFETs de Ge do processo "STI first" (com tensionamento) são os mais promissores, pois além de terem apresentado desempenhos elétricos compatíveis ao processo "STI last" também tensionados, não requerem uma camada espessa de SiGe sobre o Si, o que torna este processo mais barato comparado com ao "STI lasť".

# 6.2 TRABALHOS FUTUROS

Pelo fato do FinFETs de Ge serem uma alternativa promissora às futuras aplicações de alto desempenho, muitos trabalhos ainda podem ser realizados,

tais como citados a seguir, os quais terão grande relevância à comunidade científica.

- Comportamento analógico de FinFETs de Ge em temperatura ambiente;
- Comportamentos digital e analógico de FinFETs de Ge em diferentes temperaturas de 25 °C a 150 °C;
- Comparativo entre FinFETs de Ge e de Si em temperatura ambiente;
- Impacto de processos STI no Gate induced Drain Leakage (GIDL) ou corrente de fuga do dreno induzida pelo terminal porta de FinFETs de Ge;
- Impacto de processos STI na corrente de substrato de FinFETs de Ge.

#### PUBLICAÇÕES EM PERIÓDICOS (5)

- OLIVEIRA, A. V.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; COLLAERT, N.; THEAN, A.. "Comparative analysis of the intrinsic voltage gain and unit gain frequency between SOI and bulk FinFETs up to high temperatures", *Solid-State Electronics*, v. 123, p. 124-129, 2016.
- OLIVEIRA, ALBERTO; SIMOEN, EDDY; MITARD, JEROME; AGOPIAN, PAULA; MARTINO, JOAO; LANGER, ROBERT; WITTERS, LIESBETH; COLLAERT, NADINE; THEAN, AARON; CLAEYS, COR. "GR-noise characterization of Ge pFinFETs with STI first and STI last processes". *IEEE Electron Device Letters*, v. 37, p. 1092-1095, 2016.
- OLIVEIRA, A. V.; SIMOEN, E.; AGOPIAN, P. G. D.; MARTINO, J. A.; MITARD, J.; WITTERS, L.; LANGER, R.; COLLAERT, N.; THEAN, A.; CLAEYS, COR. "Split-CV mobility at low temperature operation of Ge pFinFETs fabricated with STI first and last processes", *Semiconductor Science Technology*, V. 31, P. 114002, 2016.
- OLIVEIRA, A. V.; SIMOEN, E.; MITARD, J.; AGOPIAN, P. G. D.; MARTINO, J. A.; LANGER, R.; WITTERS, L.; COLLAERT, N.; THEAN, A.; CLAEYS, COR. "Low frequency noise assessment of different Ge pFinFET STI processes", *IEEE Transactions on Electron Devices*, V. 63, P. 4031-4037, 2016.
- OLIVEIRA, ALBERTO; AGOPIAN, PAULA ; MARTINO, J. A. ; SIMOEN, E. ; CLAEYS, C. ; MERTENS, H. ; COLLAERT, NADINE ; THEAN, AARON. "Impact of Gate Stack Layer Composition on Dynamic Threshold Voltage and Analog Parameters of Ge pMOSFETs". *Journal of Integrated Circuits and Systems*.

- OLIVEIRA, A. V. D.; SIMOEN, E.; AGOPIAN, P. G. D.; MARTINO, J. A.; MITARD, J.; WITTERS, L.; LANGER, R.; COLLAERT, N.; THEAN, A.; CLAEYS, C.. "Low Temperature Effect on Strained and Relaxed Ge pFinFETs STI Last Processes". *ECS Transactions (Online)*, v. 75, p. 213-218, 2016.
- SIMOEN, E.; OLIVEIRA, A. V. D.; BOUDIER, D.; MITARD, J.; WITTERS, L.; VELOSO, A.; AGOPIAN, P. G. D.; MARTINO, J. A.; CARIN, R.; CRETU, B.; LANGER, R.; COLLAERT, N.; THEAN, A.; CLAEYS, C.. (Invited) "Generation-Recombination Noise in Advanced CMOS Devices". ECS Transactions (Online), v. 75, p. 111-120, 2016.
- OLIVEIRA, A. V. D.; SIMOEN, E.; AGOPIAN, P. G. D.; MARTINO, J. A.; MITARD, J.; WITTERS, L.; LANGER, R.; COLLAERT, N.; THEAN, A.; CLAEYS, C.. "Impact of the Low Temperature Operation on Long Channel Strained Ge pFinFETs Fabricated with STI First and Last Processes", 2016 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016, San Francisco.
- OLIVEIRA, A. V.; SIMOEN, E.; AGOPIAN, P. G. D.; MARTINO, J. A.; MITARD, J.; WITTERS, L.; LANGER, R.; COLLAERT, N.; CLAEYS, C.; THEAN, A.. "Low frequency noise and fin width study of silicon passivated germanium pFinFETs" In: 2016 China Semiconductor Technology International Conference (CSTIC), 2016, Shanghai
- OLIVEIRA, A. V.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; MITARD, J.; WITTERS, L.; LANGER, R.; COLLAERT, N.; CLAEYS, C.; THEAN, A.. "Effective hole mobility and low-frequency noise characterization of Ge pFinFETs". In: 2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOIULIS), 2016, Wien.
- 6. OLIVEIRA, A. V.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; MERTENS, H.; COLLAERT, N.; THEAN, A.. "Dynamic

threshold voltage influence on Ge pMOSFET hysteresis". In: 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro), 2015, Salvador.

- OLIVEIRA, A. V.; AGOPIAN, P. G. D.; MARTINO, J. A.; FANG. W, ARIMURA, H.; MITARD, J.; MERTENS, H.; SIMOEN, E.; MOCUTA, A.; COLLAERT, N.; THEAN, A. AND CLAEYS, C., "Impact of Gate Stack Dielectric on Intrinsic Voltage Gain and Low Frequency Noise in Ge pMOSFETs", Advanced CMOS-Compatible Semiconductor Devices 17 issue of "*ECS Transactions*-ECST 2015.
- BERTOLDO, M.; OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A, "Proton Radiation Effects on the Analog Performance of Bulk n- and p-FinFETs", Advanced CMOS-Compatible Semiconductor Devices 17 issue of "ECS Transactions-ECST 2015.
- OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.. "High Temperature Influence on Analog Parameters of Bulk and SOI nFinFET", 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon - EuroSOI/ULIS, 2015.
- OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. "COMPARISON OF ANALOG PERFORMANCE BETWEEN SOI AND BULK pFINFET", 29th Symposium on Microelectronics Technology and Devices – SBMicro, 2014.
- 11. OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.. "Fin Width Influence on Analog Performance of SOI and Bulk FinFETs", *Ninth International Caribbean Conference on DEVICES, CIRCUITS and* SYSTEMS – ICCDCS, 2014.
- 12. OLIVEIRA, A. V.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.. "Evaluation of Threshold Voltage and Subthreshold Swing in Bulk and SOI Triple Gate nMOSFET Devices", *IX Workshop on Semiconductors and Micro & Nano Technology* – SEMINATEC, 2014.

# PREMIAÇÃO

Como fruto do trabalho "Low frequency noise and fin width study of silicon passivated germanium pFinFETs", obteve-se a premiação de melhor trabalho de estudante (SEMI ECS *Student Award*) durante a cerimônia cediada na *China Semiconductor Technology International Conference* no dia 13 de março de 2016. (CSTIC 2016).

## REFERÊNCIAS

1. SCHALLER, R.R. Moore's law: past, present and future. **IEEE Spectrum**. 1997, Vol. 34, 6.

2. Intel . Turning 50 this month, Moore's law spurs economic growth in the trillions. Chip Shot. [Online] Maio 11, 2015. [Cited: Novembro 10, 2016.] https://newsroom.intel.com/chip-shots/chip-shot-turning-50-this-month-moores-law-spurs-economic-growth-in-the-trillions/.

3. MATHIAS, R. D'A., et al. Comparative study of self-heating effects influence on IV characteristics of four different structures. VII Seminatec - Workshop on Semiconductors and Micro&Nano Technology. **Proceedings**, 2012.

4. COLINGE, J. P. **Silicon-On-Insulator Technology**: Materials to VLSI. 3rd. Boston (MS) : Kluwer Academic Publishers, 2004.

5. COLINGE, J.-P. Thin-film SOI technology: the solution to many submicron CMOS problems. International Electron Devices Meeting. **Proceedings**,1989, pp. 817-820.

6. HORSTMAN, M. - Global Foundries. Advanced SOI CMOS transistor technologies for high-performance microprocessor applications. IEEE - Custom Integrated Circuits Conference. **Proceedings**, 2009.

7. IYER, S. S. - IBM. **Embedded DRAM on SOI is set to proliferate at the 45nm node**. Advanced Substrate News. [Online] [Cited: abril 30, 2015.] http://www.advancedsubstratenews.com/2006/12/embedded-memories-in-soi/.

8. CHIDAMBARAM, P.R., et al. Fundamentals of silicon material properties for successful exploitation of strain engineering in modern CMOS manufacturing. **IEEE Transactions on Electron Devices**. 2006, Vol. 53, 5.

9. YEO, Y.-C., KING, T.-J. e HU C. Direct tunneling leakage current and scalability of alternative gate dielectrics. **Applied Physics Letters**. 2002, Vol. 81, 11.

10. MISTRY, K., et al. A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging. IEEE International Electron Devices Meeting. **Proceedings**, 2007.

11. MULLER, M., et al. Totally silicided (TOSI) gates as an evolutionary metal gate solution for advanced CMOS technologies. IEEE International Conference on Integrated Circuit Design and Technology. **Proceedings**, 2006.

12. CHIANG, M.-H., et al. Random dopant fluctuation in limited-width finFET technologies. **IEEE Transactions on Electron Devices**. 2007, Vol. 54, 8.

13. HISAMOTO, D., et al. A fully depleted lean channel transistor (DELTA) - a novel vertical ultra-thin SOI MOSFET. International Electron Devices Meeting. **Proceedings**, 1989, pp. 833-836.

14. HISAMOTO, D., et al. FinFET – A self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**. 2000, Vol. 47, 12, pp. 2320-2325.

15. NOEL, J.-P., et al. Multi-Vt UTBB FDSOI device architectures for low-power CMOS circuit. **IEEE Transactions on Electron Devices**. 2011, Vol. 58, 8.

16. BOHR, M. e MISTRY, K. Intel's revolutionary 22 nm transistor technology. [Online] May 2011. [Cited: Novembro 10, 2016.] http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-details\_presentation.pdf.

17. BASKER, V. S., et al. A 0.063 µm2 finFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch. Symposium on VLSI Technology. **Proceedings**, 2010.

18. PAVANELLO, M. A., et al. Evaluation of triple-gate FinFETs with SiO2-HfO2-TiN gate stack under analog operation. **Solid-State Electronics**. **Proceedings**, 2007, Vol. 51.

19. MARTINO, J. A. **Design, fabrication and electrical characterization of SOI FinFET transistors**. Frontiers of Science: Brazil and Spain. [Online] 12 12, 2012. [Cited: 11 25, 2016.] http://www.fapesp.br/fronteras/sal/martino.pdf.

20. TOLEDO, K. **Primeira divulgação na imprensa sobre o transistor 3D** (FinFET) fabricado na América Latina. Agência FAPESP. [Online] 12 13, 2012. [Cited: 11 25, 25.] http://agencia.fapesp.br/transistor\_3d\_e\_fabricado\_no\_brasil\_pela\_primeira\_ve z/16615/.

21. RANGEL, R., POJAR, M., SEABRA, A. C., SANTOS FILHO, S. G. e MARTINO, J. A. 3D Transistor (FinFET) Fabricated with Three Lithography. SEMINATEC 2013 - VIII Workshop on Semiconductors and Micro & Nano Technology. Campinas : **Proceedings**, 2013.

22. RANGEL, R.C., et al. Fully electron-beam-lithography SOI finFET. Symposium on Microelectronics Technology and Devices. **Proceedings**, 2013.

23. LIMA, L., et al. Influence of Al/TiN/SiO2 structure on MOS capacitor, Schottky diode, and fin field effect transistors devices. **Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures**. 2013, Vol. 31.

24. MENDEZ, H., et al. Comparing SOI and bulk finFETs: performance, manufacturing variability, and cost. **Solid State Technology**. November 2009, Vol. 52, 10, pp. 10-15.

25. HOOK, T.B., et al. SOI finFET versus bulk finFET for 10nm and below. IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference. **Proceedings**, 2014, pp. 1-3.

26. JAMES, D. Moore's law continues into the 1x-nm era. Annual SEMI Advanced Semiconductor Manufacturing Conference. **Proceedings**, 2016.

27. INTEL. Intel® Atom<sup>™</sup> processor Z8000 series. Datasheet. s.l. : Intel, 2015. Vol. 1. Document Number: 332065-001.

28. MITARD, J., et al. 15nm-Wfin high-performance low-defectivity strainedgermanium pfinFETs with low temperature STI-last process. Symposium on VLSI. **Proceedings**, 2014.

29. CHIN, H.-C., et al. III–V multiple-gate field-effect transistors with high-mobility channel and Epi-controlled retrograde-doped fin. **IEEE Electron Device Letters**. 2011, Vol. 32, 2.

30. YEH, W.-K., et al. A proposed high manufacturability strain technology for high-k/metal gate SiGe channel UTBB CMOSFET. Solid-State and Integrated Circuit Technology. **Proceedings**, 2012.

31. YU, C.-H. e SU, P. Built-in effective body-bias effect in ultra-thin-body heterochannel III-V-on-Insulator n-MOSFETs. **IEEE Electron Device Letters**. 2014, Vol. 35, 8.

32. MARTINO, J. A., PAVANELLO, M. A. e VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo : Thomson, 2003.

33. YAN, R.-H., OURMAZD, A. e LEE, K.F. Scaling the Si MOSFET: from bulk to SOI to bulk. **IEEE Transactions on Electron Devices**. 1992, Vol. 39, 7.

34. COLINGE, J. P. FinFET and other multi-gate transistors. New York : Springer, 2008.

35. VARTANIAN, V., et al. Metrology challenges for 45-nm strained-Si device technology. **IEEE Transactions on Semiconductor Manufacturing**. 2006, Vol. 19, 4.

36. RUIZ, F.J.F., et al. Equivalent oxide thickness of trigate SOI MOSFETs with high-k insulators. **IEEE Transactions on Electron Devices**. 2009, Vol. 56, 11, pp. 2711-2719.

37. BENDER, H. Physical characterization of high-k gate stacks deposited on Hflast surfaces. International Workshop on Gate Insulator. **Proceedings**, 2001, pp. 86-92.

38. LEE, B.H., et al. Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application. International Electron Devices Meeting. **Proceedings**, 1999, pp. 133-136.

39. LIU, Y., et al. Investigation of the TiN gate electrode with tunable work function and application for finFETs fabrication. **IEEE Transactions on Nanotechnology**. 2006, Vol. 5, 6, pp. 723-730.

40. SINGANAMALLA, R, et al. On the impact of TiN thickness variations on the effective work function of poly-Si/TiN/SiO2 and poly-Si/TiN/HfSiON gate stacks. **IEEE Electron Device Letters**. 2006, Vol. 27, 5, pp. 332-334.

41. CHOI, K. The effect of metal thickness overlayer and high-k surface treatment on the effective work function of metal electrode. European Solide State Device Research Conference. **Proceedings**, 2005, pp. 10-15.

42. BORDALLO, C., et al. Temperature influence os strained nMuGFETs after proton radiation. Electrochemical Society Meeting. **Proceedings**, 2013.

43. LANDGRAF, E., et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**. 2006, Vol. 50, 1, pp. 38-43.

44. POIROUX, T., et al. Multiple gate devices: advantages and challenges. Microelectronic Engineering. 14th biennial Conference on Insulating Films on Semiconductors, **Proceedings**, 2005, Vol. 80, p. 378.

45. LIM, H. K. e FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**. 1983, Vol. 30, 10, pp. 1244-1251.

46. COLINGE, J. P. e COLINGE, C. A. **Physics of semiconductor devices**. Massachusetts : Kluwer Academic Publishers, 2002. p. p. 436.

47. STREETMAN, B.G e BANERJEE, **S. Solid State Electronic Devices**. s.l. : Prentice Hal, 2000.

48. HAMID, H.A.E., GUITART, J. R. e INIGUEZ, B. Two dimensional analytical threshold voltage and subthreshold swing models of undoped symmetric double-gate MOSFETs. **IEEE transactions on Electron Devices**. 2007, Vol. 54, pp. 1402-1408.

49. SASAKI, K. R. A. Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limiar dinâmica. Tese de Doutorado - EPUSP. São Paulo : s.n., 2016. Vol. Único.

50. SUBRAMANIAN, V., et al. **Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FET versus FinFETs**. IEEE International Electron Devices Meeting. 2005, p. 851.

51. FLANDRE, D., et al. Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**. abril 1996, Vol. 39, 4, pp. 455-460.

52. RASKIN, J.-P., et al. Analog/RF performance of multiple gate SOI devices: wideband simulations and characterization. **IEEE Transactions on Electron Devices**. 2006, Vol. 53, 5.

53. BREHMER, K. E. e WIESER, J. B. An Improved Frequency Compensation Technique for CMOS Operational Amplifiers. **IEEE Journal of Solid-State Circuits**. 1983, Vol. 18, 6.

54. SZE, S.M. **Physics of semiconductor devices**. NY : John Wiley and Sons, 1981.

55. ALMEIDA, L. M. Estudo de célula de memória dinâmina de apenas um transistor SOI de óxido enterrado ultrafino. São Paulo : Tese de Doutorado - EPUSP, 2012. Vol. Único.

56. CAMILLO, L. M., MARTINO, J. A., SIMOEN, E. e CLAEYS, C. The temperature mobility degradation influence on the zero temperature coefficient of partially and fully depleted SOI MOSFETs. **Microelectronics Journa**l. 2006, Vol. 37, 9, pp. 952-957.

57. CAMILLO, L. M. Estudo do ponto invariante com a temperatura ("Zero Temperature Coefficient") em transistores SOI MOSFET fabricados com tecnologia ultra-submicrométrica. São Paulo : Tese de Doutorado - EPUSP, 2011. Vol. Único.

58. HUBERT, Q., et al. All regimes mobility extraction using split C–V technique enhanced with charge-sheet model. **Solid-State Electronics**. 2015, Vol. 111.

59. GILDENBLAT, G. Sh., HUANG, C.-L e ARORA, N. D. Split C-V measurements of low temperature MOSFET inversion layer mobility. **Cryogenics**. 1989, Vol. 29, 12.

60. CLAEYS, C. e SIMOEN, E. Noise as a diagnostic tool for semiconductor material and device characterization. **Journal of the Electrochemical Society**. 1998, Vol. 145, 6.

61. DOS SANTOS, S. D., et al. Low-frequency noise assessment in advanced UTBOX SOI nMOSFETs with different gate dielectrics. **Solid-State Electronics**. 2014, Vol. 97.

62. SIMOEN, E. e CLAEYS, C. On the flicker noise in submicron silicon MOSFETs. **Solid-State Electronics**. 1999, Vol. 43, 5.

63. GHIBAUDO, G., et al. Improved analysis of low frequency noise in field-effect MOS transistors. **Physica Status Solidi. (a)**. 1991, Vol. 124, 2.

64. FANG, W., et al. Low-frequency noise characterization of GeOx passivated germanium MOSFETs. **IEEE Transactions on Electron Devices**. 2015, Vol. 62, 7.

65. GHIBAUDO, G. e BOUTCHACHA, T. Electrical noise and RTS fluctuations in advanced CMOS devices. **Microelectronics Reliability**. 2002, Vol. 42, 4-5.

66. LARTIGAU, I., et al. Low temperature noise spectroscopy of 0.1 μm partially depleted silicon on insulator metal-oxide-semiconductor field effect transistors. **Journal of Applied Physics**. 2007, Vol. 101, 10.

67. SIMOEN, E., et al. Low-frequency-noise investigation of n-channel bulk finFETs developed for one-transistor memory cells. **IEEE Transactions on Electron Devices**. 2012, Vol. 59, 5.

68. LUKYANCHIKOVA, N. Sources of the Lorentzian components in the lowfrequency noise spectra of submicron metal-oxide-semiconductor fieldeffect transistors, noise and fluctuations control in electronic devices. Riverside : American Science, 2002.

69. GRASSI, V., COLOMBO, C.F. e CAMIN, D.V. Low frequency noise versus temperature spectroscopy of recently designed Ge JFETs. **IEEE Transactions on Electron Devices**. 2001, Vol. 48, 12.

70. J-2014.09, Sentaurus Device User Guide - J Version. Synopsys. 2014.

71. DOBRESCU, L., et al. Threshold voltage extraction methods for MOS transistors. International Semiconductor Conference. **Proceedings**, 2000.

72. TAKAGI, S. e TAKENAKA, M. Prospective and critical issues of III-V/Ge CMOS on Si platform. Electrochemical Society Transactions. **Proceedings**, 2011, Vol. 35, 3.

73. CHIARELLA, T., et al. Benchmarking SOI and bulk finFET alternatives for planar CMOS. **Solid-State Electronics**. 2010, Vol. 54, 9, pp. 855-860.

74. IWAI, H. Future of nano CMOS technology. **Solid-State Electronics**. Selected Papers from EuroSOI'2014 Conference, 2015, Vol. 112.

75. MITARD, J., et al. First demonstration of 15nm-Wfin inversion-mode relaxedgermanium n-finFETs with Si-cap free RMG and NiSiGe source/drain. IEEE International Electron Devices Meeting. **Proceedings**, 2014.

76. TAKAGI, S., et al. III-V/Ge MOS device technologies for low power integrated systems. **Solid-State Electronics**. 2016, Vol. 125.

77. BEELER, R., et al. Comparative study of InGaAs integration on bulk Ge and virtual Ge/Si(1 0 0) substrates for low-cost photovoltaic applications. **Solar Energy Materials and Solar Cells**. 2010, Vol. 94, 12.

78. PEOPLE, R. e BEAN, J. C. Calculation of critical layer thickness versus lattice mismatch for GxSi1-x/Si strained-layer heterostructures,. **Applied Physics Letters**. 1985, Vol. 47, 3.

79. SCHRÖTER, W. e CERVA, H. Interaction of point defects with dislocations in silicon and germanium: electrical and optical effects. **Solid State Phenomena**. 2002, Vols. 85-86.

80. SIMOEN, E., et al. High doping density/high electric field, stress and heterojunction effects on the characteristics of CMOS compatible p-n junctions. **Journal of the Electrochemical Society**. 2011, Vol. 158, 5.

81. CLAEYS, C., et al. Review—Device assessment of electrically active defects in high-mobility materials. **ECS Journal of Solid State Science and Technology**. 2016, Vol. 5, 4.

82. LI, J. Z., et al. Defect reduction of GaAs/Si epitaxy by aspect ratio trapping. **Journal of Applied Physics**. 2008, Vol. 103.

83. MAHATO, S.S., et al. Strain engineering for future CMOS technologies . International Conference on Computers and Devices for Communication. **Proceedings**, 2006.

84. WITTERS, L., et al. Strained Germanium Quantum Well pMOS FinFETs Fabricated on in situ Phosphorus-Doped SiGe Strain Relaxed Buffer Layers Using a Replacement Fin Process. IEEE International Electron Devices Meeting. **Proceedings**, 2013.

85. LOO, R., et al. High quality Ge virtual substrates on Si wafers with standard STI patterning. **Journal of the Electrochemical Society**. 2010, Vol. 157, 1.

86. CURRIE, M. T., et al. Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing. **Applied Physics Letters**. 1998, Vol. 72.

87. RITZENTHALER, R., et al. Parasitic back-inferface conduction in planar and triple-gate SOI transistors. IEEE International SOI Conference. **Proceedings**, 2010, pp. 1-2.

88. SAREMI, M., A-KUSHA, A. e MOHAMMADI, S. Ground plane fin-shaped field effect transistor (GP-finFET): A finFET for low leakage power circuits. **Microelectronic Engineering**. 2012, Vol. 95, pp. 74-82.

89. OSMAN, A.A. e OSMAN, M.A. Investigation of high effects on MOSFET transconductance (gm). High Temperature Electronics . 4th International Conference, **Proceedings**, 1998, pp. 301-304.

90. POURTOIS, G., et al. Threshold voltage shifts in Si passivated (100) Ge p - channel field effect transistors. **Applied Physics Letters**. 2007, Vol. 91.

91. KIM, R., AVCI, U. E. e YOUNG, I. A. CMOS performance benchmarking of Si, InAs, GaAs, and Ge nanowire n- and pMOSFETs with Lg=13 nm based on atomistic quantum transport simulation including strain effects. IEEE International Electron Devices Meeting. **Proceedings**, 2015.

92. DURIEZ, B., et al. Scaled p-channel Ge FinFET with optimized gate stack and record performance integrated on 300mm Si wafers. IEEE InternationalElectron Devices Meeting. **Proceedings**, 2013.

93. VAN DAL, M. J. H., et al. Germanium p-channel FinFET fabricated by aspect ratio trapping. **IEEE Transactions on Electron Devices**. 2014, Vol. 61, 2.

94. WONG, I.-H., et al. Fabrication and low temperature characterization of Ge (110) and (100) p-MOSFETs. **IEEE Transactions on Electron Devices**. 2014, Vol. 61, 6.

95. ANDRADE, M. G.C., MARTINO, J. A. SIMOEN, E. e CLAEYS, C. Comparison of the low-frequency noise of bulk triple-gate finFETs with and without dynamic threshold operation. **IEEE Electron Device Letters**. 2011, Vol. 32, 11.

96. SIMOEN, E., et al. Low-frequency-noise-based oxide trap profiling in replacement high-κ/metal-gate pMOSFET. **Electrochemical Society Journal of Solid State Science and Technology**. 2014, Vol. 3, 6.

97. LEE, J.-S., et al. Low-frequency noise characteristics in p-channel finFETs. **IEEE Electron Device Letters**. 2002, Vol. 23, 12.

98. GUO, W., et al. Low-frequency noise assessment of silicon passivated Ge pMOSFETs with TiN/TaN/ HfO2 gate stack. **IEEE Electron Device Letters**. 2007, Vol. 28, 4.

99. SIMOEN, E., et al. Defect-related excess low-frequency noise in Ge-on-Si pMOSFETs. **IEEE Electron Device Letters**. 2001, Vol. 32, 1.

100. LENGELER, B. Semiconductor devices suitable for use in cryogenic environments. **Cryogenics**. 1974, Vol. 14, 8.

101. GONZALEZ, M.B., et al. Defect assessment and leakage control in Ge junctions. **Microelectronic Engineering**. (Selected papers from the E-MRS 2013 Fall Meeting, Symposium A), 2014, Vol. 125.

```
File
```

{

\*input files:

Parameter= "/home/simulacao/simulacoes/AVO/Parameter/CMOS\_B\_00.par" Grid = "/home/simulacao/simulacoes/AVO/Bulk/BFF\_W130\_L130\_0\_msh.tdr" Doping ="/home/simulacao/simulacoes/AVO/Bulk/BFF\_W130\_L130\_0\_msh.tdr"

\* output files:

Plot="BFF\_W130\_L130\_VD50m\_tox2\_5\_sgp\_423k\_wf4\_5\_vgt100m\_des.tdr" Current="BFF\_W130\_L130\_VD50m\_tox2\_5\_sgp\_423k\_wf4\_5\_vgt100m\_des.plt" Output="BFF\_W130\_L130\_VD50m\_tox2\_5\_sgp\_423k\_wf4\_5\_vgt100m\_des.log" }

Electrode {

{Name="Contato\_Fonte" Voltage=0}
{Name="Contato\_Dreno" Voltage=0.05}
{Name="Contato\_Porta" Voltage=0.2 Workfunction=4.5}
{Name="Contato\_Substrato" Voltage=0 Workfunction=4.95}
}

Physics {

```
Mobility(

PhuMob (Phosphorus)

#ThinLayer (Lombardi(AutoOrientation))

ToCurrentEnormal(Lombardi)

HighFieldSaturation)

Recombination(SRH(DopingDep)Band2Band(E1))

EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))

Fermi

Temperature=423

}
```

Plot {

eDensity hDensity eCurrent hCurrent

Potential SpaceCharge ElectricField eMobility hMobility eVelocity hVelocity Doping DonorConcentration AcceptorConcentration }

# Math {

```
Extrapolate
RelErrControl
iterations=100
method=ils
Number_of_Threads = 8#maximum
}
```

# Solve {

#-initial solution:

```
Poisson
Coupled{Poisson Electron hole}
#-ramp gate:
Quasistationary(Maxstep=0.0005 Minstep=0.000000001
Goal{Name="Contato_Porta" Voltage=0.4})
{Coupled{Poisson Electron }}
#Quasistationary(Maxstep= 0.01 Minstep= 0.0000001
#Goal{Name="Contato_Porta" Voltage=-1.25})
#{Coupled{Poisson Electron }}
}
```

# **Defined Parameters:**

Contact Sets:

(sdegeo:define-contact-set "Contato\_Substrato" 4 (color:rgb 0 1 1 )"##" )
(sdegeo:define-contact-set "Contato\_Fonte" 4 (color:rgb 0 0 1 )"##" )
(sdegeo:define-contact-set "Contato\_Dreno" 4 (color:rgb 0 1 0 )"##" )
(sdegeo:define-contact-set "Contato\_Porta" 4 (color:rgb 0 0 0 )"##" )