Julio Cesar Saldaña Pumarica

Sistemas de detecção e classificação de impulsos elétricos de sinais neurais extracelulares

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Doutor em Ciências, Programa de Engenharia Elétrica.

São Paulo
2016

Julio Cesar Saldaña Pumarica

Sistemas de detecção e classificação de impulsos elétricos de sinais neurais extracelulares

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Doutor em Ciências, Programa de Engenharia Elétrica.

Área de concentração:
Microeletrônica

Orientador:
Prof. Dr.
Livre-Docente
Emilio Del Moral Hernandez

São Paulo
2016

Catalogação-na-publicação

Saldaña Pumarica, Julio Cesar
Sistemas de detecção e classificação de impulsos elétricos de sinais neurais extracelulares / Julio Cesar Saldaña Pumarica - São Paulo, 2016.
127 p.

Tese (Doutorado) – Escola Politécnica da Universidade de São Paulo. Engenharia de Sistemas Eletrônicos.

1. MICROELETRÔNICA. 2. CMOS. I. Universidade de São Paulo. Escola Politécnica. Engenharia de Sistemas Eletrônicos. II.t.

Resumo

O registro de sinais neurais através de matrizes de microeletrodos implantáveis no meio extracelular do córtex cerebral tem-se tornado um paradigma experimental para a neurociência. Por outro lado, a pesquisa recente sobre neuropróteses motoras tem mostrado que é possível decodificar comandos motores a partir dos sinais registrados no meio extracelular do córtex cerebral. Em ambos os contextos, neurociência experimental e desenvolvimento de neuropróteses motoras, um dos aspectos encontrados no estado da arte é a utilização de circuitos integrados (*chips*) implantados no cérebro. Nesses *chips*, os sinais neurais medidos com os microeletrodos são amplificados, filtrados, processados e transmitidos a um computador externo mediante fios que atravessam o crânio.

A tendência para o avanço das interfaces neurais implantáveis é o incremento do número de eletrodos, trazendo como consequência um aumento na quantidade de informação processada e transmitida. Com isso, faz-se relevante a procura de alternativas energeticamente econômicas para os processamentos realizados dentro da interface neural implantável. Existe também o interesse em desenvolver *chips* implantáveis que transmitam os sinais ao computador externo sem a necessidade de fios que atravessem o crânio. Na pesquisa do estado da arte tem-se encontrado a utilização de tais *chips* implantáveis sem fio em ratos e macacos, porém até a data da elaboração deste texto não foram encontrados relatos da aplicação em humanos. Um dos aspectos que deve se levar em consideração no desenvolvimento de interfaces neurais implantáveis sem fio é a largura de banda do canal de comunicação. Quanto maior a quantidade de dados a serem transmitidos, maior a largura de banda necessária e maior o aquecimento do *chip* devido à dissipação de potência.

Dois processamentos encontrados na pesquisa de interfaces neurais implantáveis são a detecção de impulsos elétricos e a separação de impulsos elétricos (*Spike Sorting*). Nesta tese apresentam-se soluções para esses tipos de processamentos visando a implementação mediante tecnologia CMOS (*Complementary Metal Oxide Semiconductor*).

A detecção de impulsos elétricos neurais (*spikes*) consiste na sinalização da ocorrência de um potencial de ação em um neurônio a partir da análise do sinal elétrico registrado por um eletrodo próximo a esse neurônio. Uma alternativa para realizar essa detecção consiste em comparar o sinal medido pelo eletrodo com um determinado limiar. Porém devido a baixa relação sinal a ruído, que pode chegar a valores menores que 5 dB, a simples comparação com limiar nem sempre é suficiente. Para lidar com esses altos níveis de ruído torna-se necessária a aplicação de um pré-processamento que permita enfatizar os *spikes* e atenuar o ruído. Esse processamento, conhecido como pré-ênfase, evidencia a presença de potenciais de ação e atenua o ruído. Através da revisão bibliográfica comprovou-se que um tipo de pré-ênfase muito empregado é o conhecido como operador não linear de energia (NEO do

inglês *Nonlinear Energy Operator*) ou operador Teager. Nesta tese apresenta-se uma alternativa de implementação desse operador em *hardware*. Uma das características inovadoras da implementação apresentada nesta tese é a utilização de um circuito elevador ao quadrado que consiste de apenas três transistores, como bloco funcional básico para a realização da operação NEO. O circuito NEO desenvolvido consome 300 pJ no processamento de um *spike* e foi caracterizada por simulação até em 30 kHz, frequência que é compatível com as taxas de amostragem encontradas na literatura.

O outro processamento abordado nesta tese, conhecido como separação de impulsos elétricos, consiste no agrupamento dos impulsos elétricos registrados por um eletrodo em categorias, de maneira que em uma categoria estejam os impulsos gerados por um mesmo neurônio. O objetivo é reconhecer quais dos impulsos elétricos medidos pelo eletrodo pertencem a um mesmo neurônio, sendo possível que vários neurônios influenciem na medida realizada por um único eletrodo. Quando realizado mediante *software*, a separação de impulsos consiste na extração de características, redução de dimensionalidade e agrupamento. Para a extração de características e redução de dimensionalidade, a técnica mais utilizada é a análise de componentes principais (PCA). Já para o agrupamento, uma das técnicas mais encontradas na literatura é a conhecida como K-means. Tudo isso implica no uso intensivo de recursos computacionais, o que é inviável quando se trata da aplicação dentro de interfaces neurais implantáveis.

Uma solução para a separação de impulsos, apropriada no contexto de sistemas implantáveis, baseia-se na geração de modelos (*templates*) em tempo real. Numa fase inicial da operação do sistema as amostras digitalizadas dos impulsos elétricos detectados no sinal medido pelo eletrodo são comparadas com as dos *templates*. Com base nessa comparação, os *templates* existentes podem ser atualizados ou novos templates podem ser criados. Ao final da fase inicial, o número de *templates* gerados corresponde ao número de neurônios identificados pelo eletrodo. Finalmente, na fase de operação normal, o sistema associa cada impulsos elétrico detectado a um dos modelos inicialmente gerados. Essa técnica conhecida como *template matching* foi implementada em *hardware* por pesquisadores da Universidade da Califórnia, Los Angeles e os resultado relatados num artigo do periódico *Journal of Solid State Circuits* em 2013 (KARKARE; GIBSON; MARKOVIC, 2013).

Nesta tese apresenta-se o projeto de um sistema classificação de *spikes* baseado na técnica *template matching*, similar ao sistema relatado pelo grupo da UCLA em 2013, com a diferença de não tratar com amostras digitalizadas do sinal medido pelo eletrodo. O processamento proposto nesta tese baseia-se na representação baseada em tempo das amostras analógicas. Esse tipo de representação de sinais analógicos mediante atrasos de pulsos digitais está sendo muito utilizado como alternativa à representação no domínio da tensão, da corrente ou da carga elétrica. A vantagem desse tipo de representação é que não se vê severamente afetada pela redução da tensão de alimentação dos circuitos integrados fabricados em tecnologias sub-micrométricas.

Palavras-chave: Interfaces neurais implantáveis, detecção de impulsos elétricos, separação de impulsos elétricos.

Abstract

Neural signals recording through implantable microelectrode arrays in cortex extracellular medium has become an experimental paradigm for neuroscience. Moreover, recent research about motor neuroprostheses has shown that it is possible to decode motor commands from the signals recorded in the cerebral cortex extracellular medium. In both situations, experimental neuroscience and motor neuroprostheses development, one of the issues encountered in the state-of-the-art is the use of integrated circuits (chips) implanted in the brain. In these chips, neural signals measured with microelectrodes are amplified, filtered, processed, and transmitted to an external computer through wires that run through the skull.

The trend for the advancement of implantable neural interfaces is to increase the number of electrodes, bringing as a consequence an increase in the amount of processed and transmitted information. Thus, it becomes relevant to search for energy-economic alternatives for the processing performed within the implantable neural interface. There is also interest in developing implantable chips that transmit signals to the external computer without the need for wires passing through the skull. In the survey of the state-of-the-art it has found the use of such implantable wireless chips in rats and monkeys, but until the date of this writing we have not found reports of application in humans. One of the aspects that must be taken into account in the development of wireless implantable neural interfaces is the bandwidth of the communication channel. The greater the amount of data to be transmitted, the greater the bandwidth required and higher chip heating due to power dissipation.

Two processes found in the research of implantable neural interfaces are spike detection and spike sorting. In this thesis solutions for these types of processing are presented considering their implementation by CMOS (Complementary Metal Oxide Semiconductor).

The spike detection consists in signaling the occurrence of an action potential in a neuron from the analysis of the electric signal recorded by an electrode which is placed close to that neuron. An alternative to accomplish this detection is to compare the signal measured by the electrode with a certain threshold. But due to low signal to noise ratio, which can reach values below 5 dB, a simple comparison with threshold is not always enough. To deal with such high noise levels it becomes necessary to apply a pre-processing that emphasizes spikes and attenuate noise. This process, known as pre-emphasis, emphasizes the presence of action potentials and attenuates noise. Through literature review it has verified that a much used type of pre-emphasis is known as nonlinear energy operator (NEO) or Teager operator. This thesis presents an alternative for the implementation of this operator in hardware. One of the innovative characteristics of the implementation presented in this thesis is the use of a squarer circuit which consists of only three transistors, as a basic function block for perform-

ing operation of NEO. NEO circuit consumes 300 pJ in processing a spike, and was characterized by simulation up to 30 kHz, frequency which is compatible with sampling rates found in the literature.

The other processing discussed in this thesis, known as Spike Sorting, is the grouping of electrical impulses recorded by an electrode into categories so that the spikes belonging to the same category were generated by a single neuron. The goal is to recognize which of the spikes measured by the electrode belong to the same neuron, given that it is possible that several neurons influence the measure performed by a single electrode. When performed by software, the Spike Sorting consists of feature extraction, dimensionality reduction and clustering. For feature extraction and dimensionality reduction the most used technique is the principal component analysis (PCA). And for the grouping, the techniques most commonly found in the literature is known as K-means. Such tasks imply in intensive use of computational resources which is impossible when it comes to the application within implantable neural interfaces.

A solution for the Spike Sorting suitable in the context of implantable systems, is based on generating templates in real time. At an early stage of system operation, digitized samples of spikes detected in the signal measured by the electrode are compared with the templates. Based on this comparison the existing templates can be updated or new templates can be created. At the end of the initial phase the number of generated templates corresponds to the number of neurons identified by the electrode. Finally, during the normal operating phase, the system associates each detected spike to one of the templates generated initially. This technique known as template matching was implemented in hardware by researchers at the University of California, Los Angeles and the results were reported in an article in Journal of Solid State Circuits in 2013 (KARKARE; GIBSON; MARKOVIC, 2013).

This thesis presents the design of a spike classification system based on template matching technique, similar to the system reported by UCLA group in 2013 with the difference of not dealing with digitized samples of the signal measured by the electrode. The processing proposed in this work is based on the time-based representation of the analog samples. This kind of representation of analog signals by delays of digital pulses is being widely used as an alternative to the classical representation of samples by voltage, current or electric charge. The advantage of this time-mode representation is that it is not severely affected by reduced supply voltage of integrated circuits manufactured in sub-micrometer technologies.

Keywords: Implantable neural interfaces, spike detection, spike sorting.

Lista de Figuras

1.1 Principais fatos no desenvolvimento de neuropróteses motoras. Adaptado de (JACKSON, 2012) 19

1.2 Matt Nagle, paciente tetraplégico, controlando o ponteiro do *mouse* através de uma interface implantável de registro neural. Experimento relatado em (HOCHBERG et al., 2006). Figura extraída de (ABBOTT, 2006) 20

1.3 Paciente tetraplégica bebendo de uma garrafa de café mediante um braço robô controlado pelos sinais neurais registrados no córtex motor. Imagem extraída de (HOCHBERG et al., 2012) 21

1.4 Paciente tetraplégica comendo uma barra de chocolate mediante um braço robô controlado pelos sinais neurais registrados no córtex motor. Experimento relatado em (COLLINGER et al., 2013). Imagem extraída do site http://www.slashgear.com 22

1.5 Participante do experimento realizado pela equipe do professor Richard Andersen. Imagem extraída do site https://www.vis.caltech.edu/media . 24

1.6 Imagem extraída do site do pesquisador Benjamin I. Rapoport (benjaminirapoport.com) 25

2.1 Representação simplificada de um canal de leitura, processamento e transmissão de sinais neurais extracelulares 38

2.2 Diagrama de blocos de uma interface neural implantável multi-canal . . 38

2.3 Diagrama de blocos do sistema apresentado em (AKIN; NAJAFI; BRADLEY, 1998). Figura extraída do artigo (AKIN; NAJAFI; BRADLEY, 1998). 40

2.4 Sonda ativa utilizada no sistema de Olsson e Wise. Imagem extraída de (OLSSON-III; WISE, 2005) 40

2.5 Diagrama de blocos do sistema apresentado em (OLSSON-III; WISE, 2005). Imagem extraída de (OLSSON-III; WISE, 2005). 41

2.6 Diagrama de blocos internos e periféricos externos do sistema apresentado em junho 2007 pelo *Center for Wireless Integrated MicroSystems (WIMS)* da universidade de Michigan. Imagem extraída de (SODAGAR et al., 2007). NPU (*Neural Processor Unit*), BPF (*Band Pass Filter*) e POR(*Power On Reset*). 42

2.7 Diagrama de blocos do sistema desenvolvido pela equipe do professor Wentai Liu da Universidade de California Santa Cruz. Imagem extraída do artigo (CHAE et al., 2009) 43

2.8 Ilustração do sistema apresentado em (ZOU et al., 2013). Imagem extraída do artigo (ZOU et al., 2013). 45

2.9 Diagrama de blocos do sistema apresentado em (ZOU et al., 2013). Imagem extraída do artigo (ZOU et al., 2013). 45

2.10 Digrama de blocos e ilustração do sistema apresentado em (MULLER et al., 2014). Imagem extraída do artigo (MULLER et al., 2014). 46

2.11 Ilustração de um sistema multi-eletrodo de medida de sinais neurais extracelulares. Imagem extraída de (NG; XU, 2015). 48

3.1 Ilustração do método de detecção de *spike* por aplicação de limiar simples 53

3.2 Modos de detecção suportados pelo processador apresentado em (SODAGAR; WISE; NAJAFI, 2006). (a) Positivo (b) Negativo (c) Bifásico. Imagem extraída de (SODAGAR; WISE; NAJAFI, 2006). 54

3.3 Estratégia para geração de limiar de comparação apresentada em (HARRISON, 2003). Imagem extraída de (HARRISON, 2003). 54

3.4 Implementação analógica de detecção de spikes com estágio de pré-ênfase. Imagem extraída de (HISENI et al., 2009). 55

3.5 Ilustração da ideia que a amplitude não é parâmetro suficiente para caracterizar um *spike* 57

3.6 Implementação analógica do NEO apresentada em (HOLLEMAN et al., 2008). Imagem extraída de (HOLLEMAN et al., 2008). 58

3.7 Implementação analógica do NEO apresentada em (LI; XU, 2011). Imagem extraída de (LI; XU, 2011). 58

3.8 Implementação analógica do NEO. Imagem extraída do artigo (GOSSELIN; SAWAN, 2009). 59

3.9 Ilustração do processo de *Spike Sorting*. A partir do sinal registrado por um único eletrodo (figura superior) os impulsos elétricos são detectados mediante um processo de limiarização e, finalmente, separados. Figura adaptada de (QUIROGA; NADASDY; BEN-SHAUL, 2004) 61

3.10 Ilustração do processo de*Spike Sorting* criada por Karkare e Gibson (KARKARE; GIBSON; MARKOVIC, 2013). Imagem extraída de (KARKARE; GIBSON; MARKOVIC, 2013). 62

4.1 Diagrama de blocos do sistema de detecção baseado no operador NEO. O bloco denominado VTC é um conversor de tensão a corrente (*Voltage to current converter*) 64

4.2 Resultado da aplicação do NEO implementado em Matlab aos sinais e aos valores absolutos dos sinais do banco de dados Waveclus. Sinais com ruídos de 5%, 10%, 15% e 20% 65

4.3 Resultado da aplicação do NEO implementado em Matlab aos sinais e aos valores absolutos dos sinais do banco de dados Waveclus. Sinais com ruídos de 25%, 30%, 35% e 40%. 66

4.4 Circuito elevador ao quadrado. Considera-se entrada à corrente drenada do transistor M2 (I_{in}) e como saída, à corrente fornecida pelo transistor M3 (I_{out}) 69

4.5 Circuito empregado para simular o elevador ao quadrado e determinar um valor apropriado de largura de canal (W) 72

4.6 Coeficiente de correlação linear entre a corrente de saída, obtida mediante a simulação do circuito da figura 4.5, e o quadrado da corrente de entrada em função do comprimento de canal dos transistores PMOS. O comprimento de canal foi fixado em 1μm. 72

4.7 Esquema elétrico do circuito Operador NEO formado por elevadores ao quadrado do tipo mostrado na figura 4.4. 73

4.8 Princípio de operação do conversor de tensão a corrente 75

4.9 Estratégia para gerar valor absoluto da corrente $Iout$ 76

4.10 (a) Sinal sintético aplicado ao circuito NEO. O desvio padrão do ruído é igual ao 20% da amplitude máxima do sinal. (b) Resposta do circuito NEO à aplicação do sinal sintético escolhido. 77

4.11 Curva ROC para o sinal original (linha em azul) e para o sinal de saída do circuito NEO (linha em vermelho). 78

4.12 Resposta do circuito a um sinal real. O sinal de saída foi escalado de maneira que o pico máximo coincida com o pico máximo do sinal de entrada. 79

5.1 Diagrama de blocos simplificado do sistema de classificação de *spikes* desenvolvido. VTC é o conversor de tensão a tempo (*Voltage-to-Time Converter*), WTA é o circuito que determina qual das três entradas é menor (*Winner Take All*). 81

5.2 Representação de amostras baseada em tempo. Os atrasos dos pulsos em relação a t_{rst} são proporcionais às tensões de entrada dos VTC. . . 83

5.3 Representação de amostras baseada em tempo mediante um único VTC. 83

5.4 Conversor de tensão a tempo baseado em modulação PWM (*Pulse Width Modulator*. 84

5.5 Conversor de tensão a tempo apresentado em (MOHAMAD et al., 2013). Neste caso uma das tensões de entrada do comparador é constante o qual facilita o seu projeto. 85

5.6 Circuito subtrator baseado em tempo. VTC: *Voltage to Time Converter*, DE: *Delay Element*. 87

5.7 Diagrama de tempos da operação do circuito subtrator 88

5.8 Circuito subtrator baseado em tempo com saída na forma de tensão. . 89

5.9 Programação do circuito subtrator para calcular diferenças em relação a V_y. 90

5.10 Diagramas de tempos obtidos mediante a simulação do *loop* de programação do circuito subtrator para calcular diferenças em relação a V_y. 91

5.11 Circuito que calcula a distância de *Manhattan* baseado no uso de uma fonte de corrente para cada canal. As correntes são integradas no capacitor de saída gerando uma tensão proporcional à distância de *Manhattan*. 92

5.12 Circuito que calcula a distância de *Manhattan* com uso compartilhado de VTC e de integrador de saída 93

5.13 *Spikes* de três neurônios diferentes, presentes no sinal utilizado na simulação do sistema de classificação. 94

5.14 Resultados de simulação da aplicação de um *spike* da classe 1 ao sistema. 95

5.15 Resultados de simulação da aplicação de um *spike* da classe 2 ao sistema. 96

5.16 Resultados de simulação da aplicação de um *spike* da classe 3 ao sistema. 96

5.17 Precisão da classificação em função da mínima tensão que o comparador de saída pode reconhecer 97

C.1 Esquema do circuito conversor de tensão a corrente. 117

C.2 Esquema do circuito NEO 118

D.1 *Layout* do circuito conversor de tensão a corrente. 119

D.2 *Layout* do circuito NEO 120

Lista de Tabelas

1.1 Lista de publicações recentes que abordam os problemas de detecção e separação de impulsos elétricos neurais em interfaces neurais implantáveis 30

1.2 Lista de bancos de dados de sinais neurais encontrados no estudo do estado da arte 34

2.1 Conversores analógico-digital utilizados em sistemas implantáveis *wireless* de registro neural 49

2.2 Sistemas implantáveis de aquisição, processamento e transmissão sem fio de sinais neurais extracelulares 51

4.1 Parâmetros de Detecção aplicada aos sinais do banco de dados Waveclus 67

4.2 Taxas de detecção para diferentes níveis de ruído. O limiar de comparação foi fixado em 8nA. 79

Sumário

1 Introdução e o estado da arte **16**

1.1 Interfaces neurais implantáveis 17

1.1.1 Interfaces neurais implantáveis que realizam a leitura de sinais neurais 18

1.1.2 Interfaces que estimulam o sistema nervoso 26

1.1.3 Interfaces neurais bidirecionais 27

1.1.4 Rumo da pesquisa em interfaces neurais implantáveis 27

1.2 Objetivos do projeto de doutorado 28

1.2.1 Objetivos Gerais 28

1.2.2 Objetivos Específicos 30

1.3 Estratégia de avaliação dos sistemas desenvolvidos neste trabalho . . . 32

1.3.1 Banco de dados escolhido para a avaliação dos sistemas desenvolvidos nesta tese 34

1.4 Estrutura da tese 35

2 Sistemas implantáveis de leitura, processamento e transmissão sem fio de sinais neurais extracelulares: descrição e o estado da arte **37**

2.1 Sistemas implantáveis de registro neural sem fio - o estado da arte . . . 39

2.2 Amplificação de sinais neurais extracelulares 47

2.3 Conversores analógico-digital de sinais neurais extracelulares 49

2.4 Processamento de sinais neurais extracelulares em circuitos integrados implantáveis 49

3 Detecção e separação de impulsos elétricos neurais em circuitos integrados implantáveis - estado da arte 52

3.1 Detecção de impulsos elétricos neurais 52

3.1.1 Aplicação de pré-ênfase ao sinal 55

3.1.2 Operador não linear de energia 56

3.2 Separação de impulsos elétricos neurais 60

4 Desenvolvimento de um sistema de detecção de impulsos elétricos neurais para uma interface neural implantável 63

4.1 Análise da aplicação do operador *Teager* ao valor absoluto do sinal neural extracelular 64

4.2 Estratégia para realizar o operador *Teager* baseada no uso de circuitos elevadores ao quadrado 68

4.3 Circuito elevador ao quadrado baseado em transistores MOS que operam na região sublimiar 69

4.4 Circuito que realiza o operador *Teager* em modo corrente 73

4.5 Circuito que gera uma corrente proporcional ao valor absoluto do sinal de tensão de entrada 75

4.6 Simulações elétricas do sistema de detecção desenvolvido 77

5 Sistema de classificação de impulsos elétricos neurais 80

5.1 Representação de sinais como atrasos entre pulsos digitais 82

5.2 Conversor de tensão a tempo (VTC) 83

5.3 Cômputo da distância de *Manhattan* 86

5.3.1 Circuito subtrator baseado em tempo 86

5.3.2 Programação do circuito subtrator 89

5.4 Circuito que calcula a distância de *Manhattan* 92

5.5 Simulação do sistema de classificação de impulsos elétricos desenvolvido nesta tese 94

6 Conclusões e perspectivas **98**

6.1 Sobre o estado da arte e o rumo da pesquisa em interfaces neurais implantáveis 98

6.2 Sobre o sistema de detecção de impulsos elétricos neurais desenvolvido nesta tese 99

6.3 Sobre o sistema de classificação de impulsos elétricos neurais desenvolvido nesta tese 100

Apêndice A – Programas em Matlab **103**

A.1 Extração e filtrado de sinais do banco de dados Waveclus 103

A.2 Extração de instantes de ocorrência de *spikes* em um sinal do banco de dados Waveclus 104

A.3 Geração de tabela de resultados do NEO implementado em matlab e aplicado a sinais do banco de dados Waveclus 104

A.4 Extração e filtrado de sinais do banco de dados Osort 105

A.5 Extração de instantes de ocorrência de *spikes* em um sinal do banco de dados Osort 105

A.6 Construção de curva ROC 106

Apêndice B – Programas em OCEAN **107**

B.1 Programa para a explorar o espaço de projeto do circuito elevador ao quadrado 107

B.2 Programa para o a simulação do circuito NEO em regimen DC 109

B.3 Programa para a obter a tensão de calibração dos elementos de atraso 110

B.4 Programa para obter os parâmetros de deteção com base nos resultados da simulação do detector de *spikes* 112

B.5 Programa para a obter a curva ROC 114

B.6 Programa para simulação do cômputo da distância entre dos vetores de grandezas analógicas 115

Apêndice C – Esquemas elétricos em Cadence **117**

C.1 Esquema do circuito conversor de tensão a corrente 117

C.2 Esquema do circuito NEO 118

Apêndice D – *Layouts* dos circuitos **119**

D.1 *Layout* do circuito conversor de tensão a corrente 119

D.2 *Layout* do circuito NEO 120

1 Introdução e o estado da arte

O presente capítulo foi elaborado com a finalidade de delimitar os alcances do trabalho de doutorado e salientar sua relevância científica.

Esta tese de doutorado aborda temas relacionados aos circuitos integrados implantáveis - denominados interfaces neurais implantáveis, segundo tradução do termo encontrado nos artigos em inglês: *Implantable Neural Interfaces* - que interagem com o sistema nervoso. Neste capítulo, apresenta-se uma revisão do estado da arte das interfaces neurais implantáveis, focando-se principalmente nas aplicações desses sistemas na recuperação parcial ou total de funções sensoriais ou motoras em pacientes que apresentaram limitações relacionadas ao sistema nervoso ou que sofreram algum acidente que levou à perda de tais funções.

Após essa revisão do estado da arte, enunciam-se os objetivos do projeto de doutorado e demonstra-se sua relevância científica. Para tal fim, apresentam-se exemplos encontrados na revisão de literatura científica que evidencia o esforço realizado por vários centros de pesquisa no desenvolvimento de soluções para os problemas abordados nesta tese.

Posteriormente, discutem-se os procedimentos realizados para avaliar os sistemas desenvolvidos neste trabalho de doutorado, valendo-se de exemplos obtidos em trabalhos similares. Apresentam-se também as bases de dados de sinais neurais utilizadas para simular os sistemas desenvolvidos neste doutorado. A estrutura desses conjuntos de sinais bem como os procedimentos realizados para a sua geração serão objetos de análise.

Finaliza-se este capítulo com uma descrição da estrutura e organização da tese, deixando bem evidente quais partes correspondem à revisão teórica e do estado da arte e quais correspondem ao trabalho desenvolvido pelo autor como parte do projeto de doutorado.

1.1 Interfaces neurais implantáveis

As interfaces neurais são sistemas que operam na intersecção entre o sistema nervoso e um dispositivo artificial interno ou externo. Quando utilizadas para prover uma extensão artificial que recupera ou aumenta alguma função do sistema nervoso, são chamadas de próteses neurais. No caso em que são projetadas para serem implantadas no corpo humano, emprega-se a denominação interfaces neurais implantáveis. O estudo e o desenvolvimento desse tipo de sistemas pertencem à disciplina Engenharia Neural ou Neuroengenharia.

A Engenharia Neural é uma área multidisciplinar que trata do uso de ferramentas da engenharia para interagir com o sistema nervoso, desde o registro e processamento de sinais neurais até a restauração e melhora de funções. Esta área de pesquisa tem atraído grande interesse por parte da comunidade científica, fato comprovado pela existência de importantes revistas especializadas, tais como *Journal of Neural Engineering*, *Journal of Neuroengineering and Rehabilitation* e *Journal of Neuroscience Methods*.

Embora exista uma grande variedade de exemplos de aplicação das interfaces neurais implantáveis, reconhecem-se como objetivos principais dessa tecnologia a restauração de funções em pessoas que possuem limitações físicas e o entendimento do funcionamento do sistema nervoso humano (HE, 2013).

As interfaces neurais implantáveis são ferramentas de uma tecnologia mais abrangente conhecida como *Brain-Computer Interfaces* (BCI) (GRAIMANN; ALLISON; PFURTSCHELLER, 2010). As primeiras demonstrações da tecnologia BCI ocorreram na década de 1960. Na primeira, Grey Walter utilizou o eletroencefalograma (EEG) registrado no escalpo de uma pessoa para controlar um projetor de *slides* em 1964 (GRAIMANN; ALLISON; PFURTSCHELLER, 2010). Na segunda, Eberhard Fetz ensinou macacos - que receberam comida como recompensa - a controlar uma agulha de medida, mudando a taxa de disparos de um neurônio do córtex (FETZ, 1969).

Distinguem-se três tipos de interfaces neurais segundo seu fluxo de informação: as interfaces que realizam a leitura de impulsos elétricos do sistema nervoso, conhecidas como sistemas de registro neural (denominadas *Neural Recording Interfaces* nos artigos em inglês); as interfaces que aplicam estímulos ao sistema nervoso e, finalmente, as interfaces que registram e estimulam o sistema nervoso, conhecidas como interfaces neurais bidirecionais. Para qualquer dos três tipos, os propósitos das pesquisas

recentes são a implantação das interfaces e a capacitação de comunicação com dispositivos externos através de canais de comunicação sem fio. A seguir, apresenta-se uma revisão do estado da arte nos três tipos de interfaces.

1.1.1 Interfaces neurais implantáveis que realizam a leitura de sinais neurais

Conhecidas como interfaces de registro neural (nos artigo em inglês são denominadas como *Neural Recording Interfaces*), estes sistemas têm como objetivo medir sinais neurais através de matrizes de microeletrodos e, após alguns tipos de processamento, enviar os resultados a um computador externo.

O registro crônico de sinais neurais através de matrizes de microeletrodos tem se tornado, por um lado, um importante paradigma experimental nos estudos sobre o funcionamento do cérebro. A leitura de sinais neurais extracelulares de vários canais é utilizada, em experimentos de neurociência, para se estudar as redes neurais complexas em animais com liberdade de movimento (RUTISHAUSER; SCHUMAN; MAMELAK, 2006), (SANTHANAM et al., 2007), (SCHWARTZ et al., 2014), (MESTAIS et al., 2015). Por outro lado, experimentos com interfaces cérebro-máquina que utilizam sistemas de registro neural têm provado que é possível antecipar os movimentos dos braços analisando-se registros simultâneos de vários neurônios. Portanto, os sistemas de registro neural são importantes tanto para pesquisas na área de neurociência quanto para o desenvolvimento de neuropróteses motoras.

As interfaces neurais implantáveis que realizam leitura de sinais são utilizadas em duas grandes áreas de pesquisa: o estudo de redes neurais biológicas em animais e o desenvolvimento de neuropróteses motoras.

Geralmente, interfaces que permitem registros de atividade neural possibilitam o controle de algum dispositivo externo por meio de comandos cerebrais. Este é exatamente o caso do controle de braços artificiais que vem obtendo resultados impressionantes. Na figura 1.1, adaptada do artigo (JACKSON, 2012), apresentam-se alguns dos principais fatos que promoveram o desenvolvimento de neuropróteses motoras.

A seguir, apontam-se alguns exemplos notáveis de experimentos envolvendo o uso de neuropróteses motoras em humanos. Nesses experimentos, utilizam-se matrizes de microeletrodos implantados no córtex. Após a amplificação, filtragem e conversão ao domínio digital, os sinais são transmitidos através de cabos que atravessam o crânio até um computador externo.

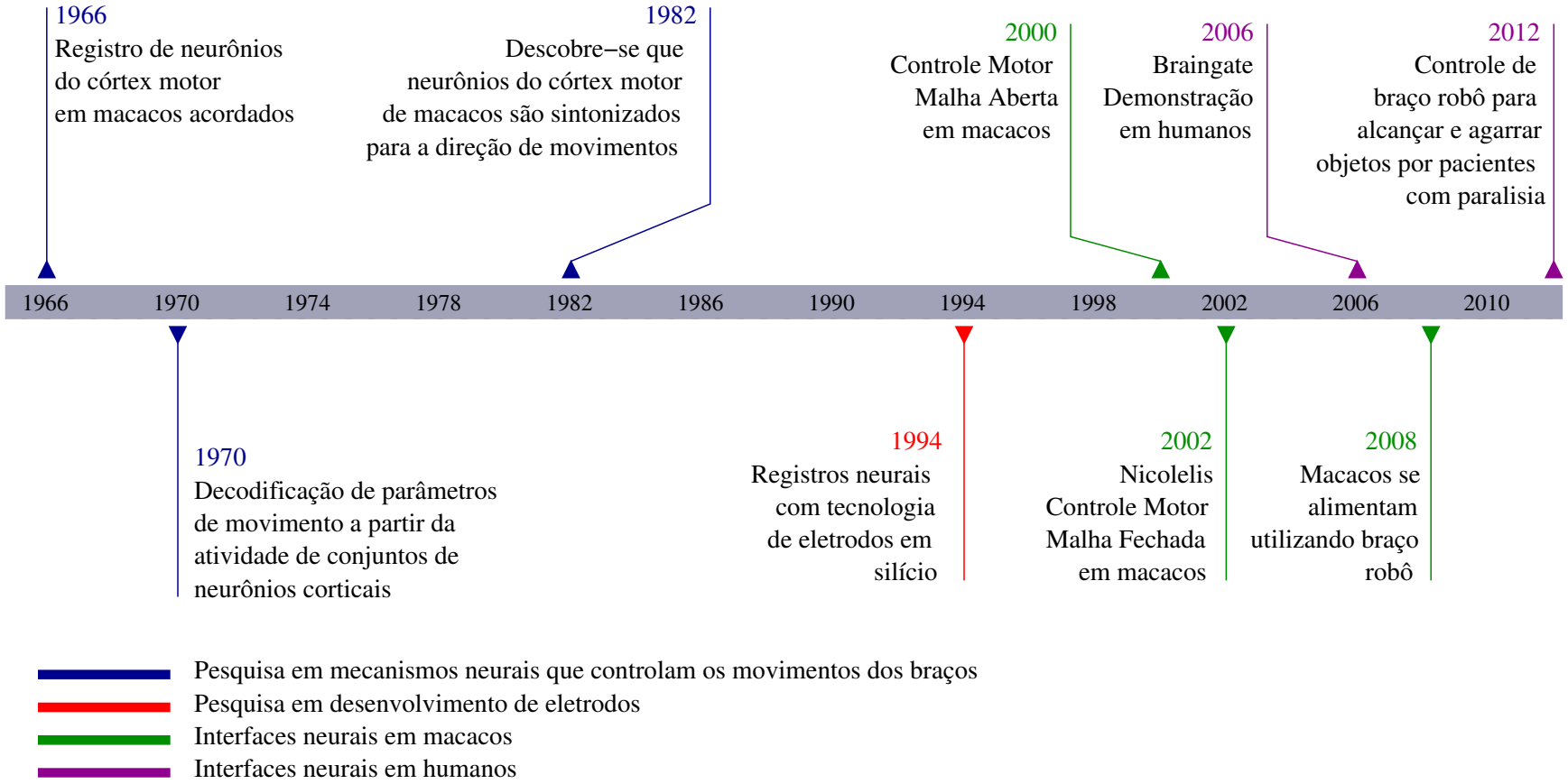


Figura 1.1: Principais fatos no desenvolvimento de neuropróteses motoras. Adaptado de (JACKSON, 2012)

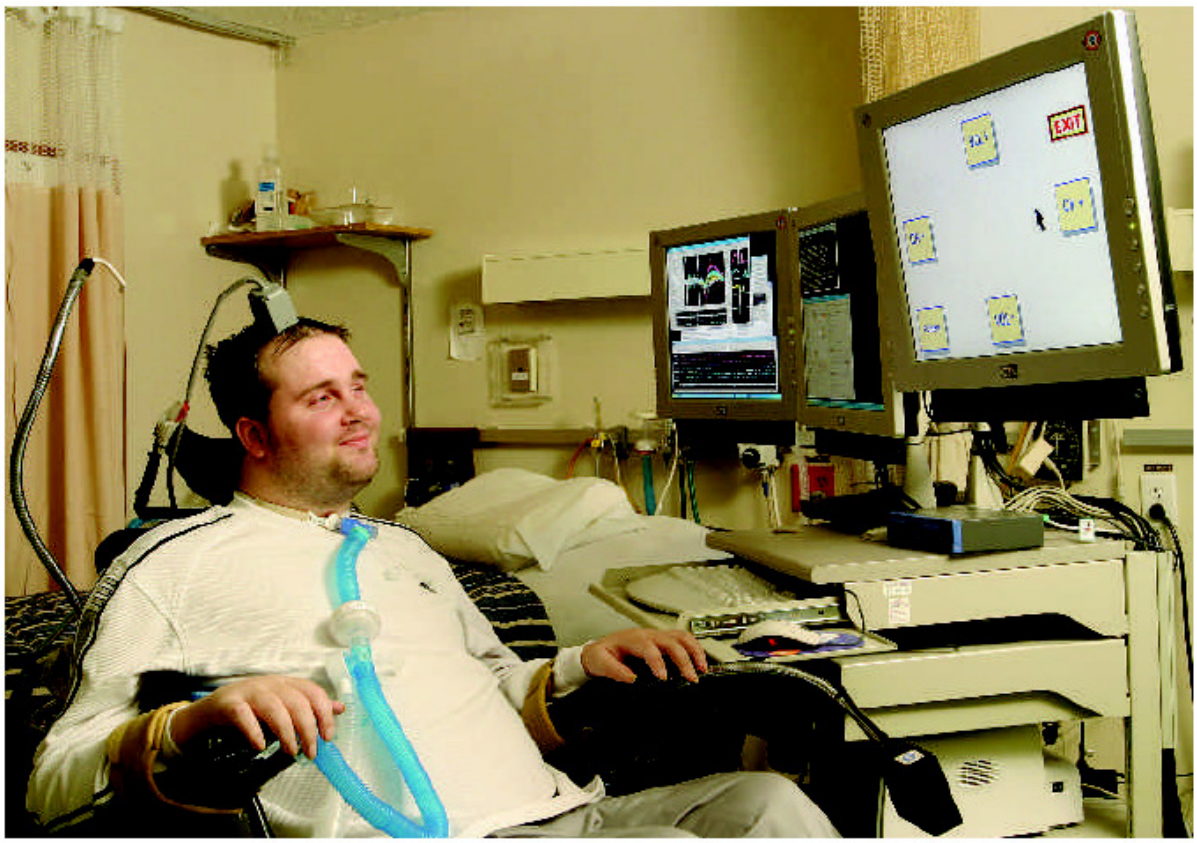


Figura 1.2: Matt Nagle, paciente tetraplégico, controlando o ponteiro do *mouse* através de uma interface implantável de registro neural. Experimento relatado em (HOCHBERG et al., 2006). Figura extraída de (ABBOTT, 2006)

Em 2006, uma equipe constituída por pesquisadores da Universidade de Brown e da empresa *Cyberkinetics Neurotechnology Systems*, liderada pelo professor John Donogue, implantou 96 eletrodos no córtex motor de Matt Nagle, um paciente tetraplégico. Demonstrou-se, através de tal experimento, que o paciente fora capaz de controlar um ponteiro de *mouse* através do pensamento (HOCHBERG et al., 2006).

A matriz de 96 eletrodos foi implantada no córtex motor primário. O paciente tinha sofrido uma lesão na medula espinhal dorsal três anos antes do experimento. Concluiu-se que as intenções de movimento geram padrões de atividade neural que podem ser decodificados para executá-las.

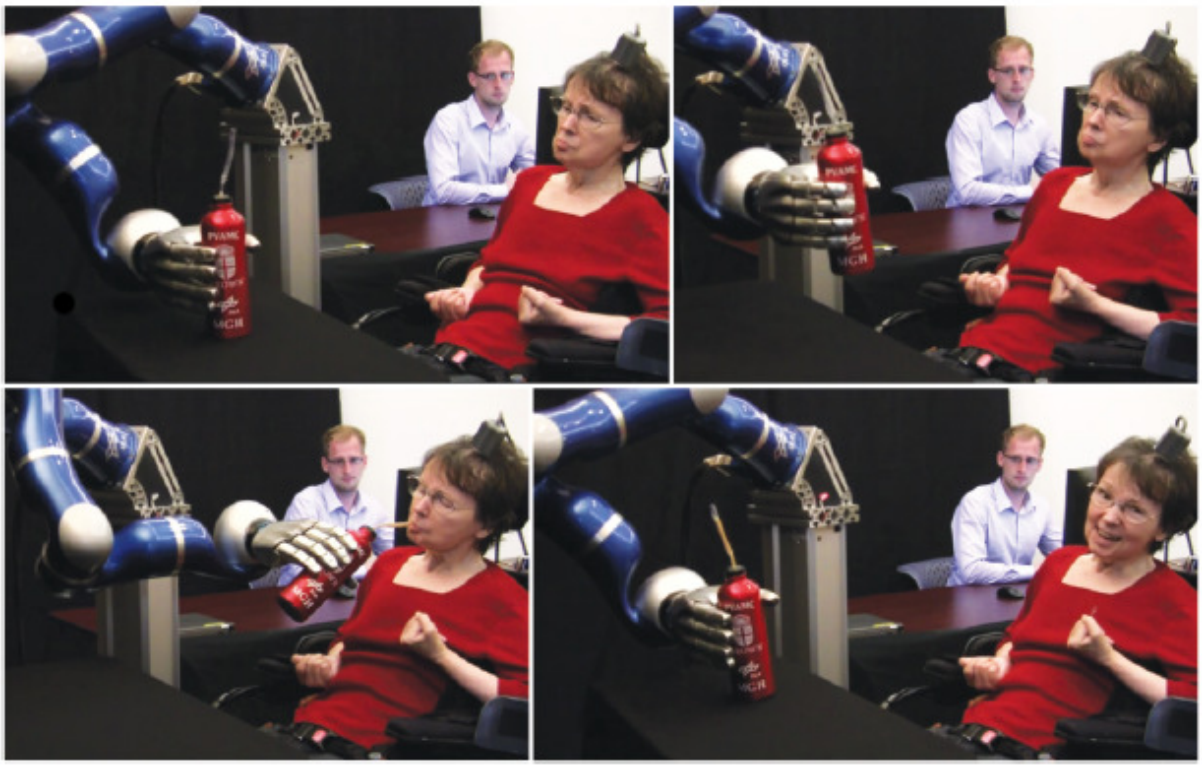


Figura 1.3: Paciente tetraplégica bebendo de uma garrafa de café mediante um braço robô controlado pelos sinais neurais registrados no córtex motor. Imagem extraída de (HOCHBERG et al., 2012)

A equipe do professor Donogue apresentou em 2012 resultados de outro experimento envolvendo seres humanos (HOCHBERG et al., 2012). As pacientes foram mulheres de 58 anos e 66 anos identificadas no artigo como S3 e T2, respectivamente. Ambas tinham sofrido acidente vascular cerebral que, como consequência, resultou em tetraplegia e anartria. O projeto foi denominado BrainGate2 e representou a continuação do BrainGate1, comentado na página anterior.

Os sinais foram coletados mediante uma matriz de microeletrodos de 4mm x 4mm contendo 96 canais. Essa matriz foi implantada na área do córtex motor, identificada como MI, que corresponde aos comandos de movimento das mãos. Os sinais foram transmitidos através de fios que atravessavam o crânio até um computador externo (ver figura 1.3).

As pacientes puderam, inicialmente, realizar controle do ponteiro de um *mouse*. Após 6 anos de uso do implante, elas conseguiram controlar um braço robô.

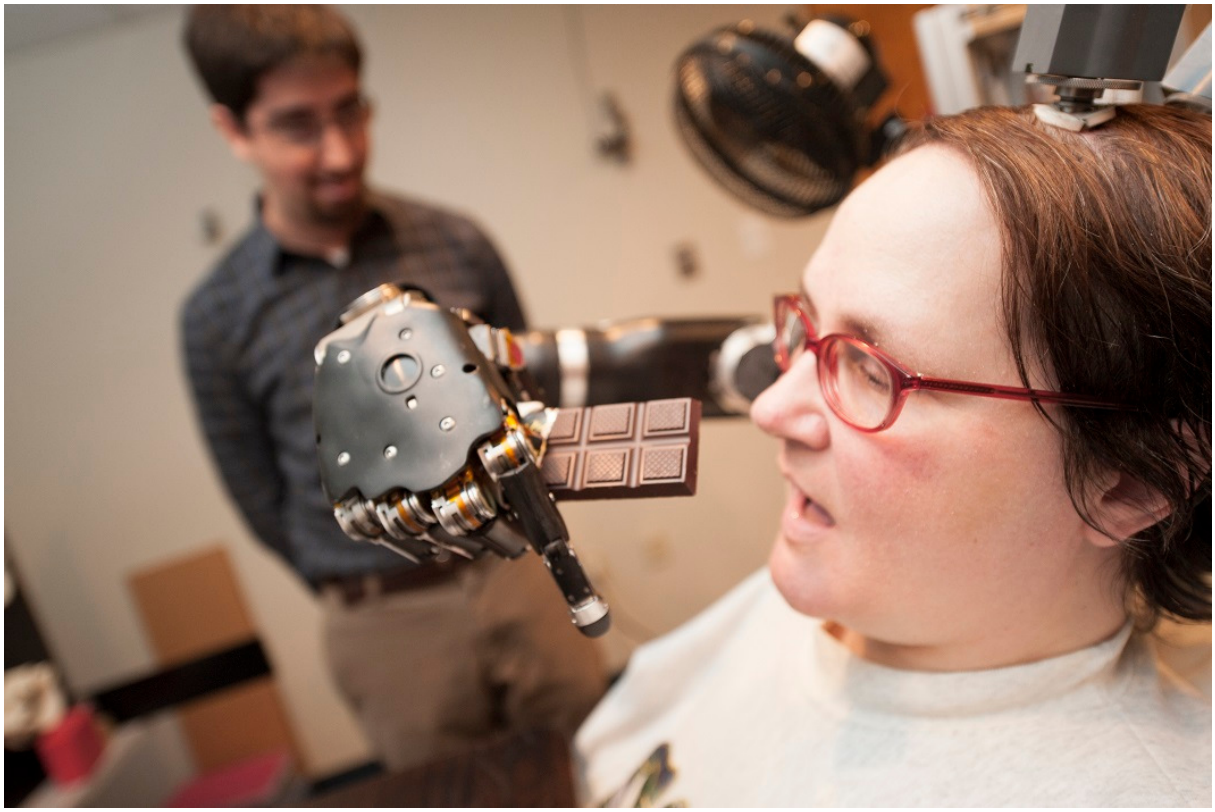


Figura 1.4: Paciente tetraplégica comendo uma barra de chocolate mediante um braço robô controlado pelos sinais neurais registrados no córtex motor. Experimento relatado em (COLLINGER et al., 2013). Imagem extraída do site http://www.slashgear.com

Em 2013 foi publicado um artigo relatando um experimento onde uma mulher tetraplégica conseguiu comer de uma barra de chocolate mediante um braço robô controlado pelos sinais neurais coletados no córtex motor (COLLINGER et al., 2013) (ver figura 1.4).

Em 2013, foi publicado um artigo que relatava um experimento onde uma mulher tetraplégica conseguira comer uma barra de chocolate com o auxílio de um braço robô controlado pelos sinais neurais coletados no córtex motor (COLLINGER et al., 2013) (ver figura 1.4).

Apesar do surpreendente resultado obtido, os cientistas não se conformaram e foram em busca de um objetivo mais ambicioso: o desenvolvimento de interfaces cérebro-máquina que operassem em malha fechada. O elemento que fecharia a malha seria o equivalente artificial do sentido de propriocepção, isto é, a capacidade de determinar a posição relativa dos membros superiores e inferiores sem a necessidade de observá-los. Conceitualmente, a propriocepção artificial pode ser obtida através de sensores que coletam informações sobre pressão, velocidade, aceleração, tempera-

tura, entre outras. Essas informações poderiam ser transmitidas ao sistema nervoso e, portanto, o controle da prótese artificial seria mais preciso. Na prática, porém, a retroalimentação do estado da prótese é muito difícil de ser obtida, como foi discutido em (KWOK, 2013).

Figura 1.5: Participante do experimento realizado pela equipe do professor Richard Andersen. Imagem extraída do site https://www.vis.caltech.edu/media

Um estudo recente realizado por uma equipe liderada pelo professor Richard Andersen do Instituto de Tecnologia da Califórnia (Calltech) revelou progresso, em relação a experiências anteriores, no controle de um braço robô por um indivíduo tetraplégico (AFLALO et al., 2015). A novidade desse experimento é que ao invés de analisar sinais do córtex motor primário - como é feito na maioria dos casos - os eletrodos foram implantados no córtex parietal posterior. Esta área do cérebro, conhecida como PPC (*Posterior Parietal Cortex*), é geralmente relacionada ao planejamento do movimento, enquanto o córtex motor primário está associado à execução do movimento.

Em todos os experimentos que acabamos de apresentar, os sinais registrados no córtex foram transmitidos através de fios que atravessam o crânio até um computador externo. Isso cria, certamente, uma limitação de movimentos ao paciente e promove a aparição de infecções. Atualmente, existe interesse no desenvolvimento de interfaces que não precisem de fios para a transmissão de sinais. Com esse tipo de abordagem, um *chip* ficaria implantado e ligado à matriz de microeletrodos que estaria em contato com o córtex cerebral. Esse conceito está ilustrado na figura 1.6.

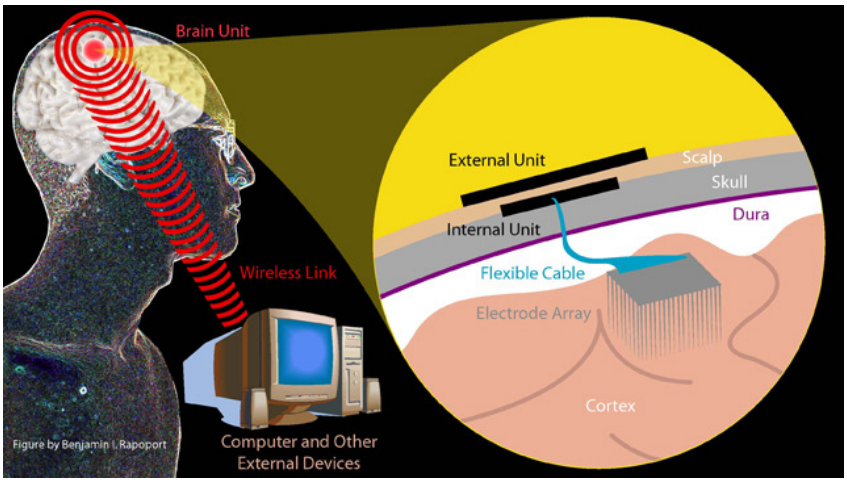


Figura 1.6: Imagem extraída do site do pesquisador Benjamin I. Rapoport (benjaminirapoport.com)

1.1.2 Interfaces que estimulam o sistema nervoso

A ideia de empregar tecnologia para compensar deficiências ou doenças neurológicas é antiga. No entanto, foi o desenvolvimento da microeletrônica que permitiu a concretização de algumas aplicações consideradas bem sucedidas, atualmente. O princípio básico desses sistemas é a manipulação artificial do sistema nervoso biológico, utilizando-se sinais elétricos induzidos externamente, com o objetivo de emular funções sensoriais, motoras ou cognitivas.

A primeira e mais bem sucedida aplicação dessa ideia, de que se tem registro, é o implante coclear que teve início com o trabalho dos cientistas William House e Jack Urban nos anos 1960 (HOUSE; URBAN, 1973). Os modernos implantes cocleares multicanal converteram-se, atualmente, em um método clinicamente aceito para recuperação da audição.

Os implantes visuais apresentam uma complexidade muito maior do que aquela dos implantes cocleares, sobretudo porque requerem mais canais de estimulação. Enquanto os implantes cocleares funcionam adequadamente com 20 canais, os implantes visuais necessitam de centenas a milhares de canais. No âmbito da pesquisa, por exemplo, em 2013 foi anunciada a existência de um implante retinal de 512 canais (MONGE et al., 2013).

Na configuração mais encontrada na literatura de implantes visuais, uma câmera colocada sobre óculos é conectada a um processador de imagens. Como resultado do processamento das imagens, são enviados dados através de uma conexão sem fio para um *chip* implantado dentro do paciente. Este *chip* decodifica os sinais recebidos do processador de imagens e gera pulsos de corrente que são aplicados em eletrodos colocados na superfície da retina.

A companhia *Second Sight*, localizada na Califórnia, produz o implante retinal Argus que visa à melhora da visão em pacientes que sofrem de uma doença hereditária denominada retinite pigmentosa. Em março de 2011, a versão Argus II desse sistema recebeu aprovação para uso clínico e comercial na União Europeia. Em 2013, recebeu autorização da *Food and Drug Administration* (FDA) para uso clínico nos Estados Unidos. O sistema possui 60 canais de estimulação e custa aproximadamente US$ 100.000.

1.1.3 Interfaces neurais bidirecionais

Dentre os exemplos de interfaces neurais bidirecionais, destacam-se os sistemas que permitem tratar a epilepsia. Mediante o registro de sinais neurais, pode-se antecipar a ocorrência de um evento epiléptico, o qual pode ser evitado através da aplicação de estímulos elétricos no sistema nervoso (SALAM; NGUYEN; SAWAN, 2010). Progressos em direção ao desenvolvimento de sistemas com essa dupla capacidade têm sido obtidos no contexto da neurociência experimental (BLUM et al., 2007), (BROWN et al., 2008).

Próteses cognitivas existem somente no âmbito de pesquisa. Um exemplo importante desse tipo de implante neural é o trabalho do professor Theodore Berger da Universidade do Sul da Califórnia (BERGER et al., 2012). O professor Berger e sua equipe desenvolveram uma prótese cognitiva projetada para recuperar a capacidade de formação de memórias de longo prazo, a qual é tipicamente perdida após um dano no hipocampo.

1.1.4 Rumo da pesquisa em interfaces neurais implantáveis

Através da revisão do estado da arte identificaram-se os seguintes interesses que norteiam o rumo da pesquisa em interfaces neurais implantáveis:

- Interesse em aumentar o número de eletrodos. Exemplo: Miguel Nicolelis relatou um experimento utilizando 768 micro eletrodos implantados em um macaco (Revista *Science Translation Medicine*, Novembro de 2013) (IFFT et al., 2013). Em 2014, o próprio Miguel Nicolelis relatou o implante de 1792 eletrodos (SCHWARTZ et al., 2014).

- O aumento do número de eletrodos traz como consequência o aumento na quantidade de informação a ser transmitida. Exemplo: 768 micro eletrodos $\times$ 25K amostras/s $\times$ 10 bits/amostras = 192 Mbits/s.

- Quanto maior a taxa de transmissão torna-se mais difícil o projeto dos tranceptores considerando-se a limitação de dissipação de potência imposta pela integridade dos tecidos neurais: 227 μW/mm^2 (KIM et al., 2007). Exemplo: em Outubro de 2013 Karim Abdelhalim, relatou o projeto de uma interface neural que pode

transmitir até 10 Mbits/s (JSSC).

- Faz-se necessária a inclusão do processamento para redução da quantidade de informação a ser transmitida.

1.2 Objetivos do projeto de doutorado

Na revisão do estado da arte em interfaces neurais implantáveis, comprovou-se a existência de tendência a provê-las de capacidade de comunicação sem fio. Um dos fatores que limita a aplicação dessas interfaces sem fio em seres humanos é a elevada dissipação de potência causada por um requerimento de largura de banda na transmissão de grandes quantidades de informações. Além da dificuldade de se alimentar o circuito implantado a partir de uma unidade externa, existe um limite de dissipação de potência que não deve ser ultrapassado a fim de evitar danos aos tecidos neurais. Verificou-se também que um dos caminhos escolhidos para reduzir a potência dissipada é a adição de tarefas de pré-processamento dentro do circuito implantável. A inclusão desses estágios permite diminuir a taxa de transmissão necessária pela interface de comunicação sem fio e, dessa maneira, reduz-se a dissipação de potência. Os pré-processamentos que apresentam maior impacto na redução de potência são a detecção de impulsos elétricos e a separação de impulsos elétricos (*spike sorting*). Dependendo da aplicação, podem ser suficientes apenas um deles ou ambos.

Dado esse panorama sobre o rumo da pesquisa, escolheu-se, como projeto de doutorado, o desenvolvimento de um sistema pré-processamento de impulsos elétricos neurais (*spikes*) que pode ser integrado dentro de uma interface neural implantável com capacidade de comunicação sem fio. Enunciam-se, a seguir, os objetivos gerais desta tese.

1.2.1 Objetivos Gerais

- Desenvolver um sistema de detecção de impulsos elétricos neurais em tecnologia CMOS a ser integrado em uma interface neural implantável sem fio;
- Desenvolver um sistema de classificação de impulsos elétricos neurais em tecnologia CMOS a ser integrado em uma interface neural implantável sem fio.

Para facilitar a avaliação da relevância científica dos objetivos deste doutorado, elaborou-se a tabela 1.1 onde se encontra uma lista de publicações recentes que demonstram o esforço realizado pela comunidade científica em abordar problemas similares aos tratados nesta tese. É necessário salientar que essa lista é parcial e que a quantidade de artigos relacionados, encontrados na revisão do estado da arte, é muito maior; como se pode verificar na lista de referências bibliográficas no final deste texto.

Os artigos citados nessa tabela correspondem aos seguintes periódicos e congressos:

- IEEE Journal of Solid-State Circuits (JSSC)
- IEEE International Solid-State Circuits Conference (ISSCC)
- IEEE Transactions on Neural Systems and Rehabilitation Engineering (TNSRE)
- IEEE International Symposium on Circuits and Systems (ISCAS)
- IEEE Biomedical Circuits and Systems Conference (BioCAS)

Tabela 1.1: Lista de publicações recentes que abordam os problemas de detecção e separação de impulsos elétricos neurais em interfaces neurais implantáveis

Referência	Periódico/ Congresso	Descrição
(CHAE et al., 2008)	ISSCC	Sistema de registro neural com extração de características e *spike sorting*.
(SODAGAR et al., 2009)	JSSC	Sistema de registro neural com detecção de impulsos elétricos.
(KARKARE; GIBSON; MARKOVIC, 2013)	JSSC	Processador digital que realiza o *Spike Sorting*
(DATTA-CHAUDHURI et al., 2014)	BioCAS	Sistema de detecção de *spikes* baseado no operador não linear de energia (NEO).
(YANG; MASON, 2014)	ISCAS	Sistema de detecção de *spikes* baseado no operador não linear de energia (NEO).
(ZAMANI; DEMOSTHENOUS, 2014)	TNSRE	Sistema de extração de características baseadas nas derivadas discretas do sinal.
(DO; YEO, 2014)	ISCAS	Sistema de detecção de *spikes* baseado no operador não linear de energia (NEO).
(DRAGAS et al., 2015)	TNSRE	Otimização do uso de recursos de *hardware* na implementação do algoritmo de *template matching* aplicado ao *spike sorting*.
(ZEINOLABEDIN et al., 2015)	ISCAS	Sistema híbrido de detecção baseado no operador NEO e no método de aplicação simples de limiar.

1.2.2 Objetivos Específicos

Na subseção anterior, tornou-se claro que o presente trabalho de doutorado aborda os problemas de detecção e separação de impulsos elétricos neurais em interfaces neurais implantáveis sem fio. Na presente subseção, mencionam-se, de maneira mais específica, os caminhos escolhidos para abordar os problemas de processamento de sinais neurais.

No caso da detecção de impulsos elétricos neurais, um dos aspectos do estado da arte é a aplicação de um processamento de pré- ênfase ao sinal neural. Esse processamento tem como propósito enfatizar a diferença entre impulsos elétricos neurais e o ruído de fundo. Como mostra a tabela 1.1, as publicações mais recentes relatam o uso do operador não linear de energia (NEO) como opção para a pré- ênfase do sinal em sistemas de detecção de impulsos elétricos neurais. Isso se deve à simplicidade desse operador que permite idealizar implementações com menos custo de *hardware* e energia. Dado esse panorama, propuseram-se os seguintes objetivos específicos

para o desenvolvimento do sistema de detecção de impulsos elétricos neurais:

- Desenvolver um processador que executa a operação NEO;
- Projetar um comparador que processe a saída do circuito NEO;
- Empregar processamento analógico em modo corrente para simplificar o *hardware* necessário para implementar as operações.

No caso da classificação de impulsos elétricos, estabeleceram-se os seguintes objetivos específicos:

- Desenvolver um classificador de *spikes* baseado no formato dos mesmos;
- Implementar um circuito que calcule a distância de *Manhattan* entre dos conjuntos de amostras;
- Empregar uma estratégia de processamento em modo tempo que permita reduzir a complexidade em termos de *hardware* e consumo de potência.

1.3 Estratégia de avaliação dos sistemas desenvolvidos neste trabalho

A presente tese discute problemas sobre processamento dos sinais neurais. Para avaliar os resultados desses processamentos, é necessário conhecer, a priori, as características dos sinais que são processados. Esse conhecimento prévio das características dos sinais é possível através do emprego de sinais sintéticos (GIBSON; JUDY; MARKOVIĆ, 2008). A fim de entender melhor essa ideia, apresenta-se, a seguir, uma discussão sobre a maneira como foram avaliados os sistemas desenvolvidos neste doutorado.

Para o caso do sistema de detecção de *spikes*, o desempenho pode ser avaliado se conhecermos os instantes em que de fato acontecem *spikes*. Dessa maneira podemos decidir se o instante de ocorrência de um *spike* indicado por nosso sistema corresponde a um *spike* verdadeiro (*true positive*), ou se corresponde a um evento de ruído que foi confundido com *spike* (*false positive*). Já para o caso do sistema de separação de *spikes*, além dos instantes de ocorrência de *spikes* precisamos conhecer a procedência (neurônio gerador) de cada *spike*. Existem varias maneiras de dispor de um sinal neural conhecendo os instantes de ocorrência de *spikes* e a procedência de cada um deles.

No caso do sistema de detecção de *spikes*, o desempenho pode ser avaliado se conhecermos os instantes em que, de fato, eles acontecem. Dessa maneira, podemos decidir se o instante de ocorrência de um spike, indicado por nosso sistema, corresponde a um *spike* verdadeiro (*true positive*), ou se corresponde a um evento de ruído que foi confundido com *spike* (*false positive*). Já para o caso do sistema de separação de *spikes*, além dos instantes de ocorrência, precisamos conhecer a procedência (neurônio gerador) de cada um deles. Existem várias maneiras de dispor de um sinal neural conhecendo os instantes de ocorrência de *spikes* e sua procedência. Uma delas consiste em usar registros intracelulares e extracelulares simultâneos similares aos relatados em (HENZE et al., 2000).

Porém, além da existência de poucos bancos de dados com essas características e do seu difícil acesso, vários pesquisadores concordam que o escopo de avaliação dos sistemas de processamento de sinais neurais através desses bancos de dados seria muito limitado (GIBSON; JUDY; MARKOVIĆ, 2008), (HARRIS et al., 2000), (PARASKEVOPOULOU; BARSAKCIOGLU; SABERI, 2013), (NAVAJAS et al., 2014). Além disso, para

cada par de sinais intracelular/extracelular - apesar do registro de atividades de vários neurônios por um eletrodo extracelular - apenas um deles é confirmado pelo registro intracelular.

Outra maneira de se obter sinais neurais para testes dos sistemas é registrar os sinais extracelularmente e confiar a um especialista a tarefa de identificar os *spikes* por inspeção visual. Neste caso, levar-se-ia muito tempo para gerar um banco de dados suficientemente grande. Por outro lado, existe a desconfiança de alguns pesquisadores sobre a validade desses tipos de sinais para fins de avaliação dos sistemas de processamento de sinais neurais (HARRIS et al., 2000), (WOOD et al., 2004). Por exemplo, o estudo relatado em (HARRIS et al., 2000) mostrou casos nos quais o desempenho de um operador humano foi inferior ao de uma ferramenta semiautomática de classificação.

Por último, existe a possibilidade de utilizar dados sintéticos. Neste caso não há problemas do tamanho do banco de dados a utilizar. Também é possível conhecer exatamente os instantes em que acontecem os *spikes* e a procedência deles. Também é possível introduzir níveis conhecidos de ruído. Por esse motivo, igual que na maioria de trabalhos similares a este, escolheu-se utilizar dados sintéticos para avaliar o desempenho dos sistemas desenvolvidos nesta tese. Algumas simulações foram realizadas com sinais reais só a maneira de ilustração.

Por último, existe a possibilidade de emprego de dados sintéticos. Neste caso, não há problemas de tamanho do banco de dados a ser utilizado. Ademais, é possível conhecer exatamente os instantes em que acontecem os *spikes* e sua procedência e introduzir níveis conhecidos de ruído. Por esse motivo, assim como na maioria dos trabalhos similares a este, recorreu-se aos dados sintéticos para avaliar o desempenho dos sistemas desenvolvidos nesta tese. Algumas simulações foram realizadas com sinais reais apenas como finalidade de ilustração.

1.3.1 Banco de dados escolhido para a avaliação dos sistemas desenvolvidos nesta tese

A seguir, procede-se à apresentação do banco de dados, com descrição de sua estrutura e características, e comentam-se as razões de sua escolha.

Através do estudo do estado da arte, encontraram-se alguns bancos de dados de sinais neurais sintéticos que são recorrentemente utilizados nas pesquisas relacionadas ao processamento de sinais neurais. A tabela 1.2 lista os bancos de dados que foram mais frequentemente encontrados nos artigos revisados.

Tabela 1.2: Lista de bancos de dados de sinais neurais encontrados no estudo do estado da arte

Referência	Tipo	Breve Descrição
(QUIROGA; NADASDY; BEN-SHAUL, 2004)	Sintético	Baseado em *spikes* reais. Ruído gerado a partir da soma randômica de *spikes* reais.
(RUTISHAUSER; SCHUMAN; MAMELAK, 2006)	Sintético	Baseado em *spikes* reais. Ruído gerado a partir da soma randômica de *spikes* reais.

Entre esses bancos de dados, o primeiro (QUIROGA; NADASDY; BEN-SHAUL, 2004) foi encontrado mais vezes nos artigos que tratam de problemas similares aos abordados nesta tese (GIBSON; JUDY; MARKOVIĆ, 2008). Esse banco de dados está disponível junto a uma ferramenta de *spike sorting* denominada Waveclus. Seus sinais foram gerados a partir de um conjunto de 594 *spikes reais*.

É possível gerar novos sinais sintéticos por meio da ferramenta disponibilizada junto a esse banco de dados. Escolhendo-se o número de neurônios, a taxa de disparos e o desvio padrão do ruído; a ferramenta gera uma forma de onda com os *spikes* escolhidos, colocados randomicamente no tempo, e respeitando-se um período refratário e a taxa de disparos. O ruído é gerado mediante uma escolha aleatória de *spikes* (do conjunto de 594 spikes disponíveis). Essa maneira de gerar ruído é mais biologicamente plausível do que a simples inclusão de ruído branco Gausiano.

1.4 Estrutura da tese

A seguir detalha-se a estrutura da tese através de uma descrição do conteúdo de cada capítulo.

Capítulo 2:

- Explicação do funcionamento interno de uma interface neural implantável. Exemplos de sistemas desse tipo relatados na literatura estudada;
- Explicação do funcionamento de um amplificador neural e principais desafios: redução do consumo de potência, redução do ruído gerado pelos dispositivos, eliminação do *offset* introduzido pelos eletrodos. Soluções encontradas na literatura;
- Descrição das arquiteturas mais utilizadas nas interfaces neurais implantáveis. Características requeridas pela aplicação e resultados relatados nos artigos estudados: número de bits, frequência de amostragem, consumo de potência, área ocupada, tensão de alimentação;
- Exemplos de sistemas implantáveis onde, além de se fazerem a leitura e condicionamento dos sinais, realiza-se algum processamento antes de transmitir os resultados através da comunicação sem fio;
- Revisão teórica do funcionamento de um acoplamento indutivo. Considerações para o projeto de um enlace indutivo de uma interface neural implantável. Transmissão de informação através do acoplamento indutivo.

Capítulo 3:

- Revisão teórica sobre o processamento de detecção de impulsos elétricos neurais;
- Revisão do estado da arte em métodos de detecção empregados em circuitos integrados implantáveis;
- Revisão do estado da arte em métodos para seleção do limiar de comparação;
- Explicação da necessidade do estágio de pré-ênfase e revisão do estado da arte;

- Revisão teórica sobre o operador não linear de energia (NEO) também chamado de operador Teager;
- Explicação da importância do *spike sorting* nos contextos de BCI e neuropróteses motoras.

Capítulo 4

- Explicar como se obtém a expressão do NEO utilizando como operador básico um elevador ao quadrado;
- Mencionar a vantagem, em termos de implementação em *hardware*, de trabalhar com o valor absoluto das amostras analógicas. Mostrar as simulações, feitas em Matlab, das aplicações do operador NEO ao sinal original e ao valor absoluto do sinal;
- Explicar o funcionamento do circuito conversor tensão-corrente projetado;
- Projeto e análise do circuito elevador ao quadrado;
- Projeto e análise do circuito que realiza a operação NEO;
- Simulações com os sinais do banco de dados selecionado;
- Análise dos resultados de simulação e discussão final sobre o sistema projetado.

Capítulo 5

- Adaptação da estratégia apresentada em 2013 por Sara Gibson (KARKARE; GIBSON; MARKOVIC, 2013) a um esquema baseado em atrasos entre pulsos digitais;
- Explicação da estratégia proposta para colocar numa mesma janela de tempo os pulsos digitais representantes das amostras analógicas;
- Explicação do funcionamento do circuito conversor tensão-tempo. Justificativa da escolha da topologia do circuito;
- Explicação da estratégia proposta para o cômputo da distância de Manhattan baseada no uso de atrasos entre pulsos digitais. Apresentação de simulações mostrando o desempenho;
- Simulações com os sinais do banco de dados selecionado;
- Análise dos resultados de simulação e discussão final sobre o sistema projetado.

2 Sistemas implantáveis de leitura, processamento e transmissão sem fio de sinais neurais extracelulares: descrição e o estado da arte

Uma das conclusões do capítulo 1 foi que há interesse em dispensar o uso de cabos que atravessam o crânio. Neste capítulo veremos vários exemplos de tentativas de eliminar esses cabos através do desenvolvimento de interfaces neurais implantáveis sem fio. A motivação para esse interesse é tanto na área de desenvolvimento de proteses motoras quanto na área de estudo de redes neurais biológica em animais. Além de fornecer comforto e liberdade de movimento aos pacientes, os sistemas sem fios reduzem o risco de infeções. Para o caso de estudos em animais é interessante para os pesquisadores registrar os sinais neurais enquanto o animal se movimenta livremente no seu ambiente natural (SANTHANAM et al., 2007).

Este capítulo aborda os sistemas implantáveis que realizam o registro de sinais neurais extracelulares mediante eletrodos implantados no cérebro, processam tais sinais e transmitem através de um canal de comunicação sem fio informação relevante para aplicações de BCI ou de neuropróteses motoras. O capítulo inicia com uma revisão de sistemas desse tipo encontrados nos artigos estudados. Posteriormente, descrevem-se com detalhe as diversas partes que compõem esses sistemas e se expõem exemplos de implementações.

Na figura 2.1 representa-se de maneira simplificada um canal de leitura, processamento e transmissão de sinais neurais extracelulares. O sinal medido pelo eletrodo implantado passa por um estágio de condicionamento que consiste na amplificação e filtragem no domínio da frequência. Posteriormente o sinal é convertido ao domínio

digital para ser processado. Finalmente o sinal é modulado e transmitido através do canal de comunicação sem fio.

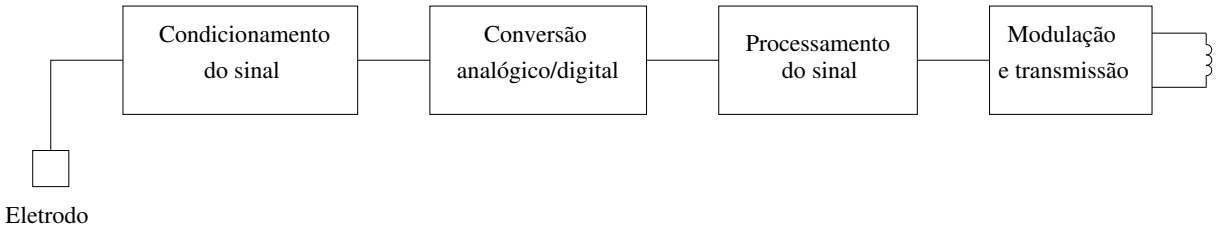


Figura 2.1: Representação simplificada de um canal de leitura, processamento e transmissão de sinais neurais extracelulares

Na maioria dos casos as interfaces neurais implantáveis registram sinais não apenas de um eletrodo mas de vários deles. Então, para cada eletrodo precisaria-se de um canal como o representado na figura 2.1, porém alguns do componentes mostrados nesse diagrama simplificado podem ser compartilhados por vários canais. Na figura 2.2 representa-se um sistema multi-canal onde alguns componentes são compartilhados.

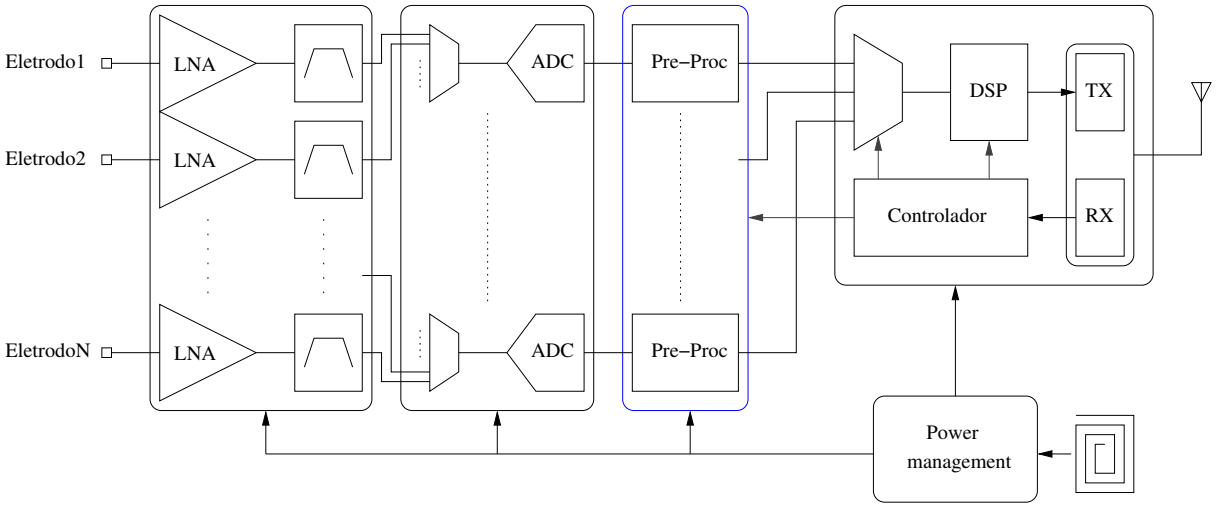


Figura 2.2: Diagrama de blocos de uma interface neural implantável multi-canal

Como se observa na figura 2.2 um único conversor analógico-digital (ADC) pode ser compartilhado por vários canais através de um multiplexador analógico (MUX). Quanto maior o número de canais que compartilham um ADC menor a área. Porém, ao aumentar o número de canais por ADC aumenta a capacitância de saída do multiplexador e com isso aumenta a corrente necessária para estabelecer o sinal no nó de saída do MUX. Essa corrente é fornecida por um buffer prévio ao MUX. Por tanto existe um compromiso entre área e consumo de potência ao escolher o número de canais que compartilham um único ADC. Ao aumentar o número de canais por ADC

também aumenta a frequência de operação de ADC o que aumento o consumo de potência. Um estudo analítico apresentado em (CHAE; LIU; SIVAPRAKASAM, 2008) levou à conclusão que ó número de canais por ADC que minimiza o produto área $\times$ consumo é 16. Vário trabalhos tem adotado esse número com referênica para a implementação de sistemas implantáveis (CHAE et al., 2009), (TAO; RUSU, 2015).

2.1 Sistemas implantáveis de registro neural sem fio - o estado da arte

Atualmente existem vários grupos de pesquisa que tem desenvolvido protótipos de sistemas implantáveis de registro neural sem fio. A seguir apresenta-se uma série de protótipos que tem sido testados em animais. O objetivo da maioria desses grupos de pesquisa é desenvolver o sistema de maneira que possa ser implantado em um ser humano. Até a data de apresentação de este documento o autor não encontrou registros de aplicações de interfaces implantáveis sem fio em seres humanos. Nos exemplos que serão vistos nesta seção analisaremos cuidadosamente os detalhes da avaliação experimental dos sistemas.

Em 1998, pesquisadores da Universidade de Michigan, Ann Arbor, publicaram no *Journal of Solid-State Circuits* um artigo relatando o desenvolvimento de um sistema de registro neural *wireless* (AKIN; NAJAFI; BRADLEY, 1998). O sistema foi projetado para registrar sinais de axônios do sistema nervoso periférico através eletrodos específicos conhecidos como *Sieve Electrodes*. Sinais de 32 pontos de registro são pré-condicionados mediante amplificadores que possuem faixa linear de entrada de $\pm 500\mu$V e largura de banda entre 100 Hz e 3.1 KHz. Dos 32 sinais, 2 podem ser selecionados, multiplexados no domínio temporal e aplicados a um conversor analógico digital de 8 bits que consome menos de 2 mW. O diagrama de blocos é apresentado na figura 2.3. O consumo total é de 90 mW dos quais 80 mW correspondem à interface RF.

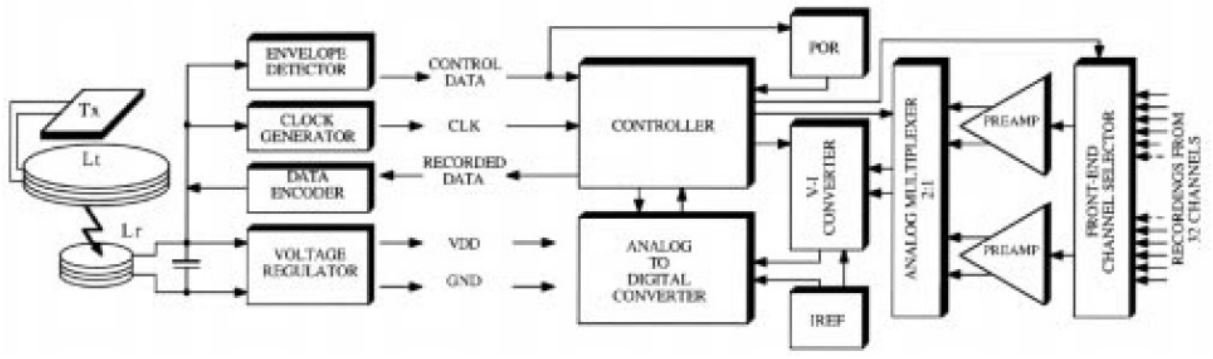


Figura 2.3: Diagrama de blocos do sistema apresentado em (AKIN; NAJAFI; BRADLEY, 1998). Figura extraída do artigo (AKIN; NAJAFI; BRADLEY, 1998).

Um dos grupos que vem trabalhando em versões sem fio de interfaces neurais implantáveis é o Grupo de Microsistemas Integrados Sem Fio da Universidade de Michigan, liderado pelo professor Kensall Wise. Antes de trabalhar em versões sem fio dos protótipos desenvolveram vários circuitos necessários numa interface neural. Um trabalho desse grupo que é muito referenciado na literatura sobre implantes neurais é o apresentado em (OLSSON-III; WISE, 2005). Trata-se de um sistema composto por 4 conjuntos de eletrodos e um ASIC (*Application Specific Integrated Circuit*) para compressão de dados. Cada um dos 4 conjuntos é denominado *Active Neural Probe* ou sonda neural ativa. Em cada da sonda existem 64 pontos de medição integrados num mesmo substrato junto com circuitos que permitem a amplificação, filtragem é multiplexão dos sinais analógicos. A figura 2.4, que foi extraída do artigo (OLSSON-III; WISE, 2005), ilustra uma dessas quatro sondas ativas.

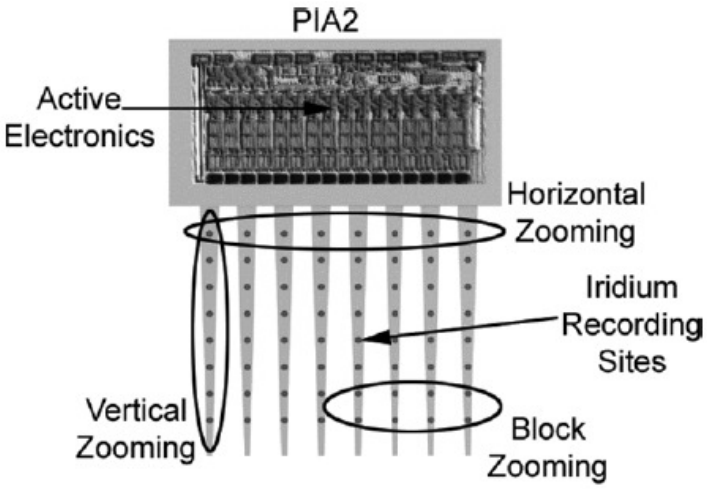


Figura 2.4: Sonda ativa utilizada no sistema de Olsson e Wise. Imagem extraída de (OLSSON-III; WISE, 2005)

As saídas das sondas ativas comtém sinais analógicos de 8 canais multiplexados no tempo. Os 8 canais são escolhidos entre os 64 disponíveis através de outros multiplexadores analógicos. Esas saídas são enviadas ao ASIC de compressão de dados, como mostrado no diagrama do sistema mostrado na figura 2.5.

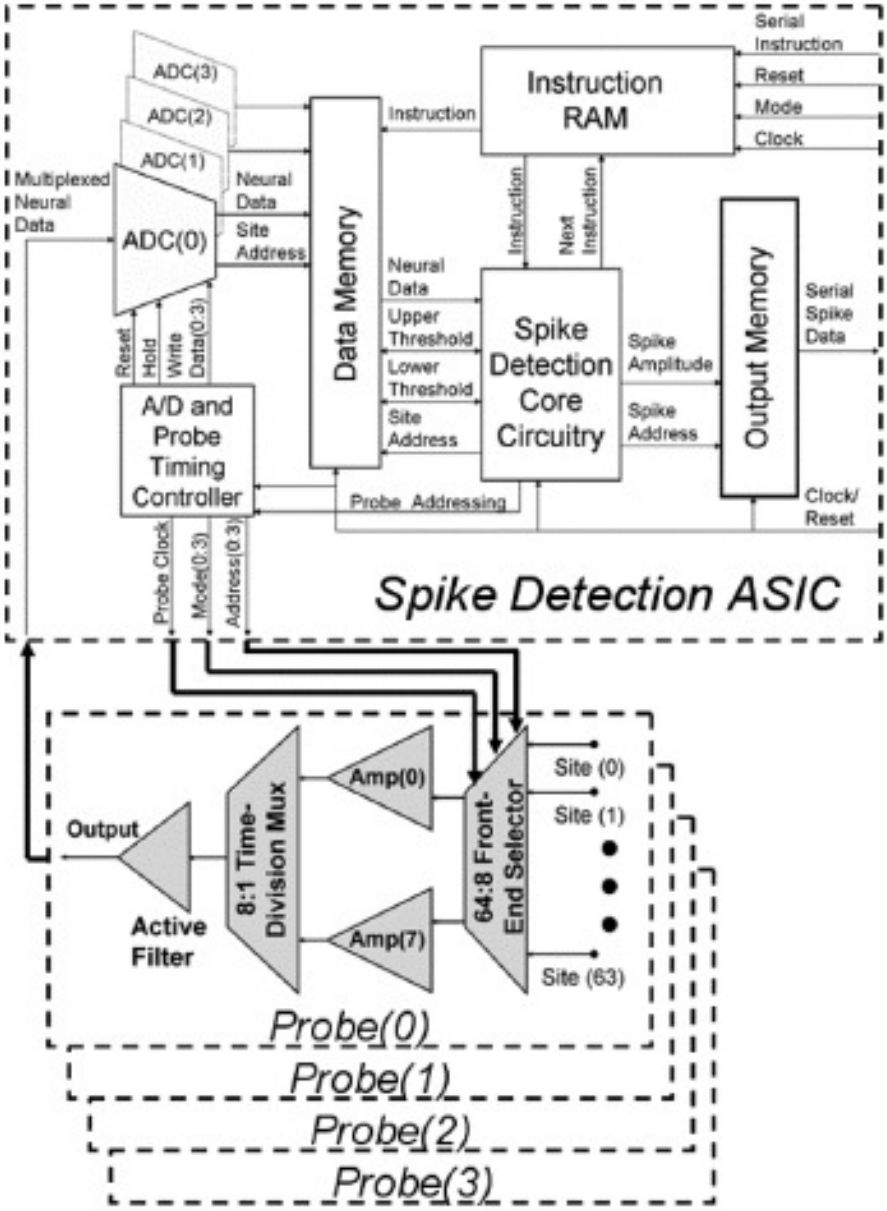


Figura 2.5: Diagrama de blocos do sistema apresentado em (OLSSON-III; WISE, 2005). Imagem extraída de (OLSSON-III; WISE, 2005).

É interessante que a estratégia de compressão utilizada por este sistema, a detecção de *spikes*, continua sendo hoje uma alternativa importante. Como mencionado anteriormente este sistema é um dos mais referênciados na literatura (ademais, o trabalho foi publicado num dos periódicos mais importantes na área da microelectrónica: *Journal of Solid States Circuits*).

Um dos primeiros protótipos sem fio deste grupo foi exposto na IEEE *Solid-State Sensors, Actuators and Mycrosystems Conference* em Junho de 2007 (SODAGAR et al., 2007). Na figura 2.6 observa-se o diagrama de blocos desse sistema junto com os periféricos que o complementam. O sistema está composto por 7 *chips*: 4 de amplificadores e multiplexadores, 2 processadores de sinais neurais e 1 de telemetria bidirecional.

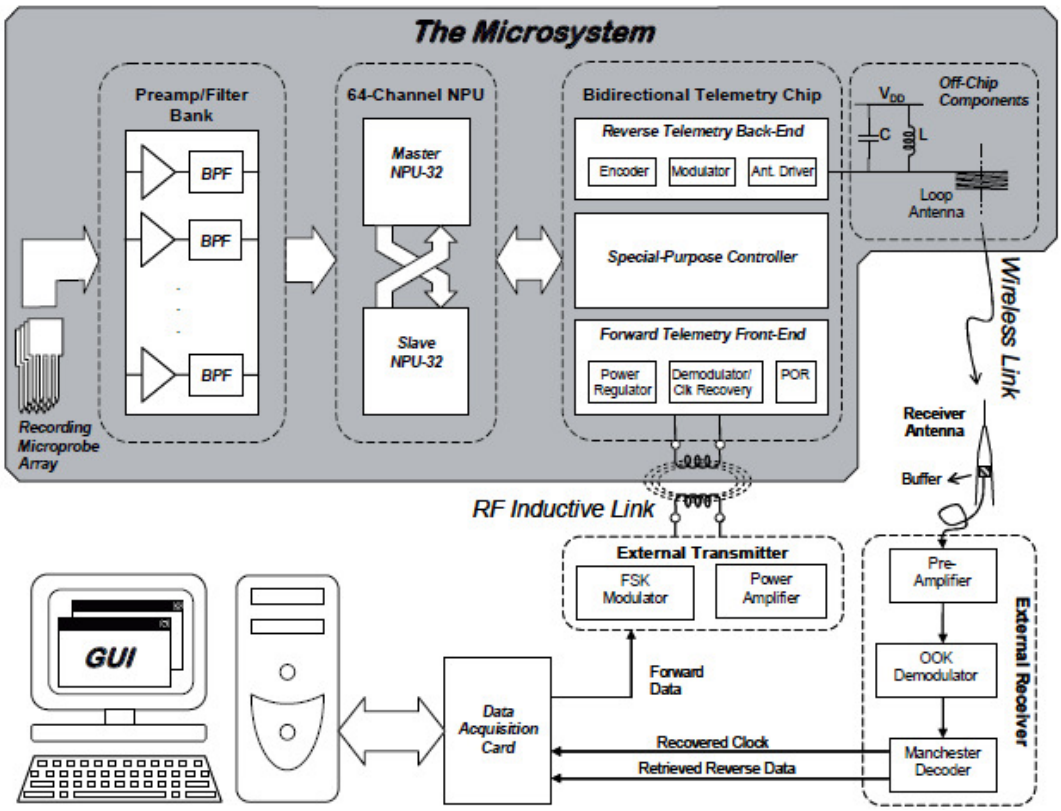


Figura 2.6: Diagrama de blocos internos e periféricos externos do sistema apresentado em junho 2007 pelo *Center for Wireless Integrated MicroSystems (WIMS)* da universidade de Michigan. Imagem extraída de (SODAGAR et al., 2007). NPU (*Neural Processor Unit*), BPF (*Band Pass Filter*) e POR(*Power On Reset*).

Esse sistema processa sinais de 64 eletrodos e possui duas interfaces sem fio, uma para recepção de comandos de configuração (*RF Inductive Link*) e outra para transmissão dos sinais neurais registrados (*Wireless Link*). O sistema contém um detector de *spikes* e comunica através do canal *Wireless* a ocorrência do *spike* e um identificador do canal que o registrou. Também existe a opção de selecionar um eletrodo, digitalizar o sinal medido em 8 bits e transmitir o resultado. Na modalidade de registro continuo do sinal de um eletrodo o sistema consome 14.4 mW sendo 62.5 KSamples/s a taxa de amostragem e 2 Mbps a taxa de transmissão. A capacidade de comunicação sem fio do sistema foi verificada mediante um monitoramento durante

30 dias dos sinais medidos por dois eletrodos implantado no córtex auditivo de dois porcos. É importante salientar que apenas os eletrodos foram implantados, pois o *chip* ficou numa placa de circuito impresso localizada na parte externa do escalpo.

O processador neural (NPU) tinha sido apresentado previamente no IEEE *Biomedical Circuits And Systems Conference* de 2006 (SODAGAR; WISE; NAJAFI, 2006).

Na maioria de sistemas divulgados até 2007 pode-se transmitir simultâneamente de maneira inalámbrica os sinais de apenas um subconjunto dos canais disponíveis. Por exemplo no sistema de (SODAGAR; WISE; NAJAFI, 2006) mesmo tendo disponíveis 64 canais de registro é possível transmitir simultâneamente todas as amostras coletadas de apenas um eletrododo. Esse panorama começou a mudar a partir de 2008 quando por exemplo a equipe do professor Wentai Liu da Universidade de California Santa Cruz desenvolveu um sistema de 128 canais capaz de transmitir simultâneamente as amostras de todos os canais, para o qual a interface *wireless* precisou ter uma capacidade de tansmissão de 90 Mbs (CHAE et al., 2008), (CHAE et al., 2009). O diagrama de blocos de esse sitema está representado na figura 2.7 que fue extraída do artigo (CHAE et al., 2009).

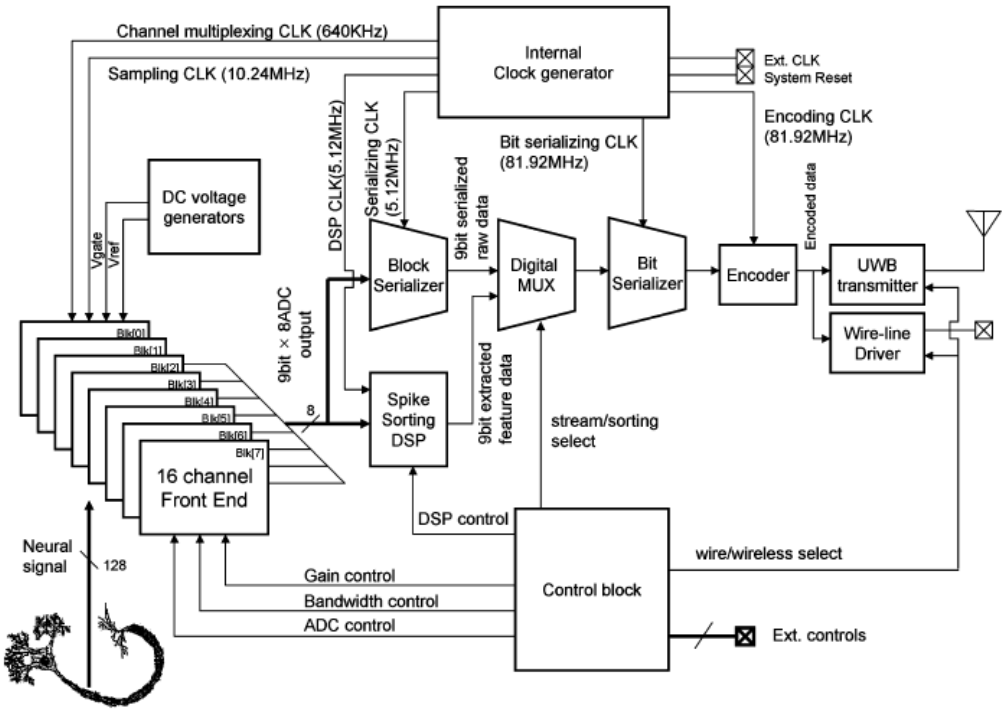


Figura 2.7: Diagrama de blocos do sistema desenvolvido pela equipe do professor Wentai Liu da Universidade de California Santa Cruz. Imagem extraída do artigo (CHAE et al., 2009)

O consumo total desse sistema é 6 mW sendo que o transmissor consome 1.6 mW. Uma estratégia para redução do consumo de potências utilizada neste sistema é a ativação sequencial de circuitos. Como as amostras são multiplexadas temporalmente não é necessário manter ativados todos os circuitos de todos os canais. Para atingir uma taxa de transmissão necessária para enviar sinais dos 128 canais o sistema possui um transmissor baseado em IR UWB (*Impulse Radio Ultra Wide Band*).

Esse sistema possui um detector de impulsos elétricos baseado no operador não linear de energia NEO e extrai características dos impulsos elétricos detectados. As três características escolhidas pelos desenvolvedores desse sistema são a amplitude máxima do *spike*, o valor mínimo da primeira derivada no intervalo do *spike* e o valor máximo dessa derivada.

Nota-se claramente que com o passar dos anos as características dos sistemas publicados nas conferências e periódicos vão melhorando em termos de quantidade de canais e consumo de potência.

Em Outubro 2013, no IEEE *Transactions on Circuits and Systems-I: Regular Papers* foi publicado um artigo que mostra o desenvolvimento de um sistema de 100 canais que consume 1.16 mW (ZOU et al., 2013). Na figura 2.8 ilustram-se os componentes implantáveis desse sistema. O circuito integrado IC1 realiza o condicionamento dos sinais (amplificação, filtragem no domínio da frequência e conversão analógico-digital), o circuito integrado IC2 realiza o processamento, modulação e transmissão dos sinais, a bobina (*Coil*) é usada para receber energia através de acoplamento indutivo e finalmente a antena é utilizada para a transferência de dados via comunicação RF. Essa divisão entre condicionamento dos sinais e processamento é similar à encontrada no trabalho de Olsson e Wise (OLSSON-III; WISE, 2005) que foi discutido anteriormente, e também se encontra em vários outros trabalhos estudados na literatura. Uma diferença entre o trabalho de Zou e o trabalho de Olsson é que no primeiro caos o condicionamente inclui também a conversão ao domínio digital. O número efetivo de bits (ENOB) é 8.5, similar a outro trabalhos. No trabalho de Olsson o conversor era um componente interno do ASIC de processamento.

A faixa de frequência do filtro pode ser configurada para poder registrar *spikes* ou para registrar atividade elétrica coletiva de baixa frequência (*Field Potentials*). Foram realizados experimentos em ratos inconscientes.

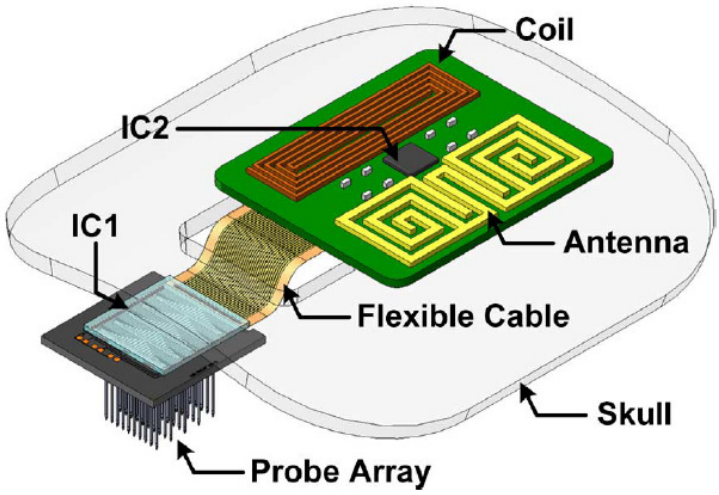


Figura 2.8: Ilustração do sistema apresentado em (ZOU et al., 2013). Imagem extraída do artigo (ZOU et al., 2013).

A figura 2.9 mostra o diagrama de blocos desse sistema. Notam-se algumas características em comum com outros sistemas discutidos neste capítulo como o compartilhamento de um conversor analógico-digital entre vários canais. Como mencionado anteriormente a carga no nó de saída do multiplexador debido às difusões dos transistores das chaves impõe restrições nos buffers que estão antes do multiplexador.

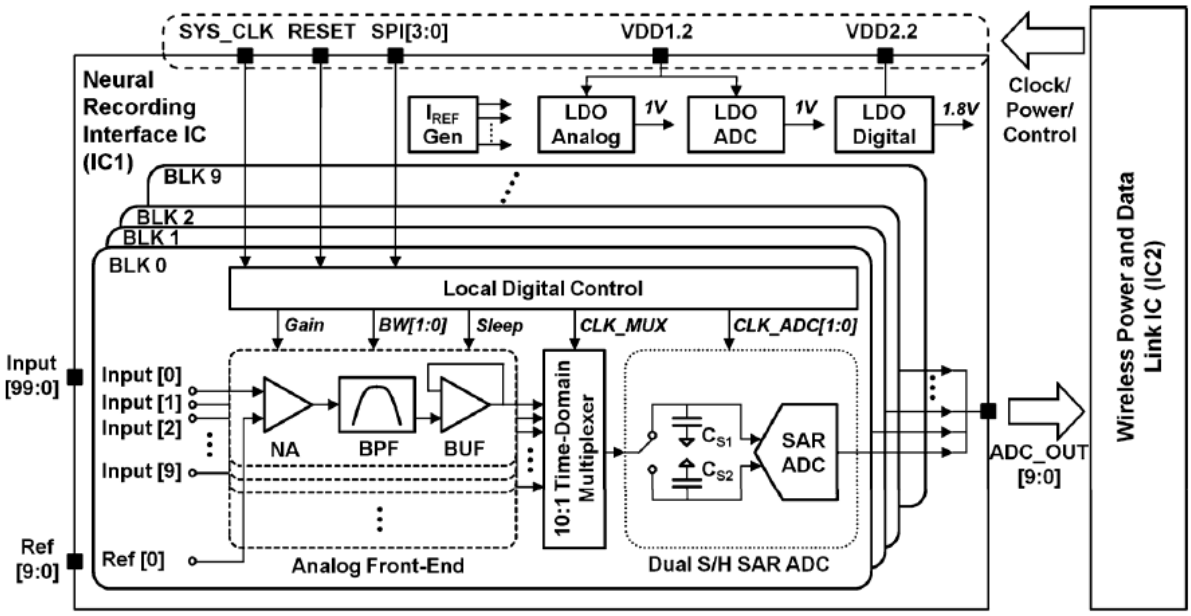


Figura 2.9: Diagrama de blocos do sistema apresentado em (ZOU et al., 2013). Imagem extraída do artigo (ZOU et al., 2013).

Em 2014 a equipe liderada pelo professor Jan Rabaey publicou artigo (MULLER et al., 2014) na ISSCC (*International Solid-State Circuits Conference*), uma das conferências mais importantes na área da microeletrônica. Ao contrário dos trabalhos anteriormente discutidos, este aborda o registro de sinais na superfície do cérebro que é conhecido como *Electrocorticography* ou ECoG. Os autores apontam como desvantagem do registro com microelectrodos implantados que penetram o cortex que a cicatrização produzida muda a qualidade dos sinais com o passo do tempo. Esse mesmo argumento é encontrado na análise de Gerwin Schalk apresentada em (SCHALK, 2010).

Na figura 2.10 ilústra-se o sistema. Um total de 64 eletrodos podem ser monitorados consumindo apenas 225 μW. Notam-se como características novidosas em relação aos trabalhos previamente discutidos o uso da técnica *chopper* para eliminação de *offset* e da técnica de modulação de carga tipo *Backscattering* para transmissão sem fio de dados.

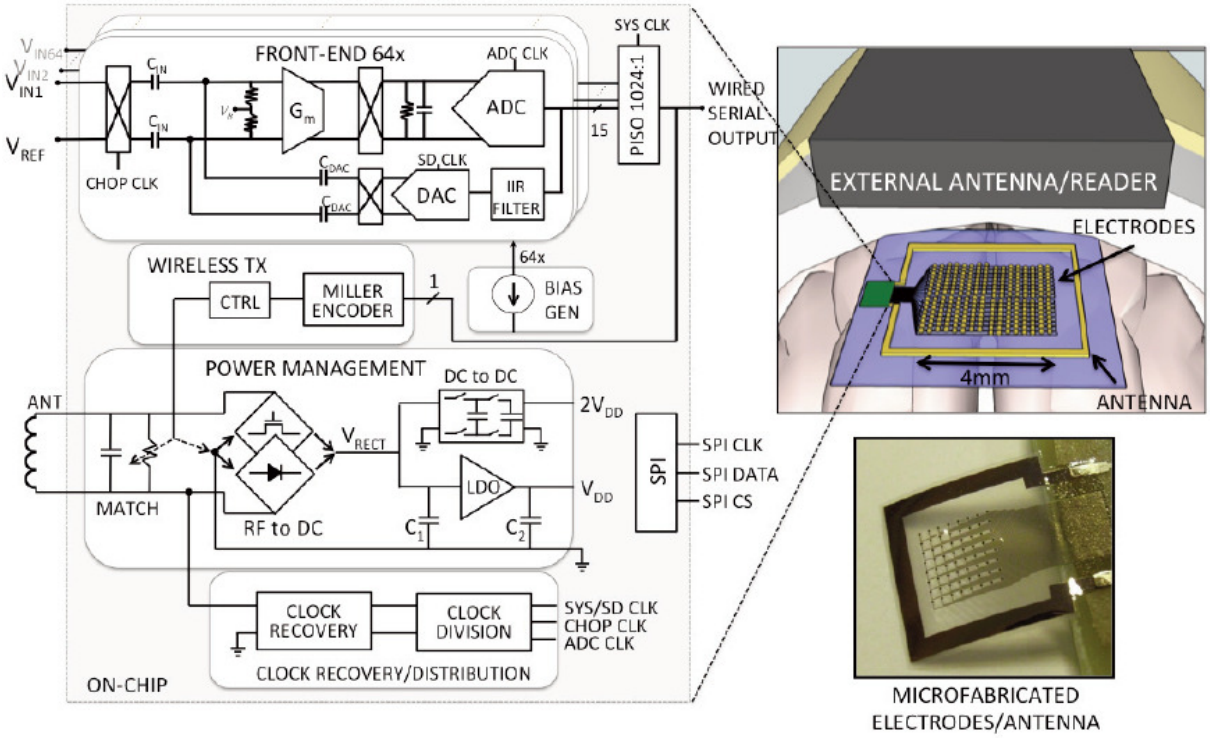


Figura 2.10: Digrama de blocos e ilustração do sistema apresentado em (MULLER et al., 2014). Imagem extraída do artigo (MULLER et al., 2014).

2.2 Amplificação de sinais neurais extracelulares

Os sinais registrados com eletrodos implantados no córtex cerebral contém dois tipos de informação. O primeiro é relacionada à atividade elétrica de neurônios individuas e se evidencia pela presença de *spikes* os quais revelam a ocorrência de potenciais de ação. Esses spikes possuem uma duração que varia aproximadamente entre 300μs a 1ms (GAO et al., 2012). A segundo tipo de informação corresponde a atividade promédio de vários neurônios relativamente afastados do ponto de registro e que disparam potenciais de ação de maneira mais o menos síncrona. Esse segundo caso é manifestado através da presença de um onda de baixa frequência(1Hz a 200Hz) (GAO et al., 2012).

Na maioria de aplicações de estudo de redes neurais biológicas em animais e de desenvolvimento de neuropróteses motoras, a informação empregada é a relacionada ao disparo de neurônios individuais. Os *spike* detectados extracelularmente possuem componentes de frequência na faixa de 100Hz a 10kHz e amplitudes que variam na faixa de 50μV a 500μV sendo 100μV o valor típico (MOHSENO; NAJAFI, 2004). Devido às suas pequenas amplitudes, esses sinais precisam ser amplificados no estágio inicial dos sistemas de registro neural. Esse fato foi verificado na seção anterior onde foram apresentados vários exemplos sistemas implantáveis de registro neural.

Um dos principais problemas relacionados ao projeto de amplificadores de sinais neurais extracelulares é a diferença de potencial DC que se estabelece na interface entre o eletrodo e o eletrolito. Esse potencial eletroquímico depende da concentração iônica ao redor da superfície do eletrodo e por tanto não pode ser conhecida a priori. Essa diferença de potencial pode chegar a valores na ordem de 50mV (WISE; ANGELL, 1975). Esse nivel DC deve ser filtrado estabelecendo uma frequência de cortem menor a 100Hz para o caso de sinais neurais extracelulares, o qual requer uma constante de tempo elevada considerando as limitações de espaço em sistemas implantáveis o portáteis. Diversas estratégias tem sido adotadas ao longo dos anos pelos pesquisadores de amplificadores neurais para a eliminação dessa componente DC conhecida como *offset* de eletrodo. A necessidade de constantes de tempo elevadas implica a utilização de condensadores o resistores de valores elevados que se traduz em um consumo elevado de área.

Um dos primeiros trabalhos nesta área propôs o uso de um diodo reversamente polarizado para gerar uma resistência elevada que permitisse a implementação da

constante de tempo necessária para eliminar o *offset* de eletrodo sem atenuar o sinal de interesse (NAJAFI; WISE, 1985).

Recentemente foi apontado um problema relacionado à diferença de impedâncias entrada dos amplificadores neurais (NG; XU, 2015). Em sistemas multi-eletrodo, um dos eletrodos é utilizado para fornecer um sinal de referência comum para todos os amplificadores. Como observado na figura 2.11, a capacitância vista por este eletrodo é muito menor que a vista pelos outros. Isso traz como consequência uma degradação da capacidade do sistema de rejeitar sinais de modo comum.

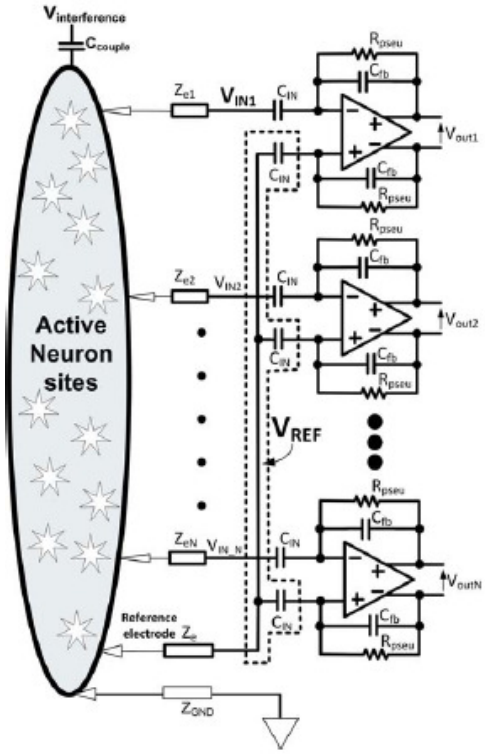


Figura 2.11: Ilustração de um sistema multi-eletrodo de medida de sinais neurais extracelulares. Imagem extraída de (NG; XU, 2015).

2.3 Conversores analógico-digital de sinais neurais extracelulares

O ruído gerado nos eletrodos é considerado para determinar a resolução do ADC de maneira a prevenir um sobre-projeto (*over-design*) (CHAE; LIU; SIVAPRAKASAM, 2008).

Tabela 2.1: Conversores analógico-digital utilizados em sistemas implantáveis *wireless* de registro neural

Referência	Canal de Publicação	Tensão de Alimentação [V]	Número de bits	Consumo [μW]
(AKIN; NAJAFI; BRADLEY, 1998)	JSSC	5	8	2000
(ZHENG et al., 2014)	ISCAS	3.3	9	54
(TAO; RUSU, 2015)	TCAS	0.8	10	9

2.4 Processamento de sinais neurais extracelulares em circuitos integrados implantáveis

Entre os diversos tipos de processamentos encontrados em interfaces neurais implantáveis destacam-se:

- Detecção de impulsos elétricos
- Filtragem digital para distinguir entra *Local Field Potential* e *Spikes*
- Extração de características
- Separação de impulsos elétricos

Um dos processamentos mais encontrados na literatura é a detecção de impulsos elétricos ou *Spike Detection*. A detecção de impulsos consiste na indicação da ocorrência de um potencial de ação mediante a análise do sinal coletado por um eletrodo.

Para o caso específico de implantes neurais que transmitem sinais sem fio, a detecção de impulsos permite reduzir a quantidade de dados a serem transmitidos. Ao invés de transmitir todas as amostras digitalizadas do sinal registrado por um determinado eletrodo pode-se transmitir apenas os instantes de tempo em que acontecem impulsos elétricos; em algumas aplicações essa informação é suficiente. Por

exemplo, mediante a análise da frequência de disparos de neurônios é possível decodificar alguns comandos e controlar neuropróteses ou interfaces cérebro máquina (BMI) (OBEID, 2007). Essa frequência de disparos pode ser calculada conhecendo os instantes de disparos indicado pelo detector de impulsos.

Outro caso é o do uso da detecção de impulsos como indicador do instante em que deve começar um processamento mais complexo. Dessa maneira o processamento mais complexo só é realizado quando acontecer um impulsos elétrico e assim se economiza potência.

Tabela 2.2: Sistemas implantáveis de aquisição, processamento e transmissão sem fio de sinais neurais extracelulares

Referência	Canal de Publicação	Tipo de Sinais	Número de Canais	Resolução [bits]	Taxa de amostragem [kSps]	Taxa de transmissão [Mbps]	Área [mm^2]	Consumo [mW]	Tipo de processamento	Características dos testes realizados
(CHAE et al., 2009)	TNSRE	*Spikes*	128	9	40	90	63.4	6	NEO	*ex vivo*
(ZOU et al., 2013)	TCAS	*Spikes*	100	8	-	-	-	1.16	-	Em roedor
(MULLER et al., 2015)	JSSC	ECoG	64	15	1	1	5.76	0.225	-	Em roedor
(MESTAIS et al., 2015)	TNSRE	ECoG	64	12	1	0.45		75	-	Em macacos

3 Detecção e separação de impulsos elétricos neurais em circuitos integrados implantáveis - estado da arte

Como mencionado no capítulo 2 o registro de sinais neurais mediante matrizes de eletrodos implantados no córtex cerebral é um método muito utilizado no âmbito da neurociência experimental e na pesquisa relacionada às neuropróteses. Em ambos casos os sinais registrados são processados para extrair informação relevante para a aplicação. No capítulo 2 foram mencionados vários tipos de processamento implementados dentro das interfaces neurais implantáveis. Podem-se identificar duas motivações para a inclusão desses processamentos nos *chips* implantáveis. A primeira é viabilizar aplicações de decodificação de sinais neurais e estimulação em tempo real. A outra é diminuir a taxa de transmissão necessária para a leitura de um determinado número de eletrodos.

Neste capítulo estudam-se estratégias para a implementação em *hardware* da detecção e da separação de impulsos elétricos neurais.

3.1 Detecção de impulsos elétricos neurais

O método mais simples para realizar a detecção de impulsos elétricos consiste em comparar a amplitude do sinal medido com um limiar. Devido à sua simplicidade esse método tem sido a escolha mais frequente nos processadores de sinais neurais implantáveis (RIZK; WOLF, 2009). A detecção de *spikes* pode ser realizada processando diretamente o sinal analógico ou processando as amostras digitalizadas. Um exemplo da detecção analógica é o encontrado no artigo (HARRISON et al., 2006). Nesse artigo descreve-se o uso de um comparador analógico cujo limiar de comparação é deter-

minado através de um conversor digital-analógico de 7 bits. O LSB (*Least Significant Bit*) é de 4.8 mV que considerando o ganho 1000 do amplificador que se encontra no estágio prévio ao detector equivale a uma resolução de 4.8μV. Esses bits que determinam o limiar de comparação podem ser configurados desde um dispositivo externo através do acoplamento indutivo. O sistema de detecção apresentado em (HARRISON et al., 2006) pode ser representado esquematicamente como na figura 3.1.

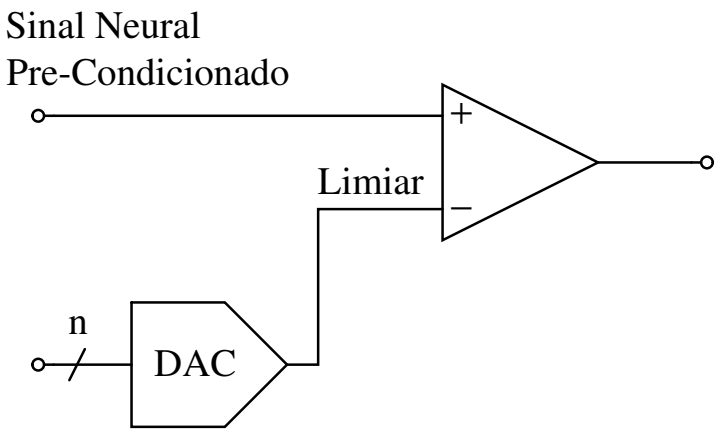


Figura 3.1: Ilustração do método de detecção de *spike* por aplicação de limiar simples

Nessa figura o sinal neural pré-condicionado é o resultado de amplificar e filtrar o sinal registrado por um eletrodo extracelular. O limiar é programado através dos n bits. Como será comprovado na descrição de outros trabalhos sobre detecção de *spike* para sistemas implantáveis, a programabilidade do limiar é uma característica comum. Embora existam tentativas de gerar o limiar automaticamente a partir da análise de sinal neural a alternativa programável continua sendo mais robusta. Para a definição do limiar programável o sinal neural deve ser transmitido a um computador externo onde é analisado sem limitações de recursos de computacionais. Como resultado dessa análise o limiar ótimo é obtido. O operador, então, programa esse limiar através dos recursos de comunicação disponíveis no sistema implantável.

Outro exemplo da comparação com um limiar programável é encontrado no artigo (SODAGAR; WISE; NAJAFI, 2006) apresentado na IEEE *Biomedical Circuits and Systems Conference* de 2006. Nesse trabalho apresenta-se um processador de sinais neurais implantável, que possui a capacidade de detecção de *spikes* mediante a aplicação de limiar. Esse limiar pode ser aplicado às amostras positivas, às negativas ou a ambas. Na figura 3.2, extraída de (SODAGAR; WISE; NAJAFI, 2006) apresenta-se uma ilustração dessas três possibilidades de aplicação de limiar.

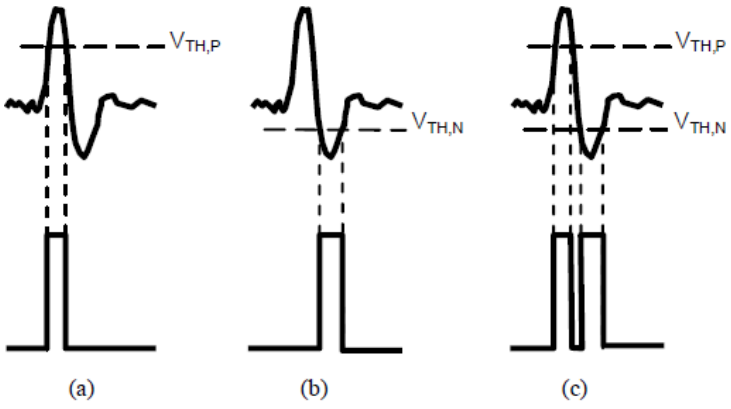


Figura 3.2: Modos de detecção suportados pelo processador apresentado em (SODAGAR; WISE; NAJAFI, 2006). (a) Positivo (b) Negativo (c) Bifásico. Imagem extraída de (SODAGAR; WISE; NAJAFI, 2006).

Também existem implementações onde o limiar é calculado automaticamente a partir da análise do sinal dentro do circuito integrado implantável. Um exemplo é o relatado por Reid Harrison em (HARRISON, 2003). A ideia da proposta de Harrison é gerar automaticamente um limiar que seja maior ao ruído de fundo. Na figura 3.3, extraída desse artigo, observa-se o esquema da proposta.

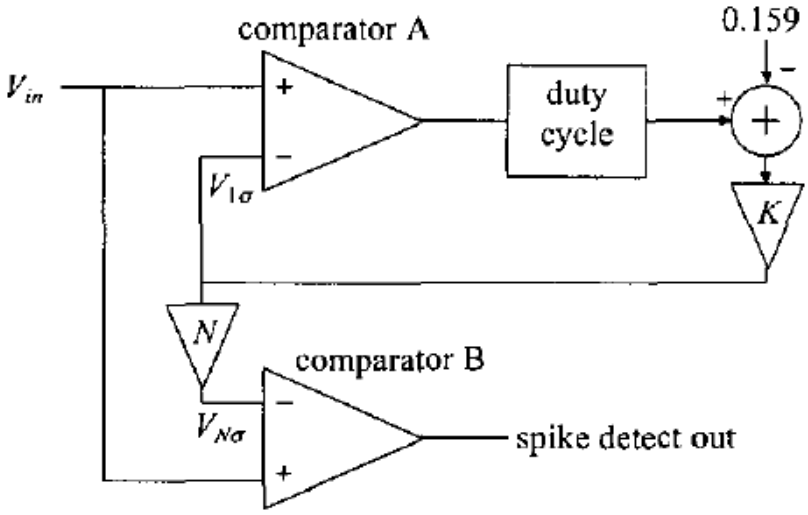


Figura 3.3: Estratégia para geração de limiar de comparação apresentada em (HARRISON, 2003). Imagem extraída de (HARRISON, 2003).

O objetivo de esse circuito é estimar o desvio padrão do ruído de fundo e estabelecer com limiar de comparação um múltiplo (5 $\times$) desse valor. A premissa adotada por Harrison foi que o sinal de entrada do detector é uma combinação linear de impulsos elétricos neurais de duração aproximada de 1 ms e ruído gaussiano limitado em banda

de frequência com média 0. Assume-se então que o sinal registrado pelo eletrodo é aplicado a um filtro passa banda, como costuma acontecer, e a saída desse filtro é aplicada ao detector.

3.1.1 Aplicação de pré-ênfase ao sinal

Para lidar com o problema do alto conteúdo de ruído, costuma-se adicionar um estágio de pré-ênfase ao processo de detecção de impulsos elétricos (GIBSON; JUDY; MARKOVIĆ, 2008), (MUKHOPADHYAY; RAY, 1998). Esse pré-processamento tem como objetivo enfatizar os *spikes* neurais e atenuar o ruído de fundo.

Um exemplo da aplicação de um pré-processamento para pré-ênfase do sinal é o encontrado no trabalho da equipe do professor Wouter Serdijn da Universidade Técnica de Delft (HISENI et al., 2009).

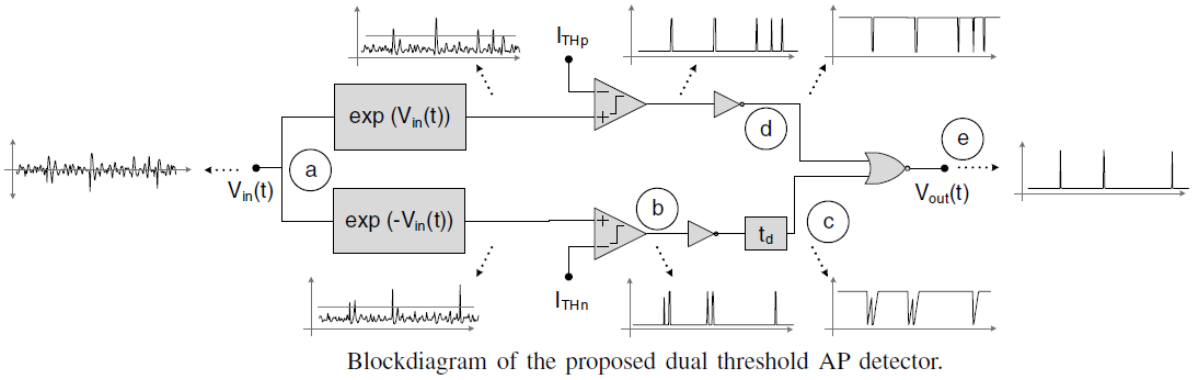


Figura 3.4: Implementação analógica de detecção de spikes com estágio de pré-ênfase. Imagem extraída de (HISENI et al., 2009).

A estratégia adotada pela equipe do professor Serdijn foi a aplicação da função exponencial ao sinal de entrada, sob o argumento que este operador distancia os sinais de maior amplitude (*spikes*) dos de menor amplitude (ruído). Após esse afastamento de *spikes* e ruído fica mais fácil separá-los mediante um comparador. O operador exponencial é um circuito analógico que recebe como entrada a tensão e gera uma corrente proporcional ao exponencial da tensão de entrada. Essa corrente é comparada com um limiar aplicado externamente. O operador é aplicado tanto ao sinal quanto ao negativo do sinal para poder detectar picos positivos e negativos. Em esse aspecto o sistema adota um esquema de limiar bifásico, pois só aceita um *spike* quando tanto a parte positiva quanto a negativa são suficientemente altas. Tanto o limar positivo (I_{THP}) quanto o negativo (I_{THN}) são aplicados externamente nesse sistema.

A estratégia de pré-ênfase mais encontrada na literatura, considerando implementações em *hardware*, é a aplicação do operador não linear de energia conhecido como NEO (*não linear energy operator*) ou TEO (Teager *energy operator*).

3.1.2 Operador não linear de energia

O operador não linear de energia (NEO) conhecido também como operador Teager tem duas versões, uma em tempo continuo definida como:

$$\psi\left[x(t)\right] = \left[x'(t)\right]^2 - x(t)\,x''(t) \tag{3.1}$$

e outra em tempo discreto definida como:

$$\psi\left[x(n)\right] = \left[x(n)\right]^2 - x(n-1)\,x(n+1) \tag{3.2}$$

Ambas versões foram desenvolvidas por Teager no seu trabalho sobre modelagem não linear de voz (TEAGER; TEAGER, 1989) e estudado sistematicamente por Kaiser em (KAISER, 1990a) e (KAISER, 1990b). A aplicação desse operador como processamento de pré-ênfase para detecção de *spikes* foi proposta por Mukhopadhyay em (MUKHOPADHYAY; RAY, 1998). Embora Mukhopadhyay tenha apresentado uma análise aprofundada que prova a utilidade do operador NEO na pré-ênfase de *spikes* outros autores tem dado argumentos mais intuitivos. Por exemplo, Sarah Gibson em (GIBSON; JUDY; MARKOVIĆ, 2008) afirma que o resultado da versão discreta do operador NEO é um valor alto quando tanto a amplitude quanto a frequência do sinal são altos (condição necessária para a ocorrência de um *spike*) pois a amostra n seria grande e ademais maior que as duas amostras adjacentes (n+1 e n-1). Ou seja, escolhendo um limiar suficientemente elevado na comparação da saída do operador NEO, garantimos que apenas a ocorrência do mencionado evento seja reconhecida como *spike*, pois estes são caracterizados por um aumento simultâneo da amplitude e da frequência.

Observar apenas amplitude não é suficiente para detectar um *spike* pois em muitos casos o ruído de fundo pode ter amplitudes similares às dos *spikes*. Esse fato é ilustrado na figura 3.5.

As duas curvas de essa figura tem valor similar de $x(n)$ porém só a primeira tem características de variação rápida. O operador NEO fornecerá um valor muito maior para o caso da primeira curva.

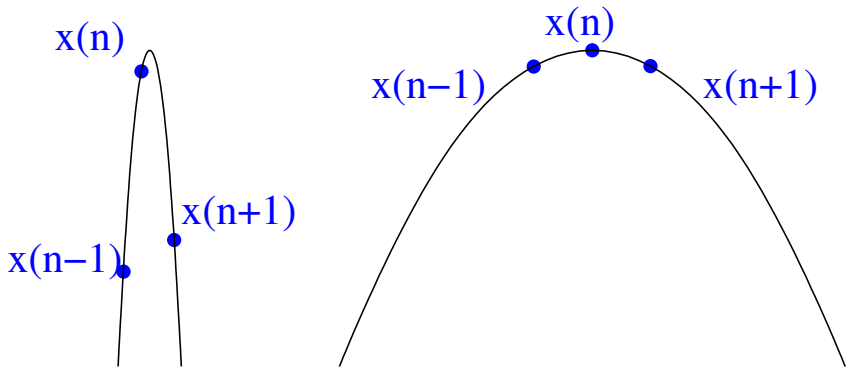


Figura 3.5: Ilustração da ideia que a amplitude não é parâmetro suficiente para caracterizar um *spike*

A frequência também não é um parâmetro suficiente para detectar os *spikes* porque o ruido de fundo composto pela atividade de muitos neurônios afastados do eletrodo tem o mesmo conteúdo de frequência. Então um filtro linear de frequência não seria suficiente para remover o ruído de fundo. É importante lembrar que a ideias que acabamos de comentar são argumentos intuitivos da utilidade do operador NEO. Uma prova formal da importância do NEO pode se encontrar no trabalho de Mukhopadhyay em (MUKHOPADHYAY; RAY, 1998).

Devido à sua simplicidade e eficácia na detecção em sinais ruidosos o operador NEO tem sido a escolha preferida dos pesquisadores para implementação de sistemas detecção de *spikes* para interfaces neurais implantáveis. A seguir apresentam-se alguns dos trabalhos nessa linha.

Em (HOLLEMAN et al., 2008) apresenta-se a implementação analógica do operador NEO em tempo contínuo. Na figura 3.6 observa-se o diagrama esquemático dessa implementação. De acordo com esse diagrama de blocos a saída tem a seguinte expressão:

$$NEO = \left(\frac{\mathrm{d}V_{in}(t)}{\mathrm{d}t}\right)^2 - \left(\frac{\mathrm{d}^2V_{in}(t)}{\mathrm{d}t^2}\right) \times V_{in}(t) \tag{3.3}$$

porém a implementação é em modo corrente e a saída é diferencial. A saída de corrente diferencial é proporcional à expressão dada em 3.3.

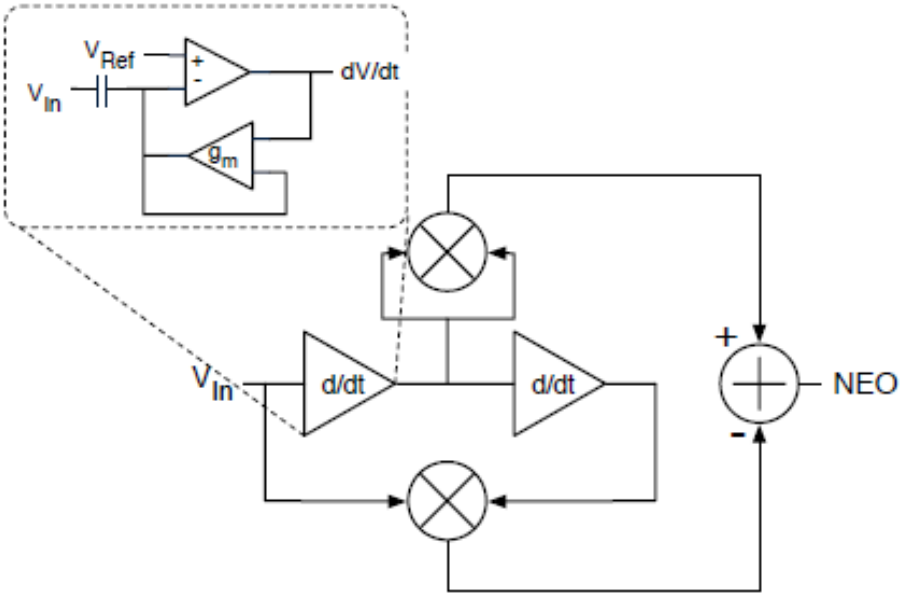


Figura 3.6: Implementação analógica do NEO apresentada em (HOLLEMAN et al., 2008). Imagem extraída de (HOLLEMAN et al., 2008).

Outra implementação analógica do NEO em tempo continua foi publicada no periódico *Electronics Letters* da IEEE (LI; XU, 2011). Na figura 3.7 observam-se o diagrama de blocos, similar ao do trabalho anterior, e o multiplicador baseado no princípio translinear.

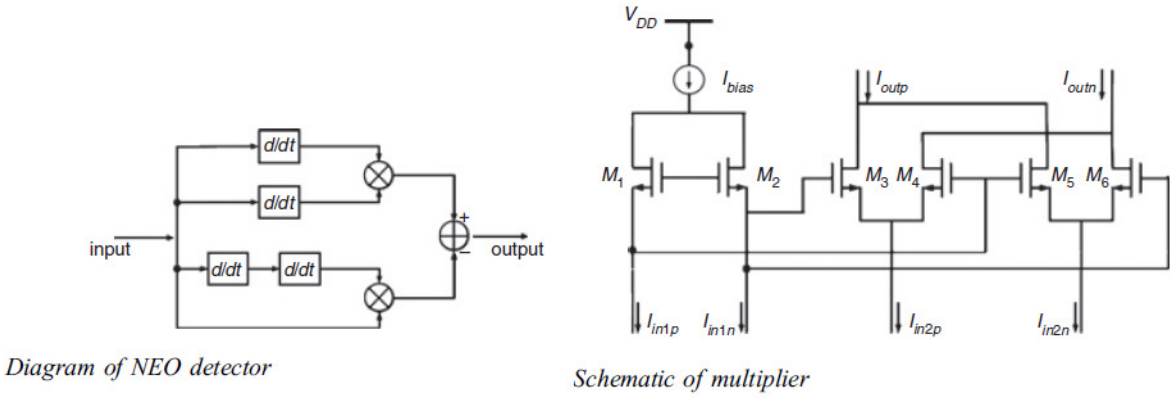


Figura 3.7: Implementação analógica do NEO apresentada em (LI; XU, 2011). Imagem extraída de (LI; XU, 2011).

Em (GOSSELIN; SAWAN, 2009) os professores Gosselin e Mohamad Sawan da Escola Politécnica de Montreal apresentaram uma implementação analógica do NEO em tempo continuo. O diagrama de blocos dessa implementação é mostrado na figura 3.8. O bloco *differentiator* contém dois derivadores implementados com transconductores.

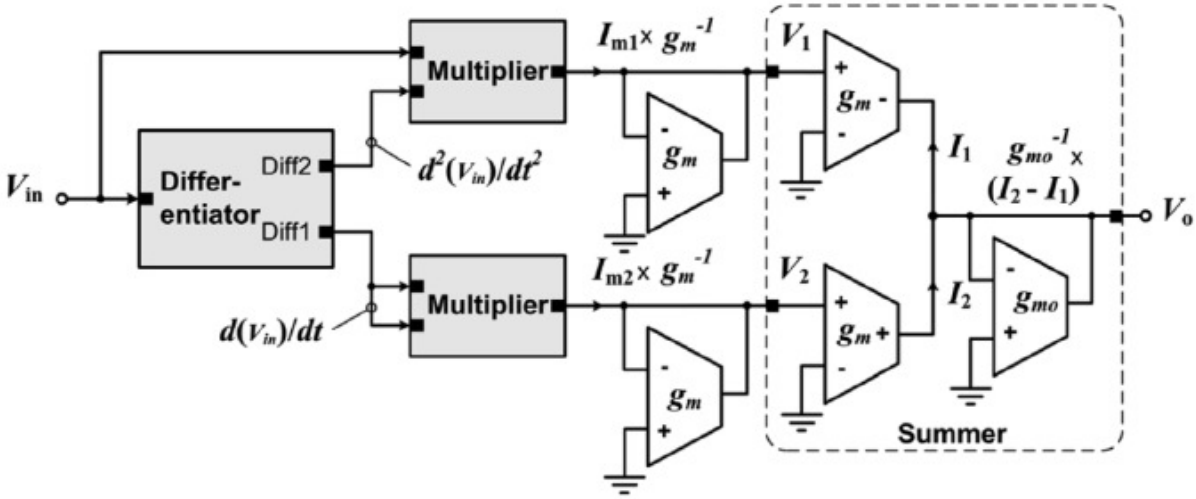


Figura 3.8: Implementação analógica do NEO. Imagem extraída do artigo (GOSSELIN; SAWAN, 2009).

3.2 Separação de impulsos elétricos neurais

Como apontado nas seções anteriores, o registro de sinais neurais através de microeletrodos implantáveis é uma ferramenta importante para a neurociência. Também, verificou-se o grande potencial dessa ferramenta em tecnologias médicas para os tratamentos de paralisia, epilepsia e perda de memória. Nesta seção, descreve-se um tipo de processamento dos sinais registrados por cada eletrodo, o qual se denomina "Separação de Impulsos" ou "*Spike Sorting*".

Considerando-se cada eletrodo de forma separada, este recebe sinais elétricos de vários neurônios simultaneamente. Quando acontece um potencial de ação em um neurônio, o eletrodo situado no meio extracelular próximo a este neurônio registra um sinal elétrico conhecido como impulso elétrico ou *spike*. O processo de identificação de todos os impulsos elétricos que representam a atividade de um mesmo neurônio é denominado como "Separação de Impulsos" ou "*Spike Sorting*".

É importante salientar que o potencial de ação gerado em um neurônio é diferente do impulso elétrico (*spike*) registrado pelo eletrodo. O primeiro só pode ser medido intracelularmente, enquanto que o segundo, apenas extracelularmente. Porém, é possível obter o padrão temporal de disparos de potenciais de ação em um neurônio mediante o registro de *spikes*.

No artigo (RUTISHAUSER; SCHUMAN; MAMELAK, 2006) aponta-se que para um melhor entendimento das funções neurais é necessário conhecer de maneira individual as atividades elétricas de vários neurônios e portanto é muito importante atribuir com exatidão cada *spike* individual a um neurônio particular.

O *spike sorting* tem sido realizado majoritariamente em um computador externo mediante a análise do sinal registrado durante algum tempo. Ou seja, primeiro se coleta o sinal mediante a matriz multi-eletrodo, o sinal se transmite a um computador externo e neste dispositivo se executam complexos algoritmos, a maioria deles baseado em PCA (*Principal Component Analysis*), para separar os *spikes*. Essa metodologia é conhecida como *Offline Sorting*.

Na busca de sistemas implantáveis que operem em tempo real, recentemente tem aumentado a procura por soluções mais automáticas. A ideia consiste em separar cada impulso imediatamente depois que este acontece. Essa técnica é conhecida como *Online Sorting*.

Na figura 3.9, ilustra-se o processo de *Spike Sorting*. O sinal neural registrado extracelularmente por um eletrodo contém impulsos elétricos que correspondem à atividade elétrica de vários neurônios. Os impulsos elétricos são detectados comumente através de um processo de limiarização. No exemplo apresentado nessa figura, os impulsos elétricos detectados correspondem à atividade elétrica de dois neurônios. Como se observa, o impulso elétrico provocado por um neurônio tem um formato diferente daquele provocado por outro. Por meio do processo de separação de impulsos, é possível identificar aqueles que correspondem a um ou a outro neurônio.

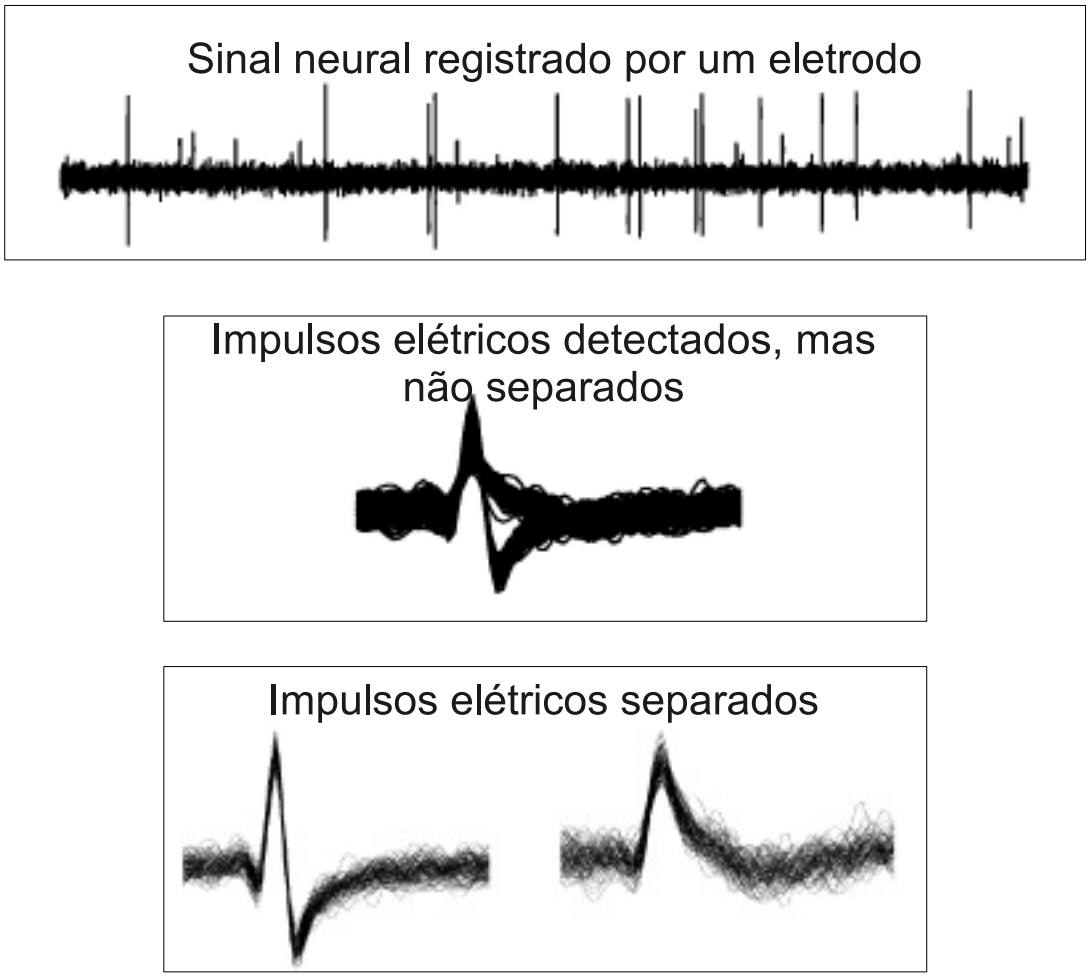


Figura 3.9: Ilustração do processo de *Spike Sorting*. A partir do sinal registrado por um único eletrodo (figura superior) os impulsos elétricos são detectados mediante um processo de limiarização e, finalmente, separados. Figura adaptada de (QUIROGA; NADASDY; BEN-SHAUL, 2004)

O formato dos impulsos elétricos permite realizar o processo de separação, porém sabe-se que para um mesmo neurônio o formato do sinal que este gera no eletrodo não contém informação nenhuma. Por tanto após a fase de identificação dos impulsos elétricos, a única informação que é passada para o seguinte estágio de processa-

mento é o conjunto dos instantes de disparos correspondentes a cada neurônio. Com isso se consegue uma redução importante da quantidade de dados a ser transmitida desde uma interface neural implantável.

Na figura 3.10 apresenta-se outra ilustração do processo de *Spike Sorting*.

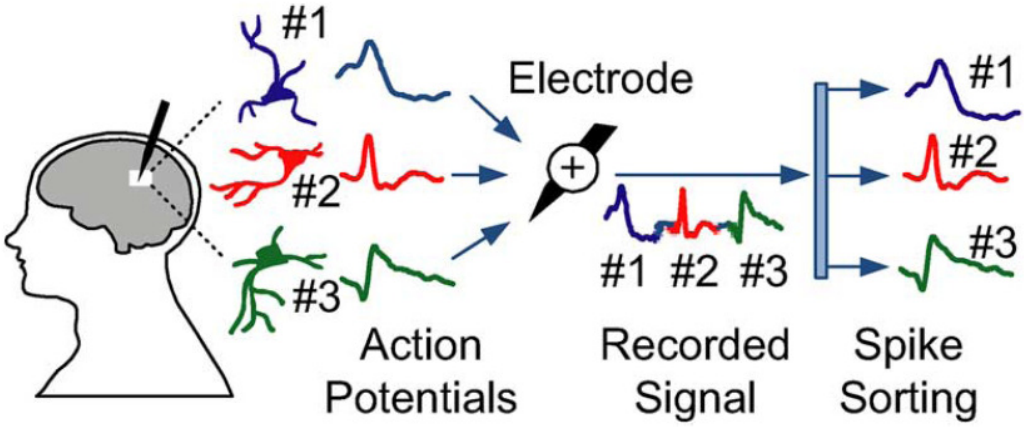


Figura 3.10: Ilustração do processo de*Spike Sorting* criada por Karkare e Gibson (KARKARE; GIBSON; MARKOVIC, 2013). Imagem extraída de (KARKARE; GIBSON; MARKOVIC, 2013).

Como apontado em (GIBSON; JUDY; MARKOVIĆ, 2008), o processo de separação de impulsos elétricos é importante por dois motivos. O primeiro, funcional, está relacionado ao fato de que mesmo que dois neurônios estejam muito próximos, eles podem codificar informações completamente diferentes. Os neurocientistas frequentemente precisam identificar quais *spikes* correspondem a quais neurônios com o intuito de entender a circuitaria neural. As interfaces cérebro máquina, por sua vez, dependem geralmente da atividade elétrica de neurônios individuais. O segundo motivo, de caráter prático, refere-se à redução da quantidade de dados a ser enviados ao exterior do *chip* implantado. Limitações de largura de banda para comunicação e de consumo de potência requerem uma redução de dados dentro do *chip*. Para tal efeito, recorre-se ao *Spike Sorting*.

4 Desenvolvimento de um sistema de detecção de impulsos elétricos neurais para uma interface neural implantável

Este capítulo descreve o desenvolvimento de um sistema de detecção de impulsos elétricos neurais apropriado para a sua integração mediante tecnologia CMOS como parte de uma interface neural implantável. Como estudado no capítulo 3, este tipo de sistemas é composto por um estágio de pré-ênfase do sinal seguido de um estágio de comparação com um limiar. Também foi mencionado que, devido à sua simplicidade, a estratégia mais empregada para o pré-ênfase em interfaces neurais implantáveis é a aplicação do operador não linear de energia *Teager* (NEO).

O sistema apresentado neste capítulo processa diretamente amostras analógicas do sinal de entrada. Essas amostras de tensão são convertidas a correntes elétricas que são aplicadas a um circuito que realiza a operação NEO.

Na figura 4.1 apresenta-se o diagrama de blocos do sistema desenvolvido. Nessa figura, V_{in} representa a tensão que é resultado da amplificação e filtragem do sinal medido por um eletrodo.

O sinal de entrada (V_{in}) é amostrado sucessivamente em três capacitores. O bloco VTC (*Voltage to current converter*), converte as amostras analógicas de tensão em correntes, as quais são aplicadas ao circuito que realiza a operação NEO. O resultado dessa operação é a corrente I_{neo} que é comparada com uma corrente de referência que pode ser escolhida através do conversor digital-analógico.

Observam-se também chaves com três posições cuja necessidade será explicada a seguir. Na aplicação do operador NEO a ordem de ocorrência das amostras é importante: o produto da amostra seguinte com a amostra anterior deve ser subtraido

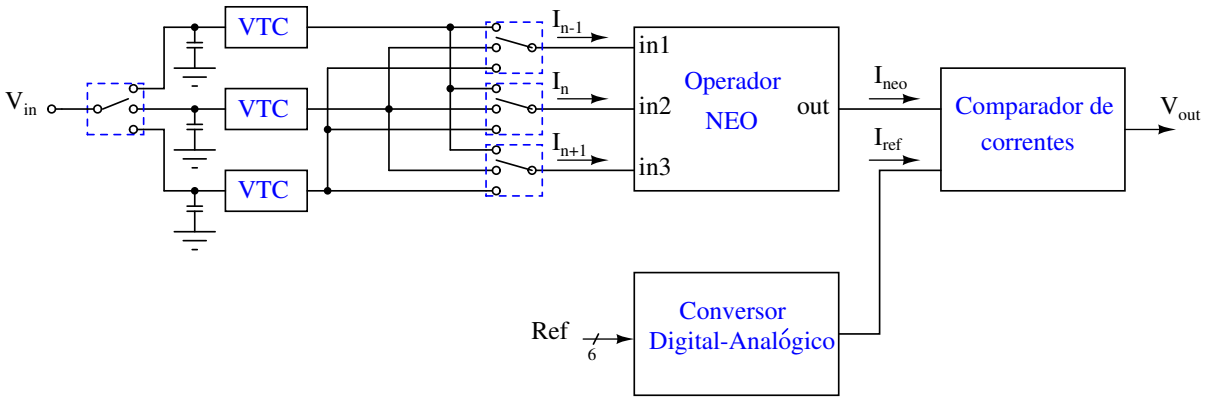


Figura 4.1: Diagrama de blocos do sistema de detecção baseado no operador NEO. O bloco denominado VTC é um conversor de tensão a corrente (*Voltage to current converter*)

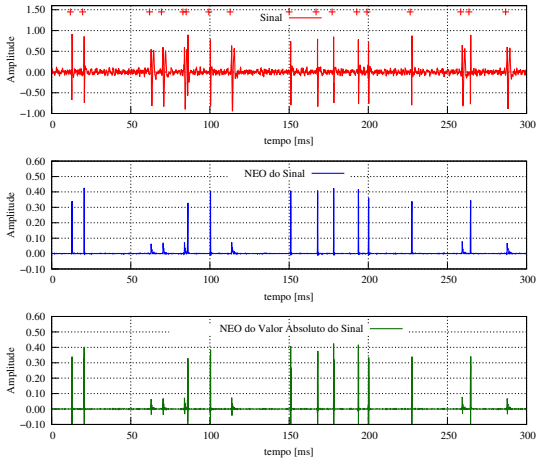
do quadrado da amostra presente. As chaves que ligam as saídas dos circuitos VTC às entradas do circuito NEO devem ser controladas de maneira que essa ordem de aplicação das amostras seja garantida. Na figura 4.1, não se inclui o circuito que realiza esse controle das chaves analógicas, porém será explicado numa das seções deste capítulo.

4.1 Análise da aplicação do operador *Teager* ao valor absoluto do sinal neural extracelular

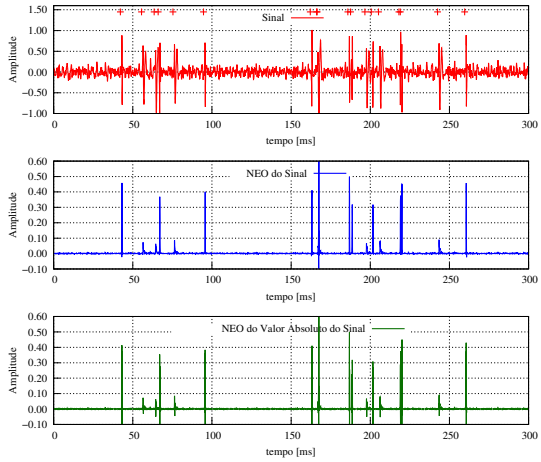
De acordo com a interpretação de (GIBSON; JUDY; MARKOVIĆ, 2008), o resultado do operador NEO é um valor alto só nos instantes em que o sinal apresenta um conteúdo alto de potência e ao mesmo tempo de frequência. O conteúdo de potência é alto quando o termo $x^2(n)$ é elevado e o de frequência é alto quando $x(n)$ é alto e ao mesmo tempo $x(n-1)$ e $x(n+1)$ tem valores pequenos. Sem importar se os valores das amostras são positivas ou negativas, o operador NEO fornece um resultado elevado na presença de um *spike*, o qual e coerente com o fato que os spikes podem ser positivos ou negativos.

Em relação à simplicidade em termos de *hardware* da implementação do operador NEO que será apresentada nas seções seguintes, é mais conveniente trabalhar apenas com os valores absolutos das amostras. Considerando a interpretação de (GIBSON; JUDY; MARKOVIĆ, 2008) mencionada no parágrafo anterior, a escolha de trabalhar apenas com os valores absolutos das amostras é válida.

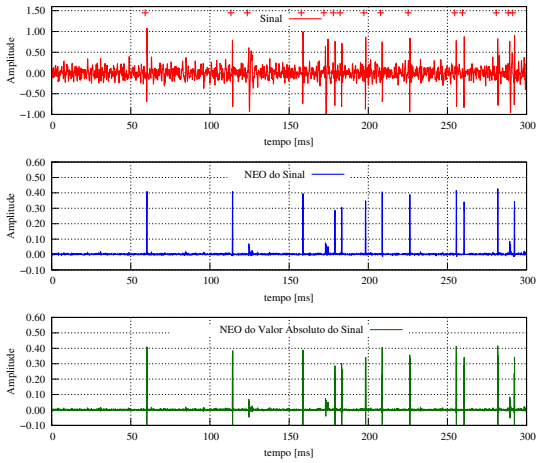
Para uma avaliação mais objetiva da influência da escolha adotada no resultado da detecção de *spike* realizaram-se simulações em matlab. Mediante essas simulações compara-se a opção de trabalhar com os valores absolutos das amostrar e a opção original de considerar o sinal das amostras. Em ambos os casos os sinal é aplicado a um operador NEO implementado em matlab e o sinais resultantes são comparados tanto visualmente quanto através de parâmetros de detecção. A seguir apresentam-se comparações visuais de ambos métodos. Nas figuras 4.2 e 4.3 apresentam-se os resultados da aplicação do NEO aos sinais e aos valores absolutos dos sinais do banco de dados Waveclus. Observam-se 300 ms de cada sinal. Pode-se comprovar que a aplicação do NEO ao valor absoluto do sinal da os mesmos resultados, em termos de enfatizar a presença de *spikes*, que a aplicação do NEO ao sinal original.



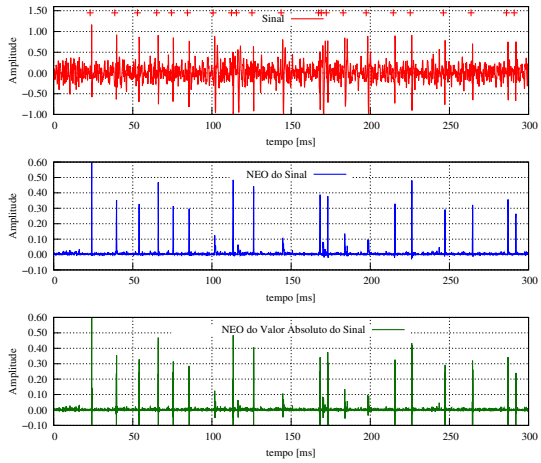
(a) Sinal com 5% de ruído



(b) Sinal com 10% de ruído

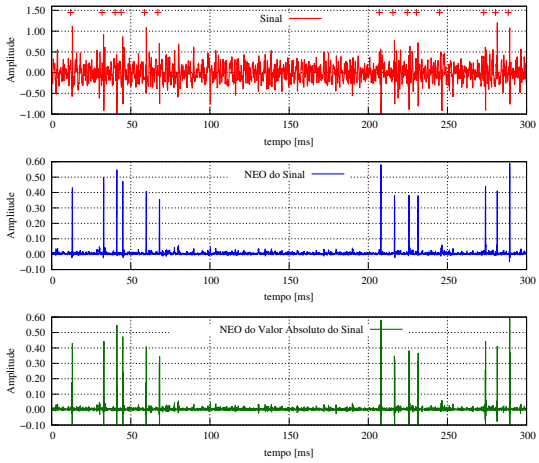


(c) Sinal com 15% de ruído

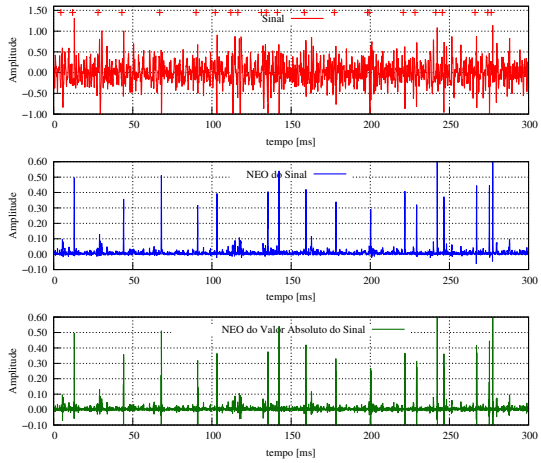


(d) Sinal com 20% de ruído

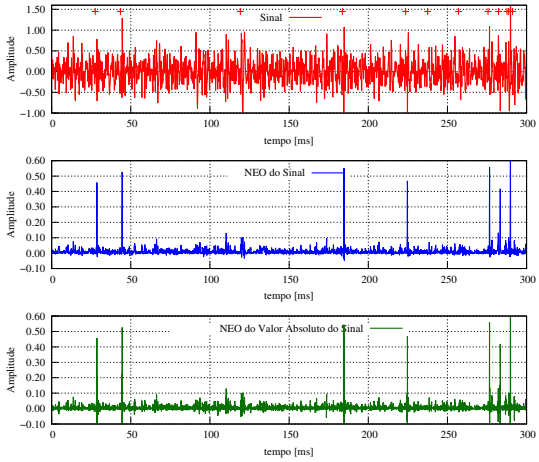
Figura 4.2: Resultado da aplicação do NEO implementado em Matlab aos sinais e aos valores absolutos dos sinais do banco de dados Waveclus. Sinais com ruídos de 5%, 10%, 15% e 20%



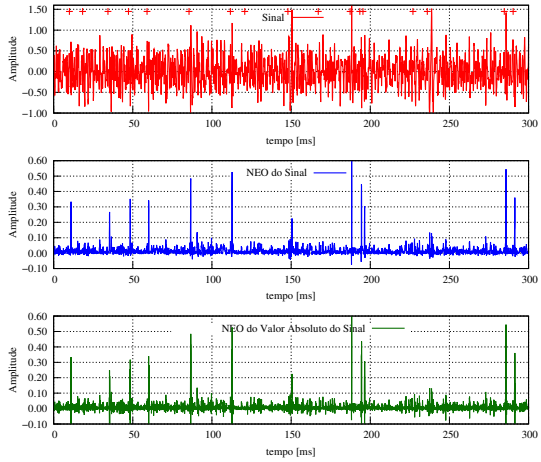
(a) Sinal com 25% de ruído



(b) Sinal com 30% de ruído



(c) Sinal com 35% de ruído



(d) Sinal com 40% de ruído

Figura 4.3: Resultado da aplicação do NEO implementado em Matlab aos sinais e aos valores absolutos dos sinais do banco de dados Waveclus. Sinais com ruídos de 25%, 30%, 35% e 40%.

Embora a comparação visual evidencia a validade da hipótese sobre a equivalência entre usar o sinal ou o valor absoluto do sinal no estágio de pré-ênfase, é importante realizar medidas mais objetivas. Para tal propósito comparam-se parâmetros de detecção tais como porcentagem de verdadeiros positivos e a taxa de falsos negativos. O algoritmo de detecção implementado em Matlab consiste em comparar as amostras da saída do estágio de pré-fase com um determinado limiar, e quando alguma ultrapassar o limiar registra-se a ocorrência de um *spike*. Considera como *spike* a uma janela que começa 1 ms antes do instante de ultrapassagem do limiar e termina 2 ms depois desse instante. Essa restrição a 3 ms é baseada no fato que é pouco provável que aconteçam *spikes* de maior duração e na necessidade de minimizar a probabilidade de agrupar 2 *spikes* numa mesma janela (GIBSON; JUDY; MARKOVIĆ, 2008), (GIBSON, 2010).

Los parâmetros de detecção mencionados anteriormente dependem do limiar escolhido. Para o caso de detecção sem pré-ênfase escolheu-se como limiar:

$$Thr = 4 \cdot \sigma_N \tag{4.1}$$

onde σ_N é uma estimativa do desvio padrão do ruído, dada por:

$$\sigma_N = mediana \left\{ \frac{|x(n)|}{0.6745} \right\} \tag{4.2}$$

Tais escolhas de Thr e σ_N foram adotadas dos trabalhos de (QUIROGA; NADASDY; BEN-SHAUL, 2004) e Donoho1994.

Para o caso de detecção usando NEO como pré-ênfase escolheu-se o seguinte limiar:

$$Thr_{NEO} = C \frac{1}{N} \sum_{n=1}^{N} \psi[x(n)] \tag{4.3}$$

que representa um múltiplo da média do NEO do sinal. N é o número de amostras e C é um fator que para este caso foi 8. Estas escolhas correspondem ao estudo de (GIBSON, 2010).

Na tabela 4.1 apresentam-se os parâmetros de detecção aplicada sobre os sinais originais do banco de dados Waveclus, sobre o NEO do sinal e sobre o NEO do valor absoluto do sinal.

Tabela 4.1: Parâmetros de Detecção aplicada aos sinais do banco de dados Waveclus

Ruído	Sinal Original		NEO do sinal		NEO do valor absoluto	
no Sinal [%]	tpr [%]	fpr [%]	tpr [%]	fpr [%]	tpr [%]	fpr [%]
5	98.92	8.163	97.50	0.023	97.47	0.023
10	98.78	4.536	98.13	0.212	98.07	0.213
15	97.93	3.224	97.35	0.603	97.33	0.603
20	95.39	1.308	96.89	1.157	96.83	1.157
25	77.68	0.603	95.15	2.595	95.09	2.599
30	46.07	0.358	91.37	3.510	91.37	3.499
35	26.12	0.215	87.95	4.923	87.92	4.923
40	14.29	0.214	84.52	6.260	84.49	6.241

Estes resultados mostram que praticamente não há diferencia entre aplicar o NEO diretamente no sinal ou ao valor absoluto do sinal.

4.2 Estratégia para realizar o operador *Teager* baseada no uso de circuitos elevadores ao quadrado

No capítulo 3 estudou-se o operador não linear de energia conhecido como *Teager* ou NEO, cuja fórmula é a seguinte:

$$\psi\left[x_n\right] = x_n^2 - x_{n+1} \times x_{n-1} \tag{4.4}$$

Nesta seção apresenta-se uma estratégia para realizar essa operação sobre correntes elétricas I_{n-1}, I_n e I_{n+1} que resultam da conversão a corrente de amostras analógicas de um sinal de tensão. O objetivo é gerar uma corrente de saída I_{neo} de acordo com a seguinte expressão:

$$I_{neo} = \frac{I_n^2}{I_0} - \frac{I_{n-1} \times I_{n+1}}{I_0} \tag{4.5}$$

onde I_0 é uma constante com unidades de corrente elétrica. Para o caso da implementação com transistores MOS que será apresentada nas seções posteriores essa constante é a corrente de saturação sublimiar de um transistor PMOS.

A estratégia aqui apresentada permite a implementação de essa operação utilizando circuitos elevadores ao quadrado. Observando o primeiro termo do lado direito da fórmula (4.5) é evidente a utilização de um circuito elevador ao quadrado. Já a implementação mediante elevadores ao quadrado do segundo termo do lado direito de essa fórmula fica evidente observando a identidade apresentada a seguir:

$$\frac{I_{n-1} \times I_{n+1}}{I_0} = \frac{\left(I_{n-1} + I_{n+1}\right)^2 - I_{n-1}^2 - I_{n+1}^2}{I_0} \tag{4.6}$$

Aplicando essa identidade na fórmula (4.5) obtém-se a fórmula:

$$I_{neo} = \frac{I_{n-1}^2 + 2\,I_n^2 + I_{n+1}^2 - \left(I_{n-1} + I_{n+1}\right)^2}{I_0} \tag{4.7}$$

a qual implica que o operador NEO pode ser implementado utilizando 4 instâncias de um elevador ao quadrado. As somas e subtrações de correntes são implementadas facilmente aproveitando a lei de correntes de Kirchhoff.

4.3 Circuito elevador ao quadrado baseado em transistores MOS que operam na região sublimiar

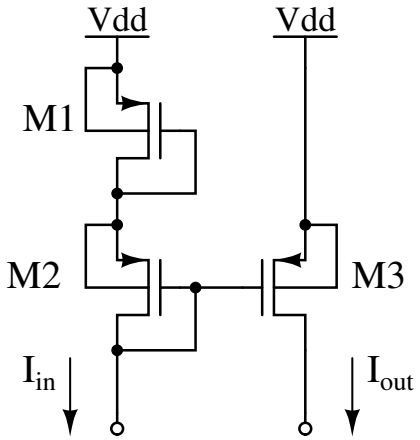


Figura 4.4: Circuito elevador ao quadrado. Considera-se entrada à corrente drenada do transistor M2 (I_{in}) e como saída, à corrente fornecida pelo transistor M3 (I_{out})

No circuito representado na figura 4.4, todos os transistores operam na região sublimiar na qual a corrente de dreno pode ser aproximada pela seguinte equação (MEAD, 1989), (TSIVIDIS, 1999), (LIU et al., 2002), (TSIVIDIS; MCANDREW, 2011):

$$I_d = -I_0 \exp\left(\frac{V_{sg}}{n\,\phi_t}\right)\left[1 - \exp\left(-\frac{V_{sd}}{\phi_t}\right)\right] \tag{4.8}$$

onde I_d é a corrente que flui de dreno a fonte, I_0 é a corrente de saturação sublimiar, n é fator de rampa e ϕ_t é a tensão térmica. Nessa equação as letras g, s e d que aparecem nos subscritos representam os terminais de porta, fonte e dreno respectivamente. É importante lembrar que essa equação é válida quando os terminais de fonte e substrato estão interligados, como é o caso dos transistores representados na figura 4.4.

Aplicando a fórmula (4.8) aos transistores M1, M2 e M3 da figura 4.4, os quais possuem as mesmas larguras de canal (W) e os mesmos comprimentos de canal (L), obtém-se:

$$I_{in} = -I_{d1} = I_0 \exp\left(\frac{V_{sg1}}{n\,\phi_t}\right)\left[1-\exp\left(-\frac{V_{sg1}}{\phi_t}\right)\right] \tag{4.9}$$

$$I_{in} = -I_{d2} = I_0 \exp\left(\frac{V_{sg2}}{n\,\phi_t}\right)\left[1-\exp\left(-\frac{V_{sg2}}{\phi_t}\right)\right] \tag{4.10}$$

$$I_{out} = -I_{d3} = I_0 \exp\left(\frac{V_{sg3}}{n\,\phi_t}\right)\left[1-\exp\left(-\frac{V_{sd3}}{\phi_t}\right)\right] \tag{4.11}$$

Para obter as equações (4.9) e (4.10) tem se aproveitado o fato de que nos transistores M1 e M2 as portas estão ligadas aos drenos. Observando as equações (4.9) e (4.10), conclui-se que $V_{sg1} = V_{sg2}$. Por outro lado, da figura 4.4 observa-se que $V_{sg3} = V_{sg1} + V_{sg2}$. Combinando esses resultado com a equação (4.11), obtém-se:

$$I_{out} = I_0 \exp\left(\frac{2\,V_{sg1}}{n\,\phi_t}\right)\left[1-\exp\left(-\frac{V_{sd3}}{\phi_t}\right)\right] \tag{4.12}$$

$$\Rightarrow I_{out} = \frac{I_{in}^2}{I_0}\,\frac{\left[1-\exp\left(-\frac{V_{sd3}}{\phi_t}\right)\right]}{\left[1-\exp\left(-\frac{V_{sg1}}{\phi_t}\right)\right]^2} \tag{4.13}$$

Para o caso em que V_{sd3} e V_{sg1} sejam muito maiores que ϕ_t, o segundo fator da equação 4.13 é aproximadamente 1 e portanto:

$$I_{out} \approx \frac{I_{in}^2}{I_0} \tag{4.14}$$

Por exemplo, se V_{sd3} e V_{sg1} são maiores que $4\,\phi_t$, o erro em se aproximar (4.13) por (4.14) é menor a 1%.

Observando o resultado obtido, deve-se notar que este circuito apresenta como desvantagem em relação ao elevador ao quadrado clássico baseado no princípio translinear a dependência do parâmetro de processo I_0. Porém para a aplicação que será dada a este circuito, essa dependência é facilmente compensada em nível de sistema. Por outro lado, o circuito aqui apresentado tem como principal vantagem o reduzido número de dispositivos. Além desses dois aspectos ambas soluções, a aqui apresentada e a baseada no princípio translinear, compartilham outras virtudes e problemas. Por exemplo, em ambos casos existe suceptibilidade a variações locais de parâmetros que trazem como consequência um efeito conhecido como *mismatch* ou descasamento entre dispositivos. Posteriormente será analisado o problema de *mismatch* no contexto da aplicação dada ao elevador ao quadrado no sistema de detecção

de impulsos elétricos.

De acordo com o desenvolvimento analítico apresentado, e deixando de lado por um momento o problema de *mismatch*, pode-se notar que a precisão do circuito no sentido de quão bem a saída se aproxima do quadrado da entrada depende de quão bem as correntes de dreno se aproximam de uma função exponencial da tensão porta-fonte. Por sua vez, essa dependência exponencial é mais exata quando o nível de inversão do canal do transistor é menor. Mediante um analise simplificada, sabe-se que para um dado valor de corrente de dreno e um dado valor de comprimento de canal (L) o nível de inversão diminui quando a largura de canal (W) aumenta. Então, em princípio, aumentando a largura de canal (W) dos transistores podemos melhorar a precisão do elevador ao quadrado. Porém, efeitos de segunda ordem tais como a presença de correntes de vazamento impõem um limite a essa melhora.

Por meio de simulações elétricas pode-se determinar um valor apropriado de largura de canal (W). Para isso é necessário definir um parâmetro que meça a exatidão do elevador ao quadrado. Dado que no sistema de detecção de impulsos elétricos neurais o elevador ao quadrado processará valores de corrente dentro de uma determinada faixa (de 5nA a 20nA), tal parâmetro deve ser calculada nessa faixa de corrente. Definimos como parâmetro de medida da precisão do elevador ao quadrado o coeficiente de correlação linear entre a corrente de saída obtida por simulação e o quadrado da corrente de entrada quando esta varia entre 5nA e 20nA.

Na figura 4.5 representa-se o diagrama esquemático utilizado para simular o circuito elevador ao quadrado e determinar a dependência do parâmetro de precisão escolhido (r) e a largura de canal (W). Nessa simulação, para cada valor de W escolhido se aplicam uma serie de valores de corrente do intervalo $[5nA, 20nA]$ e se medem as correspondentes correntes de saída. Com base nesses vetores de corrente de entrada e saída, calcula-se o valor de (r) correspondente ao valor de (W) escolhido. Esse procedimento se repete para outros valores de (W) e finalmente pode se obter uma curva r vs. W.

Note-se que a tensão de saída é mantida fixa embora na prática a saída é ligada a um espelho de corrente de transistores NMOS através de um transistor PMOS configurado em base comum. Como será comprovado nas seções seguintes as variações da tensão de saída do elevador ao quadrado na configuração mencionada no parágrafo anterior são muito pequenas.

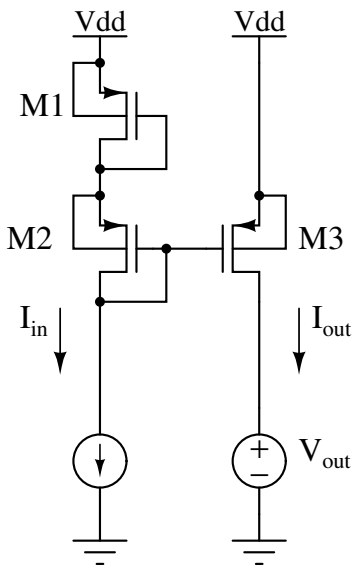


Figura 4.5: Circuito empregado para simular o elevador ao quadrado e determinar um valor apropriado de largura de canal (W)

Na figura 4.6 apresentam-se as curvas r vs. W para três casos de conjunto de parâmetros de processo: *typical*, *slow* e *fast*. Como pode se observar nessas gráficas, a precisão do circuito no melhora de maneira importante para valores maiores a 60μm.

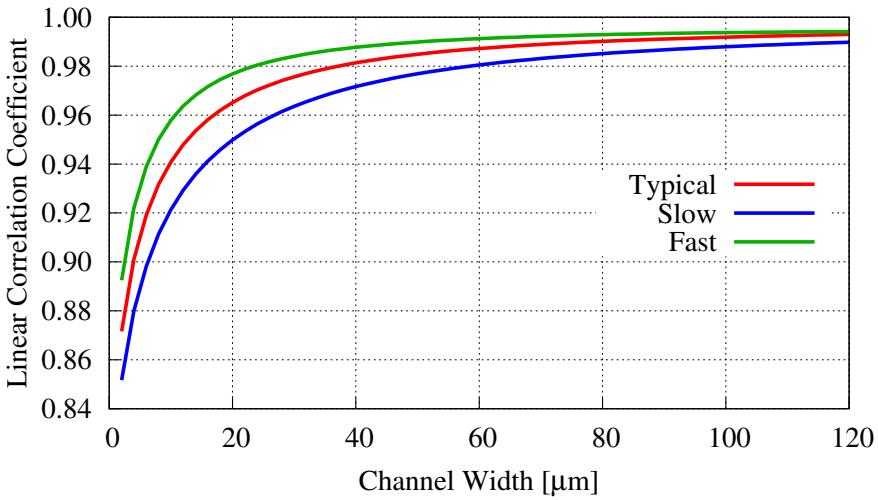


Figura 4.6: Coeficiente de correlação linear entre a corrente de saída, obtida mediante a simulação do circuito da figura 4.5, e o quadrado da corrente de entrada em função do comprimento de canal dos transistores PMOS. O comprimento de canal foi fixado em 1μm.

4.4 Circuito que realiza o operador *Teager* em modo corrente

O circuito proposto para a implementação do operador NEO é apresentado na figura 4.7. O circuito processa correntes de entrada representadas como I_{n-1}, I_n e I_{n+1} as quais são aplicadas a transistores NMOS. A saída do circuito é a corrente representada como I_{out}.

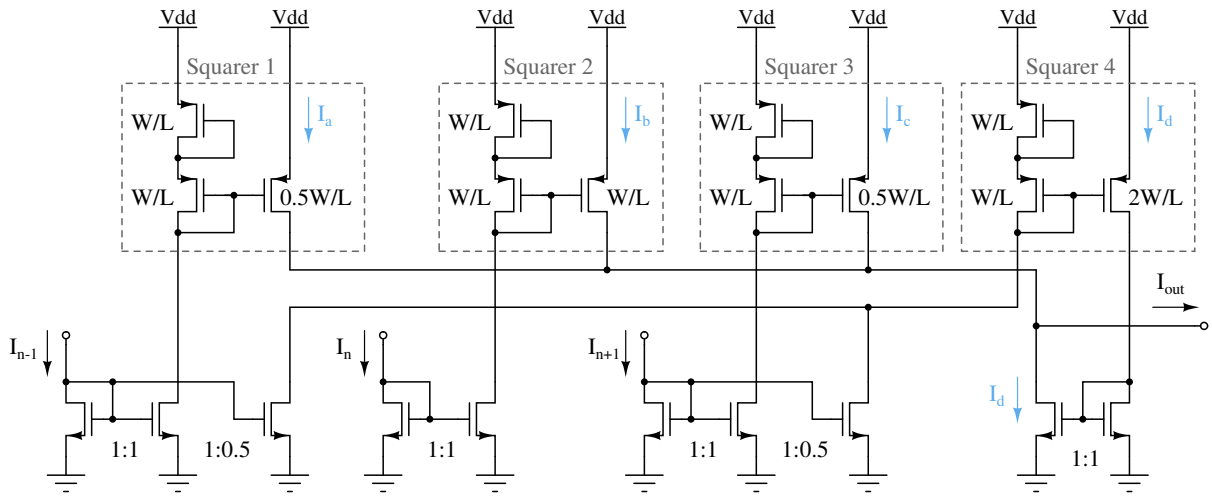


Figura 4.7: Esquema elétrico do circuito Operador NEO formado por elevadores ao quadrado do tipo mostrado na figura 4.4.

Para um correto funcionamento do circuito, as correntes de entrada devem ser aplicadas por circuitos com impedância de saída suficientemente maior à impedância de entrada dos transistores NMOS que estão configurados como diodo. A impedância de estes últimos é dada pela inversa da sua transcondutancia. Os circuitos que aplicam as correntes são conversores de tensão a corrente iguais ao apresentado na seção 4.5. A impedância de saída do conversor tensão a corrente é da ordem da impedância de saída de uma fonte de corrente cascode, que é igual ao produto do ganho intrínseco de um transistor NMOS vezes a impedância de saída de outro transistor NMOS. Claramente a condição imposta no início deste parágrafo é cumprida (RAZAVI, 2001).

A seguir prova-se que o circuito da figura 4.7 aproxima a seguinte equação:

$$I_{out} = \frac{I_n^2}{I_0} - \frac{I_{n-1} \times I_{n+1}}{I_0} \tag{4.15}$$

Como mostrado na figura 4.7, o circuito está composto por 4 elevadores ao qua-

drado. Aplicando a equação 4.14 aos três primeiros elevadores ao quadrado:

$$I_a = \frac{I_{n-1}^2}{2\,I_0} \tag{4.16}$$

$$I_b = \frac{I_n^2}{I_0} \tag{4.17}$$

$$I_c = \frac{I_{n+1}^2}{2\,I_0} \tag{4.18}$$

Ignorando o efeito de modulação de canal, a entrada do quarto elevador ao quadrado é $\frac{I_{n-1}}{2} + \frac{I_{n+1}}{2}$. O transistor de saída desse circuito possui o dobro de largura de canal que o transistor de entrada, portanto a corrente de saída é o dobro do quadrado da corrente de entrada dividido por I_0:

$$I_d = \frac{(I_{n-1} + I_{n+1})^2}{2\,I_0} \tag{4.19}$$

Aplicando a lei de correntes de Kirchhoff ao nó de saída:

$$I_{out} = I_a + I_b + I_c - I_d \tag{4.20}$$

Substituindo (4.16), (4.17), (4.18) e (4.19) na equação (4.20) obtém-se a seguinte relação:

$$I_{out} = \frac{I_n^2}{I_0} + \frac{I_{n-1}^2}{2\,I_0} + \frac{I_{n+1}^2}{2\,I_0} - \frac{(I_{n-1} + I_{n+1})^2}{2\,I_0} \tag{4.21}$$

a qual, após algumas simplificações, fica igual à equação (4.15).

4.5 Circuito que gera uma corrente proporcional ao valor absoluto do sinal de tensão de entrada

O circuito conversor de tensão a corrente desenvolvido nesta tese baseia-se no mesmo princípio que o circuito reportado em (LóPEZ-MARTíN et al., 2011) que consiste em aplicar a tensão de entrada a um dos terminais de um resistor cujo outro terminal está ligado a uma terra virtual gerada pela realimentação negativa de um amplificador operacional. A figura 4.8 representa esse princípio.

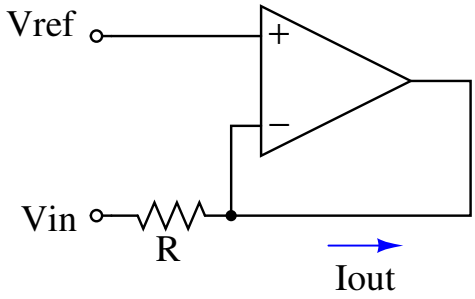


Figura 4.8: Princípio de operação do conversor de tensão a corrente

Nessa figura Vin é a tensão de entrada que representa a atividade neuronal. Essa tensão é o resultado da amplificação e filtrado que são os estágios iniciais de um canal de registro neural. Esse sinal deve vir com um nível de referência igual a $Vref$. Adotou-se que a amplitude pico-pico máxima do sinal de entrada seja de 40 mV, embora o conversor de tensão a corrente projetado admita amplitudes maiores. A corrente de saída é:

$$Iout = \frac{Vin - Vref - vos}{R} \tag{4.22}$$

onde vos é a tensão de *offset* do amplificador operacional que é da ordem de mV e introduz um erro na corrente de saída. Para poder aplicar a saída desse conversor a um elevador ao quadrado é necessários transladá-la a um pino de saída de alta impedância. Além de mais, precisa-se entregar apenas o valor absoluto do sinal. Para conseguir isso se implementaram espelhos de corrente que medem a corrente no estágio de saída do amplificador operacional, como representado na figura 4.9.

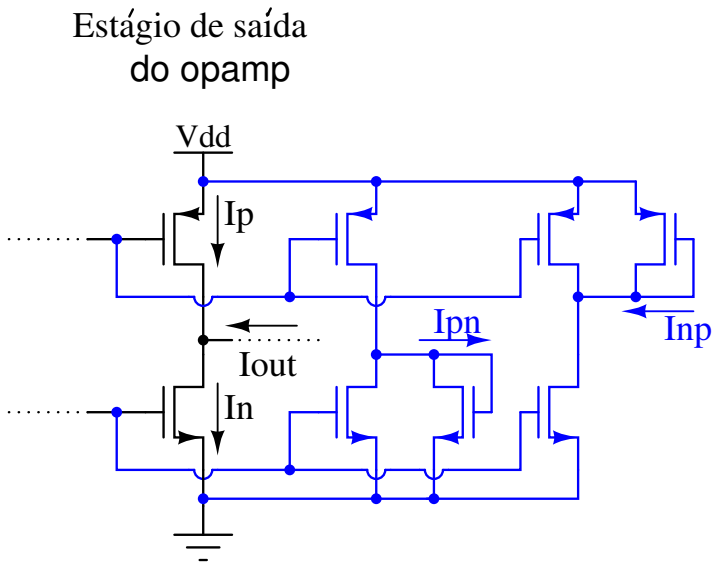


Figura 4.9: Estratégia para gerar valor absoluto da corrente $Iout$

Nessa figura os transistores em cor preta compõem o estágio de saída do amplificador operacional. Então a corrente de saída, no sentido especificado nas figuras 4.8 e 4.9 é igual a $In - Ip$.

O objetivo é gerar uma corrente igual a:

$$Iabs = |Iout| = |Ip - In| \tag{4.23}$$

Devido à copias realizadas pelos transistores em azul, a corrente Ipn será igual a $Ip - In$ apenas quando Ip seja maior que In, e em caso contrário será 0. Similarmente Inp será igual a $In - Ip$ apenas quando In seja maior a Ip, e em caso contrário será igual a 0. Em conclusão, o valor absoluto de corrente pode ser obtido somando essas componentes:

$$Iabs = Ipn + Inp \tag{4.24}$$

essa soma é obtida facilmente mediante espelhos de corrente. Um esquema detalhado do circuito inteiro é apresentado no apêndice.

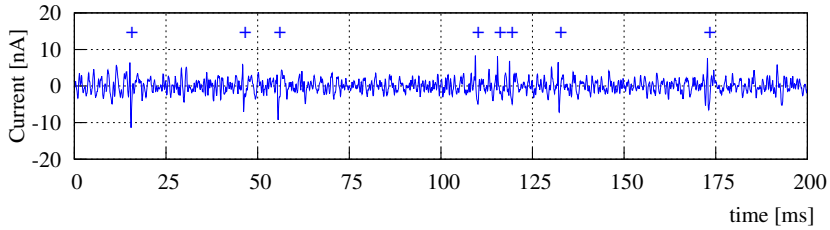
4.6 Simulações elétricas do sistema de detecção desenvolvido

O operador não linear de energia (NEO) é uma alternativa para o estágio de pré-ênfase em sistemas de detecção de impulsos elétricos neurais. Essa tarefa consiste em enfatizar a diferença entre os *spikes* neurais é o ruido de fundo. Para avaliar o desempenho do circuito em termos dessa capacidade de pré-ênfase, utilizamos os dado sintéticos apresentados no capítulo 1 (QUIROGA; NADASDY; BEN-SHAUL, 2004).

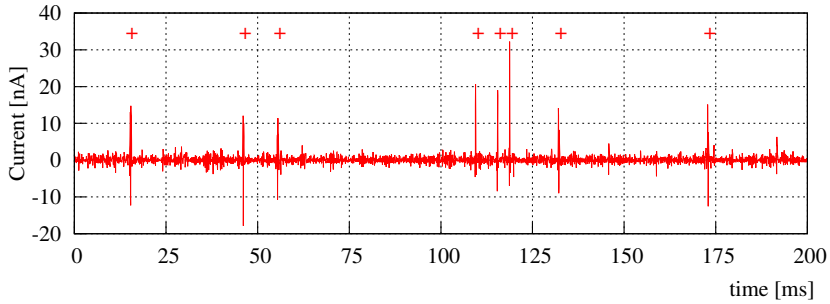
É necessário avaliar o circuito com dados sintéticos pois dessa maneira podemos conhecer exatamente em que instantes acontecem os *spikes* e assim verificar se o circuito os enfatiza em relação ao ruído.

Na figura 4.6 apresenta-se um intervalo de 200ms de um dos sinais disponíveis no banco de dados escolhido. Utiliza-se o símbolo '+' para identificar a presença de *spikes*. Nesse sinal o desvio padrão do ruído é igual ao 20% da amplitude máxima.

A resposta do circuito ao sinal escolhido é mostrado na figura 4.6. Visualmente é possível verificar que o circuito atenuou o ruído ao mesmo tempo que amplificou os *spikes*.



(a)



(b)

Figura 4.10: (a) Sinal sintético aplicado ao circuito NEO. O desvio padrão do ruído é igual ao 20% da amplitude máxima do sinal. (b) Resposta do circuito NEO à aplicação do sinal sintético escolhido.

Apesar de ficar evidente por inspeção visual da 4.10, o desempenho do circuito

precisa ser avaliado por métodos mais objetivos. Um desses métodos consiste na construção da curva ROC (*Receiver Operating Curve*).

Na figura 4.11 apresenta-se uma ROC que relaciona a taxa de verdadeiros positivos vs a taxa de falsos positivos dada uma variação do limiar de comparação. A taxa de de verdadeiros positivos foi calculada dividindo a quantidade de *spikes* corretamente detectados pela quantidade total de *spikes*. A taxa de falsos positivos foi calculada dividindo a quantidade de vezes que o ruido foi considerado como *spike* pela quantidade total de *spikes* que haveriam no tempo em que de fato não acontecem spikes. Para essa última parte da conta a duração de um spike foi considerada como 2ms.

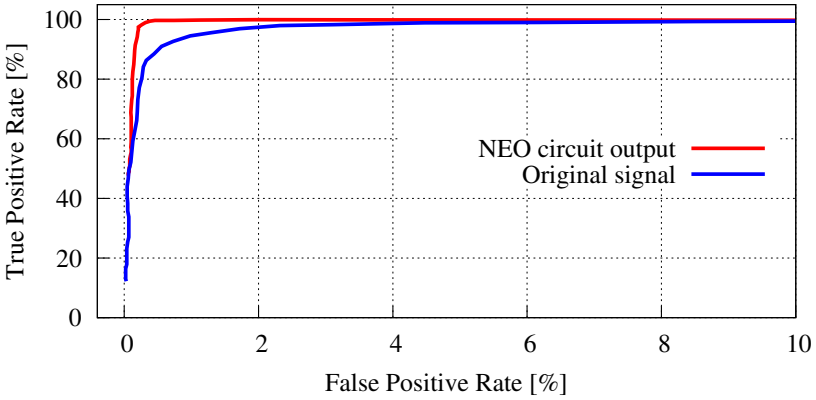


Figura 4.11: Curva ROC para o sinal original (linha em azul) e para o sinal de saída do circuito NEO (linha em vermelho).

Comparando a curva ROC do sinal original com a da saída do circuito NEO nota-se a capacidade do circuito NEO para enfatizar a presença de spikes. Essa capacidade permite uma melhor separação de *spikes* do ruído.

A tabela 4.2 lista parâmetros que quantificam a detecção de *spikes* no sinal original e no sinal de saída do circuito NEO. Os parâmetros apresentados são a taxa de verdadeiros positivos (TPR de *True Positve Rate*) e a taxa de falsos positivos (FPR de *False Positive Rate*). A maior nível de ruído a melhora na separabilidade dos *spike* através do circuito NEO fica mais evidente.

O circuito foi avaliado também aplicando um sinal real humano. O sinal corresponde a 30 minutos de registro de um paciente epiléptico realizado no laboratório do professor Itzhak Fried da Universidade da Califórnia Los Angeles (UCLA) utilizando um sistema da empresa Neuralynx (QUIROGA; NADASDY; BEN-SHAUL, 2004). Na figura 4.12 a linha em cor azul é um segmento de 9ms desse sinal, contendo um *spike*. A

Tabela 4.2: Taxas de detecção para diferentes níveis de ruído. O limiar de comparação foi fixado em 8nA.

Ruído	Sinal Original		Saída do circuito NEO	
	TPR	FPR	TPR	FPR
5%	88.2%	0.27%	100%	0.45%
10%	82.3%	0.18%	100%	0.40%
15%	80.0%	0.15%	99%	0.40%
20%	49.4%	0.10%	99.5%	0.30%

resposta do circuito NEO à aplicação desse sinal é representada mediante a linha em vermelho. O sinal de saída foi escalado de forma que os pico máximo coincida com o pico máximo de sinal de entrada. Observa-se claramente a melhora na qualidade do sinal.

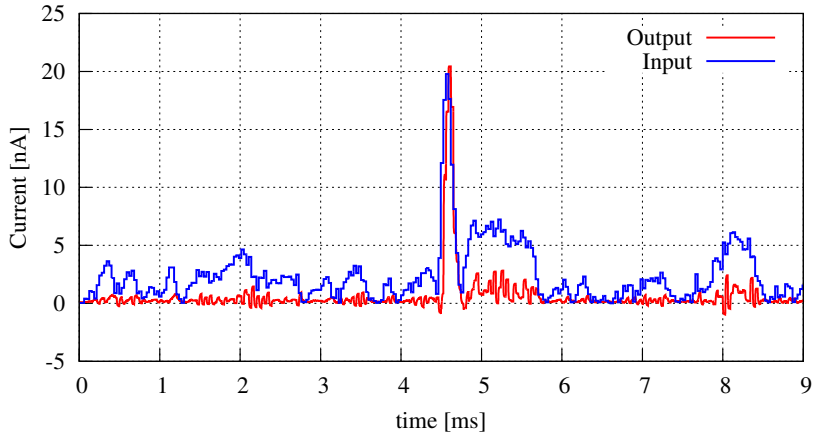


Figura 4.12: Resposta do circuito a um sinal real. O sinal de saída foi escalado de maneira que o pico máximo coincida com o pico máximo do sinal de entrada.

Mediante as simulações foi comprovado que o circuito NEO gasta 300 pJ para processar todas as amostras de um *spike*.

O trabalho apresentado neste capítulo deu como resultado as seguintes publicações (SALDAñA-PUMARICA; DEL-MORAL-HERNANDEZ, 2016a), (SALDAñA-PUMARICA; DEL-MORAL-HERNANDEZ, 2016b).

5 Sistema de classificação de impulsos elétricos neurais

Este capítulo trata do desenvolvimento e simulação de um sistema de classificação de impulsos elétricos neurais *spikes* presentes nos sinais coletados por eletrodos implantados no córtex. O sistema foi projetado visando a sua integração numa interface implantável de registro e transmissão sem fio de sinais neurais extracelulares. Uma das características mais importantes do sistema, que constitui o principal aporte deste trabalho, é a representação de amostras de *spikes* mediante atrasos entre pulsos digitais. Essa representação é a adotada num tipo de processamento conhecido como processamento de sinais em modo tempo ou em inglês *Time-Mode Signal Processing* (RAVINUTHULA et al., 2009), (GUTTMAN; ROBERTS, 2009). O processamento de sinais em modo tempo vem sendo explorado por vários pesquisadores em diversos contextos com o propósito de atenuar as consequências adversas da redução da tensão de alimentação em tecnologias de fabricação modernas (TAILLEFER; ROBERTS, 2009), (DHANASEKARAN et al., 2011), (ZHU; YUAN; KHAN, 2013), (VIGRAHAM; KUPPAMBATTI; KINGET, 2014), (UNNIKRISHNAN; VESTERBACKA, 2014).

O sistema desenvolvido executa a classificação com base no formato dos *spikes* de uma maneira similar à como operam os sistemas de *Template Matching*. Como discutido nos capítulos iniciais a classificação de *spikes* com base nos formatos é uma das alternativas empregadas no processo de *spike sorting*. O sistema aqui apresentado foi desenvolvido considerando a sua aplicação específica em sistemas implantáveis de *spike sorting*. O alinhamento dos *spikes* de entrada é um procedimento importante dentro de um sistema de *Spike Sorting*. Neste trabalho não foi abordado esse procedimento, mas é uma proposta de trabalho futuro importante para complementar o sistema de classificação aqui apresentado.

O classificador desenvolvido recebe como entrada um conjunto de amostras de um *spike* e as compara com as amostras de protótipos previamente definidas. Um

protótipo é um conjunto de amostras de um *spike* que considera-se representante de uma determinada classe (a classe de *spikes* gerados por um mesmo neurônio). A comparação consiste no cômputo da distância de *Manhattan* entre o conjunto de amostras de entrada e os conjuntos de amostras dos protótipos. A menor das distâncias corresponde à classe à qual pertence o *spike* de entrada. Para o cômputo da distância de *Manhattan* implementou-se uma estratégia baseada na representação de amostras como atrasos entre pulsos digitais.

Foram realizadas simulações considerando três protótipos, porém o sistema pode ser estendido para classificar *spikes* em mais de três classes. De maneira simplificada, o sistema pode ser representado como na figura 5.1.

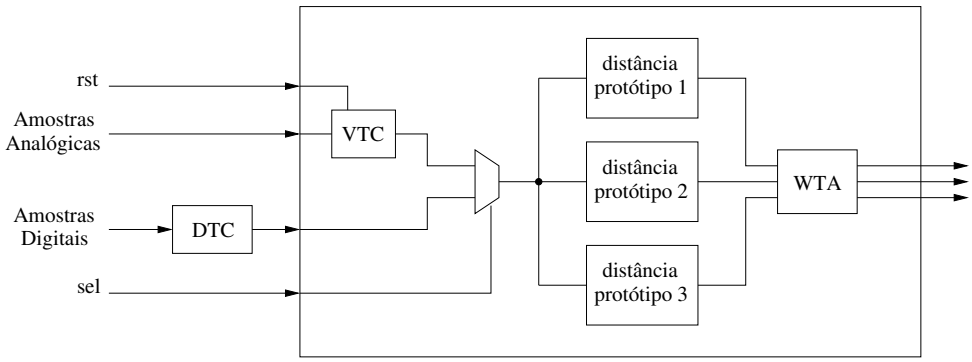


Figura 5.1: Diagrama de blocos simplificado do sistema de classificação de *spikes* desenvolvido. VTC é o conversor de tensão a tempo (*Voltage-to-Time Converter*), WTA é o circuito que determina qual das três entradas é menor (*Winner Take All*).

O sistema pode receber amostras analógicas de um *spike* de maneira serial. Internamente o sistema converte as amostras analógicas em pulsos digitais através de um conversor de tensão a tempo (VTC de *Voltage-to-Time Converter*). A informação está contida nos atrasos desses pulsos em relação a um sinal digital periódico de referência que deve ser aplicado na entrada rst. Esse sinal recebe esse nome (rst) porque serve para descarregar (resetar) um capacitor interno.

O sistema também pode operar em um contexto em que estejam disponíveis amostras digitais do *spike* que se deve classificar. Para isso é necessário um conversor DTC (*Digital to Time Converter*). Neste trabalho não foi abordado o projeto do circuito DTC.

Para determinar a qual classe pertence o *spike* de entrada, calcula-se a distância de *Manhattan* entre o *spike* e os protótipos que representam a cada classe. A menor das distâncias determinará a qual classe pertence o *spike*. A distância de *Manhattan*

é mais fácil de implementar em *hardware* que a distância euclidiana. Outra vantagem do uso da distância de *Manhattan* é o melhor desempenho na classificação quando aumenta o ruído; isto foi mostrado mediante simulações em (KARKARE; GIBSON; MARKOVIC, 2013). A saída do circuito que calcula a distância e uma tensão proporcional à distância.

O circuito WTA (*Winner Take All*) determina qual das três tensões que representam distâncias foi menor e ativa uma das três saídas digitais indicando qual foi a classe identificada.

Em (KARKARE; GIBSON; MARKOVIC, 2013), apresenta-se um sistema de *spike sorting* onde os estágios de agrupamento e classificação são baseados na distância de *Manhattan*. Trata-se de uma implementação completamente digital onde os consumos de área e de potência são dominados pelos registradores que armazenam os protótipos. No sistema de classificação apresentado nesta tese a informação relativa aos protótipos é representada nos atrasos introduzidos por uns circuitos chamados de *Delay Elements (DE)*. O armazenamento temporário desses atrasos depende da tensão em capacitores. Como será explicado nas seções a seguir essa metodologia permite reduzir tanto a área como a potência necessária para operar com os protótipos.

5.1 Representação de sinais como atrasos entre pulsos digitais

Como mencionado nos parágrafos iniciais deste capítulo, a representação baseada em tempo é uma das características mais importantes do sistema de classificação proposto. No sistema proposto, a conversão de tensão analógica a tempo é realizada por um circuito chamado VTC (*Voltage to Time Converter*). O sistema pode operar diretamente com informação representada em tempo o que possibilita a utilização de amostras digitais as quais devem ser convertidas a tempo através de um circuito chamado DTC(*Digital to Time Converter*). Nas explicações a seguir assume-se que se trabalha com amostras analógicas, porém, são válidas para o caso digital desde que se substitua VTC por DTC.

Na figura 5.2 ilustra-se a representação de amostras como atrasos de pulsos digitais em relação a um instante de referência (t_{rst}).

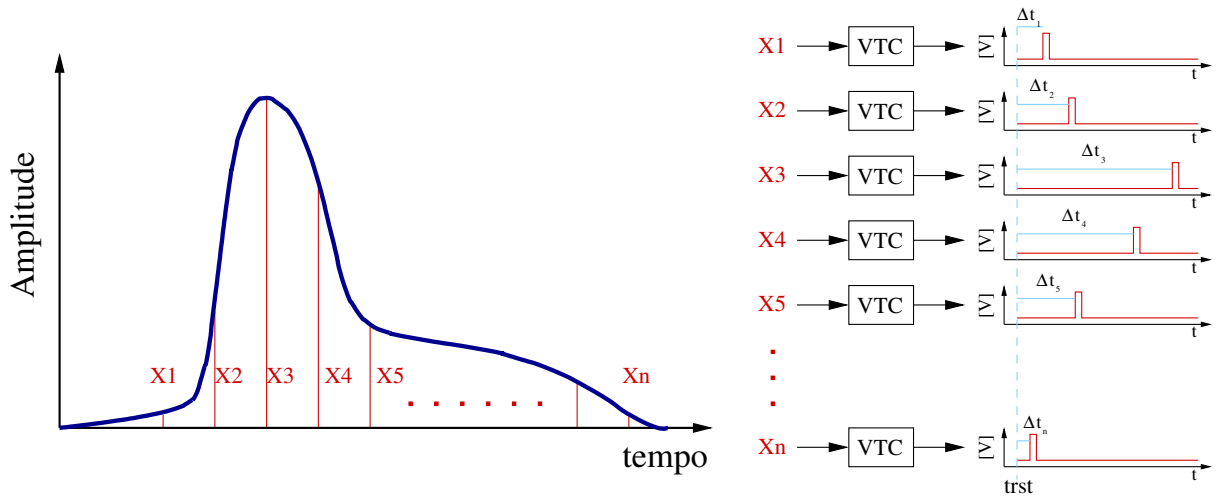


Figura 5.2: Representação de amostras baseada em tempo. Os atrasos dos pulsos em relação a t_{rst} são proporcionais às tensões de entrada dos VTC.

Nessa figura cada VTC converte uma amostra analógica de um *spike* em um pulsos digital atrasado em relação a t_{rst} um tempo proporcional à amostra. Na prática as amostras do *spike* são aplicadas sequencialmente portanto é suficiente utilizar um único VTC de maneira que dentro de cada período do sinal t_{rst} se terá um pulso com um atraso correspondente à a mostra analógica que está representando (ver figura 5.3.

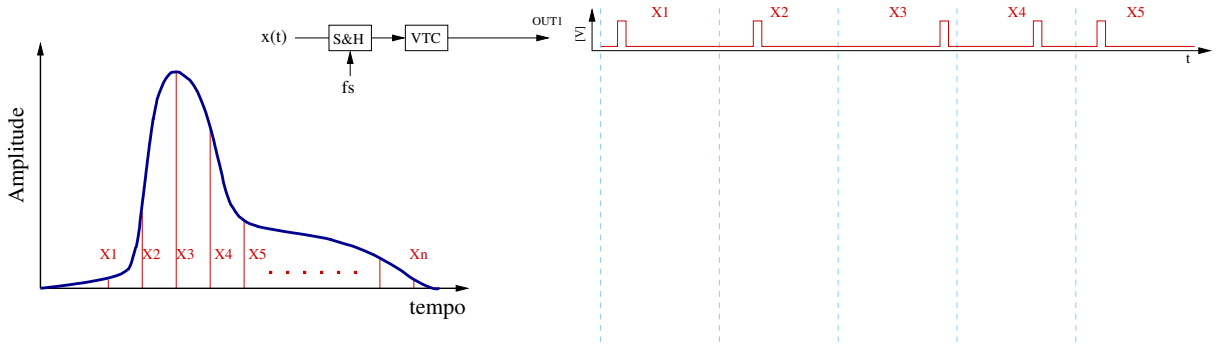


Figura 5.3: Representação de amostras baseada em tempo mediante um único VTC.

5.2 Conversor de tensão a tempo (VTC)

O circuito que realiza a conversão a tempo opera de maneira similar a um modulador tipo PWM (Pulse Width Modulator). Na figura 5.4 representa-se um circuito que realiza esse tipo de conversão. Esse é um dos circuitos mais clássicos para a conversão de tensão a tempo.

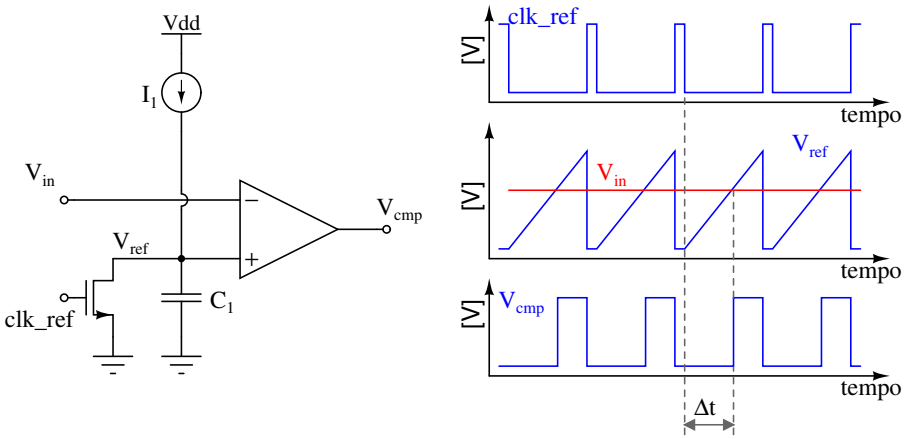


Figura 5.4: Conversor de tensão a tempo baseado em modulação PWM (*Pulse Width Modulator*.

Nessa figura V_{in} representa o valor amostrado do sinal que pretende-se processar. Embora a figura corresponda ao caso em que os sinal de entra é constante, o resultado que será derivado a seguir é válido para um sinal variável que é amostrado utilizando o sinal clk_ref. Após o capacitor ser resetado a saída do comparador demora um tempo δt para comutar:

$$\delta t = \frac{C_1}{I_1} \times V_{in} \tag{5.1}$$

Entre várias outras implementações encontradas na literatura escolheu-se uma que tem como vantagem em relação a alternativa clássica da figura 5.4 que uma das entradas do comparador é mantida fixa (MOHAMAD et al., 2013). O esquema de essa implementação é mostrado na figura 5.5.

Neste caso é válida a seguinte equação:

$$\Delta t = \frac{C_1}{I_1} \times \Delta V \tag{5.2}$$

Onde $\Delta V = V_{in} - V_{ref}$. Um parâmetro que caracteriza ao circuito VTC é o fator de conversão que para o caso analisado é igual a:

$$K_{VTC} = \frac{C_1}{I_1}. \tag{5.3}$$

É importante notar que existe uma relação entre o período de amostragem e a faixa de tensão que pode ser codificada. Para o cálculo da diferencia de amostras com representação de sinais baseada em tempo, necessário para a proposta

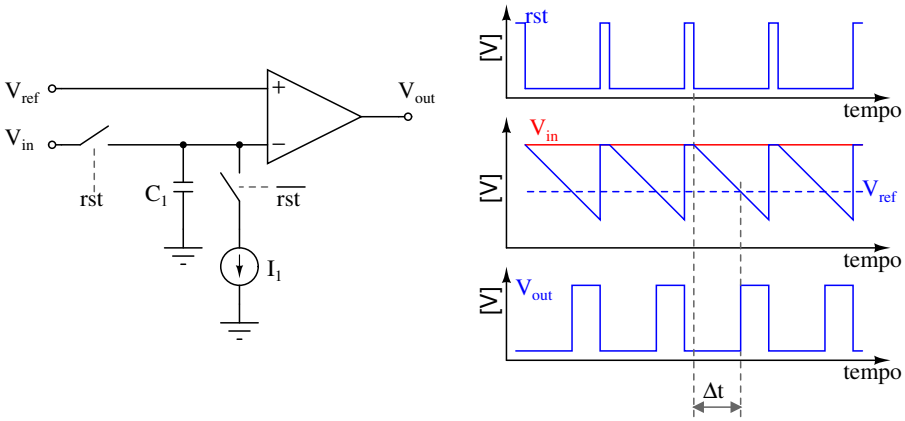


Figura 5.5: Conversor de tensão a tempo apresentado em (MOHAMAD et al., 2013). Neste caso uma das tensões de entrada do comparador é constante o qual facilita o seu projeto.

de cômputo da distância de *Manhattan*, parte do período de amostragem deve ser reservado para as operações. A sinais que serão utilizados nas simulações do sistema de classificação correspondem a uma taxa de amostragem de 24kHz. Para as operações com representação baseada em tempo usaremos um terço do período para representação das amostras. Considerando uma corrente de descarga de 62.5nA e um capacitor de 2pf teremos que a terceira parte do período de amostragens corresponde a:

$$\Delta V = \frac{I}{C} \times \Delta t \tag{5.4}$$

$$= \frac{I}{C} \times \frac{T_{samp}}{3} \tag{5.5}$$

$$= \frac{I}{C} \times \frac{1}{3 f_{samp}} \tag{5.6}$$

$$= \frac{62.5nA}{2pF} \times \frac{1}{3 \times 24kHz} \tag{5.7}$$

$$= 434mV \tag{5.8}$$

Então nas simulações devemos considerar que a máxima amplitude pico-pico do sinal de entrada deve ser menor que 434mV. Mediante simulações comprovou-se que o consumo promédio do conversor é menor a 900 nW.

5.3 Cômputo da distância de *Manhattan*

Nesta seção se detalha uma das propostas deste trabalho de doutorado. Trata-se da estratégia adotada para o cálculo de distância entre dos conjuntos de grandezas (padrões).

O sistema proposto recebe 30 amostras de tensão $\{x_1, x_2, ...$ e $x_{30}\}$, que chamaremos padrão de entrada e gera uma tensão de saída proporcional à distância de Manhattan entre esse conjunto de amostras e outro conjunto de amostras de tensão $\{y_1, y_2, ...$ e $y_{30}\}$ que chamaremos padrão de referência.

$$D_M = K \sum_{i=1}^{30} |x_i - y_i| \tag{5.9}$$

onde K é uma constante de proporcionalidade adimensional. As amostras podem ser aplicadas de maneira paralela ou de maneira sequencial, sendo a segunda alternativa a mais apropriada para o caso de sinais temporais como é o caso dos sinais neurais.

O elemento básico deste sistema é um circuito que gera uma tensão proporcional ao módulo da diferencia entre um par de amostras x_i e y_i:

$$d_i = K \ |x_i - y_i| \tag{5.10}$$

Essa operação pode ser realizada de maneira simples adotando uma codificação baseada no tempo. O circuito que realiza essa operação será chamado de circuito subtrator baseado em tempo.

5.3.1 Circuito subtrator baseado em tempo

O esquema do circuito é mostrado na figura 5.6.

Nessa figura a amostra de entrada é V_x e amostra de referência a V_y. O circuito opera em duas fases, na primeira fase o circuito é configurado para poder calcular diferencias em relação a uma determinado amostra de referência V_y. De certa maneira podemos considerar que na fase de configuração o circuito armazena ou aprende a amostra de referência (V_y). Após essa fase o circuito está pronto para calcular a diferencia entre qualquer amostra de entrada e amostra que foi armazenada ou aprendida.

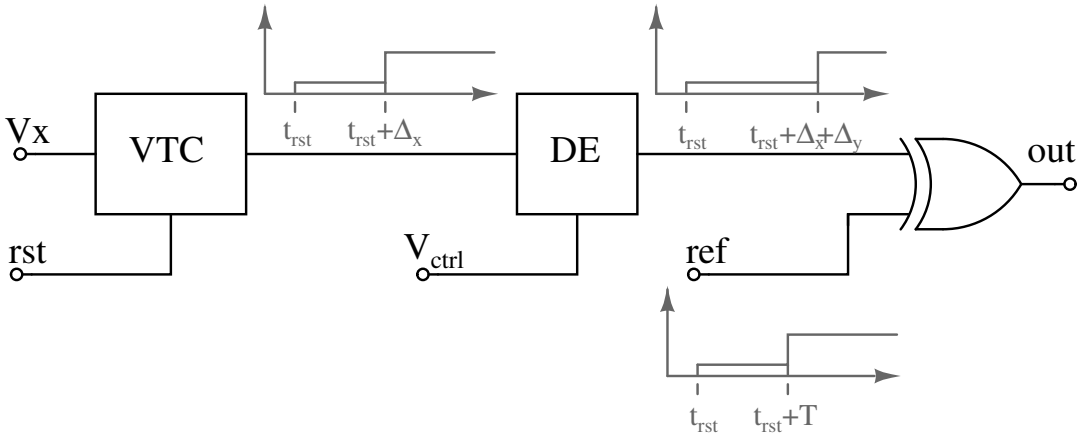


Figura 5.6: Circuito subtrator baseado em tempo. VTC: *Voltage to Time Converter*, DE: *Delay Element*.

A segunda fase, então, é a fase de cálculo da diferencia ($|V_x - V_y|$).

A seguir se explica a fase de cálculo da diferencia, e numa sub-seção posterior será explicado como se realiza a configuração do circuito (aprendizado da amostra de referência V_y). A operação do circuito pode ser entendida com ajuda do diagrama de tempos da figura 5.7.

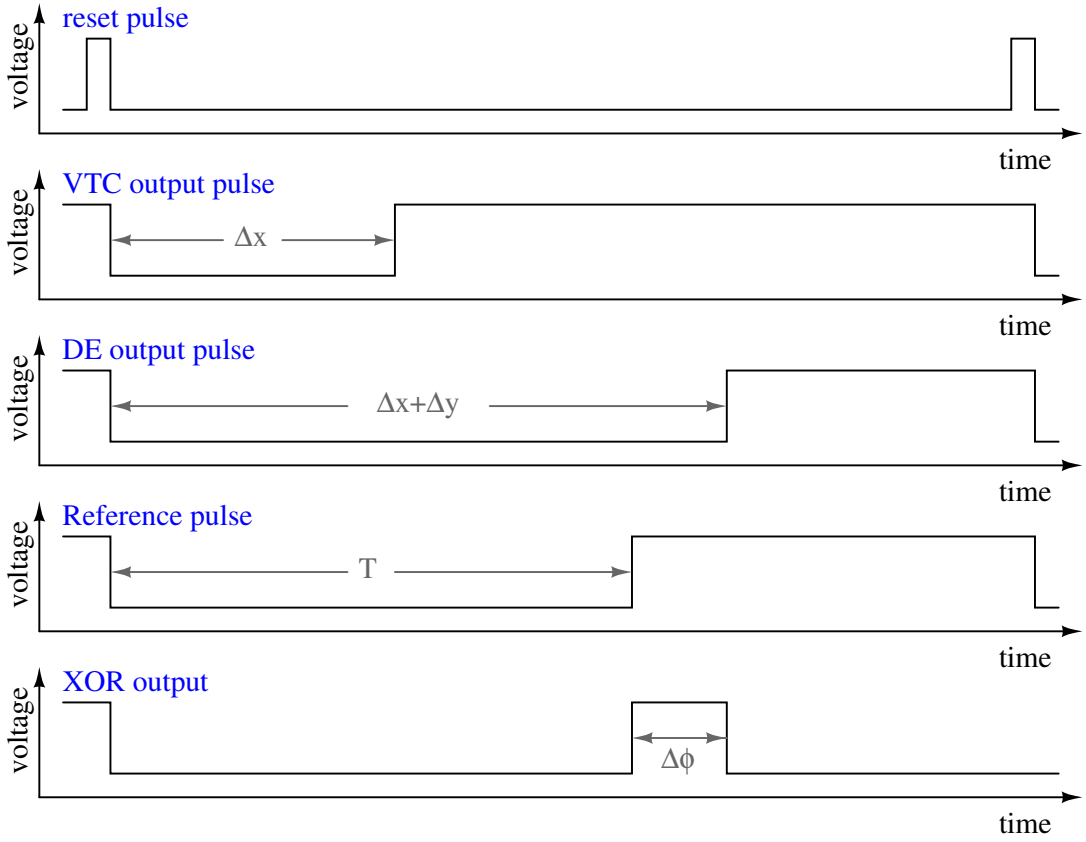


Figura 5.7: Diagrama de tempos da operação do circuito subtrator

Quando acontece um pulso de *reset* inicia-se a conversão de tensão a tempo da amostra de entrada (V_x). A saída do VTC comuta de nível baixo para nível alto um tempo Δ_x após a borda de descida do pulso de *reset*. De acordo com a explicação dada sobre o VTC se cumpre:

$$\Delta_x = K_{VTC} \times V_x \tag{5.11}$$

onde K_{VTC} é o fator de conversão do VTC, dado pela equação 5.3.

O circuito DE (*Delay Element*) introduz um atraso Δ_y que depende da tensão de controle V_{ctrl}. A tensão de controle é definida mediante um *loop* de retroalimentação durante a fase de aprendizado de maneira que o atraso introduzido pelo DE seja igual a:

$$\Delta_y = T - K_{VTC} \times V_y \tag{5.12}$$

sendo T um tempo constante menor ao período de amostragem. Dessa maneira o atraso total observado na saída do DE é:

$$\Delta_x + \Delta_y = T + K_{VTC} \times (V_x - V_y) \tag{5.13}$$

Finalmente uma porta XOR recebe como entradas a saída do DE e um pulso de referência que está atrasado em relação à borda de descida do *reset* em T. Portanto, para o caso $V_x > V_y$ a largura do pulso na saída da XOR é:

$$\Delta_\phi = \Delta_x + \Delta_y - T \tag{5.14}$$

$$\Delta_\phi = K_{VTC} \times (V_x - V_y) \tag{5.15}$$

Uma análise similar para o caso em que $V_x > V_y$ prova que a largura do pulso de saída seria $K_{VTC} \times (V_y - V_x)$. Então, o circuito gera um pulso digital cuja duração é proporcional ao valor absoluto da diferença entre V_x e V_y.

O pulso de saída da porta XOR pode ser aplicado a um integrador para gerar uma tensão proporcional ao valor absoluto da diferença, como se observa na figura 5.8.

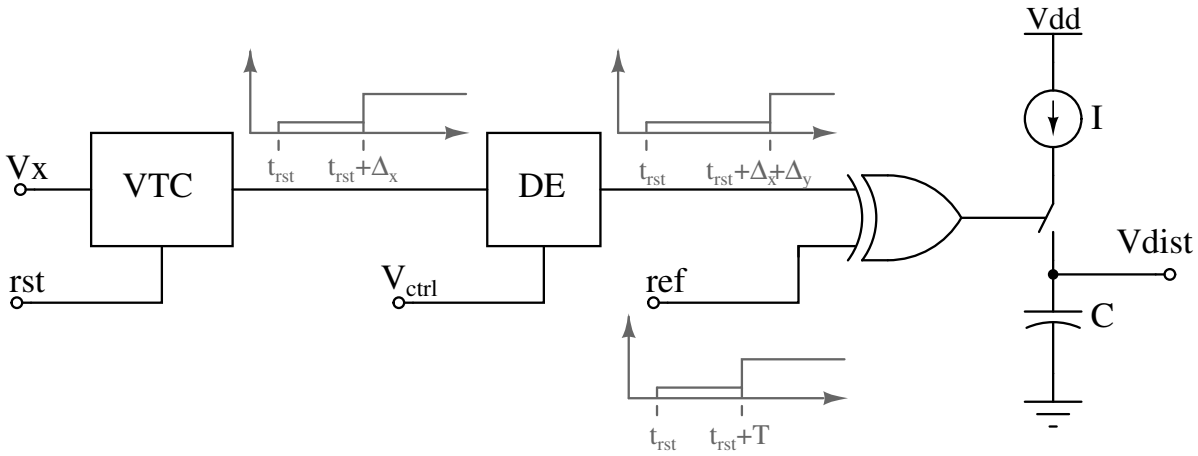


Figura 5.8: Circuito subtrator baseado em tempo com saída na forma de tensão.

Neste caso a tensão de saída é:

$$V_{diff} = K_{VTC} \times \frac{I}{C} \times |V_x - V_y| \tag{5.16}$$

5.3.2 Programação do circuito subtrator

Como mencionado anteriormente, antes de realizar a subtração o circuito subtrator deve ser programado o configurado de maneira a aprender a amostra de referência (V_y). Para esse fim é utilizado um *loop* de retroalimentação similar a um DLL (*Delay Locked Loop*). Esse *loop* é representado na figura 5.9.

Durante a programação são aproveitados alguns elementos do circuito que se usam na operação normal. Estes elementos são o VTC e o DE. Além desses cir-

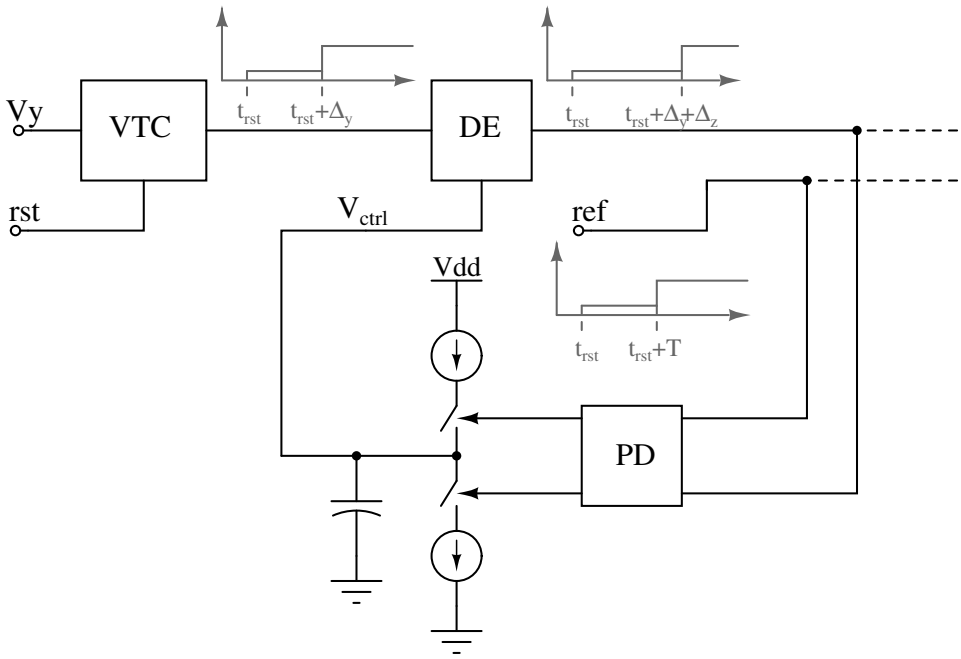


Figura 5.9: Programação do circuito subtrator para calcular diferenças em relação a V_y.

cuitos são necessários adicionalmente um detector de fase e uma bomba de carga. O objetivo é estabelecer uma tensão de controle (V_{ctrl}) em um capacitor que se encontra na saída da bomba de carga. Para isso a tensão que se deseja programar deve ser aplicada na entrada do VTC e o atraso da saída do DE é comparado com o mesmo pulso de referência usado na operação normal; ou seja um pulso atrasado em relação à borda de descida do *reset* em T. Para entender melhor o processo de programação do circuito subtrator é apropriado observar o diagrama de tempos da figura 5.10 que foi obtido mediante simulação elétrica.

O objetivo do *loop* é obter uma tensão de controle de modo que o pulso de saída do DE esteja alinhado com o pulso de referência. Quando isso acontece se cumprem as seguintes relaciones:

$$\begin{aligned} T &= \Delta y + \Delta z \\ \Delta z &= T - \Delta y \\ \Delta z &= T - K_{VTC} \times V_y \end{aligned}$$

ou seja, o DE estará programado para introduzir o atraso necessário para realizar a subtração em relação a V_y como estipulado na equação 5.12.

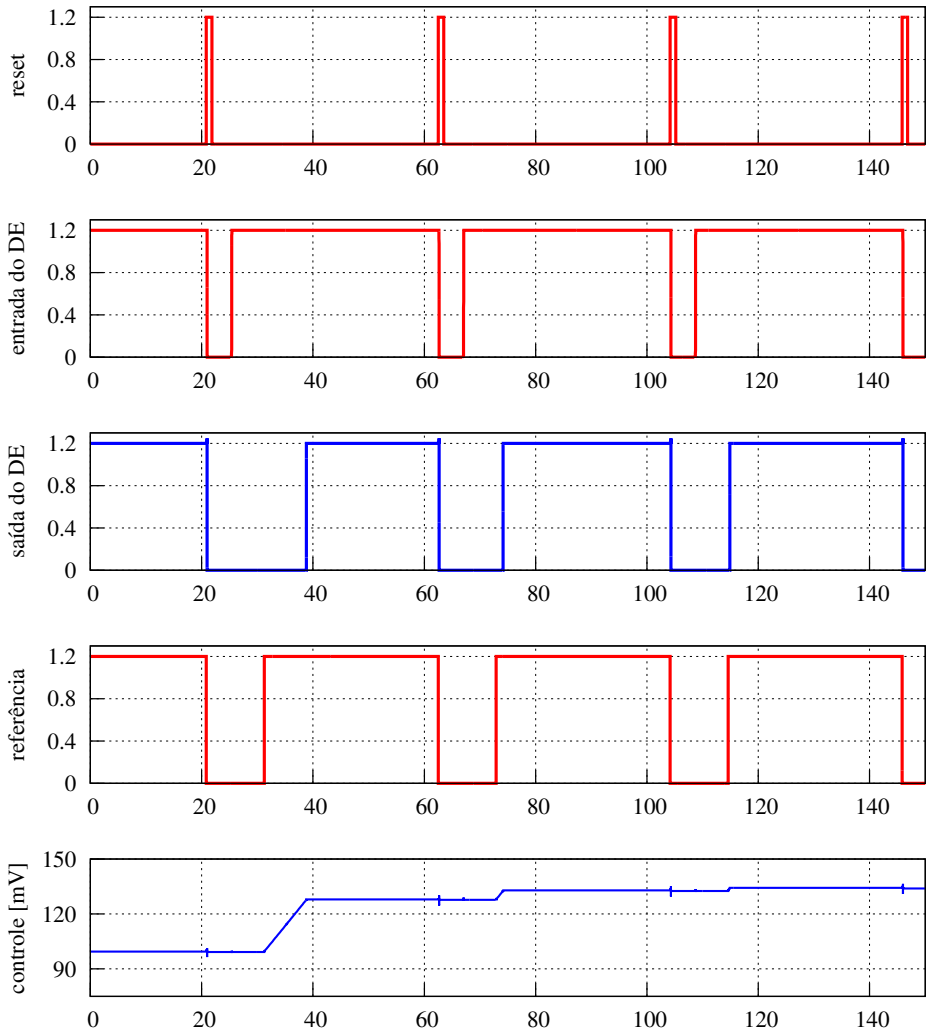


Figura 5.10: Diagramas de tempos obtidos mediante a simulação do *loop* de programação do circuito subtrator para calcular diferenças em relação a V_y.

5.4 Circuito que calcula a distância de *Manhattan*

Empregando vários circuitos subtratores pode se implementar um circuito que calcula a distância de *Manhattan*. Uma implementação direta é representada na figura 5.11. Um único capacitor de saída integra as contribuições de cada subtrator de maneira que ao final da operação a tensão do capacitor é a soma das diferenças calculadas pelos subtratores.

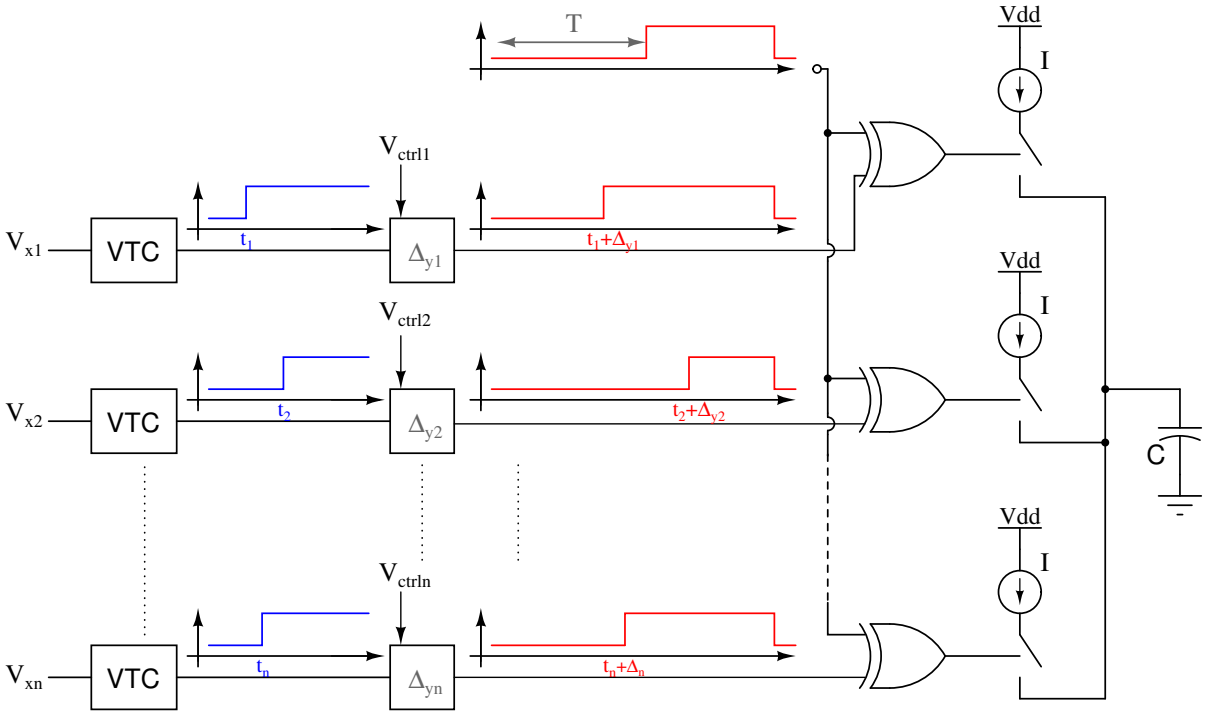


Figura 5.11: Circuito que calcula a distância de *Manhattan* baseado no uso de uma fonte de corrente para cada canal. As correntes são integradas no capacitor de saída gerando uma tensão proporcional à distância de *Manhattan*.

Um problema associado à essa implementação é sua sensibilidade ao *mismatch* entre as fontes de corrente. Isso pode ser resolvido usando apenas uma fonte de corrente como mostrado na figura 5.12. Neste caso os subtratores não podem operar simultaneamente. Dada essa característica sequencial da operação do circuito é possível compartilhar um único VTC entre todos os subtratores.

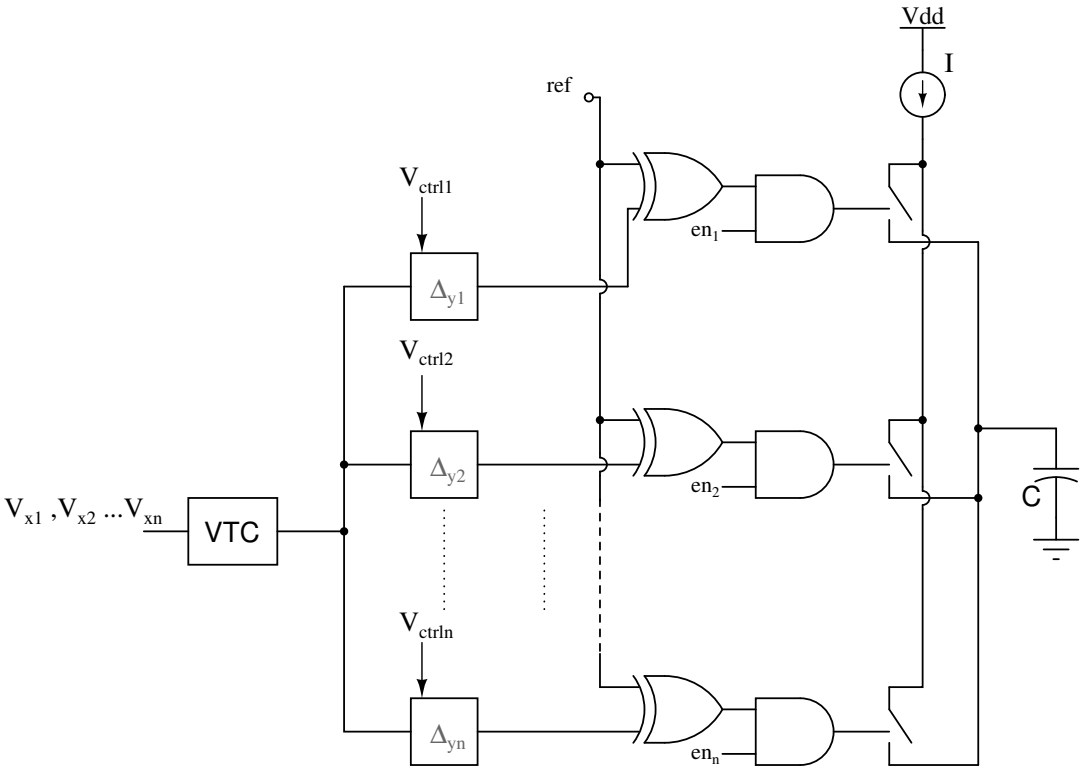


Figura 5.12: Circuito que calcula a distância de *Manhattan* com uso compartilhado de VTC e de integrador de saída

Nessa implementação as amostras devem ser aplicadas de maneira sequencial. A tensão do capacitor de saída é incrementada cada vez que uma operação de subtração é finalizada. Após o processamento de todas as amostras a tensão de saída será proporcional à distância de*Manhattan* entre o padrão definido pelas amostras de entrada e o padrão definido pelas tensões configuradas nos circuitos DE.

$$V_{dist} = K_{VTC} \times \frac{I}{C} \times \sum_{i=1}^{n} |V_{xi} - V_{yi}| \tag{5.17}$$

5.5 Simulação do sistema de classificação de impulsos elétricos desenvolvido nesta tese

Para avaliar o desempenho do sistema de classificação desenvolvido realizaram simulações elétricas aplicando um sinal construído a partir de *spikes* reais. O sinal contém *spikes* de três neurônios e ruído. O valor rms de ruído é igual ao 20% da amplitude máxima dos *spikes*. O sinal contém um total de 2586 *spikes* e com base no 20% dos *spikes* de cada neurônio construíram-se os protótipos que os representam. Na figura 5.13 apresentam-se os três protótipos:

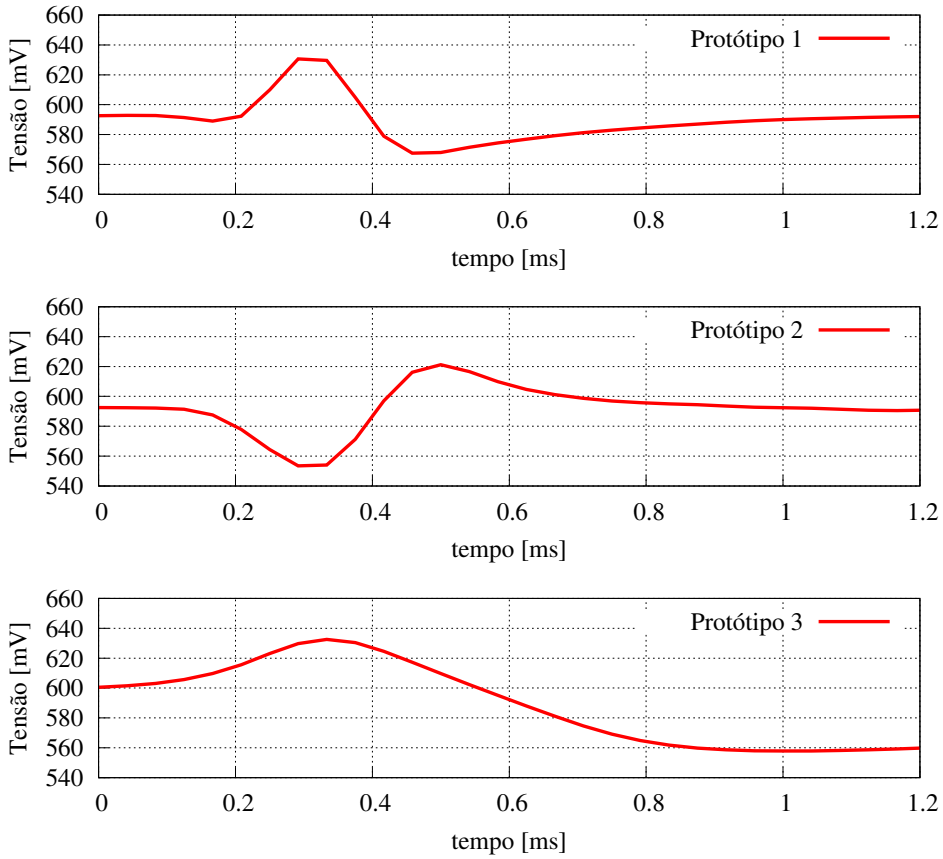


Figura 5.13: *Spikes* de três neurônios diferentes, presentes no sinal utilizado na simulação do sistema de classificação.

Cada *spike* é representado mediante 30 amostras adquiridas a uma frequência de 24 KS/s. As amostras dos protótipos foram aplicadas ao sistema na fase de treinamento com o objetivo de configurar os subtratores baseados em tempo tal como foi explicado na subseção 5.3.2. Cada protótipo é processado por um circuito que calcula a distância de *Manhattan*.

Após a fase de configuração dos subtratores foram aplicados 1996 *spikes* ao sis-

tema. Cada *spike* é processado pelos três circuitos que calculam a distância de *Manhattan*. Cada um desses circuitos calcula a distância entre o *spike* de entrada e o protótipo que foi configurado.

Na figura 5.14 observa-se o resultado da simulação em que foi aplicado um *spike* da classe 1 (mesma classe do protótipo 1). Na parte superior dessa figura estão três gráficos que permitem comparar visualmente ao *spike* aplicado com os três protótipos. Os resultados do cálculo da distância entre esse *spike* e os três protótipos estão representados nos três gráficos da parte inferior.

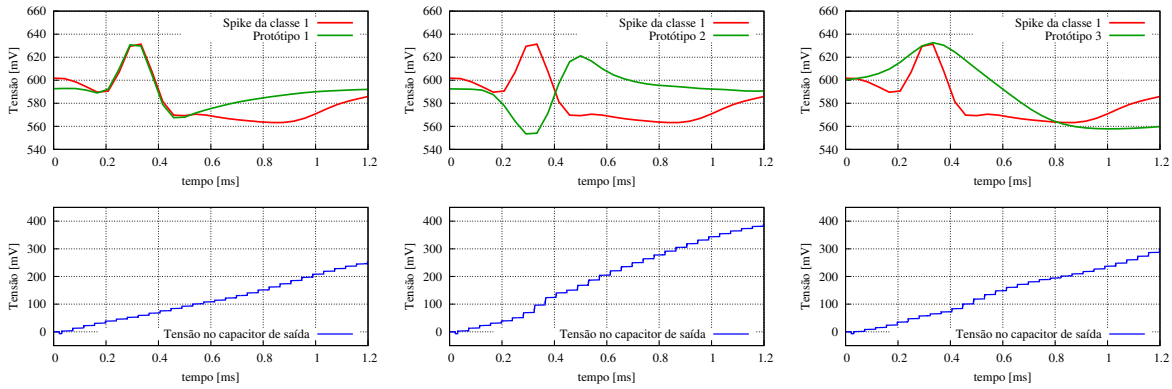


Figura 5.14: Resultados de simulação da aplicação de um *spike* da classe 1 ao sistema.

Observando as tensões no capacitor de de saída do circuito (três gráficos da parte inferior) nota-se que a menor distância corresponde à classe 1. A diferencia entre a menor das tensões e a segunda menor tensão é aproximadamente 50mV. Essa diferença de tensões é facilmente detectada por um comparador de tensão. O fato que a menor tensão corresponda à classe 1 significa que o sistema classificou corretamente ao *spike* de entrada.

Na figura 5.15 observa-se o resultado para o caso da aplicação de um *spike* da classe 2.

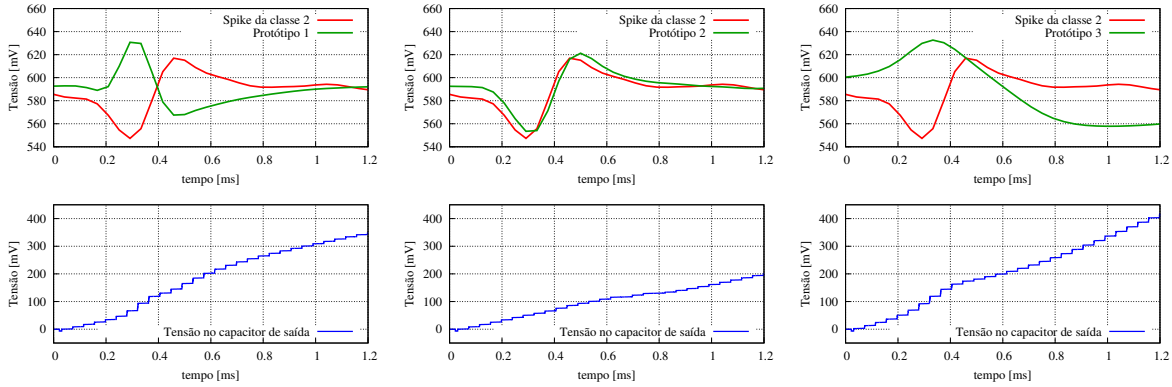


Figura 5.15: Resultados de simulação da aplicação de um *spike* da classe 2 ao sistema.

De novo, o sistema gera tensão mínima na comparação com o protótipo correto (neste caso, o protótipo 2).

Finalmente, na figura 5.16 observa-se o resultado para o caso da aplicação de um *spike* da classe 3.

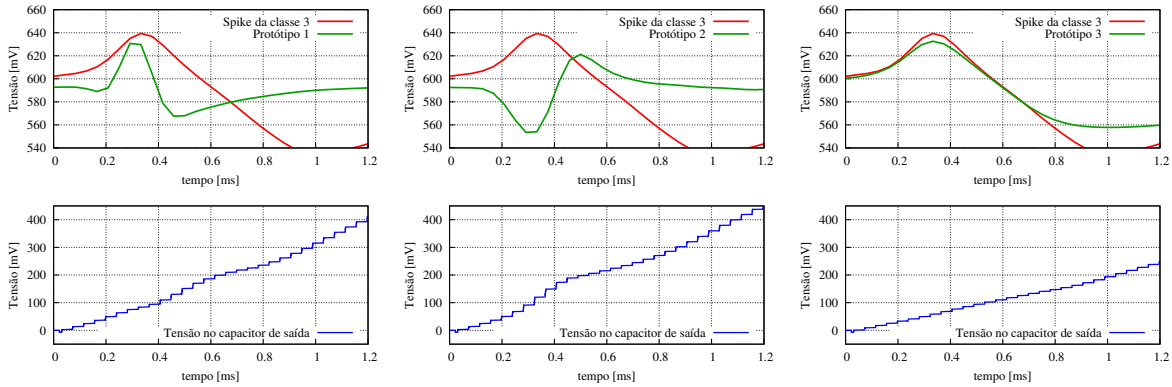


Figura 5.16: Resultados de simulação da aplicação de um *spike* da classe 3 ao sistema.

Observa-se que o sistema gera tensão mínima na comparação com o protótipo correto (neste caso, o protótipo 3).

Quando um *spike* de entrada é comparado, através do cálculo da distância de *Manhattan*, com os três protótipos, a menor das distâncias define o resultado da classificação. A menor das três distâncias indica a qual das três classes pertence o *spike* de entrada. Um erro do sistema de classificação consiste em indicar uma

classe diferente à real. O comparador de saída, que identifica a menor das distâncias pode indicar um resultado incorreto se as tensões de saída são próximas. Por exemplo se a menor das distâncias é 300mV e a segunda menor distância é 301mV é muito provável que o comparador de saída indique uma classe errada devido ao *offset*. Embora seja possível aplicar técnicas de auto-zero para reduzir o *offset* é desejável que as diferenças entre distâncias sejam maiores ao valores típicos de *offset*. Quando os formatos dos protótipos sejam bem similares será praticamente impossível evitar que as distâncias sejam muito próximas e neste caso acontecerá um erro na classificação.

A precisão da classificação definida como a relação entre o número de *spikes* corretamente classificados e o número total de *spikes* depende de la mínima diferença de tensão que o comparador de saída consiga resolver. Para avaliar essa precisão se aplicaram 200 *spikes* do banco de dados escolhido. Na figura 5.17 se observa a precisão da classificação em função da mínima tensão que pode ser reconhecida pelo comparador de saída.

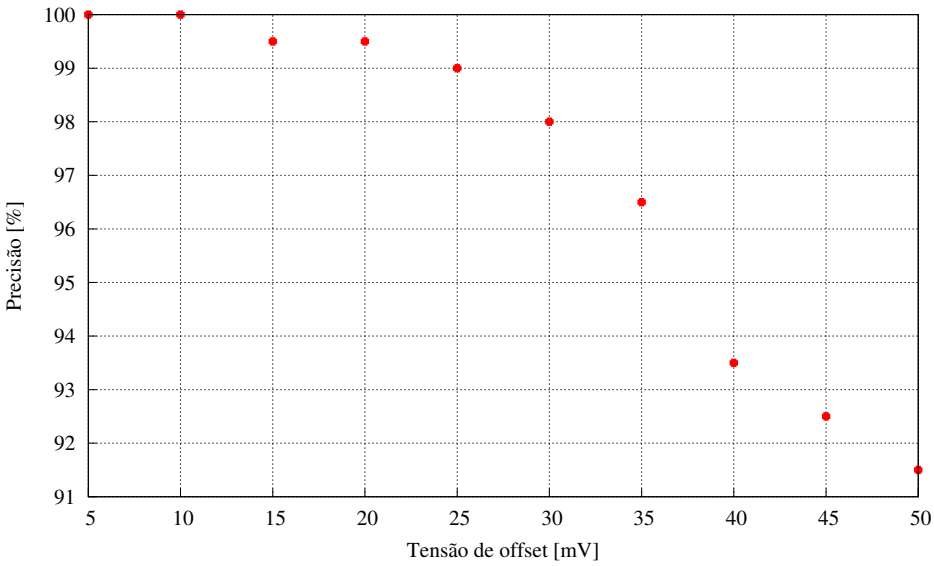


Figura 5.17: Precisão da classificação em função da mínima tensão que o comparador de saída pode reconhecer

6 Conclusões e perspectivas

A seguir são apresentadas as conclusões da pesquisa de doutorado relatada neste texto. As conclusões estão organizadas em três grupos, o primeiro trata da pesquisa sobre interfaces neurais implantáveis e os processamentos realizados nelas, o segundo sobre o projeto e simulação do sistema de detecção de *spikes* e o último sobre o sistema de classificação de *spikes*.

6.1 Sobre o estado da arte e o rumo da pesquisa em interfaces neurais implantáveis

As conclusões apresentadas a seguir, foram obtidas com base na pesquisa em artigos de congressos e periódicos.

- Na pesquisa em neurociência é relevante dispor de equipamentos que realizem o registro de sinais intracorticais com a possibilidade de identificar instantes de disparos de neurônios isolados.
- Na área de estudo de neuropróteses, é importante conhecer os instantes de disparos de neurônios isolados porque mesmo estando próximos, dois neurônios podem codificar informações completamente diferentes.
- Com a tecnologia atual, cada eletrodo implantado recebe sinais de vários neurônios simultaneamente.
- A tendência atual na área de neuropróteses é o aumento de número de eletrodos que realizam registro de sinais extracelulares. Essa tendência impõe desafios relacionados com o consumo de potência y largura de banda da informação a ser transmitida.

- Existe interesse em estudar alternativas para a implementação em *hardware* do processo de *spike detection* e *spike sorting*, visando a redução do consumo de potência em interfaces neurais implantáveis.

6.2 Sobre o sistema de detecção de impulsos elétricos neurais desenvolvido nesta tese

- Foi realizado um estudo para determinar se é apropriado utilizar o valor absoluto de um sinal neural como entrada do operador NEO. Mediante a simulação dessa alternativa em sinais do banco de dados *Waveclus* com 8 diferentes níveis de ruído concluiu-se que é equivalente ao caso da aplicação direta do NEO ao sinal original. Essa conclusão foi obtida tanto através de comparação visual das ondas resultantes quanto mediante a comparação de parâmetros de detecção tpr (*true positive rate*) e fpr (*false positive rate*). Este tipo de análise pode contribuir, no futuro, ao desenvolvimento de novas estratégias de detecção que resultem em um *hardware* mais compacto. Notou-se, no estudo do estado da arte, que alguns pesquisadores optam por fazer pequenas modificações a algoritmos já bem estabelecidos e testados em *software* com o objetivo de obter soluções mais econômicas em termos de área e consumo de potência.

- Foi desenvolvido um circuito elevador ao quadrado baseado em três transistores PMOS que opera em modo corrente e que pode ser usado no sistema que calcula o NEO. Embora apresente uma dependência com parâmetros de processo e temperatura, essa dependência pode ser eliminada a nível de sistema na detecção de *spikes* através de seleção apropriada do limiar de comparação. O circuito elevador ao quadrado e a estratégia para eliminar a dependência de parâmetros de processo e temperatura podem ser aproveitados, no futuro, em outras implementações de detectores de *spikes* ou em outros tipos de processamentos não lineares. A otimização do conjunto de tarefas: conversão a tensão e elevação ao quadrado pode abrir um grande conjunto de aplicações futuras. Algo nesse sentido foi ensaiado e publicado em (SALDAñA-PUMARICA; DEL-MORAL-HERNANDEZ, 2016a).

- Para a simulação e caracterização do circuito elevador ao quadrado foi elaborado um programa em linguagem OCEAN (*Open Command Environment for Analysis*) compatível com as ferramentas da simulação de companhia CADENCE.

Esse programa permite avaliar o quanto se aproxima a curva característica de saída do circuito em relação a uma função quadrática. Para isso empregou-se o coeficiente de correlação linear entra ambas as curvas. O programa permite realizar iterações mudando parâmetros de projeto, realizando simulações e observando tal coeficiente. Dessa maneira foi possível explorar o espaço de projeto do circuito elevador ao quadrado. Este tipo de programas contribui a uma tendência atual em usar, no contexto de projeto de circuito integrados, algoritmos de otimização e exploração do espaço das variáveis de projeto. Esse tipo de abordagem torna-se cada vez mais comum num cenário em que os modelos matemáticos dos dispositivos são cada vez mais complexos.

- Foi desenvolvida uma estratégia de implementação do NEO mediante o uso de 4 instâncias do circuito elevador ao quadrado mencionado no item anterior. O circuito obtido foi avaliado como estágio de pré-processamento na detecção de *spikes* e consumo, obtido mediante simulação, foi de 300 pJ para cada *spike* processado (30 amostras do sinal de entrada) (ver 4). A capacidade do circuito de salientar a presença de *spikes* foi comprovada mediante a simulação com sinais do banco de dados Waveclus (QUIROGA; NADASDY; BEN-SHAUL, 2004). Como trabalho futuro, propõe-se construir curvas de desempenho em função da área estimada considerando o efeito do descasamento de parâmetros entre dispositivos.

6.3 Sobre o sistema de classificação de impulsos elétricos neurais desenvolvido nesta tese

- Foi proposto um método para o cômputo da distância de *Manhattan* baseado na representação de sinais mediante atrasos entre pulsos digitais. O processamento com esse tipo de representação é conhecido na literatura como processamento em modo tempo (*time-mode processing*), processamento baseado em tempo (*time-based processing*) ou processamento no domínio do tempo (*time-domain processing*). A diminuição da máxima tensão de alimentação dos circuitos integrados é uma tendência conduzida pela necessidade de otimizar o desempenho dos circuitos digitais. Porém, para o projeto de circuitos analógicos essa diminuição da tensão de alimentação traz consequências adversas. Considerando os tipos clássicos de representação de grandezas analógicas (tensão,

corrente e carga), as melhoras no processos de fabricação não se traduzem em melhoras em termos de desempenho dos circuitos analógicos. Nesse cenário, uma alternativa estudada atualmente é a representação baseada em tempo. Destaca-se, então, que o sistema de classificação de *spikes* projetado nesta tese contribui a esse aspecto do estado-da-arte.

- Foi projetado um circuito que implementa o método mencionado no item anterior. O circuito gera uma tensão de saída proporcional a distância de *Manhattan* entre dois conjuntos de grandezas analógicas ou digitais. A escolha entre a opção analógica ou digital dever ser acompanhada de um circuito de codificação apropriado. Neste trabalho apresentou-se o projeto do conversor de tensão a tempo (VTC de *Voltage-to-Time Converter*), necessário para a operação do sistema com grandezas analógicas. Como trabalho futuro recomenda-se implementar o conversor DTC (*Digital-to-Time Converter*) que permitirá explorar as possibilidades do sistema de operar com amostras digitais.

- Foi projetado um circuito que implementa a conversão de tensões analógicas de entrada em atrasos entre pulsos digitais de maneira tal que os atrasos são proporcionais às tensões de entrada. O consumo promédio desse circuito é menor a 900 nW como verfificado na seção 5.2.

- Foi projetado um sistema de classificação de *spikes* conformado por vários circuitos que calculam a distância de *Manhattan*. Como mostrado nas figuras 5.14, 5.15 e 5.16, que foram obtidas mediante simulação, o sistema consegue indicar a menor distância entre *spike* de entrada e *templates* para aquele *template* que representa a classe à qual o *spike* pertence. O erros na classificação se devem, principalmente, à resolução do comparador de saída. Se a diferença entre a mínima distância e a segunda menor distância é menor que o *offset* do comparador de saída então pode acontecer um erro na classificação. Como mostrado na figura 5.17 o sistema consegue uma precisão de classificação maior a 99% considerando um *offset* de 15 mV.

- Foi desenvolvido um programa na linguagem (*OCEAN*) que permite obter, através de um algoritmo de busca binária, as tensões de configuração dos elementos de atraso que definem o *template* que se deseja programar no sistema de classificação desenvolvido. Este programa facilitará, num projeto futuro, a avaliação do sistema operando com amostras digitais.

- Foi desenvolvido um programa na linguagem (*OCEAN*) que permite aplicar de maneira sequencial as amostras de vários *spikes* ao circuito classificador e obter os resultados da classificação. Dessa maneira foram realizadas de maneira automática a simulação do sistema com más de 400 *spikes* de entrada. Esse mesmo programa pode ser utilizado, no futuro, para avaliar o desempenho da operação sistema com amostras digitalizadas.

Apêndice A – Programas em Matlab

Este apêndice contem todos os programas em matlab utilizados nas simulações realizadas como parte de este trabalho de doutorado. Inlcuem-se programas relacionados à detecção de impulsos elétricos neurais, classificação de impulsos elétricos neurais e à análises de desempenho de alguns circuitos desenvolvidos neste trabalho.

A.1 Extração e filtrado de sinais do banco de dados Waveclus

```
% Leitura e filtragem de sinal do banco de dados wave_clus

function signal = get_waveclus_signal(waveclus_mat_file)

format long g;
load(waveclus_mat_file);
num_samples = length(data);
raw_signal  = data;
fsamp = 24000;
f1    = 300;
f2    = 6000;
[b,a] = butter(2,[f1 f2]/(0.5*fsamp));
signal = filter(b,a,data);
```

A.2 Extração de instantes de ocorrência de *spikes* em um sinal do banco de dados Waveclus

```
function times = get_waveclus_times(waveclus_mat_file)

format long g;

load(waveclus_mat_file);

times = cell2mat(spike_times);
```

A.3 Geração de tabela de resultados do NEO implementado em matlab e aplicado a sinais do banco de dados Waveclus

```
% Geração de tabela com resultados do:
% 1. NEO aplicado ao sinal
% 2. NEO aplicado ao valor absoluto do sinal

duration  = 300; % duração em milisegundos
fsamp     = 24000;
tsamp     = 1000/fsamp; % período em milisegundos
tvector   = (tsamp:tsamp:duration)';
nduration = duration * fsamp / 1000; % número de amostras

for j=1:8;
  waveclus_mat_file = strcat('../spike_data/wave_clus/file',sprintf('%d',j),'.mat');
  out_file          = strcat('../spike_data/wave_clus/file',sprintf('%d',j),'_matlab_r
  signal            = get_waveclus_signal(waveclus_mat_file);
  signal_neo        = neo(signal(1:nduration));
  signal_neo_abs    = neo(abs(signal(1:nduration)));
  plots             = [tvector signal(1:nduration)' signal_neo signal_neo_abs];
  dlmwrite(out_file,plots,'delimiter','\t','precision',6);
end
```

A.4 Extração e filtrado de sinais do banco de dados Osort

```
function signal = get_osort_signal(osort_sim_number,osort_noise_level)

format long g;
osort_mat_file = strcat('../spike_data/osort/sim',sprintf('%d',osort_sim_number),'/si
load(osort_mat_file);

raw_signal  = spiketrains(osort_noise_level);
fsamp = 25000;

signal = cell2mat(raw_signal);
```

A.5 Extração de instantes de ocorrência de *spikes* em um sinal do banco de dados Osort

```
function times = get_osort_times(osort_mat_file)

format long g;
load(osort_mat_file);
times1 = spiketimes{1,1};
times2 = spiketimes{1,2};
times3 = spiketimes{1,3};
times = [times1 times2 times3];
N = length(times);
num_changes = 1;

while num_changes>0
  num_changes = 0;
  for i=1:N-1
    if times(i)>times(i+1)
      num_changes = num_changes + 1;
      aux = times(i);
      times(i) = times(i+1);
      times(i+1) = aux;
    end
  end
end
```

A.6 Construção de curva ROC

```
function roc=roc3(signal,reference_times,fsamp,trefrac,kinf,ksup)

format long g;
num_samples = length(signal);

% Number of samples of refractory period (ex 48)
nrefrac = trefrac * fsamp;

% Number of points of roc curve
N         = 20;
sigma     = median(abs(signal)/0.6745);
thr       = 4 * sigma;
thrmin    = kinf * thr;
thrmax    = ksup * thr;

thrstep   = (thrmax / thrmin)^(1/(N-1));
roc = zeros(N,3);

for i=1:N
  thri    = thrmin + thrmax - thrmax / thrstep^(i-1);
  detected_times = threshold2(signal,thri,nrefrac);
  [ntdi tpri nfdi fpri] = evaluate_detector(detected_times,reference_times,num_samples
  roc(i,:) = [thri fpri tpri];
end
```

Apêndice B – Programas em OCEAN

As ferramentas de projeto e simulação da companhia CADENCE utilizadas no desenvolvimento desta tese podem ser programas através de uma linguagem chamada OCEAN (*Open Command Environment for Analysis*). A seguir apresentam-se os programas desenvolvidos nessa linguagem que foram empregados em várias das simulações realizadas neste trabalho.

B.1 Programa para a explorar o espaço de projeto do circuito elevador ao quadrado

```
; design_gm_psquarer.ocn
; 8 de Novembro de 2014
; Análise paramétrica do elevador ao quadrado
; Parâmetro: W

simulator( 'spectre )

; Netlist do circuito paramétrico
; Deve ser gerado a partir do esquema da figura 4.5
design( "./gm_psquarer_design/netlist")

; Pasta onde serão armazenados os resultados
resultsDir( "./gm_psquarer_design" )

; Arquivo com modelos da TSMC 90nm
modelFile('("./models/toplevel.scs" "tt_lib"))

analysis('dc ?saveOppoint t ?dev "/V7" ?param "dc"
                ?start "-20m" ?stop "20m" ?step "50u" )
desVar( "Lpair" 2u )
desVar( "Wpair" 5u )
```

```
desVar(    "vin" 0        )
desVar(    "itail" 125n   )
desVar(    "vref" 0.5     )
desVar(    "vsupply" 1.2  )
envOption(
        'analysisOrder   list("dc")
)
save( 'i "/V0/PLUS" )
temp( 27 )
load("sumvec.il")
p = outfile("gm_psquarer_r.out")
for(j 1 25
        Wsq = 4.0u + (j - 1.0) * 0.2u
        desVar("Wsq" Wsq)
        run()
        Iout_dc = i("/V0/PLUS" ?result 'dc)
        Iout_dcOp = i("/V0/PLUS" ?result 'dcOp)
        vin_vec = drGetWaveformXVec(Iout_dc)
        X = vin_vec ** 2.0
        Y = drGetWaveformYVec(Iout_dc) - Iout_dcOp
        XY = X * Y
        SXY = sumvec(XY)
        XX = X * X
        SXX = sumvec(XX)
        YY = Y * Y
        SYY = sumvec(YY)
        r = SXY / sqrt(SXX * SYY)
        fprintf(p "%2.1f\t%2.6f\n" Wsq*1e6 r*100.0)
        drain(p)
)
close(p)
```

B.2 Programa para o a simulação do circuito NEO em regimen DC

```
; sim_ineo_dc.ocn
; 6 de Janeiro de 2015
; Simulação DC do circuito NEO

simulator( 'spectre )

; Netlist do circuito paramétrico
; Deve ser gerado a partir do esquema da figura 4.7
design( "./sim_ineo_dc/netlist")

; Pasta onde serão armazenados os resultados
resultsDir( "./sim_ineo_dc/schematic" )

; Arquivo com modelos da TSMC 90nm
modelFile('("./models/toplevel.scs" "tt_lib"))

analysis('dc ?saveOppoint t )
desVar( "vref" 600m )
desVar( "vcasc" 600m )
desVar( "vout" 600m )
envOption(
        'analysisOrder list("dc" "tran")
)
saveOption( 'save "selected" )
save( 'i "/V1/PLUS" )
temp( 27 )
load("isamples_file2.ocn")
p = outfile("file2_ineo_dc.out" "w")
N = 1440000
for(i 2 N-1
        desVar("i1" isamples[i-1])
        desVar("i2" isamples[i])
        desVar("i3" isamples[i+1])
        run()
        ineo = i("/V1/PLUS" ?result 'dcOp)
        fprintf(p "%5.6f\n" ineo*1e9)
drain(p)
)
close(p)
```

B.3 Programa para a obter a tensão de calibração dos elementos de atraso

```
; calibra_vctrl.ocn
; 5 de Maio de 2015
; Determinação da tensão de calibração dos elementos de atraso
; mediante busca binária

simulator( 'spectre )

; Netlist do circuito
; Deve ser gerado a partir do esquema da figura 5.8
design( "./calibra_vctrl/netlist")

; Pasta onde serão armazenados os resultados
resultsDir( "./calibra_vctrl" )

; Arquivo com modelos da TSMC 90nm
modelFile('("./models/toplevel.scs" "tt_lib"))

; Leitura arquivo de atraos gerado com matlab
load("sim_delays_file2_mean5.ocn")
; Arquivo de resultados
p = outfile("sim_vdelay_file2_mean5.ocn" "w")
fsamp  = 24.0k
tsamp  = 1.0 / fsamp
analysis('tran ?stop "100u"  ?errpreset "conservative"  )
envOption('analysisOrder  list("tran") )
saveOption( 'save "selected" )
save( 'v "out" "in" )
temp( 27 )
for(i 0 29
        erro = 100.0
        vmin = 10.0m
        vmax = 500.0m
        delayX = 0.25 * tsamp - 1.0u - delays[i]
        while( erro > 0.01
                vctrl = (vmin + vmax) / 2
                desVar( "vctrl" vctrl )
                run()
                vin = v("in" ?result 'tran)
                vout = v("out" ?result 'tran)
```

```
                delay = (cross(vout 0.6 1) - cross(vin 0.6 1))
                if(delay > delayX vmin = vctrl vmax = vctrl)
                erro = 100.0 * abs(delay - delayX) / delayX
        )
        fprintf(p "desVar(\"VC%d\"  %1.6f)\n" i+1 vctrl)
        drain(p)
)
close(p)
```

B.4 Programa para obter os parâmetros de deteção com base nos resultados da simulação do detector de *spikes*

```
procedure( evaluate_detector(detected_times,\
        reference_times num_samples spike_duration sampling_frequency)

; Number of truly detected spikes
ntd = 0;
; Total number of detected (truly and falsely) spikes
nd = length(detected_times);
; Total numer of spikes
nr = length(reference_times);
; Pointer to detected times
pd = 1;
; Pointer to reference times
pr = 0;
while( pr < nr
  pr = pr + 1
  rt = nth((pr - 1) reference_times)
  delay = spike_duration+1
  while( (delay > spike_duration && pd <= nd)
    dt = int(sampling_frequency * (detected_times[pd - 1]));
    delay = rt - dt;
    pd = pd + 1;
  )
  if( (abs(delay) <= spike_duration)
  then
    ntd = ntd + 1;
  else
    pd = pd - 1;
  )
)
tpr = ntd / (1.0 * nr + 0.0)
total_negative = 1000.0 * (num_samples - spike_duration * nr) / sampling_frequency
; Number of falsely detected spikes
nfd  = nd - ntd
; False positive rate in spikes per milisecond
fpr = nfd / total_negative
declare(y[4])
y[0] = ntd
y[1] = tpr
```

```
y[2] = nfd
y[3] = fpr
y
)
```

B.5 Programa para a obter a curva ROC

```
load("detect.ocn")
load("evaluate_detector.ocn")
load("ref_times.ocn")
openResults("./")
selectResults('tran)
sampling_frequency = 24000.0
; Spike duration in number of samples
spike_duration = 48.0
iout           = i("/V1/PLUS")
X              = drGetWaveformXVec(iout)
xvec_length    = drVectorLength(X)
num_samples    = int(sampling_frequency * drGetElem(X (xvec_length - 1)))
thrmin         = 0.015 * ymax(iout)
thrmax         = 0.150 * ymax(iout)
nthr           = 50
thrstep        = (thrmax - thrmin) / (nthr - 1.0)
THRvec         = drCreateVec(`double nthr)
TPRvec         = drCreateVec(`double nthr)
FPRvec         = drCreateVec(`double nthr)
for(i 1 nthr
  thr            = thrmin + (i - 1.0) * thrstep
  drSetElem(THRvec (i - 1) thr)
  detected_times = detect(iout thr sampling_frequency)
  result         = evaluate_detector(detected_times,\
                   reference_times,num_samples,spike_duration,sampling_frequency)
  tpr            = result[1]
  fpr            = result[3]
  drSetElem(TPRvec (i - 1) tpr)
  drSetElem(FPRvec (i - 1) fpr)
)
TPRwave = drCreateWaveform(THRvec TPRvec)
FPRwave = drCreateWaveform(THRvec FPRvec)
roc = famCreateFamily("parameter" `string)
famAddValue(roc "tpr" TPRwave)
famAddValue(roc "fpr" FPRwave)
ocnPrint(?output "roc.out" ?numberNotation 'scientific roc)
```

B.6 Programa para simulação do cômputo da distância entre dos vetores de grandezas analógicas

```
; par_dist.ocn
; 15 de Maio de 2015
; Simulação do cômputo da distância de Manhattan

simulator( 'spectre )

; Netlist do circuito paramétrico
; Deve ser gerado a partir do esquema da figura 5.12
design( "./par_dist/netlist")


; Pasta onde serão armazenados os resultados
resultsDir( "./par_dist" )


; Arquivo com modelos da TSMC 90nm
modelFile('("./models/toplevel.scs" "tt_lib"))

analysis('tran ?stop "62u" ?errpreset "conservative" )

load("vsamples_file2_spikes.ocn")

load("sim_vdelay_file2_mean5.ocn")

p = outfile("index_vsample.out" "a")

desVar( "fsamp" 24k )
envOption(
        'analysisOrder list("tran")
)
option( ?categ 'turboOpts
        'uniMode "APS"
)
saveOption( 'save "selected" )
save( 'v "/distance" )
temp( 27 )
for(j 59 1831
spike_index = j
```

```
for(i 1 30
        var_name = strcat("Vl" sprintf(nil "%d" i))
        var_val  = nth(i-1 vsamples[spike_index-1])
        desVar(var_name var_val)
)

run()
distance = v("distance" ?result 'tran)
vdistance = value(distance 60u)
fprintf(p "%d\t%3.3f\n" j vdistance)
drain(p)

)

close(p)
```

Apêndice C – Esquemas elétricos em Cadence

C.1 Esquema do circuito conversor de tensão a corrente

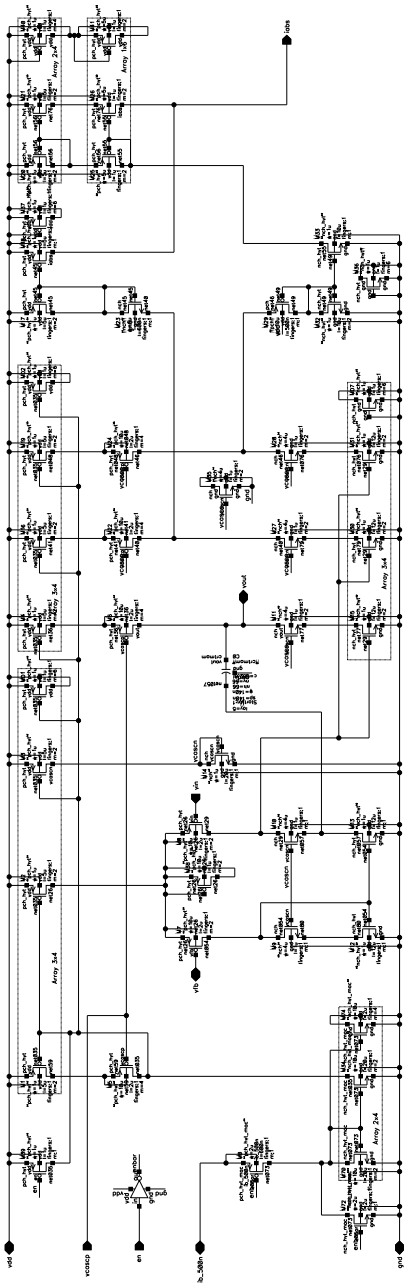


Figura C.1: Esquema do circuito conversor de tensão a corrente.

C.2 Esquema do circuito NEO

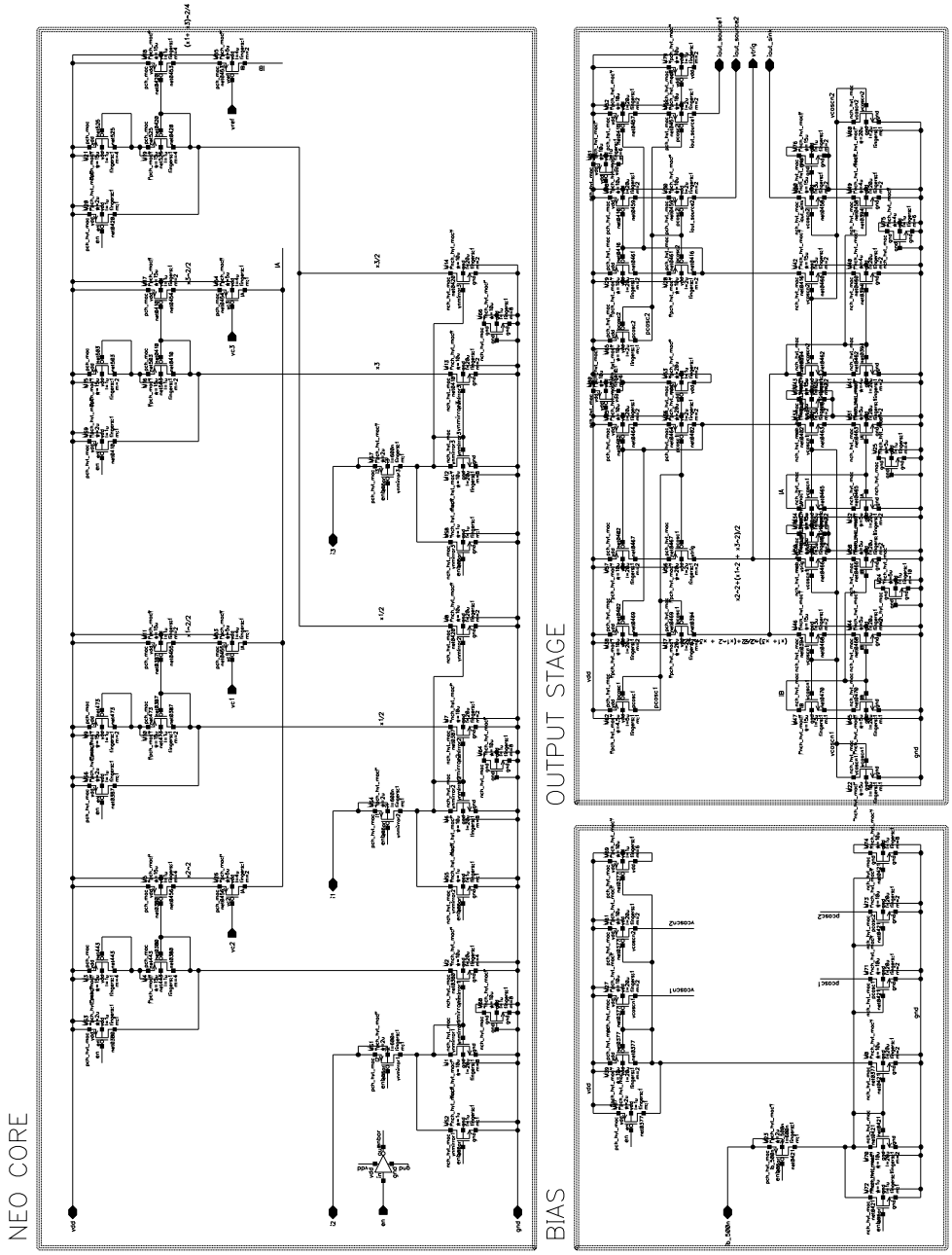


Figura C.2: Esquema do circuito NEO

Apêndice D – *Layouts* dos circuitos

D.1 *Layout* do circuito conversor de tensão a corrente

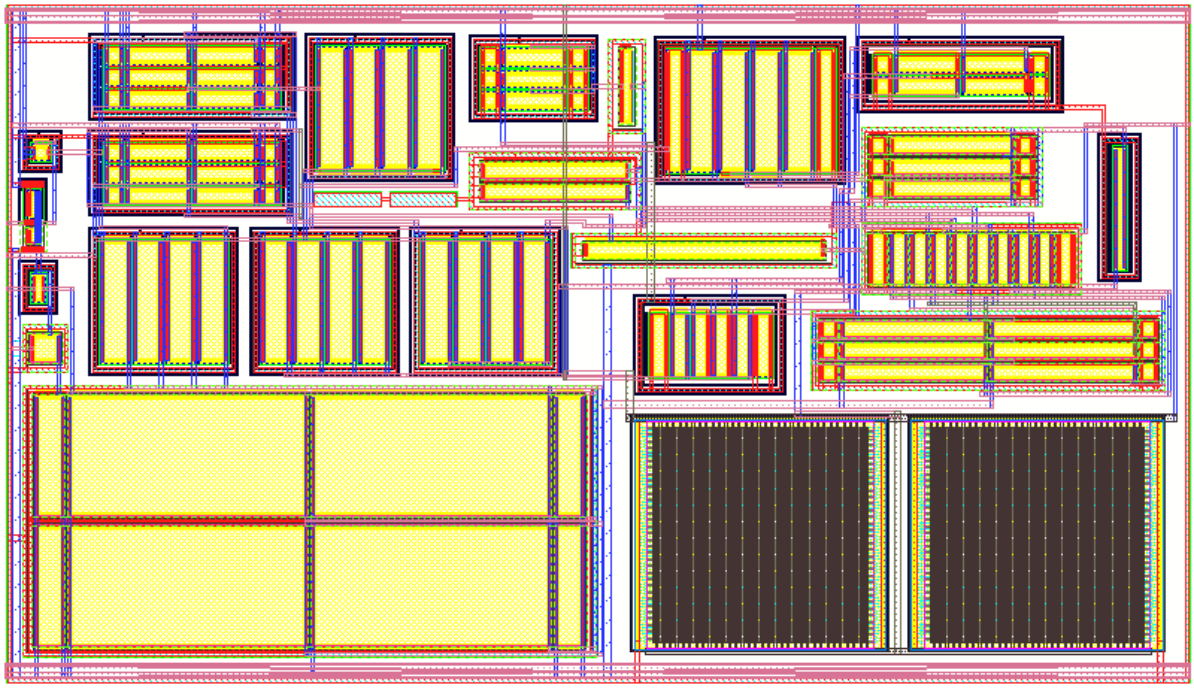


Figura D.1: *Layout* do circuito conversor de tensão a corrente.

D.2 *Layout* do circuito NEO

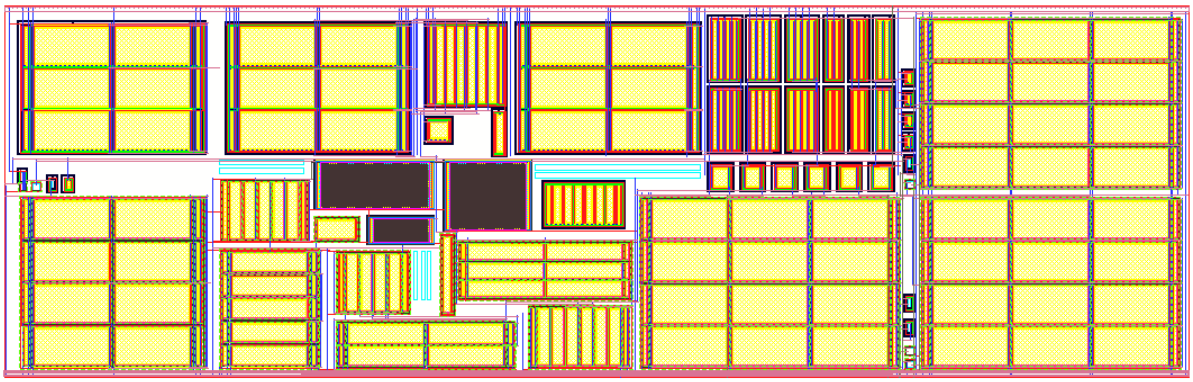


Figura D.2: *Layout* do circuito NEO

Referências

ABBOTT, A. In search of the sixth sense. **Natuew**, v. 442, n. 13, p. 125–127, Jul 2006.

AFLALO, T.; KELLIS, S.; KLAES, C.; LEE, B.; SHI, Y.; PEJSA, K.; SHANFIELD, K.; HAYES-JACKSON, S.; AISEN, M.; HECK, C.; LIU, C.; ANDERSEN, R. A. Decoding motor imagery from the posterior parietal cortex of a tetraplegic human. **Science**, v. 348, n. 6237, p. 906–910, may. 2015.

AKIN, T.; NAJAFI, K.; BRADLEY, R. M. A Wireless Implantable Multichannel Digital Neural Recording System for a Micromachined Sieve Electrode. **IEEE Journal of Solid-State Circuits**, v. 33, n. 1, p. 109–118, Jan. 1998.

BERGER, T. W.; SONG, D.; CHAN, R. H. M.; MARMARELIS, V. Z.; LACOSS, J.; WILLS, J.; HAMPSON, R. E.; DEADWYLER, S. A.; GRANACKI, J. J. A Hippocampal Cognitive Prosthesis: Multi-Input, Multi-Output Nonlinear Modeling and VLSI Implementation. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 20, p. 198–211, mar. 2012.

BLUM, R. A.; ROSS, J. D.; BROWN, E. A.; DEWEERTH, S. P. An integrated system for simultaneous, multichannel neural stimulation and recording. **IEEE Transactions on Circuits ans Systems I: Fundamental Theory and Applications**, v. 54, n. 12, p. 2608–2618, Dec. 2007.

BROWN, E. A.; ROSS, J. D.; BLUM, R. A.; NAM, Y.; WHEELER, B. C.; DEWEERTH, S. P. Stimulus-artifact elimination in a multi-electrode system. **IEEE Transactions on Biomedical Circuits and Systems**, v. 2, n. 1, p. 10–21, Mar. 2008.

CHAE, M.; LIU, W.; YANG, Z.; CHEN, T.; KIM, J.; SIVAPRAKASAM, M.; YUCE, M. A 128-Channel 6 mW wireless neural recording IC with on-the-fly spike sorting and UWB transmitter. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. San Francisco, 2008. p. 145–147.

CHAE, M. S.; LIU, W.; SIVAPRAKASAM, M. Design Optimization for Integrated Neural Recording Systems. **IEEE Journal of Solid-State Circuits**, v. 43, n. 9, p. 123–133, Sep. 2008.

CHAE, M. S.; YANG, Z.; YUCE, M. R.; HOANG, L.; LIU, W. A 128-Channel 6 mW Wireless Neural Recording IC With Spike Feature Extraction and UWB Transmitter. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 17, p. 312–321, aug. 2009.

COLLINGER, J. L.; WODLINGER, B.; DOWNEY, J.; WANG, W.; TYLER-KABARA, E. C.; WEBER, D. J.; MCMORLAND, A. J. C.; VELLISTE, M.; BONINGER, M. L.; SCHWARTZ, A. B. High-performance neuroprosthetic control by an individual with tetraplegia. **Lancet**, v. 381, p. 557–564, feb. 2013.

DATTA-CHAUDHURI, T.; SENEVIRATHNA, B.; SMELA, A. C. ans E.; ABSHIRE, P. An active micro-electrode array with spike detection and asynchronous readout. In: IEEE BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE. Lausanne, 2014. p. 588–591.

DHANASEKARAN, V.; GAMBHIR, M.; ELSAYED, M. M.; SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J.; MISHRA, C.; CHEN, L.; PANKRATZ, E. J. A continuous time multi-bit $\Delta\Sigma$ ADC using time domain quantizer and feedback element. **IEEE Journal of Solid-State Circuits**, v. 46, n. 3, p. 639–650, Mar. 2011.

DO, A. T.; YEO, K. S. A hybrid NEO-based spike detection algorithm for implantable brain-IC interface applications. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEM. Melbourne, 2014. p. 2393–2396.

DRAGAS, J.; JACKEL, D.; HIERLEMANN, A.; FRANKE, F. Complexity Optimization and High-Throughput Low-Latency Hardware Implementation of a Multi-Electrode Spike-Sorting Algorithm. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 23, p. 149–158, Mar 2015.

FETZ, E. Operant conditioning of cortical unit activity. **Science**, v. 28, n. 163, p. 955–958, Feb 1969.

GAO, H.; WALKER, R. M.; NUYUJUKIAN, P.; MAKINWA, K.; SHENOY, K. V.; MENG, B. M. ans T. H. Hermese: A 96-channel full data rate direct neural interface in 0.13 μm cmos. **IEEE Journal of Solid-Stat Circuits**, v. 47, n. 4, p. 1043–1055, Abr. 2012.

GIBSON, S. Technology-Aware Algorithm Design for Neural Spike Detection, Feature Extraction, and Dimensionality Reduction. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 18, n. 5, p. 469–478, 2010.

GIBSON, S.; JUDY, J. W.; MARKOVIĆ, D. Comparison of spike-sorting algorithms for future hardware implementation. In: 30TH ANNUAL INTERNATIONAL IEEE EMBS CONFERENCE, 2008, Vancouver. **Proceedings...** Vancouver: IEEE, 2008. p. 5015–5020.

GOSSELIN, B.; SAWAN, M. An Ultra Low-Power CMOS Automatic Action Potential Detector. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 17, n. 4, p. 346–353, 2009.

GRAIMANN, B.; ALLISON, B.; PFURTSCHELLER, G. Brain-computer interfaces: a gentle introduction. In: GRAIMANN, B.; ALLISON, B.; PFURTSCHELLER, G. (Ed.). Berlin: Springer, 2010. cap. Brain-computer interfaces, p. 1–27.

GUTTMAN, M. M.; ROBERTS, G. W. Sampled-Data IIr Filtering Using Time-Mode Signal Processing Circuits. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEM. Taipei, 2009. p. 2285–2288.

HARRIS, K. D.; HENZE, D. A.; CSICSVARI, J.; HIRASE, H.; BUZSáKI, G. Accuracy of tetrode spikes separation as determined by intracelullar and extracellular measurements. **Journal of Neurophysiology**, v. 84, n. 1, p. 401–414, Jul. 2000.

HARRISON, R.; WATKINS, P.; KIER, R.; LOVEJOY, R.; BLACK, D.; NORMANN, R.; SOLZBACHER, F. A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. San Francisco, 2006. p. 2258–2267.

HARRISON, R. R. A Low-Power Integrated Circuit for Adaptive Detection of Action Potentials in Noisy Signals. In: 25th ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE EMBS, 2003, Cancun. **Proceedings...** Cancun: IEEE, 2003. p. 3325–3328.

HE, B. **Neural Engineering**. 2. ed. New York: Springer New York, 2013.

HENZE, D. A.; BORTHEGYI, Z.; CSICSVARI, J.; MAMIYA, A.; HARRIS, K. D.; BUZSáKI, G. Intracellular features predicted by extracellular recordings in the hippocampus in vivo. **Journal of Neurophysiology**, v. 84, n. 1, p. 390–400, Jul. 2000.

HISENI, S.; SAWIGUN, C.; NGAMKHAM, W.; SERDIJN, W. A. A Compact, Nano-Power CMOS Action Potential Detector. In: IEEE BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE. Beijing, China, 2009. p. 97–100.

HOCHBERG, L. R.; BACHER, D.; JAROSIEWICZ, B.; MASSE, N. Y.; SIMERAL, J. D.; VOGEL, J.; HADDADIN, S.; LIU, J.; CASH, S. S.; SMAGT, P. van der; DONOGHUE, J. P. Reach and grasp by people with tetraplegia using a neurally controlled robotic arm. **Nature**, v. 485, p. 372–377, may. 2012.

HOCHBERG, L. R.; SERRUYA, M. D.; FRIEHS, G. M.; MUKAND, J. A.; SALEH, M.; CAPLAN, A. H.; BRANNER, A.; CHEN, D.; PENN, R. D.; DONOGHUE, J. P. Neuronal ensemble control of prosthetic devices by a human with tetraplegia. **Nature**, v. 442, p. 164–171, jul. 2006.

HOLLEMAN, J.; MISHRA, A.; DIORIO, C.; OTIS, B. A Micro-Power Neural Spike Detector and Feature Extractor in 0.13μm CMOS. In: IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE. San Jose, CA, 2008. p. 333–336.

HOUSE, W.; URBAN, J. Long term results of electrode implantation and electronic stimulation of the cochlea in man. **Annals of Otology, Rhinology and Laryngology**, v. 82, p. 504–715, jul-aug 1973.

IFFT, P. J.; SHOKUR, S.; LI, Z.; LEBEDEV, M. A.; NICOLELIS, M. A. L. A Brain-Machine Interface Enables Bimanual Arm Movements in Monkeys. **Science Translation Medicine**, v. 5, n. 210, p. 1–15, 2013.

JACKSON, A. Brain-controlled robot grabs attention. **Nature**, v. 485, p. 317–318, may. 2012.

KAISER, J. F. On a simple algorithm to calculate the energy of a signal. In: INTERNATIONAL CONFERENCE OF ACOUSTIC, SPEECH AND SIGNAL PROCESSING, 1990, Albuquerque. **Proceedings...** New Mexico: IEEE, 1990. p. 381–384.

KAISER, J. F. On Teager's Energy Algorithm and Its Generalization to Continuous Signals. In: 4TH IEEE DSP WORKSHOP, 1990, Monhonk, NY. **Proceedings...** [S.l.]: IEEE, 1990.

KARKARE, V.; GIBSON, S.; MARKOVIC, D. A 75-μw, 16-channel neural spike-sorting processor with unsupervised clustering. **IEEE Journal of Solid-State Circuits**, v. 48, p. 2230–2238, Sep. 2013.

KIM, S.; TATHIREDDY, P.; NORMANN, R. A.; SOLZBACHER, F. Thermal impact of an active 3-D microelectrode array implanted in the brain. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 15, n. 4, p. 493–501, Dez. 2007.

KWOK, R. Once more, with feeling. **Nature**, v. 497, p. 176–178, may. 2013.

LI, H.; XU, Q. Sub-threshold-based ultra-low-power neural spike detector. **Electronics Letters**, v. 47, n. 6, p. 1–2, Mar. 2011.

LIU, S.; KRAMER, J.; INDIVERI, G.; DELBRüCK, T.; DOUGLAS, R. **Analog VLSI: Circuits ans Principles**. 1. ed. Massachusetts: Massachusetts Institute of Technology, 2002.

LóPEZ-MARTíN, A. J.; ESPARZA-ALFARO, F.; RAMIREZ-ANGULO, J.; CARVAJAL, R. G. Accurate micropower class ab cmos voltage-to-current converter. In: 20TH EUROPEAN CONFERENCE ON CIRCUIT THEORY AND DESIGN (ECCTD), 2011, Linkoping. **Proceedings...** Linkoping: IEEE, 2011. p. 114–117.

MEAD, C. **Analog VLSI and Neural Systems**. 1. ed. Reading,MA: Addison Wesley, 1989.

MESTAIS, C.; CHAVERT, G.; SAUTER-STARACE, F.; FOESTER, M.; RATEL, D.; BENABID, A. L. WIMAGINE: Wireless 64-channel ECoG recording implant for long term clinical applications. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 23, n. 1, p. 10–21, Jan. 2015.

MOHAMAD, S.; TANG, F.; BERMAK, A.; AMIRA, A.; BENAMMAR, M. A Low Power Temperature Sensor based on a Voltage to Time Converter Cell. In: 25TH INTERNATIONAL CONFERENCE ON MICROELECTRONICS. Beirut, 2013. p. 1–4.

MOHSENO, P.; NAJAFI, K. A Fully Integrated Neural Recording Amplifier With DC Input Stabilization. **IEEE Transactions on Biomedical Engineering**, v. 51, n. 5, p. 832–837, May. 2004.

MONGE, M.; RAJ, M.; HONAVAR-NAZARI, M.; CHANG, H.-C.; ZHAO, Y.; WEILAND, J.; HUMAYUN, M.; TAI, Y.-C.; EMAMI-NEYESTANAK, A. A Fully Intraocular 0.0169mm^2/pixel 512-Channel Self-Calibrating Epiretinal Prosthesis in 65nm CMOS. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. San Francisco, 2013. p. 296–297.

MUKHOPADHYAY, S.; RAY, G. C. A new interpretation of nonlinear energy operator and its efficacy in spike detection. **IEEE Transactions on Biomedical Circuits and Systems**, v. 45, n. 2, p. 180–187, Feb. 1998.

MULLER, R.; LE, H.-P.; LI, W.; LEDOCHOWITSCH, P.; GAMBINI, S.; BJORNINEN, T.; KORALEK, A.; CARMENA, J. M.; MAHABARBIZ, M. M.; ALON, E.; RABAEY, J. M. A Miniaturized 64-Channel 225uW Wireless Electrocorticographic Neural Sensor. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. San Francisco, 2014. p. 412–414.

MULLER, R.; LE, H.-P.; LIM, W.; LEDOCHOWITSCH, P.; GAMBINI, S.; BJORNINEN, T.; KORALEK, A.; CARMENA, J. M.; MAHARIZ, M. M.; ALON, E.; RABAEY, J. M. A Minimally Invansive 64-Channel Wireless μECoG Implant. **IEEE Journal of Solid-State Circuits**, v. 50, n. 1, p. 344–359, Jan. 2015.

NAJAFI, K.; WISE, K. A High-Yield IC-Compatible Multichannel Recording Array. **IEEE Transactions on Electron Devices**, ED-32, n. 7, p. 1206–1211, Jul. 1985.

NAVAJAS, J.; BARSAKCIOGLU, D. Y.; EFTEKHAR, A.; JACKSON, A.; CONSTANDINOU, T. G.; QUIROGA, R. Q. Minimum requirements for accurate and efficient real-time on-chip spike sorting. **Journal of Neuroscience Methods**, v. 230, p. 51–64, Jun 2014.

NG, K. A.; XU, Y. P. A Multi-Channel Neural-Recording Amplifier System with 90dB CMRR EMploying CMOS-Inverter-Baased OTAs with CMFB Through SUpply Rails in 65nm CMOS. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. San Francisco, 2015. p. 205–207.

OBEID, I. Comparison of spike detectors based on simultaneous intracellular and extracellular recordings. In: 3RD INTERNATIONAL IEEE EMBS CONFERENCE ON NEURAL ENGINEERING, 2007, Kohala Coast, HI. **Proceedings...** USA: IEEE, 2007. p. 410–413.

OLSSON-III, R. H.; WISE, K. D. A three-dimensional neural recording microsystem with implantable data compression circuitry. **IEEE Journal of Solid-State Circuits**, v. 40, n. 12, p. 2796–2804, Dec. 2005.

PARASKEVOPOULOU, S. E.; BARSAKCIOGLU, D. Y.; SABERI, M. R. Feature extraction using first and second derivative extrema (fsde) for real-time and hardware-efficient spike sorting. **Journal of Neuroscience Methods**, v. 215, n. 1, p. 29–37, Apr 2013.

QUIROGA, R. Q.; NADASDY, Z.; BEN-SHAUL, Y. Unsupervised Spike Detection and Sorting with Wavelets and Superparamagnetic Clustering. **Neural Computation**, v. 16, n. 8, aug 2004.

RAVINUTHULA, V.; GARG, V.; HARRIS, J. G.; FORTES, J. A. B. Time-mode circuits for analog computation. **International Journal of Circuit Theory and Applications**, v. 37, n. 5, p. 631–659, Jun. 2009.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 1. ed. New York, NY: McGraw-Hill, 2001.

RIZK, M.; WOLF, P. D. Optimizing the Automatic Selection of Spike Detection Thresholds Using a Multiple of the Noise Level. **Medical and biological engineering and computing**, v. 47, n. 9, p. 955–966, Sep 2009.

RUTISHAUSER, U.; SCHUMAN, E. M.; MAMELAK, A. N. Online detection and sorting of extracellularly recorded action potentials in human medial temporal lobe recordings, in vivo. **Journal of Neuroscience Methods**, v. 154, p. 204–224, apr 2006.

SALAM, M. T.; NGUYEN, D. K.; SAWAN, M. A Low-power Implantable Device for Epileptic Seizure Detection and Neurostimulation. In: IEEE BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE. Paphos, 2010. p. 154–157.

SALDAñA-PUMARICA, J.; DEL-MORAL-HERNANDEZ, E. A CMOS Implementation of the Discrete Time Nonlinear Energy Operator Based on a Transconductor-Squarer Circuit. In: IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEM (LASCAS). Florianopolis, SC, Brazil, 2016.

SALDAñA-PUMARICA, J.; DEL-MORAL-HERNANDEZ, E. A CMOS Implementation of the Discrete Time Nonlinear Energy Operator Based on Current Squarer Circuit. In: IBERCHIP. Florianopolis, SC, Brazil, 2016.

SANTHANAM, G.; LINDERMAN, M. D.; GILJA, V.; AFSHAR, A.; RYU, S. I.; MENG, T.; SHENOY, K. HermesB: A continuous neural recording systems for freely behaving primates. **IEEE Transactions on Biomedical Engineering**, v. 54, n. 11, p. 2037–2050, Nov. 2007.

SCHALK, G. Can Electrocorticography (ECoG) support robust and powerful brain-computer interfaces? **Frontiers in Neuroengineering**, v. 3, n. 9, Jun. 2010.

SCHWARTZ, D. A.; LEBEDEV, M. A.; HANSON, T. L.; DIMITROV, D. F.; LEHEW, G.; MELOY, J.; RAJANGAM, S.; SUBRAMANIAN, V.; IFFT, P. J.; LI, Z.; RAMAKRISHNA, A.; TATE, A.; ZHUANG, K. Z.; NICOLELIS, M. A. L. Chronic, wireless recordings of large-scale brain activity in freely moving rhesus monkeys. **Nature Methods**, v. 11, p. 670–679, Jun. 2014.

SODAGAR, A. M.; PERLIN, G. E.; YAO, Y.; WISE, K. D.; NAJAFI, K. An Implantable Microsystem for Wireless Multi-Channel Cortical Recording. In: SOLID-STATE SENSORS, ACTUATORS AND MICROSYSTEMS CONFERENCE, 2007, Lyon. **Proceedings...** Antalya: IEEE, 2007. p. 69–72.

SODAGAR, A. M.; PERLIN, G. E.; YAO, Y.; NAJAFI, K.; WISE, K. D. An implantable 64-channel wireless microsystem for single-unit neural recording. **IEEE Journal of Solid-State Circuits**, v. 44, n. 9, p. 2591–2604, Sep. 2009.

SODAGAR, A. M.; WISE, K. D.; NAJAFI, K. A Fully-Integrated Mixed-Signal Neural Processing Module for IMplantable Multi-Channel Cortical Recording. In: IEEE BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE. London, 2006. p. 37–40.

TAILLEFER, C. S.; ROBERTS, G. W. Delta-Sigma A/D conversion via time-mode signal processing. **IEEE Transactions on Circuits and Systems-I: Regular Papers**, v. 56, n. 9, p. 1908–1920, Set. 2009.

TAO, S.; RUSU, A. A Power-Efficient Continuous-Time Incremental Sigma-Delta ADC for Neural Recording Systems. **IEEE Transactions on Circuits and Systems-I: Regular Papers**, v. 62, n. 6, p. 1489–1498, Jun. 2015.

TEAGER, H. M.; TEAGER, S. M. Speech production and speech modelling. In: HARDCASTLE, W. J.; MARCHAL, E. A. (Ed.). France: NATO Advanced Study Inst. Series D, 1989. v. 55, cap. Evidence for Nonlinear Sound Production Mechanism in the Vocal Tract.

TSIVIDIS, Y. **Operation and Modeling of THE MOS Transitor**. 2. ed. Oxford New York: Oxford University Press, 1999.

TSIVIDIS, Y.; MCANDREW, C. **Operation and Modeling of THE MOS Transitor**. 3. ed. Oxford New York: Oxford University Press, 2011.

UNNIKRISHNAN, V.; VESTERBACKA, M. Time-Mode Analog-to-Digital Conversion Using Standard Cells. **IEEE Transactions on Circuits and Systems-I: Regular Papers**, v. 61, n. 12, p. 3348–3357, Dez. 2014.

VIGRAHAM, B.; KUPPAMBATTI, J.; KINGET, P. R. Switched-Mode Operational Amplifiers and Their Application to Continuous-Time Filters in Nanoscale CMOS. **IEEE Journal of Solid-Stat Circuits**, v. 49, n. 12, p. 2758–2772, Dez. 2014.

WISE, K. D.; ANGELL, J. B. A Low-Cpacitance Multielectrode Probe for Use in Extracellular Neurophysiology. **IEEE Transactions on Biomedical Engineering**, BME-22, n. 3, p. 212–219, May. 1975.

WOOD, F.; BLACK, M. J.; VARGAS-IRWIN, C.; FELLOWS, M.; DONOGHUE, J. P. On the Variability of Manual Spike Sorting. **IEEE Transactions on Biomedical Engineering**, v. 51, n. 6, p. 912–918, 2004.

YANG, Y.; MASON, A. J. Optimization of nonlinear energy operator based spike detection circuit for high density neural recordings. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. Melbourne, 2014. p. 1396–1399.

ZAMANI, M.; DEMOSTHENOUS, A. Feature Extraction Using Extrema Sampling of Discrete Derivatives for Spike Sorting in Implantable Upper-Limb Neural Prostheses. **IEEE Transactions on Neural Systems and Rehabilitation Engineering**, v. 22, p. 716–726, Jul 2014.

ZEINOLABEDIN, S. M. A.; DO, A. T.; YEO, K. S.; KIM, T.-H. Design of an hybrid neural spike detection algorithm for implantable integrated brain circuits. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEM. Lisbon, Portugal, 2015. p. 794–797.

ZHENG, L.; LEENE, L. B.; LIU, Y.; CONSTANDINOU, T. G. An Adaptive 16/64kHz, 9-bit SAR ADC with Peak-Aligned Sampling for Neural Spike Recording. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. Melbourne, 2014. p. 2385–2388.

ZHU, G.; YUAN, F.; KHAN, G. Time-Mode Approach for Mixed Analog-Digital Signal Processing. **Journal of Electrical & Electronic Systems**, v. 2, n. 1, p. 1–4, jan 2013.

ZOU, X.; LIU, L.; CHEONG, J. H.; YAO, L.; LI, P.; CHENG, M.-Y.; GOH, W. L.; RAJKUMAR, R.; DAWE, G. S.; CHENG, K.-W.; JE, M. A 100-channel 1-mw implantable neural recording ic. **IEEE Transactions on Circuits and Systems**, v. 60, n. 10, p. 2584–2596, Out. 2013.