LUCIANO MENDES ALMEIDA

**ESTUDO DE CÉLULA DE MEMÓRIA DINÂMICA DE APENAS UM
TRANSISTOR SOI DE ÓXIDO ENTERRADO ULTRAFINO**

São Paulo

2012

LUCIANO MENDES ALMEIDA

**ESTUDO DE CÉLULA DE MEMÓRIA DINÂMICA DE APENAS UM
TRANSISTOR SOI DE ÓXIDO ENTERRADO ULTRAFINO**

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para a
obtenção do título de Doutor em
Engenharia Elétrica

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

**São Paulo
2012**

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 21 de novembro de 2012.

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Almeida, Luciano Mendes

Estudo de célula de memória dinâmica de apenas um transistor SOI de óxido enterrado ultrafino / L.M. Almeida. -- ed.rev. -- São Paulo, 2012.

137 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Memória RAM 2.Memória 3.Microeletrônica 4.Transistores 4.SOI 5.MOS I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Agradecimentos

Ao meu orientador e amigo Professor Dr. João Antonio Martino, pela dedicação, pela confiança, pelo entusiasmo e pelo apoio, decisivos para a conclusão deste trabalho.

Aos professores Dr. Sebastião Gomes dos Santos Filho e Dr. Renato Giacomini pela contribuição no decorrer do trabalho, principalmente aos conselhos advindos da apresentação de minha qualificação.

Aos professores Dr. Victor Sonnenberg e ao Prof. Dr. Salvador P. Gimenez que solucionaram as mais variadas dúvidas e pelos incentivos ao longo desta jornada.

Aos meus pais e familiares pelo grande incentivo, pelo apoio, e pela compreensão durante todo o trabalho.

À minha noiva Maíza, pela compreensão e atenção dadas ao longo deste período além de todas as dificuldades que passamos juntos.

À minha grande amiga Kátia R. A. Sasaki, pelo auxílio durante as simulações de dispositivos e pelas discussões durante o trabalho.

Quero agradecer também à Gloria, que me ajudou muito nos equipamentos do imec, além dos estudos que fizemos.

Aos colegas do nosso grupo de estudo, Talitha, Sara, Milene, Michele, Rudolf, Felipe e Albert que colaboraram nesta jornada.

A todos aqueles que de alguma forma mostraram interesse pelo trabalho e que tiveram seu nome aqui omitido de forma involuntária.

RESUMO

Neste trabalho foi analisado o comportamento de um transistor UTBOX (*Ultra Thin Buried Oxide*) FD SOI MOSFET (*Fully Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor*) planar do tipo n, operando como uma célula de memória 1T-FBRAM (*single transistor floating body random access memory*).

A memória em questão trata-se de uma evolução das memórias 1T1C-DRAM convencionais formada, porém, de apenas um transistor, sendo o próprio transistor o responsável pelo armazenamento da informação por meio do efeito de corpo flutuante. Assim, foram realizadas simulações numéricas bidimensionais, obtendo-se curvas dinâmicas e, a partir destas, foi possível extrair e analisar alguns dos principais parâmetros da memória tais como tensão de disparo no dreno, margem de sensibilidade, janela de leitura e tempo de retenção, além dos mecanismos atuantes em cada estado da memória (escrita, leitura e repouso).

Foram estudadas as polarizações da célula de memória. Dentre as possíveis maneiras de programação do dado '1' desta tecnologia foram abordadas neste trabalho a programação pelos métodos GIDL (*Gate Induced Drain Leakage*) e BJT (*Bipolar Junction Transistor*).

Pelo método de escrita por GIDL foi possível operar a célula de memória em alta velocidade sem dissipar potência expressiva. Mostrou-se que esse método é bastante promissor para a tecnologia *low-power high-speed*. E ainda, obteve-se maior estabilidade na operação de leitura quando esta é polarizada no ponto ZTC (*Zero Temperature-Coefficient*) devido ao nível de corrente do dado '0' ficar estável mesmo com a variação da temperatura.

Pelo método de escrita por BJT, estudou-se a influência das espessuras do filme de silício e também do óxido enterrado, notou-se uma forte dependência da tensão mínima de dreno para a programação do dado '1' em função destas espessuras e também em função da temperatura. Conforme a espessura do filme de silício torna-se mais fina, a tensão de disparo aplicada ao dreno aumenta devido ao maior acoplamento. Porém, observou-se que o nível da tensão de disparo do dreno pode ser modulada através da tensão aplicada ao substrato, tornando possível operar a célula em uma tensão de disparo menor aumentando a vida útil do dispositivo. Quanto à temperatura, com o seu aumento observou-se que a tensão mínima de dreno necessária para disparar a escrita do dado '1' diminuiu favorecendo

a programação da célula. Porém o tempo de retenção é prejudicado (torna-se menor) por causa do aumento da corrente de fuga na junção PN.

Na análise sobre o impacto que a primeira e a segunda porta causam na margem de sensibilidade de corrente e no tempo de retenção, verificou-se que dependendo da tensão aplicada à porta durante a condição de armazenamento do dado, o tempo de retenção pode ser limitado ou pela geração ou pela recombinação dos portadores (lacunas). Notou-se que há um compromisso entre a obtenção da melhor margem de sensibilidade de corrente e o melhor tempo de retenção. Como o tempo de retenção é um parâmetro mais crítico, mais atenção foi dada para a otimização deste. Concluiu-se nesta análise que a melhor polarização para reter o dado por mais tempo é a primeira interface estar em modo acumulação e a segunda em modo depleção.

No estudo da polarização de dreno durante a operação de leitura, observou-se que quando aplicado alta tensão de dreno é obtido alta margem de sensibilidade, porém ao mesmo tempo esta polarização prejudica o dado '0' devido ao alto nível de geração de lacunas induzidas pela ionização por impacto, o qual diminui o tempo de retenção e destrói o dado '0' quando operações de múltiplas leituras são realizadas. Já para baixo nível de tensão de dreno durante a leitura notou-se que é possível realizar múltiplas operações de leitura sem perder o dado armazenado e também maior tempo de retenção foi obtido.

Palavras-chave: SOI, MOS, Microeletrônica, Transistores, Memória RAM, Memória.

ABSTRACT

In this study was analyzed the behavior of one transistor called UTBOX (Ultra Thin Buried Oxide) FD SOI MOSFET (Fully Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor) working as a 1T-FBRAM (Single Transistor Floating Body Random Access Memory).

This memory device is an evolution from conventional memories 1T1C-DRAM, however formed by only one transistor, the device itself is responsible for the storage of the information through the floating body effect. Thus two dimensional simulations were performed, where were obtained dynamic curves, and from these curves it was possible to extract and analyze some of the main parameters, such as, trigger drain voltage, sense margin current, read window, and the retention time, beyond the mechanisms in each state of memory (write, read and hold).

Among the possible ways to program the data '1' in this technology were used the methods GIDL (Gate Induced Drain Leakage) and BJT (Bipolar Junction Transistor).

By the GIDL method it was possible to operate the memory cell at high speed without spending significant power, showing that this method is very promising for low-power high-speed. Furthermore, greater stability was obtained in read operation when it is biased at point ZTC (zero-Temperature Coefficient) due to the current level of datum '0' remain stable even with temperature variation.

By the BJT method, it was studied the influence of the silicon film thickness and the buried oxide thickness, and it was noted a strong dependence on minimum drain voltage for programming the data '1' as a function of both thicknesses. As the thickness of the silicon film becomes thinner, the trigger drain voltage increases due to stronger coupling. However, it was observed that the level of the trigger drain voltage can be modulated by the substrate bias in this way it is possible to operate the cell with lower voltage avoiding the damage and increasing the lifetime of the device. About the temperature, with its increase it was observed that the minimum drain voltage required to trigger the writing datum '1' decreased favoring the programming the cell. However the retention time is harmed (becomes smaller) due to the increment of leakage current in the PN junction.

Analyzing the impact of the first and second gate on sense margin current and retention time, it was verified that depending on the voltage applied to the gate during

the hold condition, the retention time may be limited by the generation or recombination of the carriers (holes). It was noted that there is a compromise between obtaining the best sense margin current and the best retention time. Since the retention is the most critical parameter, more attention should be given in order to obtain the optimization of this latter. It is concluded in this analysis that the best bias to retain the datum for longer time is the first interface being in accumulation mode and the second in depletion mode.

In the study of biasing the drain during the read operation, it has been observed that the use of high drain voltage provides high sense margin, but at the same time, this polarization affect the data '0' due to high level of holes generation induced by impact ionization, which shortens the retention time and destroys the data '0' in multiple read operations. However, for low drain voltage during read operations it was possible to perform multiple read operations without losing the stored data and also higher retention time was obtained.

SUMÁRIO

1	INTRODUÇÃO	11
1.1	OBJETIVO.....	13
1.2	ESTRUTURA DO TRABALHO	14
2	CONCEITOS BÁSICOS SOBRE A TECNOLOGIA SOI.....	16
2.1	TIPOS DE ESTRUTURAS SOI MOSFETs	17
2.2	PARÂMETROS ELÉTRICOS DOS TRANSISTORES SOI MOSFETs	22
2.2.1	Tensão de Limiar.....	22
2.2.2	Mobilidade	26
2.2.3	Transcondutância	29
2.2.4	Inclinação de Sublimiar	31
2.3	EFEITOS PARASITÁRIOS	32
2.3.1	Efeito da elevação abrupta da corrente (<i>Kink</i>).....	32
2.3.2	Efeito BJT	33
2.3.3	Efeito de Canal Curto	35
2.3.4	Redução da Barreira de Potencial Induzida pelo Dreno (DIBL)	37
2.3.5	Corrente de Fuga do Dreno Induzida pela Porta (GIDL)	38
2.4	DISPOSITIVOS DE MÚLTIPLAS PORTAS	40
2.4.1	Dispositivos de Porta Dupla	41
2.4.2	Dispositivos de Porta Tripla.....	41
2.4.3	Dispositivos de Porta Tripla mais (3+)	42
2.5	DISPOSITIVOS PLANARES DE ÓXIDO ENTERRADO ULTRAFINO (UTBOX)	43
3	UTILIZAÇÃO DO PONTO INVARIANTE COM A TEMPERATURA NA OPERAÇÃO DE LEITURA DE UMA CÉLULA DE MEMÓRIA	44
3.1	INTRODUÇÃO	44
3.2	CARACTERÍSTICAS DO DISPOSITIVO	44
3.3	ESQUEMA DE PROGRAMAÇÃO E LEITURA	45
3.4	POLARIZAÇÃO NO PONTO ZTC NA OPERAÇÃO DE LEITURA	49
3.4.1	Margem de Sensibilidade de Corrente.....	50
3.4.2	Tempo de Retenção.....	52
4	CÉLULA DE MEMÓRIA OPERANDO EM ALTAS TEMPERATURAS.....	55
4.1	INTRODUÇÃO	55
4.2	CARACTERÍSTICAS DOS DISPOSITIVOS	56
4.3	ANÁLISES E RESULTADOS	56
4.3.1	Dependência do efeito BJT com a temperatura.....	57
4.3.2	Tempo de Retenção.....	62

5	INFLUÊNCIA DA POLARIZAÇÃO DE PRIMEIRA E SEGUNDA PORTA SOBRE A MARGEM DE SENSIBILIDADE DE CORRENTE E O TEMPO DE RETENÇÃO	64
5.1	DISPOSITIVOS.....	64
5.2	ANALISES E RESULTADOS	65
5.2.1	Margem de sensibilidade de corrente	68
5.2.2	Tempo de Retenção.....	71
6	ESTUDO DA POLARIZAÇÃO DE DRENO DURANTE A OPERAÇÃO DE LEITURA.....	77
6.1	POLARIZAÇÃO DE LEITURA E A MARGEM DE SENSIBILIDADE DE CORRENTE	77
6.2	TEMPO DE RETENÇÃO.....	80
6.3	OPERAÇÃO DE MÚLTIPLAS LEITURAS	82
7	CONCLUSÕES E PRÓXIMAS ETAPAS DO TRABALHO.....	83
7.1	CONCLUSÕES.....	83
7.2	PROPOSTAS PARA PRÓXIMOS TRABALHOS	84
7.3	PUBLICAÇÕES EM CONFERÊNCIAS	86
7.4	PUBLICAÇÕES EM REVISTAS.....	88
	ANEXO A – MÉTODOS DE EXTRAÇÃO DA TENSÃO DE LIMAR E DA TRANSCONDUTÂNCIA PARA O CÁLCULO DO PONTO INVARIANTE COM A TEMPERATURA.....	89
A.1	TENSÃO DE LIMAR.....	89
A.1.1	Método da Segunda Derivada	89
A.1.2	Método da Raiz de I_D	90
A.2	TRANSCONDUTÂNCIA	91
A.3	FATOR DE DEGRADAÇÃO DA TRANSCONDUTÂNCIA	93
	ANEXO B - CÁLCULO DO PONTO INVARIANTE COM A TEMPERATURA.....	96
B.1	REGIÃO LINEAR	97
B.2	REGIÃO DE SATURAÇÃO.....	99
B.3	CARACTERÍSTICAS DOS DISPOSITIVOS	102
B.4	VARIAÇÃO DA TENSÃO DE LIMAR EM FUNÇÃO DA TEMPERATURA	102
B.5	FATOR DE DEGRADAÇÃO DA TRANSCONDUTÂNCIA	103
B.6	COMPARAÇÃO ENTRE O MODELO E OS RESULTADOS EXPERIMENTAIS.....	105
	ANEXO C – ESTRUTURA GERADA NO ATHENA.....	111
	ANEXO D – SIMULAÇÃO DE UMA CURVA DINÂMICA.....	115
	REFERÊNCIAS BIBLIOGRÁFICAS.....	120

LISTA DE FIGURAS

Figura 1.1: Matriz de Memórias 2 x 2 simplificada.	13
Figura 2.1: (a) Corte da seção transversal do nMOSFET de porta retangular (b) Corte da seção transversal do SOI nMOSFET de porta retangular.	16
Figura 2.2: Diagrama de faixas de energia do dispositivo MOSFET.	18
Figura 2.3: Diagrama de faixas de energia do SOI MOSFET de camada espessa...	19
Figura 2.4: Diagrama de faixas de energia do SOI MOSFET de camada fina.	20
Figura 2.5: Curva do comportamento da tensão de limiar em função da temperatura para um dispositivo de porta tripla.	25
Figura 2.6: Ilustração da orientação cristalina em uma lâmina de silício.	29
Figura 2.7: Curva do comportamento da transcondutância máxima em função da temperatura de um dispositivo SOI nMOSFET de porta tripla.	30
Figura 2.8: Curva experimental da Inclinação Sublimiar em função da Temperatura de um dispositivo SOI nMOSFET de porta tripla.	32
Figura 2.9: Efeito típico da elevação da corrente de dreno.	33
Figura 2.10: Dispositivo SOI MOSFET de canal tipo N identificando o transistor bipolar parasitário inerente em sua estrutura.	34
Figura 2.11: Esquemático do efeito transistor bipolar parasitário em um SOI MOSFET.	34
Figura 2.12: Curva comparativa entre o resultado simulado e o modelo de efeito de canal curto.	37
Figura 2.13: Representação do efeito DIBL ao longo do comprimento do canal.	38
Figura 2.13: Formação da região de depleção na região do dreno devido ao efeito GIDL.	39
Figura 2.14: Curva da banda de energia na região de <i>overlap</i> do dreno detalhando o tunelamento dos portadores da banda de valência para a banda de condução.	39
Figura 2.15: Presença do efeito GIDL em uma curva da corrente de dreno em função da tensão aplicada à porta de um dispositivo SOI nMOSFET planar.	40
Figura 2.16: Estrutura de um dispositivo FinFET.	41
Figura 2.17: Estrutura de um dispositivo de porta tripla.	42
Figura 2.18: Corte transversal dos dispositivos de porta tripla +, (a) porta Π (pi), e (b) porta Ω (ômega).	43

Figura 2.19: Estrutura de um dispositivo UTBOX.....	43
Figura 3.1: Estrutura de um dispositivo SOI com óxido enterrado ultrafino (UTBOX).	45
Figura 3.2: Esquema de polarização da célula de memória 1T-FBRAM utilizando GIDL para escrever '1' e polarização direta para escrever '0'.....	45
Figura 3.3: Taxa de geração das lacunas no momento da escrita do dado '1' na estrutura UTBOX.....	46
Figura 3.4: Concentração de lacunas durante a condição de armazenamento da célula de memória 1T-FBRAM após a escrita do dado '1'.	47
Figura 3.5: Densidade de corrente de lacunas durante a escrita do dado '0' da célula de memória 1T-FBRAM.	47
Figura 3.6: Concentração de lacunas durante a condição de armazenametro da célula de memória 1T-FBRAM após a escrita do dado '0'.	48
Figura 3.7: Comparativo da concentração de lacunas durante a condição de armazenamento da célula de memória 1T-FBRAM após a escrita dos dados '1' e '0'.....	48
Figura 3.8: Comparativo da densidade de corrente de elétrons durante a leitura dos dados '1' e '0'.	49
Figura 3.9: Curva corrente de dreno em função da tensão aplicada à porta.....	50
Figura 3.10: Corrente de dreno durante a leitura do dado '1' nas duas condições de polarização.....	51
Figura 3.11: Corrente de dreno durante a leitura do dado '0' nas duas condições de polarização.....	51
Figura 3.12: Margem de sensibilidade de corrente em função da temperatura nas duas condições de polarização.	52
Figura 3.13: Correntes I_1 e I_0 em função do tempo para diferentes temperaturas. ...	53
Figura 3.14: Correntes I_1 e I_0 em função do tempo para diferentes temperaturas com a leitura polarizada no ponto ZTC.	53
Figura 4.1: Operação dinâmica da célula de memória 1T-FBRAM usando o efeito BJT.....	56
Figura 4.2: Margem de sensibilidade de corrente de dreno em função da temperatura.....	58
Figura 4.3: Tempo de disparo do efeito BJT em função da temperatura.	59

Figura 4.4: Tempo de disparo do efeito BJT em função da tensão aplicada ao dreno para diferentes temperaturas.	60
Figura 4.5: Tensão de disparo do efeito BJT em função da espessura do óxido enterrado para diferentes temperaturas.	60
Figura 4.6: Tensão de disparo do efeito BJT em função da espessura do filme de silício para diferentes temperaturas.	61
Figura 4.7: Tensão de disparo do efeito BJT em função da tensão aplicada ao terminal de substrato.	62
Figura 4.8: Tempo de retenção em função da temperatura.	63
Figura 5.1: Esquema de polarização da célula de memória 1T-FBRAM.	65
Figura 5.2: Ionização por impacto ocorrendo durante a escrita do dado '1' na 1T-FBRAM.	66
Figura 5.3: Alta concentração de lacunas abaixo da primeira interface do dispositivo 1T-FBRAM.	66
Figura 5.4: Corrente de elétrons durante a leitura do dado '1' na célula de memória 1T-FBRAM.	67
Figura 5.5: As lacunas sendo expelidas através da junção fonte/corpo durante a escrita do dado '0' por acoplamento capacitivo na 1T-FBRAM.	67
Figura 5.6: Baixa concentração de lacunas abaixo da primeira interface do dispositivo 1T-FBRAM.	68
Figura 5.7: Baixo nível de corrente de elétrons durante a leitura do dado '0' na 1T-FBRAM.	68
Figura 5.8: Curva simulada da janela de programa em função da polarização de porta para leitura ($V_{G,READ}$).	69
Figura 5.9: Curva simulada de ΔI_{SENSE} em função $V_{G,HOLD}$	69
Figura 5.10: Taxa de geração induzida pelo tunelamento de banda para banda (BBT) à 1 nm abaixo da primeira interface do dispositivo UTBOX.	70
Figura 5.11: Os níveis de corrente I_1 e I_0 extraídos experimentalmente em função da polarização do substrato.	71
Figura 5.12: Curva simulada de I_1 e I_0 em função de $V_{G,HOLD}$. O tempo de retenção pode ser limitado ou pela recombinação (a) ou pela geração (b) de portadores.	71

Figura 5.13: Resultados experimentais de I_1 e I_0 em função de $V_{G,HOLD}$. O tempo de retenção pode ser limitado ou pela recombinação (a) ou pela geração (b) de portadores.	72
Figura 5.14: Curva simulada do tempo de retenção em função de $V_{G,HOLD}$	73
Figura 5.15: Curva obtida experimentalmente do tempo de retenção em função de $V_{G,HOLD}$	73
Figura 5.16: Seção transversal da estrutura durante a condição de armazenamento do estado '1', (a) taxa de recombinação para $V_{G,HOLD} = -1,5$ V, resultando numa corrente de leitura muito baixa, (b) baixa taxa de recombinação para $V_{G,HOLD} = -2,3$ V, neste caso, a polarização é favorável para a geração e (c) uma comparação da taxa de recombinação para ambos $V_{G,HOLD}$ à 1 nm abaixo da primeira interface da estrutura UTBOX.	74
Figura 5.17: Seção transversal da estrutura durante a condição de armazenamento do estado '0', (a) baixa taxa de geração para $V_{G,HOLD} = -1,5$ V, (b) alta taxa de geração para $V_{G,HOLD} = -2,3$ V, e (c) uma comparação da taxa de geração para ambos $V_{G,HOLD}$ à 1 nm abaixo da primeira interface da estrutura UTBOX.	75
Figura 5.18: Tempo de retenção em função de V_B	75
Figura 5.19: Tempo de retenção em função de V_B	76
Figura 6.1: Margem de sensibilidade de corrente obtida experimentalmente para diferentes $V_{D,READ}$	77
Figura 6.2: Curva experimental de $V_{G,READ}$ e ΔI_{SENSE} em função de $V_{D,READ}$	78
Figura 6.3: Curva experimental da janela de programa para diferentes $V_{D,READ}$	78
Figura 6.4: Curva simulada da janela de programa para diferentes $V_{D,READ}$	79
Figura 6.5: Resultados simulados para ΔI_{SENSE} em função de $V_{D,READ}$	79
Figura 6.6: Resultados experimentais do tempo de retenção para diferentes $V_{D,READ}$	80
Figura 6.7: Resultados experimentais do tempo de retenção para alto e baixo $V_{D,READ}$	81
Figura 6.8: Resultados simulados do tempo de retenção para alto e baixo $V_{D,READ}$..	81
Figura 6.9: Resultados simulados de múltiplas leituras (30x) para alto $V_{D,READ}$	82
Figura 6.10: Resultados simulados de múltiplas leituras (30x) para baixo $V_{D,READ}$. ..	82
Figura 7.1: Programação de uma célula de memória 1T-DRAM com aplicação de um pulso em V_B	85

Figura 7.2: Comparativo do tempo de retenção com V_B mantido sempre constante versus aplicação de um pulso em V_B somente durante a escrita do dado '1'. ...	85
Figura A.1: Extração da tensão de limiar pelo método da segunda derivada.	90
Figura A.2: Extração da tensão de limiar pelo método da raiz de I_D	90
Figura A.3: Extração da transcondutância máxima para a região linear.	91
Figura A.4: Extração da transcondutância para a região de saturação.	93
Figura A.5: Curva $g_m \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região linear para uma faixa de temperatura entre 298 e 473 K.	94
Figura B.1: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla detalhando o ponto ZTC.	96
Figura B.2: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região linear para uma faixa de temperatura entre 298 e 523 K.	99
Figura B.3: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região de saturação para uma faixa de temperatura entre 298 e 523 K.	101
Figura B.4: Esquemático da estrutura do dispositivo SOI nMOSFET de porta tripla	102
Figura B.5: Curva da Tensão de Limiar em função da temperatura para dispositivos SOI nMOSFET de porta tripla	103
Figura B.6: Curva da transcondutância máxima em função da temperatura para dispositivos SOI nMOSFET de porta tripla para faixa de temperatura 298-473 K	104
Figura B.7: Curva da sensibilidade da transcondutância em função da temperatura, $\Delta g_m / \Delta T$ em (pS / K) obtida experimentalmente para dispositivos SOI nMOSFET de porta tripla.	104
Figura B.8: O Fator (c) em função da temperatura obtida para dispositivos SOI nMOSFETs de porta tripla.	105
Figura B.9: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla referência para diferentes temperaturas operando na região linear.	106
Figura B.10: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla biaxial para diferentes temperaturas operando na região linear.	106

Figura B.11: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla referência para diferentes temperaturas operando na região de saturação.....	107
Figura B.12: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla biaxial para diferentes temperaturas operando na região de saturação.	107
Figura B.13: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla de referência operando na região linear.....	108
Figura B.14: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla de biaxial operando na região linear.....	108
Figura B.15: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla referência operando na região de saturação.....	109
Figura B.16: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla biaxial operando na região de saturação.....	109

LISTA DE SÍMBOLOS

A	Áreas das junções [μm^2]
C_{ox}	Capacitância no óxido de porta por unidade de área do transistor [F/cm^2]
C_{ox1}	Capacitância do Óxido de porta no SOI MOSFET [F/cm^2]
C_{ox2}	Capacitância do Óxido enterrado no SOI MOSFET [F/cm^2]
C_{Si}	Capacitância da camada de silício [F/cm^2]
E_{C}	Nível de energia de condução [eV]
E_{F}	Nível de Fermi [eV]
E_{G}	Largura da faixa proibida [eV]
E_{I}	Nível intrínseco de energia [eV]
E_{V}	Nível de energia de valência [eV]
$\hbar$	Constante de Plank normalizada
H_{fin}	Altura do <i>fin</i> no transistor de múltiplas portas [nm]
gm	Transcondutância [S]
I_{D}	Corrente elétrica de dreno do transistor [A]
k	Constante de Boltzmann [eV/K]
L	Comprimento de canal do transistor [nm]
M	Fator de multiplicação do Transistor Bipolar
m^*	Massa efetiva do elétrons [g]
n	Fator de corpo ou coeficiente de corpo
N_{a}	Concentração de impurezas aceitadoras do semiconductor [cm^{-3}]
N_{D}	Concentração de impurezas doadoras do semiconductor [cm^{-3}]
n_{i}	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [C]
Q_{inv}	Carga de inversão [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido por unidade de área [C/cm^2]
S	Inclinação da região de sublimar [mV/década]
T	Temperatura de operação dos transistores [K]
t_{ox}	Espessura do óxido de porta [nm]
t_{box}	Espessura do óxido enterrado [nm]
t_{Si}	Espessura da camada de silício [nm]
V_{DS}	Tensão aplicada entre o dreno e a fonte do transistor [V]

V_{FB}	Tensão de faixa plana [V]
V_{GS}	Tensão aplicada na porta do transistor [V]
V_{TH}	Tensão de limiar do transistor [V]
$x_{dm\acute{a}x}$	Profundidade de depleção máxima [nm]
W	Largura do canal do transistor [nm]
W_{fin}	Largura do <i>fin</i> do transistor de múltiplas portas [nm]
α	Parâmetro de efeito de corpo.
β	Ganho de corrente emissor comum do transistor bipolar.
γ	Constante de efeito de corpo [V ^{1/2}]
ϵ_{Si}	Permissividade do silício [F/cm]
ϵ_{ox}	Permissividade do óxido de porta [F/cm]
ϕ_F	Potencial do nível de Fermi [V]
ϕ_{MS}	Diferença da função trabalho entre o metal e o semiconductor [V]
ϕ_{mi}	Diferença da função trabalho entre o metal e o semiconductor intrínseco [V]
ϕ_{S1}	Potencial de superfície da primeira interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]
μ_n	Mobilidade de elétrons [cm ² .V ⁻¹ .s ⁻¹]
μ_p	Mobilidade de lacunas [cm ² .V ⁻¹ .s ⁻¹]
σ	Condutividade do silício [Ω^{-1} .cm ⁻¹]

LISTA DE ABREVIATURAS

1T1C-DRAM	<i>One Transistor One Capacitor DRAM</i> (DRAM convencional)
1T-FBRAM	<i>Single Transistor Floating Body RAM</i> (RAM de um transistor de efeito de corpo flutuante)
BBT	<i>Band to Band Tunneling</i> (tunelamento banda a banda)
BJT	<i>Bipolar Junction Transistor</i> (Transistor Bipolar de Junção)
CC	Capacitive Coupling (Acoplamento Capacitivo)
CESL	<i>Contact Etch Stop Layer</i>
DIBL	<i>Drain Induced Barrier Lowering</i> (Redução da Barreira Induzida pelo Dreno)
GIDL	<i>Gate Induced Drain Leakage</i> (Corrente de Fuga de Dreno Induzida pela Porta)
GIFBE	<i>Gate Induced Floating Body Effect</i> (efeito de corpo flutuante induzido pela porta)
HDD	<i>Highly Doped Drain</i> (região de fonte e dreno altamente dopada)
II	Impact ionization (ionização por impact)
FBJ	<i>Forward Biased Junction</i> (junção diretamente polarizada)
FD	<i>Fully Depleted</i> (Totalmente Depletado)
FET	<i>Field Effect Transistor</i> (Transistor de Efeito de Campo)
LDD	<i>Lightly Doped Drain</i> (região de fonte e dreno menos dopada)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor)
MOSFET	<i>Metal-Óxido-Semiconductor Field-Effect Transistor</i> (Transistor Metal-Óxido-Semicondutor por Efeito de Campo)
MuGFET	<i>Multiple Gate Field- Effect Transistor</i> (Transistor de Efeito de Campo de Múltiplas Portas)
PD	<i>Partially Depleted</i> (Parcialmente Depletado)
SCE	<i>Short Channel Effect</i> (Efeito de Canal Curto)
Si	Silício
SiO ₂	Óxido de Silício
sSOI	<i>strained silicon</i>
SOI	<i>Silicon-on-Insulator</i> (Silício sobre Isolante)

ULSI	<i>Ultra Large Scale Integration</i>
UTBOX	<i>Ultra Thin Buried Oxide</i> (óxido enterrado ultrafino)
VLSI	<i>Very Large Scale Integration</i>
ZTC	<i>Zero Temperature Coefficient</i> (Coeficiente Zero de Temperatura)

1 INTRODUÇÃO

A tecnologia de fabricação de circuitos integrados em lâminas de Silício Sobre Isolante (*Silicon-On-Insulator* – SOI) surgiu como uma alternativa para a tecnologia CMOS convencional, na fabricação de circuitos integrados em altíssima escala de integração (*Ultra Large Scale Integration* – ULSI) [1]. Nesta tecnologia, os dispositivos são fabricados em uma camada de silício, separada do restante do substrato por um material isolante. A isolação dielétrica entre os dispositivos proporcionada pela presença da camada isolante permite minimizar os efeitos parasitários decorrentes do escalamento das dimensões da tecnologia MOS convencional.

Além disso, a tecnologia SOI MOSFET tem apresentado uma série de vantagens tais como, menor corrente de fuga nas junções [2], maior mobilidade [3], melhor inclinação de sublimiar [3], aumento de corrente de saturação e também menor variação da tensão de limiar com o aumento da temperatura [2]. Devido a essas vantagens, a sua grande resistência à radiação ionizante [4, 5] e melhor estabilidade com a variação da temperatura [6, 7], a tecnologia SOI tem sido utilizada em áreas automotivas e aeroespaciais com grande sucesso.

Com o avanço da tecnologia, logo se chegou à limitação de escalamento de fabricação de dispositivos SOI planares de porta única fazendo com que a comunidade científica voltasse a atenção para as estruturas de canal vertical de múltiplas portas conhecidos como MuGFETs [8, 9, 10]. Estes dispositivos de múltiplas portas apresentam várias vantagens em relação aos transistores fabricados em geometrias planares, tais como: maior densidade de integração, maior escalamento, melhor controle da corrente e menor variação da tensão de limiar em função da temperatura [11].

Dispositivos de múltiplas portas podem trabalhar com comprimento de canal abaixo dos 22 nm ainda com bom controle sobre os efeitos de canal curto (SCE) [9].

Em paralelo à tecnologia de dispositivos com canal vertical, outra opção que vem sendo pesquisada é a estrutura SOI totalmente depletado com óxido enterrado ultrafino conhecido como UTBOX (*Ultra Thin Buried Oxide*). Devido à espessura de seu óxido enterrado ser bastante fino, o substrato deste dispositivo pode ser utilizado como uma segunda porta permitindo maior controle do canal. Esta possibilidade de maior influência do substrato sobre o canal permite a indução e modulação do efeito de corpo flutuante, muito importante para aplicação em memórias da tecnologia 1T-FBRAM e também permite melhor controle sobre os efeitos de canal curto [12, 13, 14, 15, 16].

A tecnologia 1T-FBRAM vem sendo estudada como uma forte candidata para substituir a célula de memória convencional 1T1C-DRAM, pois ela dispensa o uso do capacitor para o armazenamento do dado, em seu lugar, a informação é guardada no corpo do próprio transistor, além de o seu processo ser bastante simplificado por ser apenas um transistor e permitir maior densidade de memória. Porém, para esta tecnologia ser viável é preciso apresentar maior margem de sensibilidade de corrente, maior tempo de retenção e maior confiabilidade em relação à tecnologia 1T1C-DRAM [17].

Sua programação é feita por meio de efeitos da própria tecnologia SOI que em caso de outras situações, seriam efeitos parasitários [18].

Existem quatro meios de se programar o dado '1' numa célula de memória da tecnologia 1T-FBRAM. São eles: Efeito de corpo flutuante induzido pela corrente de porta (GIFBE – *Gate Induced Floating Body Effect*); Ionização por Impacto (II – *Impact Ionization*); Corrente de fuga do dreno induzida pela porta (GIDL – *Gate Induced Drain Leakage*); efeito do transistor bipolar parasitário (BJT – *Bipolar Junction Transistor*) [18].

A programação do dado '1' significa injetar lacunas (no caso de dispositivos nMOS) para o interior do corpo do transistor, fazendo com que seu potencial fique elevado resultando em uma corrente elevada de dreno (nível '1').

Já para escrever o dado '0', ou seja, para remover o excesso de lacunas no corpo, há duas maneiras de se fazer isto: através da polarização direta da junção PN (FBJ – *Forward Bias Junction*); e pelo acoplamento capacitivo (CC – *Capacitive Coupling*) [18].

O principal desafio em realizar as operações de escrita, leitura e armazenamento está em obter o máximo possível de velocidade de escrita, margem de sensibilidade de corrente de leitura e tempo de retenção do dado, sem interferir ou destruir os dados das demais células vizinhas dentro da matriz de memórias. A figura 1.1 mostra uma matriz de memória 2 x 2 simplificada. As linhas horizontais do circuito (*Word Lines*) polarizam as portas e as linhas verticais do circuito (*Bit Lines*) polarizam os drenos das células de memória.

Figura 1.1: Matriz de Memórias 2 x 2 simplificada.

Uma operação de escrita ou leitura da célula 'A' não pode destruir o dado contido nas células 'B' e 'C', por exemplo.

1.1 Objetivo

O objetivo deste trabalho é realizar um estudo sobre a influência das polarizações em células de memórias da nova tecnologia 1T-FBRAM utilizando dispositivos UTBOX. Aqui serão apresentados os métodos de programações por GIDL e BJT.

As polarizações de escrita, leitura e armazenamento de dado de uma célula de memória é bastante crítico, levando em consideração que ela faz parte de um grande circuito em forma de matriz, sua polarização deve ser eficiente e precisa para poder realizar as operações de escrita e leitura sem perturbar as demais células vizinhas.

Neste trabalho foram utilizados dispositivos planares de óxido enterrado com espessuras ultrafinas conhecida como UTBOX (*Ultra Thin Buried Oxide*). Essa estrutura possui vantagens como maior influência do substrato no canal resultando em um melhor controle na indução do efeito de corpo flutuante [13], necessários para a aplicação nas memórias 1T-FBRAM [19].

Neste trabalho será estudado o impacto da polarização de dreno na velocidade de escrita, e através de uma análise sobre os mecanismos envolvidos em uma célula 1T-FBRAM, obter a maior margem de sensibilidade de corrente e também a melhor retenção

possível em função das polarizações da porta e do substrato no dispositivo UTBOX através de simulações e experimentos.

1.2 Estrutura do Trabalho

Este trabalho está dividido em sete capítulos, cujos conteúdos estão descritos a seguir:

Capítulo 2 – Conceitos Básicos sobre a Tecnologia SOI: Nesse capítulo é apresentada uma revisão bibliográfica sobre a tecnologia SOI e seus principais parâmetros. É feita também uma análise de seus principais parâmetros elétricos com a influência da variação da temperatura. E por fim serão abordadas as estruturas dos dispositivos de múltiplas portas.

Capítulo 3 – Utilização do Ponto Invariante com a Temperatura na Operação de Leitura de uma Célula de Memória: Neste capítulo é investigado a influência da temperatura em dispositivos com óxido enterrado ultrafino conhecidos como UTBOX (*Ultra Thin Buried Oxide*) operando como célula de memória 1T-DRAM.

Capítulo 4 – Célula de Memória Operando em Altas Temperaturas: Neste capítulo é investigado a tensão de dreno necessária para programar o estado '1' através do efeito BJT (*Bipolar Junction Effect*). É verificada também a velocidade de escrita em função da tensão de dreno, o tempo de retenção do dado e ainda a variação da temperatura para diferentes filmes de silício e de óxido enterrado.

Capítulo 5 – Influência da Polarização de Primeira e Segunda Porta sobre a Margem de sensibilidade de corrente e o Tempo de Retenção: Nesta seção é feito um estudo no comportamento da margem de sensibilidade de corrente e no tempo de retenção em função das polarizações da porta e do substrato no dispositivo UTBOX operando como uma célula de memória através de simulações e experimentos.

Capítulo 6 – Estudo da Polarização de Dreno durante a Operação de Leitura:

Neste capítulo é apresentado um estudo sobre a dependência da margem de sensibilidade de corrente e do tempo de retenção com a polarização do dreno na operação de leitura ($V_{D,READ}$) numa célula de memória 1T-DRAM.

Capítulo 7 – Conclusões e Propostas para próximos Trabalhos: Finalmente neste capítulo serão apresentadas as conclusões, e então algumas sugestões para a continuidade do trabalho.

2 CONCEITOS BÁSICOS SOBRE A TECNOLOGIA SOI

A principal característica de um dispositivo SOI MOSFET é que as regiões de dreno, fonte e canal são isoladas do substrato por uma camada de óxido de silício.

Devido ao isolamento que o óxido de silício oferece à região ativa do dispositivo, a região de dreno apresenta uma menor área de contato com o silício como mostra a figura 2.1, diminuindo desta maneira, a corrente de fuga na junção do dreno com o corpo do dispositivo e a capacitância de junção.

A tecnologia SOI MOSFET, por possuir esta camada isolante, permite a fabricação de circuitos integrados menores, mais densos, mais velozes e com menores valores de capacitância e de corrente de fuga, melhor inclinação sublimiar, maior resistência à radiação, menor efeito de canal curto [3, 20, 21].

Figura 2.1: (a) Corte da seção transversal do nMOSFET de porta retangular (b) Corte da seção transversal do SOI nMOSFET de porta retangular.

onde:

- t_{ox1} : é a espessura do óxido de porta;
- t_{Si} : é a espessura do filme de silício;
- t_{ox2} : é a espessura do óxido enterrado;
- L : é o comprimento de canal.

O modo de funcionamento de um transistor SOI MOSFET depende da espessura da camada de silício, da concentração de dopantes e da temperatura de operação, os quais influenciam diretamente na extensão da camada de depleção presente no dispositivo quando polarizado.

Uma das principais desvantagens dos transistores SOI MOSFET é a presença do auto-aquecimento, pois a condutividade térmica do óxido de silício é bastante menor quando comparada com a do silício [22]. Observa-se na figura 2.1 que a região ativa do dispositivo fica isolada do substrato, dificultando o fluxo de calor. Logo, há um aumento da temperatura de operação e, conseqüentemente, há uma maior degradação das características elétricas.

2.1 Tipos de Estruturas SOI MOSFETs

O comportamento físico dos dispositivos SOI MOSFETs depende da espessura da camada de silício, da concentração de dopantes (região ativa) na qual são construídos e também da temperatura de operação.

Há basicamente dois tipos de dispositivos:

- SOI MOSFETs de camada fina, onde a camada de silício pode estar completamente depletada (“dispositivo totalmente depletado” ou “*FD Device – Fully Depleted*”);
- Transistores de camada espessa, onde a camada de silício na região do canal nunca fica totalmente depletada (“dispositivo parcialmente depletado” ou “*PD Device – Partially Depleted*”).

Nas figuras 2.2, 2.3 e 2.4 pode-se ver o diagrama de faixa de energia dos dispositivos MOSFETs, SOI MOSFET de camada espessa e SOI MOSFET de camada fina, respectivamente.

Figura 2.2: Diagrama de faixas de energia do dispositivo MOSFET.

onde:

- V_{G1} : é a tensão de porta do transistor;
- $X_{dmáx1}$: é a espessura da região de depleção proveniente da primeira interface;
- E_c : é o nível de energia de condução;
- E_i : é o nível intrínseco de energia;
- E_F : é o nível de Fermi;
- E_v : é o nível de energia de valência;

Figura 2.3: Diagrama de faixas de energia do SOI MOSFET de camada espessa.

onde:

- V_{G2} : é a tensão de substrato do transistor;
- $x_{dmáx2}$: é a espessura da região de depleção proveniente da segunda interface;

Figura 2.4: Diagrama de faixas de energia do SOI MOSFET de camada fina.

Em um dispositivo MOSFET convencional, para o silício tipo P, a região de depleção aumenta a partir da interface silício / óxido de silício até a profundidade máxima de depleção [23], $x_{dmáx}$, a qual é descrita pela equação 2.1 [23]:

$$x_{dmáx} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_a}} \quad (2.1)$$

onde:

- ϵ_{Si} : é a permissividade do silício;
- q : é a carga elementar do elétron;
- ϕ_F : é o potencial de Fermi;
- $x_{dmáx}$: é a profundidade de depleção máxima;
- N_a : é a concentração de impurezas aceitadoras do semiconductor;

E com o potencial de Fermi ϕ_F dado pela equação 2.2 [23]:

$$\phi_F = \frac{k.T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) \quad (2.2)$$

onde:

- T: é a temperatura absoluta;
- k: é a constante de Boltzmann;
- n_i : é a concentração intrínseca de portadores.

É possível observar a forte dependência do potencial de Fermi com a temperatura. Além disso, a dependência da concentração intrínseca com a temperatura é dada pela equação 2.3 [24]:

$$n_i = 3,9 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{\left(\frac{E_G}{2 \cdot k \cdot T}\right)} \quad (2.3)$$

Para que um dispositivo SOI MOSFET seja denominado parcialmente depletado (PD SOI – “*Partially Depleted*”), a espessura da camada de silício (t_{Si}) deve ser maior que o dobro da profundidade máxima de depleção ($x_{dmáx}$). Neste caso, nunca haverá interação entre as camadas de depleção decorrentes da primeira interface com a segunda interface, garantindo sempre uma região neutra entre as mesmas. Nestas condições, caso o corpo esteja ligado ao potencial de terra, o dispositivo apresentará um comportamento similar a um dispositivo MOSFET convencional [25].

No dispositivo SOI MOSFET de camada fina, a espessura da camada de silício (t_{Si}) é menor que a profundidade de depleção máxima ($x_{dmáx}$) [26]. Neste caso, a camada de silício permanece totalmente depletada quando se atinge a tensão de limiar na porta (V_{G1}), independente da condição de polarização do substrato (V_{G2}).

2.2 Parâmetros Elétricos dos Transistores SOI MOSFETs

Esta seção apresenta os principais parâmetros elétricos dos transistores SOI, enfatizando o comportamento de dispositivos totalmente depletados. Serão apresentadas também alterações decorrentes com a variação da temperatura sobre estes parâmetros.

2.2.1 Tensão de Limiar

A tensão de limiar (V_{TH}) de um transistor MOSFET pode ser definida como aquela que, aplicada à sua porta, eleva o potencial na superfície da camada de silício para $2\phi_F$. Para transistores nMOSFETs convencionais, a tensão de limiar pode ser expressa por [25]:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{q \cdot N_a \cdot x_{dmáx}}{C_{ox}} \quad (2.4)$$

Onde a tensão de faixa plana, V_{FB} é dada por $V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}}$, sendo ϕ_{MS} a diferença da função trabalho entre o metal de porta e o silício, Q_{ox} a densidade de carga fixa no óxido de porta por unidade de área e $C_{ox} = \frac{\epsilon_{ox}}{t_{ox1}}$ é a capacitância do óxido de porta.

Em transistores SOI parcialmente depletados não há interação entre as regiões de depleção da primeira e segunda interface, e a tensão de limiar na primeira interface (V_{TH1}) é a mesma de um transistor MOS convencional, calculada pela equação 2.4.

No caso de transistores SOI totalmente depletados, onde há interação entre as regiões de depleção e, conseqüentemente, entre os potenciais da primeira (ϕ_{S1}) e segunda (ϕ_{S2}) interfaces, a tensão de limiar pode ser obtida pelo modelo de Lim e Fossum [27].

Se a segunda interface estiver acumulada, tem-se que: $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{inv1} = 0$ e a tensão de limiar é determinada pela equação 2.5.

$$V_{TH1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot 2\phi_F - \frac{Q_D}{2 \cdot C_{ox1}} \quad (2.5)$$

Quando a segunda interface estiver invertida, tem-se que: $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{inv1} = 0$ e a tensão de limiar é determinada pela equação 2.6.

$$V_{TH1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_D}{C_{ox1}} \quad (2.6)$$

Já quando a segunda interface estiver em depleção, tem-se que: $0 < \phi_{S2} < 2\phi_F$, e $Q_{S2} = 0$ e a tensão de limiar é determinada pela equação 2.7.

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} (V_{G2} - V_{G2,acc}) \quad (2.7)$$

O valor $V_{G2,acc2}$ é determinado pela equação 2.8.

$$V_{G2,acc2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot C_{ox2}} - \left(\frac{C_{Si}}{C_{ox2}} \right) \cdot 2\phi_F \quad (2.8)$$

Para transistores de porta dupla, onde os canais desses dispositivos não são intencionalmente dopados, a tensão de limiar pode ser expressa por [27]:

$$V_{TH} = \Delta\phi_{mi} + \frac{k \cdot T}{q} \left[\ln \left(\frac{2 \cdot C_{ox} \cdot k \cdot T}{q^2 \cdot n_i \cdot t_{Si}} \right) \right] + \frac{\hbar^2 \cdot \pi^2}{2 \cdot q \cdot m^* \cdot t_{Si}^2} \quad (2.9)$$

Onde:

- ✓ $\hbar$: é a constante de Planck normalizada;
- ✓ m^* : massa efetiva dos elétrons.

O primeiro termo da equação 2.9 representa a diferença da função trabalho entre o metal de porta e o filme de silício intrínseco. O segundo termo da equação representa o potencial do canal. E o terceiro termo da equação representa o confinamento induzido pelo poço quântico, o qual se torna significativo para espessuras de filme de silício abaixo de 7 nm [27].

Como se pode observar na equação 2.9, a tensão de limiar em dispositivos de múltiplas portas é independente do nível de dopagem do canal. Isto se torna válido se a quantidade das cargas de depleção for insignificante frente às cargas eletrostáticas no canal [27], conforme pode se verificar a relação:

$$q.N_a.t_{Si} \ll 2.C_{ox} \cdot \frac{k.T}{q} \quad (2.10)$$

Portanto, dispositivos totalmente depletados com baixa dopagem no canal, são teoricamente imunes ao efeito de flutuações de dopagem, o qual era uma das principais limitações do escalamento de dispositivos MOS convencionais [28, 29].

2.2.1.1 Variação da Tensão de Limiar em função da Temperatura

Devido à dependência da tensão de limiar com o potencial de Fermi e com a concentração intrínseca dos portadores (observe as equações 2.2 e 2.3, respectivamente), pode-se notar que, com o aumento da temperatura, e consequente redução do potencial de Fermi, a tensão de limiar de dispositivos SOI diminui.

A dependência da tensão de limiar com a temperatura pode ser obtida derivando-se a equação 2.4, onde a variação da banda de energia (E_G) é desprezível para a faixa de temperatura considerada neste trabalho (298 à 523K), pois sua variação é de apenas 0,3% [24, 30].

A variação da tensão de limiar com a temperatura pode ser expressa por [3]:

Dispositivos MOS e SOI parcialmente depletados:

$$\frac{\partial V_{TH}}{\partial T} = \frac{\partial \phi_F}{\partial T} \cdot \left[1 + \frac{q}{C_{ox}} \cdot \sqrt{\frac{\epsilon_{Si} \cdot N_a}{k.T \cdot \ln\left(\frac{N_a}{n_i}\right)}} \right] \quad (2.11)$$

onde,

$$\frac{\partial \phi_F}{\partial T} = \frac{k}{q} \cdot \left[\ln(N_a) - 38,2 - \frac{3}{2}(1 + \ln(T)) \right] \quad (2.12)$$

Para o caso dos dispositivos totalmente depletados, as cargas de depleção, Q_{depl} , é igual a $q \cdot N_a \cdot t_{Si}/n$, onde o valor do fator de corpo (n) varia entre 1 e 2, dependendo da carga do óxido e da condição de polarização da segunda interface. Considerando que n é independente da temperatura, a dependência da tensão de limiar com a temperatura para dispositivos com camada fina de silício é dada por [3]:

$$\frac{\partial V_{TH}}{\partial T} = \frac{\partial \phi_F}{\partial T} \quad (2.13)$$

No caso de dispositivos de múltiplas portas, a dependência da tensão de limiar com a temperatura é dada por [31]:

$$\frac{\partial V_{TH}}{\partial T} = \frac{k}{q} \left[\left(-\frac{1}{2} + \ln \left(\frac{2 \cdot C_{ox} \cdot k}{q^2 \cdot 3,9 \times 10^{16} \cdot t_{Si}} \right) \right) - \frac{\ln(T)}{2} \right] \quad (2.14)$$

A variação da tensão de limiar em função da temperatura para um dispositivo de múltiplas portas é tipicamente de -0,6 mV/K, uma variação menor quando comparado com os dispositivos planares de porta única (por volta de -1,0 mV/K) [11].

A figura 2.5 mostra o comportamento da tensão de limiar em função de temperatura para um dispositivo de porta tripla.

Figura 2.5: Curva do comportamento da tensão de limiar em função da temperatura para um dispositivo de porta tripla.

2.2.2 Mobilidade

A mobilidade dos portadores é um fator bastante importante para a determinação da capacidade de fornecimento de corrente de um SOI MOSFET.

A mobilidade dos elétrons na camada de inversão de um MOSFET de canal n depende do campo elétrico vertical abaixo do óxido de porta, e pode ser aproximada por:

$$\mu_n(y) = \mu_{m\acute{a}x} \cdot \left[\frac{E_c}{E_{eff}(y)} \right]^c \quad (2.15)$$

Onde a mobilidade máxima $\mu_{m\acute{a}x}$, o campo elétrico crítico E_c e o expoente c são parâmetros de ajustes que dependem do processo de oxidação da porta e das propriedades do dispositivo [32, 33]. O campo elétrico ao longo do canal é dado por:

$$E_{eff}(y) = E_{s1}(y) - \frac{Q_{inv1}(y)}{2 \cdot \epsilon_{Si}} \quad (2.16)$$

O campo elétrico vertical abaixo do óxido de porta é dado por:

$$E_{s1}(y) = \left(\frac{\phi_{s1}(y) - \phi_{s2}(y)}{t_{Si}} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \right) \quad (2.17)$$

A expressão do campo elétrico superficial E_{s1} , pode ser simplificada para dispositivos totalmente depletados operando com baixa tensão de dreno $V_{DS} \approx 0V$, de maneira que os potenciais de superfície sejam independentes de (y) . Assim, se a segunda interface estiver depletada, mas próximo da inversão, teremos $\phi_{s1} - \phi_{s2} \approx 0$ e o campo elétrico superficial na interface óxido de porta e região ativa de silício (primeira interface) E_{s1} , será aproximadamente igual a:

$$E_{s1} = \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \quad (2.18)$$

O qual será menor em relação ao campo elétrico do correspondente dispositivo de substrato convencional, desde que a espessura da camada de silício seja menor que a largura máxima da região de depleção ($t_{si} < x_{dmáx}$).

$$E_{S1} = \frac{q \cdot N_a \cdot x_{d \max}}{2 \cdot \epsilon_{Si}} \quad (2.19)$$

Se a camada da 2ª interface estiver totalmente depletada, no caso do SOI MOSFET, e ainda não próximo da inversão, uma boa aproximação para o cálculo do campo elétrico será:

$$E_{S1} = \frac{q \cdot N_a \cdot x_1}{2 \cdot \epsilon_{Si}} \quad (2.20)$$

Onde x_1 é o ponto de mínimo potencial na camada de silício. O campo elétrico continuará menor em relação ao campo de um dispositivo de substrato convencional, desde que $x_1 < t_{si} < x_{dmáx}$.

Para a mesma concentração de dopagem ou concentração de impurezas aceitadoras do semiconductor tipo p (N_a), o campo elétrico na superfície superior E ($x = 0$) é menor para o dispositivo SOI MOSFET, do que para o dispositivo de substrato convencional [34].

O aumento na mobilidade superficial de dispositivos SOI totalmente depletados, tem sido descritos por vários autores [35, 36]. Normalmente os dispositivos SOI MOSFETs seguem a mesma lei experimental de redução de mobilidade dos dispositivos MOSFETs de substrato convencional.

2.2.2.1 Variação da Mobilidade em função da Temperatura

A degradação da mobilidade em função da temperatura é devida ao espalhamento dos fônons em temperaturas elevadas [37, 38, 39]. A dependência da mobilidade dos portadores em função da temperatura pode ser expressa por [23, 40]:

$$\mu_{n2} = \mu_{n1} \cdot \left(\frac{T_1}{T_2} \right)^c \quad (2.21)$$

Cujo T_1 é a temperatura ambiente (298 K) e T_2 é sempre maior que T_1 , neste trabalho, T_2 pode variar de 299 K até 523 K. A variável μ_{n1} corresponde à mobilidade dos elétrons em temperatura ambiente, e μ_{n2} corresponde à mobilidade dos elétrons para a temperatura T_2 . O fator c é denominado de fator de degradação e pode variar entre 1,5 e 2,4 em dispositivos planares [40]. No caso dos dispositivos de múltiplas portas veremos mais a diante que este fator varia entre 0,8 e 1,2.

2.2.2.2 Dispositivos com canal tensionado

A constante miniaturização dos dispositivos MOS vem causando problemas de degradação da mobilidade, ocasionados tanto pelo elevado campo elétrico, quanto pelo aumento na concentração de dopantes na região de canal do dispositivo. Atualmente, uma alternativa tecnológica que tem sido considerada é o uso de tensão mecânica (*strain*) sobre o canal do transistor MOS, como meio de aumentar a mobilidade dos dispositivos e, conseqüentemente, sua corrente de dreno [41, 42].

Estudos recentes reportam aumento de até 60% na mobilidade com a utilização de *stress* tensor nos transistores SOI nMOS, elevando sua transcondutância e corrente de dreno, sem aumento da corrente de fuga [43, 44].

Existem dois tipos de engenharia de *strain* [45]: força tensora global biaxial (*biaxial global strain*), cuja força tensora é introduzida pelo crescimento epitaxial de uma camada de silício sobre o germânio conhecido como sSOI (*strain silicon on insulator*) e força tensora local uniaxial, baseado no uso de tração (para nMOS) ou compressão (para pMOS) camadas dielétricas que são depositados ao redor da porta após o processamento *front-end-of-line* para provocar uma tensão mecânica ao longo do canal e denominada *contact etch stop layer* (CESL).

2.2.2.3 Dispositivos com canal rotacionado

Assim como na tecnologia *strain*, o dispositivo com canal rotacionado tem como objetivo causar um aumento na mobilidade e com isso aumentar também a corrente de dreno.

Dependendo da direção do fluxo de corrente, a mobilidade do elétron e da lacuna pode ser degradada. No caso dos elétrons, a degradação da mobilidade ocorre no plano (110) da rede cristalina enquanto que para as lacunas a degradação ocorre no plano (100).

No caso de dispositivos de múltiplas portas, a maior parte do fluxo da corrente de dreno ocorre nas portas laterais o qual o plano é (110) devido à sua maior área quando comparado com a porta superior onde o plano é (100). A fim de superar a degradação da mobilidade dos elétrons devido à orientação cristalina nas portas laterais do dispositivo, o substrato pode ser girado em 45° de tal forma que todos os planos de condução fiquem com a orientação (100) [46].

A figura 2.6 mostra a orientação cristalina em uma lâmina de silício.

Figura 2.6: Ilustração da orientação cristalina em uma lâmina de silício.

2.2.3 Transcondutância

A transcondutância de um transistor MOS (g_m) mede a eficácia do controle da tensão de porta sobre a corrente de dreno e é dada por:

$$g_m = \frac{\partial I_{DS}}{\partial V_G} \quad (2.22)$$

Através das equações de correntes do modelo de Lim & Fossum a transcondutância pode ser escrita na região de triodo e saturação pelas equações 2.23 e 2.24, respectivamente.

$$gm = \frac{\partial I_D}{\partial V_G} = \mu_n C_{ox} \frac{W}{L} V_{DS}, \text{ para } V_{DS} < V_{DSsat} \quad (2.23)$$

$$gm_{sat} = \frac{\partial I_{DSsat}}{\partial V_G} = \frac{\mu_n C_{ox}}{n} \frac{W}{L} (V_G - V_T) \quad (2.24)$$

, para $V_{DS} \geq V_{DSsat}$

A largura e o comprimento de canal do transistor são representados respectivamente, por W e L , μ_n é a mobilidade efetiva dos elétrons e n é o fator de corpo do transistor. Como resultado do menor fator de corpo, maior transcondutância é observada em transistores SOI totalmente depletados, na região de saturação, do que em dispositivos MOS convencionais.

A transcondutância está diretamente ligada à mobilidade, logo com o aumento da temperatura, a transcondutância sofrerá uma degradação provocada pela diminuição da mobilidade.

A figura 2.7 mostra o comportamento da transcondutância máxima ($gm_{máx}$) em função da temperatura.

Figura 2.7: Curva do comportamento da transcondutância máxima em função da temperatura de um dispositivo SOI nMOSFET de porta tripla.

2.2.4 Inclinação de Sublimiar

Define-se a inclinação de sublimiar (S) de transistores MOS como a variação de tensão de porta necessária para aumentar em uma década a corrente de dreno na região de sublimiar. Pode ser determinada pelo inverso da inclinação da curva monologarítima da corrente de dreno (I_{DS}) em função da tensão de porta (V_G).

$$S = \frac{\partial V_G}{\partial [\log(I_{DS})]} \quad (2.25)$$

Nos transistores MOS, a corrente de sublimiar é independente da tensão aplicada ao dreno, pois é uma corrente devida à difusão dos portadores minoritários. Desprezando as armadilhas de interface e, após algumas simplificações, obtém-se uma expressão geral em função do fator de corpo (n) [47].

$$S = \frac{kT}{q} \ln(10)n \quad (2.26)$$

Como é possível ver na equação 2.26, quanto menor o fator de corpo do dispositivo, melhor será a inclinação sublimiar deste. Menor valor de inclinação de sublimiar possibilita melhor desempenho em alta velocidade, principalmente com baixa tensão de alimentação [48]. Uma das principais desvantagens da operação em altas temperaturas é que a inclinação sublimiar sofre um grande aumento. Conforme podemos ver na figura 2.8.

Figura 2.8: Curva experimental da Inclinação Sublimiar em função da Temperatura de um dispositivo SOI nMOSFET de porta tripla.

2.3 Efeitos Parasitários

Os efeitos parasitários em dispositivos MOSFETs convencionais geralmente ocorrem devido à interação entre a região ativa do transistor com o substrato. Nos dispositivos SOI MOSFET devido à existência de uma camada de óxido enterrado separando a região ativa do substrato vários efeitos parasitários são minimizados.

A seguir serão descritos alguns dos principais efeitos parasitários da tecnologia SOI MOSFET.

2.3.1 Efeito da elevação abrupta da corrente (*Kink*)

O efeito da elevação abrupta da corrente, conhecido como efeito *Kink*, é caracterizado por ter uma pequena elevação na curva da corrente de dreno em função da tensão aplicada no dreno ($I_D \times V_D$) dos dispositivos SOI MOSFET. Este efeito geralmente ocorre nos dispositivos parcialmente depletados de canais tipo N, já nos dispositivos de canais tipo P este efeito acontece com menos frequência ou às vezes é até ausente dependendo da polarização do dispositivo.

O efeito *Kink* ocorre somente quando a tensão de dreno é bastante elevada, fazendo com que os elétrons presentes no canal do dispositivo ganhem energia

suficiente na região próxima da zona de alto campo elétrico do dreno criando o par elétron-lacuna, formando assim o mecanismo de ionização por impacto [49].

Devido ao menor campo elétrico do dreno, o efeito kink é minimizado nos dispositivos totalmente depletados.

Na figura 2.9 pode-se ver um exemplo típico do efeito *Kink*.

Figura 2.9: Efeito típico da elevação da corrente de dreno.

2.3.2 Efeito BJT

Dependendo da polarização de um dispositivo SOI MOSFET, pode surgir um efeito de um BJT parasitário inerente à estrutura MOS, cuja fonte do transistor é o emissor (N) do BJT, o canal é a base (P), e o dreno (N) é o coletor. Com o aumento da tensão de porta, como o campo elétrico junto ao dreno é alto, a corrente na inversão fraca já é suficiente para iniciar o processo de ionização por impacto, aumentando o potencial de corpo e diminuindo a tensão de limiar. A figura 2.10 apresenta um transistor SOI MOSFET tipo N identificando o transistor bipolar parasitário (NPN) inerente à estrutura.

Figura 2.10: Dispositivo SOI MOSFET de canal tipo N identificando o transistor bipolar parasitário inerente em sua estrutura.

No dispositivo MOSFET convencional, a base do transistor bipolar geralmente é aterrada pelo contato com o substrato. No entanto, nos SOI MOSFET sem o contato com o corpo (base do BJT) o dispositivo estará flutuando e se o tempo de vida dos portadores minoritários (elétrons) na camada de silício for grande o suficiente, então o transistor bipolar parasitário poderá amplificar a corrente de base (corrente de lacunas geradas pela ionização por impacto na região próxima ao dreno) e aumentar a corrente de dreno [50], como é esquematizado na figura 2.11.

Figura 2.11: Esquemático do efeito transistor bipolar parasitário em um SOI MOSFET.

A corrente de base é dada por:

$$I_{corpo} = (M - 1).I_{Dsat} = (M - 1).I_{CH} \quad (2.27)$$

Onde I_{CH} é a corrente do canal, M é o fator de multiplicação. O aumento da corrente de dreno é dado por:

$$\Delta I_D = \beta_F . I_{corpo} = \beta_F . (M - 1).I_{CH} \quad (2.28)$$

Cujo β_F é o ganho da corrente emissor-comum do BJT.

O aumento na corrente de dreno forma uma realimentação positiva que flui pelo dispositivo, com isso, a corrente de dreno aumenta instantaneamente, fazendo com que a inclinação de sublimar chegue próximo do zero. Esse efeito é conhecido como disparo do transistor bipolar parasitário e pode também ocorrer em transistor SOI totalmente depletado [51, 52, 53, 54].

2.3.3 Efeito de Canal Curto

Conforme as dimensões dos dispositivos são reduzidas, a proximidade entre a fonte e o dreno diminui a capacidade da porta em controlar a distribuição de potencial e o fluxo de corrente na região do canal, com isso, o chamado efeito de canal curto começa a interferir no funcionamento adequado dos transistores MOSFETs. Dispositivos de múltiplas portas (MuGFETs) estão sendo considerados como substitutos para os dispositivos de porta única SOI MOSFETs a fim de dar continuidade além dos limites da escala clássica. Dispositivos MuGFETs podem trabalhar com comprimento de canal abaixo dos 20 nm ainda com bom controle sobre os efeitos de canal curto (SCE). Caso esse limite não fosse superado pelas novas tecnologias SOI (dispositivos de múltiplas portas), a lei de Moore chegaria ao fim por volta do ano 2012 [55].

Para saber o quanto o efeito de canal curto influencia o funcionamento do dispositivo (diminuição de V_{TH} , Abaixamento da Barreira Induzida pelo Dreno (DIBL - *Drain-Induced Barrier Lowering*), e o aumento inclinação de sublimar), é preciso conhecer o nível de controle da porta sobre o canal, que é modelado pelo comprimento do campo de penetração característico ($\lambda = f(t_{ox}, t_{Si}, H_{Fin})$) e derivado a partir da equação quasi 2-D de Poisson. O modelo para calcular o efeito de canal curto prevê a diminuição de V_{TH} , do DIBL, e da degradação da inclinação de sublimar para dispositivos de múltiplas portas com canal curto [56].

O comportamento do efeito de canal curto é determinado pela alteração na barreira mínima de potencial ($\Psi_{c(min)}$) dentro do canal devido ao acoplamento potencial do dreno. O modelo de efeito de canal curto é apresentado na equação 2.29 [56].

$$\Delta V_g = \Psi_{c(min)} - V_{SL} \quad (2.29)$$

Onde:

$$\Psi_{c(\min)} = V_{SL} - \frac{V_{DS}^2 \cdot e^{-\frac{L}{2\lambda}}}{\left(e^{\frac{L}{\lambda}} - e^{-\frac{L}{\lambda}} \right) \cdot \sqrt{Z_O \cdot Z_L}} + 2 \cdot \sqrt{Z_O \cdot Z_L} \cdot \frac{\sinh\left(\frac{L}{2\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \quad (2.30)$$

$$Z_O = V_{bi} - V_{SL} \quad (2.31)$$

$$Z_L = V_{bi} - V_{SL} + V_{DS} \quad (2.32)$$

$$V_{bi} = 0.56 + \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2.33)$$

$$V_{SL} = V_G - V_{FB} - \frac{q \cdot N_A}{\epsilon_{Si}} \cdot \lambda^2 \quad (2.34)$$

$$\lambda = \frac{1}{\sqrt{\left(\frac{1}{\lambda_{t_{Si}}}\right)^2 + \left(\frac{a}{\lambda_{H_{fin}}}\right)^2}} \quad (2.35)$$

Onde:

- a = 0 → para dispositivos de porta dupla (DG-FET)
- a = 0,5 → para dispositivos de porta tripla (3G-FET)
- a = 1 → para dispositivos de porta quádrupla (4G-FET)

$$\lambda_{t_{Si}} = \sqrt{\frac{\epsilon_{Si}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{\epsilon_{ox} \cdot t_{Si}}{4 \cdot \epsilon_{ox} \cdot t_{ox}} \right) \cdot t_{Si} \cdot t_{ox}} \quad (2.36)$$

$$\lambda_{H_{fin}} = \sqrt{\frac{\epsilon_{Si}}{4 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{\epsilon_{ox} \cdot H_{fin}}{2 \cdot \epsilon_{ox} \cdot t_{ox}}\right) \cdot H_{fin} \cdot t_{ox}} \quad (2.37)$$

Onde:

- ✓ ΔV_g é o quanto a tensão de limiar diminuiu devido ao efeito de canal curto;
- ✓ $\Psi_{c(min)}$ é a barreira mínima de potencial;
- ✓ V_{bi} *built-in voltage* (potencial interno da junção PN);
- ✓ V_{FB} *flat band voltage* (tensão de faixa plana);
- ✓ λ_{tSi} é comprimento do campo de penetração em função de t_{Si} ;
- ✓ λ_{Hfin} é comprimento do campo de penetração em função de H_{fin} ;
- ✓ λ é a média de λ_{tSi} e λ_{Hfin} ;
- ✓ L é o comprimento efetivo do canal.

A figura 2.12 mostra um simples comparativo entre o modelo apresentado e o resultado de uma simulação numérica realizada com o ATLAS [57].

Figura 2.12: Curva comparativa entre o resultado simulado e o modelo de efeito de canal curto.

2.3.4 Redução da Barreira de Potencial Induzida pelo Dreno (DIBL)

A redução da barreira de potencial induzida pelo dreno, conhecido como efeito DIBL (*Drain Induced Barrier Lowering*) é causado devido à existência da interação eletrostática entre a fonte e o dreno [58]. Este efeito tende a aumentar para comprimentos de canais menores, quando as junções de fonte e dreno forem profundas e também a dopagem do canal for baixa. Este efeito causa uma diminuição da tensão de

limiar no dispositivo. A figura 2.13 mostra o abaixamento da barreira de potencial no dispositivo provocado pelo efeito DIBL.

Figura 2.13: Representação do efeito DIBL ao longo do comprimento do canal.

O efeito de DIBL é a medida da variação na tensão de limiar quando um potencial maior é aplicado no dreno, ou seja, quando um dispositivo é levado à saturação. Pode ser determinado pela equação 2.38 [58].

$$DIBL(mV/V) = \frac{V_{T1}(V_{D1}) - V_{T2}(V_{D2})}{V_{D2} - V_{D1}} \quad (2.38)$$

Onde V_{D2} é maior que V_{D1} sendo que V_{D1} é a tensão de dreno na região linear e V_{D2} é a tensão de dreno na região de saturação. $V_{T1}(V_{D1})$ é a tensão de limiar quando o dispositivo está operando na região linear e $V_{T2}(V_{D2})$ é a tensão de limiar quando o dispositivo está operando na região de saturação.

2.3.5 Corrente de Fuga do Dreno Induzida pela Porta (GIDL)

O efeito de corrente de fuga do dreno induzida pela porta (GIDL – *Gate Induced Drain Leakage*) ocorre quando uma polarização negativa é aplicada na porta de um dispositivo canal tipo n, com isso uma região de depleção é criada na região de dreno sobreposta (*overlap*) pela porta (figura 2.13) [59].

Figura 2.13: Formação da região de depleção na região do dreno devido ao efeito GIDL.

Uma vez que a concentração de dopantes no dreno é tipicamente elevada e a região de depleção é muito fina, isso acaba resultando num campo elétrico vertical intenso no dreno. Sob estas condições, pares de elétrons-lacunas são gerados pelo tunelamento da banda de valência para a banda de condução (figura 2.14) [59]. E este efeito tende a aumentar caso um potencial positivo seja aplicado ao dreno.

Figura 2.14: Curva da banda de energia na região de *overlap* do dreno detalhando o tunelamento dos portadores da banda de valência para a banda de condução.

Este efeito causa um aumento na corrente de fuga do dispositivo e é possível observar seu comportamento na curva $I_D \times V_G$, como mostra a figura 2.15.

Figura 2.15: Presença do efeito GIDL em uma curva da corrente de dreno em função da tensão aplicada à porta de um dispositivo SOI nMOSFET planar.

2.4 Dispositivos de Múltiplas Portas

Como descrito anteriormente, com o avanço da tecnologia, logo se chegou à limitação de escalamento de fabricação de dispositivos SOI planares fazendo com que se voltasse à atenção para as estruturas de canal vertical de múltiplas portas a fim de dar continuidade além dos limites da escala clássica.

A necessidade do controle de correntes maiores e de melhores características de canal curto fez com que os transistores SOI MOS dos dispositivos planares de porta simples evoluíssem para os dispositivos tridimensionais com múltiplas portas: portas dupla, tripla e quádrupla conhecidos como MuGFETs (*Multi-Gate Field Effect Transistor*) Transistor de efeito de campo elétrico de múltiplas portas [60].

Estes dispositivos de múltiplas portas apresentam várias vantagens em relação aos transistores fabricados em geometrias planares, tais como: maior densidade de integração, maior escalamento, melhor controle da corrente e menor variação da tensão de limiar em função da temperatura.

2.4.1 Dispositivos de Porta Dupla

O dispositivo de porta dupla, conhecido como FinFET é uma estrutura não planar e apresenta grandes vantagens devido ao maior controle que a porta tem sobre as cargas no interior do canal. A figura 2.16 mostra a estrutura de um dispositivo FinFET.

Figura 2.16: Estrutura de um dispositivo FinFET.

Onde W_{fin} e o H_{fin} correspondem à largura e à altura do fin, respectivamente.

Observe que na parte superior do canal o óxido de porta é espesso fazendo com que somente as portas laterais controlem o canal.

2.4.2 Dispositivos de Porta Tripla

O dispositivo de porta tripla é muito similar ao FinFET com a exceção da presença de uma terceira porta na parte superior do canal como é apresentado na figura 2.17. Neste caso o óxido de porta é igualmente fino nos três lados do canal.

Figura 2.17: Estrutura de um dispositivo de porta tripla.

Nesta estrutura a largura do canal é dada por:

$$W \approx W_{fin} + 2.H_{fin} \quad (2.39)$$

A condução de corrente no transistor de porta tripla pode ser controlada tanto pelas portas laterais, como pela porta superior, o que dependerá da relação das dimensões de largura (W_{fin}) e altura (H_{fin}) do *fin* [61] e também da orientação cristalina de cada plano [46].

2.4.3 Dispositivos de Porta Tripla mais (3+)

Esse transistor é basicamente um dispositivo de porta tripla, porém com uma pequena extensão do eletrodo de porta abaixo da região ativa do silício fazendo com que este apresente algumas vantagens como aumento do controle da corrente de dreno e efeito de canal curto reduzido. A extensão da porta forma um campo induzido na parte inferior do dispositivo impedindo que as linhas de campo elétrico do dreno avancem para o interior do canal.

São dois tipos de dispositivos de porta tripla +, um conhecido como porta Π (pi) [62], e o outro conhecido como porta Ω (ômega) [63].

A figura 2.18 mostra os tipos de estruturas dos dispositivos de porta tripla +.

Figura 2.18: Corte transversal dos dispositivos de porta tripla +, (a) porta Π (pi), e (b) porta Ω (ômega).

2.5 Dispositivos Planares de Óxido Enterrado Ultrafino (UTBOX)

O dispositivo planar de óxido enterrado com espessura ultrafina conhecida como UTBOX (*Ultra Thin Buried Oxide*), ilustrado na figura 2.19, possui vantagens como melhor controle da tensão de limiar, melhor controle do efeito de canal curto, menor resistência térmica, além de maior acoplamento do substrato no canal resultando numa maior influência da tensão aplicada nesse contato. Permitindo o funcionamento como um dispositivo de porta dupla, similar ao comportamento de um transistor vertical FinFET, porém a fabricação do UTBOX é mais simplificada.

Sob o óxido enterrado há uma região de alta dopagem chamada de *Ground Plane* (GP) [64]. O GP tem a função de evitar que a espessura efetiva do óxido enterrado aumente no caso de a interface óxido enterrado / substrato estar na região de depleção [62], além de melhorar o controle da tensão de limiar dispensando a necessidade de se aumentar a concentração do canal o que poderia prejudicar a mobilidade [65].

Figura 2.19: Estrutura de um dispositivo UTBOX.

3 UTILIZAÇÃO DO PONTO INVARIANTE COM A TEMPERATURA NA OPERAÇÃO DE LEITURA DE UMA CÉLULA DE MEMÓRIA

Neste capítulo é investigado a influência da temperatura em dispositivos com óxido enterrado ultrafino conhecidos como UTBOX (*Ultra Thin Buried Oxide*) operando como célula de memória 1T-FBRAM (célula de memória dinâmica de acesso aleatório de único transistor). Para a operação de escrita do dado no dispositivo é utilizado a corrente de fuga do dreno induzida pela porta (GIDL), já para a operação de leitura foram utilizadas duas polarizações, a primeira denominada de padrão e a segunda no ponto invariante com a temperatura (*ZTC: Zero Temperature Coefficient*).

Em temperaturas mais elevadas, observa-se que a janela de memória varia e o tempo de retenção é degradado quando se utiliza uma leitura padrão. Para resolver este problema, sugerimos a polarização de leitura onde ocorre o ZTC, assim o nível de corrente do estado '0' passa a ser aproximadamente constante dentro da faixa de temperatura estudada.

3.1 Introdução

A célula de memória 1T-FBRAM explora os efeitos parasitários (como BJT, ionização por impacto ou ainda GIDL) que são inerentes às estruturas SOI MOS afim de gerar cargas no corpo do dispositivo (lacunas). Como já visto anteriormente, o excesso de lacunas no corpo significa nível lógico '1' e sua ausência significa nível lógico '0'.

Neste capítulo é utilizado o efeito GIDL para a geração de lacunas. Este método tem sido utilizado a fim de se obter baixo consumo e alta velocidade [66].

Para escrever o nível lógico '0' uma tensão negativa é aplicada ao dreno formando uma polarização direta fazendo que as lacunas sejam expelidas através da junção dreno/corpo [18].

3.2 Características do Dispositivo

A figura 3.1 mostra a estrutura utilizada para este estudo. É um dispositivo SOI canal tipo n totalmente depletado com óxido enterrado ultrafino (UTBOX). O comprimento de canal tem 150 nm, espessura do óxido de porta tem 5 nm, o óxido enterrado possui 30

nm de espessura e por fim, a largura do canal é de 1 μm . O nível de dopagem do canal é de $1 \times 10^{15} \text{ cm}^{-3}$.

Figura 3.1: Estrutura de um dispositivo SOI com óxido enterrado ultrafino (UTBOX).

3.3 Esquema de Programação e Leitura

A figura 3.2 apresenta as polarizações de escrita e leitura da 1T-FBRAM. O tempo de cada operação é de 3 ns, o tempo de armazenamento (t_{HOLD}) é de 10 ns, e os valores aplicados ao dreno e na porta podem ser visto na tabela 3.1.

Figura 3.2: Esquema de polarização da célula de memória 1T-FBRAM utilizando GIDL para escrever '1' e polarização direta para escrever '0'.

Tabela 3.1: Polarização e tempo de programação para a operação da célula de memória 1T-FBRAM

Estados	Tempo [ns]	V_G [V]	V_D [V]
Escrita do '1'	3	-2	2
Leitura	3	1	0.5
Escrita do '0'	3	1	-1.2
Armazenamento (<i>hold</i>)	10	0	0

Em todas as operações o terminal de fonte ficou constante em 0 V e o substrato em -4 V.

No primeiro conjunto de pulsos, a escrita do nível lógico '1', é aplicado 2 V no dreno e -2 V na porta provocando uma grande geração de lacunas próximo à junção dreno/corpo logo abaixo do óxido de porta devido ao efeito GIDL, conforme pode ser vista na figura 3.3. As lacunas geradas fluem para o corpo do dispositivo e ficam armazenadas lá.

Figura 3.3: Taxa de geração das lacunas no momento da escrita do dado '1' na estrutura UTBOX.

O acúmulo de lacunas aumenta o potencial do corpo fazendo com que a tensão de limiar seja diminuída refletindo num maior nível de corrente de dreno.

Após a escrita do dado '1' é aplicada a condição de armazenamento (*hold*) do dispositivo cujo objetivo é armazenar o dado pelo maior tempo possível. Neste caso, os terminais de dreno e porta ficam em 0 V.

A figura 3.4 mostra a concentração de lacunas durante a condição de armazenamento.

Figura 3.4: Concentração de lacunas durante a condição de armazenamento da célula de memória 1T-FBRAM após a escrita do dado '1'.

No segundo conjunto de pulsos, após a condição de armazenamento, ocorre a operação de leitura do dado. Neste momento é aplicado ao dreno um potencial pouco maior que o potencial da fonte (neste caso uma tensão de 0,5 V), e a porta recebe um potencial tipicamente maior ou igual à tensão de limiar (neste exemplo é usado 1,0 V).

Durante a leitura do dado '1' é observado um alto nível de corrente (aproximadamente $107 \mu\text{A}/\mu\text{m}$) devido ao elevado potencial do corpo causado pelo excesso de lacunas.

A figura 3.5 mostra a densidade de corrente das lacunas durante o terceiro conjunto de pulsos usado para escrever o dado '0' através da polarização direta na junção dreno/corpo. É possível observar as lacunas fluindo do corpo para o dreno próximo da região da segunda interface.

Figura 3.5: Densidade de corrente de lacunas durante a escrita do dado '0' da célula de memória 1T-FBRAM.

A figura 3.6 mostra a concentração de lacunas no canal do dispositivo após a escrita do estado '0'.

Figura 3.6: Concentração de lacunas durante a condição de armazenameto da célula de memória 1T-FBRAM após a escrita do dado '0'.

Por último, o quarto conjunto de pulsos, ocorre novamente a leitura, porém desta vez para o dado '0', o qual é observado um nível de corrente menor (aproximadamente $65 \mu\text{A}/\mu\text{m}$) devido ao menor potencial do corpo causado pela diminuição da concentração lacunas.

A figura 3.7 compara a concentração de lacunas durante o estado de armazenamento do dado '1' e '0' a 1 nm abaixo da primeira interface. Note que a diferença de concentração de lacunas atinge 3 ordens de grandeza.

Figura 3.7: Comparativo da concentração de lacunas durante a condição de armazenamento da célula de memória 1T-FBRAM após a escrita dos dados '1' e '0'.

A figura 3.8 compara a densidade de corrente de elétrons durante a leitura dos dados '1' e '0'. Observa-se que a densidade de corrente de elétrons para leitura do dado '1' é maior devido ao seu maior potencial do corpo.

Figura 3.8: Comparativo da densidade de corrente de elétrons durante a leitura dos dados '1' e '0'.

3.4 Polarização no ponto ZTC na operação de leitura

Nesta subseção será apresentado um estudo da influência da temperatura na operação de leitura da célula de memória. Para isso será usado duas condições de polarizações diferentes, a primeira condição para $V_G = 1,0 \text{ V}$, e a segunda condição será onde ocorre o ponto ZTC ($V_G = V_{ZTC}$). Os parâmetros estudados são margem de sensibilidade de corrente (ΔI_{SENSE}) e o tempo de retenção (RT) do dado no dispositivo.

A margem de sensibilidade de corrente é definida pela diferença dos níveis de corrente na operação de leitura do dado '1' (I_1) e o dado '0' (I_0).

A definição para o tempo de retenção é quão longo a célula de memória consegue reter a informação nela armazenada.

A figura 3.9 mostra a curva da corrente de dreno em função da tensão aplicada à porta para duas temperaturas diferentes, através desta é possível extrair o ponto em que ocorre ZTC.

Figura 3.9: Curva corrente de dreno em função da tensão aplicada à porta.

Através da figura 3.9 pode se observar que o ponto ZTC ocorre para $V_G = 0,81\text{ V}$. Portanto, a polarização no terminal de porta para a segunda condição (ZTC) deverá ser de $0,81\text{ V}$.

3.4.1 Margem de Sensibilidade de Corrente

A figura 3.10 mostra um simples comparativo da leitura do dado '1' nas duas condições propostas. Observa-se que a leitura feita na segunda condição, que é onde ocorre o ponto ZTC, apresentou nível de corrente menor, porém mostrou ser mais estável (pouca variação) em função da temperatura.

Figura 3.10: Corrente de dreno durante a leitura do dado '1' nas duas condições de polarização.

Através da figura 3.11 nota-se que o mesmo comportamento é observado para a leitura do dado '0'. Observa-se que quando a célula de memória é polarizada na segunda condição o nível de corrente durante a leitura do dado '0' apresentou pouca variação em função da temperatura.

Figura 3.11: Corrente de dreno durante a leitura do dado '0' nas duas condições de polarização.

A margem de sensibilidade de corrente, resultante da diferença entre as correntes I_1 e I_0 , é apresentada na figura 3.12. Observa-se que a margem de sensibilidade de corrente polarizada na segunda condição é por volta de $5 \mu A/\mu m$ menor em relação à primeira.

Figura 3.12: Margem de sensibilidade de corrente em função da temperatura nas duas condições de polarização.

3.4.2 Tempo de Retenção

Como visto anteriormente, o tempo de retenção é definido pelo tempo máximo em que o dispositivo consegue armazenar o dado. Tempo longo de retenção é desejado a fim de diminuir a operação de refrescamento do dado.

A figura 3.13 mostra um simples comparativo dos níveis de correntes I_1 e I_0 ao longo do tempo na primeira condição de polarização e para as temperaturas de 25 e 100°C. Pode se observar que a degradação do dado ocorre para o I_1 com o aumento do tempo, o que indica que as lacunas estão se recombinando devido às fugas nas junções de dreno e fonte, e este efeito se torna mais crítico para maiores temperaturas.

Figura 3.13: Correntes I_1 e I_0 em função do tempo para diferentes temperaturas.

O problema causado pelo aumento da temperatura é que além de se obter menor retenção, a corrente de referência que determina se o dado é '1' ou '0' teria que ser dinâmica, ou seja, para cada temperatura de operação teria-se uma corrente de referência.

A figura 3.14 mostra o mesmo comparativo dos níveis de correntes I_1 e I_0 ao longo do tempo, porém agora com a polarização de leitura onde ocorre o ZTC e para diferentes temperaturas.

Figura 3.14: Correntes I_1 e I_0 em função do tempo para diferentes temperaturas com a leitura polarizada no ponto ZTC.

Pode se observar na figura 3.14, a grande vantagem de se utilizar a polarização do ponto ZTC durante a leitura é que o nível de corrente I_0 fica constante independente da temperatura de operação da célula de memória, possibilitando o uso de apenas uma corrente de referência para a identificação do dado armazenado, o que dispensa a necessidade de um circuito de calibração automática da corrente de referência [67, 68].

4 CÉLULA DE MEMÓRIA OPERANDO EM ALTAS TEMPERATURAS

Neste capítulo é investigado a tensão de dreno necessária para programar o estado '1' através do efeito BJT (*Bipolar Junction Transistor*). É verificada também a velocidade de escrita em função da tensão de dreno, o tempo de retenção do dado e ainda a variação da temperatura para diferentes filmes de silício e de óxido enterrado.

É observado que a tensão e o tempo de disparo, o tempo de retenção e a margem de sensibilidade de corrente diminuem com o aumento da temperatura.

4.1 Introdução

O método de programação por BJT tem sido proposto a fim de se obter maior tempo de retenção e margem de sensibilidade de corrente. Além disso, este método funciona também em dispositivos totalmente depletados, podendo eliminar a necessidade de dispositivos parcialmente depletados. Em outras palavras, o método de programação por BJT apresenta melhor desempenho mesmo em dispositivos com espessura de filme de silício fina devido ao seu fenômeno conhecido como *single transistor latch-up* (STL) [69, 70].

Com baixo valor de tensão aplicado ao dreno, o dispositivo UTBOX opera normalmente como um transistor MOS. Quando o potencial de dreno aumenta substancialmente, a inclinação de sublimar diminui para próximo de 0 mV/dec e então aparece uma histerese na curva $I_D \times V_G$. Neste momento, a ionização por impacto ativa o efeito BJT, injetando lacunas no corpo do dispositivo e fazendo com que seu potencial aumente. Este aumento de potencial do corpo resulta na diminuição da tensão de limiar que por sua vez realimenta a ionização por impacto aumentando ainda mais o potencial de corpo. Essa realimentação mantém um alto nível de corrente de dreno mesmo para potencial de porta bem abaixo da tensão de limiar [18, 71, 72], indicando que o dado '1' foi escrito.

Baixo nível de corrente significa dado '0', ou seja, o efeito do transistor bipolar de junção está desativado devido à remoção das lacunas do corpo do dispositivo.

Aplicando-se um potencial suficientemente alto ao dreno pode-se danificar o funcionamento do dispositivo devido à ionização por impacto e também devido a outros efeitos causados pelo alto campo elétrico [73]. Porém, o uso de baixa tensão aplicado ao dreno não é o suficiente para disparar o efeito BJT [74].

Nesta seção é estudada a tensão de dreno necessária para programar o estado '1' através do disparo do BJT em função de diferentes filmes de silício e de óxido enterrado.

4.2 Características dos Dispositivos

Os dispositivos usados são da tecnologia SOI totalmente depletados com filme de óxido enterrado ultra-fino, conhecido como UTBOX FDSOI.

Os dispositivos foram modelados usando simulador numérico bidimensional [57] e todos eles tem o comprimento e largura de canal de 150 nm e 1 μm , respectivamente. A espessura do óxido de porta é de 5 nm e o nível de dopagem do canal é de $1 \times 10^{15} \text{ cm}^{-3}$. A espessura do filme de silício varia de 8 até 50 nm, enquanto que a espessura do óxido enterrado varia de 20 até 50 nm.

4.3 Análises e Resultados

A figura 4.1 mostra as polarizações usadas e a corrente de dreno em função do tempo obtida por simulações para temperaturas variando de 25 °C até 300 °C, e a tabela 4.1 detalha as polarizações e o tempo de cada operação.

Entre cada operação mostrada na tabela 4.1, está a condição de armazenamento do dado, o qual a polarização da porta é de -0,8 V e do dreno de 0 V. No caso dos terminais de fonte e substrato, suas polarizações ficam constantes em 0 V para todas as operações.

Figura 4.1: Operação dinâmica da célula de memória 1T-FBRAM usando o efeito BJT.

A primeira operação observada na figura 4.1 é a de leitura, o qual é aplicado -0,4 V no terminal da porta e 1,2 V no terminal de dreno, neste momento é verificado um baixo nível da corrente de dreno o que significa que não há cargas armazenadas no corpo do dispositivo.

A operação seguinte é a de escrita do dado '1', neste momento é aplicado 0 V à porta e 1,2 V ao dreno. Nesta operação observa-se que a corrente de dreno diminui para maiores temperaturas e que o tempo de disparo do efeito BJT necessária para a escrita do dado '1' diminui.

A terceira operação é a leitura novamente ($V_G = -0,4$ V e $V_D = 1,2$ V), desta vez, é observada um alto nível da corrente de dreno o que significa a leitura do dado '1' (as lacunas estão armazenadas no corpo do dispositivo).

A quarta operação é a escrita '0', a qual é utilizada a polarização direta da junção canal / dreno, durante esta operação é aplicado -1,0 ao dreno e 1,0 V à porta, neste momento todas as lacunas que estavam armazenadas no corpo são expelidas através do dreno.

A quinta e última operação é novamente a de leitura ($V_G = -0,4$ V e $V_D = 1,2$ V), é observado baixo nível de corrente de dreno, o que significa que todas as lacunas que estavam em excesso no corpo foram removidas efetivamente.

Tabela 4.1: Polarização e tempo de programação da célula de memória 1T-FBRAM usando o método BJT

Tempo [ns]	V_G [V]	V_D [V]	Estado
5 – 10	-0,4	1,2	Leitura
20 – 50	0	1,2	Escrita '1'
60 – 65	-0,4	1,2	Leitura
75 – 80	1,0	-1,0	Escrita '0'
90 – 95	-0,4	1,2	Leitura

4.3.1 Dependência do efeito BJT com a temperatura

Como visto na introdução deste trabalho, as características elétricas dos semicondutores se modificam à medida que a temperatura de operação aumenta. A equação 4.1 descreve o comportamento do transistor BJT inerente à estrutura NPN do dispositivo MOS. Nesta estrutura, o coletor refere-se ao dreno, o emissor à fonte e a base ao corpo.

$$I_C = \alpha_F \cdot I_{ES} \cdot \left[e^{\left(\frac{q \cdot V_{BE}}{k \cdot T} \right)} - 1 \right] \quad (4.1)$$

Onde α_F é o ganho da base em comum, I_{ES} é a corrente de saturação reversa da junção do emissor, q é a carga elementar do elétron, V_{BE} é o potencial entre a base e emissor e k é a constante de Boltzmann.

Através da equação 4.1 é possível observar que I_C diminui conforme o aumento da temperatura, consequentemente diminuindo a corrente de dreno quando este efeito está ativo (estado '1').

A figura 4.2 mostra a margem de sensibilidade de corrente de dreno em função da temperatura. A margem de sensibilidade de corrente diminui conforme a temperatura é incrementada.

Figura 4.2: Margem de sensibilidade de corrente de dreno em função da temperatura.

A figura 4.3 mostra o tempo necessário para disparar o efeito BJT em função da temperatura. Observa-se que o tempo de disparo diminui com o aumento da temperatura.

Figura 4.3: Tempo de disparo do efeito BJT em função da temperatura.

A corrente de lacunas ($I_{lacunas,gen}$) é proveniente da ionização por impacto. Em temperaturas elevadas, a mobilidade diminui devido ao espalhamento de fônons fazendo com que seja decrementada a geração de pares elétrons-lacunas. Embora ambas as correntes diminuam (I_C a $I_{lacunas,gen}$) conforme o aumento da temperatura, a taxa de decremento da corrente de lacuna é maior induzindo um maior ganho conforme pode ser visto na equação 4.2.

$$\beta = \frac{I_C}{I_{lacunas,gen}} \quad (4.2)$$

A equação 4.3 descreve o aumento abrupto da corrente de dreno quando a condição $\beta(M-1)$ se aproxima de 1 [51], permitindo o entendimento da relação entre a corrente total de dreno e o ganho do efeito BJT.

$$I_D = \frac{M \cdot I_{CH}}{1 - \beta(M - 1)} \quad (4.3)$$

Onde M é o fator de multiplicação da ionização por impacto e I_{CH} é a corrente do canal associado ao transistor MOS.

Com o aumento da temperatura, a realimentação positiva ocorre antecipadamente resultando num tempo de disparo menor, isso ocorre devido ao aumento do ganho (β) do BJT e a diminuição da tensão de limiar (V_{TH}).

O tempo de disparo requerido para programar o dado '1' também se torna menor quando é aplicado um maior potencial no terminal de dreno conforme mostra a figura 4.4.

Figura 4.4: Tempo de disparo do efeito BJT em função da tensão aplicada ao dreno para diferentes temperaturas.

É observado na figura 4.4 que a tensão aplicada ao dreno passa a influenciar menos no tempo de disparo do efeito BJT com o aumento da temperatura.

As tensões de disparo para diferentes espessuras de óxidos enterrados e filmes de silício para diferentes temperaturas são apresentados nas figuras 4.5 e 4.6, respectivamente.

Figura 4.5: Tensão de disparo do efeito BJT em função da espessura do óxido enterrado para diferentes temperaturas.

Na figura 4.5 observa-se que a tensão de disparo aumenta para óxidos enterrados mais finos. Conforme o óxido enterrado se torna mais estreito, o potencial de substrato passa a ter maior influência sobre o canal aumentando o controle das cargas no corpo. Sendo assim, a polarização de dreno se torna menos influente e um maior valor será necessário para disparar o efeito BJT.

Conforme é apresentado na figura 4.6, para espessuras de filme de silício mais espessas a tensão de dreno necessária para disparar o BJT é menor devido ao seu maior volume o qual facilita a acumulação de lacunas no corpo do dispositivo devido ao maior efeito de corpo flutuante.

Figura 4.6: Tensão de disparo do efeito BJT em função da espessura do filme de silício para diferentes temperaturas.

Neste estudo é observada uma forte dependência da tensão de disparo com o potencial de substrato. Quando uma tensão positiva é aplicada ao terminal de substrato ($V_{\text{BS}} > 0 \text{ V}$), a tensão mínima necessária para disparar o efeito BJT diminui conforme mostra a figura 4.7 para o dispositivo com $t_{\text{BOX}} = 30 \text{ nm}$ e $t_{\text{Si}} = 8 \text{ nm}$ (pior caso).

Figura 4.7: Tensão de disparo do efeito BJT em função da tensão aplicada ao terminal de substrato.

Isso significa que a histerese ocorre mais facilmente quando a segunda interface está em depleção, pois assim é induzido o efeito de corpo flutuante [75]. Portanto, é uma boa alternativa para propiciar o uso de dispositivos com filmes de silício muito finos.

4.3.2 Tempo de Retenção

A figura 4.8 mostra o tempo de retenção em função da temperatura. Para extrair este parâmetro um nível mínimo de corrente igual a $40\text{ }\mu\text{A}/\mu\text{m}$ foi usado para considerar o estado '1'.

De acordo com a figura 4.8, o tempo de retenção diminui conforme a temperatura de operação da célula de memória aumenta, isto ocorre devido ao aumento da corrente de fuga da junção fazendo com que os elétrons se recombinem com as lacunas armazenadas no corpo do dispositivo degradando o dado '1'.

Figura 4.8: Tempo de retenção em função da temperatura.

5 INFLUÊNCIA DA POLARIZAÇÃO DE PRIMEIRA E SEGUNDA PORTA SOBRE A MARGEM DE SENSIBILIDADE DE CORRENTE E O TEMPO DE RETENÇÃO

Nesta seção é feito um estudo no comportamento da margem de sensibilidade de corrente e no tempo de retenção em função das polarizações da porta e do substrato no dispositivo UTBOX operando como uma célula de memória através de simulações e experimentos. O objetivo deste capítulo é conhecer mais profundamente os mecanismos envolvidos na 1T-FBRAM a fim de se obter a melhor margem de sensibilidade de corrente e tempo de retenção através da otimização das polarizações da porta e do substrato.

5.1 Dispositivos

Na parte experimental deste trabalho foram utilizados dispositivos fabricados no imec, e o processo de fabricação dos nMOSFETs foram feitos sobre substratos SOI com 10 nm de espessura do óxido enterrado e 20 nm de espessura de filme de silício. Depois da formação do STI (*shallow trench isolation*) é feita a primeira dopagem do *ground plane* com Boro em 40 keV de energia e dose de $1 \times 10^{13} \text{ cm}^{-2}$, e então é realizada uma segunda dopagem novamente com Boro em 60 keV de energia e $4 \times 10^{13} \text{ cm}^{-2}$ de dose. A formação da porta consiste em 5 nm de TiN depositado pela técnica PEALD após o crescimento térmico de 5nm de óxido de silício. A construção das junções são iniciadas com uma implantação de baixa energia de arsênio (8 keV e $1 \times 10^{15} \text{ cm}^{-2}$) para a formação da extensão. Em seguida é depositado nitreto por PECVD para espessar 30 nm e então é feito o crescimento epitaxial do silício (SEG) com espessura de 30 nm. Após o término do SEG é feita uma implantação HDD de arsênio com 18 keV de energia e $3 \times 10^{15} \text{ cm}^{-2}$ de dose seguido de mais uma implantação de fósforo com 8 keV de energia e dose de $2 \times 10^{15} \text{ cm}^{-2}$. Para concluir a definição das junções de fonte e dreno é executado um aquecimento térmico rápido (RTA – *rapid thermal annealing*) a 1050 °C para a ativação dos dopantes.

5.2 Análises e Resultados

A figura 5.1 mostra as polarizações e a corrente de dreno em função do tempo obtida por simulações usadas nesta seção, e a tabela 5.1 detalha a polarização e o tempo de cada operação.

Figura 5.1: Esquema de polarização da célula de memória 1T-FBRAM.

Tabela 5.1: Polarização e tempo de programação da célula de memória 1T-FBRAM usando o método BJT

Tempo [ns]	V_G [V]	V_D [V]	Estado
10	0	2	Prog. 1
10	0	0,5	Prog. 0
10	-1,5	2	Leitura
-	-2,5	0	Repouso

A figura 5.1 mostra que durante o primeiro conjunto de pulsos (operação de escrita do dado '1') a ionização por impacto é usada cuja tensão de porta ($V_{G,WRITE}$) é 0 V e a tensão de dreno ($V_{D,WRITE}$) é 2 V. A ionização por impacto é utilizada para disparar o efeito BJT como mostra a figura 5.2. Em consequência, uma grande quantidade de lacunas são injetadas no corpo do dispositivo.

Figura 5.2: Ionização por impacto ocorrendo durante a escrita do dado '1' na 1T-FBRAM.

Após a escrita do dado '1', vem a condição de armazenamento, neste momento a tensão de porta ($V_{G,HOLD}$) está em -2,5 V e a tensão de dreno ($V_{D,HOLD}$) em 0 V. Durante esta condição podemos verificar uma alta concentração de lacunas à 1nm abaixo da primeira interface, algo em torno de 10^{20} cm^{-3} no meio do canal conforme mostra a figura 5.3.

Figura 5.3: Alta concentração de lacunas abaixo da primeira interface do dispositivo 1T-FBRAM.

No segundo conjunto de pulsos, ocorre a leitura do dado, durante este momento a tensão de porta ($V_{G,READ}$) é -1,5 V enquanto que a tensão de dreno ($V_{D,READ}$) é 2 V. Durante essa operação é observado um alto nível de corrente o que significa que foi lido o dado '1'. A figura 5.4 mostra a corrente de elétrons, e esta ocorre na segunda interface devido à polarização positiva de substrato.

Figura 5.4: Corrente de elétrons durante a leitura do dado '1' na célula de memória 1T-FBRAM.

Agora, no terceiro conjunto de pulsos, é chegada a vez da operação de escrita do dado '0'. Aqui é utilizado o método do acoplamento capacitivo [18, 74]. No qual o terminal de porta recebe um pulso de -2,5 V a 0 V enquanto que o terminal de dreno recebe outro pulso de 0 a 0,5 V. A figura 5.5 mostra que durante este momento as lacunas são expelidas através da junção fonte/corpo do dispositivo.

Figura 5.5: As lacunas sendo expelidas através da junção fonte/corpo durante a escrita do dado '0' por acoplamento capacitivo na 1T-FBRAM.

Após a escrita do dado '0', deve-se ressaltar a condição de armazenamento do dado conforme pode se ver na figura 5.6, uma concentração significativamente menor de lacunas logo abaixo da primeira interface do dispositivo.

Figura 5.6: Baixa concentração de lacunas abaixo da primeira interface do dispositivo 1T-FBRAM.

Finalmente, o quarto conjunto de pulsos é para a operação de leitura do dado novamente, ou seja, é aplicado -1,5 V ao terminal de porta ($V_{G,READ}$) e 2 V ao terminal de dreno ($V_{D,READ}$). Desta vez é observado um baixo nível de corrente de dreno (figura 5.7) significando que as lacunas foram expelidas do corpo do dispositivo.

Figura 5.7: Baixo nível de corrente de elétrons durante a leitura do dado '0' na 1T-FBRAM.

5.2.1 Margem de sensibilidade de corrente

Como visto em capítulos anteriores, a margem de sensibilidade de corrente (ΔI_{SENSE}) é a diferença dos níveis de corrente entre o estado '1' e o estado '0' durante a operação de leitura. A figura 5.8 mostra o nível de corrente do estado '1' (I_1) e o nível de corrente do estado '0' (I_0) para diferentes polarizações de porta ($V_{G,READ}$) durante a operação de leitura.

De acordo com a figura 5.8, para uma polarização de 2,1 V no substrato, a janela de memória está entre -1,0 V e -2,5 V, e o ponto ótimo de leitura ocorre onde se obtém maior ΔI_{SENSE} , que neste caso ocorre em $V_{\text{G,READ}} = -1,5$ V.

Figura 5.8: Curva simulada da janela de programa em função da polarização de porta para leitura ($V_{\text{G,READ}}$).

A figura 5.9 mostra a simulação de ΔI_{SENSE} em função de $V_{\text{G,HOLD}}$. Pode se observar que ΔI_{SENSE} aumenta conforme $V_{\text{G,HOLD}}$ diminui e um patamar é alcançado para $V_{\text{G,HOLD}}$ abaixo de -2,5 V.

Figura 5.9: Curva simulada de ΔI_{SENSE} em função $V_{\text{G,HOLD}}$.

$V_{\text{G,HOLD}}$ maior que -2,5 V não deveria ser considerado, pois, esta polarização estaria dentro da janela de programa apresentada na figura 5.8, causando possíveis perturbações em células compartilhando a mesma BL (*bit line*) na matriz de memórias

[67]. Além disso, maior $V_{G,HOLD}$ diminuiria o ΔI_{SENSE} . Para valores menores, o estado '0' seria degradado devido à fuga da corrente de dreno induzido pela porta (GIDL), o qual causaria geração de lacunas por tunelamento de banda para banda (BBT) conforme pode se ver na figura 5.10 [59].

A figura 5.10 mostra a taxa de geração causada pelo BBT a 1 nm abaixo da primeira interface para dois $V_{G,HOLD}$, demonstrando que a taxa de geração é maior para $V_{G,HOLD}$ menores (mais negativos). Alta taxa de geração aumenta a acumulação de lacunas no corpo do dispositivo causando a degradação do estado '0'.

Figura 5.10: Taxa de geração induzida pelo tunelamento de banda para banda (BBT) à 1 nm abaixo da primeira interface do dispositivo UTBOX.

A figura 5.11 mostra a dependência dos níveis I_1 e I_0 com a variação da polarização do substrato (V_B) para $V_{G,HOLD}$ constante em -2,5 V. É observado através de ΔI_{SENSE} ($I_1 - I_0$) que, também há uma janela de programa, neste caso para V_B variando entre 2,1 V e 2,6 V. Para V_B abaixo de 2,1 V, o efeito BJT para programar o estado '1' não pode ser acionado devido à ausência do efeito de corpo flutuante. E no caso para V_B maior que 2,6 V a segunda interface estará sempre invertida, o que torna impossível de se programar o estado '0'.

Figura 5.11: Os níveis de corrente I_1 e I_0 extraídos experimentalmente em função da polarização do substrato.

Portanto, pode se concluir que a melhor maneira de polarização para a condição de armazenamento do dado (*hold*) para uma célula de memória 1T-FBRAM deve ser a primeira interface em modo acumulação e a segunda interface em modo depleção.

5.2.2 Tempo de Retenção

A figura 5.12 mostra o tempo de retenção para diferentes condições de $V_{G,HOLD}$. Dois mecanismos são claramente observados nesta figura. Para $V_{G,HOLD}$ maior que -1,9 V, o nível de corrente do estado '1' decai rapidamente ao longo do tempo. Enquanto que, para $V_{G,HOLD}$ menor que -1,9 V, o estado '0' é degradado.

Figura 5.12: Curva simulada de I_1 e I_0 em função de $V_{G,HOLD}$. O tempo de retenção pode ser limitado ou pela recombinação (a) ou pela geração (b) de portadores.

Tendências similares são observadas em curvas experimentais conforme pode ser visto na figura 5.13.

Figura 5.13: Resultados experimentais de I_1 e I_0 em função de $V_{G,HOLD}$. O tempo de retenção pode ser limitado ou pela recombinação (a) ou pela geração (b) de portadores.

Apesar de a figura 5.12 mostrar que o maior (melhor) tempo de retenção obtido foi para $V_{G,HOLD} = -1,9$ V, a figura 5.8 mostra que esta polarização estaria dentro da janela de programa da célula de memória, o que causaria perturbações em células vizinhas dentro da matriz de memórias. Portanto, $V_{G,HOLD}$ não deveria ser maior que -2,5 V.

As figuras 5.14 e 5.15 mostram, respectivamente, o tempo de retenção simulado e experimental em função de $V_{G,HOLD}$. Com $V_{G,READ}$ mantido em -1,5 V, esta condição de armazenamento implica numa leitura onde as cargas armazenadas no corpo do dispositivo não estão estáveis. Estas cargas se recombinam rapidamente, resultando em uma corrente de leitura muito baixa. Portanto, operar $V_{G,HOLD}$ muito perto de $V_{G,READ}$ não é adequado levando a baixo tempo de retenção do estado '1' devido ao decaimento destas cargas não estáveis no corpo. Abaixo deste valor, o equilíbrio das cargas do estado '1' é normalmente lido, e elas não são expostas à recombinação durante a condição de armazenamento. Por outro lado, para $V_{G,HOLD}$ mais negativo o efeito GIDL se torna mais pronunciado, degradando o tempo de retenção do estado '0'. Resultados experimentais e simulados seguem a mesma tendência.

Figura 5.14: Curva simulada do tempo de retenção em função de $V_{G,HOLD}$.

Figura 5.15: Curva obtida experimentalmente do tempo de retenção em função de $V_{G,HOLD}$.

A figura 5.16 mostra a seção transversal da estrutura durante a condição de armazenamento do dado '1'. Para $V_{G,HOLD} = -1,5 \text{ V}$ a taxa de recombinação ocorre próximo das junções de fonte e de dreno (a) enquanto que para $V_{G,HOLD} = -2,3 \text{ V}$ nenhuma taxa de recombinação é observada (b).

Figura 5.16: Seção transversal da estrutura durante a condição de armazenamento do estado '1', (a) taxa de recombinação para $V_{G,HOLD} = -1,5 V$, resultando numa corrente de leitura muito baixa, (b) baixa taxa de recombinação para $V_{G,HOLD} = -2,3 V$, neste caso, a polarização é favorável para a geração e (c) uma comparação da taxa de recombinação para ambos $V_{G,HOLD}$ à 1 nm abaixo da primeira interface da estrutura UTBOX.

A figura 5.17 mostra a seção transversal durante a condição de armazenamento do estado '0'. Para $V_{G,HOLD} = -1,5 V$ é observado baixa taxa de geração (a), e quando aplicado $-2,3 V$ em $V_{G,HOLD}$ é observada uma taxa de geração alta (b).

(c)

Figura 5.17: Seção transversal da estrutura durante a condição de armazenamento do estado '0', (a) baixa taxa de geração para $V_{G,HOLD} = -1,5$ V, (b) alta taxa de geração para $V_{G,HOLD} = -2,3$ V, e (c) uma comparação da taxa de geração para ambos $V_{G,HOLD}$ à 1 nm abaixo da primeira interface da estrutura UTBOX.

A figura 5.18 mostra o tempo de retenção medido em função da polarização de substrato (V_B). Embora o melhor ΔI_{SENSE} foi obtido para $V_B = 2,6$ V (figura 5.11), essa polarização não apresenta o maior (melhor) tempo de retenção.

Figura 5.18: Tempo de retenção em função de V_B .

Através da figura 5.19 é possível ver que a melhor polarização de V_B para obter o maior tempo de retenção sem riscos de falhas está por volta de 2,2 V, o qual é escolhido como V_B otimizado. Este valor de V_B oferece um nível aceitável de ΔI_{SENSE} (98 $\mu A/\mu m$) e

um considerável tempo de retenção ($87 \mu\text{s}$). O tempo de retenção é mais sensível que o ΔI_{SENSE} quando o V_B varia (figuras 5.11 e 5.18).

Embora o maior tempo de retenção é obtido para $V_B = 2,1 \text{ V}$, esta polarização está muito próxima do limiar da janela de programação. Portanto, a escolha desta polarização poderia causar possíveis falhas na operação da célula de memória em casos de pequenas variações da polarização, temperatura, ou mudanças no comportamento do dispositivo ao longo do tempo.

Figura 5.19: Tempo de retenção em função de V_B .

6 ESTUDO DA POLARIZAÇÃO DE DRENO DURANTE A OPERAÇÃO DE LEITURA

Neste capítulo é apresentado um estudo sobre a dependência da margem de sensibilidade de corrente e do tempo de retenção com a polarização do dreno na operação de leitura ($V_{D,READ}$) numa célula de memória 1T-FBRAM.

O mecanismo de leitura é o objeto de estudo nesta seção. O $V_{D,READ}$ é variado desde 0,2 V até 2,0 V.

6.1 Polarização de Leitura e a Margem de sensibilidade de corrente

A figura 6.1 mostra a janela de leitura em função de $V_{G,READ}$ para diferentes $V_{D,READ}$ variando de 0,26 V até 1,65 V. É observado que a janela de leitura é deslocada para polarização mais negativa de $V_{G,READ}$ conforme o $V_{D,READ}$ é aumentado.

Figura 6.1: Margem de sensibilidade de corrente obtida experimentalmente para diferentes $V_{D,READ}$.

Conforme visto no capítulo anterior, o $V_{G,READ}$ é extraído onde ocorre o máximo ΔI_{SENSE} . O ΔI_{SENSE} , definido como a diferença entre os estados '1' e '0' ($I_1 - I_0$) e o $V_{G,READ}$ são plotados em função da polarização de dreno, conforme mostra a figura 6.2. Para ambos, $V_{G,READ}$ e ΔI_{SENSE} , dois diferentes regimes são observados. A polarização entre os dois regimes ocorre para $V_{D,READ} = 1,2$ V. Para baixos valores de V_D , o $V_{G,READ}$ e o

ΔI_{SENSE} sofrem poucas variações. Porém, para $V_{D,\text{READ}}$ maior que 1,2 V, o $V_{G,\text{READ}}$ é fortemente diminuído e o ΔI_{SENSE} aumentado.

Figura 6.2: Curva experimental de $V_{G,\text{READ}}$ e ΔI_{SENSE} em função de $V_{D,\text{READ}}$.

A fim de entender a diferença entre os dois regimes observados, foram levantadas diferentes polarizações de leitura variando a tensão aplicada à porta ($V_{G,\text{READ}}$) para baixo e alto V_D , conforme mostrado na figura 6.3. Ao contrário de $V_{D,\text{READ}}$ baixo, uma inclinação de sublimar íngreme e maior corrente de dreno I_1 são observados para alto $V_{D,\text{READ}}$ na janela de programa. Esta observação é consistente com os resultados obtidos por simulações (figura 6.4).

Figura 6.3: Curva experimental da janela de programa para diferentes $V_{D,\text{READ}}$.

Figura 6.4: Curva simulada da janela de programa para diferentes $V_{D,READ}$.

Para um melhor entendimento da diferença entre estes dois regimes, foram realizadas simulações durante a leitura do estado '1' para alto $V_{D,READ}$ e baixo $V_{D,READ}$. Além disso, foram simuladas duas condições diferentes em alto $V_{D,READ}$. A primeira condição com o uso do modelo de ionização por impacto habilitado e o segundo, com o modelo desabilitado. As simulações são mostradas na figura 6.5.

Figura 6.5: Resultados simulados para ΔI_{SENSE} em função de $V_{D,READ}$.

A figura 6.5 mostra o ΔI_{SENSE} extraído de simulações em função de $V_{D,READ}$. Uma tendência similar é obtida conforme resultados experimentais mostrados na figura 6.2. Além disso, quando o modelo de ionização por impacto é desabilitado nas simulações com alto $V_{D,READ}$, o ΔI_{SENSE} cai para níveis de baixos $V_{D,READ}$. Isto claramente demonstra

que a diferença entre os dois regimes de $V_{D,READ}$ está relacionado ao mecanismo da ionização por impacto. Para $V_{D,READ}$ alto o suficiente, a ionização por impacto ocorre durante a operação de leitura. Portanto, mais lacunas são injetadas no corpo do dispositivo, o qual resulta numa maior corrente de dreno para o estado '1' e consequentemente o ΔI_{SENSE} .

6.2 Tempo de Retenção

A figura 6.6 mostra o tempo de retenção experimental para diferentes $V_{D,READ}$. O tempo de retenção é determinado a 50% de ΔI_{SENSE} . Embora pequenos valores de ΔI_{SENSE} foram obtidos anteriormente para baixos valores de $V_{D,READ}$, seus tempos de retenção foram maiores em comparação com altos valores de $V_{D,READ}$.

Figura 6.6: Resultados experimentais do tempo de retenção para diferentes $V_{D,READ}$.

A figura 6.7 mostra o tempo de retenção para as duas diferentes condições (alto e baixo $V_{D,READ}$). Em ambos os casos o estado '1' é estável e o tempo de retenção é determinado pela perda do estado '0'. Este poderia ser o motivo pelo qual a retenção seja menor para altos $V_{D,READ}$. Durante alto $V_{D,READ}$ uma quantidade maior de lacunas são injetadas no corpo do dispositivo durante a operação de leitura, e se caso o dispositivo estiver perto da condição de limiar do estado '0', este será perdido tornando-se estado '1'. Tendências similares foram reproduzidas através de simulações conforme pode ser visto na figura 6.8.

Figura 6.7: Resultados experimentais do tempo de retenção para alto e baixo $V_{D,READ}$.

Figura 6.8: Resultados simulados do tempo de retenção para alto e baixo $V_{D,READ}$.

Um comportamento abrupto é observado na retenção do estado '0' para o caso de alto $V_{D,READ}$. Além disso, no caso de baixo $V_{D,READ}$ o nível de corrente do estado '0' é ligeiramente maior que para o caso de alto $V_{D,READ}$. É preciso observar que não foi introduzido nenhum defeito no dispositivo simulado, o qual resulta num maior tempo de retenção.

6.3 Operação de Múltiplas Leituras

Através dos resultados obtidos previamente é esperado um maior número de operações de leitura sem a necessidade de refrescamento do dado para a condição de baixo $V_{D,READ}$ devido às lacunas não serem injetadas durante a operação de leitura. De fato, conforme mostra a figura 6.9 para alto $V_{D,READ}$ o dado é perdido depois de 22 leitura consecutivas, enquanto para baixo $V_{D,READ}$ foi possível efetuar 30 leituras consecutivas sem a necessidade de um refrescamento do dado conforme mostra a figura 6.10.

Figura 6.9: Resultados simulados de múltiplas leituras (30x) para alto $V_{D,READ}$.

Figura 6.10: Resultados simulados de múltiplas leituras (30x) para baixo $V_{D,READ}$.

7 CONCLUSÕES E PRÓXIMAS ETAPAS DO TRABALHO

7.1 Conclusões

Neste trabalho estudou-se o comportamento de uma célula de memória 1T-FBRAM (célula de memória dinâmica de acesso aleatório de único transistor com efeito de corpo flutuante) utilizando um transistor SOI UTBOX (*Silicon-on-Insulator Ultra Thin Buried Oxide*). Dentre as possíveis maneiras de programação do dado '1' desta tecnologia foram abordadas neste trabalho a programação pelos métodos GIDL (*Gate Induced Drain Leakage*) e BJT (*Bipolar Junction Transistor*).

Pelo método de escrita por GIDL foi possível operar a célula de memória em alta velocidade sem dissipar potência expressiva mostrando que esse método é bastante promissor para a tecnologia *low-power high-speed*. Além disso, os resultados mostram que usando o ponto ZTC (*Zero Temperature-Coefficient*) durante a leitura do dado, o nível de corrente do estado '0' se torna estável com a variação da temperatura. Isto permite maior confiabilidade e maior tempo de retenção sem a necessidade da adição de um circuito de calibração automática da corrente de referência em função da temperatura.

Estudando a influência das espessuras do filme de silício e do óxido enterrado observou-se uma forte dependência da tensão mínima de dreno para a escrita do dado '1'. Quando estas espessuras ficam mais finas a tensão de escrita aumenta significativamente. Observou-se também que com o aumento da temperatura, a tensão mínima de dreno necessária para escrever o dado '1' diminui, assim como o tempo necessário para a ativação do efeito BJT necessário para esta escrita e isto é interessante para esta operação, porém, notou-se que o aumento da temperatura prejudica o tempo de retenção devido ao aumento da corrente de fuga de lacunas na junção PN.

Na análise sobre o impacto que a primeira e a segunda porta causam na margem de sensibilidade de corrente e no tempo de retenção, verificou-se que dependendo da tensão aplicada à porta durante a condição de armazenamento do dado, o tempo de retenção pode ser limitado ou pela geração ou pela recombinação dos portadores (lacunas). Observou-se também que a melhor polarização da segunda porta deveria ser alta o suficiente para induzir o efeito do corpo flutuante necessário para escrever o dado

'1', porém abaixo da tensão de limiar desta interface para evitar a inversão do canal, o qual impossibilitaria a escrita do dado '0'. Notou-se ainda que a retenção é mais dependente da polarização da segunda porta que a margem de sensibilidade de corrente. Levando em consideração que o tempo de retenção é um parâmetro mais crítico e que também a variação da margem de sensibilidade de corrente em função da polarização da segunda porta é muito pequena, maior atenção foi dada para otimizar o tempo de retenção. Concluiu-se que a melhor polarização durante a condição de armazenamento do dado deve ser a primeira porta em modo acumulação e a segunda porta em modo depleção.

No estudo da polarização de dreno, durante a operação de leitura, foi observado que quando aplicado alta tensão de dreno é obtido alta margem de sensibilidade de corrente, porém ao mesmo tempo esta polarização prejudica o dado '0' devido ao alto nível de geração de lacunas induzidas pela ionização por impacto, o qual diminui o tempo de retenção e destrói o dado '0' quando é aplicado operações de múltiplas leituras. Baixo nível de tensão aplicado ao dreno durante a operação de leitura tem apresentado melhor desempenho em operações de múltiplas leituras sem perder o dado armazenado mesmo após trinta leituras consecutivas. Além disso, foi possível obter maior tempo de retenção. Baixa tensão de dreno durante a leitura deveria ser considerada a fim de se obter maior tempo de retenção, levando em conta que este é o parâmetro mais crítico para esta tecnologia.

7.2 Propostas para próximos Trabalhos

Como proposta para continuação do trabalho fica indicado um estudo mais específico do impacto da polarização do substrato sobre os principais parâmetros da célula de memória 1T-FBRAM, são eles margem de sensibilidade de corrente, tempo de disparo de escrita, e tempo de retenção. Visto que quando aplica-se um pulso no substrato durante a escrita do dado '1' ao invés de manter uma tensão constante, é obtido maior tempo de retenção conforme visto na figura 7.1.

Figura 7.1: Programação de uma célula de memória 1T-DRAM com aplicação de um pulso em V_B .

A figura 7.2 mostra que o tempo de retenção aumentou 3,5 vezes em relação ao tempo de retenção obtido para V_B mantido sempre constante em 2,0 V.

Figura 7.2: Comparativo do tempo de retenção com V_B mantido sempre constante versus aplicação de um pulso em V_B somente durante a escrita do dado '1'.

7.3 Publicações em Conferências

Almeida, L. M.; Martino, J. A.; Simoen, E.; Claeys, C.; Improved Analytical Model for ZTC Bias Point for Strained Tri-gates FinFETs, SBMicro 2010 – 25th International Symposium on Microelectronics Technology and Devices, São Paulo, v. 31, p. 385, 2010.

Martino, J. A.; Camillo, L. M.; **Almeida, L. M.**; Simoen, C.; Claeys, C.; Zero-Temperature-Coefficient of Planar and MuGFET SOI Devices, ICSICT2010 – 10th International Conference on Solid-State and Integrated Circuit Technology, Shangai, v. 03, p. 1753, 2010.

Nicoletti, T.; dos Santos, S. D.; **Almeida, L. M.**; Martino, J. A.; Simoen, E.; Claeys, C.; Rotated SOI MuGFETs at High-Temperatures, EuroSOI 2011 – 7th Workshop of the Thematic Network on Silicon-on-Insulator Technology, Devices and Circuits

Almeida, L. M.; Sasaki, K. R. A.; Aoulaiche, M.; Simoen, E.; Claeys, C.; Martino J. A.; Analysis of UTBOX 1T-DRAM Memory Cell at High Temperatures, SBMicro 2011 – 26th International Symposium on Microelectronics Technology and Devices, João Pessoa, v. 39, p. 61, 2011.

Andrade, M. G. C.; **Almeida, L. M.**; Martino, J. A.; Aoulaiche, M.; Simoen, E.; C. Claeys, C.; Gateless 1T-DRAM on n-Channel Bulk FinFETs, CSTIC 2012 – China Semiconductor Technology International Conference, 2012.

Sasaki, K. R. A.; **Almeida, L. M.**; Martino, J. A.; Aoulaiche, M.; Simoen, E.; Claeys, C.; Temperature Influence on UTBOX 1T-DRAM Using GIDL for Writing Operation, ICCDCS 2012 – 8th International Caribbean Conference on Devices, Circuits and Systems, 2012.

Almeida, L. M.; Sasaki, K. R. A.; Aoulaiche, M.; Collaert, N.; Simoen, E.; Claeys, C.; Martino, J. A.; Jurczak, M.; The Dependence of Sense Margin and Retention Time on the Front and Back Gate, EuroSOI 2012 – Proceedings of 8th Workshop of the Thematic Network on Silicon on Insulator technology, Devices and Circuits, p. 23, 2012.

Rodriguez, A. L.; Andrade, M. G. C.; Aoulaiche, M.; **Almeida, L. M.**; Claey, C.; Tejada, J. A. J.; Jurczak, M.; Simoen, E.; Defect Analysis in UTBOX SOI nMOSFETs by Low-Frequency Noise, EuroSOI 2012 – Proceedings of 8th Workshop of the Thematic Network on Silicon on Insulator technology, Devices and Circuits, 2012.

Almeida, L. M.; Aoulaiche, M.; Sasaki, K. R. A.; Nicoletti, T.; Andrade, M.G.C.; Collaert, N.; Simoen, E.; Claey, C.; Martino, J. A.; Jurczak, M.; Comparison between low and high read bias in FB-RAM on UTBOX FDSOI devices, ULIS 2012 - 13th International Conference on Ultimate Integration on Silicon, 2012.

Nicoletti, T.; Santos, S.; **Almeida, L. M.**; Aoulaiche, M.; Veloso, A.; Simoen, E.; Claey, C.; Martino, J. A.; Jurczak, M.; Temperature Dependence on Sub-69 nm UTBOX FDSOI Devices: the Digital/Analog Performance of Extension-less Structures, ULIS 2012 - 13th International Conference on Ultimate Integration on Silicon, 2012, a ser publicado.

Aoulaiche, M.; Collaert, N.; Blomme, P.; Caillat, C.; Mahatme, M.; **Almeida, L. M.**; Simoen, S.; Altimime, L.; Groeseneken, G.; Jurczak, M.; Effect of interface states on 1T-FBRAM cell retention, IRPS 2012 – International Reliability Physics Symposium, 2012.

Sasaki, K. R. A.; **Almeida, L. M.**; Martino, J. A.; Comparison of GIDL and BJT effect for Writing Operation in UTBOX 1TDRAM at high temperatures, Seminatec 2012 - Workshop on Semiconductors, and Micro & Nano Technology, 2012.

Simoen, E.; Rodriguez, A. L.; Tejada, J. A. J.; Aoulaiche, M.; **Almeida, L. M.**; Caillat, C.; Veloso, A.; Jurczak, M.; Claey, C., Is there a correlation between the retention time and the low-frequency noise of UTBOX SOI nMOSFETs?, ESSDERC 2012 – 42nd European Solid-State Device Research Conference, aceito.

Simoen, E.; Andrade, G. M. C.; **Almeida, L. M.**; Aoulaiche, M.; Caillat, C.; Jurczak, M.; Claey, C.; On the variability of the low-frequency noise in UTBOX SOI nMOSFETs, SBMicro 2012 – 27th International Symposium on Microelectronics Technology and Devices, Brasília, 2012, submetido.

Sasaki, K. R. A.; **Almeida, L. M.**; Martino, J. A.; Impact of the Extension Region Concentration on the UTBOX 1T-FBRAM, SBMicro 2012 – 27th International Symposium on Microelectronics Technology and Devices, aceito.

7.4 Publicações em Revistas

Almeida, L. M.; Sasaki, K. R. A.; Aoulaiche, M.; Simoen, E.; Claeys, C.; Martino J. A.; One Transistor Floating Body RAM Performances on UTBOX Devices Using the BJT Effect, JICS 2012 – Journal of Integrated Circuits and Systems, 2012.

Almeida, L. M.; Sasaki, K. R. A.; Caillat, C.; Aoulaiche, M.; Collaert, N.; Simoen, E.; Claeys, C.; Martino, J. A.; Jurczak, M.; The Dependence of Sense Margin and Retention Time on the Front and Back Gate, Solid State Electronics, 2012, aguardando avaliação.

Aoulaiche, M.; Nicoletti, T.; **Almeida, L. M.**; Simoen, E.; Veloso, A.; Blomme, P.; Groeseneken, G.; Jurczak, M.; Junction field effect on the retention time for one Transistor Floating Body RAM memory, IEEE Transactions on Electron Devices, 2012, a ser publicado.

Nicoletti, T.; Aoulaiche, M.; **Almeida, L. M.**; Santos, S. D.; Martino, J. A.; Veloso, A.; Jurczak, M.; Simoen, E.; Claeys, C.; The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering, Electron Devices Letter, 2012, publicado.

Abraham, L. R.; Tejada, J. A. J.; Bolívar, S. R.; **Almeida, L. M.**; Aoulaiche, M.; Claeys, C.; Simoen, E.; Dependence of Generation-Recombination noise with gate voltage in FD SOI MOSFETs, IEEE TED, 2012, aceito.

ANEXO A – MÉTODOS DE EXTRAÇÃO DA TENSÃO DE LIMIAR E DA TRANSCONDUTÂNCIA PARA O CÁLCULO DO PONTO INVARIANTE COM A TEMPERATURA

Aqui serão apresentados os métodos de extração dos parâmetros elétricos de maior influência necessários para a determinação da tensão de polarização do ponto invariante com a temperatura.

Como visto no capítulo dois, com o aumento da temperatura, a tensão de limiar é diminuída e isso provoca um aumento na corrente de dreno, enquanto que a transcondutância é degradada provocando a diminuição da corrente de dreno. Devido a esses comportamentos citados, ocorre uma compensação que leva a um único ponto característico na curva $I_D \times V_G$ conhecido como o ponto invariante com a temperatura (ZTC).

Visto que a tensão de limiar e a transcondutância são os dois parâmetros que influenciam diretamente no ponto ZTC, a seguir serão apresentados os métodos para se extrair seus valores.

A.1 Tensão de Limiar

Para extrair a tensão de limiar serão utilizados dois métodos, o método da segunda derivada quando o dispositivo estiver operando na região linear, e o segundo método é o da raiz de I_D quando o dispositivo estiver operando na região de saturação.

A.1.1 Método da Segunda Derivada

O método da segunda derivada [76] consiste em derivar a curva $I_D \times V_G$ duas vezes o qual a tensão de limiar se dá no ponto máximo da derivada transcondutância. É um método simples e preciso como mostra a figura A.1.

Figura A.1: Extração da tensão de limiar pelo método da segunda derivada.

A.1.2 Método da Raiz de I_D

O método da raiz de I_D é utilizado para extrair a tensão de limiar para altos valores de V_D , ou seja, quando o dispositivo estiver operando na região de saturação. Para extrair a tensão de limiar basta fazer a extrapolação linear da reta obtida na curva $I_D^{1/2} \times V_G$ como mostra a figura A.2. Através da extrapolação da reta será determinado o ponto onde se intercepta o eixo de V_G , esse ponto de cruzamento é a tensão de limiar do dispositivo.

Figura A.2: Extração da tensão de limiar pelo método da raiz de I_D .

A.2 Transcondutância

Neste trabalho é utilizada a transcondutância como um dos parâmetros para se calcular o ponto ZTC ao invés da mobilidade, pois a obtenção da transcondutância é muito simples sendo necessário apenas derivar a curva $I_D \times V_G$. No caso da obtenção da mobilidade é preciso saber precisamente os valores do comprimento de canal (L), a largura do canal (W) e também a espessura do óxido de porta (t_{ox}), sendo este último o mais crítico.

Para a extração da transcondutância para baixos valores de V_D , ou seja, quando o dispositivo está na região linear, basta obter a primeira derivada da curva $I_D \times V_G$. Neste caso, é extraída a transcondutância máxima ($g_{m_{max}}$). A figura A.3 mostra a extração da transcondutância máxima.

Figura A.3: Extração da transcondutância máxima para a região linear.

No caso da região de saturação, para extrair a transcondutância, foi utilizada a mesma metodologia para se obter a tensão de limiar, o método da Raiz de I_D . Assim, no gráfico $I_D^{1/2} \times V_G$ é obtido o coeficiente angular da reta e então é calculada a transcondutância.

A obtenção do coeficiente angular da reta do gráfico $I_D^{1/2} \times V_G$ é mostrada a seguir a partir da equação da corrente de dreno para região de saturação.

$$I_D = \frac{\beta}{2.n} (V_G - V_{TH})^2 \quad (A.1)$$

Onde:

$$\frac{W.C_{ox}.\mu_n}{L} = \beta \quad (A.2)$$

$$\sqrt{I_D} = \sqrt{\frac{\beta}{2.n}}.V_G - \sqrt{\frac{\beta}{2.n}}.V_{TH} \quad (A.3)$$

Pela equação A.3 é possível identificar os coeficientes e as variáveis da equação da reta ($y=b.x+a$). Onde:

$$\sqrt{I_D} = y \quad (A.4)$$

$$\sqrt{\frac{\beta}{2.n}} = b \quad (A.5)$$

$$V_G = x \quad (A.6)$$

$$\sqrt{\frac{\beta}{2.n}}.V_{TH} = a \quad (A.7)$$

E por meio da equação A.5 é obtida a equação da transcondutância em função do coeficiente angular (b).

$$b^2 = \frac{\beta}{2.n} = \frac{W.C_{ox}.\mu_n}{2.n.L} \quad (A.8)$$

$$\mu_n = \frac{b^2.2.n.L}{W.C_{ox}} = \frac{L}{C_{ox}.W.V_{DS}}.gm \quad (A.9)$$

$$gm = b^2.2.n.V_{DS} \quad (A.10)$$

Obtido o coeficiente angular é possível determinar a transcondutância por meio da equação A.10.

A figura A.4 mostra a obtenção do coeficiente angular (b) através da curva $I_D^{1/2} \times V_G$.

Figura A.4: Extração da transcondutância para a região de saturação.

Vale observar também que para se obter a tensão de limiar, basta dividir os coeficientes a e b.

$$V_{TH} = \frac{a}{b} = \frac{0,00991}{0,02062} = 0,48V$$

A.3 Fator de Degradação da Transcondutância

A degradação da transcondutância em função da temperatura está diretamente ligada à degradação da mobilidade que é devido ao espalhamento dos fônons em temperaturas elevadas [36, 37, 38], como visto no capítulo 2.

A figura A.5 mostra a curva $gm \times V_G$ para diferentes temperaturas a qual é possível observar sua degradação.

Figura A.5: Curva $gm \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região linear para uma faixa de temperatura entre 298 e 473 K.

Como já visto anteriormente, é utilizada a transcondutância como um dos parâmetros para se calcular o ponto ZTC ao invés da mobilidade, pois a obtenção da transcondutância é muito simples sendo necessário apenas derivar a curva $I_D \times V_G$. A equação da transcondutância para a temperatura T_1 é dada por:

$$gm_1 = \mu_{n1} C_{ox} \frac{W}{L} V_{DS} \quad (A.11)$$

Como os parâmetros C_{ox} , W , L , e V_{DS} não são dependentes da variação da temperatura pode se dizer que:

$$\frac{gm_1}{gm_2} = \frac{\mu_{n1}}{\mu_{n2}} \quad (A.12)$$

Portanto, o fator de degradação da transcondutância pode ser obtido pela equação A.13:

$$\frac{gm_2}{gm_1} = \frac{\mu_{n2}}{\mu_{n1}} = \left(\frac{T_1}{T_2} \right)^c \quad (A.13)$$

Isolando o fator (c) obtém se:

$$c = \frac{\log(g_{m2}) - \log(g_{m1})}{\log(T_1) - \log(T_2)} \quad (\text{A.14})$$

ANEXO B - CÁLCULO DO PONTO INVARIANTE COM A TEMPERATURA

Como descrito anteriormente, um dos principais objetivos no desenvolvimento de circuitos analógicos é de se obter estabilidade para uma larga faixa de temperatura garantindo assim que parâmetros importantes não sofram alterações significativas por um longo período de funcionamento, ou seja, é interessante manter um ponto de operação constante, aos quais as características corrente-tensão apresentem pouca ou nenhuma variação em função da temperatura. É possível se obter esta característica se o circuito estiver polarizado próximo ao ponto invariável com a temperatura (ZTC).

Por definição, o ponto ZTC representa a polarização da porta que garante que a corrente de dreno permaneça constante mesmo com as variações de temperatura [77]. Este ponto é atingido quando a degradação da mobilidade compensa o deslocamento da tensão de limiar com a temperatura conforme pode ser visto na figura B.1. A diminuição da mobilidade e da tensão de limiar são os principais fatores que contribuem para a posição do ponto ZTC [78].

Figura B.1: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla detalhando o ponto ZTC.

O ponto ZTC já foi amplamente estudado para dispositivos de porta única, tanto para parcialmente quanto para totalmente depletados [79], assim como em função do fator de degradação da mobilidade com a temperatura (c) [80, 81], em função do comprimento de canal (L) [82], e também em função da tensão aplicado ao terminal de dreno (V_{DS}) [82].

Nesse anexo será apresentado um modelo simples para o estudo do ponto ZTC, operando tanto na região linear quanto de saturação para dispositivos de múltiplas portas.

B.1 Região Linear

A corrente de dreno na região linear é dada na equação B.1 [33]:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{TH1}) \cdot V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] \quad (B.1)$$

onde:

I_{DS1} : é a corrente de dreno para a temperatura $T_1 = 298$ K;

μ_{n1} : é a mobilidade para a temperatura T_1 ;

V_{TH1} : é a tensão de limiar para a temperatura T_1 ;

n_1 : é o fator de corpo para a temperatura T_1 .

Para uma temperatura T_2 maior que T_1 , a equação B.1 fica da seguinte forma:

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_G - V_{TH2}) \cdot V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (B.2)$$

onde:

I_{DS2} : é a corrente de dreno para a temperatura $T_2 > T_1$;

μ_{n2} : é a mobilidade para a temperatura T_2 ;

V_{TH2} : é a tensão de limiar para a temperatura T_2 ;

n_2 : é o fator de corpo para a temperatura T_2 .

Como já dito anteriormente, o ponto ZTC representa a polarização da porta que garante que a corrente de dreno permaneça constante mesmo com as variações de temperatura, ou seja, quando $V_G = V_{ZTC}$ implicará em $I_D = I_{ZTC}$. Assim tem-se a seguinte igualdade:

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_{ZTC} - V_{TH1}) V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_{ZTC} - V_{TH2}) V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (B.3)$$

Considerando que a variação do fator de corpo (n) em função da temperatura é desprezível, pode se assumir que $n = n_1 = n_2$, assim a equação B.3 pode ser simplificada e com isso obtém se o modelo de ZTC para a região linear (equação B.4) [79].

$$V_{ZTC} = \frac{\mu_{n1} \cdot V_{TH1} - \mu_{n2} \cdot V_{TH2}}{\mu_{n1} - \mu_{n2}} + \frac{n \cdot V_{DS}}{2} \quad (B.4)$$

Segundo a equação A.12, o modelo do ponto ZTC (equação B.4) pode ser reescrita da seguinte maneira:

$$V_{ZTC} = \frac{gm_1 \cdot V_{TH1} - gm_2 \cdot V_{TH2}}{gm_1 - gm_2} + \frac{n \cdot V_{DS}}{2} \quad (B.5)$$

V_{TH2} e gm_2 podem ser calculados pelas equações B.6 e B.7, respectivamente.

$$V_{TH2} = V_{TH1} + \frac{\partial V_{TH}}{\partial T} \cdot (T_2 - T_1) \quad (B.6)$$

$$gm_2 = \left(\frac{T_1}{T_2} \right)^c \cdot gm_1 \quad (B.7)$$

Substituindo a equação B.6 e B.7 em B.5, a equação de V_{ZTC} pode ser reescrita como:

$$V_{ZTC} = \frac{V_{TH1} - \left(\frac{T_1}{T_2} \right)^c \cdot \left(V_{TH1} + \frac{\partial V_{TH}}{\partial T} \cdot (T_2 - T_1) \right)}{1 - \left(\frac{T_1}{T_2} \right)^c} + \frac{n \cdot V_{DS}}{2} \quad (B.8)$$

Cujo $\frac{\partial V_{TH}}{\partial T}$ é dado pela equação 2.14 e c pela equação A.14.

A figura B.2 mostra a curva $I_D \times V_G$ na região linear para temperaturas diferentes, o qual é possível observar o ponto ZTC.

Figura B.2: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região linear para uma faixa de temperatura entre 298 e 523 K.

B.2 Região de Saturação

A corrente de dreno na região de saturação é dada na equação B.9 [33]:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TH1})^2}{2 \cdot n_1} \quad (B.9)$$

Para uma temperatura T_2 maior que T_1 , a equação 4.9 fica da seguinte forma:

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TH2})^2}{2 \cdot n_2} \quad (B.10)$$

Para $V_G = V_{ZTC}$ implicará em $I_D = I_{ZTC}$. Assim tem se a seguinte igualdade:

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_{ZTC} - V_{TH1})^2}{2 \cdot n_1} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_{ZTC} - V_{TH2})^2}{2 \cdot n_2} \quad (B.11)$$

Considerando que a variação do fator de corpo (n) em função da temperatura também seja desprezível, pode se assumir que $n = n_1 = n_2$, assim a equação B.11 pode ser simplificada e com isso obtém se o modelo de ZTC para a região linear (equação B.12) [79].

$$V_{ZTC} = A + \sqrt{A^2 - B} \quad (B.12)$$

Cujos termos A e B são respectivamente:

$$A = \frac{V_{TH1} \cdot \mu_{n1} - V_{TH2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (B.13)$$

$$B = \frac{V_{TH1}^2 \cdot \mu_{n1} - V_{TH2}^2 \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (B.14)$$

Como já visto anteriormente, pode-se escrever as equações B.13 e B.14 da seguinte maneira:

$$A = \frac{V_{TH1} \cdot gm_1 - V_{TH2} \cdot gm_2}{gm_1 - gm_2} \quad (B.15)$$

$$B = \frac{V_{TH1}^2 \cdot gm_1 - V_{TH2}^2 \cdot gm_2}{gm_1 - gm_2} \quad (B.16)$$

Substituindo as equações B.6 e B.7 na equação B.15, o termo A pode ser reescrito conforme a equação B.17.

$$A = \frac{V_{TH1} - \left(V_{TH1} + \frac{\partial V_{TH}}{\partial T} \cdot (T_2 - T_1) \right) \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (\text{B.17})$$

Substituindo as equações B.6 e B.7 na equação B.16, o termo ‘B’ pode ser reescrito conforme a equação B.18.

$$B = \frac{V_{TH1}^2 - \left(V_{TH1} + \frac{\partial V_{TH}}{\partial T} \cdot (T_2 - T_1) \right)^2 \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (\text{B.18})$$

Cujo $\frac{\partial V_{TH}}{\partial T}$ é dado pela equação 2.14 e c pela equação A.14.

A figura B.3 mostra a curva $I_D \times V_G$ na região de saturação para temperaturas diferentes, a qual é possível observar o ponto ZTC.

Figura B.3: Curva $I_D \times V_G$ obtida experimentalmente em um dispositivo SOI nMOSFET de porta tripla operando na região de saturação para uma faixa de temperatura entre 298 e 523 K.

B.3 Características dos Dispositivos

Os dispositivos utilizados neste trabalho foram fabricados no IMEC, Bélgica, em substratos SOI convencionais (referência), e biaxialmente tensionados (sSOI). Na figura B.4 é apresentado o esquemático do dispositivo de porta tripla. A largura do canal efetivo W_{ef} é $(W_{fin} + 2.H_{fin}).N_{fin}$, cujo W_{fin} é a largura do *fin*, H_{fin} é a altura do *fin*, e N_{fin} é o número de *fin*.

O dispositivo estudado possui as seguintes dimensões: comprimento do canal (L) de 900 nm, espessura equivalente do óxido de porta (EOT) de 1,9 nm, altura do *fin* (H_{fin}) de 65 nm, largura do filete (W_{fin}) de 20 nm, o número de filetes (N_{fin}) de 5 com 1 μm de espaçamento entre eles e a espessura de óxido enterrado (t_{Box}) de 150 nm. O filme Si tem uma dopagem (N_a) de $1 \times 10^{15} \text{ cm}^{-3}$, ou seja, não é intencionalmente dopado. Mais informações sobre o processo de fabricação podem ser encontradas em [83].

Figura B.4: Esquemático da estrutura do dispositivo SOI nMOSFET de porta tripla

B.4 Variação da Tensão de Limiar em função da Temperatura

A dependência da tensão de limiar com a temperatura pode ser obtida através da equação 2.23, e utilizando os valores de $C_{ox} = 18,2 \cdot 10^{-7} [\text{F}/\text{cm}^2]$ ($EOT = 1,9 \text{ nm}$) e $t_{Si} = 20 \text{ nm}$ dos dispositivos em estudo obtém-se uma sensibilidade de $-0,606 \text{ mV/K}$ conforme demonstrado a seguir.

$$\frac{\partial V_{TH}}{\partial T} = \frac{k}{q} \left[\left(-\frac{1}{2} + \ln \left(\frac{2.18,2 \times 10^{-7} \cdot k}{q^2 \cdot 3,9 \times 10^{16} \cdot 20 \times 10^{-7}} \right) \right) - \frac{\ln(T)}{2} \right] = -0,606 \frac{mV}{K}$$

Observando a curva da tensão de limiar em função da temperatura obtida experimentalmente observam-se valores bem próximos do calculado teoricamente.

Figura B.5: Curva da Tensão de Limiar em função da temperatura para dispositivos SOI nMOSFET de porta tripla

Na figura B.5 observa-se que todos os dispositivos apresentam uma sensibilidade em torno de $-0,6 \text{ mV/K}$. É observado também que os dispositivos tensionados apresentam menor tensão de limiar quando comparados com os dispositivos de referência. Estudos anteriores relatam este comportamento [84, 85]. Uma possível explicação para este fenômeno é que quando uma tensão mecânica é aplicada ao canal, a faixa proibida (E_g) diminui [86] e, conseqüentemente também diminui a tensão de limiar.

B.5 Fator de Degradação da Transcondutância

O comportamento da transcondutância (g_m) em função da temperatura foi estudado em [87] e foi verificada a sua degradação com o aumento da temperatura. A redução da transcondutância máxima em função da temperatura para $V_{DS} = 50 \text{ mV}$ é dada na figura B.6.

Figura B.6: Curva da transcondutância máxima em função da temperatura para dispositivos SOI nMOSFET de porta tripla para faixa de temperatura 298-473 K

A degradação observada na figura B.6 pode ser explicada pela diminuição da mobilidade devido ao espalhamento dos fônons com o aumento da temperatura [10, 37, 38].

Embora a transcondutância seja maior para dispositivos tensionados sua degradação em função da temperatura é mais pronunciada, como pode ser visto na figura B.7. Uma possível explicação para esse fenômeno é que, embora os dispositivos tensionados apresentem menor resistência total, notou-se que sua variação em função da temperatura é maior e, portanto, isto pode causar uma maior degradação da transcondutância.

Figura B.7: Curva da sensibilidade da transcondutância em função da temperatura, $\Delta g_m / \Delta T$ em (pS / K) obtida experimentalmente para dispositivos SOI nMOSFET de porta tripla.

O fator de degradação da transcondutância em função da temperatura (c) pode ser calculado pela equação A.14.

Neste estudo verificou-se que o fator c varia em função da temperatura como pode ser visto na figura B.8.

Figura B.8: O Fator (c) em função da temperatura obtida para dispositivos SOI nMOSFETs de porta tripla.

Conseqüentemente o fator (c) pode ser descrito como uma equação linear.

$$c = a + b.T \quad (B.19)$$

As constantes a e b são encontradas experimentalmente e seus valores dependem da tecnologia do dispositivo. Os dispositivos utilizados neste estudo mostram os valores de $a = 0,49$ e $b = 0,00154$ para a referência e $a = 0,23$ e $b = 0,00154$ para o dispositivo biaxialmente tensionado.

B.6 Comparação entre o modelo e os resultados experimentais

A fim de validar o modelo descrito anteriormente, resultados experimentais e dados calculados foram comparados para a determinação da tensão de polarização aplicada à porta onde ocorre o ponto ZTC.

As figuras B.9 e B.10 apresentam as curvas $I_D \times V_G$ obtidas experimentalmente dos dispositivos de referência e biaxial, respectivamente, em diferentes temperaturas operando na região linear.

Figura B.9: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla referência para diferentes temperaturas operando na região linear.

Figura B.10: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla biaxial para diferentes temperaturas operando na região linear.

As figuras B.11 e B.12 apresentam as curvas $I_D \times V_G$ obtidas experimentalmente dos dispositivos de referência e biaxial, respectivamente, em diferentes temperaturas operando na região de saturação.

Figura B.11: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla referência para diferentes temperaturas operando na região de saturação.

Figura B.12: Curva $I_D \times V_G$ experimental do dispositivo SOI nMOSFET de porta tripla biaxial para diferentes temperaturas operando na região de saturação.

As figuras B.13 e B.14 apresentam os comparativos dos valores V_{ZTC} na região linear para os dispositivos de referência e biaxial.

Figura B.13: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla de referência operando na região linear.

Figura B.14: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla de biaxial operando na região linear.

Pode-se notar que o V_{ZTC} em um dispositivo com canal tensionado é menor que para o dispositivo de referência, devido ao fato que o V_{TH} é menor nos dispositivos tensionados (o E_g é menor). Essa observação experimental já foi descrita anteriormente em [85].

As figuras B.15 e B.16 apresentam os comparativos dos valores V_{ZTC} na região de saturação para os dispositivos de referência e biaxial.

Figura B.15: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla referência operando na região de saturação.

Figura B.16: Curva do ponto V_{ZTC} versus a temperatura comparando resultados experimentais e os dados obtidos através do modelo para o dispositivo SOI nMOSFET de porta tripla biaxial operando na região de saturação.

Os erros máximos obtidos pela comparação entre os resultados experimentais e os dados teóricos estão reportados na tabela B.1.

Tabela B.1: Erro máximo obtido pelo comparativo entre os dados experimentais e do modelo, em (%).

Temp. (K)	Referência		Biaxial	
	Linear	Saturação	Linear	Saturação
323	2,7	1,1	2,7	4,7
373	4,5	1,3	2,4	3,1
423	1,3	5,6	1,3	3,7
473	4,8	0,3	4,6	3,1
523	6,0	2,8	3,9	2,2

ANEXO C – ESTRUTURA GERADA NO ATHENA

```

go athena

#####
# Definição da grade#
#####

line x loc=0 spac=0.02    tag=esq
line x loc=0.05 spac=0.007
line x loc=0.09 spac=0.005
line x loc=0.13 spac=0.003
line x loc=0.23 spac=0.003
line x loc=0.27 spac=0.005
line x loc=0.31 spac=0.007
line x loc=0.36 spac=0.02 tag=dir

line y loc=0 spac=0.001    tag=cima
line y loc=0.01 spac=0.005
line y loc=0.02 spac=0.001 tag=cimaox
line y loc=0.025 spac=0.05
line y loc=0.03 spac=0.001 tag=baixox
line y loc=0.37 spac=0.01
line y loc=0.53 spac=0.05 tag=baixo

#####
#Definição da lâmina#
#####

# Regioes
region silicon xlo=esq xhi=dir ylo=cima yhi=baixo

region silicon xlo=esq xhi=dir ylo=cima yhi=baixox
region oxide xlo=esq xhi=dir ylo=cimaox yhi=baixox

# Concentracao inicial e orientacao cristalografica da lamina
init boron=1e15 orient=100

#####
#Definicao da regio ativa - os isolantes não foram considerados#
#####

#####
#Ground Plane#
#####

```

```

implant boron energy=40 dose=1e13 tilt=0 gauss

implant boron energy=60 dose=4e13 tilt=0 gauss

diffuse temp=1000 time=0.5 seconds nitrogen

#####
#Oxido e metal de porta#
#####

deposit oxide thick=0.005 div=4

deposit polysilicon thick=0.1 div=10

# obs.: o athena não tem o TiN, o SiON nem o HfO2, então depositou-se SiO2 e
# Si-poli para depois alterar suas WFs.

#structure outfile=etapa2_gatestack_rev02.str two.dim

#####
#Litografia - porta#
#####

#abertura da fonte
etch polysilicon start x=0 y=-0.105
etch continue x=0.13 y=-0.105
etch continue x=0.13 y=-0.005
etch done x=0 y=-0.005

#abertura do dreno
etch polysilicon start x=0.23 y=-0.105
etch continue x=0.36 y=-0.105
etch continue x=0.36 y=-0.005
etch done x=0.23 y=-0.005

#structure outf=etapa3_openedSD_rev02.str two.dim

#####
#LDD + Spacer#
#####

#dopagem do LDD
deposit oxide thick=0.005 div=4
implant arsenic energy=5 dose=1e15 tilt=0 gauss

#spacer

```

```

deposit nitride thick=0.035 div=4
etch nitride start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0.005
etch done x=0 y=0.005

etch nitride start x=0.27 y=-0.05
etch continue x=0.36 y=-0.05
etch continue x=0.36 y=0
etch done x=0.27 y=0

etch nitride start x=0.09 y=-0.15
etch continue x=0.27 y=-0.15
etch continue x=0.27 y=-0.105
etch done x=0.09 y=-0.105

etch oxide start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0
etch done x=0 y=0

etch oxide start x=0.27 y=-0.05
etch continue x=0.36 y=-0.05
etch continue x=0.36 y=0
etch done x=0.27 y=0

etch oxide start x=0.13 y=-0.11
etch continue x=0.23 y=-0.11
etch continue x=0.23 y=-0.105
etch done x=0.13 y=-0.105

#structure outf=etapa4_spacer_rev02.str

####
#SEG#
####

epitaxy temp=750 time=20 thick=0.030

#####
# remoção dos excessos #
#####

etch silicon start x=0.05 y=-0.18
etch continue x=0.31 y=-0.18
etch continue x=0.31 y=-0.03

```

```

etch done x=0.05 y=-0.03

#####
#HDD#
#####

implant arsenic energy=18 dose=3e15 tilt=0 gauss
implant phosphorus energy=8 dose=2e15 tilt=0 gauss

#structure outf=etapa6_HDD_rev02.str

#####
# Spike Annealing #
#####

diffuse temp=1050 time=0.001 SECONDS inert

#####
# Final Sintering #
#####

#diffuse temp=420 time=20 MINUTES F.H2=1 F.N2=1

#####
#Definicao dos contatos - fazer no ATLAS#
#####

structure outf=UTBOX_ATHENAS_BOX10_TSI20_L100_rev03a.str

quit

```

ANEXO D – SIMULAÇÃO DE UMA CURVA DINÂMICA

```
#####
go atlas simflags="-P 32"
#####
mesh infile=UTBOX_ATHENAS_BOX10_TSI20_L100_DOSE0.str
#####

#####
#Definicao dos eletrodos#
#####

# 1-GATE      2-SOURCE      3-DRAIN      4-SUBSTRATE
electrode  name=gate  x.min=0.13 x.max=0.23 y.min=-0.005 y.max=-0.005
electrode  name=source x.min=0   x.max=0.05 y.min=-0.03 y.max=-0.03
electrode  name=drain  x.min=0.31 x.max=0.36 y.min=-0.03 y.max=-0.03
electrode  name=substrate bottom

#####
# Especificando as Propriedades de Interface e workfunction#
#####

interf  qf=6e11 y.max=0.001
interf  qf=6e11 y.min=0.019
trap region=1 e.level=0.3 acceptor density=2e15 degen=1 sign=1e-11
sigp=1e-19
trap region=1 e.level=0.3 donor    density=1e15 degen=1 sign=5e-18
sigp=5e-11
contact name=gate          workfunc=4.7

#####
# Modelos #
#####

MODELS region=1 srh consrh cvt bbt.kane trap.coulombic print temp=358

MOBILITY REGION=1 MUMAXN.CVT = 360
MOBILITY REGION=1 MUMAXP.CVT = 120
```

```
MOBILITY REGION=1 GAMN.CVT    = 1.0
```

```
MODEL      BB.GAMMA=1.2
```

```
IMPACT region=1 SELB
```

```
IMPACT region=1 BETAN=4.5
```

```
IMPACT region=1 BETAP=4.5
```

```
IMPACT region=1 AN1 = 1406e2
```

```
IMPACT region=1 AN2 = 1406e2
```

```
IMPACT region=1 AP1 = 1342e2
```

```
IMPACT region=1 AP2 = 3160e2
```

```
#MATERIAL TAUN0=1e-7
```

```
#MATERIAL TAUP0=1e-7
```

```
#####
```

```
# Metodos + Polarizações Iniciais #
```

```
#####
```

```
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=1
```

```
solve init
```

```
#####
```

```
solve prev
```

```
solve vgate=0
```

```
solve vdrain=0
```

```
solve vsource=0
```

```
solve vsubstrate=0
```

```
solve vsubstrate=1e-3
```

```
solve vsubstrate=10e-3
```

```
solve vsubstrate=25e-3
```

```
solve vsubstrate=50e-3
```

```
solve vsubstrate=100e-3
```

```
solve vsubstrate=200e-3
```

```
solve vsubstrate=500e-3
```

```
solve vsubstrate=800e-3
```

```
solve vsubstrate=1.2
solve vsubstrate=1.5
solve vsubstrate=2.1
```

```
solve vgate=-1e-3
solve vgate=-10e-3
solve vgate=-25e-3
solve vgate=-50e-3
solve vgate=-100e-3
solve vgate=-200e-3
solve vgate=-250e-3
solve vgate=-500e-3
solve vgate=-800e-3
solve vgate=-1
solve vgate=-1.2
solve vgate=-1.5
solve vgate=-1.9
solve vgate=-2.5
```

```
#####
# Metodos + Levantamento dos Pulsos #
#####
```

```
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2
```

```
log outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5.log master
```

```
# 1a parte do grafico (repouso)
```

```
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=18e-9 tstep=1e-11
```

```
# 2a parte do grafico (escrita '1')
```

```
solve vgate=0 vdrain=3.355 ramptime=1e-9 tstop=26e-9 tstep=1e-11
```

```
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_W1.str master
```

```
# 3a parte do grafico (escrita '1' continuacao)
```

```
solve vgate=0 vdrain=3.355 tstop=28e-9 tstep=1e-11
```

```
# 4a parte do grafico (repouso)
```

```

solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=30e-9 tstep=1e-11
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_pW1.str master

# 5a parte do grafico (repouso continuacao)
solve vgate=-2.5 vdrain=0 tstop=48e-9 tstep=1e-11

# 6a parte do grafico (leitura)
solve vgate=-1.5 vdrain=3.355 ramptime=1e-9 tstop=56e-9 tstep=1e-11
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_R1.str master

# 7a parte do grafico (leitura continuacao)
solve vgate=-1.5 vdrain=3.355 tstop=58e-9 tstep=1e-11

# 8a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=60e-9 tstep=1e-11
#save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_pR1.str master

# 9a parte do grafico (repouso continuacao)
solve vgate=-2.5 vdrain=0 tstop=78e-9 tstep=1e-11

# 10a parte do grafico (escrita '0')
solve vdrain=0.5 vgate=0 ramptime=1e-9 tstop=86e-9 tstep=1e-11
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_W0.str master

# 11a parte do grafico (escrita '0' continuacao)
solve vdrain=0.5 vgate=0 tstop=88e-9 tstep=1e-11

# 12a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=90e-9 tstep=1e-11
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_pW0.str master

# 13a parte do grafico (repouso continuacao)
solve vgate=-2.5 vdrain=0 tstop=108e-9 tstep=1e-11

# 14a parte do grafico (leitura)
solve vgate=-1.5 vdrain=3.355 ramptime=1e-9 tstop=116e-9 tstep=1e-11
save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_R0.str master

```



```

# 15a parte do grafico (leitura continuacao)
solve vgate=-1.5 vdrain=3.355 tstop=118e-9 tstep=1e-11

# 16a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=120e-9 tstep=1e-11
#save outf= UTBOX_ATHENA_BOX10_TSI20_L100_DOSE0_VGr-1v5_pR0.str master

# 17a parte do grafico (repouso continuacao)
solve vgate=-2.5 vdrain=0 tstop=128e-9 tstep=1e-11

#####
###                                FIM                                ###
#####
quit

```

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Colinge, J.P., Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, p. 327, 2004.
- [2] Bellodi, M., Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFETs Operando em Altas Temperaturas. São Paulo – Brasil, 2001. Tese de Doutorado – Universidade de São Paulo.
- [3] Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p. 151, 2004.
- [4] Davis, G.E., Transient Radiation Effects in SOI Memories, IEEE Transactions on Nuclear Science, v. 32, p. 4432, 1985.
- [5] Leray, J. L., Dupont-Nivet, E., Musseau, O., Coic, Y. M., Umbert, A., Lalande, P., Péré, J. F., From substrate to VLSI: Investigation of hardened SIMOX without epitaxy, for dose, dose rate, and SEU phenomena, IEEE Transactions On Nuclear Science, v. 35, p. 1355, 1988.
- [6] Krull, W. A., Lee, J. C., "Demonstration of the Benefits of SOI for High Temperature Operation, Proceedings SOS/SOI Technology Workshop, p. 69, 1989.
- [7] Maszara, W. P., SOI by wafer bonding: A review, Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Devices, v. 90, p. 199, 1990.
- [8] Bin, Y., Chang, L., Ahmed, S., Wang, H., Bell, S., Yang, C. Y., Tabery, C., Ho, H., Xiang, Q., King, T. J., Bokor, J., Hu, C., Lin, M. R., Kyser, D., FinFET Scaling to 10 nm Gate Length. In: Technical Digest of IEDM – International Electron Devices Meeting, p. 251, 2002.
- [9] J. P. Colinge, FinFETs and Others Multi-Gates Transistors, p. 2, Springer, Cambridge, 2008.
- [10] Colinge, J. P., Floyd, L., Quinn, A. J., Redmond, G., Alderman, J.C., Xiong, W., Cleavelin, C. R., Schulz, T., Schroefer, K., Knoblinger, G., Patruno, P., Temperature Effects on Trigate SOI MOSFETs, IEEE Electron Device Letters, v. 27, p. 172, 2006.
- [11] Akarvardar, K., Mercha, A., Simoen, E., Subramanian, V., Claeys, C., Gentil, P., Cristoloveanu, S., High-temperature performance of state-of-the-art triple-gate transistors, Microelectronics Reliability, v. 47, p. 2065 - 2069, 2007.

- [12] FUJIWARA, M. et al., Impact of BOX Scaling on 30 nm Gate Length FD SOI MOSFETs. Proceedings of 2005 IEEE International SOI Conference. Honolulu, Hawaii: [s.n.]. 2005.
- [13] FENOUILLET-BERANGER, C. et al. Impact of a 10nm Ultra-Thin BOX (UTBOX) and Gound Plane on FDSOI Devices for 32nm node and below. Proceedings of the European Solid State Device Research Conference, 2009. Athens: [s.n.]. 2009.
- [14] FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below. Soilid State Electronics, v. 53, p. 730-734, 2009.
- [15] OHTOU, T.; SARAYA, T.; HIRAMOTO, T. Variable-Body-Factor SOI MOSFET with Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control. IEEE Transactions on Electron Devices, Janeiro 2008. 40-47.
- [16] JURCZAK, M. Memories on SOI: Floating Body Cell Memory. Site da EUROSOL, 17 janeiro 2011. Disponivel em: http://www.eurosoi.org/public/T5_EUROSOL2011_MJurczak.pdf. Acesso em: 26 Setembro 2011.
- [17] Avci, U. E., Ban, I., Kencke, D. L., Chang, P.L.D., Floating Body Cell (FBC) Memory for 16-nm Technology with Low Variation on Thin Silicon and 10-nm BOX, IEEE Int. SOI Conf., New Paltz, NY, p. 29-30, 2008.
- [18] Bawedin M, Cristoloveanu S, Flandre D, Uedra F. Floating body SOI memory: Concepts, Physics and Challenges, ECS Transactions - 25th Symposium on Microelectronics Technology and Devices, v. 19, p. 243-256, 2009.
- [19] Lu, Z. et al. A Novel Low-Voltage Biasing Scheme for Double Gate FBC Achieving 5s Retention and 10⁶ Endurance at 85°C, Electrical Devices Meeting (IEDM), p. 288-291, 2010.
- [20] Colinge, J. P., Thin-film SOI devices: A perspective. Microelectronic Engineering, North-Holland, v. 8, p. 127, 1988.
- [21] Staniey, T. D., The State-of-the art in SOI Technology, IEEE Transactions on Nuclear Science, v. 35, p. 1346, 1988.
- [22] Francis, P., Colinge, J. P., Flandre, D., Comparison of self-heating effect in GAA and SOI MOSFETs, Microelectronics Reliability, v. 37, p. 61, 1997.
- [23] SZE, S. M. Physics of Semiconductor Devices, 2nd ed., New York, John Wiley and Sons, 1981.
- [24] Muller, R.S.; Kamins, T. I. Devices Electronics for Integrated Circuits, 2nd Ed. J. Wiley & Sons Eds, p. 56, 1986.

- [25] Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p.154, 2004.
- [26] Flandre, D., Wiele, F. V., Proceedings of IEEE SOS/SOI Technology Conference, p.27, 1989.
- [27] Poiroux, T., Vinet, M., Faynot, O., Widiez, J., Lolivier, J., Ernst, T., Previtali, B., Deleonibus, S., Multiple gate devices: advantages and challenges, Microelectronics Engineering, v. 80, p. 378, 2005.
- [28] Asenov, A., Slavcheva, G., Brown, A. R., Davies, J. H., Saini, S., Increase in the Random Dopant Induced Threshold Fluctuations and Lowering in Sub-100nm MOSFETs Due to Quantum Effects: A 3-D Density- Gradient Simulation Study, IEEE Transactions on Electronics Devices, v. 48, p. 722, 2001.
- [29] Fossum, J.G., Ge, L., Chiang, M.H., Speed Superiority of Scaled Double-Gate CMOS, in IEEE Transactions on Electronics Devices, v. 49, p. 808, 2002.
- [30] Groeseneken, G., Colinge, J. P., Maes, H. E., Alderman, J. C., Holt, S., Temperature dependence of threshold voltage in thin-film SOI MOSFETs, IEEE Electron Device Letters, v. 11, p. 329, 1990.
- [31] Almeida, L. M., Martino, J. A., Simoen, E., Claeys, C., Improved Analytical Model for ZTC Bias Point for Strained Tri-gates FinFETs, SBMicro 2010 – 25th International Symposium on Microelectronics Technology and Devices, v. 31, p. 385, 2010.
- [32] Sun, S.C., Plummer, J.D., Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces, IEEE Transactions on Electron Devices, v. 27, p. 1497, 1980.
- [33] Lim, H.K., Fossum, J.G., Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion, IEEE Transactions on Electron Devices, v. 31, p. 401, 1984.
- [34] Colinge, J. P., Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p. 185, 2004.
- [35] Yoshimi, M., Hazama, H., Takahashi, M. Kambayashi, S., Wada, T., Kato, K., Tango, H., Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film, IEEE Transactions on Electron Devices, v. 36, p. 493, 1989.
- [36] Yoshino, A., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D. N. Schmidt, v. 90, The Electrochemical Society, p. 544, 1990.

- [37] Jeon, D.S., Burk D.E., MOSFET Inversion Layer Mobilities – A Physically Based Semi-Empirical Model for a wide Temperature Range, IEEE Transactions Electron Devices, v. 36, p. 1456, 1989.
- [38] Pretet, J., Vandooren, A., Cristoloveanu, S., Temperature Operation of FDSOI Devices with Metal Gate (TaSiN) and High-k Dielectric, Proc ESSDERC, p. 573, 2003.
- [39] Colinge, J.P.; Floyd, L.; Quinn, A. J.; Redmond, G.; Alderman, J. C., Xiong, W.; et al., Temperature Effects on Trigate SOI MOSFETs, IEEE Electron Devices Letters v. 27, p. 172, 2006.
- [40] Tsividis, Y. P.; Operation and Modeling of the MOS Transistor, McGraw-Hill, 1987.
- [41] Rim, K., Anderson, R., D. Boyd, D., Cardone , F., Chan, K., Chen, H., Christansen, S., Chu, J., Jenkin, K., Kanarsky, T. Koester, S., Lee, B. H., Lee, K., Mazzeo , V., Mocuta, A., Mocuta, D., Mooney, M., Oldiges, P., Mooney, P. M., Olgiges, P., Ott, J., Ronsheim, P., Roy, R., Steegen, A., Yanga, M., Zhub, H., Jeong, M. Wong, H. – S. P., Strained Si CMOS (SS CMOS) technology: opportunities and challenges, Solid-State Electronics, v. 47, p. 1133, 2003.
- [42] Hoyt, J. L., Nayfeh, H. M., Eguchi, S., Aberg, I., Xia, G., Drake, T., Fitzgerald, E. A., Antoniadis, D. A., Strained silicon MOSFET technology, IEDM Digest of Technical Papers, p. 23, 2002.
- [43] Nayfeh, H. M., Singh, D. V., Hergenrother, J. M., Sleight, J. W., Ren, Z., Dokumaci, O., Black, L., Chidambarrao, D., Venigalla, R., Pan, J., Natzle, W., Tessier, B. L., Ott, J. A., Khare, M., Guarini, K. W., Jeong, M., Haensch, W., Effect of tensile uniaxial stress on the electron transport properties of deep scaled FD-SOI n-type MOSFETs, IEEE Electron Device Letters, v. 27, p. 288, 2006.
- [44] Gallon, C., Fenouillet-Beranger, C., Denorme, S., Boeuf, F., Fiori, V., Loubet, N., Vandooren, A., Kormann, T., Broekaart, M., Gouraud, P., Leverd, F., Imbert, G., Chaton, C., Laviron, C., Gabette, L., Vigilant, F., Garnier, P., Bernard, H., Tarnowka, A., Pantel, R., Pionnier, F., Jullian, S., Cristoloveanu, S., Skotnicki, T., Mechanical and electrical analysis of strained liner effect in 35 nm fully depleted silicon-on-insulator devices with ultra thin silicon channels, Japanese Journal of Applied Physics, v. 45, p. 3058, 2006.
- [45] Parton, E., Verheyen, P., Strained silicon – the key to sub-45nm CMOS, III-Vs Review, v. 19, p. 28, 2006.
- [46] Landgraf, E., Rösner, W., Städele, M., Dreeskornfeld, L., Hartwich, J., Hofmann, F., Kretz, J., Lutz, T., Luyken, R. J., Schulz, T., Specht, M., Risch, L., Influence of crystal orientation and body doping on trigate transistor performance, Solid-State Electronics, v. 50, p. 38, 2006.

- [47] Colinge, J. P., Colinge, C. A., Physics of Semiconductor Devices, 2nd ed. Boston: Kluwer Academic Publishers, p. 201, 2003.
- [48] Colinge, J.P., Advanced CMOS devices made in thin SOI films, Extended Abstracts of 5th International Workshop on Future Electron Devices, p. 105, 1988.
- [49] Colinge, J. P., Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p.201, 2004.
- [50] Colinge, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p.210, 2004.
- [51] Choi, J. Y.and Fossum, J.G., Analysis and control of BJT latch in fully depleted floating-body submicron SOI MOSFETs, Proceedings of the IEEE SOS/SOI Technology Conference, p. 21, 1990.
- [52] Chen, C. -D., Matloubian, M., Sundaresan, R., Mao, B.-Y., Wei, C.C., Pollack, G.P., Single-transistor latch in SOI MOSFETs, IEEE Electron Device Letters, v. 9, p. 636, 1998.
- [53] Sundaresan, R., Chen, C.E.D., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D. N. Schmidt, v. 90, The Electrochemical Society, p. 437, 1990.
- [54] Auberton-Hervé, A. J., Proceedings of the Fourth International Symposium on Silicon- on-Insulator Technology and Devices, Ed. By D. N. Schimdt, vol. 90-6, The Electrochemical Society, p. 455, 1990.
- [55] Colinge, J. P., FinFETs and Others Multi-Gate Transistors. 1st Ed. Springer, p. 2, 2007.
- [56] Colinge, J. P., FinFETs and Others Multi-Gate Transistors. 1st Ed. Springer, p. 137, 2007.
- [57] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2007.
- [58] Colinge, J. P., Colinge C. A., Physics of Semiconductor Devices, 2nd ed. Boston: Kluwer Academic Publishers, p. 231, 2003.
- [59] Colinge, J. P., Colinge C. A., Physics of Semiconductor Devices, 2nd ed. Boston: Kluwer Academic Publishers, p. 232, 2003.
- [60] Colinge, J. P., FinFETs and Others Multi-Gate Transistors. 1st Ed. Springer, p. 8, 2007.

- [61] Kilchytska, V., Collaert, N., Rooyackers, R., Lederer, D., Raskin, J. -P., Flandre, D., Perspective of FinFETs for analog applications, Proceedings of ESSDERC – European Solid-State Device Research conference, p. 65, 2004.
- [62] Park, J. T., Colinge, J.P., Pi-gate SOI MOSFET, IEEE Transactions on Electron Devices, v. 49, p. 2222, 2002.
- [63] Ritzenthaler, R., Dupre, C., Mescot, X., Faynot, O., Ernst, T., Barbe, J. -C., Jahan, C., Brevard, L., Andrieu, F., Deleonibus, S., Cristoloveanu, S., Mobility in narrow omega-gate FETs devices, Proceeding IEEE International SOI Conference, p. 77, 2006.
- [64] FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below. Solid State Electronics, v. 53, p. 730-734, 2009.
- [65] OHTOU, T.; SARAYA, T.; HIRAMOTO, T. Variable-Body-Factor SOI MOSFET with Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control. IEEE Transactions on Electron Devices, Janeiro 2008. 40-47.
- [66] Yoshida, E., and T. Tanaka, A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory, IEEE Trans. Electron Dev., v. 53, p. 692-697, 2006.
- [67] Blagojevic, M., et al., Capacitorless 1TDRAM Sensing Scheme With Automatic Reference Generation, IEEE Journal of Solid State Circuits, vol.41, no.6, 2006.
- [68] Ohsawa, T., et al., Generation of Accurate Reference Current for Data Sensing in High Density Memories by Averaging Multiple Pairs of Dummy Cells, IEEE Journal of Solid State Circuits, vol. 46, no.9, 2011.
- [69] Okhonin, S., Nagoga, M., Carman, E., Beffa, R., Faraoni, E., New Generation of Z-RAM, IEDM Tech., v. 137, p. 925, 2007.
- [70] Choi, J. Y., and Fossum, J. G., Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's, IEEE Trans. Electron Devices, v. 38, p. 1384, 1991.
- [71] Chen, C. -E. D., et al., Single-Transistor Latch in SOI MOSFET's, IEEE Electron Device Lett., v. 9, p. 636, 1988.
- [72] Flandre, D., and Cristoloveanu, S., Latch and Hot-Electron Gate Current in Accumulation Mode SOI p-MOSFET's, IEEE Electron Device Lett., v. 15, p. 157, 1994.
- [73] Jurczak, M., Memories on SOI: Floating Body Cell Memory, Training Course, 7th Workshop of the Thematic Network on Silicon on Insulator technology, Devices

and Circuits, Granada, January 17th, 2011, Em:
http://www.eurosoi.org/public/T5_EUROSOI2011_MJurczak.pdf.

- [74] Moon, D., et al., Fin-Width Dependence of BJT-Based 1T-DRAM Implemented on FinFET, *IEEE Electron Dev. Lett.*, v. 31, p. 909, 2010.
- [75] Almeida, L. M., et al, The Dependence of Sense Margin and Retention Time on the Front and Back Gate, in *Proceedings of 8th Workshop of the Thematic Network on Silicon on Insulator technology, Devices and Circuits*, p. 23, 2012.
- [76] Wong, H. S., White, M. H., Krutsick, T. J., Booth, R. V., Modeling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Oxide MOSFET's, *Solid-State Electronics*, v. 30, p. 953, 1987.
- [77] Prijic, Z. D., Dimitrijevic, S. S., Stojadinović, N. D., The determination of zero temperature coefficient point in CMOS transistors, *Microelectronics Reliability*, v. 32, p. 769, 1992.
- [78] Filanovsky, I. M.; Allam, A., Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits, *IEEE Transactions Circuits and Systems*, v. 48, p. 876, 2001.
- [79] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs, *EuroSOI 2006 Conference Proceedings*, v. 1, p. 77, 2006.
- [80] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., The Temperature Mobility Degradation Influence on the ZTC of PD and FD MOSFETs, *Electrochemical Society*, v. 3, p. 119, 2005.
- [81] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., The Temperature Mobility Degradation Influence on the Zero Temperature Coefficient of Partially and Fully Depleted SOI MOSFETs, *Microelectronics Journal*, v. 37, p. 952, 2006.
- [82] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., Investigation of the Gate Length and Drain Bias Dependence of the ZTC Biasing Point Instability of n- and p-Channel PD MOSFETs, *Journal of Integrated Circuits and Systems*, v. 4, p. 61, 2009.
- [83] Collaert, N., Rooyackers, R., De Keersgieter, A., Leys, F. E., Cayrefourcq, I., Ghyselen, B., Loo, R., Jurczak, M., Stress Hybridization for Multigate Devices Fabricated on Supercritical Strained-SOI (SC-SSOI), *IEEE Electronics Device Letters*, v. 28, p. 646, 2007.
- [84] Doria, R. T., Pavanello, M. A., Threshold Voltage Dependence on the Temperature in Strained and Standards nFinFETs, *EUROSIO 2010 – Conference Proceedings*, p. 87, 2010.

- [85] Talmat, R., Put, S., Collaert, N., Mercha, A., Claeys, C., Guo, W., Cretu, B., Benfdila, A., Routore, J.- M., Carin, R., Simoen, E., EUROSOI 2010 – Conference Proceedings, p. 75, 2010.
- [86] Sun, Y., Thompson, S. E., Nishida, T., *Strain Effect in Semiconductors – Teory and Applications*, p. 30, Springer, Gainesville, 2010.
- [87] Osman, A. A., Osman, M. A., Investigation of High Temperature Effects on MOSFET Transconductance (gm), High Temperature Electronics Conference HITEC, p. 301, 1998.