ALEXANDRO DE MORAES NOGUEIRA

**Estudo de Amplificadores Operacionais de Transcondutância
Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas
de Nanofios**

São Paulo

2020

ALEXANDRO DE MORAES NOGUEIRA

**Estudo de Amplificadores Operacionais de Transcondutância
Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas
de Nanofios**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da
Universidade de São Paulo para obtenção do título
de Mestre em Ciências.

Área de concentração Microeletrônica

São Paulo

2020

ALEXANDRO DE MORAES NOGUEIRA

**Estudo de Amplificadores Operacionais de Transcondutância
Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas
de Nanofios**

Versão Corrigida

Dissertação apresentada à Escola Politécnica da
Universidade de São Paulo para obtenção do título de
Mestre em Ciências.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

Coorientadora: Prof.^a Dr^a. Paula Ghedini Der Agopian

São Paulo

2020

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Nogueira, Alexandre

Estudo de Amplificadores Operacionais de Transcondutância Projetados com Túnel-FETs e MOSFETs Fabricados em Estruturas de Nanofio / A. Nogueira -- versão corr. -- São Paulo, 2020.

111 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Túnel-FETs 2.Nanofio 3.Lookup Table 4.Verilog-A 5.Circuitos Analógicos I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

RESUMO

Transistores de tunelamento induzidos por efeito de campo (TFET) ganharam grande interesse da academia nos últimos anos devido a possibilidade de alcançar inclinação de sublimiar abaixo de 60 mV/dec, que é o limite teórico dos MOSFETs em temperatura ambiente. Isso é possível graças ao seu mecanismo predominante de condução baseado no tunelamento de portadores entre bandas. Este trabalho visa estudar amplificadores operacionais de transcondutância (OTA) projetados com TFETs fabricados em nanofios com diferentes materiais de fonte (Si, SiGe e Ge) para demonstrar suas vantagens e desvantagens com relação aos circuitos projetados com MOSFETs fabricados em nanofio de silício (comprimento de canal de 220 nm). Medidas experimentais dos transistores foram utilizadas para montar tabelas (*"lookup table"*) que são utilizadas na modelagem dos dispositivos através da linguagem Verilog-A. Com o uso do software Spectre da Cadence, os modelos foram usados inicialmente para simular circuitos integrados analógicos básicos como espelho de corrente, amplificadores de fonte comum e amplificadores diferenciais. O efeito da corrente de porta (I_G) em amplificadores de dois estágios com TFETs também foi verificada, mostrando a necessidade de uma atenção especial quanto à polarização, principalmente nos casos dos TFETs com fonte de Si e de Ge. Então, diferentes OTAs foram projetados nas diferentes tecnologias e comparados. Todos os OTAs com TFET apresentaram um ganho de tensão superior ao circuito com MOSFET, sendo pelo menos 34 dB superior em todas as configurações estudadas neste trabalho, sendo que o circuito projetado com TFET com fonte de Ge apresentou o maior ganho de tensão de todos (105 dB). Todos os OTAs com TFETs consomem ao menos uma ordem de grandeza a menos de potência (fonte de Ge) do que o circuito com MOSFET, podendo chegar a consumir três ordens a menos (fonte de Si) em circuitos com a mesma dimensão e polarizados na mesma eficiência do transistor (g_m/I_D). No entanto, o circuito com MOSFET possui um produto ganho de tensão-largura de banda (GBW) de pelo menos uma ordem de grandeza superior aos OTAs com TFETs. Para circuitos com a mesma potência e visando um aumento no ganho de tensão do OTA com MOSFET, os circuitos com TFETs com fonte de SiGe e Ge possuem GBW (1 MHz e 2 MHz) na mesma ordem de grandeza que OTA com MOSFET (4,7 MHz). Deste modo, os TFETs estudados apresentam vantagens em aplicações de baixa potência e frequência, especialmente o TFET com fonte de Ge que apresentou um bom

compromisso entre ganho de tensão e GBW e o TFET de Si, que apresenta um ganho de tensão parecido com o do TFET com fonte de Ge, mas consome menos potência.

Palavras-Chave: Túnel-FET. Nanofio. SiGe. Ge. MOSFET. *lookup table*. Verilog-A. Circuitos analógicos. Amplificador Operacional de Transcondutância.

ABSTRACT

Tunnel Field Effect Transistors (TFET) have gained great interest by the academy in the recent years due to the possibility of achieving subthreshold slopes lower than 60 mV/dec, that is the theoretical limit of the MOSFET in room temperature. This is possible thanks to its main conduction mechanism based on band to band tunneling. This work intends to study operational transconductance amplifiers (OTA) designed with nanowire TFETs with different source materials (Si, SiGe and Ge) to verify its advantages and disadvantage in relation to nanowire silicon MOSFETs (channel length of 220 nm). Experimental measurements were used to create lookup tables that are used to model the devices through the Verilog-A language. By using the software Spectre, from Cadence, the models were initially used to perform basic analog integrated circuit simulations like current mirror, common source amplifier and differential amplifier. The effect of the gate current (I_G) in two-stage amplifiers was also verified, showing that extra attention is required regarding the circuit bias, especially in the cases of Si and Ge-source TFETs. Finally, different OTAs were designed using the different technologies and compared. All the TFET OTAs presented a voltage gain superior to the MOSFET circuit, being at least 34 dB larger in all configurations considered, with the circuit projected with the Ge-source TFET presenting the largest voltage gain (105 dB). All the TFET OTAs have a power consumption at least one order of magnitude smaller (Ge-source) than the MOSFET circuit, being able to consume up to three orders less power (Si-source) in circuits with the same size and biased at the same transistor efficiency (g_m/I_D). However, the MOSFET circuit has a bandwidth-gain product (GBW) of at least one order of magnitude larger than the TFET OTAs. For circuits with the same power consumption and with an increase in the voltage gain of the MOSFET OTA as a project goal, the circuits with TFET with SiGe and Ge-source have a GBW (1 MHz and 2 MHz) in the same order of magnitude than the MOSFET OTA (4,7 MHz). Therefore, the TFETs studied have presented advantages in applications of low power and low frequency, in special the TFET with Ge source have presented a good compromise between gain and GBW and the Si TFET that has a voltage gain comparable to the Ge-source TFET, while consuming less power.

Keywords: Tunnel-FET. Nanowire. SiGe. Ge. MOSFET. Lookup Table. Verilog-A. Analog Circuits. Operational Transconductance Amplifiers.

LISTA DE ILUSTRAÇÕES

Figura 1 - Tensão de limiar e corrente I_{off} para SS fixo.....	22
Figura 2 - Tunelamento de uma partícula por uma barreira potencial retangular.	23
Figura 3 - TFET e bandas de energia.....	23
Figura 4 - Aproximação do dobramento de bandas através de uma barreira potencial	24
Figura 5 - Bandas de energia ao longo do canal na região sublimiar.....	25
Figura 6 - Caminhos de tunelamento em um NTFET.	26
Figura 7 - Diagrama de bandas da geração SRH e TAT.....	26
Figura 8 - Efeito ambipolar	27
Figura 9 - Esquemático de FETs em diferentes geometrias.	28
Figura 10 - Sistema de coordenadas para cálculo da equação de Poisson.....	28
Figura 11 - Comprimento mínimo de porta.	29
Figura 12 - TFET SRAM experimental.	30
Figura 13 - TFET SRAM.....	31
Figura 14 - Amplificadores com entrada diferencial.....	32
Figura 15 - Ganho de tensão de modo comum.	33
Figura 16 - Ganho de tensão e banda de um amplificador.....	33
Figura 17 - Amplificador ideal e real.	34
Figura 18 - Corte transversal do TFET construído em nanofio vertical.	35
Figura 19 - Esquemático dos transistores em nanofio vertical.	36
Figura 20 - Representação de um resistor.	39
Figura 21 - Característica de saída medida e filtrada.	43
Figura 22 - Erro Absoluto Médio do Si TFET para $V_G = 1,5$ V.	44
Figura 23 - Curva após substituição da regressão linear.	45
Figura 24 - Ponto V_1 em função da tensão de porta do Si TFET.....	45
Figura 25 - Fluxograma do algoritmo usado.....	46
Figura 26 - Comparação entre modelo de corrente e medições dos TFETs.	47
Figura 27 - Comparação entre modelo de corrente e medidas do nanofio MOSFET (100 nanofios).	48
Figura 28 - Modelo com capacitâncias.....	49
Figura 29 - Capacitância e corrente de porta medida do Si TFET.....	49
Figura 30 - NTFET com canal em inversão e acumulação.....	50

Figura 31 - Capacitância por nanofio do Si TFET.....	50
Figura 32 - Capacitância por nanofio do SiGe TFET.	51
Figura 33 - Capacitância simulada do SiGe TFET e do Ge TFET.	51
Figura 34 - C_{gd} simulado.	52
Figura 35 - Capacitância por nanofio do MOSFET.	53
Figura 36 - g_m/I_D dos transistores fabricados em nanofios	55
Figura 37 - f_T de diferentes tipos de transistores.	56
Figura 38 - g_m'/g_m em função de V_G	57
Figura 39 - Circuito do espelho de corrente.	58
Figura 40 - I_{D1}/I_{D2} do espelho de corrente.	59
Figura 41 – Amplificador de fonte comum com carga ideal (fonte de corrente).....	59
Figura 42 - Resposta transiente do amplificador de fonte comum.	60
Figura 43 - Amplificador diferencial.	61
Figura 44 - Tensão Early experimental dos TFETs.	63
Figura 45 - Figura ilustrativa e fora de escala do efeito de V_G na tensão Early.	64
Figura 46 - Dependência de g_m com V_D dos TFETS.	65
Figura 47 - I_D e I_G normalizados dos transistores como função de V_D	66
Figura 48 - Amplificador de dois estágios para estudo de I_G	67
Figura 49 - Corrente nos espelhos de corrente com e sem corrente de porta.	68
Figura 50 - Relação entre I_{D1} e I_{D2} com e sem I_G	68
Figura 51 - Razão da condutância de porta pela de dreno dos TFETs.	69
Figura 52 - Esquemático do modelo de pequenos sinais do amplificador de dois estágios com Si TFET.....	72
Figura 53 - Efeito da redução de I_G no ganho de tensão do circuito.	74
Figura 54 - Esquemático do OTA.	75
Figura 55 - Ganho de tensão e potência do primeiro grupo de OTAs.	78
Figura 56 - Resposta em frequência do primeiro grupo de OTAs.	79
Figura 57 - Ganho de tensão de modo comum e taxa de rejeição de modo comum do primeiro grupo de OTAs.	80
Figura 58 - Ganho de tensão e potência de TFET OTAs deste trabalho e da literatura.	80
Figura 59 - GBW e potência de TFET OTAs deste trabalho e da literatura.....	81
Figura 60 - Ganho de malha aberta do segundo grupo de OTAs.....	83
Figura 61 - Resposta em frequência do segundo grupo de OTAs.....	84

Figura 62 - Produto ganho de tensão-largura de banda dos OTAs.	84
Figura 63 - Ganho de tensão e Taxa de rejeição de modo comum do segundo grupo de OTAs.	85
Figura 64 - OTA configurado para ganho de tensão unitário.	86
Figura 65 - THD dos OTAs.	86

LISTA DE TABELAS

Tabela 1 - Comprimento natural de diferentes geometrias.....	29
Tabela 2 - Parâmetros dos transistores.....	36
Tabela 3 - Transistores usados nas medições de corrente.	37
Tabela 4 - Transistores usados nas medições de capacitância.....	38
Tabela 5 - Declaração de um resistor em Verilog-A.	39
Tabela 6 - Exemplo de “ <i>lookup table</i> ”.....	41
Tabela 7 - Número de nanofios dos transistores do amplificador diferencial.....	62
Tabela 8 - Parâmetros do amplificador diferencial.....	62
Tabela 9 - Ganho de tensão do amplificador de dois estágios com e sem I_G	67
Tabela 10 - ΔI_{D1} do espelho de corrente.....	68
Tabela 11 - Ganhos de tensão e correntes para estudo de I_G para o primeiro caso..	70
Tabela 12 - Ganhos de tensão e correntes para estudo de I_G para o segundo caso.	70
Tabela 13 - Ganhos de tensão e correntes para estudo de I_G para o terceiro caso. .	71
Tabela 14 - Ganhos de tensão e correntes para estudo de I_G para o quarto caso. ...	71
Tabela 15 - Número de nanofios do primeiro grupo de OTAs.....	77
Tabela 16 - Parâmetros de projeto do primeiro grupo de OTAs.	77
Tabela 17 - Número de nanofios do segundo grupo de OTAs.....	82
Tabela 18 - Parâmetros do segundo grupo de OTAs.	82
Tabela 19 - Resumo do desempenho dos transistores.	89

LISTA DE ABREVIATURAS E SIGLAS

As	Arsênico
Al	Alumínio
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
CMRR	<i>Common Mode Rejection Ratio</i> (Taxa de rejeição de modo comum)
EAM	Erro Absoluto Médio
FinFET	Transistor de efeito de campo de porta tripla
Ga	Gálio
GBW	<i>Gain-bandwidth Product</i> (Produto ganho de tensão-largura de banda)
GaSb	Antimoneto de gálio
Ge	Germânio
HfO ₂	Óxido de háfno
In	Índio
InAs	Arseneto de Índio
LUT	<i>Lookup Table</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect</i> (Transistor de efeito de campo Metal-óxido-semicondutor)
OTA	<i>Operational Transconductance Amplifier</i> (Amplificador operacional de transcondutância)
PSS	<i>Periodic Steady State</i> (Análise periódica de estado estacionário)
Sb	Antimônio
Si	Silício
SiO ₂	Óxido de silício
SOI	<i>Silicon On Isolator</i> (Silício Sobre Isolante)
SRH	Geração/recombinação de Schokley-Reed-Hall
TAT	<i>Trap Assisted Tunneling</i> (Tunelamento assistido por armadilhas)
TCAD	<i>Technology Computer-Aided Design</i> (Projeto de Tecnologia Assistido por Computador)
TFET	<i>Tunneling Field Effect Transistor</i> (Transistor de tunelamento induzido por efeito de campo)
WKB	Wentzel-Kramers-Brillouin

LISTA DE SÍMBOLOS

A_{cm}	Ganho de tensão de modo comum [dB].
A_D	Ganho de tensão diferencial [dB].
A_v	Ganho de tensão intrínseco do transistor [dB].
C	Capacitância [F].
C_C	Capacitância de compensação Miller [F].
C_{gg}	Capacitância total de porta [F].
C_{gs}	Capacitância entre porta e fonte [F].
C_{gd}	Capacitância entre porta e dreno [F].
C_L	Capacitância de carga [F].
D	Diâmetro do nanofios [nm].
E	Energia [eV].
E_C	Mínimo da banda de condução [eV].
E_g	Largura da banda proibida [eV].
E_V	Máximo da banda de valência [eV].
f	Frequência [Hz].
f_T	Frequência de ganho de tensão unitário [Hz].
g_d	Condutância de saída do transistor [S].
G_m	Transcondutância do circuito [A/V].
g_m	Transcondutância do transistor [A/V].
g_g	Condutância de porta [S].
g_m/I_D	Eficiência do transistor [V^{-1}].
$\hbar$	Constante de Planck reduzida [eV.s].
HD2	Distorção harmônica de segunda ordem [%].
HD3	Distorção harmônica de terceira ordem [%].
I_D	Corrente de dreno [A].
I_{DS}	Corrente entre dreno e fonte [A].
I_G	Corrente de porta [A].
$I_{g,ds}$	Corrente de porta de pequenos sinais devido a tensão de dreno [A]
I_{on}	Corrente de estado ligado [A].
I_{off}	Corrente de fuga [A].
I_{ref}	Corrente de referência [A].

I_{SS}	Corrente de polarização [A].
K_B	Constante de Boltzmann [J/K].
K_{IG}	Fator de multiplicação da corrente de porta.
L	Comprimento de canal [nm].
L_{CH}	Comprimento de canal [nm].
L_G	Comprimento de porta [nm].
L_{GD}	Subposição entre porta e dreno [nm].
L_{GS}	Sobreposição entre porta e fonte [nm].
L_T	Largura da barreira potencial [m].
m^*	Massa equivalente de tunelamento [kg].
n	Fator de corpo.
N_a	Densidade de íons [cm ⁻³].
P	Potência elétrica [W]
P_{din}	Potência elétrica dinâmica [W].
P_{est}	Potência elétrica estática [W].
q	Carga elementar [C].
R	Raio do nanofio [cm].
R_o	Resistência de saída do circuito [Ω].
SS	Inclinação de sublimiar [mV/dec].
T	Temperatura [K].
T_{WKB}	Probabilidade de tunelamento.
t_{ox}	Espessura do óxido de porta [cm].
t_{si}	Espessura do silício [cm].
THD	Distorção harmônica total [%].
U	Energia potencial [eV].
V_{cm}	Tensão de modo comum [V].
V_D	Tensão de dreno [V].
V_{DD}	Tensão de alimentação [V].
V_{DS}	Tensão entre dreno e fonte [V].
V_{EA}	Tensão Early [V].
V_G	Tensão de porta [V].
V_{GS}	Tensão entre porta e fonte [V].
V_{in}^+	Sinal de entrada positivo [V].

V_{in^-}	Sinal de entrada negativo [V].
V_{out}	Sinal de saída [V].
V_S	Tensão de fonte [V].
V_T	Tensão de limiar [V].
V_1	Tensão de início da regressão linear [V].
W	Largura de canal [nm].
W_{eq}	Largura de canal equivalente [nm].
ΔI_{D1}	Variação normalizada da corrente espelhada com e sem I_G
ϵ_{Si}	Constante de permissividade do silício [$F.cm^{-1}$].
ϵ_{ox}	Constante de permissividade do óxido de porta [$F.cm^{-1}$].
λ	Comprimento natural [cm].
ξ	Campo Elétrico [$V.cm^{-1}$].
ω	Frequência angular [rad/s].
ψ	Função de onda.
ϕ	Potencial elétrico [V].

SUMÁRIO

1	Introdução	17
1.1	Objetivos	18
1.2	Estrutura do trabalho.....	19
2	Conceitos básicos	20
2.1	Potência elétrica dissipada	20
2.2	Transistor de tunelamento de efeito de campo	22
2.3	Transistores em nanofio.....	27
2.4	Circuitos com TFET	30
2.5	Amplificadores diferenciais	32
3	Materiais e métodos	35
3.1	Descrição dos dispositivos e medições.....	35
3.2	Verilog-A e modelagem através de lookup table	38
4	Modelagem dos dispositivos	42
4.1	Tabela de corrente	42
4.1.1	Nanofio TFET.....	42
4.1.2	Nanofio MOSFET.....	48
4.2	Tabela de capacitância.....	48
4.2.1	Nanofio TFET.....	49
4.2.2	Nanofio MOSFET.....	52
5	Parâmetros e circuitos básicos	54
5.1	Eficiência do transistor	54
5.2	Frequência de ganho de tensão unitário.....	55
5.3	Linearidade dos dispositivos	56
5.4	Espelho de corrente	58
5.5	Amplificador de fonte comum.....	59
5.6	Amplificador diferencial	61
6	Efeito da corrente de porta nos TFETs.....	66
7	Amplificador operacional de transcondutância	75
7.1	Primeiro grupo de circuitos	76
7.2	Segundo grupo de circuitos	81
7.3	Linearidade dos circuitos	85

8	Conclusões	88
	Referências	91
	Apêndice A – Código para filtragem dos TFETs	99
	Apêndice B – Modelo Verilog-A.....	102
	Apêndice C – Descrição do dispositivo	103
	Apêndice D – Simulação CA	107
	Apêndice E – Publicações geradas.....	111

1 INTRODUÇÃO

Nas últimas décadas houve um grande avanço tecnológico nas áreas de eletrônica e microeletrônica, em grande parte devido à redução progressiva das dimensões dos transistores que permitiu o aumento exponencial no número de dispositivos dentro de um circuito integrado (CI) e, consequentemente, no seu poder computacional (ITRS, 2015). Essa tendência foi observada por Gordon Moore (MOORE, 1965), ficando conhecida como lei de Moore. Em uma primeira fase bastava o escalamento das dimensões dos transistores mas posteriormente foi necessário introduzir inovações tecnológicas como a implementação de canal de silício tensionado para aumentar a mobilidade dos portadores (HOYT et al., 2002), uso de materiais de alta constante dielétrica como óxido de porta (LEE et al., 2003), adoção da tecnologia silício sobre isolante (SOI) e arquiteturas não planares (COLINGE; GREER, 2016).

Assim como as dimensões dos transistores são reduzidas, também é de interesse que as tensões de alimentação também sejam, caso contrário, o consumo de energia de um circuito aumentará exponencialmente junto com o número de transistores (IONESCU; RIEL, 2011). No entanto o principal transistor usado pela indústria hoje, o Transistor de Efeito de Campo Metal Óxido Semicondutor (MOSFET) apresenta limitações na redução da sua tensão de alimentação devido ao seu mecanismo de transporte (difusão-deriva) que é dependente da emissão termiônica sobre uma barreira potencial, apresentando um limite teórico para a inclinação sublimiar (SS) de 60 mV/dec em temperatura ambiente.

Vários dispositivos foram apresentados na literatura com a proposta de obter um SS abaixo de 60 mV/dec, sendo os transistores de tunelamento induzidos por efeito de campo (TFET) um dos que ganharam mais atenção. O TFET apresenta como mecanismo predominante de condução o tunelamento de portadores entre a banda de valência da fonte e a banda de condução do canal. Como a própria banda proibida serve como uma espécie de filtro para a cauda da função de Fermi (principal responsável pelo limite de SS do MOSFET), TFETs podem atingir um SS menor que 60 mV/dec (IONESCU; RIEL, 2011).

Appenzeller et al. (2004) demonstrou o primeiro TFET a apresentar um SS experimental abaixo de 60 mV/dec utilizando nanotubos de carbono. Dewey et al. (2011) obteve SS abaixo de 60 mV/dec com materiais III-V, Tomioka, Yoshimura e Fukui (2012) atingiram um SS mínimo de 21 mV/dec usando nanofio com

heterojunção de InAs e Si e Kim et al. (2015) alcançou um SS mínimo de 58 mV/dec com transistores SOI com heterojunção de Ge/Si. Para facilitar a integração com a atual tecnologia CMOS, é preferível a utilização de TFETs de Si, no entanto é difícil de se obter SS baixos para tais dispositivos (Agopian et al., 2018). Porém, mesmo para TFETs que não apresentam boas características digitais, eles possuem um ganho de tensão intrínseco de tensão maior do que o MOSFET, tornando-o também candidato a ser usado em CIs analógicos (DER AGOPIAN, et al., 2013).

Deste modo, se faz necessário avaliar o desempenho do TFET também em circuitos. Há estudos experimentais de pequenos circuitos, como espelhos de corrente (MARTINO et al., 2016), SRAM (LUONG et al., 2017) e inversores (KNOLL et al., 2013), porém, como se trata de um dispositivo ainda em pesquisa, o processo de fabricação ainda não está bem definido, tornando a fabricação de circuitos maiores difíceis devido a variações de processos, além da necessidade de mais recursos financeiros e de tempo. Geralmente simulações de circuitos são realizados utilizando modelos analíticos de SPICE. Lu, Esseni e Seabaugh (2015), Zhang e Chan (2014), Tanaka et al. (2016), Horst et al. (2016), entre outros grupos, veem trabalhando em modelos analíticos para o TFET, mas ainda se trata de um trabalho em andamento e esses modelos são restritos a determinadas geometrias e/ou materiais ou estão incompletos.

Uma alternativa a ser considerada na ausência de modelos analíticos bem definidos (caso de novos nós tecnológicos ou dispositivos novos) é o método de “*Lookup Table*” (LUT) (ROFOUGARAN; FURMAN; ABIDI, 1988), onde algum parâmetro de interesse (corrente, por exemplo) pode ser descrito através de variáveis independentes de entrada (tensão de porta e dreno, por exemplo) em uma tabela. Através do uso da linguagem Verilog-A é possível interpolar e extrapolar os pontos da tabela, de modo que é possível realizar simulações de circuitos em programas SPICE.

1.1 OBJETIVOS

Este trabalho tem como objetivo projetar de forma inédita Amplificadores Operacionais de Transcondutância (OTA) utilizando-se quatro diferentes tipos de transistores, todos fabricados em geometria de nanofio vertical: TFET com fonte de Si, TFET com fonte de SiGe, TFET com fonte de Ge e MOSFET de Si. Para isso, um modelo em Verilog-A baseado em *lookup table* foi criado através de medições experimentais de corrente e capacitância. Com o uso do software Spectre da

Cadence, este modelo foi usado para simular e estudar circuitos básicos como espelhos de corrente, amplificadores diferenciais e amplificador de fonte comum, que são usados como blocos básicos para o entendimento do OTA. Por fim, diferentes OTAs são projetados, simulados e seus parâmetros de ganho de tensão, resposta em frequência e linearidade são obtidos e comparados entre os diferentes tipos de transistores de modo a avaliar com eles afetam o desempenho do circuito.

1.2 ESTRUTURA DO TRABALHO

Este trabalho está dividido em sete capítulos.

Capítulo 1 – Introdução: Faz uma breve introdução sobre os assuntos a serem abordados neste trabalho, objetivos e estrutura do trabalho.

Capítulo 2 – Conceitos básicos: apresenta os conceitos necessários para o entendimento do trabalho. A dificuldade na redução da potência elétrica enfrentada pelos circuitos integrados atuais e suas causas são apresentadas, além de como o TFET pode ser uma solução e as vantagens dos transistores nanofios. Alguns trabalhos sobre circuitos que utilizam TFETs e conceitos básicos de amplificadores também são descritos.

Capítulo 3 – Materiais e métodos: neste capítulo os dispositivos utilizados e a metodologia para a medição dos transistores são apresentados. O método de modelamento através da linguagem Verilog-A por “*lookup table*” também é introduzido.

Capítulo 4 – Modelagem dos dispositivos: a modelagem dos dispositivos é mostrada, assim como a verificação que o modelo está de acordo com os dados experimentais.

Capítulo 5 – Parâmetros e circuitos básicos: o uso do modelo na extração da curva da eficiência do transistor e da frequência de corte é demonstrado. Também é demonstrado o funcionamento do espelho de corrente, do amplificador de fonte comum e de um amplificador diferencial para cada dispositivo.

Capítulo 6 – Efeito da corrente de porta nos TFETs: estudo sobre a influência da corrente de porta em amplificadores de dois estágios projetados com TFETs.

Capítulo 7 – Amplificador Operacional de Transcondutância: apresenta o projeto dos OTAs nas diferentes tecnologias e o desempenho dos circuitos no que se diz respeito a ganho de tensão, resposta em frequência e linearidade.

Capítulo 8 – Conclusões: descreve as conclusões obtidas pelo trabalho e compilação dos principais resultados.

2 CONCEITOS BÁSICOS

Neste capítulo são apresentados os conceitos básicos a serem utilizados por este trabalho. A motivação para a proposição do TFET como uma possível solução para o escalamento de potência em circuitos integrados é apresentada. As vantagens de uma geometria em nanofios é demonstrada, assim como trabalhos já presentes na literatura relacionados a circuitos com TFETs. Por fim, conceitos de amplificadores relacionados ao prosseguimento do trabalho são discutidos.

2.1 POTÊNCIA ELÉTRICA DISSIPADA

A potência dissipada em um circuito digital pode ser dividida entre potência dinâmica, que é consumida quando o circuito está realizando alguma comutação de nível lógico, e potência estática, que é consumida quando o circuito está fixado em um determinado nível lógico.

Usando um modelo simplificado de potência dinâmica (P_{din}) através da energia utilizada para carregar e descarregar as capacitâncias nos nós de saída, obtêm-se que ela é dada pela expressão 1 (SEDRA; SMITH, 2007), onde C é a capacitância de saída do circuito, f é a frequência de operação do circuito e V_{DD} é a tensão de alimentação.

$$P_{din} = C \times V_{DD}^2 \times f \quad (1)$$

Portanto, pode-se reduzir a potência dinâmica de um circuito através da redução das capacitâncias dos nós, da frequência de operação do circuito ou da tensão de alimentação. Não é de interesse reduzir a frequência, já que maior frequência resulta em um número maior de operações que se pode realizar por unidade de tempo, aumentando o desempenho do circuito. A capacitância de saída depende do tamanho dos transistores e, portanto, auxilia um pouco nesta redução com o avanço da tecnologia. Porém o parâmetro mais interessante para se reduzir a potência, mantendo-se o desempenho, é a tensão de alimentação que, além disso, possui uma relação quadrática com a potência.

A potência estática (P_{est}) é dada principalmente pela tensão de alimentação e pela corrente de fuga (I_{off}), que é a corrente que flui quando a tensão na porta do transistor (V_G) está em 0 V, como pode ser visto na expressão 2 (SEDRA; SMITH, 2007).

$$P_{est} = I_{off} \times V_{DD} \quad (2)$$

A corrente de sublimiar (quando V_G é menor do que a tensão de limiar (V_T)) é muito pequena se comparada com a corrente de dreno de estado ligado (I_{on}), porém não é zero. Nesse regime a corrente por difusão é o principal mecanismo de condução de corrente e, apesar de pequena, possui um comportamento exponencial com a tensão de porta, de modo que em um gráfico monolog é possível definir uma inclinação da corrente nesta região de sublimiar (SS) para indicar quantos volts (ou mV) são necessários para aumentar a corrente entre dreno e fonte (I_{DS}) de uma década (expressão 3)(IONESCU; RIEL, 2011).

$$SS = \frac{dV_{GS}}{d(\log(I_{DS}))} \quad (3)$$

De forma geral, o SS do MOSFET pode ser descrito pela expressão 4 (IONESCU; RIEL, 2011).

$$SS = \frac{K_B T}{q} \ln(10) n \quad (4)$$

Onde, onde K_B é constante de Boltzmann, T é a temperatura em Kelvin, q é carga elementar e n é um fator de corpo que é dado pela variação do potencial do canal pelo potencial da porta. Ou seja, o fator n indica o quanto a porta controla o potencial do canal, sendo que no caso ideal, n é igual a 1. Considerando o caso ideal, se obtêm o valor mínimo de SS para o MOSFET de aproximadamente 60 mV/dec em temperatura ambiente.

Segundo Ionescu e Riel (2011), a corrente de fuga I_{off} pode ser descrita em função de SS e de V_T através da expressão 5, onde pode-se observar que, se não houver redução do SS, reduzir a tensão de limiar aumenta a corrente I_{off} (e a potência estática) exponencialmente. O mesmo comportamento também é mostrado esquematicamente através da Figura 1.

$$I_{off} \propto e^{\frac{-V_T}{nK_B T}} = e^{\frac{-V_T \ln(10)}{SS}} \quad (5)$$

Figura 1 - Tensão de limiar e corrente I_{off} para SS fixo.
Fonte: elaborado pelo autor.

Como não é possível reduzir o SS de um MOSFET abaixo de 60 mV/dec, a expressão 5 também indica que há um limite para o quanto se pode reduzir V_T sem que a potência estática aumente demasiadamente. Porém limitar o escalamento de V_T também impede o escalamento de V_{DD} , já que para se obter uma corrente I_{on} adequada para um bom desempenho, deve-se manter uma distância mínima entre V_{DD} e V_T . O SS, portanto, é um importante parâmetro que indica o quanto se pode reduzir V_T (em detrimento da potência estática), que por sua vez limita o escalamento de V_{DD} e da potência dinâmica.

2.2 TRANSISTOR DE TUNELAMENTO DE EFEITO DE CAMPO

Visando a limitação do MOSFET, o TFET foi proposto como um novo dispositivo onde pode-se ter inclinação de sublimar abaixo dos 60 mV/dec em temperatura ambiente. Diferente do MOSFET, onde a condução de corrente ocorre devido a emissão termiônica de elétrons sobre uma barreira potencial, o TFET utiliza como princípio de operação o tunelamento quântico entre bandas.

Tunelamento quântico é um efeito proveniente da natureza de onda das partículas, onde existe uma probabilidade finita de que partícula consiga ultrapassar uma barreira potencial, mesmo possuindo uma energia menor do que a barreira, (dado que a largura da barreira seja fina o suficiente e que a diferença entre as energias não seja muito grande), o que seria impossível de prever usando apenas o formalismo da física clássica. Tal probabilidade pode ser observado pela função de onda (ψ) que descreve a partícula (elétron, por exemplo) que possui valores não nulos do outro lado da barreira (Figura 2). A probabilidade de tunelamento é proporcional à

diferença entre a energia potencial da barreira (U) e a energia da partícula (E) e é inversamente proporcional à largura da barreira (L_T) (GASIOROWICZ, 2003).

Figura 2 - Tunelamento de uma partícula por uma barreira potencial retangular.
Fonte: elaborado pelo autor.

A estrutura básica de um TFET é um diodo P-i-N, com a porta sobre o canal intrínseco, como mostrado na Figura 3. Ao se aplicar tensão positiva no dreno do transistor, o diodo fica reversamente polarizado e não há condução de corrente. Para transistores do tipo N (NTFET), a fonte recebe dopagem do tipo P e o dreno, dopagem do tipo N. Ao se aplicar uma tensão positiva na porta as bandas de energia do canal diminuem. Quando o mínimo da banda de condução (E_C) do canal ficar igual ou menor que o máximo da banda de valência (E_V) da fonte, pode haver um fluxo de elétrons por tunelamento da fonte para o canal.

Figura 3 - TFET e bandas de energia.
Fonte: elaborado pelo autor.

Para o transistor do tipo P (PTFET), o funcionamento é análogo, mas a fonte recebe dopagem do tipo N e o dreno, dopagem do tipo P. Quando a tensão de porta é suficientemente negativa, E_C da fonte pode ficar menor ou igual ao E_V do canal e pode ter tunelamento de lacunas do canal para a fonte. Como o tunelamento ocorre apenas na junção da fonte/canal, a corrente de dreno não depende do comprimento do canal na ausência de efeitos de canal curto.

Utilizando o formalismo Wentzel-Kramers-Brillouin (WKB), a probabilidade de tunelamento entre os pontos “a” e “b” como função da energia E (T_{WKB}) é dada pela expressão 6 (SZE; NG, 2007), onde $U(x)$ é a energia potencial em função da coordenada espacial “x”, m^* é a massa efetiva de tunelamento e $\hbar$ é a constante de Planck reduzida.

$$T_{WKB} \approx \exp \left(-2 \int_a^b \sqrt{\frac{2m^* (U(x) - E)}{\hbar^2}} dx \right) \quad (6)$$

Considerando um campo elétrico constante e uniforme na junção entre fonte e canal, pode-se aproximar a barreira que o elétron vê como um potencial triangular (Figura 4). Adotando $E = 0$ e $a = 0$, tem-se que $b = E_g/q\xi$ e $U(x) = E_g - q\xi x$, onde ξ é o campo elétrico e E_g é a largura da banda proibida e q é a carga do elétron. Substituindo estes parâmetros na expressão 6, chega-se à expressão 7, que pode ser resolvida analiticamente e resulta na expressão 8.

$$T_{WKB} \approx \exp \left(-2 \int_0^{E_g/q\xi} \sqrt{\frac{2m^* (E_g - q\xi x)}{\hbar^2}} dx \right) \quad (7)$$

$$T_{WKB} \approx \exp \left(-\frac{4}{3} \frac{\sqrt{2m^*} E_g^3}{\hbar q \xi} \right) \quad (8)$$

Figura 4 - Aproximação do dobramento de bandas através de uma barreira potencial
Fonte: elaborado pelo autor.

Levando em conta a complexidade do tunelamento entre bandas, a expressão 8 é uma aproximação relativamente simples, mas que já mostra que a probabilidade de tunelamento depende exponencialmente do campo elétrico sobre a junção fonte/canal. Também se observa que quanto menor a largura de banda proibida do semiconductor, maior a probabilidade de tunelamento.

No MOSFET a corrente de sublimiar ocorre devido a difusão de portadores da região da fonte para o canal. Usando o transistor do tipo N como exemplo (NMOSFET), mesmo para tensões V_G abaixo de V_T , alguns elétrons da fonte possuem energia térmica o suficiente para ultrapassar a barreira potencial presente entre fonte e canal, de acordo com a função de Fermi. Como a região do canal ainda possui poucos elétrons, esses portadores difundem da fonte e posteriormente são coletados no dreno, dando surgimento à corrente de sublimiar (Figura 5 (a)) (SZE; NG, 2007).

No caso do TFET do tipo N, a fonte recebe dopagem do tipo P de forma degenerada, de modo que o nível de Fermi fique muito próximo à banda de valência (E_V) da fonte. Deste modo, praticamente não há elétrons disponíveis na banda de condução e a corrente aumenta abruptamente apenas caso haja o cruzamento entre bandas para permitir o tunelamento (Figura 5(b)). Deste modo o TFET pode apresentar SS abaixo do limite de 60 mV/dec em temperatura ambiente (IONESUCU; RIEL, 2011).

Figura 5 - Bandas de energia ao longo do canal na região sublimiar.
Fonte: elaborado pelo autor.

Na prática o SS do TFET não é tão íngreme já que a corrente de tunelamento depende da distância entre as bandas e como o potencial induzido pela porta varia dentro do canal, a distância de tunelamento também varia. Através de uma aproximação semiclássica pode-se dizer que o caminho de tunelamento segue as linhas de potencial de uma forma aproximadamente circular desde a junção até a interface óxido-semiconductor (VERHULST et al., 2011). Portanto, há diversos

caminhos para o tunelamento, o que faz com que ele ocorra com maior intensidade em algumas regiões e menor em outras, deteriorando o SS (Figura 6).

Figura 6 - Caminhos de tunelamento em um NTFET.
Fonte: elaborado pelo autor.

Além disso, níveis energéticos que aparecem dentro da banda proibida (E_T) são responsáveis pelo aparecimento de corrente devido a geração-recombinação Shockley-Read-Hall (SRH) (HALL, 1952) e tunelamento assistido por armadilhas (TAT) (HURKX; KLAASSEN; KNUVERS, 1992) (Figura 7). Esses efeitos são responsáveis por aumentar a corrente I_{off} e degradar o SS dos TFET, principalmente nos dispositivos de Si, onde a maior parte de sua condução é devida ao TAT (AGOPIAN et al., 2012).

Figura 7 - Diagrama de bandas da geração SRH e TAT.
Fonte: elaborado pelo autor.

O TFET também apresenta um baixo I_{on} , típico de conduções por tunelamento. Outro problema é a presença de efeito ambipolar, ou seja, a condução de corrente de dreno com tensões de porta negativa (para o caso do NTFET). O efeito ambipolar acontece quando a tensão da porta é negativa o suficiente para haver tunelamento na junção entre dreno e canal (Figura 8). Esse efeito pode ser reduzido através de dopagens menores de dreno ou evitando que a porta se estenda até o dreno, criando uma região de subposição entre porta e dreno, reduzindo o campo elétrico naquela junção e consequentemente a condução ambipolar (LEE et al., 2013)

Figura 8 - Efeito ambipolar
Fonte: elaborado pelo autor.

Para aumentar a corrente, pode-se aumentar a área de tunelamento, como é o caso dos Line-TFET (ZHOU et al., 2011). Também é importante manter um gradiente de dopagem bem inclinado na fonte, pois como o tunelamento é uma função do campo elétrico, uma junção mais abrupta aumenta o campo elétrico na região. Para se obter um valor menor de SS, o controle eletrostático da porta deve ser o melhor possível, justificando o uso de materiais de alta constante dielétrica como óxido de porta e de geometrias como a de nanofios.

2.3 TRANSISTORES EM NANOFIO

Transistores que utilizam estruturas não planares (transistores de porta dupla, tripla, etc.) estão sendo estudados há muitos anos. Em 2011 a INTEL divulgou que usaria FinFETs em escala comercial no seu nó tecnológico de 22 nm (INTEL, 2011). Ao se usar duas ou três portas, ao invés de uma, os FinFET obtêm um maior controle eletrostático da porta sobre o canal, reduzindo os efeitos de canal curto. Do mesmo modo, se a porta envolver o canal completamente (caso dos transistores em nanofio) o controle eletrostático seria ainda melhor (LU; XIE; LIEBER, 2008). Transistores em nanofios também apresentam maior área de porta por volume de canal, dando a possibilidade de aumentar o nível de integração por requerer menor área para se obter a mesma corrente. A Figura 9 mostra o esquemático de transistores planares, do FinFET e de um nanofio.

Figura 9 - Esquemático de FETs em diferentes geometrias.
Fonte: elaborado pelo autor.

Usando a aproximação de depleção e o sistema de coordenadas apresentado na Figura 10, a equação de Poisson em MOSFETs é dada pela expressão 9, onde $\phi(x,y,z)$ é o potencial elétrico, q é a carga do elétron, N_a é a densidade de íons e ϵ_{si} é a constante de permissividade do silício (COLINGE; GREER, 2016).

Figura 10 - Sistema de coordenadas para cálculo da equação de Poisson.
Fonte: adaptado de Colinge e Greer, 2016.

$$\frac{\partial^2 \phi(x,y,z)}{\partial x^2} + \frac{\partial^2 \phi(x,y,z)}{\partial y^2} + \frac{\partial^2 \phi(x,y,z)}{\partial z^2} = \frac{qN_a}{\epsilon_{si}} \quad (9)$$

Segundo Colinge e Greer (2016), ao se considerar as condições de fronteiras devidas para cada geometria e considerando a posição (y,z) onde os efeitos de canal curto são mais proeminentes, a expressão 9 pode ser reescrita de forma genérica pela expressão 10 através de uma função $\varphi(x)$.

$$\frac{\partial^2 \varphi(x)}{\partial x^2} - \frac{\varphi(x)}{\lambda^2} = 0 \quad (10)$$

O parâmetro “ λ ” é chamado de comprimento natural. Ele depende da geometria do MOSFET e representa o efeito do campo elétrico proveniente da fonte e do dreno sobre o canal, sendo usado para avaliar os efeitos de canal curto. Para que um transistor seja livre de efeitos de canal curto, Colinge e Greer (2016) consideram que o comprimento de canal deve ser maior do que 6λ . A tabela 1 mostra

o comprimento natural para o caso planar, de porta dupla e do nanofio, onde ϵ_{Si} e ϵ_{ox} são as constantes de permissividade do silício e do óxido de porta, t_{Si} e t_{ox} são a espessura do silício e do óxido de porta e R é a o raio do nanofio.

Tabela 1 - Comprimento natural de diferentes geometrias.

Geometria	Comprimento natural (λ)
Planar	$\sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}}} t_{Si} t_{ox}$
Porta dupla	$\sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}}} \left(1 + \frac{\epsilon_{ox} t_{Si}}{4\epsilon_{Si} t_{ox}}\right) t_{Si} t_{ox}$
Nanofio	$\sqrt{\frac{2\epsilon_{Si} R^2 \ln\left(1 + \frac{t_{ox}}{R}\right) + \epsilon_{ox} R^2}{4\epsilon_{ox}}}$

Fonte: adaptado de Colinge e Greer, 2016.

Figura 11 mostra o comprimento mínimo de porta (6λ) para cada tipo de porta: simples, dupla, tripla, quádrupla e nanofio. Ao aumentar o número de portas, o comprimento mínimo reduz, sendo menor no caso da geometria em nanofio, indicando que ela possuindo um melhor controle eletrostático da porta sobre o canal e consequentemente um menor efeito de canal curto se comparado com as outras geometrias. Georgiev et al. (2017) por exemplo, alcançou um SS de 66 mV/dec para nanofios de 8 nm de diâmetro de silício. O maior controle eletrostático proporcionado pela geometria em nanofio também é benéfica para transistores de tunelamento (BJÖRK et al., 2008).

Figura 11 - Comprimento mínimo de porta.

Fonte: adaptado de Colinge e Greer, 2016.

oscilador de cristal e Reddy e Jayasree (2019) apresentaram um modelo analítico e o utilizaram para demonstrar uma SRAM.

Strangio et al. (2017) utiliza um modelo de LUT (*Lookup Table*) a partir de simulações de TCAD para avaliar o desempenho de um somador projetado com TFETs de nanofios de InAs/AlGaSb e fazer comparações com a tecnologia CMOS.

Dentre os circuitos analógicos, Sedighi et al. (2015) verificou o desempenho de circuitos como o OTA, espelhos de corrente e circuitos de amostragem e retenção através de LUT obtidas de simulações em TCAD de TFETs com materiais III-V. Settino et al. (2017) utilizou a mesma metodologia para estudar circuitos de amostra e retenção. Cavalheiro, Moll e Valtchev (2017) também utilizaram simulações em TCAD para criar uma LUT de TFETs de heterojunção e homojunção de materiais III-V para projetar um circuito de gerenciamento de potência para aplicações em colheita de energia. Rangel, Agopian e Martino (2019) utilizaram medições experimentais de um TFET de porta dupla para simular um amplificador diferencial e um OTA.

Devido a peculiaridades do TFET, como a assimetria e ambipolaridade, pode ser necessário a alteração da topologia de alguns circuitos que utilizam transistores de passagem, como a SRAM apresentada por Singh et al. (2010), onde é necessário acrescentar um transistor a mais (M7) para que o circuito funcione adequadamente (Figura 13). No entanto, essa assimetria também pode ser útil para criar topologias mais compactas (MORRIS et al., 2014). Sedigh (2015) mostrou que alguns circuitos analógicos também necessitam que sua topologia seja modificada e Song, Jung e Shin (2019) demonstraram como diferenças entre TFET e MOSFET requerem também novas estratégias para a criação dos leiautes das máscaras, já que o tipo de dopagem da fonte e do dreno são diferentes.

Figura 13 - TFET SRAM.
Fonte: adaptado de Singh et al., 2010.

2.5 AMPLIFICADORES DIFERENCIAIS

Amplificadores com entrada diferencial possuem maior imunidade ao ruído se comparados com amplificadores com entrada única. Isso ocorre pois o sinal a ser amplificado é a diferença entre o sinal de entrada positivo (V_{in}^+) e o sinal de entrada negativo (V_{in}^-), de modo que na presença de um ruído que afeta as duas entradas igualmente, o ruído acaba sendo cancelado, o que aumenta (melhora) a razão entre sinal e ruído na saída do amplificador. Como pode ser visto na Figura 14, amplificadores diferenciais podem possuir uma saída diferencial ou uma saída simples.

Figura 14 - Amplificadores com entrada diferencial.
Fonte: elaborado pelo autor.

De acordo com Razavi (2001), o ganho de tensão diferencial (A_D) de um amplificador pode ser calculado pelo produto entre a transcondutância de curto circuito (G_m) e a resistência de saída (R_o) do circuito (expressão 11).

$$A_D = G_m R_o \quad (11)$$

Amplificadores diferenciais também possuem um ganho de tensão de modo comum (A_{CM}), que é quando as duas entradas recebem um mesmo sinal de entrada (V_{in}) em fase (Figura 15). O A_{CM} existe devido a variações nos parâmetros dos dispositivos que compõem o par diferencial (transistores, resistores, etc.) utilizados na implementação do amplificador, assim como não idealidades dos circuitos. Como o A_{cm} é indesejável, uma figura de mérito é a taxa de rejeição de modo comum (CMRR) que indica a razão entre o ganho de tensão diferencial e o ganho de tensão de modo comum e é definida em dB pela expressão 12

$$CMRR = 20 \log \left(\frac{|A_D|}{|A_{CM}|} \right) \quad (12)$$

Figura 15 - Ganho de tensão de modo comum.
Fonte: elaborado pelo autor.

Muitas vezes amplificadores são usados com realimentação negativa. Como consequência o ganho de tensão obtido é menor, mas ele se torna menos sensível a parâmetros internos que compõem o amplificador. Além disso reduzir o ganho de tensão aumenta a faixa de frequência de operação pela mesma quantidade que o ganho de tensão é reduzido (SEDRA; SMITH, 2007), de modo que o produto entre o ganho de tensão do amplificador e a largura de banda (GBW) é constante. Por ser um parâmetro constante do amplificador o GBW é usado como figura de mérito para comparar a velocidade de diferentes circuitos e pode ser obtido pela frequência onde o ganho de tensão se torna unitário (0 dB), como pode ser visto na Figura 16.

Figura 16 - Ganho de tensão e banda de um amplificador.
Fonte: elaborado pelo autor

Também é importante que um amplificador apresente boa linearidade para evitar a distorção do sinal que se deseja amplificar. Idealmente se deseja que um amplificador tenha uma relação linear entre a entrada e a saída, onde a tangente da inclinação da reta indica o ganho de tensão. Na prática, isso não ocorre e a relação entre entrada e saída mais realista é mostrada na Figura 17.

Figura 17 - Amplificador ideal e real.
Fonte: elaborado pelo autor.

Considerando que a saída é aproximadamente linear, ela pode ser descrita através de uma expansão em séries de Taylor (expressão 13)(RAZAVI, 2001).

$$y(t) = a_1x(t) + a_2x(t)^2 + a_3x(t)^3 + \dots \quad (13)$$

Aplicando um sinal senoidal, pode-se caracterizar a não linearidade através de uma análise de Fourier. Considerando um sinal de entrada dado por $x(t) = A \cos(\omega t)$, onde A é a amplitude do sinal e ω é a frequência em radianos por segundo, a expressão 13 toma a forma da expressão 14.

$$y(t) = a_1 A \cos(\omega t) + \frac{a_2 A^2}{2} (1 + \cos(2\omega t)) + \frac{a_3 A^3}{4} (3 \cos(\omega t) + \cos(3\omega t)) + \dots \quad (14)$$

A relação entre a potência de uma determinada frequência harmônica e a frequência fundamental (ω) é chamada de distorção harmônica (HD). A distorção harmônica gerada pela segunda harmônica (HD2) e pela terceira (HD3) são dadas pelas expressões 15 e 16, respectivamente. A relação entre a potência da soma de todas as harmônicas e a fundamental é a distorção harmônica total (THD) (expressão 17) e é um importante parâmetro para indicar linearidade.

$$HD2 = \frac{\left(\frac{a_2 A^2}{2}\right)^2}{\left(a_1 + \frac{3}{4} a_3 A^3\right)^2} \quad (15)$$

$$HD3 = \frac{\left(\frac{a_3 A^3}{4}\right)^2}{\left(a_1 + \frac{3}{4} a_3 A^3\right)^2} \quad (16)$$

$$THD = \frac{\left(\frac{a_2 A^2}{2}\right)^2 + \left(\frac{a_3 A^3}{4}\right)^2 + \dots}{\left(a_1 + \frac{3}{4} a_3 A^3\right)^2} \quad (17)$$

3 MATERIAIS E MÉTODOS

Nesta seção os dispositivos e equipamentos usados para realizar as medições são apresentados e o método de modelagem por Verilog-A através de LUT é introduzido.

3.1 DESCRIÇÃO DOS DISPOSITIVOS E MEDIÇÕES

Os dispositivos utilizados são TFETs e MOSFETs do tipo N, construídos no imec, Bélgica com geometria em estrutura de nanofios verticais. Todos os transistores foram fabricados seguindo o mesmo processo a partir de um substrato do tipo n (dopagem com arsênico), com crescimento epitaxial do canal e da fonte. Uma foto de um dos nanofios pode ser visto na Figura 18. Detalhes do processo de fabricação podem ser vistos em Vandooren et al. (2012, 2013) e em Rooyackers et al. (2013).

Figura 18 - Corte transversal do TFET construído em nanofio vertical.
Fonte: adaptado de Vandoren et al., 2012.

A principal diferença entre os MOSFETs e os TFETs é o tipo de dopagem da fonte (tipo P no caso dos TFETs e tipo N no caso do MOSFET). Outra diferença é que no caso dos TFETs, a porta não se estende até a junção de dreno, resultando em uma região de subposição entre porta e dreno (L_{GD}) de 100 nm, de modo a mitigar o efeito ambipolar (LEE et al., 2013). O óxido de porta é formado por 1 nm de SiO_2 e 3 nm de HfO_2 .

Todos os transistores possuem um comprimento de canal (L_{CH}) de 220 nm. Os TFETs possuem um comprimento de porta (L_G) de 150 nm, uma região de sobreposição entre porta e fonte (L_{GS}) de 30 nm além da já comentada subposição entre porta e dreno. Um esquemático dos transistores pode ser observado na Figura 19 e a Tabela 2 resume os parâmetros geométricos que são constantes para os transistores.

Figura 19 - Esquemático dos transistores em nanofio vertical.
Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Tabela 2 - Parâmetros dos transistores.

	TFETs	MOSFETs
L_{CH}	220 nm	220 nm
L_G	150 nm	-
L_{GS}	30 nm	-
L_{GD}	100 nm	-
t_{ox}	1nm SiO ₂ + 3nm HfO ₂	1nm SiO ₂ + 3nm HfO ₂

Fonte: elaborado pelo autor.

O diâmetro e o número de nanofios em paralelo varia para cada LUT construída. Foram medidos três diferentes tipos de TFETs. Um deles foi fabricado com Si (Si TFET), o segundo tipo de TFET possui uma liga de SiGe com 27% de Si e 73% de Ge como material de fonte (SiGe TFET) e o terceiro TFET possui apenas Ge como material de fonte (Ge TFET). Como em TFETs a corrente é ditada principalmente pela junção entre fonte e canal, o material usado no canal e no dreno continua sendo o Si para todos os TFETs. Já no MOSFET, silício foi usado como material de fonte, canal e dreno. Maiores detalhes sobre os dispositivos podem ser encontrados em Vandooren et al. (2012, 2013).

As medições de corrente foram realizadas com o analisador de dispositivos semicondutores B1500A da Keysight Technologies em temperatura ambiente. As medidas I_D vs V_D foram realizadas com passos de 10 mV em V_D , parametrizados com passos de 50 mV em V_G , enquanto que as medidas I_D vs V_G foram realizadas com passos de 10 mV em V_G e 50 mV em V_D . Todas as medidas foram realizadas com a fonte na referência ($V_S = 0$). O diâmetro e a quantidade de nanofios em paralelo dos transistores medidos para se obter as correntes pode ser visto na Tabela 3.

Tabela 3 - Transistores usados nas medições de corrente.

	Si TFET	SiGe TFET	Ge TFET	MOSFET
Diâmetro (D)	200 nm	200 nm	200 nm	120 nm
Nanofios em paralelo	400	100	100	100

Fonte: elaborado pelo autor.

O TFET de silício medido possui 400 nanofios em paralelo e $D = 200$ nm. Os TFETs com fonte de SiGe e Ge também possuem diâmetro de 200 nm, porém possuem 100 nanofios em paralelo. O MOSFET possui 100 nanofios em paralelo e $D = 120$ nm. Como o comprimento de canal é fixo, o diâmetro do MOSFET medido é menor para se aumentar o acoplamento eletrostático e evitar efeitos de canal curto. Isso também mostra outra vantagem para os TFETs já que eles sofrem menos com efeitos de canal curto. Em nenhuma das medições se utilizou tensões maiores de 2 V para evitar danos ao óxido de porta dos dispositivos.

As medições de capacitância foram realizadas através do medidor de LCR de precisão E4980A, também distribuído pela Keysight. A capacitância total de porta (C_{gg}) foi medida ao se manter tanto o dreno, quanto a fonte na referência ($V_D = V_S = 0$) referente ao terminal “Low” do equipamento. O ponteiro “High” foi ligado à porta e um sinal senoidal com frequência igual a 10 kHz, junto a uma polarização em corrente contínua (CC), foi aplicado. Ao medir a corrente obtida no terminal “Low” o equipamento calcula a capacitância diferencial em função de V_G .

Além de C_{gg} , também foram medidas as capacitâncias entre porta e dreno (C_{gd}) e entre porta e fonte (C_{gs}). Para isso, como no primeiro caso, o terminal “High” foi ligado à porta, o terminal “Low” do equipamento foi ligado apenas ao dreno/fonte enquanto o terminal restante recebeu uma tensão CC igual à referência (0 V). Os transistores usados para a medição das capacitâncias estão descritos na Tabela 4.

Tabela 4 - Transistores usados nas medições de capacitância.

	Si TFET	SiGe TFET	Ge TFET	MOSFET
Diâmetro (D)	200 nm	200 nm	-	200 nm
Nanofios em paralelo	4 050	2 400	-	400

Fonte: elaborado pelo autor.

Para as medições de capacitância, foram escolhidos transistores com maior área de porta (4050 nanofios para o Si TFET, 2400 nanofios para o SiGe TFET e 400 nanofios para o MOSFET), já que a capacitância total é maior, facilitando as medições. Neste caso, tanto os TFETs quanto o MOSFET medidos possuem diâmetros de 200 nm. Por falta de dispositivos maiores à disposição, não foram feitas medidas de capacitância do Ge TFET. No entanto não se espera uma mudança brusca da capacitância apenas pela alteração do material de fonte do dispositivo, como será mais detalhado posteriormente na seção 4 que explana como foi feita a modelagem a partir das medidas.

Estes dispositivos já foram extensivamente estudados a nível de dispositivo e mais detalhes sobre suas características podem ser encontrados em Martino et al. (2015), Bordallo et al. (2015, 2016), Agopian et al. (2015) e Sivieri et al. (2016).

3.2 VERILOG-A E MODELAGEM ATRAVÉS DE LOOKUP TABLE

A modelagem através de LUT consiste em escrever uma função através de pontos discretos em uma tabela ao invés de utilizar uma expressão matemática contínua. Esse artifício pode ser utilizado quando não se possui um modelo analítico compacto que permita a simulação de circuitos complexos, sendo ideal no caso de novos nós tecnológicos ou no caso de novos dispositivos onde a sua física ainda não é totalmente compreendida (ROFOUGARAN; FURMAN; ABIDI, 1988). Através da linguagem descritiva Verilog-A, é possível construir um modelo com a tabela como entrada, fazer interpolações e extrapolações entre os pontos da tabela e realizar simulações de circuitos. Tanto a implementação do modelo Verilog-A, quanto as simulações de circuitos foram todas realizadas no software Spectre da Cadence.

Verilog-A é uma linguagem descritiva para circuitos analógicos que pode ser usada tanto para descrever sistemas analógicos (filtros, amplificadores, mixers, etc.) quanto para descrever dispositivos que podem ser utilizados posteriormente na criação de esquemáticos e simulação de circuitos.

Dispositivos podem ser declarados através da estrutura “*module*”, de acordo com a Tabela 5, que mostra um exemplo de declaração de um resistor (esquemático na Figura 20), junto com os comandos e a descrição deles.

Tabela 5 - Declaração de um resistor em Verilog-A.

Comando	Descrição do comando
'include “constants.vams”	Adiciona o arquivo “ <i>constants.vams</i> ” que permite a utilização de constantes matemáticas e físicas, como π , constante de Boltzmann, carga do elétron, etc.
'include “disciplines.vams”	Possui definições para a realização de simulações que usam sinais elétricos.
module resistor (A,B)	Faz a descrição do dispositivo, definindo seu nome, seus terminais e parâmetros internos. Neste caso, indica que o dispositivo recebe o nome de resistor e que possui dois terminais (A e B).
inout (A, B)	Declara o tipo de porta, que pode ser entrada (in), saída (out) ou entrada/saída (inout).
electrical A,B	Define que o tipo de sinal utilizado é elétrico. Verilog-A também permite a descrição de sistemas mecânicos, termodinâmicos, etc.
parameter real r = 500	Define um parâmetro “r” que recebe um valor real. Este parâmetro pode ser alterado posteriormente durante simulações.
analog begin	Inicia a descrição matemática do dispositivo.
I(A,B) <+ V(A,B)/r;	I(A,B): é a corrente entre as portas A e B, sendo ela positiva quando a corrente sai de A para B e negativa caso contrário. V(A,B) é a diferença de potencial entre as portas A e B. A operação “<+” atribui o valor indicado na direita. Neste caso, $I(A,B) <+ V(A,B)/r$ implementa a lei de Ohm ($I = V/R$). O comando “<+” é aditivo, ou seja, caso o seguinte código para uma variável chamada “X” seja escrito: X <+ 1; X <+ 2; O valor final de X é $1 + 2 = 3$.
end	Finaliza a descrição matemática do dispositivo.
end module	Finaliza a descrição do dispositivo.

Fonte: elaborado pelo autor.

Figura 20 - Representação de um resistor.

Fonte: elaborado pelo autor.

Além de operações básicas, como soma e multiplicação, o Verilog-A também implementa derivadas em relação ao tempo através da função ddt. Para implementar um capacitor com duas portas (A e B) e com capacitância C, basta descrever a corrente como $I(A,B) <+ C * ddt(V(A,B))$.

Verilog-A também permite a modelagem através de tabelas pela função `$table_model(Variáveis, Tabela, controle)`, onde “Variáveis” são as variáveis independentes da tabela, “Tabela” é o arquivo fonte da tabela em formato “.tbl”. Já a seção controle, inclui caracteres para controlar a interpolação e extrapolação da tabela.

A cadeia de caracteres de controle é dada por um número e duas letras. O número indica o grau do polinômio utilizado na interpolação dos valores, sendo “1” para interpolação linear, “2” para interpolação com polinômio de segundo grau e “3” para interpolação de terceiro grau. O segundo termo, representado por uma letra, indica como a extrapolação será feita para valores menores do que os apresentados na tabela, e o terceiro termo indica como é a extrapolação para valores maiores do que os presentes na tabela. A extrapolação pode ser realizada mantendo constante o último valor através da opção “*clamp*”, que é implementada através da letra “C”, através de uma extrapolação linear, ao se usar a letra “L” e caso se deseje montar um polinômio dos pontos finais, se utiliza a letra “S” (função “*spline*”) (CADENCE DESIGN SYSTEMS, 2006).

Também é possível descrever mais de uma função na mesma tabela. Para uma tabela com duas variáveis independentes e duas funções diferentes, sendo que uma função está descrita na terceira coluna e a outra na quarta coluna da tabela, pode-se adicionar um indicador numérico na cadeia de caracteres de controle separado por “;” que indica de qual coluna, após as colunas de variáveis, os valores devem ser tomados.

Por exemplo, uma tabela com o nome transistor.tbl que contém os valores de corrente de dreno e de porta em função de V_G e V_D de acordo com a Tabela 6, onde, V_{gsi} , com $i = (0, 1, \dots n)$ é um valor para a tensão entre porta e fonte, V_{dsj} , com $j = (0, 1, \dots m)$ é um valor entre dreno e fonte, e I_{dsij} e I_{gij} são as correntes de dreno e de porta para $V_{GS} = V_{gsi}$ e $V_{DS} = V_{dsj}$, e considerando que o transistor está sendo descrito com terminais de porta (G), dreno (D) e fonte (S), as correntes podem ser descritas do seguinte modo:

```
I(D,S) <+ ($table_model (V(G,S), V(D,S), "transistor.tbl", "1CL,1CL;1"));
I(G,S) <+ ($table_model (V(G,S), V(D,S), "transistor.tbl", "1CL,1CL;2"));
```

Tabela 6 - Exemplo de “lookup table”.

V_{gs0}	V_{ds1}	I_{ds01}	I_{g01}
V_{gs0}	V_{ds2}	I_{ds02}	I_{g02}
V_{gs0}	V_{ds3}	I_{ds03}	I_{g03}
...	...	...	...
V_{gs0}	V_{dsm}	I_{ds0m}	I_{g0m}
V_{gs1}	V_{ds1}	I_{ds11}	I_{g01}
...	...	...	...
V_{gsn}	V_{dsm}	I_{dsnm}	I_{gnm}

Fonte: elaborado pelo autor.

Neste caso, a interpolação é realizada de forma linear. Para valores de V_D e V_G menores do que os disponíveis na tabela, se utiliza a função “clamp” e para valores maiores se utiliza extrapolação linear. Também se indica qual coluna de onde os valores devem ser tirados ao final da descrição, com o indicador “1” mostrando que o valor de $I(D,S)$ deve tomar o valor da tabela referente a primeira coluna após as duas colunas de variáveis independentes (terceira coluna), enquanto que no caso de $I(G,S)$, se utiliza o indicador “2” (quarta coluna).

4 MODELAGEM DOS DISPOSITIVOS

Nesta seção os métodos para criação das LUT que foram utilizados no modelo em Verilog-A são descritos. Em todos os casos o método de interpolação escolhido foi o linear. Enquanto esse método tem o problema de apresentar derivadas não contínuas, ele é numericamente mais robusto já que evita oscilações entre pontos da tabela que podem dificultar convergência durante a simulação de circuitos ou criar artificialmente regiões de condutância negativa (ROFOUGARAN; FURMAN; ABIDI, 1988).

Neste trabalho, foram utilizadas LUT das correntes de dreno e das capacitâncias em função de V_G e V_D . Todas as LUT foram construídas a partir de dados experimentais. Os modelos foram implementados e simulados com o uso do software Spectre da Cadence.

Como só haviam dispositivos do tipo N disponíveis, por simplicidade, os transistores tipo P foram modelados como sendo eletricamente simétricos aos tipos N.

4.1 TABELA DE CORRENTE

A construção da tabela de corrente de dreno em função da tensão de porta e de dreno é demonstrada para cada dispositivo. Ao serem implementadas no modelo em Verilog-A, as tabelas são normalizadas pelo número de nanofios em paralelo que o dispositivo medido possui, de modo que este possa ser um parâmetro controlado durante o projeto. Por se notar que as curvas I_D vs V_D sofrem mais com ruídos de medição, principalmente na região análoga à saturação, elas foram utilizadas para a criação do modelo por facilitar a filtragem das curvas.

4.1.1 Nanofio TFET

Para a criação da tabela de corrente dos nanofio TFETs foram utilizadas medidas com V_D variando de 0 V a 2 V e V_G de 1 V a 2 V, com passos de 10 mV em V_D e 50 mV em V_G . Neste caso, não se usou tensões de porta menores, pois abaixo de 1 V verificou-se a presença excessiva de ruídos de medição, tornando a medida inconfiável.

A realização de filtragem da corrente através de um filtro Savitzky-Golay resultou na presença de regiões que aparentemente possuem condutância de saída (g_d) negativa, como se pode observar na Figura 21 para o Si TFET com 400 nanofios em paralelo. No entanto este não é um efeito físico do transistor e foi resultado das limitações do aparelho de medição em identificar diferenças tão pequenas na corrente e do baixo valor de condutância dos TFETs somado ao ruído de medição.

Figura 21 - Característica de saída medida e filtrada.
Fonte: elaborado pelo autor.

Como a condutância negativa não corresponde a um fenômeno físico, foi considerado que na região análoga à saturação a condutância é constante, de modo que essa região possa ser substituída por uma regressão linear. Porém ainda existe o problema de onde iniciar a regressão, já que não existe uma expressão que defina uma tensão de saturação, como no MOSFET. Portanto, um algoritmo foi criado e implementado através do MATLAB para achar esses pontos (Apêndice A). Esta seção mostra o detalhamento do processo usando o Si TFET como exemplo, mas o mesmo processo foi realizado em todos os TFETs.

Dado uma curva I_D vs V_D para um determinado V_G , o primeiro passo do algoritmo consiste em fazer uma primeira regressão linear usando todos os pontos. As regressões foram obtidas através do comando “*polyfit*” do Matlab. O erro entre a regressão linear e a curva original é calculada usando o erro absoluto médio (EAM).

Em seguida o mesmo processo é usado, porém desta vez excluindo o primeiro ponto da curva. Na próxima iteração, os dois primeiros pontos são excluídos da análise e assim por diante. Deste modo obtêm-se uma curva do EAM em função da iteração, que indica a partir de qual V_D a interpolação foi feita.

Ao se aproximar da região análoga à saturação, que apresenta uma característica aproximadamente linear, a redução do erro ao pegar pontos posteriores é limitada. Portanto, a regressão escolhida para ser usada no modelo é referente à quando o erro atinge o primeiro mínimo local, como se pode observar na Figura 22 para o caso do Si TFET para um V_G de 1,5 V.

Figura 22 - Erro Absoluto Médio do Si TFET para $V_G = 1,5$ V.
Fonte: elaborado pelo autor.

Identificando em qual iteração acontece o primeiro mínimo local, o ponto V_1 pode ser determinado, através do passo utilizado em V_D (10 mV) e o ponto inicial da medida. Por exemplo, se a medida começou em 0 V, e o primeiro mínimo local ocorre na 100ª iteração, o ponto em V_D correspondente ao primeiro mínimo local (V_1) equivalente é dado pela expressão 18, onde se subtrai 1 do valor de 100 já que a primeira iteração é equivalente a $V_D = 0$.

$$V_1 = (100 - 1)0,01 \quad (18)$$

A partir de V_1 , a reta obtida pela regressão é substituída na curva original (Figura 23) e o mesmo processo se repete para cada V_G .

Figura 23 - Curva após substituição da regressão linear.
Fonte: elaborado pelo autor.

A Figura 24 mostra o valor de V_1 encontrado para cada V_G , indicando a tendência de aumento no valor de V_1 com aumento de V_G . O fluxograma completo do algoritmo pode ser visto através da Figura 25.

Figura 24 - Ponto V_1 em função da tensão de porta do Si TFET.
Fonte: elaborado pelo autor.

Figura 25 - Fluxograma do algoritmo usado.
Fonte: elaborado pelo autor.

Todas as curvas foram filtradas usando o filtro Savitzky-Golay, através do comando “sgolayfilt” do Matlab, considerando polinômios de ordem 3 e uma janela de 9 pontos. A tabela final foi construída e implementada usando a linguagem Verilog-A através do software Spectre da Cadence (Apêndice B mostra um exemplo do código em Verilog-A para o caso do TFET com fonte de Ge). Figura 26 mostra como o modelo e os dados experimentais estão em concordância para os três tipos de TFET. Também é possível notar que o nível de corrente aumenta com o aumento da quantidade de Ge na fonte do transistor.

a) Característica de saída do Si TFET.

b) Característica de transferência do Si TFET.

c) Característica de saída do SiGe TFET.

d) Característica de transferência do SiGe TFET.

e) Característica de saída do Ge TFET.

f) Característica de transferência do Ge TFET.

Figura 26 - Comparação entre modelo de corrente e medições dos TFETs.

Fonte: adaptado de Nogueira et al., 2019 e 2020.

4.1.2 Nanofio MOSFET

Como a corrente e a condutância de saída do nanofio MOSFET é bem maior do que no TFET, as medidas não tiveram o mesmo problema de ruído e o algoritmo descrito na seção anterior não precisou ser utilizado. Assim como no TFET, a característica de saída foi medida para a criação da tabela, com V_D e V_G variando de 0 V a 1,5 V com passos de 10 mV em V_D e 50 mV em V_G . Acima de 1,5 V o transistor apresenta efeito de resistência série, por isso não foram feitas medidas até 2 V, como no caso do TFET. Figura 27 demonstra que para o MOSFET também há boa concordância entre o modelo e resultados experimentais, além de confirmar a maior influência de V_D em I_D do que nos TFETs.

Figura 27 - Comparação entre modelo de corrente e medidas do nanofio MOSFET (100 nanofios).
Fonte: adaptado de Nogueira et al., 2019.

4.2 TABELA DE CAPACITÂNCIA

Para avaliação da resposta em frequência do circuito é necessário obter as capacitâncias dos transistores. Para o modelo em Verilog-A foi considerado o modelo da Figura 28, onde a capacitância total (C_{gg}) se divide paralelamente na capacitância entre porta e dreno (C_{gd}) e na capacitância entre porta e fonte (C_{gs}).

Figura 28 - Modelo com capacitâncias.
Fonte: elaborado pelo autor.

4.2.1 Nanofio TFET

Para a medição das capacitâncias, foram escolhidos transistores maiores, de 4 050 nanofios para o Si TFET e 2 400 nanofios para o SiGe TFET. O maior número de nanofios em paralelo resulta em uma maior área de porta e consequentemente, numa maior capacitância, facilitando as medições.

Na medição, notou-se um comportamento anormal na capacitância quando a tensão se aproxima de 2 V (Figura 29), onde a capacitância começa a subir. Como esse comportamento não foi previsto por nenhum modelo de conhecimento do autor e nem por simulações em TCAD, há a possibilidade de que a medição nessa região tenha sido afetada pela corrente de porta, que é alta para tensões de porta elevadas em conjunto com tensões de dreno baixas. Portanto, para o modelo, foram utilizados apenas os dados até 1,25 V.

Figura 29 - Capacitância e corrente de porta medida do Si TFET.
Fonte: elaborado pelo autor.

Para a criação do modelo é necessário dividir a capacitância medida em C_{gd} e C_{gs} . Segundo Agopian et al. (2014), a capacitância no TFET depende do tipo de canal formado, se o canal formado for do mesmo tipo que a dopagem do dreno, quase a totalidade de C_{gg} é dada por C_{gd} (Figura 30 (a)). Caso o canal seja formado por portadores do mesmo tipo que a fonte, C_{gg} é dado principalmente por C_{gs} (Figura 30 (b)).

Figura 30 - NTFET com canal em inversão e acumulação.

Fonte: elaborado pelo autor.

As medições de C_{gg} , C_{gs} e C_{gd} podem ser observadas nas medidas de capacitância do Si TFET (Figura 31) e do SiGe TFET (Figura 32), confirmando o comportamento esperado descrito por Agopian et al. (2014). Como para tensões de porta acima de 1,25 V, as medições deixam de ser confiáveis, devido à influência da corrente de porta, para tensões maiores foi usada extrapolação, considerando que a capacitância se torna constante.

Figura 31 - Capacitância por nanofio do Si TFET.

Fonte: elaborado pelo autor.

Figura 32 - Capacitância por nanofio do SiGe TFET.
Fonte: elaborado pelo autor.

Por falta de dispositivos com maior número de nanofios, não foi possível realizar as medidas de capacitância do dispositivo com fonte de Ge. Portanto, o mesmo modelo de capacitância obtido a partir das medidas do SiGe TFET foi utilizado, já que não se espera uma diferença grande nas capacitâncias apenas pela troca do material de fonte. Tal suposição também foi conferida através de simulações no TCAD Sentaurus da Synopsys, como mostrado na Figura 33, onde as curvas de capacitância para o Ge TFET e para o SiGe TFET estão muito próximas. Os Apêndices C e D apresenta os arquivos fontes para as simulações no Sentaurus.

Figura 33 - Capacitância simulada do SiGe TFET e do Ge TFET.
Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Embora a capacitância esteja em função de V_G , ela também depende de V_D . Através de novas simulações em TCAD (Figura 34) nota-se que C_{gd} é dependente apenas da diferença de tensão entre porta e dreno (V_{GD}). A mesma conclusão foi obtida por Biswas e Ionescu (2015), onde C_{gd} é dependente apenas de V_{GD} e C_{gs} é dependente apenas da tensão entre porta e fonte (V_{GS}).

Figura 34 - C_{gd} simulado.
Fonte: elaborado pelo autor.

4.2.2 Nanofio MOSFET

O método de medição para a capacitância do MOSFET foi similar, porém neste caso, foi utilizado um dispositivo com 400 nanofios em paralelo e diâmetro de 200 nm. Como a corrente foi medida a partir de um dispositivo com 120 nm de diâmetro, foi considerado que a capacitância por unidade de área se mantém constante de modo que a capacitância implementada no modelo foi normalizada para o transistor de 120 nm.

A capacitância do MOSFET depende da região de operação do transistor, mas considerando que em todos os circuitos os transistores operam em na região de saturação, pode-se usar a aproximação $C_{gs} \approx 2/3 C_{gg}$ (SEDRA; SMITH, 2007). A Capacitância por nanofio do MOSFET como função da tensão de porta apresenta um comportamento esperado e pode ser vista na Figura 35. Também nota-se que a capacitância por nanofios é maior do que no caso do TFET pois a área de porta é maior devido à ausência da região de subposição entre porta e dreno.

Figura 35 - Capacitância por nanofio do MOSFET.
Fonte: adaptado de Nogueira et al., 2019.

5 PARÂMETROS E CIRCUITOS BÁSICOS

Esta seção apresenta a aplicação dos modelos na simulação de circuitos básicos. Inicialmente as curvas de g_m/I_D e da frequência de ganho de tensão unitário (f_T), obtidas através do modelo em Verilog-A, são apresentadas, em seguida a simulação de um amplificador de fonte de comum e de um amplificador diferencial é demonstrado para as duas tecnologias.

5.1 EFICIÊNCIA DO TRANSISTOR

A eficiência do transistor (g_m/I_D) é dada pela razão entre a transcondutância do transistor (g_m) e a corrente de dreno (I_D). Este parâmetro é assim chamado, pois ele indica qual a corrente necessária, e, portanto, a potência necessária, para se obter um determinado g_m . O ganho de tensão intrínseco do transistor (A_V) dado por g_m/g_d pode ser descrito em função da eficiência do transistor através da expressão 19.

$$|A_V| = \frac{g_m}{g_d} \cong \frac{g_m}{I_D} \times V_{EA} \quad (19)$$

Onde, V_{EA} é a tensão Early. Além disso, o valor de g_m/I_D indica qual a região de operação do MOSFET (inversão fraca, inversão moderada ou inversão forte). Deste modo, g_m/I_D é um parâmetro interessante para ser usado no projeto, já que dado o ponto de operação desejado e o valor de g_m , se encontra a relação entre a largura de canal (W) e o comprimento de canal (L) do transistor (SILVEIRA; FLANDRE; JESPERS, 1996). Deste modo se evita o uso das tradicionais equações de corrente do MOSFET que já não são válidas para os recentes nós tecnológicos.

Normalmente a curva g_m/I_D é dada em função de $I_D/(W/L)$ porém para os dispositivos em estudo neste trabalho, L é fixo em 220 nm e não é um parâmetro de projeto. Deste modo, o número de nanofios é o a única variável dos transistores que se pode controlar, e a normalização feita em relação ao número de nanofios se torna mais conveniente na realização do projeto. Os valores de g_m/I_D encontrados experimentalmente através da medida de I_D em função de V_G e os valores obtidos a partir do modelo em Verilog-A são mostrados na Figura 36, onde as curvas dos transistores aparecem em função de $I_D/\text{número de nanofios}$ e em função de $I_D/(W_{eq}/L)$, sendo que W_{eq} é a largura de canal equivalente dos nanofios, de acordo com a expressão 20.

$$W_{eq} = \text{Número de nanofios} \times D \times \pi \quad (20)$$

A Figura 36 mostra que há uma boa concordância entre o parâmetro obtido através do modelo em Verilog-A e o obtido experimentalmente nas faixas de corrente consideradas pelo modelo. Também é possível notar que, diferentemente do MOSFET, onde se pode observar as regiões de inversão fraca e forte através da curva g_m/I_D , o mesmo não pode ser dito dos TFETs, já que a eficiência do transistor varia pouco para uma faixa grande de corrente. Além disso, os valores máximos de g_m/I_D são baixos nos TFETs devido ao alto SS (em torno de 200 mV/dec) dos dispositivos usados neste trabalho.

Figura 36 - g_m/I_D dos transistores fabricados em nanofios
Fonte: elaborado pelo autor.

5.2 FREQUÊNCIA DE GANHO DE TENSÃO UNITÁRIO

A frequência de transição ou frequência de ganho de tensão unitário (f_T) de um transistor é a frequência onde o ganho de tensão é igual a 1 e é dada pela expressão 21 (SEDRA; SMITH, 2007).

$$f_T = \frac{g_m}{2\pi C_{gg}} \quad (21)$$

Utilizando a expressão acima e considerando um V_D de 1,5 V para os TFETs e um V_D de 0,5 V para o MOSFET, o f_T dos transistores foi calculado como função da corrente normalizada por W_{eq} através dos parâmetros obtidos pelo modelo em Verilog-A com V_G variando de 0 a 2 V (Figura 37).

As curvas de f_T mostram como o valor é diretamente relacionado ao nível de corrente de cada transistor e que para uma mesma densidade de corrente, esse valor não muda muito entre os diferentes dispositivos. O TFET com fonte de Si apresenta um f_T que varia entre 2 kHz e 200 kHz. Acrescentando germânio na fonte aumenta o g_m , de modo que o f_T do SiGe TFET é maior, variando entre 7 kHz e 5 MHz. Usando apenas Ge melhora ainda mais o f_T (70 kHz – 70 MHz). Como o MOSFET apresenta o maior nível de corrente e g_m , ele também chega a um f_T maior, variando entre 1 MHz e 100 MHz. No entanto para uma densidade corrente acima de 10 nA/ μ m. O f_T do Ge TFET se torna maior do que o do MOSFET já que a resistência série do MOSFET reduz o seu I_D e g_m .

Figura 37 - f_T de diferentes tipos de transistores.
Fonte: elaborado pelo autor.

5.3 LINEARIDADE DOS DISPOSITIVOS

Como comentado anteriormente, a linearidade de um amplificador é um fator importante a ser considerado, deste modo, também é interessante quantificar a linearidade dos dispositivos em si. A relação entre a corrente e a tensão de porta de um transistor pode ser descrita através da expansão em série de Taylor através da expressão 22 (APARIN; LARSON, 2005).

$$I_d = I_0 + g_{m1}v_g + g_{m2}v_g^2 + g_{m3}v_g^3 + \dots \quad (22)$$

Onde, I_d é a corrente de dreno total, I_0 é a corrente CC, v_g é a tensão de pequenos sinais de porta e g_{mn} são os coeficientes da expansão, dados pela expressão 23.

$$g_{mn} = \frac{1}{n!} \left(\frac{\partial^n I_d}{\partial v_g^n} \right) \quad (23)$$

Portanto, um método de quantificar a linearidade é através das derivadas em relação à entrada na tensão de porta (expressão 24)(SEDIGHI, 2015).

$$g'_m = \frac{\partial^2 I_d}{\partial v_g^2}; \quad g''_m = \frac{\partial^3 I_d}{\partial v_g^3} \quad (24)$$

Com o intuito de se ter uma primeira noção da linearidade dos dispositivos, a relação entre a segunda derivada de I_D (g'_m) e a primeira (g_m) foi obtida em função de V_G através de medidas I_D vs V_G (Figura 38). Todos os dispositivos na região de sublimiar são pouco lineares, mas pode-se notar que em geral o MOSFET apresenta melhor linearidade (menor g'_m/g_m) do que os TFETs, além disso o TFET com fonte de Ge apresenta uma ligeira vantagem em relação aos outros dois TFETs. Comparando os TFETs com fonte de Si e SiGe, nota-se que para tensões abaixo de 1,5 V, o Si TFET apresenta melhor linearidade. Já para tensões acima de 1,5 V é o TFET com fonte de SiGe que leva vantagem em relação ao Si TFET.

Também se pode notar que para V_G próximo de 0,8 V a relação g'_m/g_m do MOSFET se torna negativa. Isso pode ser explicado pela alta resistência série, o que faz com que g_m comece a reduzir de valor e com isso, que g'_m se torne negativo. Deve-se ressaltar que a condutância de saída não foi considerada, porém ela também afeta a linearidade (ADAN et al., 2002).

Figura 38 - g'_m/g_m em função de V_G .
Fonte: elaborado pelo autor.

5.4 ESPELHO DE CORRENTE

É comum o uso de fontes de corrente para a polarização de circuitos analógicos. Essas fontes de corrente por sua vez são geralmente implementadas através de espelhos de corrente (Figura 39). A corrente I_{ref} passa pelo transistor T1 que devido ao curto entre dreno e porta, encontra-se sempre na região de saturação. Como a porta do transistor T1 e T2 estão em curto, a tensão de porta nos dois transistores é a mesma. Caso os dois transistores tenham a mesma dimensão, considerando que os dois estão na região de saturação e desprezando a modulação de canal, a corrente que passa por T2 (I_{D2}) é a mesma por T1 (I_{D1}).

Figura 39 - Circuito do espelho de corrente.
Fonte: elaborado pelo autor.

Na prática, como a corrente na saturação não é constante e depende da tensão de dreno, a corrente espelhada por T2 não é exatamente igual e depende da tensão de carga V_{D2} , como pode ser visto pela expressão 25, obtida para o MOSFET (SEDRA; SMITH, 2007), onde V_{GS2} é a tensão de porta do transistor T2 e V_{EA2} é a tensão Early de T2 ($V_{EA2} \approx I_D/g_d$).

$$I_{D2} = I_{D1} \left(1 + \frac{V_{D2} - V_{GS2}}{V_{EA2}} \right) \quad (25)$$

Quanto menor a condutância de saída do transistor, maior vai ser o valor de V_{EA2} e mais próximo de 1 será a relação I_{D1}/I_{D2} . Figura 40 mostra a relação I_{D1}/I_{D2} em função de V_{D2} para o MOSFET polarizado em $V_G = 0,5$ V e para os TFETs polarizado em $V_G = 1,5$ V obtidos através de simulações. Nota-se que devido a sua condutância de saída bem menor, o espelho de corrente implementado com TFETs se aproxima mais do ideal ($I_{D1}/I_{D2} \approx 1$) do que o espelho implementado com MOSFET.

Figura 40 - I_{D1}/I_{D2} do espelho de corrente.
Fonte: elaborado pelo autor.

5.5 AMPLIFICADOR DE FONTE COMUM

Para exemplificação, um amplificador de fonte comum com uma fonte de corrente ideal como carga foi simulado (Figura 41) com todos os dispositivos deste trabalho. Para a polarização dos TFETs foi utilizado $V_G = V_D = 1,5$ V enquanto para o MOSFET, foi utilizado $V_G = V_D = 0,5$ V.

Figura 41 – Amplificador de fonte comum com carga ideal (fonte de corrente).
Fonte: elaborado pelo autor.

Nesta configuração o ganho de tensão do circuito é igual ao ganho de tensão intrínseco dos transistores. Nos dois casos, foi utilizado o número de nanofios originais

(400 para o TFET de Si e 100 para os outros dispositivos). A simulação transiente dos transistores foi realizada considerando um sinal de entrada de $1\ \mu\text{V}$ a uma frequência de 1 Hz, de modo que o efeito das capacitâncias é desprezado. O resultado das simulações foi plotado na Figura 42. O circuito com TFET de Si oferece um ganho de tensão de aproximadamente 895 V/V, mais de 20 vezes maior do que o ganho de tensão obtido pelo circuito com MOSFET (38 V/V). Já os TFET com fonte de SiGe e Ge apresentam um ganho de tensão de 475 V/V e 630 V/V, respectivamente.

Figura 42 - Resposta transiente do amplificador de fonte comum.
Fonte: elaborado pelo autor.

É importante ressaltar que nas tensões consideradas, os transistores não estão no mesmo ponto de operação e, portanto, esses resultados não nos fornecem uma comparação justa. No entanto, já se pode notar que os circuitos com TFET apresentam um ganho de tensão superior ao MOSFET, com o TFET com fonte de Si apresentando o maior ganho de tensão. Isso ocorre, pois, a condução de corrente no TFET de Si é mais dependente de TAT, que é menos dependente da tensão V_D . No caso dos transistores com fonte de SiGe e Ge, o tunelamento entre bandas tem um efeito maior sobre a condução de corrente fazendo com que esses dispositivos apresentem um g_d maior (BORDALO, et al., 2016). Como resultado, nessas condições de polarização, os circuitos com TFETS com fonte de SiGe e Ge apresentam um ganho de tensão menor do que o circuito com TFET de fonte de Si, apesar do maior g_m nesses dispositivos.

5.6 AMPLIFICADOR DIFERENCIAL

Um amplificador diferencial com carga em espelho de corrente (Figura 43) também foi simulado com todos os dispositivos. Os circuitos foram projetados de modo que transistores equivalentes possuem o mesmo W_{eq} e os circuitos estão operando no mesmo ponto g_m/I_D . Neste circuito o ganho de tensão de malha aberta é dado pelas expressões 26 e 27 (RAZAVI, 2001), onde se pode notar a relação entre os parâmetros dos dispositivos ($g_{m1,2}$, $g_{d1,2}$ e $g_{d3,4}$) e os parâmetros do circuito G_m e R_o .

$$|A_1| = G_m R_o = \frac{g_{m1,2}}{g_{d1,2} + g_{d3,4}} \quad (26)$$

$$G_m = g_{m1,2}; \quad R_o = \frac{1}{g_{d1,2} + g_{d3,4}} \quad (27)$$

Figura 43 - Amplificador diferencial.
Fonte: Nogueira, Agopian e Martino, 2019.

Para a comparação, o número de nanofios foi definida previamente, sempre usando um número inteiro e tentando reduzir o tamanho para se obter um menor consumo de potência. É importante ressaltar que enquanto o comprimento de canal não afeta a corrente dos TFETs, nesta tecnologia de nanofio vertical, o L_{CH} também não pode ser alterado para os MOSFETs, de modo que o único parâmetro geométrico disponível para o projetista controlar é o número de nanofios em paralelo de cada transistor. A partir do número de nanofios e do ponto g_m/I_D escolhido, se define a corrente I_{SS} pelo método de projeto g_m/I_D . A Tabela 7 mostra o número de nanofios dos transistores usados. Como o MOSFET possui $D = 120$ nm e o TFET possui um diâmetro de 200 nm, os MOSFET possuem um número maior de nanofios do que o TFET, respeitando a relação 200/120.

Tabela 7 - Número de nanofios dos transistores do amplificador diferencial

	TFET (Si, SiGe e Ge)	MOSFET
T1 - T4	10	17
T5, T6	20	34

Fonte: elaborado pelo autor.

Os circuitos foram simulados usando dois pontos de g_m/I_D diferentes. Para o amplificador com TFET foi escolhido uma tensão de alimentação de 4,5 V devido ao valor elevado do que seria equivalente à tensão de limiar (em torno de 1 V) dos TFETs disponíveis. No entanto, caso esse valor fosse menor, o que se espera de futuros dispositivos, projetos usando tensões mais baixas seriam possíveis.

Os circuitos com TFET obtiveram maiores ganhos de tensão nos dois pontos de polarização considerados, com os circuitos com TFET apresentando um ganho de baixa frequência aproximadamente 25 dB maior. Além disso, devido a sua baixa corrente os circuitos com TFET também consomem quase 3 ordens a menos de potência (Tabela 8).

Tabela 8 - Parâmetros do amplificador diferencial.

	$g_m/I_D = 7 \text{ V}^{-1}$				$g_m/I_D = 8 \text{ V}^{-1}$			
	Si TFET	SiGe TFET	Ge TFET	MOSFET	Si TFET	SiGe TFET	Ge TFET	MOSFET
V_{DD}	4,5 V	4,5 V	4,5 V	1,5 V	4,5 V	4,5 V	4,5 V	1,5 V
$V_{cm,in}$	3 V	3 V	3 V	1 V	3 V	3 V	3 V	1 V
$V_{GS} (T1/T2)$	1,63 V	1,6 V	1,34	0,58 V	1,36 V	1,47 V	1,2 V	0,54 V
I_{ss}	10 nA	300 nA	750 nA	13 μ A	1,5 nA	120 nA	250 nA	9,5 μ A
Potência	90 nW	2,7 μ W	6,7 μ W	39 μ W	13,5 nW	1,08 μ W	2,2 μ W	28,5 μ W
Ganho de tensão (dB)	49	43	52	24,4	51	49	47	24,8

Fonte: elaborado pelo autor.

Pegando como referência os circuitos com $g_m/I_D = 7 \text{ V}^{-1}$ nota-se que o circuito com MOSFET apresenta um ganho de tensão de 24,4 dB. Já o amplificador com Si TFET obtém um ganho de tensão muito maior de 49 dB devido principalmente ao valor baixo de g_d que resulta em um baixo R_o mesmo tendo um menor G_m devido ao baixo I_{ss} .

A introdução de Ge na fonte reduz a largura de banda proibida, na junção de fonte, que de acordo com a expressão 8, aumenta a probabilidade de tunelamento e a corrente do dispositivo. Esse aumento de corrente resulta em um maior G_m se comparado ao circuito com Si TFET, já que os dois circuitos têm o mesmo tamanho e

estão no mesmo ponto g_m/I_D , no entanto, o SiGe TFET possui um g_d maior que, de acordo com a expressão 27, resulta em um R_o menor, de modo que o ganho de tensão obtido é 40 dB, 9 dB a menos do que no caso do Si TFET.

Ao se usar apenas Ge na fonte, a largura de banda reduz ainda mais e a corrente sobe novamente. Pelos mesmos motivos do SiGe TFET, o TFET com fonte de Ge também tem um aumento do g_d . No entanto, neste caso o aumento de G_m é o suficiente para compensar na redução de R_o e o amplificador com Ge TFET obtêm o maior ganho de tensão entre todos os circuitos (52 dB). O amplificador diferencial posteriormente será utilizado como primeiro estágio no projeto de um amplificador operacional de transcondutância.

Mudar o g_m/I_D causa uma variação no ganho de tensão significativa nos circuitos com TFET. Isso ocorre, pois ao contrário do MOSFET, onde o V_{EA} se mantém relativamente constante em função de V_G (entre 12 V e 14 V neste trabalho), o V_{EA} dos TFETs muda consideravelmente com o nível de corrente (Bordalo et al., 2016). Ao se aumentar a eficiência do transistor de 7 V^{-1} para 8 V^{-1} o ganho de tensão do circuito com Si TFET e com SiGe aumentou em 2 dB e 5,8 dB, respectivamente, enquanto no caso do Ge TFET, o ganho de tensão caiu 5 dB. Foram extraídos o V_{EA} dos TFETs em tensões de porta próximas às utilizadas nos transistores T1 e T2 do amplificador diferencial a partir das curvas experimentais ao se fazer uma regressão linear em torno de $V_D = 1,5 \text{ V}$ (Figura 44), onde se obteve resultados consistentes com os obtidos em Martino et al. (2015) e Bordalo et al. (2015).

Figura 44 - Tensão Early experimental dos TFETs.
Fonte: elaborado pelo autor.

No TFET de Ge o V_{EA} sobe para $g_m/I_D = 7 \text{ V}^{-1}$. Isso ocorre pois na região considerada, o método de transporte predominante ainda é o TAT e, portanto há uma variação quase inexistente na inclinação da curva de corrente, de modo que com aumento de I_D o V_{EA} também aumenta (Figura 45 (b)). No caso do Si TFET e do SiGe TFET, V_{EA} é menor para uma eficiência de transistor de 7 V^{-1} do que para 8 V^{-1} , já que ao aumentar V_G o tunelamento entre bandas se torna mais aparente, aumentando a inclinação da curva de corrente e reduzindo V_{EA} (Figura 45 (c)). Como o g_d dos TFETs é muito pequeno, mesmo uma pequena variação no g_d com V_G acaba resultando numa diferença grande na tensão Early. É importante ressaltar que esse aumento ou redução na tensão Early é o resultado desses dois efeitos conflitantes e que ela irá depender de V_G .

a) Tensão Early no MOSFET.

b) Tensão Early no TFET quando não há alteração no método de transporte.

c) Tensão Early no TFET quando há alteração no método de transporte.

Figura 45 - Figura ilustrativa e fora de escala do efeito de V_G na tensão Early.

Fonte: elaborado pelo autor.

Este efeito também pode ser comprovado ao analisar a dependência de g_m com V_D , onde, caso exista essa dependência, com o g_m aumentando com V_D , o TFET está mais próximo do caso da Figura 45 (c) e caso ela não exista, o TFET estaria mais próximo do caso da Figura 45 (b). Na Figura 46, obtida experimentalmente, pode-se observar que para as tensões V_G considerados no estudo do amplificador diferencial é exatamente isso o que acontece.

a) Dependência de g_m com V_D do Si TFET.

b) Dependência de g_m com V_D do SiGe TFET.

c) Dependência de g_m com V_D do Ge TFET.

Figura 46 - Dependência de g_m com V_D dos TFETs.
Fonte: elaborado pelo autor.

6 EFEITO DA CORRENTE DE PORTA NOS TFETS

A corrente de porta (I_G) dos transistores também foi medida e adicionada ao modelo Verilog-A. A Figura 47 (experimental) mostra I_D e I_G normalizados por W_{eq} dos transistores em função de V_D para V_G de 1,5 V. Foi observado que relação entre I_D e a I_G é menor para os TFETs do que no caso do MOSFET. Para comparação, na região análoga à saturação, o MOSFET tem uma relação I_D/I_G de aproximadamente $4,8 \times 10^8$. Já no caso dos TFET de Si, de fonte de SiGe e de fonte de Ge, a relação I_D/I_G é de 1 140, 3 120 e 220, respectivamente. O uso de germânio na fonte do TFET aumenta os defeitos na interface do óxido de porta, aumentando o I_G de modo que a relação I_D/I_G seja baixa mesmo com o aumento da corrente de dreno.

Figura 47 - I_D e I_G normalizados dos transistores como função de V_D .
Fonte: elaborado pelo autor.

A baixa relação entre I_D/I_G dos TFETs traz a suspeita de que a corrente de porta influencie tanto no espelho de corrente, quanto no ganho de tensão de um eventual amplificador com segundo estágio, já que a condutância de porta (g_g), que é dada pela derivada de I_G em relação a V_G , pode não ser desprezível, tendo em vista principalmente que a grande vantagem do TFET é sua condução de saída baixa. Para verificar essa possibilidade, o circuito da Figura 48 foi simulado com os 3 tipos diferentes de TFET com e sem a corrente de porta.

Tabela 10 - ΔI_{D1} do espelho de corrente.

Transistor	ΔI_{D1}
Si TFET	$2,3 \times 10^{-3}$
SiGe TFET	$6,5 \times 10^{-4}$
Ge TFET	10^{-2}

Fonte: elaborado pelo autor

Figura 49 - Corrente nos espelhos de corrente com e sem corrente de porta.

Fonte: elaborado pelo autor

No entanto a relação entre as correntes de dreno I_{D1} e I_{D2} muda pouco para o caso simulado com I_G (símbolos abertos) e sem I_G (símbolos fechados), como pode ser observado através da Figura 50.

Figura 50 - Relação entre I_{D1} e I_{D2} com e sem I_G .

Fonte: elaborado pelo autor.

A relação entre g_g e g_d foi obtida em função de V_G para $V_D = 1,5$ V (Figura 51). No caso do TFET de silício, para V_G entre 1 e 1,5 V o valor de g_g chega a ser 60% do valor de g_d . No TFET com fonte de SiGe o g_g fica abaixo dos 15% do valor de g_d na faixa entre 1,2 V e 1,6 V e só quando se aproxima de $V_G = 2$ V, que g_g chega a 30% de g_d . O pior caso é o do Ge TFET, onde g_g/g_d fica acima dos 100% para V_G abaixo de 1,6 V, devido ao aumento acentuado na corrente de porta desses dispositivos.

Figura 51 - Razão da condutância de porta pela de dreno dos TFETs.
Fonte: elaborado pelo autor.

Para um estudo mais detalhado do efeito da corrente de porta no ganho de tensão de um amplificador foram feitos mais testes no circuito da Figura 48. A corrente de porta foi ligada e desligada em determinados transistores para analisar se a queda no ganho de tensão é devida a alteração na polarização dos circuitos devido ao deslocamento da corrente nos espelhos de corrente ou se é causada por g_g . No primeiro caso, as tensões e correntes foram analisados para o caso ideal da ausência de corrente de porta. No segundo caso, a corrente de porta foi ligada apenas para os transistores que compõe os espelhos de corrente (T2, T3, T5 e T6). No terceiro caso, foi considerado corrente de porta apenas no transistor T4. Por último, foi feita a análise para a corrente de porta ligada em todos os transistores.

- **1º Caso (sem I_G):** os dois estágios estão igualmente polarizados e possuem aproximadamente o mesmo ganho de tensão (Tabela 11).

Tabela 11 - Ganhos de tensão e correntes para estudo de I_G para o primeiro caso.

	Fonte de Si	Fonte de SiGe	Fonte de Ge
Ganho de tensão do 1º estágio	54,8 dB	48,8 dB	50 dB
Ganho de tensão total	109,7 dB	97,7 dB	100 dB
V_{DS1}	1,5 V	1,5 V	1,5 V
$ V_{DS4} $	1,5 V	1,5 V	1,5 V
I_{D1}	82,137 nA	761,9 nA	10,647 μ A
$ I_{D3} $	82,137 nA	761,9 nA	10,647 μ A
$ I_{D4} $	82,137 nA	761,9 nA	10,647 μ A

Fonte: elaborado pelo autor

- **2º caso (I_G ligado em T2, T3, T5 e T6):** o ganho de tensão do segundo estágio cai drasticamente. Isso ocorre, pois, a corrente espelhada I_{D3} é menor do que a de referência, resultando na redução da tensão de dreno de T1 de 1,5 V para 1,4 V, 1,48 V e 1,12 V nos casos dos circuitos com Si TFET, SiGe TFET e Ge TFET, respectivamente. Por causa disso, o V_{GS} de T4 aumenta em módulo, aumentando o módulo da corrente de dreno de T4, fazendo com que seu $|V_{DS}|$ reduza a ponto de tirar T4 da região análoga à saturação e reduzindo o ganho de tensão do segundo estágio. No caso do circuito com TFET com fonte de Ge, V_{DS1} cai tanto (de 1,5 V para 1,12 V) que T1 também começa a sair da região análoga à saturação, reduzindo também o ganho de tensão do primeiro estágio de 50 dB para 38 dB (Tabela 12).

Tabela 12 - Ganhos de tensão e correntes para estudo de I_G para o segundo caso.

	Fonte de Si	Fonte de SiGe	Fonte de Ge
Ganho de tensão do 1º estágio	54,8 dB	48,5 dB	38 dB
Ganho de tensão total	58,4 dB	64,5 dB	31 dB
V_{DS1}	1,39 V	1,48 V	1,12 V
$ V_{DS4} $	0,4 V	0,7 V	0,3 V
I_{D1}	82,06 nA	761,7 nA	10,58 μ A
$ I_{D3} $	82,06 nA	761,7 nA	10,58 μ A
$ I_{D4} $	82,76 nA	772,4 nA	10,66 μ A

Fonte: elaborado pelo autor

- **3º Caso (I_G ligado apenas para T4):** o I_G de T4 aumenta a corrente de dreno de T1, aumentando o V_{DS} de T1 de 1,5 V para 1,54 V no caso do Si TFET, de 1,5 V para 1,51 V no caso do SiGe TFET e de 1,5 V para 1,67 V no caso do Ge TFET, reduzindo o módulo de V_{GS} e consequentemente o g_m de T4. Se era

esperado que o ganho de tensão do primeiro estágio caísse mais nessa configuração devido ao g_g de T4, porém, como o módulo de V_{GS} de T4 cai, o seu g_g também cai. Mesmo assim é possível ver uma queda de 2,3 dB no ganho de tensão do primeiro estágio do circuito com Ge TFET (Tabela 13).

Tabela 13 - Ganhos de tensão e correntes para estudo de I_G para o terceiro caso.

	Fonte de Si	Fonte de SiGe	Fonte de Ge
Ganho de tensão do 1º estágio	53,6 dB	48,3 dB	47,7 dB
Ganho de tensão total	66,4 dB	69 dB	51,2 dB
V_{DS1}	1,54 V	1,51 V	1,67 V
$ V_{DS4} $	2,47 V	2,22 V	2,6 V
I_{D1}	82,165 nA	762 nA	10,66 μ A
$ I_{D3} $	82,108 nA	761,8 nA	10,63 μ A
$ I_{D4} $	59,8 nA	723,4 nA	3,6 μ A
$ I_{G4} $	57 pA	231 pA	30,2 nA

Fonte: elaborado pelo autor

- **4º caso (I_G ligado em todos os transistores):** Desta vez a redução da corrente espelhada por T3 é compensada pela corrente de porta de T4. Mesmo assim, a pequena diferença na tensão de porta de T4 é o suficiente para reduzir o módulo da tensão de dreno de T4, tirando ele da região análoga à saturação e reduzindo o ganho de tensão do segundo estágio em todos os circuitos. Já no primeiro estágio, I_G e o g_g de T4 é significativo o suficiente para ser comparável com a condutância de saída do primeiro estágio, reduzindo o ganho de tensão do primeiro estágio do circuito com Si TFET de 54,8 dB para 30 dB do circuito com SiGe TFET, de 48,8 dB para 47,3 dB e do circuito com Ge TFET, de 50 dB para 45 dB. (Tabela 14).

Tabela 14 - Ganhos de tensão e correntes para estudo de I_G para o quarto caso.

	Fonte de Si	Fonte de SiGe	Fonte de Ge
Ganho de tensão do 1º estágio	30,8 dB	47,3 dB	45 dB
Ganho de tensão total	60,41 dB	69,7 dB	46 dB
V_{DS1}	1,49 V	1,49 V	1,35 V
$ V_{DS4} $	0,85 V	0,8 V	0,45 V
I_{D1}	82,133 nA	761,87 nA	10,63 μ A
$ I_{D3} $	82 nA	751,58 nA	10,56 μ A
$ I_{D4} $	82,427 nA	748,9 nA	10,64 μ A
$ I_{G4} $	133 pA	282 pA	72 nA

Fonte: elaborado pelo autor

No entanto, a queda de 25,2 dB no primeiro estágio do circuito com Si TFET é muito grande para ser explicado apenas por g_g . Ao compensar a mudança na polarização causado pelo espelho de corrente, mudando I_{ref} de 82,132 nA para 82,25 nA, a queda no ganho de tensão foi de apenas 3 dB. Além disso o $|V_{DS4}|$ aumentou de 0,85 V para 1,4 V. Observando novamente a Figura 47, se pode notar que quando o Si TFET não está em na região análoga à saturação, a corrente de porta também é muito dependente de V_D . Deste modo, a alteração na polarização de T4 o tira da região análoga à saturação e além de reduzir o ganho de tensão do segundo estágio, isso também cria uma realimentação do segundo estágio para o primeiro através de I_G . Este efeito pode ser modelado como mostrado no esquemático de pequenos sinais da Figura 52, onde $i_{g,ds}$ é a porção da corrente de porta de T4 que depende de V_{DS4} e consequentemente, da tensão de saída do circuito (v_{out}), R_{o1} e R_{o2} são as resistências de saída do primeiro e do segundo estágio, respectivamente, sem o efeito de I_G . $1/g_g$ é a resistência devido ao g_g de T4 e G_{m1} e G_{m2} são as transcondutâncias do primeiro e do segundo estágio.

Figura 52 - Esquemático do modelo de pequenos sinais do amplificador de dois estágios com Si TFET.

Fonte: elaborado pelo autor.

A fonte de corrente $i_{g,ds}(v_{out})$ está em função de v_{out} , pois, como mostrado na Figura 48, $v_{out} = -V_{DS4}$ em uma análise de pequenos sinais. Deste modo, levando em conta o sentido da corrente mostrada na Figura 52, $i_{g,ds}(v_{out})$ pode ser descrito pela expressão 29.

$$i_{g,ds}(v_{out}) = -\frac{\partial I_G}{\partial V_D} V_D = \frac{\partial I_G}{\partial V_D} v_{out} \quad (29)$$

Além disso, sabe-se que V_{out} é proporcional à tensão de saída do primeiro estágio, deste modo a fonte de corrente pode ser escrita em função da saída do

primeiro estágio (v_{out1}) pela expressão 30, onde A_{v2} é o ganho de tensão em módulo do segundo estágio. O sinal negativo aparece, pois o ganho de tensão de um estágio de fonte comum é negativo.

$$I_{g,ds}(v_{out1}) = -\frac{\partial I_G}{\partial V_D} v_{out1} A_{v2} \quad (30)$$

Como a fonte de corrente depende da tensão à que ela está ligada, ela pode ser substituída por uma condutância dada por $\partial I_G / \partial V_D \times A_{v2}$. Temos que a resistência de saída total do primeiro estágio pode ser escrita pela expressão 31.

$$\frac{1}{R_{o1T}} = \frac{1}{R_{o1}} + g_g - \frac{\partial I_G}{\partial V_D} A_{v2} = g_{ds1} + g_{ds3} + g_g - \frac{\partial I_G}{\partial V_D} A_{v2} \quad (31)$$

Para o circuito e as polarizações em questão, os seguintes parâmetros foram obtidos: $g_{ds1} = g_{ds3} = 630$ pS, $g_g = 800$ pS, $A_{v2} = 30,2$ V/V e $\partial I_G / \partial V_D = -713$ pS. Aplicando estes valores na expressão 31, chega-se ao valor de aproximadamente $42,4$ M Ω para a resistência de saída total do primeiro estágio. Utilizando o valor encontrado para o g_m de T1 (equivalente a G_{m1} na configuração de fonte comum) de 611 nS, resulta em um ganho de tensão de aproximadamente $28,3$ dB, valor próximo à $30,8$ dB, que foi encontrado através da simulação do circuito.

Deste modo, pode-se concluir que os principais problemas decorrentes do alto I_G (relativo ao I_D) dos TFETs são decorrentes da alteração dos pontos de polarização que muitas vezes tiram alguns transistores da região análoga à saturação. No entanto, estes problemas podem ser mitigados através de técnicas de projeto.

Quanto ao efeito de g_g no primeiro estágio, pode-se esperar uma queda de ganho de tensão parecida com o que se viu no caso onde apenas em T4 o I_G estava ligado, com uma queda maior de ganho de tensão no Ge TFET com uma queda $2,7$ dB, chegando no máximo a 5 dB no 4º caso. Deste modo, uma vez que os problemas relacionados à polarização sejam resolvidos, a condutância de porta não deve ser algo que impossibilita o projeto de amplificadores.

Para uma última análise, a corrente de porta máxima para que ela não afete no ganho de tensão do circuito em questão foi verificada. Para isso a constante K_{IG} , que multiplica o I_G do modelo, podendo variar de 0 (I_G desligado) a 1 (I_G original), foi criada. A Figura 53 mostra o ganho de tensão do circuito com cada TFET ao se variar K_{IG} . Nota-se que para K_{IG} maior do que 3×10^{-3} , o ganho de tensão do circuito projetado com Si TFET começa a cair. No circuito com SiGe TFET a queda no ganho de tensão só ocorre em $K_{IG} = 0,02$ e no circuito com Ge TFET isso ocorre já em $K_{IG} = 10^{-3}$, indicando que I_G deveria ser aproximadamente mil vezes menor no caso do Si TFET

e do Ge TFET e 100 vezes menor no caso do SiGe TFET para que ela não afete no desempenho do circuito.

Figura 53 - Efeito da redução de I_G no ganho de tensão do circuito.
Fonte: elaborado pelo autor.

Na continuação deste trabalho a corrente de porta foi desprezada, por se tratar de uma corrente parasita indesejada, e estudar alternativas para contornar este problema fogem do escopo deste trabalho.

7 AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA

O amplificador Operacional de Transcondutância (OTA) é um dos blocos analógicos básicos para circuitos integrados. Como o nome indica, ele amplifica um sinal de entrada em tensão em um sinal de saída em corrente, sendo útil em situações onde a carga é principalmente capacitiva. Como se trata de um circuito já bem conhecido e relativamente simples, ele é ideal para que seja usado na avaliação da performance dos dispositivos em um circuito analógico do ponto de vista dos parâmetros dos transistores.

O OTA utilizado neste trabalho possui como primeiro estágio um amplificador diferencial com carga ativa (espelho de corrente) e saída simples. O segundo estágio consiste em um amplificador de fonte comum. Também foi usada compensação Miller, quando necessária, através do capacitor C_C entre os dois estágios para garantir a estabilidade do circuito e uma margem de fase de no mínimo 60° (RAZAVI, 2001). Além disso, a transcondutância do segundo estágio foi escolhida para ser 10 vezes a transcondutância do primeiro, de modo que a corrente que passa pelo transistor T5 seja dez vezes a que passa pelos transistores T1/T2, também no intuito de auxiliar na estabilidade do circuito (ALLEN; HOLBERG, 2012). A Figura 54 mostra o esquemático do circuito.

Figura 54 - Esquemático do OTA.

Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

O ganho de tensão do primeiro estágio (A_{d1}) pode ser obtido pela expressão 32 (RAZAVI, 2001), considerando que as transcondutâncias dos transistores T1 e T2 ($g_{m1,2}$) e suas condutâncias de saída ($g_{d1,2}$) são iguais. Também se considera que a condutância de saída dos transistores T3 e T4 ($g_{d3,4}$) são iguais.

$$|A_{d1}| = \frac{g_{m1,2}}{g_{d1,2} + g_{d3,4}} \quad (32)$$

De forma semelhante, o ganho de tensão do segundo estágio é o ganho de tensão de um estágio com fonte comum, dado pela expressão 33, onde g_{m6} e g_{d6} são a transcondutância e a condutância de saída do transistor T6, respectivamente, e g_{d7} é a condutância de saída do transistor T7.

$$|A_{d2}| = \frac{g_{m5}}{g_{d5} + g_{d7}} \quad (33)$$

O ganho de tensão diferencial total em módulo do circuito (A_D) é dado por $|A_{d1}| \times |A_{d2}|$. Os transistores T8, T9 e T10 servem para polarizar o circuito, criando a tensão de referência para os transistores T6 e T7, que por sua vez permite controlar a corrente I_{SS} através da alteração do número de nanofios em paralelo. O método de projeto utilizado, assim como no caso do amplificador diferencial, foi o g_m/I_D .

7.1 PRIMEIRO GRUPO DE CIRCUITOS

Para o primeiro grupo de circuitos foram considerados um OTA para cada tipo diferente de transistor. Para realizar a comparação entre as tecnologias alguns parâmetros de projeto devem ser escolhidos como iguais entre os diferentes circuitos. Neste primeiro grupo, o W_{eq} dos transistores T1, T2, T3, T4 e T5 são os mesmos em todos os circuitos (mas não necessariamente entre si). Além disso, os transistores T1, T2 e T5 estão todos polarizados no mesmo g_m/I_D de 7 V^{-1} para garantir que eles estejam em regiões de operação semelhantes. Como os transistores de polarização (T8, T9 e T10) servem apenas para definir a tensão de polarização para os transistores T6 e T7, esses transistores possuem o tamanho mínimo de um nanofio. Neste primeiro momento, a intenção era minimizar a potência consumida, então o menor número de nanofio foi considerado para os transistores T1-T5, porém não foi usado apenas 1 nanofio para os TFETs, pois para se manter o mesmo W_{eq} , o MOSFET precisaria ter 1,66 nanofios. Com o intuito de usar parâmetros mais fiéis com uma situação real, foi escolhido usar apenas números inteiros de nanofios, deste modo, se usou 10 nanofios para os TFETs, e 17 nanofios para o MOSFET (valor próximo à razão de 1,66 necessária para se obter o mesmo W_{eq}). Como a corrente do transistor T5 é 10 vezes a corrente que passa pelos transistores T1/T2, T5 tem 10 vezes o número de nanofios. Já nos transistores T6 e T7, o número de nanofios usado é o necessário para se obter

a corrente I_{SS} desejada. O número de nanofios usados por cada circuito pode ser visto na Tabela 15.

Tabela 15 - Número de nanofios do primeiro grupo de OTAs.

	MOSFET	Si TFET	SiGe TFET	Ge TFET
T1 – T4	17	10	10	10
T5	170	100	100	100
T6	70	50	36	6
T7	350	250	180	30
T8-T10	1	1	1	1

Fonte: elaborado pelo autor.

Para os circuitos com TFETs considerou-se tensões de dreno de 1,5 V, enquanto para os circuitos com MOSFET, considerou-se tensões de dreno de 0,5 V. Como resultado, os circuitos com TFETs utilizam um V_{DD} de 4,5 V e os com MOSFET 1,5 V, do mesmo modo que o amplificador diferencial estudado anteriormente. Os principais parâmetros de projeto podem ser vistos na Tabela 16.

Tabela 16 - Parâmetros de projeto do primeiro grupo de OTAs.

	MOSFET	Si TFET	SiGe TFET	Ge TFET
V_{DD}	1,5 V	4,5 V	1,5 V	4,5 V
g_m/I_D	7 V ⁻¹	7 V ⁻¹	7 V ⁻¹	7 V ⁻¹
V_{cm}	1V	3 V	3 V	3 V
I_{SS}	13 μ A	10 nA	274 nA	640 nA
C_L	100 fF	100 fF	100 fF	100 fF
C_C	600 fF	-	-	120 fF
Margem de Fase	62°	60°	62°	63°
Potência	120 μ W	280 nW	7,5 μ W	17 μ W
A_D	51 dB	98 dB	90 dB	105 dB
GBW	9,2 MHz	41 kHz	900 kHz	1,6 MHz

Fonte: elaborado pelo autor.

No caso dos OTAs projetados com Si TFET e com SiGe TFET, não foi necessário o uso de compensação Miller devido ao valor alto de C_{gd} presente nesses dispositivos, somado a uma baixa corrente. Deste modo o primeiro polo do circuito já possui um valor relativamente baixo, o que já garante uma margem de fase de 60°. Essa característica pode ser uma vantagem no que se diz respeito a tamanho do circuito, já que não há necessidade de usar um capacitor externo.

Os circuitos com TFET possuem um ganho de tensão pelo menos 39 dB maior do que o projetado com MOSFET (Figura 55 (a)). Os resultados obtidos para o OTA, assim como a sua análise, são semelhantes aos obtidos no caso do amplificador

diferencial. O OTA projetado com SiGe TFET possui um ganho de tensão menor (90 dB) do que o do circuito com Si TFET (98 dB), já que apesar do aumento da transcondutância do circuito (G_m) o g_d desses dispositivos são maiores do que no Si TFET, o que resulta em uma menor resistência de saída do OTA. Já o circuito projetado com TFET com fonte de Ge apresentou o maior ganho de tensão entre todos os circuitos (105 dB). Nesses dispositivos, também há o aumento de g_d , porém o maior G_m consegue compensar esta queda. Também é possível notar que os ganhos de tensão do primeiro e do segundo estágios não são exatamente iguais, já que o g_d do T7 irá influenciar no ganho de tensão do segundo estágio e esse transistor tem que ser dimensionado de acordo com a corrente necessária para que T5 esteja na região de polarização desejada.

Figura 55 - Ganho de tensão e potência do primeiro grupo de OTAs.
Fonte: elaborado pelo autor.

Já que os circuitos possuem aproximadamente o mesmo tamanho, sua corrente é delimitada principalmente pela densidade de corrente de cada circuito. Como os circuitos com TFET possuem uma corrente menor, eles também consomem muito menos potência, com o OTA com Si TFET chegando a consumir apenas 280 nW, enquanto o circuito com MOSFET consome 120 μW , mesmo operando a um V_{DD} menor (Figura 55 (b)).

A resposta em frequência dos circuitos também foi analisada, como se pode ver na Figura 56. Enquanto o menor nível de corrente dos circuitos com TFET é uma vantagem, pois reduz a potência consumida, ele também reflete em circuitos mais lentos, com um menor produto ganho de tensão-largura de banda (GBW), mesmo com o MOSFET tendo uma capacitância maior. O OTA com Si TFET apresentou o menor GBW entre os circuitos, com apenas 41 kHz. Os circuitos com SiGe TFET, Ge TFET

e MOSFET apresentaram 90 kHz, 1,6 MHz e 9,2 MHz, respectivamente. Com base nesses resultados pode-se concluir que os TFETs são mais indicados para aplicações de alto ganho de tensão, baixa potência e baixa frequência. Em especial o circuito com Ge TFET apresentou um bom compromisso, com o maior ganho em todos os circuitos, um consumo de potência abaixo do MOSFET e um GBW apenas uma ordem de grandeza menor. Para aplicações de maior frequência, o MOSFET ainda é mais indicado devido a sua maior capacidade de corrente.

Figura 56 - Resposta em frequência do primeiro grupo de OTAs.
Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Para avaliar o CMRR dos OTAs, o ganho de tensão de modo comum foi obtido (Figura 57 (a)) e o CMRR foi calculado através da expressão $CMRR = 20 \cdot \log(A_D/A_{CM})$ (Figura 57(b)). O CMRR segue um padrão parecido com o ganho de tensão de malha aberta, com o circuito com Ge TFET apresentando um maior CMRR (111 dB), seguido pelo OTA com Si TFET (107 dB), SiGe TFET (96 dB) e MOSFET (52 dB). O MOSFET novamente apresenta um melhor desempenho em frequência, tendo um melhor CMRR do que o circuito com Si TFET a partir de 10 kHz, do que o circuito com SiGe a partir de 400 kHz e do que o circuito com Ge TFET a partir de 3,5 MHz.

a) Ganho de tensão de modo comum.

b) Taxa de rejeição de modo comum.

Figura 57 - Ganho de tensão de modo comum e taxa de rejeição de modo comum do primeiro grupo de OTAs.

Fonte: elaborado pelo autor.

A Figura 58 mostra o ganho de tensão de malha aberta em função da potência consumida de OTAs projetados com TFET presentes na literatura e neste trabalho. É importante notar que a maioria dos trabalhos usam dados simulados de TFETs com materiais III-V. Além disso diferentes topologias são usadas. Enquanto este trabalho, Trived, Carlo e Mukhopadhyay (2013), Rangel et al. (2019), Patel et al. (2019) e Gonçalves et al., (2020) usam dois estágios, Sedigh et al. (2015) e Liu et al. (2014) usam apenas um estágio em cascode.

Figura 58 - Ganho de tensão e potência de TFET OTAs deste trabalho e da literatura.

Fonte: elaborado pelo autor.

Já a Figura 59 mostra um mapa do GBW obtido neste trabalho em relação à potência. Pode se observar que o trabalho de Patel et al. (2019), apesar de apresentar ganhos e potências próximas às obtidas neste trabalho, apresenta um maior GBW,

possivelmente devido ao uso de capacitâncias menores do que as que foram medidas neste estudo.

Figura 59 - GBW e potência de TFET OTAs deste trabalho e da literatura
Fonte: elaborado pelo autor

7.2 SEGUNDO GRUPO DE CIRCUITOS

Em um projeto de circuitos analógicos, o mais importante é atingir certos requerimentos (como ganho e GBW) seguindo algumas restrições (como área e potência). Deste modo, a polarização dos transistores é escolhida de acordo com esses requerimentos pelo projetista. Portanto, para simular esta situação, um segundo grupo de OTAs foi considerado, desta vez com os transistores polarizados em diferentes g_m/I_D com o intuito de mitigar as desvantagens observadas ao analisar o primeiro grupo de circuitos.

Uma potência (P) máxima de 30 μW foi considerada para os quatro circuitos, com a potência real obtida de aproximadamente 29 μW em todos os casos. Como o MOSFET leva desvantagem no ganho de tensão, desta vez os transistores T1, T2 e T5 foram polarizados em um ponto de maior eficiência do transistor de $15 V^{-1}$ a fim de se obter o maior G_m com a menor corrente possível. O valor de $15 V^{-1}$ foi escolhido de modo a garantir que o modelo ainda representa bem o dispositivo real, de acordo com a Figura 36. No caso dos TFETs, o objetivo era aumentar o GBW o máximo possível, portanto eles foram polarizados em um g_m/I_D de $6,5 V^{-1}$.

A Tabela 17 mostra o número de nanofios usados para cada circuito. Neste caso, o tamanho dos transistores T6 e T7 foram escolhidos de modo a se obter a corrente total necessária para que a potência do circuito fique em 29 μW . O valor de

29 μW foi escolhido pois se trata de um valor em comum entre todos os circuitos sem que haja a necessidade de usar números não inteiros para a quantidade de nanofios. Com corrente definida, os transistores T1-T5 foram dimensionados para que eles operem na região g_m/I_D desejada. Devido à baixa densidade de corrente no TFET com fonte de Si, foi necessário usar uma quantidade muito maior de nanofios do que nos outros circuitos, sendo uma desvantagem para o Si TFET. Também é possível observar que se usou menos nanofios para o circuito com Ge TFET do que para o OTA com MOSFET, apesar de o Ge TFET apresentar uma densidade de corrente menor. Isso se deve, pois, a limitação de potência faz com que o circuito com TFET tenha menor corrente já que possui um V_{DD} maior. Além disso o MOSFET está polarizado em um g_m/I_D maior (V_G menor), portanto um maior número de nanofios é necessário para se obter uma mesma corrente do que se ele estivesse polarizado em um g_m/I_D menor.

Tabela 17 - Número de nanofios do segundo grupo de OTAs.

	MOSFET	Si TFET	SiGe TFET	Ge TFET
T1 – T4	22	550	26	10
T5	220	5 500	260	100
T6	16	5 250	140	10
T7	80	25 250	700	50
T8-T10	1	1	1	1

Fonte: elaborado pelo autor.

As tensões de alimentação, assim como a tensão de modo comum não sofreram alterações. Os parâmetros do segundo grupo de circuitos podem ser vistos na Tabela 18.

Tabela 18 - Parâmetros do segundo grupo de OTAs.

	MOSFET	Si TFET	SiGe TFET	Ge TFET
V_{DD}	1,5 V	4,5 V	1,5 V	4,5 V
g_m/I_D	15 V^{-1}	6,5 V^{-1}	6,5 V^{-1}	6,5 V^{-1}
V_{cm}	1V	3 V	3 V	3 V
I_{ss}	3 μA	1,07 μA	1,06 μA	1,06 μA
C_L	100 fF	100 fF	100 fF	100 fF
C_C	600 fF	-	-	100 fF
Margem de Fase	60°	60°	66°	62°
Potência	29 μW	29 μW	29 μW	29 μW
A_D	56 dB	96 dB	90 dB	102 dB
GBW	4,7 MHz	71 kHz	1 MHz	2 MHz

Fonte: elaborado pelo autor.

Assim como no primeiro caso, o ganho de tensão de malha aberta foi analisado (Figura 60). O A_D do circuito com Si TFET caiu de 98 dB para 96 dB, o do OTA com Ge TFET caiu de 105 dB para 102 dB, enquanto no OTA com SiGe TFET o A_D se manteve em 90 dB. Esta pequena diferença já era esperada, já que tanto no primeiro quanto no segundo grupo de circuitos, os OTAs com TFET foram polarizados em pontos parecidos (7 V^{-1} e $6,5 \text{ V}^{-1}$). Já no caso do MOSFET, o A_D do circuito aumentou de 51 dB para 56 dB. Mesmo assim, ainda é pelo menos 34 dB menor do que qualquer OTA com TFET considerado até aqui.

Figura 60 - Ganho de malha aberta do segundo grupo de OTAs.
Fonte: elaborado pelo autor.

Figura 61 mostra a resposta em frequência do ganho de tensão e de fase do segundo grupo de OTAs. Novamente o principal parâmetro a ser analisado é o GBW dos circuitos (Figura 62). Pode-se observar que neste caso o aumento do ganho de tensão do MOSFET veio com o preço da redução do GBW de 9,2 MHz para 4,7 MHz. O GBW aumentou de 41 kHz para 71 kHz no caso do OTA com Si TFET, de 900 kHz para 1 MHz no caso do SiGe TFET e de 1,6 MHz para 2 MHz no caso do OTA com Ge TFET. Deste modo, para uma mesma potência os circuitos com SiGe TFET e Ge TFET já apresentam um GBW na mesma ordem de grandeza do que o circuito com MOSFET.

Figura 61 - Resposta em frequência do segundo grupo de OTAs.

Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Figura 62 - Produto ganho de tensão-largura de banda dos OTAs.

Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Assim como no primeiro grupo, o ganho de tensão de modo comum e o CMRR também foi avaliado (Figura 63). Na Figura 63 (a) nota-se que o ganho de modo comum dos circuitos com SiGe TFET, Ge TFET e MOSFET são muito parecidos. Isso ocorre pois, pela topologia do circuito, o A_{CM} é causado pelo primeiro estágio

(amplificador diferencial) e o como a saída é única, com o segundo estágio em fonte comum, qualquer ganho de tensão provindo do primeiro estágio, sendo ele diferencial ou comum, será amplificado pelo segundo estágio da mesma maneira. Como os circuitos com TFET possuem um ganho de tensão de segundo estágio muito maior do que o MOSFET OTA, isso acaba resultando em um A_{CM} parecido.

Analisando o CMRR (Figura 63(b)) nota-se que, na polarização considerada, o OTA projetado com TFET com fonte de Si e com fonte de Ge apresentam o mesmo CMRR em baixas frequências (em torno de 110 dB). Isso se deve ao menor A_{CM} do circuito com Si TFET (Figura 63(a)) devido a espelhos de corrente um pouco mais próximos do ideal, o que compensa a diferença de ganho entre os dois circuitos.

Figura 63 - Ganho de tensão e Taxa de rejeição de modo comum do segundo grupo de OTAs.
Fonte: elaborado pelo autor.

7.3 LINEARIDADE DOS CIRCUITOS

A linearidade dos OTAs também foi analisada. Para comparar os diferentes circuitos, com diferentes ganhos, a configuração de ganho de tensão unitário foi utilizada (Figura 64). A linearidade foi obtida através da análise periódica de estado estacionário (PSS) presente no software SPECTRE da CADENCE (CADENCE DESIGN SYSTEMS, 2007) com uma frequência fundamental de 100 Hz. Exemplos de aplicações que utilizam essa frequência são sensores sísmicos (WERNER-ALLEN et al., 2005) e de sinais biológicos (HARRISON, 2002). Utilizar realimentação aumenta a linearidade dos circuitos (RAZAVI, 2001), porém como objetivo é a comparação entre as tecnologias e não o valor da figura de mérito, isso não se torna um problema.

Figura 64 - OTA configurado para ganho de tensão unitário.
Fonte: elaborado pelo autor.

A distorção harmônica total (THD) dos circuitos foi obtida considerando as 10 primeiras harmônicas (Figura 65). Como a tensão de alimentação é maior nos circuitos com TFET a curva de THD foi traçada em função do sinal de entrada V_{in} em relação ao V_{DD} de cada circuito. Deste modo, os circuitos com TFET não levariam vantagem na comparação por terem uma faixa de saída maior decorrente do maior V_{DD} .

Figura 65 - THD dos OTAs.
Fonte: adaptado de Nogueira, Agopian e Martino, 2020.

Analisando primeiramente os transistores de tunelamento, nota-se que em todos os casos o circuito com Ge TFET é mais linear (menor THD) do que os outros TFETs. Também se nota (principalmente no segundo caso) que o circuito com SiGe TFET é mais linear do que o de Si TFET. Através de uma análise CC, verifica-se que a tensão de porta para que esses circuitos fiquem no mesmo ponto g_m/I_D é diferente. Pegando por exemplo o caso de $g_m/I_D = 7 \text{ V}^{-1}$, a tensão de porta em módulo do transistor T5 (Figura 54) é 0,7 V para o Si TFET, 0,6 V para o SiGe TFET e 0,32 V

para o Ge TFET. Menores tensões de porta garantem que os transistores se mantenham na região de saturação para tensões menores de V_D , aumentando a faixa de saída e consequentemente a linearidade dos circuitos. Além disso, a linearidade entre os circuitos com TFET seguem o mesmo comportamento observado em cada transistor individualmente na Figura 38.

Já no caso do MOSFET, nota-se que enquanto ele apresenta a pior linearidade no primeiro grupo de circuitos, ele é o circuito mais linear de todos no segundo grupo. Novamente, isso pode ser explicado pela menor tensão de porta usada na polarização do circuito no segundo caso (0,41 V contra 0,6 V para $g_m/I_D = 7 \text{ V}^{-1}$), mantendo os transistores na região de saturação durante uma faixa maior de tensão e melhorando sua linearidade.

Pode-se concluir que em questão de linearidade a polarização do circuito causa mais influência do que as diferentes tecnologias consideradas. Apesar disso, em uma mesma região de g_m/I_D , os circuitos com TFET apresentaram ser mais lineares, com o circuito com Ge TFET apresentando o melhor desempenho.

8 CONCLUSÕES

Este trabalho teve como objetivo fazer a modelagem e a comparação de circuitos básicos analógicos projetados com dispositivos TFETs e MOSFETs, ambos em estrutura de nanofio vertical.

O método de modelagem através de “*lookup Table*” com o uso da linguagem Verilog-A foi utilizado para criar modelos de três TFETs em nanofio vertical (fonte de Si, SiGe e Ge) e de um MOSFET de silício em nanofio vertical a partir de medidas experimentais de corrente de dreno e capacitância. Os TFETs apresentaram um desafio maior na modelagem devido ao maior nível de ruído obtido nas medidas, principalmente na região análoga à saturação, de modo que foi necessário o uso de uma regressão linear nesta região.

O modelo foi utilizado para comparar espelhos de corrente, um amplificador de fonte de comum e um amplificador diferencial, com os TFETs apresentando maiores ganhos de tensão e espelhamento de corrente mais próximo do ideal. Além disso foi observado que como a tensão Early é variável nos TFETs, não se pode dizer que o ganho de tensão de um circuito é maior com um maior g_m/I_D .

A influência da corrente de porta foi avaliada, onde foi observado que o baixo valor de I_D nos TFET de silício e o alto valor de I_G nos TFET com fonte de Ge faz com que os transistores saiam de seus pontos de polarização, causando redução no ganho de tensão de amplificadores com mais de um estágio (em torno de 50 dB no circuito estudado). Deste modo, circuitos reais com esses dispositivos teriam que ter preocupações adicionais quanto à polarização. O dispositivo com SiGe também sofre com este efeito, porém em menor intensidade (redução de 27 dB no circuito estudado).

Por fim, dois grupos de amplificadores operacionais de transcondutância foram projetados para cada tecnologia. Para as mesmas dimensões e mesma eficiência do transistor (g_m/I_D), o circuito com Ge TFET alcançou o maior ganho de tensão (105 dB), seguido pelo OTA com Si TFET (98 dB) e pelo SiGe TFET OTA (90 dB), com o OTA com MOSFET apresentando o menor ganho de tensão de todos (51 dB). Os TFETs também consomem pelo menos 1 ordem a menos de potência do que o circuito com MOSFET. Além disso em todos os casos os circuitos com TFET apresentaram um maior CMRR se comparado ao circuito com MOSFET.

Em frequências maiores o MOSFET OTA leva vantagem, com um produto ganho de tensão-faixa de banda de 4,7 MHz mesmo no segundo circuito, onde o ganho de tensão foi maximizado em detrimento da resposta em frequência, enquanto

o OTA com TFET de fonte de Ge (melhor GBW entre os TFETs) alcançou no máximo 2 MHz nas condições estudadas.

Quanto a linearidade, tanto no primeiro grupo quanto no segundo grupo, pode-se chegar à conclusão de que circuitos com Ge TFET são mais lineares do que os OTAs com SiGe TFET, que por sua vez são mais lineares do que circuitos com Si TFET. No entanto o circuito com MOSFET foi o menos linear no primeiro grupo de circuitos, mas foi o mais linear no segundo grupo. Tal fato pode ser explicado pois no segundo caso, com g_m/I_D maior (V_G menor) os transistores continuam em saturação mesmo com um V_D menor. Pode-se concluir que a linearidades nos circuitos é mais afetada pelo ponto de operação escolhido do que pelo tipo de transistor utilizado.

A Tabela 19 mostra um resumo dos principais resultados obtidos neste estudo.

Tabela 19 - Resumo do desempenho dos transistores.

Circuito	Pior Melhor			
	MOSFET	Si TFET	SiGe TFET	Ge TFET
Espeho de corrente (I_{D1}/I_{D2})	$\cong 0,9$	$\cong 1$	$\cong 1$	$\cong 1$
Ganho de tensão- fonte comum (V_G e V_D fixos)	38 V/V	895 V/V	475 V/V	630 V/V
Ganho de tensão do amplificador diferencial ($g_m/I_D = 7 \text{ V}^{-1}$)	24,4 dB	49 dB	43 dB	52 dB
Ganho de tensão do amplificador diferencial ($g_m/I_D = 8 \text{ V}^{-1}$)	24,8 dB	51 dB	49 dB	47 dB
Potência do amplificador diferencial ($g_m/I_D = 7 \text{ V}^{-1} / g_m/I_D = 8 \text{ V}^{-1}$)	39/28,5 μW	90/13,5 nW	2,7/1,08 μW	6,7/2,2 μW
Ganho de tensão do OTA (mesmo g_m/I_D / mesma potência)	51/56 dB	98/96 dB	90 dB	105/102 dB
Potência do OTA (mesmo g_m/I_D)	120 μW	280 nW	7,5 μW	17 μW
GBW do OTA (mesmo g_m/I_D / mesma potência)	9,2/4,7 Mhz	41/71 kHz	0,9/1 MHz	1,6/2 MHz

Fonte: elaborado pelo autor.

Os OTAs com TFETs apresentam um ganho de tensão muito maior do que o OTA com MOSFET e consomem menos potência (3 ordens de grandeza a menos no caso do Si TFET), deste modo, o TFET possui boas perspectivas de ser usado em aplicações de alto ganho e baixa frequência, como em sensores sísmicos, onde há a necessidade de captar e processar sinais acústicos na faixa de 50 Hz (WERNER-

ALLEN et al., 2005) e na aquisição de sinais biológicos, como em amplificadores para eletroencefalografia, onde os sinais são abaixo de 30 Hz (HARRISON, 2002).

O TFET com fonte de Ge apresenta um bom compromisso de ganho de tensão e GBW, com o maior A_D entre os OTAs estudados e com um GBW com ordem de grandeza parecida com a do MOSFET, enquanto o TFET com fonte de Si apresenta vantagens em relação a potência consumida e ainda possui um alto ganho.

Para a sequência do trabalho pode-se usar estes modelos para simular circuitos analógicos mais complexos. Outra possibilidade é a simulação de circuitos mixos, onde a parte digital é projetada com os MOSFETs e a parte analógica, com os TFETs, já que os TFETs usados nesse estudo não possuem boas características digitais, mas apresentam boas características analógicas.

Esta dissertação resultou em três artigos apresentados em congressos e em um artigo publicado em revista (Apêndice E).

REFERÊNCIAS

- A. BISWAS e A. M. IONESCU. **A capacitance-voltage model for DG-TFET**. 2015 Silicon Nanoelectronics Workshop (SNW). **Anais...** Kyoto, Japão: IEEE, jun. 2015.
- ADAN, A. O. et al. Linearity and low-noise performance of SOI MOSFETs for RF applications. **IEEE Transactions on Electron Devices**, v. 49, n. 5, p. 881–888, maio 2002.
- AGOPIAN, P. G. D. et al. Influence of the Source Composition on the Analog Performance Parameters of Vertical Nanowire-TFETs. **IEEE Transactions on Electron Devices**, v. 62, n. 1, p. 16–22, jan. 2015.
- AGOPIAN, P. G. D. et al. **Opposite trends between digital and analog performance for different TFET technologies**. 2018 China Semiconductor Technology International Conference (CSTIC). **Anais...** In: 2018 CHINA SEMICONDUCTOR TECHNOLOGY INTERNATIONAL CONFERENCE (CSTIC). Shanghai: IEEE, mar. 2018.
- AGOPIAN, P. G. D. et al. **Unity gain frequency on FinFET and TFET devices**. 2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDACS). **Anais...** Playa del Carmen, Mexico: IEEE, abr. 2014.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design**. 3rd ed ed. New York ; Oxford: Oxford University Press, USA, 2012.
- APARIN, V.; LARSON, L. E. Modified derivative superposition method for linearizing FET low-noise amplifiers. **IEEE Transactions on Microwave Theory and Techniques**, v. 53, n. 2, p. 571–581, fev. 2005.
- APPENZELLER, J. et al. Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors. **Physical Review Letters**, v. 93, n. 19, p. 196805, 4 nov. 2004.
- BJÖRK, M. T. et al. Silicon nanowire tunneling field-effect transistors. **Applied Physics Letters**, v. 92, n. 19, p. 193504, 12 maio 2008.

BORDALLO, C. C. M. et al. **Influence of the Ge amount at source on transistor efficiency of vertical gate all around TFET for different conduction regimes**. 2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS). **Anais...** jan. 2016

BORDALLO, C. C. M. et al. **Analysis of analog parameters in NW-TFETs with Si and SiGe source composition at high temperatures**. 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro). **Anais...** In: 2015 30TH SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO). Salvador, Brazil: IEEE, ago. 2015 Disponível em: <<http://ieeexplore.ieee.org/document/7298148/>>. Acesso em: 3 abr. 2020

Cadence Design Systems, **Cadence®Verilog®-A Language Reference**. 2006.

Cadence Design Systems, **Virtuoso SPECTRE Circuit Simulator Analysis User Guide**. 2007.

CAVALHEIRO, D.; MOLL, F.; VALTCHEV, S. TFET-Based Power Management Circuit for RF Energy Harvesting. **IEEE Journal of the Electron Devices Society**, v. 5, n. 1, p. 7–17, jan. 2017.

COLINGE, J.-P.; GREER, J. **Nanowire transistors: physics of devices and materials in one dimension**. Cambridge, United Kingdom: Cambridge University Press, 2016.

DER AGOPIAN, P. G. et al. Experimental Comparison Between Trigate p-TFET and p-FinFET Analog Performance as a Function of Temperature. **IEEE Transactions on Electron Devices**, v. 60, n. 8, p. 2493–2497, ago. 2013.

DEWEY G. et al. **Fabrication, characterization, and physics of III–V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing**. 2011 Electron Devices Meeting (IEDM). **Anais...** In: 2011 IEEE International, Washington, DC, 2011, pp. 33.6.1- 33.6.4.

GASIOROWICZ, S. **Quantum physics**. 3. ed., [Nachdr.] ed. Hoboken, NJ: Wiley, 2003.

GEORGIEV, V. P. et al. Experimental and Simulation Study of Silicon Nanowire Transistors Using Heavily Doped Channels. **IEEE Transactions on Nanotechnology**, v. 16, n. 5, p. 727–735, set. 2017.

GONÇALEZ FILHO, W. et al. Analog design with Line-TFET device experimental data: from device to circuit level. **Semiconductor Science and Technology**, 25 fev. 2020.

HALL, R. N. Electron-Hole Recombination in Germanium. **Physical Review**, v. 87, n. 2, p. 387–387, 15 jul. 1952.

HARRISON, R. R. **A low-power, low-noise CMOS amplifier for neural recording applications**. 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353). **Anais...** Phoenix-Scottsdale, AZ, USA: IEEE, 2002. Disponível em: <<http://ieeexplore.ieee.org/document/1010674/>>. Acesso em: 5 set. 2019.

HORST, F. et al. **Implementation of a DC compact model for double-gate Tunnel-FET based on 2D calculations and application in circuit simulation**. 2016 46th European Solid-State Device Research Conference (ESSDERC). **Anais...** Lausanne, Switzerland: IEEE, set. 2016.

HOYT, J. L. et al. **Strained silicon MOSFET technology**. Digest. International Electron Devices Meeting. **Anais...** In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING. San Francisco, CA, USA: IEEE, 2002.

HURKX, G. A. M.; KLAASSEN, D. B. M.; KNUVERS, M. P. G. A new recombination model for device simulation including tunneling. **IEEE Transactions on Electron Devices**, v. 39, n. 2, p. 331–338, fev. 1992.

Intel 22nm 3-D Tri-Gate Transistor Technology. Disponível em: <<https://newsroom.intel.com/press-kits/intel-22nm-3-d-tri-gate-transistor-technology/>>. Acesso em: 24 set. 2019.

IRTS - International Technology Roadmap For Semiconductors 2.0, 2015 Edition Executive Report. Disponível em https://www.semiconductors.org/wp-content/uploads/2018/06/0_2015-ITRS-2.0-Executive-Report-1.pdf. Acesso em 23 ago. 2020.

IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. **Nature**, v. 479, n. 7373, p. 329–337, nov. 2011.

KIM M. et al. Ge/Si Heterojunction Tunnel Field-Effect Transistors and Their Post Metallization Annealing Effect. **IEEE Transactions on Electron Devices**, v. 62, n. 1, p. 9–15, jan. 2015.

KNOLL, L. et al. Inverters With Strained Si Nanowire Complementary Tunnel Field-Effect Transistors. **IEEE Electron Device Letters**, v. 34, n. 6, p. 813–815, jun. 2013.

LEE, J. C. et al. **High-k dielectrics and MOSFET characteristics**. IEEE International Electron Devices Meeting 2003. **Anais...** In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING 2003. Washington, DC, USA: IEEE

LEE, J. S. et al. Simulation study on effect of drain underlap in gate-all-around tunneling field-effect transistors. **Current Applied Physics**, v. 13, n. 6, p. 1143–1149, ago. 2013.

LIU, H. et al. **Tunnel FET-based ultra-low power, low-noise amplifier design for bio-signal acquisition**. 2014 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED). **Anais...** Ago. 2014.

LU, H.; ESSENI, D.; SEABAUGH, A. Universal analytic model for tunnel FET circuit simulation. **Solid-State Electronics**, v. 108, p. 110–117, jun. 2015.

LU, W.; XIE, P.; LIEBER, C. M. Nanowire Transistor Performance Limits and Applications. **IEEE Transactions on Electron Devices**, v. 55, n. 11, p. 2859–2876, nov. 2008.

LUONG, G. V. et al. **Experimental characterization of the static noise margins of strained silicon complementary tunnel-FET SRAM**. 2017 47th European Solid-State Device Research Conference (ESSDERC). **Anais...** Leuven, Belgium: IEEE, set. 2017. Disponível em: <<http://ieeexplore.ieee.org/document/8066587/>>. Acesso em: 21 ago. 2019.

MARTINO, M. D. V. et al. Analog performance of vertical nanowire TFETs as a function of temperature and transport mechanism. **Solid-State Electronics**, v. 112, p. 51–55, out. 2015.

MARTINO, M. D. V. et al. Performance of TFET and FinFET devices applied to current mirrors for different dimensions and temperatures. **Semiconductor Science and Technology**, v. 31, n. 5, p. 055001, 1 maio 2016.

MOORE, G. E. Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff. **IEEE Solid-State Circuits Society Newsletter**, v. 11, n. 3, p. 33–35, set. 2006.

MORRIS, D. H. et al. Design of Low Voltage Tunneling-FET Logic Circuits Considering Asymmetric Conduction Characteristics. **IEEE Journal on Emerging and Selected Topics in Circuits and Systems**, v. 4, n. 4, p. 380–388, dez. 2014.

NEVES, F. S. et al. **Transconductance hump in vertical gate-all-around tunnel-FETs**. 2015 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). **Anais...** In: 2015 IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S). Rohnert Park, CA, USA: IEEE, out. 2015.

PATEL, J. et al. Performance improvement of nano wire TFET by hetero-dielectric and hetero-material: At device and circuit level. **Microelectronics Journal**, v. 85, p. 72–82, mar. 2019.

RANGEL, R. S.; AGOPIAN, P. G. D.; MARTINO, J. A. **Performance evaluation of Tunnel-FET basic amplifier circuits**. 2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS). **Anais...** Armenia, Colômbia: IEEE, fev. 2019.

RAZAVI, B. **Design of analog CMOS integrated circuits**. Boston, MA: McGraw-Hill, 2001.

REDDY, K. N.; JAYASREE, P. V. Y. Low power process, voltage, and temperature (PVT) variations aware improved tunnel FET on 6T SRAM cells. **Sustainable Computing: Informatics and Systems**, v. 21, p. 143–153, mar. 2019.

ROFOUGARAN, A. R.; FURMAN, B.; ABIDI, A. A. **Accurate analog modeling of short channel FETs based on table lookup**. 1988., IEEE International Symposium on Circuits and Systems. **Anais...** Espoo, Finland: IEEE, 1988.

ROOYACKERS, R. et al. **A new complementary hetero-junction vertical Tunnel-FET integration scheme**. 2013 IEEE International Electron Devices Meeting. **Anais...** In: 2013 IEEE INTERNATIONAL ELECTRON DEVICES MEETING. dez. 2013

SEDIGHI, B. et al. Analog Circuit Design Using Tunnel-FETs. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 62, n. 1, p. 39–48, jan. 2015.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. São Paulo (SP): Pearson Prentice Hall, 2007.

SETTINO, F. et al. Understanding the Potential and Limitations of Tunnel FETs for Low-Voltage Analog/Mixed-Signal Circuits. **IEEE Transactions on Electron Devices**, v. 64, n. 6, p. 2736–2743, jun. 2017.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A g_{m}/I_{D} based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314–1319, set. 1996.

SINGH, J. et al. **A novel Si-Tunnel FET based SRAM design for ultra low-power 0.3V VDD applications**. 2010 15th Asia and South Pacific Design Automation Conference (ASP-DAC). **Anais...** jan. 2010.

SIVIERI, V. B. et al. **Comparative study of vertical GAA TFETs and GAA MOSFETs in function of the inversion coefficient**. 2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS). **Anais...** In: 2016 JOINT INTERNATIONAL EUROSOI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (EUROSOI-ULIS). Wien, Vienna, Austria: IEEE, jan. 2016

SONG, Y.; JUNG, J.; SHIN, Y. **Standard Cell Layout Design and Placement Optimization for TFET-Based Circuits**. 2019 IEEE International Symposium on Circuits and Systems (ISCAS). **Anais...** Sapporo, Japan: IEEE, maio 2019. Disponível em: <<https://ieeexplore.ieee.org/document/8702601/>>. Acesso em: 5 set. 2019.

STRANGIO, S. et al. Benchmarks of a III-V TFET technology platform against the 10-nm CMOS FinFET technology node considering basic arithmetic circuits. **Solid-State Electronics**, v. 128, p. 37–42, fev. 2017.

SZE, S. M.; NG, K. K. **Physics of semiconductor devices**. 3rd ed ed. Hoboken, N.J: Wiley-Interscience, 2007.

TANAKA, C. et al. Implementation of TFET SPICE Model for Ultra-Low Power Circuit Analysis. **IEEE Journal of the Electron Devices Society**, v. 4, n. 5, p. 273–277, set. 2016.

TANAMOTO, T. et al. SPICE simulation of tunnel FET aiming at 32 kHz crystal-oscillator operation. **IEICE Electronics Express**, v. 15, n. 3, p. 20171232–20171232, 2018.

TOMIOKA, K.; YOSHIMURA, M.; e FUKUI, T. **Steep-slope tunnel field-effect transistors using III–V nanowire/Si heterojunction.**" 2012 Symposium on VLSI Technology (VLSIT). **Anais...** In: 2012 Symposium on VLSI Technology (VLSIT). Honolulu, HI, 2012, pp. 47-48. doi: 10.1109/VLSIT.2012.6242454

TRIVEDI, A. R.; CARLO, S.; MUKHOPADHYAY, S. **Exploring tunnel-FET for ultra low power analog applications: a case study on operational transconductance**

amplifier **Anais...** Austin, Texas: ACM Press, 2013. Disponível em: <<http://dl.acm.org/citation.cfm?doid=2463209.2488868>>. Acesso em: 6 set. 2019.

VANDOOREN, A. et al. Analysis of trap-assisted tunneling in vertical Si homo-junction and SiGe hetero-junction Tunnel-FETs. **Solid-State Electronics**, v. 83, p. 50–55, maio 2013.

VANDOOREN, A. et al. Impact of process and geometrical parameters on the electrical characteristics of vertical nanowire silicon n-TFETs. **Solid-State Electronics**, v. 72, p. 82–87, jun. 2012.

VERHULST, A. S. et al. Drain voltage dependent analytical model of tunnel field-effect transistors. **Journal of Applied Physics**, v. 110, n. 2, p. 024510, 15 jul. 2011.

WERNER-ALLEN, G. et al. **Monitoring volcanic eruptions with a wireless sensor network**. Proceedings of the Second European Workshop on Wireless Sensor Networks, 2005. **Anais...** Istanbul, Turkey: IEEE, 2005. Disponível em: <<http://ieeexplore.ieee.org/document/1462003/>>. Acesso em: 5 set. 2019.

ZHANG, L.; CHAN, M. SPICE Modeling of Double-Gate Tunnel-FETs Including Channel Transports. **IEEE Transactions on Electron Devices**, v. 61, n. 2, p. 300–307, fev. 2014.

ZHOU, G. et al. Vertical InGaAs/InP Tunnel FETs With Tunneling Normal to the Gate. **IEEE Electron Device Letters**, v. 32, n. 11, p. 1516–1518, nov. 2011.

APÊNDICE A – CÓDIGO PARA FILTRAGEM DOS TFETS

```
%Código em MATLAB para pre-tratar a corrente de dreno com filtro na direção
de VG e
%fazer regressão linear na região análoga à saturação
%ID vs VD - Cada coluna é um VG diferente e cada linha é um VD, mas só com
%os dados de ID

% %      VG1      VG2      VG3.... VGm
% VD1
% VD2
% VD3
%%
clear all, close all
clc
format long

filename = 'ID_Ge_TFET.txt' %Abre o arquivo em formato .txt
ID_total = dlmread(filename); %Salva os dados de ID na variável ID_total

VD = [0:0.01:2]'; %Vetor com VD - importante para achar o ponto em VD onde
a interpolação começa
VG = [0.6:0.05:2]'; %Vetor com VG - importante apenas para os plots
ID_total_original = ID_total; %Salva a corrente original em outra variável
para comparação posterior

ID_total = sgolayfilt(ID_total', 3, 9); % Passao filtro na direção de VG
(colunas) -> matriz fica transposta
ID_total = ID_total'; %faz a transposição da matrix para que VG fique nas
colunas e VD nas linhas, como era originalmente

H = size(ID_total);
H = H(2); %número de colunas (VG)

%% Primeira etapa: pequenos ajustes que melhoram um pouco o gd
for l = 1:H %loop para repetir para cada VG
    ID = ID_total(:,l); %Pegando a corrente correspondente a coluna l (ID vs
VD para um determinado VG)
    k = 1; %índice do vetor para começar a realizar o fit
    Total_size = length(ID); %Pegando o tamanho do vetor ID
    Linear_fit = zeros(Total_size); %Inicializando o vetor para o fit linear

    while k < Total_size-5 %Calculando o erro para cada valor de k possível
        clear Linear_fit %limpar Linear_fit de cada interação
        Linear_fit = zeros(Total_size,1);
        P = polyfit(VD(k:Total_size),ID(k:Total_size),1); %cálculo dos
parâmetros do fit
        Linear_fit(k:Total_size) = VD(k:Total_size)*P(1) + P(2); %cálculo do
vetor com fit
        error(k) = mean(abs((ID(k:Total_size)-Linear_fit(k:Total_size))));
%estimativa de erro por mean absolute error (MAE)
        k = k + 1;
    end
    normError = error;
    k = 10; %iniciar em k > 1 para evitar o primeiro ponto pode ter sido
drasticamente alterado devido a filtragem
    while normError(k+1) < normError(k) %procurar primeiro ponto de
mínimo local no erro -> na pratica acha o ponto onde o erro aproximadamente
se estabiliza
        k = k+1;
    end
end
```

```

%% Retira a reducao de corrente no final da curva, se houver.
count = Total_size-20;
MAX2 = max(ID);
MIN2 = min(ID(k:Total_size));
Avg = mean([MAX2, MIN2]);
while count < Total_size+1
    if ID(count) < Avg
        ID(count) = Avg;
    end
    count = count + 1;
end
%% Retira subidas abruptas no joelho da curva, se houver.
k = k-5;
MAX = max(ID);
MIN_sat = min(ID(k:Total_size));
Avg = MAX/2 + MIN_sat/2;
count = k;
while count < k + 30
    if ID(count) > Avg
        ID(count) = Avg;
    end
    count = count + 1;
end
ID_Primeira_etapa(:,1) = ID;
end

%% Segunda etapa: fazer regressao linear na região análoga à saturação
for l = 1:H %loop para repetir para cada VG
    ID = ID_Primeira_etapa(:,l); %Pegando a corrente correspondente a coluna
    1 (ID vs VD para um determinado VG)
    k = 1; %índice do vetor para começar a realizar o fit
    Total_size = length(ID); %Pegando o tamanho do vetor ID
    Linear_fit = zeros(Total_size); %Inicializando o vetor para o fit linear
    stop = 10;

    while k < Total_size-10 %Calculando o erro para cada valor de k possível
        clear Linear_fit %limpar Linear_fit de cada interação
        Linear_fit = zeros(Total_size,1); %cria o vetor onde os pontos da
        regressão linear será salva
        P = polyfit(VD(k:Total_size),ID(k:Total_size),1); %cálculo dos
        parâmetros da regressão
        Linear_fit(k:Total_size) = VD(k:Total_size)*P(1) + P(2); %cálculo do
        vetor com fit
        error(k) = mean(abs((ID(k:Total_size)-Linear_fit(k:Total_size))));
        %estimativa de erro por mean absolute error (MAE)
        k = k + 1;
    end
    normError = error;

    k = 10; %iniciar em k > 1 para evitar o primeiro ponto pode ter sido
    drasticamente alterado devido a filtragem
    while normError(k+1) < normError(k) %procura o primeiro ponto de
    mínimo local no erro -> na pratica acha o ponto onde o erro aproximadamente
    se estabiliza
        k = k+1;
    end
    VD_sat(1) = VD(k); %salvando os pontos em VD onde a interpolação se
    inicia
    k = k-5; %iniciar a regressão um pouco antes de Vd1 para não supor gd
    muito baixo

    %Regressão linear a ser usada na curva
    Linear_fit = zeros(Total_size-1,1); %limpa a variável Linear_fit

```

```

    P = polyfit(VD(k:Total_size),ID(k:Total_size),1); %obtem os parâmetros
da regressão
    Linear_fit(k:Total_size) = VD(k:Total_size)*P(1) + P(2); %escreve a
equação da reta correspondente e substitui na curva original
    gd(1) = P(1); %salvando valor de gd (inclinação da reta)

    ID_segunda_etapa(:,1) = ID(:);
    ID_segunda_etapa(k:Total_size,1) = Linear_fit(k:Total_size);
    ID_segunda_etapa(:,1) = sgolayfilt(ID_segunda_etapa(:,1),3,15);
%filtragem final da corrente
    MAE(:,1) = error'; %salvar os dados de erro na variável MAE
end

%% Plotes
VD_MAE = VD(1:201-6);
figure(1)
subplot(2,1,1)
semilogy(VG,gd)
title('Condutância de saída vs VG')
xlabel('VG (V)')
ylabel('gd (S)')
subplot(2,1,2)
plot(VG,VD_sat)
title('VD onde regressão linear iniciou')
xlabel('VG (V)')
ylabel('VD-sat-like (V)')

plot_v = 1.7; %escolha de um VG para plotar os parâmetros abaixo
m = find(VG == plot_v);

figure(2) %Comparações entre a corrente original e as correntes obtidas nas
duas etapas separadas
plot(VD,ID_total_original(:,m),'k');
hold all
plot(VD,ID_Primeira_etapa(:,m),'r')
hold all
plot(VD,ID_segunda_etapa(:,m),'g')
title(['ID medido e ID com regressão linear na saturação (VG'
=',num2str(plot_v), 'V)'])
xlabel('VD (V)')
ylabel('ID (A)')

figure(3) %Erro obtido em cada iteração para o VG plot_v
semilogy(MAE(:,m))
xlabel('iteração')
ylabel('MAE (A)')

figure(4) %ID vs VG para VD = plot_v
semilogy(ID_segunda_etapa(m,:));
xlabel('VG (V)')
ylabel('ID (A)')

dlmwrite('ID_novo.txt', ID_segunda_etapa); %Salva a nova corrente em um
arquivo txt também em uma tabela, como o arquivo original
dlmwrite('gd.txt', gd); %salva os dados de gd obtidos

```

APÊNDICE B – MODELO VERILOG-A

Código da descrição em Verilog-A dos dispositivos TFET. Como a mudança no código é apenas no arquivo da tabela, apenas o código do TFET tipo N de silício está representado.

```
// Verilog-A para NTFET
//200 nm de diâmetro
// Lch = 220 nm
//Dispositivo experimental: 400 nanofios por transistor
`include "constants.vams"
`include "disciplines.vams"

module ntfet_NW_Si(G,S,D);
    inout G,S,D;
    electrical G,S,D;
    parameter real K = 0; //Parâmetro para controlar a corrente de porta
    parameter real n = 400; //Número de nanofios
    real gm, gd, ID, IG, IS, Av, gm_over_Id, VE, Cgs, Cgd, Cgg, ft;

    analog begin
        Cgs = n*($table_model (V(G,S), "Capacitancia_V3.tbl", "1CC;2")) ; //Capacitância Cgs
        Cgd = n*($table_model (V(G,D), "Capacitancia_V3.tbl", "1CC;1")) ; //Capacitância Cgd
        Cgg = Cgs+Cgd; //Capacitância total
        ID = n/400*($table_model (V(G,S), V(D,S), "ntfet.tbl", "1CL,1CL;1")); // Tabela de ID
        IG = n/400*($table_model (V(G,S), V(D,S), "NTFET_IG.tbl", "1CS,1LC")); // Tabela de IG
        gd = n/400*($table_model (V(G,S), V(D,S), "ntfet.tbl", "1CL,1SS;3")); // tabela de gd
        gm = n/400*($table_model (V(G,S), V(D,S), "ntfet.tbl", "1SL,1CL;2")); // tabela de gm
        I(D,S) <+ ID;
        I(G,D) <+ Cgd*ddt(V(G,D));
        I(G,S) <+ Cgs*ddt(V(G,S));
        I(G,S) <+ K*IG;
        IS = ID + IG; // Cálculo de IS para acompanhamento
        Av = gm/gd; // cálculo do ganho intrínseco
        gm_over_Id = gm/ID; // Cálculo da eficiência do transistor
        VE = ID/gd; // Cálculo da tensão Early
        ft = gm/(`M_TWO_PI *Cgg); // Cálculo de fT
    end
endmodule
```

APÊNDICE C – DESCRIÇÃO DO DISPOSITIVO

Código da definição da geometria e dopagens do TFET de Si nanofio para simulação 2D através do TCAD Sentaurus da Synopsys. Para os TFET com fonte de SiGe e Ge, basta substituir “Silicon” na estrutura “Source” por “SiliconGermanium” e “Germanium”, respectivamente.

```
;-----SDE-----

;-----Definindo os parametros-----

(define EOT 0.004 ); [um] espessura do HfO2;

(define EOSi 0.001); [um] espessura do Oxido de Si na interface da porta

(define L 0.15); [um] comprimento do gate;

(define Ls 0.175); [um] comprimento da fonte;

(define Lch 0.22); [um] comprimento da região intrínseca do canal;

(define Ld 0.175); [um] comprimento do dreno;

(define D 0.2); [um] Diâmetro do NW;

(define Lgs 0.03); [um] Overlap source

(define Lgd 0.2); [um] Underlap Drain

;-----Estrutura-----;

(sdegeo:create-rectangle (position EOT 0 0.0) (position (+ EOT D) Ls 0.0)
"Silicon" "Source")

(sdegeo:create-rectangle (position EOT Ls 0.0) (position (+ EOT D) (+ Ls
Lch) 0.0) "Silicon" "Channel")

(sdegeo:create-rectangle (position EOT (+ Ls Lch) 0.0) (position (+ EOT D)
(+ (+ Ls Lch) Ld) 0.0) "Silicon" "Drain")

(sdegeo:create-rectangle (position 0.0 (- Ls Lgs) 0.0) (position EOT (+(-
Ls Lgs) L) 0.0) "HfO2" "gate_oxide")

(sdegeo:create-rectangle (position (- EOT EOSi) (- Ls Lgs) 0.0) (position
EOT (+(- Ls Lgs) L) 0.0) "Oxide" "gate_SiO2")

(sdegeo:create-rectangle (position (+ EOT D) (- Ls Lgs) 0.0) (position (+
(+ EOT D) EOT) (+(- Ls Lgs) L) 0.0) "HfO2" "gate_oxide")

(sdegeo:create-rectangle (position (+ EOT D) (- Ls Lgs) 0.0) (position (+
(+ EOT D) EOSi) (+(- Ls Lgs) L) 0.0) "Oxide" "gate_SiO2")

;-----Contatos-----

;Vermelho contato fonte

(sdegeo:define-contact-set "Contato_fonte" 4 (color:rgb 1 0 0 ) "##" )

(sdegeo:set-current-contact-set "Contato_fonte")
```



```

(sdegeo:set-contact-edges (list (car (find-edge-id (position 0.1 0 0.0))))
"Contato_fonte")

(journal:pause)

(render:rebuild)

;-----

;Amarelo contato dreno

(sdegeo:define-contact-set "Contato_dreno" 4 (color:rgb 1 1 0 ) "##" )

(sdegeo:set-current-contact-set "Contato_dreno")

(sdegeo:set-contact-edges (list (car (find-edge-id (position 0.1 (+ (+ Ls
Lch) Ld) 0.0)))) "Contato_dreno")

(journal:pause)

(render:rebuild)

;-----

;Azul contato porta

(sdegeo:define-contact-set "Contato_porta" 4 (color:rgb 0 0 1 ) "##" )

(sdegeo:set-current-contact-set "Contato_porta")

(sdegeo:set-contact-edges (list (car (find-edge-id (position 0 Ls
0.0)))) "Contato_porta")

(sdegeo:set-contact-edges (list (car (find-edge-id (position (+ (+ EOT D)
EOT) Ls 0.0)))) "Contato_porta")

(journal:pause)

(render:rebuild)

;-----Dopagens-----

(sdedr:define-constant-profile "ConstantProfileDefinition_fonte"
"BoronActiveConcentration" 1E20)

(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte"
"ConstantProfileDefinition_fonte" "Source")

(sdedr:define-constant-profile "ConstantProfileDefinition_dreno"
"ArsenicActiveConcentration" 5E19)

(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno"
"ConstantProfileDefinition_dreno" "Drain")

(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"ArsenicActiveConcentration" 5E15)

(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal"
"ConstantProfileDefinition_canal" "Channel")

```

```

;-----MEHS REFINING-----;

;junção fonte-canal

(sdegeo:create-rectangle (position EOT (- Ls Lgs) 0.0) (position (+ EOT D)
Ls 0.0) "Silicon" "Source_junction_S")

(sdedr:define-constant-profile "ConstantProfileDefinition_fonte_J"
"BoronActiveConcentration" 1E20)

(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte_J"
"ConstantProfileDefinition_fonte_J" "Source_junction_S")

(sdedr:define-constant-profile "ConstantProfileDefinition_canal_J"
"ArsenicActiveConcentration" 5E15)

(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal_J"
"ConstantProfileDefinition_canal_J" "Source_junction_C")

(sdegeo:create-rectangle (position EOT Ls 0.0) (position (+ EOT D) (+ 0.01
Ls) 0.0) "Silicon" "Source_junction_C")

;-----Grade-----
-----;

:refinamento

(sdedr:define-refinement-size "RefinementDefinition_junction" 0.001 0.001
0 0.00001 0.00001 0)

(sdedr:define-refinement-region "RefinementPlacement_junction_S"
"RefinementDefinition_junction" "Source_junction_S" )

(sdedr:define-refinement-region "RefinementPlacement_junction_C"
"RefinementDefinition_junction" "Source_junction_C" )


;óxido porta

(sdedr:define-refinement-size "RefinementDefinition_oxido_porta" 0.0001
0.0001 0 0.00001 0.00001 0)

(sdedr:define-refinement-region "RefinementPlacement_oxido_porta"
"RefinementDefinition_oxido_porta" "gate_oxide" )

(sdedr:define-refinement-region "RefinementPlacement_oxido_porta"
"RefinementDefinition_oxido_porta" "gate_SiO2" )


;fonte

(sdedr:define-refinement-size "RefinementDefinition_fonte" 0.01 0.01 0
0.0001 0.0001 0)

(sdedr:define-refinement-region "RefinementPlacement_fonte"
"RefinementDefinition_fonte" "Source" )

```

```

;dreno

(sdedr:define-refinement-size "RefinementDefinition_dreno" 0.01 0.01 0
0.0001 0.0001 0)

(sdedr:define-refinement-region "RefinementPlacement_dreno"
"RefinementDefinition_dreno" "Drain" )


;canal

(sdedr:define-refinement-size "RefinementDefinition_canal" 0.01 0.005 0
0.0001 0.0001 0)

(sdedr:define-refinement-region "RefinementPlacement_canal"
"RefinementDefinition_canal" "Channel" )


(sde:set-meshing-command "snmesh -a -c boxmethod")

(sdedr:append-cmd-file "")

(sde:build-mesh "snmesh" "-a -c boxmethod" "NW")

;;;SAVE;;;

(sdeio:save-tdr-bnd (get-body-list) "NW.tdr")

```

APÊNDICE D – SIMULAÇÃO CA

Código para realização de simulação de corrente alternada para obtenção das capacitâncias para comparação qualitativa.

```
File{
    Grid= "NW_msh.tdr"
    Doping="NW_msh.tdr"
    parameter="sige.par"
    Plot= "Plot_freq"
    Current="freq"
    Output="freq"
    ACExtract = "AC_TFET"
}

Device TFET{
    Electrode {
        { Name="Contato_fonte"      Voltage=0 }
        { Name="Contato_dreno"      Voltage=0 }
        { Name="Contato_porta"      Voltage=0 Material ="TiN" }
    }
}

# Para a definição de proporção de mol para o material SiGe, se necessário
#x = fração de Ge

#Physics( Material= "SiliconGermanium" ) {
#    MoleFraction( XFraction=0.27)
# }

Physics( MaterialInterface="Silicon/Oxide") {
    Traps(Donor Gaussian Conc = 1.5e+13 EnergyMid = 0 EnergySig=0.05)
}

Physics{
```

```

Temperature=300

Fermi

eMultivalley(kpDOS)

hMultivalley(kpDOS)

EffectiveIntrinsicDensity (NoBandGapNarrowing)

Hydrodynamic

AreaFactor = 0.314

Mobility ( DopingDependence HighFieldSaturation)

###Simulação de SRH e TAT:

Recombination(
  SRH(Tunneling(Hurkx) Dopingdependence )
  Band2Band(Model=NonlocalPath
  -InterfaceReflection
  -FranzDispersion
  )
)

}

Plot{
  eDensity hDensity
  eDirectTunnel hDirectTunnel
  eCurrent hCurrent
  TotalCurrent TotalCurrentDensity
  SRHrecombination
  eSRHrecombination hSRHrecombination tSRHrecombination
  TotalRecombination
  Potential
  ElectricField/Vector
  Band2BandGeneration
  eBand2BandGeneration hBand2BandGeneration

```

```

eQuasiFermi hQuasiFermi

ConductionBand ValenceBand

Doping DonorConcentration AcceptorConcentration

SemiconductorGradValenceBand/Vector

SpaceCharge # added on 28th Nov 2014
}

Math{
    Extrapolate
    RelErrControl
    Currentweighting
    Iterations=150
    NotDamped=50
    Digits=7
    DensityIntegral(30) #set 150 for T<100 to avoid convergence issues
    RhsFactor = 1e25

    NonLocalPath(Derivative=1) #Ligar a derivada para poder fazer simulação
    AC

    eDrForceRefDens= 1e10 #convergência em densidades de corrente baixas
    (between 1E8 and E12)

    hDrForceRefDens= 1e10

    NoSRHperPotential
}

CurrentPlot{
    eBand2BandGeneration(Integrate(Everywhere))
    hBand2BandGeneration(Integrate(Everywhere))
    SRHRecombination(Integrate(Everywhere))
    eSRHRecombination(Integrate(Everywhere))
    tSRHRecombination(Integrate(Everywhere))
    hSRHRecombination(Integrate(Everywhere))
    TotalRecombination(Integrate(Everywhere))
}

System{

```

```

TFET trans (Contato_fonte=S Contato_dreno=D Contato_porta=G)

Vsource_pset vd (D 0) {dc=0}

Vsource_pset vs (S 0) {dc=0}

Vsource_pset vg (G 0) {dc=0}

}

Solve {

    #initial solution:

    Poisson

    Coupled {Poisson Electron Hole}


# ramp gate to starting voltage

    Quasistationary(

        InitialStep = 0.1 MinStep=0.5 MaxStep=0.2

        Goal {Parameter = vg.dc Voltage = -1})

        {Coupled {Poisson Electron Hole} }


#ramp gate

    Quasistationary(

        InitialStep = 0.01 MinStep=0.001 MaxStep=0.05

        Goal {Parameter = vg.dc Voltage = 2})

        {ACCoupled

        (StartFrequency=1E4

        EndFrequency=1E6

        NumberofPoints = 1 Decade

        Node (D S G) Exclude (vd vs vg))

        {Poisson Electron Hole}

        }

    }

}

```

APÊNDICE E – PUBLICAÇÕES GERADAS

NOGUEIRA, A. de M.; AGOPIAN, P. G.D.; MARTINO, J. A., Operational transconductance amplifier designed with nanowire tunnel-FET with Si, SiGe and Ge sources using experimental data. **Semiconductor Science and Technology**, v. 35, n. 9, p. 095020, 1 set. 2020.

NOGUEIRA, A. de M., et al. **Operational Transconductance Amplifier Designed with SiGe-source Nanowire Tunnel-FET using Experimental Lookup Table Model**. EUROSIOI-ULIS 2020: 2020 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon. **Anais...** In: 2020 JOINT INTERNATIONAL EUROSIOI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (EUROSIOI-ULIS). Caen, França: IEEE, set. 2020.

NOGUEIRA, A. de M., et al. **OTA Performance Comparison Designed with Experimental NW-MOSFET and NW-TFET Devices**. 2019 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). **Anais...** In: 2019 IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S). San Jose, CA, USA.

NOGUEIRA, A. de M.; AGOPIAN, P. G. D.; MARTINO, J. A. **Silicon Nanowire Tunnel-FET Differential Amplifier Using Verilog-A Lookup Table Approach**. 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro). **Anais...**In: 2019 34th SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO). São Paulo.