

MÁRCIO ALVES SODRÉ DE SOUZA

**EFEITO DA TENSÃO MECÂNICA NO RUÍDO DE BAIXA  
FREQUÊNCIA DE TRANSISTORES SOI PLANARES E  
TRIDIMENSIONAIS**

**São Paulo**

**2015**

MÁRCIO ALVES SODRÉ DE SOUZA

**EFEITO DA TENSÃO MECÂNICA NO RUÍDO DE BAIXA  
FREQUÊNCIA DE TRANSISTORES SOI PLANARES E  
TRIDIMENSIONAIS**

Tese de doutorado apresentado à Escola  
Politécnica da Universidade de São Paulo,  
como parte dos requisitos necessários para  
a obtenção do título de Doutor em Ciências.

Área de Concentração: Microeletrônica  
Orientador: Prof. Dr. Marcelo Antonio  
Pavanello

**São Paulo  
2015**

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, \_\_\_\_\_ de \_\_\_\_\_ de \_\_\_\_\_

Assinatura do autor: \_\_\_\_\_

Assinatura do orientador: \_\_\_\_\_

#### Catálogo-na-publicação

Souza, Márcio

Efeito da Tensão Mecânica no Ruído de Baixa Frequência de Transistores SOI Planares e Tridimensionais / M. Souza -- versão corr. -- São Paulo, 2015. 146 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Ruído de Baixa Frequência 2.Tensão Mecânica 3.Transistor 3D 4.Transistor Planar 5.Parâmetros Analógicos I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

112

Janus



Universidade de São Paulo

## ATA DE DEFESA

Aluno: 3140 - 7356793 - 2 / Página 1 de 1

Ata de defesa pública de Tese do(a) Senhor(a) Márcio Alves Sodré de Souza no Programa: Engenharia Elétrica, do(a) Escola Politécnica da Universidade de São Paulo.

Aos 29 dias do mês de outubro de 2015, no(a) realizou-se a Defesa da Tese do(a) Senhor(a) Márcio Alves Sodré de Souza, apresentada para a obtenção do título de Doutor intitulado:

"Efeito da tensão mecânica no ruído de baixa frequência de transistores SOI planares e tridimensionais"

Após declarada aberta a sessão, o(a) Sr(a) Presidente passa a palavra ao candidato para exposição e a seguir aos examinadores para as devidas arguições que se desenvolvem nos termos regimentais. Em seguida, a Comissão Julgadora proclama o resultado:

Nome dos Participantes da Banca	Função	Sigla da CPG	Resultado
Marcelo Antonio Pavanello	Presidente	FEI - Externo	<u>APROVADO</u>
Sebastião Gomes dos Santos Filho	Titular	EP - USP	<u>APROVADO</u>
Mauricio Massazumi Oka	Titular	Servidor-EP	<u>APROVADO</u>
Gilson Inácio Wirth	Titular	UFRGS - Externo	<u>APROVADO</u>
Leandro Tiago Manera	Titular	UNICAMP - Externo	<u>APROVADO</u>

Resultado Final: APROVADO

## Parecer da Comissão Julgadora \*

Eu, Elias Alves de Almeida \_\_\_\_\_, lavrei a presente ata, que assino juntamente com os(as) Senhores(as). São Paulo, aos 29 dias do mês de outubro de 2015.

  
Sebastião Gomes dos Santos Filho

  
Mauricio Massazumi Oka

  
Gilson Inácio Wirth

  
Leandro Tiago Manera

  
Marcelo Antonio Pavanello  
Presidente da Comissão Julgadora

\* Obs: Se o candidato for reprovado por algum dos membros, o preenchimento do parecer é obrigatório.

A defesa foi homologada pela Comissão de Pós-Graduação em \_\_\_\_\_ e, portanto, o(a) aluno(a) faz jus ao título de Doutor em Ciências obtido no Programa Engenharia Elétrica - Área de concentração: Microeletrônica.

\_\_\_\_\_  
Presidente da Comissão de Pós-Graduação

Dedico este trabalho à minha mãe e ao meu pai, Tereza Alves de Souza e Vanildo Sodr  de Souza , os quais amo muito e devo tudo o que sou.

Aos meus Irm os Gislene e F bio e ao meu sobrinho Pedro.

Dedico tamb m   minha amada e companheira incondicional em todos os momentos Renata Farragoni, que me alegra todos os dias com seu sorriso.

## **AGRADECIMENTOS**

Ao prof. Dr. Marcelo Antonio Pavanello, pela dedicada orientação e atenção depositados em mim, mas sobretudo por sua amizade e compreensão nos momentos de dificuldades ao longo destes anos.

Ao CNPq, pelo suporte financeiro, possibilitando a conclusão doutorado.

Ao Imec, ao Prof. Dr. Cor Claeys e ao Dr. Eddy Simoen pelas correções dos artigos e por terem fornecido os dispositivos.

Ao prof. Dr. Rodrigo Dória e Dr. Renan Dória pelas discussões, contribuições e sobretudo pelos bates papos.

Ao prof. Dr. João Antonio Martino pelo fornecimento dos dispositivos, pela amizade e por ter dado a oportunidade de fazer parte deste grandioso grupo de pesquisas.

À todos os colegas do grupo SOI-CMOS pelos momentos de alegria.

Ao Centro Universitário da FEI, um especial agradecimento por me acolher durante estes anos todos e por ceder à infra-estrutura necessária para a realização do trabalho.

À todos os amigos do grupo da FEI pelo incentivo, preocupação e momentos de descontração que foram de suma importância para me manter no rumo.

Aos meus pais, irmãos e sobrinho pelo amor e incentivo dado para a realização deste trabalho e compreensão nos momentos em que estive ausente.

À minha querida e amada Renata Farragoni, um obrigado muito especial por poder fazer parte da minha vida com muito amor, carinho e companheirismo dando-me forças e toda a ajuda possível, muitas vezes abrindo mão de todos os seus afazeres para poder concluir esta etapa da minha vida.

Aos meu querido amigo de grandes jornadas Rudolf Theoderich Bühler, pelo companheirismo e amizade, mas sobretudo pelo auxílio nas dúvidas e sugestões dadas.

À todos que involuntariamente não foram citados, mas que de alguma forma mostraram interesse pelo trabalho.

“Os sonhos não determinam o lugar onde vocês vão chegar, mas produzem a força necessária para tirá-los do lugar em que vocês estão. Sonhem com as estrelas para que vocês possam pisar pelo menos na Lua. Sonhem com a Lua para que vocês possam pisar pelo menos nos altos montes. Sonhem com os altos montes para que vocês possam ter dignidade quando atravessarem os vales das perdas e das frustrações. Bons alunos aprendem a matemática numérica, alunos fascinantes vão além, aprendem a matemática da emoção, que não tem conta exata e que rompe a regra da lógica. Nessa matemática você só aprende a multiplicar quando aprende a dividir, só consegue ganhar quando aprende a perder, só consegue receber, quando aprende a se doar. “

*Augusto Cury*



## RESUMO

Neste trabalho é apresentado um estudo do efeito da tensão mecânica uniaxial e biaxial no ruído de baixa frequência nos transistores SOI planares e tridimensionais (MuGFETs de porta tripla) com diferentes orientações cristalográficas, além de um estudo das características analógicas nos transistores planares e tipo MuGFET de porta tripla. Nos transistores planares, o estudo do ruído de baixa frequência demonstrou uma melhora para os transistores tensionados no regime de saturação, independente do comprimento de canal, entretanto para a região linear, a tensão mecânica somente reduziu o ruído para um comprimento de canal pequeno (160nm). Nas características analógicas, foi utilizado o recurso da simulação numérica bidimensional para obtenção dos resultados. Os resultados mostram que os transistores tensionados são capazes de promover um melhor desempenho na transcondutância, na ordem de um aumento no mínimo de 40% , indicando para comprimentos longos de canal (910 nm) uma aumento de 56% para tensão mecânica biaxial e o oposto para a uniaxial (45%) (160 nm): entretanto, na condutância de saída, a tensão mecânica de forma geral promove uma maior degradação, aumento de 3% para um transistor uniaxial e aumento de 105% para o transistor biaxial. No ganho intrínseco de tensão, mais uma vez os transistores tensionados melhoraram de desempenho: contudo, neste caso, melhor resultado foi para o transistor biaxial, chegando a 5 dB de ganho. Nos transistores de porta tripla, a análise do ruído foi realizada nos transistores tensionados e convencionais operando em saturação e, de forma geral, a tensão mecânica piora o ruído de baixa frequência em uma ordem de grandeza para o transistor estreito, ocorrendo apenas uma melhora quase imperceptível num transistor largo ou quase planar. Na análise do ruído para os transistores rotacionados para a região linear, apresentaram dependência  $1/f$ , com o ruído governado pela flutuação do número de portadores associado à flutuação na mobilidade: a tensão mecânica piora o ruído, entretanto, adicionando a rotação do substrato, ocorre uma melhora do ruído devido à redução das armadilhas de interface, ocasionando numa melhor interface lateral. Para dispositivos largos, o plano de topo sofre um aumento da concentração das armadilhas, piorando a interface superior devido a rotação do substrato, resultando um pior ruído. Nas características analógicas, os transistores de MuGFETs de porta tripla com tensão mecânica e substrato rotacionado foram estudados, onde a rotação do substrato em  $45^\circ$  mais a presença da tensão mecânica promoveram uma piora nos resultados, principalmente na transcondutância, onde a piora variou de 45 % até 15 %, para um dispositivo estreito (20 nm ) e um largo (870 nm).

Palavras-chave: SOI, tensão mecânica, biaxial, uniaxial, CESL, sSOI, ruído, MuGFETs de porta tripla

## ABSTRACT

This work presents a study of the uniaxial and biaxial mechanical stress effect on low frequency noise in planar and three-dimensional SOI transistors (triple gate) with different crystal orientation, and an study of analog parameters in planar and for triple gate MuGFET. In planar transistor, the study of low frequency noise showed an improvement in low frequency noise for strained transistors in saturation regime, regardless of the channel length, however for the linear regime, the mechanical stress only reduced the noise in a small channel length (160nm). In the analog characteristics was used the feature of two-dimensional numerical simulation for the expansion of the results. The results shows that the strained transistors are capable to promoting a better performance in transconductance in a order at least 40%, indicating for a long channel lengths (910nm) an improvement of 56% in favor of biaxial stress and the opposite to uniaxial (45%) (160nm), however in the output conductance, the mechanical stress promotes higher degradation, ranging from 3% to uniaxial transistor and 105% for biaxial transistor. The intrinsic voltage gain, the strained transistors improved the performance, but in this case a best result was found for the biaxial strain reaching 5 dB. In triple gate transistors, the analysis of noise was performed on strained and conventional operating in saturation, and generally the worsening of mechanical stress on the low frequency noise in a order of magnitude for the narrow transistor, occurring only barely perceptible improvement seen in wider transistor or quasi-planar. The noise analysis for rotated transistors in linear region, showed a  $1/f$  noise characteristic governed by the carrier number of fluctuations associated with fluctuations in mobility, the mechanical stress worsens the noise, however, by adding the substrate rotation occurs improves noise due to reduction of interface traps leading to a better sidewall interface. For larger devices the top plane suffer an increase of interface traps, worsening the top interface due to rotation of the substrate, causing a worse noise. In the analog characteristics, the triple gate MuGFETs transistors with mechanical stress and rotated substrate were studied, where the rotation of the substrate in  $45^\circ$  plus mechanical stress promoted a worsening of the results, particularly in the transconductance, where the worsening ranged from 45% up to 15% for a narrow device (20 nm) and a large (870 nm).  
Keywords: SOI, mechanical stress, biaxial, uniaxial, CESL, sSOI, noise, Triple gate MuGFETs

## LISTA DE FIGURAS

Figura 2.1 - Perfil do transistor MOS convencional (a) e do transistor SOI nMOSFET (b).....	27
Figura 2.2 - Diagrama de faixas de energia para o SOI parcialmente depletado..	29
Figura 2.3 - Diagrama de faixas de energia para o SOI totalmente depletado. ....	29
Figura 2.4 - Representação esquemática de um transistor de porta tripla. ....	31
Figura 2.5 - Representação esquemática de um transistor de porta tripla em um substrato rotacionado em 45° . ....	32
Figura 2.6 - Representação esquemática de uma estrutura multi-dedos. ....	32
Figura 2.7 - Distribuição das cargas de depleção para o MOSFET totalmente depletado. ....	38
Figura 2.8 - Distribuição das cargas de depleção para o SOI MOSFET totalmente depletado. ....	38
Figura 2.9 - Representação de um ruído qualquer. ....	43
Figura 2.10 - Representação de vários ruídos de geração e recombinação deslocados no tempo, resultando em um ruído típico 1/f. ....	48
Figura 2.11 – Curva representativa de $S_{id}/I_D^2$ e $(g_m/I_{DS})^2$ em função de $I_D$ para um transistor nano fio sem junção para $V_{DS} = 100$ mV para $L = 50$ nm. ....	49
Figura 2.12 – Representação esquemática do sistema utilizado para medir o ruído de baixa frequência.....	50
Figura 2.13 – Princípio do cálculo da influência da tensão mecânica sobre a mobilidade de elétrons e lacunas.....	52
Figura 2.14 - Desenho esquemático de um MOSFET com as orientações cristalográficas. ....	55
Figura 2.15 – Elipsóides de energia constante no espaço “k”. ....	55
Figura 2.16 - Representação esquemática de obtenção do silício com tensão mecânica uniaxial.....	57
Figura 2.17 - Representação esquemática da obtenção do silício tensionado biaxialmente.....	58
Figura 2.18 - Variação da tensão mecânica na direção da largura de uma ilha de referência (65).....	60
Figura 3.1 - Distribuição da tensão mecânica na estrutura do transistor SOI nMOSFET. ....	65

Figura 3.2 – Distribuição da tensão mecânica ao longo do comprimento do canal.	66
Figura 3.3 - Tensão mecânica extraída no centro do canal versus a tensão mecânica aplicada.	66
Figura 3.4 - Tensão mecânica extraída no centro do canal em função do comprimento do canal.	67
Figura 3.5 - Distribuição da tensão mecânica ao longo do comprimento de canal para diferentes comprimentos de canal.	68
Figura 3.6 - Transcondutância em função do comprimento de canal para tensão mecânica uniaxial e biaxial.	71
Figura 3.7 - Variação percentual da condutância de saída em função do comprimento de canal.	72
Figura 3.8 - Ganho intrínseco de tensão em função do comprimento de canal.	73
Figura 3.9 - Ganho intrínseco de tensão em função da razão $g_m / I_{DS}$ em inversão forte para $L=410$ nm (a) e $L = 910$ nm (b).	74
Figura 3.10 - Frequência de ganho unitário em função do comprimento de canal.	75
Figura 3.11 - Ganho de frequência unitário em função da razão $g_m/I_{DS}$ em inversão forte para $L=410$ nm (a) e $L = 910$ nm (b).	76
Figura 3.12 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para $L = 160$ nm (a), $L = 410$ nm (b) e $L = 910$ nm (c) com $V_{DS} = 0.1V$ .	78
Figura 3.13 - Densidade espectral de potência do ruído da corrente de dreno para o transistor de referência em função da frequência para $L = 160$ nm com $V_{DS} = 0,6$ V.	80
Figura 3.14 - Densidade espectral de potência do ruído da corrente de dreno para a transistor com tensão mecânica uniaxial em função da frequência para $L = 160$ nm.	80
Figura 3.15 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para $L = 160$ nm (a), $L = 410$ nm (b) e $L = 910$ nm (c) com $V_{DS} = 0.6V$ .	82
Figura 3.16 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobretensão de porta para $L = 160$ nm para $V_{DS} = 0.1V$ (a) e $V_{DS} = 0.6V$ .	83

Figura 3.17 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobretensão de porta para $L = 910 \text{ nm}$ para $V_{DS} = 0,1\text{V}$ (a) e $V_{DS} = 0,6\text{V}$ .	84
Figura 4.1 – Representação esquemática (A) e Seções longitudinal (B) e transversal (C) da distribuição da tensão mecânica na estrutura do transistor MuGFET com $W_{fin}$ de $120 \text{ nm}$ .	86
Figura 4.2 – Distribuição da componente YY da tensão mecânica ao longo da largura de canal (A) e na direção do comprimento de canal (B).	88
Figura 4.3 - Distribuição da componente ZZ da tensão mecânica ao longo da largura de canal (A) e na direção do comprimento de canal (B).	88
Figura 4.4 – Componente ZZ de tensão mecânica extraída no centro da largura e comprimento de canal, $2 \text{ nm}$ acima da base da aleta de silício em função de $W_{fin}$ .	89
Figura 4.5 - Curva da corrente de dreno (eixo a esquerda) e transcondutância (eixo direito) em função da tensão de porta para $W_{fin} = 20 \text{ nm}$ e $L = 1 \mu\text{m}$ na região linear.	90
Figura 4.6 - Máxima transcondutância (esquerda) e variação percentual (direita) em função de $W_{fin}$ na região linear.	91
Figura 4.7 – Resistência série em função da largura de canal em $V_{DS} = 50 \text{ mV}$ .	92
Figura 4.8 – Máxima transcondutância normalizada (eixo da esquerda) e diferença percentual (eixo da direita) em função de $L$ para $V_{DS} = 50 \text{ mV}$ .	93
Figura 4.9 - Condutância de saída e transcondutância normalizados em função do $W_{fin}$ para os transistores com $L = 1 \mu\text{m}$ .	95
Figura 4.10 - Condutância de saída e transcondutância normalizados em função de $L$ para os transistores com $W_{fin} = 20 \text{ nm}$ .	95
Figura 4.11 - Ganho intrínseco de tensão em função do $W_{fin}$ para os transistores com $W_{fin} = 20 \text{ nm}$ .	96
Figura 4.12 - Ganho intrínseco de tensão em função de $L$ para os transistores com $W_{fin} = 20 \text{ nm}$ .	96
Figura 4.13 - Ganho de frequência unitário em função da largura do dispositivo.	97
Figura 4.14 - Relação do ganho de frequência unitário em função de $W_{fin}$ .	98
Figura 4.15 - Ganho de frequência unitário em função do comprimento de canal.	99
Figura 4.16 – Máxima transcondutância e ganho percentual em função de $W_{fin}$ para $L = 10 \mu\text{m}$ em $V_{DS} = 0,2 \text{ V}$ .	100

Figura 4.17 - Densidade espectral de potência do ruído da corrente de dreno em função da frequência para MuGFET referência com $L = 10 \mu\text{m}$ e $W_{\text{fin}} = 30 \text{ nm}$ , com $V_{\text{DS}} = 0,6 \text{ V}$ .	101
Figura 4.18 - Densidade espectral de potência do ruído da corrente de dreno em função da frequência para MuGFET tensionado com $L = 10 \mu\text{m}$ e $W_{\text{fin}} = 30 \text{ nm}$ , com $V_{\text{DS}} = 0,6 \text{ V}$ .	101
Figura 4.19 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para $L = 10 \mu\text{m}$ e $W_{\text{fin}} = 30 \text{ nm}$ (A), $W_{\text{fin}} = 120 \text{ nm}$ (B) com $V_{\text{DS}} = 0,6 \text{ V}$ .	102
Figura 4.20 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de $W_{\text{fin}}$ com $V_{\text{DS}} = 0,6 \text{ V}$ .	103
Figura 4.21 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET referência (A) e rotacionado (B), tensionado (C) e tensionado rotacionado (D) com $L = 1 \mu\text{m}$ e $W_{\text{fin}} = 20 \text{ nm}$ , com $V_{\text{DS}} = 50 \text{ mV}$ .	105
Figura 4.22 - Fator de flutuação da mobilidade em função de $W_{\text{fin}}$ para MuGFETs de referência, tensionado, rotacionado e tensionado rotacionado.	106
Figura 4.23 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobreensão de porta para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com $L = 1 \mu\text{m}$ e $W_{\text{fin}} = 20 \text{ nm}$ .	107
Figura 4.24 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da razão $g_m/I_{\text{DS}}$ para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com $L = 1 \mu\text{m}$ e $W_{\text{fin}} = 20 \text{ nm}$ .	107
Figura 4.25 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com $L = 1 \mu\text{m}$ e $W_{\text{fin}} = 20 \text{ nm}$ com $V_{\text{DS}} = 50 \text{ mV}$ e três $V_{\text{GT}} = 0,2 \text{ V}$ (A) e $0,5 \text{ V}$ (B) e $0,6 \text{ V}$ (C).	108
Figura 4.26 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET convencional, tensionado, rotacionado tensionado e rotacionado com $L = 1 \mu\text{m}$ e $W_{\text{fin}} = 370 \text{ nm}$ com $V_{\text{DS}} = 50 \text{ mV}$ e três $V_{\text{GT}} = 0,2 \text{ V}$ (A) e $0,5 \text{ V}$ (B) e $0,6 \text{ V}$ (C).	109

Figura 4.27 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de $W_{fin}$ com $V_{DS} = 0,6$ V e três $V_{GT} = 0,2$ V (A), 0,5 V (B) e 0,6 V (C). .....	111
Figura 4.28 - Armadilhas de interface no óxido extraído em 50 Hz em função de $W_{fin}$ com $V_{DS} = 50$ mV e dois $V_{GT} = 0,2$ V (A), 0,6 V (B). .....	112
Figura 4.29 - Armadilhas de interface no óxido extraído em 50 Hz em função da sobretensão de porta com $V_{DS} = 50$ mV. ....	113
Figura 4.30 - Armadilhas de interface no óxido extraído em 50 Hz em função da razão $g_m/I_{DS}$ com $V_{DS} = 50$ mV. ....	114
Figura 4.31 – Armadilhas de interface no óxido extraído em função da espessura do dielétrico de porta com $V_{DS} = 50$ mV $V_{GT} = 0,2$ V para $W_{fin} = 20$ nm e $W_{fin} = 370$ nm . ....	115
Figura 4.32 – Extrapolação linear de $S_{id}$ e $I_D$ em função de $W_{fin}$ para $V_{DS} = 50$ mV $V_{GT} = 0,6$ V. ....	116
Figura 4.33 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET tensionado não rotacionado (A) e tensionado rotacionado (B) para $L = 20$ nm (A) e 570 nm (B) e $W_{fin} = 20$ nm, com $V_{DS} = 50$ mV. ....	117
Figura 4.34 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de $L$ com $V_{DS} = 50$ mV e dois $V_{GT} = 0,2$ V, e 0,4 V. ....	118
Figura 4.35 - Armadilhas de interface no óxido extraído em 50 Hz em função de $L$ com $V_{DS} = 50$ mV e $V_{GT} = 0,4$ V. ....	119
Figura 4.36 - Curva de $S_{id}/I_D^2$ e $(g_m/I_{DS})^2$ em função de $I_D$ para $V_{DS} = 50$ mV para $L = 20$ nm (A) e $L = 570$ nm . ....	119

## **LISTA DE ABREVIATURAS E SIGLAS**

CMOS – Complementar Metal Oxide Semiconductor

DELTA - Fully Depleted Lean Channel Transistor

IMEC – Interuniversity Microelectronics Center

ITRS – International Technology Roadmap for Semiconductor

MOS – Metal Oxide Semiconductor

MOSFET – Metal-Oxide-Semiconductor Field-Effect Transistor

MuGFET – Multiple Gate Field Effect Transistor

PECVD – Plasma Enhanced Chemical Vapor Deposition

RTA – Rapid Thermal Annealing

sCESL – strained Contact Etch Stop Layer

SOI – Silicon on Insulator

sSOI – strained Silicon on Insulator

GIGA – Giga Scale Integration



## LISTA DE SÍMBOLOS

A	Área da camada de inversão [ $\text{cm}^2$ ]
$A_v$	Ganho de tensão de malha aberta em baixa frequência [dB]
$A_v$	Ganho Intrínseco de tensão
C	Quarta ordem do modulo tensor de elasticidade
$C_b$	Capacitância entre o canal de inversão e o eletrodo da segunda interface por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{ox}$	Capacitância do óxido de porta do transistor MOS por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{oxb}$	Capacitância do óxido enterrado do transistor SOI por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{oxf}$	Capacitância do óxido da primeira interface do transistor SOI por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{itb}$	Capacitância das armadilhas de interface na segunda interface por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{itf}$	Capacitância das armadilhas de interface na primeira interface por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_L$	Capacitância de carga por unidade de área [ $\text{F}/\text{cm}^2$ ]
$C_{Si}$	Capacitância da camada de silício por unidade de área [ $\text{F}/\text{cm}^2$ ]
d	Distância de parte do comprimento de canal do transistor [ $\mu\text{m}$ ]
$E_C$	Nível de energia inferior da faixa de condução [eV]
$E_F$	Nível de Fermi do semiconductor [eV]
$E_{FB}$	Nível de Fermi do metal/eletrodo de substrato [eV]
$E_{FM}$	Nível de Fermi do metal/eletrodo de porta [eV]
$E_g$	Largura da faixa proibida [eV]
$E_i$	Nível intrínseco [eV]
$E_v$	Nível de energia superior da faixa de valência [eV]
$f_T$	Ganho de frequência unitário [Hz]
$g_d$	Condutância do transistor [ $\text{S}^{-1}$ ]
$g_m$	Transcondutância do transistor [S]
H	Altura do transistor de múltiplas portas [nm]
h	Constante de Planck [ $6,63 \times 10^{-34}$ J.s]

$I(t)$	Flutuação randômica
$I_n(t)$	Flutuação da corrente
$I_D$	Corrente de dreno [A]
$I_{DS}$	Corrente entre dreno e fonte [A]
$I_{Dmulti}$	Corrente entre dreno e fonte de uma estrutura multi-dedos [A]
$k$	Constante de Boltzmann [ $1,38066 \times 10^{-23}$ J/K]
$L$	Comprimento de máscara do canal do transistor [ $\mu\text{m}$ ]
$L_r$	Comprimento do material [m]
$m$	Valor médio
$m_0$	Massa efetiva do elétron livre
$m_t$	Massa efetiva transversal
$m_l$	Massa efetiva longitudinal
$N_A$	Concentração de impurezas aceitadoras em um semiconductor [ $\text{cm}^{-3}$ ]
$N$	Número de portadores
$n_i$	Concentração intrínseca de portadores [ $\text{cm}^{-3}$ ]
$N_{ot}$	Armadilhas de interface no óxido [ $\text{eV}^{-1} \cdot \text{cm}^{-3}$ ]
$n(L)$	Concentrações de elétrons do lado do dreno [ $\text{cm}^{-3}$ ]
$n(0)$	Concentrações de elétrons do lado da fonte [ $\text{cm}^{-3}$ ]
$q$	Carga elementar do elétron [ $1,6 \times 10^{-19}$ C]
$Q_{d1}$	Carga de depleção efetiva da camada de silício por unidade de área nos Transistores SOI [ $\text{C}/\text{cm}^2$ ]
$Q_{depl}$	Carga de depleção na camada de silício [ $\text{C}/\text{cm}^2$ ]
$Q_{invf}$	Densidade de cargas de inversão na primeira interface [ $\text{C}/\text{cm}^2$ ]
$Q_{ox}$	Densidade de cargas fixas no óxido de porta do transistor MOS [ $\text{C}/\text{cm}^2$ ]
$Q_{oxb}$	Densidade de cargas fixas no óxido de porta da segunda interface do transistor MOS [ $\text{C}/\text{cm}^2$ ]
$Q_{oxf}$	Densidade de cargas fixas no óxido de porta da primeira interface do transistor MOS [ $\text{C}/\text{cm}^2$ ]
$Q_{SB}$	Carga de acumulação ( $Q_{SB} > 0$ ) ou inversão ( $Q_{SB} < 0$ ) na segunda interface por unidade de área [ $\text{C}/\text{cm}^2$ ]
$R$	Resistência [ $\Omega$ ]
$S$	Inclinação de sublimiar [mV/déc]
$S_a$	área da secção transversal [ $\text{m}^2$ ]

$S_{id}$	Densidade espectral de potência do ruído da corrente [A/Hz]
$T$	Temperatura absoluta [K]
$t_{oxb}$	Espessura do óxido enterrado [nm]
$t_{oxf}$	Espessura do óxido de porta [nm]
$t_{Si}$	Espessura da camada de silício [nm]
$V_D$	Tensão aplicada ao dreno [V]
$V_{DS}$	Tensão aplicada entre o dreno e fonte [V]
$V_{EA}$	Tensão Early [V]
$V_{FB}$	Tensão de faixa plana da estrutura MOS [V]
$V_{GB}$	Tensão aplicada ao substrato para que a segunda interface acumule [V]
$V_{GB,acc}$	Tensão aplicada ao substrato para que a segunda interface acumule [V]
$V_{GF}$	Tensão aplicada à primeira porta do transistor SOI [V]
$V_{GS}$	Tensão entre porta e fonte do transistor MOS [V]
$V_{GT}$	Sobretensão de porta [V]
$V_S$	Tensão aplicada a fonte [V]
$V_{th}$	Tensão de limiar da primeira interface em inversão forte [V]
$V_{th,acc}$	Tensão de limiar da primeira interface com a segunda interface acumulada [V]
$V_{th,depl}$	Tensão de limiar da primeira interface com a segunda interface depletada [V]
$V_{th,inv}$	Tensão de limiar da primeira interface com a segunda interface invertida [V]
$W$	Largura do canal do transistor [ $\mu\text{m}$ ]
$x_{dm\acute{a}x}$	Profundidade máxima da região de depleção [ $\mu\text{m}$ ]
$\alpha$	Parâmetro resultante da associação das capacitâncias do transistor MOS
$\alpha_H$	Parâmetro dimensional ao parâmetro de Hooge
$\alpha_{SC} \cdot \mu_{eff}$	Fator de flutuação da mobilidade [ $\text{cm}^3/\text{C}$ ]
$\beta$	Expoente de corrente
$\epsilon$	Deformação mecânica (strain) [MPa]
$\epsilon_{ox}$	Permissividade do óxido
$\epsilon_{Si}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]

$\Phi_F$	Potencial de Fermi [V]
$\Phi_{SB}$	Potencial de superfície da segunda interface do transistor SOI [V]
$\Phi_{SF}$	Potencial de superfície da primeira interface do transistor SOI [V]
$\Phi_{MS}$	Diferença da função de trabalho entre metal e silício [V]
$\Phi_{MSB}$	Diferença de função de trabalho entre o substrato e a camada de silício [V]
$\Phi_{MSF}$	Diferença da função de trabalho entre metal de porta e semiconductor [V]
$\lambda$	Comprimento natural
$\mu_{eff}$	Mobilidade efetiva dos elétrons na região do canal [ $\text{cm}^2/\text{V.s}$ ]
$\rho$	resistividade [ $\Omega$ ]
$\rho_0$	resistividade inicial [ $\Omega$ ]
$\pi$	Coefficiente piezoresistivo do silício
$\sigma$	Desvio padrão
$\sigma_{ij}$	Tensão mecânica aplicada [MPa]
$\xi_x$	Campo elétrico de dreno
$\xi_y$	Campo elétrico de porta
$\tau$	Constante de transição

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>21</b>
1.1	ORGANIZAÇÃO.....	24
<b>2</b>	<b>FUNDAMENTOS TEÓRICOS.....</b>	<b>26</b>
2.1	A TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE .....	26
2.1.1	Classificação dos dispositivos SOI.....	27
2.2	TRANSISTOR SOI MUGFET DE PORTA TRIPLA.....	30
2.3	PARÂMETROS ELÉTRICOS E CARACTERÍSTICAS ANALÓGICAS.....	33
2.3.1	Tensão de limiar .....	33
2.3.2	Tensão de Limiar nos transistores de MuGFETs de porta tripla .....	35
2.3.3	Transcondutância .....	35
2.3.4	Efeitos de canal curto .....	37
2.3.5	Condutância de saída .....	40
2.3.6	Ganho intrínseco de tensão .....	40
2.3.7	Razão $g_m/I_{DS}$ .....	41
2.3.8	Frequência de ganho unitário.....	41
2.4	RUÍDO DE BAIXA FREQUÊNCIA.....	42
2.4.1	Definição de ruído .....	42
2.4.2	Ruído de geração e recombinação .....	44
2.4.3	Ruído Flicker .....	45
	2.4.3.1 Ruído 1/f devido à flutuação da mobilidade .....	46
	2.4.3.2 Ruído 1/f devido à flutuação do número de portadores .....	47
	2.4.3.3 Método de determinação do mecanismo gerador do ruído 1/f.....	48
2.4.4	Configuração para medir o ruído de baixa frequência .....	49
2.5	TENSÃO MECÂNICA NOS TRANSISTORES .....	50
2.5.1	Histórico da tensão mecânica .....	51
2.5.2	– Introdução a física do silício tensionado .....	52
	2.5.2.1 Relação entre deformação e tensão mecânica.....	52
	2.5.2.2 Introdução à piezoresistência.....	53
	2.5.2.3 Redução da massa efetiva e mudança de estados energéticos.....	54
2.5.3	Formação da tensão mecânica uniaxial.....	56
2.5.4	Obtenção da tensão mecânica biaxial .....	58
2.6	DEPENDÊNCIA DA TENSÃO MECÂNICA COM AS DIMENSÕES DOS DISPOSITIVOS .....	59
2.7	SIMULADOR UTILIZADO .....	60
<b>3</b>	<b>TRANSISTORES DE PORTA SIMPLES.....</b>	<b>63</b>
3.1	CARACTERÍSTICAS DOS DISPOSITIVOS.....	63
3.2	TENSÃO MECÂNICA NAS ESTRUTURAS.....	64
3.3	CARACTERÍSTICAS ANALÓGICAS .....	69
3.4	RUÍDO DE BAIXA FREQUÊNCIA .....	77

<b>4</b>	<b>TRANSISTORES MUGFETS DE PORTA TRIPLA</b> .....	<b>85</b>
4.1	CARACTERÍSTICAS DOS DISPOSITIVOS.....	85
4.2	TENSÃO MECÂNICA BIAxIAL NOS TRANSISTORES MUGFETS DE PORTA TRIPLA.....	85
4.3	PROPRIEDADES ELÉTRICAS DOS TRANSISTORES MUGFETS DE PORTA TENSIONADA COM O SUBSTRATO ROTACIONADO.....	89
4.3.1	Propriedades Analógicas dos transistores MuGFETs de porta tripla rotacionados sob a ação de tensão mecânica.....	94
4.4	RUÍDO DE BAIXA FREQUÊNCIA NOS TRANSISTORES MUGFETS DE PORTA TRIPLA.....	99
4.4.1	Ruído de baixa frequência nos transistores MuGFETs de porta tripla com tensão mecânica, não rotacionados.....	99
4.4.2	Ruído de baixa frequência nos transistores MuGFETs de porta tripla rotacionados em função da largura do canal.....	104
4.4.3	Ruído de baixa frequência nos transistores MuGFETs de porta tripla rotacionados em função do comprimento de canal.....	116
<b>5</b>	<b>CONCLUSÕES E TRABALHOS FUTUROS</b> .....	<b>121</b>
	<b>PUBLICAÇÕES</b> .....	<b>125</b>
	<b>REFERÊNCIAS BIBLIOGRÁFICAS</b> .....	<b>127</b>
	<b>APÊNDICE A - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANSISTOR SOI NMOSFET COM TENSÃO MECÂNICA UNIAXIAL</b> .....	<b>135</b>
	<b>APÊNDICE B - ARQUIVO DE SIMULAÇÃO NUMÉRICA UTILIZADO</b> .....	<b>139</b>
	<b>APÊNDICE C - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANSISTOR MUGFET DE PORTA TRIPLA COM TENSÃO MECÂNICA BIAxIAL</b> .....	<b>141</b>

## 1 INTRODUÇÃO

A indústria da microeletrônica ao longo das últimas quatro décadas apresentou uma gigantesca evolução em suas características, incluindo a redução das dimensões, a redução do custo por transistor e o aumento da velocidade. A mais importante destas características, do ponto de vista tecnológico, é a redução das dimensões dos dispositivos e conseqüentemente maior integração de transistores em uma mesma área. Em 1965, surgiu a lei de Moore (1) prevendo que a quantidade de transistores nos circuitos integrados dobra a cada 18 meses, atingindo nos dias atuais níveis altíssimos de integração (*Giga Scale Integration - GSI*) (2). Desde então, a microeletrônica vem evoluindo continuamente, permitindo chegar na tecnologia de Metal Óxido Semicondutor (MOS), ainda amplamente utilizada comercialmente.

Alternativamente aos dispositivos MOS convencionais, surgiu a tecnologia Silício Sobre Isolante (*Silicon On Insulator - SOI*), como forma de enfrentar problemas ocasionados pela redução do comprimento de canal (L), mantendo, assim, a contínua redução das dimensões e a evolução prevista pelo *International Technology Roadmap for Semiconductor (ITRS)* (3).

A tecnologia *SOI* consiste em isolar a região ativa do transistor formada pela camada de silício do substrato, eliminando assim alguns efeitos parasitários (4,2) decorrentes da interação do substrato com a camada de silício. Podemos citar como benefícios obtidos pela isolação da região ativa a redução dos efeitos de canal curto (5), os aumentos da transcondutância e da mobilidade (6), a redução das capacitâncias parasitárias de fonte e de dreno (7) e a melhora na inclinação de sublimiar.

Contudo, o escalamento da tecnologia planar para dimensões de porta da ordem de dezenas de nanômetros tem sido uma tarefa difícil, pois ocorre redução do controle eletrostático da porta sobre as cargas do canal, redução da mobilidade e aumento significativo da corrente de fuga pela porta (8).

Com o intuito de prolongar cada vez mais o escalamento dos transistores, surgiram no ano de 1989 os primeiros transistores de múltiplas portas (MuGFET – *Multiple Gate Field Effect Transistor*), primeiramente chamados de transistores DELTA (*Fully Depleted Lean Channel Transistor*) (9), e, posteriormente, como transistor MuGFET, que apresentam uma geometria não planar de portas dupla e

tripla. Estas estruturas atualmente são largamente pesquisadas por possuírem ótima integração com os processos de fabricação atuais, além de poderem se apresentar em estruturas de múltiplos dedos (*fin*), com a finalidade de se elevar a corrente de dreno. Estas estruturas vêm apresentando inúmeros benefícios em relação aos dispositivos planares, como redução dos efeitos de canal curto e melhor controle de corrente de dreno por possuir mais de uma porta (10).

Entretanto, os dispositivos planares e os dispositivos de múltiplas portas, vêm apresentando desafios significativos no escalamento das dimensões e o contínuo aumento da corrente de dreno, pois, com dimensões extremamente reduzidas do óxido de porta, há um aumento da corrente de fuga pela porta, entre outros fatores (11).

Para se reduzir a corrente de fuga pela porta, o caminho apresentado é a adoção de novos materiais como dielétrico de porta em substituição ao óxido de silício ( $\text{SiO}_2$ ). Estes dielétricos, comumente chamados de *High-k* (12,13), possuem alta constante dielétrica, assim podendo ser fisicamente mais espessas e mantendo o mesmo desempenho elétrico, com uma redução da corrente de fuga pela porta.

Um dos caminhos apresentados para manter a redução contínua das dimensões e reduzir os efeitos da degradação da mobilidade causado pelo aumento do campo elétrico é a utilização da tensão mecânica, tanto nos transistores planares como de múltiplas portas, com o intuito de aumentar a corrente de dreno.

Existem hoje duas técnicas bastante difundidas e amplamente utilizadas na indústria de semicondutores: a tensão mecânica biaxial, na qual a mesma age de forma direta no substrato e em duas direções, normalmente na direção do comprimento e da largura do canal (14) e a tensão mecânica uniaxial, que age em apenas uma das direções (15) e de forma indireta, e, usualmente, é obtida pela deposição do nitreto de silício em alta temperatura ao fim do processo de fabricação.

Entretanto, com os transistores de múltiplas portas ficando mais estreitos, a condução é feita predominantemente pelas laterais do dispositivo. Esta condução traz outro problema, que é a degradação da mobilidade de portadores para a orientação cristalográfica  $\langle 110 \rangle$  em relação à orientação  $\langle 100 \rangle$  (16).

Para solucionar ou minimizar estes problemas, outra técnica tem sido utilizada para o aumento da mobilidade de portadores, sendo esta, a rotação do substrato em  $45^\circ$ . A rotação do substrato em  $45^\circ$  faz com que todos os planos de condução do dispositivo estejam na orientação cristalográfica  $\langle 100 \rangle$ , pois em um transistor não



rotacionado, o plano de topo permanece na orientação  $\langle 100 \rangle$  e os planos laterais na orientação  $\langle 110 \rangle$ . Segundo estudos recentes, o uso do substrato rotacionado proporciona um ganho de mobilidade que está na ordem de 10% (25)

Na literatura, existem inúmeros trabalhos sobre os benefícios oriundos da tensão mecânica nos transistores de porta simples (planares) e de porta tripla; entretanto, há pouca informação disponível sobre o efeito da rotação do substrato em  $45^\circ$  nos transistores de porta tripla e nenhuma informação a respeito da combinação dos efeitos da tensão mecânica biaxial e rotação do substrato nos transistores de porta tripla.

Adicionalmente, um importante parâmetro de estudo de transistores que vem ganhando importância atualmente, sobretudo nos transistores de menores dimensões é o ruído de baixa frequência; este ruído se deve às flutuações na corrente ou na tensão e é provocado exclusivamente pelo dispositivo e de forma aleatória, não podendo ser eliminado, sendo tipicamente representada pela densidade espectral de potência (17). Este parâmetro também é de ampla importância para o processo de fabricação, pois é um indicador da qualidade do dielétrico de porta e interface, sendo que, para alcançar melhores resultados no processo, é necessário reduzir o ruído de baixa frequência.

Este trabalho explora de forma abrangente a influência da tensão mecânica em dispositivos com variadas tecnologias, tanto de porta simples quanto de porta tripla e porta tripla com rotação do substrato, abordando diversos aspectos e parâmetros, com principal ênfase no ruído de baixa frequência e nas propriedades analógicas.

Iniciamos este trabalho com o estudo dos efeitos da aplicação de tensão mecânica uniaxial e biaxial nos transistores de porta simples, passando pela análise das características analógicas e por fim destacando a análise do ruído de baixa frequência, de forma a identificar seus efeitos e causas.

Em seguida é feita uma análise da influência da tensão mecânica nos transistores de porta tripla com o substrato rotacionado, sob o aspecto das características analógicas e por fim uma análise do ruído de baixa frequência nos transistores de porta tripla não rotacionados e tensionados biaxialmente na região de saturação e a análise do ruído de baixa frequência nos transistores de porta tripla rotacionados, tensionados, tensionados e rotacionados, e sem qualquer tipo de efeito (referência).

Este trabalho foi realizado de forma predominantemente experimental, sendo apenas usado o simulador numérico nos dispositivos planares para a análise da tensão mecânica nos transistores, bem como para a extração dos parâmetros analógicos, e somente na análise da distribuição de tensão mecânica nos transistores MuGFETs de porta tripla múltiplas. As amostras experimentais foram fornecidas pelo Imec em Leuven na Bélgica e o simulador utilizado foi o Sentaurus da Synopsys Corporation.

## 1.1 ORGANIZAÇÃO

Este trabalho está organizado em cinco capítulos conforme descrito abaixo:

No capítulo dois, serão abordados os fundamentos teóricos necessários para o entendimento deste trabalho, apresentando uma introdução teórica sobre o transistor SOI de porta simples e porta tripla, passando pelos fundamentos do transistor com tensão mecânica uniaxial e biaxial e da rotação do substrato. Adicionalmente, serão discutidos os parâmetros estudados, com ênfase no ruído de baixa frequência. Por fim, neste capítulo é apresentada uma introdução ao simulador utilizado neste trabalho.

No capítulo três, serão apresentados os resultados provenientes dos transistores de porta simples. Através do uso de simulação numérica, o efeito e a distribuição da tensão mecânica sobre a estrutura dos transistores e, posteriormente, os efeitos da tensão mecânica uniaxial e biaxial nos parâmetros analógicos, serão comparados com resultados experimentais. Por fim, será feita uma análise experimental do ruído de baixa frequência nos transistores de porta simples com e sem tensão mecânica com o intuito de avaliar o efeito da tensão mecânica sobre os transistores sob a perspectiva do ruído de baixa frequência.

No capítulo quatro, serão apresentados os resultados experimentais do efeito da tensão mecânica biaxial nos transistores de porta tripla com e sem a rotação do substrato em  $45^\circ$ , com a avaliação de diversos parâmetros analógicos. O estudo do ruído de baixa frequência na região de saturação nos transistores de porta tripla tensionados sem a rotação do substrato será apresentado. Por fim no, capítulo quatro, o estudo do ruído de baixa frequência nos transistores rotacionados e

tensionados é apresentado, comparando-os com os transistores de referência, somente tensionados e somente rotacionados.

No capítulo cinco, serão apresentadas as conclusões deste trabalho, bem como as propostas para sua continuidade.

## 2 FUNDAMENTOS TEÓRICOS

Neste capítulo, é realizada uma revisão bibliográfica sobre os transistores MOS fabricados com a tecnologia Silício sobre Isolante (SOI) de porta simples e de porta tripla. Depois será feita uma introdução ao ruído de baixa frequência seguido da introdução à tensão mecânica uniaxial e tensão mecânica biaxial na tecnologia SOI porta simples e porta tripla, enfatizando suas propriedades físicas.

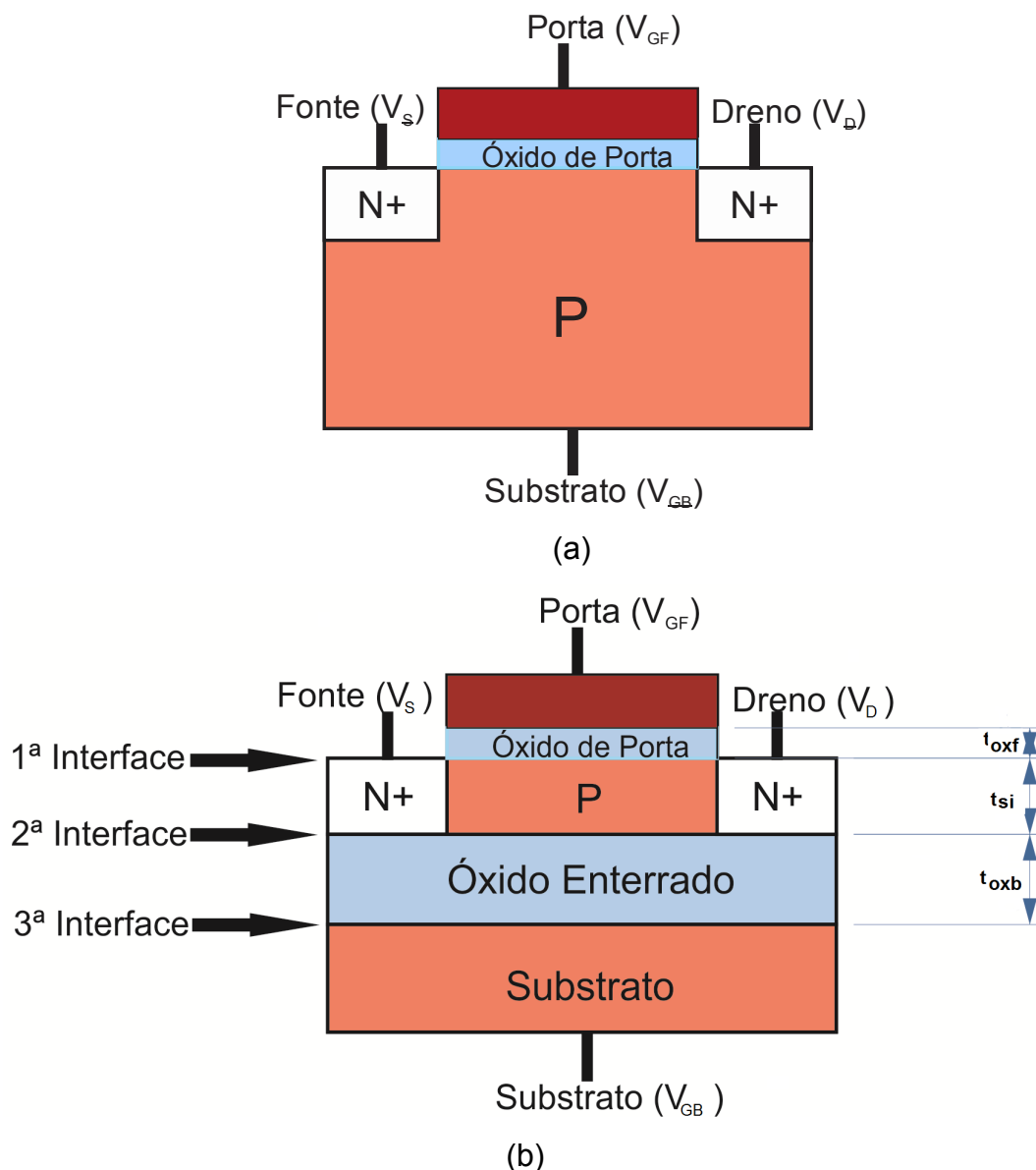
### 2.1 A TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE

Os transistores da tecnologia MOS convencional são fabricados sobre uma lâmina de silício com profundidade na ordem de micrômetros. Entretanto, a região ativa consiste apenas numa fração desta dimensão (primeiro micrômetro), acarretando em uma região neutra devido à interação entre o substrato e a região ativa, resultando em diversos efeitos indesejados, como a elevada capacitância parasitária (18).

Com a redução das dimensões dos transistores, a tecnologia MOS convencional vem enfrentando problemas de escalamento. Surgiu então a tecnologia silício sobre isolante, que consiste no isolamento da região ativa do transistor em relação ao substrato através de uma camada de óxido de silício. Devido a esta camada, ocorreu a redução de diversos efeitos, como uma menor capacitância parasitária e menor efeito de canal curto, entre outros (2). Além disso, devido a esta camada, há uma redução nas capacitâncias de junção entre fonte e dreno e substrato e eliminação do efeito tiristor parasitário (2).

A Figura 2.1 mostra o perfil do transistor MOS convencional (a) e do SOI nMOSFET (b), indicando os respectivos eletrodos de porta ( $V_{GF}$ ), dreno ( $V_D$ ), fonte ( $V_S$ ) e substrato ( $V_{GB}$ ).

Figura 2.1 - Perfil do transistor MOS convencional (a) e do transistor SOI nMOSFET (b)



Fonte: Souza (2015)

onde  $t_{Oxf}$  é a espessura do óxido de porta,  $t_{Si}$  é a espessura da camada de silício e  $t_{Oxb}$  é a espessura do óxido enterrado.

### 2.1.1 Classificação dos dispositivos SOI

Os transistores SOI podem funcionar no modo inversão ou acumulação. No caso do modo inversão, os dispositivos SOI são classificados em três tipos, o parcialmente depletado, o totalmente depletado e o quase totalmente depletado. Os fatores que determinam o modo de operação são três, a espessura da camada de silício ( $t_{Si}$ ), a concentração de dopantes e a temperatura.

Em dispositivos MOS convencionais, a região de depleção se estende da primeira interface Si-SiO<sub>2</sub> até sua profundidade máxima de depleção, dada pela equação (2.1)(2).

$$x_{dm\acute{a}x} = \sqrt{\frac{4\varepsilon_{Si}\Phi_F}{qN_A}} \quad (2.1)$$

onde  $\varepsilon_{Si}$  é a permissividade do silício,  $q$  é a carga elementar do elétron e  $N_A$  é a concentração de impurezas aceitadoras.

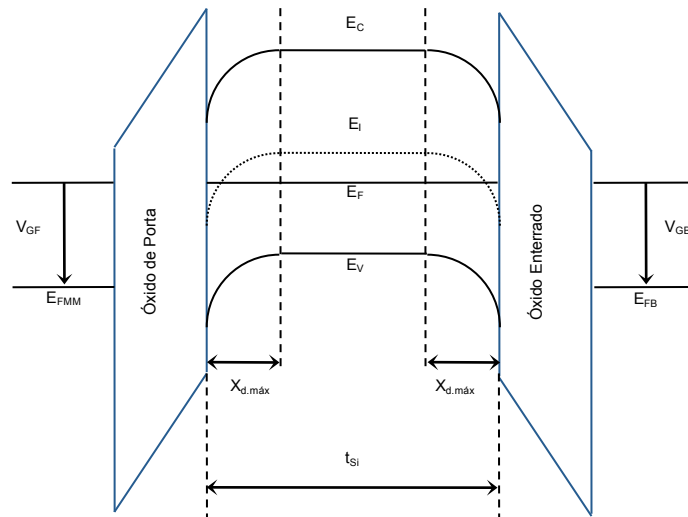
$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

onde  $\Phi_F$  é o potencial de Fermi, dado pela equação (2.2),  $T$  é a temperatura absoluta,  $n_i$  é a concentração intrínseca e  $k$  é a constante de Boltzman.

Observando a espessura da camada de depleção em relação à espessura da camada de silício, pode-se determinar o modo de funcionamento do transistor SOI. A Figura 2.2 apresenta o diagrama de faixas de energia para os transistores SOI parcialmente depletados onde a espessura da camada de silício é maior que duas vezes a largura máxima da camada de depleção ( $t_{Si} > 2x_{dm\acute{a}x}$ ), fazendo com que nunca exista qualquer interação entre as regiões de depleção originadas a partir da primeira e segunda interfaces, independentemente das tensões aplicadas na porta e no substrato, restando, portanto, uma região neutra entre as duas regiões. Esta região neutra, se ligada a um contato elétrico e a estrutura devidamente aterrada, faz com que o transistor SOI nMOSFET se comporte de forma similar a um transistor MOS convencional. Entretanto, caso esta região esteja eletricamente flutuante (*floating body*) (19), o transistor apresentará alguns efeitos indesejáveis como a elevação abrupta de corrente (*Kink effect*) (20) e o efeito bipolar parasitário.

Na Figura 2.2 e Figura 2.3,  $E_C$  é o nível inferior da faixa de condução,  $E_i$  é o nível intrínseco,  $E_F$  é o nível de Fermi,  $E_V$  é o nível superior da faixa de valência,  $E_{FMM}$  é o nível de Fermi do metal e  $E_{FS}$  é o nível de Fermi do substrato.

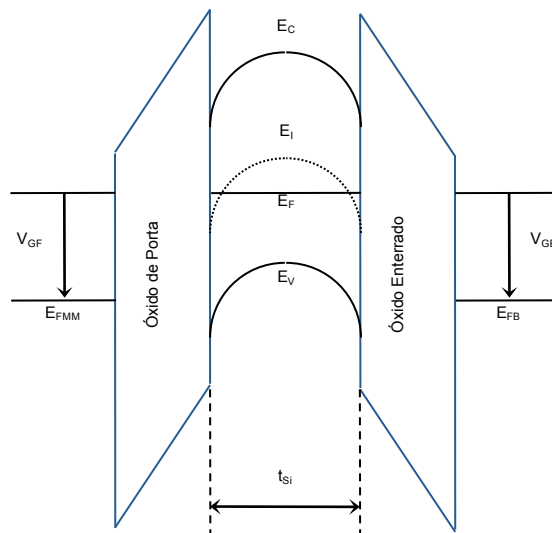
Figura 2.2 - Diagrama de faixas de energia para o SOI parcialmente depletado.



Fonte: Souza (2015)

O dispositivo SOI totalmente depletado, cujo diagrama de faixas de energia está apresentado na Figura 2.3, possui uma fina camada de silício que forma a região do canal, com espessura menor que a profundidade máxima da camada de depleção ( $t_{Si} < x_{d,máx}$ ). Com isso, para tensões de porta igual ou superiores à tensão de limiar, as regiões de depleção de ambas as interfaces estarão sempre em contato assegurando que todo o canal estará depletado, permitindo que o dispositivo esteja com o potencial de ambas as interfaces eletricamente acopladas.

Figura 2.3 - Diagrama de faixas de energia para o SOI totalmente depletado.



Fonte: Souza (2015)

Outro tipo existente de operação do transistor SOI, denominado de SOI quase totalmente depletado, é aquele onde a espessura da camada de silício está entre a largura máxima de depleção e duas vezes a largura máxima de depleção ( $x_{dm\acute{a}x} < t_{Si} < 2x_{dm\acute{a}x}$ ). Dependendo da tensão aplicada ao substrato, há a interação entre a primeira e a segunda interface, fazendo com que ele opere em regime totalmente depletado. Caso esta interação não ocorra, o dispositivo irá se comportar como um parcialmente depletado.

## 2.2 TRANSISTOR SOI MUGFET DE PORTA TRIPLA

Os transistores SOI de porta simples apresentam inúmeras vantagens em relação aos transistores MOS convencionais, como discutido anteriormente. Entretanto, com a redução das dimensões dos dispositivos SOI, diversos problemas surgiram, como os efeitos de canal curto, decorrentes da perda do controle das cargas pela porta, passando a ser controlados pelas regiões de fonte e de dreno. Para tanto, com o intuito de se melhorar os efeitos de canal curto, foram criados os transistores de múltiplas portas, onde basicamente o controle das cargas é realizado por mais de um eletrodo de porta, no mínimo dois, chegando até a ter quatro eletrodos de porta.

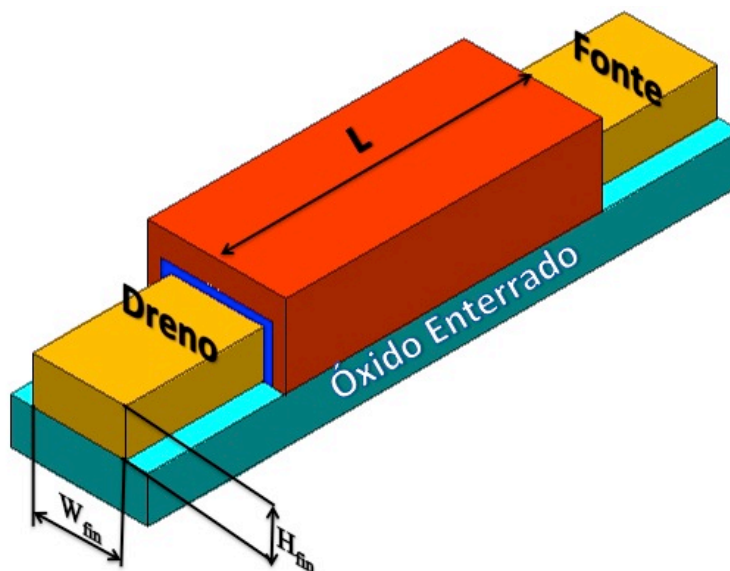
Historicamente, os primeiros transistores de múltiplas portas datam de 1984; são os transistores XMOS (21) de porta dupla, mas a complexidade do processo de alinhamento das portas superior e inferior foi uma das razões do não avanço desta estrutura. Em 1989, surge uma nova estrutura com múltiplas portas, chamado de transistor DELTA (9) (*fully DEpleted Lean-channel TrAnsistor*), construída em uma fina e alta aleta de silício comumente chamada de *fin* e possuindo duas portas laterais.

Uma evolução da estrutura DELTA, os MuGFETs (22) de porta dupla são basicamente os transistores DELTA com a presença da camada dielétrica, chamada *Hard Mask* no topo do *fin*. A definição da quantidade de portas do transistor MuGFET é a relação entre a largura do *fin* e a altura do *fin*, sendo que, se a altura for bem maior que a largura, define-se como sendo um transistor de porta dupla.

Atualmente existem transistores MuGFETs de porta tripla, onde a altura do *fin* é igual ou próxima à largura do *fin*. A Figura 2.4 representa de forma esquemática o transistor MuGFET de porta tripla.



Figura 2.4 - Representação esquemática de um transistor de porta tripla.



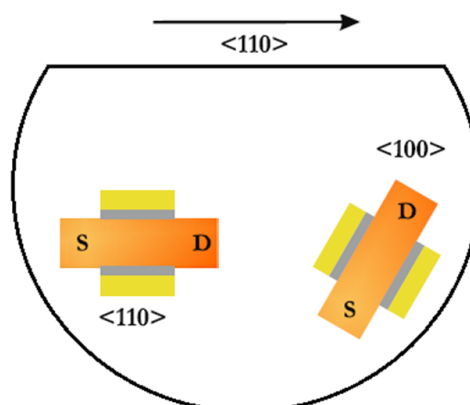
Fonte: Souza (2015)

A corrente de dreno, num transistor MuGFET, é proporcional à largura e a altura do *fin*: no caso de um transistor de porta dupla cuja condução se dá pelas paredes laterais (com  $H_{fin} = W$ ), seria o dobro da corrente de dreno de porta simples e o triplo nos transistores de porta tripla com ( $H_{fin} = W_{fin} = W$ ), se as mobilidades nos planos de condução fossem as mesmas. Entretanto, a mobilidade é dependente da orientação cristalográfica do silício, sendo que, no transistor de porta tripla, a orientação do topo é  $\langle 100 \rangle$  e nas laterais  $\langle 110 \rangle$ , onde a mobilidade é usualmente menor (23,24).

Recentemente, de forma alternativa, foram introduzidas estruturas com a intenção de melhorar a mobilidade lateral e, conseqüentemente, outros fatores. Estas estruturas são denominadas de MuGFETs rotacionados. Conforme apresentado na Figura 2.5. Nesse caso, o substrato é rotacionado em  $45^\circ$  deixando todos os planos cristalográficos em  $\langle 100 \rangle$ , justamente onde a mobilidade é maior.

Estudos recentes (25) demonstram que o fato de se rotacionar o substrato em  $45^\circ$  faz com que ocorram melhoras na mobilidade e conseqüentemente transcondutância máxima.

Figura 2.5 - Representação esquemática de um transistor de porta tripla em um substrato rotacionado em 45°.

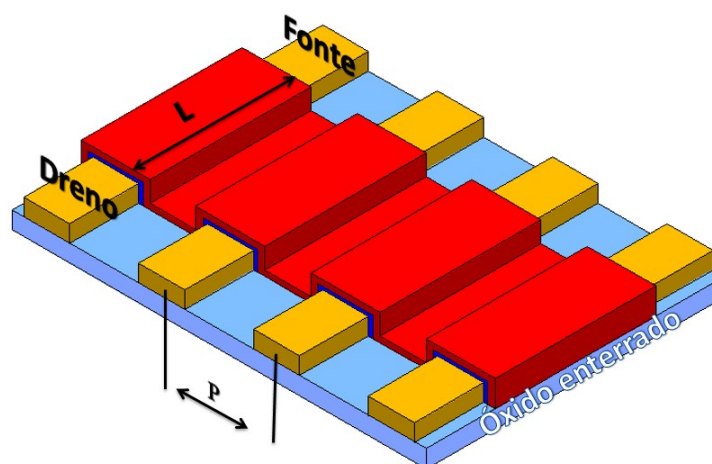


Fonte: Souza (2015)

Uma outra técnica amplamente utilizada com a intenção de aumentar a corrente de dreno num transistor MuGFET é a utilização de diversos transistores MuGFETs conectados em paralelo, ou seja, as chamadas estruturas multi-dedos (Figura 2.6), de forma que, ao se considerar a mobilidade igual em todos os transistores da estrutura, a corrente total da estrutura será dada pela multiplicação da corrente em um transistor pela quantidade de dedos da estrutura. A corrente que flui pelos transistores com multi-dedos ( $I_{Dmulti}$ ) é apresentada na equação (2.3), onde  $I_{D0}$  é a corrente que flui pelo transistor planar por unidade de largura de canal e  $P$  é o *Pitch* que é a distância entre dois transistores.

$$I_{Dmulti} = I_{D0} \frac{(W_{fin} + 2H_{fin})}{P} \quad (2.3)$$

Figura 2.6 - Representação esquemática de uma estrutura multi-dedos.



Fonte: Souza (2015)

## 2.3 PARÂMETROS ELÉTRICOS E CARACTERÍSTICAS ANALÓGICAS

Nesta seção, é feita uma introdução aos parâmetros elétricos do transistor SOI convencional, enfatizando suas diferenças e suas implicações para o transistor de porta tripla.

### 2.3.1 Tensão de limiar

Num dispositivo MOS convencional, a tensão de limiar ( $V_{th}$ ) pode ser definida como a tensão que, aplicada à porta, faz com que haja a atração de portadores minoritários na interface  $S_i-S_iO_2$  na região de canal, formando uma camada de forte inversão. Nesta condição, o potencial de superfície atinge  $2\Phi_F$  (26).

Esta tensão de limiar, em dispositivos MOS convencionais e transistores SOI parcialmente depletados, é dada pela equação (2.4) (27).

$$V_{th} = V_{FB} + 2\Phi_F + \frac{q \cdot N_A \cdot x_{dmáx}}{C_{OX}} \quad (2.4)$$

onde a tensão de faixa plana ( $V_{FB}$ ) é dada pela equação (2.5).

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (2.5)$$

onde  $C_{OX}$  é a capacitância do óxido da porta por unidade de área,  $Q_{OX}$  é a densidade de cargas fixas no óxido de porta por unidade de área para a primeira interface e  $\Phi_{MS}$  é a diferença da função trabalho entre metal e semiconductor.

Nos transistores SOI MOSFET totalmente depletados, as relações que descrevem o acoplamento das cargas existentes entre a porta e o substrato, derivadas das equações de Lim & Fossum, são apresentadas nas equações (2.6) e (2.7), desprezando-se as armadilhas de interface (27):

$$V_{GF} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + \left(1 + \frac{C_{Si}}{C_{OXf}}\right) \Phi_{SF} - \frac{C_{Si}}{C_{OXf}} \Phi_{SB} - \frac{\frac{1}{2} Q_{depl} + Q_{invf}}{C_{OXf}} \quad (2.6)$$

$$V_{GB} = \Phi_{MSB} - \frac{Q_{OXb}}{C_{OXb}} - \frac{C_{Si}}{C_{OXb}} \Phi_{SF} + \left(1 + \frac{C_{Si}}{C_{OXb}}\right) \Phi_{SB} - \frac{\frac{1}{2} Q_{depl} + Q_{SB}}{C_{OXb}} \quad (2.7)$$

onde,  $Q_{depl} = -qN_{AtSi}$  é a densidade total de cargas na depleção na camada de silício por unidade de área.  $\Phi_{MSF}$  é a diferença de função trabalho entre a porta e a camada de silício,  $\Phi_{MSB}$  é a diferença de função trabalho entre o substrato e a camada de silício,  $\Phi_{SF}$  é o potencial de superfície da primeira interface,  $\Phi_{SB}$  é o potencial de superfície da segunda interface,  $Q_{invf}$  é a carga de inversão na primeira interface por unidade de área e  $Q_{SB}$  é a carga de inversão ( $Q_{SB} < 0$ ) ou de acumulação ( $Q_{SB} > 0$ ) na segunda interface por unidade de área.

As equações (2.6) e (2.7) descrevem o acoplamento entre a porta e o substrato num transistor SOI totalmente depletado. Combinando as equações, pode-se determinar a tensão de limiar do dispositivo para as diversas condições de operação, conforme descrito a seguir:

Com a segunda interface em acumulação ( $V_{th,acc}$ ) ( $\Phi_{SB} = 0$ ), da equação (2.6) temos:

$$V_{th,acc} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + \left(1 + \frac{C_{Si}}{C_{OXf}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{OXf}} \quad (2.8)$$

Com a segunda interface invertida ( $V_{th,inv}$ ) ( $\Phi_{SB} = 2\Phi_F$ ), da equação (2.6) temos:

$$V_{th,inv} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OXf}} \quad (2.9)$$

Com a segunda interface depletada ( $V_{th}$ ) ( $0 < \Phi_{SB} < 2\Phi_F$ ), das equações (2.6), (2.7) e (2.8) temos:

$$V_{th,depl} = V_{th,acc} - \frac{C_{Si} \cdot C_{OXb}}{C_{OXf}(C_{Si} + C_{OXb})} \cdot (V_{GB} - V_{GB,acc}) \quad (2.10)$$

onde  $V_{GB,acc}$  é a tensão aplicada ao substrato para levar a segunda interface ao regime de acumulação.

As equações (2.8), (2.9) e (2.10) são válidas somente caso a espessura das regiões de inversão e acumulação sejam desprezíveis face à espessura da camada de silício.

### 2.3.2 Tensão de Limiar nos transistores de MuGFETs de porta tripla

Diferentemente do que ocorre nos transistores planares, não há uma definição clara da tensão de limiar, pois nos transistores de porta dupla pode ocorrer a condução em valores de  $\Phi_{SB}$  inferiores a duas vezes o potencial de fermi ( $\Phi_F$ ) devido aos mecanismos de inversão fraca (28). No entanto, para dispositivos estreitos, a condução pode se dar para valores de  $\Phi_{SB}$  superiores a  $2\Phi_F$ .

Existem atualmente diversos modelos propostos que definem a tensão de limiar para um transistor de porta dupla; um deles é o proposto por Francis et al em 1994 (29), definida pelo método da máxima mudança da transcondutância, sendo atingida geralmente quando o potencial de superfície ainda é menor que  $2\Phi_F$ . A equação (2.11) ilustra a tensão de limiar segundo o modelo proposto por Francis.

$$V_{th} = \Phi_{SF} + V_{FB} + \frac{K \cdot T}{q} \cdot \frac{\alpha}{\delta} \cdot \sqrt{1 + \frac{\delta}{\alpha}} \quad (2.11)$$

onde, onde  $\delta = \frac{C_{OX}}{4C_{Si}}$  e  $\alpha = \frac{q}{k \cdot T} \cdot \frac{Q_{depl}}{8C_{Si}}$  e  $Q_{depl}$  é a densidade de carga de depleção na região do canal do transistor.

### 2.3.3 Transcondutância

A transcondutância ( $g_m$ ) é definida como a eficácia do controle da tensão de porta sobre a corrente de dreno. Nas regiões de triodo e saturação, a transcondutância é dada pelas equações (2.12) e (2.13), respectivamente (2).

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \mu_n C_{OXf} \frac{W}{L} V_{DS} \quad (2.12)$$

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \frac{W\mu_n C_{OXf}}{L(1 + \alpha)} (V_{GF} - V_{Th}) \quad (2.13)$$

onde  $\alpha$  é o acoplamento capacitivo e é a relação  $C_b/C_{oxf}$  ( $C_b$  é a capacitância entre o canal de inversão e o eletrodo de substrato e  $C_{oxf}$  é a capacitância de óxido de porta por unidade de área). Caso seja um transistor MOS convencional ou SOI totalmente depletado, o valor de  $\alpha$  irá variar de acordo com o tipo de polarização, conforme as equações (2.14), (2.15) e (2.16) a seguir

a) Para o MOS convencional e SOI parcialmente depletado

$$\alpha = \frac{\epsilon_{Si}}{x_{dm\acute{a}x} C_{OXf}} \quad (2.14)$$

b) Para o SOI totalmente depletado com a segunda interface em acumulação

$$\alpha = \frac{C_{Si}}{C_{OXf}} \quad (2.15)$$

c) Para o SOI totalmente depletado com a segunda interface depletada

$$\alpha = \frac{C_{Si} \cdot C_{OXb}}{C_{OXf} \cdot (C_{Si} + C_{OXb})} \quad (2.16)$$

Na saturação  $g_m$  é dependente de  $1+\alpha$  (acoplamento capacitivo). Assim, a transcondutância é maior em dispositivos SOI totalmente depletados, menor nos dispositivos convencionais e menor ainda em dispositivos SOI com a segunda interface acumulada.

Nos transistores MuGFETs, por ter melhor acoplamento capacitivo devido à adição do plano de condução lateral, o valor do acoplamento fica extremamente próximo à unidade (30), resultando em uma maior eficácia do controle da tensão de porta sobre a corrente de dreno.

#### 2.3.4 Efeitos de canal curto

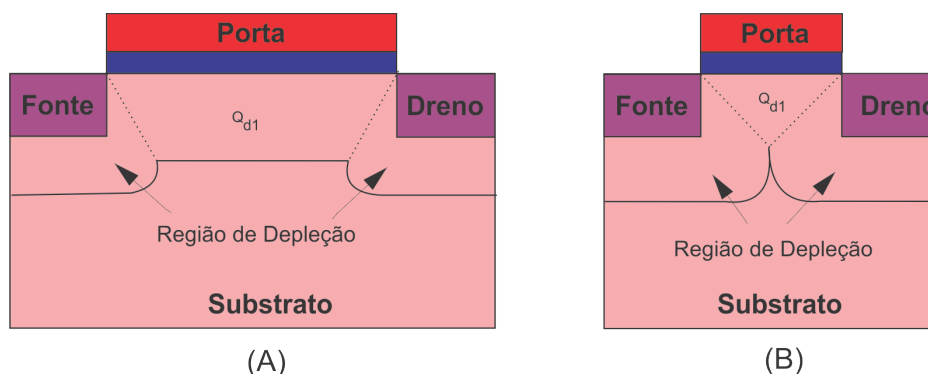
Com a evolução da microeletrônica e conseqüente redução do comprimento de canal, as zonas de depleção induzidas pelas junções de fonte e dreno podem se tornar significativas, impedindo o controle da porta sobre toda a região de depleção do canal. O mecanismo é devido ao chamado compartilhamento de cargas entre a fonte e dreno e a porta e os problemas mais comuns originados pelos efeitos de canal curto (5) são: a variação da tensão de limiar, degradação da inclinação de sublimiar, diminuição da altura da barreira de potencial na fonte induzida pelo dreno (DIBL), perfuração MOS, ação do transistor bipolar parasitário.

Traçando-se a tensão de limiar como uma função do comprimento de canal em MOSFETs, verifica-se que a tensão de limiar diminui com a redução do comprimento do canal ( $L$ ) para geometrias muito pequenas.

Eletricamente as cargas de depleção que são compartilhadas com as regiões de fonte e dreno não devem ser consideradas na expressão de  $v_{th}$ . Pode-se lidar com esse efeito, pela substituição da carga de depleção  $Q_d$  original localizada na região retangular embaixo da porta, por uma carga de depleção  $Q_{d1}$  menor, localizada na região trapezoidal conforme indica a Figura 2.7(A).

Para dispositivos de canal longo, a carga de depleção das regiões triangulares próximas à fonte e ao dreno é uma fração muito pequena da carga total de depleção embaixo da porta. Porém, para um comprimento de canal reduzido, o compartilhamento das cargas, pode se tornar uma fração considerável, resultando em uma variação de  $v_{th}$  apreciável como função de  $L$ .

Figura 2.7 - Distribuição das cargas de depleção para o MOSFET totalmente depletado.



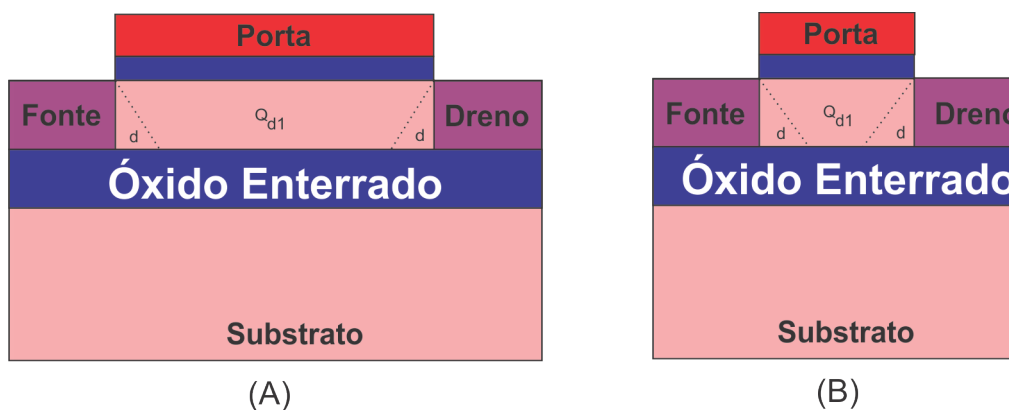
Fonte: Souza (2015)

No SOI MOSFET totalmente depletado, para as mesmas dimensões e condições de polarização em relação ao de substrato convencional, tem-se que a região de depleção avança e se estende por toda superfície do óxido enterrado, fazendo com que as cargas compartilhadas com as regiões de fonte e dreno sejam ainda menores do que aquelas que são compartilhadas em MOSFET convencional, deixando os dispositivos SOI mais imunes ao efeito de canal curto (31) conforme visto na Figura 2.8, podendo a carga de depleção ser calculada conforme equação (2.17).

$$Q_{d1} = Q_{depl} \left(1 - \frac{d}{L}\right) \quad (2.17)$$

onde  $d$  é a distancia mostrada pela Figura 2.8,  $Q_{d1}$  é a carga de depleção controlada pela porta e  $Q_{depl}$  a carga de depleção.

Figura 2.8 - Distribuição das cargas de depleção para o SOI MOSFET totalmente depletado.



Fonte: Souza (2015)



Em se tratando de transistores de porta tripla, o efeito de canal curto baseia-se nos modelos tridimensionais, onde a análise se inicia por um transistor de porta simples, onde as componentes de campo elétrico atuantes  $\xi_y$  vertical a porta e  $\xi_x$  horizontal do dreno. Adicionando-se mais uma porta ao transistor, a atuação da componente de campo elétrico da porta ( $\xi_y$ ) ficará maior e assim a componente de campo controlada pelo dreno ( $\xi_x$ ) pode ficar menor e, conseqüentemente, haverá um menor efeito de canal curto.

A fim de se determinar a influência dos efeitos de canal curto nos transistores de porta tripla, Yan et al (32) propuseram o conceito de comprimento natural do dispositivo ( $\lambda$ ) que representa a distância de penetração das linhas de campo elétrico do dreno no interior do corpo do dispositivo, onde se pode estimar o quanto se pode reduzir a espessura do filme de silício para que não ocorra efeitos de canal curto.

O comprimento natural é um parâmetro dependente da espessura do óxido de porta e da espessura do filme de silício como mostrado na equação (2.18) para um transistor de porta simples. Através das equações (2.19) e (2.20), podemos visualizar para os transistores de porta dupla e quádrupla, respectivamente, que quanto maior o número de portas, menor será o comprimento natural, resultando em um menor efeito de canal curto.

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{oxf} \cdot t_{Si}} \quad (2.18)$$

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{oxf} \cdot t_{Si}} \quad (2.19)$$

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}} t_{oxf} \cdot t_{Si}} \quad (2.20)$$

### 2.3.5 Condutância de saída

A condutância de saída ( $g_d$ ) mede a variação da corrente de dreno em função da tensão aplicada ao dreno, sendo diretamente responsável pelo campo elétrico horizontal e, conseqüentemente, com o ganho de tensão em malha aberta. A condutância de saída pode ser descrita de acordo com a equação (2.21).

$$g_d = \frac{dI_{ds}}{dV_{DS}} \quad (2.21)$$

Diretamente associado à condutância de saída, está a tensão Early que pode ser aproximada pela razão  $I_{DS}/g_d$  do dispositivo operando na região de saturação.

Devido ao bom acoplamento vertical e ao melhor controle do potencial no interior do canal em relação aos transistores de porta simples, em dispositivos de porta tripla, existe uma menor influência do potencial de dreno na corrente de condução, resultando em uma menor condutância de dreno, o que eleva a tensão Early [33].

### 2.3.6 Ganho intrínseco de tensão

O ganho intrínseco de tensão ou ganho de malha aberta é um parâmetro amplamente utilizado nos circuitos analógicos, sendo definido pela equação (2.22) (34).

$$A_V = \frac{g_m}{g_d} \cong \left( \frac{g_m}{I_{DS}} \right) V_{EA} \quad (2.22)$$

A tensão Early possui relação direta com o ganho intrínseco de tensão, assim, devido à maior tensão Early obtida em MuGFETs em relação aos transistores de porta simples. Pode-se observar um aumento considerável no ganho intrínseco de tensão pode ser observado, chegando, conforme a referência (35) um aumento de

até 30dB quando comparado ao transistor de porta simples, o que significa uma excelente característica analógica.

### 2.3.7 Razão $g_m/I_{DS}$

Este parâmetro que relaciona transcondutância com a corrente de dreno mede a eficácia de um transistor em converter corrente de polarização em transcondutância. Maiores valores são observados quando o transistor está operando em inversão fraca. As equações (2.23) e (2.24) mostram a relação  $g_m/I_{DS}$  para a inversão fraca e para a inversão forte, respectivamente, para as tecnologias MOS convencional e SOI.

$$\frac{g_m}{I_{DS}} = \frac{\ln(10)}{S} = \left( \frac{q}{nkT} \right) \quad (2.23)$$

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{oxf} \left(\frac{W}{L}\right)}{nI_{DS}}} \quad (2.24)$$

Este parâmetro é de grande importância para circuitos analógicos pois está fortemente relacionada com o ganho intrínseco de tensão apresentado na seção 2.3.6. Através desta relação, pode-se determinar em qual região o circuito opera, isto é em inversão fraca, moderada ou forte, onde, operando na inversão fraca, maiores valores de  $g_m/I_{DS}$  são encontrados e conseqüentemente maiores valores de ganho intrínseco ( $A_V$ ).

### 2.3.8 Frequência de ganho unitário

A frequência de ganho unitário ( $f_t$ ) representa um importante parâmetro para circuitos analógicos e é a frequência do amplificador em que seu ganho é unitário.  $A_V$  pode ser expresso pela equação (2.22) para baixas frequências em amplificadores operando em malha aberta. Entretanto, para frequências mais altas, esta equação não é mais válida, pois ocorre uma redução significativa deste ganho,

onde a equação (2.25) dá a frequência de ganho unitário que pode ser usada para diversas tecnologias, e está diretamente relacionada com a transcondutância.

$$f_t = \left( \frac{g_m}{I_{DS}} \right) \left( \frac{I_{DS}}{2\pi C_L} \right) = \frac{g_m}{2\pi C_L} \quad (2.25)$$

onde,  $C_L$  é a capacitância de carga dada pela equação (2.26).

$$C_L = C_{oxf}WL \quad (2.26)$$

## 2.4 RUÍDO DE BAIXA FREQUÊNCIA

O ruído é caracterizado como sendo uma perturbação que interfere de forma a prejudicar o funcionamento dos circuitos eletrônicos através da falta de inteligibilidade correta dos sinais desejados.

A fonte do ruído pode ser originada em um ambiente externo, provenientes de circuitos adjacentes, fontes externas de tensão AC, acoplamento eletromagnético, entre outros.

Outra fonte geradora de ruído é a interna, as flutuações aleatórias, normalmente oriundas do processo de fabricação e geralmente governados pela flutuação da mobilidade e pela flutuação do número de portadores. Normalmente este tipo de ruído não pode ser eliminado.

Este trabalho trata exclusivamente do ruído de origem interna do transistor. Nesta seção será dada inicialmente uma introdução ao ruído; a "posteriori" apresentaremos os diferentes tipos de ruído, como o ruído de geração recombinação e ruído 1/f ou flicker.

### 2.4.1 Definição de ruído

Como dito anteriormente, o ruído é inerente às propriedades físicas do transistor e é uma perturbação espontânea e aleatória, não podendo ser eliminada; mas, com o projeto e os processo de fabricação cada vez melhores, os ruídos

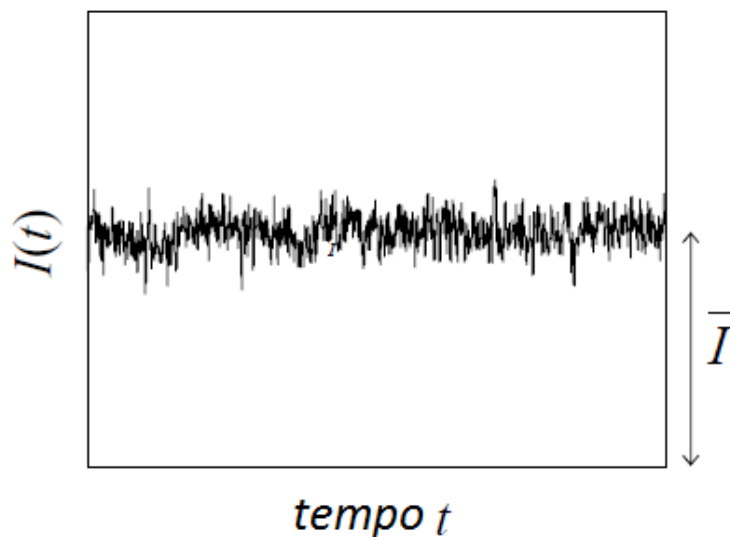
podem ser reduzidos quando comparadas mesmas tecnologias e materiais, entretanto, com novos dielétricos de porta e miniaturização, ocorrem um aumento de ruído.

A Figura 2.9 ilustra a flutuação aleatória de um dado sinal devido ao ruído, sendo definida pela equação (2.27).

$$I(t) = \bar{I} + i_n(t) \quad (2.27)$$

onde  $\bar{I}$  é a média da corrente que flutua randomicamente e  $i_n$  é a flutuação da corrente, randômico em qualquer ponto no tempo e não pode ser previsto.

Figura 2.9 - Representação de um ruído qualquer.



Fonte: Haartman (2007)

O estudo do ruído é baseado em métodos matemáticos da teoria da probabilidade onde o método normalmente empregado para caracterizar e descrever o ruído é a conversão do problema do domínio do tempo para o domínio da frequência, usualmente chamada de transformada de Fourier.

As médias de um conjunto podem ser obtidos quando a função da densidade de probabilidade é conhecida. Praticamente todas as flutuações de corrente e tensões em um dispositivo seguem uma distribuição gaussiana (normal), onde prevê

a probabilidade do ruído medido ter um valor específico em um ponto qualquer no tempo. A equação (2.28) apresenta matematicamente a distribuição da curva de Gauss.

$$f(X) = \frac{1}{\sigma\sqrt{2\pi}} \exp\left[-\frac{(X - m)^2}{2\sigma^2}\right] \quad (2.28)$$

onde  $m$  é o valor médio e  $\sigma$  é o desvio padrão de  $X$ .

A função  $f(x)$  é conhecida como a função da densidade de probabilidade (36), entretanto o valor exato da função densidade de probabilidade para o ruído é dificilmente conhecida. A abordagem utilizada consiste na utilização do teorema de Wiener-Khintchine (37,38), onde as medidas de correntes e tensões ao longo do tempo são utilizadas para obter informações sobre o ruído. O valor do ruído de tensão ou corrente elevado ao quadrado costuma ser empregado como passo intermediário para descrever o ruído.

Os valores obtidos são chamados de densidade espectral de potência, também conhecidos como  $S$ , sendo o ruído de corrente,  $S_{id}$ , e para o ruído de tensão,  $S_{vg}$ . Suas unidades são especificadas como  $A^2/Hz$  e  $V^2/Hz$ , respectivamente.

Experimentalmente, o ruído de baixa frequência é medido através de um analisador de espectro; a forma de medição será discutida posteriormente na seção 2.4.4.

Nas seções seguintes, serão discutidos dois tipos de ruído: ruído “Flicker” e ruído de geração e recombinação.

#### **2.4.2 Ruído de geração e recombinação**

O ruído de geração e recombinação em semicondutores é proveniente das armadilhas e portadores livres, que de forma aleatória, capturam e emitem portadores, causando a flutuação no número de portadores disponíveis para a condução da corrente (38). Se portadores são armadilhados em alguns pontos críticos, estes armadilhamentos podem gerar flutuações na mobilidade de

portadores, no coeficiente de difusão, campo elétrico, etc. As armadilhas são caracterizadas como sendo estados de energia possíveis dentro da banda proibida e existem devido à presença de inúmeros defeitos ou impurezas no semicondutor e suas superfícies.

O número de portadores livres na faixa de condução pode variar de acordo com o processo de geração e recombinação entre as bandas de energia e as armadilhas. A densidade espectral de corrente de dreno devido à flutuações no número de portadores pode ser descrita conforme a equação 2.19 (36).

$$S_I = \frac{S_N}{N^2} I^2 = I^2 \frac{N_T}{N^2} \frac{\tau}{1 + (2\pi f)^2 \tau^2} \quad (2.29)$$

onde, através da equação (2.29), podemos notar que a densidade espectral de potência é proporcional ao número de armadilhas e inversamente proporcional ao número de portadores ao quadrado. O ruído segue a forma de  $1/f^2$  e chamada de ruído de Lorentiziana. Dependendo da distribuição das constantes de tempo, o ruído equivalente pode vir a ser proporcional ao ruído  $1/f$ , conforme será discutido na seção 2.4.3.

### 2.4.3 Ruído Flicker

O ruído Flicker, também chamado de ruído  $1/f$ , é um nome comum para designar flutuações que ocorrem com a densidade espectral de potência proporcional a  $1/f^y$  onde,  $y$  geralmente é perto de 1 (usualmente variando entre 0,7 e 1,3). A forma geral do ruído  $1/f$  é descrita pela equação (2.30).

$$S = \frac{KI^\beta}{f^y} \quad (2.30)$$

onde  $K$  é uma constante e  $\beta$  é um expoente para a corrente.

As flutuações do ruído  $1/f$  são observadas na parte de baixa frequência do espectro, geralmente entre  $10^{-5}$  e  $10^7$  Hz para a maioria dos materiais e uma larga variedade de dispositivos semicondutores (39,40,41).

Existem essencialmente dois tipos de mecanismos físicos por trás das flutuações na corrente: a flutuação ocasionada pela mobilidade de portadores e a flutuação ocasionada pelo número de portadores.

#### 2.4.3.1 Ruído 1/f devido à flutuação da mobilidade

Neste mecanismo de geração do ruído 1/f, flutuação da mobilidade, foi primeiramente descrito por Hooge, conforme apresentada na equação (2.31) para a flutuação da resistência (42).

$$\frac{S_R}{R^2} = \frac{\alpha_H}{fN} \quad (2.31)$$

onde  $\alpha_H$  é um parâmetro dimensional referente ao parâmetro de Hooge, que primeiramente foi sugerido como uma constante, sendo igual a  $2 \times 10^{-3}$ .

Posteriormente, o parâmetro  $\alpha_H$  passou a ser associado com a qualidade da interface. Em um material ideal, uma redução de duas a três ordens de magnitude no valor foram observadas. Também foi proposto no modelo de Hooge que somente o espalhamento de fônons contribui para a flutuação da mobilidade (43). A equação (2.32) mostra a densidade espectral de potência de uma flutuação da mobilidade individual.

$$\frac{S_{\mu i}}{\mu_i^2} = \frac{\alpha_H}{f} \quad (2.32)$$

onde  $\alpha_H$  é proporcional à variação da flutuação da mobilidade relativa para cada portador, independentemente do número de portadores. A flutuação da mobilidade está sempre presente, de forma independente à condição da polarização. Entretanto, a polarização do dispositivo facilita a detecção do ruído.

O modelo de Hooge teve sucesso ao explicar o ruído 1/f em metais e semicondutores (43). No transistor MOS, a corrente flui predominantemente perto da interface entre a camada de silício e o óxido de porta e, neste caso, armadilhas localizadas no óxido de porta é a fonte do ruído 1/f (44,45,46). Este modelo, proposto



por Hooge e descrito pela equação (2.31), é empírico e não sugere uma explicação física para a flutuação da mobilidade.

Diversos modelos foram propostos desde então para descrever de forma física a flutuação da mobilidade, sem aceitação de forma consistente.

Apenas citando dois deles, o modelo proposto por Handel (47,48) que explica que a flutuação da mobilidade como espalhamento de um elétron, é devido à emissão de fônon infravermelho. Um elétron é desacelerado quando se espalha, emitindo uma radiação eletromagnética, por exemplo fônons. As energias dos fônons dependem da frequência, resultando na probabilidade de emissão do fônon proporcional a  $1/f$  (47,48).

O segundo modelo, proposto por Melkonyan et al, diz que a flutuação da mobilidade é devido à flutuação da energia, resultando num espalhamento aleatório de fônon-fônon.

Apenas no ano de 2013 Omura (49), foi capaz de descrever de forma consistente os resultados experimentais o mecanismo da flutuação da mobilidade. O modelo propõe que os parâmetros de Hooge sejam reconsiderados sob o ponto de vista da correlação cruzada entre a densidade de flutuação de portadores e a flutuação da mobilidade, levando em conta a dimensionalidade do transporte de portadores, mesclando os modelos fundamentais proposto por Hooge e Handel, com a estatística física e física da mecânica quântica de transporte de portadores.

#### 2.4.3.2 Ruído $1/f$ devido à flutuação do número de portadores

Este mecanismo é produzido por um alto número de armadilhas (número de flutuações advindas do mecanismo de geração e recombinação), produzindo o ruído com aspecto  $1/f$  se a constante de tempo das armadilhas forem distribuídas de acordo com a equação (2.33).

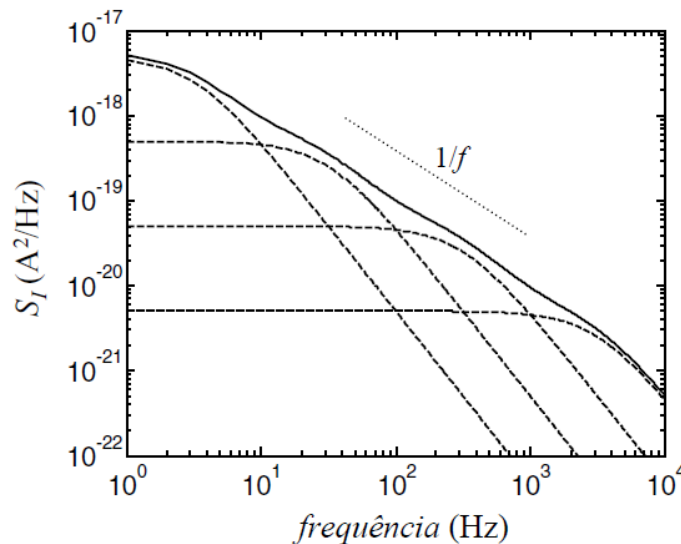
$$g(\tau) = \frac{1}{\ln\left(\frac{\tau_2}{\tau_1}\right)} \text{ para } \tau_1 < \tau < \tau_2, \quad g(\tau) = 0, \text{ caso contrário} \quad (2.33)$$

O fator  $\frac{1}{\ln(\frac{\tau_2}{\tau_1})}$  é para finalidades de normalização. A superposição do ruído de geração e recombinação vem da distribuição de diversas armadilhas de acordo com a produção de  $g(\tau)$ , assim,

$$S_{tot} = \frac{B}{4 \ln(\frac{\tau_2}{\tau_1}) f} \text{ para } \tau_1 < \tau < \tau_2, g(\tau) = 0, \text{ caso contrário} \quad (2.34)$$

Um exemplo é mostrado na Figura 2.10, onde o ruído de geração e recombinação é oriundo de quatro armadilhas individuais, com quatro diferentes constantes de tempo, fazendo com que o ruído resultante tenha um aspecto  $1/f$ . Algumas observações se fazem necessárias, sendo a primeira assumir que o ruído de geração e recombinação foi adicionado pelas armadilhas. Isto se torna verdade se as armadilhas forem isoladas e sem interações (38). A segunda observação é que as armadilhas são assumidas em duplas, da mesma forma que a corrente de saída (mesmo B para todas as armadilhas).

Figura 2.10 - Representação de vários ruídos de geração e recombinação deslocados no tempo, resultando em um ruído típico  $1/f$ .



Fonte: Haartman (2007)

#### 2.4.3.3 Método de determinação do mecanismo gerador do ruído $1/f$

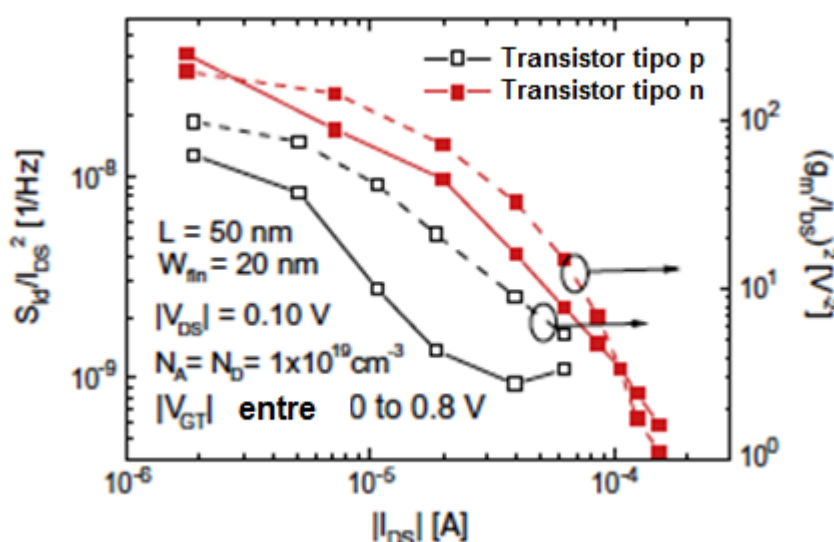
Um popular método para realizar o diagnóstico das fontes do ruído de baixa frequência em um transistor (50), é comparar o ruído da corrente de dreno

normalizada pela corrente de dreno em escala logarítmica com a curva do quadrado da razão da transcondutância e corrente de dreno ( $g_m/I_{DS}$ ).

Caso as duas curvas sigam a mesma tendência, isto determina que o mecanismo dominante no ruído  $1/f$  é a flutuação no número de portadores. Entretanto caso não sigam a mesma tendência, isto demonstra que o mecanismo dominante é a flutuação da mobilidade.

A Figura 2.11 mostra para um transistor nano fio sem junção (51) um exemplo da aplicação desta técnica.

Figura 2.11 – Curva representativa de  $S_{id}/I_D^2$  e  $(g_m/I_{DS})^2$  em função de  $I_D$  para um transistor nano fio sem junção para  $V_{DS} = 100$  mV para  $L = 50$  nm.



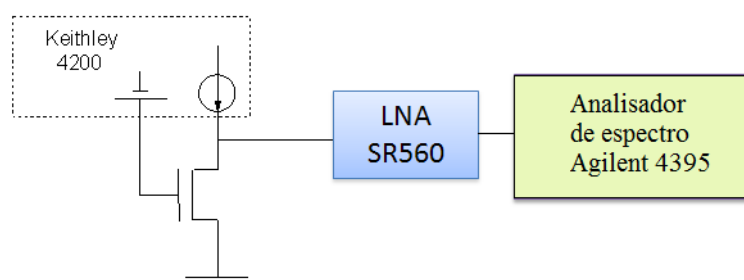
Fonte: Doria (2014)

No exemplo da Figura 2.11, observa-se que as curvas apresentam a mesma tendência, demonstrando que a componente dominante no ruído é a flutuação no número de portadores.

#### 2.4.4 Configuração para medir o ruído de baixa frequência

O conjunto utilizado para medir o ruído de baixa frequência, neste trabalho, está explicitado no diagrama esquemático apresentado na Figura 2.12, composto por um analisador de parâmetros de semiconductor Keithley 4200, um LNA (*Low Noise Amplifier*) amplificador de baixo ruído e pelo analisador de espectro:

Figura 2.12 – Representação esquemática do sistema utilizado para medir o ruído de baixa frequência.



Fonte: Souza (2015)

O equipamento utilizado para polarizar a porta e o dreno do transistor com fonte de tensão e corrente constantes, respectivamente, foi o analisador de parâmetros de semicondutor Keithley 4200.

Ligado entre o dreno do transistor e o analisador do espectro, um amplificador de baixo ruído foi empregado como estágio de entrada para obter a amplitude necessária para a devida visualização no analisador de espectro, no nosso caso o Agilent 4395.

Como as medidas do ruído do transistor inclui o ruído do sistema de medição, e para a correta análise do ruído do transistor, é necessário após realizar os contatos no transistor, medir e extrair o ruído base do transistor com todos os contatos polarização em 0 volts e 0 amperes a fim de se medir o ruído inerente do equipamento e sistema de medidas como conjunto. Com a medida do ruído base do transistor realizada, para se obter apenas o ruído proveniente do dispositivo, basta subtrair o ruído base do ruído do transistor.

## 2.5 TENSÃO MECÂNICA NOS TRANSISTORES

Esta seção está dividida em três partes. A primeira mostra um breve histórico da tensão mecânica, seu uso e principais tipos existentes. A segunda parte consiste em abordar os aspectos teóricos do silício tensionado, incluindo uma introdução à física do silício tensionado e suas consequências. Por fim, será abordado como obter os tipos de tensão mecânica utilizados neste trabalho.

### 2.5.1 Histórico da tensão mecânica

O estresse mecânico vem sendo estudado há algumas décadas na microeletrônica, especialmente nos componentes III-V, desempenhando papéis diferentes em níveis de escalas diferentes. Identificada pela indústria de semicondutores com maior interesse no início da década de 80, este efeito indesejado e descontrolado prejudicava o desempenho dos dispositivos e, por consequência, o escalamento das dimensões. Ainda na década de 80 tentou-se evitar este efeito indesejado no nível de *wafer*. Na década de 90, tentou-se reduzir ou eliminar o efeito do estresse mecânico em nível local (transistor), na época era da ordem de micrometros.

Foi então que, a partir dos anos 2000, com a chegada dos nós tecnológicos da ordem de nanômetros, decidiu-se estudar mais profundamente a tensão mecânica com o intuito de melhorar o desempenho dos dispositivos.

Existem vários tipos de tensionamento que podem ser aplicados em uma, duas ou três dimensões, cada um tendo o seu próprio efeito sobre as propriedades físicas do material. As duas principais técnicas de tensionamento mecânico empregadas atualmente são o tensionamento biaxial e uniaxial.

O tensionamento biaxial ocorre no comprimento e na largura do transistor e é obtido de forma direta no substrato de silício, com a implantação de germânio no processo.

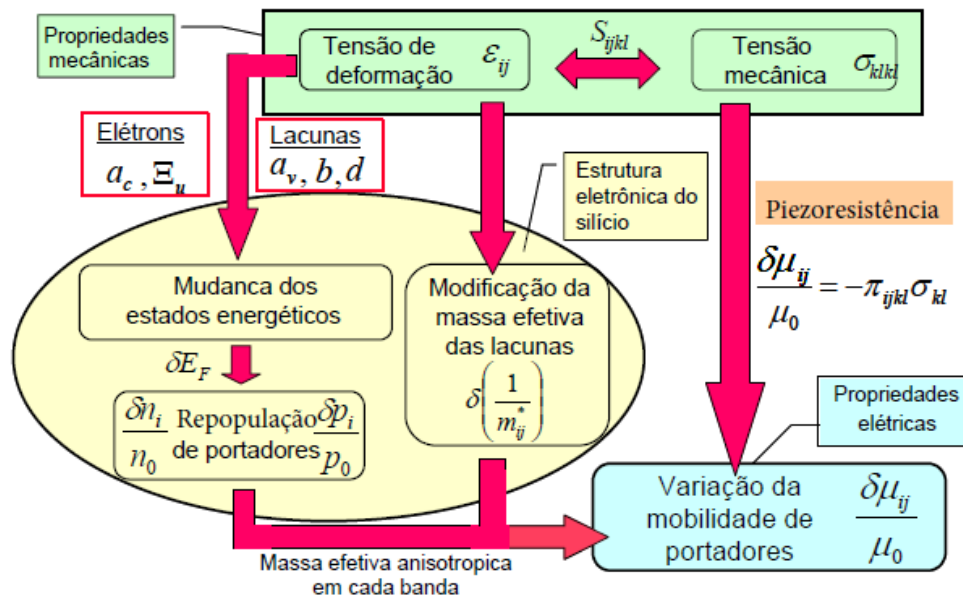
O outro tipo de tensionamento é o uniaxial onde a ação da tensão mecânica ocorre predominantemente na direção do comprimento do canal. Uma análise cuidadosa de eficiência e custo levou à adoção do tensionamento uniaxial induzido pelo processo de fabricação (CESL - *Contact Etch Stop Layer* e engenharia de fonte e dreno) devido a dois aspectos: em primeiro lugar, este tipo de tensionamento resulta no aumento da mobilidade tanto de elétrons quanto de lacunas e baixa degradação da mobilidade com campo elétrico elevado, diferentemente do silício tensionado biaxialmente onde uma alta mobilidade de lacunas é possível apenas com uma elevada concentração de germânio. Em segundo lugar, o tensionamento uniaxial exige menor custo de implantação, por ser facilmente integrado à tecnologia CMOS convencional já existente.

## 2.5.2 – Introdução a física do silício tensionado

Para entender como o silício tensionado age sobre o dispositivo, é necessário entender primeiramente de maneira abrangente como se chegar ao aumento de mobilidade proporcionado pela tensão mecânica.

A Figura 2.13 mostra o princípio do cálculo da influência da tensão mecânica na mobilidade. É dividido em três partes. Na primeira, através das propriedades mecânicas e da teoria de elasticidade, a tensão mecânica é determinada através da relação tensão e deformação. A segunda, consiste na modificação da estrutura cristalina do silício proveniente da tensão mecânica que tem por consequência a mudança da massa efetiva e repopulação de portadores através da mudança de estados energéticos. Por fim a piezoresistência que age interligando diretamente tensão mecânica e mobilidade de portadores.

Figura 2.13 – Princípio do cálculo da influência da tensão mecânica sobre a mobilidade de elétrons e lacunas.



Fonte: Rochette (2008)

### 2.5.2.1 Relação entre deformação e tensão mecânica

Toda tensão mecânica gera uma deformação e é regida pela lei de Hooke sendo linear em regime elástico, conforme a equação (2.35):

$$\sigma_{ij} = C_{ijkl} \varepsilon_{kl} \quad (2.35)$$

onde  $C$  é a quarta ordem do módulo tensor de elasticidade

Estes tensores de quarta ordem podem ser representados por 36 coeficientes tensores, e reduzidos a apenas três, devido à simetria do silício, conforme a equação (2.36).

$$C = \begin{bmatrix} C_{11} & C_{12} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{44} \end{bmatrix} \quad (2.36)$$

### 2.5.2.2 Introdução à piezoresistência

Aplicando-se uma tensão mecânica, ocorre mudanças na resistividade do silício, variação esta que permite estudar os efeitos da tensão mecânica. Esta variação nos permite relacionar os efeitos desta tensão mecânica com a mobilidade dos elétrons e lacunas.

Para um transistor sob a ação de tensão mecânica uniaxial, a variação na resistividade é dada pela equação (2.37) (52).

$$\frac{\Delta R}{R_0} = (1 + 2\nu)\varepsilon_1 \frac{\Delta\rho}{\rho_0} \quad (2.37)$$

onde  $\Delta R$  é a variação da resistência,  $R_0$  a resistência inicial,  $\rho_0$  é a resistividade inicial sem tensão mecânica e  $\Delta\rho$  é a variação da resistividade com tensão mecânica.

Através de uma aproximação de primeira ordem, a variação da resistividade pode ser considerada proporcional à tensão mecânica, conforme equação (2.38) (53).

$$\frac{\Delta\rho_{ij}}{\rho_0} = \pi_{ij}\sigma_{nj} \quad (2.38)$$

onde  $\Delta\rho_{ij}$  é a variação da resistividade no eixo ortogonal  $ij$  e  $\pi_{ij}$  é a matriz de coeficientes piezoresistivos.

A matriz de coeficientes piezoresistivos é expressa conforme a seguir:

$$\pi_{ij} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix} \quad (2.39)$$

Devido à simetria da rede cristalina do silício (54), os coeficientes são reduzidos a apenas três, conforme indicados na matriz  $\pi_{ij}$

Com isso, a relação entre mobilidade e piezoresistência é dada pela equação (2.40) e, com isso, o efeito da tensão mecânica sobre a mobilidade de portadores é devidamente contabilizada.

$$\frac{\Delta\mu}{\mu} \cong \frac{\Delta\rho}{\rho_0} = \pi_{ij}\sigma_{nj} \quad (2.40)$$

### 2.5.2.3 Redução da massa efetiva e mudança de estados energéticos

A tensão mecânica altera também as faixas de valência e de condução do silício, como será discutido nesta seção.

A mobilidade dos portadores no silício é dada pela equação

$$\mu = \frac{q\tau}{m^*} \quad (2.41)$$

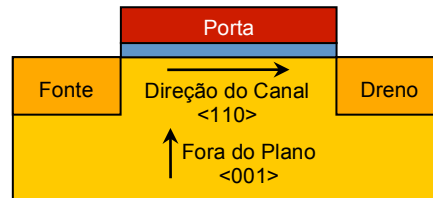
onde  $\tau^{-1}$  é a taxa de espalhamento e  $m^*$  é a massa efetiva de condutividade.

O tensionamento mecânico eleva a mobilidade e consiste na redução da massa efetiva dos elétrons no plano (*in-plane*), enquanto que fora do plano (*out-of-plane*) a massa efetiva dos elétrons e das lacunas é aumentada.



O conceito de plano é explicado através da Figura 2.14 com as orientações padrões. O plano de condução da corrente é o plano pelo qual a corrente fluirá, ou seja, no desenho do transistor consiste na direção do canal  $\langle 110 \rangle$ , enquanto que fora do plano de condução é  $\langle 001 \rangle$ .

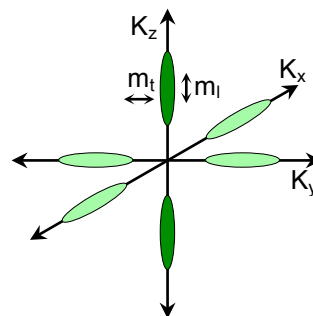
Figura 2.14 - Desenho esquemático de um MOSFET com as orientações cristalográficas.



Fonte: Souza (2015)

Para os elétrons no silício sem tensão mecânica a uma temperatura ambiente, a banda de condução é composta por seis vales com igual energia ( $\Delta_6$ ). Os vales são representados por elipsoides dispostas no espaço "k", conforme apresentado na Figura 2.15.

Figura 2.15 – Elipsoides de energia constante no espaço "k".



Fonte: Souza (2015)

Cada elipsoide é anisotrópica, com a massa perpendicular ao eixo (transversal) dada por  $m_t = 0,19.m_0$  e a massa paralela ao eixo (longitudinal) dada por  $m_l = 0,98.m_0$ , onde  $m_0$  é a massa efetiva do elétron livre. No silício não tensionado, a massa total efetiva de condutividade é obtida somando-se a contribuição dos seis vales, utilizando a equação:

$$m^* = \left[ \frac{1}{6} \left( \frac{2}{m_l} \right) + \left( \frac{4}{m_t} \right) \right]^{-1} \quad (2.42)$$

As elipsoides claras são os vales ( $\Delta_4$ ) que estão no plano do silício (plano  $K_x$ - $K_y$ ) e as duas elipsoides escuras são os vales ( $\Delta_2$ ) que estão fora do plano (eixo  $K_z$ ). A deformação mecânica gerada pelo estresse mecânico causa a divisão da energia da faixa de condução.

Estas alterações provocam modificações nas faixas de valência e condução (55), fazendo com que haja uma divisão dos níveis energéticos, diminuindo a energia do vale  $\Delta_2$  que estão fora do plano e aumentando a energia do vale  $\Delta_4$ , fazendo com que os elétrons passem a ocupar preferencialmente o vale  $\Delta_2$ , que apresenta uma massa de transporte transversal menor. Assim ocorre uma redução nas massas efetivas, aumentando a mobilidade dos elétrons.

A redução da massa efetiva explica apenas parte do aumento da mobilidade obtida pelo tensionamento mecânico do silício, uma vez que a divisão da faixa de condução nos vales  $\Delta_2$  e  $\Delta_4$  causa a redução na taxa de espalhamento de elétrons na rede. Se a divisão entre os vales  $\Delta_2$  e  $\Delta_4$  for maior do que a energia dos fônons, a probabilidade de ocorrência do espalhamento é reduzida significativamente e a mobilidade dos elétrons é aumentada.

Em se tratando da mudança da massa efetiva, estudos reportaram (56) uma variação praticamente nula na massa efetiva para a orientação  $\langle 100 \rangle$ , sendo que para a orientação  $\langle 110 \rangle$ , há uma variação considerável na massa efetiva.

### 2.5.3 Formação da tensão mecânica uniaxial

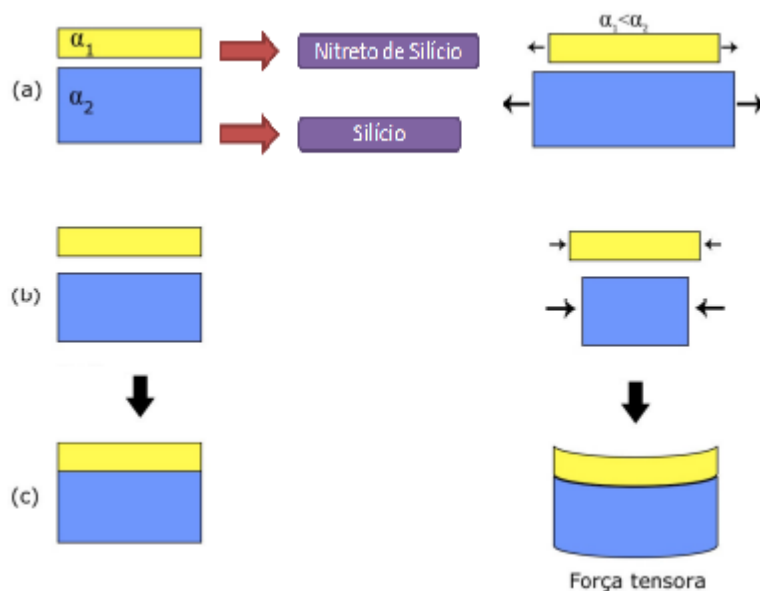
A tensão mecânica uniaxial ou longitudinal, como dito anteriormente, age apenas na direção do comprimento de canal. Conceitualmente a tensão mecânica uniaxial pode ser obtida através da diferença dos coeficientes de dilatação térmica de dois materiais, no caso, o nitreto de silício ( $\text{Si}_3\text{N}_4$ ) e o silício (Si).

Se estes dois materiais forem unidos sob alta temperatura, ao resfriar, o material com maior coeficiente de dilatação térmica, no caso o silício irá contrair mais do que o material com menor coeficiente (nitreto de silício), ocasionando a indução de tensão mecânica no silício (57,58).

A Figura 2.16 mostra passo a passo a obtenção do silício tensionado de forma uniaxial e tensiva, onde a Figura 2.16(a) mostra a diferença do coeficiente de dilatação de cada material, a Figura 2.16(b) a contração devido ao resfriamento dos

dois materiais e finalmente a Figura 2.16 (c) mostra o resultado dos dois materiais unidos.

Figura 2.16 - Representação esquemática de obtenção do silício com tensão mecânica uniaxial.



Fonte: Souza (2015)

Sendo  $\alpha_1$  o coeficiente de dilatação do nitreto de silício e  $\alpha_2$  o coeficiente de dilatação do silício.

A principal técnica de obtenção da tensão uniaxial chama-se *strained Contact Etch Stop Layer* (sCESL). Esta técnica de deposição consiste em utilizar deposição química em fase de vapor enriquecida em plasma (*plasma enhanced chemical vapor deposition* – PECVD) a uma temperatura de aproximadamente 650°C. O caráter tensivo (para nMOSFET) ou compressivo (para pMOSFET) do tensionamento dependerá da concentração de hidrogênio presente no momento da sua deposição.

Com esta técnica, a tensão efetiva na região do canal é diretamente relacionada com sua geometria, como o comprimento de canal, espessura do silício policristalino de porta e a espessura da camada de nitreto de silício depositada (59). A tensão mecânica é transmitida ao canal pelas regiões de fonte e dreno.

### 2.5.4 Obtenção da tensão mecânica biaxial

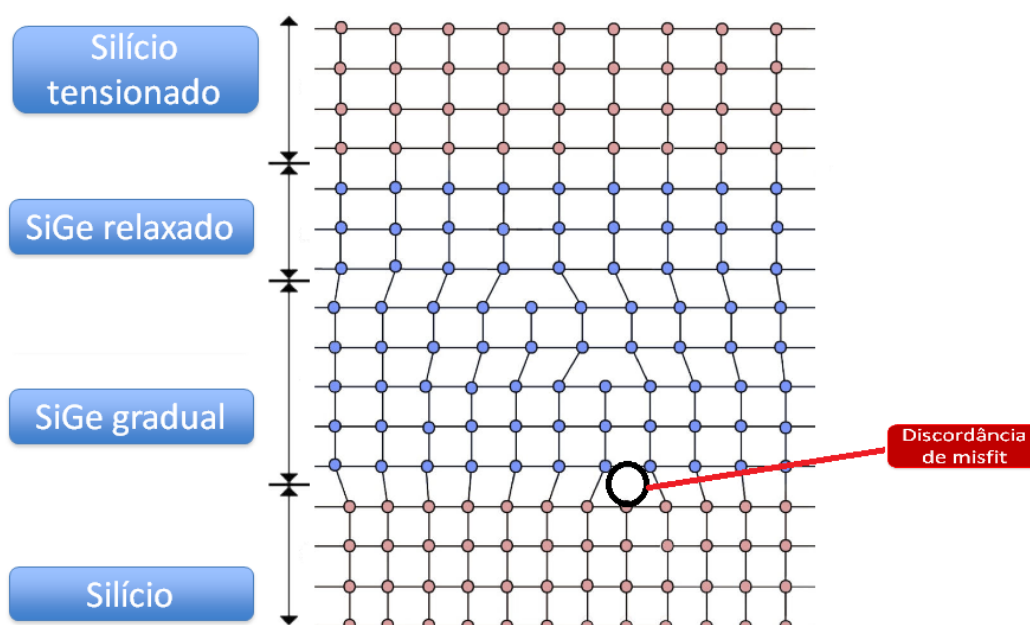
A tensão mecânica biaxial, diferentemente da tensão mecânica uniaxial, age em duas direções, sendo geralmente na direção do comprimento e da largura do canal do transistor. Ela geralmente é induzida pela diferença da distância interatômica, isto é, pelo espaçamento entre os átomos de um material, chamado de parâmetro de rede.

Para gerar uma lâmina de silício tensionada biaxialmente, é utilizada uma camada de silício sobre uma liga de silício-germânio( $\text{Si}_{1-x}\text{Ge}_x$ ).

Inicialmente, tem-se a camada de silício no substrato; posteriormente é feito o crescimento gradual da liga de silício-germânio onde, com o aumento da espessura da camada da liga, a tensão mecânica também aumenta, atingindo uma espessura crítica e a partir desta espessura a camada sofre um relaxamento através da formação das discordâncias de misfit (60,61).

Após esta etapa, é realizado o crescimento epitaxial do silício que terá a mesma distância interatômica da liga SiGe e assim este silício crescido terá uma pressão mecânica biaxial. A Figura 2.17, ilustra as etapas de obtenção do silício tensionado biaxialmente, com especial ênfase às discordâncias de Misfit.

Figura 2.17 - Representação esquemática da obtenção do silício tensionado biaxialmente.



Fonte: Souza (2013)

Com o uso desta técnica, ocorrerá uma diferença nas distâncias interatômicas, uma vez que a distância interatômica do silício é de 0,5431 nm e a do germânio é de 0,5658 nm. No caso da liga SiGe, o parâmetro de rede pode ser obtido através de uma interpolação linear entre os parâmetros de rede do silício e do germânio, dado pela equação (2.43) ou por uma aproximação mais precisa que pode ser vista na equação (2.44), utilizando uma relação quadrática (62).

$$a_{Si_{1-x}Ge_x} = a_{Si} + (a_{Ge} - a_{Si}) \cdot x \quad (2.43)$$

$$a_{Si_{1-x}Ge_x} = 0,002733x^2 + 0,01992x + 0,5431 \text{ [nm]} \quad (2.44)$$

No caso do silício, o módulo de elasticidade ou módulo de Young, que é definido pela razão entre tensão mecânica e deformação, difere para diversas orientações cristalográficas, sendo que, para a orientação cristalográfica <100>, o módulo de elasticidade E é de aproximadamente 130 GPa e, para a orientação cristalográfica <110>, de aproximadamente 169 GPa.

Para o processamento desta técnica na tecnologia SOI, a estrutura vista na Figura 2.17 é unida a uma lamina SOI de camada espessa (63) utilizando a técnica do “*wafer bonding*” e então as camadas com a liga SiGe são removidas através da técnica de polimento químico, CMP (*Chemical Mechanical Polishing*) restando apenas o silício tensionado na lâmina SOI. Esta técnica é chamada de SSDOI (*strained silicon directly on insulator*).

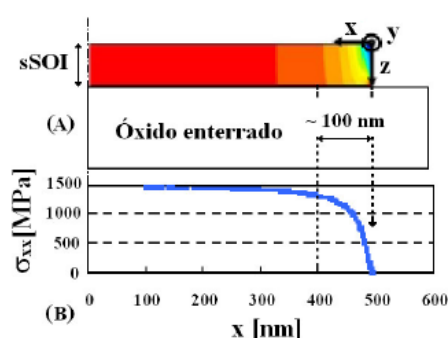
## 2.6 DEPENDÊNCIA DA TENSÃO MECÂNICA COM AS DIMENSÕES DOS DISPOSITIVOS

Os transistores fabricados têm tensões mecânicas, sejam elas uniaxiais ou biaxiais, que variam de acordo com as dimensões físicas dos dispositivos, cuja distribuição ao longo do canal não é linear.

No caso da tensão mecânica biaxial, quanto maior o comprimento e a largura do dispositivo, maior será a efetividade da tensão mecânica biaxial no transistor (64).

Isto ocorre devido ao fato de ocorrer um relaxamento na tensão mecânica (65), devido ao processo de corrosão de isolamento do dispositivo. Na Figura 2.18 (65), que foi obtida através de simulação em uma camada sSOI de 1,5GPa de tensão mecânica biaxial, mostra-se que o relaxamento na parte da interface lateral, ocorre principalmente nos primeiros 100 nm.

Figura 2.18 - Variação da tensão mecânica na direção da largura de uma ilha de referência (65).



Fonte: Andrieu (2006)

Assim, devido a este efeito, quanto menor o transistor, menor será a eficácia da tensão mecânica biaxial.

Diferentemente da tensão mecânica biaxial, a tensão mecânica uniaxial, é obtida por meios indiretos, como no caso citado, pela deposição do nitreto de silício.

Assim, sua relação com a geometria se dá de forma contrária, onde quanto menor for o comprimento de canal, maior será a eficácia da tensão mecânica que age no canal do transistor. Isto ocorre pois a transmissão da tensão mecânica se faz pelas regiões de fonte e dreno.

## 2.7 SIMULADOR UTILIZADO

Este item tem como principal objetivo dar uma visão geral do simulador utilizado ao longo deste trabalho. No simulador, foi utilizado o pacote que contém os programas de simulação desenvolvidos pela empresa Synopsys.

Para a geração dos transistores de porta simples de referência e tensionados uniaxialmente, além dos transistores de porta tripla tensionados, foi utilizado o simulador de processos denominado *Sentaurus Process* (66). O simulador de processos da Synopsys (*Sentaurus Process*) é um simulador bidimensional e tridimensional que se baseia nas equações físicas e químicas, com o objetivo de reproduzir as etapas envolvidas na fabricação de um transistor. As etapas do processo de fabricação são descritas em comandos sequenciais, como a corrosão, implantação iônica, difusão, entre outras. Para melhor exemplificar, consta no apêndice A um exemplo de processo de fabricação de um transistor de porta simples sob a ação de tensão mecânica uniaxial e no apêndice C, um exemplo do transistor de porta tripla tensionados biaxialmente utilizado ao longo deste trabalho.

Para a simulação da estrutura do transistor de porta simples com tensão mecânica biaxial e para a simulação bidimensional de dispositivos com vistas à obtenção dos parâmetros elétricos estudados no capítulo 3 foi utilizado o programa de simulação numérica *Sentaurus Device* (67).

O simulador de dispositivos da Synopsys utiliza as leis fundamentais da física de semicondutores para a realização de suas simulações, calculando as características elétricas associadas à estrutura e suas condições de polarização, sendo alcançado através da aproximação pelo método dos elementos finitos do dispositivo em duas ou três dimensões com suas respectivas grades de pontos. Tal aproximação será feita em cada um dos pontos da grade da estrutura.

Os comandos são declarados de forma sequencial, obedecendo a uma ordem de declarações em partes, conforme pode ser visto no apêndice B.

Os modelos utilizados para a simulação dos dispositivos constam abaixo, juntamente com uma breve descrição de cada modelo:

- *Recombination*: Esta parte tem fundamental importância nas simulações numéricas, pois ela é responsável pela troca de portadores entre a faixa de condução e a faixa de valência do dispositivo.
  - *DopingDep*: Este sub modelo também considera a concentração de dopantes na recombinação de portadores, sendo de essencial necessidade, já que todos os dispositivos simulados são dopados.
- *Phumob*: Proposto por Klaassen, o modelo de mobilidade unificado *Philips* descreve de forma unificada a mobilidade de portadores minoritários e

majoritários. Este também considera a dependência com a temperatura na mobilidade e o espalhamento de elétrons e lacunas (68).

- *HighFieldsat*: Modelo de mobilidade que considera o alto campo elétrico, pois, nestas condições, a mobilidade não é mais proporcional ao campo elétrico e tende a saturar em um valor finito (69).
- *Enormal*: Considera a degradação na mobilidade na interface semicondutor isolante do dispositivo, pois considera o campo elétrico transversal (70).
- *EffectiveIntrinsicDensity (OldSlotboom)*: Modelo utilizado no estreitamento da banda proibida devido ao alto campo elétrico (71,72).
- *Piezo*: É o modelo mais importante para a simulação da tensão mecânica, pois considera os efeitos das piezoresistências numa estrutura. Adicionalmente foi incluído neste modelo a deformação de potencial (*DeformationPotential*) e um modelo de mobilidade que considera as sub-faixas (73,74,75).

Neste pacote de simuladores, o programa responsável pela tarefa de visualizar as estruturas geradas chama-se Tecplot (76), mais recentemente substituído pelo Svisual, podendo ser iniciado digitando `tecplot_sv` ou `svisual`, respectivamente, na linha de comandos. Adicionalmente, podemos citar que, diferente do seu correspondente, no simulador Atlas (Tonyplot) produzido pela Silvaco, este não serve para a função de visualizar e extrair as curvas geradas nas simulações, sendo que esta parte é feita por outro programa denominado Inspect (77).

O Inspect que, além de visualizar as curvas geradas pelo simulador de dispositivos (Sentaurus Device), também permite que se extraia parâmetros comumente usados, como tensão de limiar, inclinação de sublimiar, máxima transcondutância, dentre outros. Esta funcionalidade se deve ao fato deste programa possuir diversas funções matemáticas internamente. Finalmente, ainda podemos citar que também é possível exportar qualquer dado existente nele, a fim de serem utilizados com outros programas.



### 3 TRANSISTORES DE PORTA SIMPLES

Neste capítulo, serão apresentados os estudos sobre os dispositivos de porta simples ou planares, provenientes de resultados obtidos através de simulações numéricas bidimensional e medidas experimentais. Este capítulo será subdividido em quatro seções onde, a primeira seção reserva-se à apresentação das características dos dispositivos estudados. Na segunda seção apresenta-se o estudo da tensão mecânica, a terceira destina-se aos resultados das simulações numéricas e medidas experimentais com ênfase às propriedades analógicas e finalmente na quarta seção é apresentado um estudo experimental do ruído de baixa frequência nos dispositivos de porta simples.

#### 3.1 CARACTERÍSTICAS DOS DISPOSITIVOS

Os dispositivos estudados neste capítulo do trabalho foram desenvolvidos e fabricados pelo *Interuniversity Microelectronics Centre* (IMEC) em Leuven na Bélgica, seguindo o processo de 65 nm descrito na referência (78). Estes dispositivos foram fabricados sobre uma lamina SOI, com as seguintes características:

- 100 nm de espessura de silício policristalino
- 1,5 nm de óxido de porta (EOT)
- 150 nm de óxido enterrado
- 15 nm de camada de silício
- Fonte e dreno elevados em 25 nm
- Espaçadores composto por 10 nm de óxido de silício e 60 nm de nitreto de silício.
- Concentração de dopantes do tipo p no canal de  $3 \cdot 10^{16} \text{ cm}^{-3}$

As características descritas acima são idênticas tanto para transistores sem o efeito de tensão mecânica, como para transistores com tensão mecânica uniaxial e tensão mecânica biaxial.

### 3.2 TENSÃO MECÂNICA NAS ESTRUTURAS

Com o intuito de analisar o perfil da tensão mecânica nos dispositivos de porta simples, foi necessário fazer uso do recurso de simulação numérica pois apenas com as medidas experimentais não seria possível analisar a distribuição de tensão mecânica no dispositivo.

As estruturas dos dispositivos de porta simples não tensionados e os tensionados mecanicamente somente na direção longitudinal (uniaxial) foram produzidos utilizando o simulador numérico Sentaurus de processos (66).

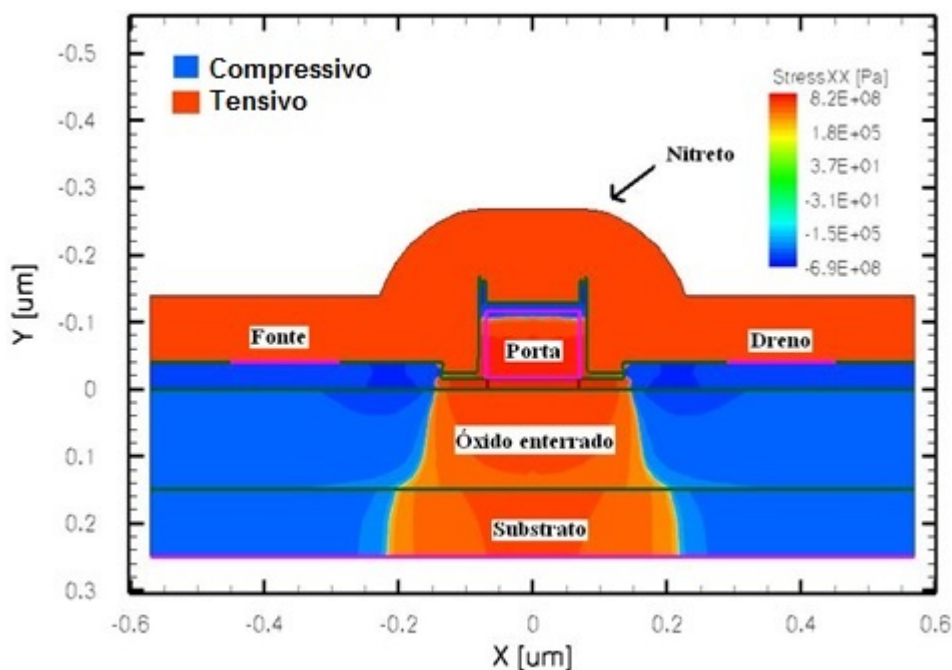
A simulação de processo seguiu as mesmas etapas de processo descritas na referência (79) necessárias para obter o dispositivo funcional. A estrutura foi simulada com as características dispostas no item 3.1 com comprimentos de canal variando de 65 nm até 910 nm com diversas tensões mecânicas aplicadas, variando de 500 MPa até 1600 MPa, gerando um total de 28 estruturas tensionadas e 7 estruturas de referência (sem tensionamento mecânico).

O dielétrico de porta é composto por óxido de silício com espessura de 1,5 nm. O metal de porta é obtido através da deposição de uma camada de 100 nm de silício policristalino. Nesta estrutura, para fazer a região de LDD (*Lightly Doped Drain*) se fez uso dos espaçadores, composto de 10 nm óxido de silício e 60 nm de nitreto de silício, respectivamente, e para proteger o silício policristalino da porta do transistor foi adicionado o “*cap-layer*” de óxido de silício e nitreto de silício sobre o silício. Para obter o tensionamento mecânico uniaxial, foi realizada a deposição de 100 nm de nitreto de silício em toda a estrutura a uma temperatura de 700 graus Célsius. Para melhor entendimento, consta no apêndice A um exemplo de processo de fabricação utilizado nesta parte do trabalho.

A Figura 3.1 mostra a distribuição da tensão mecânica uniaxial com o transistor possuindo um comprimento de canal de 140 nm e uma tensão mecânica aplicada da ordem de 2GPa.

Na Figura 3.1, as regiões com cores próximas ao laranja significam que existe tensão mecânica do tipo tensora (positivo) e a parte em azul, tensão mecânica do tipo compressiva (negativo). Ainda pode-se notar que praticamente só a região compreendida pelo canal está tensionada, deixando as regiões de fonte e dreno sob compressão.

Figura 3.1 - Distribuição da tensão mecânica na estrutura do transistor SOI nMOSFET.



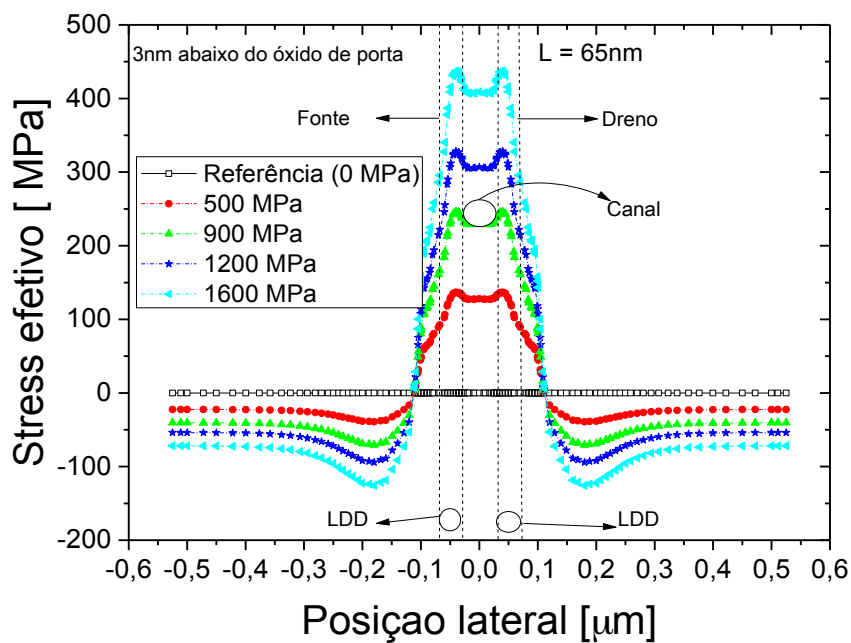
Fonte: Souza (2015)

Iniciando a análise da tensão mecânica uniaxial, apresentada na Figura 3.2, exibe a distribuição da tensão mecânica efetiva ao longo do eixo x, para o transistor de 65 nm de comprimento de canal em diversas tensões mecânicas aplicadas sobre o transistor, onde as mesmas foram extraídas com um corte no eixo x à 3 nm abaixo do óxido de porta.

Como podemos observar na Figura 3.2, à medida que aumenta a aplicação de tensão mecânica na estrutura, maior será a tensão mecânica efetiva sobre o canal. Ainda nesta figura, pode-se salientar que as regiões de fonte e dreno se tornam compressivas (sinal negativo) e, na região de canal, a tensão mecânica é tensora (sinal positivo).

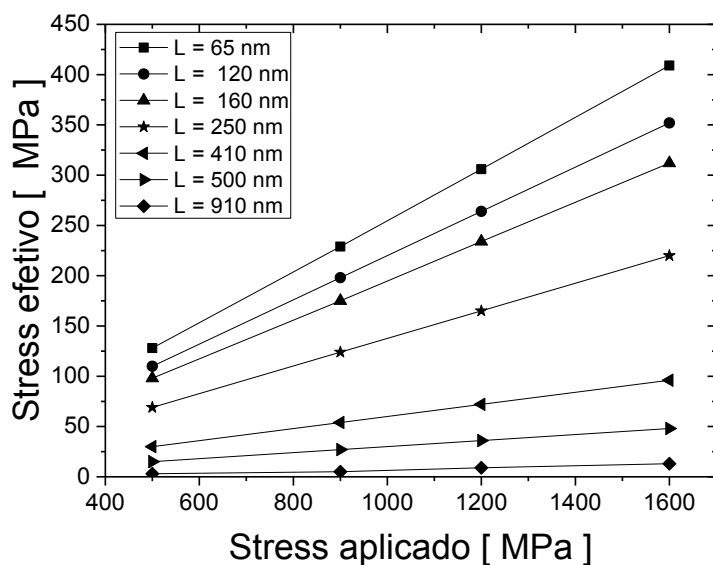
A Figura 3.3 mostra a extração numérica da tensão mecânica efetiva (*stress* efetivo - aquela que efetivamente chega ao centro do canal do transistor), à 3 nm abaixo do óxido de porta, pela tensão mecânica aplicada (*stress* aplicado - aquele induzida pelo simulador através do nitreto de silício) para vários comprimentos de canal simulados.

Figura 3.2 – Distribuição da tensão mecânica ao longo do comprimento do canal.



Fonte: Souza (2015)

Figura 3.3 - Tensão mecânica extraída no centro do canal versus a tensão mecânica aplicada.



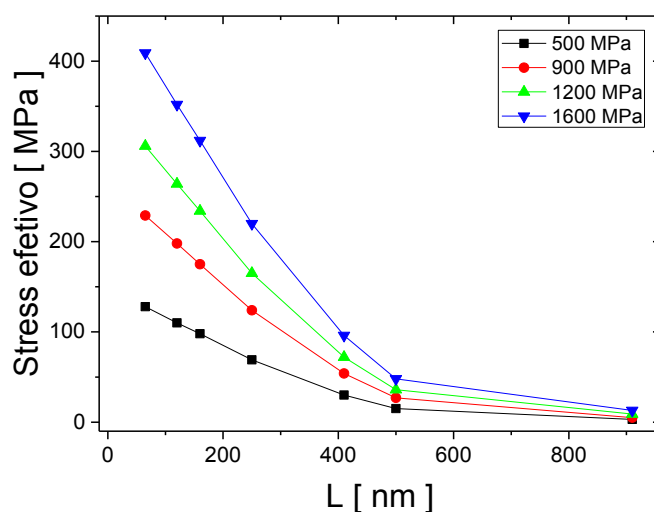
Fonte: Souza (2015)

Como se pode observar na Figura 3.3, a variação da tensão mecânica com o comprimento de canal se dá de forma linear, conforme já mencionado no capítulo 2, e esta dependência é exclusiva dos materiais em regime elástico.

Observa-se ainda que, na medida em que o comprimento de canal aumenta, a inclinação da reta diminui, reduzindo assim a tensão mecânica efetiva no canal. Isto ocorre devido ao aumento da distância entre o centro do canal e a região onde o nitreto de silício transmite a tensão mecânica, diminuindo a eficácia da aplicação de tensão mecânica, ficando assim evidente sua dependência com a geometria. Conforme anteriormente mencionado, a tensão mecânica é transferida para o canal pela camada de nitreto de silício depositada sobre o transistor e transferida ao canal através do contato com as regiões de fonte e dreno.

Finalizando a análise da tensão mecânica uniaxial, a Figura 3.4 mostra a variação da tensão mecânica efetiva no centro do canal em função do comprimento de canal, observando que, conforme se aumenta o  $L$ , a tensão mecânica efetiva diminui. Também pode-se concluir que quanto maior o comprimento de canal, menor será a diferença na tensão mecânica efetiva no centro do canal do transistor, pois as áreas onde o nitreto de silício exerce tensão mecânica no canal do transistor ficam mais distantes, fazendo com que a tensão mecânica transferida para o canal do transistor seja menor e, conseqüentemente, atingindo o centro do canal, onde se encontra o valor máximo da tensão mecânica efetiva.

Figura 3.4 - Tensão mecânica extraída no centro do canal em função do comprimento do canal.



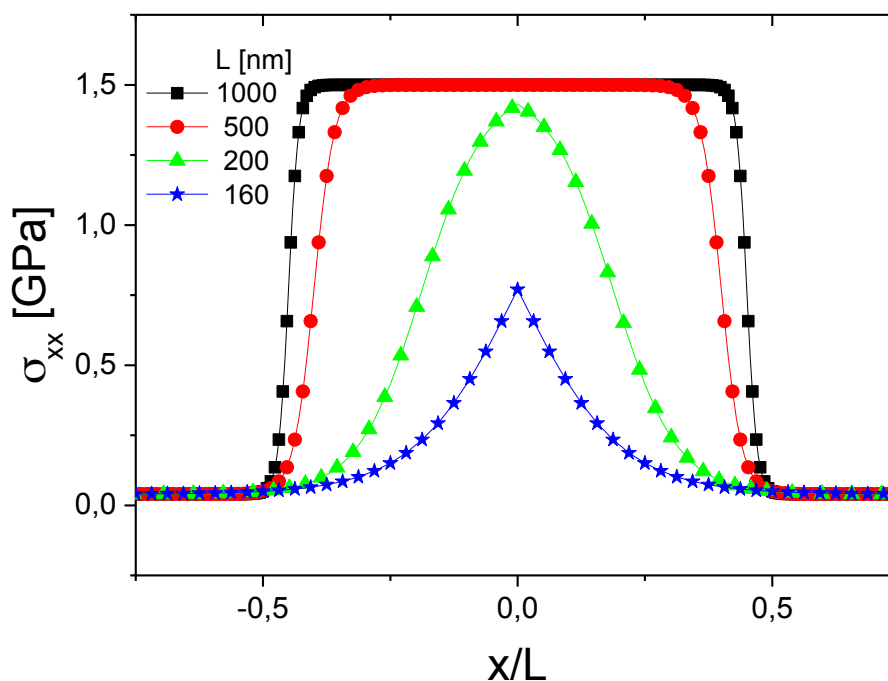
Fonte: Souza (2015)

Para a simulação da estrutura do transistor com tensão mecânica biaxial e para a simulação bidimensional de dispositivos foi utilizado o programa de simulação

numérica *Sentaurus Device* (67), usando seu gerador de estruturas. Optou-se por esta ferramenta ao invés de fazer o processo, pois a simulação da tensão mecânica biaxial no simulador de processos é dificultada pelo fato das etapas necessárias para a obtenção do silício tensionado biaxialmente serem desconhecidas para o transistor de porta simples. As dimensões utilizadas foram as mesmas descritas anteriormente, na seção 3.1, apenas acrescentando a tensão mecânica de 1,5 GPa ao longo do comprimento e largura do canal, conforme descrito na seção 2.5.4.

Para se aproximar do dispositivo real, é necessário considerar o relaxamento da tensão mecânica biaxial nas laterais do dispositivo, conforme discutido na seção 2.6. Para a simulação deste relaxamento, seguiu-se o procedimento proposto pela referência (80), onde basicamente se dividiu a estrutura ao meio e foi aplicada uma equação que descreve o efeito do relaxamento na estrutura. Após feito o relaxamento na metade da estrutura, é feito o espelhamento e assim se obtém a estrutura completa.

Figura 3.5 - Distribuição da tensão mecânica ao longo do comprimento de canal para diferentes comprimentos de canal.



Fonte: Souza (2015)

Na Figura 3.5, observamos a tensão mecânica biaxial ao longo do comprimento do canal para diversos comprimentos de canal. A Figura 3.5 mostra

uma diminuição da tensão mecânica para comprimentos de canal abaixo de 200 nm, e isto ocorre devido ao relaxamento induzido nos primeiros 100 nm. Analisando pontualmente o transistor com  $L = 160$  nm, observa-se que ainda há tensão mecânica biaxial induzida de no máximo 750 MPa, indicando que mesmo com o relaxamento ocorrendo nos 100 nm de cada lado, ainda há o efeito presente.

### 3.3 CARACTERÍSTICAS ANALÓGICAS

Para a análise do desempenho elétrico em suas características analógicas, além das medidas experimentais, o simulador numérico *Sentaurus Device* (67) de dispositivos foi utilizado.

Os parâmetros de mobilidade global inicial foram ajustados com os dispositivos experimentais não tensionados mecanicamente, garantindo que as respostas apresentadas pelas simulações fossem condizentes com as dos dispositivos experimentais. Modelos de mobilidade para tensionamento mecânico que consideram variações de piezorresistividade são utilizados no simulador, juntamente com os modelos de mudança de energia de sub-banda devido ao tensionamento.

As mudanças nos efeitos do tensionamento são calculadas pelo modelo da mobilidade induzida pela deformação, através do qual as estatísticas de Boltzmann são assumidas e pelo modelo de deformação de potencial, onde a deformação pelo tensionamento é considerada pequena e a mudança de energia em cada portador (causada pela deformação do parâmetro de rede) é uma função linear desta deformação.

Para a análise das diversas características analógicas com dados provenientes das simulações numéricas obtidas a partir das estruturas já apresentadas na seção 3.1, bem como medidas experimentais com o intuito de validar as simulações numéricas, foram simulados comprimentos de canal que vão desde 65 nm até 910 nm. No caso das medidas experimentais, foram medidos três comprimentos de canal: 160 nm, 410 nm e 910 nm.

Para efeito de nomenclatura, “referência” indica o transistor sem a ação de tensão mecânica, o transistor com tensão uniaxial é chamado de “Uniaxial” e o com tensão mecânica biaxial, de “Biaxial”.

O primeiro parâmetro a ser analisado é a transcondutância do transistor operando na região de saturação, com uma tensão de dreno ( $V_{DS}$ ) = 550 mV e uma sobretensão de porta ( $V_{GT}$ ) = 400 mV. A Figura 3.6 mostra um ganho na transcondutância para ambas as tensões mecânicas estudadas se comparadas com os dispositivos sem a presença de tensão mecânica, e mostra claramente a dependência com o comprimento de canal.

No caso da tensão mecânica biaxial, maiores valores de  $g_m$  foram encontrados para comprimento longo de canal ( $L > 550$  nm), uma vez que, como visto na seção 3.2, existe uma maior eficácia na tensão mecânica biaxial para maiores comprimentos de canal.

Ao contrário da tensão mecânica biaxial, a tensão mecânica uniaxial apresenta um melhor ganho na transcondutância para comprimentos de canal curto, uma vez que existe uma maior tensão mecânica efetiva para  $L$  reduzidos ( $L < 550$  nm). Analisando a variação da aplicação da tensão mecânica uniaxial, (foram aplicadas duas tensões mecânicas 900 MPa e 1200 MPa), observa-se um pequeno ganho da transcondutância para maior tensão mecânica aplicada (1200 MPa); ademais este ganho não é proporcional à tensão mecânica efetiva, conforme já visto.

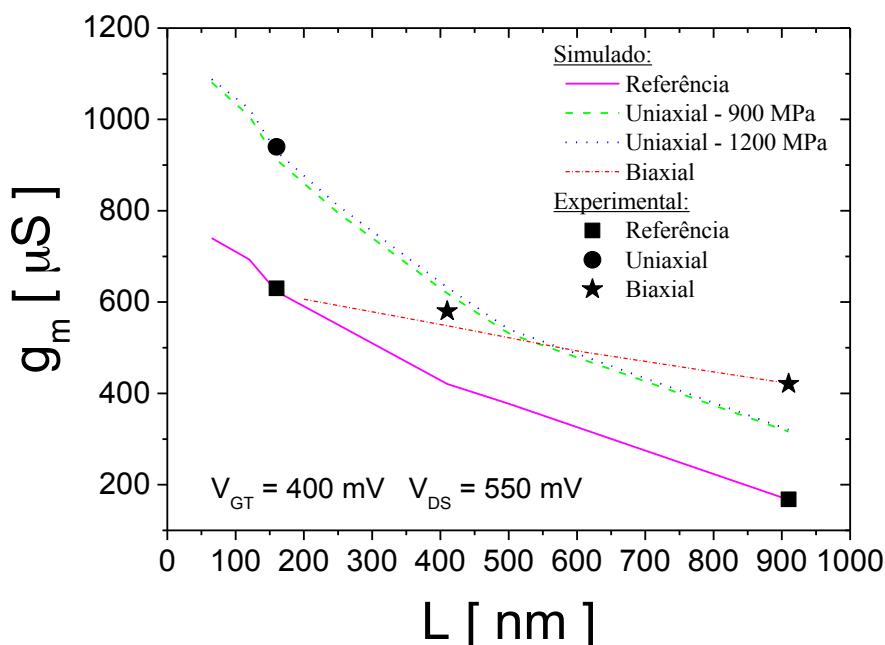
Numericamente, a diferença percentual entre as tensões mecânicas biaxial e uniaxial, apresentam que para  $L = 910$  nm foi encontrado um ganho de 34% favorável à tensão mecânica biaxial, enquanto para o  $L = 160$  nm, o oposto ocorreu, obtendo um ganho de 38% favorável a tensão mecânica uniaxial sobre a tensão mecânica biaxial.

Uma observação importante na Figura 3.6 é o ponto de cruzamento entre as curvas dos dispositivos com tensão mecânica que ocorre aproximadamente para um  $L = 550$  nm. Com este ponto de cruzamento, podemos ver que para comprimentos de canal abaixo de 550 nm, a tensão mecânica uniaxial é favorecida, promovendo uma maior transcondutância, enquanto que para  $L$  acima de 550 nm favorecem a tensão mecânica biaxial.

O segundo parâmetro analisado foi a condutância de saída, nas mesmas condições de polarização da transcondutância. Tomando os dispositivos sem a presença de tensão mecânica como referência, foi calculada a variação percentual para os dispositivos com tensão mecânica uniaxial e biaxial que são apresentadas na Figura 3.7.



Figura 3.6 - Transcondutância em função do comprimento de canal para tensão mecânica uniaxial e biaxial.



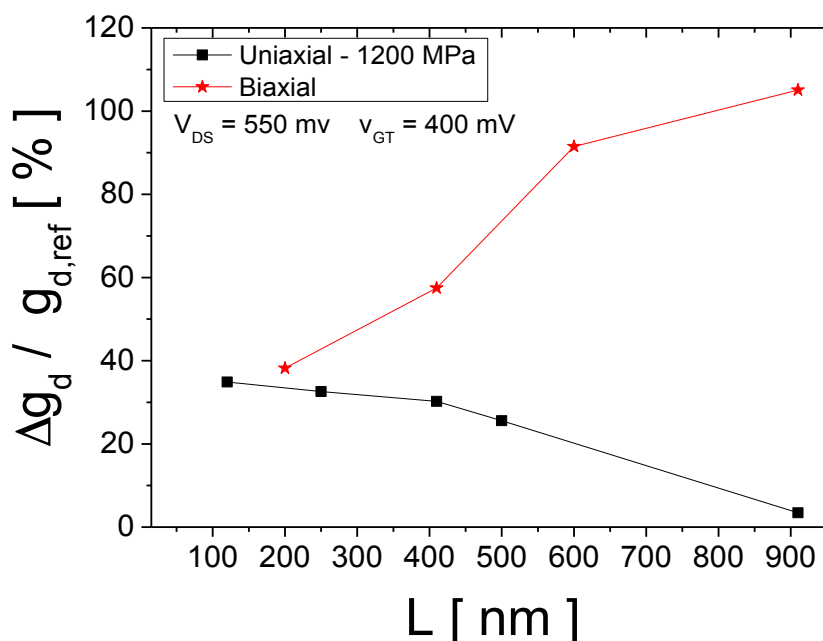
Fonte: Souza (2015)

Os resultados mostram que o uso da tensão mecânica aumenta a degradação, independentemente do tipo, e isto está relacionado aos efeitos de canal curto nos dispositivos sob o efeito de tensão mecânica. Analisando a dependência da degradação da condutância de saída com o comprimento de canal, observa-se uma piora na degradação com a redução de L para os transistores sob a ação de tensão mecânica uniaxial.

Por outro lado, a condutância de saída nos transistores com tensão mecânica biaxial sofre uma maior degradação com o aumento do comprimento de canal, justamente onde a tensão mecânica efetiva se torna maior. Numericamente, para os transistores com tensão mecânica uniaxial, foram encontradas degradações de 32 % para  $L = 250$  e de 3 % para  $L = 910$  nm. No caso dos transistores com tensão mecânica biaxial, a degradação cresce de 38 % para 105 % quando o comprimento de canal aumenta de 250 nm para 910 nm, respectivamente.

Combinando os resultados obtidos para a transcondutância e para a condutância de saída, foi extraído o ganho intrínseco de tensão ( $A_V$ ) através da relação  $A_V = (g_m/g_d)$  para  $V_{DS} = 550$  mV,  $V_{GT} = 200$  mV e  $V_{GT} = 400$  mV.

Figura 3.7 - Variação percentual da condutância de saída em função do comprimento de canal.



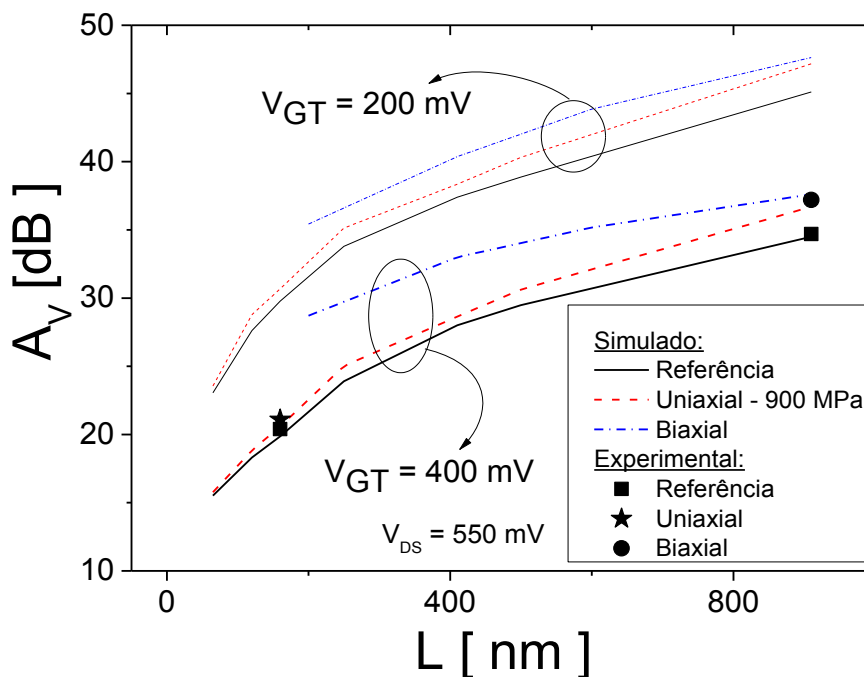
Fonte: Souza (2015)

Os resultados dispostos na Figura 3.8 apresentam uma redução do ganho intrínseco de tensão para ambas as tecnologias de silício tensionado, bem como para a referência quando  $L$  diminui. Entretanto esta redução se apresenta mais evidente para o transistor com tensão mecânica uniaxial. Ainda na Figura 3.8, podemos verificar que maiores valores de  $A_V$  foram encontrados nos transistores sob a ação de tensão mecânica biaxial, independente do comprimento de canal.

Em se tratando dos transistores com tensão mecânica uniaxial, o ganho proporcionado pela transcondutância é compensado pela maior degradação na condutância de saída, principalmente para comprimentos curtos de canal, chegando a valores próximos à referência onde não há ação de tensão mecânica. Na Figura 3.8, apresentamos pontos das medidas experimentais para um  $V_{GT} = 400$  mV com a intenção de validar as simulações numéricas.

Para comprimentos longos de canal (910 nm), valores bem próximos foram encontrados para as duas tecnologias de tensão mecânica, não ficando claro qual tecnologia detém uma melhor performance neste parâmetro; entretanto a redução do comprimento de canal favorece a tensão mecânica biaxial.

Figura 3.8 - Ganho intrínseco de tensão em função do comprimento de canal.

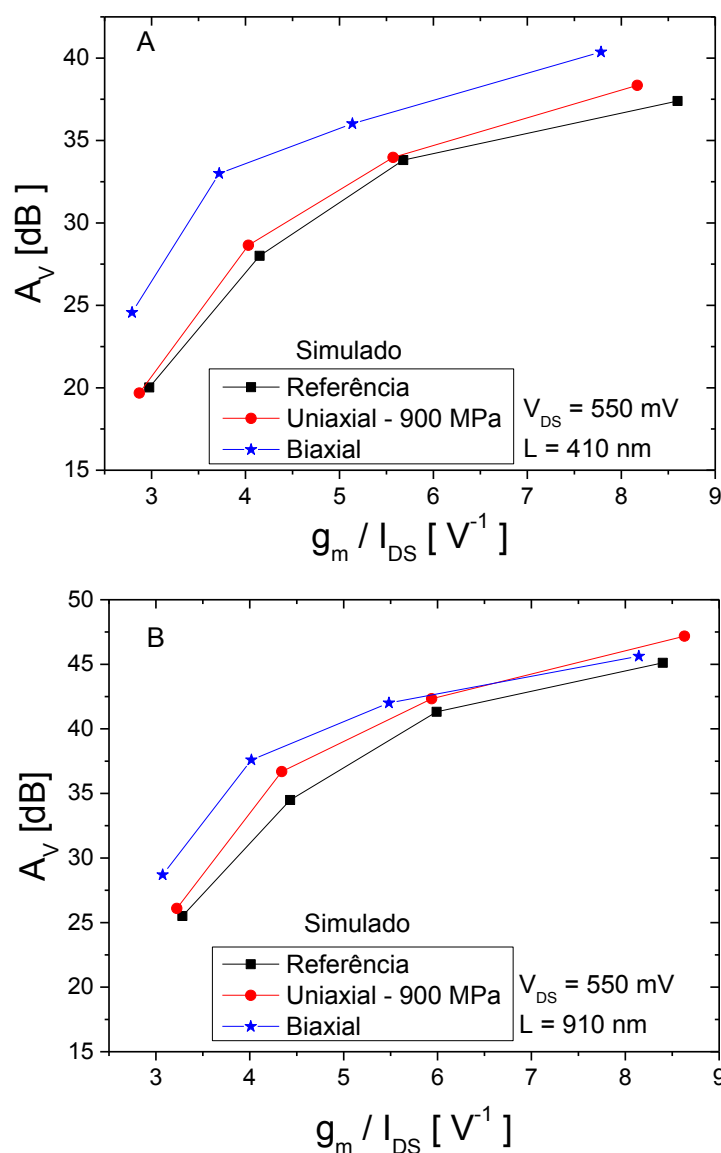


Fonte: Souza (2015)

Para poder fazer uma melhor comparação entre as duas tecnologias de tensão mecânica, os dados do ganho intrínseco de tensão foram extraídos em função da razão da transcondutância pela corrente dreno ( $g_m/I_{DS}$ ) em inversão forte, deixando assim todos os dispositivos no mesmo ponto de polarização e mesmo nível de inversão.

Na Figura 3.9(a) podemos observar ganhos intrínsecos de tensão similares ao comparar o dispositivo com tensão mecânica uniaxial e a referência. Para os transistores com tensão mecânica biaxial, foram encontrados ganhos aproximados de 5 dB maiores em relação à referência para todos os valores de  $g_m/I_{DS}$ . Entretanto, aumentando-se o comprimento de canal para 910 nm, a Figura 3.9(b) mostra que este aumento no  $A_V$  para transistores com tensão mecânica biaxial permanece, mas é menor, não sendo maior que 2dB.

Figura 3.9 - Ganho intrínseco de tensão em função da razão  $g_m / I_{DS}$  em inversão forte para  $L=410$  nm (a) e  $L = 910$  nm (b).



Fonte: Souza (2015)

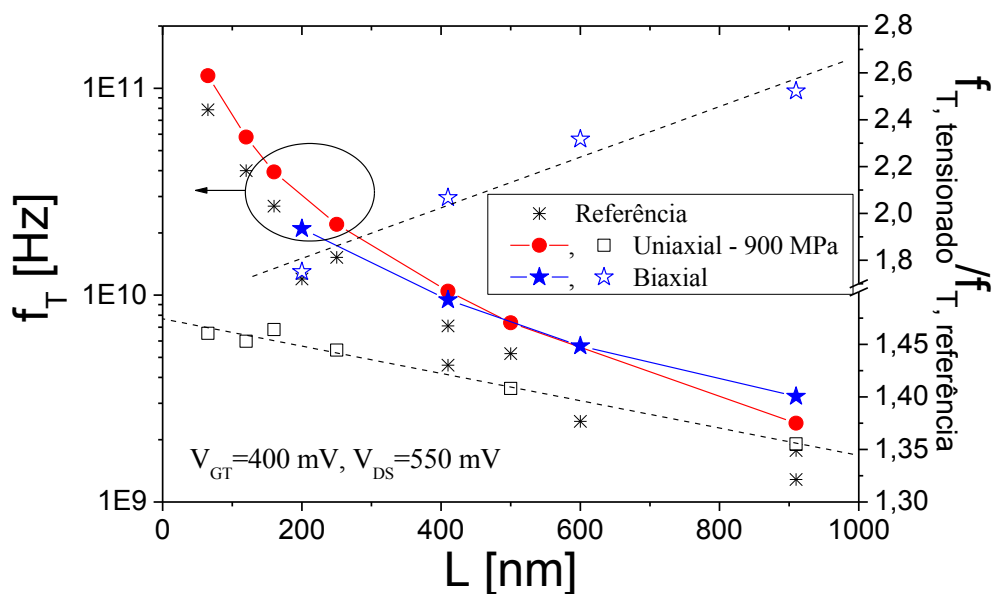
Outro importante parâmetro analisado foi a frequência de ganho unitário ( $f_T$ ), extraído com os dados simulados para  $V_{GT} = 400$  mV e  $V_{DS} = 550$  mV.

Na Figura 3.10, é possível notar que a tensão mecânica faz com que haja um aumento na frequência de ganho unitário para todos os comprimentos de canal estudado.

Reduzindo o comprimento de canal, ocorre o aumento de  $f_T$  como resultado do aumento da transcondutância. Para o transistor com  $L = 910$  nm com tensão mecânica biaxial uma maior frequência de ganho unitário foi encontrada se

comparado ao transistor com tensão mecânica uniaxial. O oposto ocorre para o comprimento de canal de 200 nm.

Figura 3.10 - Frequência de ganho unitário em função do comprimento de canal.



Fonte: Souza (2015)

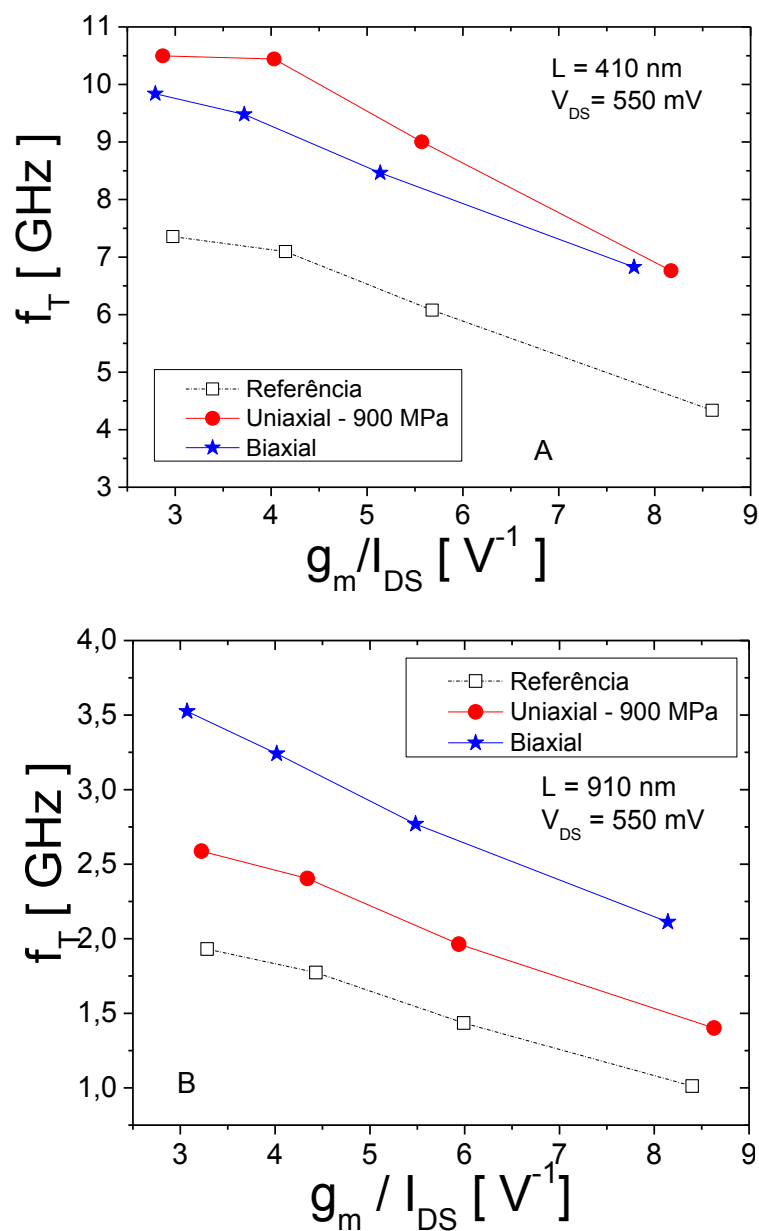
Enquanto o aumento de  $f_T$  é beneficiado pela redução do comprimento de canal para os transistores com tensão mecânica uniaxial, os transistores com tensão mecânica biaxial gera um aumento de  $f_T$  com o aumento de  $L$  quando comparados aos transistores de referência. Este efeito fica claro, quando observamos o eixo da direita na Figura 3.10, onde é mostrada a razão entre a frequência de ganho unitário dos transistores com tensão mecânica e os transistores de referência

Estendendo os resultados, extraímos a frequência de ganho unitário em função da razão  $g_m/I_{DS}$  para dois comprimentos de canal: 410 nm e 910 nm. Através da Figura 3.11(b) podemos ver um aumento de  $f_T$  para os transistores biaxialmente tensionados se comparados com a tensão mecânica uniaxial, independente da razão  $g_m/I_{DS}$ . Reduzindo o comprimento de canal para 410 nm, a Figura 3.11(a) mostra um resultado oposto, onde o dispositivo com tensão mecânica uniaxial apresentam maior  $f_T$  para toda a faixa de  $g_m/I_{DS}$  estudada.

Este efeito está diretamente relacionado com a transcondutância, conforme visto na introdução deste trabalho, e assim segue a mesma tendência da Figura 3.6,

onde a tensão mecânica uniaxial promove melhores resultados para comprimentos de canal abaixo de 500 nm.

Figura 3.11 - Ganho de frequência unitário em função da razão  $g_m/I_{DS}$  em inversão forte para  $L=410$  nm (a) e  $L = 910$  nm (b).



Fonte: Souza (2015)

### 3.4 RUÍDO DE BAIXA FREQUÊNCIA

Nesta fase, os transistores com porta simples sob a ação ou não de tensão mecânica foram submetidos a uma análise experimental do ruído de baixa frequência. A análise será estruturada em duas etapas: primeira, o ruído de baixa frequência na região linear, isto é, baixo  $V_{DS}$ , e segunda, na região de saturação com alto  $V_{DS}$ .

A densidade espectral de potência do ruído da corrente de dreno ( $S_{id}$ ), pode ser expressa pela equação (3.1).

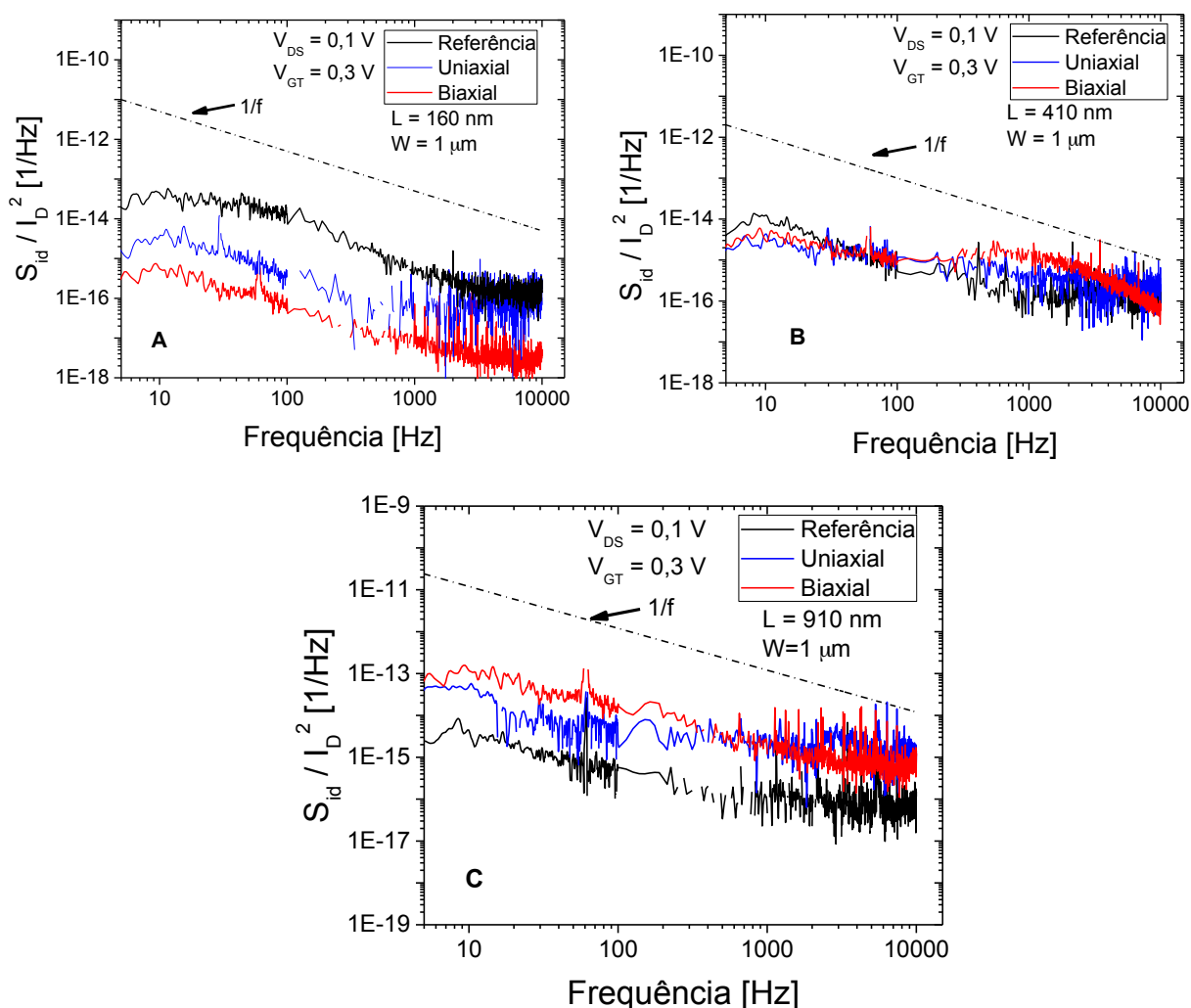
Assim, ao verificar que o ruído de corrente é proporcional ao nível de corrente de dreno para efeitos comparativos entre transistores com tecnologia diferentes, é necessária a exclusão do efeito da corrente no ruído de baixa frequência, portanto divide-se  $S_{id}$  pela corrente  $I_D^2$ .

$$S_{id} = \frac{q^2 K T \lambda N_t}{f^2 W L C_{ox}^2} \frac{I_D^2}{(V_{GS} - V_t^2)^2} \quad (3.1)$$

Iniciando pela análise do ruído de baixa frequência na região linear, os transistores com tensão mecânica e de referência foram submetidos a um  $V_{DS} = 0,1$  V e a um  $V_{GT} = 0,3$  V.

A Figura 3.12 mostra a densidade espectral da potência do ruído da corrente de dreno normalizada ( $S_{id}/I_D^2$ ) em função da frequência para os transistores sem tensão mecânica (referência) e com tensão mecânica uniaxial e biaxial com três comprimentos de canal com 160 nm (Figura 3.12(a)), 410 nm (Figura 3.12(b)) e 910 nm (Figura 3.12(c)).

Figura 3.12 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para  $L = 160$  nm (a),  $L = 410$  nm (b) e  $L = 910$  nm (c) com  $V_{DS} = 0.1$  V.



Fonte: Souza (2015)

Os resultados resultantes da Figura 3.12, apresentam um ruído com aspecto próximo ao ruído  $1/f$  independente do comprimento de canal. No caso do transistor com  $L = 160$  nm (Figura 3.12(a)), é observada uma redução do ruído de baixa frequência nos transistores com a ação da tensão mecânica para frequências menores que 1000 Hz, sendo esta redução maior para o transistor com tensão mecânica biaxial.

No casos dos transistores com tensão mecânica biaxial, a redução do ruído de baixa frequência pode estar relacionada com sua geometria onde, devido à pequena dimensão, pode ocorrer a redução e até a ausência dos “*Threading Dislocation*” (TD) (81), sendo que este efeito só ocorre com os substratos com tensão mecânica biaxial (82).



Outra possibilidade está relacionada com a redução da tensão mecânica efetiva que é ocasionada pelas etapas de corrosão em alta temperatura para o isolamento do dispositivo, ocorrendo assim, o seu relaxamento, e fazendo com que haja à diminuição dos defeitos. Resultando em uma melhor interface entre a camada de silício e o dielétrico de porta.

De acordo com a referência (83), devido à presença da tensão mecânica, ocorre a redução das armadilhas de interface no óxido ( $N_{ot}$ ) com a redução do comprimento de canal, o que está de acordo com os resultados apresentados na Figura 3.12.

No caso dos transistores com tensão mecânica uniaxial, a redução do ruído para transistores com comprimentos de canal pequenos ( $L = 160$  nm) pode estar relacionada com uma presença maior da tensão mecânica, conforme visto anteriormente neste trabalho.

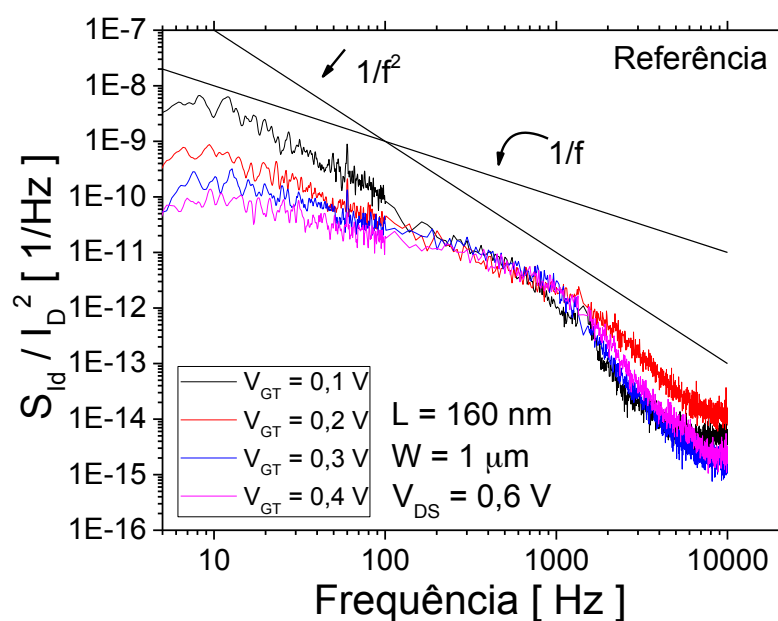
Aumentando o comprimento de canal para  $L = 410$  nm, ocorre uma redução na diferença do ruído de baixa frequência entre o transistor de referência e ambos os dispositivos com tensão mecânica (uniaxial e biaxial), estando em concordância com as explicações dadas anteriormente.

Por último, para  $L = 910$  nm, a tensão mecânica promove uma piora no ruído de baixa frequência, ou seja um maior ruído em comparação com o transistor sem o efeito da tensão mecânica, seguindo assim a tendência observada com o aumento do comprimento de canal.

Portanto, para baixa tensão entre fonte e dreno, a influência da tensão mecânica é preponderante. Quando usada a tensão mecânica uniaxial, para pequenos  $L$ , o aumento da efetividade da tensão mecânica ao longo do comprimento de canal é observado, promovendo uma redução do ruído de baixa frequência; entretanto, para os transistores com tensão mecânica biaxial, o inverso ocorre, onde o aumento da tensão mecânica promove um aumento do ruído de baixa frequência.

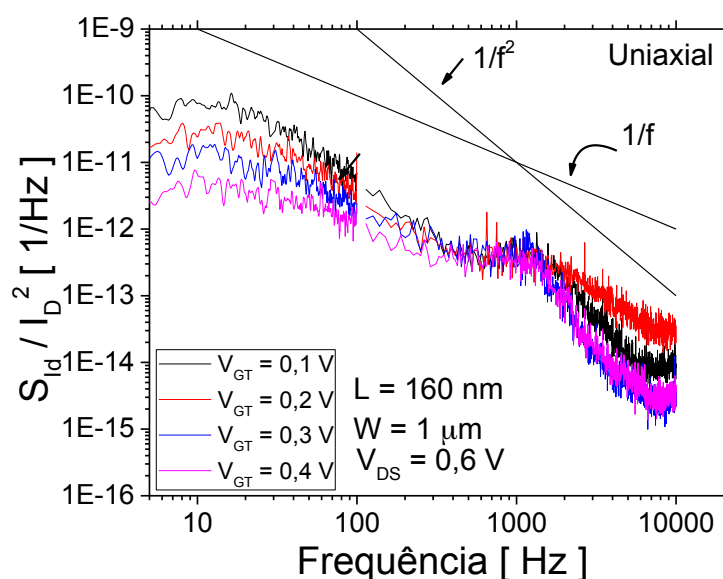
Aumentando o  $V_{DS}$  para 0,6 V, as curvas da densidade espectral de potência do ruído da corrente de dreno normalizada em função da frequência foram medidas para várias sobretensões de porta nos transistores com tensão mecânica uniaxial e nos transistores de referência.

Figura 3.13 - Densidade espectral de potência do ruído da corrente de dreno para o transistor de referência em função da frequência para  $L = 160$  nm com  $v_{DS} = 0,6$  V.



Fonte: Souza (2015)

Figura 3.14 - Densidade espectral de potência do ruído da corrente de dreno para a transistor com tensão mecânica uniaxial em função da frequência para  $L = 160$  nm.



Fonte: Souza (2015)

Nos resultados apresentados na Figura 3.13 e na Figura 3.14 para várias sobretensões de porta, podemos observar que existe, assim como para baixo  $V_{DS}$ , a presença do ruído  $1/f$  para baixas frequências ( $<1000$  Hz) e, conforme visto na

introdução, este tipo de ruído é normalmente associado à flutuação no número de portadores.

No caso das altas frequências ( $>1000$  Hz) um aspecto próximo de  $1/f^2$  foi observado e isto está relacionado com o ruído de geração e recombinação ou ao excesso de Lorentzianas provenientes de captura e emissão de portadores por armadilhas.

Fazendo o estudo comparativo dos transistores sob a ação da tensão mecânica (uniaxial e biaxial) com alto  $V_{DS}$ , a Figura 3.15 mostra a densidade espectral de potência do ruído da corrente de dreno normalizada em função da frequência.

Para a Figura 3.15 podemos observar que nesta condição de polarização, da mesma forma que na Figura 3.13 e na Figura 3.14, há dois tipos de ruído, uma com aspecto próximo a  $1/f$  e outra com aspecto  $1/f^2$ , salientando que, para os dispositivos com tensão mecânica biaxial, ocorrem maiores variações do ruído com a frequência.

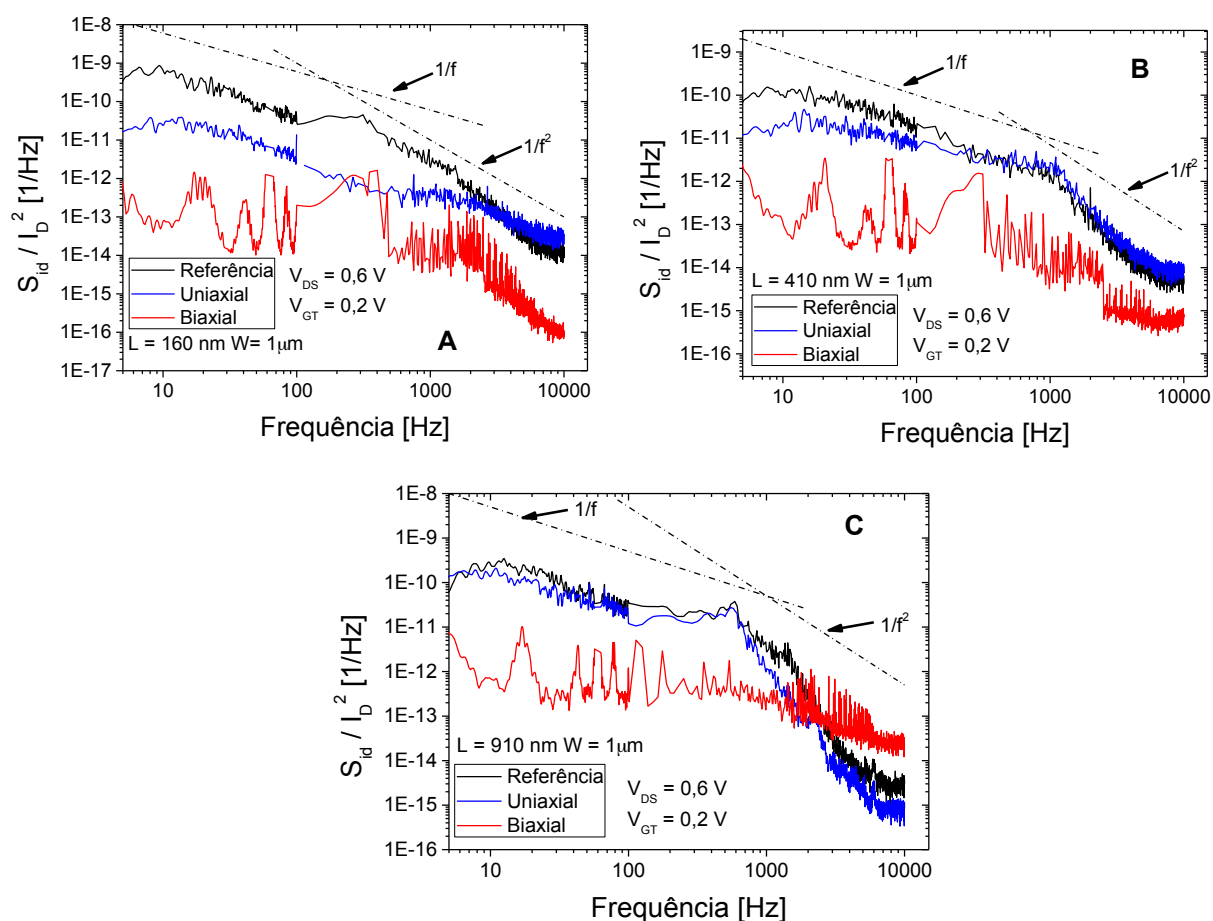
Comparando as duas tecnologias de tensão mecânica, ambas são capazes de promover uma redução no ruído de baixa frequência se comparadas com o transistor de referência, e isto independe do comprimento de canal, ficando mais evidenciado para  $L = 160$  nm.

Entretanto, há um contraste se comparado ao resultado com baixo  $V_{DS}$  apresentados anteriormente na Figura 3.12(c), que refere-se a um transistor de comprimento de canal longo (910 nm), que apresenta maiores valores no ruído de baixa frequência para os transistores com tensão mecânica.

Uma das razões para esta diferença está associada à flutuação no número de portadores que governa o ruído  $1/f$  (84).

Com o aumento da tensão de dreno, deixando os transistores operando em regime de saturação, causando assim, o aumento na flutuação do número de portadores através dos portadores de carga livres dentro do óxido de porta que são capturados e emitidos pelo canal do transistor (85). O aumento de  $S_{id}$  para alto  $V_{DS}$  favorece os dispositivos sob a ação de tensão mecânica, especialmente os biaxiais, pois estes possuem uma melhor interface entre a camada de silício e o dielétrico de porta.

Figura 3.15 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para  $L = 160$  nm (a),  $L = 410$  nm (b) e  $L = 910$  nm (c) com  $V_{DS} = 0.6$  V.

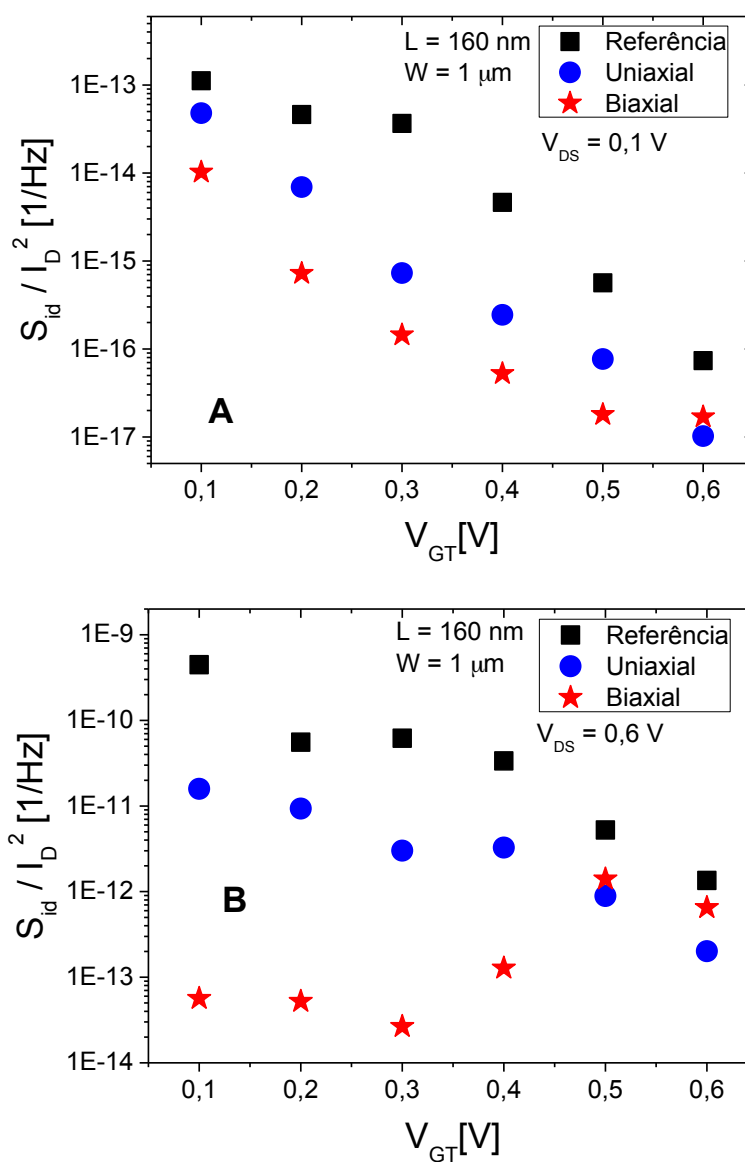


Fonte: Souza (2015)

Passando a analisar e comparar a influência da sobretensão de porta, nos ruídos de baixa frequência para  $V_{DS} = 0,1$  V e para  $V_{DS} = 0,6$  V foram extraídos os  $S_{id}/I_D^2$  em função do  $V_{GT}$  para a frequência de 50 Hz.

Através das Figura 3.16(a) e Figura 3.16(b), podemos observar uma redução no ruído de baixa frequência com o aumento de  $V_{GT}$  para os transistores com tensão mecânica uniaxial e o transistor de referência; entretanto para os transistores com tensão mecânica biaxial para  $V_{DS} = 0,6$  V (Figura 3.16(b), podemos observar um aumento do ruído para  $V_{GT} > 0,4$  V sendo este um resultado inesperado.

Figura 3.16 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobretensão de porta para  $L = 160$  nm para  $V_{DS} = 0.1$  V (a) e  $V_{DS} = 0.6$  V.



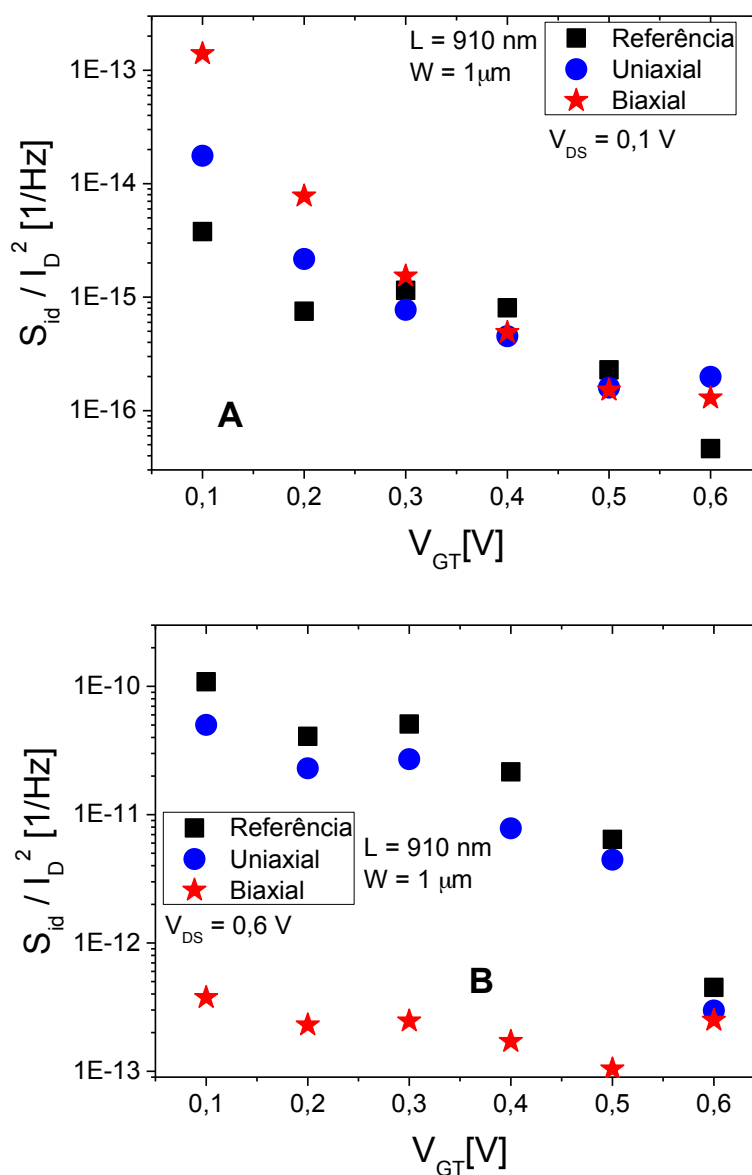
Fonte: Souza (2015)

Similarmente, a Figura 3.17 mostra o ruído de baixa frequência normalizado extraído em 50 Hz em função da sobretensão de porta em  $V_{DS} = 0.1$  V e  $V_{DS} = 0.6$  V, para um comprimento de canal de 910 nm.

Através da Figura 3.17(a), podemos observar um aumento no ruído de baixa frequência para transistores tensionados para valores de sobretensão de porta abaixo de 0,3 V.

Para  $V_{GT}$  entre 0,3 V e 0,5 V ocorre uma leve redução no ruído de baixa frequência e para o valor maior de  $V_{GT}$  é retomado o primeiro cenário, onde ocorre um aumento de ruído para os transistores tensionados.

Figura 3.17 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobretensão de porta para  $L = 910$  nm para  $V_{DS} = 0,1$ V (a) e  $V_{DS} = 0,6$ V.



Fonte: Souza (2015)

Aumentando a tensão de dreno para 0,6 V (Figura 3.17(b)) nós encontramos uma redução no ruído de baixa frequência, independente da sobretensão de porta proveniente da aplicação de tensão mecânica no transistor.

## 4 TRANSISTORES MUGFETS DE PORTA TRIPLA

Este capítulo reserva-se à apresentação do estudo dos transistores de MuGFETs de porta tripla onde o conteúdo textual está dividido em quatro seções: a primeira seção apresenta as características físicas dos dispositivos; a segunda, traz um estudo por meio de simulação numérica do efeito da tensão mecânica biaxial na estrutura dos transistores de porta tripla; a terceira seção apresenta os resultados de alguns parâmetros na região linear e alguns parâmetros analógicos dos transistores de porta tripla sob o efeito de tensão mecânica com o substrato rotacionado; por fim a quarta seção, traz os resultados do estudo do ruído de baixa frequência nos transistores de porta tripla com tensão mecânica, sem a rotação do substrato, operando na região de saturação e os resultados do ruído de baixa frequência nos transistores rotacionados sob a ação de tensão mecânica.

### 4.1 CARACTERÍSTICAS DOS DISPOSITIVOS

Fabricados no Imec, os dispositivos estudados neste capítulo, seguindo o processo descrito na referência (86), foram fabricados sob um substrato tipo P com concentração de dopantes em  $10^{15} \text{ cm}^{-3}$  e dielétrico de porta formado por 1 nm de  $\text{SiO}_2$  seguido de 2 nm de  $\text{HfO}_2$ , resultando em um óxido equivalente (EOT) de 1,7 nm.

Neste estudo foram considerados transistores com diferentes comprimentos de canal e largura do *fin*. Estes dispositivos apresentam uma altura de 60 nm e, por serem dispositivos de porta tripla, a largura total  $W$  equivale a  $W = 2H_{\text{fin}} + W_{\text{fin}}$ . A espessura do óxido enterrado é de 145 nm. No caso dos transistores tensionados, estes foram fabricados em uma lâmina SOI com camada de silício com tensão biaxial de 1,5 GPa.

### 4.2 TENSÃO MECÂNICA BIAxIAL NOS TRANSISTORES MUGFETS DE PORTA TRIPLA

Para a produção das estruturas dos dispositivos MuGFETs de porta tripla tensionados biaxialmente com 1,5 GPa, foi utilizado o simulador numérico Sentaurus de processos 3D, baseando-se na referência (87) e seguindo as mesmas etapas de

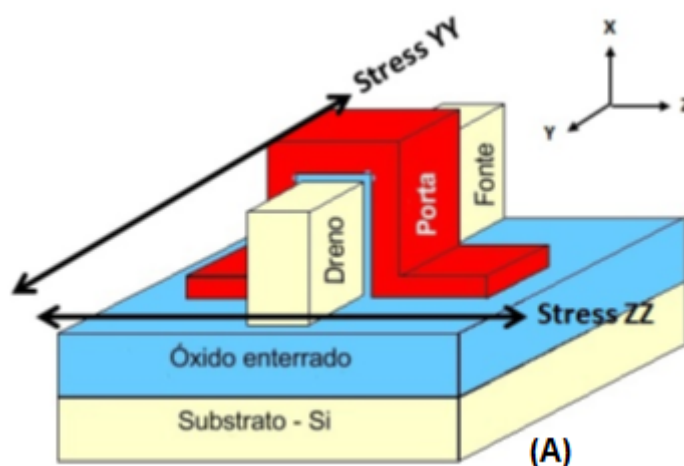
processo necessárias para obter o dispositivo funcional, sendo todos eles construídos em substrato SOI (100), com óxido enterrado na espessura de 145 nm, aleta com altura de 60 nm e comprimentos de canal de 1  $\mu\text{m}$  e larguras de 20 nm, 30 nm, 40 nm, 50 nm, 70 nm, 120 nm e 370 nm.

O dielétrico de porta é composto por 2 nm de  $\text{HfO}_2$  (cujo dielétrico na espessura utilizada equivale ao  $\text{HfSiON}$  com 50% Hf utilizado no experimental) sob 1 nm de óxido de silício  $\text{SiO}_2$ , gerando uma espessura de óxido de porta com dielétrico equivalente a 1,7 nm, equivalente aos dispositivos experimentais. O metal de porta é obtido através da deposição de uma camada de 5 nm de TiN e uma camada de silício policristalino com 100 nm de espessura, igual ao experimental. Nas simulações, as aletas de silício se estendem por 325 nm além do comprimento de canal.

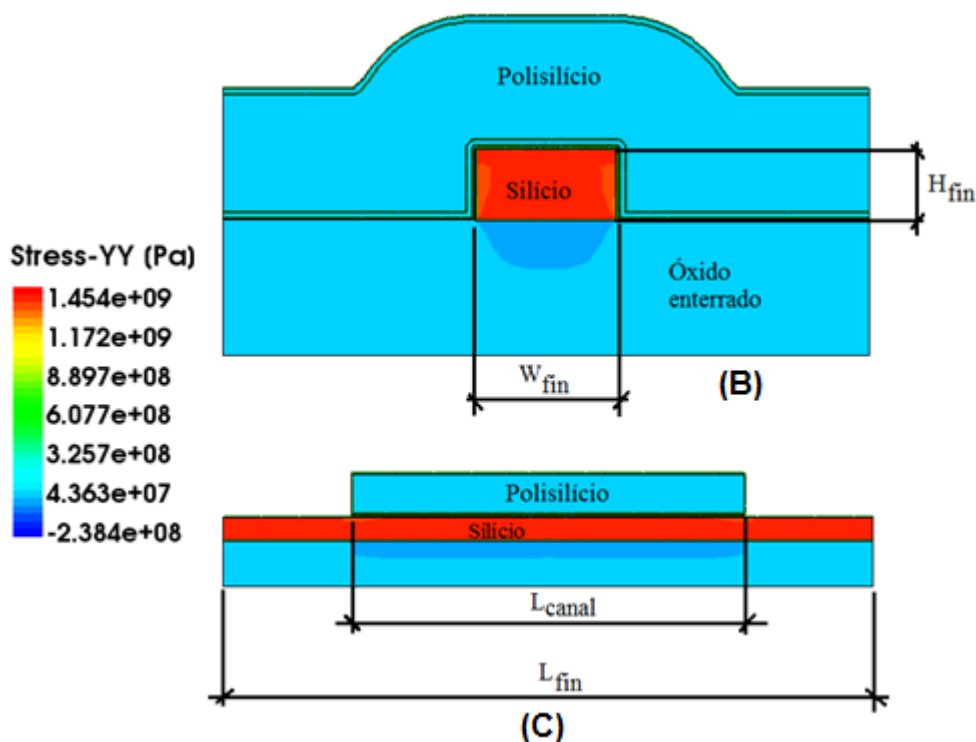
A Figura 4.1 mostra a representação esquemática do transistor MuGFET com seus eixos de orientação, bem como as seções longitudinal (direção de L) e transversal (direção de  $W_{\text{fin}}$ ), a distribuição de tensão mecânica aplicada ao eixo YY, isto é ao longo do comprimento de canal para um transistor com largura de canal de 120 nm.

Através da Figura 4.1 podemos verificar que apenas a aleta de silício está altamente tensionada e assim a componente da tensão mecânica ao longo do comprimento de canal para este transistor em específico não foi prejudicada.

Figura 4.1 – Representação esquemática (A) e Seções longitudinal (B) e transversal (C) da distribuição da tensão mecânica na estrutura do transistor MuGFET com  $W_{\text{fin}}$  de 120 nm.







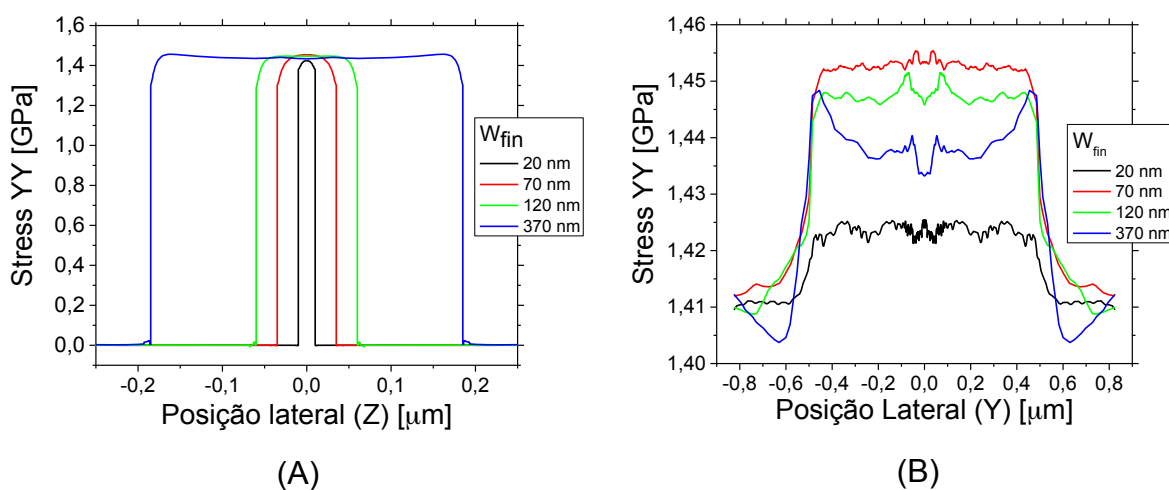
fonte: Souza (2015)

Para analisar de forma qualitativa a tensão mecânica nos transistores de porta tripla, foi extraído à 2 nm acima da base da aleta, a distribuição da tensão mecânica ao longo da largura de canal (direção Z) e na direção do comprimento de canal (direção Y) para as duas componentes da tensão mecânica biaxial (stress YY e stress ZZ).

Através da Figura 4.2, a componente de tensão mecânica induzida na direção do comprimento de canal (stress YY) foi extraída ao longo da largura e ao longo do comprimento de canal conforme é apresentada na Figura 4.2 (A) e Figura 4.2 (B), respectivamente. Assim podemos observar que esta componente de tensão mecânica não é afetada pela direção do canal ( $W_{fin}$  e  $L$ ), mantendo-se praticamente constante em toda a aleta silício, devido ao comprimento de canal longo ( $1\mu\text{m}$ ) e portanto, não sendo afetado pelo relaxamento causado pelas etapas de processo, especialmente a corrosão para a definição da largura de silício.

Entretanto, ao se analisar a componente da tensão mecânica que age no sentido da largura de canal (stress ZZ) extraídos ao longo da largura e do comprimento de canal, Figura 4.3 (A) e Figura 4.3 (B), respectivamente, apresenta uma variação de tensão mecânica efetiva oscilando de 0 MPa para um  $W_{fin} = 20$  nm até 450 MPa para um  $W_{fin} = 370$  nm.

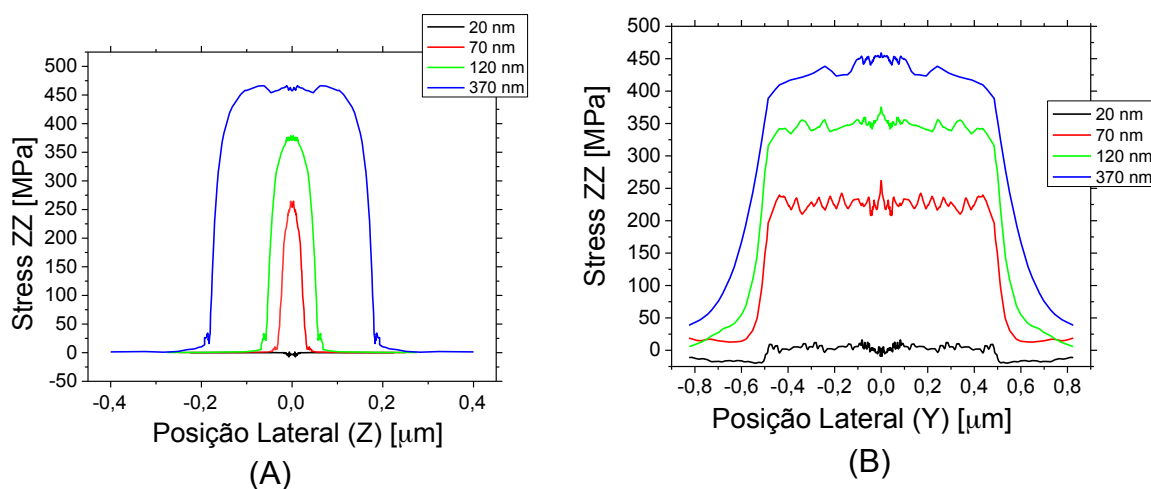
Figura 4.2 – Distribuição da componente YY da tensão mecânica ao longo da largura de canal (A) e na direção do comprimento de canal (B).



Fonte: Souza (2015)

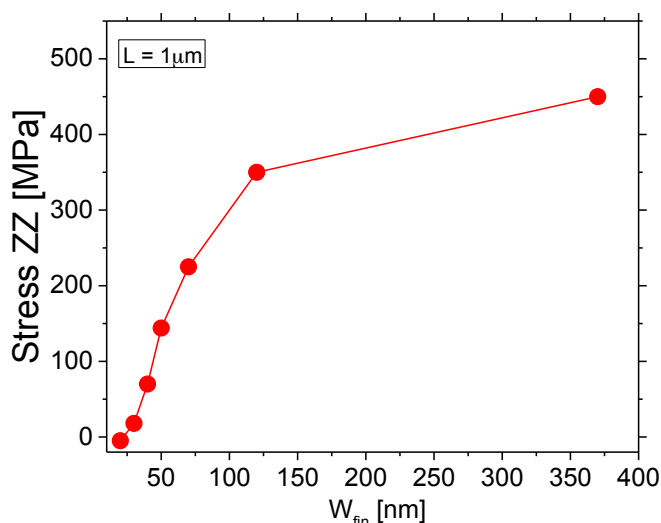
Esta variação ocorre devido ao relaxamento da componente ZZ da tensão mecânica pois conforme, apresentado na seção 2.6, o relaxamento ocorre de forma acentuada para dimensões abaixo de 100 nm, devido as etapas de corrosão já mencionadas para a formação da aleta de silício para as estruturas estudadas nesta seção.

Figura 4.3 - Distribuição da componente ZZ da tensão mecânica ao longo da largura de canal (A) e na direção do comprimento de canal (B).



Fonte: Souza (2015)

Figura 4.4 – Componente ZZ de tensão mecânica extraída no centro da largura e comprimento de canal, 2 nm acima da base da aleta de silício em função de  $W_{fin}$ .



Fonte: Souza (2015)

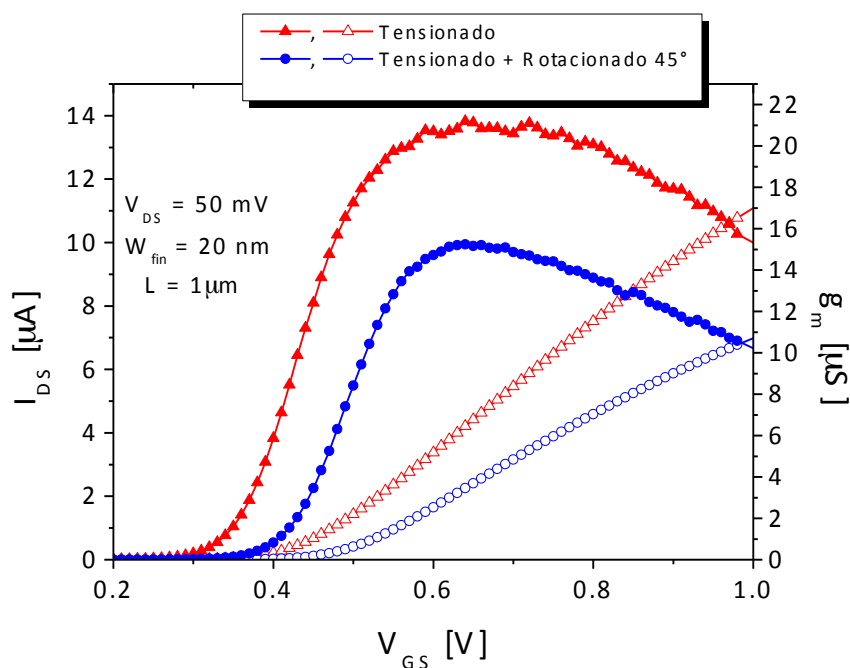
Por fim, foi extraída na Figura 4.4 que apresenta a tensão mecânica efetiva no centro da largura e do comprimento de canal, 2 nm acima da base da aleta de silício em função de  $W_{fin}$ , confirmando que as etapas de corrosão afetam diretamente a efetividade de tensão mecânica no transistor. Considerando a variação relativa a largura de canal, os primeiros 100 nm apresentam uma variação de aproximadamente 3 MPa/nm. Entretanto analisando a variação relativa nos 270 nm restantes, esta variação foi de apenas 0,56 MPa/nm.

#### 4.3 PROPRIEDADES ELÉTRICAS DOS TRANSISTORES MUGFETS DE PORTA TENSIONADA COM O SUBSTRATO ROTACIONADO

Nesta parte do trabalho, foi feito um estudo do impacto da rotação do substrato nos transistores de porta tripla sob a ação de tensão mecânica nas propriedades elétricas. As características dos dispositivos seguem ao da seção 4.1, diferindo apenas da rotação do substrato em  $45^\circ$ . Todas as estruturas medidas para esta parte do trabalho foram feitas com 5 *fins* paralelos.

Iniciando-se, foram medidas as curvas da corrente de dreno ( $I_D$ ) em função da tensão de porta ( $V_{GS}$ ), obtidos para uma tensão de dreno ( $V_{DS}$ ) de 50 mV para os dispositivos sob a ação de tensão mecânica e os dispositivos sob a ação de tensão mecânica com o substrato rotacionado em  $45^\circ$ .

Figura 4.5 - Curva da corrente de dreno (eixo a esquerda) e transcondutância (eixo direito) em função da tensão de porta para  $W_{fin} = 20$  nm e  $L = 1\mu\text{m}$  na região linear.

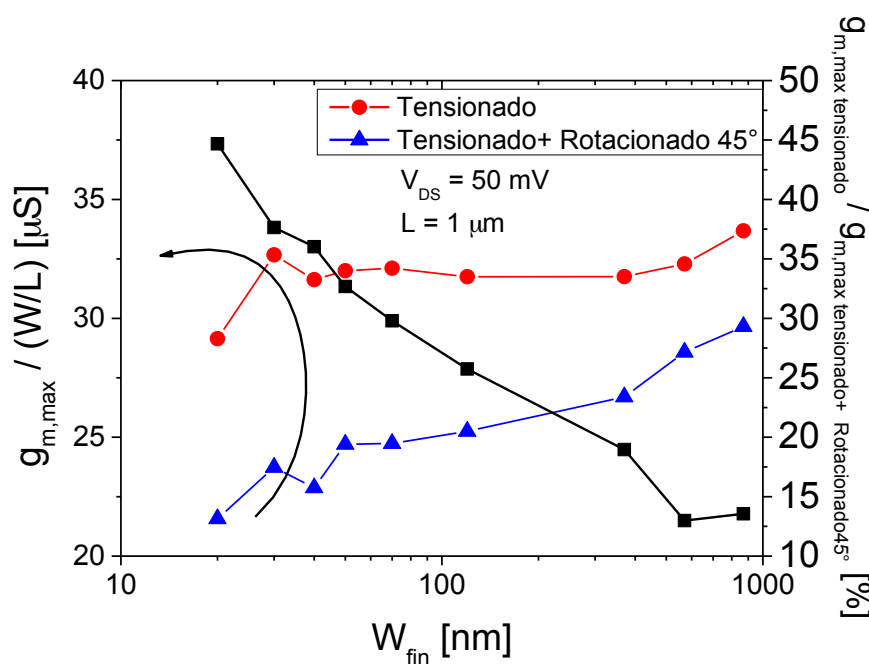


Fonte: Souza (2015)

Através da Figura 4.5, podemos verificar um aumento da corrente para os dispositivos tensionados sem a rotação do substrato em relação ao dispositivo rotacionado. A transcondutância foi extraída na Figura 4.5 e mostram que a redução aproximada de  $g_{m,máx}$  é de 40 % para o dispositivo rotacionado com  $W_{fin} = 20$  nm.

Com as medidas da transcondutância, foi extraída a máxima transcondutância ( $g_{m,máx}$ ) na Figura 4.6 (eixo da esquerda), em função da largura do dispositivo. Com os resultados, podemos verificar que há um aumento da transcondutância com o aumento da largura do dispositivo independentemente da rotação do substrato, entretanto, os dispositivos rotacionados com tensão mecânica apresentam uma redução na máxima transcondutância quando comparados com os dispositivos tensionados sem a rotação do substrato.

Figura 4.6 - Máxima transcondutância (esquerda) e variação percentual (direita) em função de  $W_{fin}$  na região linear.



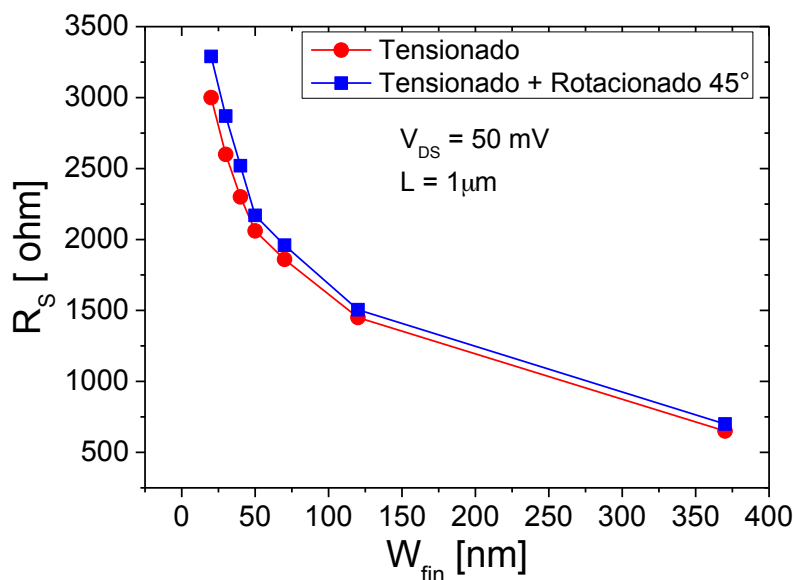
Fonte: Souza (2015)

Analisando a redução vista na Figura 4.6 (eixo da esquerda) para a máxima transcondutância, foi extraída a diferença percentual entre os dispositivos tensionados rotacionados e os dispositivos somente tensionados, com a intenção de quantificar a redução em  $g_{m,max}$  vista para os transistores rotacionados. Pela Figura 4.6 (eixo da direita), achamos uma redução proporcionada pela rotação do substrato de 13 % e 45 % para  $W_{fin} = 870$  nm e 20 nm respectivamente.

Iniciando a compreensão das razões da redução na máxima transcondutância devido à redução do substrato, foi extraída a resistência série para as mesmas condições de polarização usando o método descrito na referência (88) para todas as larguras de canal estudada.

Através da Figura 4.7, podemos observar um comportamento similar na resistência série entre os dispositivos rotacionados e não rotacionados, mais importante, a diferença numérica entre os dispositivos não ultrapassa os 10% de diferença, resultando em um efeito desprezível da resistência série na máxima transcondutância e conseqüentemente na mobilidade de portadores.

Figura 4.7 – Resistência série em função da largura de canal em  $V_{DS} = 50$  mV.



Fonte: Souza (2015)

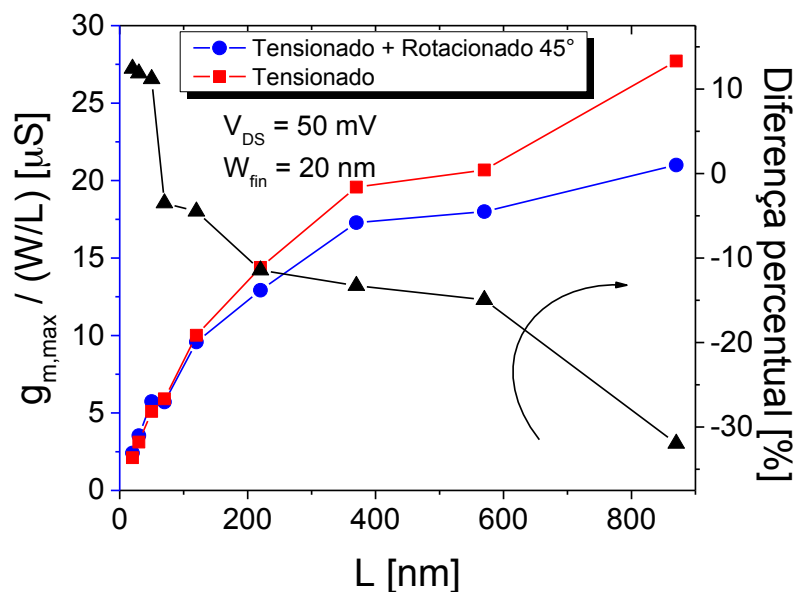
Excluindo o efeito da resistência série, a razão da redução da máxima transcondutância é única e exclusivamente pela combinação dos efeitos da tensão mecânica e rotação de substrato. O tensionamento mecânico causa uma redução na massa efetiva e uma maior repopulação dos vales  $\Delta_2$  conforme visto nos fundamentos teóricos, entretanto, a combinação da tensão mecânica com a rotação do substrato, causam uma menor redução da massa efetiva e conseqüentemente menor repopulação dos vales  $\Delta_2$ , resultando em uma menor tensão mecânica efetiva na orientação cristalográfica (110) (89).

A redução na tensão mecânica devido a rotação do substrato está em de acordo com a referência (90), onde uma redução de 50 % na transcondutância foi devido à tensão mecânica na orientação  $\langle 100 \rangle$  para um dispositivo estreito. Outra importante observação é dada pela referência (91), onde simulações Monte-Carlo para o *bulk* MuGFET, onde é associado o aumento da mobilidade de portadores nos dispositivos tensionados com a redução da massa efetiva sendo mais evidente para a orientação cristalográfica  $\langle 110 \rangle$ .

Analisando como a interação entre tensão mecânica e a rotação do substrato afetam o dispositivo, foi feita uma análise variando o comprimento do canal. A Figura 4.8 apresenta a máxima transcondutância normalizada por  $W/L$  ( $W = n_{fins} \times (2 \times H_{fin} + W_{fin})$ ), onde  $n_{fins}$  é o número de fins na estrutura em função de  $L$ . Podemos observar que ao aumentar o comprimento de canal, aumenta-se a máxima

transcondutância e portanto a mobilidade de portadores, independente da rotação do substrato.

Figura 4.8 – Máxima transcondutância normalizada (eixo da esquerda) e diferença percentual (eixo da direita) em função de  $L$  para  $V_{DS} = 50$  mV.



Fonte: Souza (2015)

A diferença percentual de  $g_{m,max}$  entre os dispositivos rotacionados e não rotacionados foi extraída (Figura 4.8 (eixo da direita)) e mostra uma melhora de 12% na máxima transcondutância para um dispositivo curto ( $L=20$ nm) rotacionado. Para um dispositivo curto ( $L=20$  nm) e estreito ( $W_{fin} = 20$  nm), o efeito da tensão mecânica é desprezível devido ao relaxamento que ocorre nos dispositivos e descrito nos fundamentos teóricos, fazendo com que somente o efeito da rotação do substrato esteja presente, deixando de haver interação entre a tensão mecânica e a rotação de substrato. Este resultado concorda com um estudo (92) realizado com dispositivos MuGFETs de porta tripla rotacionados sem o efeito de tensão mecânica.

Para um dispositivo longo ( $L = 870$  nm) uma redução de 32% na máxima transcondutância foi encontrada devido à interação entre a tensão mecânica e a rotação do substrato. A redução de  $g_{m,max}$  encontrada aqui concorda com os resultados previamente discutidos na Figura 4.6 para um  $L = 1\mu m$  e  $W_{fin} = 20$  nm.

Resumindo, pelo estreitamento de  $W_{fin}$ , a efetividade da tensão mecânica biaxial ocorre para ambos os dispositivos devido ao relaxamento, entretanto, nos dispositivos rotacionados todos os planos de condução estão na orientação

cristalográfica  $\langle 100 \rangle$ , ocorrendo a redução da efetividade da tensão mecânica, resultando em uma diferença maior na máxima transcondutância entre os dispositivos rotacionados e não rotacionados.

Também com a variação de  $L$ , o dispositivo se comporta em duas direções: para comprimento curto e canal estreito, a performance do dispositivo se assemelha ao dispositivo sem tensão mecânica, remanescendo apenas o efeito da rotação do substrato e suas consequências. Segundo, para dispositivos longos e, estreitos onde ocorre a interação entre tensão mecânica e rotação do substrato, há uma menor efetividade da tensão mecânica, afetando a performance do dispositivo.

#### **4.3.1 Propriedades Analógicas dos transistores MuGFETs de porta tripla rotacionados sob a ação de tensão mecânica**

Nesta parte da análise dos dispositivos de porta tripla tensionados com a rotação do substrato, diversos parâmetros analógicos foram estudados: transcondutância, condutância de saída, ganho intrínseco de tensão e frequência de ganho unitário. Eles foram extraídos, pois estes são importantes para determinar a desempenho do dispositivo.

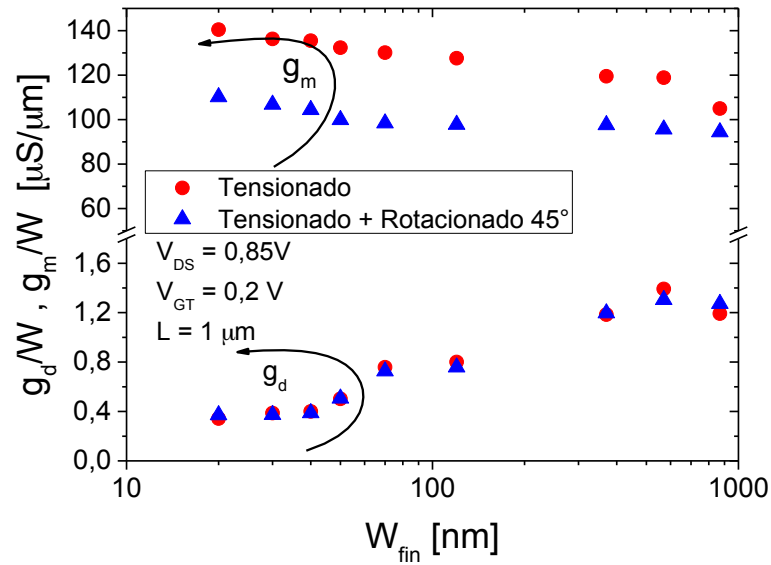
Todos os parâmetros analógicos em função da largura do dispositivo foram extraídos para  $V_{DS} = 0,85 \text{ V}$  e  $V_{GT} = 0,2 \text{ V}$  e os parâmetros em função do comprimento de canal para  $V_{DS} = 0,6 \text{ V}$  e  $V_{GT} = 0,2 \text{ V}$  para os dispositivos tensionados biaxialmente e rotacionados e tensionados biaxialmente e não rotacionados.

As Figura 4.9 e Figura 4.10 apresentam a transcondutância e a condutância de saída extraídas em função da largura do *fin* e do comprimento de canal, respectivamente.

Os resultados mostram uma redução de  $g_d$  com a redução de  $W_{fin}$  e um aumento de  $g_d$  com a redução de  $L$ , independentemente da rotação do substrato, o que está relacionado com um melhor acoplamento entre as portas, reduzindo assim o valor da condutância de saída. Comparando o efeito da rotação do substrato, os dispositivos não rotacionados e rotacionados apresentam praticamente o mesmo valor na condutância de saída, independentemente do  $W_{fin}$  e do  $L$ , mostrando que a rotação praticamente não exerce efeito sobre este parâmetro.

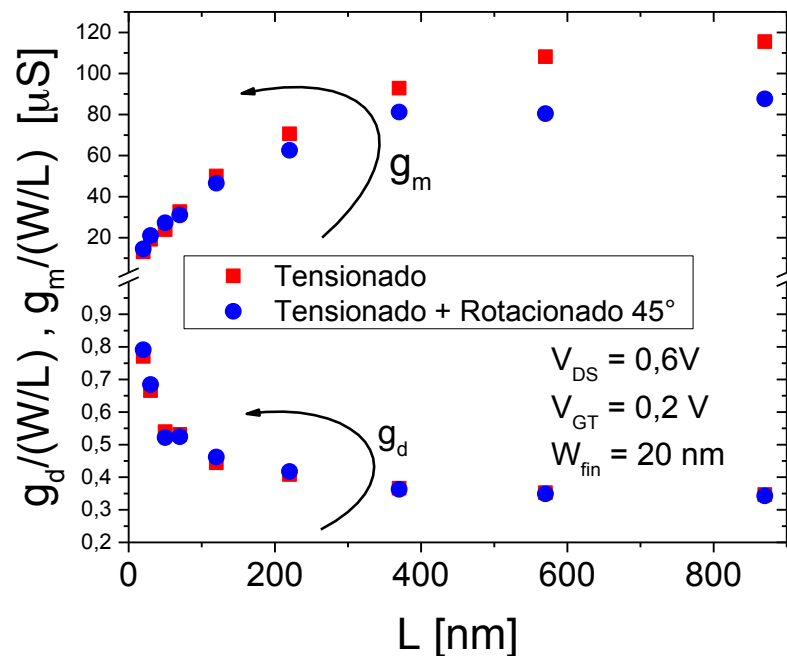


Figura 4.9 - Condutância de saída e transcondutância normalizados em função do  $W_{fin}$  para os transistores com  $L = 1 \mu\text{m}$ .



Fonte: Souza (2015)

Figura 4.10 - Condutância de saída e transcondutância normalizadas em função de  $L$  para os transistores com  $W_{fin} = 20 \text{ nm}$ .



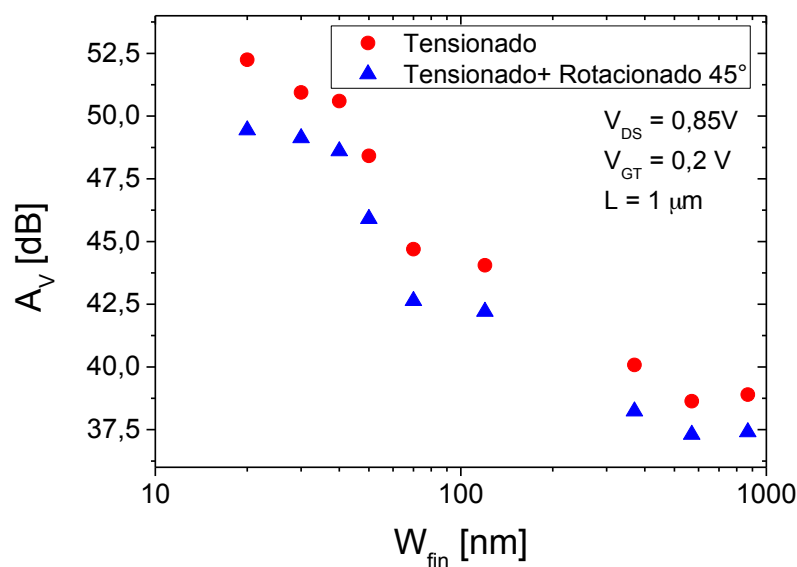
Fonte: Souza (2015)

Também a Figura 4.9 e a Figura 4.10, referente à transcondutância, mostram as mesmas tendências mostradas na Figura 4.6, onde se observam uma maior transcondutância nos dispositivos tensionados não rotacionados, na Figura

4.8, onde ocorre um comportamento que varia de acordo com a influência da tensão mecânica sobre a rotação do substrato.

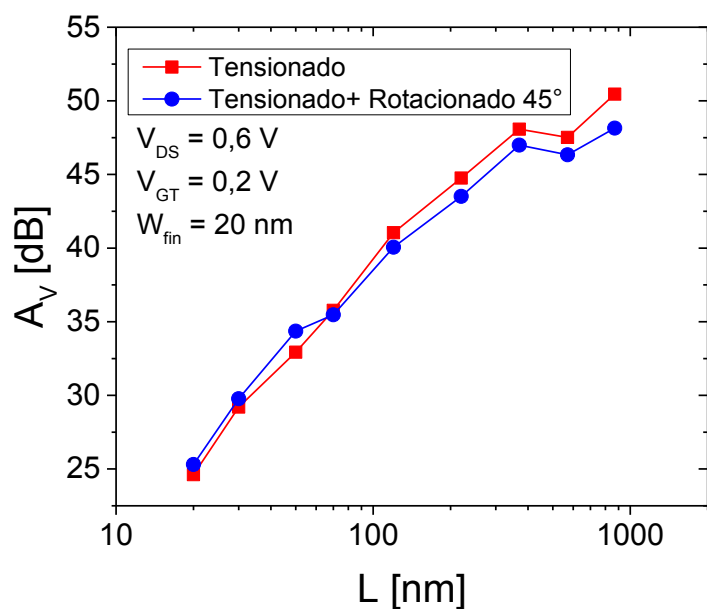
Combinando os resultados da transcondutância e da condutância de saída, o ganho intrínseco de tensão foi calculado em função da largura do *fin* e *L*, mostrado na Figura 4.11 e Figura 4.12.

Figura 4.11 - Ganho intrínseco de tensão em função do  $W_{fin}$  para os transistores com  $W_{fin} = 20$  nm.



Fonte: Souza (2015)

Figura 4.12 - Ganho intrínseco de tensão em função de *L* para os transistores com  $W_{fin} = 20$  nm.



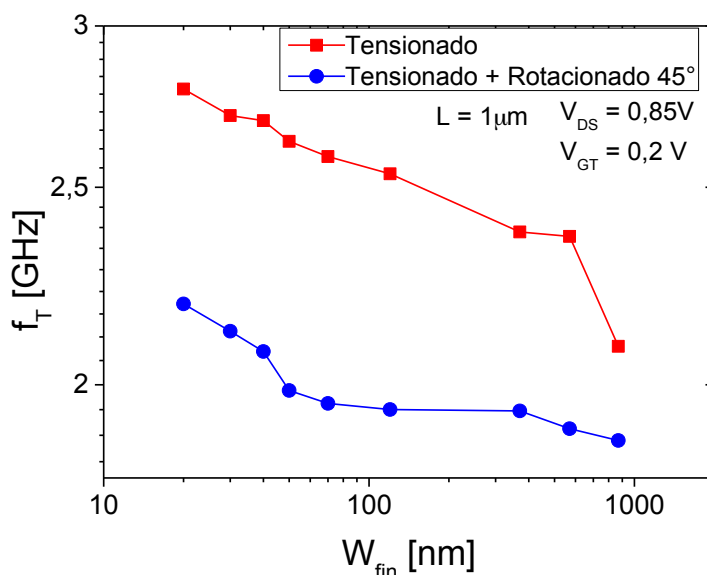
Fonte: Souza (2015)

Os resultados mostram que há um aumento da de  $A_V$  com a redução de  $W_{fin}$  e com o aumento de  $L$  para todos os dispositivos. Adicionalmente, variando a largura do dispositivo, maiores valores de  $A_V$  foram encontrados para dispositivos não rotacionados para todas as dimensões estudadas quando comparados com os dispositivos rotacionados. Quando se varia o comprimento de canal, maiores valores de  $A_V$  foram encontrados para os dispositivos rotacionados para  $L$  menores que 70 nm, ocorrendo o oposto para  $L > 70$  nm .

Nos casos, com a rotação de substrato, a condutância de saída não é influenciada pela rotação do substrato independente do comprimento ou largura do canal, fazendo com que o ganho intrínseco de tensão siga a tendência observada na máxima transcondutância.

O último parâmetro analisado foi a frequência de ganho unitário para os transistores com tensão mecânica rotacionados e não rotacionados para a cascata de  $W_{fin}$  em  $V_{DS} = 0,85V$  e  $V_{GT} = 0,2 V$  e para a cascata de  $L$  em  $V_{DS} = 0,6V$  e  $V_{GT} = 0,2 V$ .

Figura 4.13 - Ganho de frequência unitário em função da largura do dispositivo.



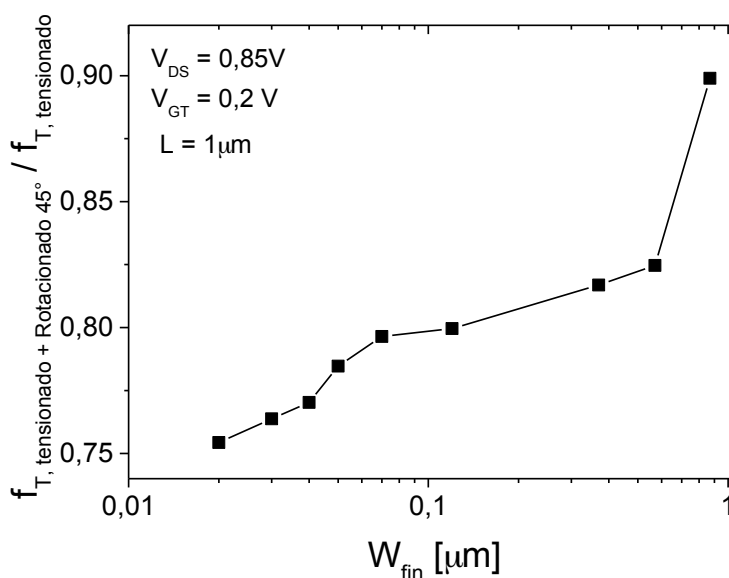
Fonte: Souza (2015)

A Figura 4.13 mostra que os dispositivos não rotacionados possuem maior  $f_T$  independente da largura do dispositivo quando comparados com os dispositivos rotacionados. Adicionalmente, com a redução de  $W_{fin}$ , ocorre um aumento de  $f_T$  como resultado do aumento da transcondutância conforme visto na Figura 4.6.

Comparando o aumento da frequência de ganho unitário com a redução do  $W_{fin}$ , vimos que os dispositivos rotacionados sofrem menor variação se comparados com os dispositivos não rotacionados. Numericamente, comparando o  $W_{fin} = 20$  nm com o  $W_{fin} = 870$  nm, o  $f_T$  sofre uma redução de 0,72 GHz para os dispositivos não rotacionados, enquanto os dispositivos rotacionados esta redução cai para 0,33 GHz para o mesmo  $W_{fin}$ .

Analisando como a rotação de substrato influencia a frequência de ganho unitário, a Figura 4.14 apresenta a relação entre os dispositivos rotacionados e não rotacionados. Podemos observar pelos resultados que a diferença percentual entre os dispositivos rotacionados e não rotacionados cai com o aumento de  $W_{fin}$ . Numericamente para o  $W_{fin} = 870$  nm a diferença é de 10 % enquanto para o  $W_{fin} = 20$  nm o valor da diferença sobe para 25 %.

Figura 4.14 - Relação do ganho de frequência unitário em função de  $W_{fin}$ .

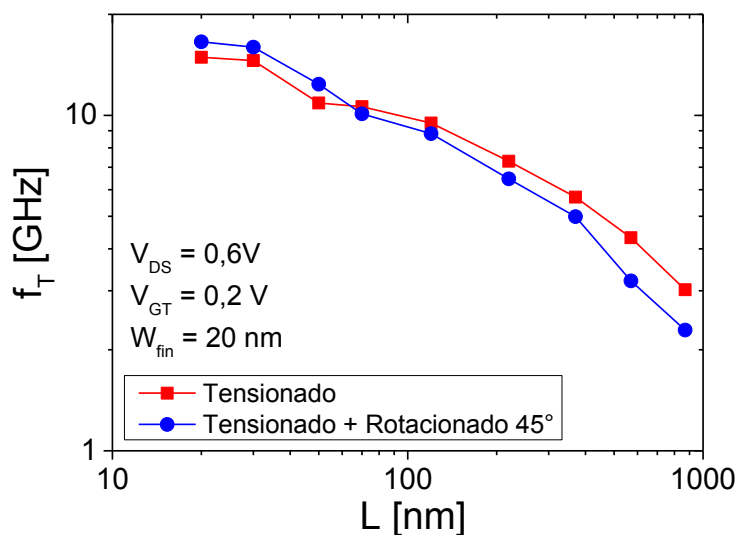


Fonte: Souza (2015)

Nos dispositivos largos, a condução da corrente é predominantemente no plano superior, onde a orientação cristalográfica é  $\langle 100 \rangle$ , e para este caso os efeitos da rotação do substrato é menor se comparados a dispositivos estreitos.

Analisando a influência do comprimento de canal na frequência de ganho unitário, a Figura 4.15 mostra o aumento de  $f_T$  com a redução do comprimento de canal independente da rotação do substrato.

Figura 4.15 - Ganho de frequência unitário em função do comprimento de canal.



Fonte: Souza (2015)

Verificando a influência da rotação do substrato com o comprimento de canal, os resultados apresentam um menor  $f_T$  para dispositivos não rotacionados com  $L < 80$  nm, entretanto, para os dispositivos com  $L > 80$  nm o inverso ocorre, deixando os dispositivos rotacionados com menor  $f_T$ . Estes resultados estão de acordo com os já apresentados na Figura 4.8, pois a frequência de ganho unitário é diretamente afetado pela transcondutância.

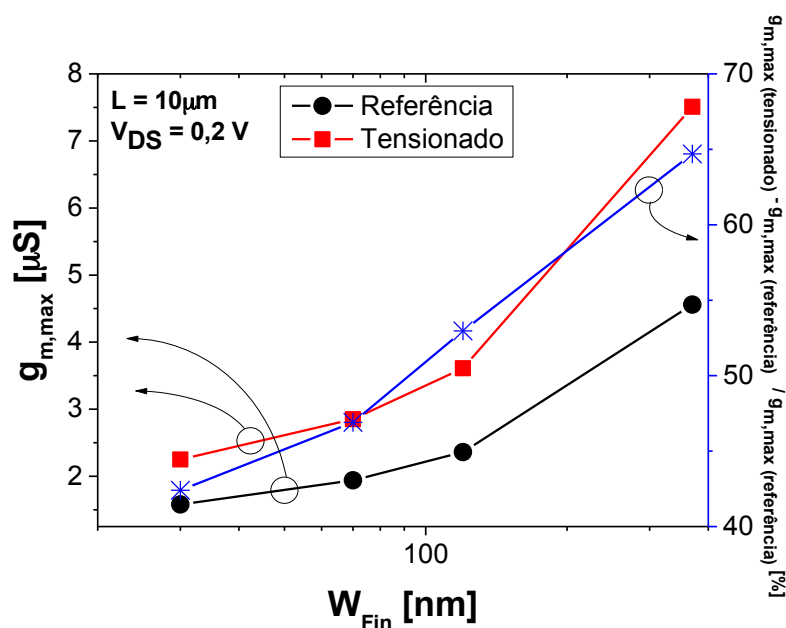
#### 4.4 RUÍDO DE BAIXA FREQUÊNCIA NOS TRANSISTORES MUGFETS DE PORTA TRIPLA

##### 4.4.1 Ruído de baixa frequência nos transistores MuGFETs de porta tripla com tensão mecânica, não rotacionados

Esta seção destina-se a uma breve análise do ruído de baixa frequência nos transistores operando na região de saturação, para os transistores de porta tripla tensionados, denominado como “Tensionados”, e sem a presença de tensão mecânica, denominado de “Referência”.

As características físicas destes dispositivos seguem as mesmas características descritas na seção 4.1, diferindo apenas pela altura do *fin*, sendo de 60 nm para os dispositivos de referência e 55 nm para os dispositivos tensionados biaxialmente.

Figura 4.16 – Máxima transcondutância e ganho percentual em função de  $W_{fin}$  para  $L = 10 \mu\text{m}$  em  $V_{DS} = 0,2 \text{ V}$ .



Fonte: Souza (2015)

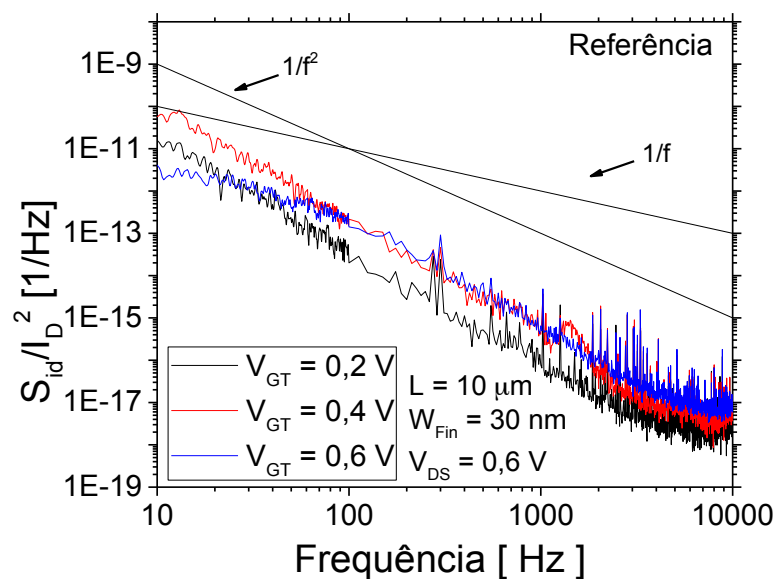
Iniciando a análise dos resultados através das curvas da corrente de dreno, foi extraída na Figura 4.16 a máxima transcondutância e o ganho percentual em  $g_m$  decorrente da tensão mecânica em função da largura do dispositivo ( $W_{fin}$ ) para o transistor sem tensão mecânica e com tensão mecânica.

Os resultados obtidos na Figura 4.16 mostram que a aplicação de tensão mecânica proporciona um ganho na máxima transcondutância independente da largura do fin. Numericamente, o menor ganho percentual foi de 42 % para  $W_{fin} = 20 \text{ nm}$  e o maior ganho foi de 65 %.

A tensão mecânica biaxial promove o tensionamento mecânico em duas direções: na direção do comprimento e na direção da largura do canal. No mais, para o transistor com  $W_{fin} = 20 \text{ nm}$ , a tensão mecânica na largura do canal é praticamente nula. Entretanto, permanece a tensão mecânica na direção do comprimento de canal, transformando a tensão mecânica biaxial em tensão mecânica uniaxial.

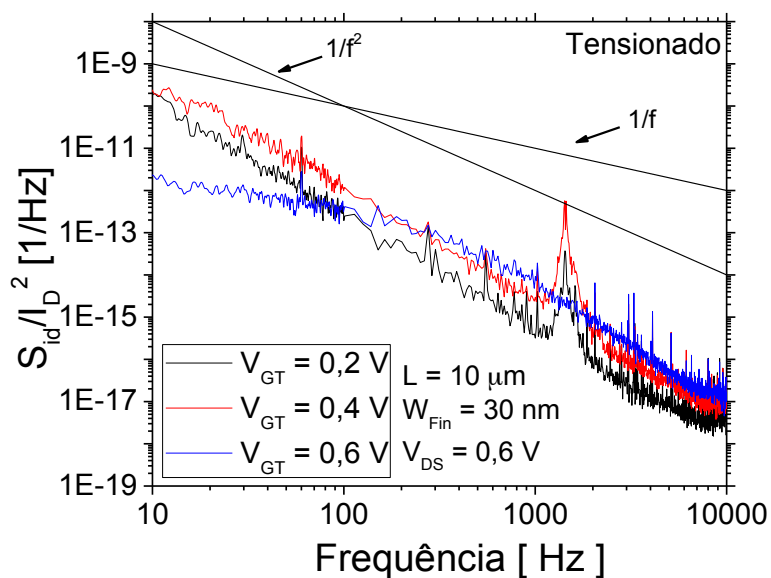
Iniciando a análise do ruído de baixa frequência, para os transistores MuGFETs de porta tripla foram medidas as curvas da densidade espectral de potência do ruído da corrente de dreno normalizadas em função da frequência para  $W_{fin} = 30 \text{ nm}$  e  $L = 10 \mu\text{m}$ , com  $V_{DS} = 0,6 \text{ V}$  para diversas sobretensões de porta.

Figura 4.17 - Densidade espectral de potência do ruído da corrente de dreno em função da frequência para MuGFET referência com  $L = 10 \mu\text{m}$  e  $W_{\text{fin}} = 30 \text{ nm}$ , com  $V_{\text{DS}} = 0,6 \text{ V}$ .



Fonte: Souza (2015)

Figura 4.18 - Densidade espectral de potência do ruído da corrente de dreno em função da frequência para MuGFET tensionado com  $L = 10 \mu\text{m}$  e  $W_{\text{fin}} = 30 \text{ nm}$ , com  $V_{\text{DS}} = 0,6 \text{ V}$ .



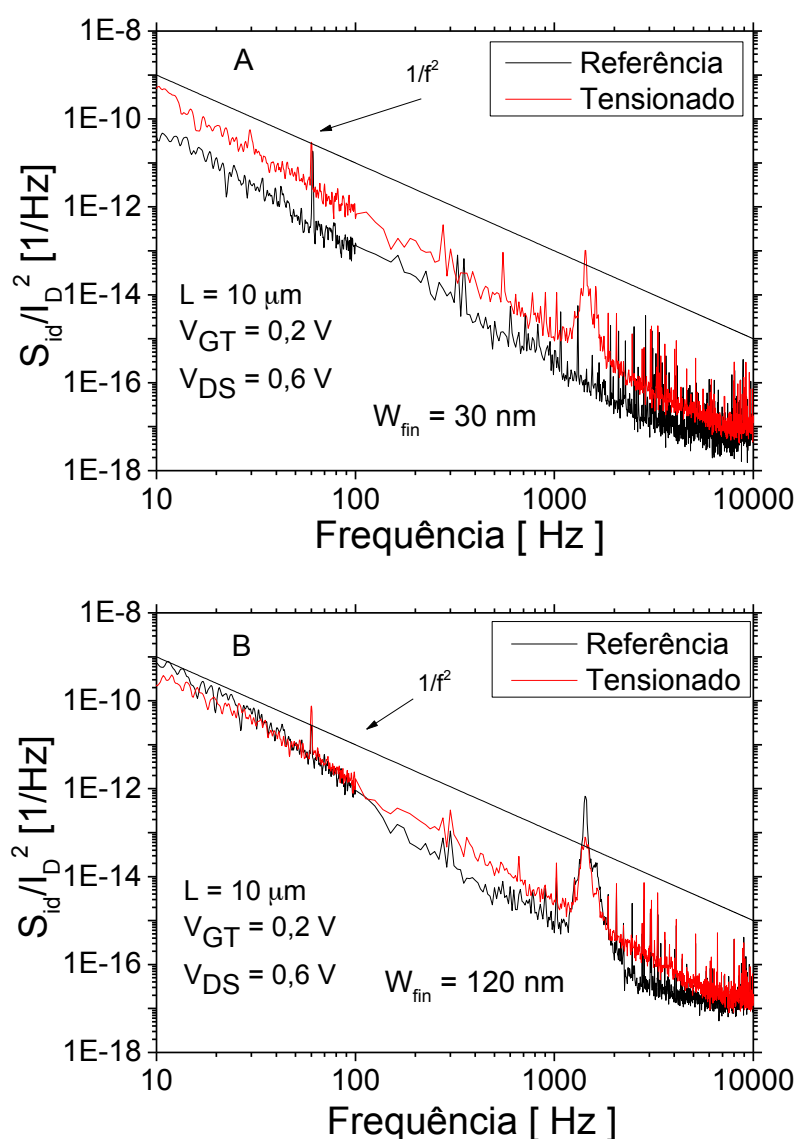
Fonte: Souza (2015)

Através da Figura 4.17 e da Figura 4.18, para os transistores de referência e tensionado, respectivamente, o ruído para um  $V_{\text{GT}} = 0,2 \text{ V}$  e  $0,4 \text{ V}$ , apresentam um ruído típico de geração e recombinação, possuindo um aspecto  $1/f^2$  para a maior parte da faixa de frequência estudada.

Aumentando o  $V_{GT}$  para 0,6 V, entretanto, o ruído só apresenta um aspecto  $1/f^2$ , para frequências superiores a 100 Hz. Abaixo desta frequência apresentam um ruído típico  $1/f$ , usualmente associado à flutuação no número de portadores.

Comparando a Figura 4.17, (referência) e a Figura 4.18 (tensionado), nota-se que, para o transistor sob a ação de tensão mecânica, a transição entre o ruído  $1/f$  e  $1/f^2$  ocorre em uma frequência maior que o observado para a referência (Figura 4.17), ficando mais evidente para alta sobretensão de porta. Esta transição usualmente é chamada de frequência de canto.

Figura 4.19 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para  $L = 10 \mu\text{m}$  e  $W_{\text{fin}} = 30 \text{ nm}$  (A),  $W_{\text{fin}} = 120 \text{ nm}$  (B) com  $V_{DS} = 0,6 \text{ V}$ .



Fonte: Souza (2015)



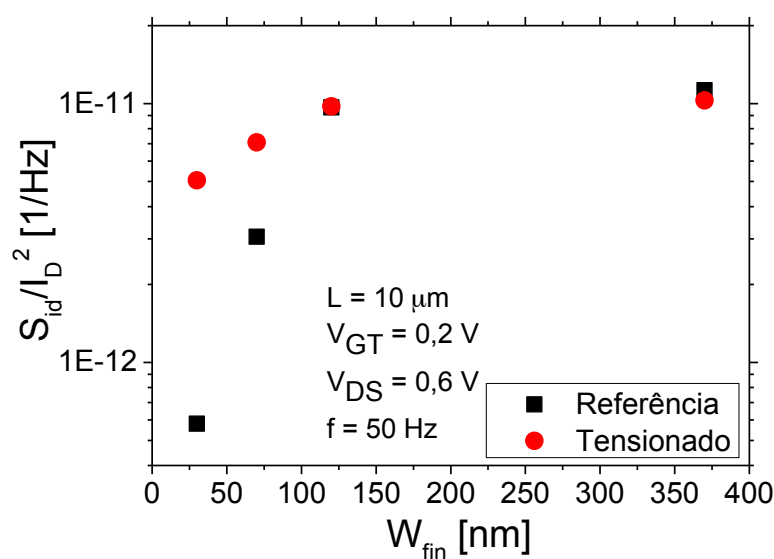
Detalhando o comparativo feito entre os transistores de porta tripla do tipo MuGFET com tensão mecânica biaxial e o transistor de referência do mesmo tipo, a Figura 4.19(A) e Figura 4.19(B) apresentam as curvas dos ruídos de baixa frequência normalizados em função da frequência para  $W_{fin} = 30$  nm e  $W_{fin} = 120$  nm, respectivamente, com a mesma polarização apresentada anteriormente.

Pela Figura 4.19, foi encontrado uma piora pequena no ruído de baixa frequência nos dispositivos tensionados para o  $W_{fin} = 30$  nm. Entretanto para o  $W_{fin} = 120$  nm não há diferença no valor do ruído de baixa frequência.

A variabilidade das medidas experimentais do ruído é um fator relevante, pois dificilmente se é alcançado o mesmos níveis e valores de ruído em duas ou mais medidas, entretanto, nas medidas realizadas este fator foi praticamente nulo, não afetando de forma significativa as medidas do ruído.

Isto pode estar associado a diversos fatores, como uma maior eficácia da tensão mecânica devido ao comprimento de canal longo e uma largura pequena, onde a condução é predominantemente pelas laterais, isto é, na orientação cristalográfica  $\langle 110 \rangle$  onde provavelmente a qualidade da interface nas laterais é pior se comparada à orientação  $\langle 100 \rangle$ , e isto é resultante de etapas de processo.

Figura 4.20 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de  $W_{fin}$  com  $V_{DS} = 0,6$  V.



Fonte: Souza (2015)

Expandindo os resultados da análise comparativa, a Figura 4.20 apresenta o ruído de baixa frequência normalizado que foi extraído na frequência de 50 Hz, em função da largura do dispositivo.

Através da Figura 4.20, podemos observar que para um  $W_{fin}$  pequeno, há um aumento do ruído de baixa frequência para os dispositivos com tensão mecânica. Aumentando a largura do dispositivo, e conseqüentemente reduzindo a dependência da condução pelas paredes laterais, o inverso ocorre ficando um menor ruído para o dispositivo sob o efeito de tensão mecânica, indicando que as paredes laterais possui uma melhor interface na operação em alto  $V_{DS}$ .

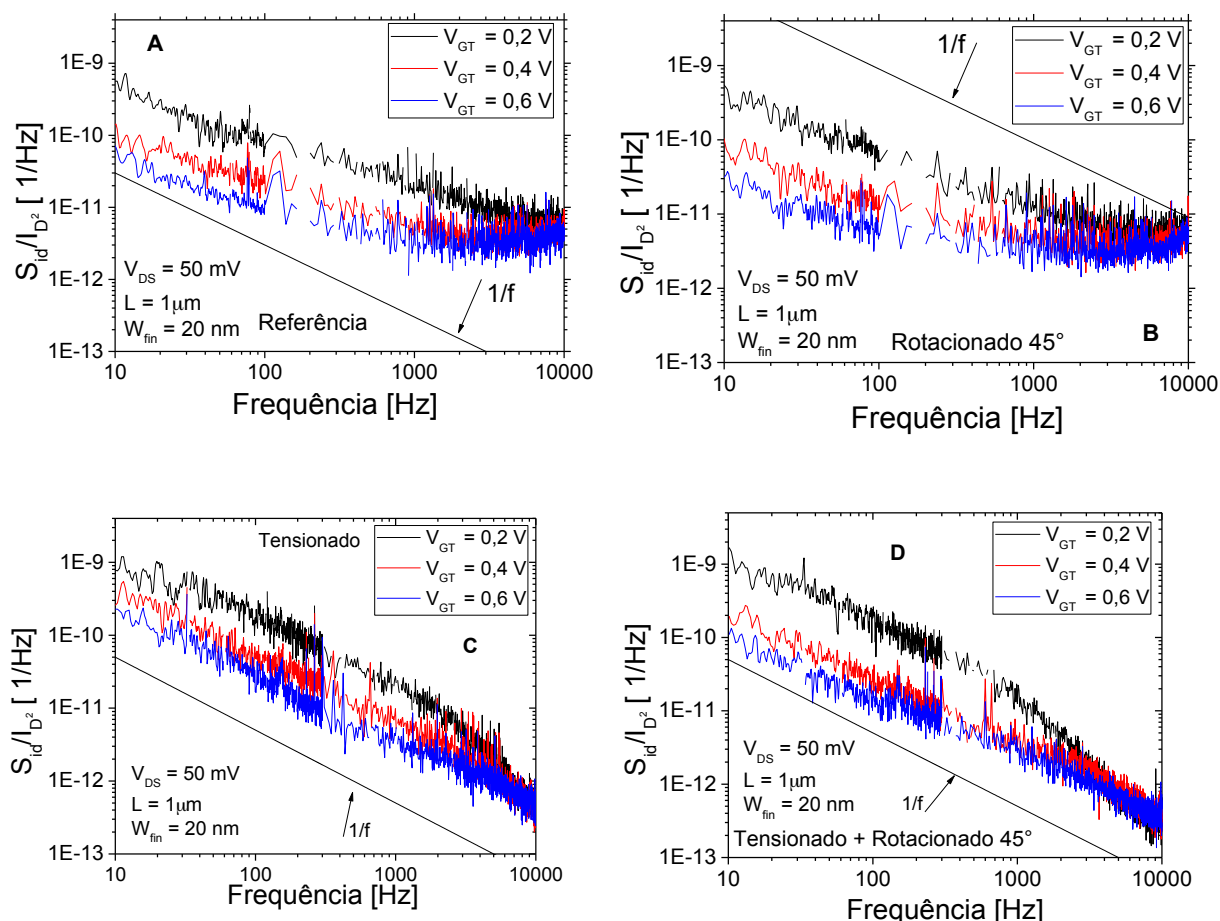
#### **4.4.2 Ruído de baixa frequência nos transistores MuGFETs de porta tripla rotacionados em função da largura do canal**

Um dos mais importantes parâmetros analógicos para aferir a qualidade da interface entre a camada de silício e o dielétrico de porta para a contínua redução das dimensões dos transistores é o ruído de baixa frequência. Nesta parte discutiremos a influência da rotação do substrato, da tensão mecânica e ambos os efeitos combinados no ruído de baixa frequência para os transistores de porta tripla MuGFETs.

As características dos dispositivos seguem ao da seção 4.1, diferindo apenas da rotação do substrato em 45° e todas as estruturas medidas para esta parte do trabalho foram feitas com 5 *fins* paralelos.

Iniciando a análise dos resultados, extraiu-se as curvas da normalizadas da densidade espectral de potencia do ruído ( $S_{id}/I_D^2$ ) em função da frequência na Figura 4.21(A), (B) (C) e (D) para dispositivos de referência, rotacionados não tensionados, tensionados não rotacionados e tensionados rotacionados, respectivamente, com  $W_{fin} = 20$  nm e  $L = 1\mu\text{m}$  polarizado em  $V_{DS} = 50$  mV e para diversas sobretensões de porta ( $V_{GT} = V_{GS} - V_T$ ).

Figura 4.21 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET referência (A) e rotacionado (B), tensionado (C) e tensionado rotacionado (D) com  $L = 1 \mu\text{m}$  e  $W_{\text{fin}} = 20 \text{ nm}$ , com  $V_{\text{DS}} = 50 \text{ mV}$ .



Fonte: Souza (2015)

Pela Figura 4.21, o ruído de baixa frequência diminui com o aumento da sobretensão de porta e um ruído com aspecto  $1/f$  foi observado para todo o espectro de frequência para os transistores sob a ação de tensão mecânica independente da rotação do substrato para  $V_{\text{GT}} > 0,2 \text{ V}$ . Entretanto, para os transistores não tensionados, o aspecto  $1/f$  só foi observado para frequências menores que  $1 \text{ kHz}$ . O ruído  $1/f$  é geralmente associado à flutuação no número de portadores podendo estar correlacionado com a flutuação da mobilidade em dispositivos do tipo n ou simplesmente ser apenas devido a flutuação da mobilidade. Observa-se ainda para os dispositivos tensionados em  $V_{\text{GT}} = 0,2 \text{ V}$ , um ruído  $1/f^2$  foi observado para frequências superiores a  $1 \text{ kHz}$ . Neste caso o transistor está operando na região de transição entre a região linear e a região de saturação e este tipo de ruído é relacionado ao excesso da componente Lorentziana relacionado com os

mecanismos de geração-recombinação. Para frequências abaixo de 1KHz um ruído de característica  $1/f$  foi observado com um fator gama ( $\gamma$ ) de 0,95.

Para os transistores não tensionados rotacionados ou não rotacionados, ocorre um platô para frequências acima de 2 kHz.

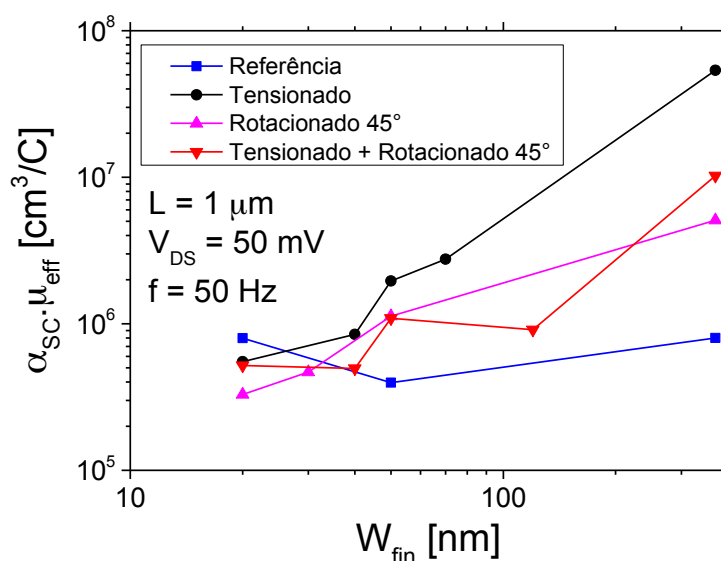
Para se verificar o fator de flutuação da mobilidade, foi extraído o fator CMF (*Carrier mobility Fluctuations*) em função de  $W_{fin}$  seguindo a referência (93), conforme equação (4.1) apresentada abaixo:

$$\Omega = \alpha_{sc} \cdot \mu_{eff} \cdot C_{EOT} \quad (4.1)$$

onde  $\Omega$  pode ser calculado pela inclinação da curva ( $I_{DS}/g_m$ ) pela  $\sqrt{S_{id}/g_m^2}$ .

O fator de flutuação da mobilidade apresentado na Figura 4.22, mostra que esta componente cresce com o aumento da largura do canal, tendo uma maior efetividade para os dispositivos sob a ação de tensão mecânica. Nos dispositivos tensionados, para frequências superiores à 1 kHz como dito anteriormente, o ruído é ocasionado pela geração.

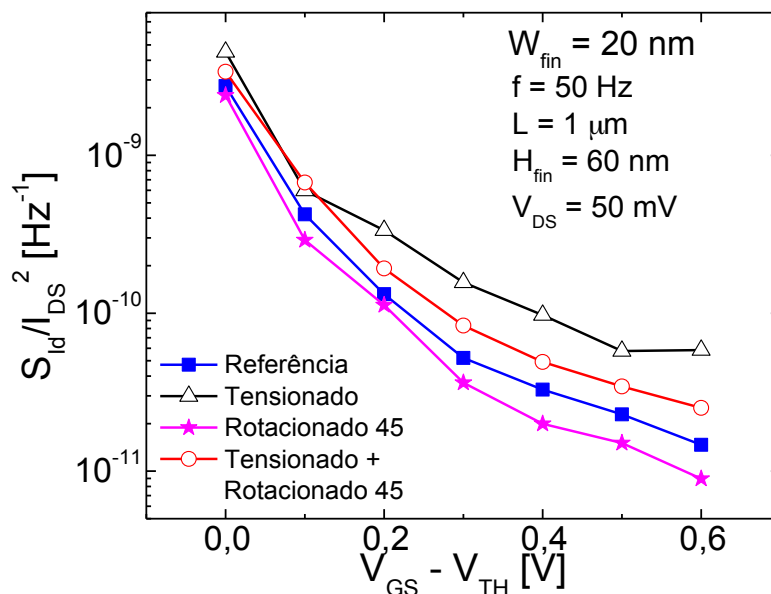
Figura 4.22 – Fator de flutuação da mobilidade em função de  $W_{fin}$  para MuGFETs de referência, tensionado, rotacionado e tensionado rotacionado.



Fonte: Souza (2015)

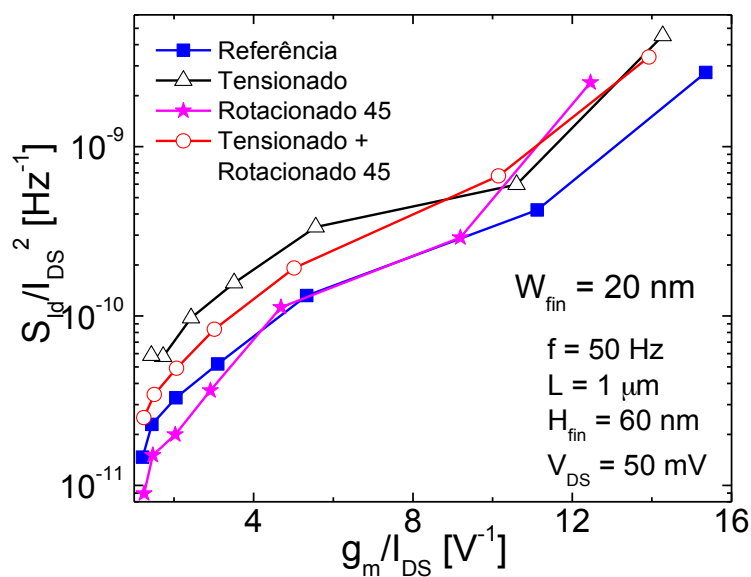
A dependência do ruído de Lorentzianas na sobretensão de porta, indica que os centros estão localizados no dielétrico de porta (94).

Figura 4.23 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da sobretensão de porta para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com  $L = 1 \mu\text{m}$  e  $W_{\text{fin}} = 20 \text{ nm}$ .



Fonte: Souza (2015)

Figura 4.24 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da razão  $g_m/I_{DS}$  para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com  $L = 1 \mu\text{m}$  e  $W_{\text{fin}} = 20 \text{ nm}$ .



Fonte: Souza (2015)

O nível de ruído diminui com o crescimento de  $V_{GT}$ , ou seja com o aumento no nível de inversão (dado pela razão da transcondutância pela corrente de dreno), como apresentado na Figura 4.23 e Figura 4.24 para um transistor com largura de 20 nm. As curvas do ruído normalizado apresentam a mesma tendência para todos

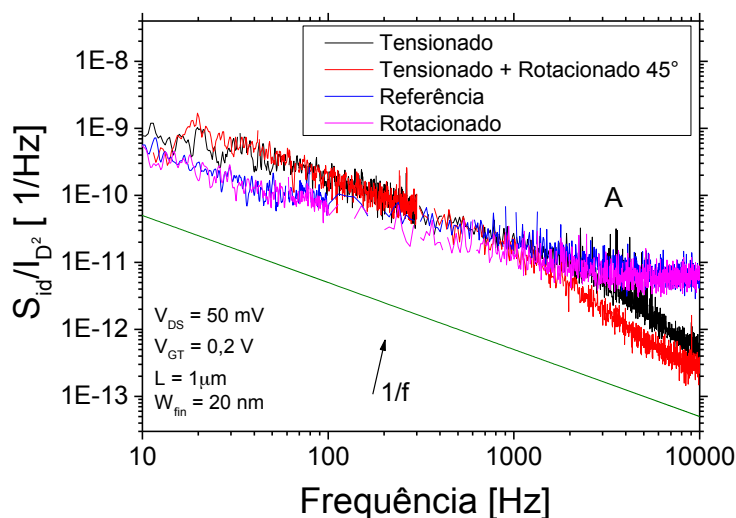
os dispositivos. Maior ruído foi observado para baixo  $V_{GT}$ , resultante da elevação da efetividade da captura e liberação dos portadores na região de canal, logo abaixo da tensão de limiar, devido à menor concentração de portadores.

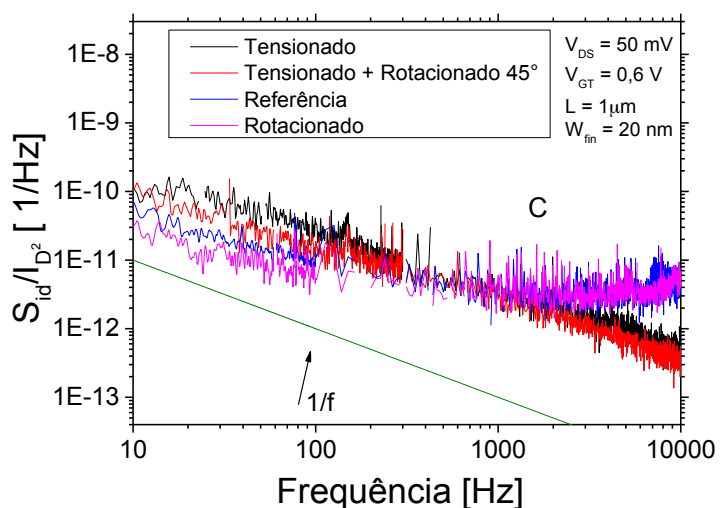
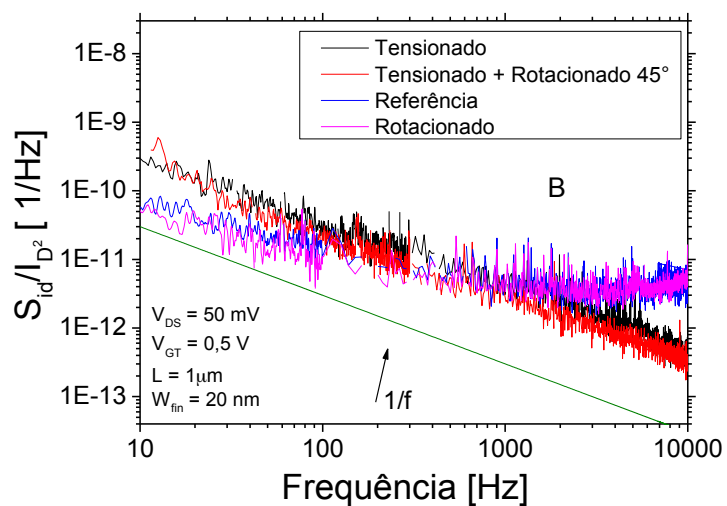
Para uma melhor análise, foi feito o comparativo do ruído de baixa frequência entre todos os tipos de transistores em duas larguras,  $W_{fin} = 20$  nm (Figura 4.25) e  $W_{fin} = 370$  nm (Figura 4.26), polarizado em  $V_{GT} = 0,2$  V (A),  $V_{GT} = 0,5$  V (B) e  $V_{GT} = 0,6$  V (C) e  $V_{DS} = 50$  mV.

Através da Figura 4.25, para  $W_{fin} = 20$  nm, vê-se que os dispositivos não tensionados apresentam um menor ruído independente do  $V_{GT}$  para frequências menores que 300 Hz, entretanto uma diferença marginal foi encontrada entre o transistor de referência e o rotacionado e entre os transistores tensionados, para o  $V_{GT} = 0,2$  V. Entretanto aumentando-se o  $V_{GT}$  para 0,5 e 0,6 V, a rotação do substrato reduz ligeiramente o ruído.

Para frequências superiores a 1 kHz, os dispositivos tensionado, apresentam uma redução no ruído, independente da sobretensão de porta, e neste caso a rotação do substrato promove uma pequena melhora.

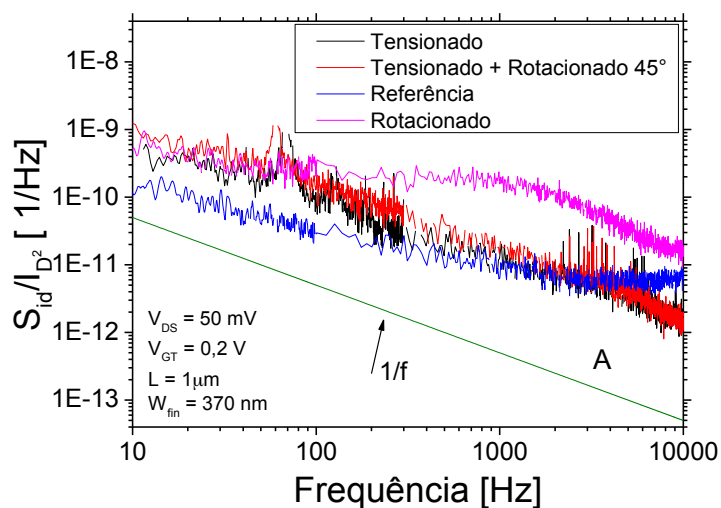
Figura 4.25 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET convencional, tensionado, rotacionado tensionado e tensionado rotacionado com  $L = 1$   $\mu$ m e  $W_{fin} = 20$  nm com  $V_{DS} = 50$  mV e três  $V_{GT} = 0,2$  V (A) e 0,5 V (B) e 0,6 V (C).

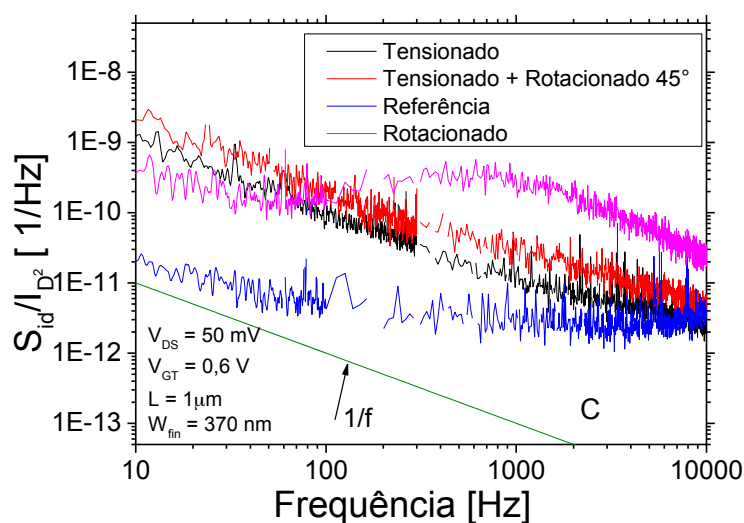
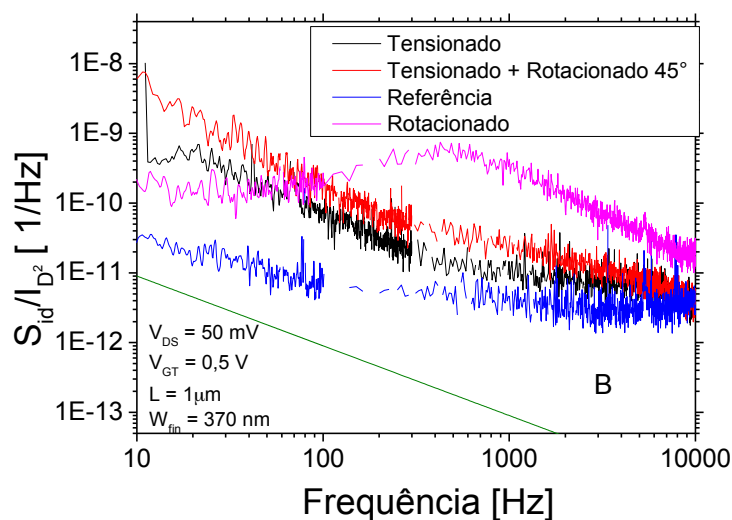




Fonte: Souza (2015)

Figura 4.26 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET convencional, tensionado, rotacionado tensionado e rotacionado com  $L = 1\ \mu\text{m}$  e  $W_{fin} = 370$  nm com  $V_{DS} = 50$  mV e três  $V_{GT} = 0,2$  V (A) e  $0,5$  V (B) e  $0,6$  V (C).





Fonte: Souza (2015)

Aumentando-se a largura do dispositivo para 370 nm (Figura 4.26), a rotação de substrato num dispositivo não tensionado promove um aumento significativo no ruído, sendo amplamente evidenciado conforme se aumenta o  $V_{GT}$ .

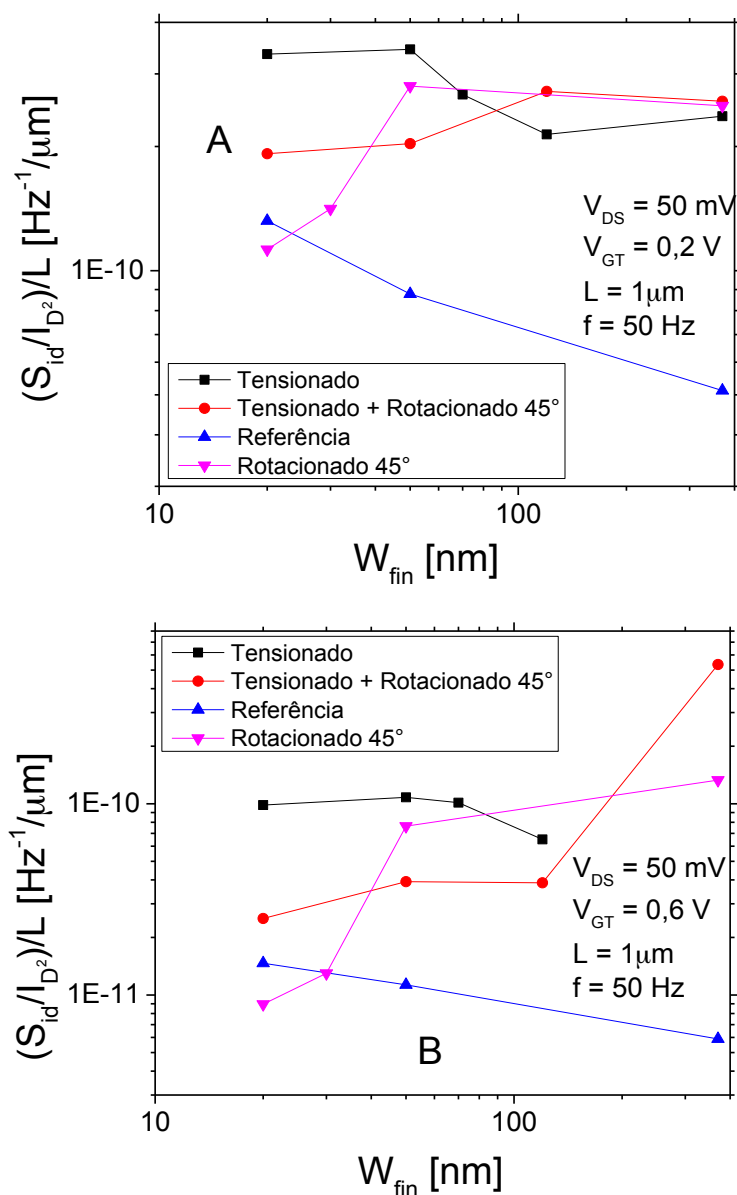
Comparando os dispositivos tensionados para  $W_{fin} = 370$  nm, a mesma tendência é encontrada, somente em menor nível, fazendo com que o efeito da tensão mecânica sobre a rotação do substrato não exerça nenhuma influência. Entretanto, a presença de tensão mecânica no dispositivo aumenta o ruído, independente da rotação do substrato.

O comportamento pode ser melhor verificado através da Figura 4.27, exibindo o ruído normalizado em função da largura do dispositivo para duas sobretensão de porta: 0,2 V (A) e 0,6 V (B)



Os resultados provenientes da Figura 4.27 mostram que o ruído apresentado pelo dispositivos de referência e pelo dispositivos tensionados não rotacionados, se degrada com a redução de  $W_{fin}$ , isto é há um aumento no ruído relacionado com a mudança do plano de condução do topo para as laterais, onde geralmente apresenta uma qualidade de interface mais pobre.

Figura 4.27 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de  $W_{fin}$  com  $V_{DS} = 0,6$  V e três  $V_{GT} = 0,2$  V (A),  $0,5$  V (B) e  $0,6$  V (C).



Fonte: Souza (2015)

Entretanto, os dispositivos rotacionados, apresentam uma melhora no ruído, reduzindo seu valor, com a redução da largura do dispositivo, demonstrando que rotacionando o dispositivo e deixando a interface lateral na orientação cristalográfica

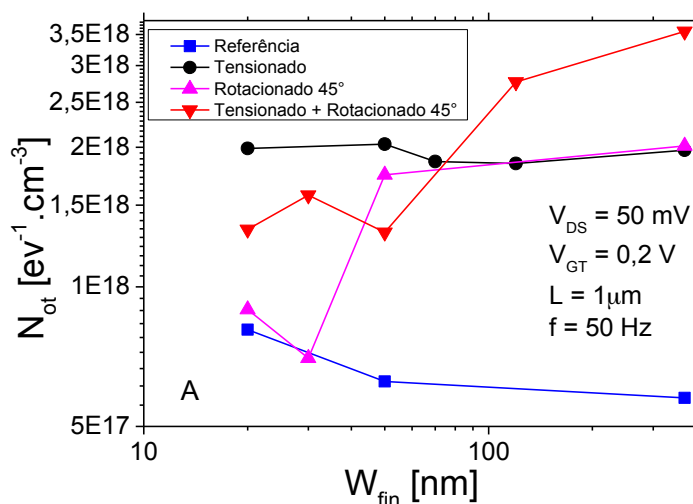
<100>, melhora a interface lateral, deixando-a com melhor qualidade (menos defeitos). De qualquer forma, para a maioria de  $W_{fin}$ , ambos os efeitos, tensionamento mecânico e rotação do substrato, de forma geral, pioram o ruído dos dispositivos, evidenciando a degradação da interface superior.

Analisando a qualidade da interface, a densidade volumétrica de armadilhas de interface ( $N_{ot}$ ) foi extraída através da equação (4.2), encontrada na referência (93) em função de  $W_{fin}$  para  $V_{GT} = 0,2$  V (Figura 4.28 (A)) e  $V_{GT} = 0,5$  V (Figura 4.28 (B)) para  $V_{DS} = 50$  mV.

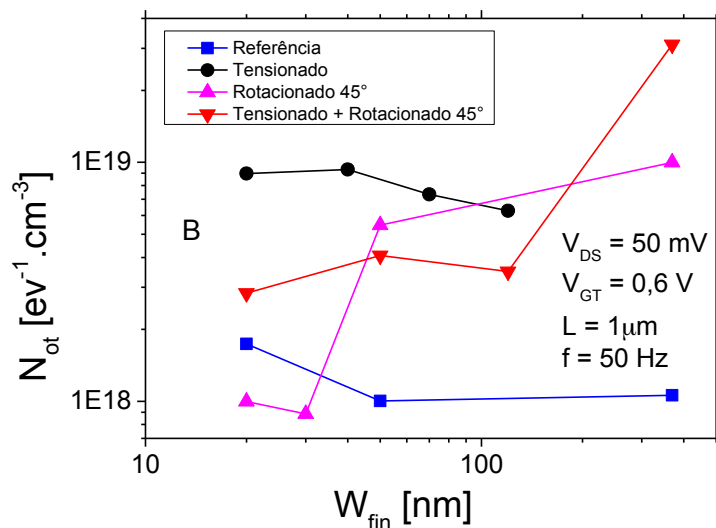
$$N_{ot} = \frac{S_{id} \cdot f \cdot \alpha_t \cdot W_{fin} \cdot L \cdot C_{EOT}^2 \cdot V_{GT}^2}{q^2 \cdot k \cdot T \cdot I_{DS}^2} \quad (4.2)$$

onde  $\alpha_t$  é  $\alpha_t$  é um parâmetro de tunelamento, que foi considerado igual a  $0,5 \cdot 10^8$  cm<sup>-1</sup> para uma interface Si/HfSiON.

Figura 4.28 - Armadilhas de interface no óxido extraído em 50 Hz em função de  $W_{fin}$  com  $V_{DS} = 50$  mV e dois  $V_{GT} = 0,2$  V (A), 0,6 V (B).

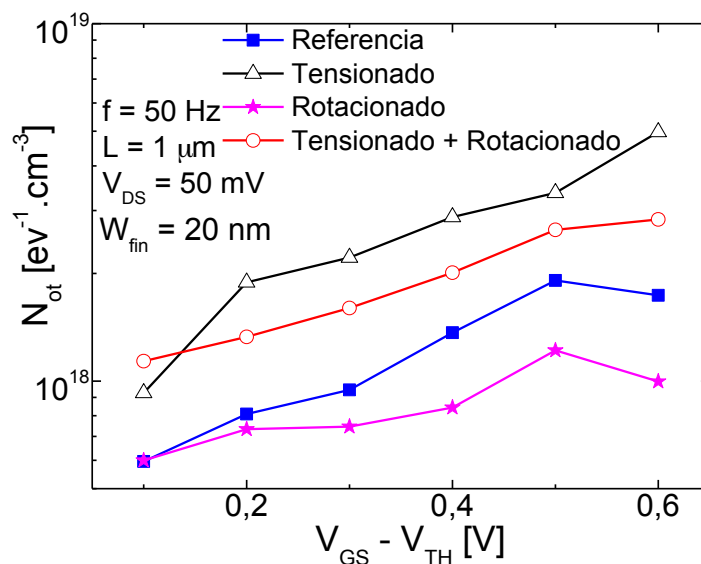


Os resultados da Figura 4.28(A) e Figura 4.28(B) para  $V_{GT} = 0,2$  V e  $V_{GT} = 0,6$  V respectivamente, apresentam uma tendência similar à encontrada na Figura 4.27 com a curva do ruído normalizado. Para os dispositivos convencionais e tensionados, ocorre uma leve degradação de  $N_{ot}$  com a redução de  $W_{fin}$ . Entretanto, para os dispositivos rotacionados, ocorre uma redução de  $N_{ot}$  relacionada com a melhora na interface lateral. No mais, os dispositivos sob o efeito de tensão mecânica apresentaram um aumento de  $N_{ot}$  se comparado com os não tensionados.



Fonte: Souza (2015)

Figura 4.29 - Armadilhas de interface no óxido extraído em 50 Hz em função da sobre-tensão de porta com  $V_{DS} = 50 \text{ mV}$ .

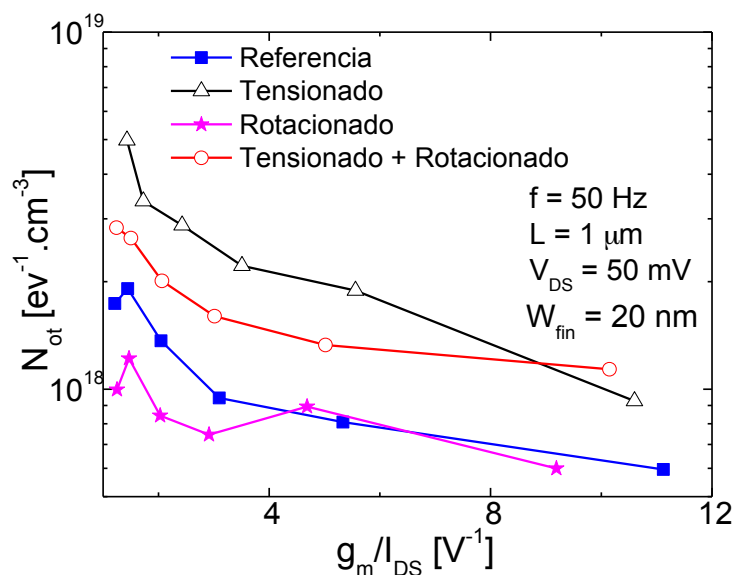


Fonte: Souza (2015)

A dependência das armadilhas de interface sobre o  $V_{GT}$  é apresentada na Figura 4.29 e Figura 4.30, indicando uma elevação na densidade de armadilhas com o aumento da polarização de porta ou redução da razão  $g_m/I_{DS}$ . Este comportamento é o oposto ao encontrado na Figura 4.23, onde um grande número de armadilhas são ativadas com o aumento da densidade de portadores no canal.

Para determinação da distribuição da densidade de armadilhas ao longo do dielétrico de porta ( $x_{depth}$ ), foram extraídas seguindo a referência (93), através da equação (4.2), o  $N_{ot}$  é extraído para toda faixa de frequência (10 Hz até 10 kHz).

Figura 4.30 - Armadilhas de interface no óxido extraído em 50 Hz em função da razão  $g_m/I_{DS}$  com  $V_{DS} = 50$  mV.



Fonte: Souza (2015)

Para a extração da densidade de armadilhas ao longo do dielétrico de porta, para as mesmas frequências usadas na extração de  $N_{ot}$ , é realizada através da equação (4.3), a extração da profundidade. Associando para cada profundidade extraída, seu respectivo  $N_{ot}$ .

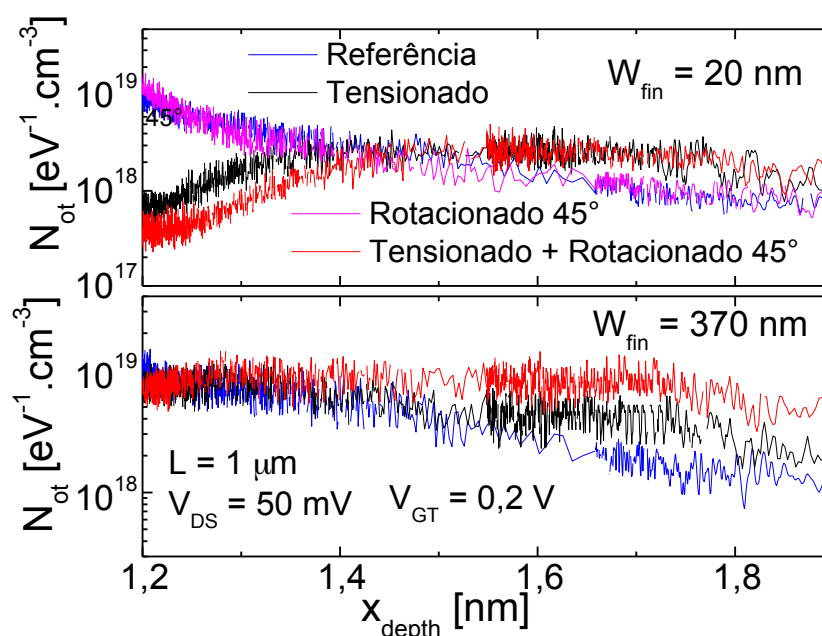
$$x_{depth} = \lambda \cdot \ln\left(\frac{1}{2\pi f \tau_0}\right) \quad (4.3)$$

Analisando a distribuição da densidade de armadilhas ao longo do dielétrico de porta ( $x_{depth}$ ), foram extraídas, em  $V_{DS} = 50$  mV e  $V_{GT} = 0,2$  V para  $W_{fin} = 20$  nm e  $W_{fin} = 370$  nm, o perfil da densidade de armadilhas ao longo da espessura do dielétrico ( $x_{depth}$ ) conforme apresentado na Figura 4.31.

Os resultados da Figura 4.31 para os dispositivos mais estreitos (20 nm) o menor  $N_{ot}$  se obtém mais perto da interface para os dispositivos tensionados e apresenta seu pico em  $1,4 \sim 1,5$  nm, indicando uma predominância de armadilhas

da metade para o fim do dielétrico de porta. Entretanto, para os dispositivos rotacionados e de referência o maior valor de  $N_{ot}$  é obtido mais perto da interface, indicando uma maior concentração de armadilhas no início do dielétrico.

Figura 4.31 – Armadilhas de interface no óxido extraído em função da espessura do dielétrico de porta com  $V_{DS} = 50$  mV  $V_{GT} = 0,2$  V para  $W_{fin} = 20$  nm e  $W_{fin} = 370$  nm .



Fonte: Souza (2015)

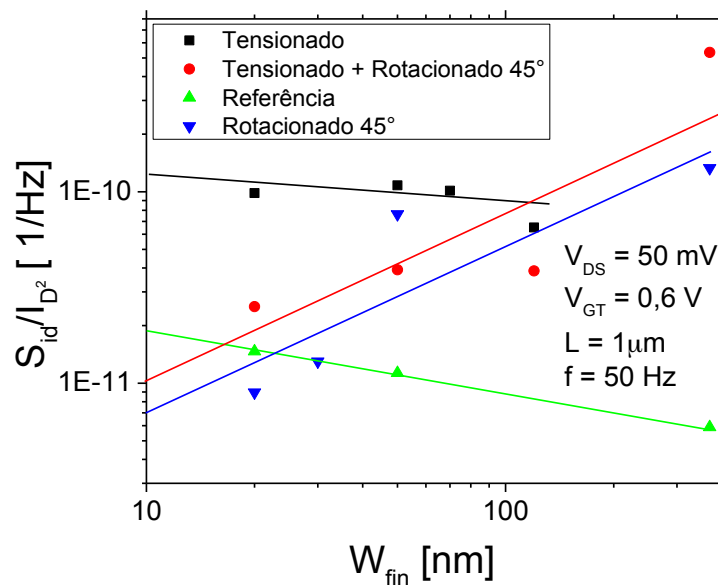
Para um  $W_{fin} = 370$  nm, a predominância de armadilhas é localizada próximo da interface, e para o dispositivo tensionado rotacionado a distribuição é constante ao longo do dielétrico de porta. Comparando os dispositivos rotacionados tensionados e tensionados não rotacionados, para um fin estreito, o transistor rotacionado é capaz de reduzir  $N_{ot}$  entre 1,2 e 1,5 nm. Em contrapartida, para um fin largo, o dispositivo tensionado e rotacionado, o  $N_{ot}$  aumenta independente da posição no dielétrico de porta. Isto é uma forte evidência de que a mudança na orientação, no plano lateral de  $\langle 110 \rangle$  para  $\langle 100 \rangle$  reduz  $N_{ot}$  e, conseqüentemente, apresenta uma interface de melhor plano lateral.

No entanto, quando a mudança de orientação do cristal não é preponderante, conduzindo predominantemente na interface de topo (fin mais largo), a rotação do substrato piora a interface de topo, resultando em um aumento do ruído.

Investigando a influência do plano lateral de condução, a Figura 4.32 apresenta  $S_{id}/I_D^2$  em função de  $W_{fin}$ . Para extrair a contribuição do plano lateral no

ruído de baixa frequência, o método de extrapolação linear apresentado na referência (95) e aplicado ao ruído na referência (96) é apresentado.

Figura 4.32 – Extrapolação linear de  $S_{id}$  e  $I_D$  em função de  $W_{fin}$  para  $V_{DS} = 50$  mV  $V_{GT} = 0,6$  V



Os resultados provenientes da Figura 4.32 mostram que a rotação do substrato proporciona uma menor contribuição do ruído na interface lateral, indicando que o dispositivo rotacionado apresenta uma melhor interface lateral em relação ao dispositivo não rotacionado, independente da ação da tensão mecânica.

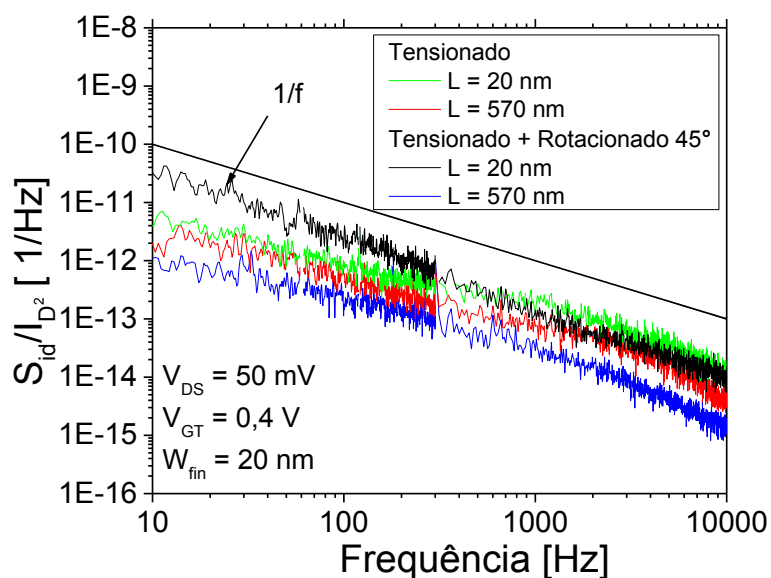
Analisando o comportamento da extrapolação nos dispositivos não rotacionados, ocorre um aumento do ruído com a redução de  $W_{fin}$ , apresentando mais uma vez que para a orientação  $\langle 110 \rangle$  nos planos de condução lateral, ocorre uma piora conforme já estudado em outras literaturas e, estando de acordo com a redução de  $N_{ot}$  para o dispositivo estreito apresentado na Figura 4.28 e confirmado pela Figura 4.31, para distribuição de armadilhas do dielétrico de porta.

#### 4.4.3 Ruído de baixa frequência nos transistores MuGFETs de porta tripla rotacionados em função do comprimento de canal

Nesta última seção do trabalho, será realizado um estudo da influência do efeito da rotação do substrato sobre a tensão mecânica sob o ponto de vista do ruído de baixa frequência.

Fixando a largura do dispositivo em 20 nm, verificamos a dependência do comprimento de canal no ruído de baixa frequência através da Figura 4.33 para dois comprimentos de canal  $L = 20$  nm e 570 nm polarizados em  $V_{GT} = 0,4$  V e  $V_{DS} = 50$  mV.

Figura 4.33 - Densidade espectral de potência do ruído da corrente de dreno normalizado em função da frequência para MuGFET tensionado não rotacionado (A) e tensionado rotacionado (B) para  $L = 20$  nm (A) e 570 nm (B) e  $W_{fin} = 20$  nm, com  $V_{DS} = 50$  mV.



Fonte: Souza (2015)

O ruído de baixa frequência, independente do comprimento de canal, apresenta um ruído com aspecto  $1/f$  proveniente da flutuação no número de portadores associado com a flutuação da mobilidade.

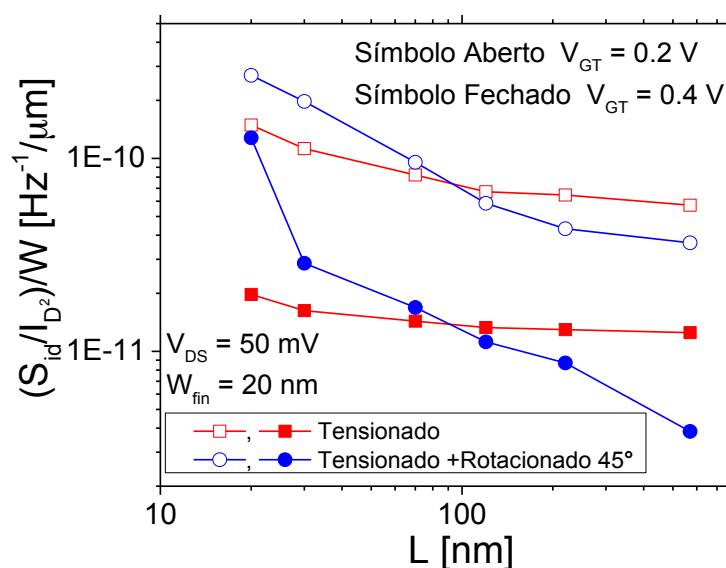
Fazendo uma análise comparativa, o ruído para dispositivos estreitos e curtos ( $W_{fin} = 20$  nm e  $L = 20$  nm, respectivamente), rotacionados e, sob a ação de tensão mecânica, apresenta um ruído maior (pior) quando comparado com o dispositivo não rotacionado tensionado. Entretanto, para o dispositivo de canal longo (570 nm), o oposto ocorreu, deixando o rotacionado com um ruído menor.

Independente do comprimento de canal, a condução é feita predominantemente pelas laterais do dispositivo. Entretanto para um dispositivo longo, a tensão mecânica biaxial se transforma em uniaxial devido ao relaxamento e apesar de sofrer influência da rotação do substrato, os dois efeitos combinados faz com que o ruído seja menor, deixando uma melhor interface lateral para  $L$  longos.

Entretanto para dispositivos curtos e estreitos, a tensão mecânica remanescente é praticamente nula, restando somente o efeito da rotação do substrato, fazendo com que o ruído aumente e conseqüentemente haja uma piora na interface lateral de modo geral.

Verificando a dependência do ruído com o comprimento de canal, os resultados provenientes da Figura 4.34 mostram que, para um comprimento de canal menor que 100 nm, a rotação do substrato proporciona uma piora do ruído se comparado aos dispositivos não rotacionados.

Figura 4.34 - Densidade espectral de potência do ruído da corrente de dreno normalizado extraído em 50 Hz em função de  $L$  com  $V_{DS} = 50$  mV e dois  $V_{GT} = 0,2$  V, e  $0,4$  V.



Fonte: Souza (2015)

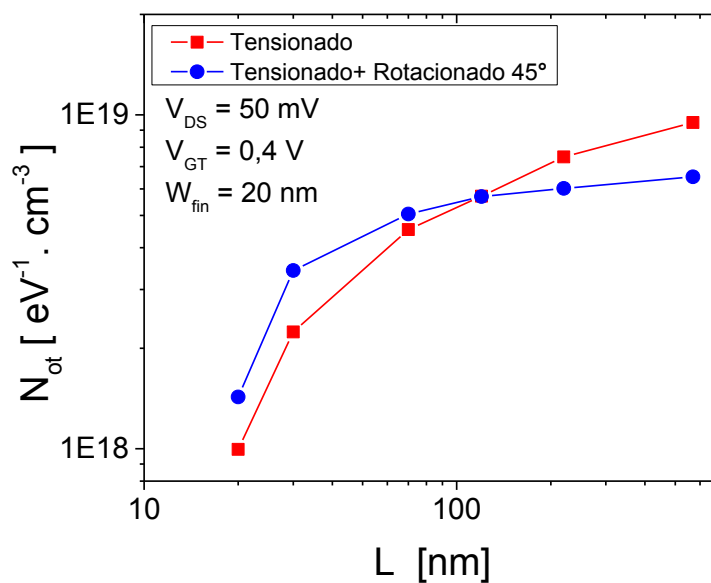
Esta piora está diretamente relacionada com o relaxamento da tensão mecânica que ocorre nos primeiros 100 nm do dispositivo. Nos dispositivos rotacionados, por haver menor tensão mecânica efetiva no canal, a perda da tensão mecânica ocorre de forma mais acentuada, fazendo com que a piora na interface lateral seja mais acentuada nos dispositivos tensionados e rotacionados.

Para a direção do comprimento de canal, também foram extraídas as armadilhas de interface e mostrada na Figura 4.35. Os resultados seguem a mesma tendência da Figura 4.34 para o  $S_{id}$  normalizado, resultando em menor  $N_{ot}$  devido à rotação do substrato para estruturas com  $L < 100$  nm.

De forma geral,  $N_{ot}$  segue a mesma tendência de  $S_{id}$  normalizado, independente de qual dimensão seja variada (comprimento ou largura de canal).

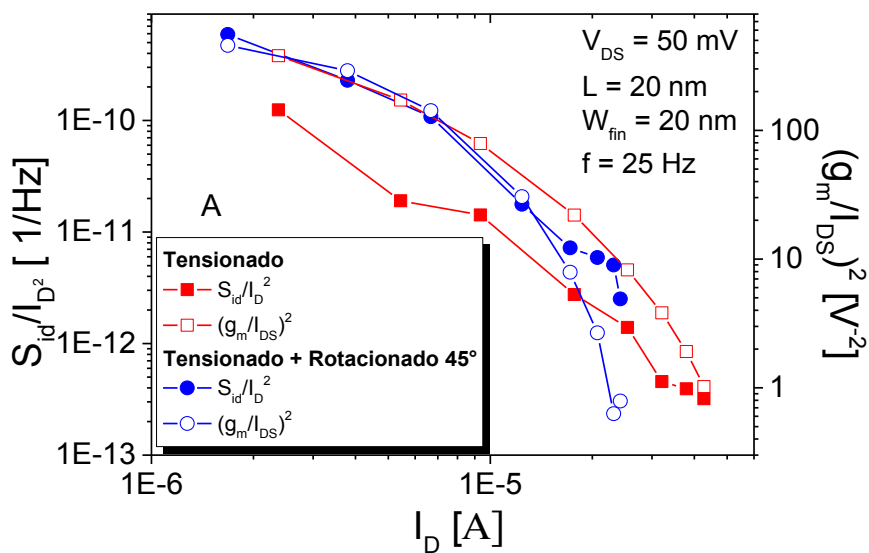


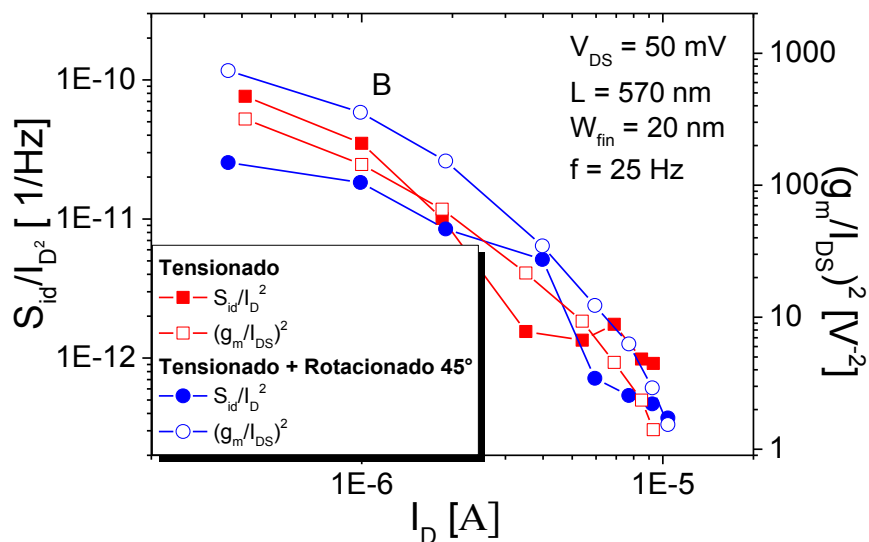
Figura 4.35 - Armadilhas de interface no óxido extraído em 50 Hz em função de  $L$  com  $V_{DS} = 50\text{ mV}$  e  $V_{GT} = 0,4\text{ V}$ .



Fonte: Souza (2015)

Figura 4.36 - Curva de  $S_{id}/I_D^2$  e  $(g_m/I_{DS})^2$  em função de  $I_D$  para  $V_{DS} = 50\text{ mV}$  para  $L = 20\text{ nm}$  (A) e  $L = 570\text{ nm}$ .





Fonte: Souza (2015)

Analisando qual mecanismo de ruído domina o ruído  $1/f$ , foi usada a técnica demonstrada em (50) para a análise de dois comprimentos de canal (20 nm e 570 nm) para a Figura 4.36(A) e a Figura 4.36(B), respectivamente. Pelas figuras e independentemente do comprimento de canal, o mecanismo dominante no ruído  $1/f$  é a flutuação no número de portadores, pois as curvas de  $S_{id}/I_D^2$  e  $(g_m/I_{DS})^2$  estão dispostas de forma paralela.

## 5 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou um estudo do efeito da tensão mecânica com especial ênfase ao ruído de baixa frequência, incluindo também a análise de algumas propriedades analógicas para transistores de porta simples sob a ação de dois tipos de tensão mecânica, uniaxial e biaxial, e evoluindo para os transistores de porta tripla com diversas técnicas de aumento da mobilidade como o tensionamento mecânico biaxial e rotação do substrato, chegando por fim a ambas as técnicas em conjunto.

Inicialmente, foram explicados os princípios de funcionamento da tecnologia SOI planar e de porta tripla, englobando nesta parte os respectivos parâmetros estudados. Também uma introdução ao ruído de baixa frequência é apresentada com suas propriedades físicas. Por fim, uma introdução à tensão mecânica uniaxial e biaxial é apresentada, destacando sua obtenção, bem como os efeitos.

Iniciando os estudos, a primeira tecnologia a ser estudada foram os transistores de porta simples. Para isso era necessário entender o comportamento mecânico da tensão mecânica uniaxial e biaxial sobre a estrutura. Para isso foram realizadas simulações numéricas de processo para a obtenção das estruturas com tensão mecânica uniaxial e para as estruturas com tensão mecânica biaxial, as estruturas foram obtidas através do simulador de dispositivo. Foram feitas estruturas com e sem tensão mecânica e para comprimentos de canal que variaram de 65 nm até 910 nm, mostrando uma distribuição não uniforme ao longo do canal, tendo maior efetividade à medida que se reduz o comprimento de canal, e isto ocorre pois os materiais empregados se encontram na região elástica. Entretanto para as estruturas com tensão mecânica biaxial, ocorre o inverso, onde a tensão mecânica efetiva é maior para longos comprimento de canal, devido ao fato de ocorrer um relaxamento devido ao processo de corrosão nas laterais.

Através da simulação numérica de dispositivos e complementadas pelas medidas experimentais, analisou-se alguns dos principais parâmetros analógicos, podendo ser constatado que os dispositivos com tensão mecânica são apresentam um aumento na transcondutância, sendo este aumento maior para a tecnologia da tensão mecânica uniaxial, da ordem de 38% para comprimentos curtos de canal, e o inverso ocorre com a tensão mecânica biaxial, onde foram encontrados maiores valores de transcondutância chegando a um valor de 34%.

Na condutância de saída, os transistores com tensão mecânica biaxial apresentam uma maior degradação se comparados com os dispositivos com tensão mecânica uniaxial. Combinando os resultados de transcondutância e condutância de saída, o ganho intrínseco de tensão foi extraído, onde os transistores tensionados apresentam um maior ganho devido à menor degradação, independente do comprimento de canal, este ganho sendo mais importante em comprimentos de canal longo. Entretanto, devido à maior degradação para a tensão mecânica biaxial para o  $L=910$  nm, ambos os tipos de tensionamento mecânico apresentam resultados próximos.

A frequência de ganho unitário segue a mesma tendência observada na transcondutância. Isto se explica, pois a frequência de ganho unitário é diretamente relacionada com a transcondutância.

O ruído de baixa frequência foi analisado a partir de medidas experimentais para a região linear e foi constatado um ruído típico  $1/f$ . A tensão mecânica promove uma melhora no ruído para comprimentos curtos de canal, mais precisamente 160 nm. Entretanto para comprimento de canal longo há uma piora no ruído de baixa frequência. Para a região de saturação o ruído de baixa frequência apresenta duas características, uma delas é a parte com aspecto  $1/f$  e outra  $1/f^2$  e, nesta condição de polarização, a tensão mecânica faz com que o ruído de baixa frequência seja melhorado independente do comprimento de canal.

Evoluindo o trabalho para uma tecnologia mais recente, com reduzidas dimensões, foi estudado os transistores MuGFETs de porta tripla. A análise do ruído de baixa frequência foi realizada para a região de saturação nos transistores MuGFETs de porta tripla com tensão mecânica e para o dispositivo sem presença da tensão mecânica, ambos sem a rotação do substrato em  $45^\circ$ .

Os resultados apresentam que os transistores sob a ação da tensão mecânica e para a referência apresentam em praticamente toda a faixa de frequência um aspecto  $1/f^2$ . Para os transistores estreitos, o ruído de baixa frequência apresenta uma piora devido à tensão mecânica. Entretanto, aumentando-se a largura dos transistores e assim aumentando a tensão mecânica biaxial no transistor, o inverso ocorre, deixando os transistores tensionados com um menor ruído.

Seguindo com a evolução dos dispositivos, a partir desta parte do trabalho, foi acrescentado além da tensão mecânica, outra técnica de aumento de mobilidade, a

rotação do substrato, iniciou pelas propriedades elétricas na região linear e chegando em alguns parâmetros analógicos.

Iniciando pelas propriedades elétricas em baixo  $V_{DS}$  (50 mV) em função de  $W_{fin}$ , os transistores com o efeito combinado apresentam uma piora na transcondutância, da ordem de 13% para um transistor largo (870nm) e de 45% para o transistor com  $W_{fin} = 20$ nm. Num transistor largo, a tensão mecânica biaxial efetiva no transistor é maior e a condução é feita predominantemente pela interface de topo. Para se confirmar esta hipótese, foi extraída a máxima transcondutância em função de  $L$  e vimos que para um transistor curto e estreito (20 nm em ambas as direções), onde não há influência da tensão mecânica, a rotação do substrato melhora este parâmetro, comprovando que a rotação de substrato afeta diretamente a efetividade da tensão mecânica.

Passando a analisar os parâmetros analógicos, o primeiro parâmetro foi a transcondutância, onde foi encontrado que os transistores com rotação do substrato sob o efeito da tensão mecânica, apresentam uma piora na transcondutância devido à rotação do substrato, semelhante ao visto para baixo  $V_{DS}$ . Na condutância de saída a rotação de substrato não causa piora neste parâmetro, ficando os dois tipos de transistores bem próximos em se tratando de valores numéricos.

No ganho intrínseco de tensão, devido à piora da transcondutância, ocorre uma redução do ganho para os dispositivos rotacionados sob a ação de tensão mecânica, somente nos dispositivos. No ganho de frequência unitário, mais uma vez devido à transcondutância, os transistores rotacionados apresentam menores valores se comparados com os transistores com tensão mecânica sem a rotação do substrato. Entretanto o transistor com o substrato rotacionado sofre uma menor variação do ganho de frequência unitário com a variação da largura do transistor.

De forma geral, a rotação do substrato apenas promove melhora quando o comprimento de canal está abaixo de 100 nm e a largura em 20 nm, pois nestes casos, a presença de tensão mecânica é praticamente nula.

Na análise do ruído de baixa frequência, para se fazer uma análise completa, foram verificados todos os tipos de transistores, referência, tensionado, rotacionado e tensionado.

Os resultados demonstram que os transistores estudados nesta parte apresentam um aspecto  $1/f$  na parte mais importante da frequência, abaixo de 1kHz. Para os transistores estreitos, a tensão mecânica piora o ruído de baixa frequência

em geral, contudo, para os transistores sob o efeito da rotação há um aumento do ruído com o aumento da largura do dispositivo evidenciando a piora na qualidade de interface no plano de topo de condução. Analisando o ruído em função do comprimento de canal, para um  $L$  grande (570nm), a rotação do substrato sob o efeito da tensão mecânica melhora o ruído, ocorrendo o oposto para o  $L = 20$  nm.

A maior concentração de armadilhas para um dispositivo estreito (20 nm) encontra-se no meio do dielétrico de porta para os dispositivos sem a ação de tensão mecânica. Entretanto, para os demais, a maior concentração de armadilhas se encontra no início do dielétrico de porta e decai a medida que se aprofunda nele. Comparando somente os dispositivos tensionados, a rotação de substrato proporciona menores valores de armadilhas, desde a interface até o meio do dielétrico de porta. Para os transistores largos (370 nm), a maior concentração de armadilhas é na interface entre o dielétrico de porta e o canal, independente de qual tecnologia é aplicada e decai à medida que se afasta da interface. Foi encontrado que a flutuação no número de portadores é o mecanismo que governa o ruído nos transistores estreitos ou para qualquer comprimento de canal estudado com largura estreita, independente de rotacionados ou não rotacionados. Para o transistor largo rotacionado, entretanto, os mecanismos que governam o ruído  $1/f$  passa a ser a flutuação no número de portadores e a flutuação da mobilidade.

A partir dos estudos realizados neste trabalho, pode-se como continuidade deste trabalho propor um estudo da mobilidade e seus mecanismos de espalhamento, principalmente a lateral, a fim de aprimorar o estudo do efeito da tensão mecânica sobre a rotação dos transistores MuGFETs de porta tripla. É proposto também realizar estudos do ruído de baixa frequência na região de saturação para os transistores rotacionados, ampliando assim a análise deste tipo de transistor.

Propõe-se também a realização do estudo da variação da temperatura nos transistores rotacionados com tensão mecânica, estudando as propriedades analógicas bem como o estudo do ruído de baixa frequência em função da temperatura para analisar o comportamento das armadilhas de interface e consequentemente a alteração da qualidade da interface devido à elevação ou redução da temperatura.

## PUBLICAÇÕES

DORIA, Rodrigo Trevisoli. ; SOUZA, M. A. S. ; MARTINO, João Antonio ; SIMOEN, Eddy ; CLAEYS, Cor ; PAVANELLO, Marcelo A. . In-depth low frequency noise evaluation of substrate rotation and strain engineering in n-type triple gate SOI FinFETs. **Microelectronic Engineering**, v. 147, p. 92-95, 2015.

SOUZA, M. A. S. ; SOUZA, Felipe Neves ; DE SOUZA, Michelly ; PAVANELLO, Marcelo A. Comparison between SOI nMOSFET s under uniaxial and biaxial mechanical stress in analog applications. **26th Symposium on Microelectronics Technology and Devices - SBMicro2011**, v. 39. p. 37-44, João Pessoa, 2011.

SOUZA, M. A. S. ; DORIA, Rodrigo Trevisoli ; SIMOEN, Eddy ; CLAEYS, Cor; PAVANELLO, Marcelo A. Uniaxial Mechanical Stress Influence on the Low Frequency Noise in FD SOI nMOSFETs Operating in Saturation. **8th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS) - IEEE**, v. 1. p. 1-4., Playa Del Carmen, 2012.

SOUZA, M. A. S.; PAVANELLO, Marcelo A. . Biaxial Mechanical Stress Analysis on the Low-Frequency Noise in FD SOI nMOSFET's. **VII Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC 2012**,. Proceedings of the VII Workshop on Semiconductors and Micro & Nano Technology. v. 1. p. 49-50, São Bernardo do Campo, 2012.

SOUZA, M. A. S. ; DORIA, Rodrigo Trevisoli ; DE SOUZA, Michelly ; MARTINO, João Antonio ; PAVANELLO, Marcelo A. Comparative Study of Biaxial and Uniaxial Mechanical Stress Influence on the Low Frequency Noise of Fully Depleted SOI nMOSFETs Operating in Triode and Saturation Regime. **27th Symposium on Microelectronics Technology and Devices - SBMicro2012**, v. 49. p. 77-83, Brasília, 2012.

SOUZA, M. A. S. ; DORIA, Rodrigo Trevisoli ; MARTINO, João Antonio; SIMOEN, Eddy ; CLAEYS, Cor; PAVANELLO, Marcelo A. Influence of 45° Substrate Rotation

on the Analog Performance of Biaxially Strained-Silicon SOI MuGFETs. **223th Electrochemical Society Meeting (ECS Meeting)**, Toronto, 2013.

SOUZA, M. A. S. ; DORIA, Rodrigo Trevisoli ; SIMOEN, Eddy ; MARTINO, João Antonio ; CLAEYS, Cor ; Pavanello, Marcelo Antonio . Influence of Substrate Rotation on the Low Frequency Noise of Strained Triple- Gate MuGFETs. **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference**, 2013, Monterey. IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference Proceedings. Piscataway, NJ: IEEE, 2013. v. 1. p. 1-2.

SOUZA, M. A. S. ; DORIA, Rodrigo Trevisoli ; MARTINO, João Antonio ; SIMOEN, Eddy ; CLAEYS, Cor ; Pavanello, Marcelo Antonio . Channel Length Influence on the Low-Frequency Noise of Strained 45° Rotated Triple Gate SOI nFinFETs. **EuroSOI 2014 - Tenth Workshop of the Thematic Network on Silicon on Insulator, Technology, Devices and Circuits**, 2014, Tarragona. EuroSOI 2014 - Conference Proceedings, 2014. v. 1.



## REFERÊNCIAS BIBLIOGRÁFICAS

- 1 MOORE G. E., Cramming more components onto integrated circuits. **Electronics**, Vol 38, N° 8, 1965.
- 2 COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- 3 ITRS roadmap: <http://public.itrs.net>
- 4 COLINGE, J. P., **IEDM**, p.817, 1989.
- 5 YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
- 6 YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v. 24, n. 17, p. 1078-1079, 1988.
- 7 EL-KAREH, B. et al. Silicon on insulator-an emerging high-leverage technology. **IEEE Transactions on Components, Packaging and Manufacturing Technology**, v. 18, n. 1, p. 187-194, 1995.
- 8 YU, B. FinFET Scaling to 10 nm Gate Length. **IEEE International Electron Devices Meeting – IEDM**, p. 251-254, 2002
- 9 HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y. TAKEDA, E. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. **IEDM Technical Digest**, p. 833-836, 1989.
- 10 COLINGE, J. P. FinFETs and Other Multi-gate Transistors. New York: Springer, 2008
- 11 YU, B. FinFET Scaling to 10 nm Gate Length. **IEEE International Electron Devices Meeting IEDM**, p. 251-254, 2002.
- 12 LO, S.-H.; BUCHANAN, D> A.; TAUR, Y.; WANG, W. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFET's. **IEEE Electron Devices Letters**, v. 18,, n. 5, p. 209-211, 1997.
- 13 VELLIANITIS, G. et al. Gatestacks for scalable high-performance FinFETs. **IEEE International Electron Devices Meetng – IEDM**, p 681-684, 2007.
- 14 MIZUNO, T.; SUGIYAMA, N.; TEZUKA, T.; NUMATA, T. et al. High-performance strained SOI CMOS devices using thin film SiGe-on-insulator technology, **IEEE Transactions on Electron Devices**, v. 50, n. 4, p. 988-994, 2003.

15 GALLON, C. et al. Effect of Process induced Strain in 35 nm FDSOI Devices with Ultra-Thin Silicon Channels, **SSDM**, 2005.

16 RUDENKO, T; COLLAERT ,N; DE GENDT, S; KILCHYTSKA, V; JURCZAK, M; FLANDRE, D; Effective mobility in FinFET structures with HfO<sub>2</sub> and SiON gate dielectrics and TaN gate electrode. **Microelectronics Engineering** v. 80, p. 386-389, 2005.

17 SIMOEN, E. et al. Low-frequency Noise in Silicon-on-insulator Devices and Technologies. **Solid-State Electronics**, v. 51, p. 16-37, 2007.

18 CRISTOLOVEANU, S., LI, S.S., "Electrical Characterization of Silicon-on-Insulator Materials and Devices", **Kluwer Academic Publishers**, 2 Edition, 1995.

19 FOSSUM, J. G. Designing Reliable SOI CMOS Circuits with Floating-Body Effects. **Proceedings of the 28th European of Solid-State Device Research Conference - ESSDERC**, p. 34–41, 1998.

20 KATO, KOICHI; WADA, TETSUNORI; TANIGUCHI, ANDKENJI. Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET'S Using Two-Carrier. **IEEE journal of Solid-State circuits**, v. sc-20, n. 1, p. 378-382, 1985.

21 SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid State Electronics**, v. 27, n. 8, p. 827-828, 1984.

22 HUANG, X.; LEE, W.C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKAEUCHI, H.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C.; Sub 50-nm FinFET: PMOS, **Technical Digest of IEDM**, p.67-70, 1999.

23 SUBRAMANIAN, V.; MERCHA, A.; PARVAIS, B.; LOO, J. et al.; Impact of fin width on digital and analog performances of n-FinFETs, **Solid-State Electronics**, v. 51, n. 4, p. 551-559, 2007.

24 LANDGRAF, E.; RÖSNER, W.; STÄDELE, M.; DREESJORNFIELD, L. et al.; nfluence of crystal orientation and body doping on trigate transistor performance, **Solid-State Electronics**, v. 50, n. 1, p. 38-43, 2006.

25 PAVANELLO, M. A.; SOUZA, M.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Analysis of temperature variation influence on the analog performance of 45° rotated triple-gate nMuGFETs. . **Solid State Electronics**, v. 70, April 2012, p. 39-43, 2012.

26 MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. Caracterização Elétrica e Dispositivos MOS, São Paulo: **Pioneira Thomson Learning**, 2003. cap. 2, p. 45-46.

- 27 LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1451, 1983.
- 28 ORTIZ-CONDE, A.; GARCIA SANCHEZ, F. J.; LIOU, J. J>; CERDEIRA,A.; ESTRADA, M.; YUE, Y.; A review of recent MOSFET Threshold Voltage Extraction Methods, **Microelectronics Reliability**, v. 42, p. 583-596, 2002.
- 29 FRANCIS, P. et al. Modeling of Ultrathin Double-Gate nMOS/SOI Transistors. **IEEE Transactions on Electron Devices**, v. 41, n. 5, p. 715-720, 1994.
- 30 AKARVARDAR, K.; MERCHA, A.; CRISTOLOVEANU, S.; GENTIL, P. et al., A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors, **IEEE Transactions on Electron Devices**, v. 54, n. 4, p.767-775, 2007.
- 31 COLINGE, J. P. and KAMINS, T. L., CMOS circuits made in thin (100 nm) SIMOX films, **IEEE SOS/SOI Technology Workshop**, 1987.
- 32 YAN, R. H.; OURMAZD, A.; LEE, K. F. Scaling the Si MOSFET: From Bulk to SOI to Bulk. **IEEE Transactions on Electron Devices**, v. 39, n. 7, p. 1704-1710, 1992.
- 33 KRANTI, A.; CHUNG, T. M.; FLANDRE, D.; RASKIN, J-. P.; Laterally Asymmetric Channel Engineering in Fully Depleted Double Gate SOI MOSFETs for High Performance Analog Applications, *Solid-State Electronics*, v. 48, no. 6, p. 947-959, 2004.
- 34 SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A.; A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA, **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.
- 35 SUBRAMANIAN, V.; PARVAIS, B.; BORREMANS, J.; MERCHA, A.; LINTEN, D.; et. al; Planar Bulk MOSFETs versus FinFETs: an Analog/RF Perspective, *IEEE Transactions on Electron Devices*, v. 53, no. 12, p. 3071-3079, 2006.
- 36 VON HAARTMAN, M. et al. Low-Frequency Noise in Advanced MOS devices. 1<sup>st</sup> d. Springer Publishers, 2007.
- 37 WIENER, N. Generalized harmonic analysis. *Acta Math*, v. 55, p. 117, 1930.
- 38 HOOGE, P.N. 1/f Noise Sources. **IEEE Transactions on Electron Device**, v. 41, n. 11, p. 1926-1935, 1994.
- 39 VAN DER ZIEL, A.; Noise in solid state devices and circuits. John Wiley & Sons, New York, 1986.
- 40 DUTTA, P. e HORN, P. M.; Low-frequency fluctuations in solids: 1/f noise, **Rev. Mod. Phys.** Vol. 53, p. 497-516 1981.

- 41 WEISSMAN, M. B.; 1/f noise and other slow, nonexponential kinetics in condensed matter, **Rev. Mod. Phys.** Vol. 60, p. 537-571 1988.
- 42 HOOGE, F.N.; Discussion of recent experiments on 1/f noise, **Physica** vol. 60, p. 130-144 1972.
- 43 HOOGE, F. N. e VANDAMME, L. K. J.; Lattice scattering causes 1/f noise, **Phys. Lett.** V. 66, p. 315-316 1978.
- 44 GHIBAUDO, G. e BOUTCHACHA T., Electrical noise and RTS fluctuations in advanced CMOS devices, **Microelectron. Reliab.** Vol. 42, p. 573-582 2002.
- 45 SIMOEN, E. e CLAEYS, C.; On the flicker noise in submicron silicon MOSFETs, **Solid-State Electronics.** vol. 43, p. 865-882 1999.
- 46 CLAEYS, C.; MERCHA, A.; SIMOEN E.; Low-frequency noise assessment for deep submicrometer CMOS technology nodes, **Journal Electrochemical Society.** Vol. 151, p. 307-318 2004.
- 47 HANDEL, H.; 1/f noise-an 'infrared' phenomenon, **Phys. Rev. Lett.** Vol. 34, p. 1492-1494 1975.
- 48 HANDEL, H; Fundamental quantum 1/f noise in semiconductor devices, **IEEE Transactions on Electron Devices**, vol. 41, p. 2023-2033 1994.
- 49 OMURA, Y; Possible unified model for the Hooge parameter in inversion-layer-channel metal-oxide-semiconductor field-effect transistors, **Journal of Applied Physics**, v. 113, p. 214508-1 – 214508-11, 2013.
- 50 G. GHIBAUDO, O. ROUX, CH. NGUYEN-DUC, F. BALESTRA, J. BRINI, "Improved Analysis of Low Frequency Noise in Field-Effect MOS Transistors", *Physica. Status Solidi*, v. 124 no. 2, p. 571-581, 1991
- 51 DORIA, R. T; TREVISOLI, R. T; Souza, M.; PAVANELLO, M. A.; Low-frequency noise and effective trap density of short channel p- and n-types junctionless nanowire transistors, **Solid State Electronics**, v. 96, p. 22-26, 2014.
- 52 HEARN, E. J.; Mechanics of materials 1: an introduction to the mechanics of elastic and plastic deformation of solids and structural components, **Butterworth-Heinemann**, 456p., 1997.
- 53 RICHTER, J.; HANSEN, O.; NYLANDSTED LARSEN, A.; LUNDSGAARD HANSEN, J. *et al.*; Piezoresistance of silicon and strained Si<sub>0.9</sub>Ge<sub>0.1</sub>, **Sensors and Actuators A: Physical**, v. 123-124, p. 388-396, 2005.

54 SMITH C.S., Piezoresistance effect in germanium and silicon, **Phys. Rev.**, vol. 94 n°1, 42-49, 1954.

55 RICHARD S. et al., Strained silicon on Ge: temperature dependence of carrier effective masses. **Journal of Appl Phys**, Vol 94, No 8, pp 5088-5094, Oct 2003.

[56] UCHIDA K., et al, Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime., **IEEE IEDM Tech. Dig.**, p.129-132, 2005.

57 OHRING, M.; Materials science of thin films deposition and structure, 2nd Ed., San Diego, CA: Academic Press, 794p., 2002

58 FRANSILLA, S.; Introduction to microfabrication, Chichester: John Wiley, 432p., 2004.

59 GALLON, C. et al; Mechanical and electrical analysis of strained liner effect in 35nm fully depleted silicon-on-insulator devices with ultra thin silicon channels, **Japanese Journal of Applied Physics**, v. 45, n. 4B, p. 3058-3063, 2006.

60 MÖRSCHBÄCHER, M. J.; Relaxação estrutural de camadas pseudomólicas de SiGe(100) induzida pela implantação iônica de He ou Si e tratamento térmico., 2005 142f., Tese (Doutorado) Instituto de Física da UFRGS, Porto Alegre, 2005.

61 GOYAL, P., Design and Simulation of Strained-Si/Strained-SiGe Dual Channel Hetero-structure MOSFETs. 2007 122f., Dissertação (Mestrado) – Rochester Institute of Technology, New York, 2007.

62 DISMUKES, J. P. P.; EKSTROM, L.; PAFF, R. J.; Lattice parameter and density in germanium-silicon alloys, **The Journal of Physical Chemistry** v.68, n. 10, p. 3021-3027, 1964.

63 RADU, I.; HIMCINSCHI, C.; SINGH, R.; REICHE, M. et al., sSOI fabrication by wafer bonding and layer splitting of thin SiGe virtual substrates, **Materials Science and Engineering: B**, v. 135, n. 3, p. 231-234, 2006.

64 PAVANELLO, M. A.; MARTINO, J. A.; SIMOEN, E.; ROOYACKERS, R. et al.; Analog performance of standard and strained triple-gate silicon-on-insulator nFinFETs, **Solid State Electronics**, v. 52, n. 12, p. 1904-1909, 2008.

65 ANDRIEU, F.; DUPRÉ, C.; ROCHETTE, F.; FAYNOT, O. et al.; 25nm Short and narrow strained FDSOI with TiN/HfO<sub>2</sub> gate stack, **Symposium on VLSI Technology Digest of Technical Papers**, p. 134-135, 2006.

66 Sentaurus Process User guide, Versão F-2011.09, 2011.

67 Sentaurus Device User guide, Versão F-2011.09, 2011.

68 KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.

69 CANALI C. *et al.*, Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature, **IEEE Transactions on Electron Devices**, vol. ED-22, no. 11, pp. 1045–1047, 1975.

70 LOMBARDI, C., MANZINI, S., SAPORO, A. e VANZI, M., A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE trans on Computer Aided Design**, Vol 7, No 11, pp 1164-1171, 1988.

71 SLOTBOOM J. W. and GRAAFF H. C. de, Measurements of Bandgap Narrowing in Si Bipolar Transistors, **Solid-State Electronics**, vol. 19, no. 10, pp. 857–862, 1976.

72 SLOTBOOM J. W. and GRAAFF H. C. de, “Bandgap Narrowing in Silicon Bipolar Transistors,” **IEEE Transactions on Electron Devices**, vol. ED-24, no. 8, pp. 1123–1125, 1977.

73 LADES M. *et al.*, “Analysis of Piezoresistive Effects in Silicon Structures Using Multidimensional Process and Device Simulation,” in **Simulation of Semiconductor Devices and Processes (SISDEP)**, vol. 6, Erlangen, Germany, pp. 22–25, 1995.

74 WANG Z., Modélisation de la piézorésistivité du Silicium: Application à la simulation de dispositifs M.O.S, Tese de Doutorado, **Université des Sciences et Technologies de Lille**, França, 1994.

75 EGGLEY L. and CHIDAMBARRAO D., “Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators,” **Solid-State Electronics**, vol. 36, no. 12, pp. 1653–1664, 1993.

76 Tecplot SV User guide, Versão F-2011.09, 2011.

77 Inspect User guide, Versão F-2011.09, 2011.

78 AUGENDRE, E. ENEMAN, G. DE KEERSGIETER, A. SIMONS, V. DE WOLF, I. RAMOS, J. BRUS, S. PAWLAK, B. SEVEN, S. LEYS, F. SLEECKX, E. LOCOROTONDO, S. ERCKEN, M. DE MARNEFFE, J.-F. FEI, L. SEACRIST, M. KELLERMAN, B. GOODWIN, M. DE MEYER, K. JURCZAK, M. BIESEMANS, S.; On the scalability of source/drain current enhancement in thin film sSOI. **Proceedings of the 35th European of Solid-State Device Research Conference - ESSDERC**, 301-304, 2005.

79 MEER, H. V. Fully-Depleted SOI CMOS for the nanometer era, Tese de doutorado – **Interuniversity Microelectronics Center**, novembro 2002.

80 SOUZA, F.N.; **Efeito da tensão mecânica biaxial nos transistores SOI totalmente depletados em função da temperatura**. 2010 123 f. Dissertação (Mestrado) – Centro universitário da FEI, São Bernardo do Campo, 2010.

81 CLAEYS, C.; SIMOEN E.; PUT,S.; GIUSI, G.; CRUPI, F.; Impact strain engineering on gate stack quality and reliability. **Solid-State Electronics**, vol. 52, no. 8, pp. 1115–1126, 2008.

82 ROMANOV, A.E.; POMPE, W.; MATHIS, S.; BELTZ, G.E.; SPECK, J.S.; Threading dislocation reduction in strained layers. **Journal of Applied Physics**, vol. 85 n. 1, pp. 182 – 192, 2009.

83 LUKYANCHIKOVA, N.; GARBAR, N.; KUDINA, V.; SMOLANKA, A.; SIMOEN, E.; CLAEYS, C.; Behavior of the 1/f noise and electron mobility in 65 nm FD SOI nMOSFETs employing different tensile-strain-inducing techniques. **19th International Conference on Noise and Fluctuations – ICNF**, V. 922, pp. 39-42, 2007.

84 SIMOEN, E.; CLAEYS, C. On the Flicker Noise in Submicron Silicon MOSFETs. **Solid-State Electronics**, v. 43, p. 865-882, 1999.

85 VANDAMME, L. K. J.; LI, X.; RIGAUD, D.; 1/f noise in mos devices, mobility or number fluctuations?; **IEEE Transactions on Electron Devices**, vol. ED-41, no. 11, pp. 1936–1045, 1994

86 COLLAERT, N.; ROOYACKERS, R.; CLEMENTE, F.; ZZIMMERMEN, P.; CAYREFOURCQ, I.; GHYSELEN, B.; SAN, K. T.; EYCKENS, B.; JURCZAK, M. e BIESEMANS, S.; Performance enhancement of MUGFET devices using super critical strained-SOI (SC-SSOI) and CESL.; **Symposium on VLSI technology digest of technical papaers**, p. 64-65, 2006.

87 BÜHLER, R. T.; Estudo de transistores avançados de canal tensionado. 147 f. Tese (Doutorado) – **Universidade de São Paulo**, São Paulo, 2014.

88 A. DIXIT, A. KOTTANTHARAYIL, N. COLLAERT, M. GOODWIN, M. JURCZAK, K. DE MEYER, “Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs”, **IEEE Transactions on Electron Devices**, v. 52, no. 6, pp. 1132-1140, 2005.

89 J. S. LIM, S. E. THOMPSON, J. G. FOSSUM, “Comparison of Threshold Voltage Shifts for Uniaxial and Biaxial Tensile-stressed n-MOSFETs”, **IEEE Electron Device Letters**, v. 25, no. 11, pp. 731-733, 2004.

90 W. XIONG, C. RINN CLEAVELIN, P. KOHLI, C. HUFFMAN, T. SCHULZ, K. SCHRUEFER, G. GEBARA, K. MATHEWS, P. PATRUNO, Y.-M. LE VAILLANT, I. CAYREFOURCQ, M. KENNARD, C. MAZURE, K. SHIN, AND T.-J. KING LIU, "Impact of strained-silicon-on-insulator (sSOI) substrate on FinFET mobility" **IEEE Electron Devices Letters**, vol. **27**, n. 7, p. 612-614 2006.

91 SERRA, N.; ESSANI, D.; Mobility Enhancement in Strained n-FinFETs: Basic Insight and Stress Engineering; **IEEE Transactions on Electron Devices**, vol. ED-57, no. 2, pp. 482–489, 2010.

92 M. A. PAVANELLO, M. DE SOUZA, J. A. MARTINO, E. SIMOEN, AND C. CLAEYS, "Analysis of temperature variation influence on the analog performance of 45° rotated triple-gate nMuGFETs", **Solid-State Electronics**, vol. 70 n. 1, pp. 39-43, 2012.

93 M.V. HAARTMAN, and M. OSTLING, *Low-Frequency noise in Advanced MOS Devices*, Springer, 216p., 2007.

94 N.B. LUKYANCHIKOVA, "Sources of the Lorentzian components in the low frequency noise spectra of submicron metal–oxide–semiconductor field effect transistors," in *Noise and Fluctuations Control in Electronic Devices*, A. Balandin, Ed. Riverside, Ca: **Amer. Scientific**, 2002.

95 V. V. IYENGAR, A. KOTTANTHARAYIL, F. M. TRANJAN, M. JURCZAK, K DE MEYER, "Extraction of the Top and Sidewall Mobility in FinFETs and the Impact of Fin-Patterning Processes and Gate Dielectrics on Mobility", *IEEE Transaction on Electron Devices*, v. 54 no. 5, p. 1177-1184, 2007.

96 K. BENNAMANE, T. BOUTCHACHA, G. GHIBAUDO, M. MOUIS, N. COLLAERT, "DC and low frequency noise characterization of FinFET devices", *Solid-State Electronics*, v. 53 no. 12, p. 1263-1267, 2009.



## APÊNDICE A - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANSISTOR SOI NMOSFET COM TENSÃO MECÂNICA UNIAXIAL

```
#####
#Processo de Fabricacao de um Transistor nMOS com L = 140nm
#tsi = 15 nm e tox = 1,5 nm e Box = 150 nm Sentaurus Process
#####

pdbSet Grid MGoals UseLines 1

#####
#Grade em x
#####
line x location=-0.015<um> spac=0.0005<um> tag=top
line x location=-0.008<um> spac=0.001<um>
line x location=-0.002<um> spac=0.002<um>
line x location=0<um> spac=0.1<um> tag=topox
line x location=0.1<um> spac=0.5<um>
line x location=0.15<um> spac=0.5<um> tag=botox
line x location=0.25<um> spac=2<um> tag=bottom

#####
#Grade em y
#####
line y location=0.00<um> spac=0.01<um> tag=left
line y location=0.20<um> spac=0.01<um>
line y location=0.25<um> spac=0.01<um>
line y location=0.45<um> spac=0.025<um>
line y location=0.50<um> spac=0.025<um>
line y location=0.57<um> spac=0.025<um> tag=right

#####
# Definindo a lamina
#####
region silicon xlo=top xhi=topox ylo=left yhi=right
region oxide xlo=topox xhi=botox ylo=left yhi=right
region silicon xlo=botox xhi=bottom ylo=left yhi=right

#####
#Definindo a concentracao inicial da lamina
#####
```

```
init concentration=1.0e15<cm-3> field=boron wafer.orient=100
```

```
#####
```

```
#Implantacao Ionica para ajuste de Vth
```

```
#####
```

```
implant boron dose=3.0E11<cm-2> energy=12<keV> tilt=7
```

```
struct tdr=ssoi_140nm_1
```

```
#####
```

```
#Oxidacao de porta
```

```
#####
```

```
mgoals on min.normal.size=1<nm> max.lateral.size=2<um> \
```

```
normal.growth.ratio=3 accuracy=2e-5
```

```
diffuse temperature=800<C> time= 0.1<min> O2
```

```
grid remesh
```

```
select z=boron
```

```
layers
```

```
struct tdr=ssoi_140nm_2
```

```
#####
```

```
# Deposicao do material de porta
```

```
#####
```

```
deposit poly type=anisotropic thickness=0.1<um>
```

```
mask name=gate_mask left=-1 right=0.07<um>
```

```
struct tdr=ssoi_140nm_3
```

```
#####
```

```
#Definicao Si-poli
```

```
#####
```

```
etch poly type=anisotropic thickness=0.2<um> mask=gate_mask
```

```
etch oxide type=anisotropic thickness=0.1<um>
```

```
diffuse temperature=400<C> time=30<min> N2O \
```

```
mgoals.native
```

```
struct tdr=ssoi_140nm_4
```

```
#####
```

```
#Cap-layer
```

```
#####
```

```
deposit oxide type=anisotropic thickness=10<nm>
```

```
mask name=cap_ox left=-1 right=0.07<um>
```

```
struct tdr=ssoi_140nm_5
```

```
etch oxide type=anisotropic thickness=0.08<um> mask=cap_ox
```

```
struct tdr=ssoi_140nm_6
```

```
deposit nitride type=anisotropic thickness=40<nm>
```

```
mask name=cap_nit left=-1 right=0.07<um>
```

```
struct tdr=ssoi_140nm_7
```

```
etch nitride type=anisotropic thickness=0.08<um> mask=cap_nit
```

```
struct tdr=ssoi_150nm_8
```

```
#####
```

```
# formacao dos espacadores
```

```
#####
```

```
deposit oxide type=isotropic thickness=10<nm>
```

```
struct tdr=ssoi_140nm_9
```

```
deposit nitride type=isotropic thickness=55<nm>
```

```
struct tdr=ssoi_140nm_10
```

```
etch nitride type=anisotropic thickness=60<nm> isotropic.overetch=0.01
```

```
struct tdr=ssoi_140nm_11
```

```
etch oxide type=anisotropic thickness=15<nm>
```

```
struct tdr=ssoi_140nm_12
```

```
#####
```

```
# LDD
```

```
#####
```

```
implant Arsenic dose=1e13<cm-2> energy=6<keV> tilt=7
```

```
#####
```

```
# crescimento epitaxial
```

```
#####
```

```
diffuse temperature=900<C> time=5<min> Epi thick=25<nm>
```

```
struct tdr=ssoi_140nm_13
```

```
#####
```

```
# Implantacao de fonte e dreno
```

```
#####
```

```
implant Arsenic dose=5e14<cm-2> energy=50<keV> tilt=7
```

```
diffuse temp=1050 time=0.1
```

```
#####
```

```
# Stress
```

```
#####
```

```
doping name=Pressure field=Pressure depths= {0 0.1} values= {-2E+9 -2E+9 }
```

```
deposit material= {nitride} doping= {Pressure} type=isotropic rate=1.0 time=0.1
```

```
steps=10
```

```
struct tdr=soi_140nm_14
```

```
struct tdr=soi_140nm_15  
transform reflect left
```

```
#####  
# Definicao dos contatos  
#####
```

```
contact name=source point silicon adjacent.material=nitride ylo=0.29 yhi=0.45 xlo=-  
0.035995 xhi=-0.042  
contact x=0.0 y=0.0 name=gate poly  
contact name=drain box silicon adjacent.material=nitride ylo=-0.29 yhi=-0.45 xlo=-  
0.035995 xhi=-0.042  
contact bottom name=substrate  
contact bottom name=thermal
```

```
struct smesh=soi_140nm_with_strain_with_thermal_2GPA_2 FullID !Gas  
struct dfise=soi_140nm_with_strain_with_thermal_2GPA_2 !Gas FullID  
exit
```

## APÊNDICE B - ARQUIVO DE SIMULAÇÃO NUMÉRICA UTILIZADO

```

File {

  * input files:
  Grid= "@l@nm_with_strain_@cesl@MPA_fps.grd"
  Doping= "@l@nm_with_strain_@cesl@MPA_fps.dat"
  Piezo= "@l@nm_with_strain_@cesl@MPA_fps.dat"
  Parameter = "Silicon_incomplete.par"
  * output files:
  Plot= "@l@nm_with_strain_50mv_@temp@k_incomplete.tdr"
  Current="@l@nm_with_strain_50mv_@temp@k_incomplete.plt"
  Output= "@l@nm_with_strain_50mv_@temp@k_incomplete.log"

}

Electrode {

  { Name="source" Voltage=0.0 }
  { Name="drain" Voltage=0.0 }
  { Name="gate" Voltage=-0.3 Material = "PolySi"(N=1e21) }
  { Name="substrate" Voltage=0.0 }

}

Physics {

  Incompletelonization
  temperature=@temp@
  #Hydro( eTemperature )
  Recombination(SRH(DopingDep TempDependence))
  Mobility( Phumob HighFieldsat Enormal Incompletelonization )
  EffectiveIntrinsicDensity( OldSlotboom )
  Piezo( Model(DeformationPotential Mobility(esubband(Egley))))

}

Physics

(MaterialInterface="Silicon/Oxide") {
charge(Conc=4.5e+10)

}

Plot {
  eDensity hDensity eCurrent hCurrent SRHRecombination

```

```

Potential SpaceCharge ElectricField
eMobility hMobility eVelocity hVelocity
Doping DonorConcentration AcceptorConcentration
BandGap BandGapNarrowing Affinity ConductionBand ValenceBand
}

Math {
  Extrapolate
  RelErrControl
  Iterations=100
  TensorGridAniso
}

Solve {
  #-initial solution:
  Poisson
  Coupled { Poisson Electron hole }
  #-ramp drain:
  Quasistationary (
    InitialStep=0.02 Maxstep=0.02 MinStep=0.005
    Goal { name="drain" voltage=0.05 }
  )
  {Coupled { Poisson Electron hole }}
  #-ramp gate:
  Quasistationary ( InitialStep=0.00666 Maxstep=0.00666 Minstep=0.000666
    Goal { Name="gate" Voltage=1.2 } )
  { Coupled { Poisson Electron hole } }
}

```

## APÊNDICE C - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANSISTOR MUGFET DE PORTA TRILPA COM TENSÃO MECÂNICA BIAxIAL

```

#=====#
#Transistor MuGFET Tensionado Biaxialmente - wfin 20nm L = 1um      #
#=====#

math numThreads= 24
math coord.ucs

#=====#
# Grade inicial #
#=====#

pdbSetBoolean Grid MGoals UseLines 1
# Define as linhas de grade inicial
# x - altura
line x loc= +0.500 spac= 0.002 tag= SiTop
line x loc= +1.500 spac= 1.000 tag= SiBot
# z - largura
line z loc= +0.000 spac= 0.100 tag= WCenter
line z loc= +0.010 spac= 0.001 tag= FRight
line z loc= +0.225 spac= 0.500 tag= Right
# y - comprimento
line y loc= +0.000 spac= 0.050 tag= LCenter
line y loc= +0.825 spac= 0.050 tag= Drain

# Define as regioes
region Silicon name= SiGeSub xlo= SiTop xhi= SiBot

# Define a concentracao de dopantes e orientacao cristalografica
init field= Boron concentration= 1.0e15 wafer.orient= 100

#=====#
# pdb #
#=====#
AdvancedCalibration
# Modificacao das configuracoes padroes de implantacao
pdbSet ImplantData ResistSkip 1
pdbSet ImplantData BackBoundary Reflect
pdbSet ImplantData LeftBoundary Reflect
pdbSet ImplantData FrontBoundary Reflect
pdbSet ImplantData RightBoundary Reflect

# Ativando o historico de stress

pdbSetBoolean Mechanics StressHistory 1

```

```
# Modificacao dos parametros de refino da grade de pontos SnMesh
```

```
pdbSet Grid sMesh 1
pdbSet Grid SnMesh MaxPoints 2000000
pdbSet Grid SnMesh CoplanarityAngle 179.0
```

```
3DOxSetup
```

```
pdbSetBoolean Grid Check 1
pdbSet Grid MGoals Keep3DBrep 1
sde off
mgoals on min.normal.size= 0.005 max.lateral.size= 2.0 \
  normal.growth.ratio= 4.0 accuracy= 2e-5
refinebox interface.materials = {Silicon}
#####
# Inicio do processo          #
#####
#####
# Waffer de silicio tensionado biaxialmente #
#####
# Induzindo tensao mecanica biaxial na liga SiGe
strain_profile Silicon species= Germanium \
  strain= {0 0.0425} ratio= {0 1}
profile region= SiGeSub name= Germanium \
  concentration= {0.98e22 0.98e22} xcoord= {0.5 1.5} linear
```

```
# Criando o fin de Si
```

```
diffuse temp= 700 time= 5<min> LTE \
  epi.doping.final= {Boron=1e15} thick= 0.565
struct tdr= uni_01 !Gas
init tdr= bi_01
transform flip
etch material= {Silicon} type= isotropic rate= {1.468} time= 1
deposit material= {Oxide} type= isotropic rate= {1.5} \
  time= 0.1
transform flip
struct tdr= bi_02
```

```
pdbSet Mechanics EtchDepoRelax 0
transform cut min= {-1.0 -1.0 -1.0} max= {0.150 1.0 1.0}
pdbSet Mechanics EtchDepoRelax 1
struct tdr= bi_03
#####
# Fin #
#####
# Hard mask de nitreto
deposit material= {Oxide} type= anisotropic rate= {1.0} \
  time= 0.01
deposit material= {Nitride} type= anisotropic rate= {1.0} \
```



time= 0.1

# mascara do Fin

mask name= FIN1 left= 0.0 right= 1.0 front= 0.010 back= 1.0

photo mask= FIN1 thickness= 0.02

etch material= {Nitride} type= anisotropic rate= {0.1} \  
time= 1.1

strip Photoresist

struct tdr= bi\_04

# Corrosao

etch material= {Oxide} type= anisotropic rate= {0.01} \  
time= 1.1

etch material= {Silicon} type= anisotropic rate= {0.15} \  
time= 1.0

struct tdr= uni\_04\_1

strip Nitride

struct tdr= uni\_04\_2

#remocao do oxido excedente

mask name=cap\_ox left=0 right=0.825 front=0.01 back=0.225

etch material= {oxide} type=anisotropic thickness=0.01<um> mask=cap\_ox

struct tdr= uni\_04\_3

deposit material=oxide type=fill coord= 0.032

struct tdr= uni\_05

#=====#

# Porta #

#=====#

# SiO2 1nm

# SiO2 hack: deposita 10nm e depois a corrosao de 9nm, resultando em 1nm

deposit material= {Oxide} type= isotropic rate= {0.010} \  
time= 1.0

etch material= {Oxide} type= isotropic rate= {0.009} time= 1.0

struct tdr= bi\_05\_1

mask name= Gate left= 0.0 right= 1.0 front= 0.0 \  
back= 0.011 negative

photo mask= Gate thickness= 0.02

etch material= {Oxide} type= anisotropic rate= {1.0} time= 1.0

strip Photoresist

struct tdr= bi\_05\_2

deposit Oxide fill coord= 0.031

# HfO2 2nm

deposit material= {HfO2} type= isotropic rate= {0.002} \  
time= 1.0

struct tdr= bi\_06

# Metal de porta

# TiN 5nm

```

mater add name= TiN new.like= Nitride
pdbSetDouble TiN Mechanics BulkModulus [ Enu2K 600e10 0.25 ]
pdbSetDouble TiN Mechanics ShearModulus [ Enu2G 600e10 0.25 ]
pdbSetDouble TiN Mechanics ThExpCoeff 9.4e-6
deposit material= {TiN} type= isotropic rate= {0.005} \
    time= 1.0
struct tdr= bi_07

```

```

# Corrosao do Poly (gate mask)
# Si-Poli 100nm
deposit material= {PolySilicon} type= isotropic \
    thickness= 0.100
mask name= Poly left= 0.0 right= 0.5 front= 0.0 \
    back= 1.0 negative
photo mask= Poly thickness= 0.02
etch material= {PolySilicon} type= anisotropic \
    rate= {1.0} time= 1.0
strip Photoresist
struct tdr= bi_08

```

```

# Corrosao da porta
etch material= {TiN HfO2 Oxide} type= anisotropic \
    rate= {1.0 1.0 1.0} time= 1.0
deposit Oxide fill coord= 0.032
struct tdr= bi_09

```

```

#=====#

```

```

# reconstruindo a grade #

```

```

#=====#

```

```

refinebox Silicon \
    min= {-1.0 0.0 0.0 } \
    max= {-0.060 0.075 0.010} \
    xrefine= 0.002 \
    yrefine= 0.010 \
    zrefine= 0.005 \
    normal.growth.ratio= 2.0
refinebox Silicon \
    min= {-1.0 0.0 0.005} \
    max= { 0.0 0.075 0.010} \
    xrefine= 0.010 \
    yrefine= 0.010 \
    zrefine= 0.002 \
    normal.growth.ratio= 2.0
refinebox Silicon \
    min= {-1.0 0.045 0.0 } \
    max= { 0.0 0.075 0.010} \
    xrefine= 0.005 \
    yrefine= 0.002 \
    zrefine= 0.002 \
    normal.growth.ratio= 2.0

```

grid remesh

```

#=====#
# Implantacao ionica      #
#=====#
# Definindo o LDD
mask name= LDD left= 0.0 right= 0.075 front= 0.0 \
  back= 1.0 negative
photo mask= LDD thickness= 1.0
implant Arsenic dose= 1e15 energy= 5 tilt= 45.0 rotation= 0
strip Photoresist
struct tdr= bi_10

# Definindo o HDD
mask name= HDD left= 0.0 right= 0.125 front= 0.0 \
  back= 1.0 negative
photo mask= HDD thickness= 1.5
implant Arsenic dose= 3e15 energy= 25 tilt= 0.0 rotation= 0
implant Phosphorus dose= 2e15 energy= 25 tilt= 0.0 rotation= 0
strip Photoresist
struct tdr= bi_11

# RTA
diffuse temperature= 750<C> time= 1.0<min>
struct tdr= bi_12

#=====#
# Spacadores      #
#=====#
# SiO2 5nm
# Nitride 100nm
# desligando o relaxamento do stress apps a deposicao e corrosao (hack)
pdbSet Mechanics EtchDepoRelax 0
deposit material= {Oxide} type= isotropic rate= {0.005} \
  time= 1.0
mask name= Spacer left= 0.0 right= 0.5 front= 0.0 \
  back= 1.0 negative
photo mask= Spacer thickness= 0.02
etch material= {Oxide} type= anisotropic rate= {1.0} time= 1.0
strip Photoresist
deposit Oxide fill coord= 0.032
deposit material= {Nitride} type= isotropic \
  rate= {0.045} time= 1.0 mask= Spacer
etch material= {Nitride} type= anisotropic rate= {0.051} \
  time= 1.0

# ligando o relaxamento do stress apos a deposicao e corrosao (hack)
pdbSet Mechanics EtchDepoRelax 1
struct tdr= bi_13

```

```
#=====#  
# Espelhando a estrutura para a geracao final #  
#=====#  
struct tdr= 3D_FinFET_REC_quarter !Gas  
if { [catch {exec tdx -mtt -y -ren \  
    drain=source 3D_FinFET_REC_quarter_fps.tdr \  
    3D_FinFET_REC_half_fps.tdr} Err] !=0 } {LogFile $Err}  
if { [catch {exec tdx -mtt -z 3D_FinFET_REC_half_fps.tdr \  
    3D_FinFET_REC_full_fps.tdr} Err] !=0 } {LogFile $Err}  
exit
```