UNIVERSIDADE DE SÃO PAULO

ANGÉLICA DOS ANJOS

**Integração de blocos RF CMOS com indutores
usando tecnologia *Flip Chip***

São Paulo
2012

ANGÉLICA DOS ANJOS

**Integração de blocos RF CMOS com indutores
usando tecnologia *Flip Chip***

Tese de Doutorado apresentada à
Escola Politécnica da Universidade de
São Paulo, para obtenção do título de
Doutor em Engenharia Elétrica.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. Wilhelmus A. M.
Van Noije

São Paulo
2012

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 10 de novembro de 2012.

Assinatura do autor _____

Assinatura do orientador _____

FICHA CATALOGRÁFICA

Anjos, Angélica dos
Integração de blocos RF CMOS com indutores usando tecnologia Flip Chip / A. Dos Anjos. -- ed.rev. -- São Paulo, 2012.
173 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Circuitos integrados (Projeto) I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Dedico este trabalho à minha mãe
Alaíde, ao meu pai Manoel, à minha
irmã Patricia, à minha sobrinha
Beatriz e ao meu esposo Armando.

AGRADECIMENTOS

Primeiramente agradeço à Deus por me dar a capacidade e perseverança necessárias para o desenvolvimento e conclusão deste trabalho, pois sem Ele, nada seria possível.

Um agradecimento especial à minha família, pois graças a ajuda, apoio, amor, compreensão, carinho, força e amizade, tive perseverança para continuar.

Ao meu orientador Prof. Dr. Wilhelmus A. M. Van Noije pela grande colaboração na realização desse trabalho.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo apoio financeiro dado através da bolsa de doutorado, a qual recebi durante um ano. À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pelo financiamento da fabricação dos circuitos integrados. Ao Instituto Nacional de Ciência e Tecnologia (INCT/NAMITEC) pelo custeio de componentes e materiais necessários para a realização deste trabalho.

Um agradecimento especial aos colegas e amigos do LSI e LME, Armando Ayala Pabón, Fabián Leonardo Cabrera Riaño, Sérgio Andrés Chaparro Moreno, Prof. Dr. Sebastião Gomes dos Santos, Profa. Dra. Fátima Salete Correra, Jair Souza, Ricardo Rangel, Vanessa Duarte Del Cacho, Dionisio de Carvalho e Hugo Puertas de Araújo pela ajuda dispensada e dedicação em momentos importantes.

Agradeço ao LSI-USP (Laboratório de Sistemas Integráveis), ao LME-USP (Laboratório de Microeletrônica), ao LNLS (Laboratório Nacional de Luz Síncroton), e ao CTI (Centro de Tecnologia da Informação Renato Archer), pelo uso dos equipamentos e contribuição na realização da tese.

À todas as pessoas que me ajudaram direta e indiretamente na realização deste trabalho e que não foram citadas acima.

SUMÁRIO

LISTA DE FIGURAS	VIII
LISTA DE TABELAS.....	XII
RESUMO	XVIII
ABSTRACT	XX
1 – INTRODUÇÃO	1
1.1 MOTIVAÇÃO	1
1.2 OBJETIVOS.....	4
1.3 DESCRIÇÃO DOS CAPÍTULOS.....	4
2 – INDUTORES INTEGRADOS E INDUTORES EXTERNOS	5
2.1 INDUTORES INTEGRADOS	5
2.1.1 <i>Comportamento dos indutores</i>	5
2.1.2 <i>Estruturas dos indutores integrados</i>	7
2.1.3 <i>Fenômenos que degradam o funcionamento dos indutores</i>	7
2.1.3.1 Efeito pelicular.....	8
2.1.3.2 Efeito de proximidade.....	8
2.1.3.3 Correntes de <i>eddy</i>	9
2.1.4 <i>Circuito equivalente</i>	10
2.1.4.1 Capacitância entre os segmentos.....	12
2.1.4.2 Capacitância do óxido.....	12
2.1.4.3 Capacitância do substrato.....	12
2.1.4.4 Resistência do substrato.....	13
2.1.4.5 Resistência série.....	13
2.1.4.6 Indutância	13
2.1.4.6.1 Auto-indutância.....	14
2.1.4.6.2 Indutância mútua.....	14
2.1.4.7 Limitações do circuito equivalente	15
2.1.5 <i>Fator de qualidade</i>	16
2.1.6 <i>Técnicas para melhorar o desempenho dos indutores</i>	17
2.2 INDUTORES EXTERNOS	18
2.2.1 <i>Materiais utilizados</i>	18
2.2.1.1 Substrato	18
2.2.1.2 Camada metálica.....	19
2.2.1.3 Camada Dielétrica.....	21
2.2.2 <i>Processos de fabricação</i>	22
2.2.2.1 Deposição	22
2.2.2.2 Corrosão.....	24
2.2.3 <i>Etapas de processos</i>	24
2.2.4 <i>Caracterização</i>	26
2.2.4.1 Estruturas para caracterizar os indutores.....	27
2.2.4.2 Estruturas para validar o processo.....	29
2.2.4.3 Indutores externos para teste.....	33
2.2.4.4 <i>Layout da placa de alumina com os indutores externos, PADs e trilhas para conexão RF e</i> <i>alimentação DC</i>	38
3 – TECNOLOGIA FLIP CHIP, VCO E LNA.....	42
3.1 FLIP CHIP	42
3.1.1 <i>Etapas de processos</i>	44
3.2 OSCILADOR CONTROLADO POR TENSÃO – VCO	45
3.2.1 <i>Teoria de osciladores</i>	45
3.2.2 <i>Oscilador LC e resistência negativa</i>	47

3.2.3 Ruído de fase	48
3.2.4 VCO	51
3.2.4.1 Topologias para LC VCO	53
3.2.4.1.1 Par cruzado NMOS e Par Cruzado PMOS	54
3.2.4.1.2 Complementar NMOS e PMOS	56
3.2.5 Projeto dos VCOs	57
3.2.5.1 FC-VCO	63
3.2.5.2 OC-VCO	65
3.2.5.3 Balun	67
3.2.5.4 Projeto extra do FC-VCO com menor ruído de fase	68
3.3 AMPLIFICADOR DE BAIXO RUÍDO – LNA	69
3.3.1 Considerações importantes do LNA	69
3.3.2 Topologias de LNAs CMOS	70
3.3.2.1 Amplificador CMOS fonte comum cascode com degeneração indutiva	71
3.3.2.1.1 Impedância de entrada	72
3.3.2.1.2 Figura de ruído	74
3.3.2.1.3 Ganho	74
3.3.3 Projeto dos LNAs	75
3.3.3.1 FC-LNA	80
3.3.3.2 OC-LNA	81
3.3.3.3 Projeto extra do FC-LNA com menor figura de ruído e maior ganho	83
4 – APRESENTAÇÃO E ANÁLISE DOS RESULTADOS	85
4.1 VCOs	86
4.1.1 FC-VCO	86
4.1.2 OC-VCO	95
4.1.3 Projeto extra do FC-VCO com menor ruído de fase	104
4.1.4 Resultados experimentais do OC-VCO	105
4.1.5 Análise dos resultados dos VCOs	112
4.2 LNAs	113
4.2.1 FC-LNA	113
4.2.2 OC-LNA	121
4.2.3 Projeto extra do FC-LNA com menor figura de ruído e maior ganho	129
4.2.4 Resultados experimentais do OC-LNA	133
4.2.5 Análise dos resultados dos LNAs	139
5 – CONCLUSÕES, CONTRIBUIÇÕES E TRABALHOS FUTUROS	141
5.1 CONCLUSÕES	141
5.2 CONTRIBUIÇÕES	143
5.3 TRABALHOS FUTUROS	144
REFERÊNCIAS	145

LISTA DE FIGURAS

Figura 1 – Representação de um circuito transceptor RF completo.....	2
Figura 2 – Microfotografia de um VCO com tanque LC (0,14mm ²).	2
Figura 3 – Microfotografia de um LNA (0,8 x 0,8 mm ²).	3
Figura 4 – Parâmetros geométricos do indutor retangular.	7
Figura 5 – Distribuição de correntes nos segmentos de um indutor para baixas e altas frequências.	9
Figura 6 – Correntes induzidas no substrato.	10
Figura 7 – Circuito equivalente do indutor – Modelo PI.	10
Figura 8 – Circuito equivalente do indutor retangular – ilustração em corte.....	11
Figura 9 – Espessuras que caracterizam um indutor de uma espira.	11
Figura 10 – <i>Electron beam</i>	22
Figura 11 – Eletrólise.	23
Figura 12 – Corrosão úmida.	24
Figura 13 – Etapas de Processos para a fabricação do indutor externo.	26
Figura 14 – Modelo equivalente das impedâncias das estruturas de teste.	27
Figura 15 – Estrutura de caracterização <i>short-open</i>	28
Figura 16 – Estrutura de caracterização <i>short</i>	29
Figura 17 – Estrutura de teste <i>open</i>	29
Figura 18 – Estrutura “cruz-ponte”.....	30
Figura 19 – Estrutura <i>Kelvin</i>	31
Figura 20 – Largura fixa e espaçamento variável.....	32
Figura 21 – Largura variável e espaçamento fixo.	32
Figura 22 – Largura fixa e espaçamento variável dos cantos.	32
Figura 23 – Largura variável e espaçamento fixo dos cantos.	33
Figura 24 – <i>Layout</i> das estruturas para teste (processo e caracterização dos indutores externos).....	34
Figura 25 – <i>Layout</i> do indutor externo para teste (A.3=7nH).	36
Figura 26 – Simulação da variação da L versus a frequência para os indutores externos para teste.	37
Figura 27 – Simulação da variação do Q versus a frequência para os indutores externos para teste.	37
Figura 28 – <i>Layout</i> completo da placa de alumina. 1) <i>pads</i> para conexão RF; 2) <i>pads</i> para os capacitores; 3) <i>pads</i> para alimentação DC; 4) Estruturas de teste.	38
Figura 29 – <i>Layout</i> da placa de alumina ampliada.	39
Figura 30 – Marcas de alinhamento das quatro máscaras feitas em quartzo.	40
Figura 31 – Ampliação de um dos indutores externos e seus <i>pads</i> – máscara 4.....	41
Figura 32 – Formação do <i>stud bump</i> [3.6].	44
Figura 33 – Modelo de interconexão de <i>flip chip</i>	44
Figura 34 – Modelo de um circuito oscilador.	46
Figura 35 – Rede de duas portas do oscilador.....	46
Figura 36 – Circuito equivalente do ressonador LC.	48
Figura 37 – Espectro de frequência do oscilador: (a) ideal e (b) real.....	49
Figura 38 – Ruído de fase no domínio da frequência.	50
Figura 39 – Típico espectro de ruído de fase de um oscilador LC.	50
Figura 40 – Diagrama de blocos de um circuito receptor.	52

Figura 41 – Diagrama de blocos de um PLL.	52
Figura 42 – Efeito do ruído de fase do oscilador em um receptor.....	53
Figura 43 – Topologia do par cruzado NMOS.....	55
Figura 44 – Topologia do par cruzado PMOS.	55
Figura 45 – Topologia complementar NMOS e PMOS.....	57
Figura 46 – Simulação da variação da L versus a frequência para os indutores do FC-VCO e OC-VCO.	62
Figura 47 – Simulação da variação do Q versus a frequência para os indutores externos do FC-VCO e OC-VCO.	63
Figura 48 – Topologia do FC-VCO.....	65
Figura 49 – Topologia do OC-VCO.	66
Figura 50 – Topologia do <i>Balun</i>	67
Figura 51 – Topologia de LNAs CMOS: (a) fonte comum com casamento resistivo; (b) fonte comum com realimentação; (c) porta comum; (d) fonte comum com degeneração indutiva.....	71
Figura 52 – Topologia do LNA detalhada: fonte comum com degeneração indutiva.	72
Figura 53 – Simulação da variação da L versus a frequência para os indutores do FC-LNA e OC-LNA.	79
Figura 54 – Simulação da variação do Q versus a frequência para os indutores externos do FC-LNA e OC-LNA.....	79
Figura 55 – Topologia do FC-LNA.	80
Figura 56 – Topologia do OC-LNA.	82
Figura 57 – <i>Layout</i> do <i>chip</i> completo (3,0 x 2,8 mm ²).	84
Figura 58 – Microfotografia do <i>chip</i> completo (3,0 x 2,8 mm ²).	85
Figura 59 – <i>Layout</i> completo do FC-VCO (com <i>pads</i>).	86
Figura 60 – <i>Layout</i> do FC-VCO juntamente com o <i>balun</i>	87
Figura 61 – <i>Layout</i> do <i>core</i> ativo do FC-VCO.....	88
Figura 62 – <i>Layout</i> do casamento dos transistores NMOSRF do FC-VCO.	88
Figura 63 – <i>Layout</i> do casamento dos transistores PMOSRF do FC-VCO.	89
Figura 64 – <i>Layout</i> do <i>balun</i> do FC-VCO.	89
Figura 65 – <i>Test-bench</i> do FC-VCO.....	90
Figura 66 – <i>Start-up</i> das saídas OUTP, OUTN e OUTB (<i>balun</i>) do FC-VCO (TM).91	
Figura 67 – Amplitude das saídas OUTP, OUTN e OUTB (<i>balun</i>) do FC-VCO (TM).	91
Figura 68 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do FC-VCO.....	92
Figura 69 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,4GHz.....	93
Figura 70 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,45GHz.....	93
Figura 71 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,48GHz.....	93
Figura 72 – Ruído de fase versus a frequência de <i>offset</i> para TM variando a temperatura (temp) do FC-VCO. Frequência de oscilação de 2,45GHz.....	94
Figura 73 – Corrente DC total e I _{Bias} em função de V _{Bias} do FC-VCO (TM).	95
Figura 74 – <i>Layout</i> completo do OC-VCO (com <i>pads</i>).....	96

Figura 75 – <i>Layout</i> do OC-VCO juntamente com o <i>balun</i> , circuito de polarização (<i>bias</i>) e indutor interno.	97
Figura 76 – <i>Layout</i> do OC-VCO e <i>balun</i> (sem o indutor).	97
Figura 77 – <i>Layout</i> do <i>core</i> ativo do OC-VCO (sem o indutor).	98
Figura 78 – <i>Layout</i> do casamento dos transistores NMOSRF do OC-VCO.	98
Figura 79 – <i>Layout</i> do casamento dos transistores PMOSRF do OC-VCO.	99
Figura 80 – <i>Test-bench</i> do OC-VCO.	99
Figura 81 – <i>Startup</i> das saídas OOTP, OUTN e OUTB (<i>balun</i>) do OC-VCO (TM).	100
Figura 82 – Amplitude das saídas OOTP, OUTN e OUTB (<i>balun</i>) do OC-VCO (TM).	100
Figura 83 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do OC-VCO.	101
Figura 84 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,4GHz.	102
Figura 85 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,45GHz.	102
Figura 86 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,48GHz.	102
Figura 87 – Ruído de fase versus a frequência de <i>offset</i> para TM variando a temperatura do OC-VCO. Frequência de oscilação de 2,45GHz.	103
Figura 88 – Corrente DC total e I_{Bias} em função de V_{Bias} do OC-VCO.	103
Figura 89 – Frequência de oscilação versus tensão de controle para o projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz.	104
Figura 90 – Ruído de fase versus a frequência de <i>offset</i> do projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz.	105
Figura 91 – Placas de teste: (a) as 3 placas de alumina fabricadas; (b) placa de teste.	106
Figura 92 – Medidas elétricas do OC-VCO: I_{VDDA} versus V_{Bias}	107
Figura 93 – Equipamentos usados para as medidas elétricas: (a) analisador de espectro; (b) medidor de potência.	108
Figura 94 – Medidas elétricas do OC-VCO: f_{osc} versus V_{Ctrl}	109
Figura 95 – Fotografia do resultado do sinal de saída do OC-VCO através do analisador de espectro para f_{osc} de 2,4GHz.	111
Figura 96 – <i>Layout</i> completo do FC-LNA, incluindo <i>pads</i>	114
Figura 97 – <i>Layout</i> do <i>core</i> do FC-LNA (sem os indutores).	114
Figura 98 – <i>Layout</i> do divisor capacitivo do FC-LNA.	115
Figura 99 – <i>Layout</i> dos transistores NMOSRF do FC-LNA.	115
Figura 100 – <i>Layout</i> do circuito de polarização (<i>Bias</i>) do FC-LNA.	116
Figura 101 – <i>Test-bench</i> do FC-LNA.	117
Figura 102 – Figura de ruído versus a frequência para WP, TM e WS do FC-LNA.	117
Figura 103 – Parâmetro S11 versus a frequência para WP, TM e WS do FC-LNA.	118
Figura 104 – Parâmetro S21 versus a frequência para WP, TM e WS do FC-LNA.	119
Figura 105 – Parâmetro S12 versus a frequência para WP, TM e WS do FC-LNA.	119

Figura 106 – Parâmetro S22 versus a frequência para WP, TM e WS do FC-LNA.	120
Figura 107 – IP3 do FC-LNA (TM).	120
Figura 108 – Ponto de compressão de 1dB do FC-LNA (TM).	121
Figura 109 – <i>Layout</i> completo do OC-LNA, incluindo <i>pads</i> .	122
Figura 110 – <i>Layout</i> do <i>core</i> do OC-LNA (sem os indutores e <i>pads</i>).	122
Figura 111 – <i>Layout</i> do divisor capacitivo do OC-LNA.	123
Figura 112 – <i>Layout</i> dos transistores NMOSRF do OC-LNA.	123
Figura 113 – <i>Layout</i> do circuito de polarização (<i>Bias</i>) do OC-LNA.	124
Figura 114 – <i>Test-bench</i> do OC-LNA.	125
Figura 115 – Figura de ruído versus a frequência para WP, TM e WS do OC-LNA.	125
Figura 116 – Parâmetro S11 versus a frequência para WP, TM e WS do OC-LNA.	126
Figura 117 – Parâmetro S21 versus a frequência para WP, TM e WS do OC-LNA.	126
Figura 118 – Parâmetro S12 versus a frequência para WP, TM e WS do OC-LNA.	127
Figura 119 – Parâmetro S22 versus a frequência para WP, TM e WS do OC-LNA.	127
Figura 120 – IP3 do OC-LNA (TM).	128
Figura 121 – Ponto de compressão de 1dB do OC-LNA (TM).	128
Figura 122 – Figura de ruído versus a frequência para TM do projeto extra do FC-LNA.	129
Figura 123 – Parâmetro S11 versus a frequência para TM do projeto extra do FC-LNA.	130
Figura 124 – Parâmetro S21 versus a frequência para TM do projeto extra do FC-LNA.	130
Figura 125 – Parâmetro S12 versus a frequência para TM do projeto extra do FC-LNA.	131
Figura 126 – Parâmetro S22 versus a frequência para TM do projeto extra do FC-LNA.	131
Figura 127 – IP3 do projeto extra do FC-LNA.	132
Figura 128 – Ponto de compressão de 1dB do OC-LNA.	132
Figura 129 – Parâmetro S11 versus a frequência do OC-LNA medido.	134
Figura 130 – Parâmetro S21 versus a frequência do OC-LNA medido.	135
Figura 131 – Parâmetro S12 versus a frequência do OC-LNA medido.	136
Figura 132 – Parâmetro S22 versus a frequência do OC-LNA medido.	136
Figura 133 – Simulação do parâmetro S21 do OC-LNA, na frequência de 2,45GHz, variando a resistência de contato (r_a).	137
Figura 134 – Simulação dos parâmetros S11, S21, S12 e S22 do OC-LNA através do ADS, para valores típicos do processo.	138

LISTA DE TABELAS

Tabela 1 – Comparação entre os substratos de alumina e silício tipo P.	19
Tabela 2 – Comparação entre as camadas de Au e Al.	20
Tabela 3 – Relação entre a espessura do ouro e a R_s , Q e L do indutor (2,45GHz).	20
Tabela 4 – Comparação entre as camadas dielétricas.	21
Tabela 5 – Parâmetros dos indutores para teste.	34
Tabela 6 – Parâmetros simulados do modelo PI dos indutores externos para teste.	36
Tabela 7 – Dimensões das marcas de alinhamento das máscaras para a fabricação dos processos na placa de alumina.	40
Tabela 8 – Comparação das impedâncias RLC das técnicas <i>wire bonding</i> e <i>flip chip</i> [3.5]	43
Tabela 9 – Especificações iniciais dos VCOs.	57
Tabela 10 – Parâmetros dos indutores do FC-VCO e OC-VCO.	61
Tabela 11 – Parâmetros simulados do modelo PI dos indutores do FC-VCO e OC-VCO.	61
Tabela 12 – Dimensões e valores dos dispositivos do FC-VCO.	64
Tabela 13 – Dimensões e valores dos dispositivos do OC-VCO.	66
Tabela 14 – Dimensões e valores dos componentes do <i>balun</i>	68
Tabela 15 – Dimensões dos dispositivos do FC-VCO com menor ruído de fase.	68
Tabela 16 – Especificações iniciais dos LNAs.	75
Tabela 17 – Ponto de partida dos LNAs após estratégia de projetos.	77
Tabela 18 – Parâmetros dos indutores do FC-LNA e OC-LNA.	78
Tabela 19 – Parâmetros simulados do modelo PI dos indutores do FC-LNA e OC-LNA.	78
Tabela 20 – Dimensões e valores dos dispositivos do FC-LNA.	81
Tabela 21 – Dimensões e valores dos dispositivos do OC-LNA.	82
Tabela 22 – Dimensões e valores dos dispositivos do projeto extra do FC-LNA.	83
Tabela 23 – Comparação dos resultados medidos e simulados da f_{osc} versus a V_{Ctrl} do OC-VCO.	110
Tabela 24 – Comparação dos resultados medidos e simulados do ruído de fase do OC-VCO.	110
Tabela 25 – Comparação dos resultados dos VCOs simulados e medidos.	112
Tabela 26 – Comparação dos resultados dos Spectre e do ADS para casos típicos em 2,45GHz (OC-LNA).	139
Tabela 27 – Comparação dos resultados dos LNAs.	139

LISTA DE ABREVIATURAS E SIGLAS

1dBCP	Ponto de compressão de 1dB
AMS	AustriaMicroSystems
BIAS	Polarização do circuito
BiCMOS	Bipolar-CMOS
CI	Circuito integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
D/A	Digital/Analógico
ESD	<i>Electro Static Discharge</i>
FC-LNA	<i>Flip Chip-LNA</i>
FC-VCO	<i>Flip Chip-VCO</i>
FOM	<i>Figure of Merit</i>
GaAs	Arseneto de Gálio
GMD	<i>Geometric Mean Distance</i>
GSG	<i>Ground-signal-ground</i>
IF	<i>Intermediate Frequency</i>
ISM	<i>Industrial, Scientific, and Medical</i>
LNA	<i>Low Noise Amplifier</i>
LO	<i>Local Oscillator</i>
LSI	Laboratório de Sistemas Integráveis
NF	<i>Noise Figure</i>
NMOS	Transistor de canal N
OC-LNA	<i>On Chip-LNA</i>
OC-VCO	<i>On Chip-VCO</i>
PA	<i>Power Amplifier</i>
PGS	<i>Pattern Ground Shield</i>
PIIP3	Ponto de intermodulação de terceira ordem
PIN	Potência de entrada
PLL	<i>Phase-Locked Loop</i>
PMOS	Transistor de canal P
PN	<i>Phase Noise</i>

POUT	Potência de saída
R_{sh}	Resistência de folha
RF	<i>Radio Frequency</i>
RFIC	<i>Radio Frequency Integrated Circuit</i>
R_{rf}	Coeficiente do efeito pelicular
S11	Coeficiente de reflexão na entrada
S12	Isolamento reverso
S21	Ganho
S22	Coeficiente de reflexão na saída
SNR	<i>Signal-to-Noise Ratio</i>
TM	<i>Tipical Model</i>
VCO	<i>Voltage Controlled Oscillator</i>
VCTRL	Tensão de controle
V_{DDA}	Tensão de alimentação
V_{DS}	Tensão entre dreno e fonte do transistor
V_{GS}	Tensão entre porta e fonte do transistor
V_{pol}	Tensão de polarização
V_{SSA}	Terra do circuito
V_T	Tensão de limiar do transistor
WP	<i>Worst Power</i>
WS	<i>Worst Speed</i>

LISTA DE SÍMBOLOS

A_B	Área do transistor do <i>balun</i>
A_t	Área total
C_{db}	Capacitância entre o dreno e o corpo do transistor
C_{ds}	Capacitância entre o dreno e a fonte do transistor
C_{eq}	Capacitância equivalente do tanque LC
C_{FC}	Capacitância que modela a interconexão de <i>flip chip</i>
C_g	Capacitância de porta por unidade de área
C_{gd}	Capacitância entre a porta e o dreno do transistor
C_{gs}	Capacitância entre a porta e a fonte do transistor
C_j	Capacitância de junção (p-n) por unidade de área
C_{ox}	Capacitância do óxido por unidade de área
C_p	Capacitância paralela
C_{Pad_FC}	Capacitância equivalente do <i>pad</i> usado na versão <i>flip chip</i>
C_{Pad_OC}	Capacitância equivalente do <i>pad</i> usado na versão <i>on chip</i>
C_s	Capacitância série
C_{si}	Capacitância do silício
C_v	Capacitância total do varactor
d	Distância entre os centros dos segmentos
dBc	Potência relativa a portadora
dBm	Potência relativa a 1 miliwatt
δ	Profundidade pelicular
Δ_f	<i>Offset</i> da portadora
ϵ_0	Permissividade do vácuo
ϵ_{ox}	Constante dielétrica do óxido
ϵ_{si}	Constante dielétrica do silício
ϕ	Fluxo magnético
f_c	Frequência central
f_{osc}	Frequência de oscilação
g_m	Transcondutância do transistor
i	Corrente

I_{core}	Corrente de polarização do VCO
I_d	Corrente de polarização do LNA
K	Constante de Boltzman
L	Indutância
L_{auto}	Auto indutância
L_d	Indutância do indutor do dreno do LNA
$L(\Delta\omega)$	Ruído de fase
L_{eq}	Indutância equivalente do tanque LC
l_{ext}	Comprimento externo
L_g	Indutância do indutor da porta do LNA
L_s	Indutância do indutor série do LNA
l_t	Comprimento total
M	Indutância mútua
μ	Permeabilidade magnética no espaço livre
μ_n	Mobilidade dos transistores NMOS
μ_0	Permeabilidade magnética do vácuo
μ_p	Mobilidade dos transistores PMOS
μ_r	Permeabilidade magnética relativa ao material
n	Número de voltas
n_g	Número de dedos do transistor
P	Potência
P_{DC}	Potência de ganho em DC
P_s	Dissipação de potência média
Q	Fator de qualidade
Q_L	Fator de qualidade do circuito ressonador
R_{eq}	Resistência equivalente
r_g	Resistência parasita da porta do transistor
R_{L_g}	Resistência parasita série do indutor L_g
R_{L_s}	Resistência parasita série do indutor L_s
R_{neg}	Resistência negativa
ρ_m	Resistividade do metal
ρ_{si}	Resistividade do silício

R_p	Resistência paralela
R_s	Resistência série
R_{si}	Resistência do silício
s	Espaçamento entre os segmentos
S	Parâmetros S
S_1	Terminal de sinal de entrada
S_2	Terminal de sinal de saída
σ	Condutividade do metal
T	Temperatura absoluta
T_1	Terminal de terra de entrada
T_2	Terminal de terra de saída
t_m	Espessura do metal
TM	Simulação do caso típico
t_{ms}	Espessura do metal usado para saída
t_{ox}	Espessura do óxido
$t_{ox,ms-m}$	Espessura do óxido entre a primeira camada e o metal de saída
t_{si}	Espessura do silício
w	Largura do segmento
ω	Frequência angular
WP	Simulação do pior caso de potência
ω_r	Frequência de ressonância
WS	Simulação do pior caso de velocidade
ω_T	Frequência de ganho unitário de corrente
Y	Admitância
Z	Impedância
z_1	Impedância série de entrada
z_2	Impedância série de saída
z_3	Impedância entre a entrada e o substrato
z_4	Impedância entre a saída e o substrato
z_c	Impedância de contato
z_f	Impedância entre a entrada e a saída
z_p	Impedância de acoplamento paralelo

RESUMO

Neste trabalho foi feita uma ampla pesquisa sobre blocos de RF, VCOs e LNAs, que fazem parte de transceptores. Esses blocos foram projetados utilizando um indutor externo com um alto Q , com o intuito de melhorar as principais características de desempenho de cada um dos blocos. Com a finalidade de ter um ponto de comparação foram projetados os mesmos blocos implementando todos os indutores integrados (internos). Foi proposta a utilização da tecnologia *flip chip* para interconectar os indutores externos aos *dies* dos circuitos, devido às vantagens que ela apresenta.

Para implementar os indutores externos propôs-se um processo de fabricação completo, incluindo especificação das etapas de processos e dos materiais utilizados para estes indutores. Adicionalmente foi projetado um conjunto de máscaras para fabricar os indutores externos e fazer a montagem e teste dos circuitos que os utilizam.

Para validar o processo proposto e caracterizar os indutores externos foram projetadas diferentes estruturas de teste. O Q do indutor externo é da ordem de 6 vezes maior que do indutor integrado, para a tecnologia escolhida.

Foram projetados e fabricados dois VCOs LC: FC-VCO (*Flip Chip VCO* – com o indutor externo), OC-VCO (*On Chip VCO* – com o indutor interno), e dois LNAs CMOS de fonte comum cascode com degeneração indutiva: FC-LNA (*Flip Chip LNA* – com o indutor L_g externo) e OC-LNA (*On Chip LNA* – com todos os indutores internos). O objetivo desses quatro circuitos é demonstrar que o desempenho de circuitos RF pode ser melhorado, usando indutores externos com alto Q , conectados através de *flip chip*. Para implementação desses circuitos utilizou-se a tecnologia de processo AMS 0,35 μ m CMOS, para aplicações na banda 2,4GHz ISM, considerando o padrão *Bluetooth*. Foram medidos apenas os blocos com os indutores internos (OC-VCO e OC-LNA). Para os blocos com os indutores externos (FC-VCO e FC-LNA) foram apresentados os resultados de simulação pós-*layout*.

Através da comparação dos resultados de simulação entre os VCOs foi comprovado que o uso de um indutor externo com alto Q conectado via *flip chip*

pode melhorar significativamente o ruído de fase dos VCOs, atingindo -117dBc/Hz a 1MHz de frequência de *offset* para o FC-VCO, em $2,45\text{GHz}$, onde a FOM é 8dB maior que o OC-VCO. Outro ganho foi através da área poupada, o FC-VCO tem uma área cerca de 83% menor que a do OC-VCO. Após as medidas elétricas do OC-VCO obteve-se um desempenho do ruído de fase de $-110\text{dBc/Hz}@1\text{MHz}$ para $2,45\text{GHz}$, e $-112\text{dBc/Hz}@1\text{MHz}$ para $2,4\text{GHz}$, o qual atende as especificações de projeto.

O FC-LNA, que foi implementado com o indutor de porta L_g externo ao *die*, conectado via *flip chip*, atingiu uma figura de ruído de $2,39\text{dB}$, $1,1\text{dB}$ menor que o OC-LNA com o mesmo consumo de potência. A área ocupada pelo FC-LNA é aproximadamente 30% menor do que o OC-LNA. Através das medidas elétricas do OC-LNA verificou-se que o circuito apresenta resultados adequados de S_{11} (perda de retorno da entrada) e S_{22} (perda de retorno da saída) na banda de frequências de interesse. No entanto, o valor do ganho apresenta uma redução em relação ao esperado.

A proposta do trabalho de unir a tecnologia *flip chip* ao uso de indutores externos, proporciona circuitos mais compactos e consecutivamente mais baratos, pela economia de área de Si. Adicionalmente, após os indutores externos serem caracterizados, os mesmos indutores podem ser reutilizados independente da tecnologia CMOS utilizada facilitando o projeto dos blocos de RF em processos mais avançados.

ABSTRACT

This work presents a research about RF blocks that are used in Transceivers, VCOs and LNAs. These blocks were designed using a high-Q RF external inductor in order to improve the main performance characteristics. The same blocks were designed implementing all inductors on-chip (internal) in order to have a point of comparison. It was proposed the use of Flip Chip technology to interconnect the external inductors to the dies of the circuits due to the advantages that this technology offers.

A full manufacturing process was proposed to implement the external inductors, including the specification of process steps and materials used for these inductors. Additionally, a set of masks was designed to fabricate the external inductors, to mount and test the circuits that used these inductors.

Different test structures were designed to validate the proposed process and to characterize the external inductors. Q factor of the external inductor is around 6 times larger than the inductor integrated into the chosen IC technology.

Two LC VCOs and two common-source cascode CMOS LNAs with inductive degeneration were designed and fabricated: FC-VCO (*Flip Chip* VCO – using external inductor), OC-VCO (*On Chip* VCO – using on-chip inductor), FC-LNA (*Flip Chip* LNA – using an external Lg inductor) and OC-LNA (*On Chip* LNA – with all inductors implemented on-chip). The purpose of these four circuits is to demonstrate that the performance of RF circuits can be improved by using high-Q external inductors, connected by flip chip. The 0.35um CMOS AMS technology was used to implement these circuits intended for applications in the 2.4 GHz ISM band, considering the Bluetooth standard. Were measured only the blocks with internal inductors (OC-VCO and OC-LNA). For the blocks with external inductors (FC-VCO and FC-LNA) were presented the results of post-layout simulation.

The comparison between the VCOs simulations results demonstrates that using an external high-Q inductor connected by flip chip can significantly improve the phase noise of VCOs. FC-VCO reached a phase noise of -117dBc/Hz at 1MHz offset frequency and a FOM 8dB greater than the OC-VCO. Another important

improvement was the saved area, the FC-VCO has an area approximately 83% lower than that of OC-VCO. After electrical characterizations of the OC-VCO, phase noise performances of $-110\text{dBc/Hz}@1\text{MHz}$ for 2.45GHz and $-112\text{dBc/Hz}@1\text{MHz}$ for 2.4GHz were obtained, that accomplish the design specifications.

FC-LNA reached a noise figure of 2.39dB, 1.1dB lower than that of OC-LNA with the same power consumption. The total area occupied by FC-LNA is around 30% lower than that OC-LNA. Measurement results of the OC-LNA showed that the circuit presents suitable S_{11} (input return loss) and S_{22} (output return loss) values in the desired frequency band. However, the gain value presents a reduction compared with the expected values.

The proposal to use the flip chip technology together with external inductors, allows more compact and cheap circuits, because Silicon area can be saved. Moreover, after the external inductors being characterized, the same inductors can be reused regardless of the CMOS technology facilitating the design of RF blocks in more advanced processes.

1 – Introdução

Este capítulo apresenta a motivação para a realização deste trabalho, bem como os principais objetivos que se pretendem alcançar com o desenvolvimento do mesmo. A seção 1.3 descreve a organização dos capítulos deste trabalho.

1.1 Motivação

Tem-se visto, nas últimas décadas, uma verdadeira revolução tecnológica devido à presença cada vez mais acentuada da eletrônica no dia a dia, com sua inserção em produtos já existentes (telefones, carros, etc.), ou com sua introdução em novos equipamentos (celulares, computadores, etc.). Este fenômeno foi apenas realizável devido à microeletrônica e a possibilidade, por ela trazida, do desenvolvimento de circuitos integrados complexos com dimensões e custos reduzidos. Circuitos integrados, CI's ou *chips*, são circuitos completos colocados sobre o mesmo material semicondutor. Atualmente grande parte da produção de circuitos semicondutores é feita em silício, sendo que a tecnologia CMOS (*Complementary Metal Oxide Silicon*) tornou-se uma das mais usadas em circuitos de Radio Frequência, devido ao baixo custo, se comparada com as demais; à constante evolução desta tecnologia, com a redução do comprimento de canal; e ao alto nível de integração com os circuitos digitais [1.1].

Em comunicações sem fio são usados sistemas de transmissão e recepção, os chamados transceptores, que servem de interface entre o usuário e o meio de comunicação. A Figura 1 ilustra um circuito transceptor completo, utilizando circuitos CMOS, para sinais RF. Os blocos de circuitos são: LNA (amplificador de baixo ruído); PA (amplificador de potência); oscilador local, composto principalmente por um PLL (malha de sincronismo de fase) o qual utiliza um VCO (oscilador controlado por tensão) para gerar a frequência de oscilação desejada; misturadores; filtros; D/A (conversor digital/analógico); *buffers*; e antena. Esta figura faz parte do trabalho de pesquisa desenvolvido no grupo de projetos do Laboratório de Sistemas Integráveis (LSI) do Departamento de Engenharia de Sistemas Eletrônicos da EPUSP. Este grupo desenvolve pesquisa com projetos de CI's para

recepção e transmissão RF, em comunicação *Bluetooth*. O *Bluetooth* é um padrão de comunicação sem fio de curto alcance que opera na faixa de frequências ISM (*Industrial, Scientific, and Medical*) entre 2,4GHz e 2,48GHz.

Figura 1 – Representação de um circuito transceptor RF completo.

Figura 2 – Microfotografia de um VCO com tanque LC (0,14mm²).

Alguns dos circuitos do transceptor utilizam indutores integrados. Estes, por sua vez, ocupam grande área nos *chips* e podem introduzir ruído, devido às correntes

parasitas que circulam no substrato do CI. Na Figura 2 podemos observar uma microfotografia de um VCO, com tanque LC, dando uma noção da dimensão da área ocupada pelos indutores [1.2]. Na Figura 3 está ilustrada uma microfotografia de um LNA, onde também podemos observar a área relativa ocupada pelo indutor [1.3].

Os dois blocos supracitados, o VCO e o LNA são parte importante dos transceptores, e fazem parte deste trabalho. O VCO é responsável por proporcionar uma saída periódica (oscilação) na frequência desejada. O LNA, por sua vez, amplifica os sinais de entrada provenientes da antena, uma vez que esses sinais precisam de potência suficiente para serem processados, além de adicionar baixo ruído a este sinal. Para tanto, pensou-se em uma forma de minimizar os efeitos negativos causados pelos indutores integrados, como a área ocupada, o fator de qualidade e as correntes parasitas. Estudos atuais mostram que é possível utilizar alguns componentes fora do *chip*, melhorando assim o desempenho dos mesmos. Pensando nisso, pode-se projetar os circuitos com indutores externos.

Figura 3 – Microfotografia de um LNA (0,8 x 0,8 mm²).

Na atualidade é cada vez mais frequente o uso da tecnologia de interconexão chamada *flip chip*. Ela é utilizada para unir o *chip* a um circuito externo, permitindo interconexões mais curtas. Neste trabalho, para interconectar o indutor externo ao circuito no CI foi utilizada esta tecnologia. Em aplicações de alto desempenho o *flip chip* tem muitas vantagens em relação à tecnologia tradicional de interconexão *wire bonding*.

1.2 Objetivos

O objetivo principal deste trabalho é demonstrar que os blocos RFs que necessitam de indutores integrados podem melhorar seu desempenho implementando esses indutores fora do *chip*. Outro fator importante é que os indutores ocupam uma grande área dentro do CI, uma vez que eles estejam fora, há uma economia de área, e de custo também. Além disso, os indutores integrados podem gerar grande ruído devido às correntes que vão para o substrato, degradando o funcionamento dos circuitos.

Para demonstrar o melhor desempenho dos blocos, propõem-se projetar dois VCOs (um com indutor externo e outro com indutor internos) onde pretende-se melhorar o ruído de fase do que tem o indutor externo, por causa do alto Q , e dois LNAs (um com todos os indutores interno e o outro com um indutor externo e os outros internos), onde se deseja melhorar a figura de ruído do LNA.

Para projetar, implementar e caracterizar o indutor externo deve-se desenvolver um processo de fabricação completo, incluindo as etapas de processos, a definição dos materiais usados, o projeto do conjunto de máscaras, além da caracterização deste processo e de alguns indutores externos para serem comparados com os internos. Assim sendo, pode-se validar o processo de fabricação desenvolvido.

1.3 Descrição dos Capítulos

No capítulo 2 estão apresentados os fundamentos teóricos dos indutores integrados retangulares, e os parâmetros importantes para a escolha e caracterização do indutor externo, descrevendo todo o processo para a fabricação dos mesmos. O capítulo 3 trata da teoria e explanação da tecnologia *flip chip*, do VCO e do LNA, onde estão apresentados os parâmetros necessários para o projeto dos circuitos dos VCOs e dos LNAs, destacando a sequência para o projeto e finalmente as dimensões dos dispositivos. A apresentação e análise dos circuitos simulados e medidos estão no capítulo 4, onde também estão os *layouts* e suas considerações descritas. O capítulo 5 destina-se às conclusões e continuidade do trabalho.

2 – Indutores integrados e indutores externos

Este capítulo destina-se a uma revisão sobre a implementação de indutores integrados, retangulares e passivos, além de descrever todo o processo de fabricação dos indutores externos, desde a escolha dos materiais até as etapas de processos para a implementação do mesmo.

2.1 Indutores Integrados

Nesta seção estão apresentados o comportamento dos indutores integrados, sua estrutura, os fenômenos que degradam seu funcionamento, o circuito equivalente, o fator de qualidade e algumas técnicas utilizadas para melhorar seu desempenho. A maior parte desta seção foi obtida de [2.1].

2.1.1 Comportamento dos indutores

O indutor é basicamente um dispositivo que produz um campo magnético e armazena energia neste campo [2.2].

Campos magnéticos são produzidos por cargas em movimento e podem exercer forças sobre cargas elétricas [2.3]. O efeito dos campos magnéticos em indutores pode ser entendido pela aplicação das leis de Faraday, de Ampère-Maxwell [2.2] e de Lenz [2.4]. As explicações destas leis e as relações que as governam estão dadas abaixo:

- Lei de indução de Faraday: variando o campo magnético (dB/dt), produz-se um campo elétrico (E), e a relação entre os campos é dada por (2.1):

$$\oint E \cdot dl = - \int_S \frac{dB}{dt} ds \quad (2.1)$$

onde a integral de E é feita sobre a linha que define a superfície em que é feita a integral de área de B .

- Lei de Ampère-Maxwell: aplicando uma densidade de corrente (j) ou variando o campo elétrico (dE/dt), produz-se um campo magnético (B). A relação entre estas

grandezas é dada por (2.2) (a constante $\mu_0 \varepsilon_0$ é acrescentada para manter as dimensões corretas):

$$\oint B \cdot dl = +\mu_0 \varepsilon_0 \int_S \frac{dE}{dt} ds + \mu_0 \int_S j ds \quad (2.2)$$

onde ε_0 é permissividade do vácuo ($8,85 \times 10^{-12}$ F/m), μ_0 é a permeabilidade magnética no vácuo ($4\pi \times 10^{-7}$ H/m) e a integral de B é feita sobre a linha que define a superfície em que são feitas as integrais de área de E e j .

- Lei de Lenz: o fluxo magnético de um campo induzido é oposto ao fluxo do campo que o induz.

A indutância L de um indutor é a relação entre o fluxo magnético concatenado ao indutor e a corrente que gera este fluxo. Caso a corrente circule pelo próprio indutor, diremos que a relação é uma auto-indutância; caso circule por outro circuito, diremos que é a indutância mútua entre o indutor e este circuito. Considerando um indutor formado de N segmentos, podemos escrever a relação (2.3), ([2.2], [2.3]) (para meios lineares) para a indutância própria:

$$L = \frac{N\phi}{i} \quad (2.3)$$

onde i é a corrente que passa pelos segmentos e ϕ é o fluxo magnético gerado pela corrente i (considerando um fluxo igual em cada segmento).

Em um indutor, além do campo magnético e corrente, aparecem campos elétricos, campos induzidos e perdas. Seus efeitos são modelados por resistências e capacitâncias parasitas. Uma forma de determinar a qualidade de um indutor e o quanto ele se comporta como tal é através do fator de qualidade Q (2.4), que pode ser definido de acordo com [2.5]:

$$Q = 2\pi \left(\frac{\text{Pico de Energia armazenada}}{\text{Energia dissipada por ciclo}} \right) = \frac{\text{Im}\left(\frac{1}{Y}\right)}{\text{Re}\left(\frac{1}{Y}\right)} = \frac{\text{Im}(Z)}{\text{Re}(Z)} \quad (2.4)$$

onde Z é a impedância do dispositivo, Y é a admitância, Im e Re representam a parte imaginária e real.

Indutores em circuitos integrados são difíceis de modelar devido a vários fenômenos eletromagnéticos subjacentes que ocorrem, principalmente em altas frequências, e as perdas associadas a eles (apresentadas no item 2.1.3). Estes

fenômenos interferem consideravelmente no comportamento do L e, principalmente, do Q . Tais perdas podem ser reduzidas através de técnicas aplicadas à implementação dos indutores.

2.1.2 Estruturas dos indutores integrados

Os indutores integrados passivos são construídos com uma ou mais espiras de metal colocadas acima do substrato. Elas podem ter vários formatos geométricos, sendo o valor da indutância e do fator de qualidade dependente destes. A Figura 4 ilustra um indutor retangular de uma espira, e os parâmetros geométricos que o caracterizam: o comprimento externo (l_{ext}), a espessura do segmento do indutor (t), a distância entre os centros de dois segmentos (d), a largura do segmento metálico (w) e o espaçamento entre os segmentos (s).

Figura 4 – Parâmetros geométricos do indutor retangular.

2.1.3 Fenômenos que degradam o funcionamento dos indutores

Os principais fenômenos que influenciam negativamente no funcionamento dos indutores integrados são: o efeito pelicular, o efeito de proximidade e as correntes de *eddy*. Estes efeitos ocorrem quando um material condutor (segmentos do indutor ou substrato da lâmina) é sujeito a campos magnéticos variantes. O efeito pelicular é o mais crítico deles [2.6].

Considerando que estes fenômenos são importantes, este trabalho objetivou reduzi-los. Foram escolhidas camadas de metal mais espessas para minimizar o

efeito pelicular e, se tratando das correntes de *eddy* utilizou-se um substrato com maior resistividade que o silício (tradicionalmente usado).

2.1.3.1 Efeito pelicular

Quando se tem um sinal elétrico de alta frequência aplicado a um condutor qualquer, a energia eletromagnética não é transmitida no interior deste condutor; ela viaja pela região periférica do condutor enquanto este simplesmente guia as ondas. Com isso os elétrons do condutor tendem a ir para a superfície, havendo uma redução na área útil por onde passa a corrente e, conseqüentemente, o aumento da resistência do condutor. Este é o chamado efeito pelicular que ocorre também nos segmentos dos indutores integrados, acarretando um aumento nas perdas do indutor à medida que se aumenta a frequência de operação.

A partir das equações do campo elétrico e magnético, podemos encontrar o fator δ , chamado de profundidade de penetração ou profundidade pelicular, que está relacionado com a profundidade da película por onde passam as correntes no condutor [2.2]. Seu valor é dado pela equação (2.5), [2.7]:

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}} \quad (2.5)$$

onde μ é a permeabilidade magnética, que é dada por $\mu = \mu_0 \cdot \mu_r$, sendo μ_0 a permeabilidade no espaço livre ($\sim 4\pi 10^{-7}$ H/m) e μ_r a permeabilidade relativa ao material; σ é a condutividade do material do condutor e ω é a frequência angular em rad/s ($\omega = 2\pi f$).

2.1.3.2 Efeito de proximidade

O campo magnético gerado por condutores adjacentes altera a distribuição de correntes de um segmento, gerando altas densidades de corrente nas bordas que estão mais afastadas das linhas dos campos magnéticos. Este é o chamado efeito de proximidade que causa, como no efeito pelicular, o aumento da resistência do segmento e degrada o fator de qualidade (devido ao aumento da dissipação de energia no próprio condutor por efeito Joule) [2.8].

A Figura 5 ilustra o comportamento das correntes nos segmentos de um indutor, à medida que a frequência aumenta [2.9]. São mostrados tanto o efeito pelicular como o efeito de proximidade.

Figura 5 – Distribuição de correntes nos segmentos de um indutor para baixas e altas frequências.

2.1.3.3 Correntes de *eddy*

As correntes elétricas que passam pelo indutor geram um campo magnético e parte deste acaba penetrando no substrato. Quando há variações nas correntes do indutor, o campo magnético gerado também varia, causando o aparecimento de um campo elétrico no substrato (2.1). Este campo fará com que surjam correntes no substrato, as chamadas correntes de *eddy* [2.10]. Essas correntes causarão o aparecimento de um campo magnético (2.2) que, segundo a lei de Lenz, é oposto ao campo induzido pelo indutor, como pode ser observado na Figura 6.

As correntes de *eddy* tem três efeitos negativos: reduzem o valor do Q , pela dissipação de energia no substrato (efeito Joule); reduzem o valor de L , devido ao fluxo magnético reverso gerado no substrato; aumentam o ruído no *chip* pois parte da corrente gerada se difunde pelo substrato e pode atingir circuitos próximos.

A intensidade da corrente do substrato é inversamente proporcional à sua resistividade, o que sugere que substratos de alta resistividade são melhores para se obter indutores de qualidade. O caso extremo da aplicação desta ideia é a retirada,

via corrosão, de parte do substrato abaixo do indutor, o que resulta em um Q elevado [2.11].

Figura 6 – Correntes induzidas no substrato.

2.1.4 Circuito equivalente

Um modelo elétrico, muito utilizado, para o indutor retangular está ilustrado na Figura 7 e denomina-se modelo PI [2.12]. O modelo abrange a capacitância entre os segmentos (C_s), a capacitância do óxido entre o indutor e o substrato (C_{ox}), a capacitância do substrato (C_{si}), a resistência do substrato (R_{si}), a resistência série dos segmentos (R_s) e a indutância das espiras (L). Assim, por este modelo, o indutor é caracterizado por seis parâmetros: as capacitâncias C_s , C_{ox} , e C_{si} ; as resistências R_{si} e R_s e a indutância L .

Figura 7 – Circuito equivalente do indutor – Modelo PI.

A Figura 8 ilustra o modelo PI do indutor em corte para uma melhor visualização, destacando a posição dos elementos parasitas em relação à camada de metal (primeira camada), à camada de óxido (segunda camada), e ao substrato (terceira camada) [2.12].

Figura 8 – Circuito equivalente do indutor retangular – ilustração em corte.

A Figura 9 ilustra as espessuras que caracterizam um indutor: espessura do segmento de metal (t_m); espessura do metal utilizado para a saída do indutor (t_{ms}); espessura total das camadas de óxido (t_{ox}), espessura de óxido entre a camada de metal dos segmentos e o metal de saída ($t_{ox,ms-m}$) [2.7].

Figura 9 – Espessuras que caracterizam um indutor de uma espira.

2.1.4.1 Capacitância entre os segmentos

A capacitância entre os segmentos do indutor (C_s) tem um valor muito pequeno comparada com o C_{ox} e C_{si} , e pode ser calculada pela expressão (2.6), ([2.6],[2.7]).

$$C_s = nw^2 \frac{\epsilon_{ox}}{t_{ox,ms-m}} \quad (2.6)$$

onde n é o número de voltas do indutor, w é a largura dos segmentos, ϵ_{ox} é a constante dielétrica do óxido ($3,45 \times 10^{-11}$ F/m) e $t_{ox,ms-m}$ é a espessura do óxido entre a primeira camada de metal utilizada no indutor e o metal de saída.

2.1.4.2 Capacitância do óxido

O valor desta capacitância depende, principalmente, da espessura do óxido ([2.6], [2.13]) e é dada por (2.7):

$$C_{ox} = \frac{1}{2} \frac{\epsilon_{ox}}{t_{ox}} l_t w \quad (2.7)$$

onde t_{ox} é a espessura do óxido e l_t é o comprimento total do indutor. O fator $\frac{1}{2}$ da equação é decorrente do modelo do indutor considerar dois elementos C_{ox} em paralelo.

2.1.4.3 Capacitância do substrato

A capacitância do substrato é calculada pela equação (2.8), [2.14]:

$$C_{si} = \frac{1}{2} \frac{\epsilon_{si}}{t_{si}} l_t w \quad (2.8)$$

onde ϵ_{si} é a permissividade dielétrica do silício ($1,04 \times 10^{-10}$ F/m) e t_{si} é a espessura do silício. O fator $\frac{1}{2}$ da equação é decorrente do modelo do indutor considerar dois C_{si} em paralelo.

2.1.4.4 Resistência do substrato

A equação para a resistência do substrato está apresentada por (2.9), [2.15]. Ela modela as perdas no substrato causadas pelas correntes que aí aparecem (correntes de *eddy* e as correntes devido ao acoplamento capacitivo com o indutor).

$$R_{Si} = 2\rho_{Si} \left(\frac{t_{Si}^2}{t_{Si}^2 + A_T^2} \right) \quad (2.9)$$

onde ρ_{Si} é a resistividade do substrato e A_T é a área total do indutor (para indutor retangular $A_T = l_{ext}^2$, figura 2.1). O fator 2 da equação é decorrente do modelo do indutor considerar dois R_{Si} em paralelo.

2.1.4.5 Resistência série

A resistência série R_s pode ser obtida pela equação abaixo (2.10), [2.16]. Ela modela as perdas devido à condutividade finita dos segmentos de metal e o efeito pelicular [2.17].

$$R_s = \frac{\rho_M l_t}{w \delta \left(1 - e^{\left(\frac{-t_M}{\delta} \right)} \right)} \quad (2.10)$$

onde ρ_M é a resistividade do metal, t_M é a espessura da camada metálica, w é a largura dos segmentos, δ é a profundidade de penetração dada por (2.5).

2.1.4.6 Indutância

Ao contrário dos outros elementos do modelo PI, que têm expressões simples, a indutância não é fácil de ser calculada. A indutância total no indutor é composta pelas auto-indutâncias dos segmentos e pelas indutâncias mútuas positivas e negativas existentes entre eles.

Para cada segmento metálico j que compõe o indutor pode-se determinar uma indutância total conforme a equação (2.11), [2.18].

$$L_j = L_{autoj} + \sum_{k \neq j} (2M_{kj}) \quad (2.11)$$

onde L_{autoj} é a auto-indutância do segmento j , M_{kj} é a indutância mútua entre o segmento k e o segmento j (pode ser positiva ou negativa) e o somatório é feito para todos os segmentos $k \neq j$.

As indutâncias mútuas entre segmentos têm uma quantidade de termos que cresce com o quadrado do número de segmentos, o que dificulta sua determinação [2.7]. O número de segmentos de um indutor é determinado através do produto do número de segmentos por volta pelo número de voltas.

O valor da indutância total do dispositivo será dado pela soma de todos os termos L_j .

Na literatura é possível encontrar equações para as indutâncias que dependem apenas de parâmetros geométricos, como em [2.18]. Por outro lado, com o aumento da frequência há variações na distribuição das correntes e do fluxo magnético, que alteram o valor da indutância. Como pode ser observado em diversas publicações [2.19, 2.17, 2.10, 2.7] a determinação desta variação não é tarefa fácil. Esta é uma das razões para a utilização de *softwares* para modelar indutores (como ASITIC).

2.1.4.6.1 Auto-indutância

Uma corrente elétrica passando por um segmento causa o aparecimento de um fluxo magnético sobre o próprio segmento; a relação entre este fluxo e a corrente é a auto-indutância. A equação (2.12) apresenta o valor da auto-indutância em um segmento retangular [2.13].

$$L_{auto} = 2l_{ext} \left[\ln \left(\frac{2l_{ext}}{w + t_M} \right) + 0,50049 + \left(\frac{w + t_M}{3l_{ext}} \right) \right] \quad (2.12)$$

Para obter o valor da auto-indutância em nH nesta relação, deve-se utilizar os valores de l_{ext} , w e t_M em centímetros.

2.1.4.6.2 Indutância mútua

Uma corrente elétrica passando por um segmento j causa o aparecimento de um fluxo magnético sobre qualquer segmento k ; a relação entre este fluxo e a corrente é a indutância mútua entre j e k . Esta poderá ser: positiva, quando as

correntes que percorrem os dois segmentos têm componentes com mesmo sentido e direção; negativa, quando as correntes têm componentes com mesma direção e sentido oposto [2.18]; ou zero caso as correntes sejam perpendiculares.

Para determinar a indutância mútua entre segmentos paralelos é utilizada a expressão (2.13) [2.20].

$$M = \pm 2l_{ext}\Phi \quad (2.13)$$

onde M é a indutância mútua positiva '+', ou negativa '-', e Φ é calculado pela equação (2.14).

$$\Phi = \ln \left\{ \left(\frac{l_{ext}}{GMD} \right) + \left[1 + \left(\frac{l_{ext}^2}{GMD^2} \right) \right]^{1/2} \right\} - \left[1 + \left(\frac{GMD^2}{l_{ext}^2} \right) \right]^{1/2} + \left(\frac{GMD}{l_{ext}} \right) \quad (2.14)$$

GMD (*geometric mean distance*), utilizada acima, é obtido através da relação (2.15):

$$\ln(GMD) = \ln(d) - \left\{ \left[\frac{1}{12 \left(\frac{d}{w} \right)^2} \right] + \left[\frac{1}{60 \left(\frac{d}{w} \right)^4} \right] + \left[\frac{1}{168 \left(\frac{d}{w} \right)^6} \right] + \left[\frac{1}{360 \left(\frac{d}{w} \right)^8} \right] + \left[\frac{1}{660 \left(\frac{d}{w} \right)^{10}} \right] \dots \right\} \quad (2.15)$$

onde d é a distância entre os centros geométricos de cada segmento.

Para se obter o valor da indutância mútua em nH nestas relações, deve-se utilizar os valores de l_{ext} , w e d em centímetros.

A indutância mútua calculada, assim como a auto-indutância, depende apenas das características geométricas dos segmentos envolvidos.

Por cálculos manuais o valor da indutância total é normalmente difícil de ser determinado devido ao grande número de indutâncias mútuas que aparecem entre os segmentos. Por esse motivo prefere-se optar pelo uso de ferramentas de modelagem de indutores (ASITIC).

2.1.4.7 Limitações do circuito equivalente

No modelo do circuito equivalente algumas relações fornecidas apresentam limitações. A primeira é que na equação da resistência série não está incluído o efeito de proximidade, que causa o aumento do valor da resistência. Felizmente o efeito de proximidade é praticamente insignificante se comparado com o efeito pelicular [2.7].

Outra limitação é que o efeito da indutância mútua entre o substrato e o indutor não está sendo considerado. Essa indutância mútua aparece devido tanto ao fluxo magnético gerado pelo indutor, que chega ao substrato, quanto ao fluxo magnético gerado pela corrente de *eddy* no substrato, que chega ao indutor.

Por fim, também não estão incluídas no modelo utilizado as capacitâncias laterais entre os segmentos do indutor.

2.1.5 Fator de qualidade

Como dito anteriormente, o Q é uma medida que determina a qualidade de um indutor ([2.14], [2.18]). Para o modelo da Figura 7, pode-se obter o valor de Q através das equações (2.16), (2.17), (2.18), [2.21]:

$$Q = \left(\frac{\omega L}{R_s} \right) \cdot \left\{ \frac{R_p}{R_p + \left[\left(\frac{\omega L}{R_s} \right)^2 + 1 \right] R_s} \right\} \cdot \left[1 - \frac{R_s^2 (C_s + C_p)}{L} - \omega^2 L (C_s + C_p) \right] \quad (2.16)$$

$$\text{onde } R_p = \frac{1}{\omega^2 C_{ox}^2 R_{si}} + \frac{R_{si} (C_{ox} + C_{si})^2}{C_{ox}^2} \quad (2.17)$$

$$\text{e } C_p = C_{ox} \frac{1 + \omega^2 (C_{ox} + C_{si}) C_{si} R_{si}^2}{1 + \omega^2 (C_{ox} + C_{si})^2 R_{si}^2} \quad (2.18)$$

A equação (2.16) pode ser pensada e reescrita como o produto de três termos:

$$Q = \left(\frac{\omega L}{R_s} \right) \cdot (\text{perdas no substrato}) \cdot (\text{fator de auto-ressonância})$$

onde o primeiro termo expressa o Q de um indutor ideal L com uma resistência série R_s ; o segundo representa a energia dissipada no substrato (segundo termo à direita da equação (2.16)); e o último se refere ao aumento da energia elétrica (energia no capacitor) em função da frequência (terceiro termo à direita da equação (2.16)).

2.1.6 Técnicas para melhorar o desempenho dos indutores

As técnicas que melhoram o valor da indutância e o fator de qualidade dos indutores causam alterações no processo e na estrutura do indutor. As alterações no processo de fabricação podem ser:

- utilização de substrato com alta resistividade: isto resulta na redução das correntes que circulam no substrato e, em consequência, obtêm-se maiores valores de L e Q ;
- utilização de camadas metálicas mais espessas: para reduzir o aumento da resistência das camadas metálicas devido ao efeito pelicular, utiliza-se, comumente, camadas com espessuras da ordem de cinco vezes a profundidade de penetração na frequência de operação do circuito.

Neste trabalho, para implementar os indutores externos, são utilizados substratos com maior resistividade que o silício, no caso alumina, e camadas de metal de ouro de $5\mu\text{m}$ de espessura, que são menos resistivas.

As alterações na estrutura podem ser:

- formato: os indutores podem ser simétricos ou não, e sua forma pode ser octogonal, circular, retangular, quadrado, entre outros;
- geometria: o número de voltas do indutor (n), o comprimento externo (l_{ext}), a largura (w) e o espaçamento entre os segmentos (s);
- grade (*Pattern Ground Shield* - PGS): uma forma de se evitar o aparecimento da corrente de *eddy* no substrato é impedindo que o fluxo magnético chegue até ele. Isto pode ser obtido, por exemplo, através da utilização de uma grade de silício policristalino [2.21]. O fluxo magnético induz correntes no silício policristalino, correntes de *eddy*. Estas correntes geram um fluxo contrário ao original e evitam que o campo magnético chegue ao substrato. A primeira vista não parece haver qualquer ganho, pois as correntes simplesmente passaram do substrato para a grade. O ganho está na redução das perdas causada pelas correntes, pois o silício policristalino é mais condutivo que o substrato.

2.2 Indutores externos

Com o intuito de obter um melhor desempenho do indutor, optou-se por utilizar alguns materiais diferentes dos convencionalmente usados pelas *foundries*, como a AMS na tecnologia CMOS 0,35 μ m, obtendo assim um indutor externo ao *chip*.

Este capítulo está voltado para a descrição dos materiais para a fabricação do indutor externo, bem como as principais características dos mesmos. Ademais, são apresentadas as etapas de processos de fabricação do indutor. Também são ilustradas as estruturas utilizadas para caracterização. Finalmente, há o detalhamento da máscara para a fabricação dos indutores.

2.2.1 Materiais utilizados

Após alguns estudos sobre resistividade do substrato, condutividade da camada metálica, e qual o dielétrico poderia ser espesso, isolante e fácil de trabalhar, escolheu-se alumina, ouro e o SU-8, respectivamente.

2.2.1.1 Substrato

O substrato escolhido para o indutor externo foi o de alumina (Al_2O_3) com 99,6% de pureza. A alumina é um importante material de engenharia. Oferece uma combinação de boas propriedades mecânicas e elétricas levando a uma ampla gama de aplicações. Seguem algumas características da alumina ([2.22], [2.23], [2.24] e [2.25]):

- boa condutividade térmica;
- alta resistência para choque térmico;
- superfície com alta uniformidade e nivelamento, e com baixa porosidade;
- baixo empenamento e curvatura;
- estável em temperaturas muito altas e corrosões químicas;
- boa adesão à metalização;
- baixo custo;

- utilização em encapsulamento.

A Tabela 1 ilustra a comparação entre substrato de silício (tecnologia CMOS 0,35 μm da AMS) e alumina (99,6%), ambos processos escolhidos para este trabalho, havendo outros tipos de substratos de alumina e silício em outras tecnologias.

Tabela 1 – Comparação entre os substratos de alumina e silício tipo P.

Substratos	Espessura (μm)	Constante dielétrica	Resistividade ($\Omega\cdot\text{cm}$)
Alumina	381	9,9	1×10^{14}
Silício-P (AMS)	725	11,9	19

Levando em consideração o fato de que neste projeto seriam desenvolvidos circuitos em RF, tomou-se o cuidado de trabalhar com lâminas de alumina com menor rugosidade possível, para obter a maior uniformidade nas camadas utilizadas. Vale ressaltar que se fez isso de forma que não comprometesse a aderência das camadas de metal com o substrato nos processos de fabricação.

2.2.1.2 Camada metálica

Para a camada do indutor foi escolhido o ouro (Au), visto que tem melhores propriedades elétricas que outros materiais, tais como maior condutividade. Para obter uma melhor aderência do ouro sobre a placa de alumina, e para ter uma semente para fazer eletrodeposição deposita-se 0,15 μm de AuTi entre eles.

Uma comparação entre a camada de metal mais espessa (MET4 – Alumínio) utilizada na tecnologia CMOS 0,35 μm da AMS e a camada de ouro escolhida, pode ser observada na Tabela 2.

Para se determinar a espessura da camada de ouro a ser utilizada no indutor, calculou-se a profundidade pelicular (δ_{Au}), descrita pela equação (2.5), onde a permeabilidade relativa do ouro $\mu_{\text{rAu}}=0,99996$ [2.26], e a frequência de operação é de 2,45GHz, obteve-se que $\delta_{\text{Au}}=1,58\mu\text{m}$.

Tabela 2 – Comparação entre as camadas de Au e Al.

Metais	Espessura (μm)	Resistência de Folha ($\text{m}\Omega/\square$)
Au	5	4,8
MET4 (AMS)	0,93	40

É conveniente dizer que o valor calculado da profundidade pelicular é referente a uma estimativa da espessura por onde passa uma parte da corrente. Para se ter um melhor aproveitamento, deve-se multiplicar o valor encontrado por 4, garantindo que a passagem da corrente não seja pelicular, e sim que ela passe em grande profundidade no condutor.

Por outro lado, não vale a pena aumentar demasiadamente a espessura, pois a partir de um determinado valor não fará diferença na passagem de corrente e apenas gastará material, desperdiçando tempo com o processo, energia, e é claro, dinheiro.

Outro fator que contribui para a determinação da máxima espessura é a característica mecânica. Neste trabalho pretendia-se trabalhar com $6\mu\text{m}$, porém foi estudado que não seria viável, pois a partir de $5\mu\text{m}$, o ouro poderia apresentar rachaduras, além de não apresentar muita diferença no valor da resistência do segmento e no Q entre as espessuras de 5 e $6\mu\text{m}$.

Tabela 3 – Relação entre a espessura do ouro e a R_s , Q e L do indutor (2,45GHz).

Espessura (μm)	$R_s (\Omega)$	Q	L (nH)
1	10,58	9	6,38
2	6,30	15	6,25
3	4,85	19	6,15
4	4,24	21	6,06
5	3,98	22	5,98
6	3,87	22	5,89

Na Tabela 3 estão ilustrados os resultados de simulação para avaliar o impacto da espessura na resistência série do indutor, no fator de qualidade e no valor da indutância. Esta simulação foi realizada com os parâmetros do processo determinado para o indutor externo, no programa gratuito ASITIC [2.27]. A frequência de operação utilizada foi 2,45GHz, e o indutor tem as seguintes

características: $l_{\text{ext}}=250\mu\text{m}$, $w=10\mu\text{m}$, $s=5,5\mu\text{m}$ e $n=5,5$ (onde n é o número de voltas do indutor).

2.2.1.3 Camada Dielétrica

Para a camada dielétrica foi escolhido o SU-8, um tipo de fotorresiste negativo (polímero fotossensível a luz ultravioleta). É um polímero com alta viscosidade, por isso pode atingir espessuras na faixa de valores menores de $1\mu\text{m}$ até $400\mu\text{m}$. Podem definir estruturas com alta razão de aspecto de 17:1. O fotorresiste negativo SU-8 é largamente usado na área de microfluídica e peças para MEMS. Também é utilizado para encapsulamento.

As propriedades principais do SU-8 são [2.28 e 2.29]:

- boa robustez;
- termicamente estável;
- boa uniformidade da camada;
- camadas espessas;
- alta razão de aspecto.

Um estudo comparativo entre as camadas dielétricas utilizada na tecnologia CMOS $0,35\mu\text{m}$ da AMS e a de SU-8 está ilustrado na Tabela 4.

Tabela 4 – Comparação entre as camadas dielétricas.

Dielétricos	Espessura (μm)	Constante dielétrica	Resistividade ($\Omega.\text{cm}$)
SU-8	2	4,1	$2,8 \times 10^{16}$
PROT1 (AMS)	1,825	3,9	1×10^{10}

Optou-se por uma espessura de $2\mu\text{m}$ com o objetivo de reduzir a capacitância no isolante.

2.2.2 Processos de fabricação

Para a fabricação do indutor pretende-se utilizar as técnicas de deposição por feixe de elétron para obter uma camada fina de metal, *spinner* para depositar a camada isolante entre os metais, eletrodeposição para atingir a espessura de 5µm de ouro, e corrosão úmida para definir os padrões desejados. A seguir estão descritas essas técnicas, juntamente com as etapas de processos.

2.2.2.1 Deposição

Neste trabalho, foram estabelecidos os seguintes tipos de equipamentos/deposição para a fabricação do indutor externo: feixe de elétrons (*electron beam*), *spinner*, e eletrodeposição.

O *electron beam* utiliza uma técnica de deposição PVD (*Physical Vapor Deposition*). Este tipo de deposição foi usado para as camadas finas de metal para serem a semente para a eletrodeposição. A deposição física a vapor consiste em:

- 1) O material a ser depositado (fonte sólida) é convertido para a fase de vapor por processo físico;
- 2) O vapor é transportado da fonte até o substrato através de uma região de baixa pressão;
- 3) O vapor condensa sobre o substrato para formar o filme fino.

Figura 10 – *Electron beam*.

Na Figura 10 temos um modelo de um equipamento *electron beam*. O funcionamento simplificado é descrito a seguir. Inicialmente mantém-se a pressão a 10^{-6} mbar, liga-se a fonte em uma alta tensão elétrica, aquecendo o filamento que emitirá os elétrons aleatoriamente; estes por sua vez atingirão o alvo do material a ser depositado; o material é arrancado e evaporado indo depositar no substrato [2.30].

Outro equipamento é o *spinner*, o qual é usado para espalhar os polímeros, como os fotorresistes, através da rotação. Uma vez colocado o fotorresiste em cima da lâmina, liga-se o *spinner*, que gira a lâmina com velocidade e tempo controlados para obter a espessura desejada. Este equipamento foi escolhido para depositar a camada isolante (resiste negativo – SU-8) entre as camadas de metal.

Algumas reações químicas se realizam de forma espontânea em determinadas condições e podem até sere usadas para produzir energia elétrica. Outras requerem energia externa para que possam ocorrer. O uso de energia elétrica para produzir reações químicas é chamado eletrólise, sendo a eletrodeposição um exemplo de aplicação.

Figura 11 – Eletrólise.

A eletrodeposição se define como o processo de deposição de um filme em um substrato utilizando uma corrente elétrica [2.31]. A Figura 11 mostra uma célula eletroquímica ou cuba eletrolítica. Esta cuba eletrolítica é composta por uma solução ou eletrólito de um sal ácido e dois eletrodos. O eletrodo conectado ao positivo de uma fonte de tensão se denomina ânodo. Ele pode ser um material inerte à solução ou um metal onde se produzirá a oxidação. O eletrodo conectado ao negativo da fonte se denomina cátodo. Os elétrons fluem do ânodo ao positivo da fonte produzindo um cátion do metal na solução. Os elétrons atingem o cátodo através do negativo da fonte, neutralizando as cargas positivas dos íons metálicos (cátions) na

solução e transformando estes íons em átomos do metal. Logo estes átomos são atraídos pelo cátodo sendo removido da solução. Este movimento de cátions traduz-se em uma corrente através da solução, fechando o circuito elétrico. A energia elétrica proporcionada pela fonte causa a reação química (eletrolise) na solução. O resultado total é a eletrodeposição de um filme metálico no cátodo a partir dos íons do sal em solução e dos cátions do metal dissolvido no ânodo.

2.2.2.2 Corrosão

Para corroer os metais e o material isolante foi proposto a corrosão química via úmida, ou seja, por meio aquoso. Ela é realizada através de uma solução como solventes, álcool isopropílico, acetona, entre outros.

A lâmina fica imersa na solução, através do auxílio de uma pinça, pelo tempo necessário para a corrosão, sendo movimentada lentamente. Após esse tempo, retira-se a lâmina dessa solução e coloca-a em outro *becker* com água para cessar a corrosão. A Figura 12 ilustra a corrosão química via úmida.

Figura 12 – Corrosão úmida.

2.2.3 Etapas de processos

Neste item estão descritas as etapas de processos realizadas para a fabricação do indutor externo. A seguir, a Figura 13 apresenta essas etapas. Para essas etapas serem concluídas, tem-se cinco máscaras. As quatro primeiras máscaras serão fabricadas em quartzo, pois tem como dimensão mínima $5\mu\text{m}$ e necessitam ter alta resolução. A máscara 5 será utilizada para a definição dos *pads*, com dimensão mínima de $120\mu\text{m}$, podendo ser de fotolito, a qual tem um menor custo.

- 1) Lâmina de alumina
- 2) Deposição de AuTi ($0.15\mu\text{m}$) – feixe de elétrons
- Para melhorar a aderência do Au com a alumina e semente para crescer o Au
- 3) Deposição de Au ($5\mu\text{m}$) – eletrodeposição
- Camada 1 do indutor
- 4) Máscara 1 – Campo escuro
Deposição de fotorresiste positivo e exposição de U-V – *spinner* e exposição U-V
- Definir a camada 1 do indutor
- 5) Remoção do fotorresiste – corrosão úmida
- 6) Corrosão do Au e AuTi – corrosão úmida
- 7) Remoção total do fotorresiste – corrosão úmida
- 8) Máscara 2 – Campo claro
Deposição de SU-8 ($2\mu\text{m}$) (negativo) e exposição de U-V – *spinner* e exposição U-V
- Camada isolante entre as camadas de metal do indutor
- 9) Remoção do SU-8 – corrosão úmida
- 10) Deposição de Ni ($0,1\mu\text{m}$) – feixe de elétrons
- Semente para crescer o Au
- 11) Máscara 3 – Campo escuro
Deposição de fotorresiste positivo e exposição U-V – *spinner* e exposição U-V
- Definir a via
- 12) Remoção do fotorresiste – corrosão úmida
- 13) Deposição de Au ($2\mu\text{m}$) – eletrodeposição
- Via

Figura 13 – Etapas de Processos para a fabricação do indutor externo.

2.2.4 Caracterização

Para caracterizar os indutores, foram projetadas algumas estruturas de teste. Vale ressaltar a importância de validar, também, os processos de fabricação,

verificando a resistência de folha e a largura da linha do metal (Au). Para tanto, foram projetadas algumas estruturas que são explicadas neste item.

2.2.4.1 Estruturas para caracterizar os indutores

Foram projetadas estruturas de teste para caracterizar os indutores [2.1]. O intuito das mesmas é caracterizar e subtrair as impedâncias associadas aos *pads*. Estas estruturas têm três *pads* GSG (*ground-signal-ground*) para cada porta do indutor e possuem um plano de terra que tem a finalidade de definir melhor um ponto de referência para as medidas. Os terminais dessas estruturas são: S₁ e T₁ para os sinais de entrada e terra, respectivamente, da porta 1; e S₂ e T₂ para os sinais de entrada e terra da porta 2.

Cada uma das estruturas de teste apresenta vários elementos parasitas que são incluídos nas medidas elétricas do indutor [3.32]. A Figura 14 ilustra um modelo equivalente para estas estruturas, com os diversos elementos parasitas incorporados, e o indutor sob teste. Os elementos parasitas são dados por: z_c , a impedância de contato entre as pontas de prova e a superfície dos *pads*; z_p , a impedância de acoplamento entre os *pads* de sinal de entrada/saída e o terra; z_1 e z_2 , impedância série entre os *pads* de entrada/saída e os terminais do indutor; z_3 e z_4 , o acoplamento entre a entrada/saída e o substrato; e z_f , o acoplamento entre os *pads* de entrada e de saída.

Figura 14 – Modelo equivalente das impedâncias das estruturas de teste.

A cada estrutura de teste estão associadas estruturas de caracterização que permitirão determinar o valor dos elementos z_c , z_p , z_1 , z_2 , z_3 , z_4 , e z_f descritos acima, para que seja possível cancelar seus efeitos nas medidas dos indutores. As estruturas

de caracterização são montadas a partir de modificação das próprias estruturas de teste, e são três como descritas abaixo:

- Estrutura de caracterização *short/open*: esta estrutura é montada a partir da estrutura de teste fazendo um curto entre um dos terminais de sinal (S_1 ou S_2) e o terra e deixando aberto o outro terminal. Ela servirá para determinar as impedâncias z_c e z_p .
- Estrutura de caracterização *short*: esta estrutura é montada a partir da estrutura de teste fazendo um curto entre as trilhas que vêm dos terminais S_1 e S_2 e o metal sob a estrutura, próximo ao ponto onde deve ser ligado o indutor. Esta estrutura servirá para determinar as impedâncias z_l e z_2 .
- Estrutura de caracterização *open*: esta estrutura é montada a partir da estrutura de teste deixando em aberto os terminais S_1 e S_2 . Ela servirá para determinar as impedâncias z_3 , z_4 e z_f .

Os modelos das estruturas de teste estão representados nas Figura 15 (*short/open*), Figura 16 (*short*) e Figura 17 (*open*).

Figura 15 – Estrutura de caracterização *short-open*.

Figura 16 – Estrutura de caracterização *short*.

Figura 17 – Estrutura de teste *open*.

Tanto para determinar os elementos parasitas de cada estrutura como para cancelar seus efeitos nas medidas utilizou-se o método de subtração de impedâncias descrito em [2.32] e com maiores detalhes em [2.1].

2.2.4.2 Estruturas para validar o processo

Para caracterizar o processo, foram utilizadas as seguintes estruturas [2.33] projetadas no substrato de alumina, desenvolvidas com os mesmos processos de fabricação dos indutores:

a) “*Cruz-Ponte*”: determina-se a largura de linha e a resistência de folha. A Figura 18 ilustra a estrutura em questão.

Figura 18 – Estrutura “cruz-ponte”.

As dimensões desta estrutura são: *pads* com 120μm x 120μm, largura de linha de 10μm e comprimento de 450μm.

I. Resistência de folha:

I.1- aplicando uma corrente entre os terminais 1 e 2, mede-se a tensão entre os terminais 4 e 5, através da equação (2.19) determina-se R_{sh1} (resistência de folha 1).

$$R_{sh1} = \frac{\pi}{\ln 2} \frac{V_{45}}{I_{12}} = 4,53 \frac{V_{45}}{I_{12}} \quad (2.19)$$

I.2- aplicando uma corrente entre os terminais 2 e 5, mede-se a tensão entre os terminais 1 e 4, de tal maneira que fiquem em 90 graus em relação aos terminais usados para as medidas do R_{sh1} . Com a equação (2.20) determina-se R_{sh2} (resistência de folha 2).

$$R_{sh2} = \frac{\pi}{\ln 2} \frac{V_{14}}{I_{25}} = 4,53 \frac{V_{14}}{I_{25}} \quad (2.20)$$

I.3- Calcula-se R_{shT} (resistência de folha total) através da equação (2.21).

$$R_{shT} = 0,5.(R_{sh1} + R_{sh2}).F \quad (2.21)$$

onde, F é conhecido como função de *Van der Pauw*, este valor, poder ser considerado 1. Quando a relação entre R_{sh1} e R_{sh2} é muito pequena, inferior a 5%.

II. Largura de linha (w):

II.1- aplicando uma corrente entre os terminais 5 e 6 e mede-se a tensão entre os terminais 2 e 3. Determina-se R (resistência) através de (2.22).

$$R = \frac{V_{23}}{I_{56}} \quad (2.22)$$

II.2- Obtem-se w pela equação (2.23).

$$w = R_{shT} \frac{L}{R} \quad (2.23)$$

onde L é o comprimento da linha, R foi obtido pela equação (2.22) e R_{shT} foi obtido através da equação (2.21).

b) *Kelvin*: obtem-se a resistência de contato. A Figura 19 ilustra a estrutura *Kelvin*, onde as cores distintas significam camadas de metal diferentes. As dimensões desta estrutura são: *pads* com $120\mu\text{m} \times 120\mu\text{m}$, contato de $10\mu\text{m} \times 10\mu\text{m}$ e largura de linha de $14\mu\text{m}$.

Figura 19 – Estrutura *Kelvin*.

I. aplica-se corrente entre os terminais 2 e 3 e mede-se a tensão nos terminais 1 e 4. O cálculo da resistência de contato pode ser calculada por (2.24).

$$R_c = \frac{V_{14}}{I_{32}} \quad (2.24)$$

c) Análise da resolução, litografia e corrosão:

I. Largura fixa e espaçamento variável, Figura 20.

Figura 20 – Largura fixa e espaçamento variável.

As dimensões desta estrutura são: largura constante de $10\mu\text{m}$ e espaçamento variável de $15\mu\text{m}$, $12\mu\text{m}$, $10\mu\text{m}$, $9\mu\text{m}$, $8\mu\text{m}$, $7\mu\text{m}$ e $5\mu\text{m}$.

II. Largura variável e espaçamento fixo, Figura 21.

Figura 21 – Largura variável e espaçamento fixo.

As dimensões desta estrutura são: largura variável de $15\mu\text{m}$, $12\mu\text{m}$, $10\mu\text{m}$, $9\mu\text{m}$ e $8\mu\text{m}$ e espaçamento fixo de $10\mu\text{m}$.

d) Análise de cantos:

I. Largura fixa e espaçamento variável dos cantos, Figura 22.

Figura 22 – Largura fixa e espaçamento variável dos cantos.

As dimensões desta estrutura são: largura fixa de $10\mu\text{m}$ e espaçamento variável de $10\mu\text{m}$, $9\mu\text{m}$, $8\mu\text{m}$, $7\mu\text{m}$ e $5\mu\text{m}$.

II. Largura variável e espaçamento fixo, Figura 23.

Figura 23 – Largura variável e espaçamento fixo dos cantos.

As dimensões desta estrutura são: largura variável de $12\mu\text{m}$, $10\mu\text{m}$, $9\mu\text{m}$ e $8\mu\text{m}$ e espaçamento fixo de $10\mu\text{m}$.

2.2.4.3 Indutores externos para teste

Foram projetados seis indutores externos, colocados dentro das estruturas de caracterização dos indutores, para validar o processo de fabricação. A Figura 24 ilustra o *layout* de todas as estruturas de teste, tanto de caracterização, quanto para validar o processo, incluindo os indutores.

Na Figura 24 estão apresentadas as seguintes estruturas de teste (descritas na nos itens anteriores):

- 1) Estruturas com o indutor: A.1, A.2, A.3, A.4, A.5 e A.6. Cada uma delas tem indutores com geometrias diferentes, descritos na Tabela 5 juntamente com o valor de L e Q, na frequência de 2,45GHz.
- 2) Estruturas para determinar as impedâncias dos *pads* e das parasitas das estruturas de testes: B.1 (*open*), B.2 (*short-open*) e B.3 (*short*);
- 3) Estrutura para determinar a largura da linha e resistência de folha (“cruz-ponte”): C;
- 4) Estrutura para determinar a resistência de contato (Kelvin): D;
- 5) Estrutura para análise de corrosão e litografia: E.1, E.2 e E.2;
- 6) Estrutura para análise de cantos: F.1 e F.2.

Figura 24 – Layout das estruturas para teste (processo e caracterização dos indutores externos) (2,0 x 2,5mm²).

Tabela 5 – Parâmetros dos indutores para teste.

Parâmetros	A.1	A.2	A.3	A.4	A.5	A.6
L (nH)	5	6	7	2,25	6	14
Q	32	29	29	34	31	27
l_{ext} (μm)	280	280	280	280	280	300
w (μm)	14	13	11	18	12	9
s (μm)	5	5	5,5	5	4	4
n	4,5	5,5	5,5	2,75	4,5	7,5

*O Q foi simulado na frequência central de 2,45GHz.

Os parâmetros dos indutores apresentados na Tabela 5, obtidos através de simulações no ASITIC, são: o valor da indutância (L), o fator de qualidade em 2,45GHz (Q), o comprimento externo (l_{ext}), a largura (w), o espaçamento entre os segmentos (s), o número de voltas (n). Os indutores A.1 e A.2 são os mesmos utilizados nos circuitos do LNA e do VCO. O indutor A.3 tem características

semelhantes aos A.1 e A.2. O indutor A.4 foi projetado para ter o mesmo valor de indutância do indutor interno que foi utilizado em um dos circuitos do LNA. Nos indutores A.5 e A.6 tentou-se avaliar se o processo poderia fornecer um $s=4\mu\text{m}$ ao invés de $5\mu\text{m}$, que foi determinado como valor limite do processo. Com o A.6 pretende-se analisar, também, qual o comportamento do indutor com altos valores de indutância, no caso 14nH.

Os resultados de simulação dos indutores externos para teste estão apresentados a seguir. Como dito anteriormente, os indutores foram projetados no ASITIC, o qual também gerou seus *layouts* (Figura 25). A seguir estão apresentados os modelos PI para cada indutor (Tabela 6) e também a variação da indutância e do fator de qualidade em relação a frequência, Figura 26 e Figura 27, respectivamente.

Para gerar os gráficos em função da frequência devem-se levar em consideração os mesmos parâmetros de medida, para depois compará-los. Tendo isso em vista, foi necessário utilizar como resultados de simulação os parâmetros Y (real e imaginário), e determinar os valores de L e Q de acordo com as equações (2.25) e (2.26), respectivamente, para indutores com um dos terminais aterrados, caso dos LNAs.

$$L = \frac{1}{\omega \text{Im}(y_{11})} \quad (2.25)$$

onde, ω é a frequência em rad/seg.

$$Q = \frac{\text{Im}\left(\frac{1}{y_{11}}\right)}{\text{Re}\left(\frac{1}{y_{11}}\right)} \quad (2.26)$$

As equações (2.27) e (2.28) são para L e Q, respectivamente, para indutores medidos de forma diferencial, casos dos indutores dos VCOs e dos indutores externos para teste (validação do processo).

$$L = \frac{1}{\omega \text{Im}(y_{diff})} \quad (2.27)$$

$$Q = \frac{\text{Im}\left(\frac{1}{y_{diff}}\right)}{\text{Re}\left(\frac{1}{y_{diff}}\right)} \quad (2.28)$$

onde, y_{diff} é dado pela equação (2.29)

$$y_{diff} = \frac{y_{11} \cdot y_{22} - y_{12}^2}{y_{11} + y_{22} + 2 \cdot y_{12}} \quad (2.29)$$

Figura 25 – *Layout* do indutor externo para teste (A.3=7nH).

Tabela 6 – Parâmetros simulados do modelo PI dos indutores externos para teste.

Parâmetros do Indutor	A.1	A.2	A.3	A.4	A.5	A.6
L_s (nH)	5,04	6,22	7,12	2,31	6,03	14,19
R_s (Ω)	2,38	3,20	3,62	1,03	2,91	7,40
C_{sub1} (fF)	30,7	33,00	32,50	29,65	31,33	35,80
C_{sub2} (fF)	19,3	19,92	20,19	20,46	20,49	21,85
R_{sub1} (Ω)	2,8	2,04	2,09	2,46	3,31	1,82
R_{sub2} (Ω)	8,14	6,87	6,85	5,62	8,93	7,67
Q^*	32	29	29	34	31	27

*O Q foi simulado na frequência central de 2,45GHz.

Os parâmetros simulados dos indutores apresentados na Tabela 6 são: o valor da indutância (L_s), a resistência série (R_s), a capacitância do substrato em um dos terminais do indutor (terminal que usa a camada de metal no nível inferior ao máximo que o processo permite utilizar) (C_{sub1}), a capacitância do substrato no outro terminal do indutor (terminal que usa a camada de metal no nível máximo que o processo permite utilizar) (C_{sub2}), a resistência do substrato em um dos terminais do indutor (terminal que usa a camada de metal no nível inferior ao máximo que o processo permite utilizar) (R_{sub1}), a resistência do substrato no outro terminal do indutor (terminal que usa a camada de metal no nível máximo que o processo permite utilizar) (R_{sub2}) e o fator de qualidade (Q).

As variações de indutância e do fator de qualidade em função da frequência para os seis indutores para teste estão ilustradas nas Figura 26 e Figura 27, respectivamente. Os indutores foram simulados entre 50MHz e 6GHz.

Figura 26 – Simulação da variação da L versus a frequência para os indutores externos para teste.

Figura 27 – Simulação da variação do Q versus a frequência para os indutores externos para teste.

Vale ressaltar que o indutor A.6, por ter um valor de indutância alto, tem um comportamento diferente dos demais indutores. Isto se deve ao fato de que se

manteve o l_{ext} , por causa das estruturas de caracterização, e com isso, a frequência de ressonância deste indutor é perto de 8GHz, menor do que a frequência de ressonância dos outros indutores externos projetados, que é maior do que 10GHz.

2.2.4.4 *Layout* da placa de alumina com os indutores externos, PADS e trilhas para conexão RF e alimentação DC

Neste item estão os *layouts* da placa de alumina contendo os indutores externos, *pads* para colocar os capacitores para desacoplamento DC e redução de ruído das fontes DC (tanto para baixa quanto para alta frequência) utilizados para as medidas, os *pads* DC e RF e as conexões dos mesmos (uma vez que toda a polarização e medida dos circuitos será feita sobre a placa de alumina), as estruturas de teste apresentadas no item anterior, além das marcas de alinhamento para a correta execução do processo de fabricação. A área total da placa é de 2" x 2" (5,08cm x 5,08cm).

Figura 28 – *Layout* completo da placa de alumina. 1) *pads* para conexão RF; 2) *pads* para os capacitores; 3) *pads* para alimentação DC; 4) Estruturas de teste.

Figura 30 – Marcas de alinhamento das quatro máscaras feitas em quartzo.

Como mostrado na Figura 29 e Figura 30 (os números do lado direito da figura) foram projetados três grupos de marcas de alinhamento: 1, 2 e 3, o que refere-se ao tamanho das marcas para minimizar o erro de alinhamento. A marca de alinhamento 1 (menor) tem três subgrupos, chegando até a dimensão de largura que será utilizada para a fabricação do indutor. As dimensões dos três grupos estão descritas na Tabela 7, onde a, b e c estão ilustrados na Figura 30.

Tabela 7 – Dimensões das marcas de alinhamento das máscaras para a fabricação dos processos na placa de alumina.

Marcas de alinhamento		Dimensões (μm)		
		a	b	c
1	1.1	100	300	300
	1.2	30	100	100
	1.3	10	50	50
2	-	200	600	600
3	-	500	1500	1500

Esses grupos de marcas de alinhamento foram projetados de tal forma que reduza o erro de alinhamento o máximo possível. Para um ajuste mais grosso tem-se as maiores dimensão dos “L”s até chegar em um ajuste fino com as menores dimensões dos “L”s.

Fazendo uma ampliação ainda maior na Figura 29 tem-se a Figura 31, onde podemos observar um indutor e alguns *pads*. A Figura 31 ilustra apenas uma das

camadas do processo, no caso a máscara 4 (ou seja, a segunda camada de ouro utilizada para fabricar o indutor). Para fabricar esta camada, será utilizada uma máscara de campo escuro e resiste negativo para a definição do padrão desejado, crescendo Au via eletrodeposição. Na Figura 13 tem a descrição de todas as etapas de processos.

Figura 31 – Ampliação de um dos indutores externos e seus *pads* – máscara 4.

Neste capítulo foram abordadas a teoria dos indutores integrados, a descrição detalhada do processo de fabricação dos indutores externos, desde a escolha dos materiais a serem utilizados até a definição das etapas de processo deste indutor, algumas estruturas de caracterização dos indutores externos, seus resultados de simulação e o layout da placa de alumina com os indutores externos, *pads* e trilhas para conexão RF e alimentação DC.

3 – Tecnologia *Flip Chip*, VCO e LNA

Neste capítulo estão apresentadas as teorias sobre a tecnologia *flip chip*, e os dois blocos RF a serem abordados neste trabalho, VCO e LNA. Também estão detalhados como foram projetados os indutores, os VCOs e os LNAs, mostrando como determinar suas dimensões e condições de polarização

3.1 *Flip chip*

Flip chip é uma técnica para unir o *chip* a um circuito externo (podendo ser uma placa de circuito impresso, um outro circuito ou lâmina). Os *chips* são colocados com a face para baixo e os *pads* são alinhados e fixados nos *pads* do circuito externo através de bolas de solda (*bumps*), pasta de solda, entre outros. Em aplicações de alta performance o *flip chip* tem muitas vantagens em relação à tecnologia tradicional de interconexão *wire bonding*.

A IBM introduziu a tecnologia *flip chip* de interconexão, no início dos anos 60, para seus computadores e continua usando até hoje. A Delco Eletronics desenvolveu *flip chip* para aplicações automotivas nos anos 70. A Delphi Delco coloca, atualmente, mais de 300.000 *flip chip* em *dies* por dia em circuitos eletrônicos automotivos [3.1]. No futuro a tendência é aumentar cada vez mais a utilização desta técnica e o preço ser cada vez menor.

As vantagens do *flip chip* são [3.2, 3.3, 3.4]:

- permite interconexões que podem ser em uma área completa (*area-array*) não apenas no perímetro, incluindo pontos de interconexão sobre circuitos ativos, o que possibilita um alto número de pinos de entrada e saída (I/O);
- tem baixas parasitas de indutância e resistência, ver Tabela 8;
- minimiza as interferências eletromagnéticas, sendo importante para aplicações em rádio frequência;
- oferece uma distribuição uniforme de corrente no *chip* completo, uma vez que se pode entregar a potência em todos os quadrantes do *chip* (não somente na periferia), o que é muito importante para aplicações de alta potência;

- altíssimo *yield* na fabricação devido ao alto alinhamento dos equipamentos da tecnologia *flip chip*.

Tabela 8 – Comparação das impedâncias RLC das técnicas *wire bonding* e *flip chip* [3.5]

Técnicas	R (mΩ)	L (nH)	C (pF)
<i>wire</i>	90	2,58	0,02
<i>flip chip</i>	30	0,06	0,17

Na Tabela 8 foi considerado um fio (*wire*) com diâmetro de 32μm, e comprimento de 2,5mm; enquanto que para a bola de solda de *flip chip* considerou-se diâmetro de 125μm e distância entre as bolas (*pitch*) de 250μm.

As desvantagens do *flip chip* são [3.1, 3.2 e 3.6]:

- inspeção dificultada;
- compatibilidade fraca com SMT (*Surface Mount Technology*);
- necessidade de montagem com alta precisão;
- tempo de cura longo dos materiais para *underfilling*, quando necessário;
- re-trabalho ou reparo difícil ou as vezes impossível.;
- deve-se tomar cuidado com a expansão térmica, pois os *bumps* ficam muito próximos.

Os dispositivos e aplicações que mais comumente utilizam *flip chip* são [3.6]: ASICs e microprocessadores; memórias; algumas unidades de disco rígido; cabeçotes de impressoras; circuitos digitais, analógico, de potência e RFICs; telefones celulares; impressoras a laser; *palm-tops* e aparelhos de Internet; sensores; transceptores (óticos e RF); relógios; receptores GPS; controles para *airbag*, entre outros.

Existem diversos métodos utilizados na técnica *flip chip*. Neste trabalho será descrito apenas o *stud bump*. Este é um método simples e será utilizado para unir o indutor externo ao *chip* neste trabalho.

O processo *flip chip* com *stud bump* que utiliza fio de ouro é uma modificação da técnica de *wire bonding*. Esta técnica produz uma bola de ouro através de um fio, o qual é cortado, formando uma esfera com uma ponta. Pode-se ver uma ilustração na Figura 32 [3.6].

Figura 32 – Formação do *stud bump* [3.6].

Os substratos adequados para a tecnologia *flip chip* são os cerâmicos, incluindo alumina e borosilicato (vidros); e os orgânicos, como FR-4, PTFE, BT e políimida. Como dito no capítulo 2, foi escolhido substrato de alumina, e um dos motivos é o fato de poder trabalhar com *flip chip*, além de ter melhores características elétricas para a fabricação dos indutores, poder ser utilizado em encapsulamento, entre outros.

Neste trabalho, para os projetos dos VCOs e dos LNAs, com indutores externos conectados via *flip chip*, foi utilizado um modelo de interconexão de *flip chip* para considerar os elementos parasitários da bola de solda da técnica em questão. A Figura 33 ilustra esse modelo [3.7].

Figura 33 – Modelo de interconexão de *flip chip*.

3.1.1 Etapas de processos

Para a realização deste trabalho, foram apresentadas duas possíveis etapas de processos.

O primeiro passo foi determinar as dimensões dos *pads* e o espaçamento, sendo $120\mu\text{m} \times 120\mu\text{m}$ e $80\mu\text{m}$, respectivamente. Estas dimensões são necessárias para que seja possível colocar a bola de solda sem curto-circuitar nenhum terminal.

As etapas de processos para a primeira possibilidade, com o uso de *stud bump*, são:

- com um fio de ouro, faz-se a bolinha no *pad* do indutor (na placa de alumina);
- alinhamento dos *pads* do CI (*die*), contendo os circuitos (no caso VCO e o LNA), com os *pads* do indutor externo (placa de alumina);
- união dos *pads* do *die* com a placa de alumina (os da alumina já com as bolas de solda);
- recozimento para fixar a união dos *pads*.

A segunda possibilidade é constituído de pasta de solda e tem as seguintes etapas:

- a pasta de solda é depositada no *pad*. A pasta pode ser de Pb/Sn/Ag ou Sn/Ag/Cu. Tem-se uma forte tendência a não utilizar chumbo, porém há alguns estudos que afirmam que com chumbo tem-se um melhor resultado [3.8];
- faz-se um recozimento para que ela (a pasta) vire uma bolinha (*reflow*);
- alinhamento dos *pads* do CI, contendo o circuito (no caso VCO e LNA), com os *pads* do indutor externo (placa de alumina);
- união dos *pads* do *die* com a placa de alumina (os da alumina já com as bolas de solda);
- recozimento para fixar a união dos *pads*.

3.2 Oscilador controlado por tensão – VCO

Neste capítulo estão apresentadas a teoria básica de osciladores, de osciladores controlados por tensão (VCOs) e algumas topologias destes.

3.2.1 Teoria de osciladores

Um circuito oscilador pode ser modelado como mostrado na Figura 34, como uma combinação de um amplificador com um ganho $A(s)$ e uma malha de realimentação dependente da frequência $F(s)$ [3.9, 3.10].

Figura 34 – Modelo de um circuito oscilador.

A função de transferência da Figura 34 é (3.1).

$$\frac{V_o}{V_i} = \frac{A(s)}{1 - A(s).F(s)} \quad (3.1)$$

Este sistema proporciona uma saída periódica na frequência desejada (s_o), desde que a equação (3.2) seja válida. A expressão é conhecida como critério de Barkhausen, onde $A(s).F(s)$ é frequentemente chamado de *loop gain* [3.10].

$$A(s_o).F(s_o) = 1 \quad (3.2)$$

Para satisfazer a equação acima, a magnitude do ganho em malha (*loop gain*) deve ser igual a um e o deslocamento de fase deve ser zero. Tipicamente, a magnitude de um ganho de malha inicial é projetada para ser maior que um, garantindo assim a oscilação. Então, como a magnitude de um sinal periódico aumenta, a magnitude do ganho de malha é reduzida para um, pela não linearidade do amplificador em sua operação de estado estável.

Figura 35 – Rede de duas portas do oscilador.

Outra forma de entender o oscilador é através da Figura 35 [3.10]. O Oscilador é dividido em duas redes de uma porta. Uma é a rede de circuito ativo e a outra é a do ressonador. Para atingir o estado estável de oscilação, a resistência equivalente paralela R_p de um ressonador deve ser balanceada com a resistência negativa $-R_p$, produzida pelo circuito ativo. Quando essa condição é satisfeita, o circuito torna-se sem perdas, e gera a oscilação. Essencialmente, toda a energia dissipada em R_p é compensada com a energia produzida pelo circuito ativo [3.11]. Adicionalmente, a condição de oscilação apresentada é para grandes sinais, onde deve haver o cancelamento da reatância do circuito ativo com a do ressonador.

3.2.2 Oscilador LC e resistência negativa

O oscilador LC é provavelmente o mais comumente usado em RFIC. Tem dois estágios principais: de ganho e o tanque LC. A performance do oscilador é determinada pelo Q do ressonador LC. Normalmente usa-se um indutor planar com n espiras no ressonador, e este, normalmente, tem baixo valor de Q, quando se tem um indutor dentro do CI. Para obter melhores resultados sugere-se utilizar indutores fora do *chip*.

Neste trabalho pretende-se utilizar o indutor externo com Q mais elevado que no CI para obter um menor ruído de fase, explicado neste capítulo.

Uma representação do circuito LC equivalente está ilustrado na Figura 36 [3.11], onde R_p é a resistência paralela (contendo as resistências do indutor e do capacitor), L_{eq} é o valor da indutância e C_{eq} a capacitância do ressonador.

A frequência de ressonância é expressa como (3.3) [3.11]:

$$\omega_r = \left(\sqrt{L_{eq} C_{eq}} \right)^{-1} \quad (3.3)$$

onde, L_{eq} e C_{eq} representam a indutância e capacitância equivalente do tanque (circuito ressonador), respectivamente. A resistência paralela equivalente é dada por (3.4):

$$R_p = \frac{(L_{eq} \omega_r)^2}{R_s} \quad (3.4)$$

onde, R_s modela as perdas no indutor como uma resistência em série.

Figura 36 – Circuito equivalente do ressonador LC.

Circuito LC é preferido porque exhibe menor ruído de fase que os outros osciladores (como em anel, RC, a cristal entre outros) se for mantido o mesmo consumo de potência [3.12].

3.2.3 Ruído de fase

Uma oscilação senoidal ideal é dada pela relação [3.13] (3.5):

$$V_{out}(t) = V_0 \cos[2\pi f_c t + \phi] \quad (3.5)$$

onde, V_0 é a amplitude constante, f_c é a frequência central e ϕ_f uma fase fixa. No domínio da frequência o espectro do oscilador consiste de um impulso Dirac em $\pm f_c$.

Uma oscilação real é geralmente dada por (3.6):

$$V_{out}(t) = V_0(t) y[2\pi f_c t + \phi(t)] \quad (3.6)$$

onde, $y(t)$ é uma função periódica. As flutuações introduzidas por $V_0(t)$ e $\phi(t)$ – agora em função do tempo – resultam em uma banda lateral perto de f_c , com distribuição simétrica ao redor de f_c (Figura 37) [3.13].

Figura 37 – Espectro de frequência do oscilador: (a) ideal e (b) real.

Flutuações na frequência são normalmente caracterizadas por uma densidade espectral do ruído da banda lateral simples, normalizada pela potência do sinal da portadora, definido em (3.7), com unidade em decibéis por Hertz (dBc/Hz) [3.13]:

$$L_{total}(f_c, \Delta f) = 10 \log \left[\frac{P_{LarguraBanda}(f_c + \Delta f, 1\text{Hz})}{P_{portadora}} \right] \quad (3.7)$$

onde, $P_{portadora}$ é a potência de sinal da portadora na frequência da portadora f_c e $P_{LarguraBanda}(f_c + \Delta f, 1\text{Hz})$ denota a potência da banda lateral com *offset* Δf da portadora f_c medida com largura de banda de 1 Hz, Figura 38 [3.9].

Um modelo linear invariante no tempo para caracterizar o ruído de fase é apresentado pela equação de Leeson (3.8) [3.11].

$$L(\Delta\omega) = 10 \log \left\{ \frac{2FKT}{P_s} \cdot \left[1 + \left(\frac{\omega_0}{2Q_L\Delta\omega} \right)^2 \right] \cdot \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right\} \quad (3.8)$$

onde, F é um parâmetro empírico, K é a constante de Boltzman, T é a temperatura absoluta, P_s é a dissipação de potência média na parte resistiva do tanque LC, ω_0 é a frequência de oscilação (correspondente à frequência da portadora $2\pi f_c$), Q_L é o fator de qualidade do circuito ressonador, $\Delta\omega$ é o *offset* da portadora, e ω_{1/f^3} é a frequência, em rad/s, no ponto entre as regiões de predominância dos ruídos $1/f^2$ e $1/f^3$, como ilustrado na Figura 39.

Analisando a equação (3.8) é possível observar que a resistência série (R_s) e a indutância (L_s) afetam diretamente o valor de Q_L ($Q_L = \omega_0 L_s / R_s$) e da amplitude de saída (V_A) que está inserida no parâmetro P_s ($P_s = V_A^2 / 2R_p$, R_p é a resistência paralela do tanque dada por $(L_s \omega_0)^2 / R_s$). V_A aumenta quando a corrente de *bias* aumenta.

Assim sendo, existe uma relação entre o desempenho do ruído de fase, consumo de potência e o fator de qualidade dos indutores.

Figura 38 – Ruído de fase no domínio da frequência.

Figura 39 – Típico espectro de ruído de fase de um oscilador LC.

A Figura 39 representa o modelo de densidade espectral do ruído de fase de um oscilador LC e tem três regiões. Em baixos *offsets* de frequências, abaixo de ω_{1/f^3} , na primeira região, denomina-se comportamento de ruído *flicker* (tem uma inclinação de 30dB por década). A segunda região é a chamada de ruído branco, com um *offset* médio em ω_{1/f^2} (uma queda de 20 dB por década). A terceira é conhecida como ruído de chão, o ruído médio é plano ([3.13], [3.14]).

3.2.4 VCO

Um VCO – oscilador controlado por tensão – faz parte de uma família de osciladores ressonantes e pode ser projetado para trabalhar com uma faixa de sintonia de frequências (usando um varactor).

O desempenho do VCO é normalmente comparada por meio de uma figura de mérito (*Figure of Merit - FOM*), por exemplo, representada por (3.9) [3.15]. A FOM é uma quantidade numérica baseada em uma ou mais características de um sistema ou dispositivo que representa uma medida de eficiência e eficácia.

$$FOM = L(\Delta\omega) + 10.\log(P_{DC}) - 20.\log\left(\frac{\omega_0}{\Delta\omega}\right) \text{dBc} \quad (3.9)$$

onde, o $L(\Delta\omega)$ está em dBc/Hz e o P_{DC} é a potência em mW.

Um esquema de um *front-end* de um receptor típico está representado na Figura 40, onde um misturador e um oscilador local (LO) convertem o sinal de rádio frequência (RF) em um sinal de frequência menor, frequência intermediária (IF). Com uma frequência do LO menor que a RF, a frequência intermediária resultante é determinada por (3.10) [3.13].

$$f_{IF} = f_{RF} - f_{LO} \quad (3.10)$$

Para atingir o sincronismo desejado do sinal do LO, o VCO é inserido em um PLL (*Phase-Locked Loop*). Um típico PLL consiste em um VCO, um divisor de frequência (*frequency divider*), um detector de fase e frequência (*phase frequency detector*), uma bomba de carga (*charge pump*), e um filtro passa baixa (*low-pass loop filter*) (Figura 41). Este circuito força a frequência de saída ser igual a um múltiplo da frequência de entrada. O projeto de um PLL é facilmente simplificado com um VCO fornecendo uma dependência linear entre a variação da tensão de controle e a frequência [3.13].

Figura 40 – Diagrama de blocos de um circuito receptor.

Figura 41 – Diagrama de blocos de um PLL.

A Figura 42 ilustra a importância do efeito do ruído de fase em um receptor. O sinal do LO usado para converter o sinal de RF para a frequência intermediária (IF) tem um espectro ruidoso. Além do sinal desejado com menor potência, um sinal indesejado (interferência) com maior potência é apresentado em um canal adjacente (em uma frequência próxima).

Depois de misturar com o LO, o espectro resultante consiste em dois espectros sobrepostos. Assim sendo, o sinal desejado é afetado pelo resultado do produto das bandas laterais do LO e o sinal de interferência, como ilustrado na Figura 42 [3.13]. Desta forma podemos dizer que quanto mais puro for o sinal do LO (menor ruído de fase) menor será o efeito dos sinais de interferência sobre o sinal desejado na frequência intermediária.

Figura 42 – Efeito do ruído de fase do oscilador em um receptor.

3.2.4.1 Topologias para LC VCO

Neste item estão apresentadas três topologias de LC VCOs em CMOS. Os três tipos são: par cruzado (*cross coupled*) simples com somente transistores NMOS (Figura 43) e outra com apenas PMOS (Figura 44); e a complementar com par de transistores NMOS junto com PMOS (Figura 45) para realizar a resistência negativa para compensar as perdas do tanque do ressonador [3.16].

A topologia diferencial tem vantagens como a rejeição da tensão de modo comum e ruído no substrato, além de saídas diferenciais. A resistência negativa é criada por uma realimentação positiva do par cruzado de transistores [3.16].

A seleção da topologia depende da especificação do VCO, além da tecnologia de processos. A especificação pode ser quanto a: ruído de fase, consumo de potência e faixa de frequências de operação.

A fonte de corrente nos dispositivos ativos tem três propósitos: polarização do circuito; limitar a amplitude de saída do VCO, evitando que os transistores fiquem na região de triodo, a qual degrada a performance do ruído de fase; apresentar alta impedância no nó que está conectado ao circuito ressonante para desacoplar ele da tensão de alimentação (V_{DDA}) ou do terra (V_{SSA}). A fonte de corrente pode ser

colocada do lado da tensão V_{DDA} ou do V_{SSA} . Dependendo do cenário, pode-se utilizá-la dos dois lados. Usualmente, prefere-se o lado da tensão V_{DDA} , para reduzir a sensibilidade da frequência de saída do VCO em relação às variações da tensão V_{DDA} [3.16].

O ruído da fonte de corrente é um dos que mais contribuem com o ruído de fase. O VCO atua como um misturador para o ruído da fonte de corrente. Ele desloca este ruído de polarização de baixa frequência dentro das bandas laterais, ao redor da frequência de oscilação [3.16].

3.2.4.1.1 Par cruzado NMOS e Par Cruzado PMOS

A topologia que usa apenas transistores NMOS (Figura 43) tem como vantagem uma maior transcondutância por unidade de área, comparada com a que tem somente transistores PMOS (Figura 44), devido à maior mobilidade dos elétrons em dispositivo NMOS. Por isso menores capacitâncias nos transistores irão contribuir para a capacitância parasita total do tanque ressonador [3.16].

Fazendo uma análise de pequenos sinais sabe-se que a resistência equivalente do par diferencial é dada por (3.11) [3.17]:

$$R_{eq} = -\frac{2}{g_m} \quad (3.11)$$

onde g_m é a transcondutância do transistor. Portanto, para permitir oscilações, a combinação entre a resistência paralela do tanque (R_p) e $-2/g_m$ tem que ser negativa (3.12):

$$\frac{1}{R_p} - \frac{g_m}{2} < 0 \quad (3.12)$$

então, podemos afirmar que (3.13):

$$g_m \geq \frac{2}{R_p} \quad (3.13)$$

Os dispositivos PMOS têm menor densidade de ruído flicker que os NMOS. Outras vantagens da topologia PMOS são o efeito hot carrier, bem como o ruído de fase, que são menores que na topologia NMOS [3.10].

Figura 43 – Topologia do par cruzado NMOS.

Figura 44 – Topologia do par cruzado PMOS.

Tratando de VCOs sabe-se que existe dependência entre minimização do consumo de potência, a faixa de sintonia de frequência e o desempenho do ruído de fase quando escolhemos as dimensões do transistor $\left(\frac{W}{L}\right)$ e o ponto de polarização $(V_{GS} - V_t)$ [3.16].

Para obter um menor consumo de potência, $(V_{GS} - V_t)$ tem que ser o menor possível. Neste caso, $\left(\frac{W}{L}\right)$ deve ser aumentado para obter o valor de g_m desejado.

Isto conduzirá a adição de uma maior capacitância parasita na capacitância do circuito ressonador, a qual irá reduzir a faixa de sintonia de frequência disponível.

Além disso, minimizando $(V_{GS} - V_t)$ e $\left(\frac{W}{L}\right)$ para reduzir o consumo de potência e aumentar a faixa de sintonia de frequência, acarretará em uma amplitude de oscilação menor (a tensão de oscilação é proporcional a corrente de polarização).

Uma amplitude de oscilação menor resulta em uma performance do ruído de fase pior, uma vez que o ruído de fase é inversamente proporcional ao quadrado da amplitude de oscilação [3.16].

Minimizar o consumo de potência em um VCO requer sacrifícios na faixa de sintonia de frequência e na performance do ruído de fase. Maximizar a faixa de sintonia de frequência acarreta em maior consumo de potência e ruído de fase. Minimizar o ruído de fase requer uma faixa de sintonia de frequência estreita e maior amplitude de saída (maior consumo de potência) [3.16].

3.2.4.1.2 Complementar NMOS e PMOS

Neste tipo de topologia (Figura 45, [3.16]) observa-se duas vantagens principais em relação às apresentadas no item anterior [3.17]:

- dobro da amplitude de saída: para uma mesma corrente de polarização esta topologia apresenta a amplitude de saída de $V_{0,max} - V_{0,min}$, que é o dobro do que nas estruturas com apenas um par de transistores;
- menor consumo de potência: para uma determinada corrente de polarização esta topologia gera uma resistência negativa (3.14):

$$R_{neg} = -\frac{2}{g_{mN} + g_{mP}} \quad (3.14)$$

onde, g_{mN} é a transcondutância do transistor NMOS e g_{mP} é a do PMOS.

Para a mesma corrente de polarização, a topologia com apenas um par irá gerar $-2/g_m$, portanto, a topologia complementar NMOS e PMOS pode compensar as perdas no tanque LC com uma corrente de polarização menor que nas estruturas que usam apenas um par de transistores.

Vale ressaltar que esta topologia é indicada quando se utiliza tensão de alimentação suficiente para polarizar todos os transistores, não sendo recomendada para tensão de alimentação muito baixa [3.16].

Figura 45 – Topologia complementar NMOS e PMOS.

3.2.5 Projeto dos VCOs

Foram projetados dois VCOs – topologia LC-VCO – um totalmente integrado chamado de OC-VCO (*on-chip* VCO), apresentado na Figura 49, e outro utilizando indutor externo conectado via *flip chip* ao *core* chamado FC-VCO (*flip-chip* VCO), ilustrado na Figura 48, ambos com indutores de mesmo valor, ruído de fase menor do que -110dBc/Hz para uma frequência de *offset* de 1MHz.

O parâmetro de comparação entre os dois VCOs foi o consumo de potência que eles necessitam, estabelecendo o valor da indutância e do ruído de fase para os dois VCOs.

Inicialmente calculou-se os valores de indutâncias e de transcondutâncias necessária para haver oscilação, depois projetaram-se os indutores externo e interno, e finalmente projetaram-se os VCOs.

Para o projeto dos VCOs fixou-se algumas especificações iniciais, de acordo com valores da literatura, que estão apresentadas na Tabela 9.

Tabela 9 – Especificações iniciais dos VCOs.

Parâmetros	Min	Tip	Máx	Unidade
Tensão de alimentação	-	3	-	V
Faixa de frequências (<i>Bluetooth</i>)	2,4	-	2,48	GHz
Amplitude do VCO	500	-	-	mV _p
Amplitude do <i>balun</i> (teste)	160	-	200	mV _{pp}
Faixa da tensão de controle	20	-	-	%
Ruído de fase	-	-110	-	dBc/Hz @ 1MHz
Potência	-	-	12	mW
Corrente do VCO	-	-	4	mA

A escolha da especificação de alguns parâmetros depende de outros fatores, como:

- a tensão de alimentação que é em função da tecnologia (CMOS 0,35 μ m da AMS);
- a frequência que está vinculada à comunicação *Bluetooth*;
- a amplitude da tensão de saída do VCO que é normalmente utilizada em PLLs;
- a amplitude após o *balun* tem relação com o casamento do analisador de espectro utilizado para medir o VCO, o mesmo é utilizado apenas para teste e será explicado na seção 3.2.5.3;
- a faixa da tensão de controle deve ser de no mínimo 20%, para atingir a faixa de frequências desejada;
- os demais parâmetros foram escolhidos objetivando obter os menores valores possíveis, tais como: o ruído de fase, a potência e a corrente do VCO, compatíveis com a tecnologia de CMOS 0,35 μ m da AMS.

Para determinar os valores da capacitância total e da indutância, bem como a transcondutância do VCO, foram utilizados cálculos de acordo com [3.18]. A seguir estão apresentados os cálculos para obter esses valores para o FC-VCO. De forma análoga, calculou-se os mesmos parâmetros para o OC-VCO.

O primeiro passo foi determinar um ponto de partida através da estimativa das dimensões dos transistores do bloco de transcondutância (*core*) e do *balun* do FC-VCO. Os valores estimados inicialmente, baseados em trabalhos anteriores, para os transistores PMOS e NMOS do *core* (seção 3.2.5.1) foram: $\frac{200\mu m}{0,35\mu m}$ e do *balun*

(seção 3.2.5.3): $\frac{5\mu m}{0,35\mu m}$.

Podemos utilizar as equações (3.15), (3.16) para determinar a capacitância do *balun* de saída.

$$A_B = w.l \Rightarrow A_B = 5.0,35(10^{-6})^2 \Rightarrow A_B = 1,75\mu m^2 \quad (3.15)$$

onde, A_B é a área do transistor do *balun*, w é largura e l é o comprimento.

$$C_g \approx \frac{9fF}{\mu m^2} \Rightarrow C_{gsB} = \frac{9fF}{\mu m^2} . A_B \Rightarrow C_{gsB} = \frac{(9.10^{-15})}{(10^{-6})^2} . (1,75.(10^{-6})^2) \Rightarrow 15,75fF \quad (3.16)$$

onde, C_g é a capacitância de porta por unidade de área e C_{gsB} é a capacitância entre porta e fonte do *balun*.

Considerando o estágio de transcondutância (transistores responsáveis pela resistência negativa) em saturação, foram utilizadas as equações (3.17), (3.18), (3.19) e (3.20), fazendo os cálculos para os transistores NMOS.

$$C_{gd} \approx 0 \quad (3.17)$$

onde, C_{gd} é a capacitância entre porta e dreno. Como o valor desta capacitância é pequeno, se comparado com as demais, para facilitar os cálculos, seu valor foi desprezado.

$$C_{gs} = \frac{2}{3} \cdot w \cdot l \cdot C_{ox} \Rightarrow C_{gs} = \frac{2 \cdot (200 \cdot 10^{-6}) (0,35 \cdot 10^{-6}) (4,86 \cdot 10^{-3})}{3} \Rightarrow C_{gs} = 226,8 \text{ fF} \quad (3.18)$$

onde, C_{ox} é a capacitância do óxido, descrita na tecnologia CMOS 0,35μm da AMS.

$$C_{ds} = \frac{w \cdot l \cdot C_{ox}}{3} \Rightarrow C_{ds} = \frac{(200 \cdot 10^{-6}) (0,35 \cdot 10^{-6}) (4,86 \cdot 10^{-3})}{3} \Rightarrow C_{ds} = 113,4 \text{ fF} \quad (3.19)$$

onde, C_{ds} é a capacitância entre dreno e fonte.

$$C_{db} = C_j (0,5 \cdot 10^{-6}) \cdot w \Rightarrow C_{db} = \frac{1,12 \cdot 10^{-15}}{(10^{-6})^2} (0,5 \cdot 10^{-6}) \cdot (200 \cdot 10^{-6}) \Rightarrow C_{db} = 84 \text{ fF} \quad (3.20)$$

onde, C_{db} é a capacitância entre dreno e o corpo do transistor e C_j é a capacitância de junção (p-n) por unidade de área, descrita na tecnologia utilizada.

Para determinar a capacitância total, utiliza-se a equação (3.21).

$$C_T = C_{gs} + C_{ds} + C_{db} + 4 \cdot C_{gd} + C_{gsB} + C_v + \frac{C_{FC}}{2} \quad (3.21)$$

onde, C_T é a capacitância total, C_v é a capacitância do varactor e C_{FC} é a capacitância que modela a interconexão do *flip chip*. O varactor foi escolhido a partir do arquivo de tecnologia CMOS 0,35μm AMS [3.19 e 3.20], de tal forma que tivesse as menores dimensões e os menores valores de capacitância (dentre as estruturas de testes apresentadas no arquivo de tecnologia), com o objetivo inicial de poupar área. Os valores mínimo e máximo da capacitância do varactor apresentados são: 0,14pF e 0,49pF, respectivamente. A C_{FC} foi obtida de acordo com o modelo da Figura 33 [3.7], previamente apresentada, e podemos admitir que tenha o valor igual a 67fF (considerando que nas frequências de interesse o valor da impedância relacionado com a indutância do modelo de *flip chip* é desprezível).

Substituindo os valores na equação (3.21), obtém-se que a capacitância total tem valores entre $C_{Tmin} = 605,6fF$ e $C_{Tmax} = 955,6fF$, onde a média é $C_T = 780,6fF$.

Sabendo-se que (3.22) determina o valor do indutor:

$$L \approx \frac{1}{\omega_0^2 \cdot C_T} \Rightarrow L \approx \frac{1}{(15,39 \cdot 10^{-9})^2 \cdot (780,6 \cdot 10^{-15})} \Rightarrow L \approx 5,4nH \quad (3.22)$$

onde, L é o valor da indutância, ω_0 é $2\pi f$, sendo a frequência central desejada (2,45GHz).

Fazendo o mesmo procedimento para o OC-VCO temos a capacitância total dada por (3.23):

$$C_T = C_{gs} + C_{ds} + C_{db} + 4 \cdot C_{gd} + C_{gsB} + C_v \quad (3.23)$$

onde, temos os mesmos parâmetros e os mesmos valores estimados para o FC-VCO, considerando inicialmente as mesmas dimensões para os transistores PMOS e NMOS, porém, sem a C_{FC} , assim o valor médio de $C_T = 747,1fF$. A indutância calculada para o OC-VCO é igual a $L = 5,6nH$.

A partir daí, foram projetados e simulados os indutores e extraídos os parâmetros dos mesmos, como o R_s e o Q . Uma vez tendo esses parâmetros, foi possível determinar a resistência equivalente em paralelo do tanque (R_p) do VCOs e o Gm_{min} do *core* dos VCOs para garantir a oscilação.

Vale ressaltar que apresentamos os cálculos apenas para o FC-VCO, e de forma análoga foi feito o mesmo para o OC-VCO.

Sabendo-se que o valor da indutância, calculado, deve ser de aproximadamente 5nH, simulou-se o indutor externo no ASITIC [2.6] e extraiu-se os valores de $R_s = 2,37\Omega$ e $Q = 32$, para determinar o valor da resistência paralela equivalente do tanque LC (R_p).

Para determinar o valor de R_p utilizou-se (3.24):

$$R_p = R_s \cdot (1 + Q^2) \rightarrow R_p = 2,37 \cdot (1 + 32^2) \rightarrow R_p = 2,43K\Omega \quad (3.24)$$

onde, R_s é a resistência série do indutor e Q o fator de qualidade do mesmo.

O valor do Gm_{tanque} é dado por (3.25):

$$Gm_{tanque} = \frac{1}{R_p} \rightarrow Gm_{tanque} = \frac{1}{2,43 \cdot 10^3} \rightarrow Gm_{tanque} = 411,6\mu l \quad (3.25)$$

Em seguida determinou-se o Gm_{min} do *core* pela equação (3.26):

$$Gm_{min} = \frac{2}{R_p} \rightarrow Gm_{min} = \frac{2}{2,43 \cdot 10^3} \rightarrow Gm_{min} = 823,3 \mu S \quad (3.26)$$

Para garantir a oscilação foi utilizado um fator de segurança de 2,5, obtendo-se um Gm ativo de (3.27):

$$Gm_{ativo} = 2,5 \cdot Gm_{min} \rightarrow Gm_{ativo} = 2,5 \cdot 823,3 \cdot 10^{-6} \rightarrow Gm_{ativo} = 2 mS \quad (3.27)$$

No caso do OC-VCO, a indutância também é de aproximadamente 5nH e, através do ASITIC, extraiu-se a $R_s=9,74\Omega$ e o $Q=5$, assim a $R_p=253,54\Omega$ e o $Gm_{ativo}=19,74mS$.

Na Tabela 10 são apresentados os parâmetros dos indutores externos e internos utilizados no FC-VCO e OC-VCO, respectivamente, e simulados no ASITIC. O modelo PI destes indutores estão apresentados na Tabela 11.

Tabela 10 – Parâmetros dos indutores do FC-VCO e OC-VCO.

Parâmetros	Ind. externo FC-VCO	Ind. interno OC-VCO
L_s (nH)	5	5
Q	32	5
l_{ext} (μm)	280	250
w (μm)	14	14
s (μm)	5	2
n	4,5	4,75

*O Q foi simulado na frequência central de 2,45GHz.

Tabela 11 – Parâmetros simulados do modelo PI dos indutores do FC-VCO e OC-VCO.

Parâmetros do Indutor	Ind. externo FC-VCO	Ind. interno OC-VCO
L_s (nH)	5,04	4,97
R_s (Ω)	2,38	9,74
C_{sub1} (fF)	30,7	101,47
C_{sub2} (fF)	19,3	101,70
R_{sub1} (Ω)	2,8	671,49
R_{sub2} (Ω)	8,14	845,97
Q*	32	6

*O Q foi simulado na frequência central de 2,45GHz.

A partir dos parâmetros dos indutores apresentados na Tabela 10 podemos observar que a diferença entre os Q s dos dois indutores, externo $Q=32$ e interno $Q=5$, é muito evidente. O Q do indutor externo é mais de 6 vezes maior que o interno para o mesmo valor de indutância e frequência.

As variações de indutância e do fator de qualidade em função da frequência para os dois indutores (externo e interno) estão ilustradas nas Figura 46 e Figura 47, respectivamente. Os indutores foram simulados entre 50MHz e 6GHz.

Figura 46 – Simulação da variação da L versus a frequência para os indutores do FC-VCO e OC-VCO.

Como podemos observar o Q do indutor externo tem um comportamento diferente do interno, uma vez que em 6GHz o Q do indutor externo está acima de 50. Através de simulações, foi possível observar que a frequência de ressonância do indutor externo é acima de 10GHz. No indutor externo não foi possível projetar o Q máximo na frequência de interesse por causa das limitações dos processos (o s não poderia ser menor do que $5\mu\text{m}$ e o w não poderia ser menor do que $10\mu\text{m}$).

Figura 47 – Simulação da variação do Q versus a frequência para os indutores externos do FC-VCO e OC-VCO.

Sabendo-se o valor do G_m dos transistores ativos necessários para a oscilação, foi possível reprojeter as dimensões de todos os transistores e a corrente necessária para a polarização dos mesmos. Posteriormente, foi feito o *layout* e extração dos circuitos e realizados os ajustes necessários, devido aos elementos parasitas, para obter o desempenho desejado. A seguir são apresentadas as topologias e as dimensões dos componentes dos circuitos após a extração e simulação pós-*layout*.

3.2.5.1 FC-VCO

A topologia utilizada para o FC-VCO está ilustrada na Figura 48. Pode-se observar na mesma figura o circuito equivalente do indutor externo (modelo PI), o modelo de interconexão *flip chip* e o símbolo do *balun*.

As dimensões e os valores dos dispositivos do FC-VCO estão apresentados na Tabela 12, considerando uma corrente de polarização (I_{core}) de aproximadamente 1,4mA. O projeto do *balun* será apresentado no item 3.2.5.3.

Tabela 12 – Dimensões e valores dos dispositivos do FC-VCO.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	P_{Cap}	2000	4	PMOS	-	-
	P_{Bias1}	20	4	PMOS	-	-
	P_{Bias2}	200	4	PMOS	-	-
	R_{Bias}	1	98,55	RPOLY2	6,57k Ω	-
<i>Core</i>	P1	240	0,35	PMOSRF	-	w=5 μm ; ng=24; m=2
	P2	240	0,35	PMOSRF	-	w=5 μm ; ng=24; m=2
	N1	70	0,35	NMOSRF	-	w=5 μm ; ng=7; m=2
	N2	70	0,35	NMOSRF	-	w=5 μm ; ng=7; m=2
	C_{Var1}	118,8	0,65	MOSCAP	376,83fF	-
	C_{Var2}	118,8	0,65	MOSCAP	376,83fF	-

* Para os transistores NMOSRF e PMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados.

O P_{Cap} é utilizado para minimizar o ruído *flicker*, na fonte de corrente, que afeta o ruído de fase do VCO. O R_{Bias} foi projetado para gerar a corrente desejada uma vez que seja aplicada a tensão (V_{Bias}). Os transistores P_{Bias1} e P_{Bias2} fazem parte do circuito que gera a corrente de polarização (I_{core}). Os transistores P1, P2, N1, N2 e os varactores C_{Var1} e C_{Var2} fazem parte do circuito do *core*. O C_{Pad_FC} é a capacitância equivalente do *pad* usado na versão *flip chip* (FC-VCO) ($C_{Pad\_FC} \approx 185,9\text{fF}$).

Vale ressaltar que o valor máximo para o W dos transistores RF, pela limitação do modelo, é 200 μm para o NMOSRF e 150 μm para o PMOSRF. Uma vez que se queira um valor maior tem-se que fazê-lo através do *multiplier* (m), colocando o número de transistores necessários em paralelo.

Para o projeto do FC-VCO, foi considerado o modelo de interconexão *flip chip* [3.7], para simular os elementos parasitas das bolas de solda da conexão entre o indutor externo e o *die*.

Figura 48 – Topologia do FC-VCO.

3.2.5.2 OC-VCO

A Figura 49 ilustra a topologia usada para o OC-VCO. Pode-se observar na mesma figura o circuito equivalente do indutor interno, modelo PI, e o símbolo do *balun*. O C_{Pad_OC} é a capacitância equivalente do *pad* usado na versão *on-chip* (OC-VCO) ($C_{Pad\_OC} \approx 99,28\text{fF}$).

As dimensões e os valores dos dispositivos do OC-VCO estão apresentados na Tabela 13, considerando uma corrente de polarização (I_{core}) de aproximadamente 3,6mA.

Figura 49 – Topologia do OC-VCO.

Tabela 13 – Dimensões e valores dos dispositivos do OC-VCO.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	P_{Cap}	2000	4	PMOS	-	-
	P_{Bias1}	40	4	PMOS	-	-
	P_{Bias2}	800	4	PMOS	-	-
	R_{Bias}	1	58,5	RPOLY2	3,9K Ω	-
<i>Core</i>	P1	280	0,35	PMOSRF	-	$w=5 \mu m$; $ng=28$; $m=2$
	P2	280	0,35	PMOSRF	-	$w=5 \mu m$; $ng=28$; $m=2$
	N1	110	0,35	NMOSRF	-	$w=5 \mu m$; $ng=11$; $m=2$
	N2	110	0,35	NMOSRF	-	$w=5 \mu m$; $ng=11$; $m=2$
	C_{Var1}	105,6	0,65	MOSCAP	334,96fF	-
	C_{Var2}	105,6	0,65	MOSCAP	334,96fF	-

* Para os transistores NMOSRF e PMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados.

3.2.5.3 *Balun*

O *balun* foi projetado para converter o sinal diferencial de saída do VCO para *single-ended*. Ele é composto por um *buffer* e um conversor de saída diferencial para *single-ended* [3.18 e 3.21]. A Figura 50 ilustra a topologia deste circuito. Com a finalidade de testar o VCO, foi projetado o *balun* para obter uma potência de saída menor do que -10dBm ($\sim 200\text{mVpp}$), para não superar o máximo nível de potência permitido pelo analisador de espectro e para que não precise usar um atenuador entre a saída do *balun* e o equipamento. Também foi estabelecido um limite inferior de 160mVpp para a amplitude na saída do *balun*. Este último, para aproveitar a faixa dinâmica de medida do analisador de espectro e não ter limitações significativas na medição do ruído de fase devido ao ruído de piso do equipamento.

Figura 50 – Topologia do *Balun*.

As dimensões e os valores dos componentes utilizados no *balun* são os mesmos para os dois VCOs e a Tabela 14 apresenta estes dados.

Tabela 14 – Dimensões e valores dos componentes do *balun*.

Componentes	w (μm)	l (μm)	Tipo	Valor
P1	10	0,35	PMOS	-
P2	10	0,35	PMOS	-
P3	5	0,35	PMOS	-
P4	48	0,35	PMOS	-
P5	144	0,35	PMOS	-
N1	10	0,35	NMOS	-
N2	10	0,35	NMOS	-
N3	5	0,35	NMOS	-
N4	24	0,35	NMOS	-
N5	72	0,35	NMOS	-
R	2	93	RPOLYH	62k Ω
C1	11,6	11,6	CPOLYRF	119,71fF
C2	33,9	33,9	CPOLYRF	1pF

3.2.5.4 Projeto extra do FC-VCO com menor ruído de fase

Durante o desenvolvimento deste trabalho de pesquisa foi projetado um VCO (FC-VCO), [3.22], com um menor ruído de fase comparado com os previamente apresentados. Este menor ruído de fase pode ser explicado através da análise da equação (3.8), na seção 3.2.3, onde podemos observar que se o projeto extra do FC-VCO tem maior valor de Q do que o OC-VCO e maior corrente de polarização que o FC-VCO (o que aumenta o valor da potência P_s), ele certamente terá um menor ruído de fase do que os outros dois projetados.

Tabela 15 – Dimensões dos dispositivos do FC-VCO com menor ruído de fase.

Circuito	Dispositivo	w _{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	P _{Cap}	2000	4	PMOS	-	-
	P _{Bias1}	20	4	PMOS	-	-
	P _{Bias2}	200	4	PMOS	-	-
<i>Core</i>	P1	80	0,35	PMOSRF	-	w=5 μm ; ng=16
	P2	80	0,35	PMOSRF	-	w=5 μm ; ng=16
	N1	40	0,35	NMOSRF	-	w=5 μm ; ng=8
	N2	40	0,35	NMOSRF	-	w=5 μm ; ng=8
	C _{Var1}	198	0,65	MOSCAP	628,06fF	-
	C _{Var2}	198	0,65	MOSCAP	628,06fF	-

* Para os transistores NMOSRF e PMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados.

A topologia utilizada é a mesma do FC-VCO, ilustrada na Figura 48. O mesmo se aplica ao indutor utilizado. As dimensões dos dispositivos do FC-VCO com menor ruído de fase estão apresentados na Tabela 15, considerando uma corrente de polarização (I_{core}) de aproximadamente 3,6mA (mesma corrente usada no OC-VCO). Este circuito foi apenas simulado, não tendo *layout*.

3.3 Amplificador de baixo ruído – LNA

Em um sistema de recepção (RF) é indispensável utilizar um amplificador de baixo ruído (LNA – *Low Noise Amplifier*) para amplificar os sinais de entrada provenientes da antena, uma vez que esses sinais precisam de potência suficiente para serem processados. Nesta seção apresentaremos a teoria do LNA, juntamente com o projeto.

3.3.1 Considerações importantes do LNA

Em LNAs deve-se ter, uma boa sensibilidade, ou uma figura de ruído baixa, um bom ganho, uma boa linearidade, um bom casamento de entrada e isolamento das portas.

O LNA deve amplificar o sinal, mas também manter uma operação linear quando recebe um sinal fraco na presença de uma interferência forte [3.23]. Uma maneira de medir a linearidade é o ponto de compressão a 1dB que é definido como o nível de entrada (P_{1-1dB} em potência) que causa uma redução de 1dB na potência de saída da componente fundamental em relação ao ganho linear [3.24]. Outra forma de avaliar a linearidade é através da medida do nível de potência da entrada P_{IIP3} que causa distorção significativa, na qual é dominado por distorções de terceira ordem [3.24].

A sensibilidade é a medida que quantifica a habilidade do receptor de responder a sinais fracos. Alguns blocos do receptor podem gerar ruído, fazendo com que a relação sinal-ruído na saída (SNR_{out}) seja degradada [3.24]. O fator de ruído mede essa degradação do SNR. O fator de ruído deve ser o menor possível para melhorar a sensibilidade do receptor.

Uma vez que o LNA é tipicamente o primeiro bloco de ganho em um receptor, ele deve gerar ganho suficiente para que os pequenos níveis de potência que cheguem da antena sejam maiores que os ruídos gerados pelas etapas posteriores, como o misturador. Com isso, uma boa relação sinal-ruído é garantida para que a informação possa ser processada de forma adequada.

O amplificador de baixo ruído é conectado a um filtro passa-banda, ou diretamente a antena RF, em um circuito receptor. Em qualquer um dos casos, é imprescindível que o LNA tenha um casamento de impedância de entrada a um valor específico de 50Ω , para garantir a máxima transferência de potência e um bom desempenho do filtro. Outro motivo para esse casamento é quando se deseja medir o LNA isoladamente. Neste caso, ele deve ter 50Ω , devido a impedância de entrada dos equipamentos de medidas.

O isolamento reverso (S12) no LNA é importante para atenuar os vazamentos do sinal do oscilador local (LO) e outros sinais indesejados que podem aparecer na entrada do misturador. Se estes sinais indesejados não são suficientemente atenuados, podem chegar à antena e serem transmitidos ao meio causando interferências em outros sistemas de comunicação que se encontrem próximos.

3.3.2 Topologias de LNAs CMOS

Os primeiros LNAs foram implementados em tecnologia diferente da CMOS, como bipolares, GaAs e BiCMOS, com estratégias de projeto que dependiam da escolha do dispositivo, com geometria fixa do casamento de impedância e do circuito de polarização. A idéia era fazer o casamento para a máxima transferência de potência sem degradar o desempenho do ruído do circuito e com alta linearidade. A Figura 51 ilustra as topologias clássicas de LNAs [3.25].

A topologia da Figura 51 (a) usa uma terminação resistiva na porta de entrada para prover um casamento de impedâncias. Vale ressaltar que o uso de resistores degrada a figura de ruído, devido ao ruído térmico adicionado [3.26].

A segunda topologia da Figura 51 (b) é de fonte comum com realimentação, que é um amplificador de banda larga, apresentando uma dissipação de potência maior comparado com as outras arquiteturas, tornando essa topologia pouco atrativa

para aplicações portáteis [3.27].

Figura 51 – Topologia de LNAs CMOS: (a) fonte comum com casamento resistivo; (b) fonte comum com realimentação; (c) porta comum; (d) fonte comum com degeneração indutiva.

A configuração da terceira topologia (Figura 51 (c)) é com porta comum, onde a impedância vista da fonte do transistor é utilizada para casar a entrada a uma impedância de fonte bem definida. Para tanto é necessário projetar adequadamente as dimensões dos dispositivos e os pontos de polarização.

A Figura 51 (d) ilustra a topologia de um amplificador CMOS com fonte comum degenerada com indutor na fonte do transistor. Esta configuração pode melhorar a relação sinal-ruído da saída. Esta topologia foi escolhida para o projeto dos LNAs nesse trabalho e está explicada detalhadamente no próximo item.

3.3.2.1 Amplificador CMOS fonte comum cascode com degeneração indutiva

A escolha desta topologia se deve ao casamento de impedância de entrada sintonizada, sem utilizar elementos resistivos, os quais geram ruído térmico. A

realimentação indutiva ideal sem perdas muda a impedância da fonte até o casamento de potência ótimo com o menor aumento possível de ruído [3.28]. Vale ressaltar que os indutores integrados degradam a figura de ruído, pelo baixo Q. Para ter um maior desempenho nessa topologia, utiliza-se uma configuração cascode, melhorando a estabilidade e o isolamento reverso do amplificador. A Figura 52 ilustra a topologia fonte comum cascode com degeneração indutiva. Como mostrado em [3.24, 3.25, 3.29, 3.30 e 3.31] a topologia que melhor mantém os parâmetros de projeto do LNA, como uma melhor relação sinal-ruído, e um bom isolamento de portas (devido ao cascode na saída) é a de fonte comum degenerada com indutor na fonte do transistor.

De acordo com [3.30, 3.32 - 3.37] pode-se obter os parâmetros do LNA para a topologia de fonte comum cascode com degeneração indutiva como mostrado nos itens 3.3.2.1.1, 3.3.2.1.2 e 3.3.2.1.3, para impedância de entrada, figura de ruído e ganho, respectivamente.

Figura 52 – Topologia do LNA detalhada: fonte comum com degeneração indutiva.

3.3.2.1.1 Impedância de entrada

Para determinar o valor da impedância de entrada, temos que considerar algumas equações e conceitos, e desprezar alguns termos (se for conveniente).

Para a topologia de LNA escolhida, estima-se que o valor da frequência central ω_0 é dada por (3.28):

$$\omega_0^2 \approx \frac{I}{(L_s + L_g)C_{gs}} \quad (3.28)$$

onde, L_s é a indutância do indutor de degeneração da fonte, L_g é a indutância do indutor da porta, e C_{gs} é a capacitância entre a porta e a fonte do transistor.

A impedância de entrada do LNA, na qual a rede de entrada encontra-se em ressonância na frequência central ω_0 , pode ser obtida por (3.29):

$$Z_{in} \approx R_{L_s} + R_{L_g} + r_g + \frac{gm}{C_{gs}} L_s \quad (3.29)$$

onde, R_{L_s} é a resistência parasita série do indutor da fonte (L_s), R_{L_g} é a resistência parasita série do indutor de porta (L_g), r_g é a resistência parasita da porta do transistor, g_m é a transcondutância.

Considerando as resistências parasitas desprezíveis comparadas com o último termo de (3.29), podemos, então, dizer que a impedância de entrada na frequência central (ω_0) é (3.30):

$$Z_{in} \approx \frac{gm}{C_{gs}} L_s \approx \omega_T L_s \quad (3.30)$$

onde, ω_T é a frequência de ganho unitário de corrente do transistor.

Para obter a impedância de entrada casada em 50Ω (R_s), basta igualar a equação (3.31).

$$\omega_T L_s \approx R_s \quad (3.31)$$

Como podemos observar em (3.28) notamos que existe uma relação inversa entre ω_0 e L_s , L_g e o tamanho do transistor do estágio de transcondutância (C_{gs}). Se o tamanho do transistor for reduzido, C_{gs} também diminui, aumentando o valor de $L_s + L_g$ para ω_0 . Quando isso acontece, tem-se um aumento do consumo de área e das resistências parasitas associadas, por causa dos indutores integrados.

Analisando (3.31), nota-se que a impedância de entrada sob condições de ressonância, desprezando as resistências parasitas, depende diretamente de ω_T e de L_s . Determinado um valor de impedância de entrada, se o L_s aumentar, o ω_T diminui, e vice-versa, para garantir o casamento de impedâncias.

3.3.2.1.2 Figura de ruído

A figura de ruído (NF – *Noise Figure*) pode ser obtida através de (3.32).

$$NF = 10 \log(F) \quad (3.32)$$

onde, F é o fator de ruído, dado por (3.33).

$$F = 1 + \frac{\overline{i_{n,o}^2}}{\overline{i_{n,s,o}^2}} \quad (3.33)$$

onde, $\overline{i_{n,o}^2}$ é o ruído de saída total, e $\overline{i_{n,s,o}^2}$ é o ruído de saída devido à fonte de entrada.

O fator de ruído do LNA pode ser dado por (3.34):

$$F_{LNA} = F_{gm} + (F_{cascode} - 1) \quad (3.34)$$

onde, F_{gm} é fator de ruído do estágio de transcondutância e $F_{cascode}$ o fator de ruído do transistor cascode (M2), que foi adicionado ao circuito.

Desprezando o $F_{cascode}$, considerando a contribuição dele muito menor se comparado com a do estágio de transcondutância, podemos dizer que o $F_{LNA} \approx F_{gm}$, onde F_{gm} é dado pela equação (3.35).

$$F_{gm} \approx 1 + \frac{\omega_0}{\omega_T} \frac{\gamma}{Q_{in}} \left[\frac{1}{\alpha_1} + \frac{\delta}{5\gamma} (1 + Q_{in}^2 - 0,79 \sqrt{\frac{\delta}{5\gamma}}) \right] \quad (3.35)$$

onde, γ e δ são dependentes da polarização, $\alpha = \frac{g_m}{g_{gd}}$, e g_{gd} é a condutância porta-

dreno do transistor na região de triodo, para as tensões de V_{GS} igual a V_{pol} e V_{DS} igual a zero.

3.3.2.1.3 Ganho

Considerando a entrada do LNA em ressonância, o ganho do estágio de transcondutância (G_{gm}) depende diretamente da frequência de ganho unitário (ω_T) e a figura de ruído diminui com o aumento de ω_T (como mostrado em (3.35)). Pode-se representadar G_{gm} como (3.36).

$$|G_{gm}| \approx \frac{\omega_T}{\omega_0} \frac{I}{R_s + \omega_T L_s} \approx \frac{\omega_T}{2\omega_0 R_s} \quad (3.36)$$

É relevante dizer que para aumentar o ganho e diminuir o fator de ruído deve-se escolher transistores com comprimento de canal mínimo, de acordo com cada tecnologia, devido a relação de ω_T , apresentada em (3.37).

$$\omega_T = \frac{3\mu_n(V_{GS} - V_T)}{2L^2} \quad (3.37)$$

onde, μ_n é a mobilidade dos transistores NMOS, V_{GS} é a tensão porta-fonte, V_T é a tensão de limiar, e L é o comprimento do canal do transistor.

3.3.3 Projeto dos LNAs

Foram projetados dois LNAs CMOS fonte comum com degeneração indutiva na fonte, um totalmente integrado chamado de OC-LNA (*on-chip* LNA), e outro utilizando o indutor L_g da porta como externo conectado via *flip chip* ao *core* chamado FC-LNA (*flip-chip* LNA).

Para o projeto dos LNAs fixaram-se algumas especificações iniciais, de acordo com valores da literatura estudados, que estão apresentadas na Tabela 16.

Tabela 16 – Especificações iniciais dos LNAs.

Parâmetros	Min	Tip	Máx	Unidade
Tensão de alimentação	-	3,3	-	V
Faixa de frequências (<i>Bluetooth</i>)	2,4	-	2,48	GHz
Figura de ruído	-	3,5	-	dB
Ganho	8	-	-	dB
S11 e S22	-	-	-8	dB
PIIP3	-10	-	-	dBm
Potência	-	-	12	mW

A escolha da especificação de alguns parâmetros depende de outros fatores, como:

- a tensão de alimentação que está em função da tecnologia escolhida (CMOS 0,35 μ m da AMS);
- a faixa de frequências que depende do padrão de comunicação desejado *Bluetooth*;

- os demais parâmetros foram escolhidos de acordo com dados apresentados na literatura em função do *padrão* de comunicação: como a figura de ruído, ganho, S11 e S22, PIIP3 e a potência.

Observamos que o parâmetro de comparação entre os dois LNAs foi a figura de ruído, mantendo um consumo de potência similar para os dois.

Para projetar o LNA, o primeiro passo foi estabelecer as especificações compatíveis com a tecnologia e o padrão de comunicação, como dito anteriormente. O seguinte passo foi determinar um ponto de partida para o projeto dos circuitos OC-LNA e FC-LNA. Para isto foi utilizada a contribuição de [3.31], onde se aplicou uma estratégia de projeto para determinar as dimensões dos dispositivos e condições de polarização que conseguissem atingir a especificação inicial.

A estratégia de projeto desenvolvida em [3.31], com ajuda de um script de simulação, permite a exploração do espaço de projeto para o LNA com degeneração indutiva, fornecendo como dados de entrada as faixas de valores de w_1 , w_1/w_2 e a tensão de polarização V_{Bias} que deseja-se avaliar. Adicionalmente, também são usados como entrada alguns dados da tecnologia, como por exemplo o máximo e mínimo valor de indutância permitido. Para modelar os indutores criou-se uma base de dados de indutores no ASITIC para a tecnologia usada. Isto foi necessário já que o PDK (*Process Design Kit*) usado só fornece dois valores de indutância.

Uma vez introduzidos os dados iniciais, usando-se equações que modelam a impedância de entrada se faz uma estimativa dos valores de L_g e L_s iniciais para conseguir casamento de impedâncias para 50 Ohm na entrada. Posteriormente, com estes dados iniciais se faz um processo iterativo e automatizado de simulação para conseguir um coeficiente de reflexão na entrada adequado (por exemplo, $S_{11} \leq -15\text{dB}$ considerando uma resistência de referência de 50 Ohm), para cada combinação de valores de w_1 , w_1/w_2 e V_{Bias} . Ao mesmo tempo, o script calcula os valores de C1 e C2 necessários para obter uma impedância de saída no LNA que consiga um coeficiente de reflexão na saída adequado (por exemplo, $S_{22} \leq -15\text{dB}$). Como resultado, obtém-se uma matriz com todos os possíveis LNAs dentro das faixas analisadas que atingem a condição S11 e S22 estabelecida. Finalmente, são identificadas as soluções que melhor se adequam ao conjunto de especificações

iniciais que se pretende atingir com o LNA (por exemplo, $NF \leq 3,5\text{dB}$, $S_{21} \geq 10\text{dB}$, $PIIP3 \geq -10\text{dBm}$, $PD \leq 10\text{mW}$).

Após algumas iterações e verificações preliminares, através de simulações, foi possível estabelecer dados iniciais de todos os dispositivos e condições de polarização para atingir as especificações. Assim sendo, tem-se como resultado o ponto de partida para o projeto dos LNAs, ilustrado na Tabela 17.

Tabela 17 – Ponto de partida dos LNAs após estratégia de projetos.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
FC-LNA	N1	300	0,35	NMOSRF	-	$w=10\text{ }\mu\text{m}$; $ng=15$; $m=2$
	N2	150	0,35	NMOSRF	-	$w=10\text{ }\mu\text{m}$; $ng=15$; $m=1$
	L_g (Externo)	-	-	-	8,4nH	-
	L_d (Interno)	-	-	-	5nH	-
	L_s (Interno)	-	-	-	2,25nH	-
	C_1	-	-	-	934fF	-
	C_2	-	-	-	1,12pF	-
	R_A	-	-	-	12k Ω	-
	I_d^1	-	-	-	2,5mA	-
OC-LNA	N1	360	0,35	NMOSRF	-	$w=10\text{ }\mu\text{m}$; $ng=18$; $m=2$
	N2	140	0,35	NMOSRF	-	$w=10\text{ }\mu\text{m}$; $ng=14$; $m=1$
	L_g (Interno)	-	-	-	5,67nH	-
	L_d (Interno)	-	-	-	5nH	-
	L_s (Interno)	-	-	-	0,63nH	-
	C_1	-	-	-	1,011pF	-
	C_2	-	-	-	1,719pF	-
	R_A	-	-	-	12K Ω	-
	I_d^1	-	-	-	2,5mA	-

* Para os transistores NMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados.

¹ I_d é a corrente total de polarização.

Com o resultado inicial gerado através da estratégia de projeto (Tabela 17) os LNAs foram simulados utilizando SpectreRF na ferramenta da Cadence [3.38], fazendo um re-projeto deles, de tal forma a cumprir com as especificações e de deixar os circuitos mais robustos, com um melhor desempenho. Posteriormente, foi feito o *layout* e extração dos circuitos e realizados os ajustes necessários, devido aos elementos parasitas, para obter o desempenho desejado. Nos próximos itens são apresentadas as topologias e as dimensões dos componentes dos circuitos após a extração e simulação pós-*layout*.

Após a determinação dos valores das indutâncias, através de simulações na ferramenta da Cadence, simulou-se os indutores no ASITIC. Na Tabela 18 são apresentados os parâmetros dos indutores externos e internos, extraídos do ASITIC, utilizados no FC-LNA e OC-LNA, respectivamente. O modelo PI destes indutores estão apresentados na Tabela 19.

Tabela 18 – Parâmetros dos indutores do FC-LNA e OC-LNA.

Parâmetros	L_g externo FC-LNA	L_g interno OC-VCO	L_s interno FC-LNA	L_s interno OC-VCO	L_d interno FC e OC-LNA
L_s (nH)	6	6	2,25	0,5	5
Q	29	5	6	5	5
l_{ext} (μm)	280	260	280	200	250
w (μm)	13	12	27,5	29	14
s (μm)	5	3	1,5	2	2
n	5,5	4,75	2,75	1,75	4,75

*O Q foi siluado na frequência central de 2,45GHz.

A partir dos parâmetros dos indutores apresentados na Tabela 18 podemos observar que a diferença entre os Qs dos dois indutores L_g , L_g externo Q=29 e o L_g interno Q=5, era de praticamente cinco vezes maior.

Tabela 19 – Parâmetros simulados do modelo PI dos indutores do FC-LNA e OC-LNA.

Parâmetros do Indutor	L_g externo FC-LNA	L_g interno OC-VCO	L_s interno FC-LNA	L_s interno OC-VCO	L_d interno FC e OC-LNA
L_s (nH)	6,22	5,92	2,23	0,56	4,97
R_s (Ω)	3,20	11,18	4,25	1,65	9,74
C_{sub1} (fF)	33,00	102,62	123,67	65,11	101,47
C_{sub2} (fF)	19,92	103,49	121,45	62,23	101,70
R_{sub1} (Ω)	2,04	661,86	603,20	863,28	671,49
R_{sub2} (Ω)	6,87	805,57	772,94	994,64	845,97
Q*	29	5	6	5	6

*O Q foi simulado na frequência central de 2,45GHz.

As variações de indutância e do fator de qualidade em função da frequência, para todos os indutores (externo e interno) dos circuitos FC-LNA e OC-LNA, estão ilustradas nas Figura 53 e Figura 54, respectivamente. Os indutores foram simulados entre 50MHz e 6GHz.

Figura 53 – Simulação da variação da L versus a frequência para os indutores do FC-LNA e OC-LNA.

Figura 54 – Simulação da variação do Q versus a frequência para os indutores externos do FC-LNA e OC-LNA.

Como podemos observar o Q do indutor externo (L_g) tem um comportamento diferente do interno (L_g), do mesmo modo que o do FC-VCO, uma vez que em 6GHz o Q do indutor externo está acima de 40. Através de simulações, foi possível observar que a frequência de ressonância do indutor externo está acima de 10GHz. Assim como o indutor utilizado para o FC-VCO, o indutor externo (L_g) não pode ser

projetado com o Q máximo na frequência de interesse por causa das limitações dos processos.

3.3.3.1 FC-LNA

A topologia utilizada para o FC-LNA está ilustrada na Figura 55. Como podemos observar, o circuito de polarização foi gerado internamente ao chip usando um espelho de corrente, e o R_{Bias} foi projetado para gerar a corrente desejada uma vez que seja aplicada a tensão (V_{Bias}). O capacitor C_A externo foi utilizado para isolar o nível de DC do gerador do nível de DC na entrada do circuito. Um divisor capacitivo (C_1 e C_2) foi projetado para obter casamento de impedâncias para 50Ω na saída.

Figura 55 – Topologia do FC-LNA.

Pode-se observar na mesma figura que para o projeto do FC-VCO, foram considerados os modelos de interconexão *flip chip* [3.7] e dos *pads*, para simular os elementos parasitários das bolas de solda da conexão entre o indutor externo e o *die*.

As dimensões e os valores dos dispositivos do FC-LNA estão apresentados na Tabela 20, após a extração e simulação pós-*layout*, considerando uma corrente de polarização (I_d) de aproximadamente 2,36mA. Neste circuito somente o indutor L_g é externo e os outros foram implementados dentro do CI, ou seja, internos.

Foi escolhido o indutor L_g (da porta) como externo já que é o indutor que mais afeta a figura de ruído dos LNAs CMOS fonte comum com degeneração indutiva na fonte, que é a especificação mais importante em LNAs. O ruído gerado pela resistência série do indutor L_g é adicionado diretamente ao ruído referido à entrada e, portanto, aumenta de forma direta o fator de ruído total do LNA. Como esse indutor é externo, tem-se um melhor fator de qualidade e uma menor resistência série, que por sua vez gera uma menor contribuição no fator de ruído total do LNA. Desta forma, é possível obter um LNA com menor figura de ruído sem penalidades no consumo de potência.

Tabela 20 – Dimensões e valores dos dispositivos do FC-LNA.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	NBias	20	0,35	NMOSRF	-	$w=10$; $ng=2$; $m=1$
	RBias	2	420	RPOLY2	12K Ω	-
	RA	2	420	RPOLY2	12K Ω	-
<i>Core</i>	N1	300	0,35	NMOSRF	-	$w=10$; $ng=15$; $m=2$
	N2	150	0,35	NMOSRF	-	$w=10$; $ng=15$; $m=1$
	C1	46,4	23,2	CPOLYRF	941,73fF	$w=l=23,2$ $m=2$
	C2	42,7	21,35	CPOLYRF	798,7fF	$w=l=21,35$; $m=2$

* Para os transistores NMOSRF, tem-se: w é a largura de cada dedo dos transistores e está em μm ; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados. Para os capacitores CPOLYRF, m é o número de capacitores em paralelo utilizados.

3.3.3.2 OC-LNA

A topologia utilizada para o OC-LNA está ilustrada na Figura 56. Todos os indutores L_g , L_s e L_d são internos. Como mostrado, da mesma forma que no FC-LNA, o circuito de polarização foi gerado internamente ao chip usando um espelho de corrente, e o R_{Bias} foi projetado para gerar a corrente desejada uma vez que seja aplicada a tensão (V_{Bias}). O capacitor C_A externo foi utilizado para isolar o nível de DC do gerador do nível de DC na entrada do circuito. Um divisor capacitivo (C_1 e C_2) foi projetado para obter casamento de impedâncias para 50 Ω na saída.

Figura 56 – Topologia do OC-LNA.

Pode-se observar também na mesma figura que para o projeto do OC-LNA, foram considerados indutores ideais, de 1,5nH, na entrada e saída de RF para modelar a interconexão *wire bonding* entre o *die* e a placa de teste.

Tabela 21 – Dimensões e valores dos dispositivos do OC-LNA.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	NBias	20	0,35	NMOSRF	-	$w=10\ \mu\text{m}$; $ng=2$; $m=1$
	RBias	2	420	RPOLY2	12k Ω	-
	RA	2	420	RPOLY2	12k Ω	-
<i>Core</i>	N1	360	0,35	NMOSRF	-	$w=10\ \mu\text{m}$; $ng=18$; $m=2$
	N2	140	0,35	NMOSRF	-	$w=10\ \mu\text{m}$; $ng=14$; $m=1$
	C1	48,3	24,15	CPOLYRF	1,019pF	$w=l=24,15\ \mu\text{m}$; $m=2$
	C2	58,7	29,35	CPOLYRF	1,502pF	$w=l=29,35\ \mu\text{m}$; $m=2$

* Para os transistores NMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados. Para os capacitores CPOLYRF, m é o número de capacitores em paralelo utilizados.

As dimensões e os valores dos dispositivos do OC-LNA estão apresentados na Tabela 21. É importante ressaltar, que o indutor L_d interno usado foi o mesmo que o utilizado no FC-LNA. Adicionalmente, o valor de indutância equivalente do indutor L_g para os dois circuitos FC-LNA e OC-LNA também foi o mesmo. Isto facilita a comparação entre os dois LNAs.

3.3.3.3 Projeto extra do FC-LNA com menor figura de ruído e maior ganho

Do mesmo modo como com o VCO, realizou-se um projeto extra para o FC-LNA, com o intuito de melhorar o desempenho do circuito. Este novo projeto, por sua vez, foi apenas simulado. A idéia central foi reduzir a figura de ruído e aumentar o ganho em relação ao FC-LNA já projetado. Para tanto, o indutor L_d também foi considerado externo ao *chip*, para que tivesse um Q maior, e manteve-se o L_g externo. Assim sendo, o projeto extra do FC-LNA consiste em dois indutores externos (L_g e L_d) e um interno (L_s). Com o indutor L_d também externo, tem-se um melhor Q para este indutor, o que proporciona a redução da figura de ruído e o aumento do ganho no LNA.

A topologia utilizada para o projeto extra do FC-LNA com menor figura de ruído e maior ganho é a mesma que o FC-LNA com a adição dos modelos de *pads* e da interconexão *flip chip* no dreno do transistor M2. Isto se deve ao fato de que ele tem mais um indutor externo e tem que considerar esses *pads* e a conexão com o *die*.

Tabela 22 – Dimensões e valores dos dispositivos do projeto extra do FC-LNA.

Circuito	Dispositivo	w_{tot} (μm)	l (μm)	Tipo	Valor	Observações*
<i>Bias</i>	NBias1	20	0,35	NMOSRF	-	$w=10 \mu m$; $ng=2$; $m=1$
	RBias1	2	420	RPOLY2	12k Ω	-
	RA	2	420	RPOLY2	12k Ω	-
<i>Core</i>	N1	300	0,35	NMOSRF	-	$w=10 \mu m$; $ng=15$; $m=2$
	N2	150	0,35	NMOSRF	-	$w=10 \mu m$; $ng=15$; $m=1$
	C1	35,7	17,85	CPOLYRF	280,16fF	$w=l=17,85 \mu m$; $m=2$
	C2	62	31	CPOLYRF	837,12fF	$w=l=31 \mu m$; $m=2$

* Para os transistores NMOSRF, tem-se: w é a largura de cada dedo dos transistores; ng é o número de dedos dos transistores; m é o número de transistores em paralelo utilizados. Para os capacitores CPOLYRF, m é o número de capacitores em paralelo utilizados.

Os dispositivos utilizados no projeto extra do FC-LNA são os mesmos que no FC-LNA anterior, para permitir uma melhor comparação, o que muda são o indutor L_d , que agora é externo, e o divisor capacitivo na saída do bloco, para ajustar o casamento de impedância na saída uma vez que a impedância do indutor L_d variou. Vale ressaltar que se manteve o mesmo valor de indutância (5nH) para o L_d e o

mesmo consumo de potência do que o FC-LNA. Na Tabela 22 estão detalhadas as dimensões e os valores dos dispositivos do projeto extra do FC-LNA.

Foi realizada outra simulação com todos os indutores externos, e notou-se que o ganho e a figura de ruído não foram melhorados significativamente, comparado com o projeto extra do FC-LNA. A justificativa para tal afirmação é que a figura de ruído é predominantemente afetada pelo indutor L_g e o ganho não variou consideravelmente uma vez que se manteve o mesmo valor de indutância do indutor L_s tanto para o indutor externo como interno.

A Figura 57 ilustra o *layout* do *chip* completo enviado para a fabricação. Este contém os quatro circuitos projetados neste trabalho, além de outros circuitos de outros pesquisadores.

Figura 57 – *Layout* do *chip* completo (3,0 x 2,8 mm²).

Neste capítulo foram apresentadas a tecnologia *flip chip* e como pretende-se implementá-la, e a teoria dos blocos RF, VCO e LNA, juntamente com as topologias utilizadas para o projeto dos mesmos. Também foram apresentados os projetos do FC-VCO e OC-VCO, do FC-LNA e OC-LNA, bem como os indutores destes circuitos, suas especificações e como se deu o ponto de partida para os projetos.

4 – Apresentação e análise dos resultados

Neste capítulo serão apresentados os *layouts* dos circuitos projetados (tecnologia CMOS 0,35 μ m), resultados obtidos e análise destes resultados através das simulações pós-*layout* dos circuitos FC-VCO, OC-VCO, FC-LNA e OC-LNA (CADENCE *Tools*) e os resultados das medidas elétricas do OC-VCO e OC-LNA. Não foi possível medir o FC-VCO e FC-LNA.

A Figura 58 ilustra a microfotografia do *chip* completo fabricado. Assim como a Figura 57, de *layout*, a microfotografia contém os quatro circuitos projetados, além de outros circuitos. Os resultados aqui apresentados foram realizados após a extração das parasitas do *layout* e após as medidas elétricas (no OC-VCO e OC-LNA).

Figura 58 – Microfotografia do *chip* completo (3,0 x 2,8 mm²).

4.1 VCOs

Neste item estão apresentados os resultados de simulação pós-*layout* do FC-VCO e do OC-VCO, incluindo os *layouts* dos mesmos, além dos resultados das medidas elétricas do OC-VCO, juntamente com a análise dos resultados.

4.1.1 FC-VCO

O *layout* completo do FC-VCO está ilustrado na Figura 59. A área total ocupada foi $1,06\text{mm}^2$ ($0,770\text{mm} \times 1,380\text{mm}$), incluindo os *pads*.

Figura 59 – *Layout* completo do FC-VCO (com *pads*).

Como ilustrado na Figura 59, foram incluídos capacitores de DC entre os *pads* de polarização (V_{DDA} , V_{Bias} , V_{DDA2}) e o terra, para reduzir o efeito das parasitas de interconexão com os circuitos externos. Esses capacitores são CPOLY com valores de 784fF ($w=30\mu\text{m}$ e $l=30\mu\text{m}$). Também servem para diminuir o efeito do ruído que pode vir dos equipamentos ou circuitos externos usados para gerar os sinais de polarização. Para diminuir as variações da tensão de controle devido ao ruído e sinais de alta frequência que possam vir junto com o sinal de DC de controle aplicado, também foram incluídos filtros passivos RC de segunda ordem (2 filtros

RC em cascata) entre o *pad* e o nó onde é aplicada a tensão de controle do VCO (V_{Ctrl}). Os valores dos capacitores e resistores são: CPOLY=784fF ($w=30\mu\text{m}$ e $l=30\mu\text{m}$) e RPOLY= 200k Ω ($w=4\mu\text{m}$ e $l=633,45\mu\text{m}$).

Todos os *pads* de alimentação (VDDA e VDDA2), de polarização (V_{Ctrl} e V_{Bias}) e terra (V_{SSA}) incluem proteções ESD (*Electro Static Discharge*). Nestes *pads* foram usadas as 4 camadas de metal empilhadas (o processo de fabricação utilizado disponibiliza 4 camadas de metal em total). No caso dos *pads* de RF (OUTP, OUTN e OUT) só foram usadas as 2 camadas superiores empilhadas (MET4 e MET3) para reduzir a capacitância dos *pads* de RF e o efeito desta no desempenho do circuito. Adicionalmente, na saída de RF (OUT) foi usada uma estrutura de *pads* GSG (*Ground-Signal-Ground*). Todos os *pads* têm um tamanho de $130\mu\text{m} \times 130\mu\text{m}$ e uma separação de $70\mu\text{m}$ entre eles.

A Figura 60 ilustra o *layout* do *core* do FC-VCO juntamente com o *balun*, incluindo o circuito de *bias* e sem os *pads*. A área total ocupada é $0,04\text{mm}^2$ ($125\mu\text{m} \times 315\mu\text{m}$). Na parte superior da figura, nota-se que o *layout* foi feito de forma simétrica e considerando o casamento entre os dispositivos, ou seja, os dispositivos foram distribuídos nos dois lados do *layout* e ligados de forma cruzada (Figura 61, Figura 62 e Figura 63). Foram utilizados anéis de guarda em volta de cada um dos dispositivos que compõem o circuito, para reduzir a resistência de contato ao substrato e o efeito de elementos parasitas e dispositivos próximos. Foi feita uma blindagem das trilhas de metal onde é aplicada a tensão de controle (V_{Ctrl}) dos varactores, para evitar que sinais indesejados se acoplem ao V_{Ctrl} e causem variações na frequência de oscilação.

Figura 60 – *Layout* do FC-VCO juntamente com o *balun*.

Figura 61 – Layout do core ativo do FC-VCO.

Figura 62 – Layout do casamento dos transistores NMOSRF do FC-VCO.

Figura 63 – *Layout* do casamento dos transistores PMOSRF do FC-VCO.

A Figura 64 ilustra o *layout* do *balun* projetado para converter o sinal diferencial de saída do FC-VCO para *single-ended*. A área ocupada é $0,0066\text{mm}^2$ ($47\mu\text{m} \times 140\mu\text{m}$).

Figura 64 – *Layout* do *balun* do FC-VCO.

Após a apresentação dos *layouts* do FC-VCO seguem os resultados de simulação pós-*layout* do mesmo. Para obter os resultados de simulação foi utilizado o *test-bench* da Figura 65. Neste *test-bench* foram considerados os modelos de interconexão *flip chip* (Figura 33), o modelo do indutor externo de 5nH , os elementos parasitas dos *pads* e a resistência de 50Ω do equipamento para medir a saída RF do circuito. Todos os resultados apresentados correspondem a resultados pós-*layout*.

Figura 65 – Test-bench do FC-VCO.

Quando um CI é fabricado, o mesmo pode sofrer variações do processo, uma vez que se trata de processos químico-físicos, como dopagens, corrosões, deposições, entre outros. Essas variações podem modificar o comportamento e os parâmetros elétricos dos dispositivos (por exemplo, a tensão de limiar V_T dos transistores pode variar). Por sua vez, isto gera alterações no desempenho do circuito. Para considerar essas variações no projeto, a *foundry* fornece diferentes modelos, os quais são utilizados nas simulações. Neste trabalho foram utilizados: pior caso de potência (WP), pior caso de velocidade (WS) e o caso típico (TM).

A Figura 66 ilustra o *start-up* dos sinais de saída do VCO (OUTP e OUTN) e do sinal de saída do *balun* (OUTB) do FC-VCO, no caso típico. Como ilustrado é garantida a oscilação nas saídas do VCO e na saída do *balun*.

Figura 66 – Start-up das saídas OUTP, OUTN e OUTB (*balun*) do FC-VCO (TM).

A Figura 67 apresenta as amplitudes dos sinais de saída OUTP, OUTN e OUTB em estado estável usando modelos de caso típico. Como ilustrado, a amplitude de OUTB ($168,3\text{mV}_{pp}$) garante a condição estabelecida em 3.2.5 para o sinal de saída do balun, $160\text{mV}_{pp} < |\text{OUTB}| < 200\text{mV}_{pp}$. O sinal diferencial na saída do core do FC-VCO ($\text{OUTP} - \text{OUTN}$) apresenta uma amplitude de aproximadamente $1,65\text{V}_{pp}$.

Figura 67 – Amplitude das saídas OUTP, OUTN e OUTB (*balun*) do FC-VCO (TM).

Na Figura 68 são ilustrados os resultados de simulação da frequência de oscilação (f_{osc}) versus a tensão de controle (v_{ctrl}) para os casos TM, WP e WS. Como

ilustrado, garante-se em todos os casos a sintonia da banda de frequência desejada (2,4GHz – 2,48GHz) através da variação da tensão de controle.

Os resultados de simulação do ruído de fase versus a frequência de *offset* para os casos WP, TM e WS, a uma frequência de oscilação de 2,4GHz são apresentados na Figura 69. Os mesmos resultados para as frequências de oscilação de 2,45GHz e 2,48GHz são ilustrados na Figura 70 e na Figura 71, respectivamente.

Figura 68 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do FC-VCO.

No caso típico e para uma frequência de oscilação de 2,45GHz, o FC-VCO apresenta um ruído de fase de -117,1dBc/Hz@1MHz e -128,9dBc/Hz@3MHz. O pior caso de ruído de fase considerando variações de processo apresenta-se para uma frequência de oscilação de 2,48GHz e corresponde a -114,9dBc/Hz@1MHz e -126,7dBc/Hz@3MHz. Em todos os casos analisados a especificação de ruído de fase menor do que -110dBc/Hz@1MHz é garantida, na faixa desejada (2,4GHz a 2,48GHz).

Figura 69 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,4GHz.

Figura 70 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,45GHz.

Figura 71 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,48GHz.

Foram realizadas simulações do ruído de fase no caso típico variando a temperatura para verificar o comportamento do FC-VCO, para uma faixa de temperatura de -20°C a 40°C . Os resultados obtidos são apresentados na Figura 72 para uma frequência de oscilação de 2,45GHz. Como ilustrado, não se apresentam mudanças significativas no desempenho do FC-VCO em função da temperatura para frequências de *offset* de 1MHz e 3MHz.

Figura 72 – Ruído de fase versus a frequência de *offset* para TM variando a temperatura (temp) do FC-VCO. Frequência de oscilação de 2,45GHz.

A Figura 73 ilustra a corrente DC total (I_{VDDA}) do core do FC-VCO e a corrente de referência usada no espelho de corrente (I_{Bias}) em função de V_{Bias} . Como ilustrado, através de V_{Bias} é possível variar a corrente DC total do core e desta maneira ajustar a amplitude do sinal de saída e o desempenho de ruído de fase do FC-VCO. O consumo de corrente DC total do FC-VCO no caso típico é 1,53mA, usando uma corrente de referência I_{Bias} de 140 μA . Esse valor de corrente é obtido aplicando uma tensão DC V_{Bias} de 0,245V.

Figura 73 – Corrente DC total e I_{Bias} em função de V_{Bias} do FC-VCO (TM).

4.1.2 OC-VCO

O *layout* completo do OC-VCO está ilustrado na Figura 74. A área total ocupada é $0,676\text{mm}^2$ ($0,730\text{mm} \times 0,927\text{mm}$), incluindo os *pads*.

Do mesmo modo que no FC-VCO, foram utilizadas as mesmas considerações de *layout*, como capacitores DC, o casamento entre os componentes, entre outras.

Para os *pads* também foram feitas as mesmas considerações do que no FC-VCO. No OC-VCO o tamanho dos *pads* é diferente do que no FC-VCO, sendo que eles têm um tamanho de $95\mu\text{m} \times 95\mu\text{m}$ e uma separação de $105\mu\text{m}$ entre eles para obter um *pitch* de $200\mu\text{m}$. Assim como no FC-VCO, também foram inseridos capacitores e resistores, entre os *pads* de polarização e o terra, com os mesmos valores e intuito.

A Figura 75 ilustra o *layout* do OC-VCO juntamente com o *balun*, o circuito de polarização (*bias*) e o indutor interno, e sem incluir os *pads*. A área total ocupada é $0,23\text{mm}^2$ ($538\mu\text{m} \times 429\mu\text{m}$). O tamanho do indutor interno é $250\mu\text{m} \times 250\mu\text{m}$. A área total ocupada pelo indutor, pelo espaçamento entre ele e os circuitos, e pelas interconexões do indutor com o resto do circuito é $0,11\text{mm}^2$.

Figura 74 – Layout completo do OC-VCO (com pads).

Na Figura 76 é apresentado o *layout* do OC-VCO juntamente com o *balun*, o circuito de *bias* e sem incluir o indutor. Vale ressaltar que foi utilizado o mesmo *balun* para o OC-VCO e o FC-VCO. Do mesmo modo que no FC-VCO, o *layout* foi feito de forma simétrica e considerando o casamento entre os dispositivos (Figura 77, Figura 79 e Figura 78). Foram utilizados anéis de guarda em volta do indutor interno e de cada um dos dispositivos que compõem o circuito, para reduzir a resistência de contato ao substrato e o efeito de elementos parasitas e dispositivos próximos. Também foi feita uma blindagem das trilhas de metal onde é aplicada a tensão de controle (V_{Ctrl}) dos varactores.

Figura 75 – Layout do OC-VCO juntamente com o balun, circuito de polarização (*bias*) e indutor interno.

Figura 76 – Layout do OC-VCO e balun (sem o indutor).

Figura 77 – Layout do core ativo do OC-VCO (sem o indutor).

Figura 78 – Layout do casamento dos transistores NMOSF do OC-VCO.

Figura 79 – Layout do casamento dos transistores PMOSRF do OC-VCO.

Após a apresentação dos *layouts* do OC-VCO seguem os resultados de simulação pós-*layout* do mesmo. Para obter os resultados de simulação foi utilizado o *test-bench* da Figura 80. Neste *test-bench* foram considerados o modelo do indutor interno de 5nH, os elementos parasitas dos *pads*, a resistência de 50Ω do equipamento para medir a saída RF do circuito e um *wire bonding* de 1,5nH para modelar a interconexão entre a saída do *balun* do OC-VCO e a placa de teste. Todos os resultados apresentados correspondem a resultados pós-*layout*.

Figura 80 – Test-bench do OC-VCO.

A Figura 81 ilustra o *start-up* dos sinais de saída do VCO (OUTP e OUTN) e do sinal de saída do *balun* (OUTB) do OC-VCO, para o caso típico. Como ilustrado é garantida a oscilação nas saídas do OC-VCO e na saída do *balun*.

Figura 81 – Startup das saídas OUTP, OUTN e OUTB (*balun*) do OC-VCO (TM).

A Figura 82 apresenta as amplitudes dos sinais de saída OUTP, OUTN e OUTB em estado estável usando modelos de caso típico. O sinal diferencial na saída do *core* do OC-VCO ($OUTP - OUTN$) apresenta uma amplitude de $1,65V_{pp}$, aproximadamente, e OUTB de $199,8mV_{pp}$ na saída do *balun*. Como podemos observar, a amplitude de OUTB garante a condição estabelecida em 3.2.5, onde $160mV_{pp} < |OUTB| < 200mV_{pp}$.

Figura 82 – Amplitude das saídas OUTP, OUTN e OUTB (*balun*) do OC-VCO (TM).

Na Figura 83 são ilustrados os resultados de simulação da frequência de oscilação (f_{osc}) versus a tensão de controle (v_{ctrl}) para os casos TM, WP e WS. Como

ilustrado, garante-se em todos os casos a sintonia da banda de frequência desejada (2,4GHz – 2,48GHz) através da variação da tensão de controle.

Figura 83 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do OC-VCO.

Os resultados de simulação do ruído de fase versus a frequência de *offset* para os casos WP, TM e WS, e uma frequência de oscilação de 2,4GHz são apresentados na Figura 84. Os mesmos resultados para as frequências de oscilação de 2,45GHz e 2,48GHz são ilustrados na Figura 85 e na Figura 86, respectivamente.

No caso típico e para uma frequência de oscilação de 2,45GHz, o OC-VCO apresenta um ruído de fase de -113,3dBc/Hz@1MHz e -126,5dBc/Hz@3MHz. O pior caso de ruído de fase considerando variações de processo apresenta-se para uma frequência de oscilação de 2,48GHz e corresponde a -110,7dBc/Hz@1MHz e -124,2dBc/Hz@3MHz. Em todos os casos analisados a especificação de ruído de fase menor do que -110dBc/Hz@1MHz é garantida, na faixa de frequência desejada (2,4GHz a 2,48GHz).

Figura 84 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,4GHz.

Figura 85 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,45GHz.

Figura 86 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,48GHz.

Do mesmo modo que no FC-VCO, também foram feitas simulações do ruído de fase no caso típico variando a temperatura para verificar o comportamento do OC-VCO, na faixa de -20°C a 40°C . Os resultados obtidos são apresentados na Figura 87 para uma frequência de oscilação de 2,45GHz. Como ilustrado, não se apresentam mudanças significativas no desempenho do OC-VCO em função da temperatura para frequências de *offset* de 1MHz e 3MHz.

Figura 87 – Ruído de fase versus a frequência de *offset* para TM variando a temperatura do OC-VCO. Frequência de oscilação de 2,45GHz.

A Figura 88 ilustra a corrente DC total (I_{VDDA}) do core do OC-VCO e a corrente de referência usada no espelho de corrente (I_{Bias}) em função de V_{Bias} . O consumo de corrente DC total do OC-VCO no caso típico é 3,76mA, usando uma corrente de referência I_{Bias} de $180\mu\text{A}$. Esse valor de corrente é obtido aplicando uma tensão DC V_{Bias} de 0,703V.

Figura 88 – Corrente DC total e I_{Bias} em função de V_{Bias} do OC-VCO.

4.1.3 Projeto extra do FC-VCO com menor ruído de fase

A seguir são apresentados os resultados de simulação *pré-layout* do projeto extra do FC-VCO com menor ruído de fase. O FC-VCO com menor ruído de fase (PN – *phase noise*) foi projetado para ter aproximadamente o mesmo consumo de potência do que o OC-VCO, com o propósito de demonstrar a melhora no ruído de fase quando usado o indutor externo conectado através de *flip chip*. Uma vez que o Q do indutor externo é cerca de 6 vezes maior que o Q do indutor interno, e a corrente de polarização estar inversamente relacionada com o valor do ruído de fase, tem-se um desempenho melhor no circuito em relação ao ruído de fase. O *test-bench* usado foi o mesmo do FC-VCO.

A Figura 89 ilustra o resultado da frequência de oscilação versus a tensão de controle para o projeto extra do FC-VCO considerando modelos típicos. Como ilustrado é garantida a sintonia da banda de frequência desejada.

A Figura 90 ilustra os resultados de ruído de fase versus a frequência de *offset* para o projeto extra do FC-VCO simulado com uma fonte de corrente ideal (*Phase Noise Ideal*) e um espelho de corrente PMOS (*Phase Noise Real*). Estes resultados mostram a influência do ruído *flicker* da fonte de corrente de polarização. Como ilustrado, o espelho de corrente PMOS degrada o ruído de fase em -4dBc/Hz em uma frequência de *offset* de 1MHz.

Figura 89 – Frequência de oscilação versus tensão de controle para o projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz.

Figura 90 – Ruído de fase versus a frequência de *offset* do projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz.

Após as simulações *pré-layout* foram obtidas as seguintes características de desempenho para o projeto extra do FC-VCO considerando modelos típicos: um ruído de fase de -120,7dBc/Hz@1MHz e -132,2dBc/Hz@3MHz; uma faixa de sintonia de 203MHz (2,334GHz – 2,537GHz); e um consumo de potência de aproximadamente 10,8mW (3,6mA usando uma tensão de alimentação de 3V). A amplitude do sinal diferencial de saída do *core* e de saída do *balun* foram 2,49V_{pp} e 192,14mV_{pp}, respectivamente.

4.1.4 Resultados experimentais do OC-VCO

Para fazer as medidas elétricas dos circuitos OC-VCO e OC-LNA fabricados, foram implementadas 3 placas de teste em alumina, mostradas na Figura 91 (a). As placas de alumina usadas têm área de 2,54cm x 5,08cm, no entanto, o layout completo da placa foi desenhado para ocupar só 2,54cm x 3,81cm. Um *die* foi montado em cada placa e foram feitas as conexões entre os *pads* do *die* e as trilhas na alumina através de *wirebonding*. Podemos destacar, que quando realizado o processo de *wirebonding* (com fios de ouro), tiveram 2 *pads* que não conseguiram segurar e descolaram a parte superior, o que levou a fazer a conexão nesses 2 *pads* com fio de alumínio. Este fato ilustra que as camadas de metal dos *pads* estão com problema de

aderência e não estão tão rígidas quanto deveriam estar, o que será comprovado com outro fato detalhado na parte experimental do LNA.

A Figura 91 (b) mostra uma fotografia da placa completa de teste implementada. Foram usados capacitores de tântalo de $10\mu\text{F}$ e cerâmicos de 100nF para diminuir o ruído em cada uma das tensões de alimentação e polarização. Para a saída RF do OC-VCO e a entrada RF e saída RF do OC-LNA foram usados conectores SMA.

Figura 91 – Placas de teste: (a) as 3 placas de alumina fabricadas; (b) placa de teste.

Para realizar os testes do OC-VCO foram usadas três fontes DC para fornecer a tensão de alimentação $V_{\text{DDA}2}$ do buffer de saída, a tensão de polarização V_{Bias} e a tensão de controle V_{Ctrl} . A tensão de alimentação V_{DDA} do core do OC-VCO foi fornecida através de duas pilhas (AA) de 1,5V conectadas em série para diminuir o efeito da fonte de alimentação no ruído de fase. Em princípio, foram feitos testes usando a fonte de alimentação E3630A para fornecer o V_{DDA} , comprovando-se que o desempenho de ruído de fase foi degradado em até 4dBc/Hz em relação a bateria. Por este motivo, todos os resultados apresentados em seguida para o OC-VCO foram obtidos usando pilhas.

Para medir as correntes e tensões de alimentação e polarização foram usados multímetros. A Figura 92 apresenta os resultados experimentais obtidos para a corrente DC total de polarização (I_{VDDA}) versus a tensão de polarização V_{Bias} em uma das amostras testadas (Med. Chip1). Como comparação também são mostrados os resultados de simulação para o caso típico (TM), pior caso de potência (WP) e pior

caso de velocidade (WS). Observa-se que o comportamento experimental em DC obtido está próximo dos resultados de simulação obtidos no caso típico. Nas outras amostras testadas comprovou-se o mesmo comportamento. Adicionalmente, foi medida a corrente de polarização do buffer de saída do OC-VCO, obtendo-se experimentalmente um valor de 8,51mA que também está próximo do valor de 8,3mA obtido através de simulação para o caso típico.

Figura 92 – Medidas elétricas do OC-VCO: I_{VDDA} versus V_{Bias} .

Para realizar as medidas no domínio da frequência e do ruído de fase no sinal RF de saída do OC-VCO foi usado o analisador de espectro HP8565. Para ter um resultado mais preciso da potência no sinal RF de saída foi usado o medidor de potência HP436A, calibrado nas frequências de interesse a serem medidas. A Figura 93 mostra uma fotografia destes dois equipamentos.

Figura 93 – Equipamentos usados para as medidas elétricas: (a) analisador de espectro; (b) medidor de potência.

Com o propósito de caracterizar o OC-VCO, foram feitos testes variando a tensão de controle (V_{Ctrl}) e medindo com o analisador de espectro a frequência fundamental de oscilação (f_{osc}). A tensão V_{Ctrl} foi variada entre 0V e 3V, e para todas as amostras testadas sempre se garantiu oscilação na faixa completa de variação de V_{Ctrl} . Adicionalmente, para cada valor de V_{Ctrl} foi possível obter um sinal de saída do OC-VCO com uma frequência de oscilação estável, comprovando-se a utilidade dos filtros RC implementados dentro do chip para filtrar o sinal do V_{Ctrl} e atenuar as flutuações devido aos ruídos externos das fontes de DC e do ambiente de teste. Para fazer as medidas no analisador de espectro foram usados os seguintes parâmetros de configuração: *SPAN* (largura da janela de medida no analisador de espectro) de 10MHz, *RBW* (*Resolution BandWidth* ou largura de banda do filtro de IF) de 30KHz e *VBW* (*Video BandWidth*) de 100KHz.

A Figura 94 apresenta os resultados experimentais da frequência de oscilação (f_{osc}) versus a tensão de controle (V_{Ctrl}) para as três amostras testadas (Med. Chip1, Med. Chip2 e Med. Chip3), usando uma corrente total de polarização $I_{VDDA}=3,76mA$. Também como comparação são mostrados os resultados de simulação para os casos TM, WP e WS. Como ilustrado, observam-se comportamentos bem próximos nos três chips testados e garante-se em todos os casos a sintonia da banda de frequências desejada (2,4GHz–2,48GHz) através da variação da tensão de controle. A máxima frequência de oscilação obtida experimentalmente foi 2,61GHz para uma tensão de controle de 3V. A Tabela 23 mostra uma comparação entre os valores de V_{Ctrl} obtidos experimentalmente e os

resultados de simulação para o caso típico para frequências de oscilação de 2,4GHz, 2,45GHz e 2,48GHz. Observam-se algumas diferenças entre os resultados experimentais e de simulação, que podem ser devido às variações do valor de indutância do indutor *on-chip* de 5nH usado, às alterações no comportamento dos varactores e ao desvio dos valores estimados das capacitâncias parasitas nos diferentes nós do circuito. No entanto, vale ressaltar que mesmo com as variações apresentadas sempre é garantida a sintonia da banda de frequências de interesse. Vale ressaltar que o comportamento apresentado na figura sobre muita influência do valor e das características do Cvar (varactor) utilizado.

Figura 94 – Medidas elétricas do OC-VCO: f_{osc} versus V_{Ctrl} .

A Figura 95 ilustra uma fotografia do resultado obtido no analisador de espectro para uma frequência de oscilação de 2,4GHz. Observa-se um ruído de fase de -112dBc/Hz para uma frequência de *offset* de 1MHz, o qual cumpre com a especificação inicial de -110dBc/Hz@1MHz.

Na Tabela 24 são mostrados os valores obtidos experimentalmente para o ruído de fase em frequências de *offset* de 1MHz e 3MHz, para frequências de oscilação de 2,4GHz, 2,45GHz e 2,48GHz. Pode-se observar que no pior caso se obteve um ruído de fase de -108,1dBc/Hz@1MHz e -116dBc/Hz@3MHz, para uma

frequência de oscilação de 2,48GHz. Desta forma, é evidente que o desempenho do ruído de fase para uma frequência de *offset* de 1MHz está bem próximo da especificação inicial de -110dBc/Hz (Tabela 9). Como comparação são também apresentados os resultados obtidos através de simulação com modelos de caso típico na Tabela 24. Para uma frequência de *offset* de 1MHz os resultados experimentais mostram que o ruído de fase obtido, no pior caso medido (para 2,48GHz – Méd. Chip1), está 4,6dBc/Hz acima do valor esperado através de simulação (para 2,48GHz – Sim.). Para uma frequência de *offset* de 3MHz obteve-se uma diferença de aproximadamente 10dBc/Hz entre o resultado experimental e o simulado. Estas diferenças podem ser devido à influência do ruído de piso do analisador de espectro que limita o mínimo ruído de fase que pode ser medido com o equipamento, à redução do fator de qualidade do indutor interno de 5nH que degrada o ruído de fase do OC-VCO de acordo com a equação (3.8), às fontes de ruído e às interferências externas que podem se acoplar ao circuito sob teste.

Tabela 23 – Comparação dos resultados medidos e simulados da f_{osc} versus a V_{Ctrl} do OC-VCO.

f_{osc} [GHz]	VCtrl [V]			
	Sim.	Med. Chip1	Med. Chip2	Med. Chip3
2,4	0,604	0,125	0,170	0,084
2,45	1,053	0,529	0,577	0,522
2,48	1,313	0,667	0,680	0,660

Tabela 24 – Comparação dos resultados medidos e simulados do ruído de fase do OC-VCO.

f_{osc} [GHz]	Ruído de fase [dBc/Hz]							
	@1MHz				@3MHz			
	Sim.	Med. Chip1	Med. Chip2	Med. Chip3	Sim.	Med. Chip1	Med. Chip2	Med. Chip3
2,4	-115	-111,1	-111,8	-111,9	-127,9	-118,3	-118,4	-119
2,45	-113,3	-109	-109,5	-109,6	-126,5	-116,9	-117,1	-118,3
2,48	-112,7	-108,1	-108,3	-109,3	-126,1	-116,8	-116	-116,5

Figura 95 – Fotografia do resultado do sinal de saída do OC-VCO através do analisador de espectro para f_{osc} de 2,4GHz.

Observamos que para as três amostras testadas foi verificado através de varredura do espectro de frequências entre 10KHz e 10GHz que não aparecem oscilações espúrias acima de -85dBm. As potências máximas das componentes harmônicas de segunda e terceira ordem medidas com o analisador de espectro foram -49dBm e -68,3dBm, para os três chips testados. A potência do sinal de saída do OC-VCO em 2,45GHz, medida com o medidor de potência HP436A, apresentou um valor médio de 53,57mW nas três amostras, correspondente a 17,2dBm e 146mVpp. Este valor está abaixo do valor de 199,8mVpp esperado em simulação no caso típico. Esta diferença pode ser por causa da redução do fator de qualidade do indutor interno que afeta diretamente a amplitude do sinal na saída do VCO, da variação dos valores das capacitâncias parasitas e dos modelos dos dispositivos usados, das perdas nos conectores, da placa de teste e dos cabos utilizados.

Finalmente, também foram realizados testes variando a tensão de alimentação V_{DDA} do OC-VCO entre 2,5V e 3,5V, utilizando a fonte de alimentação E3630A, e comprovou-se que a frequência de oscilação não apresenta variações significativas e

que sempre se garante oscilação na faixa analisada. Além disso, foi verificado que mesmo após 24h de funcionamento do circuito, este ainda mantinha a oscilação nas frequências desejadas.

4.1.5 Análise dos resultados dos VCOs

A Tabela 25 apresenta uma comparação dos principais resultados obtidos dos VCOs com outros trabalhos publicados. Para comparar o desempenho dos VCOs foi calculada a FOM de cada um deles, através da equação apresentada neste trabalho ((3.9) [3.15]).

Fazendo uma comparação entre os resultados simulados do FC-VCO com o OC-VCO e outros trabalhos publicados, pode-se observar que o FC-VCO apresenta um valor maior da FOM. Este fato é verdadeiro para os dois FC-VCOs projetados. Adicionalmente, o FC-VCO tem uma FOM aproximadamente 8dB maior do que o OC-VCO simulado. O ruído de fase do FC-VCO é 4dBc/Hz menor que o OC-VCO simulado, consumindo menos da metade da potência.

Analizando o OC-VCO medido tem-se FOM=167dB. Se compararmos com [4.2] e [4.4] podemos observar que o OC-VCO tem uma melhor FOM mesmo se comparado com tecnologias mais avançadas.

Tabela 25 – Comparação dos resultados dos VCOs simulados e medidos.

Ref.	Processo (μm)	Área* (mm^2)	Freq. (GHz)	VDD (V)	Pot. (mW)	PN (dBc/Hz)	FOM (dB)
Espec.	0,35	-	2,45	3,0	<12	-110@1MHz	-
OC-VCO ^S	0,35	0,23	2,45	3,0	11,3	-113@1MHz	170
OC-VCO ^M	0,35	0,23	2,45	3,0	11,3	-110@1MHz	167
FC-VCO ^S	0,35	0,04	2,45	3,0	4,6	-117@1MHz	178
FC-VCO ^{S2}	0,35	-	2,45	3,0	10,7	-121@1MHz	178
[4.1]	0,35	-	5,87	2,4	19,2	-112@1MHz	174
[4.2]	0,35	-	6,00	1,5	18,0	-98@1MHz	161
[4.3]	0,35	-	4,70	2,7	10,8	-110@1MHz	173
[4.4]	0,18	-	4,65	1,8	12,0	-95@1MHz	157
[4.5]	0,18	-	5,80	0,6	0,7	-97@1MHz	173

* Área sem considerar os *pads*.

^S Resultados do VCO simulado (simulação pós-*layout*).

^M Resultados do OC-VCO medido.

^{S2} Resultados do FC-VCO com menor ruído de fase simulado (projeto extra).

A área ocupada pelo FC-VCO é aproximadamente 83% menor do que no OC-VCO, uma vez que o indutor do FC-VCO está fora do *chip*.

Foi medido apenas o OC-VCO, uma vez que não foi possível fabricar o indutor externo, não foi possível medir o FC-VCO.

4.2 LNAs

Nesta seção estão apresentados os resultados de simulação pós-*layout* do FC-LNA e do OC-LNA, além dos resultados experimentais do OC-LNA, incluindo os *layouts* dos mesmos e finalmente a análise dos resultados.

4.2.1 FC-LNA

O *layout* completo do FC-LNA está ilustrado na Figura 96. A área total ocupada incluindo os *pads* é $0,81\text{mm}^2$ ($0,70\text{mm} \times 1,16\text{mm}$). A área ocupada pelo *core* do FC-LNA e os indutores internos L_s e L_d , sem considerar os *pads*, é $0,41\text{mm}^2$ ($0,48\text{mm} \times 0,86\text{mm}$). O indutor L_g foi projetado para ser externo ao *chip* e sua conexão será via *flip chip*. Como ilustrado, no *layout* do FC-LNA foram usadas as mesmas considerações do FC-VCO para os *pads* de polarização e de RF. Também foram incluídos capacitores de DC entre os *pads* de polarização e o terra. Os valores dos capacitores são os mesmos utilizados no FC-VCO e OC-VCO ($\text{CPOLY}=784\text{fF}$ ($w=30\mu\text{m}$ e $l=30\mu\text{m}$)). Ao redor de cada transistor de RF e os outros componentes foram colocados anéis de guarda conectados ao terra para reduzir a resistência equivalente de conexão ao substrato. Os indutores internos L_s e L_d foram implementados utilizando a camada de metal superior (MET4) disponível no processo de fabricação para obter melhores fatores de qualidade. Foi utilizada uma separação suficiente entre os indutores internos, pelo menos $100\mu\text{m}$, para evitar acoplamento magnético entre estes e variações do valor de indutância.

Figura 96 – *Layout* completo do FC-LNA, incluindo *pads*.

A Figura 97 ilustra o *layout* do *core* do FC-LNA juntamente com o circuito de polarização (*Bias*) e o divisor capacitivo de saída (sem os indutores internos L_s e L_d). A área ocupada é aproximadamente $0,013\text{mm}^2$ ($75\mu\text{m} \times 175\mu\text{m}$).

Na Figura 98 está ilustrado o *layout* do divisor capacitivo utilizado para obter o casamento de impedâncias para 50Ω na saída do FC-LNA. Como ilustrado, tanto o capacitor C_1 como o capacitor C_2 foram divididos em dois capacitores CPOLYRF em paralelo para facilitar o casamento entre eles.

Figura 97 – *Layout* do *core* do FC-LNA (sem os indutores).

Figura 98 – Layout do divisor capacitivo do FC-LNA.

Figura 99 – Layout dos transistores NMOSRF do FC-LNA.

Como ilustrado na Figura 99 os transistores de RF foram divididos em dedos de largura de $10\mu\text{m}$ para reduzir a resistência parasita de porta e diminuir a figura de ruído. Foi tomado um cuidado especial na interconexão entre os transistores para evitar degradar o isolamento reverso do FC-LNA devido ao aumento da capacitância parasita entre os nós de porta e dreno dos transistores, especialmente no transistor do estágio de transcondutância (N1). Adicionalmente, a Figura 100 apresenta o *layout* do circuito de polarização (*Bias*) do FC-LNA.

Figura 100 – *Layout* do circuito de polarização (*Bias*) do FC-LNA.

Após a apresentação dos *layouts* do FC-LNA seguem os resultados de simulação pós-*layout* do mesmo. Para obter os resultados de simulação foi utilizado o *test-bench* da Figura 101. Neste *test-bench* foram considerados os modelos de interconexão *flip chip*, os modelos dos indutores internos L_d e L_s e do indutor externo L_g do FC-LNA, os *pads* e os elementos parasitas do *layout*. Todos os resultados apresentados correspondem a resultados pós-*layout*.

Figura 101 – *Test-bench* do FC-LNA.

Figura 102 – Figura de ruído versus a frequência para WP, TM e WS do FC-LNA.

A Figura 102 ilustra a figura de ruído em função da frequência de operação do FC-LNA, para os modelos TM, WP e WS. Podemos observar que a NF para o

caso típico (em 2,45GHz) é 2,39dB. O pior caso apresentado para a NF, na banda de frequência desejada, corresponde a 3,33dB o qual se apresenta para WS na frequência de 2,48GHz. Para todos os casos simulados, garante-se uma figura de ruído abaixo de 3,5dB, que estão dentro da especificação. Os valores obtidos estão conforme o esperado.

Figura 103 – Parâmetro S11 versus a frequência para WP, TM e WS do FC-LNA.

Como podemos observar na Figura 103, o coeficiente de reflexão na entrada (S11) para todos os casos simulados é menor do que -8dB em toda a banda de frequência na qual se deseja trabalhar.

O ganho do FC-LNA (S21) é ilustrado na Figura 104, considerando os modelos de variação de processo. Para o caso típico apresenta-se um ganho de 8,19dB na frequência central de operação. Como observado o caso WS apresenta uma redução do ganho de aproximadamente 2,5dB comparado com o valor típico. Caso seja necessário aumentar o ganho, no caso WS, é possível fazê-lo aumentando a corrente de polarização. A variação do ganho deve-se ao fato de que a transcondutância dos transistores é afetada pelas variações de processos.

Figura 104 – Parâmetro S21 versus a frequência para WP, TM e WS do FC-LNA.

A Figura 105 ilustra o isolamento reverso (S12) do FC-LNA. Para todos os casos simulados garante-se $S12 < -40$ dB, em toda a banda de frequência de operação.

Figura 105 – Parâmetro S12 versus a frequência para WP, TM e WS do FC-LNA.

O coeficiente de reflexão na saída (S22) é apresentado na Figura 106. Observa-se que $S22 \leq -12,9$ dB para todos os casos de variação de processo, que está dentro dos valores da especificação.

Figura 106 – Parâmetro S22 versus a frequência para WP, TM e WS do FC-LNA.

A Figura 107 apresenta o resultado das simulações de intermodulação realizadas considerando dois tons de entrada nas frequências $f_1=2,45\text{GHz}$ e $f_2=2,449\text{GHz}$, valores típicos. Ilustra-se a variação da potência de saída (POUT) em função da potência de entrada (PIN) tanto para a componente de primeira ordem em f_1 , como para a componente de intermodulação de terceira ordem gerada em $2f_2-f_1$. Como resultado, obteve-se um ponto de intersecção de terceira ordem referido a entrada (PIIP3) de 1,1dBm. O valor simulado de PIIP3 está 11dBm acima do valor esperado.

Figura 107 – IP3 do FC-LNA (TM).

A Figura 108 apresenta o ponto de compressão de 1dB (1dB_{CP}) do FC-LNA, valores típicos. Como observado, obteve-se -9,6dBm de 1dB_{CP} referido à entrada. Sendo este valor adequado para o padrão de comunicação usado (*Bluetooth*).

Figura 108 – Ponto de compressão de 1dB do FC-LNA (TM).

A corrente total de polarização do FC-LNA é de aproximadamente 2,5mA, para o caso típico. A potência total dissipada é 8,25mW para uma tensão de alimentação de 3,3V.

4.2.2 OC-LNA

O *layout* completo do OC-LNA está ilustrado na Figura 109. A área total ocupada incluindo os *pads* é 1,12mm² (1mm x 1,12mm). A área ocupada pelo *core* do OC-LNA e os indutores internos L_s , L_d e L_g sem considerar os *pads*, é 0,58mm² (0,8mm x 0,72mm). Destacamos que foram utilizadas as mesmas considerações de *layout* do FC-LNA.

A Figura 110 ilustra o *layout* do *core* do OC-LNA juntamente com o circuito de polarização (*Bias*) e o divisor capacitivo de saída (sem os indutores internos). A área ocupada é aproximadamente 0,014mm² (75μm x 185μm).

Figura 109 – *Layout* completo do OC-LNA, incluindo *pads*.

Figura 110 – *Layout* do *core* do OC-LNA (sem os indutores e *pads*).

Na Figura 111 está ilustrado o *layout* do divisor capacitivo utilizado para obter o casamento de impedâncias para 50Ω na saída do OC-LNA. Do mesmo modo que no FC-LNA, tanto o capacitor C_1 como o capacitor C_2 foram divididos em dois capacitores CPOLYRF em paralelo para facilitar o casamento entre eles.

Figura 111 – *Layout* do divisor capacitivo do OC-LNA.

Na Figura 112 é ilustrado o *layout* do *core* ativo do OC-LNA. As mesmas considerações do FC-LNA (casamento, entre outras) foram aplicadas neste circuito. A Figura 113 apresenta o *layout* do circuito de polarização (*Bias*) do OC-LNA.

Figura 112 – *Layout* dos transistores NMOSRF do OC-LNA.

Figura 113 – Layout do circuito de polarização (*Bias*) do OC-LNA.

Após a apresentação dos *layouts* do OC-LNA seguem os resultados de simulação pós-*layout* do mesmo. Para obter os resultados de simulação foi utilizado o *test-bench* da Figura 114. Neste *test-bench* foram considerados os modelos dos indutores internos L_d , L_g e L_s do OC-LNA; os *pads*; *wirebondings* de 1,5nH para modelar a interconexão entre os *pads* de RF e a placa de teste; e os elementos parasitas do *layout*. Todos os resultados apresentados correspondem a resultados pós-*layout*.

A Figura 115 ilustra a figura de ruído em função da frequência de operação do OC-LNA, para os modelos TM, WP e WS. A figura de ruído para o caso típico (em 2,45GHz) é 3,5dB, o qual atinge a especificação estabelecida na fase de projeto. O pior caso apresentado para a NF, na banda de frequência desejada, corresponde a 4,48dB o qual se apresenta para WS na frequência de 2,48GHz, o qual está um pouco acima do esperado (3,5dB).

Figura 114 – Test-bench do OC-LNA.

Figura 115 – Figura de ruído versus a frequência para WP, TM e WS do OC-LNA.

Como podemos observar na Figura 116, o coeficiente de reflexão na entrada (S11) para todos os casos simulados é menor do que -10dB em toda a banda de frequência na qual se deseja trabalhar, o qual está dentro da especificação.

Figura 116 – Parâmetro S11 versus a frequência para WP, TM e WS do OC-LNA.

O ganho do OC-LNA (S_{21}) é ilustrado na Figura 117, considerando os modelos de variação de processo. Para o caso típico apresenta-se um ganho de 10,5dB na frequência central de operação. O WS apresenta uma redução do ganho de aproximadamente 4dB comparado com o valor típico.

Figura 117 – Parâmetro S21 versus a frequência para WP, TM e WS do OC-LNA.

A Figura 118 ilustra o isolamento reverso (S_{12}) do OC-LNA. Para todos os casos simulados garante-se $S_{12} < -40$ dB, em toda a banda de frequência de operação.

Figura 118 – Parâmetro S12 versus a frequência para WP, TM e WS do OC-LNA.

O coeficiente de reflexão na saída (S22) é apresentado na Figura 119. Observa-se que $S22 \leq -10,5\text{dB}$ para todos os casos de variação de processo, o qual atende a especificação, sendo melhor do que o esperado.

Figura 119 – Parâmetro S22 versus a frequência para WP, TM e WS do OC-LNA.

A Figura 120 apresenta o resultado das simulações de intermodulação realizadas considerando dois tons de entrada nas frequências $f_1=2,45\text{GHz}$ e $f_2=2,449\text{GHz}$, valores típicos. Como resultado, obteve-se um ponto de interseção de

terceira ordem referido a entrada (PIIP3) de -1,79dBm. Este valor está acima do especificado.

Figura 120 – IP3 do OC-LNA (TM).

A Figura 121 apresenta o ponto de compressão de 1dB (1dBBCP) do OC-LNA, valores típicos. Como observado, obteve-se -11,53dBm de 1dBBCP referido à entrada.

Figura 121 – Ponto de compressão de 1dB do OC-LNA (TM).

A corrente total de polarização e a potência total dissipada do OC-LNA têm os mesmos valores do que o FC-LNA.

4.2.3 Projeto extra do FC-LNA com menor figura de ruído e maior ganho

A seguir são apresentados os resultados de simulação pré-*layout* do projeto extra do FC-LNA com menor figura de ruído e maior ganho. Este projeto foi realizado para ter aproximadamente o mesmo consumo de potência do que o FC-LNA, mantendo as mesmas dimensões dos transistores, o indutor interno L_s e o indutor externo L_g . O *test-bench* usado foi o mesmo do FC-LNA, com exceção do acréscimo de mais um modelo de capacitância dos *pads* e de *flip chip*, uma vez que neste circuito foi colocado mais um indutor externo, o L_d , para que fosse possível ter um maior ganho. Este aumento do ganho, em relação ao OC-LNA e até mesmo FC-LNA anterior se deve ao fato do indutor externo ter um maior fator de qualidade.

Figura 122 – Figura de ruído versus a frequência para TM do projeto extra do FC-LNA.

A Figura 122 ilustra a figura de ruído em função da frequência de operação do projeto extra do FC-LNA, para o modelo típico (TM). A figura de ruído para o caso típico (em 2,45GHz) é 1,91dB, sendo 0,48dB menor do que a do FC-LNA anterior.

Como podemos observar na Figura 123, o coeficiente de reflexão na entrada (S_{11}) para 2,45GHz é -10,87dB. Para o FC-LNA, foi obtido o valor de -9,22dB nesta mesma frequência.

Figura 123 – Parâmetro S11 versus a frequência para TM do projeto extra do FC-LNA.

O ganho do projeto extra do FC-LNA (S_{21}) é ilustrado na Figura 124, considerando as três frequências de operação. Para o caso típico apresenta-se um ganho de 14,45dB na frequência central de operação, sendo melhorado em 6,26dB em relação ao FC-LNA anterior. Isto significa uma mudança significativa do ganho total do LNA.

Figura 124 – Parâmetro S21 versus a frequência para TM do projeto extra do FC-LNA.

A Figura 125 ilustra o isolamento reverso (S_{12}) do projeto extra do FC-LNA. Garante-se $S_{12} < -40$ dB, em toda a banda de frequência de operação. No caso do FC-LNA, tem-se a mesma situação que no projeto extra do FC-LNA.

Figura 125 – Parâmetro S12 versus a frequência para TM do projeto extra do FC-LNA.

O coeficiente de reflexão na saída (S22) é apresentado na Figura 126. Observa-se que S22 tem valor de -36,03dB na frequência central de operação. Para o FC-LNA o valor do S22 é de -23,44dB em 2,45GHz.

Figura 126 – Parâmetro S22 versus a frequência para TM do projeto extra do FC-LNA.

A Figura 127 apresenta o resultado das simulações de intermodulação realizadas considerando dois tons de entrada nas frequências $f_1=2,45\text{GHz}$ e $f_2=2,449\text{GHz}$. Como resultado, obteve-se um ponto de interseção de terceira ordem referido a entrada (PIIP3) de -5,4dBm. O FC-LNA apresentou 1,1dBm para o PIIP3.

Figura 127 – IP3 do projeto extra do FC-LNA.

A Figura 128 apresenta o ponto de compressão de 1dB (1dBPCP) do projeto extra do FC-LNA. Como observado, obteve-se -20,78dBm de 1dBPCP referido à entrada.

Figura 128 – Ponto de compressão de 1dB do OC-LNA.

A corrente total de polarização e a potência total dissipada do projeto extra do FC-LNA têm os mesmos valores do que o FC-LNA e o OC-LNA.

4.2.4 Resultados experimentais do OC-LNA

Inicialmente, para fazer os testes do OC-LNA também foi usada a placa de teste mostrada em Figura 91 (b). Infelizmente, os resultados experimentais obtidos dos parâmetros-S não foram satisfatórios nas amostras testadas. O OC-LNA apresentou coeficientes de reflexão na entrada e na saída acima de -8dB e $S_{21} < 0$ dB na banda de interesse. Um dos possíveis motivos encontrados pode ser pelo fato do contato estar com menor rigidez do que deveria, o que pode ter ocasionado uma má conexão entre os *pads* do *die* e o *bondwire*. Por este motivo, decidiu-se fazer testes diretamente sobre o *die* usando micro-pontas GSG de RF para a entrada e saída de RF e micro-agulhas para os *pads* de alimentação V_{DDA} e de polarização V_{Bias} . As medidas com micro-pontas apresentaram várias dificuldades, como problemas de aderência e de contato entre as micro-pontas e os *pads* do *die*, o qual acabou gerando variações e incertezas significativas nas medidas. Por exemplo, dependendo de leves ajustes de contato entre os *pads* e as micro-pontas, evidenciaram-se variações do ganho (S_{21}), e dos parâmetros S_{11} e S_{22} de vários dB.

Mesmo com estas dificuldades foram testadas três novas amostras (Chip1, Chip2 e Chip3) usando micro-pontas, os três *dies* foram colados em uma alumina de 2,54cm x 2,54cm para facilitar a medição na estação de teste *Cascade*. Para medir os parâmetros-S foi usado o analisador de redes vetorial *HP8722D*, dois *bias-tee* para isolar os níveis de DC do analisador de redes e do OC-LNA nas portas de RF, duas micro-pontas RF modelo 40A-GSG-200-P da *Picoprobe-GGB Industries*, dois cabos semi-rígidos de RF, e duas micro-agulhas de DC. Foi realizada a calibração *Full 2-Port* do sistema formado pelo *HP8722D* e as duas micro-pontas 40A-GSG-200-P utilizando o substrato de calibração *CS-9* da *Picoprobe*. A calibração foi feita na banda de frequências desde 1GHz até 4GHz utilizando 401 pontos e uma potência de -25dBm.

A seguir são apresentados os resultados experimentais obtidos para os parâmetros S_{11} , S_{21} , S_{12} e S_{22} usando três valores diferentes de corrente total DC de polarização ($I_d=2,5$ mA, 3mA e 4mA) e o resultado de simulação no caso típico para $I_d=2,5$ mA. Só são apresentados os resultados de duas amostras já que a terceira amostra foi danificada (alguns *pads* foram furados), devido aos problemas de

contato, onde observou-se pouca aderência e falta de rigidez dos *pads*, sendo necessário fazer várias tentativas para melhorar o contato entre as micro-pontas e os *pads*.

A Figura 129 ilustra os resultados experimentais obtidos do coeficiente de reflexão na entrada (S11). O máximo valor de S11 na banda de frequências de interesse (2,4GHz–2,48GHz) foi -15dB. As medidas apresentam uma diferença com o esperado através de simulação, o melhor desempenho de S11 foi obtido em uma banda de frequências um pouco maior do que 2,4GHz–2,48GHz, o qual pode ser devido às variações no comprimento na porta do transistor, na indutância e fator de qualidade dos indutores L_g e L_s internos, às variações das capacitâncias parasitas dos *pads*, dos dispositivos e interconexões. No entanto, observa-se que para todas as amostras testadas e todas os valores de I_d usados, garante-se a especificação inicial de $S_{11} < -8\text{dB}$.

Figura 129 – Parâmetro S11 versus a frequência do OC-LNA medido.

Os resultados experimentais obtidos para o parâmetro S21 (ganho) do OC-LNA são apresentados na Figura 130. Nota-se uma redução do S21 medido em relação ao estimado através de simulação para $I_d = 2,5\text{mA}$. Embora, sempre se garanta

o melhor ganho na banda de frequências de interesse. Adicionalmente, com o aumento de I_d foi possível obter uma melhora do ganho. O ganho obtido para I_d de 2,5mA foi aproximadamente 4,5dB e o máximo ganho obtido experimentalmente foi aproximadamente 6dB para I_d de 4mA. Neste caso, as diferenças apresentadas nas medidas em relação ao estimado através de simulação, podem ser pelas mesmas razões que afetaram as medidas de S_{11} , e também pela redução do fator de qualidade do indutor L_d , pelo mau contato entre as micro-pontas e os *pads* do *die* e o descasamento da impedância de saída do OC-LNA comparado ao esperado.

Figura 130 – Parâmetro S_{21} versus a frequência do OC-LNA medido.

A Figura 131 ilustra os resultados experimentais do parâmetro S_{12} . Nas duas amostras testadas o valor de S_{12} é menor do que -40dB na banda de frequências desejada para uma corrente I_d de 2,5mA. As diferenças entre os resultados experimentais e os valores esperados através de simulação, além das razões expostas nas medidas de S_{11} e S_{21} , também podem ser devido às imprecisões do equipamento quando se mede valores baixos de S_{12} .

Figura 131 – Parâmetro S_{12} versus a frequência do OC-LNA medido.

Figura 132 – Parâmetro S_{22} versus a frequência do OC-LNA medido.

Os resultados experimentais para o coeficiente de reflexão na saída (S_{22}) são apresentados na Figura 132. Em todos os casos é garantido experimentalmente $S_{22} < -8$ dB entre 2,4GHz e 2,48GHz. Observa-se uma diferença entre os valores medidos e o estimado em simulação, além dos possíveis motivos já ditos

anteriormente, isto pode ser também causado pelo descasamento do divisor capacitivo C1/C2 e as variações dos valores absolutos de C1 e C2. Apesar destas variações, sempre é garantido $S_{22} < -8\text{dB}$. Os valores menores de S_{22} obtidos experimentalmente sempre se apresentam na banda de frequências de interesse o qual mostra a correta sintonia do tanque LC ressonante de saída.

Considerando os resultados experimentais mostrados anteriormente para o OC-LNA pode-se concluir que o bloco apresenta resultados adequados de S_{11} e S_{22} na banda de frequências de interesse. No entanto, o valor de S_{21} apresenta uma redução de até 5dB com respeito ao valor esperado quando medido diretamente com micro-pontas. Por este motivo não foram continuados os testes para medir a figura de ruído, uma vez que o desempenho de ruído do OC-LNA também depende do desempenho de ganho do mesmo.

Com o intuito de identificar qual seria o motivo de obter um ganho (S_{21}) mais baixo que o esperado no OC-LNA, através das simulações, foram realizadas outras simulações incluindo uma resistência de contato nos *pads*: OUT_A, IN_A e entre o indutor L_s e o V_{SSA} . Os resultados dessas simulações, na frequência central de operação (2,45GHz), variando o valor da resistência de contato (r_a) estão ilustrados na Figura 133. Também ocorreram variações nos valores de S_{11} , S_{12} e S_{22} , porém esses resultados não foram incluídos.

Figura 133 – Simulação do parâmetro S_{21} do OC-LNA, na frequência de 2,45GHz, variando a resistência de contato (r_a).

Analisando a Figura 133, podemos observar que, através das simulações, se tiver uma resistência de contato entre a microponta de prova e o *pad* de 16Ω , o resultado do S_{21} será 4,4dB. O valor medido do S_{21} no OC-LNA foi de 4,5dB. Assim, pode-se dizer que essa poderia ser uma das razões para se obter esse valor de S_{21} medido.

Para descartarmos erro de projeto e de *layout*, foram realizadas simulações no *software* ADS (Agilent), para comparar com os valores obtidos através do Spectre (Cadence). Na Figura 134 estão os parâmetros S_{11} , S_{21} , S_{12} e S_{22} obtidos através do ADS, para valores típicos do processo.

Figura 134 – Simulação dos parâmetros S_{11} , S_{21} , S_{12} e S_{22} do OC-LNA através do ADS, para valores típicos do processo.

Analisando os resultados obtidos (ADS), na frequência de 2,45GHz, mostrados na Figura 134 e comparando com os resultados obtidos pelo Spectre, através da Tabela 27, podemos verificar que os valores dos dois simuladores são muito próximos. Desta forma, podemos descartar que tenha havido algum erro no projeto ou no *layout*.

Tabela 26 – Comparação dos resultados do Spectre e do ADS para casos típicos em 2,45GHz (OC-LNA).

	Spectre (dB)	ADS (dB)	Diferença (dB)
S11	-15,0	-15,4	0,4
S21	10,5	10,8	0,3
S12	-45,5	-45,8	0,3
S22	-18,7	-15,6	3,1

Observemos que a maior diferença entre o Spectre e o ADS foi de 3,1dB para o coeficiente de reflexão na saída (S22) do OC-LNA simulado. Para o ganho (S21) a diferença foi de 0,3dB.

4.2.5 Análise dos resultados dos LNAs

A Tabela 27 apresenta um resumo comparativo dos principais resultados dos LNAs simulados e medido em 2,45GHz.

Tabela 27 – Comparação dos resultados dos LNAs.

	Processo (μm)	Área (mm ²)	Freq. (GHz)	Vdd (V)	Pot. (mW)	NF (dB)	S21 (dB)	PIIP3 (dBm)
Espec.	0,35	-	2,45	3,3	<12	3,5	>8	>-10
OC-LNA ^S	0,35	0,58	2,45	3,3	8,25	3,5	10,5	-1,79
OC-LNA ^M	0,35	0,58	2,45	3,3	8,25	-	4,5	-
FC-LNA ^S	0,35	0,41	2,45	3,3	8,25	2,39	8,19	-1,1
FC-LNA ^{S2}	0,35	-	2,45	3,3	8,25	1,91	14,45	-5,4

* Área sem considerar os *pads*.

^S Resultados dos LNAs simulados (simulação pós-*layout*).

^M Resultados do OC-LNA medido.

^{S2} Resultados do FC-LNA com menor ruído de fase simulado (projeto extra).

Na Tabela 27 podemos observar que o FC-LNA (simulado) apresenta uma figura de ruído 1,1dB menor do que o OC-LNA (simulado), com a mesma potência dissipada. O ganho (S21) para o OC-LNA (simulado) é aproximadamente 2dB maior do que o FC-LNA (simulado), isto deve-se ao fato de que no FC-LNA foi necessário utilizar uma indutância L_s maior para compensar o efeito da capacitância do *pad* e melhorar o casamento de impedância na entrada. Este aumento de L_s gera uma

redução no ganho total do LNA, devido ao aumento da impedância de degeneração na fonte do estágio de transcondutância. Vale ressaltar que se o indutor L_d for externo obtem-se um aumento significativo no ganho e uma redução na figura de ruído do LNA, visto que o Q do tanque ressonante na saída aumenta (projeto extra do FC-LNA).

O FC-LNA ocupa 30% menos área que o OC-LNA, visto que o FC-LNA tem apenas dois indutores internos. No caso do projeto extra do FC-LNA a percentagem redução da área pode ser ainda maior, considerando que o indutor L_d também é externo.

Analisando o OC-LNA medido pode-se concluir que o bloco apresenta resultados próximos dos esperados para S_{11} , S_{12} e S_{22} na frequência de interesse. No entanto, o valor de S_{21} foi de 5dB abaixo do esperado (simulado). Isto pode ser explicado por problemas de contato entre as micropontas e os *pads* do LNA.

Com a apresentação e a análise dos resultados, a partir de simulações pós-*layout*, dos circuitos FC-VCO, OC-VCO, FC-LNA e OC-LNA, e das medidas elétricas do OC-VCO e OC-LNA que foram tratadas neste capítulo, passa-se para conclusão do trabalho que será realizada no próximo capítulo. Não foi possível medir os circuitos FC-VCO e FC-LNA, uma vez que não foram fabricados os indutores externos.

5 – Conclusões, contribuições e trabalhos futuros

Este capítulo está dedicado às conclusões, contribuições e aos trabalhos futuros a serem realizados a partir da pesquisa realizada e apresentada nesta tese.

5.1 Conclusões

Com a finalidade de demonstrar as vantagens de integrar blocos RF CMOS com indutores externos com alto Q, conectados através de *flip chip*, foram projetados e comparados blocos de VCOs e LNAs. Estes foram projetados para aplicações na banda 2,4GHz ISM, considerando o padrão *Bluetooth*.

Um processo de fabricação completo foi proposto para a implementação dos indutores externos de alto Q, especificando cada uma das etapas necessárias para a implementação do mesmo. Também foram escolhidos os materiais utilizados e foi realizada uma especificação técnica sobre os parâmetros elétricos e espessuras das camadas dos materiais. Para validar o processo proposto e caracterizar os indutores externos foram projetadas diferentes estruturas de teste. Neste trabalho demonstrou-se, por simulação, que o Q do indutor externo é 6 vezes maior do que o do indutor integrado (interno) na banda de 2,4GHz ISM. É relevante acrescentar que em outras frequências de operação pode-se obter uma melhora ainda mais significativa.

Para interconectar os indutores externos ao *chip* foi proposta a utilização da tecnologia *flip chip*. Esta tecnologia oferece menores valores de indutância e resistência parasitas de interconexão.

Unindo a idéia de utilizar indutores fora do *chip* (com alto Q), juntamente com a tecnologia *flip chip*, é possível reduzir significativamente a área no CI quando são necessários muitos indutores em um circuito, isto se traduz em redução do custo final do CI, devido ao custo da área de Si ser muito mais elevado do que os substratos utilizados para implementar os indutores externos (por exemplo placa de alumina).

Para comprovar que o desempenho de circuitos RF pode ser melhorado, usando indutores externos conectados através de *flip chip*, foram projetados e fabricados quatro circuitos: FC-VCO (VCO com o indutor externo), OC-VCO (VCO

com o indutor interno), FC-LNA (LNA com o indutor L_g externo) e OC-LNA (LNA com todos os indutores internos).

Os dois VCOs projetados utilizam a topologia LC, usando a tecnologia de processo AMS 0,35 μ m CMOS e tensão de alimentação de 3V. Como demonstrado, através de simulação, o uso de um indutor externo com alto Q conectado via *flip chip* pode melhorar significativamente o ruído de fase dos VCOs LC. O FC-VCO atinge um ruído de fase de -117dBc a 1MHz de frequência de *offset* e FOM de 8dB maior que o OC-VCO. O FC-VCO tem uma área cerca de 83% menor do que a do OC-VCO. Após as medidas elétricas do OC-VCO obteve-se um desempenho do ruído de fase de -110dBc/Hz@1MHz para 2,45GHz, e -112dBc/Hz@1MHz para 2,4GHz, o qual atende as especificações de projeto.

Os projetos dos dois LNAs foram desenvolvidos utilizando a topologia de fonte comum cascode com degeneração indutiva. De forma análoga aos VCOs, os LNAs usaram a mesma tecnologia de processos e tensão de alimentação de 3,3V. Provou-se, por simulação, que com o indutor de porta L_g implementado externamente ao *die*, conectado via *flip chip*, no FC-LNA, atingiu uma figura de ruído de 2,39dB, ou seja, 1,1dB menor que o OC-LNA com o mesmo consumo de potência. A área ocupada pelo FC-LNA é aproximadamente 30% menor do que a do OC-LNA. Através das medidas elétricas do OC-LNA verificou-se que o circuito apresenta resultados adequados de S11 e S22 na banda de frequências de interesse. No entanto, o valor do ganho apresenta uma redução em relação ao esperado.

Infelizmente, não foi possível realizar as medidas elétricas dos circuitos FC-VCO e FC-LNA, pois durante a execução e desenvolvimento desta pesquisa existiram muitas dificuldades na comunicação e trabalho colaborativo com outros grupos de pesquisa, os quais são imprescindíveis para a fabricação das máscaras, realização dos processos para a implementação dos indutores externos e a placa de teste dos circuitos FC-VCO e FC-LNA, além dos processos de *flip chip* para interconectar os *dies* aos indutores externos.

O uso da tecnologia *flip chip* com indutores externos contribui com circuitos menores. Outra vantagem é que é possível caracterizar os indutores externos e, posteriormente, reutilizá-los em diferentes tecnologias CMOS, facilitando os projetos

de blocos RF em processos mais avançados e reduzindo o custo final dos *chips* ou produtos.

5.2 Contribuições

Desenvolvimento de uma proposta de processo completo para o projeto e fabricação de indutores externos ao *chip* com alto Q e de baixo custo que permite a reutilização dos mesmos com qualquer tecnologia de desenvolvimento de CIs. Isto se deve ao fato de que o processo de fabricação dos indutores externos independe da tecnologia utilizada para o desenvolvimento de CIs.

Existe a possibilidade de gerar uma biblioteca de indutores externos com alto Q, bem caracterizados que podem ser utilizados para projetar e implementar circuitos RF em tecnologias diferentes.

Uma vez que se tem o indutor fora do *chip*, é possível implementar projetos RF de alto desempenho e baixo custo, com menor consumo de potência, o que representa o avanço tecnológico desejado. Vale ressaltar que o desempenho do circuito FC-VCO simulado, apresentado neste trabalho, foi superior a tecnologias CMOS mais modernas.

Com circuitos RF e comunicação *wireless* com área reduzida, baixo custo e baixo consumo de potência pode-se investir em projetos que contribuam com a Medicina. Um exemplo atual são os CIs que controlam a pressão arterial ou a quantidade de glicose no sangue, transmitindo os dados para um computador central. Através desses dados pode-se ter um histórico do controle sobre o paciente. Se o paciente sair da condição “normal” o médico poderá tomar as medidas cabíveis rapidamente. Uma vez que se tem o custo reduzido, é possível atingir uma maior quantidade de pessoas, e até mesmo, as classes sociais mais desfavorecidas.

Por fim, tiveram duas contribuições durante a execução deste trabalho de pesquisa, que foram apresentadas nos artigos [3.22 e 5.1].

5.3 Trabalhos Futuros

Visando a melhora e continuação desta pesquisa propõem-se as seguintes ações:

- fabricar as máscaras projetadas para implementação do processo dos indutores externos;
- implementar os processos e fabricar os indutores externos, estruturas de teste e caracterização, e a placa de teste dos circuitos FC-VCO e FC-LNA;
- interconectar os *dies* com as placas de teste usando a tecnologia *flip chip*;
- caracterizar os circuitos FC-VCO e FC-LNA, juntamente com os indutores externos e as estruturas de teste (tanto de processo como dos indutores);
- procurar alternativas para melhorar os canais de comunicação e colaboração com outros grupos de pesquisa, reduzindo os tempos para a realização de qualquer trabalho de pesquisa.

REFERÊNCIAS

- [1.1] *International Technology Roadmap for Semiconductors*, disponível em: <<http://www.itrs.net>>. Acesso em 10/junho/2012.
- [1.2] Lu, P. and Sjolund, H.: **A 5.4GHZ 90-nm CMOS Digitally Controlled LC Oscillator with 21% Tuning Range, 1.1MHz resolution, and 180dB FOM. IEEE NORCHIP**. pp. 223-226, 2008.
- [1.3] Hashemi, H. and Hajimiri, A.: **Concurrent Dual-Band CMOS Low Noise Amplifiers and Receiver Architectures. IEEE Symposium on VLSI Circuits Digest of Technical Paper**, pp. 247-250, 2001.
- [2.1] Anjos, A.: **Comparação de Ferramentas para Modelagem de Indutores na Tecnologia CMOS (dissertação de mestrado)**. Escola Politécnica da Universidade de São Paulo. 2007.
- [2.2] Halliday, D. and Resnick, R.: **Fundamentos de Física 3 – Eletromagnetismo**. 4ª ed., Rio de Janeiro, Ed. Livros Técnicos e Científicos, 1996.
- [2.3] Hayt, W. H.: **Eletromagnetismo**. 4ª ed., Rio de Janeiro, Ed. Livros Técnicos e Científicos, 1983.
- [2.4] Gozzi, G. G. M.: **Circuitos Magnéticos**. Coleção Estude e Use, São Paulo, Ed. Érica, 1996.
- [2.5] Arcioni, P.; Castello, R.; De Astis, G.; Sacchi, E.; Svelto, F.: **Measurement and Modeling of Si Integrated Inductors. IEEE Transactions on Instrumentation and measurement**, vol. 47, n. 5, pp.1372-1378, Oct. 1998.
- [2.6] Yue, C. P. and Wong, S.S.: **Physical Modeling of Spiral Inductors on Silicon. IEEE Trans. on Electron Devices**, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [2.7] Mohan, S. S.: **The Design, Modeling and Optimization of On-Chip Inductor and Transformer Circuits (PhD thesis)**. Dept. Electrical Engineering, *Stanford University*, 1999.
- [2.8] Huan-Shang Tsai; Jenshan Lin; Frye, R.C.; Tai, K.L.; Lau, M.Y.; Kossives, D.; Hrycenko, F.; Young-Kai Chen: **Investigation of Current Crowding**

- Effect on Spiral Inductors.** *IEEE MTT-S Symposium on Technologies for Wireless Application Digest*, pp. 139-142, Feb. 1997.
- [2.9] Yu Cao; Groves, R.A.; Xuejue Huang; Zamdmer, N.D.; Plouchart, J.-O.; Wachnik, R.A.; Tsu-Jae King; Chenming Hu: **Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors.** *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 419-426, Mar. 2003.
- [2.10] Kythakyapuzha, S. R.: **Modeling of Spiral Inductors and Transformers (dissertação de mestrado).** Dept. Electrical of Engineering and Computer Engineering, *Kansas State University*, Manhattan, 2001.
- [2.11] Lopez-Villegas, J.M.; Samitier, J.; Cane, C.; Losantos, P.; Bausells, J.: **Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization.** *IEEE Trans. Microwave Theory and Techniques*, vol. 48, no. 1, pp. 76-83, Jan. 2000.
- [2.12] Yue, C.P.; Wong, S.S.: **Design strategy of on-chip inductors for highly integrated RF systems.** *Design Automation Conference*, pp. 982-987, Jun. 1999.
- [2.13] **The VLSI Handbook.** Ed. Wai-Kai Chen, Boca Raton: CRC Press LLC, 2000.
- [2.14] Ohara, G. M.: **Projeto de um Oscilador LC-tanque Controlável por Tensão em Tecnologia CMOS para Rádio Frequência (dissertação de mestrado).** Departamento de Engenharia Elétrica, *Escola Politécnica da Universidade de São Paulo*, São Paulo – Brasil, 2003.
- [2.15] Crols, J.; Kinget, P.; Craninckx, J.; Steyaert, M.: **An Analytical Model of Planar Inductors on Lowly Doped Silicon Substrates for High frequency Analog Design up to 3 GHz.** *Symp. on VLSI Circuits Digest of Technical Papers*, pp. 28-29, 1996.
- [2.16] Yue, C.P.; Ryu, C.; Lau, J.; Lee, T.H.; Wong, S.S.: **A Physical Model for Planar Spiral Inductors on Silicon.** *IEEE Electron Devices Meeting*, pp. 155-158, Dec. 1996.
- [2.17] Niknejad, A. M.: **Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF ICs (dissertação de mestrado).** Dept.

- Engineering—Electrical Engineering and Computer Science, *University of California*, Berkeley, 1996.
- [2.18] Moreira, L. C.: **Estruturas de Indutores Monolíticos para Circuitos RF na Tecnologia CMOS (tese de doutorado)**. Departamento de Engenharia de Sistemas Eletrônicos, *Escola Politécnica da Universidade de São Paulo*, São Paulo – Brasil, 2001.
  - [2.19] Shizhong Mei; Ismail, Y.I.: **Modeling Skin and Proximity Effects with Reduced Realizable RL Circuits**. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 12, no. 4, pp. 437-447, Apr. 2004.
  - [2.20] Greenhouse, H. M.: **Design of Planar Rectangular Microelectronic Inductors**. *IEEE Trans. on Parts, Hybrid, and Packaging*, vol. 10, no. 2, pp. 101-109, Jun. 1974.
  - [2.21] Yue, C.P.; Wong, S.S.: **On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's**. *IEEE J. Solid-State Circuits*, pp. 85-86, 12-14 Jun 1997.
  - [2.22] Sundahl, R.C.; Sedora, E.J.: **Effects of Alumina Substrate Surface Defects on Thin-Film Interconnect Patterns**. *Proceedings of the IEEE*, vol. 59, no. 10, pp. 1462-1467. Oct. 1971.
  - [2.23] In-Seon Kim; Hae-Ryong Lim; Yong Ki Park: **Epitaxial Growth of YBCO Thin Films on Al₂O₃ Substrates by Pulsed Laser Deposition**. *IEEE Transactions On Applied Superconductivity*, vol. 9, no. 2, pp. 1649-1652. Jun. 1999.
  - [2.24] Van, H. Tran; Auge, J.-L.; Catellani, S.: **Evaluation of the effect of the thermal cycling temperature on the conduction current in alumina substrates**. *International Conference on Solid Dielectrics*, Winchester, UK, pp. 262-265. Jul. 2007.
  - [2.25] Kim, J.S.; Choi, W.S.; Shkel, A.; Lee, C.C.: **Fluxless Bonding of Silicon to Alumina Substrate Using Electroplated Eutectic Au-Sn Solder**. *Electronic Components and Technology Conference*, pp. 1860-1864, 2006.
  - [2.26] Cheng, D. K.: **Fundamentos de Eletromagnetismo para Engenharia**. *Pearson Educación*. 1998.

- [2.27] **Manual do ASITIC (Analysis and Simulation of Inductors and Transformers in Integrated Circuits).** Disponível em: <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>. Acesso em 10/abril/2012.
- [2.28] Ren Liu; Jin Jin Zheng; Zhou, H.J.; Tian, Y.C.; Liu, G.; Shen, L.G.: **A Generalized Dill Exposure Model for Negative Thick Photoresist.** *IEEE International Conference on Information Acquisition, ICIA '07*, pp. 285-294, 2007.
- [2.29] Kyoungwan Na; Ill hwan Kim; Eunsung Lee; Hyeon Cheol Kim; Yong-Hwan Lee; Kukjin Chun: **Wafer Level Package Using Polymer Bonding of Thick SU-8 Photoresist.** *IEEE Internacional Conference on MEMS, NANO and Smart Systems*, pp. 31-34, 2006.
- [2.30] Lobo, A. O.: **Caracterização de Nanotubos de Carbono de Paredes Múltiplas (NCPMs) por Espectroscopia.** *Relatório Final de Projeto de Iniciação Científica.* 2005.
- [2.31] Miguel, Q. G. S. S.: **Produção de Filmes Finos de CdTe por Eletrodeposição (dissertação de mestrado).** *Instituto Militar de Engenharia.* 2003.
- [2.32] Kolding, T.E.; Jensen, O.K.; Larsen, T.: **Ground-Shielded Measuring Technique for Accurate On-Wafer Characterization of RF CMOS Devices.** *IEEE International Conference on Microelectronic Test Structure*, pp. 246-251, Mar. 2000.
- [2.33] Martino, J. A. et al.: **Apostila de Estruturas de Caracterização de Processos e Componentes – FATEC-SP.** 2003
- [3.1] <http://www.flipchips.com>. Visitado em abril de 2012.
- [3.2] Busch, S.C.; Baldwin, D.F.: **Flip chip processing using wafer-applied underfills.** *IEEE Electronic Components and Technology Conference, 2005. Proceedings. 55th*, vol. 1, pp. 297- 306, 2005.
- [3.3] Logan, S.; Guthaus, M.R.: **Package-chip co-design to increase flip-chip C4 reliability.** *IEEE, International Symposium on Quality Electronic Design (ISQED)*, 12th, pp.1-6, March 2011.

- [3.4] Lau, J. H.: **Low Cost Flip Chip Technologies for DCA, WLCSP, and PBGA assemblies**. *MCGraw-Hill*. 2011.
- [3.5] Kromann, G.; Gerke, D.; Huang, W.: **A hi-density C4/CBGA interconnect technology for a CMOS microprocessor**. *IEEE, Electronic Components and Technology Conference, 1994. Proceedings., 44th* , pp. 22-28, 1994.
- [3.6] Gongora, M. **Apostila de Tecnologias de Encapsulamento**. *Curso de Materiais Processos e Componentes Eletrônicos – FATEC- SP*. 2011.
- [3.7] Donnay, S.; Pieters, P.; Vaesen, K.; Diels, W.; Wambacq, P.; De Raedt, W.; Beyne, E.; Engels, M.; Bolsens, I.: **Chip-Package Codesign of a Low-Power 5-GHZ RF Front End**. *Proceeding of the IEEE*, vol. 88. no. 10, pp. 1583- 1597, October 2000.
- [3.8] Libres, J.; Robinson, K.: **Challenges in the Assembly of Large Die, High Bump Density Pb-Free Flip Chip Packages**. *IEEE Electronics Manufacturing Technology Symposium*, pp. 346-351, 2007
- [3.9] Chen, C. C.: **The design of low phase noise Hartley VCO and Dual-Band VCO**. Dissertação de Mestrado.
- [3.10] Yoon, S.: **LC-tank CMOS Voltage-Controlled Oscillators using High Quality Inductors Embedded in Advanced Packaging Technologies (tese de doutorado)**. *School of Electrical and Computer Engineering Georgia Institute of Technology*. December 2004.
- [3.11] Salimath, C. S.: **Design of CMOS LC Voltage Controlled Oscillators. (dissertação de mestrado)**. *Faculty of the Louisiana State University and Agricultural and Mechanical College*. December 2006.
- [3.12] Jie Long; Jo Yi Foo; Weber, R.J.: **A 2.4GHz Low-Power Low-Phase-Noise CMOS LC VCO**. *Proceedings of the IEEE Computer Society Annual Symposium on VLSI Emerging Trends in VLSI Systems Design (ISVLSI'04)*, 2004.
- [3.13] Tiebout, M.: **Low Power VCO Design in CMOS**. Editora: Springer Series in Advanced Microelctronic.
- [3.14] Peláez, A. F.: **Projeto e Implantação de um Oscilador Monolítico a 2.4GHz em tecnologia 0.35μm (dissertação de mestrado)**. *Escola Politécnica da USP*. 2003.

- [3.15] Kangmin Hu; Xiaofeng Yi; Weilun Shen; Yumei Huang; Zhiliang Hong: **An Enhanced 4.8-GHz Fully Integrated NMOS LC VCO for Wireless LAN Application.** *IEEE International Conference on Solid-State and Integrated-Circuit Technology (ICSICT)*, in Shanghai, China, pp. 1544-1546, Oct. 2006.
- [3.16] Ismail, A. A. M.: **CMOS PLLs and VCOs for 4G Wireless.** Editora: Kluwer Academic Publishers.
- [3.17] Mansour, M. M.: **On the Design of Low Phase-Noise CMOS LC-Tank Oscillators.** *IEEE International Conference on Microelectronics*, pp. 407-412, Dec. 2008.
- [3.18] Riaño, F. L. C. : **Projeto de um Sintetizador de Frequência Multipadrão em Tecnologia CMOS (dissertação de mestrado).** Escola Politécnica da Universidade de São Paulo. 2010.
- [3.19] AUSTRIAMICROSYSTEMS: **0.35 μ m C35 CMOS Process Parameters.** Document number: Eng-182, Rev.: 6, Release date: Dez/2008.
- [3.20] AUSTRIAMICROSYSTEMS: **0.35 μ m C35 CMOS RF SPICE Models.** Document number: Eng-188, Rev.: 5, Release date: Nov/2005.
- [3.21] Chin-Sheng Chen; Chang, R.C.: **A New Prescaler for Fully Integrated 5-GHz CMOS Frequency Synthesizer.** *IEEE ISCAS*, vol. 4, pp. 245-248, 2004.
- [3.22] Anjos, A.; Pabon, A.A.; Van Noije, W.: **2.45GHZ Low Phase Noise LC VCO Design using Flip Chip on Low Cost CMOS Technology.** *IEEE Third Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1-4, México, 2012.
- [3.23] Rothe, H.; Dahlke, W.: **Theory of Noisy Fourpoles.** *Proceedings of the IRE*, vol. 44, pp. 811-815.
- [3.24] Fuentes, E. F. R.: **Metodologia de Projeto para Amplificadores de Baixo Ruído em CMOS.** Dissertação Mestrado. *Escola Politécnica da USP*. 2003.
- [3.25] Shaffer, D. and Lee, T. H.: **A 1.5V, 1.5-GHz CMOS Low Noise Amplifier.** *IEEE Journal Solid-State Circuits*, vol. 32, no. 5, pp. 745-759, 1997.

- [3.26] Chang, J.Y.-C.; Abidi, A.A.; Gaitan, M.: **Large Suspended Inductors on Silicon and Their Use in 2 μ m CMOS RF Amplifier**. *IEEE Electron Device Letter*, pp. 246-248, 1993.
- [3.27] Sheng, S.; Lynn, L.; Peroulas, J.; Stone, K.; O'Donnell, I.; Brodersen, R.: **A Low Power CMOS Chipset for Spread-spectrum Communication**. *IEEE Int. Solid-State Conference*, pp. 346-347, 1996.
- [3.28] van der Zeil, A.: **Noise in Solid State Devices and Circuits**. John Wiley and Sons. 1986.
- [3.29] Ou, J. J.: **CMOS RF Device Modeling and Low-Noise Amplifier Circuit Desing (tese de doutorado)**. *University of Califórnia, Berkeley*. 2001.
- [3.30] Pabón, A. A.: **Projeto de um Bloco LNA-Misturador para Radiofrequência em Tecnologia CMOS (dissertação de mestrado)**. *Escola Politécnica da USP*. 2009.
- [3.31] Moreno, S. A. C.: **Projeto de LNAs CMOS para Radiofrequência usando Programação Geométrica (dissertação de mestrado)**. *Escola Politécnica da USP*. 2012. (em conclusão)
- [3.32] Roa, E.; Soares, J.N.; Van Noije, W.: **A Methodology for CMOS Low Noise Amplifier Design**. *IEEE 16th Symposium on Integrated Circuits and Systems Design*, pp. 14-19, 2003.
- [3.33] Pabón, A. A.; Roa, E.; Van Noije, W.: **On nonlinearity and noise trade-off in a low power 2.45GHz CMOS LNA-mixer design**. *SBMO/IEEE MTT-S. Microwave and Optoelectronics International Conference*, pp. 869-873, 2007.
- [3.34] Pabón, A. A.; Roa, E.; Van Noije, W.: **An RF-CMOS LNA and Mixer Merged Design Strategy**. *XIII Workshop Iberchip*, CDROM, 4 pages, 2007.
- [3.35] Chaparro, S.; Pabón, A. A.; Roa, E.; Van Noije, W.: **A merged RF CMOS LNA-Mixer design using geometric programming**. *SBCCI '09: Proceedings of the 22nd Annual Symposium on Integrated Circuits and System Design*, pp. 1-5, 2009.

- [3.36] Chaparro, S.; Pabón, A. A.; Roa, E.; Van Noije, W.: **A Low Power CMOS LNA Design using Geometric Programming**. *XV Workshop Iberchip*, CDROM, 4 pages, 2009.
- [3.37] Sjoland, H.; Karimi-Sanjaani, A.; Abidi, A.A.: **A Merged CMOS LNA and Mixer for a WCDMA Receiver**. *IEEE Journal Solid-State Circuits*, vol. 38, no. 6, pp. 1045-1050, 2003.
- [3.38] **CADENCE IC Design Tools**, disponível em: <<http://www.cadence.com>> Acesso em 10/abril/2012.
- [4.1] Hsin-lung Tu; Tsung-Yu Yang; Hwann-Kaeo Chiou: **Low phase noise VCO design with symmetrical inductor in CMOS 0.35- μ m technology**. *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, vol.2, pp. 4 pp., 4-7 Dec. 2005.
- [4.2] Ting-Ping Liu: **A 6.5 GHz monolithic CMOS voltage-controlled oscillator**. *Solid-State Circuits Conference, 1999. Digest of Technical Papers. ISSCC. 1999 IEEE International*, pp. 404-405, 1999.
- [4.3] Kinget, P.: **A fully integrated 2.7 V 0.35 μ m CMOS VCO for 5 GHz wireless applications**. *IEEE International on Solid-State Circuits Conference*, pp. 226-227, 5-7 Feb 1998.
- [4.4] N. Yangqing, N.; Baoyong, C.; Zhihua, W.: **A CMOS LC VCO with 3.2-6.1GHz tuning range**: *Chinese Journal of Semiconductors*, vol. 28, no. 4, pp. 526-529, 2007.
- [4.5] Hsieh-Hung Hsieh; Kuo-Sheng Chung; Liang-Hung Lu: **Ultra-low-voltage mixer and VCO in 0.18- μ m CMOS**. *Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*, pp. 167- 170, 12-14 Jun 2005.
- [5.1] Moreira, L. C., Noije, W. A. M. V., Peláez, A. F., Anjos, A.: **Small Area High Frequency Cross Integrated Inductor in CMOS Technology**. *SBMO/IEEE MTT-S International Microwave & Optoelectronics Conference (IMOC)*, pp. 170-174, Oct 2007.