ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

VITOR TATSUO ITOCAZU

**INFLUÊNCIA DA TENSÃO DE SUBSTRATO EM TRANSISTORES SOI
DE CAMADA DE SILÍCIO ULTRAFINA EM
ESTRUTURAS PLANARES (UTBB) E DE NANOFIO (NW)**

São Paulo
2018

VITOR TATSUO ITOCAZU

**INFLUÊNCIA DA TENSÃO DE SUBSTRATO EM TRANSISTORES SOI
DE CAMADA DE SILÍCIO ULTRAFINA EM
ESTRUTURAS PLANARES (UTBB) E DE NANOFIO (NW)**

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para a obtenção
do título de Doutor em Ciências.

São Paulo
2018

VITOR TATSUO ITOCAZU

**INFLUÊNCIA DA TENSÃO DE SUBSTRATO EM TRANSISTORES SOI
DE CAMADA DE SILÍCIO ULTRAFINA EM
ESTRUTURAS PLANARES (UTBB) E DE NANOFIO (NW)**

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para a obtenção
do título de Doutor em Ciências.

Área de Concentração:
Engenharia Elétrica / Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino

São Paulo
2018

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Itocazu, Vitor

INFLUÊNCIA DA TENSÃO DE SUBSTRATO EM TRANSISTORES SOI
DE CAMADA DE SILÍCIO ULTRAFINA EM ESTRUTURAS PLANARES
(UTBB) E DE NANOFIO (NW) / V. Itocazu -- versão corr. -- São Paulo, 2018.
123 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo.
Departamento de Engenharia de Sistemas Eletrônicos.

1.Nanofio 2.UTBB 3.SOI 4.Plano de Terra 5.Parâmetros Analógicos
I.Universidade de São Paulo. Escola Politécnica. Departamento de
Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

À minha mãe, por seu amor incondicional e pelo constante suporte e apoio.

À minha namorada, amiga e companheira Natalie por seu apoio e incentivo nas horas mais difíceis.

Ao Professor Dr. João Antonio Martino, pela orientação, apoio e incentivo ao longo da realização desse trabalho.

Ao professor Dr. Victor Sonnenberg, que me ajudou muito ao longo do trabalho com constante incentivo, apoio, ensinamento, conversas e conselhos ao longo do trabalho.

À professora Dra. Paula Agopian pela ajuda em diversos momentos do trabalho.

Aos meus amigos Alberto, Caio, Fernando, Luís e Rangel pela amizade construída e, mais que isso, as conversas, risadas e conselhos ao longo do trabalho.

Aos colegas do grupo SOI-CMOS Carlos, Christian, Henrique, Katia, Leonardo, Sivieri, Vanessa e Vinícius, pela companhia em diversos momentos do trabalho acompanhada de muito aprendizado e, porque não diversão.

Aos meus padrinhos Tatsuo e Neide Sakima que sempre me incentivaram a querer aprender e conhecer mais.

Ao Laboratório de Sistemas Integráveis, da Escola Politécnica da Universidade de São Paulo pela disponibilidade da infraestrutura necessária para essa atividade de pesquisa.

Ao CNPq pelo suporte financeiro.

E a todas as pessoas que de forma direta ou indireta contribuíram para a execução deste trabalho e que foram involuntariamente omitidas.

“Quanto mais você sua no treinamento, menos você sangra no campo de batalha. ”

(George S. Patton)

RESUMO

Esse trabalho tem como objetivo estudar o comportamento de transistores de camada de silício e óxido enterrado ultrafinos (UTBB SOI nMOSFET) e transistores de nanofios horizontais com porta ômega - Ω (Ω G NW SOI MOSFET) com ênfase na variação da tensão aplicada no substrato (V_{GB}). As análises foram feitas através de medidas experimentais e simulações numéricas.

Nos dispositivos UTBB SOI nMOSFET foram estudados dispositivos com e sem implantação de plano de terra (GP), de três diferentes tecnologias, e com diferentes comprimentos de canal. A partir do modelo analítico de tensão de limiar desenvolvido por Martino et al. foram definidos os valores de V_{GB} . A tecnologia referência possui 6 nm de camada de silício (t_{Si}) e no óxido de porta uma camada de 5 nm de SiO_2 . A segunda tecnologia tem um t_{Si} maior (14 nm) em relação a referência e a terceira tecnologia tem no óxido de porta um material de alta constante dielétrica, $HfSiO$.

Na tecnologia de referência, os dispositivos com GP mostraram melhores resultados para transcondutância na região de saturação (g_{mSAT}) devido ao forte acoplamento eletrostático entre a região da porta e do substrato. Porém os dispositivos com GP apresentam uma maior influência do campo elétrico longitudinal do dreno no canal, assim os parâmetros condutância de saída (g_D) e tensão Early (V_{EA}) são degradados, consequentemente o ganho de tensão intrínseco (A_V) também. Na tecnologia com t_{Si} de 14 nm, a influência do acoplamento eletrostático entre porta e substrato é menor em relação a referência, devido à maior espessura de t_{Si} . Como a penetração do campo elétrico do dreno é maior em dispositivos com GP, todos os parâmetros analógicos estudados são degradados em dispositivos com GP. A última tecnologia estudada, não apresenta grande variação nos resultados quando comparado dispositivos com e sem GP. O A_V , por exemplo, tem uma variação entre 1% e 3% comparando os dispositivos com e sem GP.

Foram feitas análises em dispositivos das três tecnologias com comprimento de canal de 70 nm, e todos os parâmetros degradaram com a diminuição do comprimento de canal, como esperado. O fato de ter um comprimento de canal menor faz com que a influência do campo elétrico longitudinal do dreno seja mais relevante, degradando assim todos os parâmetros analógicos nos dispositivos com GP.

Nos dispositivos Ω G NW SOI MOSFET foram feitas análises em dispositivos pMOS e nMOS com diferentes larguras de canal ($W_{NW} = 220$ nm, 40 nm e 10 nm) para diferentes V_{GB} . Através de simulações viu-se que dispositivos com largura de canal de 40 nm possuem uma condução de corrente pela segunda interface para polarizações muito altas ($V_{GB} = +20$ V para nMOS e $V_{GB} = -20$ V para pMOS). Todavia essa condução de corrente na segunda interface ocorre ao mesmo tempo que na primeira interface, impossibilitando fazer a separação dos efeitos de cada interface.

A medida que a polarização no substrato faz com que haja uma condução na segunda interface, todos os parâmetros degradam devido a essa condução parasitária. Dispositivos estreitos sofrem menor influência de V_{GB} e, portanto, tem os parâmetros menos degradados, diferente dos dispositivos largos que tem uma grande influência de V_{GB} no comportamento elétrico do transistor.

Quando a polarização no substrato é feita a fim de que não haja condução na segunda interface, a variação da inclinação de sublimiar entre dispositivos com $W_{NW} = 220$ nm e 10 nm é menor que 2 mV/déc. Porém a corrente de dreno de estado ligado do transistor (I_{ON}) apresenta melhores resultados em dispositivos largos chegando a 6 vezes maior para nMOS e 4 vezes maior para pMOS que em dispositivos estreitos.

Os parâmetros analógicos sofrem pouca influência da variação de V_{GB} . Os dispositivos estreitos ($W_{NW} = 10$ nm) praticamente têm resultados constantes para g_{mSAT} , V_{EA} e A_v . Já os dispositivos largos ($W_{NW} = 220$ nm) possuem uma pequena degradação de g_{mSAT} para os nMOS, o que degrada levemente o A_v em cerca de 10 dB.

A eficiência do transistor (gm/I_D) apresentou grande variação com a variação de V_{GB} , piorando-a a medida que a segunda interface ia do estado de não condução para o estado de condução. Porém analisando os dados para a tensão que não há condução na segunda interface observou-se que, em inversão forte, a eficiência do transistor apresentou uma variação de $1,1 \text{ V}^{-1}$ entre dispositivos largos ($W_{NW} = 220$ nm) e estreitos ($W_{NW} = 10$ nm). Com o aumento do comprimento do canal, esse valor de variação tende a diminuir e dispositivos largos passam a ser uma alternativa válida para aplicação nessa região de operação.

Palavras chaves: UTBB, Nanofio, SOI, Plano de Terra, Parâmetros analógicos, tensão de limiar.

ABSTRACT

This work aims to study the behavior of the ultrathin body and buried oxide SOI nMOSFET (UTBB SOI nMOSFET) and the horizontal Ω -gate nanowire SOI MOSFET (Ω G NW SOI MOSFET) with the variation of the back gate bias (V_{GB}). The analysis were made through experimental measures and numerical simulation.

In the UTBB SOI nMOSFET devices, devices with and without ground plane (GP) implantation of three different technologies were studied. Based on analytical model developed by Martino et al. the values V_{GB} were defined.

The reference technology has silicon film thickness (t_{Si}) of 6 nm and 5 nm of SiO_2 in the front oxide. The second technology has a thicker t_{Si} of 14 nm comparing to the reference and the third technology has a high-k material in the front oxide, $HfSiO$.

In the reference technology, the devices with GP shows better result for transconductance on saturation region (g_{mSAT}) due to the strong coupling between front gate and substrate. However, devices with GP have major influence of the drain electrical field penetration, then the output conductance (g_D) and Early voltage (V_{EA}) are degraded, consequently the intrinsic voltage gain (A_V) as well. In the technology with t_{Si} of 14 nm, the influence of the coupling between front gate and substrate is lower because of the thicker t_{Si} . Once the drain electrical field penetration is higher in devices with GP, all analog parameters are degraded in devices with GP. The third technology, presents results very close between devices with and without GP. The A_V has a variation from 1% to 3% comparing devices with and without GP.

Devices with channel length of 70 nm were analyzed and all parameters degraded with the decrease of the channel length, as expected. Due to the shorter channel length, the influence of the drain electrical field penetration is more relevant, degrading all the analog parameters in devices with GP.

In the Ω G NW SOI MOSFET devices, the analysis were done in nMOS and pMOS devices with different channel width ($W_{NW} = 220$ nm, 40 nm and 10 nm) for different V_{GB} . By the simulations, devices with channel width of 40 nm have a conduction though the back interface for very high biases (+20 V for nMOS and -20 V for pMOS). However, this conduction occurs at the same time as in the front interface, so it is not possible to separate de effects of each interface.

As the substrate bias voltage induces a back gate current, all the parameters are degraded due to this parasitic current. Narrow devices are less affected by VGB and thus its parameters are less degraded, different from wider devices, in which VGB has a greater influence on their behavior.

When the back gate is biased in order to avoid the conduction in back interface, the subthreshold swing variation between devices with $W_{NW} = 220$ nm and 10 nm is lower than 2 mV/déc. However, the on state current (I_{ON}) has better results in wide devices reaching 6 times bigger for nMOS and 4 times bigger for pMOS

The analog parameters suffer little influence of the back gate bias variation. The narrow devices ($W_{NW} = 10$ nm) have practically constant results g_{mSAT} , V_{EA} and A_v . On the other hand, wide devices ($W_{NW} = 220$ nm) have a small degradation in the g_{mSAT} for nMOS, which slightly degrades A_v .

The transistor efficiency showed great variation with the back gate bias variation, worsening as the back interface went from non-conduction state to conduction state. However, when the back gate is biased avoiding the conduction in back interface, the transistor efficiency for strong inversion region has a small variation of 1,1 V^{-1} between wide ($W_{NW} = 220$ nm) and narrow ($W_{NW} = 10$ nm) devices. As the channel length increases, this value of variation tends to decrease and wide devices become a valid alternative for applications in this region of operation

Key words: UTBB, Nanowire, SOI, Ground Plane, Analog Parameters, Threshold Voltage.

LISTA DE FIGURAS

Figura 1-1 – Representação da Lei de Moore. Linha preta representa a tendência prevista por Gordon Moore e os pontos brancos representam diversos processadores já produzidos.	23
Figura 1-2 - Evolução tecnológica ao longo do tempo.	24
Figura 1-3 – Diferentes tipos de nMOSFETs planares. A) MOSFET Convencional, B) SOI MOSFET Convencional, C) UTBOX SOI MOSFET e D) UTBB SOI MOSFET. .	25
Figura 1-4 – Diferentes tipos de transistores não planares. A) SOI FinFET, B) Porta Tripla SOI MOSFET, C) Porta- π SOI MOSFET, D) Porta- Ω SOI MOSFET, E) Porta ao redor do canal SOI MOSFET e F) Nanofio Porta Ω SOI MOSFET.....	26
Figura 2-1 – Estrutura esquemática de um transistor SOI nMOS.	29
Figura 2-2 – Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um totalmente depletado (b), desprezando-se a queda de potencial no substrato.	31
Figura 2-3 – Tensão de limiar para diferentes tensões de substrato, para um SOI MOSFET totalmente depletado.	37
Figura 2-4 – Esquema da obtenção da tensão Early através da curva de corrente de dreno em função da tensão de dreno.....	37
Figura 2-5 – Exemplo de curva característica da eficiência de um Ω G NW SOI pMOSFET em função da corrente de dreno normalizada pela largura do canal dividida pelo comprimento do canal.	39
Figura 2-6 – Curvas teóricas e experimentais de V_T em função de V_{GB} em temperatura ambiente para dispositivos com $L = 10 \mu\text{m}$ e A) $N_{ASUB} = 10^{15}\text{cm}^{-3}$ (sem GP) e B) $N_{ASUB} = 10^{18}\text{cm}^{-3}$ (com GP).	43
Figura 2-7 – Esquema de um transistor UTBB SOI com e sem presença da implantação de plano de Terra e a região de depleção formada na terceira interface.	45
Figura 2-8 – Modelo de transistor de nanofio SOI MOSFET A) Vertical; B) Horizontal.	46

Figura 3-1 – Estruturas dos diferentes transistores simulados. A) $L = 1\ \mu\text{m}$ sem GP B) $L = 1\ \mu\text{m}$ com GP	51
Figura 3-2 – Figura esquemática (esquerda) e imagem transversal feita com Microscópio eletrônico de transmissão (direita) de um $\Omega\text{G NW SOI MOSFET}$	52
Figura 3-3 – Tensão de limiar experimental em função do comprimento de canal para dispositivos $\Omega\text{G NW SOI nMOSFET}$ com três diferentes comprimentos de canal. ...	53
Figura 4-1 – Curva experimental da tensão de limiar em função da tensão de substrato de um UTBB SOI nMOS.....	57
Figura 4-2 – Curva teórica de tensão de limiar em função da tensão no substrato para dispositivos $\text{SiO}_2 / t_{\text{Si}}=6$ com e sem GP considerando a queda de potencial no substrato.....	57
Figura 4-3 – Curva experimental de transcondutância na região de saturação para $V_{\text{DS}} = 1\ \text{V}$ em função de V_{GB} para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas com $L = 1\ \mu\text{m}$	59
Figura 4-4 – Secções transversais AA' e BB' estudados no transistor UTBB SOI nMOS.	60
Figura 4-5 – Dados de simulação do potencial elétrico em função da profundidade do transistor para $V_{\text{GB}} = 1\ \text{V}, 0\ \text{V}, -1\ \text{V}$ e $-3\ \text{V}$, para dispositivos com e sem GP.....	60
Figura 4-6 – Dados de simulação do potencial elétrico em função do comprimento do transistor para $V_{\text{GB}} = 1\ \text{V}, 0\ \text{V}$ e $-1\ \text{V}$, simulando dispositivos com e sem GP.	63
Figura 4-7 – Curva experimental de condutância de saída (A), ganho de tensão (B) e Tensão Early (C) em função de V_{GB} para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas.	64
Figura 4-8 – Dados experimentais de transcondutância na região de saturação para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas e 2 comprimentos de canal diferentes.....	66
Figura 4-9 – Dados experimentais de A) condutância de saída, B) ganho de tensão e C) Tensão Early para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas e 2 comprimentos de canal diferentes, $1\ \mu\text{m}$ e $70\ \text{nm}$	68

Figura 5-1 – Corrente de dreno em função da tensão de porta experimental para dispositivos Ω G NW SOI nMOSFET e pMOSFET e largura do canal de 10 nm (A) e 220 nm (B).....	69
Figura 5-2 – Figura esquemática de um Ω G NW SOI MOSFET com canal estreito (A) e largo (B).....	70
Figura 5-3 – Tensão de limiar em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.....	71
Figura 5-4 – Dados simulados da densidade de elétrons (símbolos), corrente de dreno (linha contínua) e dI_D/dV_G (linhas tracejadas) em função da tensão aplicada na porta para Ω G NW SOI nMOSFET com largura de canal de 10 nm (A), 40 nm (B) e 220 nm (C).	74
Figura 5-5 – Tensão de limiar, V_{TB} (em vermelho) em função da tensão aplicada na porta. Tensão de limiar V_T (em azul e preto) em função da tensão aplicada no substrato para Ω G NW SOI nMOSFET e pMOSFET para largura do canal de 40 nm (em cima) e 220 nm (embaixo).....	76
Figura 5-6 – Inclinação de sublimiar em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.....	77
Figura 5-7 – Transcondutância máxima normalizada em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.	80
Figura 5-8 - Transcondutância na região de saturação normalizada em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.	81
Figura 5-9 – Tensão de Early em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.....	82
Figura 5-10 – Ganho intrínseco de tensão em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.....	83

Figura 5-11 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET para diferentes comprimentos e larguras do canal.....	85
Figura 5-12 – Inclinação de sublimiar em função da tensão no substrato experimental para Ω G NW SOI nMOSFET para diferentes comprimentos e larguras do canal. ...	86
Figura 5-13 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET variando a tensão no substrato, comprimento de canal 100 nm e diferentes larguras do canal.	87
Figura 5-14 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET variando a tensão no substrato, comprimento de canal 40 nm e diferentes larguras do canal.	88
Figura A - 1 – Estrutura esquemática de um transistor com a porta conectada com o substrato.....	106
Figura A - 2 – Estrutura esquemática de um transistor com a o substrato conectado a uma fonte.	107
Figura A - 3 – Curvas experimentais e do modelo analítico de DT VT em função de k.	108

LISTA DE TABELAS

Tabela 3-1 – Diferentes tecnologias estudadas de UTBB SOI MOSFETs	49
Tabela 3-2 – Valores ajustados de mobilidade máxima utilizados no simulador para cada largura do canal estudado.	55
Tabela 4-1 – VGBmáx e VGBmin para os dispositivos das três tecnologias UTBB SOI nMOS com e sem implantação de plano de terra	58
Tabela 4-2 – Queda de potencial elétrico no óxido enterrado em dispositivos com e sem GP para diferentes valores de VGB. E a diferença entre os valores da queda do potencial com GP e sem GP.	61
Tabela 4-3 – Queda de potencial elétrico no substrato em dispositivos com e sem GP para diferentes valores de VGB. E a diferença entre os valores da queda do potencial com GP e sem GP.	61
Tabela 4-4 – Diferença percentual dos parâmetros analisados entre dispositivos com e sem GP para VGB = -3V, -1V, 0V e 1V na tecnologia HK / tSi=6.	65
Tabela 4-5 – Diferença percentual da transcondutância na região de saturação para dispositivos com e sem GP e 2 diferentes comprimentos de canal.....	67
Tabela 5-1 – Nomenclatura para valores de VGB.....	72
Tabela 5-2 – Variação da tensão de limiar em relação a variação da tensão no substrato para diferentes condições e larguras de canal.	72
Tabela 5-3 – ΔSS para dispositivos ΩG NW SOI nMOSFET e pMOSFET	78
Tabela 5-4 – ION e SS de dispositivos nMOS e pMOS com WNW = 10 nm e 220 nm polarizados em VGB,sem-condução	79
Tabela 5-5 – Eficiência do transistor em inversão forte de dispositivos nMOS e pMOS com WNW = 10 nm e 220 nm polarizados em VGB = 0 V e VGB,sem-condução	84
Tabela 5-6 – Eficiência do transistor para diferentes valores de tensão no substrato para IC = 10 e a variação percentual entre eles.....	89
Tabela 5-7 – Eficiência do transistor para diferentes valores de tensão no substrato para IC = 0,1 e a variação percentual entre eles.....	89

LISTA DE SIGLAS E ABREVIATURAS

BGN	Estreitamento da banda proibida (<i>Band Gap Narrowing</i>)
CI	Circuitos Integrados.
CVT	Modelo de mobilidade de Lombardi
DT	Tensão de limiar dinâmica (<i>Dynamic Threshold</i>)
eDT	Tensão de limiar dinâmica enriquecida (<i>enhanced Dynamic Threshold</i>)
EOT	Espessura Efetiva do Óxido em nanômetros (<i>Effective Oxide Thickness</i>)
FD	Totalmente Depletado (<i>Fully Depleted</i>)
FinFET	Transistor de Efeito de Campo Fin (<i>Fin Field Effect Transistor</i>)
GAA	Porta ao Redor (<i>Gate All Around</i>)
GP	Plano de Terra (<i>Ground Plane</i>)
Hf	Háfio
HfSiON	<i>Hafnium Silicon Oxynitride</i>
HK	Alta constante dielétrica (<i>High-κ</i>)
IC	Coeficiente de inversão (<i>Inversion Coefficient</i>)
Imec	Centro Interuniversitario de Microeletrônica (<i>Interuniversity Microelectronics Centre</i>).
LDD	Dreno levemente dopado (<i>Lightly Doped Drain</i>)
LETI	<i>Laboratoire d'électronique des technologies de l'information</i>
MOS	Metal-Óxido-Semicondutor (<i>Metal-Oxide-Semiconductor</i>).
MOSFET	transistor de efeito de campo metal-óxido-semicondutor (<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>).
MuGFET	transistor de efeito de campo de múltiplas portas (<i>Multiple Gate Field Effect Transistor</i>)
N	Nitrogênio
N.DORT	Modelo de Van Dort
nMOSFET	transistor de efeito de campo metal-óxido-semicondutor tipo-n (<i>n-type Metal-Oxide-Semiconductor Field-Effect Transistor</i>).
NW	Nanofio (<i>Nanowire</i>)
O	Oxigênio

PD	Parcialmente depletado (<i>Partially Depleted</i>)
pMOSFET	transistor de efeito de campo metal-óxido-semicondutor tipo-p (<i>p-type Metal-Oxide-Semiconductor Field-Effect Transistor</i>).
SCE	Efeito de canal curto (<i>Short Effect Channel</i>)
Si	Silício
SI	Inversão Forte (<i>Strong Inversion</i>)
SiO ₂	Dióxido de Silício.
SOI	silício-sobre-isolante (<i>Silicon-on-Insulator</i>).
SRH	<i>Shockley–Read–Hall</i>
TCAD	Projeto auxiliado por computador (<i>Technology Computer-Aided Design</i>)
TEM	Microscópio Eletrônico de Transmissão (<i>Transmission Electron Microscope</i>)
Ti	Titânio
TiN	Nitreto de Titânio
UT2B	Corpo e Óxido Enterrado Ultrafinos (<i>Ultra Thin Body and Buried Oxide</i>)
UTB ²	Corpo e Óxido Enterrado Ultrafinos (<i>Ultra Thin Body and Buried Oxide</i>)
UTBB	Corpo e Óxido Enterrado Ultrafinos (<i>Ultra Thin Body and Buried Oxide</i>)
UTBOX	Óxido Enterrado Ultrafino (<i>Ultra Thin Buried Oxide</i>)
WI	Inversão Fraca (<i>Weak Inversion</i>)
ZTC	Coeficiente de temperatura zero (<i>Zero temperature coefficient</i>)
ΩG NW	Nanofio com porta Ω (<i>Omega-Gate nanowire</i>)

LISTA DE SÍMBOLOS

A_c	Parâmetro linear para modelamento de efeito quântico
A_v	Ganho de tensão de malha aberta em baixa frequência [dB].
B_c	Parâmetro exponencial para modelamento de efeito quântico
C_b	Capacitância entre canal e substrato por unidade de área [F/cm ²].
C_{depl}	Capacitância de depleção por unidade de área [F/cm ²].
C_{ox}	Capacitância do óxido por unidade de área [F/cm ²].
C_{ox1}	Capacitância do óxido de porta por unidade de área [F/cm ²].
C_{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm ²].
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm ²].
E_c	Nível de energia superior da faixa de condução [eV].
E_F	Nível de energia de Fermi [eV].
E_g	Largura da faixa proibida [eV].
E_i	Nível de Fermi intrínseco [eV].
E_v	Nível de energia da faixa de valência [eV].
g_D	Condutância de saída [S].
g_{DSAT}	Condutância de saída na saturação [S].
g_m	Transcondutância [S].
g_m/I_{DS}	Eficiência analógica do Transistor [V ⁻¹]
g_{m1}	Transcondutância na temperatura 1 [S].
g_{m2}	Transcondutância na temperatura 2 [S].
$g_{m_{máx}}$	Transcondutância máxima [S].
g_{mSAT}	Transcondutância na região de saturação [S].
H_{NW}	Altura de canal dos transistores de nanofio [nm]
I_D	Corrente de dreno [A].
I_{DS}	Corrente entre dreno e fonte [A].

I_{Dsat}	Corrente de dreno na saturação [A]
I_{ON}	Corrente de estado ligado do transistor [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K].
L	Comprimento do canal do transistor [m].
n	Fator de corpo.
N_A	Concentração de impurezas aceitadoras por unidade volumétrica [cm^{-3}].
N_{SUB}	Concentração de dopantes no substrato por unidade volumétrica [cm^{-3}].
n_i	Concentração intrínseca de portadores por unidade volumétrica [cm^{-3}].
N_{itb}	Densidade de armadilhas da segunda interface [$\text{eV}^{-1}.\text{cm}^{-2}$].
N_{itf}	Densidade de armadilhas da primeira interface [$\text{eV}^{-1}.\text{cm}^{-2}$].
q	Carga do elétron [$1,6 \times 10^{-19}$ C].
Q_{depl}	Carga de depleção total na camada de silício por unidade de área [C/cm^2].
Q_{inv}	Carga de inversão por unidade de área [C/cm^2] .
Q_{ox}	Densidade de carga fixa no óxido [C/cm^2].
Q_{ox1}	Densidade de carga fixa no óxido de porta [C/cm^2].
Q_{ox2}	Densidade de carga fixa no óxido enterrado [C/cm^2].
Q_{ox3}	Densidade de carga fixa no substrato [C/cm^2].
Q_{S2}	Carga de inversão na interface camada de silício/óxido enterrado por unidade de área [C/cm^2].
$R_{Série}$	Resistência Série [Ω]
SS	Inclinação de sublimiar [mV/déc].
T	Temperatura [K].
t_{oxb}	Espessura do óxido enterrado [nm].

t_{oxf}	Espessura do óxido de porta [nm].
$t_{oxf,eff}$	Espessura efetiva do óxido de porta [nm].
t_{Si}	Espessura da camada de silício [nm].
$t_{Si,eff}$	Espessura efetiva da camada de silício [nm].
V_D	Tensão aplicada ao dreno [V].
V_{DS}	Tensão aplicada entre dreno e fonte [V].
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana [V].
V_{FB3}	Tensão de faixa plana na terceira interface [V].
V_G	Tensão aplicada à porta do transistor [V].
V_{GB}	Tensão aplicada ao substrato (ou porta de trás) do transistor [V].
$V_{GBmáx}$	Tensão aplicada ao substrato na transição de regime depleção/acumulação na terceira interface [V].
V_{GBmin}	Tensão aplicada ao substrato na transição de regime depleção/inversão na terceira interface [V].
V_{GT}	Sobretensão de limiar [mV]
V_{OX}	Queda de potencial no óxido [V].
V_S	Tensão aplicada à fonte [V].
V_T	Tensão de limiar da interface filme de óxido de porta/Silício [V].
$V_{T,acc}$	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em acumulação [V].
$V_{T,depl}$	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em depleção [V].
$V_{T,inv}$	Tensão de limiar da interface filme de óxido de porta/Silício com a segunda interface em inversão [V].
V_{T3}	Tensão de limiar da interface óxido enterrado/substrato [V].
V_{TB}	Tensão de limiar da interface camada de silício/óxido enterrado [V].

V_{ZTC}	Tensão de porta no ponto de ZTC [V].
W	Largura do canal do transistor [nm].
W_{NW}	Largura da máscara do transistor de nanofio [nm]
x_c	Distancia da interface que ocorre condução da corrente [nm].
$x_{dm\acute{a}x}$	Máxima largura da região de depleção [nm]
α	Fator de relação de capacitâncias
ϕ_F	Potencial de Fermi do semiconductor [V].
ϕ_{S1}	Potencial da superfície na interface óxido de porta/camada de silício [V].
ϕ_{S2}	Potencial da superfície na interface camada de silício/óxido enterrado [V].
ϕ_{SUB}	Queda de potencial no substrato [V].
μ_{ef}	Mobilidade efetiva [cm ² /Vs]
$\mu_{m\acute{a}x}$	Mobilidade máxima [cm ² /Vs]
Δ	Diferença de potencial entre o dreno e o canal em dispositivos sem GP [V]
$\Delta\phi_{SUB}$	Variação da diferença de potencial no substrato entre dispositivos com e sem GP [V].
ΔGP	Diferença de potencial entre o dreno e o canal em dispositivos com GP [V]
ΔV_{OX}	Variação da queda de tensão no óxido entre dispositivos com e sem GP [V].
ϵ_{Si}	Permissividade do silício [F/cm]
ϕ_{MS1}	Diferença da função trabalho entre metal de porta/camada de silício [V].
ϕ_{MS2}	Diferença da função trabalho entre camada de silício/substrato [V].
ϕ_{MS2}	Diferença da função trabalho entre camada de substrato/silício [V].

SUMÁRIO

AGRADECIMENTOS	3
RESUMO	5
ABSTRACT	7
LISTA DE FIGURAS	9
LISTA DE TABELAS.....	13
LISTA DE SIGLAS E ABREVIATURAS	14
LISTA DE SÍMBOLOS	16
SUMÁRIO.....	20
1 INTRODUÇÃO.....	22
1.1 Histórico e motivação	22
1.2 Objetivo	27
1.3 Estrutura do trabalho	28
2 CONCEITOS GERAIS.....	29
2.1 SOI Convencional	29
2.1.1 Características gerais	29
2.1.2 Classificação dos Transistores SOI	30
2.1.3 Parâmetros Elétricos.....	32
2.2 Coeficiente de Inversão.....	40
2.3 Modelo Teórico para Extração da Tensão de Limiar	40
2.4 UTBB SOI MOSFET (planar)	43
2.4.1 Características principais.....	43
2.4.2 Plano de Terra – <i>Ground Plane</i>	44
2.5 Ω G NW SOI MOSFET (nanofio).....	46
3 MATERIAIS E MÉTODOS.....	48
3.1 UTBB SOI MOSFET.....	48
3.1.1 Dispositivos Estudados.....	48

3.1.2	Medidas experimentais	49
3.1.3	Dados de simulação	50
3.2	Ω G NW SOI MOSFET	51
3.2.1	Dispositivos Estudados	51
3.2.2	Medidas Experimentais	53
3.2.3	Dados de simulação	54
4	TRANSISTORES UTBB SOI	56
4.1	Resultados Obtidos	56
4.1.1	Influência do GP com a variação da tensão no substrato	56
4.1.2	Influência do GP com a variação do comprimento do canal	66
5	TRANSISTORES ΩG NW SOI	69
5.1	Resultados Obtidos	69
5.1.1	Resultados Iniciais	69
5.1.2	Parâmetros Analógicos	81
5.1.3	Eficiência do transistor (gm/I _D)	84
6	CONCLUSÕES	91
6.1	Conclusões	91
6.2	Propostas de trabalhos futuros	94
	PUBLICAÇÕES GERADAS DURANTE O DOUTORADO	95
	REFERÊNCIAS	98
	APÊNDICE A – MODELO ANALÍTICO	106
	APÊNDICE B – EXEMPLOS DE LINHA DE CÓDIGO - SIMULAÇÃO	111
	ATLAS - UTBB	111
	SENTAURUS - NW	114

1 INTRODUÇÃO

Neste capítulo são apresentados o histórico, motivação e objetivos principais do trabalho, além da estrutura geral do trabalho.

1.1 Histórico e motivação

A evolução da eletrônica teve um grande marco com a criação do primeiro circuito integrado (CI) em 1959 por Jack Kilby (patente publicada em 1963) (KILBY, 1963), no qual o transistor é o principal componente.

O primeiro transistor de efeito de campo na estrutura metal – óxido - semicondutor (MOSFET – *Metal – Oxide - Semicondutor Field Effect Transistor*) foi fabricado em 1960 (KAHNG, 1960) a partir da patente apresentada por Lilienfeld em 1925 (LILIENFELD, 1930). A partir de 1964 o MOSFET entrou no mercado (FIRST, 2015), sendo atualmente o principal componente eletrônico dos circuitos integrados.

O funcionamento do MOSFET baseia-se no controle do fluxo de corrente ao longo do dispositivo, a partir do campo gerado por uma estrutura Metal – Óxido – Semicondutor (MOS) e na tensão aplicada entre os terminais de porta (V_{GS}) e fonte (V_{S4}) (LILIENFELD, 1930).

Observando a evolução tecnológica dos transistores, o cientista Gordon Moore publicou em 1965 uma tendência de que o número de transistores em um circuito integrado iria duplicar aproximadamente a cada 12 meses (MOORE, 1965). Essa tendência observada foi posteriormente corrigida para 18 e 24 meses e é conhecida como a Lei de Moore. Na Figura 1-1 percebe-se que a indústria de semicondutor vem acompanhando a Lei de Moore desde sua constatação.

Junto com a miniaturização dos dispositivos MOSFETs, a fim de acompanhar a Lei de Moore, diversos efeitos indesejados foram surgindo, como por exemplo a redução do comprimento do canal ocasionou os chamados efeitos de canal curto (SCE – *Short Channel Effect*), etc. (COLINGE, 2004).

Tendo em vista os diversos problemas causados pelos SCE, o desenvolvimento de novas tecnologias foi necessário. Na década de 1980 a

Figura 1-2 - Evolução tecnológica ao longo do tempo.

Fonte: adaptado de (CLAEYS, 2009).

Atualmente observam-se nas indústrias dois tipos de dispositivos que estão mais difundidos no mercado: dispositivos planares e não planares (ou tridimensionais).

O primeiro trata dos dispositivos que mantiveram a geometria planar. Essa tecnologia consiste em reduzir as espessuras das camadas de óxido enterrado e de silício que compõe uma lâmina de um transistor SOI à escala nanométrica ($< 20\text{ nm}$), permitindo assim um melhor controle eletrostático das cargas do canal tanto pela tensão aplicada na porta (V_G) quanto pela tensão aplicada no substrato (V_{GB}).

Os dispositivos com a camada de óxido enterrado (t_{oxb}) ultrafina recebem o nome de UTBOX SOI MOSFETs (*Ultra Thin Buried Oxide SOI MOSFETs*), já os transistores que, além da camada de óxido enterrado, possuem a camada de silício (t_{si}) ultrafina é nomeada de UTBB SOI MOSFETs (*Ultra Thin Body and Buried Oxide SOI MOSFETs* – também encontrada na literatura como UT2B (ANDRIEU, 2010) ou UTB² (BIDAL, 2009).

Nos dispositivos UTBB SOI MOSFET uma implantação de alta dopagem é realizada embaixo do óxido enterrado, chamada de plano de terra (do inglês *Ground Plane* – GP), para melhorar o controle do canal pelo V_{GB} .

A Figura 1-3 mostra esquematicamente diferentes tipos de nMOSFETs planares começando pelo MOSFET convencional (A), depois o SOI MOSFET convencional (B), em seguida o UTBOX SOI MOSFET (C) e por fim o UTBB MOSFET com implantação de Plano de Terra (GP) (D).

Na Figura 1-3 também são definidos os principais contatos para aplicação de tensão: V_G é a tensão aplicada na porta, V_S a tensão aplicada na fonte, V_D a tensão aplicada no dreno e V_{GB} a tensão aplicada no substrato. A nomenclatura para as dimensões dos transistores também é definida na figura, onde W é a largura do canal, L é o comprimento do canal, t_{oxf} é a espessura do óxido de porta, t_{si} é a espessura da camada de silício e t_{oxb} é a espessura do óxido enterrado.

Figura 1-3 – Diferentes tipos de nMOSFETs planares. A) MOSFET Convencional, B) SOI MOSFET Convencional, C) UTBOX SOI MOSFET e D) UTBB SOI MOSFET.

Fonte: Autor.

A outra alternativa tecnológica são os dispositivos tridimensionais, que possuem mais de uma porta, chamados de MugFETs (*Multiple Gate Field Effect Transistor* – Transistor de Efeito de Campo de Múltiplas Portas). Esses transistores apresentam grande melhoria em relação ao controle eletrostático das cargas do canal pela porta devido ao maior número de portas (COLINGE, 2008) em relação aos transistores com porta única.

Alguns exemplos de transistores MugFETs em estruturas SOI são mostrados na Figura 1-4.

Figura 1-4 – Diferentes tipos de transistores não planares. A) SOI FinFET, B) Porta Tripla SOI MOSFET, C) Porta- π SOI MOSFET, D) Porta- Ω SOI MOSFET, E) Porta ao redor do canal SOI MOSFET e F) Nanofio de Porta Ω SOI MOSFET.

Fonte: Adaptado de http://dmsarticles.co.in/wp-content/uploads/2017/07/440px-Multigate_models.png

Na Figura 1-4 temos: A) FinFET SOI (*Fin Field Effect Transistor SOI*) um transistor considerado de porta dupla por possuir um óxido de porta mais espesso na parte de cima do canal, B) Porta Tripla SOI MOSFET, um transistor muito parecido

com o FinFET SOI, porém com o óxido de porta fino em todas as portas e, portanto com porta tripla, C) Porta- π SOI MOSFET (*Pi-Gate SOI MOSFET* ou π G SOI MOSFET), muito parecido com o Porta Tripla SOI MOSFET porém a porta se estende no sentido do óxido enterrado ficando com o formato de um π , D) Porta- Ω SOI MOSFET (*Omega-Gate SOI MOSFET* ou Ω G SOI MOSFET) nesse caso a porta tem uma leve extensão para baixo do canal ficando parecido com o formato Ω , E) Porta ao redor do canal SOI MOSFET (*Gate All Around SOI MOSFET* ou GAA SOI MOSFET) o controle do canal é feito por uma porta que envolve o canal todo, também chamado de porta quádrupla, F) Nanofio Porta Ω SOI MOSFET (*Omega-Gate Nanowire SOI MOSFET* ou Ω G NW SOI MOSFET) nesse caso o canal é em formato cilíndrico com uma pequena extensão da porta abaixo do canal, no formato Ω .

Uma parte desse trabalho será focada nos dispositivos UTBB SOI MOSFET e a outra parte terá como foco os dispositivos Ω G NW SOI MOSFET

1.2 Objetivo

O objetivo desse estudo é analisar o comportamento analógico de dispositivos UTBB SOI MOSFET e de dispositivos Ω G NW SOI MOSFET com a variação da tensão aplicada no substrato (V_{GB}).

Serão analisados dispositivos UTBB SOI MOSFET tipo-n com e sem a implantação de GP para dois valores de comprimentos de canal (70 nm e 1 μ m). As análises serão feitas com o auxílio de medidas experimentais e de dados obtidos por simulações numéricas bidimensionais (ATLAS, 2006), onde o V_{GB} varia entre -3 V e +1 V.

Dispositivos tipo-n e tipo-p serão analisados na estrutura Ω G NW SOI MOSFET para três diferentes valores de larguras do canal (40 nm, 100 nm e 220 nm). As análises serão feitas com o auxílio de medidas experimentais e simulações numéricas tridimensionais (SYNOPTIS, 2013), onde o V_{GB} varia entre -20 V e +20 V.

1.3 Estrutura do trabalho

Este trabalho está dividido em cinco capítulos, cuja descrição está apresentada abaixo:

Capítulo 1 - INTRODUÇÃO: Este capítulo apresenta o histórico de evolução dos transistores, a Lei de Moore e a evolução tecnológica ao longo dos anos. Também são apresentados nesse capítulo a motivação e objetivos do trabalho e sua estrutura.

Capítulo 2 - CONCEITOS GERAIS: Neste capítulo, são apresentadas características da tecnologia SOI, tais como suas vantagens e alguns parâmetros elétricos. Os dispositivos UTBB SOI MOSFET e Ω G NW SOI MOSFET são descritos detalhadamente nesses capítulos.

Capítulo 3 - MATERIAIS E MÉTODOS: Neste capítulo, são apresentadas as características dos dispositivos medidos, os procedimentos de medida e os *softwares* que foram usados para realizar as simulações numéricas bidimensionais e tridimensionais e os modelos que foram utilizados em cada simulação.

Capítulo 4 - TRANSISTORES UTBB SOI: Neste capítulo, os parâmetros elétricos transcondutância na região de saturação, condutância de saída, ganho intrínseco e tensão Early são analisados em função da presença da implantação de plano de terra.

Capítulo 5 - TRANSISTORES Ω G NW SOI: Neste capítulo, características elétricas básicas (tensão de limiar e inclinação de sublimiar) e parâmetros analógicos (transcondutância na região de saturação, ganho intrínseco, tensão Early e eficiência do transistor) são analisados em função da largura do canal.

Capítulo 6 - CONCLUSÕES: O último capítulo aborda as conclusões obtidas no desenvolvimento do trabalho e algumas sugestões para trabalhos futuros.

2 CONCEITOS GERAIS

Neste capítulo são apresentados os principais conceitos gerais necessários para a realização do trabalho, estruturas estudadas e parâmetros analisados.

2.1 SOI Convencional

Características gerais dos SOI MOSFET convencional, a classificação dos transistores SOI e alguns parâmetros elétricos serão apresentados nesse capítulo.

2.1.1 Características gerais

Na tecnologia MOSFET convencional, uma das maneiras para realizar o isolamento eletrostático dos transistores é a criação de regiões de isolamento (que ocupam uma área muito grande) e/ou a realização de implantações de alta dopagem (COLINGE, 1988) (COLINGE, 1989).

Na tecnologia SOI, há a presença de uma camada isolante espessa de óxido no substrato logo abaixo do canal, chamado de óxido enterrado, como mostrado na Figura 2-1.

Figura 2-1 – Estrutura esquemática de um transistor SOI nMOS.

Fonte Autor.

Desta forma, fica mais fácil isolar os dispositivos entre si, pois com uma oxidação de espessura menor encontra-se a camada de óxido enterrado, além de isolar o dispositivo do substrato também. Portanto, a área ocupada por transistores SOI é menor em relação aos transistores MOS convencionais (COLINGE, 1988).

Na Figura 2-1, além das tensões já apresentadas na Figura 1-3, é destacado as três interfaces de um UTBB SOI MOSFET. A 1ª interface está localizada entre o óxido de porta e o semicondutor (região do canal), a 2ª interface entre o semicondutor (região do canal) e o óxido enterrado e a 3ª interface entre o óxido enterrado e o semicondutor (substrato).

Comparando o SOI MOSFET com o MOSFET Convencional as principais vantagens são: melhor isolação elétrica entre os transistores que existem na mesma lâmina, maior escalamento, melhor controle do canal, menor capacitância de junção, maior resistência à radiação, processo mais simples a partir da lâmina SOI, chaveamento mais rápido (menor inclinação de sublimiar), eliminação do efeito tiristor parasitário (*latch up*), entre outras (COLINGE, 1989).

2.1.2 Classificação dos Transistores SOI

Os transistores SOI podem ser classificados de acordo com a máxima região de depleção ($x_{dm\acute{a}x}$).

Parcialmente depletado

Parcialmente depletados (PD SOI MOSFET - *Partially depleted SOI MOSFET*) são aqueles que a espessura da camada de silício é grande o suficiente para que a soma da máxima região de depleção da primeira e segunda interfaces fiquem abaixo da espessura da camada de silício ($t_{Si} > 2x_{dm\acute{a}x}$), onde $x_{dm\acute{a}x}$ é a máxima largura da região de depleção mostrada pela equação (2-1) (ANDRADE, 2007) (CATTANEO, 2009).

$$x_{dmax} = \sqrt{\frac{2\varepsilon_{Si}2\phi_F}{qN_a}} \quad (2-1)$$

onde ε_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi do semicondutor e N_a é a concentração de dopantes no corpo, onde

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2-2)$$

para
$$n_i = 3,9 \times 10^{16} T^{3/2} e^{-\left(\frac{E_g}{2kT}\right)} \quad (2-3)$$

onde k é a constante de Boltzmann, T é a temperatura em Kelvin, q é a carga do elétron, n_i é a concentração intrínseca de portadores e E_g é a largura da faixa proibida.

Totalmente depletado

Totalmente depletados (FD SOI MOSFET - *Fully depleted* SOI MOSFET) são aqueles em que a espessura da camada de silício é menor que a máxima região de depleção proveniente de uma das interfaces ($t_{Si} < x_{dmáx}$) (ANDRADE, 2007).

A Figura 2-2 mostra o diagrama de faixas de energia dos dois tipos de transistores citados: parcialmente depletado (a) e totalmente depletado (b). Onde E_C é o nível de energia da faixa de condução, E_i é o nível de Fermi intrínseco, E_F é o nível de Fermi e E_V é o nível de energia da faixa de valência.

Figura 2-2 – Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um totalmente depletado (b), desprezando-se a queda de potencial no substrato.

Fonte: Autor.

Nos transistores PDSOI, como as regiões de depleção não entram em contato, não há nenhuma interação entre elas, portanto existe uma região neutra entre as duas regiões de depleção (ANDRADE, 2007).

Já nos transistores FDSOI, como a camada de silício (t_{Si}) é menor que a região de depleção máxima (x_{dmax}), quando o transistor estiver com uma tensão na porta (V_G) maior ou igual a tensão de limiar (V_T) a camada de silício inteira já estará em depleção independente da tensão aplicada no substrato (V_{GB}).

2.1.3 Parâmetros Elétricos

2.1.3.1 Tensão de Limiar

A tensão de limiar (V_T) é a tensão que, aplicada na porta, gera o número suficiente de portadores livres na primeira interface de forma a propiciar a condução desses portadores entre fonte e dreno.

MOS Convencional

Em dispositivos MOSFETs convencionais, a tensão de limiar, pode ser calculada através da equação (2-4).

$$V_{TF} = V_{FB} + 2\phi_F + \frac{qN_A x_{dmax}}{C_{ox1}} \quad (2-4)$$

onde C_{ox1} é a capacitância do óxido por unidade de área (expresso também pela relação de ϵ_{ox}/t_{ox} – permissividade elétrica do óxido/espessura do óxido) e V_{FB} é a tensão de faixa plana.

O valor de V_{FB} pode ser obtido a partir da diferença de função trabalho entre o metal de porta e o silício (ϕ_{MS1}), a capacitância do óxido por unidade de área (C_{ox}) e a densidade de cargas fixas no óxido (Q_{ox}) conforme equação (2-5) (MARTINO, 2004).

$$V_{FB} = \phi_{MS1} - \frac{Q_{ox}}{C_{ox}} \quad (2-5)$$

SOI MOSFET Parcialmente Depletado

Como nos dispositivos SOI parcialmente depletados a região de depleção da primeira interface não interage com região de depleção da segunda interface, o

comportamento desse transistor em relação à tensão de limiar é semelhante à de um MOS convencional, equação (2-4) (COLINGE, 2004).

SOI MOSFET Totalmente Depletado

Nos dispositivos SOI totalmente depletados há uma interação entre as regiões de depleção proveniente da primeira e segunda interfaces. Assim, a tensão aplicada na porta (V_G), além de influenciar no potencial da primeira interface, gera mudanças também no potencial da segunda interface. Analogamente a tensão aplicada no substrato (V_{GB}), além de influenciar no potencial da segunda interface, influencia também no potencial da primeira interface. Usando o modelo de Lim & Fossum (LIM, 1983), tem-se as equações (2-6) e (2-7) que regem essa interação entre o potencial das duas interfaces (ϕ_{S1} e ϕ_{S2}) e as tensões aplicadas na porta (V_G) e no substrato (V_{GB}) (LIM, 1983).

$$V_G = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv}}{C_{ox1}} \quad (2-6)$$

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(\frac{C_{Si}}{C_{ox2}}\right) \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}} \quad (2-7)$$

onde Q_{ox1} é a densidade efetiva de cargas fixas na primeira interface, C_{Si} é a capacitância na camada de silício por unidade de área, ϕ_{S1} é o potencial de superfície na primeira interface, ϕ_{S2} é o potencial de superfície na segunda interface, Q_{depl} é a carga de depleção total na camada de silício por unidade de área, Q_{inv} é a carga de inversão por unidade de área na primeira interface, Φ_{MS2} é a diferença da função trabalho entre o substrato e a camada de silício, Q_{ox2} é a densidade efetiva de cargas fixas na segunda interface, Q_{S2} é a carga na segunda interface por unidade de área (LIM, 1983).

A partir dessas equações é possível determinar a tensão de limiar para dispositivos totalmente depletados em função da condução da segunda interface (LIM, 1983).

a) Tensão de limiar para segunda interface em acumulação ($V_{T,ac2}$)

Quando a segunda interface está em acumulação, o potencial de superfície é zero, admite-se que a carga de inversão seja zero e para inverter a primeira interface o potencial ϕ_{S1} é igual a $2\phi_F$. Aplicando-se estas condições na equação (2-6), resulta na equação (2-8) (LIM, 1983).

$$V_{T,ac2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (2-8)$$

b) Tensão de limiar para segunda interface em inversão ($V_{T,inv2}$)

Quando a segunda e a primeira interface estiverem em inversão, os potenciais ϕ_{S1} e ϕ_{S2} são iguais a $2\phi_F$ e admite-se que a carga de inversão seja zero. Aplicando-se estas condições na equação (2-6), resulta na equação (2-9) (LIM, 1983).

$$V_{T,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (2-9)$$

c) Tensão de limiar para segunda interface em depleção ($V_{T,depl2}$)

Quando a segunda interface está em depleção o potencial ϕ_{S2} entra em uma condição onde é maior que zero, porém menor que $2\phi_F$. Assim a tensão de limiar dependerá da tensão aplicada no substrato V_{GB} . Como indicado na equação (2-10) (LIM, 1983).

$$V_{T,depl2} = V_{TF,ac2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si}+C_{ox2})} (V_{GB} - V_{GB,ac}) \quad (2-10)$$

2.1.3.2 Transcondutância

A transcondutância (g_m) é um parâmetro que indica o quão eficaz é o controle da corrente que passa pelo canal do dreno para fonte (I_{DS}) pela tensão aplicada na porta (V_G). A equação (2-11) representa o cálculo da transcondutância (COLINGE, 1988).

$$g_m = \frac{dI_{DS}}{dV_G} \quad (2-11)$$

As equações (2-12) e (2-13) representam a transcondutância para tensão de dreno (V_{DS}) na região de saturação e triodo respectivamente:

$$g_m = \frac{\mu_{ef} C_{ox} W}{nL} (V_G - V_T) \quad (2-12)$$

$$g_m = \frac{\mu_{ef} C_{ox} W}{nL} V_D \quad (2-13)$$

onde μ_{ef} é a mobilidade efetiva do canal e n é o fator de corpo, sendo $n = 1 + \alpha$ (COLINGE, 1988).

O parâmetro α representa a relação entre C_b/C_{ox1} , onde C_b é a capacitância entre o canal e o substrato.

Para dispositivos MOSFET convencional (*Bulk MOSFET*) C_b é igual a capacitância de depleção (C_{depl}) e tem-se $\alpha = \frac{C_{depl}}{C_{ox1}} = \frac{\epsilon_{Si}}{x_{dmáx} C_{ox1}}$.

Em dispositivos SOI com a segunda interface em acumulação C_b é igual a capacitância da camada de silício (C_{Si}) $\alpha = \frac{C_{Si}}{C_{ox1}}$. Quando a segunda interface se encontra em depleção o valor de C_b é uma associação série das capacitâncias da camada de silício (C_{Si}) e do óxido enterrado (C_{ox2}) e α pode ser escrito por $\alpha = \frac{C_{Si} C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})}$. Numericamente falando, tem-se a seguinte relação:

$$\eta \text{ SOI MOSFET totalmente depletado} < \eta \text{ MOSFET Convencional} < \eta \text{ SOI MOSFET segunda interface acumulada}$$

2.1.3.3 Efeito de Corpo

O efeito de corpo é um parâmetro que indica o quanto a tensão aplicada no substrato influencia na tensão de limiar (COLINGE, 2004). Parte dele foi abordada na seção 2.1.3.2

SOI Parcialmente Depletado

O efeito de corpo em um dispositivo SOI parcialmente depletado é o mesmo do MOS convencional se for feito contato de corpo. Sem contato de corpo a influência de V_{GB} em V_T é zero devido a isolação causada pelo óxido enterrado (COLINGE, 2004).

SOI Totalmente Depletado

No dispositivo SOI totalmente depletado o efeito de corpo se apresenta de maneira diferente dos demais dispositivos citados.

A variação da tensão de limiar em função da variação da tensão de substrato pode ser obtida através da derivada das expressões (2-8), (2-9) e (2-10) em função de V_{GB} resultando nas equações (2-14) (2-15) e (2-16) respectivamente (COLINGE, 2004).

$$\frac{dV_{T,ac2}}{dV_{GB}} = 0 \quad (2-14)$$

$$\frac{dV_{T,inv2}}{dV_{GB}} = 0 \quad (2-15)$$

$$\frac{dV_{Tdepl2}}{dV_{GB}} = - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si}C_{ox2})} = \frac{-\epsilon_{Si}C_{ox2}}{C_{ox1}(t_{Si}C_{Si} + \epsilon_{Si})} \quad (2-16)$$

Quando uma polarização suficientemente negativa for aplicada no substrato, a segunda interface entra em acumulação e o valor de ϕ_{S2} é igual a 0 V (constante), não mais influenciando significativamente no valor da tensão de limiar da primeira interface (equação (2-14)) (COLINGE, 2004).

Do mesmo modo pode-se considerar que ϕ_{S2} é igual a $2\phi_F$ quando a segunda interface está invertida, e o aumento da polarização do substrato mantém $\phi_{S2} = 2\phi_F$ (praticamente constante) e, portanto, não influencia na tensão de limiar da primeira interface (equação 2-15) (COLINGE, 2004).

A equação (2-16) só tem validade se a camada de silício estiver totalmente depletada. Consequentemente quando o transistor está nessa faixa de operação a tensão de limiar vai diminuindo a medida que a tensão no substrato aumenta (COLINGE, 2004). Baseado nessas condições, a Figura 2-3 mostra a variação da tensão de limiar em função da tensão aplicada no substrato (COLINGE, 2004).

Figura 2-3 – Tensão de limiar para diferentes tensões de substrato, para um SOI MOSFET totalmente depletado.

Fonte: Adaptado de (COLINGE, 2004).

2.1.3.4 Tensão Early

A tensão Early (V_{EA}) representa o efeito da modulação do comprimento de canal devido à polarização entre dreno e fonte. Quanto aplicada uma tensão no dreno, maior que a tensão de saturação, o comprimento efetivo do canal diminui, pois há um deslocamento do ponto de estrangulamento no canal (*pinchoff*) do dreno em direção a fonte, aumentando a corrente de dreno na saturação ($I_{D,sat}$) (COLINGE, 2006).

Na Figura 2-4 pode-se ver o exemplo de extração da tensão Early. Na curva de corrente de dreno (I_{DS}) em função da tensão aplicada no dreno (V_{DS}), extrapola-se a curva de corrente de região de saturação. O ponto de intersecção com o eixo X (V_{DS}) é denominado de tensão Early (V_{EA}) (COLINGE, 2006).

Figura 2-4 – Esquema da obtenção da tensão Early através da curva de corrente de dreno em função da tensão de dreno.

Fonte: Autor.

A equação (2-17) mostra uma maneira matemática para obtenção da tensão Early, considerando $V_{DS,SAT} \ll V_{EA}$:

$$V_{EA} \cong \frac{I_{Dsat}}{g_{Dsat}} \quad (2-17)$$

Onde V_{Dsat} é a tensão de dreno na saturação, I_{Dsat} é a corrente de dreno na saturação correspondente de V_{Dsat} e g_{Dsat} é a condutância de saída na saturação (COLINGE, 2006).

2.1.3.5 Condutância de saída

A condutância de saída (g_D) é um parâmetro relacionado ao comportamento dos transistores em circuitos analógicos. Representa o quanto a corrente de dreno do dispositivo é influenciada pelo campo elétrico proveniente da tensão aplicada no dreno (SUBRAMANIAN, 2005).

É determinado através da derivada da corrente de dreno (I_{DS}) em função da tensão aplicada no dreno (V_{DS}), para uma tensão de porta (V_G) constante, como mostra a equação (2-18) (SUBRAMANIAN, 2005).

$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (2-18)$$

2.1.3.6 Ganho intrínseco de tensão

O ganho intrínseco de tensão (A_V) também é um parâmetro relacionado com aplicações analógicas dos transistores. Representa a efetividade do transistor em controlar a corrente no canal considerando uma resistência de saída (COLINGE, 2008).

Está diretamente relacionado com os parâmetros transcondutância e condutância de saída. E pode ser determinado pela equação (2-19) (COLINGE, 2006) (SUBRAMANIAN, 2005).

$$|A_V| = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} V_{EA} \quad (2-19)$$

2.1.3.7 Eficiência do transistor

A eficiência do transistor é definida como a razão entre a transcondutância (g_m) e corrente de dreno (I_D), g_m/I_D . Nessa relação o valor de g_m representa a amplificação do dispositivo, I_D por sua vez representa a energia fornecida para atingir esta amplificação (COLINGE, 2004). Este parâmetro é utilizado para a análise de aplicações analógicas para o projeto de circuitos (SILVEIRA, 1996).

A eficiência do transistor pode ser analisada em função de alguns parâmetros, uma delas é em função da corrente de dreno normalizada. A Figura 2-5 mostra um exemplo de curva característica de eficiência em função da corrente de dreno normalizada.

Figura 2-5 – Exemplo de curva característica da eficiência de um Ω G NW SOI pMOSFET em função da corrente de dreno normalizada pela razão de aspecto (W/L).

Fonte: Autor.

Na Figura 2-5 pode-se ver que a curva está dividida em 3 regiões diferentes. A primeira região (da esquerda) é a região de inversão fraca (WI – *Weak Inversion*). Nessa região a eficiência do transistor tem um valor quase constante e dependente inversamente da inclinação de sublimiar (FLANDRE, 1996). Na região de inversão forte (SI – *Strong Inversion*) (à direita), ocorre uma redução da eficiência uma vez que a corrente de dreno possui uma maior dependência da mobilidade dos portadores de carga e da resistência série ($R_{\text{série}}$) (SILVEIRA, 1996).

A eficiência do transistor na região de inversão fraca e inversão forte pode ser representada pelas equações (2-20) e (2-21) (FLANDRE, 1996) (SANSEN, 2006):

Inversão fraca (WI):

$$\frac{gm}{I_D} = \frac{\ln(10)}{SS} = \frac{q}{(1+\alpha).k.T} = \frac{q}{n.k.T} \quad (2-20)$$

Inversão forte (SI):

$$\frac{gm}{I_D} = \sqrt{\frac{2.\mu.C_{ox}.(W/L)}{n.I_D}} \quad (2-21)$$

2.2 Coeficiente de Inversão

O coeficiente de inversão (IC – *Inversion Coefficient*) é um parâmetro que permite a análise das características de transistores MOSFET em função dos regimes de inversão. O valor de IC pode ser calculado através da equação (2-22) (SANSEN, 2006):

$$IC = \left[\ln \left(1 + e^{\frac{V_G - V_T}{2.n \cdot \frac{k.T}{q}}} \right) \right]^2 \quad (2-22)$$

O parâmetro é adimensional e é possível definir os regimes de inversão baseando-se em seus valores: para $IC < 0,1$ o transistor opera em inversão fraca, para $0,1 < IC < 10$ opera em inversão moderada e para $IC > 10$ opera em inversão forte (BINKLEY, 2000).

2.3 Modelo Teórico para Extração da Tensão de Limiar

Um dos primeiros modelos analíticos para determinação de V_T em dispositivos SOI foi proposto por Lim & Fossum em 1983 (LIM, 1983). Esse modelo levava em consideração a interação entre a primeira e segunda interface como mostrado na seção 2.1.3.1. As equações (2-6) e (2-7) foram reescritas em (2-23) e (2-24) sem levar em consideração as cargas de depleção (Q_{depl}).

$$V_G = V_{FB1} + \frac{qNa t_{Si}}{2C_{ox1}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{ox1}} + 1 \right) \phi_{S1} - \frac{\epsilon_{Si}}{t_{Si}C_{ox1}} \phi_{S2} - \frac{Q_{inv}}{C_{ox1}} \quad (2-23)$$

$$V_{GB} = V_{FB2} + \frac{qNa t_{Si}}{2C_{ox2}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{ox2}} + 1 \right) \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si}C_{ox2}} \phi_{S1} - \frac{Q_{S2}}{C_{ox2}} \quad (2-24)$$

Nessa modelagem a queda do potencial no substrato (ϕ_{SUB}) foi desconsiderada, uma vez que para dispositivos com espessuras maiores a terceira interface pouco influenciava nas primeira e segunda interface.

Em 1990 Martino et al. modelou a queda de potencial na terceira interface (MARTINO, 1990), através da equação (2-25).

$$\phi_{SUB} = \left[\frac{-\sqrt{2qNa_{SUB}\epsilon_{Si}}}{2C_{ox2}} + \sqrt{\left(\frac{2qNa_{SUB}\epsilon_{Si}}{4C_{ox2}^2} - V_{FB3} \right) + (\phi_{S2} - V_{GB})} \right]^2 \quad (2-25)$$

onde V_{FB3} é a tensão de faixa plana da terceira interface.

Desprezando o termo Q_{S2} e incluindo o potencial na 3ª interface, deve-se reescrever a equação (2-23) como mostrada na equação (2-26):

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{qNa t_{Si}}{2C_{ox2}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{ox2}} + 1 \right) \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si}C_{ox2}} \phi_{S1} - \phi_{SUB} \quad (2-26)$$

A queda potencial na terceira interface tem dependência em relação à tensão aplicada no substrato, como mostram as equações (2-27) e (2-28)

$$\phi_{SUB} = 0 \rightarrow V_{GB} \geq V_{GBmax} = \phi_{S2} - V_{FB3} \quad (2-27)$$

$$\phi_{SUB} = 2\phi_{FB} \rightarrow V_{GB} \leq V_{GBmin} = \phi_{S2} - V_{T3} \quad (2-28)$$

onde

$$V_{FB3} = \Phi_{MS3} - \frac{Q_{ox3}}{C_{ox2}} = \frac{kT}{q} \ln \frac{Na}{Na_{SUB}} - \frac{Q_{ox3}}{C_{ox2}} \quad (2-29)$$

$$V_{T3} = V_{FB3} + 2\phi_{FB} + \frac{\sqrt{2qNa_{SUB}\epsilon_{Si}2\phi_{FB}}}{C_{ox2}} \quad (2-30)$$

onde V_{T3} é a tensão de limiar da terceira interface.

O modelo proposto por Martino et al. mostrou-se eficaz na análise de transistores com espessura de óxido enterrado e camada de silício na casa de centenas de nanômetros até parte dos dispositivos UTBB atuais.

A fim de aprimorar o modelo analítico, levando em consideração efeitos gerados pela diminuição das espessuras nos dispositivos UTBB, outro efeito importante foi adicionado ao modelo analítico, o efeito do confinamento quântico.

Devido a espessuras pequenas de camada de silício dos transistores estudados a condução de corrente através do canal não é mais feita pelas interfaces. O confinamento quântico gera uma condução de corrente do canal a uma distância x_c da interface (COLINGE, 2004) (BURIGNAT, 2010) (FASARAKIS, 2014) que pode ser calculado pela equação (2-31) onde A_c e B_c são parâmetros modelados (BURIGNAT, 2010).

$$\frac{x_c}{t_{Si}} = A_c \exp\left(\frac{V_{GB}}{B_c}\right) \quad (2-31)$$

onde $A_c = 0,05$ e $B_c = 3,1$.

Para adicionar esse efeito no modelo analítico, os valores de t_{oxf} e t_{Si} devem ser alterados por valores efetivos, uma vez que a condução da corrente de dreno não ocorre pela interface. Assim sendo os valores de t_{oxf} e t_{Si} são dados pelas equações (2-32) e (2-33).

$$t_{oxf,eff} = t_{oxf} + \frac{\epsilon_{ox}}{\epsilon_{Si}} x_c \quad (2-32)$$

$$t_{Si,eff} = t_{Si} - \frac{\epsilon_{ox}}{\epsilon_{Si}} x_c \quad (2-33)$$

Para determinação da tensão de limiar através do modelo analítico os seguintes passos são seguidos:

- 1 Calcular $t_{Si,eff}$, $t_{oxf,eff}$ através das equações (2-31), (2-32) e (2-33)
- 2 Escolher um valor de V_{GB} e substituir nas equações (2-25) e (2-26)
- 3 Calcular $V_{GBmáx}$ e V_{GBmin} através das equações (2-27) e (2-28)
- 4a Se $V_{GB} \geq V_{GBmáx}$ então $\phi_{SUB} = 0$
- 4b Se $V_{GB} \leq V_{GBmin}$ então $\phi_{SUB} = 2\phi_{FB}$
- 4c Se $V_{GBmin} \leq V_{GB} \leq V_{GBmáx}$ então calcular ϕ_{SUB} através das equações (2-25) e (2-26)
- 5 Calcular V_G que será o valor da tensão de limiar através da equação (2-23).

Na Figura 2-6 é apresentado um gráfico com curvas de tensão de limiar em função da tensão aplicada no substrato dos dados experimentais e dos dados do modelo analítico para dispositivos com e sem GP à temperatura ambiente. A figura também traz a diferença (erro) entre as duas curvas em módulo (ITOCAZU, 2014).

Pode-se observar uma boa concordância entre os dados experimentais e os valores do modelo analítico, com um erro de 70 mV na análise sem GP e um erro de 85 mV com GP; assim como visto também em (ITOCAZU, 2014).

Figura 2-6 – Curvas teóricas e experimentais de V_T em função de V_{GB} em temperatura ambiente para dispositivos com $L = 10 \mu\text{m}$ e A) $N_{\text{SUB}} = 10^{15}\text{cm}^{-3}$ (sem GP) e B) $N_{\text{SUB}} = 10^{18}\text{cm}^{-3}$ (com GP).

Fonte: (ITOCAZU, 2014).

No APÊNDICE A – MODELO ANALÍTICO são apresentadas outras aplicações desenvolvidas para esse o modelo analítico apresentado nessa seção.

2.4 UTBB SOI MOSFET (planar)

Características gerais dos UTBB MOSFET serão apresentados nesse capítulo.

2.4.1 Características principais

Como citado na motivação do trabalho o transistor UTBB SOI (*Ultra Thin Body and Buried Oxide SOI* – SOI de camada de silício e óxido enterrado ultrafinos) é uma das alternativas utilizadas na produção de dispositivos de alto desempenho no mercado, além de continuar com o escalamento dos dispositivos para seguir a Lei de Moore (MOORE, 1965).

Umas das grandes vantagens dos transistores UTBB SOI é o vasto conhecimento prévio da comunidade científica da tecnologia planar, além do custo de fabricação de um transistor UTBB SOI ser muito menor que de um MugFET SOI (JONES, 2014).

No transistor UTBB SOI, por ter suas camadas muito finas, ocorre um forte grau de acoplamento eletrostático entre a porta e substrato. Dessa forma, a tensão de limiar pode ser facilmente controlada tanto pela tensão aplicada na porta (V_G) como a tensão aplicada no substrato (V_{GB}) em relação a dispositivos SOI com camadas espessas.

Um melhor controle na indução do efeito de corpo flutuante, diminuição do efeito de canal curto e menor resistência térmica estão entre outras vantagens do transistor UTBB SOI em relação ao SOI MOSFET convencional (COLINGE, 2004) (ITOCazu, 2012) (CHANG, 2003) (FENOUILLET-BERANGER, 2009) (FENOUILLET-BERANGER, 2010) (ALMEIDA, 2012).

Nos transistores UTBB SOI são analisadas três interfaces nos estudos. A primeira interface é a entre o óxido de porta e a camada de silício, a segunda interface é entre a camada de silício e o óxido enterrado (em inglês são nomeadas de *front* e *back* interface respectivamente), como se pode ver na Figura 2-1 (MARTINO, 1990) (ITOCazu, 2014) (MARTINO, 2014).

A terceira interface, entre óxido enterrado e substrato, ganhou mais relevância nos estudos desde a criação dos transistores UTBOX SOI e UTBB SOI, pois a presença de uma camada fina de óxido enterrada faz com que a terceira interface interaja fortemente com as primeira e segunda interface (MARTINO, 1990) (ITOCazu, 2014) (MARTINO, 2014).

2.4.2 Plano de Terra – *Ground Plane*

Dentre os avanços tecnológicos nas estruturas planares, a implantação de uma camada altamente dopada, o plano de terra (GP), abaixo do óxido enterrado é um dos mais significativos (FENOUILLET-BERANGER, 2009) (FENOUILLET-BERANGER, 2010).

Quando não há a implantação do plano de terra nos dispositivos, a região de depleção ($x_{dm\acute{a}x}$) na terceira interface é muito grande, uma vez que a concentração de dopantes no substrato é baixa ($N_{SUB} \approx 10^{15} \text{ cm}^{-3}$) como se pode ver na equação (2-1).

A presença do plano de terra diminui a região de depleção na terceira interface (maior N_{SUB} , menor $x_{dm\acute{a}x}$), melhorando o controle das cargas do canal pela tensão aplicada no substrato. A Figura 2-7 mostra esquematicamente um transistor UTBB SOI sem implantação de plano de terra e outro com a implantação de plano de terra com suas respectivas regiões de depleção na terceira interface.

Figura 2-7 – Esquema de um transistor UTBB SOI com e sem presença da implantação de plano de Terra e a região de depleção formada na terceira interface.

Fonte: Autor.

Recentemente, transistores UTBB SOI com e sem GP são estudados para diversas aplicações, como estudo de memória (SASAKI, 2013), tensão de limiar dinâmica (SASAKI - A, 2014) (SASAKI - B, 2014) (ITOCASU - A, 2015) (ITOCASU - A, 2017) aplicações digitais (ITOCASU, 2012) (ITOCASU, 2014) (SONNENBERG, 2013) e analógicas (ITOCASU - B, 2015) (SILVA, 2016) (SILVA, 2017) (ITOCASU - B, 2017) e em ponto invariante com a temperatura (MACAMBIRA, 2016) (MARTINO, 2016).

2.5 Ω G NW SOI MOSFET (nanofio)

Os transistores de múltiplas portas são uma alternativa muito explorada no mercado uma vez que o controle das cargas no canal é melhor que em dispositivos planares. Para melhorar esse controle diversas estruturas com geometrias diferentes da geometria planar foram idealizadas.

Como mostrado na Figura 1-4 existem diversos formatos para os dispositivos de múltiplas portas. Uma das estruturas tridimensional promissoras que está sendo estudada são os dispositivos em formato de nanofio (*Nanowire – NW* em inglês). Essa estrutura apresenta uma significativa redução do consumo de energia estática e dinâmica pelo seu formato (BINDAL, 2016).

A estrutura de nanofio pode ser construída de duas maneiras diferentes: na vertical ou na horizontal. A Figura 2-8 mostra esquematicamente um transistor em estrutura nanofio vertical (A) e horizontal (B).

Figura 2-8 – Modelo de transistor de nanofio SOI MOSFET A) Vertical; B) Horizontal.

Fonte: Autor.

Os dispositivos construídos verticalmente (Figura 2-8 A) permitem uma miniaturização do leiaute, sem prejudicar o desempenho do circuito ao qual for implementado, além da porta circundar todo o canal e permitir um ótimo controle das

cargas. A outra alternativa de construção de dispositivos nanofio, são os nanofios horizontais. A Figura 2-8 B mostra um nanofio horizontal com porta Ω (BINDAL, 2016).

Apesar de o processo de fabricação em ambas as estruturas ser bastante complexo, o nanofio horizontal apresenta um processo de fabricação um pouco mais simples (BARRAUD, 2012) (CPQIAMD, 2012) (SAITOH, 2012) (BANGSARUNTIP, 2010).

Recentemente, transistores de nanofio horizontal com porta Ω foram estudados para diversas aplicações, como performance em relação a estresse e mobilidade (BARRAUD - A, 2013) (BARRAUD, 2014) (P.-PRAYER, 2014) (P.-PRAYER, 2015) (NGUYEN, 2014), ruído de baixa frequência (KOWAMA - A, 2014) (KOWAMA - B, 2014), orientação cristalográfica (P.-PRAYER, 2014) (KOWAMA - A, 2014) (KOWAMA - B, 2014) e efeitos da escalabilidade (BARRAUD, 2012) (BARRAUD - A, 2013) (ALMEIDA, 2016). Estudos sobre a influência da tensão aplicada no substrato podem ser vistos em (ALMEIDA, 2016) (ITOCASU - C, 2017) (ITOCASU -D, 2017).

3 MATERIAIS E MÉTODOS

Nesse capítulo, são apresentados os equipamentos e dispositivos utilizados nesse trabalho, além dos programas que foram utilizados para realizar simulações.

3.1 UTBB SOI MOSFET

3.1.1 Dispositivos Estudados

Foram estudados dispositivos UTBB SOI MOSFET fabricados pelo *Interuniversity Microelectronics Centre* – Imec, em Leuven na Bélgica. Todos dispositivos estudados são do tipo nMOS.

Três diferentes lâminas foram estudadas, onde a diferença entre elas está no processo de fabricação dos dispositivos. Na primeira lâmina, que é a referência, os dispositivos possuem a camada de silício com espessura (t_{Si}) de 6 nm e a porta composta por 5 nm de SiO₂ no óxido de porta (t_{oxf}) e metal de porta de TiN. Dispositivos dessas lâminas serão denominados de SiO₂ / t_{Si} =6.

Os dispositivos da segunda lâmina possuem a mesma composição de porta da referência com t_{oxf} de 5 nm de SiO₂ e metal de porta de TiN, porém o t_{Si} é de 14 nm. Dispositivos dessas lâminas serão denominados de SiO₂ / t_{Si} =14.

O valor de 5 nm de SiO₂ para óxido de porta é um valor alto para as aplicações convencionais, porém os transistores que possuem essa composição foram projetados para o estudo de memória dinâmica, no qual a fuga de corrente pela porta é extremamente prejudicial (SASAKI, 2013) (FASARAKIS, 2014) e a presença de um óxido de porta espesso minimiza esse efeito.

Na última lâmina a composição de porta dos dispositivos é de 1,5 nm de SiO₂ mais 4,2 nm de HfSiO (High- κ) e metal de porta de TiN, já o t_{Si} é igual ao de referência: 6 nm. Dispositivos dessas lâminas serão denominados de HK / t_{Si} =6.

A Tabela 3-1 resume todos os dispositivos estudados.

Tabela 3-1 – Diferentes tecnologias estudadas de UTBB SOI MOSFETs

	Óxido de Porta	Espessura Camada de Silício
SiO₂ / t_{Si}=6	SiO ₂	6 nm
SiO₂ / t_{Si}=14	SiO ₂	14 nm
HK / t_{Si}=6	High-k	6 nm

Fonte: Autor.

Nas três lâminas apresentadas alguns dispositivos possuem implantação de plano de terra abaixo do óxido enterrado feito com uma implantação de boro à 25 keV de energia e $5 \times 10^{13} \text{ cm}^{-2}$ de dose, gerando uma camada de aproximadamente 10^{18} cm^{-3} de dopantes. Esses dispositivos serão chamados de dispositivos com GP. Nas mesmas lâminas existem outros dispositivos que não possuem essa implantação, chamados de dispositivos sem GP.

Todos os dispositivos possuem óxido enterrado (t_{oxb}) de 18 nm e largura do canal (W) de 1 μm . Foram estudados dois comprimentos de canal (L): 1 μm e 70 nm.

3.1.2 Medidas experimentais

Todas as medidas experimentais foram feitas no sistema de medidas Agilent B1500.

Foram realizadas medidas de corrente de dreno (I_{DS}) em função da tensão aplicada na porta (V_{G}) com passo de 10 mV de -2 V até +2 V para 4 diferentes valores de tensão aplicada no substrato (V_{GB}), 1 V, 0 V, -1 V e -3 V. Com duas tensões de dreno (V_{DS}) diferentes, 50 mV (regime de triodo) e 1 V (regime de saturação).

Após extrair a tensão de limiar (V_{T}) para $V_{\text{DS}} = 50 \text{ mV}$, pelo método da segunda derivada (TERAO, 1990) para cada valor de V_{GB} , foi possível realizar medidas de I_{DS} em função de V_{DS} com sobretensão de limiar, $V_{\text{GT}} = 200 \text{ mV}$. Todas as medidas foram feitas em temperatura ambiente, cerca de 25°C

3.1.3 Dados de simulação

Para auxiliar o entendimento dos dispositivos estudados foram utilizados simuladores numéricos que permitem um melhor entendimento dos dispositivos uma vez que englobam uma série de programas capazes de simular processos de fabricação, medidas elétricas, extração de parâmetros elétricos, entre outras funções.

No caso dos dispositivos UTBB SOI MOSFET foram usadas as ferramentas TCAD Silvaco (*Technology Computer-Aided Design* – Projeto auxiliado por computador), desenvolvido pela Silvaco® (ATLAS, 2006). Foram feitas simulações bidimensionais utilizando os modelos a seguir:

CVT: Modelo de degradação da mobilidade nas interfaces proposto por Lombardi (LOMBARDI, 1988). Este modelo considera o efeito do alto campo elétrico transversal, que aumenta a interação dos portadores com a interface semicondutor-isolante, aumentando a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície. Além disso, inclui dependências com a temperatura e com a concentração de dopantes.

BGN (*Band Gap Narrowing*): Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

SRH (*Shockley Read Hall*): Modelo de geração-recombinação de portadores, este processo envolve a troca de portadores entre a faixa de condução e de valência descrito pela equação 2-1 (HALL, 1952).

N.DORT (*Van Dort's Model*): O efeito quântico é modelado a pelo alargamento da banda proibida de energia próximo a interface.

Os dispositivos simulados possuem as mesmas características de espessuras do óxido de porta (t_{oxf}) de 5 nm, da camada de silício (t_{si}) de 6 nm e do óxido enterrado (t_{oxb}) de 18 nm em relação aos dispositivos medidos. O comprimento de canal de 1 μm e apesar da simulação ser bidimensional a largura do canal (W) é considerada de 1 μm pelo *software*.

O eletrodo de porta simulado possui uma função trabalho de 4,53 eV e também foram consideradas armadilhas na primeira (N_{itf}) e segunda (N_{itb}) interfaces com valores de $2 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ (MARTINO, 2014).

Todos os dispositivos têm a concentração de dopantes da região do canal de 10^{15} cm^{-3} (tipo p), na região de dreno e fonte o valor foi de 10^{20} cm^{-3} (tipo- n). Nos dispositivos sem GP o substrato foi dopado da mesma forma que o canal, 10^{15} cm^{-3} (tipo-p). Já os dispositivos com GP tiveram uma dopagem no substrato como um total de 10^{18} cm^{-3} (tipo p) (ITOCASU, 2012). Uma região menos dopada com 10^{19} cm^{-3} (tipo n) foi adicionada aos dispositivos na região de fonte e de dreno (LDD – *Lightly Doped Drain*) para simular a resistência série de fonte e dreno e assim ajustar os níveis de corrente entre o simulado e experimental.

A Figura 3-1 mostra uma esquematização dos transistores simulados ao longo do trabalho.

Figura 3-1 – Estruturas dos diferentes transistores simulados. A) $L = 1 \mu\text{m}$ sem GP B) $L = 1 \mu\text{m}$ com GP

Fonte: Autor.

3.2 ΩG NW SOI MOSFET

3.2.1 Dispositivos Estudados

Para realização desta parte do trabalho foram estudados dispositivos ΩG NW SOI MOSFET fabricados pelo *Laboratoire d'électronique des technologies de l'information* - CEA-LETI, em Grenoble na França. Foram feitas análises para dispositivos tipo nMOS e tipo pMOS.

A Figura 3-2 mostra esquematicamente o transistor estudado à esquerda e à direita uma imagem transversal do transistor feita com TEM (Microscópio eletrônico de transmissão) (BARRAUD, 2012).

Figura 3-2 – Figura esquemática (esquerda) e imagem transversal feita com Microscópio eletrônico de transmissão (direita) de um Ω G NW SOI MOSFET

Fonte: Autor e Adaptado de (BARRAUD, 2012).

Os dispositivos estudados foram fabricados em uma lâmina SOI com orientação (100), dopagem tipo-p de 10^{15} cm^{-3} e óxido enterrado de 145 nm de espessura (t_{oxb}).

A composição da porta dos dispositivos estudados é de 1,9 nm de HfSiON coberto por uma camada de TiN e 50 nm de silício policristalino, essa composição tem uma espessura efetiva do óxido (EOT - *Effective Oxide Thickness*) de 1,3 nm. A altura do canal (H_{NW}) é de 11 nm e a concentração do canal é a mesma da lâmina, $\sim 10^{15} \text{ cm}^{-3}$.

As análises foram realizadas para três diferentes valores de largura do canal (W_{NW}) 10 nm, 40 nm e 220 nm. O comprimento do canal (L) escolhido para análise de g_{msat} , V_{EA} e A_v foi de 100 nm a fim de evitar efeitos de canal curto (SCE – *Short Channel Effect*) (ALMEIDA, 2016) (ITOCazu - C, 2017) como mostrado na Figura 3-3, já na análise de eficiência do transistor foi analisado também dispositivos com o comprimento de canal (L) de 40 nm.

A Figura 3-3 mostra a curva de tensão de limiar (V_T) em função do comprimento do canal (L) para dispositivos Ω G NW SOI nMOSFET com largura do canal variando entre $W_{NW} = 10$ nm (triângulo azul), $W_{NW} = 40$ nm (círculo vermelho) e $W_{NW} = 220$ nm (quadrado preto)

Figura 3-3 – Tensão de limiar experimental em função do comprimento de canal para dispositivos Ω G NW SOI nMOSFET com três diferentes comprimentos de canal.

Fonte: Adaptado de (ITOCazu - E, 2017).

3.2.2 Medidas Experimentais

Todas as medidas experimentais foram feitas no sistema de medidas Agilent B1500.

Foram realizadas medidas de corrente de dreno (I_{DS}) em função da tensão aplicada na porta (V_G) com passo de 10 mV entre -2 V e +2 V para 5 diferentes valores de tensão aplicada no substrato (V_{GB}), 20 V, 20 V, 0 V -10 V e -20 V. Com duas tensões de dreno (V_{DS}) diferentes, 50 mV para nMOS e -50 mV para pMOS (regime de triodo) e 1 V para nMOS e -1 V para pMOS (regime de saturação).

Assim como explicado na seção 3.1.2 as medidas de I_{DS} em função de V_{DS} com $V_{GT} = 200$ mV para nMOS e -200 mV para pMOS foram feitas após a extração da

tensão de limiar (V_T) para $|V_{DS}| = 50$ mV. Todas as medidas foram feitas em temperatura ambiente, cerca de 25°C

3.2.3 Dados de simulação

No caso dos dispositivos Ω G NW SOI MOSFET, foram usadas as ferramentas TCAD Sentaurus, desenvolvido pela Synopsys®. Foram feitas simulações tridimensionais utilizando os modelos a seguir:

Phumob – Modelo de mobilidade baseado no modelo proposto por Klassen (KLAASSEN, 1992), que descreve sua degradação devido ao espalhamento de impurezas e aos mecanismos de espalhamento elétron-lacuna.

Enormal – Modelo de mobilidade baseado no modelo proposto por Lombardi et al (LOMBARDI, 1988) que considera a degradação nas interfaces causada pelo alto campo elétrico transversal, onde os portadores são submetidos à dispersão por fônons de superfície acústica e rugosidades da superfície.

High-field Saturation – Modelo que considera a velocidade de saturação dos portadores devido ao elevado campo elétrico, baseado no modelo proposto por Canali et al (CANALI, 1975).

BandGapNarrowing – Modelo que considera o estreitamento da faixa proibida devido à influência da temperatura (SLOTBOOM, 1976) (SLOTBOOM - A, 1977) (SLOTBOOM - B, 1977).

SRH (Shockley–Read–Hall) – Modelo de geração-recombinação de portadores que envolve a troca de portadores entre as faixas de condução e valência (TYAGI, 1983) (GOEBEL, 1992), dopagem (ROULSTON, 1982) e campo elétrico (SCHENK, 1992).

Os dispositivos simulados possuem um óxido de porta composto apenas por SiO_2 com espessura (t_{oxf}) de 1,3 nm (EOT). A altura do canal (H_{NW}) de 11 nm e a espessura do óxido enterrado (t_{oxb}) de 145 nm. O comprimento do canal de 100 nm e, diferente das simulações para UTBB, como essa simulação é tridimensional a largura do canal (W_{NW}) foi definida para 10 nm, 40 nm e 220 nm.

O eletrodo de porta simulado possui uma função trabalho de 4,55 eV e o eletrodo do substrato possui uma função trabalho de 4,90 eV. A mobilidade máxima ($\mu_{\text{máx}}$) foi ajustada para cada W_{NW} e a Tabela 3-2 mostra esse ajuste para dispositivos nMOS.

Tabela 3-2 – Valores ajustados de mobilidade máxima utilizados no simulador para cada largura do canal estudado.

W_{NW}	$\mu_{\text{máx}}$
10 nm	240 cm ² /V.s
40 nm	200 cm ² /V.s
220 nm	150 cm ² /V.s

Fonte: Autor.

4 TRANSISTORES UTBB SOI

Neste capítulo são analisados parâmetros de dispositivos de estrutura planar de camada de silício e óxido enterrado ultrafinos, UTBB SOI nMOSFETs (*Ultra Thin Body and Buried Oxide SOI nMOSFETs*). Será estudada a influência da implantação do plano de terra (GP) nos parâmetros analógicos baseada em medidas experimentais e simulações.

4.1 Resultados Obtidos

Os resultados obtidos serão separados em duas partes. Na primeira parte dos resultados será analisado a influência da implantação do plano de terra (GP) nos parâmetros com a variação da tensão no substrato (V_{GB}) para dispositivos com comprimento de canal (L) de 1 μm . Na segunda parte dos resultados, a tensão no substrato é fixada em $V_{GB} = 0\text{ V}$ e será analisado a influência do GP nos parâmetros em transistores com comprimento de canal (L) de 70 nm e 1 μm .

4.1.1 Influência do GP com a variação da tensão no substrato

Tensão de Limiar

A Figura 4-1 mostra a curva experimental da tensão de limiar (V_T) em função da tensão aplicada no substrato para o dispositivo $\text{SiO}_2 / t_{\text{Si}}=6$. A tensão no substrato variou de -2,5 V a +2,5 V e foi extraído o V_T para cada uma dessas condições a partir do método da segunda derivada (TERAO, 1990). A Figura 4-2 mostra um exemplo de curva teórica para dispositivos com e sem GP utilizando o modelo de Martino *et al.* (MARTINO, 1990) mostrado em 2.3 . Nessas condições de V_{GB} a segunda interface está sempre em inversão.

Figura 4-1 – Curva experimental da tensão de limiar em função da tensão de substrato de um UTBB SOI nMOS.

Fonte: Adaptado de (ITOCazu - B, 2017).

Figura 4-2 – Curva teórica de tensão de limiar em função da tensão no substrato para dispositivos $\text{SiO}_2 / t_{Si}=6$ com e sem GP considerando a queda de potencial no substrato.

Fonte: Adaptado de (ITOCazu - B, 2017).

É possível ver os diferentes regimes de operação (acumulação, depleção e inversão) da terceira interface (óxido enterrado/substrato) e como isso afeta a tensão de limiar do dispositivo.

Na Figura 4-1 os valores de V_{GB} que estão na transição de regime de inversão/depleção e depleção/acumulação foram nomeados de V_{GBmin} e V_{GBmax} , respectivamente (MARTINO, 2014).

Na Figura 4-2 estão destacadas as regiões de V_{GBmax} e V_{GBmin} para cada condição. Nota-se que os valores de V_{GBmax} são próximos nos dois casos, enquanto os valores de V_{GBmin} são mais distantes.

A partir do modelo analítico de Martino et al. (MARTINO, 1990) os valores de V_{GBmax} e V_{GBmin} foram extraídos para as três diferentes tecnologias estudadas considerando dispositivos com e sem implantação de plano de terra (GP). Esses dados são mostrados na Tabela 4-1.

A partir dos dados extraídos na Tabela 4-1, escolheu-se os valores de V_{GB} igual a +1 V, 0 V, -1 V e -3 V para analisar as diferentes condições da terceira interface.

Tabela 4-1 – V_{GBmax} e V_{GBmin} para os dispositivos das três tecnologias UTBB SOI nMOS com e sem implantação de plano de terra

	Com GP	Sem GP
	SiO ₂ / t _{Si} =6	
V_{GBmax}	0,76 V	0,59 V
V_{GBmin}	-3,40 V	-0,08 V
	SiO ₂ / t _{Si} =14	
V_{GBmax}	0,76 V	0,59 V
V_{GBmin}	-3,83 V	-0,09 V
	HK / t _{Si} =6	
V_{GBmax}	0,76 V	0,59 V
V_{GBmin}	-3,40 V	-0,08 V

Fonte: Autor.

Parâmetros Analógicos

A Figura 4-3 mostra o valor da transcondutância na região de saturação (g_{mSAT}) em função de V_{GB} para as três tecnologias estudadas. O comprimento do canal dos dispositivos é de $1\ \mu\text{m}$.

Figura 4-3 – Curva experimental de transcondutância na região de saturação para $V_{DS} = 1\ \text{V}$ em função de V_{GB} para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas com $L = 1\ \mu\text{m}$.

Fonte: Adaptado de (ITOCASU - B, 2017).

Observando os valores de g_{mSAT} da tecnologia $\text{SiO}_2 / t_{Si} = 6$ pode-se notar que para $V_{GB} = 1\ \text{V}$ os valores extraídos são similares em dispositivos com e sem GP. Porém o mesmo não acontece para os demais valores de V_{GB} (0 V, -1 V e -3 V). Para entender melhor esse efeito, foram feitas simulações da queda do potencial ao longo da profundidade do transistor no eixo AA' da Figura 4-4.

Figura 4-4 – Secções transversais AA' e BB' estudados no transistor UTBB SOI nMOS.

Fonte: Autor.

A Figura 4-5 mostra a queda de potencial simulada em função da profundidade do transistor. Foram feitas simulações de dispositivos com e sem GP para os 4 valores de V_{GB} , 1 V, 0 V, -1 V e -3 V, da tecnologia $\text{SiO}_2/t_{\text{Si}} = 6$. As simulações foram feitas para $V_{DS} = 1$ V e $V_{GT} = 200$ mV.

Figura 4-5 – Dados de simulação do potencial elétrico em função da profundidade do transistor para $V_{GB} = 1$ V, 0 V, -1 V e -3 V, para dispositivos com e sem GP.

Fonte: Adaptado de (ITOCASU - B, 2017).

A partir da Figura 4-5 foram extraídos os valores da queda de potencial dentro do óxido enterrado (V_{OX}) e dentro do substrato (ϕ_{SUB}) para cada situação simulada. Esses valores estão apresentados na Tabela 4-2 e Tabela 4-3, respectivamente.

Tabela 4-2 – Queda de potencial elétrico no óxido enterrado em dispositivos com e sem GP para diferentes valores de V_{GB} . E a diferença entre os valores da queda do potencial com GP e sem GP.

	$V_{GB} = 1 \text{ V}$	$V_{GB} = 0 \text{ V}$	$V_{GB} = -1 \text{ V}$	$V_{GB} = -3 \text{ V}$
V_{OX} Sem GP	0,00 V	0,12 V	0,95 V	2,75 V
V_{OX} Com GP	0,12 V	0,81 V	1,55 V	2,84 V
$ \Delta V_{OX} $	0,12 V	0,68 V	0,60 V	0,10 V

Fonte: Autor.

Tabela 4-3 – Queda de potencial elétrico no substrato em dispositivos com e sem GP para diferentes valores de V_{GB} . E a diferença entre os valores da queda do potencial com GP e sem GP.

	$V_{GB} = 1 \text{ V}$	$V_{GB} = 0 \text{ V}$	$V_{GB} = -1 \text{ V}$	$V_{GB} = -3 \text{ V}$
ϕ_{SUB} Sem GP	0,02 V	0,67 V	0,78 V	0,82 V
ϕ_{SUB} Com GP	0,01 V	0,10 V	0,29 V	0,87 V
$\Delta \phi_{SUB}$	0,01 V	0,57 V	0,49 V	0,05 V

Fonte: Autor.

A Tabela 4-2 também apresenta o parâmetro ΔV_{OX} que representa a diferença entre os valores de V_{OX} sem implantação de plano de terra e V_{OX} com a implantação de plano de terra. A mesma lógica é aplicada para $\Delta \phi_{SUB}$ na Tabela 4-3.

Como observado na Tabela 4-2 a queda de potencial dentro do óxido enterrado é maior em dispositivos com GP, isso ocorre, pois, o acoplamento eletrostático nesses dispositivos é maior em relação aos dispositivos sem GP. Consequentemente a queda de potencial no substrato é maior nos dispositivos sem GP como mostrado na Tabela 4-3.

Observa-se na Tabela 4-3 que para $V_{GB} = 1 \text{ V}$ e -3 V o valor de $\Delta \phi_{SUB}$ é menor ou igual a 50 mV. Isso ocorre, pois, os dispositivos com e sem plano de terra estão com a terceira interface em acumulação e inversão, respectivamente. Quando a terceira interface está acumulada, o valor de ϕ_{SUB} se aproxima de 0 V (vide equação

2-27), da mesma forma que quando a terceira interface está invertida, o valor de ϕ_{SUB} se aproxima de $2\phi_F$ (equação 2-28) fazendo com que $\Delta\phi_{SUB}$ se aproxime de 0 nesses casos (ITOCASU, 2013).

Como pode-se ver na Figura 4-2, quando os dois dispositivos estão em uma condição onde $V_{GB} > V_{GBmax}$ a tensão de limiar é praticamente a mesma. O mesmo ocorre quando temos $V_{GB} < V_{GBmin}$ para os dois dispositivos. Isso ocorre devido ao fato dos valores de ϕ_{SUB} serem muito próximos.

Para $V_{GB} = 0\text{ V}$ e -1 V o valor de $\Delta\phi_{SUB}$ apresenta a maior variação nos casos estudados. Isso se dá ao fato da terceira interface estar em condições diferentes comparando os dois dispositivos. Nos dispositivos com GP para $V_{GB} = 0\text{ V}$ e -1 V a terceira interface está em depleção, e, portanto, o valor de ϕ_{SUB} está variando entre 0 V e $2\phi_F$, enquanto nos dispositivos sem GP a terceira interface está em inversão e o valor de ϕ_{SUB} está próximo de $2\phi_F$ (ITOCASU, 2013).

Essa diferença na condição da terceira interface também afeta diretamente os valores de ΔV_{OX} como mostrado na Tabela 4-2. Para $V_{GB} = 0\text{ V}$ e -1 V os valores de ΔV_{OX} são consideravelmente maiores que para $V_{GB} = 1\text{ V}$ e -3 V .

O maior acoplamento eletrostático dos dispositivos gera um maior g_{MSAT} , por esse motivo, dispositivos com GP apresentam maior g_{MSAT} na tecnologia $\text{SiO}_2 / t_{Si} = 6$.

A Figura 4-6 mostra a simulação do potencial elétrico ao longo do comprimento do dispositivo (dreno, canal e fonte - eixo BB' da Figura 4-4), a uma distância de 3 nm a partir da primeira interface (ou seja, no meio do canal) dos dispositivos da tecnologia $\text{SiO}_2 / t_{Si} = 6$ (ITOCASU - B, 2015).

Foram feitas simulações de dispositivos com e sem GP para os valores de $V_{GB} = +1\text{ V}$, 0 V e -1 V , $V_{DS} = 1\text{ V}$ e $V_{GT} = 200\text{ mV}$.

Figura 4-6 – Dados de simulação do potencial elétrico em função do comprimento do transistor para $V_{GB} = 1\text{ V}$, 0 V e -1 V , simulando dispositivos com e sem GP.

Fonte: Adaptado de (ITOCASU - B, 2017).

Na Figura 4-6, dispositivos com GP apresentam uma diferença de potencial entre o dreno e o canal (Δ_{GP}) por volta de duas vezes maior que a diferença entre dispositivos sem GP (Δ). Isso significa que o campo elétrico entre dreno e canal é maior em dispositivos com GP.

Porém, na tecnologia $\text{SiO}_2 / t_{\text{Si}} = 6$, com o canal de $L = 1\text{ }\mu\text{m}$, a influência do acoplamento eletrostático entre porta e substrato é maior que a influência do campo elétrico longitudinal do dreno no canal.

Nos dispositivos com camada de silício (t_{Si}) mais espessa, o acoplamento eletrostático entre porta e substrato é menor, portanto a influência do campo elétrico longitudinal do dreno no canal ganha mais importância. Na tecnologia $\text{SiO}_2 / t_{\text{Si}} = 14$ isso se reflete no fato que o campo elétrico longitudinal do dreno no canal degrada o g_{mSAT} , portanto dispositivos com GP apresentam um menor valor de g_{mSAT} como visto na Figura 4-3.

A tecnologia $\text{HK} / t_{\text{Si}} = 6$ será analisada juntamente com os próximos parâmetros.

A Figura 4-7 mostra o valor (A) da condutância de saída (g_D), (B) do ganho intrínseco de tensão (A_V) e (C) da tensão Early (V_{EA}) em função de V_{GB} .

Figura 4-7 – Curva experimental de condutância de saída (A), ganho de tensão (B) e Tensão Early (C) em função de V_{GB} para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas.

Fonte: Adaptado de (ITOCazu - B, 2017).

A maior influência do campo elétrico longitudinal do dreno no canal nos dispositivos com GP mostrada na Figura 4-6 degrada a condutância de saída, assim as tecnologias $\text{SiO}_2 / t_{\text{Si}}=6$ e $\text{SiO}_2 / t_{\text{Si}}=14$ tem seus dispositivos sem GP com melhores resultados dos que os dispositivos com GP.

A condutância de saída influencia diretamente nos valores de A_v e V_{EA} e consequentemente, os dispositivos sem GP apresentam melhores resultados também.

Observando os valores extraídos da tecnologia HK / $t_{\text{Si}}=6$ percebe-se que os resultados dos dispositivos com GP são similares aos sem GP. Uma vez que as tecnologias $\text{SiO}_2 / t_{\text{Si}}=6$ e $\text{SiO}_2 / t_{\text{Si}}=14$ possuem um óxido de porta de SiO_2 com 5 nm, a capacitância é muito menor que na tecnologia HK / $t_{\text{Si}}=6$ que possui um óxido de porta composto de 1,5 nm de SiO_2 mais 4,2 nm de HfSiO resultando em um EOT menor que 5 nm.

Essa diferença entre capacitâncias faz com que o acoplamento eletrostático entre porta e canal dos dispositivos HK / $t_{\text{Si}}=6$ seja maior que nos dispositivos $\text{SiO}_2 / t_{\text{Si}}=6$ e $\text{SiO}_2 / t_{\text{Si}}=14$, portanto os dispositivos HK / $t_{\text{Si}}=6$ possuem melhores características elétricas e menor influência do GP.

A Tabela 4-4 mostra a diferença percentual dos valores extraídos dos parâmetros entre dispositivos com e sem GP. Percebe-se que poucos são os casos em que os dispositivos com GP apresentam melhores resultados (em negrito na tabela), e mesmo assim quando isso acontece a diferença percentual é muito baixa (10% ou menos).

Tabela 4-4 – Diferença percentual dos parâmetros analisados entre dispositivos com e sem GP para $V_{GB} = -3V, -1V, 0V$ e $1V$ na tecnologia HK / $t_{\text{Si}}=6$.

V_{GB}	HK / $t_{\text{Si}} = 6$ (com GP – sem GP) [%]			
	g_{mSAT}	g_D	A_v	V_{EA}
1 V	-14%	-6%	-2%	-7%
0 V	-3%	14%	-3%	-16%
-1 V	4%	16%	-2%	-12%
-3 V	9%	1%	1%	10%

Fonte: Adaptado de (ITOCazu - B, 2017).

4.1.2 Influência do GP com a variação do comprimento do canal

Figura 4-8 mostra o valor da transcondutância normalizada na região de saturação (gm_{SAT}) para dois valores diferentes de comprimento do canal, 1 μm e 70 nm. A tensão aplicada no substrato é de $V_{GB} = 0 V$ nas três tecnologias UTBB nMOSFET estudadas.

Figura 4-8 – Dados experimentais de transcondutância na região de saturação para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas e 2 comprimentos de canal diferentes.

Fonte: Adaptado de (ITOCASU - B, 2017).

Como explicado na seção anterior (4.1.1), a tecnologia $SiO_2 / t_{Si}=6$ apresenta para $L = 1 \mu m$ um resultado melhor em dispositivos com GP do que sem GP por causa da maior influência do forte acoplamento eletrostático entre porta e substrato em relação ao campo elétrico longitudinal do dreno no canal.

Em dispositivos com canal mais curto, $L = 70 nm$, a influência do campo elétrico longitudinal do dreno no canal é mais relevante do que o acoplamento eletrostático entre porta e substrato. Por esse motivo o dispositivo com $L = 70 nm$ sem GP da tecnologia $SiO_2 / t_{Si}=6$ apresenta melhor resultado do que o dispositivo com GP.

Na tecnologia de $SiO_2 / t_{Si}=14$ o canal mais curto apresenta o mesmo comportamento que o canal longo, o dispositivo sem GP apresenta melhor resultado

que o dispositivo com GP por causa da degradação do g_{mSAT} com a maior influência do campo elétrico longitudinal do dreno no canal.

A tecnologia HK / $t_{Si}=6$ apresenta valores próximos de g_{mSAT} comparando os dispositivos com e sem GP. A Tabela 4-5 mostra a diferença percentual entre os valores de g_{mSAT} dos dispositivos com e sem GP. Percebe-se que a diferença entre os dispositivos da tecnologia HK / $t_{Si}=6$ são bem menores que das demais tecnologias.

Tabela 4-5 – Diferença percentual da transcondutância na região de saturação para dispositivos com e sem GP e 2 diferentes comprimentos de canal.

L	$g_{mSAT, \text{ with GP}} - g_{mSAT, \text{ without GP}} [\%]$		
	$SiO_2 / t_{Si}=6$	$SiO_2 / t_{Si}=14$	HK / $t_{Si}=6$
70 nm	-8,2 %	-9,0 %	-3,0 %
1 μm	8,6 %	-42,1 %	2,8 %

A Figura 4-9 mostra o valor medido A) da condutância de saída (g_D) B) do ganho intrínseco de tensão (A_V) e C) da tensão Early (V_{EA}) para as 3 tecnologias e 2 diferentes comprimentos de canal, 1 μm e 70 nm.

Em todos os casos, dispositivos sem GP apresentaram melhores resultados. Isso ocorre, pois, a influência do campo elétrico longitudinal do dreno no canal nos dispositivos sem GP é menor, como visto na Figura 4-6 na seção anterior. Nos dispositivos com comprimento de canal curto esse efeito é confirmado uma vez que o acoplamento eletrostático lateral é mais significativo à medida que o canal encurta.

Na Figura 4-7 e Figura 4-8, também nota-se que em todos os casos analisados, os parâmetros tiveram comportamento esperado com a redução do canal (COLINGE, 1997). Valores de g_{mSAT} , A_V e V_{EA} diminuíram com o encurtamento do canal enquanto g_D cresceu. Portanto, dispositivos com $L = 1 \mu m$ apresentaram melhores resultados, como esperado.

Figura 4-9 – Dados experimentais de A) condutância de saída, B) ganho de tensão e C) Tensão Early para dispositivos com e sem GP das 3 diferentes tecnologias UTBB SOI nMOS estudadas e 2 comprimentos de canal diferentes, 1 μm e 70 nm.

Fonte: Adaptado de (ITOCazu - B, 2017).

5 TRANSISTORES Ω G NW SOI

Neste capítulo os parâmetros elétricos são analisados em transistores de estrutura tridimensional de nanofio horizontal com porta em formato ômega (Ω), Ω G NW SOI MOSFET. Será observada a influência da variação na tensão do substrato e da variação da largura do canal (W_{NW}) nos parâmetros de dispositivos tipo-p e tipo-n baseado em medidas experimentais e simulações.

5.1 Resultados Obtidos

5.1.1 Resultados Iniciais

A Figura 5-1 mostra a curva de corrente de dreno em função da tensão de porta (V_G) na região de triodo ($|V_D| = 50$ mV) para os diferentes valores de tensão de substrato (V_{GB} entre -20 V e 20 V) em dispositivos nMOS e pMOS. A figura A é referente a dispositivos com $W_{NW} = 10$ nm e a figura B é referente a $W_{NW} = 220$ nm.

Figura 5-1 – Corrente de dreno em função da tensão de porta experimental para dispositivos Ω G NW SOI nMOSFET e pMOSFET e largura do canal de 10 nm (A) e 220 nm (B).

Fonte: Autor.

Percebe-se que os dispositivos mais estreitos ($W_{NW} = 10$ nm) sofrem menos influência da variação de V_{GB} , uma vez que o controle eletrostático da porta sobre o

canal é maior quando o canal é mais estreito. Diferente do que acontece com dispositivos mais largos ($W_{NW} = 220$ nm) que sofrem mais com a variação de V_{GB} .

Uma seção transversal esquemática de um Ω G NW SOI MOSFET estreito (A) e outro largo (B) é mostrada na Figura 5-2.

Figura 5-2 – Figura esquemática de um Ω G NW SOI MOSFET com canal estreito (A) e largo (B).

Fonte: Autor.

Na Figura 5-2 observa-se que a área do canal que o substrato influencia (destacado em amarelo na figura) é muito pequena em dispositivos estreitos (A) e esses dispositivos se comportam praticamente como um GAA (*Gate all around* – Porta ao redor) onde a porta possui um controle quase que total das cargas no canal, já os dispositivos largos (B) possuem uma área grande do canal que o substrato influencia e, portanto, a porta não controla sozinha o comportamento do canal. Somado ao fato de o canal ser fino ($H_{NW} = 11$ nm), a estrutura com canal largo (B) se comporta como um dispositivo *nanosheet* SOI MOSFET (Barraud, 2015).

A Figura 5-3 mostra a tensão de limiar (V_T) em função da tensão aplicada no substrato (V_{GB}) para dispositivos Ω G NW SOI nMOSFET e pMOSFET com largura do canal (W_{NW}) de 10 nm, 40 nm e 220 nm.

Figura 5-3 – Tensão de limiar em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

$|V_D| = 50 \text{ mV}$ | $EOT = 1,3 \text{ nm}$ | $H_{NW} = 11 \text{ nm}$ | $t_{oxb} = 145 \text{ nm}$ | $L = 100 \text{ nm}$

Fonte: Autor.

Os eixos da esquerda (V_T - nMOS) e de baixo (V_{GB} - nMOS) são relacionados aos dispositivos nMOS e os dados são representados pela cor preta e símbolos fechados. Para dispositivos pMOS estão relacionados aos eixos da direita (V_T - pMOS) e de cima (V_{GB} - pMOS) e os dados são representados pela cor azul e símbolos abertos.

Em dispositivos nMOS, a condução pela segunda interface ocorre para valores positivos em V_{GB} , o oposto do que acontece em dispositivos pMOS, quando a condução na segunda interface ocorre para valores negativos em V_{GB} . Por esse motivo, com o intuito de fazer uma comparação justa, os resultados dos dispositivos pMOS serão apresentados com o eixo X (V_{GB} - pMOS) variando de +20 V (no lado esquerdo) até -20 V (no lado direito). Dessa forma os gráficos mostrarão a mesma tendência tanto para nMOS quanto para pMOS, ou seja, do lado esquerdo estarão os resultados com a segunda interface sem condução, e do lado direito com a segunda interface conduzindo.

Para facilitar a análise em alguns casos, adotou-se uma nomenclatura para alguns valores de V_{GB} conforme a Tabela 5-1.

Tabela 5-1 – Nomenclatura para valores de V_{GB} .

Nomenclatura Adotada	nMOS	pMOS
$V_{GB, \text{sem-condução}}$	$V_{GB} = -20 \text{ V}$	$V_{GB} = +20 \text{ V}$
$V_{GB, \text{condução}}$	$V_{GB} = +20 \text{ V}$	$V_{GB} = -20 \text{ V}$

Fonte: Autor.

A partir da Figura 5-3 foram extraídos valores da variação da tensão de limiar em relação a variação da tensão no substrato (dV_T/dV_{GB}) para duas condições diferentes. A primeira condição é na região entre 0 e $V_{GB, \text{sem-condução}}$ a fim de analisar a variação da tensão de limiar quando a segunda interface não está conduzindo. A segunda condição é na região entre 0 e $V_{GB, \text{condução}}$ a fim de analisar a variação da tensão de limiar quando a segunda interface está conduzindo. Os valores extraídos são mostrados na Tabela 5-2.

Tabela 5-2 – Variação da tensão de limiar em relação a variação da tensão no substrato para diferentes condições e larguras de canal.

W_{NW}	dV_T/dV_{GB} (mV/V) entre $V_{GB} = 0$ e $V_{GB} = \text{sem-condução}$		dV_T/dV_{GB} (mV/V) entre $V_{GB} = 0$ e $V_{GB} = \text{condução}$	
	nMOS	pMOS	nMOS	pMOS
10 nm	2,6	3,5	3,0	3,5
40 nm	5,4	5,7	10,1	12,8
220 nm	12,8	11,9	25,3	25,1

Fonte: Autor.

Analisando apenas os valores de dV_T/dV_{GB} entre $V_{GB} = 0 \text{ V}$ e $V_{GB, \text{sem-condução}}$ para os três valores de W_{NW} , percebe-se que apesar da segunda interface não estar conduzindo, os valores de dV_T/dV_{GB} vão crescendo à medida que W_{NW} aumenta, o que mostra que a influência do substrato nos dispositivos mais largos é maior. De $W_{NW} = 10 \text{ nm}$ para $W_{NW} = 40 \text{ nm}$ os valores de dV_T/dV_{GB} tiveram um aumento de 1,6 a 2 vezes e entre $W_{NW} = 40 \text{ nm}$ e 220 nm os valores aumentaram mais de 2 vezes.

Uma tendência similar é observada para os valores de dV_T/dV_{GB} entre $V_{GB} = 0$ V e $V_{GB, condução}$ com a diferença de que entre $W_{NW} = 10$ nm e 40 nm houve um aumento superior a 3 vezes de dV_T/dV_{GB} .

Os dispositivos com canal estreito ($W_{NW} = 10$ nm) apresentam valores pequenos de dV_T/dV_{GB} em todos os casos analisados. Como explicado anteriormente, esse dispositivo sofre uma pequena influência da tensão do substrato devido ao formato do transistor. Nesses casos o valor de dV_T/dV_{GB} variou entre 3,5 mV/V e 2,6 mV/V.

Comparando os valores de dV_T/dV_{GB} entre as duas análises feitas para dispositivos com $W_{NW} = 40$ nm e 220 nm observa-se que os valores para a análise entre $V_{GB} = 0$ V e $V_{GB, condução}$ chegam a ser até 2 vezes maiores que na análise entre $V_{GB} = 0$ V e $V_{GB, sem-condução}$. Isso ocorre pois como o dispositivo está conduzindo pela segunda interface, as cargas dessa interface influenciam o comportamento do canal diminuindo (em módulo) consideravelmente o valor de V_T e, portanto, o valor de dV_T/dV_{GB} aumenta.

Entre pMOS e nMOS não foi observada uma diferença relevante.

Para uma melhor compreensão da condução pela segunda interface foram feitas simulações de dispositivos Ω G NW SOI nMOSFET na condição de $V_{GB, condução}$.

A Figura 5-4 mostra os dados simulados da densidade de elétrons, da corrente de dreno e de dI_D^2/d^2V_G (segunda derivada da corrente de dreno em função da tensão aplicada na porta, curva que se extrai V_T) em função da tensão aplicada na porta (V_G) para $W_{NW} = 10$ nm (A), $W_{NW} = 40$ nm (B) e $W_{NW} = 220$ nm (C).

Figura 5-4 – Dados simulados da densidade de elétrons (símbolos), corrente de dreno (linha contínua) e dI_D^2/d^2V_G (linhas tracejadas) em função da tensão aplicada na porta para Ω G NW SOI nMOSFET com largura de canal de 10 nm (A), 40 nm (B) e 220 nm (C).

Fonte: Autor.

Na Figura 5-4 A, $W_{NW} = 10$ nm, é possível ver apenas um pico na curva de dI_D^2/d^2V_G com uma leve anomalia, que representa a condução na primeira interface com uma pequena influência da segunda interface. O valor da densidade de elétrons na primeira interface para V_G referente ao pico da curva dI_D^2/d^2V_G é de 10^{18} cm⁻³ que representa um valor que começa a ocorrer a condução de corrente.

Nesse caso, $W_{NW} = 10$ nm, a condução ocorre majoritariamente pela primeira interface ao longo de toda a variação de V_{GB} estudada uma vez que esse caso analisado ($V_{GB, condução}$) é o que apresenta a maior influência de V_{GB} .

Na Figura 5-4 B e C, $W_{NW} = 40$ nm e 220 nm, nota-se que a curva de dI_D/d^2V_G apresenta dois picos. O pico da esquerda está relacionado com a condução pela segunda interface enquanto o da direita está relacionada com a condução pela primeira interface. Em ambos os casos, para o V_G relativo ao pico analisado, a densidade de elétrons nesse ponto é de 10^{18} cm^{-3} .

A partir dessas simulações foi comprovado que os dispositivos de $W_{NW} = 40$ nm e 220 nm possuem uma forte condução pela segunda interface para $V_{GB} = V_{GB, condução}$.

Após analisar as curvas simuladas, medidas de I_D em função de V_{GB} para diferentes valores de V_G foram feitas para extrair a tensão de limiar proveniente primordialmente pela condução da segunda interface (V_{TB}) de cada dispositivo e comparar com os valores de V_T extraídos anteriormente (Figura 5-3).

A Figura 5-5 é a composição da tensão de limiar extraída na Figura 5-3 (V_T) em função de V_{GB} e a tensão de limiar extraída a partir da curva $I_D \times V_{GB}$ (V_{TB}) em função de V_G . Nessa figura, os eixos-Y representam os valores de V_G e V_T enquanto os eixos - X representam os valores de V_{TB} e V_{GB} .

Seguindo o mesmo modelo da Figura 5-3, os eixos da esquerda (V_T , $V_G - \text{nMOS}$) e de baixo (V_{TB} , $V_{GB} - \text{nMOS}$) são referentes aos dispositivos nMOS e os eixos da direita (V_T , $V_G - \text{pMOS}$) e de cima (V_{TB} , $V_{GB} - \text{pMOS}$) são referentes aos dispositivos pMOS. As curvas com símbolos pretos e fechados são referentes aos dados de $V_T \times V_{GB}$ dos dispositivos nMOS, as curvas com símbolos azuis e abertos são referentes aos dados de $V_T \times V_{GB}$ dos dispositivos pMOS. Os valores extraídos de $V_{TB} \times V_G$ estão representados pelos símbolos vermelhos fechados (nMOS) e abertos (pMOS).

Figura 5-5 – Tensão de limiar, V_{TB} (em vermelho) em função da tensão aplicada na porta. Tensão de limiar V_T (em azul e preto) em função da tensão aplicada no substrato para Ω G NW SOI nMOSFET e pMOSFET para largura do canal de 40 nm (em cima) e 220 nm (embaixo).

$$|V_D| = 50 \text{ mV} \mid EOT = 1,3 \text{ nm} \mid H_{NW} = 11 \text{ nm} \mid t_{oxb} = 145 \text{ nm} \mid L = 100 \text{ nm}$$

Fonte: Autor.

Essa análise foi feita apenas para $W_{NW} = 40 \text{ nm}$ e 220 nm pois não foi possível extrair o valor de V_{TB} para os dispositivos de $W_{NW} = 10 \text{ nm}$, uma vez que a condução pela segunda interface é praticamente nula nesse dispositivo.

Os valores escolhidos de V_G para extração de V_{TB} foram os valores de V_T extraídos entre $V_{GB} = 0 \text{ V}$ e $V_{GB, \text{condução}}$.

Na Figura 5-5, para $W_{NW} = 40 \text{ nm}$, os resultados extraídos de V_T e V_{TB} não são os mesmos para todos os casos. Para $V_{GB} = 0 \text{ V}$ a condução principal do dispositivo ocorre principalmente pela primeira interface e para $V_{GB} = V_{GB, \text{condução}}$ a condução é principalmente pela segunda interface. Entre esses dois casos, a condução ocorre

parte pela primeira interface e parte pela segunda interface. Assim o pico para extração de V_T e V_{TB} é maior que os demais por se tratar de uma junção de efeitos. Como não é possível separar os efeitos da primeira e da segunda interface, os valores extraídos de V_T e V_{TB} não são os mesmos.

Já os dispositivos $W_{NW} = 220$ nm apresentam todos os valores muito próximos de V_T e V_{TB} uma vez que a partir de $V_{GB} = 0$ V até $V_{GB, condução}$, a condução no canal é principalmente pela segunda interface em todos os casos.

A Figura 5-6 mostra a inclinação de sublimiar (SS) em função da tensão aplicada no substrato (V_{GB}) para dispositivos Ω G NW SOI nMOSFET e pMOSFET com largura do canal (W_{NW}) de 10 nm, 40 nm e 220 nm.

Figura 5-6 – Inclinação de sublimiar em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

$|V_D| = 50$ mV | EOT = 1,3 nm | $H_{NW} = 11$ nm | $t_{oxb} = 145$ nm | $L = 100$ nm

Fonte: Autor.

Como esperado, quanto mais estreito o dispositivo, melhores são os valores de SS uma vez que o controle da região do canal é melhor e, portanto, a transição do estado desligado para o estado ligado do transistor ocorre com mais facilidade.

Comparando os valores de SS entre pMOS e nMOS, nos casos de $W_{NW} = 10 \text{ nm}$ e $W_{NW} = 40 \text{ nm}$, a diferença entre os valores não é superior a 1 mV/déc em nenhum caso, ou seja, são praticamente iguais. No caso de $W_{NW} = 220 \text{ nm}$ todos os valores de SS para nMOS são menores que os de pMOS chegando a uma diferença de até 2 mV/déc em um dos V_{GB} analisados.

Para analisar a influência de V_{GB} foi calculada a diferença de SS entre $V_{GB, \text{non-cond}}$ e $V_{GB, \text{condução}}$ (ΔSS) a partir dos dados da Figura 5-6. Os dados estão apresentados na Tabela 5-3.

Tabela 5-3 – ΔSS para dispositivos ΩG NW SOI nMOSFET e pMOSFET

$\Delta SS \text{ (mV/déc)}$		
$ SS(V_{GB, \text{sem-condução}}) - SS(V_{GB, \text{condução}}) $		
W_{NW}	pMOS	nMOS
10 nm	0,4	0,3
40 nm	1,5	1,7
220 nm	6,8	6,3

Fonte: Autor.

O valor de SS aumenta à medida que o valor de V_{GB} se aproxima de $V_{GB, \text{condução}}$, uma vez que a condução na segunda interface ocorre mais fortemente na região de sublimiar (como visto na Figura 5-4). Assim o valor de SS extraído sofre a influência desse “transistor parasitário” e, portanto, é degradado.

Nos dispositivos mais estreitos, $W_{NW} = 10 \text{ nm}$, o valor de ΔSS é menor de 1 mV/déc para pMOS e nMOS, o que é esperado uma vez que a variação no valor de V_{GB} tem pouca influência nesse dispositivo.

Para $W_{NW} = 40 \text{ nm}$, os valores de ΔSS para pMOS e nMOS também são baixos, menores que 2 mV/déc, porém chegam a ser mais de 3 vezes maiores que para ΔSS do $W_{NW} = 10 \text{ nm}$. Isso mostra que apesar da condução na segunda interface não degradar tanto o SS do dispositivo, para dispositivos com $W_{NW} = 40 \text{ nm}$ a influência de V_{GB} é bem maior que para os dispositivos com $W_{NW} = 10 \text{ nm}$.

Diferente dos dois casos analisados anteriormente, quando temos dispositivos com $W_{NW} = 220$ nm o valor de ΔSS supera os 6 mV/déc devido a condução na segunda interface.

Para os 3 casos, a diferença de ΔSS entre dispositivos pMOS e nMOS não é superior a 0,5 mV/déc em nenhum caso, portanto a influência de V_{GB} pode ser considerada a mesma nos dois dispositivos para a análise de SS.

A Tabela 5-4 mostra os valores de corrente de estado ligado (I_{ON}) para $|V_{GT}| = 500$ mV e de SS para a tensão do substrato de $V_{GB,sem-condução}$ dos dispositivos nMOS e pMOS com $W_{NW} = 10$ nm e 220 nm.

Tabela 5-4 – I_{ON} e SS de dispositivos nMOS e pMOS com $W_{NW} = 10$ nm e 220 nm polarizados em $V_{GB,sem-condução}$

$V_{GB} = V_{GB,sem-condução}$		
nMOS		
W_{NW}	I_{ON} (μA)	SS (mV/dec)
10 nm	3,32	60,7
220 nm	20,85	61,2
pMOS		
10 nm	2,05	60,7
220 nm	8,63	62,3

Fonte: Autor.

Na condição de $V_{GB,sem-condução}$ o aumento de W_{NW} afeta muito pouco o valor de SS dos dispositivos estudados, com um aumento de no máximo 1,6 mV/dec. Porém analisando os valores de I_{ON} pode-se ver que para nMOS o valor de I_{ON} para $W_{NW} = 220$ nm é mais de 6 vezes maior que para $W_{NW} = 40$ nm, no caso do pMOS essa relação é de 4 vezes.

A Figura 5-7 mostra a transcondutância máxima ($g_{m,máx}$) em função da tensão aplicada no substrato (V_{GB}) para dispositivos ΩG NW SOI e pMOSFET com largura do canal (W_{NW}) de 10 nm, 40 nm e 220 nm.

Figura 5-7 – Transcondutância máxima normalizada em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

$$|V_D| = 50 \text{ mV} \mid EOT = 1,3 \text{ nm} \mid H_{NW} = 11 \text{ nm} \mid t_{oxb} = 145 \text{ nm} \mid L = 100 \text{ nm}$$

Fonte: Autor.

A mobilidade em dispositivos nMOS é maior que em dispositivos pMOS (COLINGE, 2004) por esse motivo, pela equação 2-12, o valor de $g_{m_{max}}$ também é maior para dispositivos nMOS.

Em todas as condições analisadas a variação de $g_{m_{max}}$ ao longo de V_{GB} foi desprezível, apenas no caso de dispositivos nMOS com $W_{NW} = 220 \text{ nm}$ uma maior variação foi observada. De $V_{GB, \text{sem-condução}}$ até $V_{GB} = 0 \text{ V}$, a variação foi mínima, mas de $V_{GB} = 0 \text{ V}$ até $V_{GB, \text{condução}}$ o valor de $g_{m_{max}}$ sofreu uma pequena degradação.

Voltando a analisar a Figura 5-5, para dispositivos nMOS com $W_{NW} = 220 \text{ nm}$, quando a tensão de porta (V_G) é igual a 0 volts, a tensão no substrato necessária para condução no canal (V_{TB}) é de aproximadamente 10 V. já para dispositivos pMOS, para $V_G = 0 \text{ V}$ o valor de V_{TB} é de aproximadamente -20 V.

A condução na segunda interface degrada os valores de $g_{m_{max}}$ e por esse motivo os valores de $g_{m_{max}}$ para $V_{GB} = 10 \text{ V}$ e 20 V são menores em dispositivos nMOS com $W_{NW} = 220 \text{ nm}$. Nos dispositivos pMOS essa degradação provavelmente ocorreria para valores menores que $V_{GB} = -20 \text{ V}$. Esse mesmo efeito será observado na transcondutância na região de saturação ($g_{m_{SAT}}$) na seção 5.1.2.

Na Figura 5-5 observa-se que para $W_{NW} = 40$ nm, quando $V_G = 0$ V, tanto os dispositivos nMOS quanto os dispositivos pMOS não apresentam condução pela segunda interface no range de V_{GB} estudado. Por esse motivo o valor de $gm_{m\acute{a}x}$ não sofre grande mudança na Figura 5-7 para $W_{NW} = 40$ nm.

5.1.2 Parâmetros Analógicos

Nessa seção são apresentadas as análises dos parâmetros analógicos. Os gráficos dessa seção seguem o mesmo modelo da Figura 5-3, onde os eixos da esquerda e de baixo são referentes aos dados dos dispositivos nMOS e os eixos da direita e de cima referentes aos dados dos dispositivos pMOS. Também serão apresentadas apenas os resultados para $W_{NW} = 10$ nm que não sofre do efeito da condução pela segunda interface e $W_{NW} = 220$ nm que é o dispositivo que mais sofre com a condução pela segunda interface.

A Figura 5-8 mostra a transcondutância na região de saturação normalizada pela largura do transistor (gm_{SAT}/W) em função da tensão aplicada no substrato (V_{GB}) para dispositivos Ω G NW SOI nMOSFET e pMOSFET com largura do canal (W_{NW}) de 10 nm e 220 nm.

Figura 5-8 - Transcondutância na região de saturação normalizada em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

Fonte: Autor.

Na Figura 5-8 nota-se que há uma degradação no g_{mSAT} de todos os dispositivos à medida que V_{GB} se aproxima de $V_{GB, condução}$. Porém para o dispositivo nMOS com $W_{NW} = 220$ nm essa degradação é mais pronunciada pelo mesmo motivo que $g_{m_{máx}}$ degrada nessa região.

Nos dispositivos com canal estreito ($W_{NW} = 10$ nm) nMOS e pMOS a diferença de g_{mSAT} entre $V_{GB, sem-condução}$ e $V_{GB, condução}$ é de $177 \mu S/\mu m$ e $167 \mu S/\mu m$ respectivamente. Nos dispositivos largos ($W_{NW} = 220$ nm), essa variação é de $230 \mu S/\mu m$ para pMOS e $507 \mu S/\mu m$ para nMOS.

A Figura 5-9 mostra a tensão Early (V_{EA}) em função da tensão aplicada no substrato (V_{GB}) para dispositivos ΩG NW SOI nMOSFET e com largura do canal (W_{NW}) de 10 nm e 220 nm.

Figura 5-9 – Tensão de Early em função da tensão aplicada no substrato experimental para ΩG NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

Fonte: Autor.

A tensão Early (V_{EA}) não sofre diretamente com a variação de V_{GB} . Adotando o valor de V_{EA} para $V_{GB} = 0$ V como referência, a maior variação para os demais V_{GB} é de 1,6 V para pMOS e 1,4 V para nMOS nos dispositivos com $W_{NW} = 10$ nm. Para os dispositivos com canal largo, $W_{NW} = 220$ nm, essa variação observada é de 1,5 V e 0,6 V para pMOS e nMOS, respectivamente.

A Figura 5-10 mostra o ganho intrínseco de tensão (A_V) em função da tensão aplicada no substrato (V_{GB}) para dispositivos Ω G NW SOI nMOSFET e pMOSFET com largura do canal (W_{NW}) de 10 nm e 220 nm.

Figura 5-10 – Ganho intrínseco de tensão em função da tensão aplicada no substrato experimental para Ω G NW SOI nMOSFET e pMOSFET para diferentes larguras do canal.

$$|V_D| = 50 \text{ mV} \mid EOT = 1,3 \text{ nm} \mid H_{NW} = 11 \text{ nm} \mid t_{oxb} = 145 \text{ nm} \mid L = 100 \text{ nm}$$

Fonte: Autor.

Observando a Figura 5-8 e Figura 5-9, dispositivos com canal estreito, $W_{NW} = 10 \text{ nm}$, sofrem muito pouco com a variação de V_{GB} . Uma vez que os valores de g_{mSAT} e de V_{EA} não tem uma variação significativa. Pela equação 2-19, o valor de A_V também vai ser praticamente constante ao longo da variação de V_{GB} .

Em dispositivos com canal largo, $W_{NW} = 220 \text{ nm}$, uma degradação é observada a medida que V_{GB} tende a $V_{GB, condução}$. Isso ocorre, pois, esse dispositivo sofre mais com a condução pela segunda interface, como observado em g_{mSAT} e V_{EA} .

Os dispositivos nMOS possuem um ganho maior do que os dispositivos pMOS principalmente pelo fato de g_{mSAT} ser diretamente dependente da mobilidade e, portanto, A_V também é maior para nMOS.

5.1.3 Eficiência do transistor (gm/I_D)

5.1.3.1 Análise de pMOS e nMOS em $V_{GB, \text{sem-condução}}$

A Tabela 5-5 mostra os valores da eficiência do transistor (gm/I_D) no regime de inversão forte ($IC = 10$), de dispositivos nMOS e pMOS com $W_{NW} = 10 \text{ nm}$ e 220 nm com o substrato polarizado em $V_{GB} = 0 \text{ V}$ e $V_{GB} = V_{GB, \text{sem-condução}}$.

Tabela 5-5 – Eficiência do transistor em inversão forte de dispositivos nMOS e pMOS com $W_{NW} = 10 \text{ nm}$ e 220 nm polarizados em $V_{GB} = 0 \text{ V}$ e $V_{GB, \text{sem-condução}}$

W_{NW}	$\text{gm}/I_D \text{ (V}^{-1}) - IC = 10$	
	$V_{GB, \text{sem-condução}}$	$V_{GB} = 0V$
nMOS		
10nm	10,3	9,8
220nm	9,2	8,0
pMOS		
10nm	9,3	9,2
220nm	8,2	7,1

Fonte: Autor.

Para $V_{GB} = 0 \text{ V}$, a variação da eficiência do transistor entre os dispositivos com diferentes larguras de canal é de $1,8 \text{ V}^{-1}$ (23%) para nMOS e de $2,1 \text{ V}^{-1}$ (30%) para pMOS. Fazendo a mesma análise para $V_{GB} = V_{GB, \text{sem-condução}}$ temos que a variação no nMOS é de $1,1 \text{ V}^{-1}$ (12%) e no pMOS é de $1,1 \text{ V}^{-1}$ (13%).

5.1.3.2 Análise de nMOS com diferentes larguras e comprimentos de canal

A Figura 5-11 mostra a eficiência do transistor (gm/I_{DS}) em função do coeficiente de inversão (IC) para dispositivos $\Omega G \text{ NW SOI nMOSFET}$ com dois comprimentos canal (L) 100 nm e 40 nm . Três larguras de canal (W_{NW}) são analisadas: 10 nm , 40 nm e 220 nm . Os dados apresentados são para a tensão de substrato de 0 V .

Figura 5-11 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET para diferentes comprimentos e larguras do canal.

Fonte: Adaptado de (ITOCASU - C, 2017).

Dispositivos com canal mais estreito apresentam um maior nível de eficiência como pode-se ver na Figura 5-11. Isso ocorre, pois, a inclinação de sublimiar tende a melhorar com o estreitamento do canal, como visto na Figura 5-12.

Figura 5-12 – Inclinação de sublimar em função da tensão no substrato experimental para Ω G NW SOI nMOSFET para diferentes comprimentos e larguras do canal.

Fonte: Adaptado de (ITOCZU - C, 2017).

Assim como a inclinação de sublimar melhora com o estreitamento do canal, ela também melhora em canais mais longos, como visto na Figura 5-12. Consequentemente o nível de eficiência de canais longos é maior que de canais curtos.

A Figura 5-13 mostra a eficiência do transistor em função do coeficiente de inversão para diversos valores de V_{GB} para o dispositivo com comprimento de canal de 100 nm. A figura é dividida em 3 partes onde a primeira (em cima) é referente ao dispositivo com $W_{\text{NW}} = 10 \text{ nm}$, a segunda (do meio) $W_{\text{NW}} = 40 \text{ nm}$ e a última (de baixo) $W_{\text{NW}} = 220 \text{ nm}$.

Figura 5-13 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET variando a tensão no substrato, comprimento de canal 100 nm e diferentes larguras do canal.

Fonte: Adaptado de (ITOCZU - C, 2017).

Os dispositivos com $W_{NW} = 10 \text{ nm}$ e 40 nm apresentam pouca variação na eficiência do transistor com a variação de V_{GB} . Já nos dispositivos com $W_{NW} = 220 \text{ nm}$, pode-se observar uma variação na eficiência do transistor. Observando a inclinação de sublimar dos dispositivos na Figura 5-12, nota-se que o dispositivo que apresenta uma maior variação no SS com a variação de V_{GB} é o dispositivo mais largo

($W_{NW} = 220$ nm). Apesar de ter a eficiência do transistor variando, não é notada uma degradação forte nesse parâmetro.

A Figura 5-14 possui a mesma descrição da Figura 5-13, porém para o dispositivo com comprimento de canal de 40 nm.

Figura 5-14 – Eficiência do transistor em função do coeficiente de inversão experimental para Ω G NW SOI nMOSFET variando a tensão no substrato, comprimento de canal 40 nm e diferentes larguras do canal.

Fonte: Adaptado de (ITOCZU - C, 2017).

Como pode-se ver na Figura 5-14, para $W_{NW} = 10$ nm a eficiência do transistor variou muito pouco com a variação de V_{GB} . Já para os outros dois casos a eficiência do transistor mudou consideravelmente. Além disso dispositivos com $L = 40$ nm sofrem mais de efeitos de canal curto do que os dispositivos com $L = 100$ nm. Observa-se que para $W_{NW} = 220$ nm e 40 nm, o nível da eficiência dos transistores chega ao no máximo 30 V^{-1} .

Para fazer uma análise da variação da eficiência do transistor com a variação da tensão no substrato no dispositivo com $L = 40$ nm, o valor da eficiência do transistor foi extraído para as condições de $I_C = 0,1$ e $I_C = 10$ e $V_{GB} = +20 \text{ V}$, 0 V e -20 V . Em seguida os valores foram aplicados na equação (5-1).

$$\Delta g_m/I_D(\%) = \frac{g_m/I_D(V_B=-20) - g_m/I_D(V_B=20)}{g_m/I_D(V_B=0)} \quad (5-1)$$

Os valores extraídos da equação (5-1) estão mostrados na Tabela 5-6 ($I_C = 0,1$) e na Tabela 5-7 ($I_C = 10$).

Tabela 5-6 – Eficiência do transistor para diferentes valores de tensão no substrato para $I_C = 10$ e a variação percentual entre eles.

IC = 0,1	gm/ID (V ⁻¹)			$\frac{\Delta g_m}{I_D}(\%)$
	V _B = -20V	V _B = 20V	V _B = 0V	
10nm	28,4	25,5	26,9	10,9
40nm	20,1	11,9	15,9	51,9
220nm	15,5	6,8	8,8	98,0

Fonte: Adaptado de (ITOCASU - C, 2017).

Tabela 5-7 – Eficiência do transistor para diferentes valores de tensão no substrato para $I_C = 0,1$ e a variação percentual entre eles.

IC = 10	gm/ID (V ⁻¹)			$\frac{\Delta g_m}{I_D}(\%)$
	V _B = -20V	V _B = 20V	V _B = 0V	
10nm	8,5	7,8	8,1	8,6
40nm	6,3	5,0	5,4	24,4
220nm	4,9	2,6	3,3	67,0

Fonte: Adaptado de (ITOCASU - C, 2017).

Observando a Figura 5-14 a variação da eficiência do transistor com a variação de V_{GB} aparenta ser muito parecida para $W_{NW} = 220$ nm e 40 nm. Porém analisando os dados da Tabela 5-6 e Tabela 5-7 percebe-se que os dispositivos com $W_{NW} = 220$ nm tiveram uma variação percentual na eficiência do transistor quase 2 vezes maior que os dispositivos com $W_{NW} = 40$ nm para $IC = 10$ (51,9 para 98,0) e para $IC = 0,1$ a diferença foi de mais de 2 vezes maior (24,4 para 67,0).

6 CONCLUSÕES

6.1 Conclusões

Neste trabalho foram estudados dispositivos planares (UTBB SOI MOSFET) e tridimensionais (Ω G NW SOI MOSFET) em função da tensão aplicada no substrato a fim de analisar os parâmetros digitais e analógicos usando medidas experimentais e também simulações numéricas.

Dispositivos UTBB SOI MOSFET com e sem implantação de plano de terra (GP) foram analisados em função da tensão no substrato. Três diferentes tecnologias foram estudadas: $\text{SiO}_2 / t_{\text{Si}}=6$ que possui o dielétrico de porta composto por 5 nm de SiO_2 e espessura de camada de silício de 6 nm, $\text{SiO}_2 / t_{\text{Si}}=14$ que possui o dielétrico de porta composto por 5 nm de SiO_2 e espessura de camada de silício de 14 nm e HK / $t_{\text{Si}}=6$ que possui o dielétrico de porta composto por 1,5 nm de SiO_2 mais 4,2 nm de HfSiO (High- κ) e espessura de camada de silício de 6 nm para dois comprimentos de canal diferentes (70 nm e 1 μm).

A análise da redução do comprimento do canal mostra que os parâmetros analógicos seguem a tendência natural explicada pela literatura. Conforme o comprimento do canal diminui, todos os parâmetros analógicos se tornam piores. Isto ocorre para as três condições de tecnologias estudadas.

Dispositivos $\text{SiO}_2 / t_{\text{Si}}=6$ com plano de terra e comprimento de canal de 1 μm possuem um acoplamento eletrostático entre porta e substrato muito forte em comparação com dispositivos sem plano de terra. A presença do plano de terra gera uma menor queda de potencial no substrato e dispositivos sem plano de terra possuem uma maior queda de potencial no substrato, o que degrada a transcondutância na região de saturação.

Os demais parâmetros estudados apresentam melhores resultados em dispositivos sem plano de terra. Isso ocorre, pois, a queda de potencial entre dreno e canal é mais de 2 vezes maior em dispositivos com plano de terra do que dispositivos sem plano de terra. Isso gera uma influência do campo elétrico longitudinal do dreno no canal maior, degradando os parâmetros analógicos.

Nos dispositivos $\text{SiO}_2 / t_{\text{Si}}=6$ com comprimento de canal de 70 nm a influência do campo elétrico longitudinal do dreno no canal é maior que a queda do acoplamento eletrostático entre porta e substrato uma vez que o canal é mais curto. Assim todos os parâmetros estudados apresentam melhores resultados em dispositivos sem plano de terra.

Os dispositivos $\text{SiO}_2 / t_{\text{Si}}=14$, por terem uma camada de silício mais espessa em relação aos dispositivos $\text{SiO}_2 / t_{\text{Si}}=6$ não possuem o mesmo grau de acoplamento eletrostático entre porta e substrato. Dessa forma a influência do campo elétrico longitudinal do dreno no canal em dispositivos com plano de terra faz com que todos os parâmetros analisados tenham melhores resultados em dispositivos sem plano de terra tanto nos dispositivos com comprimento de canal de 1 μm quanto nos de 70 nm.

Em dispositivos HK / $t_{\text{Si}}=6$, a variação percentual dos resultados, comparando dispositivos com e sem plano de terra, é muito baixa, mostrando que esses dispositivos (HK / $t_{\text{Si}}=6$) sofrem muito pouco com a presença ou ausência do plano de terra

Dispositivos ΩG NW SOI nMOSFET e pMOSFET foram analisados em função da tensão no substrato. Três diferentes larguras do canal foram estudadas: 10 nm, 40 nm e 220 nm.

Os resultados mostram que os dispositivos nMOS e pMOS com largura de canal de 10 nm apresentam uma influência desprezível da tensão aplicada no substrato. Todos os parâmetros analisados tiveram uma variação mínima com a variação da tensão aplicada no substrato. Esse resultado era esperado, uma vez que pela geometria do dispositivo a área do canal que o substrato controla é muito pequena uma vez que o dispositivo é praticamente um dispositivo com porta ao redor.

Em dispositivos com largura de canal 40 nm, quando uma tensão muito alta (+20 V para nMOS e -20 V para pMOS) é aplicada no substrato fazendo com que haja uma condução pela segunda interface, não é possível separar os efeitos da primeira e da segunda interface. Por simulação foi mostrado que parte da corrente flui pela primeira interface e parte pela segunda interface.

Os dispositivos mais largos estudados neste trabalho (220 nm) apresentam uma grande influência da tensão aplicada no substrato. Conforme explicado anteriormente, esses dispositivos possuem uma estrutura similar a dispositivos quase-planar, portanto possuem uma área grande do canal controlada pelo substrato.

Os dispositivos nMOS apresentam uma condução pela segunda interface em torno de $V_{GB} = 10$ V quando a porta está polarizada em 0 V, nos dispositivos pMOS condução pela segunda interface ocorre em torno de $V_{GB} = -20$ V para tensão de 0 V na porta. Esta condução pela segunda interface degrada a transcondutância máxima e a transcondutância na região de saturação para $V_{GB} = 10$ V e 20 V nos dispositivos nMOS, o que é observado apenas para valores mais negativos que -20 V no substrato em dispositivos pMOS.

Consequentemente, quando há a degradação da transcondutância na região de saturação, o ganho intrínseco de tensão também é degradado.

Todos os parâmetros analógicos analisados apresentam melhores resultados para dispositivos nMOS.

Os dispositivos largos com $W_{NW} = 220$ nm se mostraram promissores quando o substrato é polarizado a fim de evitar a condução na segunda interface. A inclinação de sublimar sofreu uma alteração de menos de 2 mV/dec comparando dispositivos com $W_{NW} = 220$ nm e 10 nm nessa condição de polarização do substrato. E nessa mesma condição a corrente ligada (I_{ON}) se mostrou de 4 a 6 vezes maior em dispositivos mais largos (pMOS e nMOS respectivamente).

Analisando a eficiência do transistor em inversão forte com o substrato polarizado a fim de evitar a condução na segunda interface viu-se que a variação entre dispositivos com $W_{NW} = 220$ nm e 10 nm é baixa: $1,1 \text{ V}^{-1}$ para nMOS e pMOS.

Nas aplicações analógicas, o aumento do comprimento do canal é um recurso normal, e consequentemente a eficiência do transistor tende a aumentar. Assim, com transistores com maior comprimento de canal, a utilização de dispositivos largos na condição de V_{GB} , sem-condução passa a ser totalmente viável, uma vez que a diferença da eficiência do transistor entre o dispositivo largo e o estreito passará a ser desprezível.

Na análise da eficiência do transistor para diferentes comprimentos de canal e largura do canal comprovou-se que a eficiência do transistor está diretamente relacionada com a inclinação de sublimiar dos transistores. Uma vez que dispositivos mais largos apresentam uma piora na inclinação de sublimiar, a eficiência do transistor também será menor nesses dispositivos. Da mesma forma que dispositivos com canal longo apresentam melhor inclinação de sublimiar e melhor eficiência do transistor.

Dispositivos com comprimento de canal de 100 nm apresentaram pouca variação na eficiência do Transistor quando a tensão no substrato varia. O único caso que a eficiência do transistor teve uma variação significativa foi para $W_{NW} = 220$ nm. Mesmo a eficiência tendo variado ela não apresentou uma degradação muito grande.

Já os dispositivos com comprimento do canal de 40 nm apresentaram uma maior variação na eficiência do transistor quando a tensão no substrato varia. Além disso dispositivos com $W_{NW} = 40$ nm e $W_{NW} = 220$ nm sofrem mais com efeitos de canal curto e, portanto, tem sua eficiência degradada.

6.2 Propostas de trabalhos futuros

A eficiência dos transistores UTBB SOI MOSFET não foi estudada. Uma análise da influência da presença da implantação do plano de terra seria interessante afim de verificar se a presença do plano de terra também degradaria esse parâmetro, assim como aconteceu com condutância de saída, tensão Early e ganho intrínseco de tensão.

Os dispositivos ΩG NW SOI MOSFET podem ser estudados em função da temperatura. Análises de todos os parâmetros já estudados tanto em alta como em baixa temperatura seriam interessantes para analisar o comportamento desse dispositivo sobre esses ambientes.

PUBLICAÇÕES GERADAS DURANTE O DOUTORADO

Publicações em revistas:

ITOCazu, V. T.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; **“Ground Plane Influence on Analog Parameters of Different UTBB nMOSFET Technologies”** em Journal of Integrated Circuits and Systems, 2017.

ITOCazu, V. T.; SASAKI, K. R. A.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; **“Analytical Model for Threshold Voltage in UTBB SOI MOSFET in Dynamic Threshold Voltage Operation”** em Journal of Integrated Circuits and Systems, 2017.

ITOCazu, V. T.; ALMEIDA, L. M.; SONNENBERG, V.; AGOPIAN, P. G. D.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A.; **“Comparison Between nMOS and pMOS Ω -Gate Nanowire down to 10 nm width as a function of back gate bias”** submetido a Semiconductor Science and Technology, 2018.

Publicações em congressos:

ITOCazu, V. T.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; **“Ground Plane Influence on Substrate Effect in UTBB SOI nMOSFETs”** em Seminatec 2014 –Workshop on Semiconductors and Micro & Nano Technology, 2014.

ITOCazu, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; **“Influence of High Temperature on Substrate Effect of UTBB SOI nMOSFETs”**, em 29th Symposium on Microelectronics Technology and Devices, 2014.

ITOCazu, V. T.; SASAKI, K. R. A.; MANINI, M. B.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; **“Threshold Voltage Modeling for Dynamic Threshold UTBB SOI in Different Operation Modes”** em 227th ECS Meeting, Illinois, Chicago, 2015.

ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; **“Ground Plane Influence on UTBB SOI nMOSFETs Analog Parameters”** em 30th Symposium on Microelectronics Technology and Devices, 2015.

ITOCAZU, V. T.; SONNENBERG, V.; MARTINO, J. A.; **“Study of Analog Parameters in UTBB nMOSFET devices with and without GP”** em Seminatec 2016 –Workshop on Semiconductors and Micro & Nano Technology, 2016.

TEIXEIRA, F. F.; ITOCAZU, V. T.; AGOPIAN, P. G. D.; MARTINO, J. A.; **“Influence of Gate Dielectric Constante in UTBB nMOSFET devices”** em Seminatec 2016 –Workshop on Semiconductors and Micro & Nano Technology, 2016.

ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; **“Influence of different UTBB SOI Technologies on Analog Parameters”** em 31st *Symposium on Microelectronics Technology and Devices*, 2016.

MACAMBIRA, C. N.; ITOCAZU, V. T.; ALMEIDA, L. M.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; **“Ground plane influence on Zero Temperature Coefficient in SOI UTBB MOSFETs with different silicon film thicknesses”** em 31st *Symposium on Microelectronics Technology and Devices*, 2016.

SILVA, V. C. P.; ITOCAZU, V. T.; SONNENBERG, V.; MARTINO, J. A.; AGOPIAN, P. G. D.; **“Experimental study of underlap UTBB SOI transistors down to 50 nm channel length”** em 16th Microelectronics Students Forum, 2016.

MARTINO, J. A.; NASCIMENTO, V. M.; MACAMBIRA, C. N.; ITOCAZU, V. T.; ALMEIDA, L. M.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C.; **“Zero Temperature Coefficient Behavior for Advanced MOSFETs”** em 2016 13th *IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2016.

ITOCAZU, V. T.; ALMEIDA, L. M.; SONNENBERG, V.; AGOPIAN, P. G. D.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A.; **“Back Gate Bias Influence on Threshold Voltage at pMOS and nMOS SOI Ω -gate Nanowire down to 10 nm Width”** em Seminatec 2017 –Workshop on Semiconductors and Micro & Nano Technology, 2017.

ITOCazu, V. T.; SONNENBERG, V; MARTINO, J. A.; BARRAUD, S.; VINET, M.; FAYNOT, O.; **“Analog parameters on pMOS SOI Ω -gate nanowire down to 10 nm width for different back gate bias”** em 2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), 2017.

ITOCazu, V. T.; ALMEIDA, L. M.; SONNENBERG, V; AGOPIAN, P. G. D.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A.; **“Back Gate Influence on Transistor Efficiency of SOI Ω -gate Nanowire down to 10 nm Width”** em 32st *Symposium on Microelectronics Technology and Devices*, 2017.

REFERÊNCIAS

- ALMEIDA, 2012 - ALMEIDA, L. M. et al. One Transistor Floating Body RAM Performances on UTBOX Devices Using the BJT Effect. em Journal of Integrated Circuits and Systems, 2012, p. 113-119.
- ALMEIDA, 2016 - ALMEIDA, L. M.; AGOPIAN, P. G. D.; MARTINO, J. A.; BARRAUD, S.; VINET, M.; FAYNOT, O. Back gate bias influence on SOI Ω -gate nanowire down to 10 nm width. em IEEE 2016 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016, .
- ANDRADE, 2007 - Andrade, M. G. C. (2007). Estudo da Tensão de Limiar e Inclinação de Sublimiar em Transistores SOI FinFETs de Porta Dupla e Porta Tripla. Centro Universitário da FEI. Retrieved from [http://portal.fei.edu.br/Download de Pesquisas/FEI-IED-003-MariaAndrade.pdf](http://portal.fei.edu.br/Download_de_Pesquisas/FEI-IED-003-MariaAndrade.pdf)
- ANDRIEU, 2010 - ANDRIEU, F. et al. Low leakage and low variability Ultra-Thin Body and Buried Oxide (UT2B) SOI technology for 20nm low power CMOS and beyond. em Proceedings of Symposium on VLSI Technology., 2010, p. 57-58.
- ATLAS - Atlas 3D numerical simulator, Silvaco Datasystems Inc, 2006
- BANGSARUNTIP, 2010 - BANGSARUNTIP, S. et al. Gate-all-around silicon nanowire 25-stage CMOS ring oscillators with diameter down to 3 nm. em Proceedings of Symposium on VLSI Technology, 2010, p. 21-22.
- BARRAUD, 2012 - BARRAUD, S. et al. Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. em IEEE Electron Devices Letters, 2012, v. 33 n.11 p. 1526-1528.
- BARRAUD, 2014 - BARRAUD, S. et al. Strained Silicon Directly on Insulator N- and P-FET Nanowire Transistors. em 15th Int. Conf. on Ultimate Integration on Silicon (ULIS), 2014, p. 65-68.
- BARRAUD - A, 2013 - BARRAUD, S. et al. Scaling of Ω -gate SOI nanowire N- and P-FET down to 10 nm gate length: Size- and orientation-dependent strain effects. em Proceedings of Symposium on VLSI Technology, 2013, p. 230-231.
- BARRAUD - B, 2013 - BARRAUD, S. et al. Enhanced Performance of P-FET Omega-Gate SOI Nanowire with Recessed-SiGe Source-Drain down to 13-nm Gate Length. em IEEE Electron Devices Letters, 2013, v. 34 n.9 p. 1103-1105.
- BARRAUD, 2015 - BARRAUD, S. et al. Opportunities and Challenges of Nanowire-Based CMOS Technologies. em IEEE 2015 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2015.

- BIDAL, 2009 - BIDAL, G. et al. First CMOS integration of ultra thin body and BOX (UTB2) structures on bulk direct silicon bonded (DSB) wafer with multi-surface orientations. em Electron Devices Meeting, 2009, p. 43191.
- BIDAL, 2016 - Bindal, A., Hamed-hagh, S. (2016). Silicon Nanowire Transistors (1st ed.). San Jose, CA, USA: Springer International Publishing Switzerland. <https://doi.org/10.1007/978-3-319-27177-4>
- BINKLEY, 2000 - BINKLEY, D. et al. Design-Oriented Characterization of CMOS over the Continuum of Inversion Level and Channel Length. em 7th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2000, v. 1 p. 161-164.
- BURIGNAT, 2010 - BURIGNAT, S. et al. Substrate impact on threshold voltage and subthreshold slope of sub-32 nm ultra thin SOI MOSFETs with thin buried oxide and undoped channel. em Solid-State Electronics, 2010, v. 54 p. 213-219.
- CANALI, 1975 - CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. em IEEE Transactions on Electron Devices, 1975, v. 22 n.11 p. 1045-1047.
- CATTANEO, 2009 - Cattaneo, M. (2009). Efeito de Corpo em Transistores SOI de Porta Dupla Vertical. CENTRO UNIVERSITÁRIO DA FEI. Retrieved from <http://portal.fei.edu.br/Download> de Pesquisas/FEI-IED-016-MorenoCattaneo.pdf
- CHANG, 2003 - CHANG, L. et al. Moore's law lives on CMOS Transistor. em IEEE Circuits & Devices Magazine, 2003, p. 35-42.
- CLAEYS, 2009 - Claeys, C., Leonelli, D., Rooyackers, R., Vandooren, A., Verhulst, A., Heyns, M., ... De Gendt, S. (2009). Fabrication and characterization of Si and hetero-junction tunnel field effect transistors. Tóquio.
- COLINGE, J.P.; Thin-film SOI devices: A perspective, Microelectronic Engineering, vol. 8, 1988.
- COLINGE, 1989 - COLINGE, J. P. Thin-Film SOI Technology: the solution to many submicron CMOS problems. em Technical Digest of EDM, 1989, p. 817-820.
- COLINGE, 1997 - COLINGE, J. P. et al. Analog Parameters of short-channel SOI MOSFETs. em Proceedings of SOI Conference, 1997, p. 88-89.
- COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004
- COLINGE, J. P.; COLINGE, C. A.; Physics of Semiconductor Devices, New York: Springer, 2006.
- COLINGE, J. P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.

- CPQIAMD, 2012 - CPQIAMD, R. et al. Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10 nm Width. em Proceedings of Symposium on VLSI Technology, 2012, p. 13-14.
- FASARAKIS, 2014 - FASARAKIS, N. et al. Analytical modelling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide SOI MOSFETs with back gate control. em IEEE Electron Device Letters, 2014, v. 61 p. 969-975.
- FENOUILLET-BERANGER, 2009 - FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below. em Solid State Electronics, 2009, v. 53 p. 730-734.
- FENOUILLET-BERANGER, 2010 - FENOUILLET-BERANGER, C. et al. Impact of a 10 nm ultra BOX (UTBOX) and ground plane on FDSOI devices for 32 nm node and below. em Solid State Electronics, 2010, v. 54 p. 849.
- COMPUTER HISTORY MUSEUM. 1964 – First Commercial MOS IC Introduced. Disponível em < <http://www.computerhistory.org/semiconductor/timeline/1964-Commecial.html>>. Acesso em 01 jul. 2015.
- FLANDRE, 1996 - FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. em Solid State Electronics, 1996, v. 39 n.4 p. 455-460.
- GOEBEL, 1992 - GOEBEL, H.; HOFFMANN, K. Full dynamic power diode model including temperature behavior for use in circuit simulators. Power Semiconductor Devices and ICs em Proceedings of the 4th International Symposium on, 1992, .
- HALL, 1952 - Hall, R.N.; Electron-hole recombination in Germanium, Physical Review, vol. 87, pp. 387, 1952.
- ITOCazu, 2012 - ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. Analysis of the Silicon Film Thickness and the Ground Plane Influence on Ultra Thin Buried Oxide SOI nMOSFETs em 27th Symposium on Microelectronics Technology and Devices, 2012, .
- ITOCazu, 2013 - ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. Substrate Effect on UTBB SOI Nmosfet. em 28th Symposium on Microelectronics Technology and Devices, 2013, p. 1-4.
- ITOCazu, 2014 - ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. Influence of High Temperature on Substrate Effect of UTBB SOI nMOSFETs. em 29th Symposium on Microelectronics Technology and Devices, 2014, p. 1-6.

- ITOCazu - A, 2015 - ITOCAZU, V. T. et al. Threshold voltage modeling for dynamic threshold UTBB SOI in different operation modes. em 227th Electrochemical Society Meeting, 2015, .
- ITOCazu - A, 2017 - ITOCAZU, V. T.; SASAKI, K. R. A.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Analytical Model for Threshold Voltage in UTBB SOI MOSFET in Dynamic Threshold Voltage Operation. em Journal of Integrated Circuits and Systems, 2017, .
- ITOCazu - B, 2015 - ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. Ground Plane Influence on UTBB SOI nMOSFET Analog Parameters. em 30th Symposium on Microelectronics Technology and Devices, 2015, .
- ITOCazu - B, 2017 - ITOCAZU, V. T.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Ground Plane Influence on Analog Parameters of Different UTBB nMOSFET Technologies. em Journal of Integrated Circuits and Systems, 2017, .
- ITOCazu - C, 2017 - ITOCAZU, V. T.; ALMEIDA, L. M.; SONNENBERG, V.; AGOPIAN, P. G. D.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A. Back gate influence on transistor efficiency of SOI nMOS Ω -gate nanowire down to 10 nm width em 32nd Symposium on Microelectronics Technology and Devices, 2017, .
- ITOCazu - E, 2017 - ITOCAZU, V. T.; ALMEIDA, L. M.; SONNENBERG, V.; AGOPIAN, P. G. D.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A. Back Gate Bias Influence on Threshold Voltage at pMOS and nMOS SOI Ω -gate Nanowire down to 10 nm Width. em Seminatec 2017 –Workshop on Semiconductors and Micro & Nano Technology, 2017, .
- ITOCazu -D, 2017 - ITOCAZU, V. T.; SONNENBERG, V.; BARRAUD, S.; VINET, M.; FAYNOT, O.; MARTINO, J. A. Analog parameters on pMOS SOI Ω -gate nanowire down to 10 nm width for different back gate bias. em 2017 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS), 2017, .
- JONES, 2014 - JONES, H. Why migration to FDSOI is better approach than bulk CMOS and FinFETs at 20nm and 14/16nm for price-sensitive markets. em Advanced Substrate News, 2014, .
- KAHNG, 1960 - KAHNG, D.; ATALLA, M. M. Silicon-silicon dioxide field induced surface devices. em IRE-AIEE Solid State Device Research Conference, 1960, .
- KILBY, 1963 - KILBY, J. S. Miniature semiconductor integrated circuit. em KILBY, J. S.; Miniature semiconductor integrated circuit US3115581A, 1963., 1963, .

- KILCHYTSKA, 2012 - KILCHYTSKA, V. et al. On the UTBB SOI MOSFET Performance Improvement in Quasi-Double-Gate Regime. em Solid-State Device Research Conference (ESSDERC), 2012, p. 246-249.
- KLAASSEN, 1992 - KLAASSEN, D. B. M. A UNIFIED MOBILITY MODEL FOR DEVICE SIMULATION--I. MODEL EQUATIONS AND CONCENTRATION DEPENDENCE. em Solid-State Electronics, 1992, v. 35 n.7 p. 953-59.
- KOWAMA - A, 2014 - KOWAMA, M. et al. Influence of Technological and Geometrical Parameters on Low-Frequency Noise in SOI Omega-Gate Nanowire NMOSFETS. em Proceedings of Technical Program VLSI Technology, Systems and Application (VLSI-TSA), 2014, p. 1-2.
- KOWAMA - B, 2014 - KOWAMA, M. et al. Assessment of Technological Device Parameters by Low-Frequency Noise Investigation in SOI Omega-Gate Nanowire NMOS FETs. em 15th Int. Conf. on Ultimate Integration on Silicon (ULIS), 2014, p. 57-60.
- LAM, 1980 - LAM, H. W. Laser Recrystallized Silicon-on-Oxide – The Ideal Silicon-On-Insulator structure. em Electron Devices Meeting, 1980, p. 556-558.
- LILIENFELD, J. Method and apparatus for controlling electric currents. US1745175A, 1930
- LIM, 1983 - LIM, H. K.; FOSSUM, J. G. Threshold Voltage of Thin Film Silicon on Insulator (SOI) MOSFET's. em IEEE Transactions on Electron Devices, 1983, v. 30 n.10 p. 1244-1251.
- LOMARDI, 1988 - LOMARDI, C. et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. em IEEE Transactions on Computer-Aided Design, 1988, v. 7 n.11 p. 1164-1171.
- MACAMBIRA, 2016 - MACAMBIRA, C. N.; ITOCAZU, V. T.; ALMEIDA, L. M.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Ground plane influence on Zero Temperature Coefficient in SOI UTBB MOSFETs with different silicon film thicknesses. em 31st Symposium on Microelectronics Technology and Devices, 2016, .
- MARTINO, 1990 - MARTINO, J. A. et al. Model for the potential drop in the silicon substrate for thin-film SOI MOSFETs. em Electronics Letters, 1990, v. 26 p. 1462.
- MARTINO, 2004 - Martino, J. A., Pavanello, M. A., & Verdonck, P. B. (2004). Caracterizacao Eletrica de Tecnologia e Dispositivos Mos Capa ilustrativa Caracterização Elétrica de Tecnologia e Dispositivos MOS (1st ed.). São Paulo: Pioneira Thomson Learning.

- MARTINO, 2013 - MARTINO, J. A.; SONNENBERG, V. GALETI, M. AOULAICHE, M.; SIMOEN, E.; CLAEYS, C. Transistor-based extraction of carrier lifetime and interface traps densities in Silicon-on-Insulator materials. em ECS Transactions 2013, 2013, p. 225-236.
- MARTINO, 2014 - MARTINO, J. A.; SONNENBERG, V.; ITOCAZU, V. T.; SIMOEN, E.; CLAEYS, C. Substrate Effect on Threshold Voltage of long and short channel UTBB SOI nMOSFETs. em Proceedings of EURSOI 2014, 2014, .
- MARTINO, 2016 - MARTINO, J. A.; NASCIMENTO, V. M.; MACAMBIRA, C. N.; ITOCAZU, V. T.; ALMEIDA, L. M.; AGOPIAN, P. G. D.; SIMOEN, E.; CLAEYS, C. Zero Temperature Coefficient Behavior for Advanced MOSFETs. em 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2016, .
- MOORE, G. E; Cramming more components onto integrated circuits. Electronics Magazine, n. 4, 1965.
- NGUYEN, 2014 - NGUYEN, P. et al. Dual-Channel CMOS Co-Integration with Si NFET and Strained-SiGe PFET in Nanowire Device Architecture Featuring Sub-15 nm Gate Length em IEEE International Electron Devices Meeting (IEDM), 2014, p. 16,2,1-16,2,4.
- OKUMURA, 1990 - OKUMURA, Y. et al. A novel source-to-drain nonuniformly doped channel (NUDC) MOSFET for high current drivability and threshold voltage controllability. em IEEE International Electron Devices Meeting (IEDM), 1990, p. 391-394.
- O'LEARY, W.; IBM Advances Chip Technology With Breakthrough For Making Faster, More Efficient Semiconductors. 1998. Disponível em: <http://www-03.ibm.com/press/us/en/pressrelease/2521.wss>.
- P.-PRAYER, 2014 - P.-PRAYER, J. et al. Study of the piezoresistive properties of NMOS and PMOS Ω -Gate SOI Nanowire transistors: scalability effects and high stress level. em IEEE International Electron Devices Meeting (IEDM), 2014, p. 20,5,1-20,5,4.
- P.-PRAYER, 2015 - P.-PRAYER, J. et al. Strain effect on mobility in FDSOI nanowires: geometrical effect and piezoresistive model. em 45th European Solid States Device Research Conference (ESSDERC), 2015, p. 210,-213.
- PRIJIC, 1992 - PRIJIC, Z. D. et al. The determination of zero temperature coefficient point in CMOS transistors. em CMOS transistors, Microelectronics Reliability, v. 32, p. 769, 1992., 1992, .

- ROULSTON, 1982 - ROULSTON, D. J. et al. Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n + -p Silicon Diodes. em IEEE Transactions on Electron Devices, 1982, v. 29 n.2 p. 284-291.
- SAITOH, 2012 - SAITOH, M. et al. M. Saitoh et al., "10 nm-diameter tri-gate silicon nanowire MOSFETs with enhanced high-field transport and VTH tun-ability though thin BOX", in Proc. Symp. VLSI Technol., pp. 11-12, DOI: 10.1109/VLSIT.2012.6242436, 2012. em Proceedings of Symposium on VLSI Technology, 2012, p. 284-291.
- SANSEN, 20006 - W. M. C. Sansen, Analog Design Essentials, Springer, 2006.
- SASAKI, 2013 - SASAKI, K. R. A. et al. Semiconductor film band gap influence on retention time of UTBOX SOI 1T-DRAM using pulsed back gate bias. em 28th Symposium on Microelectronics Technology and Devices, 2013, p. 1-4.
- SASAKI - A, 2014 - SASAKI, K. R. A.; AOULAICHE, M.; SIMOEN, E.; CALEYS, C.; MARTINO J. A. A; Silicon film thickness influence on enhanced dynamic threshold UTBB SOI nMOSFETs. em 29th Symposium on Microelectronics Technology and Devices, 2014, p. 1-6.
- SASAKI - B, 2014 - SASAKI, K. R. A.; MANINI, M. B.; MARTINO, J. A. Ground plane influence on enhanced dynamic threshold UTBB SOI nMOSFET. em Devices Circuits and Systems (ICDCS), 2014, p. 1-4.
- SCHENK, 1992 - SCHENK, A. A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon. em Solid State Electronics, 1992, .
- SILVA, 2016 - SILVA, V. C. P.; ITOCAZU, V. T.; SONNENBERG, V.; MARTINO, J. A.; AGOPIAN, P. G. D. Experimental study of underlap UTBB SOI transistors down to 50 nm channel length. em 16th Microelectronics Students Forum, 2016., 2016, .
- SILVA, 2017 - SILVA, V. C. P.; SONNENBERG, V.; MARTINO, J. A; SIMOEN, E.; CLAEYS, C.; AGOPIAN, P. G. D. Subthreshold Region Analysis for UTBOX and UTBB SOI nMOSFETs with Different Channel Lengths and Silicon Thickness. em 32nd Symposium on Microelectronics Technology and Devices, 2017, .
- SILVEIRA, 1996 - SILVEIRA, F.; FLANDRE, J. P. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. em IEEE Journal of Solid-State Circuits,, 1996, v. 31 n.9 p. 1314-1319.
- SLOTBOOM, 1976 - SLOTBOOM, J. W.; GRAAF, H. C. MEASUREMENTS OF BANDGAP NARROWING IN Si BIPOLAR TRANSISTORS. em Solid-State Electronics, 1976, v. 19 p. 857-862.

- SLOTBOOM - A, 1977 - SLOTBOOM, J. W. The pn-product in silicon em Solid-State Electronics, 1977, v. 20 n.4 p. 279-283.
- SLOTBOOM - B, 1977 - SLOTBOOM, J. W.; GRAAF, H. C. Bandgap narrowing in silicon bipolar transistors. em IEEE Transactions on Electron Devices, 1977, v. 24 n.8 p. 1123-1125.
- SONNENBERG, 2013 - SONNENBERG, V.; ITOCAZU, V.T.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Influence of High Temperature on UTBB SOI nMOSFETs With and Without Ground Plane. em ECS Transactions 2013, 2013, v. 53 p. 85,91.
- SUBRAMANIAN, 2005 - SUBRAMANIAN, V. et al. Device and Circuit-level analog performance trade-offs: a comparative study of planar bulk FET versus FinFETs. em Technical Digest of IEEE International Electron Devices Meeting (IEDM), 2005, p. 851.
- SYNOPSYS, 2013 - Synopsys. (2013). Sentaurus Device User Guide. Synopsys, Inc. Mountain View, CA: Synopsys, Inc. Retrieved from <http://www.synopsys.com/Company/Pages/Trademarks.aspx>
- TERAO, 1991 - TERAQ, A. et al. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. em IEEE Electron Devices Letters, 1991, p. 682.
- TROUTMAN, R.R.; Latchup in CMOS Technology: The Problem and Its Cure. Kluwer Academic Publishers, 1986
- TYAGI, 1983 - TYAGI, M. S.; VAN OVERSTRAETEN, R. Minority carrier recombination in heavily-doped silicon. em Solid State Electronics, 1983, v. 26 n.6 p. 577-597.

APÊNDICE A – MODELO ANALÍTICO

Aplicação em Tensão de Limiar Dinâmica (DT)

Nos dispositivos UTBB o conceito de tensão de limiar dinâmica pode ser aplicando, fazendo um curto circuito entre a porta e o substrato, como mostra a Figura A - 1. Nessa configuração tem-se que $V_G = V_{GB}$ e é chamado de modo convencional (SASAKI - B, 2014) (KILCHYTSKA, 2012).

Figura A - 1 – Estrutura esquemática de um transistor com a porta conectada com o substrato.

Fonte: Autor.

Além dessa configuração encontram-se na literatura outros dois modos de operação da tensão de limiar dinâmica.

Um modo de operação é chamado de modo enriquecimento (eDT – *enhanced DT mode*), no qual um fator k é multiplicado pela tensão aplicada na porta para definir a tensão aplicada no substrato, $V_{GB} = k \cdot V_G$ (SASAKI - B, 2014) (KILCHYTSKA, 2012). E o último modo é o enriquecimento inverso (eDT inverso - *inverse eDT mode*), que é similar ao modo eDT, porém a tensão na porta é multiplicado pelo inverso do fator k , $V_{GB} = \frac{1}{k} V_G$ (SASAKI - B, 2014). A Figura A - 2 mostra esquematicamente a configuração desses modos de operação.

Figura A - 2 – Estrutura esquemática de um transistor com a o substrato conectado a uma fonte.

Fonte: Autor.

Utilizando o conjunto de equações apresentados na seção anterior, acrescenta-se a equação (A-12) pode-se fazer a extração da tensão de limiar dinâmica para UTBB SOI MOSFET.

$$V_{GB} = k. V_G \quad (A-12)$$

A partir de um valor escolhido para V_{GB}

- 1 Calcula-se a tensão de limiar correspondente.
- 2 O valor encontrado para tensão de limiar é substituído no termo V_G da equação (A- 12).
- 3 Adota-se um valor para k .
- 4 Calcula-se um novo valor de V_{GB}
- 5 Calcula-se a tensão de limiar para o valor de V_{GB} recalculado
- 6 Repete-se esses passos até a equação (A-12) convergir.

Na Figura A - 3 observa-se que o erro máximo apresentado para tensão de limiar dinâmica no modo enriquecimento foi de 16 mV, já par ao modo enriquecimento inverso foi de 10 mV.

Observa-se que o método de extração a partir do modelo analítico para tensão de limiar dinâmica nos três diferentes modos de operação é confiável.

Figura A - 3 – Curvas experimentais e do modelo analítico de DT V_T em função de k .

Fonte: (ITOCASU - A, 2015).

Aplicação em Ponto Invariante com a Temperatura (Zero Temperature Coefficient – ZTC)

Por definição o ponto invariante com a temperatura (ZTC) na corrente de dreno é a polarização da porta que garante a corrente de dreno fique constante mesmo com a variação da temperatura (PRIJIC, 1992), ou seja:

$$\frac{dI_{DS}}{dT} = 0 \quad (\text{A-13})$$

A presença do ZTC também pode ser explicada como a competição de dois fatores que têm um ponto de equilíbrio. O aumento da temperatura degrada a mobilidade (diminui o valor de I_{DS}) e diminui o valor de V_T (aumenta o valor de I_{DS}). No ponto de ZTC a tensão aplicada na porta (V_G) é chamada de V_{ZTC} .

Através do modelo analítico é possível calcular o V_{ZTC} para diversos V_{GB} com a adição da equação (A-14).

$$V_{ZTC} = \frac{V_{T1} - \left(\frac{T_1}{T_2}\right) \cdot (V_{T1} + \left(\frac{\Delta V_T}{\Delta T}\right) \cdot (T_2 - T_1))}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{n \cdot V_{DS}}{2} \quad (A-14)$$

onde V_{T1} é a tensão de limiar referente a temperatura 1 (T_1), V_{T2} é a tensão de limiar referente a temperatura 2 (T_2), ΔV_T é a diferença entre V_{T1} e V_{T2} , ΔT é a diferença entre T_1 e T_2 , n é o fator de corpo e o fator c é um número adimensional que serve como um fator de proporcionalidade da redução da transcondutância com o aumento da temperatura (OKUMURA, 1990).

A extração de V_{ZTC} pelo modelo teórico não depende apenas das equações, o fator de corpo n normalmente é adotado como 1 e o fator c precisa ser extraído a partir de dados experimentais e após a extração dele através da equação (A-15) consegue-se extrair o valor de V_{ZTC} para qualquer valor de V_{GB} .

$$c = \frac{\log gm_2 - \log gm_1}{\log T_1 - \log T_2} \quad (A-15)$$

- 1 Realiza-se a extração do fator c para algumas condições a fim de achar um valor médio.
- 2 Determina-se 2 temperaturas distintas (T_1 e T_2).
- 3 Calcula-se o valor da tensão de limiar para cada temperatura (V_{T1} e V_{T2}).
- 4 Calcula os valores de ΔT e ΔV_T .
- 5 Substitui-se todos os valores encontrados na equação (A-14) e determina V_{ZTC}

A Tabela - A 1 mostra os valores experimentais e extraídos do modelo de V_{ZTC} para $T_1 = 25^\circ\text{C}$ e $T_2 = 100^\circ\text{C}$ para diversos valores de V_{GB} . Os dados são referentes ao dispositivo UTBB SOI MOSFET SiO_2 / $t_{\text{Si}}=6$ estudados na seção 4 (MACAMBIRA, 2016).

Tabela - A 1 – Valores de V_{ZTC} para T_2 de 100°C experimentais e extraídos através do modelo teórico

$t_{Si} = 6 \text{ nm}$ Com GP	$V_{ZTC} \text{ (V)}$	$V_{ZTC} \text{ (V)}$	Erro %
	Modelo	Experimental	
-4	1,34	1,23	8,7
-1	0,96	0,89	7,4
0	0,73	0,71	2,8
1	0,45	0,46	2,5
3	-0,20	-0,19	5,5

Fonte: Adaptado de (MACAMBIRA, 2016).

Na Tabela - A 1 pode-se notar que o maior erro encontrado foi de 8,7 %, mostrando que o método de extração de V_{ZTC} pelo modelo teórico é confiável.

APÊNDICE B – EXEMPLOS DE LINHA DE CÓDIGO - SIMULAÇÃO

ATLAS - UTBB

```
go atlas
mesh infile=utbox17.str
```

```
doping    uniform n.type conc=1e20 reg=fonte
doping    uniform p.type conc=1e15 reg=canal
doping    uniform n.type conc=1e20 reg=dreno
doping    uniform p.type conc=1e15 reg=substrato
```

```
contact    name=gate workfunc=4.53
```

```
set Nitf=3.8e9
set ymax=-0.022
set ymin=-0.026
```

```
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.0 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.02 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.04 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.06 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.08 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.1 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.12 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.14 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.16 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.18 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.2 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.22 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.24 degen=12
sign=3e-15 sigp=3e-14
intrtrap   ymax="$ymax" ymin="$ymin" acceptor density="$Nitif" e.level=0.26 degen=12
sign=3e-15 sigp=3e-14
```

```

intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.28 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.3 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.32 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.34 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.36 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.38 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.4 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.42 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.44 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.46 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.48 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.5 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.52 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.54 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.56 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitf" e.level=0.58 degen=12
sign=3e-15 sigp=3e-14

```

```

set Nitb=3.8e9
set ymax=-0.010
set ymin=-0.020

```

```

intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.0 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.02 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.04 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.06 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.08 degen=12
sign=3e-15 sigp=3e-14
intrtrap ymax="$ymax" ymin="$ymin" acceptor density="$Nitb" e.level=0.1 degen=12
sign=3e-15 sigp=3e-14

```

[illegible]

```

models bgn consrh n.dort cvt print Temp=273

method gummel newton autonr bicgst trap maxtrap=20 carriers=2

solve init
solve prev

solve vdrain=0.0
solve vdrain=0.001
solve vdrain=0.005
solve vdrain=0.01
solve vdrain=0.025
solve vdrain=0.05

solve vgate=0.0

solve vsubstrate=2.0

save outf=UTBOX.str

quit

```

SENTAURUS - NW

```

;Largura do Canal
(define wcanal @wcanal@)

;Comprimento do Canal
(define lcanal @lcanal@)

;Espessura filme de silicio
(define tsi @tsi@)

;Espessura do xido de porta
(define toxf @toxf@)

;Espessura do xido enterrado
(define toxb @toxb@)

;Extenso Fonte Dreno
(define lfonte @lfonte@)
(define ldreno @ldreno@)

(define of1x1 (- (/ (- wcanal tsi) 2)))
(define of1y1 0)
(define of1z1 (- (/ lcanal 2)))

```

```
(define of1x2 (- (/ (- wcanal tsi) 2)))
(define of1y2 0)
(define of1z2 (/ lcanal 2))
```

```
(define of2x1 (/ (- wcanal tsi) 2))
(define of2y1 0)
(define of2z1 (- (/ lcanal 2)))
```

```
(define of2x2 (/ (- wcanal tsi) 2))
(define of2y2 0)
(define of2z2 (/ lcanal 2))
```

```
(define of3x1 (- (/ (- wcanal tsi) 2)))
(define of3y1 (- (+ (/ tsi 2) toxf)))
(define of3z1 (- (/ lcanal 2)))
```

```
(define of3x2 (/ (- wcanal tsi) 2))
(define of3y2 (- (/ tsi 2)))
(define of3z2 (/ lcanal 2))
```

```
;Canal
```

```
(define c1x1 (- (/ (- wcanal tsi) 2)))
(define c1y1 0)
(define c1z1 (- (/ lcanal 2)))
```

```
(define c1x2 (- (/ (- wcanal tsi) 2)))
(define c1y2 0)
(define c1z2 (/ lcanal 2))
```

```
(define c2x1 (/ (- wcanal tsi) 2))
(define c2y1 0)
(define c2z1 (- (/ lcanal 2)))
```

```
(define c2x2 (/ (- wcanal tsi) 2))
(define c2y2 0)
(define c2z2 (/ lcanal 2))
```

```
(define c3x1 (- (/ (- wcanal tsi) 2)))
(define c3y1 (- (/ tsi 2)))
(define c3z1 (- (/ lcanal 2)))
```

```
(define c3x2 (/ (- wcanal tsi) 2))
(define c3y2 (/ tsi 2))
(define c3z2 (/ lcanal 2))
```

```
;Fonte
```

```
(define f1x1 (- (/ (- wcanal tsi) 2)))
```

```

(define f1y1 0)
(define f1z1 (- (/ lcanal 2)))

(define f1x2 (- (/ (- wcanal tsi) 2)))
(define f1y2 0)
(define f1z2 (- (+ (/ lcanal 2) lfonte)))

(define f2x1 (/ (- wcanal tsi) 2))
(define f2y1 0)
(define f2z1 (- (/ lcanal 2)))

(define f2x2 (/ (- wcanal tsi) 2))
(define f2y2 0)
(define f2z2 (- (+ (/ lcanal 2) lfonte)))

(define f3x1 (- (/ (- wcanal tsi) 2)))
(define f3y1 (- (/ tsi 2)))
(define f3z1 (- (/ lcanal 2)))

(define f3x2 (/ (- wcanal tsi) 2))
(define f3y2 (/ tsi 2))
(define f3z2 (- (+ (/ lcanal 2) lfonte)))

;Dreno

(define d1x1 (- (/ (- wcanal tsi) 2)))
(define d1y1 0)
(define d1z1 (/ lcanal 2))

(define d1x2 (- (/ (- wcanal tsi) 2)))
(define d1y2 0)
(define d1z2 (+ (/ lcanal 2) ldreno))

(define d2x1 (/ (- wcanal tsi) 2))
(define d2y1 0)
(define d2z1 (/ lcanal 2))

(define d2x2 (/ (- wcanal tsi) 2))
(define d2y2 0)
(define d2z2 (+ (/ lcanal 2) ldreno))

(define d3x1 (- (/ (- wcanal tsi) 2)))
(define d3y1 (- (/ tsi 2)))
(define d3z1 (/ lcanal 2))

(define d3x2 (/ (- wcanal tsi) 2))
(define d3y2 (/ tsi 2))
(define d3z2 (+ (/ lcanal 2) ldreno))

```

;Ã“xido Enterrado

```
(define obx1 (- (/ wcanal 2)))
(define oby1 (- (/ tsi 2) 0.0005))
(define obz1 (- (/ lcanal 2)))
```

```
(define obx2 (/ wcanal 2))
(define oby2 (+ (/ tsi 2) toxb))
(define obz2 (/ lcanal 2))
```

;Contato

```
(define cpx1 0)
(define cpy1 of3y1)
(define cpz1 0)
```

```
(define cpx2 (+ (/ wcanal 2) toxf))
(define cpy2 0)
(define cpz2 0)
```

```
(define cpx3 (- (+ (/ wcanal 2) toxf)))
(define cpy3 0)
(define cpz3 0)
```

```
..*****
;;
;;ESTRUTURA
..*****
;;
```

```
(sdegeo:create-cylinder (position of1x1 of1y1 of1z1) (position of1x2 of1y2 of1z2) (-
of3y1) "SiO2" "toxf1")
(sdegeo:create-cylinder (position of2x1 of2y1 of2z1) (position of2x2 of2y2 of2z2) (-
of3y1) "SiO2" "toxf2")
(sdegeo:create-cuboid (position of3x1 of3y1 of3z1) (position of3x2 of3y2 of3z2)
"SiO2" "toxf3")
```

```
(sdegeo:create-cuboid (position obx1 oby1 obz1) (position obx2 oby2 obz2) "SiO2"
"toxb")
```

```
(sdegeo:create-cylinder (position c1x1 c1y1 c1z1) (position c1x2 c1y2 c1z2) (- of3y2)
"Silicon" "canal1")
(sdegeo:create-cylinder (position c2x1 c2y1 c2z1) (position c2x2 c2y2 c2z2) (- of3y2)
"Silicon" "canal2")
(sdegeo:create-cuboid (position c3x1 c3y1 c3z1) (position c3x2 c3y2 c3z2) "Silicon"
"canal3")
```

```
(sdegeo:create-cylinder (position d1x1 d1y1 d1z1) (position d1x2 d1y2 d1z2) (- of3y2)
"Silicon" "dreno1")
```

```
(sdegeo:create-cylinder (position d2x1 d2y1 d2z1) (position d2x2 d2y2 d2z2) (- of3y2)
"Silicon" "dreno2")
(sdegeo:create-cuboid (position d3x1 d3y1 d3z1) (position d3x2 d3y2 d3z2) "Silicon"
"dreno3")
```

```
(sdegeo:create-cylinder (position f1x1 f1y1 f1z1) (position f1x2 f1y2 f1z2) (- of3y2)
"Silicon" "fonte1")
(sdegeo:create-cylinder (position f2x1 f2y1 f2z1) (position f2x2 f2y2 f2z2) (- of3y2)
"Silicon" "fonte2")
(sdegeo:create-cuboid (position f3x1 f3y1 f3z1) (position f3x2 f3y2 f3z2) "Silicon"
"fonte3")
```

```
..*****
;;
;;CONTATOS
..*****
;;
```

```
(sdegeo:define-contact-set "contato_dreno" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "contato_dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 0 d3z2)))) "contato_dreno")
```

```
(sdegeo:define-contact-set "contato_fonte" 4 (color:rgb 0 1 0) "##" )
(sdegeo:set-current-contact-set "contato_fonte")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 0 f3z2)))) "contato_fonte")
```

```
(sdegeo:define-contact-set "contato_porta" 4 (color:rgb 0 0 1) "##" )
(sdegeo:set-current-contact-set "contato_porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position cpx1 cpy1 cpz1))) (car (find-
face-id (position cpx2 cpy2 cpz2))) (car (find-face-id (position cpx3 cpy3 cpz3))))
"contato_porta")
```

```
(sdegeo:define-contact-set "contato_substrato" 4 (color:rgb 1 1 1) "##" )
(sdegeo:set-current-contact-set "contato_substrato")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 oby2 0))))
"contato_substrato")
```

```
(journal:pause)
(render:rebuild)
```

```
..*****
;;
;;REFERENCIA
..*****
;;
;
;(define cfx1 (/ wcanal 2))
;(define cfy1 (/ tsi 2))
;(define cfz1 (- (/ lcanal 2) (* lcanal 0.1)))
;(define cfx2 (- (/ wcanal 2)))
;(define cfy2 (- (/ tsi 2)))
;(define cfz2 (+ (/ lcanal 2) (* lfonte 0.1)))
;
;
```



```

;(define cdx1 (/ wcanal 2))
;(define cdy1 (/ tsi 2))
;(define cdz1 (- (- (/ lcanal 2) (* lcanal 0.1))))
;(define cdx2 (- (/ wcanal 2)))
;(define cdy2 (- (/ tsi 2)))
;(define cdz2 (- (+ (/ lcanal 2) (* ldreno 0.1))))
;
;(define cpx1 (/ wcanal 2))
;(define cpy1 (- (+ (/ tsi 2) (* toxf 0.1))))
;(define cpz1 (/ lcanal 2))
;(define cpx2 (- (/ wcanal 2)))
;(define cpy2 (- (- (/ tsi 2) (* tsi 0.1))))
;(define cpz2 (- (/ lcanal 2)))
;
;(define cex1 (/ wcanal 2))
;(define cey1 (+ (/ tsi 2) (* tsi 0.1)))
;(define cez1 (/ lcanal 2))
;(define cex2 (- (/ wcanal 2)))
;(define cey2 (+ (/ tsi 2) (* toxb 0.1)))
;(define cez2 (- (/ lcanal 2)))
;
;(define eex1 (/ wcanal 2))
;(define eey1 (+ (/ tsi 2) (* toxb 0.8)))
;(define eez1 (/ lcanal 2))
;(define eex2 (- (/ wcanal 2)))
;(define eey2 (+ (/ tsi 2) toxb))
;(define eez2 (- (/ lcanal 2)))
;
;(sdedr:define-refeval-window "RefEvalWin_canal_fonte" "cuboid" (position cfx1 cfy1
cfz1) (position cfx2 cfy2 cfz2))
;(sdedr:define-refeval-window "RefEvalWin_canal_dreno" "cuboid" (position cdx1
cdy1 cdz1) (position cdx2 cdy2 cdz2))
;(sdedr:define-refeval-window "RefEvalWin_canal_porta" "cuboid" (position cpx1 cpy1
cpz1) (position cpx2 cpy2 cpz2))
;(sdedr:define-refeval-window "RefEvalWin_canal_enterrado" "cuboid" (position cex1
cey1 cez1) (position cex2 cey2 cez2))
;(sdedr:define-refeval-window "RefEvalWin_enterrado_enterrado" "cuboid" (position
eex1 eey1 eez1) (position eex2 eey2 eez2))
;
;DOPAGEM;

(define nfontedreno @nfontedreno@)
(define ncanal 1e15)

(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte1"
"ConstantProfileDefinition_fontedreno" "fonte1")

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte2"
"ConstantProfileDefinition_fontedreno" "fonte2")
(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte3"
"ConstantProfileDefinition_fontedreno" "fonte3")

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno1"
"ConstantProfileDefinition_fontedreno" "dreno1")
(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno2"
"ConstantProfileDefinition_fontedreno" "dreno2")
(sdedr:define-constant-profile "ConstantProfileDefinition_fontedreno"
"ArsenicActiveConcentration" nfontedreno)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno3"
"ConstantProfileDefinition_fontedreno" "dreno3")

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration" ncanal)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal1"
"ConstantProfileDefinition_canal" "canal1")
(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration" ncanal)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal2"
"ConstantProfileDefinition_canal" "canal2")
(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration" ncanal)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_canal3"
"ConstantProfileDefinition_canal" "canal3")

```

```

;GRADE;
;
X=W Y=H Z=L
(sdedr:define-refinement-size "RefinementDefinition_toxb" 0.02 0.03 0.02
0.02 0.03 0.02 )
(sdedr:define-refinement-placement "RefinementPlacement_toxb"
"RefinementDefinition_toxb" (list "region" "toxb" ) )

(sdedr:define-refinement-size "RefinementDefinition_toxf1" 0.010 0.0010 0.03
0.005 0.0005 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_toxf1"
"RefinementDefinition_toxf1" (list "region" "toxf1" ) )

```

```

(sdedr:define-refinement-size "RefinementDefinition_toxf2" 0.010 0.0010 0.03
                                0.005 0.0005 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_toxf2"
"RefinementDefinition_toxf2" (list "region" "toxf2" ))

(sdedr:define-refinement-size "RefinementDefinition_toxf3" 0.010 0.0010 0.03
                                0.005 0.0005 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_toxf3"
"RefinementDefinition_toxf3" (list "region" "toxf2" ))

(sdedr:define-refinement-size "RefinementDefinition_canal1" 0.010 0.003 0.03
                                0.005 0.002 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_canal1"
"RefinementDefinition_canal1" (list "region" "canal1" ))

(sdedr:define-refinement-size "RefinementDefinition_canal2" 0.010 0.003 0.03
                                0.005 0.002 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_canal2"
"RefinementDefinition_canal2" (list "region" "canal2" ))

(sdedr:define-refinement-size "RefinementDefinition_canal3" 0.0050 0.003 0.03
                                0.0025 0.002 0.01 )
(sdedr:define-refinement-placement "RefinementPlacement_canal3"
"RefinementDefinition_canal3" (list "region" "canal3" ))

(sdedr:define-refinement-size "RefinementDefinition_fonte1" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_fonte1"
"RefinementDefinition_fonte1" (list "region" "fonte1" ))

(sdedr:define-refinement-size "RefinementDefinition_fonte2" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_fonte2"
"RefinementDefinition_fonte2" (list "region" "fonte2" ))

(sdedr:define-refinement-size "RefinementDefinition_fonte3" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_fonte3"
"RefinementDefinition_fonte3" (list "region" "fonte3" ))

(sdedr:define-refinement-size "RefinementDefinition_dreno1" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_dreno1"
"RefinementDefinition_dreno1" (list "region" "dreno1" ))

(sdedr:define-refinement-size "RefinementDefinition_dreno2" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_dreno2"
"RefinementDefinition_dreno2" (list "region" "dreno2" ))

```

```

(sdedr:define-refinement-size "RefinementDefinition_dreno3" 0.03 0.03 0.015
                                0.02 0.02 0.015 )
(sdedr:define-refinement-placement "RefinementPlacement_dreno3"
"RefinementDefinition_dreno3" (list "region" "dreno3" ) )

;(sdedr:define-refinement-size "RefinementDefinition_canal_porta" 0.005 0.0030 0.02
;                                0.003 0.0015 0.01 )
;(sdedr:define-refinement-placement "RefinementPlacement_canal_porta"
"RefinementDefinition_canal_porta" (list "region" "RefEvalWin_canal_porta" ) )
;
;(sdedr:define-refinement-size "RefinementDefinition_canal_dreno" 0.005 0.0030 0.02
;                                0.003 0.0015 0.01 )
;(sdedr:define-refinement-placement "RefinementPlacement_canal_dreno"
"RefinementDefinition_canal_dreno" (list "region" "RefEvalWin_canal_dreno" ) )
;
;(sdedr:define-refinement-size "RefinementDefinition_canal_fonte" 0.005 0.0030 0.02
;                                0.003 0.0015 0.01 )
;(sdedr:define-refinement-placement "RefinementPlacement_canal_fonte"
"RefinementDefinition_canal_fonte" (list "region" "RefEvalWin_canal_fonte" ) )
;
;(sdedr:define-refinement-size "RefinementDefinition_canal_enterrado" 0.005 0.0030
0.02
;                                0.003 0.0015 0.01 )
;(sdedr:define-refinement-placement "RefinementPlacement_canal_enterrado"
"RefinementDefinition_canal_enterrado" (list "region" "RefEvalWin_canal_enterrado" )
)
;
;(sdedr:define-refinement-size "RefinementDefinition_enterrado_enterrado" 0.01 0.01
0.01
;                                0.01 0.01 0.01 )
;(sdedr:define-refinement-placement "RefinementPlacement_enterrado_enterrado"
"RefinementDefinition_enterrado_enterrado" (list "region"
"RefEvalWin_enterrado_enterrado" ) )

(sde:set-meshing-command "snmesh -a -c boxmethod")
(sdedr:append-cmd-file "")
(sde:build-mesh "snmesh" "-a -c boxmethod" "n@node@.tdr")

File {
  Grid= "@tdr@"
  Parameter="00NW_Leti@mob@.par"
  Plot= "@tdrdat@"
  Current="@plot@"
}

Electrode {
  { Name="contato_fonte" Voltage= 0.00}
  { Name="contato_dreno" Voltage= 0.05}
}

```

```

    { Name="contato_porta" Voltage= 0.00 Workfuntction=@FM@}
    { Name="contato_substrato" Voltage= 0.00 Workfuntction=4.95}
  }

Physics (RegionInterface="toxb/canal3")
  {Charge (Conc=@ch_oxb_canal@)}

Physics {
  Mobility(PhuMob
    Enormal(Lombardi_highk))
  Recombination(SRH (DopingDep TempDependence))
  EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
  Temperature = 300
}

Plot{

  eDensity hDensity
  eCurrent hCurrent
  Potential SpaceCharge ElectricField
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
  Potential
  ElectricField
}

Math{
  Extrapolate
  RelErrControl
  Currentweighting
  Iterations=50
  Method = pardiso
  Number_Of_Threads = maximum
  StackSize = 200000000
}

Solve {
  #initial solution:
  Poisson
  Coupled { Poisson Electron hole }

  Quasistationary(InitialStep=0.005 MinStep=0.0001 MaxStep=0.01 Goal {
Name="contato_porta" Voltage=2.00 })
    {Coupled {Poisson Electron Hole}
  Plot ( FilePrefix = "perfil_@wcanal@_VGB00"
    Time= ( 0; 0.1; 0.2; 0.3; 0.4; 0.5 ; 0.6; 0.7; 0.8; 0.9; 1.0 ) NoOverwrite ) }}

```