

CHRISTIAN NEMETH MACAMBIRA

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM
UTBB SOI nMOSFETs**

São Paulo
2017

CHRISTIAN NEMETH MACAMBIRA

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM
UTBB SOI nMOSFETs**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
como parte dos requisitos necessários para
a obtenção do título de Mestre em Ciências.

São Paulo
2017

CHRISTIAN NEMETH MACAMBIRA

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM
UTBB SOI nMOSFETs**

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
como parte dos requisitos necessários para
a obtenção do título de mestre em ciências.

Área de Concentração:
Engenharia Elétrica / Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino

São Paulo
2017

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Macambira, Christian Nemeth

Estudo do ponto invariante com a temperatura (ZTC) em UTBB SOI nMOSFETs / C. N. Macambira -- versão corr. -- São Paulo, 2017.
85 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Transistor 2. Silício 3. Temperatura I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

AGRADECIMENTOS

Ao prof. Dr. João Antonio Martino, pela orientação, suporte e conhecimentos passados a mim, ao decorrer desse trabalho.

Aos amigos do grupo SOI, que ajudaram nas minhas primeiras medições, e pelo apoio e incentivo durante o mestrado.

À Emmanuele Helena Pitsis, pelo incentivo e ajuda na elaboração desse trabalho.

Ao Centro Paula Souza, pelo apoio financeiro prestado.

Aos pesquisadores Cor Claeys e Eddy Simoen, pelo fornecimento de dispositivos e pelas revisões de artigos submetidos durante a execução do mestrado.

À minha família pelo apoio e incentivo para a finalização desse projeto.

RESUMO

Este trabalho tem como objetivo estudar o ponto invariante com a temperatura (*ZTC – Zero Temperature Coefficient*) para transistores com estrutura SOI UTBB (*Silicon-On-Insulator Ultra-Thin Body and BOX*) nMOSFETs em relação à influência do plano de terra (*GP-Ground Plane*) e da espessura do filme de silício (t_{si}). Este estudo foi realizado nas regiões linear e de saturação, por meio da utilização de dados experimentais e de um modelo analítico. Parâmetros elétricos, como a tensão de limiar e a transcondutância foram analisados para verificar a influência do plano de terra e da espessura de filme de silício (t_{si}), e para estudar a polarização, entre porta e fonte, que não varia com a temperatura (V_{ZTC}). Foram utilizados dispositivos com (concentração de 10^{18} cm^{-3}) e sem (concentração de 10^{15} cm^{-3}) plano de terra em duas lâminas diferentes, uma com 6 nm de t_{si} e outra com 14 nm de t_{si} . Foi observado, que a presença do GP aumenta o valor de V_{ZTC} , devido ao fato do GP eliminar os efeitos de substrato no dispositivo aumentando a tensão de limiar do mesmo, e este, é diretamente proporcional a V_{ZTC} . O V_{ZTC} mostrou ser inversamente proporcional com a diminuição do t_{si} . Todos os resultados experimentais de V_{ZTC} foram comparados com o modelo. Foi observada uma boa concordância entre os V_{ZTC} de 25 °C a 150 °C, sendo que o desvio padrão foi menor que 81 mV em todos os casos estudados. Para se observar o efeito de substrato na tensão de limiar foi utilizado um modelo analítico que leva em consideração o efeito da queda de potencial no substrato, o efeito de confinamento quântico e parâmetros do dispositivo a ser modelado. O V_{ZTC} mostrou ser maior na região de saturação devido ao aumento da transcondutância e da polarização entre dreno e fonte (V_{DS}), em ambos dispositivos (com e sem GP), chegando a ter um aumento de 360 mV em alguns casos.

Palavras chaves: UTBB, ZTC, GP, SOI MOSFET, espessura do filme de silício, temperatura, linear, saturação.

ABSTRACT

This work aims to study the zero temperature coefficient point (ZTC) for transistors with SOI UTBB nMOSFETs (Silicon-On-Insulator Ultra-Thin Body and BOX) structure regarding the influence of the ground plane (GP) and the thickness of the silicon film (t_{si}). This study was realized in the linear and saturation region, by the use of experimental data and an analytical model. Electrical parameters such as threshold voltage and transconductance were analyzed with the objective of verifying the influence of the ground plane and silicon film thickness (t_{si}) in the same, and to analyze the polarization, between gate and source, that have zero influence of the temperature (V_{ZTC}). Were used devices with (concentration 10^{18} cm^{-3}) and without (concentration 10^{15} cm^{-3}) ground plane on two different wafers, with 6 nm t_{si} and the other with 14 nm t_{si} . It was observed that the presence GP increases the value of V_{ZTC} , because GP eliminates substrate effects and as consequence, the threshold voltage of the device increase and this is directly proportional to V_{ZTC} . The V_{ZTC} showed to be inversional proportional to the reduction of t_{si} . All experimental results were compared with a simple model for V_{ZTC} and were observed a good convergence between the results, for V_{ZTC} from 25 °C to 150 °C, and the biggest standard error observed in all the devices was 81 mV. To observe the effect of substrate on the threshold voltage, was used an analytical model that takes into account the effect of potential drop on the substrate, the effect of quantum confinement and the device parameters to be modeled. The V_{ZTC} show to be higher in the saturation region, due the increase of transconductance and the polarization between drain and source (V_{DS}), in both devices (with and without GP), reaching an increase of 360 mV in some cases.

Key words: UTBB, ZTC, GP, SOI MOSFET, silicon thickness, temperature, linear, saturation.

Lista de figuras

FIGURA 1- EVOLUÇÃO ESTRUTURAL TECNOLÓGICA AO LONGO DO TEMPO.	19
FIGURA 2- INFRAVERMELHO DE UMA PLACA RASPBERRY FUNCIONANDO NORMALMENTE.	21
FIGURA 3- ESTRUTURA DE UM DISPOSITIVO SOI.....	23
FIGURA 4- DIAGRAMA DE FAIXAS DE ENERGIA DE UM DISPOSITIVO TRANSISTOR SOI PARCIALMENTE DEPLETADO.	25
FIGURA 5- DIAGRAMA DE FAIXAS DE ENERGIA DE UM DISPOSITIVO SOI TOTALMENTE DEPLETADO.	26
FIGURA 6- ILUSTRAÇÃO DA ASSOCIAÇÃO DE CAPACITÂNCIAS NOS TRANSISTORES SOI. A) TRANSISTOR MOSFET SOI FD COM A SEGUNDA INTERFACE EM ACUMULAÇÃO; B) TRANSISTOR MOSFET SOI FD COM A SEGUNDA INTERFACE EM DEPLEÇÃO; C) TRANSISTOR MOSFET CONVENCIONAL E SOI PD.	30
FIGURA 7- CURVA DA VARIAÇÃO DA TENSÃO DE LIMIAR DA PRIMEIRA INTERFACE COM A POLARIZAÇÃO DO SUBSTRATO, PARA POTENCIAL DE SUBSTRATO IGUAL A ZERO.	32
FIGURA 8- ESTRUTURA DE UM TRANSISTOR SOI COM ÓXIDO ENTERRADO E CAMADA DE SILÍCIO ULTRAFINO, ONDE L É O COMPRIMENTO DO CANAL, W É A LARGURA DO CANAL, T_{OXF} É A ESPESSURA DO ÓXIDO DE PORTA.	33
FIGURA 9- POTENCIAIS NA ESTRUTURA SOI.	35
FIGURA 10-CURVA DE TENSÃO DE LIMIAR DA PRIMEIRA INTERFACE, LEVANDO EM CONSIDERAÇÃO A VARIAÇÃO DA QUEDA DE POTENCIAL NO SUBSTRATO. PONTO A, TENSÃO DE SUBSTRATO MÁXIMA ($V_{GBMÁX}$), E PONTO B, TENSÃO DE SUBSTRATO MÍNIMA (V_{GBMIN}).	37
FIGURA 11- IMPLANTAÇÃO IÔNICA PARA A FORMAÇÃO DO PLANO DE TERRA (<i>GROUND PLANE</i>) EM UMA ESTRUTURA SOI UTBB.	38
FIGURA 12- CURVA DE $I_{DS} \times V_G$ PARA UM DISPOSITIVO COM GP, $V_{GB} = 0 V$ E PARA 5 TEMPERATURAS DIFERENTES (25 °C, 50 °C, 75 °C, 100 °C E 150°C), NA REGIÃO LINEAR.	40
FIGURA 13- EQUIPAMENTOS AGILENT B1500 E SIGNATONE S-1060 SERIES.	46
FIGURA 14- CONJUNTO DE EQUIPAMENTOS: CAIXA PRETA, BOMBA DE REFRIGERAÇÃO, BOMBA DE VÁCUO E CONTROLE DE INTENSIDADE DA LUZ.....	47
FIGURA 15- EQUIPAMENTO S-1160 DA SIGNATONE.	47

FIGURA 16- ESQUEMA DE VISUALIZAÇÃO DOS DISPOSITIVOS POR MEIO DO EQUIPAMENTO S-1160.	48
FIGURA 17- GRÁFICO DA SEGUNDA DERIVADA DA CORRENTE DE DRENO PELA TENSÃO DE PORTA, PARA UM DISPOSITIVO SEM PLANO DE TERRA NA REGIÃO LINEAR A 25°C, COM POLARIZAÇÃO DE SUBSTRATO IGUAL A ZERO.	49
FIGURA 18- CURVA EXPERIMENTAL DE $I_{DS} \times V_{GF}$ PARA UM DISPOSITIVO NA REGIÃO DE SATURAÇÃO E NA TEMPERATURA DE 25 °C.	50
FIGURA 19- GRÁFICO DA PRIMEIRA DERIVADA DE $I_{DS} \times V_{GF}$ PARA UM DISPOSITIVO COM PLANO DE TERRA A UMA TEMPERATURA DE 100°C COM POLARIZAÇÃO DE SUBSTRATO IGUAL A ZERO.	51
FIGURA 20- CURVA EXPERIMENTAL DE $GM \times V_{GF}$ DE UM DISPOSITIVO SEM GP A UMA TEMPERATURA DE 25°C.	52
FIGURA 21- GRÁFICO DOS DADOS EXPERIMENTAIS DE V_T EM FUNÇÃO DA TEMPERATURA EM KELVIN PARA $V_{GB} = -5 V$ E O AJUSTE LINEAR DOS PONTOS PARA A EXTRAÇÃO $\frac{dV_T}{dT}$	53
FIGURA 22- CURVA DE GM EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR.	54
FIGURA 23- VARIAÇÃO DO PONTO DE POLARIZAÇÃO DE ZTC COM V_{GB} PARA UM DISPOSITIVO COM GP E PARA 5 TEMPERATURAS: 25 °C (LINHA CONTÍNUA), 50 °C (LINHA TRACEJADA), 75 °C (PONTO), 100 °C (TRAÇO-PONTO) E 150 °C (TRAÇO-PONTO-PONTO).	56
FIGURA 24- CURVA EXPERIMENTAL DE $GM \times V_{GB}$ PARA UM DISPOSITIVO COM GP NA REGIÃO LINEAR.	56
FIGURA 25- VARIAÇÃO DE C EM FUNÇÃO DE V_{GB} PARA AS 4 COMBINAÇÕES DE C	57
FIGURA 26- VARIAÇÃO DE V_T COM A TEMPERATURA PARA 11 POLARIZAÇÕES DE V_{GB} DIFERENTES, NA REGIÃO LINEAR E PARA T_{SI} DE 14 NM COM GP.	58
FIGURA 27- CURVA EXPERIMENTAL DE $I_{DS} \times V_{GF}$ PARA UM DISPOSITIVO COM GP PARA 5 TEMPERATURAS DIFERENTES.	60
FIGURA 28- CURVA EXPERIMENTAL DE $GM \times V_{GB}$, DE UM DISPOSITIVO COM GP NA REGIÃO DE SATURAÇÃO.	61
FIGURA 29- VARIAÇÃO DE C EM FUNÇÃO DE V_{GB} PARA AS 4 COMBINAÇÕES DE C	62
FIGURA 30- VARIAÇÃO DE V_T COM A TEMPERATURA PARA 11 POLARIZAÇÕES DE V_{GB} DIFERENTES, NA REGIÃO DE SATURAÇÃO, PARA T_{SI} DE 14 NM COM GP.	62

FIGURA 31- V_{ZTC1} EXPERIMENTAL EM FUNÇÃO DE V_{GB} PARA DOIS DISPOSITIVOS, UM COM PLANO DE TERRA E OUTRO SEM PLANO DE TERRA, PARA $T_{Si} = 14$ NM E NA REGIÃO LINEAR.....	65
FIGURA 32- CURVAS EXPERIMENTAIS DE V_{ZTC1} PARA DISPOSITIVOS COM E SEM GP PARA UMA ESPESSURA DE FILME DE SILÍCIO DE 14 NM, NA REGIÃO DE SATURAÇÃO.	66
FIGURA 33- CURVA DA TENSÃO DE LIMIAR EM FUNÇÃO DA POLARIZAÇÃO DO SUBSTRATO PARA DISPOSITIVOS COM PLANO DE TERRA E SEM PLANO DE TERRA, NA REGIÃO LINEAR E TEMPERATURA DE 25 °C.	66
FIGURA 34- CURVAS EXPERIMENTAIS DE $V_T \times V_{GB}$, PARA DISPOSITIVOS COM E SEM GP, NA REGIÃO DE SATURAÇÃO E NA TEMPERATURA DE 25 °C.	67
FIGURA 35- VALORES EXPERIMENTAIS DE V_{ZTC} EM FUNÇÃO DE V_{GB} PARA OS DISPOSITIVOS COM ESPESSURAS DE FILME DE SILÍCIO DIFERENTES E COM GP, NA REGIÃO LINEAR. ...	69
FIGURA 36- VALORES EXPERIMENTAIS DE V_{ZTC} EM FUNÇÃO DE V_{GB} PARA OS DISPOSITIVOS COM ESPESSURAS DE FILME DE SILÍCIO DIFERENTES E COM GP, NA REGIÃO DE SATURAÇÃO.	69
FIGURA 37- CURVAS EXPERIMENTAIS DE $V_T \times V_{GB}$, PARA DISPOSITIVOS COM T_{Si} DIFERENTES, NA REGIÃO LINEAR.....	70
FIGURA 38- CURVAS EXPERIMENTAIS DE $V_T \times V_{GB}$, PARA DISPOSITIVOS COM T_{Si} DIFERENTES, NA REGIÃO DE SATURAÇÃO.....	70
FIGURA 39-GRÁFICO DE $V_T \times V_{GB}$ CALCULADO POR MEIO DO MODELO DA TENSÃO DE LIMIAR APRESENTADA NA SEÇÃO 2.4.1.....	77

Lista de tabelas

TABELA 1- VALORES DE V_{ZTC1} PARA O DISPOSITIVO DE $T_{Si} = 14$ NM COM GP, NA REGIÃO LINEAR.	59
TABELA 2- VALORES DE V_{ZTC} PARA DIFERENTES TEMPERATURAS, $T_{Si} = 14$ NM COM GP, NA REGIÃO LINEAR.	60
TABELA 3- VALORES DE V_{ZTC} 1 PARA O DISPOSITIVO DE $T_{Si} = 14$ NM COM GP, NA REGIÃO DE SATURAÇÃO.	63
TABELA 4- VALORES DE V_{ZTC} PARA DIFERENTES TEMPERATURAS, $T_{Si} = 14$ NM COM GP, NA REGIÃO DE SATURAÇÃO.	63
TABELA 5- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 14$ NM COM GP, REGIÃO LINEAR. ..	72
TABELA 6- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 14$ NM SEM GP, REGIÃO LINEAR. ..	72
TABELA 7- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 6$ NM COM GP, REGIÃO LINEAR.	73
TABELA 8- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 6$ NM SEM GP, REGIÃO LINEAR.	73
TABELA 9- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 14$ NM COM GP, REGIÃO DE SATURAÇÃO.	74
TABELA 10- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 14$ NM SEM GP, REGIÃO DE SATURAÇÃO.	74
TABELA 11- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 6$ NM COM GP, REGIÃO DE SATURAÇÃO.	75
TABELA 12- INTERVALO DE VALORES DE V_{ZTC} , PARA $T_{Si} = 6$ NM SEM GP, REGIÃO DE SATURAÇÃO.	75

Lista de siglas e abreviaturas

BOX	Óxido enterrado (<i>Buried Oxide</i>)
CI	Circuitos Integrados.
CMOS	Metal-Óxido e semicondutor complementar (<i>Complementary Metal-Oxide-Semiconductor</i>)
DIBL	Abaixamento de barreira induzida pelo dreno (<i>Drain Induced Barrier Lowering</i>)
EOT	Espessura do óxido efetiva (<i>Effective Oxide Thickness</i>)
FD	Totalmente depletado (<i>Fully Depleted</i>)
GP	Plano de terra (<i>Ground Plane</i>)
Imec	Centro interuniversitário de microeletrônica (<i>Interuniversity Microelectronics Centre</i>)
MOS	Metal-óxido e semicondutor (<i>Metal-Oxide-Semiconductor</i>)
MOSFET	Transistores de metal-óxido e semicondutor de efeito de campo (<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>)
PD	Parcialmente depletado (<i>Partially Depleted</i>)
SCE	Efeitos de canal curto (<i>Short Effect Channel</i>)
Si	Silício
SiO ₂	Dióxido de Silício.
SOI	Silício sobre isolante (<i>Silicon-on-Insulator</i>)
UTBB	Corpo e óxido enterrados ultrafinos (<i>Ultra Thin Body and Buried Oxide</i>)
UTBOX	Óxido enterrado ultrafino (<i>Ultra Thin Buried Oxide</i>)
ZTC	Ponto Invariante com a Temperatura (<i>Zero Temperature Coefficient</i>)
LDD	Dreno levemente dopado (<i>Lightly Doped Drain</i>)
FinFET	Transistor 3D de efeito de campo (<i>Fin Field Effect Transistor</i>)
SOS	Silício sobre safira (<i>Silicon On Sapphire</i>)
VLSI	Integração em escala muito grande (<i>Very Large Scale Integration</i>)

Lista de símbolos

A_c	Parâmetro linear e utilizado na modelagem do efeito quântico.
B_c	Parâmetro experimental utilizado na modelagem do efeito quântico.
c	Fator de degradação da transcondutância.
C_b	Capacitância entre a camada de inversão e o eletrodo da segunda interface [F/cm^2].
C_{ox}	Capacitância do óxido de porta [F/cm^2].
C_{OXF}	Capacitância do óxido de porta por unidade de área [F/cm^2].
C_{BOX}	Capacitância do óxido enterrado por unidade de área [F/cm^2].
C_{depl}	Capacitância de depleção por unidade de área [F/cm^2].
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2].
E_c	Nível de energia superior da faixa de condução [eV].
E_F	Nível de energia de Fermi [eV].
E_{FM}	Nível de Fermi do metal [eV].
E_{FS}	Nível de Fermi do semicondutor.
E_g	Largura da faixa proibida [eV].
E_v	Nível de energia da faixa de valência [eV].
$E_{vácuo}$	Nível de energia da faixa de vácuo [eV].
g_m	Transcondutância [S].
$g_{mlinear}$	Transcondutância na região linear [μS].
g_{msat}	Transcondutância na região de saturação [μS].

$g_{m_{max}}$	Valor máximo da transcondutância [S]
I_{DS}	Corrente entre dreno e fonte [A].
I_{ZTC}	Corrente entre dreno e fonte no ponto invariante com a temperatura [A].
K	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K].
L	Comprimento do canal do transistor [μm].
n	Fator de corpo.
N_A	Concentração de impurezas aceitadoras [cm^{-3}].
N_{SUB}	Concentração de dopantes no substrato [cm^{-3}].
n_i	Concentração intrínseca de portadores [cm^{-3}].
q	Carga do elétron [$1,6 \times 10^{-19}$ C].
Q_{BOX}	Densidade de carga fixa no óxido enterrado do transistor SOI [C/cm^2]
$Q_{depl,SOI}$	Densidade de cargas de depleção no canal de um transistor SOI [C/cm^2].
Q_{inv}	Carga de inversão por unidade de área [C/cm^2].
Q_{inv1}	Densidade de carga de inversão na primeira interface do transistor SOI [C/cm^2].
Q_{ox}	Densidade de carga fixa no óxido de porta do transistor MOS [C/cm^2].
Q_{OXF}	Densidade de carga fixa no óxido de porta [C/cm^2].
Q_{BOX}	Densidade de carga fixa no óxido enterrado [C/cm^2].
Q_{Sub}	Densidade de carga fixa no substrato [C/cm^2].
Q_{S2}	Carga de inversão na interface camada de silício/óxido enterrado por unidade de área [C/cm^2].
T	Temperatura [K].
t_{BOX}	Espessura do óxido enterrado [nm].

t_{ox}	Espessura do óxido de porta [nm].
t_{oxF}	Espessura do óxido de porta do SOI UTBB [nm].
t_{si}	Espessura da camada de silício [nm].
V_D	Tensão aplicada ao dreno [V].
V_{DS}	Tensão aplicada entre dreno e fonte [V].
V_{FB}	Tensão de faixa plana [V].
V_G	Tensão aplicada na porta de um transistor MOS convencional [V].
V_{GF}	Tensão aplicada à porta (ou porta da frente) do transistor MOS SOI UTBB [V].
V_{GB}	Tensão aplicada ao substrato (ou porta de trás) do transistor MOS SOI UTBB [V].
$V_{GB,acc2}$	Tensão aplicada ao substrato do transistor SOI para a segunda interface acumulada [V].
V_{GS}	Tensão aplicada entre porta e fonte [V].
V_{GT}	Diferença entre a tensão de porta e a tensão de limiar [250 mV].
V_S	Tensão aplicada à fonte [V].
V_T	Tensão de limiar [V].
V_{Tsat}	Tensão de limiar na região de saturação [V].
V_{T1}	Tensão de limiar da primeira interface [V].
$V_{T1,acc2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface acumulada [V].
$V_{T1,depl2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface depletada [V].
$V_{T1,inv2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface invertida [V].
V_{T2}	Tensão de limiar da segunda interface [V].
V_{ZTC}	Tensão entre porta e fonte no ponto invariante com a temperatura.

W	Largura do canal do transistor [μm].
$X_{d\text{máx}}$	Espessura da camada de depleção máxima [nm].
X_{d1}	Espessura da camada de depleção da 1 ^o interface.
X_{d2}	Espessura da camada de depleção da 2 ^o interface.
X_c	Distância entre a condução no canal e a interface [nm].
Φ_F	Potencial de Fermi do semiconductor [V].
Φ_{MS}	Diferença da função trabalho entre metal e Silício [V].
Φ_{MS1}	Diferença da função trabalho entre metal de porta/camada de silício [V].
Φ_{MS2}	Diferença da função trabalho entre camada de silício/substrato [V].
Φ_{ox1}	Função trabalho do óxido de porta [V].
Φ_{ox2}	Função trabalho do óxido enterrado [V].
Φ_{SiF}	Função trabalho do silício do canal do transistor [V].
Φ_{SiF}	Função trabalho do silício do substrato [V].
Φ_S	Potencial da superfície na interface óxido de porta/camada de silício [V].
Φ_{S1}	Potencial da superfície na interface óxido de porta/camada de silício [V].
Φ_{S2}	Potencial da superfície na interface camada de silício/óxido enterrado [V].
Φ_{SUB}	Queda de potencial no substrato [V].
ϵ_{OX}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm].
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm].
a	Relação de capacitâncias C_b/C_{OXF} .
μ_n	Mobilidade dos elétrons [$\text{cm}^2/\text{V}\cdot\text{s}$].
θ	Constante de variação entre porta dupla e porta tripla

$$\frac{\Delta V_T}{\Delta T}$$

Varição da tensão de limiar com a variação da temperatura [V/°C].

Sumário

1. Introdução	18
1.1 Histórico e motivação	18
1.1.1 Evolução da nanoeletrônica (microeletrônica)	18
1.1.2 Breve histórico do Ponto Invariante com a Temperatura	20
1.2 Objetivo	21
1.3 Estrutura do trabalho	22
2. Conceitos gerais	23
2.1 Tecnologia SOI	23
2.2 Classificação dos Transistores SOI	24
2.2.1 SOI Parcialmente depletado	25
2.2.2 SOI Totalmente depletado	25
2.3 Parâmetros elétricos	26
2.3.1 Tensão de limiar	26
2.3.2 Transcondutância	29
2.3.3 Efeito de corpo (γ)	31
2.4 Transistores SOI de óxido enterrado e camada de silício ultrafinos-UTBB	33
2.4.1 Efeito da queda de potencial no substrato de SOI	34
2.4.2 Plano de terra- (<i>Ground Plane</i> - GP)	37
3. Ponto invariante com a temperatura (ZTC)	39
3.1 Conceitos	39
3.2 Modelo Camillo-Martino: Modelo de V_{ZTC} na região linear	40
3.3 Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na região de saturação	42
4. Materiais e métodos	45
4.1 Dispositivos estudados	45

4.2	Medidas experimentais.....	45
4.3	Extração da tensão de limiar V_T	48
4.3.1	Região linear.....	48
4.3.2	Região de saturação.....	49
4.4	Extração da transcondutância	50
4.4.1	Região linear.....	50
4.4.2	Região de saturação.....	51
4.5	Extração do valor da variação de V_T com a temperatura.....	52
4.6	Extração do fator de degradação da transcondutância c	53
5.	Resultados e análises	55
5.1	Obtenção do V_{ZTC} : experimental e modelo.....	55
5.1.1	Região linear.....	55
5.1.2	Região de saturação.....	60
5.2	Influência do plano de terra	64
5.3	Influência da espessura do silício (t_{Si})	68
5.4	Variação do V_{ZTC} entre 25 °C e 150 °C	72
5.5	Modelo da tensão de limiar com e sem GP	76
6.	Conclusões e sequência do trabalho	78
	Publicações.....	78
	Referências.....	79

1. Introdução

1.1 Histórico e motivação

1.1.1 Evolução da nanoeletrônica (microeletrônica)

Um marco importante da nanoeletrônica foi a criação do primeiro circuito integrado (CI) em 1959 por Jack Kilby, que inclusive ganhou o prêmio Nobel em física em 10 de dezembro de 2000. O CI ou microchip tem como finalidade agrupar transistores, diodos, capacitores e resistores em um único bloco de semicondutor para criar circuitos funcionais [1].

Na década de 70, os transistores de efeito de campo com a estrutura Metal Óxido Semicondutor (*Metal Oxide Semiconductor Field Effect Transistor*- MOSFET) tiveram grande avanço graças ao melhoramento das salas limpas e da evolução nos processos de fabricação [2]. A tecnologia CMOS (*complementary metal-oxide semiconductor*), que utiliza transistores nMOS e pMOS, foi implantada em microprocessadores pela primeira vez em 1974 pela empresa RCA [3].

O desenvolvimento da nanoeletrônica foi evoluindo cada vez mais num ritmo acelerado. Em 1965, um pesquisador, da empresa Fairchild, propôs em um artigo publicado na *Electronics* [4], que o número de transistores num circuito integrado (CI) iria dobrar em aproximadamente um ano e continuaria nesse ritmo por uma década. Dez anos depois ele corrigiu a previsão para um período de 18 a 24 meses. O nome desse pesquisador, que foi inclusive um dos fundadores da empresa N M *Eletronics* (Futura Intel), é Gordon Early Moore. Essa previsão ficou conhecida como Lei de Moore.

Para se aumentar a escala de integração era preciso diminuir cada vez mais o tamanho dos transistores. Em consequência a essa redução surgiram os efeitos parasitários, tais como os efeitos de canal curto (*Short Channel Effects-SCE*), o efeito tiristor parasitário, DIBL (*Drain Induced Barrier Lowering*), dentre outros. Para eliminar ou minimizar estes efeitos, estruturas com LDD (*Lightly Doped Drain*), Halo,

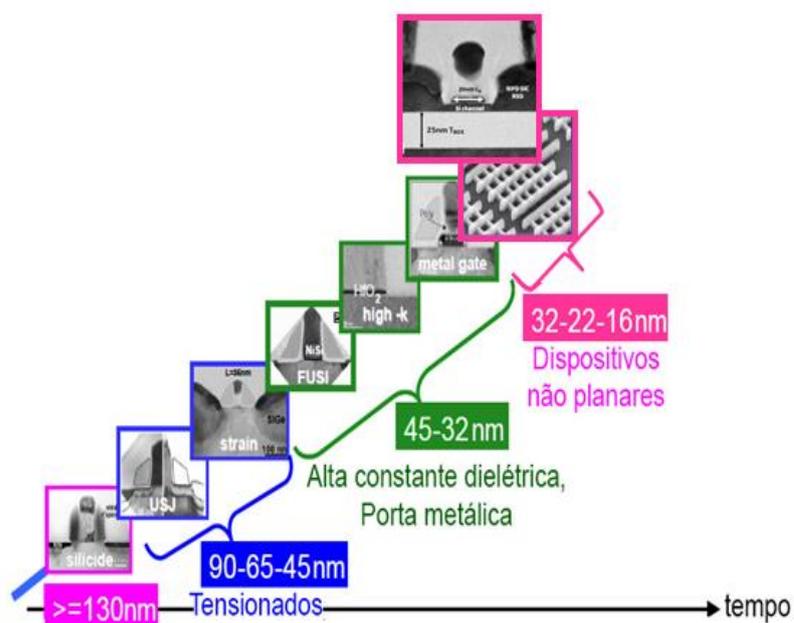
silicetos foram introduzidas nos transistores para permitir a continuidade do escalamento.

Mesmo com todos esses problemas, a redução dos transistores se manteve por cerca de 50 anos, porém os dispositivos MOS convencionais não seriam mais capazes de continuar a evolução proposta por Moore. Então, novas estruturas começaram a ser desenvolvidas para continuar a evolução, uma delas foi o silício sobre isolante ou mais conhecido como SOI (*Silicon On Insulator*) [5] [6] [7] [8].

A tecnologia planar SOI, utiliza óxido de silício como isolante e é a sucessora da tecnologia SOS (*Silicon On Sapphire*), possuindo mais vantagens como facilidade de processamento e baixo custo de fabricação da lâmina, comparando com sua antecessora.

E com os dispositivos SOI MOSFET totalmente depletados (*Full Depleted SOI MOSFET*), são capazes de eliminar efeitos de canal curto e melhorar características elétricas, quando comparado à tecnologia MOS convencional, como, por exemplo, supressão do efeito tiristor parasitário, menor inclinação de sublimiar, maior mobilidade de portadores, maior integração para circuitos VLSI, menores capacitâncias parasitárias, entre outras.

Figura 1- Evolução estrutural tecnológica ao longo do tempo.



Fonte: adaptado de Claeys, C. (2009).

Na Figura 1, é possível observar o avanço dos transistor MOS ao longo do tempo, mostrando novas tecnologias, como o uso de novos materiais no isolante de porta com alto valor da constante dielétrica (*high k*), a utilização de metais como eletrodo de porta, tais como o nitreto de titânio que tem sua função trabalho localizado na metade da banda proibida do silício (*mid-gap materials*) e também o silício tensionado (*strain*) com objetivo de aumentar a mobilidade dos portadores.

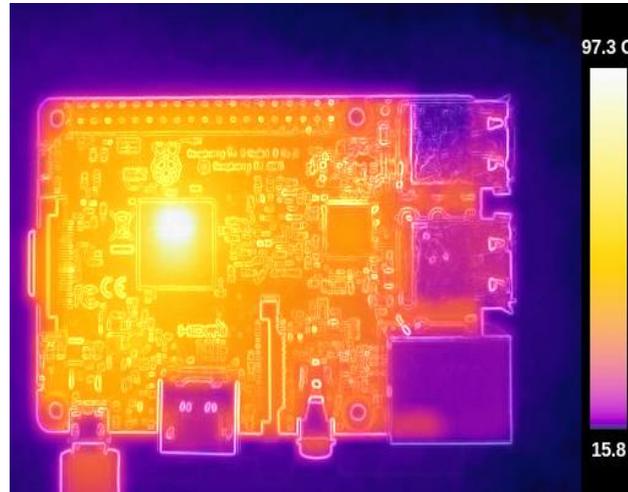
Para o nó tecnológico menores que 22 nm destacam-se tanto os transistores planares SOI MOSFET com canal de silício e óxido enterrado ultrafinos, denominados SOI UTBB (*Ultra Thin Body and Buried oxide*), assim como os dispositivos em estruturas tridimensionais (FinFET ou 3D).

1.1.2 Breve histórico do Ponto Invariante com a Temperatura

O ponto invariante com a temperatura (ZTC) começou a ser estudado nos dispositivos MOS convencional, no começo da década de 90 [9]. Porém, a sua aplicação em projetos de circuito integrado não era viável para os circuitos fabricados naquela época, devido ao fato que a tensão de ZTC ser próxima ao valor da tensão de limiar (em média 1 V) enquanto a tensão de alimentação era maior que 3,3 V.

Entretanto, com o avanço da nanoeletrônica, a tensão de alimentação dos dispositivos diminuiu e aumentou a aplicação dos dispositivos em ambientes com grandes variações de temperatura. Isso torna viável a aplicação do ZTC em projetos de circuitos integrados que estejam sujeitos em ambiente com grandes variações na temperatura, como por exemplo, circuitos da área militar, espacial, automobilístico, petrolífera e etc. Além do ambiente, os próprios circuitos podem sofrer variação de temperatura, devido ao efeito joule e o conglomerado de componentes que dificulta a dissipação de calor, como é mostrado na Figura 2.

Figura 2- Infravermelho de uma placa raspberry funcionando normalmente.



Fonte: <http://rebrn.com/re/planning-to-put-your-pi-in-a-case-make-sure-youve-got-a- heatsink-2535381>.

Na Figura 2, os componentes eletrônicos têm gradientes de temperatura que podem variar de 15°C a 97°C, operando normalmente (sem influência do ambiente). Na tecnologia MOS convencional, um circuito pode operar em até a temperatura de 180°C, devido à fuga de corrente [10]. Devido a essa variação de temperatura de operação dos circuitos, o ponto de ZTC pode ser uma ótima solução. E se conseguir aliar o ponto ZTC com dispositivos mais recentes, como SOI, que opera até temperaturas superiores a 300°C, será possível conseguir dispositivos mais confiáveis em alta temperatura.

1.2 Objetivo

O principal objetivo deste trabalho é estudar o ponto invariante com a temperatura (ZTC) em dispositivos SOI UTBB nMOSFETs nas regiões linear e de saturação, com relação a espessura de filme de silício (t_{si}) e da presença de plano de terra (*Ground Plane*-GP). As análises serão realizadas através dos resultados obtidos experimentalmente e com o modelo analítico.

Serão realizadas medidas e extrações de parâmetros elétricos com relação à tensão de limiar (V_T) e da transcondutância (g_m), para dispositivos nMOS com (concentração de 10^{18} cm^{-3}) e sem (concentração de 10^{15} cm^{-3}) GP, para duas espessuras de filme de silício diferentes (6 nm e 14 nm).

1.3 Estrutura do trabalho

O trabalho foi construído em seis capítulos, cujas descrições serão apresentadas a seguir:

Capítulo 1 – Introdução: Apresenta a introdução, um breve histórico da nanoeletrônica e uma breve explicação do ZTC.

Capítulo 2 – Conceitos gerais: Descreve os conceitos teóricos fundamentais relacionados ao assunto.

Capítulo 3 – Ponto invariante com a temperatura (ZTC): Detalha o modelo analítico do ponto invariante com a temperatura (ZTC).

Capítulo 4 – Materiais e métodos: Descreve os equipamentos, instrumentos e materiais utilizados durante a execução do trabalho.

Capítulo 5 – Resultados experimentais: Mostra os resultados adquiridos a partir da análise dos dados obtidos tanto experimentalmente quanto pelos modelos analíticos.

Capítulo 6 – Conclusões e sequência do trabalho: Finaliza com as principais conclusões e discussões observadas dos resultados experimentais e mostra as tendências a respeito do ponto invariante com a temperatura (ZTC).

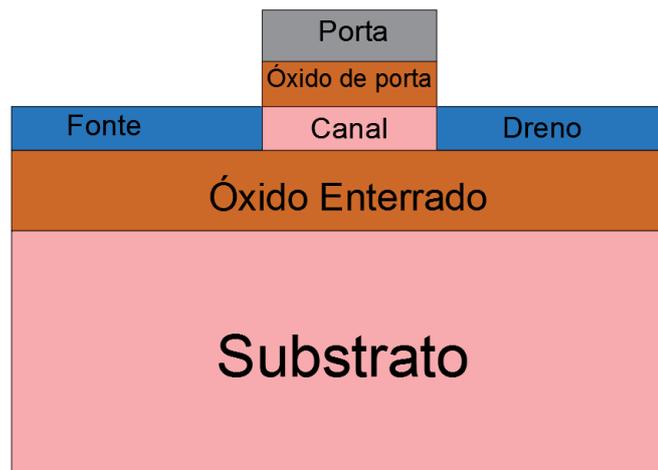
2. Conceitos gerais

Neste capítulo são apresentados os principais parâmetros e características da tecnologia estudada, assim como seus conceitos e aplicações.

2.1 Tecnologia SOI

O termo SOI (*Silicon On Insulator*) significa silício sobre isolante, então, basicamente coloca-se uma camada de isolante, geralmente de óxido de silício SiO_2 , enterrada debaixo da região ativa do dispositivo, essa estrutura pode ser observada na Figura 3.

Figura 3- Estrutura de um dispositivo SOI.



Fonte: Autor.

A tecnologia SOI possui algumas vantagens em relação à tecnologia MOS convencional, como por exemplo, menos etapas de processo do que a tecnologia CMOS convencional, para a sua fabricação. E ao montar o dispositivo em cima da camada de óxido enterrado, é possível obter algumas vantagens como a reduzir as capacitâncias parasitárias, melhor controle sobre o efeito de canal curto, maior resistência à radiação, eliminação do efeito tiristor parasitário (*latch up*) e também eliminar e reduzir outros efeitos parasitários [10].

2.2 Classificação dos Transistores SOI

Na tecnologia SOI, é possível classificar o modo de operação do transistor de acordo com a sua espessura do filme de silício (t_{Si}) e a profundidade máxima de depleção ($x_{dmáx}$). Dependendo da espessura do t_{Si} e de $x_{dmáx}$, pode-se obter diferentes modos de operação dos transistores SOI, tais como, SOI totalmente depletados (FD SOI MOSFET-*Full Depleted* SOI MOSFET) e SOI parcialmente depletados (PD SOI MOSFET-*Partially Depleted* SOI MOSFET). A equação que caracteriza a região de depleção máxima é apresentada na equação (2.1) [11]:

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_A}} \quad (2.1)$$

Onde: ϵ_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi, q é a carga elementar do elétron e N_A é a concentração de dopantes do tipo aceitador na região do canal.

É importante notar na equação (2.1), que o potencial de Fermi é o único parâmetro que varia com a temperatura, podendo ser visto na equação (2.2):

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

Onde: k é a constante de Boltzmann, T é a temperatura em Kelvin, q é a carga do elétron, n_i é a concentração intrínseca de portadores (equação. 2.3).

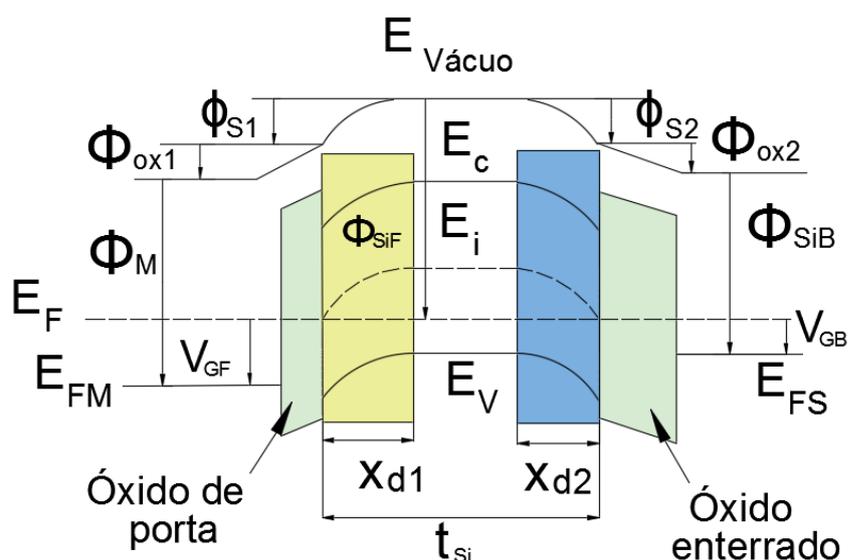
$$n_i = 3,9 \times 10^{16} T^{3/2} e^{-\left(\frac{E_g}{2kT}\right)} \quad (2.3)$$

Na equação (2.3), é possível notar que n_i aumenta com a temperatura e inversamente proporcional a ϕ_F , este diminui com o aumento da temperatura.

2.2.1 SOI Parcialmente depletado

Os dispositivos SOI parcialmente depletados são aqueles cuja espessura do filme de silício (t_{Si}) é grande o suficiente ($t_{Si} > 2 \cdot x_{d\max}$) para que a soma das camadas máxima de depleção x_{d1} e x_{d2} , proveniente da primeira e segunda interface, respectivamente, não se toquem entre si (Figura 4). Nessa condição, existe uma região neutra no corpo de silício que se for deixado flutuante pode causar efeitos indesejáveis, como o efeito de elevação abrupta da corrente (efeito *kink*) e o efeito transistor bipolar parasitário [12].

Figura 4- Diagrama de faixas de energia de um dispositivo transistor SOI parcialmente depletado.

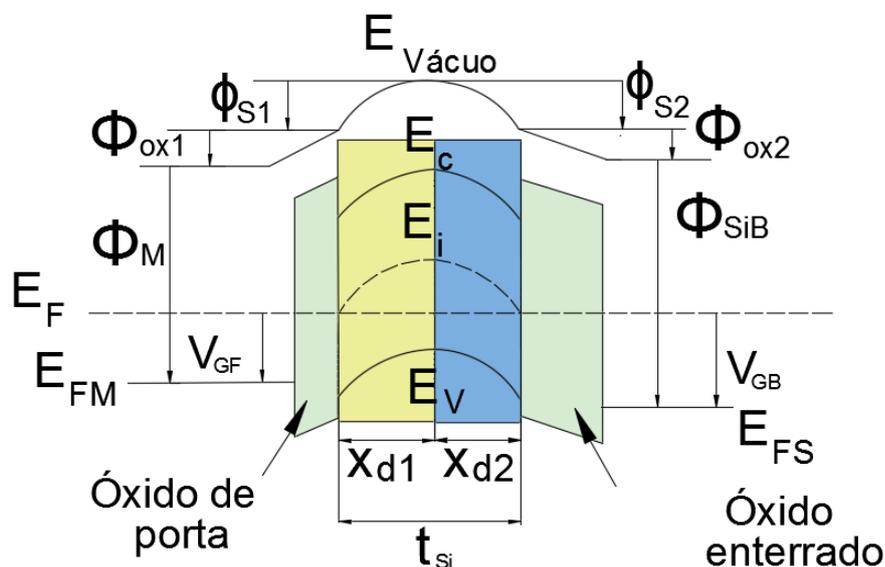


Fonte: adaptado [10].

2.2.2 SOI Totalmente depletado

Esses dispositivos possuem a camada de silício menor do que a região de depleção máxima ($t_{Si} < x_{d\max}$), isso implica que para que aconteça depleção total do canal quando a primeira interface estiver invertida. Então, a polarização da segunda interface neste caso não vai interferir na condução do canal. Mas se for suficientemente elevada pode influenciar na condução da segunda interface, podendo entrar em acumulação, depleção ou inversão [12][13][14][15][16]. A Figura 5 mostra o diagrama de faixas de energia desse dispositivo.

Figura 5- Diagrama de faixas de energia de um dispositivo SOI totalmente depletado.



Fonte: adaptado [10].

Dependendo da condição de polarização da primeira e segunda interface (inversão, acumulação, depleção), é possível obter nove modos distintos de operações do transistor. Dentre esses nove modos de operação, o melhor é quando se tem as duas interfaces totalmente depletadas, porque nesta condição, os dispositivos apresentam melhores características em relação ao campo elétrico, transcondutância, redução dos efeitos de canal curto, inclinação de sublimiar e eliminação do efeito de elevação abrupta de corrente (*kink*) [17] [18].

2.3 Parâmetros elétricos

2.3.1 Tensão de limiar

A tensão de limiar (V_T) é a tensão a qual se aplica na porta para que se forme uma camada de inversão ao longo da interface entre o óxido de porta e silício. Assim, é formado um canal entre fonte e dreno por onde a corrente elétrica (de elétrons ou lacunas) irá passar. Na tecnologia MOS convencional, esta condição ocorre quando o potencial de superfície (ϕ_S) fica próximo do dobro do valor do potencial de Fermi ($\phi_S = 2\phi_F$), como pode ser visto na equação (2.4) (considerando um transistor nMOSFET) [19].

$$V_T = V_{FB} + 2 \cdot \phi_F - \frac{Q_{depl,MOS}}{C_{OX}} \quad (2.4)$$

Onde: V_{FB} é a tensão de faixa plana mostrada na equação (2.5), ϕ_F é o potencial de Fermi mostrado na equação (2.2), $Q_{depl,MOS}$ é a densidade de carga de depleção no canal mostrada na equação (2.6) e C_{ox} é a capacitância do óxido de porta por unidade de área mostrada na equação (2.7).

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (2.5)$$

$$Q_{depl,MOS} = -q \cdot N_A \cdot x_{dmax} \quad (2.6)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (2.7)$$

Onde: Φ_{MS} é a diferença da função trabalho entre o metal de porta e o semiconductor, Q_{ox} é a densidade efetiva de cargas fixas no óxido, ϵ_{ox} é a permissividade elétrica do óxido e t_{ox} é a espessura do óxido de porta.

Para transistores PD SOI, as equações (2.4), (2.5), (2.6) e (2.7) são válidas para se calcular V_T , pois não existe a interação entre as camadas de depleção da primeira e da segunda interface. Mas, para os transistores FD SOI, existe a interação entre as camadas. Então, é necessário considerar a polarização da segunda interface, como mostrado nas equações (2.8) e (2.9), que seguem o modelo [20].

$$V_{GF} = \Phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + \left(1 + \frac{C_{Si}}{C_{OXF}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{OXF}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{inv1}}{C_{OXF}} \quad (2.8)$$

$$V_{GB} = \Phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + \left(1 + \frac{C_{Si}}{C_{BOX}}\right) \cdot \phi_{S2} - \frac{C_{Si}}{C_{BOX}} \cdot \phi_{S1} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{S2}}{C_{BOX}} \quad (2.9)$$

Onde: Φ_{MS1} e Φ_{MS2} são as diferenças das funções trabalhos entre metal de porta e o canal e entre o substrato e o canal, respectivamente; C_{BOX} é a capacitância por unidade de área do óxido enterrado; C_{OXF} é a capacitância por unidade de área do óxido de porta do transistor SOI; C_{Si} é a capacitância do filme de silício por unidade de área; Q_{inv1} é a carga de inversão por unidade de área na primeira interface; Q_{S2} a densidade de carga por unidade de área na segunda interface e $Q_{depl,SOI}$ é a densidade de cargas no canal, como temos que a região de depleção máximo cobre todo o corpo de silício, então, podemos reescrever a equação (2.6), substituindo, $x_{dmáx}$ por t_{Si} , como é mostrado na equação (2.10).

$$Q_{depl,SOI} = -q \cdot N_A \cdot t_{Si} \quad (2.10)$$

Com as equações (2.8) e (2.9), é possível calcular a tensão de limiar da primeira interface (V_{T1}) em diversas condições da segunda interface (acumulação, depleção, inversão), como é mostrado a seguir:

a) Com a segunda interface em acumulação

Nesse modo que o potencial de superfície da primeira interface é igual ao dobro do valor do potencial de Fermi ($\phi_{S1} = 2\phi_F$), o potencial de superfície da segunda interface é igual a zero ($\phi_{S2} = 0$) e que a carga de inversão por unidade de área na primeira interface é igual a zero ($Q_{inv1} = 0$), logo, substituindo estes valores na equação (2.8), se obtém:

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + \left(1 + \frac{C_{Si}}{C_{OXF}}\right) \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OXF}} \quad (2.11)$$

b) Com a segunda interface em inversão

Utilizando a mesma análise para a segunda interface em inversão, sabendo que os potenciais de superfície da primeira e segunda interface são iguais ao dobro do valor do potencial de Fermi ($\phi_{S1}=2\phi_F$, $\phi_{S2}=2\phi_F$) e considerando $Q_{inv1}=0$, ao substituir esses valores na equação 2.8, se obtém:

$$V_{T1,inv2} = \Phi_{MS1} - \frac{Q_{OXF}}{C_{OXF}} + 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OXF}} \quad (2.12)$$

c) Com a segunda interface em depleção

Utilizando o mesmo método feito anteriormente, sabe-se que, quando a segunda interface se encontra em depleção que $\phi_{S1}=2\phi_F$, $0<\phi_{S2}<2\phi_F$ e $Q_{inv1}=0$, substituindo estes valores na equação 2.8, se obtêm:

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si} \cdot C_{BOX}}{C_{OXF} \cdot (C_{Si} + C_{BOX})} \cdot (V_{GB} - V_{GB,acc2}) \quad (2.13)$$

Onde:

$$V_{GB,acc2} = \Phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} - \frac{C_{Si}}{C_{BOX}} \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{BOX}} \quad (2.14)$$

2.3.2 Transcondutância

A transcondutância (gm) é o parâmetro que mede a eficiência do controle da tensão aplicada na porta sobre a corrente entre dreno (I_{DS}) e pode ser definida pela equação (2.15).

$$gm = \frac{dI_{DS}}{dV_{GS}} \quad (2.15)$$

O modelo de Lim & Fossum [18] descreve as equações da corrente I_{DS} , tanto para região linear como para a saturação, e por meio delas é viável ter as expressões de gm tanto na região linear, equação (2.16), como para a região de saturação, equação (2.17).

$$gm_{linear} = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot V_{DS} \quad (2.16)$$

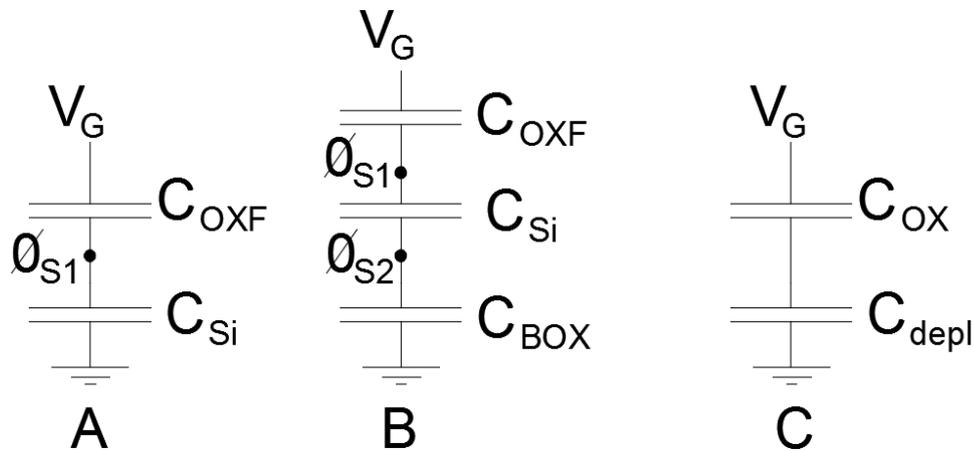
$$g_{m_{sat}} = \frac{\mu_N \cdot C_{OX}}{n} \cdot \frac{W}{L} (V_{GS} - V_T) \quad (2.17)$$

Onde: μ_N é a mobilidade dos portadores, L é o comprimento do canal, W é a largura do canal e n é o fator de corpo que pode ser escrito como:

$$n = (1 + \alpha) \quad (2.18)$$

Onde: α representa a relação das capacitâncias C_b/C_{OX} , sendo C_b a capacitância entre a camada de inversão e o eletrodo da segunda interface, como é mostrado na Figura 6.

Figura 6- Ilustração da associação de capacitâncias nos transistores SOI. A) Transistor MOSFET SOI FD com a segunda interface em acumulação; B) Transistor MOSFET SOI FD com a segunda interface em depleção; C) Transistor MOSFET convencional e SOI PD.



Fonte: adaptado [10].

Dependendo do modo de operação da segunda interface, é possível obter diferentes valores de n , como é mostrado nas equações (2.19) e (2.20) [7]:

$$n_{Acc} = 1 + \frac{C_{Si}}{C_{OXF}} \quad (2.19)$$

$$n_{Depl} = 1 + \frac{C_{Si} \cdot C_{BOX}}{C_{OXF} \cdot (C_{Si} + C_{BOX})} \quad (2.20)$$

Para os dispositivos MOS convencionais, assim como para os dispositivos SOI PD, o valor n é dado por:

$$n_{MOS} = 1 + \frac{C_{Depl}}{C_{OX}} \quad (2.21)$$

Onde: C_{Depl} é a capacitância da camada de depleção.

Analisando os valores de n pode-se chegar à seguinte relação:

$$n_{Depl} < n_{MOS} < n_{Acc}$$

Isso quer dizer que, a maior transcondutância na situação é obtida nos transistores SOI FD, com a segunda interface em depleção, se comparado aos transistores MOS convencionais.

2.3.3 Efeito de corpo (γ)

O efeito de corpo ou efeito de substrato é um parâmetro que indica o quanto a tensão aplicada no substrato influencia na tensão de limiar [22]. Nos dispositivos SOI parcialmente depletados, com contato de corpo, o efeito de corpo vai ser igual ao MOS convencional, mas se não existir o contato de corpo, a influência de V_{GB} em V_{TF} é zero, porque o óxido enterrado isola o substrato do canal do transistor.

Nos dispositivos SOI totalmente depletados, o efeito de corpo vai depender da variação de V_{T1} com V_{GB} , isso pode ser obtido derivando as equações (2.11), (2.12), (2.13) em função de V_{GB} , resultando nas equações (2.22), (2.23), (2.24), respectivamente.

$$\frac{dV_{T1,acc2}}{dV_{GB}} = 0 \quad (2.22)$$

$$\frac{dV_{T1,inv2}}{dV_{GB}} = 0 \quad (2.23)$$

$$\frac{dV_{T1,depl2}}{dV_{GB}} = - \frac{C_{Si}C_{BOX}}{C_{OXF}(C_{Si}+C_{BOX})} \quad (2.24)$$

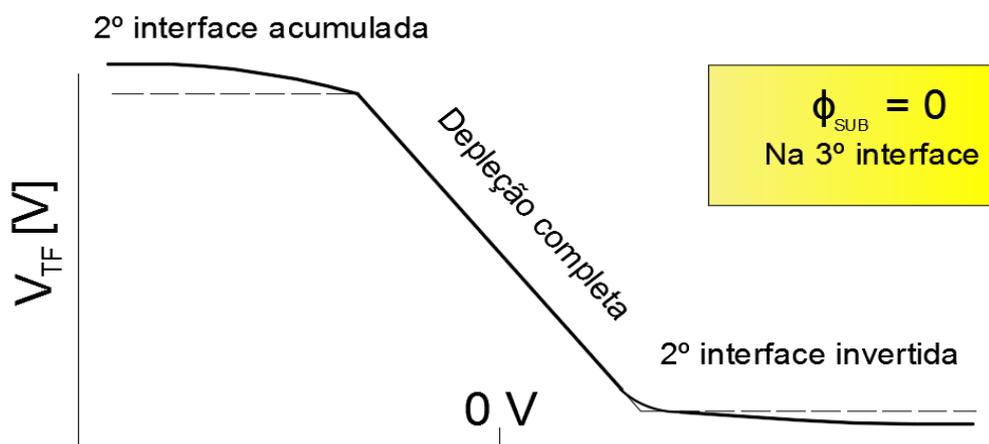
Para uma dada polarização negativa aplicada no substrato, a segunda interface entra em acumulação e o valor ϕ_{S2} é igual à zero, ou seja, a segunda interface não influencia substancialmente no valor da tensão de limiar da primeira interface, como pode ser visto na equação (2.22).

Quando a segunda interface estiver invertida, devido a uma polarização positiva no substrato, pode-se considerar $\phi_{S2} = 2\phi_F$ constante, mesmo aumentando a tensão de polarização no substrato e, portanto, não influenciando em V_{T1} , vide equação (2.23).

Quando a segunda interface estiver depletada, a tensão de limiar da primeira interface diminui conforme a tensão aplicada no substrato aumenta. Conforme a equação (2.24).

A equação (2.24), só tem validade se a camada de silício estiver totalmente depletada. Conseqüentemente, quando o transistor está nessa faixa de operação, a tensão de limiar vai diminuindo à medida que a tensão no substrato aumenta. Esses efeitos podem ser vistos na Figura 7.

Figura 7- Curva da variação da tensão de limiar da primeira interface com a polarização do substrato, para potencial de substrato igual a zero.



Fonte: adaptado de [22].

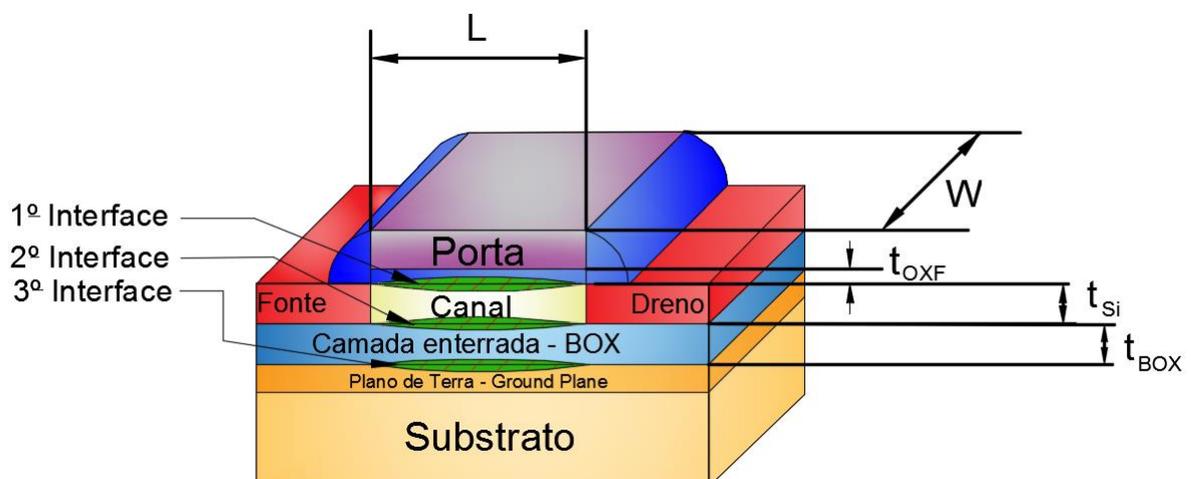
2.4 Transistores SOI de óxido enterrado e camada de silício ultrafinos-UTBB

A tecnologia planar dos transistores SOI totalmente depletados podem ter suas características melhoradas ao se reduzir as espessuras do corpo de silício (t_{Si}) e do óxido enterrado (t_{BOX}), esses dispositivos são denominados SOI UTBB (*Silicon On Insulator Ultra Thin Body and Buried Oxide*).

Por definição, os transistores SOI UTBB são aqueles cujo valor do t_{Si} é menor ou igual a 20 nm, enquanto o t_{BOX} pode ter um valor máximo de 20 nm de espessura. Com isso, é possível melhorar o acoplamento eletrostático na região do canal, já que o óxido enterrado passa a ser uma segunda porta que pode ser controlado por meio de uma polarização entre porta e substrato (V_{GB}). Além de ampliar o acoplamento eletrostático, é possível controlar a tensão de limiar (V_T), tanto pela polarização entre porta e fonte (V_{GS}) como por V_{GB} , dando mais controle e possibilidades para projetistas de circuitos integrados.

Outras vantagens em relação ao SOI convencional incluem o melhor controle na indução do efeito de corpo flutuante, diminuição do efeito de canal curto e diminuição do efeito de auto aquecimento, dentre outras [21][23][24][25].

Figura 8- Estrutura de um transistor SOI com óxido enterrado e camada de silício ultrafino, onde L é o comprimento do canal, W é a largura do canal, t_{OXF} é a espessura do óxido de porta.



Fonte: Autor.

Na Figura 8, é possível contemplar a presença de três interfaces na estrutura SOI UTBB, que servem para explicar o funcionamento e diversos efeitos nessa tecnologia. A primeira interface está entre o óxido de porta e o canal, a segunda interface está entre o canal e o óxido enterrado e a terceira interface está entre o óxido enterrado e o substrato.

2.4.1 Efeito da queda de potencial no substrato de SOI

O modelo de proposto por Lim & Fossum [21] leva em consideração a interação entre a primeira e segunda interface, como pode ser visto nas equações (2.25) e (2.26):

$$V_{GF} = V_{FB1} + \frac{qNa t_{Si}}{2C_{OXF}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{OXF}} + 1 \right) \phi_{S1} - \frac{\epsilon_{Si}}{t_{Si}C_{OXF}} \phi_{S2} - \frac{Q_{inv1}}{C_{OXF}} \quad (2.25)$$

$$V_{GB} = V_{FB2} + \frac{qNa t_{Si}}{2C_{BOX}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{BOX}} + 1 \right) \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si}C_{BOX}} \phi_{S1} - \frac{Q_{S2}}{C_{BOX}} \quad (2.26)$$

Nesse modelo, a queda de potencial no substrato (ϕ_{SUB}) não foi levada em consideração, em razão de que na tecnologia da época a espessura (t_{BOX}) era tão grande que a terceira interface pouco influenciava nos potenciais da primeira e segunda interfaces.

Mas, posteriormente, com o avanço da tecnologia SOI, foi observado que com a diminuição da espessura do óxido enterrado, a terceira interface começa a influenciar significativamente na primeira e segunda interface, então, em 1990, Martino et al. [26] modelou a queda de potencial na terceira interface, por meio da equação (2.27):

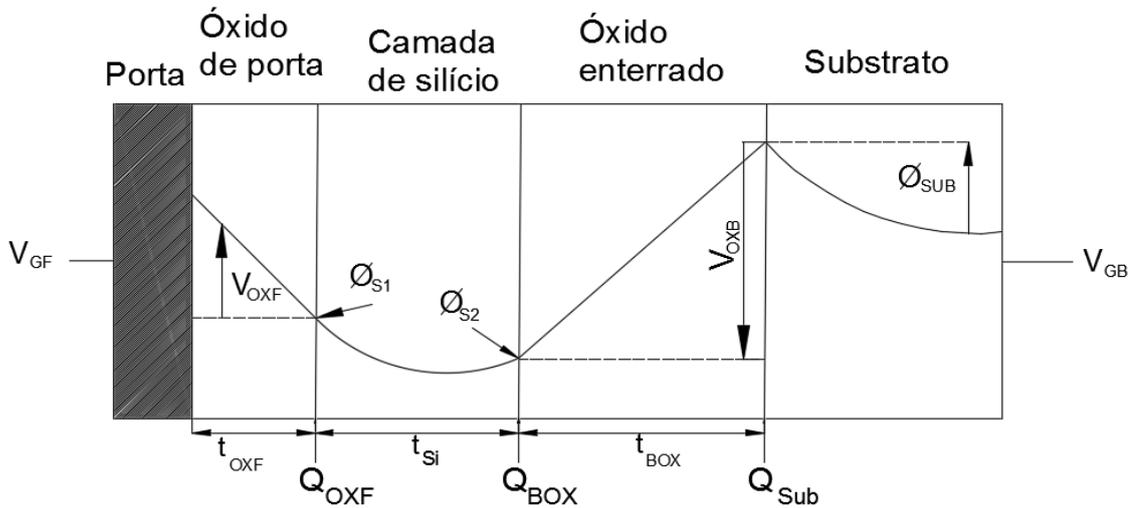
$$\phi_{SUB} = \left[\frac{-\sqrt{2qNa_{SUB}\epsilon_{Si}}}{2C_{BOX}} + \sqrt{\left(\frac{2qNa_{SUB}\epsilon_{Si}}{4C_{BOX}^2} - V_{FB3} \right) + (\phi_{S2} - V_{GB})} \right]^2 \quad (2.27)$$

Onde: V_{FB3} é a tensão de faixa plana da terceira interface.

$$V_{FB3} = \Phi_{MS3} - \frac{Q_{Sub}}{C_{BOX}} = \frac{kT}{q} \ln \left(\frac{Na}{Na_{SUB}} \right) - \frac{Q_{Sub}}{C_{BOX}} \quad (2.28)$$

Na Figura 9, é possível observar as quedas de potenciais ϕ_{S1} , ϕ_{S2} , ϕ_{SUB} na estrutura de um dispositivo SOI.

Figura 9- Potenciais na estrutura SOI.



Fonte: adaptado [26].

Desprezando o termo Q_{S2} (pois a segunda interface está em depleção) e incluindo o potencial na terceira interface, reescrevendo a equação (2.26), como mostrada na equação (2.29):

$$V_{GB} = \Phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + \frac{qNa t_{Si}}{2C_{BOX}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{BOX}} + 1 \right) \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si}C_{BOX}} \phi_{S1} - \phi_{SUB} \quad (2.29)$$

O valor de ϕ_{SUB} pode ser modelado por meio da polarização aplicada no substrato V_{GB} , como é mostrado nas equações (2.30) e (2.31).

$$\phi_{SUB} = 0 \rightarrow V_{GB} \geq V_{GBmax} = \phi_{S2} - V_{FB3} \quad (2.30)$$

$$\phi_{SUB} = 2\phi_{FB} \rightarrow V_{GB} \leq V_{GBmin} = \phi_{S2} - V_{T3} \quad (2.31)$$

E a tensão de limiar da terceira interface fica igual à equação (2.32):

$$V_{T3} = V_{FB3} + 2\phi_{FB} + \frac{\sqrt{2qNa_{SUB}\epsilon_{Si}2\phi_{FB}}}{C_{BOX}} \quad (2.32)$$

O modelo da queda de potencial no substrato de silício mostrou ter uma boa precisão para dispositivos com espessura de camada de silício e óxido enterrado

ultrafino (SOI UTBB), mas para melhorar o modelo foi introduzido o efeito do confinamento quântico.

Esse efeito foi adicionado porque devido à espessura pequena da camada de silício dos transistores SOI UTBB, a condução de corrente através do canal não é mais feita pelas interfaces. O confinamento quântico gera uma condução de corrente do canal a uma distância x_c da interface [10][27][28], que pode ser calculado pela equação (2.33), onde A_c e B_c são parâmetros modelados.

$$\frac{x_c}{t_{Si}} = A_c \exp\left(\frac{V_{GB}}{B_c}\right) \quad (2.33)$$

Onde: A_c é o parâmetro linear e utilizado na modelagem do efeito quântico e B_c é o parâmetro experimental utilizado na modelagem do efeito quântico.

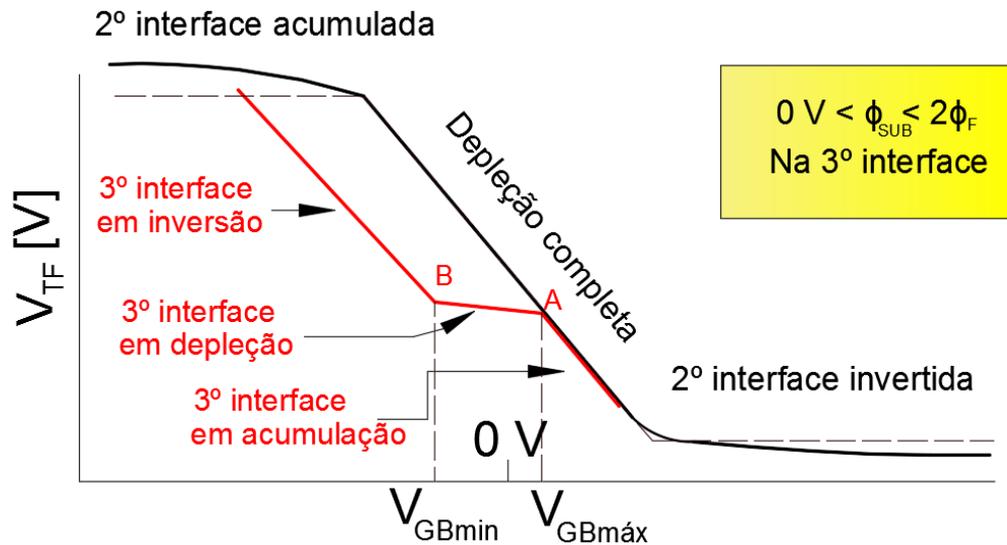
Para introduzir esse efeito no modelo analítico, os valores de t_{oxf} e t_{Si} devem ser transformados por valores efetivos, visto que a condução da corrente não ocorre pela interface. As equações (2.34) e (2.35), servem para calcular os valores efetivos de t_{oxf} e t_{Si} .

$$t_{oxf,eff} = t_{oxf} + \frac{\epsilon_{ox}}{\epsilon_{Si}} x_c \quad (2.34)$$

$$t_{Si,eff} = t_{Si} - \frac{\epsilon_{ox}}{\epsilon_{Si}} x_c \quad (2.35)$$

A Figura 10, é possível observar a influência da terceira interface na curva tensão de limiar da primeira interface (V_{TF}) X polarização do substrato (V_{GB}).

Figura 10-Curva de tensão de limiar da primeira interface, levando em consideração a variação da queda de potencial no substrato. Ponto A, tensão de substrato máxima ($V_{GBm\acute{a}x}$), e ponto B, tensão de substrato mínima ($V_{GBm\grave{a}n}$).



Fonte: adaptado [29].

Onde a curva em pontilhada, seria a teórica, a linha contínua de cor preta seria a curva sem efeito do substrato e a curva vermelha contínua quando se leva em consideração a queda de potencial no substrato.

2.4.2 Plano de terra- (*Ground Plane - GP*)

Com a diminuição da espessura do óxido enterrado, foi possível minimizar efeitos, como auto aquecimento na região do canal do transistor SOI, mas por outro lado, a terceira interface começou a ter mais influência no funcionamento do dispositivo, como foi descrito na seção 2.3.3, assim, quando se tem a terceira interface em depleção, tem um aumento na espessura efetiva do óxido enterrado, dentre outros efeitos não desejados.

Para se conseguir diminuir ou suprimir esse efeito, é necessário criar uma região de alta dopagem, logo abaixo do óxido enterrado, por meio de uma implantação iônica com dopantes n ou p, como é mostrado na Figura 11.

Figura 11- Implantação iônica para a formação do plano de terra (*Ground Plane*) em uma estrutura SOI UTBB.



Fonte: Autor.

O nome usado na literatura para essa região formada é plano de terra ou GP (*Ground Plane*). Essa região possui alta dopagem (aproximadamente 10^{18} cm^{-3}) e serve para eliminar a depleção na terceira interface, como foi mencionado anteriormente. Mas, além disso, é possível conseguir dispositivos com V_T dinâmico ou multi V_T , porque agora é viável ajustar a tensão de limiar por meio da polarização do substrato. Com isso, a dopagem para o ajuste de V_T não é mais necessária, dessa forma, ajuda a evitar as flutuações de dopantes ou RDF (*Random Dopant Fluctuations*) ao longo da fina camada de silício [30].

3. Ponto invariante com a temperatura (ZTC)

O Ponto Invariante com a Temperatura (ZTC) já foi estudado anteriormente por Shoucair [31] e Prijic et al.[32], em um dispositivo CMOS convencional e foi determinado um ponto de ZTC tanto na região linear como na saturação para uma variação de temperatura de 25°C a 200°C. Posteriormente, Groeseneken et al.[33], Jeon e Burk [34], mostraram experimentalmente a existência do ZTC em dispositivos SOI MOSFETs. Nesse trabalho será mostrada a existência do ZTC em dispositivos UTBB SOI nMOSFETs, por meio de resultados experimentais e o modelo analítico apresentado nesse capítulo.

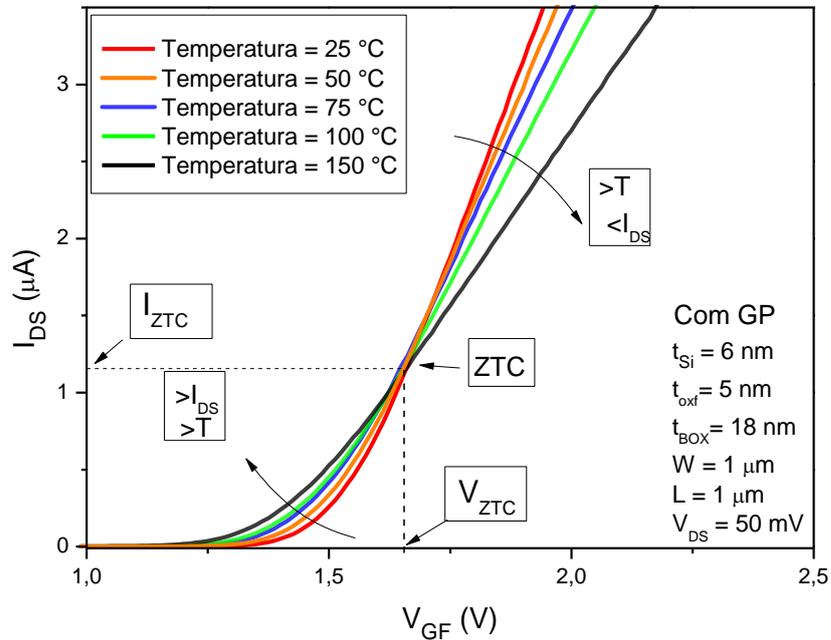
3.1 Conceitos

Por definição o ponto de ZTC na corrente de dreno é a polarização da porta que garante a corrente de dreno fique constante mesmo com a variação da temperatura [35], ou seja:

$$\frac{dI_{DS}}{dT} = 0 \quad (3.1)$$

Outra forma de entender o ZTC é em determinado ponto de polarização ($V_{GS} = V_{ZTC}$), onde existe o equilíbrio entre dois efeitos causados pelo aumento da temperatura que são a degradação da mobilidade (que diminui I_{DS}) e a diminuição do V_T (que aumenta I_{DS}). A corrente I_{DS} é diretamente proporcional à mobilidade e inversamente proporcional com V_T . Assim, com o aumento da temperatura, a corrente vai aumentar por causa da diminuição de V_T . Por outro lado, I_{DS} vai diminuir por causa da degradação da mobilidade. A polarização de porta em que existe o contrabalanceamento entre esses dois efeitos é a tensão V_{ZTC} , como é mostrado na Figura 12.

Figura 12- Curva de I_{DS} X V_G para um dispositivo com GP, $V_{GB} = 0$ V e para temperaturas diferentes (25 °C, 50 °C, 75 °C, 100 °C e 150 °C), na região linear.



Fonte: Autor.

Além do ponto ZTC na curva $I_{DS}XV_{GF}$, existe também o ponto de ZTC na transcondutância, na frequência de ganho unitário [36] e na frequência de oscilação máxima [37].

3.2 Modelo Camillo-Martino (CM): Modelo de V_{ZTC} na região linear

O modelo CM [38], que será descrito nesta seção, é um modelo que permite uma análise mais direta e simples dos parâmetros que influenciam na polarização de ZTC.

Na região linear de um dispositivo SOI MOSFET, a corrente de dreno pode ser equacionada na seguinte forma para uma temperatura T_1 (25°C ou 298 K) de referência:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_{GF} - V_{T1}) \cdot V_{DS} - \frac{n1 \cdot V_{DS}^2}{2} \right] \quad (3.2)$$

Onde: I_{DS} é a corrente entre o dreno e fonte; μ_{n1} é a mobilidade efetiva dos elétrons; C_{ox} é a capacitância no oxido de porta; W é a largura do canal; L é o comprimento do canal; V_G é a polarização na porta; V_{T1} é a tensão de limiar; V_{DS} é a tensão entre o dreno e fonte, e n_1 é o fator de efeito de corpo para a temperatura T_1 .

Analogamente, na equação (3.2), é possível escrever a mesma equação adotando uma temperatura T_2 , diferente e maior que T_1 , como é mostrado na equação (3.3):

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_{GF} - V_{T2}) \cdot V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (3.3)$$

É importante observar, tanto na equação (3.2) como na (3.3), que os únicos fatores que se alteram com o aumento da temperatura são a mobilidade efetiva dos elétrons, a tensão de limiar e o fator de efeito de corpo.

Na polarização de ZTC, $V_{GF} = V_{ZTC}$, as correntes I_{DS1} e I_{DS2} são iguais, isso porque não existe variação da corrente com a temperatura neste ponto:

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[(V_{ZTC} - V_{T1}) \cdot V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[(V_{ZTC} - V_{T2}) \cdot V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (3.4)$$

Realizando algumas operações matemáticas para simplificar a equação (3.4) e considerando que a variação do fator de efeito de corpo é desprezível com a temperatura, ou seja, $n_1 = n_2 = n$, é possível obter a equação de V_{ZTC} para a região linear [38]:

$$V_{ZTC} = \frac{\mu_{n1} \cdot V_{T1} - \mu_{n2} \cdot V_{T2}}{\mu_{n1} - \mu_{n2}} + \frac{n \cdot V_{DS}}{2} \quad (3.5)$$

Outra maneira de escrever a equação (3.5), é substituir a mobilidade efetiva dos elétrons pela sua transcondutância, gm , na temperatura de operação utilizada. Com isso, é possível melhorar a obtenção de V_{ZTC} , pois a extração de gm fica mais simples e precisa que o da mobilidade.

Como gm é proporcional a μ_n quando a corrente I_{DS} , isso se a condução ocorre somente superficialmente na interface entre o canal e óxido de porta, pode-se escrever a equação (3.6).

$$\frac{gm_2}{gm_1} \cong \frac{\mu_{n2}}{\mu_{n1}} = \left(\frac{T_1}{T_2}\right)^c \quad (3.6)$$

V_{T2} e gm_2 podem ser calculados pelas equações (3.7) e (3.8), respectivamente:

$$V_{T2} = V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \quad (3.7)$$

$$gm_2 = \left(\frac{T_1}{T_2}\right)^c \cdot gm_1 \quad (3.8)$$

Substituindo as equações (3.7) e (3.8) na equação (3.5), pode-se reescrever a equação de V_{ZTC} na região linear como mostrado na equação (3.9) [39]:

$$V_{ZTC} = \frac{V_{T1} - \left(\frac{T_1}{T_2}\right)^c \cdot \left(V_{T1} + \frac{\Delta V_{TH}}{\Delta T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{n \cdot V_{DS}}{2} \quad (3.9)$$

A equação (3.9) será usada neste trabalho para calcular o ponto de V_{ZTC} na região linear.

3.3 Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na região de saturação

Considerando agora a região de saturação a uma mesma temperatura T_1 , a corrente I_{DS1} em regime de inversão forte de um dispositivo SOI MOSFET pode ser calculada usando a equação (3.10).

$$I_{DS1} = \mu_{n1} \cdot C_{OXF} \cdot \frac{W}{L} \cdot \left[\frac{(V_{GF} - V_{T1})^2}{2n_1} \right] \quad (3.10)$$

Para uma temperatura T_2 maior que T_1 , temos uma corrente I_{DS2} que pode ser calculado pela equação (3.11).

$$I_{DS2} = \mu_{n2} \cdot C_{OXF} \cdot \frac{W}{L} \cdot \left[\frac{(V_{GF} - V_{T2})^2}{2n_2} \right] \quad (3.11)$$

No ponto de polarização de ZTC, temos $V_{GF} = V_{ZTC}$, e isso implicará em $I_{DS1} = I_{DS2} = I_{ZTC}$, assim é possível igualar as equações (3.10) e (3.11).

$$\mu_{n1} \cdot C_{OXF} \cdot \frac{W}{L} \cdot \left[\frac{(V_{GF} - V_{T1})^2}{2n_1} \right] = \mu_{n2} \cdot C_{OXF} \cdot \frac{W}{L} \cdot \left[\frac{(V_{GF} - V_{T2})^2}{2n_2} \right] \quad (3.12)$$

Como o fator de idealidade depende somente apenas das relações de capacitâncias e não da temperatura, então podemos escrever que $n_1 \cong n_2 \cong n$. Considerando que o fator de degradação de mobilidade não varia muito com a temperatura, podemos escrever que $\theta_1 \cong \theta_2 \cong \theta$. Assim a equação (3.12), representa a equação de V_{ZTC} para região de saturação [39].

$$V_{ZTC} = A + \sqrt{A^2 - B} \quad (3.13)$$

Onde os termos A e B são, respectivamente, as equações (3.14) e (3.15):

$$A = \frac{\mu_{n1} \cdot V_{T1} - \mu_{n2} \cdot V_{T2}}{\mu_{n1} - \mu_{n2}} \quad (3.14)$$

e

$$B = \frac{\mu_{n1} \cdot V_{T1}^2 - \mu_{n2} \cdot V_{T2}^2}{\mu_{n1} - \mu_{n2}} \quad (3.15)$$

Analogamente, o que foi feito na região linear, é possível escrever os termos A e B em função da transcondutância, como é mostrado nas equações (3.16) e (3.17).

$$A = \frac{V_{T1} \cdot g_{m1} - V_{T2} \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (3.16)$$

e

$$B = \frac{V_{T1}^2 \cdot g_{m1} - V_{T2}^2 \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (3.17)$$

Substituindo as equações (3.7) e (3.8) na equação (3.16), é possível reescrever o termo A conforme a equação (3.18).

$$A = \frac{V_{T1} - \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \right) \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (3.18)$$

O mesmo feito acima é possível ser feito para o termo B, conforme a equação (3.19).

$$B = \frac{V_{T1}^2 - \left(V_{T1} + \frac{\Delta V_T}{\Delta T} \cdot (T_2 - T_1) \right)^2 \cdot \left(\frac{T_1}{T_2} \right)^c}{1 - \left(\frac{T_1}{T_2} \right)^c} \quad (3.19)$$

As equações (3.13), (3.18) e (3.19) serão usadas para calcular o valor de V_{ZTC} na região de saturação.

4. Materiais e métodos

Nesse capítulo, são apresentados os métodos adotados para a extração de parâmetros, assim como os equipamentos e dispositivos utilizados nesse trabalho.

4.1 Dispositivos estudados

Os dispositivos utilizados para a realização deste estudo são os UTBB (*Ultra-Thin Body and Box*) SOI (*Silicon On Insulator*) nMOSFETs fabricados pelo *Inter university Microelectronics Centre – Imec*, Leuven, Bélgica [40].

A estrutura da porta desses dispositivos é formada por uma camada de 5 nm de óxido de silício (SiO_2) mais 5 nm de uma deposição de camada atômica a plasma (PEALD) de nitreto de titânio (TiN), isso sobre um filme de silício de 6 nm (também de 14 nm) sem dopantes e uma camada enterrada (BOX) com 18 nm de espessura. O comprimento do canal (L) e de largura (W) dos dispositivos possuem dimensão de 1 μm .

O plano de terra (*Ground Plane - GP*) possui uma dopagem tipo p, com concentração de aproximadamente 10^{18} cm^{-3} , e os dispositivos sem plano de terra, tem uma concentração no substrato de 10^{15} cm^{-3} .

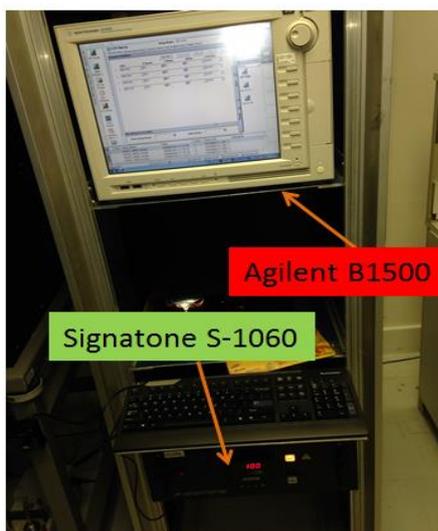
4.2 Medidas experimentais

Foram realizadas medições em duas lâminas de silício, uma com 14 nm e outra com 6 nm de espessura de filme de silício (t_{si}), sendo que em cada uma temos duas estruturas, uma com GP e outra sem GP, para 11 polarizações de substrato diferentes de -5 V a 5 V com passo de 1 V, cinco temperaturas diferentes (25 °C, 50 °C, 75 °C, 100 °C, 150 °C), duas polarizações de dreno (V_{DS}) diferentes, uma de 50 mV (região linear) e outra de 1 V (região de saturação).

Para a realização das medidas experimentais e a exportação dos dados experimentais, foi necessário à utilização do equipamento “Agilent B1500”, localizado na sala de caracterização elétrica II do Laboratório de Sistemas

Integráveis (LSI) na Escola Politécnica da Universidade de São Paulo. Para o ajuste e controle da temperatura, o equipamento S-1060 da Signatone foi utilizado. A Figura 13 apresenta os dois equipamentos utilizados.

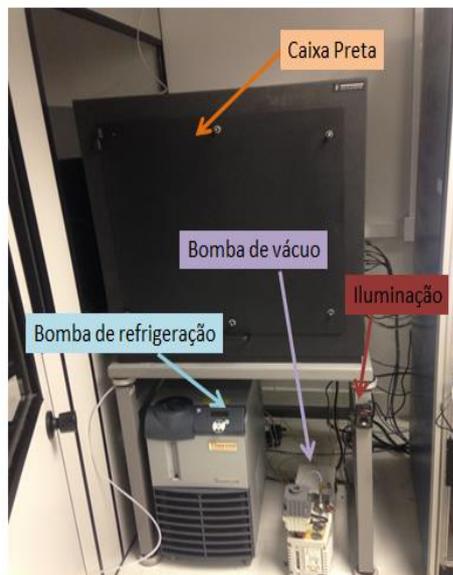
Figura 13- Equipamentos Agilent B1500 e Signatone S-1060 Series.



Fonte: autor.

Ao lado desse bloco, se localiza a caixa preta em que será colocada a lâmina a ser caracterizada, abaixo se tem a bomba de refrigeração, que serve para resfriar o sistema onde se encontra a lâmina, a bomba de vácuo que serve para fixar a lâmina no *chuck*, e um *dimmer* para o controle da intensidade luminosa do microscópio, na Figura 14, é possível observar o conjunto de equipamentos.

Figura 14- Conjunto de equipamentos: Caixa preta, bomba de refrigeração, bomba de vácuo e controle de intensidade da luz.



Fonte: Autor.

O equipamento Signatone S-1160, dentro da caixa preta, é o responsável pelo aquecimento, visualização e o contato das pontas de medição na lâmina a ser caracterizada. Esse equipamento pode ser visto na Figura 15.

Figura 15- Equipamento S-1160 da Signatone.

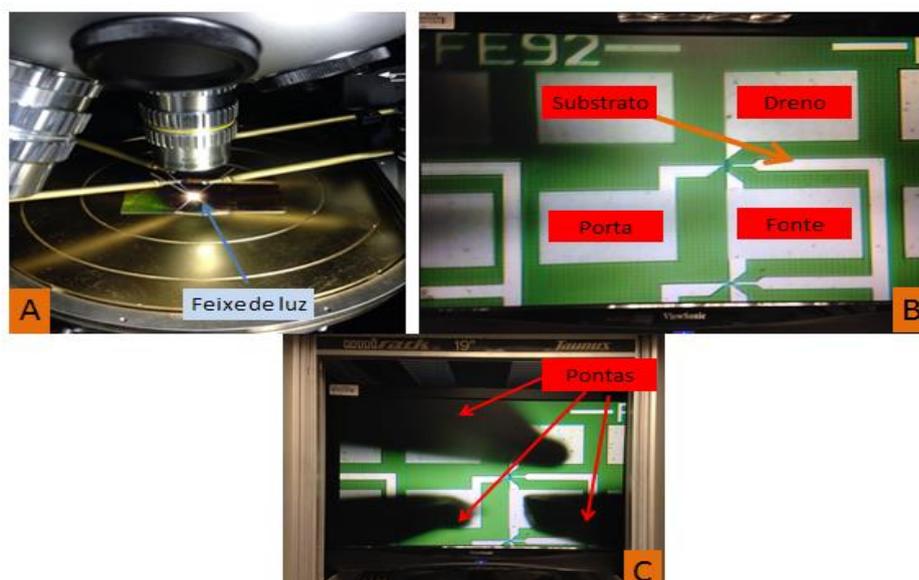


Fonte: Autor.

Na Figura 16 (A), é possível ver a lâmina sendo iluminada por um feixe de luz, e a imagem refletida pode ser vista pelo microscópio ou por um visor fora da caixa

preta, como visto na Figura 16 (B). Uma vez posicionada o visor no transistor a ser medido, se desce as pontas de medições em cada estrutura de contato correspondentes, como visto na Figura 16 (C). Esse procedimento de posicionar e medir serão repetidos para todas as temperaturas estudadas nesse trabalho.

Figura 16- Esquema de visualização dos dispositivos por meio do equipamento S-1160.



Fonte: Autor.

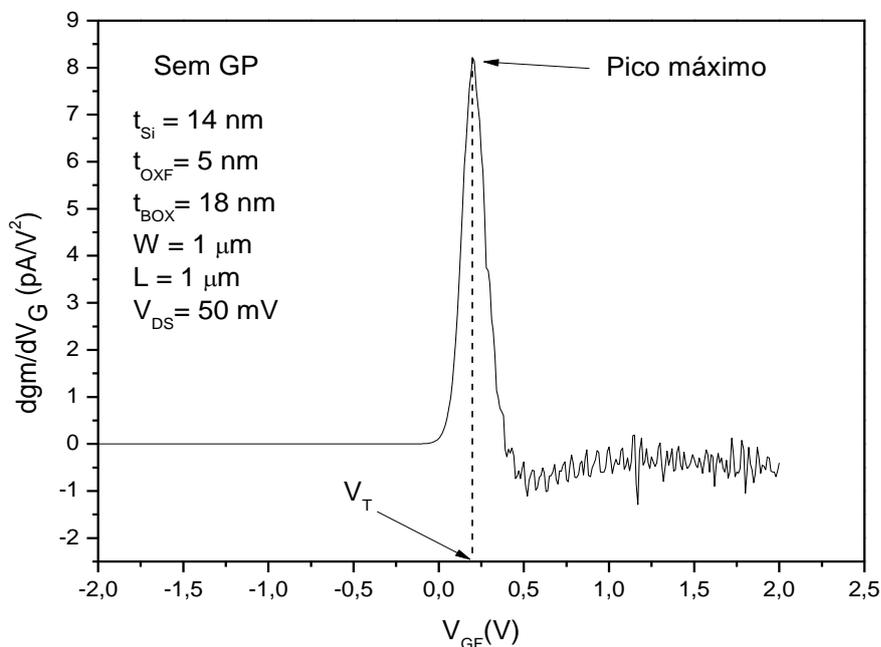
Após a realização das medidas, se utiliza a bomba de refrigeração, caso a temperatura esteja muito elevada para se conseguir retirar a lâmina do equipamento.

4.3 Extração da tensão de limiar V_T

4.3.1 Região linear

Para a extração da tensão de limiar na região linear (tríodo), será usado o método da segunda derivada [41], que consiste na obtenção de V_T por meio da segunda derivada da corrente de dreno (I_{DS}) pela tensão de porta (V_{GF}), sendo que o ponto máximo ou pico corresponde ao valor de V_T , como é mostrado na Figura 17.

Figura 17- Gráfico da segunda derivada da corrente de dreno pela tensão de porta, para um dispositivo sem plano de terra na região linear a 25°C, com polarização de substrato igual a zero.



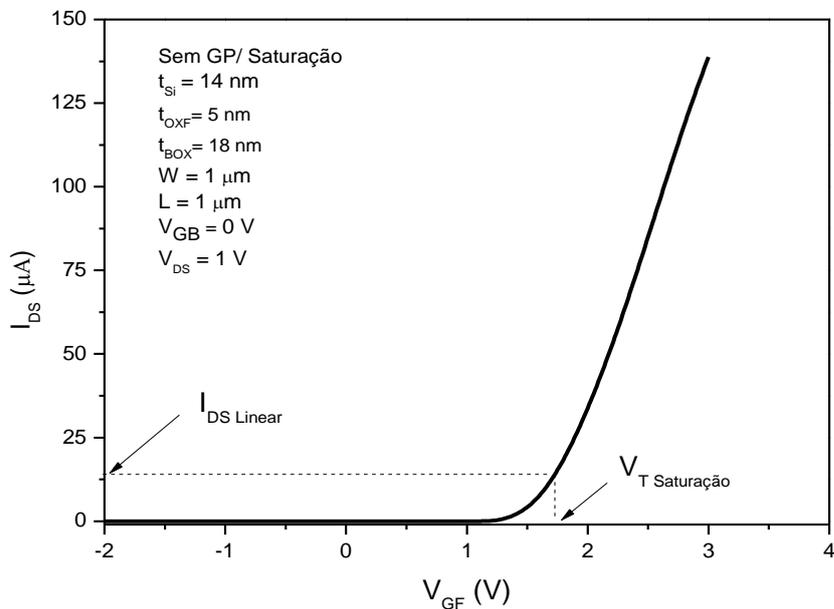
Fonte: Autor.

Esse método foi usado para todos os dispositivos estudados nesse trabalho, isso inclui os dispositivos com e sem GP.

4.3.2 Região de saturação

A extração de V_T na região de saturação foi feita por meio do método de nível de corrente. Neste método utiliza-se o valor de corrente I_{DS} associado à tensão de limiar na região linear de um dispositivo, então, esse valor de corrente vai ser rebatido na curva $I_{DS} \times V_{GF}$ do mesmo dispositivo, mas agora na região de saturação, como é mostrado na Figura 18.

Figura 18- Curva experimental de I_{DS} X V_{GF} para um dispositivo na região de saturação e na temperatura de 25 °C.



Fonte: Autor.

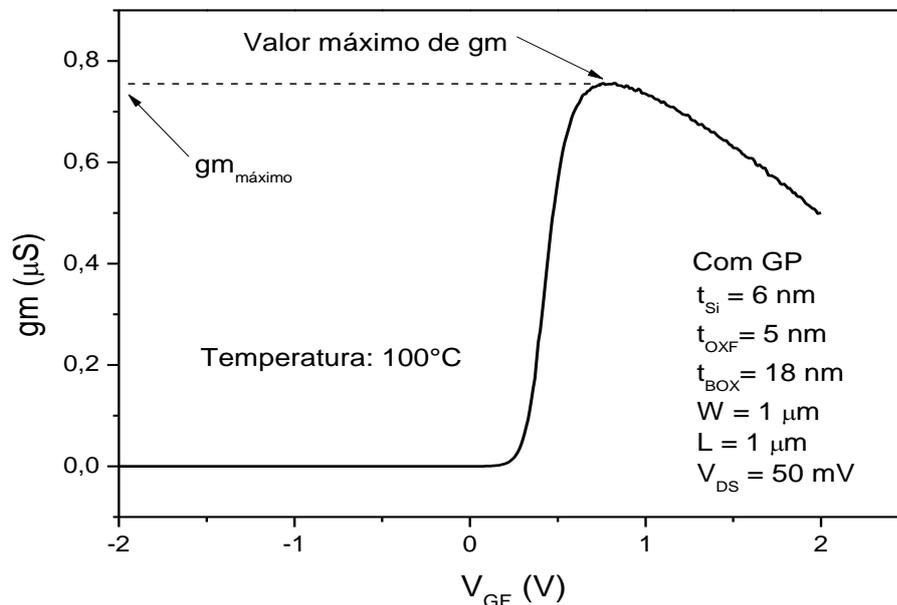
Assim é possível obter o valor de tensão de limiar do dispositivo na região de saturação.

4.4 Extração da transcondutância

4.4.1 Região linear

Para a extração do valor máximo da transcondutância, utilizado para se calcular a polarização do ponto invariante com a temperatura (V_{ZTC}), é necessário realizar a derivada de I_{DS} em função de V_{GF} e localizar o ponto de valor máximo, como é mostrado no gráfico de Figura 19.

Figura 19- Gráfico da primeira derivada de $I_{DS} \times V_{GF}$ para um dispositivo com plano de terra a uma temperatura de 100°C com polarização de substrato igual a zero.



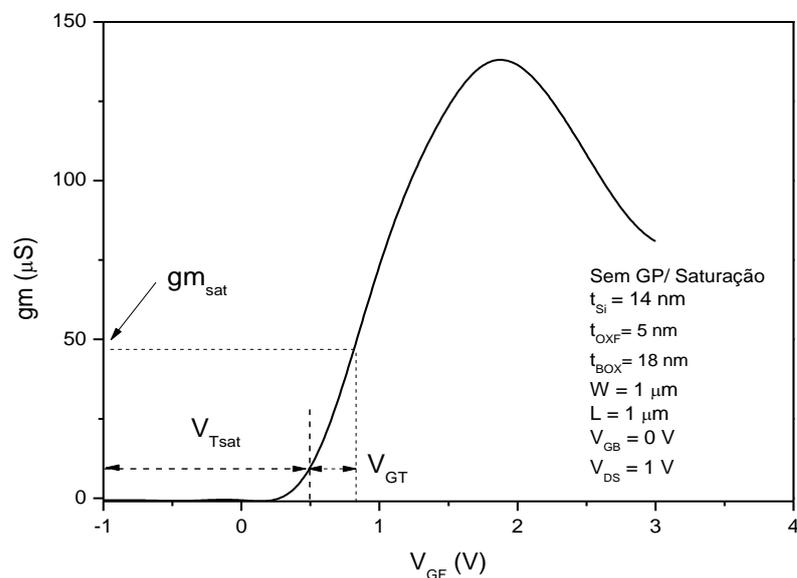
Fonte: Autor.

Isso foi feito para todos os dispositivos e temperaturas estudados neste trabalho na região linear.

4.4.2 Região de saturação

Para determinar o valor de transcondutância na região de saturação ($g_{m\text{sat}}$), foi utilizado um valor constante de sobre tensão (V_{GT}) em 250 mV. Ele somado com a tensão de limiar, na região de saturação ($V_{T\text{sat}}$) do dispositivo, é possível obter o $g_{m\text{sat}}$ rebatendo esse valor na curva $g_m \times V_{GF}$, analogamente, feito na determinação de $V_{T\text{sat}}$, como é mostrado na Figura 20.

Figura 20- Curva experimental de $g_m \times V_{GF}$ de um dispositivo sem GP a uma temperatura de 25°C.



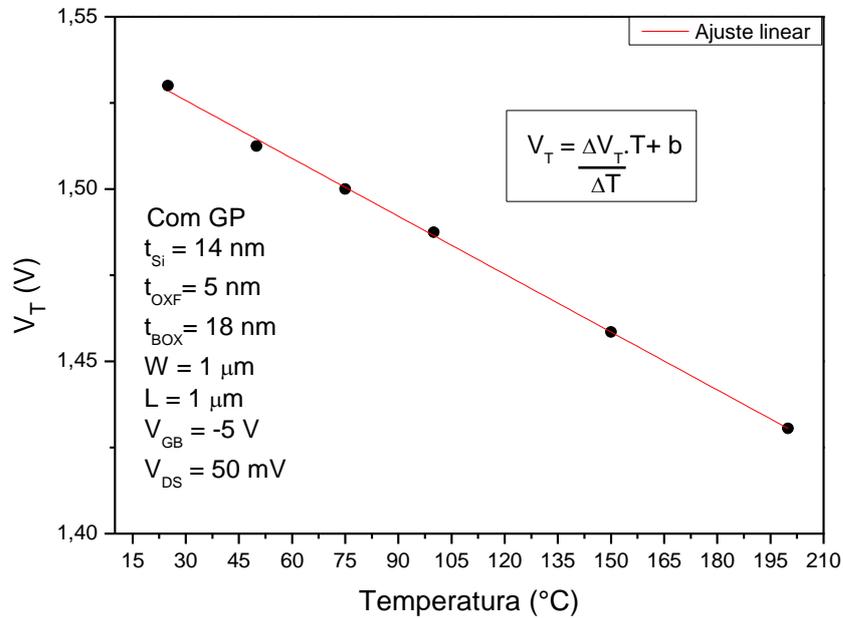
Fonte: autor.

Esse procedimento foi repetido para todos os dispositivos em todas as temperaturas.

4.5 Extração do valor da variação de V_T com a temperatura

Outro parâmetro importante para se calcular a tensão de V_{ZTC} é a variação da tensão de limiar com a temperatura, $\frac{\Delta V_T}{\Delta T}$, ele pode ser extraído diretamente por meio da regressão linear dos valores de V_T e V_{Tsat} , com os valores das temperaturas correspondentes, como é mostrado na Figura 21.

Figura 21- Gráfico dos dados experimentais de V_T em função da temperatura em Kelvin para $V_{GB} = -5$ V e o ajuste linear dos pontos para a extração $\frac{\Delta V_T}{\Delta T}$.



Fonte: Autor.

É importante notar que existe um valor de $\frac{\Delta V_{TH}}{\Delta T}$ diferente para cada valor de polarização de substrato estudado. O mesmo procedimento é realizado na região de saturação.

4.6 Extração do fator de degradação da transcondutância c

O fator c é um número adimensional que serve como um fator de proporcionalidade da redução da transcondutância com o aumento da temperatura [42], e entra como um parâmetro na equação 3.11 do ZTC.

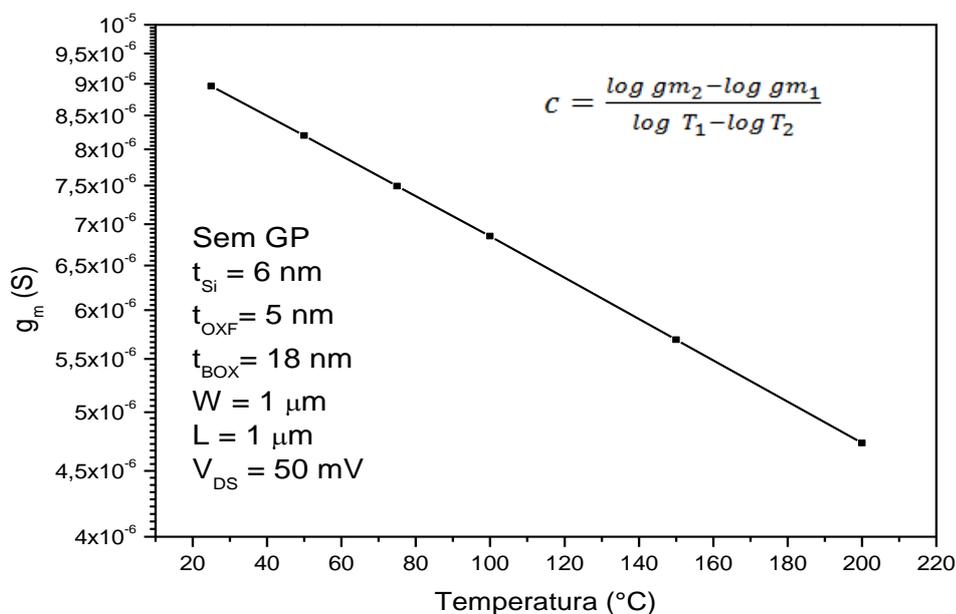
Para a extração desse parâmetro, foi utilizada a equação (4.1).

$$c = \frac{\log gm_2 - \log gm_1}{\log T_1 - \log T_2} \quad (4.1)$$

Onde: gm_2 é a máxima transcondutância da temperatura T_2 , no caso da região linear, ou gm_{sat2} da temperatura T_2 , no caso da região de saturação, a ser caracterizada (50 °C, 75 °C, 100 ° e 150 °C) e gm_1 é a máxima transcondutância da

temperatura de referência T_1 , no linear, ou gm_{sat1} , na saturação, que nesse trabalho é 25 °C.

Figura 22- Curva de gm em função da temperatura na região linear.



Fonte: Autor.

Então, com os valores de gm já extraídos, o fator c pode ser facilmente calculado utilizando a equação 4.1, um exemplo de curva de gm em função da temperatura é observado na Figura 22. O mesmo procedimento é realizado na região de saturação.

5. Resultados e análises

Neste capítulo, são apresentados os dados experimentais obtidos para avaliar as influências dos efeitos do plano de terra e da espessura do filme de silício no ponto invariante com a temperatura do UTBB SOI nMOSFET, isso tanto para região linear como na região de saturação.

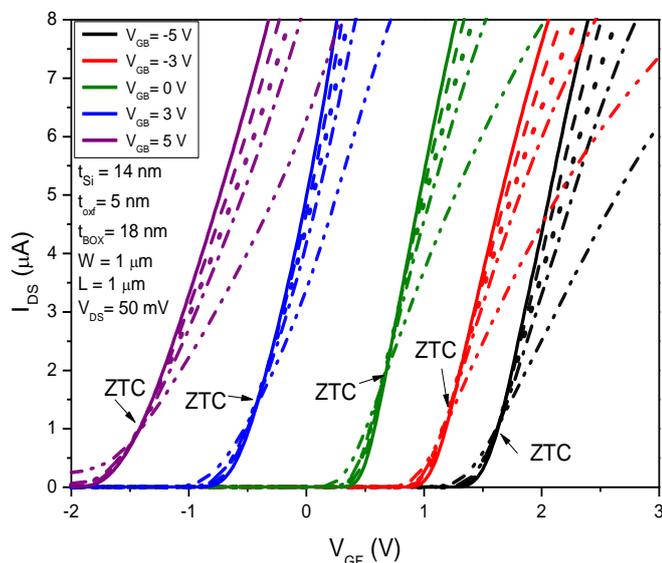
5.1 Obtenção do V_{ZTC} : experimental e modelo

5.1.1 Região linear

Para se conseguir montar as curvas experimentais, essenciais para a análise deste trabalho, foram realizadas medições de corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), com uma variação na tensão de porta de -2 V até 3 V, isso para 11 polarizações de substratos (V_{GB}) de -5 V a 5 V com passo de 1 V e polarizando V_{DS} em 50 mV.

Esse procedimento foi realizado em duas lâminas com espessuras de filme de silício diferentes (6 nm e 14 nm), para cada temperatura estudada, que foram: 25°C, 50°C, 75 °C, 100°C e 150°C. Na Figura 23, é possível observar o procedimento descrito acima para uma lâmina.

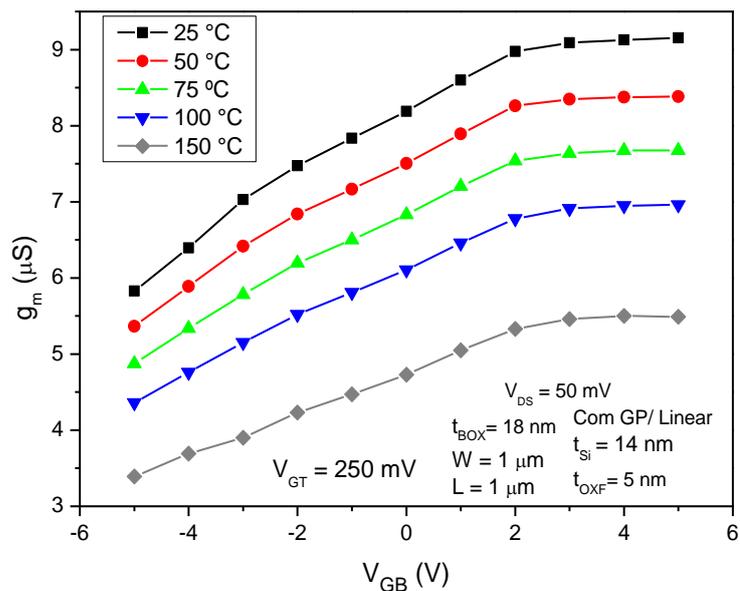
Figura 23- Variação do ponto de polarização de ZTC com VGB para um dispositivo com GP e para 5 temperaturas: 25 °C (linha contínua), 50 °C (linha tracejada), 75 °C (ponto), 100 °C (traço-ponto) e 150 °C (traço-ponto-ponto).



Fonte: autor.

E para cada polarização de substrato, em cada temperatura, é extraído o valor da transcondutância, isso para os dispositivos GP, um exemplo disso é mostrado na Figura 24.

Figura 24- Curva experimental de $g_m \times V_{GB}$ para um dispositivo com GP na região linear.

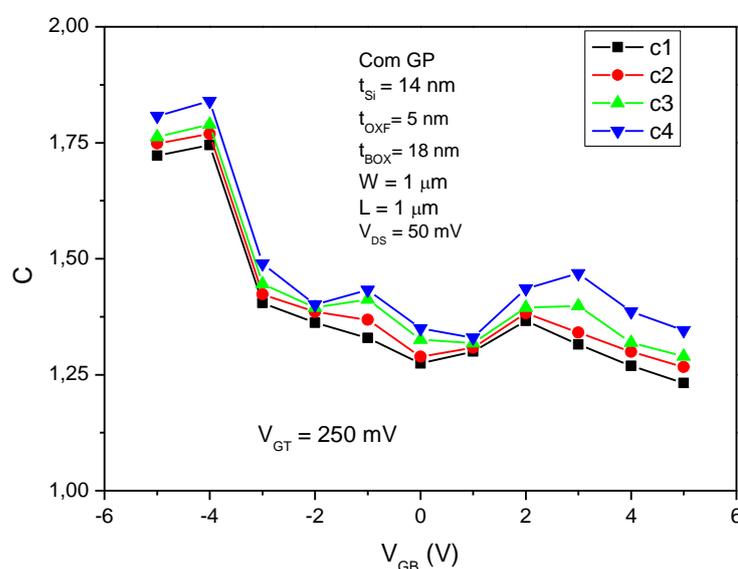


Fonte: autor.

Como pode ser visto na Figura 24, os valores de transcondutância mudam para cada valor de polarização e de temperatura diferentes. Isso porque, com o aumento da temperatura ocorre à degradação da mobilidade, o que reduz também a transcondutância. Com o aumento de V_{GB} , a segunda interface fica fortemente depletada (antes da inversão), aumentando o acoplamento eletrostático entre porta e canal, aumentando g_m .

Na Figura 25, é possível observar os valores de c para diferentes valores de polarização de substrato, isso para todos os c calculados nas diferentes temperaturas. Sendo c_1 o valor de c , onde os valores de transcondutâncias usados para o cálculo são os valores extraídos nas temperaturas de 25 °C e de 50 °C, c_2 é obtido para as temperaturas de 25 °C e 75 °C, c_3 é obtido para as temperaturas de 25 °C e 100 °C e c_4 é obtido para as temperaturas de 25 °C e 150 °C.

Figura 25- Variação de c em função de V_{GB} para as 4 combinações de c .

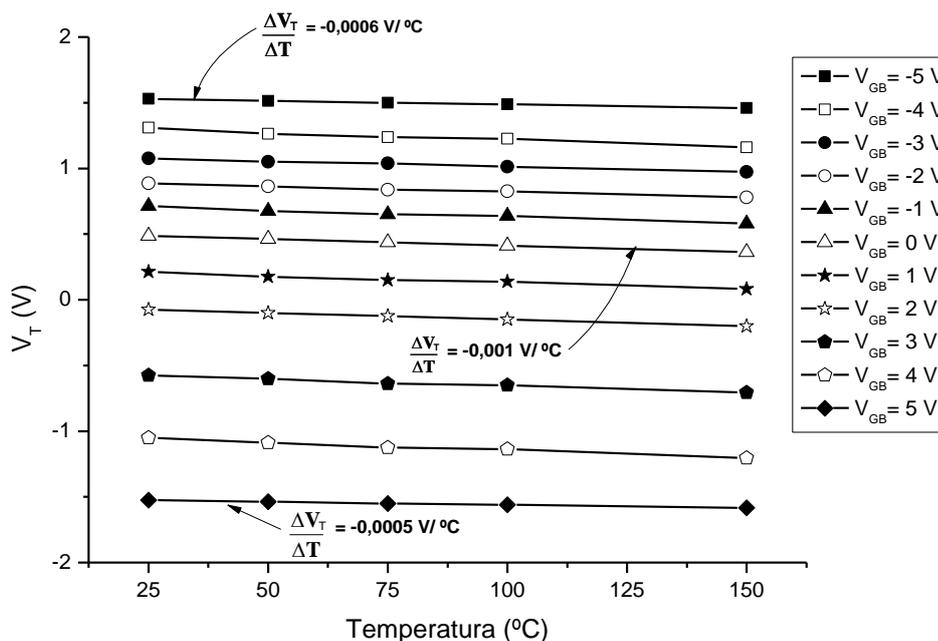


Fonte: autor.

Nota-se que os valores de c tendem a diminuir com o aumento de V_{GB} , isso porque a transcondutância aumenta com V_{GB} e a relação g_{m2}/g_{m1} diminui, uma vez que $g_{m2}-g_{m1} \cong \text{constante}$. E como pode ser visto na equação (4.1), o fator de degradação da transcondutância é diretamente proporcional ao g_m que faz ele diminuir.

Outro parâmetro importante para a obtenção do V_{ZTC} é o valor da variação de V_T com a temperatura. Na Figura 26, é possível observar essa variação para diferentes valores de polarização V_{GB} .

Figura 26- Variação de V_T com a temperatura para 11 polarizações de V_{GB} diferentes, na região linear e para t_{Si} de 14 nm com GP.



Fonte: autor.

Para cada valor de V_{GB} corresponde uma taxa de variação de V_T com a temperatura ($\frac{\Delta V_T}{\Delta T}$), assim é necessário calcular o coeficiente angular para cada reta, em todos os dispositivos (com e sem GP) e nas duas lâminas (6 e 14 nm).

Considerando, que para a tecnologia SOI UTBB, o valor de fator de corpo (n) seja aproximadamente igual a 1, pode-se calcular o valor de V_{ZTC} por meio da equação (3.9). Na Tabela 1, é possível visualizar os valores de V_{ZTC} 1, calculados para a temperatura de 50 °C tendo como referência a temperatura de 25 °C.

Tabela 1- Valores de $V_{ZTC 1}$ para o dispositivo de $t_{Si} = 14$ nm Com GP, na região linear.

V_{GB}	$V_{ZTC 1}$	$V_{ZTC 1}$	Erro	Erro
V	V	V	mV	%
	Modelo	Experimental	Absoluto	Percentual
-5	1,65	1,68	25,92	1,5%
-4	1,50	1,54	35,75	2,3%
-3	1,27	1,31	45,55	3,5%
-2	1,10	1,11	16,72	1,5%
-1	0,96	0,94	21,20	-2,3%
0	0,74	0,75	6,20	0,8%
1	0,46	0,46	0,88	-0,2%
2	0,16	0,13	39,91	-31,9%
3	-0,32	-0,35	34,81	9,9%
4	-0,75	-0,79	43,66	5,5%
5	-1,39	-1,43	37,58	2,6%

Fonte: autor.

Os resultados mostram que o erro percentual tende a aumentar para valores de ZTC próximos de zero, não sendo preciso para análise. Então, para contornar essa imprecisão o erro absoluto foi utilizado para melhor evidenciar a comparação entre os valores do modelo e os experimentais.

Na Tabela 2, mostra todos os valores de V_{ZTC} , calculados e obtidos experimentalmente, para todas as temperaturas estudadas. Nela é possível verificar como o V_{ZTC} varia com a temperatura e visualizar a precisão do modelo. Vale notar que existem 4 valores de V_{ZTC} , isso porque o modelo analítico compara a equação de corrente de dreno para duas temperaturas diferentes, uma de referência (25 °C) e outra temperatura maior qualquer, que para esse trabalho foram 50 °C, 75 °C, 100°C e 150°C. Então, será adotado que para V_{ZTC1} é a comparação entre a temperatura de referência e a temperatura de 50°C, o V_{ZTC2} será a comparação entre a temperatura de referência e a de 75°C, V_{ZTC3} (25 °C e 100 °C) e V_{ZTC4} (25 °C e 150°C).

Também é possível verificar que existe uma pequena variação entre os valores de polarização de V_{ZTC} (1, 2, 3, 4), isso porque os efeitos causados pelo aumento da temperatura na mobilidade e na tensão de limiar não se cancelam para todas as temperaturas ou para qualquer condição de polarização.

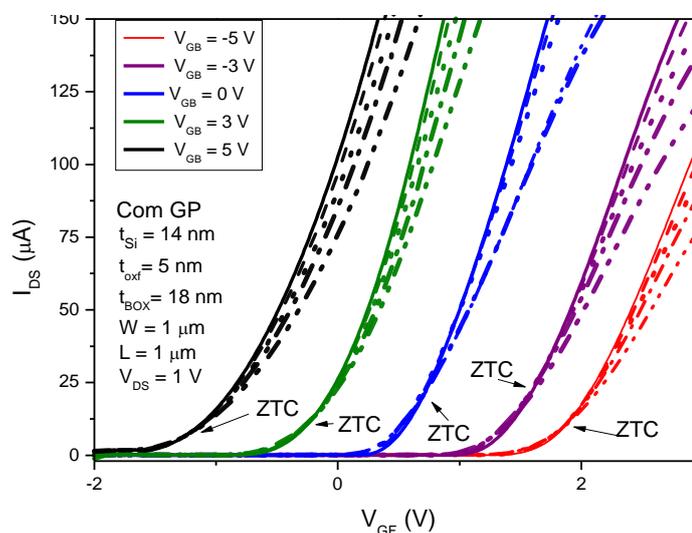
Tabela 2- Valores de VZTC para diferentes temperaturas, $t_{Si} = 14$ nm com GP, na região linear.

V_{GB}	V_{ZTC} 1	V_{ZTC} 1	V_{ZTC} 2	V_{ZTC} 2	V_{ZTC} 3	V_{ZTC} 3	V_{ZTC} 4	V_{ZTC} 4
V	V	V	V	V	V	V	V	V
	Modelo	Exp.	Modelo	Exp.	Modelo	Exp.	Modelo	Exp.
-5	1,65	1,68	1,64	1,66	1,64	1,64	1,72	1,68
-4	1,50	1,54	1,51	1,54	1,45	1,48	1,46	1,5
-3	1,27	1,31	1,27	1,31	1,24	1,26	1,34	1,31
-2	1,10	1,11	1,09	1,11	1,02	1,07	1,17	1,12
-1	0,96	0,94	0,96	0,94	0,90	0,91	1,04	0,95
0	0,74	0,75	0,74	0,75	0,65	0,70	0,81	0,7
1	0,46	0,46	0,46	0,48	0,37	0,43	0,54	0,4
2	0,16	0,13	0,16	0,13	0,15	0,10	0,17	0,19
3	-0,32	-0,35	-0,32	-0,35	-0,38	-0,43	-0,24	-0,25
4	-0,75	-0,79	-0,76	-0,80	-0,81	-0,82	-0,83	-0,78
5	-1,39	-1,43	-1,39	-1,43	-1,41	-1,45	-1,36	-1,35

Fonte: autor.

5.1.2 Região de saturação

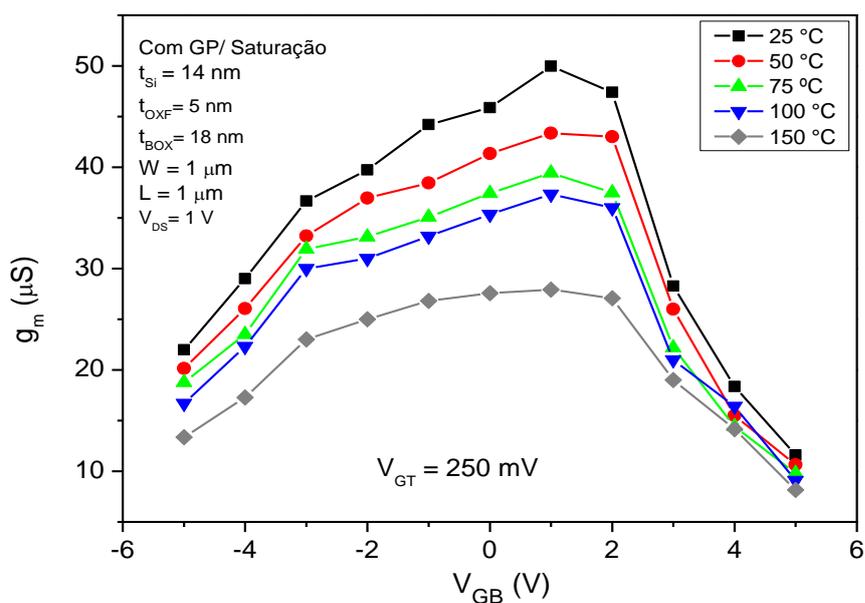
Para a análise dos dados da região de saturação, o mesmo procedimento que foi realizado na região linear será usado na região de saturação, mas com a diferença que a tensão entre dreno e fonte (V_{DS}) é 1 V. Na Figura 27, é possível observar os pontos de cruzamento ZTC (experimental) na região de saturação.

Figura 27- Curva experimental de I_{DS} X V_{GF} para um dispositivo com GP para 5 temperaturas diferentes.

Fonte: autor.

Na Figura 28, é possível observar curvas de g_m X V_{GB} para diferentes temperaturas, analogamente, como foi feito na região linear, porém é importante observar que g_m aumenta até um valor máximo, na polarização de $V_{GB} = 1$ V, depois decai com o aumento de V_{GB} , isso quando a 2ª interface se encontra na inversão.

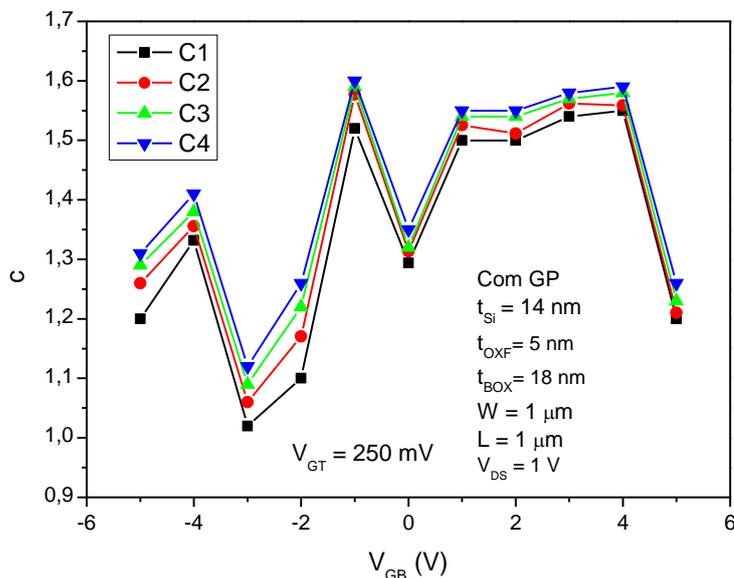
Figura 28-Curva experimental de g_m X V_{GB} , de um dispositivo com GP na região de saturação.



Fonte: autor.

O fator c , apresentado na Figura 29, variou entre (1 e 1,6), sendo que a maior variação observada ocorre entre os valores de V_{GB} de -2 a 1 V, quando a 2ª interface se encontra em depleção. Nota-se que o fator c variou mais na saturação do que na região linear, mas isso já era esperado, pois a forma de extração na região de saturação é realizada de uma forma indireta, ao contrário na região linear.

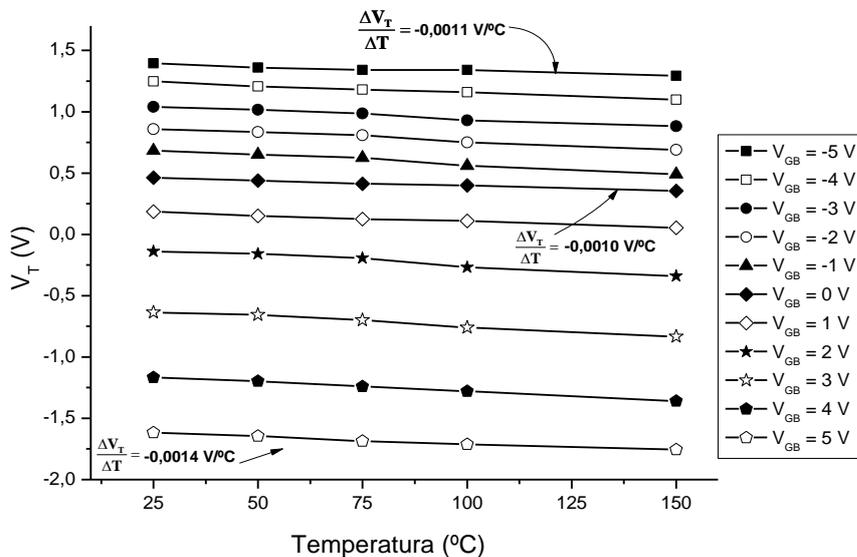
Figura 29- Variação de c em função de V_{GB} para as 4 combinações de c .



Fonte: autor.

Na Figura 30, é possível observar como V_T varia com a temperatura, isso para diversas polarizações de V_{GB} . Nota-se que a tensão de limiar diminui com o aumento com a temperatura, porque a concentração intrínseca (n_i) aumenta com a temperatura, fazendo que o potencial de Fermi diminua e conseqüentemente faz o valor de V_T decrescer.

Figura 30- Variação de V_T com a temperatura para 11 polarizações de V_{GB} diferentes, na região de saturação, para t_{Si} de 14 nm com GP.



Fonte: autor.

Com todos os parâmetros extraídos, é possível calcular o valor de V_{ZTC} por meio das equações (3.13), (3.18) e (3.19). Assim como compará-lo com o valor experimental de V_{ZTC} , isso é mostrado na Tabela 3.

Tabela 3- Valores de V_{ZTC} 1 para o dispositivo de $t_{Si} = 14$ nm Com GP, na região de saturação.

V_{GB}	V_{ZTC} 1	V_{ZTC} 1	Erro	Erro
V	V	V	mV	%
	Modelo	Experimental	Absoluto	Percentual
-5	1,85	1,80	50,3	-2,8%
-4	1,68	1,70	20,0	1,2%
-3	1,47	1,48	9,4	0,6%
-2	1,28	1,24	40,0	-3,2%
-1	1,15	1,08	75,2	-7,0%
0	0,93	0,90	29,3	-3,3%
1	0,68	0,64	46,2	-7,3%
2	0,29	0,29	6,0	-2,1%
3	-0,14	-0,16	17,7	10,9%
4	-0,68	-0,69	9,4	1,4%
5	-1,06	-1,02	40,1	-3,9%

Fonte: autor.

Nota-se que para o dispositivo de 14 nm com GP, na região de saturação, o erro percentual ficou menor que 14% em todas as polarizações de V_{GB} . O erro absoluto mostrou que houve uma boa concordância entre o modelo e os resultados experimentais, sendo que o menor erro absoluto obtido foi de apenas 6 mV.

Na Tabela 4, mostra todos os valores de V_{ZTC} calculados, pelo modelo, e extraídos experimentalmente. Para todas as 5 temperaturas estudadas, no dispositivo de 14 nm com GP, na região de saturação. Essa tabela tem como finalidade uma demonstração de quantos valores de V_{ZTC} foram tratados, no total de 88 valores de V_{ZTC} por dispositivo e 352 valores tratados na região de saturação.

Tabela 4- Valores de V_{ZTC} para diferentes temperaturas, $t_{Si} = 14$ nm com GP, na região de saturação.

V_{GB}	V_{ZTC} 1	V_{ZTC} 1	V_{ZTC} 2	V_{ZTC} 2	V_{ZTC} 3	V_{ZTC} 3	V_{ZTC} 4	V_{ZTC} 4
V	V	V	V	V	V	V	V	V
	Modelo	Exp.	Modelo	Exp.	Modelo	Exp.	Modelo	Exp.
-5	1,85	1,80	1,95	1,75	1,92	1,73	1,93	1,74
-4	1,68	1,70	1,88	1,66	1,85	1,61	1,84	1,64
-3	1,47	1,48	1,46	1,46	1,47	1,43	1,48	1,46

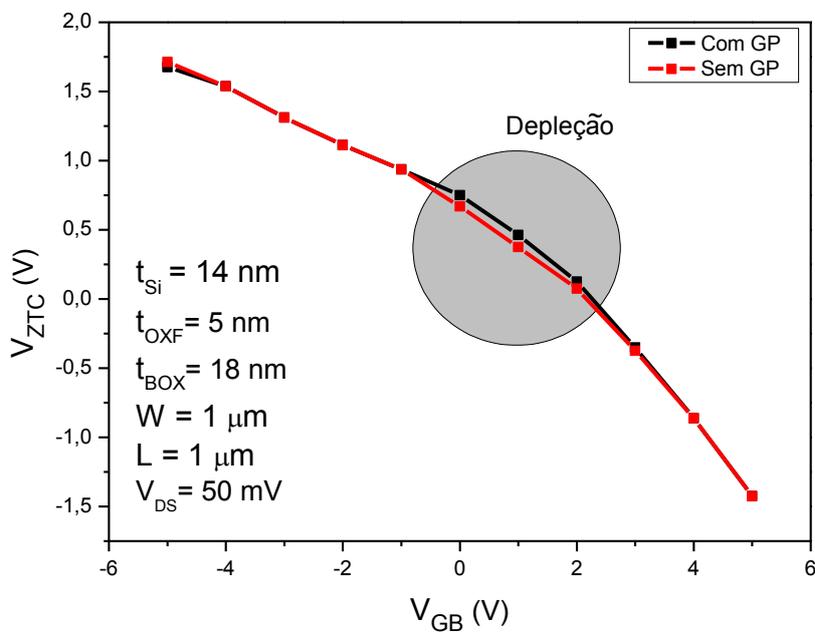
-2	1,28	1,24	1,40	1,24	1,37	1,23	1,36	1,26
-1	1,15	1,08	1,16	1,08	1,14	1,08	1,14	1,10
0	0,93	0,90	0,94	0,9	0,93	0,89	0,93	0,90
1	0,68	0,64	0,70	0,64	0,68	0,63	0,68	0,64
2	0,29	0,29	0,30	0,28	0,29	0,26	0,29	0,28
3	-0,14	-0,16	-0,15	-0,17	-0,15	-0,19	-0,14	-0,21
4	-0,68	-0,69	-0,69	-0,68	-0,68	-0,69	-0,68	-0,70
5	-1,06	-1,02	-1,10	-1,08	-1,14	-1,10	-1,18	-1,11

Fonte: autor.

5.2 Influência do plano de terra

Na Figura 31, é possível observar a influência do plano de terra (*Ground Plane*) nos valores de polarização do ZTC (V_{ZTC}) na região linear, devido ao efeito da queda de potencial no substrato de silício que afeta a tensão de limiar (V_T) dos dispositivos sem GP, diminuindo o mesmo. Como V_{ZTC} é diretamente proporcional a V_T , vide equação (3.9), então, o efeito de substrato afeta a tensão de ZTC, e os dispositivos que possuem plano de terra conseguem minimizar ou até eliminar este efeito. Isso pode ser visto na Figura 31, onde os dispositivos com GP possuem um valor de tensão de ZTC maior do que os dispositivos sem GP, mas quando se entra na região de acumulação os valores de V_{ZTC} tendem a ficarem iguais em ambos os casos. Essa relação entre o efeito de substrato e a tensão de limiar pode ser visto no Martino *et al.*[38].

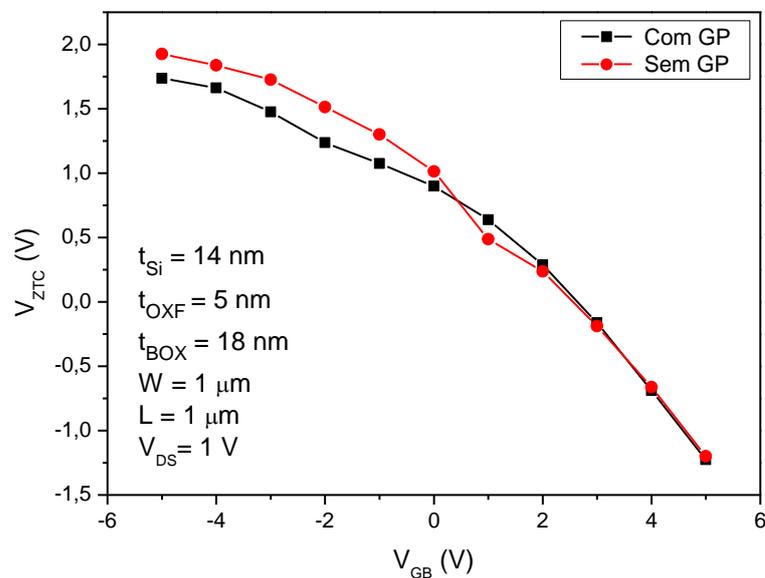
Figura 31- V_{ZTC1} experimental em função de V_{GB} para dois dispositivos, um com plano de terra e outro sem plano de terra, para $t_{Si} = 14$ nm e na região linear.



Fonte: autor.

O mesmo efeito e tendência podem ser vistos na região de saturação, como mostra a Figura 32, mas na saturação fica mais evidente que quando a 3^o interface está na região de inversão, os dispositivos sem GP possuem um valor maior de V_{ZTC} do que os dispositivos com GP. Esse aumento é mais sutil na região linear.

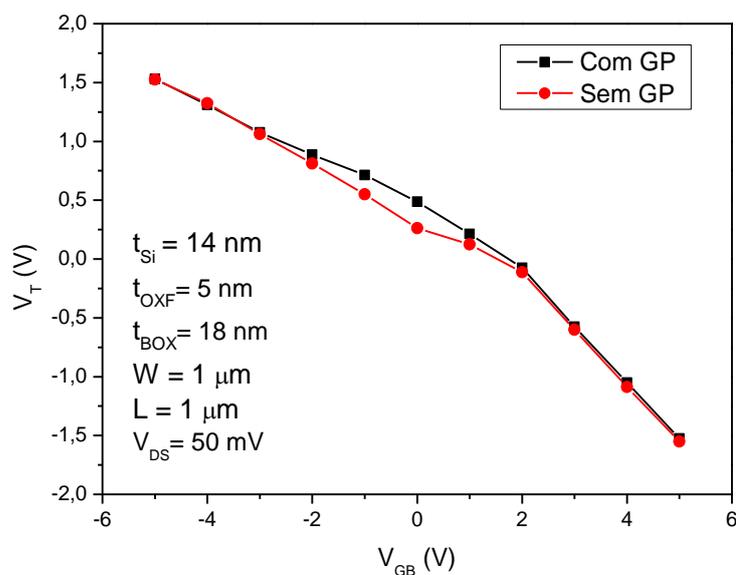
Figura 32- Curvas experimentais de V_{ZTC1} para dispositivos com e sem GP para uma espessura de filme de silício de 14 nm, na região de saturação.



Fonte: autor.

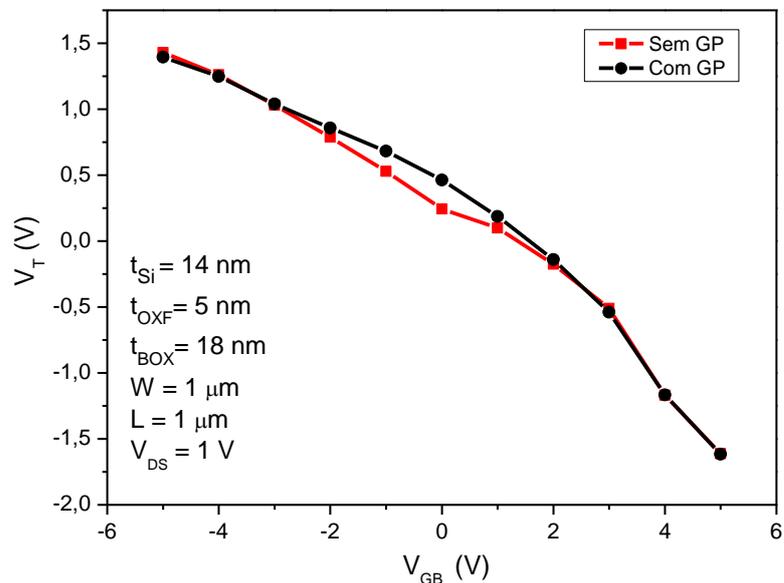
A Figura 33 e Figura 34, mostram o efeito da 3^o interface na tensão de limiar na região linear e de saturação, respectivamente.

Figura 33- Curva da tensão de limiar em função da polarização do substrato para dispositivos com plano de terra e sem plano de terra, na região linear e temperatura de 25 °C.



Fonte: autor.

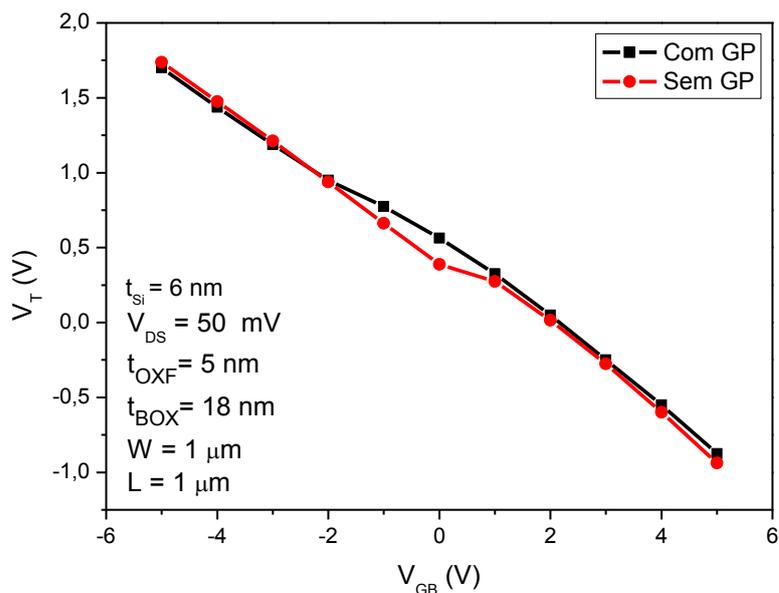
Figura 34- Curvas experimentais de V_T X V_{GB} , para dispositivos com e sem GP, na região de saturação e na temperatura de 25 °C.



Fonte: autor.

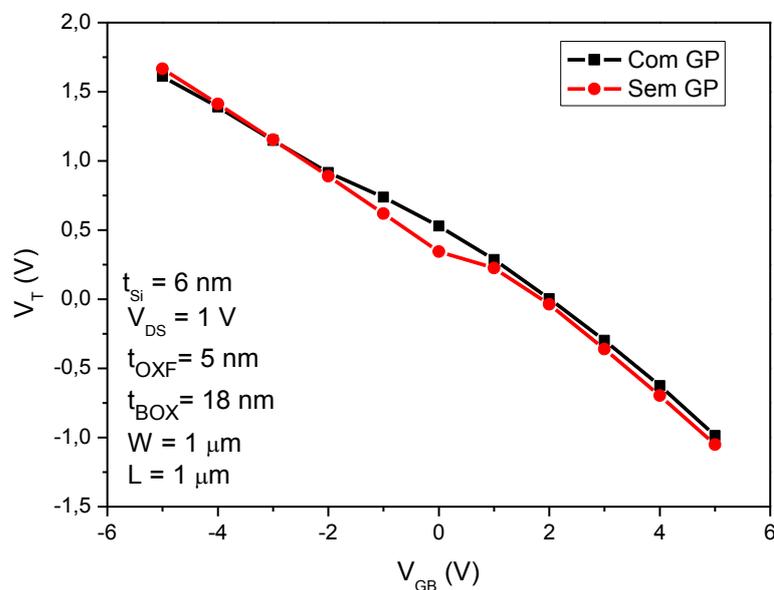
Analogamente, foi observada a mesma tendência para os dispositivos de t_{Si} de 6 nm, conforme mostrado na Figura 35 e na Figura 36.

Figura 35- Curvas experimentais de V_T X V_{GB} , para dispositivos de t_{Si} de 6 nm, com e sem GP, na região linear e na temperatura de 25°C.



Fonte: autor.

Figura 36-Curvas experimentais de V_T X V_{GB} , para dispositivos de t_{Si} de 6 nm, com e sem GP, na região de saturação e na temperatura de 25°C.

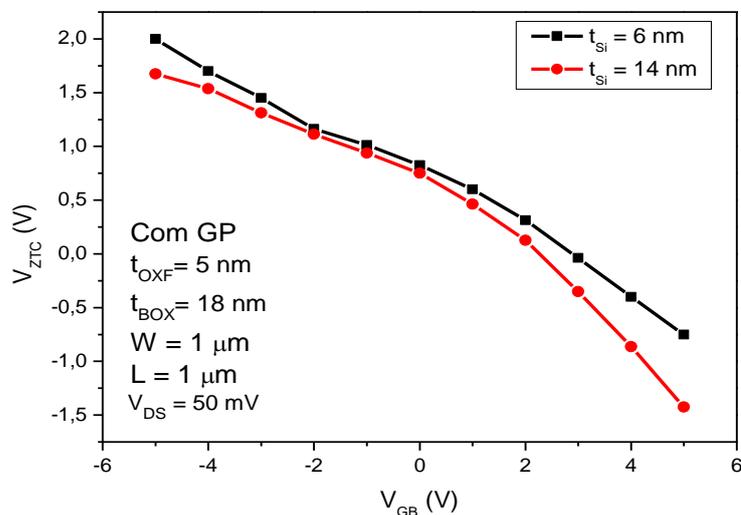


Fonte: autor.

5.3 Influência da espessura do silício (t_{Si})

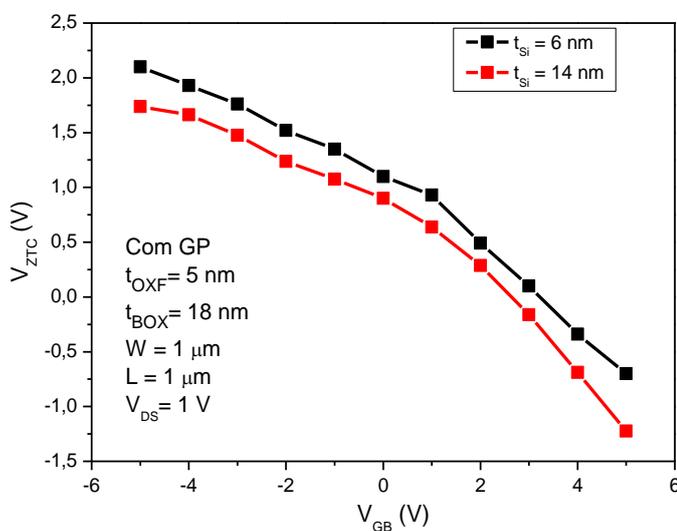
A Figura 37 e a Figura 38, mostram o efeito que a espessura do filme de silício (t_{Si}) causa nos valores de V_{ZTC} na região linear e de saturação, respectivamente. Como pode ser visto, a tensão de V_{ZTC} tende a aumentar com a diminuição da espessura da camada de silício, tanto na região linear como na saturação.

Figura 37- Valores experimentais de V_{ZTC} em função de V_{GB} para os dispositivos com espessuras de filme de silício diferentes e com GP, na região linear.



Fonte: autor.

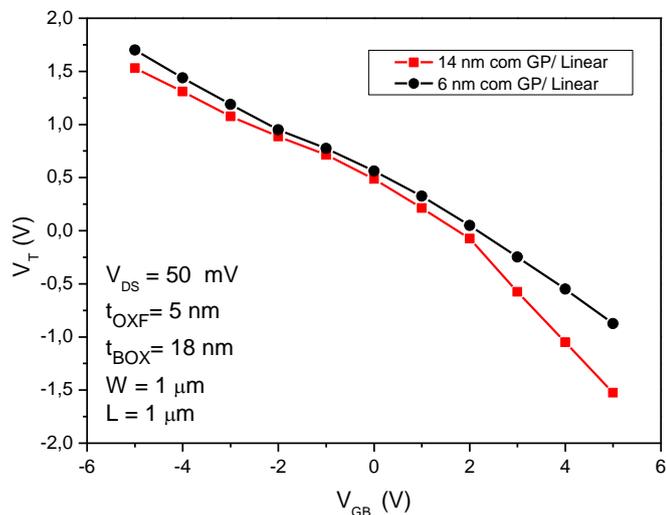
Figura 38- Valores experimentais de V_{ZTC} em função de V_{GB} para os dispositivos com espessuras de filme de silício diferentes e com GP, na região de saturação.



Fonte: autor.

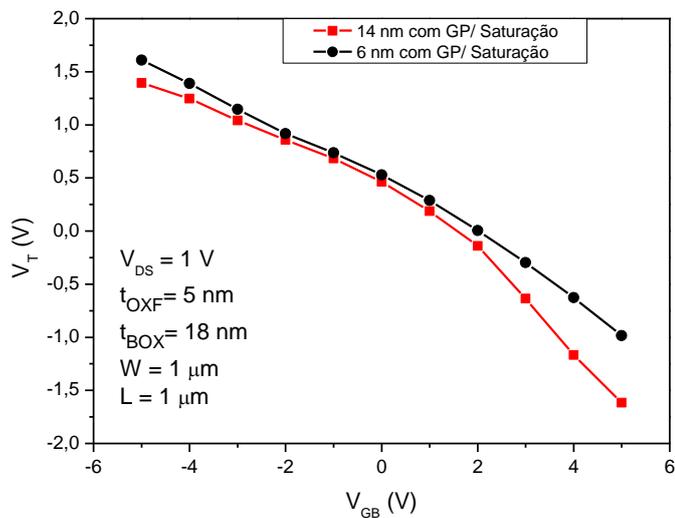
Com a diminuição do t_{Si} , a tensão de limiar aumenta, isso pode ser devido a efeitos quânticos, que aumenta a energia mínima na banda de condução ou pelo fato de haver um melhor acoplamento eletrostático devido a redução da espessura da camada de silício. Esse aumento pode ser visto na Figura 39 e Figura 40, que mostram a variação de V_T para diferentes valores de t_{Si} , na região linear e na região de saturação, respectivamente.

Figura 39- Curvas experimentais de V_T X V_{GB} , para dispositivos com t_{Si} diferentes, na região linear.



Fonte: autor.

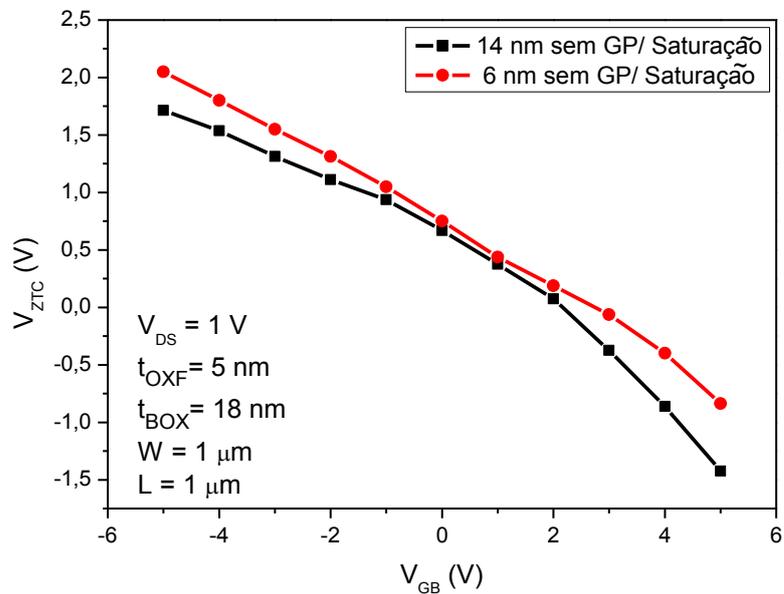
Figura 40- Curvas experimentais de V_T X V_{GB} , para dispositivos com t_{Si} diferentes, na região de saturação.



Fonte: autor.

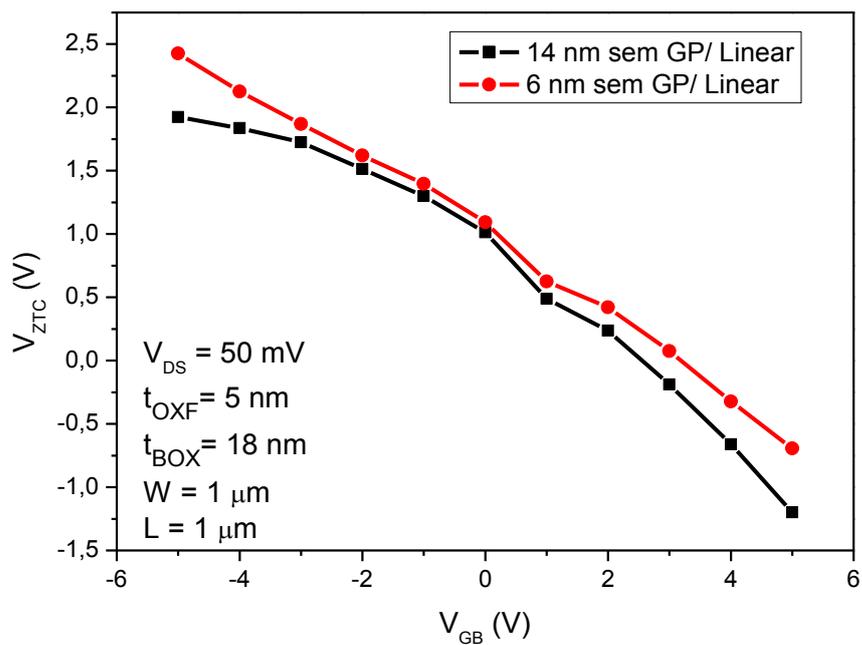
Analogamente, foi observado para os dispositivos sem GP, como é mostrado na Figura 41 e na Figura 42.

Figura 41- Curvas experimentais de $V_T \times V_{GB}$, para dispositivos com t_{Si} diferentes e sem GP, na região de saturação.



Fonte: autor.

Figura 42- Curvas experimentais de $V_T \times V_{GB}$, para dispositivos com t_{Si} diferentes e sem GP, na região de linear.



Fonte: autor.

5.4 Variação do V_{ZTC} entre 25 °C e 150 °C

As Tabelas 5, 6, 7, 8, 9, 10, 11, 12 e 13, resumam os resultados obtidos em todos os dispositivos estudados. Nessas tabelas, foram realizados tratamentos estatísticos como a média dos valores de V_{ZTC} , o desvio padrão, intervalo de confiança de nível de 95 % e os limites superiores e inferiores.

Tabela 5- Intervalo de valores de V_{ZTC} , para $t_{Si} = 14$ nm com GP, região linear.

VGB	Média	Desvio	Intervalo de	Limite	Limite
(V)	V_{ZTC}	padrão	confiança de 95%	superior	inferior
	(V)			(V)	(V)
-5	1,66	0,02	0,02	1,68	1,65
-4	1,51	0,03	0,03	1,54	1,49
-3	1,29	0,02	0,02	1,32	1,28
-2	1,10	0,02	0,02	1,12	1,08
-1	0,93	0,01	0,01	0,95	0,92
0	0,72	0,03	0,02	0,75	0,70
1	0,44	0,03	0,03	0,47	0,41
2	0,14	0,03	0,03	0,17	0,10
3	-0,35	0,06	0,06	-0,28	-0,41
4	-0,85	0,05	0,05	-0,81	-0,90
5	-1,41	0,04	0,04	-1,38	-1,45

Fonte: autor.

Tabela 6- Intervalo de valores de V_{ZTC} , para $t_{Si} = 14$ nm sem GP, região linear.

V_{GB}	Média	Desvio	Intervalo de	Limite	Limite
(V)	V_{ZTC}	padrão	confiança de	superior	inferior
	(V)		95%	(V)	(V)
-5	1,69	0,022	0,022	1,71	1,67
-4	1,58	0,050	0,049	1,63	1,53
-3	1,35	0,055	0,054	1,40	1,30
-2	1,12	0,058	0,056	1,18	1,06
-1	0,89	0,069	0,068	0,96	0,83
0	0,58	0,076	0,075	0,65	0,51
1	0,34	0,026	0,026	0,37	0,32
2	0,06	0,010	0,009	0,07	0,05
3	-0,41	0,029	0,029	-0,39	-0,44
4	-0,92	0,037	0,036	-0,88	-0,95
5	-1,45	0,027	0,026	-1,42	-1,47

Fonte: autor.

Os dispositivos de $t_{si} = 14$ nm (na região linear) mostraram um pequeno valor de desvio padrão, no máximo 76 mV em ambos os dispositivos (com e sem GP). Como o desvio padrão, o intervalo de confiança de 95% mostrou ter um valor bem pequeno, mínimo de 0,01 em ambos os casos, mostrando que o valor de V_{ZTC} varia bem pouco com a temperatura nesses dispositivos.

Tabela 7- Intervalo de valores de V_{ZTC} , para $t_{si} = 6$ nm com GP, região linear.

V_{GB}	Média V_{ZTC}	Desvio padrão	Intervalo de confiança de 95%	Limite superior	Limite inferior
(V)	(V)			(V)	(V)
-5	1,925	0,064	0,062	1,987	1,863
-4	1,636	0,053	0,052	1,688	1,584
-3	1,381	0,058	0,057	1,438	1,323
-2	1,118	0,053	0,052	1,170	1,067
-1	0,963	0,044	0,043	1,006	0,920
0	0,772	0,050	0,049	0,821	0,723
1	0,543	0,054	0,053	0,595	0,490
2	0,261	0,047	0,046	0,307	0,215
3	-0,063	0,026	0,025	-0,038	-0,088
4	-0,420	0,025	0,025	-0,395	-0,445
5	-0,768	0,016	0,015	-0,753	-0,783

Fonte: autor.

Tabela 8-Intervalo de valores de V_{ZTC} , para $t_{si} = 6$ nm sem GP, região linear.

V_{GB}	Média V_{ZTC}	Desvio padrão	Intervalo de confiança de 95%	Limite superior	Limite inferior
(V)	(V)			(V)	(V)
-5	1,690	0,022	0,022	1,712	1,668
-4	1,578	0,050	0,049	1,627	1,529
-3	1,351	0,055	0,054	1,405	1,297
-2	1,119	0,058	0,056	1,175	1,062
-1	0,893	0,069	0,068	0,961	0,825
0	0,580	0,076	0,075	0,655	0,505
1	0,342	0,026	0,026	0,368	0,316
2	0,064	0,010	0,009	0,073	0,054
3	-0,415	0,029	0,029	-0,386	-0,443

4	-0,916	0,037	0,036	-0,880	-0,952
5	-1,446	0,027	0,026	-1,419	-1,472

Fonte: autor.

Nas Tabelas 7 e 8, temos os dispositivos de $t_{Si} = 6$ nm na região linear, nota-se que no geral, os valores de desvio padrão e intervalo de confiança ficaram próximos aos valores dos dispositivos de 14 nm na região linear, isso mostra que não houve um aumento significativo da incerteza ao diminuir a espessura da camada do silício.

Tabela 9- Intervalo de valores de V_{ZTC} , para $t_{Si} = 14$ nm com GP, região de saturação.

V_{GB}	Média V_{ZTC}	Desvio padrão	Intervalo de confiança de 95%	Limite superior	Limite inferior
(V)	(V)			(V)	(V)
-5	1,738	0,009	0,009	1,747	1,729
-4	1,644	0,021	0,020	1,665	1,624
-3	1,457	0,017	0,016	1,473	1,441
-2	1,241	0,013	0,012	1,253	1,228
-1	1,082	0,010	0,010	1,092	1,072
0	0,897	0,005	0,005	0,902	0,892
1	0,635	0,006	0,006	0,641	0,629
2	0,276	0,009	0,009	0,285	0,267
3	-0,183	0,018	0,018	-0,165	-0,200
4	-0,688	0,009	0,009	-0,679	-0,696
5	-1,078	0,035	0,034	-1,043	-1,112

Fonte: autor.

Tabela 10- Intervalo de valores de V_{ZTC} , para $t_{Si} = 14$ nm sem GP, região de saturação.

V_{GB}	Média V_{ZTC}	Desvio padrão	Intervalo de confiança de 95%	Limite superior	Limite inferior
(V)	(V)			(V)	(V)
-5	1,921	0,007	0,007	1,928	1,914
-4	1,843	0,013	0,013	1,856	1,830
-3	1,681	0,034	0,033	1,714	1,647
-2	1,467	0,036	0,035	1,502	1,432
-1	1,213	0,077	0,075	1,288	1,137
0	0,782	0,133	0,131	0,913	0,651

1	0,369	0,069	0,067	0,436	0,301
2	0,199	0,025	0,024	0,223	0,175
3	-0,219	0,019	0,019	-0,200	-0,238
4	-0,726	0,045	0,044	-0,681	-0,770
5	-1,356	0,097	0,095	-1,261	-1,452

Fonte: autor.

Analisando os dispositivos de $t_{Si} = 14$ nm na região de saturação, observa-se que teve um pequeno aumento nos valores do desvio padrão em alguns casos, sendo que, o maior e o menor valores encontrados são respectivamente 133 ($V_{GB} = 0$ V, dispositivo sem GP) e 0,05 mV ($V_{GB} = 0$ V, dispositivo com GP) em ambos os dispositivos estudados.

Tabela 11- Intervalo de valores de V_{ZTC} , para $t_{Si} = 6$ nm com GP, região de saturação.

V_{GB} (V)	Média V_{ZTC} (V)	Desvio padrão	Intervalo de confiança de 95%	Limite superior (V)	Limite inferior (V)
-5	2,075	0,022	0,021	2,096	2,054
-4	1,968	0,025	0,024	1,992	1,943
-3	1,783	0,015	0,014	1,797	1,768
-2	1,530	0,012	0,012	1,542	1,518
-1	1,363	0,011	0,011	1,373	1,352
0	1,113	0,011	0,011	1,123	1,102
1	0,970	0,029	0,029	0,999	0,941
2	0,508	0,013	0,013	0,520	0,495
3	0,128	0,019	0,019	0,146	0,109
4	-0,360	0,014	0,014	-0,346	-0,374
5	-0,730	0,022	0,022	-0,708	-0,752

Fonte: autor.

Tabela 12- Intervalo de valores de V_{ZTC} , para $t_{Si} = 6$ nm sem GP, região de saturação.

V_{GB} (V)	Média V_{ZTC} (V)	Desvio padrão	Intervalo de confiança de 95%	Limite superior (V)	Limite inferior (V)
-5	2,371	0,052	0,051	2,422	2,321
-4	2,083	0,048	0,047	2,129	2,036
-3	1,834	0,034	0,034	1,867	1,800
-2	1,557	0,081	0,080	1,636	1,477
-1	1,337	0,065	0,064	1,400	1,273

0	1,036	0,059	0,058	1,094	0,978
1	0,605	0,023	0,023	0,628	0,582
2	0,403	0,017	0,017	0,420	0,386
3	0,066	0,011	0,011	0,077	0,056
5	-0,706	0,015	0,015	-0,691	-0,721

Fonte: autor.

As Tabelas 11 e 12, mostram os resultados para os dispositivos de $t_{Si} = 6$ nm na região de saturação. Analogamente, aos outros casos, tanto o desvio padrão como o intervalo de confiança tiveram valores baixos, no máximo 81 mV de desvio padrão e 0,08 de intervalo de confiança para o dispositivo sem GP de $V_{GB} = -2$ V.

Analisando as tabelas acima, conclui-se que o valor de V_{ZTC} varia com a temperatura, mas essa variação é mínima, menor que 80 mV em todos os casos. Em todos os casos, t_{Si} de 6 e 14 nm na região linear e de saturação, os dispositivos sem GP mostram ter maiores valores de desvio padrão e de intervalo de confiança, do que os dispositivos com GP. Isso mostra que os dispositivos com GP possuem uma maior confiança nos dados extraídos do que os dispositivos sem GP.

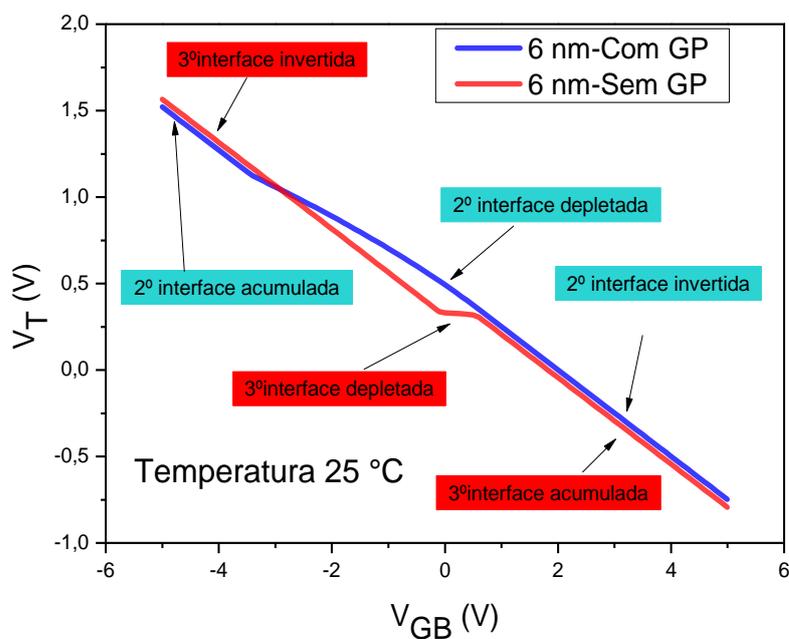
5.5 Modelo da tensão de limiar com e sem GP

O resultado mostrado nessa seção tem como objetivo evidenciar o efeito no substrato nos dispositivos SOI UTBB nMOSFETs, demonstrando curvas da tensão de limiar (V_T) pela tensão no substrato (V_{GB}), criadas utilizando os conjuntos de equações apresentadas na seção 2.4.1, e compará-las com os resultados obtidos experimentalmente, na região linear.

Na Figura 43, é possível ver a influência do plano de terra na curva $V_T \times V_{GB}$, sendo que quando a terceira interface está invertida, a segunda interface está acumulada, e nessa condição o valor de V_T para os dispositivos com e sem GP são muito próximos. Quando se tem depleção total das interfaces, tem-se que os dispositivos com GP possuem um valor de V_T maior do que os dispositivos sem GP, isso devido ao efeito de substrato mostrado na seção 2.4.1. E no momento em que a

terceira interface está acumulada, a segunda interface se encontra invertida, e os valores de V_T ficam próximos novamente.

Figura 43-Gráfico de V_T X V_{GB} calculado por meio do modelo da tensão de limiar apresentada na seção 2.4.1.



Fonte: Autor.

Comparando a Figura 43 com os gráficos de V_{ZTC} em função de V_{GB} para os dispositivos sem e com GP, é possível observar as semelhanças das curvas, uma vez visto que, a tensão de V_{ZTC} é muito próxima de V_T , isso para um mesmo t_{si} .

6. Conclusões e sequência do trabalho

Neste trabalho foi estudado o ponto invariante com a temperatura (V_{ZTC}) para transistores de estrutura SOI UTBB nMOSFETs (*Silicon-On-Insulator Ultra Thin Body and BOX*) operando na região linear e na saturação. Dispositivos com espessura de filme de silício de 6 nm e 14 nm, com e sem plano de terra (GP), foram analisados em diferentes temperaturas (25°C, 50 °C, 75°C, 100°C e 150°C), a fim de analisar o ponto de polarização, entre porta e fonte, invariante com a temperatura (V_{ZTC}). O modelo simples utilizado neste trabalho mostra uma boa concordância com os resultados obtidos experimentalmente com erros menores que 5 %, para V_{ZTC} dos dispositivos da região linear, isso para V_{ZTC} não próximo de zero. O intervalo de confiança mostrou que o V_{ZTC} varia um pouco com a temperatura, sendo que o pior caso foi de 81 mV (desvio padrão) no dispositivo de 6 nm e sem GP, na região de saturação.

A presença do plano de terra aumenta os valores de V_{ZTC} , devido à redução dos efeitos de substrato no dispositivo que aumenta a tensão de limiar, tanto na região linear como na saturação. O V_{ZTC} mostrou ser inversamente proporcional com a espessura da camada de silício, tanto para os dispositivos na região linear como na saturação. Isso foi causado pelo aumento do acoplamento eletrostático entre porta e canal, devido a diminuição do t_{si} , assim como devido aos efeitos quânticos, que aumentam o valor de V_T e consequentemente aumenta V_{ZTC} .

Os resultados do modelo analítico serviram para ressaltar a importância da tensão de limiar no valor de V_{ZTC} , e mostrou a influência do plano de terra e da espessura de filme de silício, no valor de V_T para um dispositivo SOI UTBB nMOSFET.

Os valores de V_{ZTC} da região de saturação tiveram um pequeno aumento, cerca de 360 mV em alguns casos, comparado aos valores da região linear, isso foi devido a um aumento nos valores de transcondutância e de V_{DS} , em ambos os dispositivos. Esse fenômeno foi visto nas duas espessuras de filme de silício, como

nos dispositivos com e sem GP. Portanto, para essa tecnologia, com os resultados obtidos, a tensão de V_{ZTC} aumentou na região de saturação.

Todas as tendências observadas nesse trabalho foram confirmadas pelo modelo analítico e se observou que a tensão de limiar é o fator predominante para o ponto ZTC desta tecnologia.

E para sequência do trabalho, seria interessante realizar simulações numéricas levando em consideração as dimensões dos dispositivos e a temperatura, isso para melhor esclarecer os efeitos estudados nesse trabalho a respeito do ZTC, tanto na região linear como na de saturação.

Publicações geradas durante o mestrado

Macambira, C. N.; Itocazu, V. T.; Almeida, L. M.; Martino, J. A.; Simoen, E.; Claeys, C.; “Ground plane influence on Zero Temperature Coefficient in SOI UTBB MOSFETs with different silicon film thicknesses”, 31st *Symposium on Microelectronics Technology and Devices*, Belo Horizonte, Brasil, 2016.

. João A. Martino; Nascimento, V. M.; Macambira, C. N.; Vitor T. Itocazu; Almeida, L. M.; Agopian, P. G. D.; Simoen, E.; Claeys, C.” Zero Temperature Coefficient Behavior for Advanced MOSFETs” *In: 2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2016, Hangzhou, China.

Referências

- [1] KILBY, J. S.; **Miniature semiconductor integrated circuit**. US3115581A, 1963.
- [2] LILIENFELD, J. **Method and apparatus for controlling electric currents**. US1745175A, 1970.
- [3] **O microchip: pequena invenção, grande revolução**. Disponível em: <http://www.lsi.usp.br/~chip/de_onde_vieram.html>. Acesso em: 16 de novem. 2016.
- [4] G. E. Moore, **Cramming more components onto integrated circuits**. *Electronics*, p. 114– 117, 19 abr. 1965. Reprinted in *Proc. IEEE*, vol. 86, no. 1, p. 82– 85, jan. 1998.
- [5] COMPUTER HISTORY MUSEUM. **1964 – First Commercial MOS IC Introduced**. Disponível em: <<http://www.computerhistory.org/semiconductor/timeline/1964-Commezial.html>>. Acesso em 01 jul. 2015.
- [6] MOORE, G. E. **Cramming more components onto integrated circuits**. *Electronics Magazine*, n. 4, 1965.
- [7] COLINGE, J.P.; **Thin-film SOI devices: A perspective**, *Microelectronic Engineering*, vol. 8, 1988.
- [8] COLINGE, J.P.; **Thin-Film SOI Technology: the solution to many submicron CMOS problems**, *Technical Digest of EDM*, pp. 817-820, 1989.
- [9] KLAASSEN, F. M. e HES, W., **On the temperature coefficient of the MOSFET threshold voltage**. *Solid-St Electron*. v29, p. 787, 1990.
- [10] J.-P. Colinge, **Silicon-on-Insulator Technology: Materials to VLSI**, 3rd ed. Norwell, MA, USA: Kluwer, 2004.

- [11] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.
- [12] KRISHNAN, S.; FOSSUM, J. G. **Grasping SOI floating-body effects**. IEEE Circuits and Devices Magazine, v. 14, n. 4, p. 32-37, 1998.
- [13] COLINGE, J. P. **Subthreshold Slope of Thin-Film SOI MOSFET's**. IEEE Electron Devices Letters, v. 7, n. 4, 1986.
- [14] KISTLER, N.; WOO, J. **Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's**. IEEE Transactions on Electron Devices, v. 41, n. 7, p. 1217-1221, 1994.
- [15] YOUNG, K. K. **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 36, n. 2, p. 399-402, 1989.
- [16] OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G. **Influence of series resistances and interface coupling on the transconductance of fully-depleted silicon-on-insulator MOSFETs**. Solid State Electronics, v. 35, n. 2, p. 141-149, 1992.
- [17] SZE, S. M. **Physics of Semiconductor Devices**. New York: John Wiley & Sons, 1981.
- [18] LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1251, 1983.
- [19] J.-P. Noel, O. Thomas, M. Jaud, P. Rivallin, P. Scheiblin, T. Poiroux, F. Boeuf, F. Andrieu, O. Weber, O. Faynot, and A. Amara, **UT2B-FDSOI Device Architecture Dedicated to Low Power Design Techniques**. na *European Solid-State Device Research Conference ESSDERC*, 2010, p. 210–213.
- [20] N. Sugii, R. Tsuchiya, T. Ishigaki, and Y. Morita, **Local Vth Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant**

Fluctuation. *IEEE Transactions on Electron Devices*, vol. 57, no. 4, p. 835–845, 2010.

[21] LIM, H. K.; FOSSUM, J. G.; **Threshold Voltage of Thin Film Silicon on Insulator (SOI) MOSFET's**; *IEEE Transactions on Electron Devices*, vol. 30, n. 10, p. 1244-1251, 1983.

[22] ITOCAZU, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A.; **Analysis of the Silicon Film Thickness and the Ground Plane Influence on Ultra Thin Buried Oxide SOI nMOSFETs**, *Microelectronics Technology and Devices*, SBMicro, 2012.

[23] CHANG, L. et al.; Moore's law lives on CMOS Transistor, **IEEE Circuits & Devices Magazine**, p. 35-42, 2003.

[24] FENOUILLET-BERANGER, C. et al. **FDSOI devices with thin BOX and ground plane integration for 32 nm node and below**, *Solid State Electronics*, vol. 53, p. 730-734, 2009.

[25] ALMEIDA, L. M., et al.; **One Transistor Floating Body RAM Performances on UTBOX Devices Using the BJT Effect**, *Journal of Integrated Circuits and Systems*, pp 113-119, 2012.

[26] MARTINO, J.A. et al.; **Model for the potential drop in the silicon substrate for thin-film SOI MOSFETs**, *Electronics Letters*, vol. 26, p. 1462, 1990.

[27] BURIGNAT, S., et al.; **Substrate impact on threshold voltage and subthreshold slope of sub-32 nm ultra thin SOI MOSFETs with thin buried oxide and undoped channel**, *Solid-State Electronics*, vol. 54, p. 213-219, 2010.

[28] FASARAKIS, N., et al.; **Analytical modelling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide SOI MOSFETs with back gate control**, *IEEE Transaction Electron Devices*, vol. 61, p. 969-975, 2014.

- [29] Vitor T. Itocazu, Victor Sonnenberg, Eddy Simoen, Cor Claeys, Joao A. Martino, "**Ground Plane influence on UTBB SOI nMOSFET analog parameters**", *Microelectronics Technology and Devices (SBMicro) 2015 30th Symposium on*, p. 1-4, 2015.
- [30] J. W. TSCHANZ, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan e V. De, **Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage**, *IEEE solid-State Circuits*, vol. 37, p. 1396-1402.
- [31] F.S. **Shoucair**, *Electron. Lett.* 25 (1989) pp. 1196–1198.
- [32] Z.D. **Prijic**, S.S. Dimitrijević, N.D. Stojadinović, *Microelectron. Reliab.* 32 (1992) 769–773.
- [33] G. **Groeseneken**, J.-P. Colinge, H.E. Maes, J.C. Alderman, S. Holt, *IEEE Electron Device Lett.* 11 (1990) 329–331.
- [34] D.S. **Jeon**, D.E. Burk, *IEEE Trans. Electron Devices* 38 (1991) 2101–2111.
- [35] Prijic, Z. D., Dimitrijević, S. S., Stojadinovic, N. D., **The determination of zero temperature coefficient point in CMOS transistors**, *Microelectronics Reliability*, v. 32, p. 769, 1992.
- [36] M. Emam, J. P. Raskin; "**Partially Depleted SOI Versus Deep N-Well Protected Bulk-Si MOSFETs: A High-Temperature RF Study for Low-Voltage Low-Power Applications**", *IEEE transactions on microwave theory and techniques*, vol. 61, no. 4, abr. 2013, p.1496-1504.
- [37] M. Emam, D. Vanhoenacker-Janvier, and J.-P. Raskin, "**Zero temperature coefficient of current gain cutoff frequency and maximum oscillation frequency for various MOSFETs**," in *Proc. 219th Electrochem. Soc. (ECS) Meeting*, Montreal, QC, Canada, 1-6 mar. 2011, p. 129–134.

- [38] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs**, EuroSOI 2006 Conference Proceedings, v. 1, p. 77, 2006.
- [39] Almeida, L. M., Martino, J. A., Simoen, E., Claeys, C., **Improved Analytical Model for ZTC Bias Point for Strained Tri-gates FinFETs**, SBMicro 2010 – 25th International Symposium on Microelectronics Technology and Devices, v. 31, p.385, 2010.
- [40] N. Collaert, M. Aoulaiche, M. Rakowski, B. De Wachter, K. Bourdelle, B. -Y. Nguyen, F. Boedta, D. Delprat, M. Jurczak, "**Analysis of sense margin and reliability of 1T-DRAM fabricated on thin-film UTBOX substrates**", IEEE Int. SOI Conference, p. 1-2, 2009.
- [41] Wong, H. S., White, M. H., Krutsick, T. J., Booth, R. V., **Modeling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Oxide MOSFET's**, Solid-State Electronics, v. 30, p. 953, 1987.
- [42] Okumura, Y. et al., "**A novel source-to-drain nonuniformly doped channel (NUDC) MOSFET for high current drivability and threshold voltage controllability** ", IEDM Tech Dig., 1990, 391-394.