SARA DERESTE DOS SANTOS

**INFLUÊNCIA DA TENSÃO MECÂNICA (STRAIN) NO
ABAIXAMENTO DE BARREIRA INDUZIDO PELO DRENO (DIBL)
EM FinFETs DE PORTA TRIPLA**

**São Paulo
2010**

SARA DERESTE DOS SANTOS

**INFLUÊNCIA DA TENSÃO MECÂNICA (STRAIN) NO
ABAIXAMENTO DE BARREIRA INDUZIDO PELO DRENO (DIBL)
EM FinFETs DE PORTA TRIPLA**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para obtenção de título de
Mestre em Engenharia.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

**São Paulo
2010**

FICHA CATALOGRÁFICA

Santos, Sara Dereste dos

**Influência da tensão mecânica (Strain) no abaixamento de
barreira induzido pelo dreno (DIBL) em FinFETs de porta tripla /
S.D. Santos. -- São Paulo, 2010.
99 p.**

**Dissertação (Mestrado) - Escola Politécnica da Universidade
de São Paulo. Departamento de Engenharia de Sistemas Eletrô-
nicos.**

**1.Transistores 2.Circuitos integrados MOS 3.Microeletrônica
I. Universidade de São Paulo. Escola Politécnica. Departamento
de Engenharia de Sistemas Eletrônicos II. t.**

DEDICATÓRIA

Dedico este trabalho aos meus pais Inês e Ananias por me ensinarem, em sua simplicidade, o real valor da vida.

*“Loucura? Sonho? Tudo é loucura ou sonho no
começo. Nada do que o homem fez no mundo
teve início de outra maneira, mas tantos sonhos
se realizaram que não temos o direito de
duvidar de nenhum”*

Monteiro Lobato

AGRADECIMENTOS

A Deus por toda a coragem e pelas bênçãos de cada dia das quais muitas vezes não reconhecemos e não percebemos o imenso valor. Do ar que respiramos às pessoas que passam por nossas vidas. Tudo o que sou, tudo o que tenho, eu devo a ti, Senhor.

Aos meus pais que muito amo, pelo amor e carinho incondicionais e sem os quais minha vida não teria sentido.

Ao professor e orientador João Antonio Martino pela confiança, amizade e essencial ajuda ao longo desses anos.

Ao laboratório de sistemas integráveis pela infra-estrutura e ao CNPQ pelo apoio financeiro.

Às amigas Glória e Talitha, pela sincera amizade que transforma meus dias e me deixa mais feliz.

Ao grupo SOI, pela ajuda, amizade e experiência de cada membro.

Ao meu irmão Samuel, minha inspiração, por sua inteligência, persistência e por me aturar.

Ao meu namorado Rafael, por seu apoio e pela enorme paciência nos momentos mais difíceis.

A tantos outros amigos, os distantes e os próximos, que me ajudam de forma simples a encarar o dia a dia com esperança. Conquistar uma amizade verdadeira é a maior riqueza que podemos ter. E é isso que me faz rica e feliz.

Aos menos amigos, obrigada por me fazerem acreditar que tudo pode ser transformado. Só depende de nós.

RESUMO

Este trabalho apresenta o estudo da influência do tensionamento mecânico (*strain*) no efeito de abaixamento de barreira induzido pelo dreno (DIBL) em dispositivos SOI FinFETs de porta tripla com e sem crescimento seletivo epitaxial. Também é analisada a influência do uso de crescimento seletivo epitaxial nesses dispositivos em relação ao efeito de canal curto mencionado. O uso de transistores verticais de múltiplas portas tem permitido a continuidade do escalamento dos dispositivos, apresentando melhora nos níveis de corrente bem como a supressão dos efeitos de canal curto. No entanto, ao reduzir a largura do canal, aumenta-se a resistência total do transistor, diminuindo seu desempenho. A fim de melhorar essa característica, as técnicas de tensionamento mecânico e crescimento de fonte e dreno tem sido empregadas. No primeiro caso, ao se deformar mecanicamente a estrutura do canal, altera-se o arranjo das camadas eletrônicas que ocasiona o aumento da mobilidade dos portadores. Conseqüentemente, a corrente aumenta tal como a transcondutância do dispositivo. A técnica de crescimento de fonte e dreno chamada de crescimento seletivo epitaxial (SEG) tem como finalidade reduzir ainda mais a resistência elétrica total da estrutura, uma vez que a área dessas regiões aumenta, possibilitando o aumento das áreas de contato, que são responsáveis pela maior parcela da resistência total. Esse trabalho baseia-se em resultados experimentais e simulações numéricas tridimensionais que analisam o comportamento dos transistores com as tecnologias acima apresentadas em função do efeito de DIBL.

Palavras-chave: Efeito de DIBL. FinFETs. Múltiplas Portas. Crescimento Seletivo Epitaxial. Canal Tensionado. Tecnologia SOI.

ABSTRACT

This work presents a study about the influence of strain in the drain induced barrier lowering effect (DIBL) in triple gate SOI FinFETs. Also it is analyzed the selective epitaxial growth used in that structures, comparing their behavior in relation to DIBL effect. Using the vertical multi-gate devices become possible the downscale whereas they present higher current level and suppressed short channel effects. However, reducing the channel width, the transistor's total resistance increases and consequently its performance decreases. In order to improve this feature, the strained technology and the Source/Drain's growth technique has been employed. In the first case, the mechanical deformation causes a change in the electron shell, which improves the carrier mobility. Consequently, the current level and the transconductance also improve. The selective epitaxial growth technique aims to reduce the device's total resistance since these regions areas increase, allowing large contacts which are responsible for the main parcel of the total resistance. This work is based on experimental results and tridimensional simulations that analyze the transistor behavior using the technologies above presented as a function of DIBL effect.

Key-words: DIBL effect. Multiple-Gates. Selective Epitaxial Growth. Strained Channel. SOI Technology.

LISTA DE FIGURAS

Figura 1.1. Evolução dos processadores segundo Lei de Moore.....	19
Figura 2.1. Perfil da estrutura de um transistor SOI nMOSFET.....	23
Figura 2.2. Diagramas de faixas de energia de um transistor canal N parcialmente depletado (a) e totalmente depletado (b).	25
Figura 2.3. Perfil de cargas de um transistor nMOS com comprimento de canal longo (a) e canal curto (b) ³	32
Figura 2.4. Perfil de cargas de um transistor SOI MOSFET com comprimento de canal longo (a) e canal curto (b) ³	33
Figura 2.5. Diferentes configurações de dispositivos SOI. 1) porta simples; 2) porta dupla; 3) porta tripla; 4) porta quádrupla; 5) porta tipo Π . ¹⁵	34
Figura 2.6. Evolução dos dispositivos SOI MOSFET.	34
Figura 2.7. Seção transversal de um transistor SOI nMOSFET de porta dupla planar.....	35
Figura 2.8. Corte transversal de um transistor GAA (a) e corte central na região do canal (b) ¹⁸	36
Figura 2.9. Estrutura de um transistor FinFET de porta dupla (a) e porta tripla (b).....	36
Figura 2.10. Transistor FinFET de porta tripla. ¹⁶	37
Figura 2.11. Seção transversal de um transistor de porta Π e Ω . ²¹	38
Figura 2.12. Exemplo de transistores de quatro portas. ³	39
Figura 2.13. Estrutura de múltiplos <i>fin</i> s. ¹⁶	40
Figura 2.14. Coordenadas de um transistor de múltiplas portas. ¹⁶	43
Figura 2.15. Perfil de depleção, exemplificando o DIBL de superfície(a) e o DIBL de corpo (b).....	46
Figura 2.16. Corte transversal de um transistor MOS convencional de canal longo e de canal curto sob alto potencial no dreno e a mudança no potencial para ambos dispositivos.....	46

Figura 2.17. Faixas de energia para baixa e alta polarização no dreno.....	47
Figura 2.18. Curva $I_{DS} \times V_{GS}$ de um transistor na condição de triodo (V_{DS1}) e saturação (V_{DS2}).	48
Figura 2.19. Transistor nMOS com camada de Si_3N_4 , favorecendo o stress tensivo no interior do canal.....	50
Figura 2.20. Estrutura cristalina de silício com stress mecânico induzido biaxialmente devido a camada de Si-Ge.	51
Figura 3.1. À esquerda, exemplo de uma cascata de L presente nas lâminas medidas contendo onze transistores de diferentes comprimentos de canal e, à direita, uma ampliação de um dos transistores.....	55
Figura 3.2. Extração da tensão de limiar em função do comprimento de canal para as duas condições de polarização, comparando as tecnologias com e sem tensão mecânica.	56
Figura 3.3. Valores obtidos para o efeito de DIBL em função do comprimento de canal.	58
Figura 3.4. Transcondutância em função da tensão de porta V_{GS} para transistores com diferentes comprimentos de canal.	60
Figura 3.5. Tensão de limiar em função da largura de canal para $L = 100$ nm e para as duas polarizações de dreno.	60
Figura 3.6. DIBL em função da largura de canal para $L = 100$ nm.....	61
Figura 3.7. Corte do canal do transistor em função de W_{Fin} (a) nas situações de canal curto (b) e canal longo (c).....	62
Figura 3.8. DIBL em função do comprimento de canal para $W_{Fin} = 25$ nm e $W_{Fin} = 55$ nm.....	62
Figura 3.9. Tensão de limiar para alto e baixo V_{DS} em função do comprimento de canal para dispositivos com SEG.....	63
Figura 3.10. DIBL em função do comprimento de canal para $W_{Fin} = 25$ nm e $W_{Fin} = 55$ nm.....	64
Figura 3.11. Transcondutância em função da tensão de porta V_{GS} para transistores com diferentes comprimentos de canal e com o uso de crescimento seletivo epitaxial em fonte e dreno.....	66
Figura 3.12. Tensão de limiar em função da largura do <i>fin</i> para dispositivos com 100 nm de comprimento de canal, nas duas condições de polarização de dreno.....	67

Figura 3.13. DIBL extraído em função da largura do <i>fin</i> para dispositivos com 100 nm de comprimento de canal.	68
Figura 3.14. DIBL em função do comprimento de canal para $W_{Fin} = 25\text{nm}$ e $W_{Fin} = 55\text{nm}$ usando elevação de fonte e dreno.	68
Figura 3.15. Transcondutância em função da tensão na porta para dispositivos com e sem SEG e com 80nm de comprimento de canal e 55nm de W_{Fin}	70
Figura 3.16. $G_{m_{\text{máx}}}$ em função do comprimento de canal para dispositivos com e sem SEG.	71
Figura 3.17. Inclinação de sublimiar em função do comprimento de canal para dispositivos com e sem SEG.....	72
Figura 3.18. Tensão de limiar em função da largura do canal para dispositivos com e sem SEG.	73
Figura 3.19. Comparação entre dispositivos com e sem SEG para as tecnologias convencionais, com deformação uniaxial e biaxial, analisando os valores de DIBL em função da largura do <i>fin</i>	74
Figura 3.20. Associação simplificada de resistências ao longo de um transistor.....	75
Figura 4.1. Vista tridimensional de um transistor SOI FinFET criado no simulador Atlas.	81
Figura 4.2. Corte do transistor em função de X (a) e em função de Z(b)...	82
Figura 4.3. Ajuste da curva $I_{DS} \times V_{GS}$ através de simulação.....	83
Figura 4.4. Faixas de condução para dispositivos simulados para diferentes valores de E_g	84
Figura 4.5. Influência do E_g na variação da tensão de limiar.....	85
Figura 4.6. Faixas de energia em função da distância da fonte ao dreno do transistor.	86
Figura 4.7 Faixas de energia próximas à região da fonte onde ocorre o abaixamento de barreira.....	87
Figura 4.8. Faixas de energia para dispositivos polarizados com baixo potencial no dreno, onde já se observa o abaixamento de barreira induzido pela diferença em E_g	87

LISTA DE TABELAS

Tabela 3.1. Características dos Dispositivos.....	54
Tabela 3.2. Valores de V_T para baixo e alto V_{DS} em função de variados comprimentos de canal para $W_{Fin} = 55\text{nm}$	57
Tabela 3.3. Valores de V_T para baixo e alto V_{DS} em função de variados comprimentos de canal para $W_{Fin} = 55\text{nm}$ e com o uso de SEG.....	64
Tabela 3.4. Valores de V_T para baixo e alto V_{DS} em função de diferentes larguras de <i>fin</i> para 100nm de comprimento de canal e com o uso de SEG.....	69
Tabela 3.5. Valores de V_T para diferentes comprimentos de canal e para dispositivos com e sem o uso de SEG para $V_{DS} = 0,05\text{V}$	72
Tabela 3.6. Valores de R_{SD} , R_{CH} e R_{Total} para dispositivos com e sem o uso de SEG.	75
Tabela 4.1. Valores E_g calculados com base na variação experimental de V_T	84

LISTA DE SÍMBOLOS

C_D	Capacitância da região depleção por unidade de área [F/cm^2]
C_{it}	Capacitância de armadilhas de interface por unidade de área [F/cm^2]
C_{OX}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E_g	Faixa ou banda proibida do material
N_C	Nível energético da faixa de condução
N_F	Nível de Fermi
N_V	Nível energético da faixa de valência
I_D	Corrente entre dreno e fonte de dispositivos FinFETs [A]
I_{D0}	Corrente de um dispositivo planar de porta única, por unidade de largura [A/cm]
I_{DS}	Corrente entre dreno e fonte de dispositivos MOSFETs [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
L	Comprimento de canal do transistor [μm]
L_{eff}	Comprimento de canal efetivo [μm]
m^*	Massa efetiva
N_A	Concentração de impurezas aceitadoras [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{it}	Densidade de armadilhas de interface
S	Espaçamento entre <i>fins</i> [nm]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_D	Carga total de depleção na camada de silício por unidade de área nos transistores SOI [C/cm^2]
Q_{Dep1}	Densidade de carga de depleção na camada de silício do transistor SOI [C/cm^2]
Q_{depl}	Densidade de carga de depleção na camada de silício do transistor MOSFET convencional [C/cm^2]
Q_{inv1}	Densidade de carga de inversão na primeira interface [C/cm^2]
Q_{OX}	Densidade de carga efetiva no óxido por unidade de área [C/cm^2]
Q_{OX1}	Densidade de cargas fixas na primeira interface [C/cm^2]

Q_{ox2}	Densidade de cargas fixas na segunda interface [C/cm^2]
Q_{S2}	Densidade de carga de acumulação ou inversão na segunda interface [C/cm^2]
r_{inf}	Raio de curvatura do canto superior inferior [nm]
r_{sup}	Raio de curvatura do canto superior [nm]
R_C	Resistência de contato [Ω]
r_j	Profundidade da junção de fonte e dreno [nm]
R_{SD}	Resistência série de fonte e dreno [Ω]
R_T	Resistência total do dispositivo SOI MOSFET [Ω]
S	Inclinação de sublimar [mV/dec]
T	Temperatura absoluta [K]
TiN	Nitreto de Titânio
t_{ox}	Espessura do óxido de silício [nm]
t_{ox2}	Espessura do óxido enterrado [nm]
t_{ox1}	Espessura do óxido de porta do transistor SOI [nm]
t_{Si}	Espessura da camada de silício [nm]
V_{DS}	Tensão aplicada ao dreno do transistor em relação à fonte [V]
V_{FB}	Tensão de faixa plana [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{GB,cc2}$	Tensão aplicada ao substrato com a segunda interface acumulada [V]
V_{GF}	Tensão aplicada à porta frontal do transistor SOI [V]
V_{GS}	Tensão entre porta e fonte de um transistor [V]
V_S	Tensão aplicada na fonte do transistor [V]
$V_{T1,acc2}$	Tensão de limiar de porta com a segunda interface acumulada [V]
$V_{T1,depl2}$	Tensão de limiar de porta com a segunda interface depletada [V]
$V_{T1,inv2}$	Tensão de limiar de porta com a segunda interface invertida [V]
V_T	Tensão de limiar da porta do transistor SOI [V]
W_{Fin}	Largura do <i>fin</i> do transistor de múltiplas portas [nm]
$x_{dm\acute{a}x}$	Profundidade máxima da região de depleção [nm]
α	Coeficiente que relaciona as capacitâncias de um transistor
δ	Parâmetro resultante da associação da capacitância
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]

ϕ_F	Potencial de Fermi da camada de silício [V]
ϕ_{MS}	Diferença de função trabalho entre metal e semiconductor [V]
ϕ_{MS1}	Diferença da função trabalho entre metal de porta e semiconductor no transistor SOI [V]
ϕ_{MS2}	Diferença da função trabalho entre o substrato e a camada de silício no transistor SOI [V]
ϕ_{S1}	Potencial de superfície da primeira interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]
λ_1	Comprimento natural para transistor de porta única
λ_2	Comprimento natural para transistor de porta dupla
λ_3	Comprimento natural para transistor de porta tripla
μ_{eff}	Mobilidade efetiva dos portadores do canal [cm ² /V.s]
μ_{Lat}	Mobilidade das Interfaces Laterais [cm ² /V.s]
μ_{Topo}	Mobilidade da Interface Superior [cm ² /V.s]

LISTA DE ABREVIATURAS E SIGLAS

CMOS	Complementary Metal Oxide Semiconductor
CESL	Contact Etch Stop Layer
DELTA	Fully Depleted Lean Channel Transistor
DIBL	Drain Induced Barrier Lowering
FD	Full Depleted
FinFET	Fin Field Effect Transistor
GAA	Gate-all-around
IMEC	Interuniversity Microelectronic Centre
LDD	Lightly Doped Drain
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MuGFET	Multi-Gate Field Effect Transistor
PD	Partially Depleted
SCE	Short Channel Effect
SEG	Selective Epitaxial Growth
Si	Silício
SiO ₂	Óxido de Silício
SOI	Silicon-On-Insulator
SOS	Silicon-On-Sapphire
sSOI	Strained Silicon
VLSI	Very-Large-Scale Integration

SUMÁRIO

1. INTRODUÇÃO	19
1.1 Objetivos e Estrutura do Trabalho.....	21
2. CONCEITOS BÁSICOS	23
2.1 Tecnologia Silício sobre Isolante - SOI	23
2.1.1 <i>Tipos de Dispositivos</i>	24
2.1.2 <i>Tensão de Limiar</i>	26
2.1.3 <i>Inclinação de Sublimiar</i>	29
2.1.4 <i>Transcondutância</i>	31
2.1.5 <i>Efeitos de Canal Curto</i>	31
2.2 Dispositivos com Múltiplas Portas.....	33
2.2.1 <i>Transistores de Porta Dupla</i>	34
2.2.1.1 O FinFET.....	36
2.2.2 <i>Transistores com Porta Tripla e Porta Tripla +</i>	37
2.2.3 <i>Transistor de Porta Quádrupla</i>	39
2.2.4 <i>Características Elétricas</i>	40
2.2.4.1 Corrente I_{DS}	40
2.2.4.2 Tensão de Limiar	41
2.2.4.3 Efeitos de Canal Curto.....	42
2.2.4.4 Mobilidade	44
2.3 Drain Induced Barrier Lowering - DIBL	45
2.4 Dispositivos com Tensionamento Mecânico.....	49
2.4.1 <i>Deformação Uniaxial</i>	49
2.4.2 <i>Deformação Biaxial Global</i>	50
2.4.3 <i>Efeito da Tensão Mecânica na Tensão de Limiar</i>	51
2.5 Crescimento Seletivo Epitaxial - SEG	52
3. CARACTERIZAÇÃO ELÉTRICA	54
3.1 Determinação do DIBL.....	55
3.2 Resultados Experimentais.....	56
3.2.1 <i>Dispositivos sem SEG</i>	56
3.2.2 <i>Dispositivos com SEG</i>	63
3.2.3 <i>Comparação entre dispositivos com e sem SEG</i>	69
3.2.4 <i>Estudo da resistência série e total dos dispositivos</i>	74
4. SIMULAÇÃO	77
4.1 Simulador Atlas.....	77
4.2 Modelos do Simulador ATLAS	77
4.3 Simulação	80
4.4 Resultados e Discussões sobre as Simulações	82

5. CONCLUSÕES E SEQUÊNCIA DO TRABALHO.....	88
TRABALHOS PUBLICADOS.....	90
REFERÊNCIAS.....	91
ANEXO	95

1. INTRODUÇÃO

Com o avanço da microeletrônica, na tentativa de manter válida a Lei de Moore¹ (Figura 1.1), onde o número de transistores em um circuito integrado dobra em média a cada dezoito meses, muitos estudos de diferentes tecnologias são necessários.

Figura 1.1. Evolução dos processadores segundo Lei de Moore.

Esse estudo se faz necessário, pois não há outra forma de aumentar a velocidade e o desempenho dos transistores sem alterar algumas de suas características. A geometria tem sido o principal parâmetro modificado, uma vez que a mudança de materiais e processos implica em aumento no custo. Atualmente, no entanto, há estudos concentrados em diversas áreas, modificando todas as componentes possíveis como a dopagem dos materiais, o metal e óxido de porta e o tipo de lâmina usada (convencional ou SOI).

O grande escalamento dos dispositivos faz com que muitos efeitos parasitários surjam, tornando seu desempenho inapropriado comercialmente².

Por esse motivo os transistores de efeito de campo (MOS), fabricados em lâminas de silício e que passaram a ser chamados de MOS convencional, tem perdido espaço para a tecnologia Silício sobre Isolante (SOI MOSFET). A lâmina SOI, com uma camada de óxido enterrado separando a região ativa do substrato de silício, mostrou-se superior na supressão de alguns efeitos parasitários, diminuindo também as capacitâncias de modo geral³.

Apesar de ter melhorado o desempenho dos transistores comparados aos MOSFETs convencionais, a tecnologia SOI precisou evoluir para acompanhar o contínuo escalamento dos transistores. Surgiram então os dispositivos de múltiplas portas com a idéia de aumentar e melhor controlar os níveis de corrente na região do canal. No entanto, a construção de um dispositivo de múltiplas portas não é necessariamente simples. Foi dessa dificuldade que surgiu o FinFET⁴, transistor de canal vertical. Originado do transistor DELTA⁵ criado em 1989, o FinFET diferenciava-se apenas por apresentar óxido de porta mais espesso no topo do canal. Apesar da pequena diferença o nome mudou e o FinFET acabou sendo uma idéia consolidada. Construir um transistor vertical a partir de um filete de silício (ou simplesmente *fin*) era mais fácil, em relação a processo, do que a antiga configuração planar⁶.

O FinFET também traz a vantagem de ser compacto e, por isso, ocupar menores espaços. Com vários *fins* em paralelo é possível ter um aumento considerável na corrente I_D total. Porém, quando a largura de fonte e dreno torna-se pequena, a resistência série da estrutura aumenta. A fim de minimizar esta característica indesejável, a técnica de elevação de fonte e dreno obtida por crescimento seletivo epitaxial tem se mostrado eficiente.

Em paralelo, mudanças no metal de porta e no óxido de porta garantiram ainda mais a evolução das tecnologias, contribuindo para a integração dos circuitos⁷.

Hoje, os dispositivos tridimensionais estão em foco. Estudos mostram que eles apresentam melhores características, como inclinação de sublimiar quase ideal, menor susceptibilidade a efeitos de canal curto, etc. Ainda assim, em dimensões tão pequenas, é quase impossível eliminar todos os problemas, podendo sempre melhorar em algum aspecto. O uso de canal tensionado, por

exemplo, tem garantido o aumento na mobilidade dos portadores em transistores planares fazendo com que a transcondutância seja maior devido ao maior nível de corrente. Muita pesquisa tem ocorrido a fim de verificar como o uso de canal tensionado⁸ pode melhorar as características de um transistor tipo FinFET. Tanto a tensão mecânica em uma direção (uniaxial) como em duas direções (biaxial) tem sido foco de muitos desses estudos. O uso de crescimento seletivo epitaxial (SEG) para aumentar as regiões de fonte e dreno ajuda a diminuir a resistência total dos dispositivos, o que possibilita ainda mais a redução dos mesmos⁹.

Entre os efeitos de canal curto que surgem com o escalamento dos dispositivos, o DIBL (*Drain Induced Barrier Lowering*) é um dos mais importantes para se determinar o desempenho e a continuidade de novas tecnologias¹⁰. Trata-se de um efeito que depende do potencial aplicado ao dreno e, por isso, não está relacionado apenas ao comprimento do canal. O uso de tecnologias com baixa dopagem na região de canal também favorece a ocorrência do efeito e, por isso, dispositivos menores são mais susceptíveis a ele.

1.1 Objetivos e Estrutura do Trabalho

O objetivo deste trabalho é estudar o efeito de DIBL (*Drain Induced Barrier Lowering*) em transistores SOI FinFETs de porta tripla, comparando seu comportamento na presença de tensão mecânica (*strain*) e com a utilização de crescimento seletivo epitaxial (SEG). Dessa forma, serão comparados inicialmente dispositivos FinFETs de porta tripla convencionais e outros com deformação mecânica (*strain*) uniaxial e biaxial. Posteriormente serão analisados os mesmos tipos de dispositivos, porém contendo SEG. Por fim, uma análise geral será feita.

Para atingir os objetivos e realizar todas as análises, este trabalho foi dividido em cinco capítulos.

No primeiro capítulo é apresentada a introdução contendo as principais motivações para a realização do estudo, além dos objetivos e estruturação do trabalho.

No segundo capítulo uma abordagem conceitual sobre os temas em foco é apresentada, com o intuito de esclarecer possíveis dúvidas e apresentar o conteúdo de forma clara ao leitor. Assim, a evolução tecnológica desde o início da era SOI até os dispositivos de múltiplas portas, mais especificamente o FinFET, é detalhada nesta parte do trabalho. A importância do estudo do DIBL bem como outros efeitos de canal curto, e as novas técnicas para melhorar o desempenho dos transistores são aqui apresentadas.

O terceiro capítulo traz as informações dos dispositivos, desde sua origem até as características geométricas e tecnológicas. Os procedimentos utilizados e os métodos escolhidos também são apresentados bem como os resultados experimentais. Nele aparecem os gráficos e os dados coletados que favorecem a discussão do tema e a comparação entre as tecnologias. Para obtenção das caracterizações elétricas foi utilizado o analisador de parâmetros HP 4156C, que propiciou a polarização dos transistores, permitindo a extração de dados como a tensão de limiar, a inclinação de sublimiar, o efeito de DIBL, etc.

O quarto capítulo trata das simulações numéricas, onde os dados resultantes dos procedimentos experimentais são confrontados com aqueles fornecidos pelas estruturas criadas no simulador. Nesta etapa foi utilizado o simulador numérico Atlas (simulador tridimensional de dispositivos) da Silvaco, o qual inclui módulos avançados capazes de simular os efeitos de ionização incompleta, distribuição não uniforme da temperatura no dispositivo, cargas armadilhadas na interface Si/SiO₂, efeitos quânticos, etc, ajustando-os de modo a buscar resultados próximos aos reais.

As principais conclusões são apresentadas, finalmente, no quinto capítulo, assim como a proposta de continuação do trabalho, onde novas sugestões de estudos são feitas baseadas nas análises desenvolvidas.

2. CONCEITOS BÁSICOS

Neste capítulo são apresentados os conceitos básicos das tecnologias estudadas. De forma resumida são explicadas as diferenças dos dispositivos SOI convencionais de porta simples em relação aos tridimensionais com múltiplas portas, analisando a influência dos efeitos de canal curto nestes dispositivos. Serão abordados também alguns tópicos sobre o impacto do uso de tensionamento do silício e do crescimento seletivo epitaxial (SEG) no comportamento dos transistores.

2.1 Tecnologia Silício sobre Isolante - SOI

A tecnologia silício sobre isolante, ou SOI MOSFET surgiu da necessidade em diminuir alguns efeitos parasitários presentes na estrutura MOS convencional. Ao modificar a estrutura física da lâmina utilizada, parte desses efeitos foi minimizada ou mesmo eliminada³.

Fisicamente, a estrutura SOI difere-se da convencional por apresentar uma camada de material isolante entre o substrato e a fina camada de Si onde os dispositivos são construídos. A Figura 2.1 apresenta o corte transversal da estrutura SOI.

Figura 2.1. Perfil da estrutura de um transistor SOI nMOSFET.

A camada isolante chamada de óxido enterrado proporciona muitos benefícios aos dispositivos. Como por exemplo, a eliminação do efeito tiristor parasitário (*latch-up*),¹¹ a diminuição da capacitância total, menor influência de efeitos de canal curto, melhor inclinação de sublimiar, etc.³

Os primeiros transistores SOI surgiram por volta de 1964 na versão silício sobre safira ou SOS para aplicação espacial.¹² Esses dispositivos foram fabricados até cerca dos anos 80 onde os primeiros transistores com isolante de óxido de silício foram fabricados. Desde então, por apresentar melhor comportamento e por garantir a continuidade da Lei de Moore,¹ essa tecnologia passou a ser utilizada para aplicações em massa, tais como a fabricação de microprocessadores e memórias.

2.1.1 Tipos de Dispositivos

De acordo com a espessura da camada de silício, da dopagem do canal e da temperatura os dispositivos podem operar de forma parcialmente depletada (PD) ou totalmente depletada (FD).

Os dispositivos são chamados de parcialmente depletados (PD – *Partially Depleted*) quando não há interação entre as regiões de depleção induzidas na primeira e segunda interface. Ou seja, a camada de silício é maior que duas vezes $x_{dm\acute{a}x}$, existindo uma camada neutra entre as regiões de depleção. No caso da região neutra estar aterrada, o comportamento do dispositivo torna-se idêntico ao de um transistor MOS convencional. No entanto, se o mesmo estiver flutuando, dois efeitos parasitários surgem. O primeiro, chamado de efeito de elevação abrupta da corrente (*kink effect*), refere-se à elevação da corrente I_{DS} na curva $I_{DS} \times V_{DS}$ para altos valores de tensão de dreno. O segundo refere-se à presença de um transistor bipolar NPN parasitário com base flutuante entre a fonte e o dreno.

Já os dispositivos totalmente depletados (FD – *Fully Depleted*) tem como característica a espessura do silício ser menor que $x_{dm\acute{a}x}$. Nesse caso, o dispositivo fica livre do efeito de elevação abrupta da corrente se sua segunda

interface estiver depletada. Portanto, essa definição é válida desde que não haja acumulação ou inversão da segunda interface decorrentes de um grande potencial negativo ou positivo, respectivamente, aplicados ao substrato.

O diagrama de faixas de energia das estruturas PD e FD podem ser comparados na Figura 2.2

Figura 2.2. Diagramas de faixas de energia de um transistor canal N parcialmente depletado (a) e totalmente depletado (b).

Observa-se, de acordo com a condição da primeira e segunda interface (acumulação, depleção e inversão) nove modos distintos de operação podem ser obtidos³. No entanto, dispositivos totalmente depletados com a segunda interface depletada apresentam as melhores características com relação à transcondutância, baixo campo elétrico, diminuição dos efeitos de canal curto e excelente inclinação de sublimiar.³

2.1.2 Tensão de Limiar

A tensão de limiar é o potencial necessário para se aplicar na porta do transistor e ocasionar a inversão dos portadores na região do canal, favorecendo a condução de corrente.

Para um SOI parcialmente depletado (PD) canal N, como não há interação entre as regiões de depleção, a expressão de V_T é dada pela mesma equação do nMOSFET convencional,³ ou seja:

$$V_T = V_{FB} + \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{Si} \cdot 2 \cdot \phi_F}}{C_{ox}} + 2\phi_F \quad (2.1)$$

sendo:

$$\phi_F = \frac{k \cdot T}{q} \ln \left(\frac{N_a}{ni} \right) \quad V_{FB} = \phi_{MS} - \frac{Q_{SS}}{C_{ox}} \quad C_{ox} = \frac{\epsilon_{ox}}{x_{ox}}$$

$$\phi_{MS} = \phi_M - \phi_{Si}$$

onde ϕ_F é o potencial de Fermi, k é a constante de Boltzmann; T é a temperatura absoluta; N_a é concentração de dopantes aceitadores; q é a carga elementar do elétron; ni é a concentração intrínseca de dopantes; V_{FB} é a tensão de faixa plana; ϕ_{MS} é a diferença das funções trabalho do metal (ϕ_M) e do semiconductor (ϕ_{Si}); Q_{SS} é a densidade de carga efetiva do óxido; C_{ox} é a capacitância do óxido por unidade de área, ϵ_{ox} é a permissividade do óxido; x_{ox} é a espessura do óxido e ϵ_{Si} é a permissividade do silício.

A tensão de limiar em um dispositivo SOI totalmente depletado (FD), pode ser obtida resolvendo a equação de Poisson, utilizando a aproximação de depleção: $\frac{d^2 \phi}{dx^2} = \frac{q N_a}{\epsilon_{Si}}$, que ao ser integrada duas vezes gera o potencial em função da profundidade no filme de silício, x , de acordo com o modelo de Lim e Fossum.¹³

$$\phi(x) = \frac{qN_a}{2\epsilon_{Si}} x^2 + \left(\frac{\phi_{S2} - \phi_{S1}}{t_{Si}} - \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right) x + \phi_{S1} \quad (2.2)$$

onde ϕ_{S1} e ϕ_{S2} são os potenciais das primeira e segunda interfaces silício/óxido, respectivamente. A concentração de dopantes, N_a , é assumida como sendo uniforme. Dessa forma, as tensões na porta e na segunda interface, V_{G1} e V_{G2} são obtidas após uma série de associações, onde os resultados são dados por:

$$V_{G1} = \phi_{S1} + \phi_{ox1} + \phi_{MS1} \quad \text{e} \quad V_{G2} = \phi_{S2} + \phi_{ox2} + \phi_{MS2} \quad (2.3)$$

onde ϕ_{MS1} , ϕ_{MS2} são as diferenças de função trabalho da primeira e segunda interfaces, respectivamente.

Combinando as equações 2.2 e 2.3 obtém-se a relação entre a tensão de porta e os potenciais de superfície:

$$V_{G1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}} \right) \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (2.4)$$

onde $C_{Si} = \epsilon_{Si} / t_{Si}$ e Q_{depl} é a densidade de carga de depleção total no filme de silício, que é igual a $(-qN_a t_{Si})$.

De forma semelhante, pode-se encontrar a relação entre a tensão do substrato e os potenciais de superfície:

$$V_{G2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox2}} \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}} \right) \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}} \quad (2.5)$$

As equações (2.4) e (2.5) são as relações chave que descrevem o acoplamento de cargas entre a porta e o substrato em um SOI MOSFET totalmente depletado. Combinando-as obtém-se a dependência da tensão de limiar com a polarização do substrato e parâmetros do dispositivo.

Dessa forma, com as relações acima, é fácil observar que três equações distintas podem ser obtidas de acordo com a polarização da segunda interface – acumulação, depleção e inversão.

Se a segunda interface está acumulada, ϕ_{S2} é mantida em aproximadamente 0V, e a tensão de limiar com a segunda interface acumulada, $V_{th1,acc2}$ pode ser obtida através da equação (2.4), desde que $V_{th1,acc2}$ seja igual a V_{G1} para $\phi_{S2} = 0$, $Q_{inv1} = 0$, e $\phi_{S1} = 2\phi_F$. Como resultado:

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (2.6)$$

Se a segunda interface estiver invertida, ϕ_{S2} é mantido em aproximadamente $2\phi_F$. A tensão de limiar na primeira interface com a segunda interface invertida, $V_{th1,inv2}$, pode ser obtida a partir da equação (2.4), onde $V_{th1,inv2}$ é igual a V_{G1} para $\phi_{S2} = 2\phi_F$, $Q_{inv1} = 0$, e $\phi_{S1} = 2\phi_F$. O resultado é:

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (2.7)$$

Neste caso, o dispositivo está ligado ainda que $V_{G1} < V_{th1,inv2}$, desde que um canal de inversão conecte fonte e dreno ao filme de silício. Assim, o dispositivo não possui aplicações práticas.

Se a segunda interface estiver depletada, ϕ_{S2} depende da tensão do substrato, V_{G2} , e este valor pode variar na faixa entre 0 e $2\phi_F$. O valor da tensão no substrato para o qual a segunda interface atinge a acumulação (a primeira interface estando no limiar), $V_{G2,acc}$, é dado pela equação (2.5) onde $\phi_{S1} = 2\phi_F$,

$\phi_{S2} = 0$ e $Q_{S2}=0$. Da mesma forma, o valor da tensão na segunda interface que a mantém invertida, $V_{G2,inv}$, é dada pela mesma equação onde $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$, e $Q_{S2} = 0$. Quando $V_{G2,acc} < V_{G2} < V_{G2,inv}$ a tensão de limiar da porta é obtida pela combinação das equações (2.4) e (2.5) com $\phi_{S1} = 2\phi_F$ e $Q_{inv1} = Q_{S2} = 0$. O resultado é:

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})}(V_{G2} - V_{G2,acc}) \quad (2.8)$$

Essas relações são válidas se a espessura das camadas de inversão ou acumulação forem pequenas em relação à espessura da camada de silício. Este pode não ser mais o caso para dispositivos de camada ultrafina, onde as larguras das zonas de acumulação/ inversão devem ser subtraídas da espessura da camada de silício para se obter uma espessura efetiva de silício. Em camadas muito finas ($t_{Si} < 10nm$) interações quânticas podem ocorrer entre as duas interfaces.³

2.1.3 Inclinação de Sublimiar

A inclinação de sublimiar (S) é obtida pelo inverso da variação do log da corrente I_{DS} em função da variação da tensão de porta V_{GS} .³ O gráfico gerado apresenta o eixo da corrente em escala logarítmica, pois a corrente nesta região depende exponencialmente da tensão de porta. Assim, calcula-se S pela equação:

$$S = \frac{\delta V_{GS}}{\delta(\log I_{DS})} [mV / dec] \quad (2.9)$$

No caso do dispositivo SOI parcialmente depletado, como no transistor MOS convencional, utilizando a equação da corrente na região de sublimiar com algumas simplificações obtém-se que a inclinação de sublimiar (S) pela equação 2.10.

$$S = \frac{KT}{q} \ln(10) \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (2.10)$$

onde, C_D é a capacitância da região de depleção por unidade de área e C_{it} é a capacitância das armadilhas de interface por unidade de área, k é a constante de Boltzman, q a carga elementar do elétron e T é a temperatura. Se desconsiderarmos a capacitância das armadilhas de interface, a equação assume a seguinte forma:

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_D}{C_{ox}} \right) \quad (2.11)$$

Para dispositivos SOI MOSFET totalmente depletados e com a segunda interface depletada, desconsiderando as armadilhas de interface e considerando a capacitância no óxido enterrado, C_{ox2} (já que ela tende a ser muito menor que as capacitâncias do óxido de porta, C_{ox1} e do filme de silício, C_{Si}), tem-se:

$$S = \frac{kT}{q} \ln(10) (1 + \alpha) = n \frac{kT}{q} \ln(10) \quad (2.12)$$

onde α representa a relação das capacitâncias C_b/C_{ox1} , sendo C_{ox1} a capacitância do óxido de porta e C_b a capacitância entre a camada de inversão e o eletrodo da porta traseira. De acordo com o modo de operação do transistor, o fator de corpo n assume diferentes relações:

$$\begin{aligned} n_{Acc2} &= 1 + \frac{C_{Si}}{C_{ox}} \\ n_{Depl2} &= 1 + \frac{C_{Si} C_{ox2}}{C_{ox} (C_{Si} + C_{ox2})} \end{aligned} \quad (2.13)$$

Sabendo que $n_{Mos} = 1 + \frac{C_D}{C_{ox}}$ em transistores MOS convencionais e PD,

tem-se a seguinte relação para valores de n .

$$n_{Depl2} < n_{MOS} < n_{Acc2}$$

2.1.4 Transcondutância

A transcondutância (G_m) é a medida da eficácia do controle da corrente de dreno pela tensão de porta e é dada pela equação 2.14.³

$$g_m = \frac{dI_{DS}}{dV_{G1}} \quad (2.14)$$

A equação geral da corrente de saturação (I_{DS_sat}), em função de α , pode ser expressa pela equação 2.15.

$$I_{DS_sat} = \frac{W\mu_n C_{ox1}}{2L(1+\alpha)} (V_{G1} - V_T)^2 \quad (2.15)$$

A largura e o comprimento de canal do transistor são representados, respectivamente por W e L . A mobilidade efetiva do elétron é representada por μ_n e α pode assumir diferentes valores dependendo do tipo de funcionamento do transistor, seguindo a associação representada por n (fator de corpo) no item anterior. Portanto, a transcondutância na região de saturação pode ser expressa pela equação 2.16.

$$g_{m_sat} = \frac{dI_{DS_sat}}{dV_{G1}} = \frac{W\mu_n C_{ox1}}{L(1+\alpha)} (V_{G1} - V_T) , \text{ para } V_{DS} > V_{DS_Sat} \quad (2.16)$$

onde os valores de α estão tipicamente na seqüência:

$$\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$$

Dessa forma, a transcondutância é um parâmetro que varia conforme a condição de polarização da segunda interface.³

2.1.5 Efeitos de Canal Curto

Os efeitos de canal curto (*Short Channel Effects*) são efeitos parasitários decorrentes da constante diminuição dos dispositivos. Eles afetam diretamente as características do transistor, pois com a redução do comprimento do canal L ocorre uma mudança no perfil de cargas dessa região.¹⁴ Na figura 2.3 pode-se

notar que as cargas da região de depleção Q_D passam a ser controladas pelas regiões de depleção oriundas das junções dreno/ substrato e fonte/ substrato. Portanto, o perfil de cargas que idealmente seria retangular, passa a assumir uma forma trapezoidal (Q_{D1}) e tende para o perfil triangular (Q_{D2}) na medida em que L é diminuído.

Figura 2.3. Perfil de cargas de um transistor nMOS com comprimento de canal longo (a) e canal curto (b)³.

A situação de canal curto é configurada quando a quantidade de carga controlada pela porta é da mesma ordem de grandeza que a presente nas regiões de depleção de fonte e dreno. Como consequência, efeitos indesejáveis passam a surgir, tais como o aumento na inclinação de sublimar e redução da tensão de limiar.

Para um MOSFET convencional com comprimento de canal longo, o perfil de cargas é calculado como sendo:

$$Q_D = qN_a x_{dm\acute{a}x} \quad (2.17)$$

Já para transistores com pequeno comprimento de canal, levando em consideração um trapézio de cargas, o perfil é alterado para a seguinte equação³:

$$Q_D = \left(1 - \frac{rj}{L} \left(\sqrt{1 + \frac{2x_{dm\acute{a}x}}{rj}} - 1 \right) \right) q \cdot N_a \cdot x_{dm\acute{a}x} \quad (2.18)$$

onde rj equivale à profundidade da junção de fonte e dreno e $x_{dm\acute{a}x}$ corresponde

à máxima espessura da região de depleção.

O uso da tecnologia SOI diminuiu o impacto dos efeitos de canal curto, pois a influência do óxido enterrado limita o avanço das regiões de depleção junto ao canal, uma vez que o substrato permanece isolado da região ativa. A Figura 2.4 exemplifica essa explicação.

Figura 2.4. Perfil de cargas de um transistor SOI MOSFET com comprimento de canal longo (a) e canal curto (b).³

Uma vez que a variação na carga Q_D é menor quando se utiliza a tecnologia SOI, os parâmetros afetados por essa variação são conseqüentemente preservados.

2.2 Dispositivos com Múltiplas Portas

Com o intuito de melhorar as características dos dispositivos, diminuindo os efeitos de canal curto e aumentando a condução de corrente, a tecnologia MOS tem evoluído da sua estrutura de porta única para estruturas tridimensionais com múltiplas portas, os MuGFETs (*Multi Gate Field Effect Transistors*).

A Figura 2.5 traz de forma esquemática os diversos tipos de dispositivos com múltiplas portas tais como transistores de duas, três, quatro portas e etc.

Figura 2.5. Diferentes configurações de dispositivos SOI. 1) porta simples; 2) porta dupla; 3) porta tripla; 4) porta quádrupla; 5) porta tipo II.¹⁵

O esquema apresentado na Figura 2.6 mostra a evolução dos dispositivos SOI MOSFETs.¹⁵ Nele é possível observar os diferentes tipos de dispositivos com múltiplas portas que surgiram nas últimas décadas e que vem sendo largamente estudados.

Figura 2.6. Evolução dos dispositivos SOI MOSFET¹⁶.

2.2.1 Transistores de Porta Dupla

A tecnologia de duas portas vem sendo estudada há algum tempo, tendo sido introduzida primeiramente em 1984 com o chamado XMOS.¹⁷ A partir de então, diversas estruturas já foram construídas e estudadas, uma vez que as vantagens encontradas foram significativas. Como exemplo, pode-se citar o

efeito de corpo praticamente igual a um, devido ao perfeito acoplamento capacitivo entre o canal e a porta e a maior corrente de condução devido à formação de dois canais de inversão.¹⁷

Uma propriedade importante deste tipo de dispositivo, entretanto, é a possibilidade da formação de camadas de inversão não somente acima e abaixo da região de canal, mas em toda a camada de silício. Este efeito, que aparece quando a espessura da camada de silício é fina o suficiente, é chamado de inversão de volume, que favorece um aumento da corrente de condução do dispositivo.¹⁷ O perfil estrutural de um dispositivo de porta dupla pode ser observado na Figura 2.7.

Figura 2.7. Seção transversal de um transistor SOI nMOSFET de porta dupla planar.

A presença da segunda porta é responsável pelas características vantajosas existentes nesses transistores. Como pode ser observado, a região do canal fica entre as duas portas, o que facilita o controle das cargas nela presentes e aumenta o fluxo de corrente que passa pela região.

No entanto, esses dispositivos não são facilmente processados devido às dificuldades de alinhamento das portas. Apenas em 1990, o transistor de porta circundante GAA (*gate-all-around*) foi construído.¹⁸ Apesar de possuir isolante e material de porta ao redor de todo o canal, esse transistor é considerado um transistor de porta dupla, pois a influência das laterais do canal é desprezível uma vez que a largura do canal é muito maior que a espessura do silício como pode ser observado na Figura 2.8. As laterais indicadas pelas flechas apresentam influência elétrica desprezível sobre a região do canal.¹⁸

Figura 2.8. Corte transversal de um transistor GAA (a) e corte central na região do canal (b).¹⁸

Por conta disso, surgiram os transistores verticais, apresentando maior facilidade na construção das portas laterais. O transistor DELTA (fully **DE**pleted **L**ean- **channel TrAnsistor**) foi o primeiro dispositivo vertical construído sob um filete de silício, datando do ano de 1989.¹⁹

2.2.1.1 O FinFET

O transistor FinFET (*Fin Field Effect Transistors*) originou-se da estrutura DELTA, construída em 1989, constituindo-se, portanto, de uma estrutura não-planar que apresenta características muito vantajosas em aplicações abaixo de 100 nm.^{3,4} A estrutura FinFET de porta dupla e porta tripla pode ser vista na Figura 2.9.

Figura 2.9. Estrutura de um transistor FinFET de porta dupla (a) e porta tripla (b).

Portanto, W_{Fin} e H_{Fin} correspondem, respectivamente, à largura e a altura do *fin* de silício; L é o comprimento de canal.

Construído sob um filete de silício, as paredes laterais apresentam mobilidade diferente em relação ao topo devido às diferentes orientações cristalinas ($\langle 100 \rangle$ no topo e $\langle 110 \rangle$ nas laterais).³

Apesar de ter sido idealizado basicamente como um dispositivo de porta dupla, é comum atualmente referir-se a ele também como dispositivo de porta tripla. Isso acontece porque a única diferença entre eles é a espessura do dielétrico no topo do *fin*. Assim, caso toda a espessura do óxido seja pequena e uniforme, a superfície também funcionará como uma porta e haverá condução de corrente nesta região. Nessas condições, a largura efetiva é dada como $W = W_{Fin} + 2 H_{Fin}$.³

2.2.2 Transistores com Porta Tripla e Porta Tripla +

Como apresentado no item anterior, um FinFET pode ser considerado um transistor de porta tripla caso o óxido de porta seja igualmente fino nos três lados do canal. A influência de cada lateral dependerá também da geometria do dispositivo, isto é, de acordo com a largura do *fin* bem como sua altura, a contribuição de cada porta poderá ser diferente.

Figura 2.10. Transistor FinFET de porta tripla.¹⁶

Esses dispositivos apresentam alto nível de corrente e efeitos de canal curto minimizados. No entanto, os chamados efeitos de canto (*corner effect*) são uma desvantagem dessa estrutura.²⁰

Esse efeito é decorrente da influência do campo elétrico nos cantos da estrutura. Para diminuir o efeito, utilizam-se os cantos mais arredondados, evitando o alto campo elétrico e possíveis fugas de corrente. O uso de materiais de porta tipo *midgap* e baixas dopagens na região do canal também são alternativas para minimizar os efeitos de canto.

Além dos efeitos mencionados, estudos mostram que dispositivos com efeitos de canto apresentam tensões de limiar variadas, uma vez que os cantos invertem antes do restante do canal.²¹

Os dispositivos conhecidos como porta tripla + apresentam nível de corrente acima daquela gerada pelos transistores de porta tripla. São dispositivos que atuam entre as estruturas de três e quatro portas. Existem basicamente duas configurações: a estrutura de Porta Π e a estrutura de Porta Ω .

Em ambas estruturas há uma extensão do eletrodo de porta abaixo da região ativa, fazendo com que haja melhora na condução da corrente. Esse aumento dos eletrodos garante também que o campo elétrico oriundo do dreno não atinja a região do canal, degradando a corrente nesta região.

A Figura 2.11 traz as seções transversais das estruturas de Porta Π e Ω .

Figura 2.11. Seção transversal de um transistor de porta Π e Ω .²¹

2.2.3 Transistor de Porta Quádrupla

O transistor de quatro portas é aquele no qual a porta aparece ao redor de todo o canal¹⁶. É muito conhecido também como transistor de porta circundante. Nesta configuração encaixam-se também os transistores circulares e os *nanowires*. No caso dos transistores de quatro portas, cada uma delas atua independentemente. Para que isso aconteça a geometria do dispositivo precisa ser projetada de tal forma que haja interação e participação de todas as portas.

Alguns exemplos dos dispositivos citados podem ser vistos na Figura 2.12.

Figura 2.12. Exemplo de transistores de quatro portas.³

2.2.4 Características Elétricas

2.2.4.1 Corrente I_{DS}

Como já mencionado no capítulo anterior, dispositivos de múltiplas portas apresentam melhor controle e maior nível de corrente de acordo com a quantidade de portas existentes e desde que elas possuam as mesmas larguras.

Com o intuito de aumentar o nível de corrente, as estruturas com múltiplas portas também são construídas com vários *fins* em paralelo, ou seja, vários filetes de silício com suas fontes e drenos interconectados, de forma que a corrente total seja a resultante de todos os *fins*. A Figura 2.13 mostra um esquema com três *fins* em paralelo.

Figura 2.13. Estrutura de múltiplos *fins*.¹⁶

Dessa forma, a corrente total é determinada pela seguinte equação¹⁶:

$$I_D = \frac{I_{D0} \theta \mu_{Top} W_{Si} + 2 \mu_{Side} t_{Si}}{\mu_{Top} S} \quad (2.19)$$

onde I_{D0} é a corrente obtida em um transistor planar de porta única, por unidade de largura; θ dependerá da quantidade de portas do transistor, sendo 1 para FinFETs de porta tripla e 0 para FinFETs de porta dupla; μ_{Top} é a mobilidade no topo do *fin*, μ_{Side} é a mobilidade das laterais do *fin*, W_{Fin} é a

largura do *fin* e *S* é a distância do início de um *fin* ao mesmo ponto do outro *fin* conforme representado na figura acima.

2.2.4.2 Tensão de Limiar

Em dispositivos de múltiplas portas a tensão de limiar ocorre na inversão fraca, ocasionando a inversão de diferentes regiões do canal para diferentes valores de tensões aplicadas na porta e, por isso, o método usado em dispositivos convencionais não pode ser considerado.

Assim, para um transistor de porta dupla, Francis et. al. desenvolveu um método conhecido como “*Transconductance Change*” (TC),²² que consiste na obtenção da tensão de limiar quando a derivada da transcondutância atingir seu ponto máximo. O potencial de superfície na região de inversão fraca é dependente da espessura da camada de silício, da espessura do óxido de porta e da concentração de dopantes conforme a equação 2.20.²³

$$\phi_S^* = 2\phi_F + \frac{kT}{q} \ln \delta \left[\frac{1}{1 - \exp(-\alpha)} \right] \quad (2.20)$$

onde, $\alpha = \frac{q}{kT} \frac{Q_D}{8C_{Si}}$, $\delta = \frac{C_{ox}}{4C_{Si}}$, ϕ_F é o potencial de Fermi, kT/q é o potencial térmico, Q_D é a carga de depleção, C_{Si} é a capacitância do silício e C_{ox} é a capacitância do óxido de porta.

A condição de inversão passa a ser de 10 mV a 90 mV menor que $2\phi_F$ e a tensão de limiar é definida por:

$$V_T = \phi_S^* + V_{FB} + \frac{kT}{q} \frac{\alpha}{\delta} \sqrt{1 + \frac{\delta}{\alpha}} \quad (2.21)$$

onde V_{FB} é a tensão de faixa plana.

2.2.4.3 Efeitos de Canal Curto

Como já explicado no item 2.1.5, os efeitos de canal curto podem ser considerados inevitáveis em meio ao freqüente escalamento das tecnologias. Em dispositivos de múltiplas portas a influência dos efeitos de canal curto acontece de forma tridimensional, variando de acordo com a quantidade de portas.

Esses dispositivos mostram dependência com o comprimento natural λ ¹⁶, que representa a penetração das linhas do campo elétrico do dreno no corpo do transistor ou o quanto a região de dreno pode controlar a região de depleção no canal. Portanto, transistores de porta dupla e porta tripla possuem um melhor efeito de canal curto do que transistores de porta única, pois possuem um menor valor de λ . Para transistores de porta única e porta dupla, o parâmetro λ é determinado pelas equações 2.22 e 2.23, respectivamente.

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}}} t_{ox} t_{Si} \quad (2.22)$$

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}}} t_{ox} t_{Si} \quad (2.23)$$

A expressão do parâmetro λ pode ser obtida através da equação de Poisson, pois em transistores de múltiplas portas é possível prever a espessura da camada de silício para se evitar o efeito de canal curto, ou seja, para manter uma inclinação de sublimar adequada.¹⁶

A variação do potencial no interior do canal em transistores SOI MOSFETs totalmente depletados pode ser calculada pela análise tridimensional de Poisson, conforme apresentada na equação 2.24.

$$\frac{d^2 \phi(x, y, z)}{dx^2} + \frac{d^2 \phi(x, y, z)}{dy^2} + \frac{d^2 \phi(x, y, z)}{dz^2} = -\frac{\rho}{\epsilon_{Si}} = \frac{qN_a}{\epsilon_{Si}} \quad (2.24)$$

Considerando as direções dadas pelas coordenadas x , y e z , conforme mostrado na Figura 2.14 pode-se visualizar como as portas e o dreno controlam a região de depleção do canal.

Figura 2.14. Coordenadas de um transistor de múltiplas portas.¹⁶

Para transistores de porta única e porta dupla, pode-se considerar o campo elétrico na direção z nulo, portanto a equação 2.25 pode ser reescrita como apresentada na equação 3.9.

$$\frac{d^2\phi(x,y,z)}{dx^2} + \frac{d^2\phi(x,y,z)}{dy^2} = -\frac{\rho}{\epsilon_{Si}} = \frac{qN_a}{\epsilon_{Si}} \quad (2.25)$$

Sabe-se que, em uma análise unidimensional, o perfil do potencial em função da profundidade de um SOI MOSFET totalmente depletado é parabólico. Portanto, assumindo-se uma distribuição similar na direção y para uma análise bidirecional, pode-se escrever a equação 2.26.¹⁶

$$\phi(x,y) = C_0(x) + C_1(x)y + C_2(x)y^2 \quad (2.26)$$

Partindo da equação acima, através de condições de contorno, obtém-se o comprimento natural para cada dispositivo.¹⁶ Com base nesse parâmetro são estimadas a espessura máxima do filme de silício e a largura do dispositivo que pode ser usada a fim de evitar os efeitos de canal curto. Simulações numéricas mostram que o comprimento efetivo de porta de um dispositivo deve ser de cinco a dez vezes maior que o seu comprimento natural para prevenir os efeitos de canal curto.¹⁶

Para o dispositivo de porta circundante o comprimento natural assume a seguinte relação:

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}}} t_{ox} t_{Si} \quad (2.27)$$

2.2.4.4 Mobilidade

A mobilidade é um parâmetro que descreve a facilidade dos portadores de um material em se deslocar por uma estrutura. Ou seja, trata-se do fenômeno oposto ao da resistência. Quanto maior a mobilidade dos portadores, menor é a resistividade do material.²⁴

A mobilidade é uma característica importante estudada nos dispositivos pois dela dependem os resultados de saída. Isto é, quanto melhor a mobilidade dos portadores, melhor será a corrente de dreno na região do canal. No entanto, para os atuais dispositivos, com dimensões cada vez menores, surgem efeitos que diminuem a mobilidade, sendo o principal deles, o aumento da resistência total do dispositivo. Defeitos gerados por processos também contribuem para a diminuição da mobilidade.

Para finas espessuras do filme de silício (abaixo de 10nm) surge um fenômeno conhecido como inversão de volume. O fenômeno inversão de volume foi descoberto em 1987,²⁵ e experimentalmente observado em 1990,¹⁸ na implementação do transistor MOSFET de porta circundante.

Esse é um fenômeno que aparece nos transistores SOI MOSFETs de porta dupla ou tripla, no qual a inversão dos portadores não ocorre apenas na interface Si/SiO₂ mas sim no meio da camada de silício, o que proporciona um aumento na mobilidade no canal do transistor, diminuindo a tensão de limiar.²⁵

A inversão de volume é um fenômeno quântico e para determiná-lo, além da solução dada pela equação de Poisson (SP), onde é considerada somente a física clássica, deve ser utilizada, também, a solução dada pela equação de Schrödinger, pois esta prevê os efeitos quânticos.²⁴

2.3 Drain Induced Barrier Lowering - DIBL

O efeito de abaixamento de barreira induzida pelo dreno (*Drain Induced Barrier Lowering*) é um dos mais importantes efeitos de canal curto estudados.¹⁰ Ele diminui a tensão de limiar devido as mudanças na geometria do dispositivo e ao aumento no potencial do dreno.

Na medida em que o comprimento de canal dos transistores diminui, a distância geométrica entre fonte e dreno torna-se muito pequena. Como consequência, a parcela de cargas controlada pelas regiões de fonte e dreno tornam-se significativas mediante a região controlada apenas pelas portas. Essa condição é mais pronunciada quando, de fato, ocorre a indução das regiões de depleção de fonte e dreno, ou seja, é necessária a aplicação de um potencial no dreno suficientemente grande para ocasionar esse efeito. Mas é sabido também que, com a utilização cada vez maior de dispositivos não dopados e com a constante diminuição dos níveis de tensão de operação, um potencial no dreno que ocasione depleção em direção do canal acaba sendo facilmente alcançado.^{26,27}

O efeito de DIBL mostra justamente o quanto à tensão de limiar é afetada quando um potencial maior é aplicado no dreno, o que leva o transistor à saturação. É desejado que a tensão de limiar seja um parâmetro constante e quanto menos ela variar, melhor e mais confiável será o dispositivo. Esse DIBL é conhecido também como DIBL de superfície, uma vez que ele age na região próxima à interface porta/canal, alterando as cargas dessa região e, conseqüentemente a tensão de limiar.

Existe também o DIBL de corpo, onde a interação das regiões de depleção da fonte decorrente de sua expansão causa o *punchthrough* (perfuração MOS)²⁸ entre a fonte e o dreno. Esse efeito, característico da tecnologia MOS, portanto eliminado na tecnologia SOI, causa a fuga de corrente pelo corpo do transistor através das regiões de depleção em contato. Uma espécie de “curto-circuito” que leva à perda do controle do dispositivo, pois a porta deixa de cumprir o seu papel. Nessa situação, a superfície não é

afetada por possuir maior concentração de dopantes já que é feito o ajuste da tensão de limiar, através de implantação iônica, nesse local.

Figura 2.15. Perfil de depleção, exemplificando o DIBL de superfície(a) e o DIBL de corpo (b).²⁹

A Figura 2.16 mostra esquematicamente a interação entre as regiões de depleção de dreno e fonte em um MOS convencional. Para o transistor de canal longo, o aumento do potencial de dreno não interfere no potencial da junção canal/fonte. Já no transistor de canal curto (representado à esquerda da linha vermelha pontilhada), o aumento de V_{DS} altera a barreira de potencial junto à fonte, gerando uma diminuição na barreira de potencial que resulta no DIBL.

Figura 2.16. Corte transversal de um transistor MOS convencional de canal longo e de canal curto sob alto potencial no dreno e a mudança no potencial para ambos dispositivos.³⁰

Dessa forma, nota-se que ao mudar o controle das cargas na região do canal, o efeito de DIBL caracteriza a mudança na barreira de potencial junto à fonte. Ou seja, ao aplicar um maior potencial no dreno, a barreira de potencial que limita a passagem dos portadores para a fonte diminui, o que explica o nome dado ao efeito. Assim sendo, com a diminuição da barreira na fonte induzida pelo dreno, os portadores atravessam o canal com maior facilidade e, por isso, a tensão de limiar é reduzida. A Figura 2.17 mostra o comportamento das faixas de energia na direção da fonte para o dreno nas duas condições de polarização, $V_{DS1} = 50\text{mV}$ e $V_{DS2} = 1,12\text{V}$. Ao aumentar V_D ocorre o encurvamento das bandas de energia (curvas tracejadas), causando o abaixamento de barreira na região próxima à fonte.

Figura 2.17. Faixas de energia para baixa e alta polarização no dreno.

Duas curvas com diferentes polarizações de dreno são apresentadas na seqüência (Figura 2.18), onde é possível observar um deslocamento na curva, que altera o valor da tensão de limiar.

Figura 2.18. Curva I_{DS} x V_{GS} de um transistor na condição de triodo (V_{DS1}) e saturação (V_{DS2}).

Para determinar o valor de DIBL utiliza-se a equação 2.28.³¹

$$DIBL(mV/V) = \frac{V_{T1(VD1)} - V_{T2(VD2)}}{V_{D2} - V_{D1}} \quad (2.28)$$

Como é possível notar, é necessário conhecer as duas tensões de limiar, ou seja, nas duas condições de polarização de dreno. Para isso, existem alguns métodos de extração de V_T na saturação. Neste trabalho será usado o método que consiste em estabelecer um nível de corrente na região de limiar, onde geralmente estipula-se um patamar de corrente no valor de 10^{-7} W/L. Assim, na curva em saturação, obtém-se o valor de V_T no ponto em que a corrente corresponder a este patamar.²⁸

Como forma de evitar o problema do DIBL costuma-se fazer com que as junções de fonte e dreno sejam suficientemente rasas, além de aumentar a concentração de dopantes na região do canal, de forma que o dreno não consiga controlar a junção da fonte. As estruturas conhecidas como halo são usadas nas regiões de fonte e dreno justamente com essa finalidade. No entanto, aumentar a concentração de dopantes na região do canal, nas atuais dimensões (décadas de nanômetros), é uma opção que tem sido deixada de lado. Isso porquê, é mais difícil garantir uma dopagem uniforme para todos os dispositivos, uma vez que apenas algumas unidades de átomos de dopantes

são alocadas em cada dispositivo. Assim, têm-se usado dispositivos com canal *undoped* (baixa concentração, $1 \times 10^{15} \text{ cm}^{-3}$).³⁰

2.4 Dispositivos com Tensionamento Mecânico

O uso de tensão mecânica nos transistores tem sido uma forma de aumentar o desempenho dos dispositivos nas atuais escalas.³² Nessas dimensões, a degradação da mobilidade e conseqüente diminuição do nível de corrente I_{DS} tem afetado diretamente os dispositivos.³³

A tecnologia de canal tensionado surge como uma opção no aumento da mobilidade que é causado pela força mecânica que reduz a massa efetiva de condução. Com o aumento da mobilidade ocorre o aumento da corrente de dreno sem, no entanto, aumentar os níveis de corrente de fuga. Isso melhora a relação I_{on}/I_{off} e a transcondutância.³⁴

Existem alguns tipos de tensionamento mecânico que vem sendo estudados e reportados. Neste trabalho serão focadas as duas técnicas presentes nos dispositivos estudados: a uniaxial, onde a tensão mecânica ocorre apenas no sentido do canal, e a biaxial, que gera a deformação do silício em duas direções.

2.4.1 Deformação Uniaxial

Também conhecida como Tensão Uniaxial Local, nesse caso, a tensão mecânica é gerada por uma camada de Si_3N_4 conhecida como *strained Contact Etch Stop Layer* ou sCESL, depositada sobre a região de porta do dispositivo, atuando apenas em uma direção (uniaxial). O stress é induzido ao longo do canal sendo mais efetivo em dispositivos com comprimentos menores, pois a deformação gerada não é uniforme. Para transistores de canal longo, praticamente não há melhora nos níveis de corrente, pois a região central do canal não sofre modificação significativa.³⁵

A Figura 2.18 traz o perfil de um transistor nMOS com a camada de Si_3N_4 , onde uma força tensora é obtida na região do canal.

Figura 2.19. Transistor nMOS com camada de Si_3N_4 , favorecendo o stress tensivo no interior do canal.³⁵

Outro método utilizado para obter deformação uniaxial é através da deposição de liga Si-Ge nas regiões de fonte e dreno. Neste caso, será induzida uma força mecânica compressiva na região do canal em um transistor pMOS, melhorando a mobilidade das lacunas.³⁶

2.4.2 Deformação Biaxial Global

Neste caso, a força mecânica aparece nos sentidos do comprimento e da largura do canal, também sendo chamada por tensão biaxial global. A indução da deformação é decorrente do diferente processo de obtenção da lâmina. O filme de silício é crescido no topo de uma camada com liga Si-Ge, seguindo, portanto sua orientação. A Figura 2.19 mostra um exemplo de deformação biaxial. A lâmina obtida após essa fase é unida à outra previamente oxidada. Em seguida, remove-se toda a liga de Si-Ge, mantendo apenas o filme de silício já estressado, originando assim a lâmina sSOI (*Strained Silicon on Insulator*).³⁷

Os dispositivos construídos usando a tecnologia de deformação biaxial sofrem maior influência do stress mecânico quando são fisicamente maiores.

Ao contrário da deformação uniaxial, dispositivos muito pequenos não são susceptíveis às mudanças geradas pela força mecânica, pois é necessário que vários átomos estejam trabalhando em conjunto. Ou seja, poucas camadas atômicas sofrem relaxação e perda do tensionamento inicialmente imposto.³⁸

Fonte: IBM

Figura 2.20. Estrutura cristalina de silício com stress mecânico induzido biaxialmente devido a camada de Si-Ge.

Esse tipo de lâmina melhora a mobilidade dos elétrons e das lacunas simultaneamente, desde que não esteja submetido a alto campo elétrico, pois nesse caso, a mobilidade das lacunas tende a zero, limitando aplicações comerciais que, para esta técnica ainda não foram executadas.³⁹

2.4.3 Efeito da Tensão Mecânica na Tensão de Limiar

A modificação da estrutura cristalina induzida pela presença de uma deformação mecânica promove a alteração das características não somente físicas mas elétricas do material em questão. A principal mudança causada pelo uso de tensionamento mecânico em transistores é o aumento na mobilidade dos portadores, responsável pelo aumento em I_D .

A tensão de limiar de um transistor também sofre mudança quando a região do canal é tensionada, variando de acordo com o tipo de material e força mecânica resultante. Em geral, é reportado pela literatura que a presença de

tensão mecânica acarreta na redução da tensão de limiar da ordem de -10 mV a -100mV. As equações 2.29 e 2.30 modulam o ΔV_T em função da força mecânica (σ).⁴⁰

$$q\Delta V_T(\sigma) = (m-1) \left[\Delta E_g(\sigma) + kT \ln \frac{N_{V(0)}}{N_{V(\sigma)}} \right] \text{ para tensão uniaxial,} \quad (2.29)$$

$$q\Delta V_T(\sigma) = \Delta E_c(m-1) \left[\Delta E_g(\sigma) + kT \ln \frac{N_{V(0)}}{N_{V(\sigma)}} \right] \text{ para tensão biaxial,} \quad (2.30)$$

onde m é o coeficiente de efeito de corpo e varia aproximadamente entre 1,3 e 1,4, $\Delta E_g(\sigma)$ é a variação da banda proibida com a tensão mecânica, ΔE_c é a mudança na faixa de condução induzida pelo stress, q é a carga elementar do elétron, k é a constante de Boltzmann, T é a temperatura absoluta, $N_{V(0)}$ e $N_{V(\sigma)}$ são a densidade de estados na banda de valência para canais sem deformação e com deformação, respectivamente.

2.5 Crescimento Seletivo Epitaxial - SEG

O crescimento seletivo epitaxial (*Selective Epitaxial Growth*) é um processo que consiste no crescimento de camadas epitaxiais sobre um substrato previamente processado e com um determinado padrão. As áreas que devem ser crescidas ficam expostas enquanto as outras são cobertas com óxido de silício. Só haverá crescimento na região exposta. A taxa de crescimento depende da largura tanto da região exposta quanto da região coberta com o dielétrico.⁴¹

No caso de transistores, essa técnica vem sendo usada para o crescimento de fonte e dreno a fim de melhorar o desempenho do dispositivo. É uma forma de diminuir a resistência série parasitária do mesmo, pois as parcelas pertinentes a essas regiões são praticamente subtraídas da resistência total do dispositivo⁴².

Em geral a espessura de silício crescida varia entre 20nm e 50nm. Para espessuras maiores nota-se que a resistência série volta a crescer. Isso significa que há uma espessura limite para diminuição da resistência, já a partir de uma dada dimensão os portadores do material passam a percorrer o caminho mais curto, causando o fenômeno denominado aglomeração de corrente.²⁸ As implantações de fonte/dreno são realizadas após o crescimento epitaxial de forma que os dopantes se localizem dentro da camada SEG, para em seguida esta servir de fonte de difusão e completar a formação das junções de fonte/dreno⁴³.

A Figura 2.21 mostra uma estrutura FinFET com extensão de fonte e dreno, onde a espessura crescida epitaxialmente é representada por t_{SEG} .

Figura 2.21. Estrutura cristalina de silício com stress mecânico induzido biaxialmente devido a camada de Si-Ge.⁴⁴

3. CARACTERIZAÇÃO ELÉTRICA

As medidas elétricas foram feitas utilizando o equipamento HP 4156C. As lâminas de silício contendo os dispositivos estudados foram fabricadas no IMEC (*Interuniversity Microelectronics Centre*), localizado na Bélgica. Ao todo foram seis lâminas com diferentes tecnologias podendo-se dividi-las em dois grandes grupos, os dispositivos com e sem crescimento seletivo epitaxial de fonte e dreno (SEG). Dentro desses grupos aparecem as seguintes variações:

- *Transistor Convencional*: FinFETs tipo N de porta tripla convencionais;
- *Transistores com Deformação Uniaxial*: FinFETs tipo N de porta tripla com tensionamento uniaxial;
- *Transistores com Deformação Biaxial*: FinFETs tipo N de porta tripla com tensionamento biaxial.

Dessa forma foi possível estabelecer duas linhas de estudo. A primeira comparando a influência da tensão mecânica no desempenho dos dispositivos e a segunda analisando as mudanças ocasionadas pela presença do SEG nas estruturas.

Os transistores medidos são compostos por cinco fins ($N_{\text{Fins}}=5$) e suas características principais são apresentadas na Tabela 3.1.

Tabela 3.1. Características dos Dispositivos.

Parâmetros dos Dispositivos	Abreviação	Valores	Unidades
Largura do Fin	W_{Fin}	25 ~ 2875	nm
Altura do Fin	H_{Fin}	65	nm
Espessura do Óxido Enterrado	t_{oxb}	150	nm
Espessura de Óxido de Porta Equivalente	EOT	1,9	nm
Largura do Canal	L	60 ~ 920	nm
Concentração de Dopantes do Canal	N_A	1E15	cm ⁻³
Concentração de Dopantes do LDD	N_{LDD}	1E19	cm ⁻³

A estrutura de porta é formada por 1 nm de SiO₂ na interface seguido de 2,3 nm de HfSiON recoberto por uma camada de TiN e silício poli.

Foram medidas cascatas de L e W conforme exemplo da Figura 3.1. Cada transistor medido foi polarizado com dois valores de tensão de dreno: 50 mV e 1,2 V.

Figura 3.1. À esquerda, exemplo de uma cascata de L presente nas lâminas medidas contendo onze transistores de diferentes comprimentos de canal e, à direita, uma ampliação de um dos transistores.

3.1 Determinação do DIBL

Para determinar os valores da variação da tensão de limiar foi preciso analisar as curvas $I_{DS} \times V_{GSF}$ para as duas polarizações realizadas. Para baixa polarização no dreno (V_{DS}), V_T foi determinado pelo ponto máximo da curva obtida pela segunda derivada de $I_{DS} \times V_{GS}$. Para alto V_{DS} o método utilizado para determinação de V_T foi o de nível de corrente. Dessa forma, através do nível de corrente obtido para V_T com baixo V_{DS} , determinou-se a tensão de limiar equivalente na curva com alta polarização de dreno.

3.2 Resultados Experimentais

3.2.1 Dispositivos sem SEG

A Figura 3.2 apresenta a tensão de limiar extraída em função do comprimento de canal para as duas condições de polarização de dreno. É possível comparar diretamente a redução da tensão de limiar com a redução do canal e então observar este comportamento em função das diferentes tecnologias. O efeito de DIBL aumenta com a diminuição dos dispositivos uma vez que se trata de um efeito de canal curto. Os valores podem ser analisados na Tabela 3.2, onde é possível notar a diminuição nos valores de V_T para todos os comprimentos de canal para os dispositivos com tensionamento mecânico quando comparados aos convencionais.

Figura 3.2. Extração da tensão de limiar em função do comprimento de canal para as duas condições de polarização, comparando as tecnologias com e sem tensão mecânica.

Tabela 3.2. Valores de V_T para baixo e alto V_{DS} em função de variados comprimentos de canal para $W_{Fin} = 55\text{nm}$.

L (nm)	$V_{DS1} = 50\text{mV}$			$V_{DS2} = 1,2\text{V}$		
	Conv.	Uniaxial	Biaxial	Conv.	Uniaxial	Biaxial
920	0,44	0,43	0,41	0,43	0,42	0,39
620	0,44	0,43	0,41	0,425	0,415	0,38
420	0,44	0,43	0,40	0,42	0,415	0,38
170	0,43	0,40	0,40	0,40	0,375	0,38
120	0,43	0,37	0,39	0,39	0,315	0,35
80	0,41	0,36	0,38	0,32	0,21	0,27

Outro aspecto importante é observado na comparação dos valores de V_T para $V_{DS}=1,2\text{V}$. Ao analisar a mudança na tensão de limiar entre os dispositivos de canal longo e os de canal curto, há uma variação de 50% nos dispositivos com tensão uniaxial e 31% no caso dos biaxiais contra 7% nos transistores convencionais. Esse comportamento sugere um aumento expressivo na variação da tensão de limiar quando submetidos a alto potencial no dreno para as tecnologias com tensionamento mecânico.

A Figura 3.3 traz os valores de DIBL calculados a partir dos resultados da curva da Figura 3.2. Para $L < 80\text{ nm}$ a variação é muito grande e não aparecem no gráfico. Os valores extraídos foram maiores para os dispositivos com tensão mecânica. Comparado ao dispositivo convencional, a variação percentual chegou próximo de 80% para transistores com deformação uniaxial. Já os dispositivos com deformação biaxial apresentaram, nesta primeira análise, resultados mais próximos aos FinFETs convencionais.

Figura 3.3. Valores obtidos para o efeito de DIBL em função do comprimento de canal.

As diversas curvas apresentadas na Figura 3.4 mostram o comportamento da transcondutância em função da tensão de porta V_{GS} para diferentes comprimentos de canal. É possível notar que a deformação uniaxial causa um considerável aumento na transcondutância – o dobro comparado ao dispositivo convencional – no caso do dispositivo de 80 nm de L em função do aumento na mobilidade dos portadores. O menor valor de tensão de limiar também ocorre neste caso devido a diminuição da faixa proibida (*BandGap*). A tensão uniaxial é mais efetiva em pequenas escalas porque a força induzida pela camada de Si_3N_4 torna-se mais elevada nessas dimensões, tensionando todo o canal. No caso do tensionamento biaxial o aumento na mobilidade é bem menor, aproximando-se do comportamento do transistor convencional. Neste caso, a componente da tensão na direção da corrente diminui com a diminuição do canal devido a uma relaxação da estrutura de silício em pequenas dimensões.

A medida em que o comprimento de canal aumenta nota-se que o comportamento dos dispositivos inverte, comprovando que o melhor desempenho para cada tipo de tensionamento mecânico depende da dimensão. Na Figura 3.4, para o comprimento de 270 nm, ocorre a condição de equilíbrio das tecnologias uniaxial e biaxial, ou seja, o mesmo valor de transcondutância e de tensão de limiar são obtidos. A partir desse comprimento, os dispositivos biaxiais passam a apresentar maiores valores de

transcondutância. Uma vez que a região do canal é grande, a tensão mecânica existente em todo substrato garante o maior desempenho no sentido de aumentar a mobilidade nesta região. Em outras palavras, pode-se dizer que o efeito da deformação biaxial é maior nestas condições, o que não ocorre com o uniaxial. Neste último caso, à medida que este se torna muito longo, o efeito acaba permanecendo apenas junto às regiões de fonte e dreno, deixando o centro do canal livre de quaisquer mudanças na rede cristalina.

Figura 3.4. Transcondutância em função da tensão de porta V_{GS} para transistores com diferentes comprimentos de canal.

A Figura 3.5 mostra a tensão de limiar em função da largura de canal W_{Fin} para as duas condições de polarização de dreno e comprimento de canal de 100 nm. Observa-se um pequeno aumento de V_T para menores larguras de *fin* e para baixo V_{DS} . O dispositivo uniaxial, neste caso, apresenta total estabilidade no valor de V_T , embora tal comportamento seja perdido para altos valores de V_{DS} .

Figura 3.5. Tensão de limiar em função da largura de canal para $L = 100$ nm e para as duas polarizações de dreno.

O DIBL resultante é apresentado na Figura 3.6. Para larguras acima de 75 nm, o efeito de DIBL é bastante pronunciado, ou seja, há uma alta variação na tensão de limiar para alto potencial de dreno. Neste caso, um dos fenômenos responsáveis por esse aumento é a predominância de efeitos de canal curto, uma vez que a largura do canal aumenta além do valor do comprimento do transistor. A ocorrência do desacoplamento das portas é outro fator relevante para o aumento do DIBL, já que parte das cargas na região do canal deixa de ser controlada pelas portas, favorecendo a influência do potencial de dreno sobre elas. Esse conceito é melhor apresentando através da observação da Figura 3.7 que traz o perfil da região do canal cortado em função de W_{Fin} .

Figura 3.6. DIBL em função da largura de canal para $L = 100$ nm.

Como pode ser observado na figura 3.7 (a), as portas aparecem ao redor da região do canal. Para W_{Fin} pequeno (b), o efeito do potencial das portas permanece mais acoplado, ou seja, praticamente não há uma região “neutra”. Porém, quando a largura do canal aumenta, a influência do potencial das portas permanece apenas na região do canal próxima à superfície, deixando uma região “neutra” muito grande. Esta região fica disponível para ser controlada pelo potencial do dreno, o que favorece o aumento do DIBL.

Figura 3.7. Corte do canal do transistor em função de W_{Fin} . (a) nas situações de W_{Fin} estreito (b) e W_{Fin} largo (c).

A Figura 3.8 traz os valores de DIBL em função do comprimento de canal para dois diferentes valores de W_{Fin} . Como pode ser visto, somente para valores menores que 180 nm a variação na tensão de limiar torna-se maior, caracterizando o efeito de canal curto. Os valores de DIBL são maiores para a maior largura de canal, uma vez que a tensão de limiar aumenta com W_{Fin} .

Figura 3.8. DIBL em função do comprimento de canal para $W_{Fin} = 25$ nm e $W_{Fin} = 55$ nm.

A análise realizada utilizando um dispositivo com comprimento de canal longo, no caso 920 nm apresentou valores de DIBL na ordem de 20mV/V. Os

valores puderam ser extraídos para larguras de canal entre 2875 nm e 25 nm, uma vez que com dimensões de L maiores, os efeitos de canal curto são desprezíveis.

3.2.2 Dispositivos com SEG

A Figura 3.9 apresenta a tensão de limiar em função do comprimento de canal para dispositivos com extensão de fonte e dreno (SEG) para $V_{DS} = 0,05V$ e $V_{DS} = 1,12V$. Os valores de V_T para baixa polarização no dreno e para comprimento de canal de 80 nm são menores para os dispositivos com tensionamento mecânico, sendo que a deformação uniaxial favorece uma diminuição maior desse parâmetro, principalmente devido ao maior efeito dessa deformação em pequenas dimensões. A medida em que um alto potencial é aplicado ao dreno, esses valores diminuem e podem ser comparados na Tabela 3.3. O resultado dessa diferença pode ser observado na curva de DIBL em função do comprimento de canal, mostrado na Figura 3.10.

Figura 3.9. Tensão de limiar para alto e baixo V_{DS} em função do comprimento de canal para dispositivos com SEG.

Tabela 3.3. Valores de V_T para baixo e alto V_{DS} em função de variados comprimentos de canal para $W_{Fin} = 55nm$ e com o uso de SEG.

	$V_{DS1} = 50mV$			$V_{DS2} = 1,2V$		
L (nm)	Conv.	Uniaxial	Biaxial	Conv.	Uniaxial	Biaxial
920	0,46	0,437	0,451	0,455	0,418	0,424
620	0,48	0,447	0,472	0,47	0,427	0,445
420	0,467	0,451	0,489	0,456	0,426	0,453
170	0,475	0,461	0,448	0,46	0,422	0,41
120	0,478	0,449	0,441	0,45	0,38	0,357
80	0,458	0,411	0,44	0,33	0,27	0,311

A princípio a diferença entre os dispositivos é predominantemente maior para os transistores com deformação mecânica. Na medida em que os comprimentos diminuem e os valores de DIBL aumentam ocorre uma proximidade entre todos os valores. Isso acontece devido ao diferente comportamento de cada tecnologia diante dos efeitos de canal curto. No entanto, melhores análises serão feitas baseadas nos resultados posteriores.

Figura 3.10. DIBL em função do comprimento de canal para $W_{Fin} = 25nm$ e $W_{Fin} = 55nm$.

O uso de crescimento seletivo epitaxial afeta o comportamento da transcondutância como pode ser visto na Figura 3.11.

Principalmente no caso da deformação uniaxial, a transcondutância assume os mesmos valores quando comparada à deformação biaxial, no caso dos dispositivos com comprimento de canal de 80nm, 120nm e 270nm. Isso sugere que o uso de SEG minimiza os efeitos do tensionamento nesses dispositivos, uma vez que o esperado seria que os valores de transcondutância fossem maiores para os dispositivos com tensionamento uniaxial nessas dimensões. Também existe a possibilidade do SEG ter melhorado os efeitos da deformação biaxial de forma que esta se igualasse aos valores proporcionados pela tecnologia uniaxial. No entanto, é necessária uma análise mais profunda para definir qual dos efeitos de fato acontece. Esse estudo será feito a seguir, no próximo item.

Para comprimentos maiores de canal (acima de 270nm), observam-se melhores resultados, ou seja, maiores valores de transcondutância para a tecnologia biaxial.

Figura 3.11. Transcondutância em função da tensão de porta V_{GS} para transistores com diferentes comprimentos de canal e com o uso de crescimento seletivo epitaxial em fonte e dreno.

As curvas da tensão de limiar em função da largura W_{Fin} aparecem na Figura 3.12 para as duas condições de polarização de dreno, em dispositivos com 100nm de comprimento de canal. Os dispositivos com tensão mecânica apresentam as menores tensões de limiar. É observado que os dispositivos convencionais apresentam maior variação nesse parâmetro quando são submetidos à alto potencial no dreno.

Figura 3.12. Tensão de limiar em função da largura do *fin* para dispositivos com 100 nm de comprimento de canal, nas duas condições de polarização de dreno.

A Figura 3.13 mostra o DIBL resultante dos dispositivos com 100 nm de comprimento de canal em função do W_{Fin} . Neste caso, também não foi possível extrair valores de DIBL para larguras maiores que 75 nm, uma vez que os valores tornam-se muito grandes. Nota-se que os dispositivos com tensão mecânica apresentam as menores variações e uma tendência bastante próxima, ou seja, um comportamento contrário ao obtido na análise dos dispositivos sem SEG. O tensionamento biaxial teve sua maior variação em torno de 130 mV/V, cerca de 27% a menos que os transistores convencionais com SEG.

Figura 3.13. DIBL extraído em função da largura do *fin* para dispositivos com 100 nm de comprimento de canal.

Analisando a Figura 3.14 observa-se uma mudança de comportamento, onde a influência do SEG melhora os dispositivos com tensionamento mecânico em relação ao DIBL, tornando possível também a extração dos valores para dispositivos com menores comprimentos de canal, no caso 60 nm. Novamente, quanto maior a largura do *fin* maior também é a variação na tensão de limiar que acarreta aumento no DIBL. É possível notar, no entanto, que a diferença entre as tecnologias tende a diminuir quando o W_{Fin} aumenta. Há também uma certa alternância de comportamento entre os valores a partir de 420 nm de comprimento de canal. No entanto, essa variação esteve abaixo dos 50 mV/V.

Figura 3.14. DIBL em função do comprimento de canal para $W_{Fin} = 25$ nm e $W_{Fin} = 55$ nm usando elevação de fonte e dreno.

Tabela 3.4. Valores de V_T para baixo e alto V_{DS} em função de diferentes larguras de *fin* para 100nm de comprimento de canal e com o uso de SEG.

	$V_{DS1} = 50 \text{ mV}$			$V_{DS2} = 1,2\text{V}$		
W (μm)	Conv.	Uniaxial	Biaxial	Conv.	Uniaxial	Biaxial
75	0,45	0,45	0,42	0,25	0,28	0,27
55	0,47	0,47	0,46	0,375	0,389	0,38
45	0,49	0,44	0,45	0,42	0,38	0,39
25	0,54	0,47	0,49	0,5	0,43	0,455

A comparação entre os valores de DIBL para dispositivos de canal longo (920 nm) com e sem o uso de SEG também foi estudada e, como já obtido na primeira análise (dispositivos sem SEG), a variação da tensão de limiar foi muito pequena, podendo ser considerada desprezível.

3.2.3 Comparação entre dispositivos com e sem SEG

Algumas comparações entre os diversos parâmetros estudados serão realizadas a fim de compreender as mudanças de comportamento dos dispositivos com e sem o uso de crescimento seletivo epitaxial.

Primeiramente, a análise da transcondutância aparece na Figura 3.15. Para os dispositivos convencional e biaxial houve o aumento desse parâmetro decorrente do aumento na corrente de dreno, já que o uso de SEG acarreta a diminuição da resistência série e contribui para uma condução maior de corrente. Por sua vez a tensão de limiar aumenta, o que demonstra que o efeito do tensionamento mecânico é minimizado.

Figura 3.15. Transcondutância em função da tensão na porta para dispositivos com e sem SEG e com 80nm de comprimento de canal e 55nm de W_{Fin} .

Já o dispositivo com deformação uniaxial sofre uma diminuição em sua transcondutância quando o SEG é usado. Esse comportamento é observado em todos os comprimentos de canal conforme Figura 3.16. Nessa figura também é possível observar que, para os demais dispositivos, o SEG proporciona um aumento na transcondutância máxima, de forma mais significativa nos dispositivos biaxiais. Outro aspecto relacionado à transcondutância refere-se à troca de comportamento entre os dispositivos com tensionamento mecânico. Isto é, para comprimentos de canal acima de 270nm, os maiores valores de G_m pertencem aos dispositivos biaxiais enquanto que, para pequenos comprimentos, o tensionamento mais efetivo é resultado dos dispositivos uniaxiais. De modo geral, os melhores valores de transcondutância pertencem aos dispositivos com tensão mecânica, utilizando ou não o uso de SEG.

A diferença com que cada tecnologia responde ao uso do SEG mostra que há uma dependência individual de cada dispositivo relacionada à resistência do mesmo. Logo mais essa análise será abordada.

Figura 3.16. $G_{m_{\max}}$ em função do comprimento de canal para dispositivos com e sem SEG.

A fim de compreender os efeitos de canal curto de forma a facilitar as análises relacionadas ao DIBL, a Figura 3.17 mostra a inclinação de sublimar, S em função do comprimento de canal.

Para $L = 80 \text{ nm}$ há o aumento da inclinação de sublimar para todos os dispositivos devido ao pequeno comprimento de canal. Nesse comprimento os maiores valores de S , ou seja, 102 mV/dec e 93 mV/dec correspondem, respectivamente aos dispositivos convencionais com SEG e sem SEG. Da mesma forma, os valores para os dispositivos biaxiais com SEG são sutilmente maiores quando comparados aos sem SEG. De modo geral, os valores de S para os dispositivos com deformação mecânica são menores, demonstrando que eles são menos susceptíveis aos efeitos de canal curto.

A Tabela 3.5 traz os valores da tensão de limiar para diferentes comprimentos de canal e para $V_{DS} = 0,05 \text{ V}$.

Figura 3.17. Inclinação de sublimar em função do comprimento de canal para dispositivos com e sem SEG.

Tabela 3.5. Valores de V_T para diferentes comprimentos de canal e para dispositivos com e sem o uso de SEG para $V_{DS} = 0,05V$

L (nm)	Convencional		Uniaxial		Biaxial	
	SEG	s/ SEG	SEG	s/ SEG	SEG	s/ SEG
920	0,46	0,44	0,437	0,43	0,451	0,41
620	0,48	0,44	0,447	0,43	0,472	0,41
420	0,467	0,44	0,451	0,43	0,489	0,40
170	0,475	0,43	0,461	0,40	0,448	0,40
120	0,478	0,43	0,449	0,37	0,441	0,39
80	0,458	0,41	0,411	0,36	0,44	0,38

A tabela mostra que a tensão de limiar aumenta quando o SEG é usado. Analisando a equação da tensão de limiar apresentada no capítulo 2.2.4.2 é possível notar que os termos mais prováveis de serem afetados pelo processo de extensão de fonte e dreno são a tensão de faixa plana V_{FB} e o potencial Φ_S^* . No primeiro caso, a diminuição das cargas no óxido decorrentes do processo de crescimento seletivo epitaxial pode anular (ou tender a zero) a queda de potencial no óxido, fazendo com que uma parcela de tensão seja acrescida no

valor final de V_T . Outra explicação baseada no potencial de superfície estaria relacionada ao aumento do potencial de Fermi, uma vez que os demais termos (relação de capacitâncias, tensão térmica, etc) são constantes. O aumento de ϕ_F pode ser resultado da ativação de alguns dopantes na região do canal no momento em que o dispositivo é exposto à temperatura do processo de SEG (750 °C). Isso aumentaria sutilmente o valor de N_a que, por sua vez, afetaria os valores de ϕ_F e Q_D . Nos dois casos é importante salientar que a variação desses termos é bastante pequena, porém, a somatória delas pode ser a justificativa para o acréscimo de algumas dezenas de mV no valor final de V_T para os dispositivos com SEG.

A Figura 3.18 compara os valores de V_T em função da largura de canal W_{Fin} para os dispositivos com e sem crescimento seletivo epitaxial. O SEG induz o aumento na tensão de limiar como já observado anteriormente, e tal comportamento sugere uma piora dos dispositivos nesse aspecto. Transistores com deformação mecânica uniaxial que, inicialmente apresentavam valores de V_T uniformes e próximos a 0,37V, a partir do processo de SEG, apresentam tensão de limiar variável para diferentes larguras de *fin* e com valores médios de 0,46V, ou seja, aproximadamente 24% de acréscimo.

Figura 3.18. Tensão de limiar em função da largura do canal para dispositivos com e sem SEG.

A Figura 3.19 apresenta os valores do DIBL dos dispositivos com e sem SEG. Para os dispositivos convencionais, ou seja, aqueles sem deformação

mecânica, o uso do crescimento seletivo epitaxial de fonte e dreno causou maior impacto nos valores de tensão de limiar, apresentando cerca de 75% de aumento no valor de DIBL para $W_{Fin} = 75$ nm. Da mesma forma, porém em proporções diferentes, os dispositivos com deformação biaxial foram afetados. Já os transistores com tensionamento uniaxial mostraram resultados praticamente iguais nas duas situações.

Figura 3.19. Comparação entre dispositivos com e sem SEG para as tecnologias convencionais, com deformação uniaxial e biaxial, analisando os valores de DIBL em função da largura do *fin*.

Uma vez que o maior impacto do SEG no dispositivo está relacionado à diminuição da resistência série, a mudança no comportamento entre os dispositivos também está relacionada a esse parâmetro. Isto é, torna-se necessário compreender a variação na resistência total de cada dispositivo para cada tecnologia. Partindo deste princípio, tem-se o estudo a seguir.

3.2.4 Estudo da resistência série e total dos dispositivos

A partir dos dados de resistência série e total fornecidos em (45) considerando a largura de *fin* de 25nm e comprimento de canal igual a 100nm, a fim de analisar qualitativamente os resultados, tem-se os seguintes valores na Tabela 3.6.

Tabela 3.6. Valores de R_{SD} , R_{CH} e R_{Total} para dispositivos com e sem o uso de SEG.

	Resistência de Fonte e Dreno (R_{SD}) [Ω]		Resistência do Canal (R_{CH}) [Ω]		Resistência Total (R_{Total}) [Ω]	
	SEG	s/ SEG	SEG	s/ SEG	SEG	s/ SEG
Referência	300	1540	1100	2560	1400	4100
Uniaxial	130	800	670	1100	800	1900
Biaxial	430	835	470	965	900	1800

Considerando um esquema básico de resistências em um transistor, onde as parcelas equivalentes à região de LDD não são consideradas pelo fato de somarem valores iguais a resistência total de todos os dispositivos, tem-se então a Figura 3.20.

Figura 3.20. Associação simplificada de resistências ao longo de um transistor.

Pela figura acima, a resistência série, R_{SD} , equivale à somatória das resistências R_S e R_D , ou seja, às parcelas de fonte e dreno. Então os valores apresentados na Tabela 3.6 dividem-se igualmente nessas regiões. Dessa forma, comparativamente aos valores dos dispositivos sem SEG, há uma significativa diminuição dessas resistências e isso colabora para o aumento do DIBL. Uma vez que a resistência de fonte e dreno diminui, o potencial oriundo do dreno divide-se de forma proporcional sobre cada uma dessas resistências. Assim, se a resistência predominante dessa associação passa a ser a resistência do canal, será sobre ela que cairá o maior potencial (V_{CH}). Na medida em que a tensão no dreno aumenta, ocorre também o aumento no potencial do canal que, por sua vez, induz o início da depleção ou até mesmo da inversão nessa região, independente da tensão na porta. Assim, para um valor menor de tensão de porta (V_G) acontecerá o início da operação do

transistor. Como a condição de limiar diminui para alto potencial no dreno, a variação da tensão de limiar aumenta, ou seja, aumenta o DIBL.

Baseado nessa explicação, a ocorrência do DIBL será influenciada pelos valores das resistências dessa associação básica demonstrada. Por exemplo, no caso do dispositivo convencional que apresenta alto valor de resistência de canal, o potencial nessa região será alto e conseqüentemente o DIBL aumentará. Já no caso do dispositivo biaxial, como o valor das resistências de fonte e dreno ($430\ \Omega$ no total) estão na mesma ordem de grandeza quando comparadas à resistência do canal, ocorre a divisão do potencial de dreno de forma mais igualitária, o que exige uma participação maior do potencial de porta para a polarização do dispositivo. Isso faz com que o DIBL seja pequeno.

Analisando a resistência do canal observa-se que os dispositivos com o uso de SEG apresentam valores menores do que os mesmos sem SEG. O principal motivo para essa diminuição está relacionado a ativação dos dopantes na região do canal que acontece durante o processo do SEG. Como mencionado anteriormente, essa possível ativação de dopantes que seria a responsável pelo aumento no valor de V_T , também diminuiria a resistência do canal, uma vez que dopantes não ligados significam defeitos que aumentam a resistência.

Na análise individual dos dispositivos, nota-se que a resistência do canal é menor para os dispositivos com deformação biaxial. Tal comportamento acontece tanto para dispositivos com SEG como para os sem SEG. Isso demonstra que a técnica de tensionamento biaxial global induz menos defeitos na estrutura dos dispositivos, o que contribui para o aumento da corrente e conseqüentemente da transcondutância. Isso explica o motivo dos valores de G_m se igualarem aos dos componentes uniaxiais quando o SEG é usado já que a diferença entre as resistências aumenta.

Finalmente, os dispositivos convencionais apresentam os valores de resistência de canal mais elevados. O uso de SEG também causa a diminuição desse valor, porém comparativamente aos dispositivos com tensão mecânica, os valores chegam a ser maiores que 50%. Essa maior resistência afeta a corrente de dreno e gera valores de transcondutâncias menores para esses dispositivos conforme apresentado nas análises desse trabalho.

4. SIMULAÇÃO

4.1 Simulador Atlas

O ATLAS produzido pela SILVACO⁴⁶ é um simulador numérico bi e tridimensional. Trata-se de um simulador de materiais baseado em equações físicas que permitem a análise de diversos parâmetros. Por ser um simulador bastante amplo, é necessário informar exatamente todas as características possíveis da estrutura trabalhada, de forma a obter os resultados solicitados e em acordo com a realidade. O dispositivo simulado é decomposto em uma grade de pontos bidimensionais ou tridimensionais onde todas essas equações envolvidas são calculadas em cada ponto dessa grade. O processo de criação de uma grade de pontos é bastante crítico para o bom desempenho da simulação bem como para obtenção dos resultados esperados. É necessário tomar alguns cuidados na construção da grade como, por exemplo, evitar uma grande quantidade de pontos em locais livres de fenômenos físicos, pois algum tempo será dedicado em calculá-los inutilmente. No entanto, é importante aumentar o número de pontos nas interfaces dos materiais, onde geralmente ocorrem fenômenos críticos para o funcionamento do dispositivo. É necessário tomar cuidado com o grande número de triângulos obtusos, pois eles prejudicam a convergência numérica e também não ultrapassar o limite de pontos permitidos.

Neste trabalho foram utilizados modelos específicos de semicondutores. As estruturas simuladas foram desenhadas no ambiente de trabalho conhecido como DEVEDIT e simuladas em outro chamado DECKBUILD.

A seguir os modelos e definições utilizados durante a simulação serão resumidamente explicados.

4.2 Modelos do Simulador ATLAS

Em qualquer simulação numérica a escolha adequada dos modelos físicos é determinante para a obtenção de resultados próximos aos reais. Uma vez que os resultados das caracterizações experimentais são conhecidos é

importante adequar os parâmetros da simulação de forma a obter resultados próximos, porém sem mascará-los. Os modelos utilizados variam conforme a aplicação e podem ser específicos de mobilidade de portadores, de recombinação de portadores, de largura de faixa proibida, de ionização por impacto, parâmetros ópticos e etc.

No desenvolvimento deste trabalho foram utilizados os seguintes modelos contidos no simulador ATLAS.⁴⁶

- SRH (Shockley-Read-Hall) – Modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixado;
- AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes.
- BGN (Bandgap Narrowing) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI.
- FLDMOB (Parallel Electric Field Dependence) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio;
- CVT – Modelo de mobilidade completo de Lombardi, que inclui dependência com concentração de portadores, campo elétrico transversal e paralelo e da temperatura. Recomendado para transistores não planares.
- PRINT – Habilita a impressão das tensões nos nós do circuito após o cálculo de cada ponto (análise DC) ou passo de tempo (análise transiente).
- TEMP – Define a temperatura do dispositivo. Foi utilizado no trabalho o padrão do simulador que é 300K.

Como os dispositivos estudados apresentam tensionamento mecânico, as simulações não foram totalmente eficientes, pois modelos específicos de deformação mecânica precisariam ser utilizados. Para compensar a ineficiência do simulador em relação ao *strain*, foram ajustados os parâmetros de

mobilidade de tal forma que a transcondutância resultante estivesse próxima aos resultados experimentais. Ou seja, o efeito do tensionamento mecânico que ocasiona o aumento em Gm foi forçado através da variação do modelo de mobilidade. Tal ajuste, no entanto, acaba sendo exaustivo, pois cada dispositivo precisa de um ajuste individual.

Como alguns parâmetros da mobilidade foram alterados, as equações do modelo CVT são apresentadas a seguir para melhor entendimento.

A mobilidade total é composta por três elementos, combinados através da regra de Matthiessen's,⁴⁶ como segue:

$$\mu_T^{-1} = \mu_{AC}^{-1} + \mu_{sr}^{-1} + \mu_b^{-1} \quad (4.1)$$

O primeiro termo refere-se à limitação da mobilidade de superfície por espalhamento com fônons acústicos, ou seja, devido à interação dos portadores com as vibrações da rede cristalina. Essa componente é definida por:

$$\mu_{AC} = \left(\frac{BN.CVT}{E_{\perp}^{EN.CVT}} + \frac{CN.CVTN^{TAUN.CVT}}{E_{\perp}^{DN.CVT}} \right) \frac{1}{T_L} \quad (4.2)$$

onde T_L é a temperatura, $E_{\perp}$ é o campo elétrico perpendicular e N é a concentração de dopantes.

O segundo termo refere-se à influência da rugosidade de superfície na mobilidade. Com o aumento do campo elétrico vertical, os portadores são atraídos para a superfície e sofrem perda na mobilidade devido a rugosidade.

$$\mu_{sr} = \left(\frac{DELN.CVT}{E_{\perp}^{KN.CVT}} + \frac{FELN.CVT}{E_{\perp}^2} \right) \quad (4.3)$$

A terceira componente refere-se à mobilidade limitada pelo espalhamento com fônons ópticos. Esta é a maior das equações e nela encontra-se os termos diretamente relacionados à mobilidade máxima e mobilidade inicial.

$$\mu_{b,n} = \text{MU0N.CVT} \exp\left(\frac{-\text{PCN.CVT}}{N}\right) + \frac{\left[\text{MUMAXN.CVT} \left(\frac{T_L}{300}\right)^{-\text{GAMN.CVT}} - \text{MU0N.CVT} \right]}{1 + \left(\frac{N}{\text{CRN.CVT}}\right)^{\text{ALPHN.CVT}}} - \frac{\text{MU1N.CVT}}{1 + \left(\frac{\text{CSN.CVT}}{N}\right)^{\text{BETAN.CVT}}} \quad (4.4)$$

Em todas as equações, os termos que aparecem como .CVT são parâmetros de ajustes tabelados. A fim de ajustar as curvas simuladas com as experimentais, alguns desses parâmetros tiveram que ser alterados. No caso, após alguns testes verificou-se que o parâmetro MUMAXN.CVT corresponde ao valor máximo da mobilidade, afetando na transcondutância. Outros parâmetros como BN.CVT e CN.CVT são responsáveis pela degradação. Como o objetivo era obter um bom ajuste na região de sublimar, esses parâmetros foram pouco alterados.

4.3 Simulação

O objetivo das simulações aqui apresentadas é comprovar a influência da mudança no E_g (*Band Gap*) decorrente do uso de tensionamento mecânico nas estruturas uniaxial e biaxial. Como o Atlas não possui um modelo adequado para simular a tensão mecânica no material, alguns ajustes foram forçados de forma a obter resultados próximos aos experimentais. Portanto, as análises realizadas foram apenas qualitativas. É importante ressaltar que os estudos focados nos dispositivos com crescimento seletivo epitaxial não fizeram parte do objetivo das simulações, pois para isto seria necessário um tempo maior de dedicação nesta etapa do trabalho.

As estruturas simuladas foram criadas no editor gráfico DevEdit3D, onde foram definidas as regiões do transistor bem como seus eletrodos, os materiais e a grade de pontos. Os transistores tridimensionais gerados nesse editor apresentam o aspecto da Figura 4.1.

Figura 4.1. Vista tridimensional de um transistor SOI FinFET criado no simulador Atlas.

É possível observar a figura acima cortada em função de seus eixos. Dessa forma, o corte em função de X mostra a região central do canal, apresentando a largura W_{Fin} . Por sua vez, o corte em função de Z , vai da região da fonte até o dreno. Esses cortes são visualizados na ferramenta TonyPlot que permite também a visualização da grade nesses perfis. A Figura 4.2 mostra os dois cortes mencionados respectivamente.

(a)

(b)

Figura 4.2. Corte do transistor em função de X (a) e em função de Z (b).

A partir dessas estruturas, foi gerado um arquivo de simulação contendo os modelos já mencionados bem como a concentração de dopantes de cada região, a polarização do dispositivo e os arquivos de saída solicitados. Um dos arquivos simulados encontra-se anexo a este trabalho.

4.4 Resultados e Discussões sobre as Simulações

A curva presente na Figura 4.3 foi ajustada de forma a ter um comportamento próximo ao experimental principalmente na região de limiar que é a de maior interesse nesse estudo. O primeiro ajuste partiu de uma curva convencional que, portanto, não possui alteração em seu E_g . A partir desta curva, a tensão de limiar foi ajustada através do parâmetro *workfunction* já que o material de porta, na prática, é composto por uma associação de materiais que resulta em uma diferença ϕ_{MS} . Essa diferença de potencial é um dos parâmetros que define a tensão de limiar.

Figura 4.3. Ajuste da curva $I_{DS} \times V_{GS}$ através de simulação.

Após definida a *workfunction* padrão, as variações em V_T decorrentes da mudança na faixa proibida e causadas pela deformação mecânica foram usadas para definir o valor de E_g . A partir do ΔV_T de cada dispositivo, considerou-se a seguinte aproximação:

$$\Delta V_T = \phi_{F1} - \phi_{F2} \quad (4.5)$$

$$\phi_{F1} = \frac{k.T}{q} \ln \left(\frac{N_a}{ni_1} \right)$$

$$\phi_{F2} = \frac{k.T}{q} \ln \left(\frac{N_a}{ni_2} \right)$$

onde ni é a concentração intrínseca afetada pela mudança no E_g e é dada por $ni = \sqrt{N_C N_V} e^{-E_g/2kT}$.⁴⁷ A seguinte associação é estabelecida, considerando que apenas o termo E_g é alterado.

$$\Delta V_T = \phi_{F1} - \phi_{F2} = E_{g1} - E_{g2} \quad (4.6)$$

Finalmente, a partir da diferença de potencial de cada dispositivo, os seguintes valores de E_g foram adotados:

Tabela 4.1. Valores de E_g calculados com base na variação experimental de V_T .

	Uniaxial	Biaxial
$W_{Fin} = 55\text{nm}$ $L = 80\text{nm}$	1,03	1,07
$W_{Fin} = 75\text{nm}$ $L = 100\text{nm}$	1,06	1,09

A Figura 4.4 compara as faixas de condução obtidas via simulação para o dispositivo com $W_{Fin} = 75\text{nm}$ e $L = 100\text{nm}$, considerando o valor de E_g padrão (1,12V) para o dispositivo convencional e os demais valores de E_g calculados para representar os dispositivos com deformação mecânica. Nota-se que há uma sutil diferença entre os dispositivos, demonstrando que o convencional apresenta maior barreira na região da fonte. Portanto, o efeito de DIBL é menor neste caso. A diferença entre as curvas também é observada na condição de alta polarização de dreno. As curvas com os valores de E_g modificados demonstram maior susceptibilidade ao DIBL.

Figura 4.4. Faixas de condução para dispositivos simulados para diferentes valores de E_g .

Como a diferença entre as curvas foi pequena, optou-se por utilizar um único valor de E_g a fim de analisar a reprodutibilidade do comportamento. A curva da Figura 4.5 mostra a diferença ocasionada ao V_T devido à variação no valor de E_g . A partir deste ponto, foi utilizado $E_g = 1V$.

Figura 4.5. Influência do E_g na variação da tensão de limiar.

É importante ressaltar que a curva $I_{DS} \times V_{GS}$ da Figura 4.5 foi simulada sem a realização de ajustes, ou seja, apenas alterou-se o valor do E_g a fim de observar sua influência no valor da tensão de limiar.

As bandas de energia em função da distância em X, da fonte para o dreno, aparecem na Figura 4.6 para três diferentes condições de polarização de dreno, para um dispositivo com 80 nm de comprimento de canal e largura de *fin* igual a 55nm. O dispositivo com tensão mecânica representado pelo $E_g=1V$ possui barreira de potencial menor que o da curva para E_g padrão. As diversas regiões do dispositivo são identificadas e é possível observar que o abaixamento ocorre próximo à região da fonte.

Figura 4.6. Faixas de energia em função da distância da fonte ao dreno do transistor.

A Figura 4.7 apresenta um zoom da Figura 4.6 focando a região próxima à fonte, onde é nítido o efeito de abaixamento de barreira. Desta forma, pode-se então concluir que a deformação mecânica, ao afetar o valor do E_g da estrutura, causa o abaixamento das barreiras de condução que propiciam e caracterizam o DIBL. Conseqüentemente, se a estrutura sofre deste efeito, a tensão de limiar desse dispositivo acaba sendo afetada. De fato, observou-se que dispositivos com tensionamento mecânico apresentaram menores tensões de limiar.

Por fim, analisando apenas as bandas de condução para baixa polarização no dreno (Figura 4.8) nota-se que o efeito da mudança no E_g altera as bandas mesmo para baixos potenciais. Portanto, quanto menor o *Band Gap* (faixa proibida) menor também será a faixa de condução. Isso permite que os elétrons atravessem o material com maior facilidade. Ao reduzir a barreira de potencial na região da fonte devido ao maior potencial no dreno, os elétrons passam por ela e conseqüentemente, o efeito de DIBL é caracterizado.

Figura 4.7 Faixas de energia próximas à região da fonte onde ocorre o abaixamento de barreira.

Figura 4.8. Faixas de energia para dispositivos polarizados com baixo potencial no dreno, onde já se observa o abaixamento de barreira induzido pela diferença em E_g .

5. CONCLUSÕES E SEQUÊNCIA DO TRABALHO

O efeito de abaixamento de barreira induzido pelo dreno (DIBL) foi estudado, analisando seu comportamento em estruturas SOI nFinFETs de porta tripla através de medidas experimentais e simulações numéricas.

A caracterização elétrica possibilitou a extração dos parâmetros necessários para o estudo do efeito de DIBL. Foram medidas cascatas de transistores nFinFETs de porta tripla convencionais e outras de dispositivos com tensão mecânica uniaxial e biaxial. Da mesma forma, dispositivos com as mesmas características, porém com crescimento seletivo epitaxial em fonte e dreno foram estudados a fim de compará-los.

Através dos resultados experimentais observou-se que os dispositivos com deformação mecânica apresentaram maiores valores de DIBL em relação aos convencionais. Esse resultado foi devido à diminuição da faixa proibida decorrente da deformação mecânica. A fim de comprovar tal comportamento, as simulações numéricas foram feitas alterando-se os valores de E_g . De fato, os resultados mostraram que ocorre o abaixamento de barreira nas bandas de condução na medida em que o potencial no dreno aumenta. Portanto, um dispositivo com menor E_g mostra-se mais susceptível ao DIBL, já que os elétrons encontram maior facilidade em cruzar o canal e chegar até a fonte.

No estudo do DIBL para dispositivos com extensão de fonte e dreno (SEG) observou-se uma mudança de comportamento entre transistores convencionais e aqueles com deformação mecânica. Neste caso, os dispositivos convencionais apresentaram os piores valores de DIBL (ou seja, os maiores valores). Para explicar tal comportamento foi necessário analisar as mudanças nas resistências de cada componente. Notou-se que, com a diminuição da resistência série promovida pelo uso do SEG, uma maior queda de potencial permanece na região do canal. Com o aumento do V_{DS} , o potencial nessa região torna-se grande o suficiente para exigir da porta uma parcela menor de tensão. Ou seja, para um V_{GS} menor, o transistor é polarizado.

Através da análise das resistências observou-se que o SEG também diminui a resistência do canal, o que contribui para um maior nível de corrente na estrutura e, conseqüentemente, maior transcondutância.

Em todos os casos, os dispositivos convencionais apresentam maior resistência de canal. No caso da presença do SEG, como as parcelas de resistência de fonte e dreno diminuem, a polarização na região central oriunda do dreno é maior do que nos demais dispositivos. Na ausência do SEG, como as resistências de fonte e dreno estão na mesma ordem de grandeza da resistência do canal, o potencial é dividido de forma mais igualitária e, por isso, o DIBL não é tão acentuado.

Dessa forma, o DIBL acaba sendo dependente da distribuição das resistências ao longo do dispositivo. Em todas as análises com SEG, os transistores biaxiais apresentaram os menores valores de DIBL e também os menores valores de resistência.

A tensão de limiar nos dispositivos com SEG é maior comparada aos sem SEG. Isso demonstra que o processo de crescimento seletivo epitaxial contribui para a diminuição das cargas no óxido bem como para o aumento de potencial de superfície, que neste caso é afetado pela diminuição dos defeitos nessa região que é comprovado pela menor resistência.

Como proposta para continuação do trabalho, uma análise sobre os dispositivos com SEG poderá ser feita baseada em simulações numéricas. Isso comprovaria a questão da mudança das resistências nessas estruturas. Por se tratar de um efeito limitante nas atuais tecnologias, o DIBL pode ser estudado também em novas estruturas, como os *Bulk* FinFETs. Também é possível analisá-lo em função da temperatura ou de outros materiais de porta.

TRABALHOS PUBLICADOS

SANTOS, S. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. DIBL Study Using Triple Gate Unstrained and Uniaxial/Biaxial Strained FinFETs. Sbmicro 2009 - 24th Symposium on Microelectronics Technology and Devices, 2009, Natal. Microelectronics Technology and Devices - Sbmicro 2009. ECS Transactions. Pennington, NJ : ECS, 2009. v. 23. p. 591-596.

SANTOS, Sara D.; MARTINO, João A., Dibl Effect In Triple Gate Strained SOI Finfets. V Seminatec - Workshop on Semiconductors and Micro & Nano Technology. Unicamp, 2009.

Convite para escrever uma versão estendida do artigo publicado na Sbmicro 2009 na revista JICS 2010, devido à boa avaliação do trabalho pelo congresso.

REFERÊNCIAS

-
1. MOORE, G. E. Progress in Digital Integrated Electronics. **IEDM Digest of Technical Papers**, p. 11-13, 1975.
 2. CHANG, L., et al. Moore's law lives on CMOS transistor. **IEEE Circuits and Devices Magazine**, 2003. v.19, n.1.
 3. COLINGE, J. P. Silicon-On-Insulator Technology. **Materials to VLSI**, 3 ed., Boston (MS): Kluwer Academic Publishers, 2004.
 4. KIM, K., KWON, O., SEO, J., WON, T. Nanoscale Device Modeling and Simulation: Fin Field-Effect Transistor (FinFET). **Japanese Journal of Applied Physics**, v. 43, n. 6B, p. 3784–3789, 2004.
 5. HISAMOTO, D.E. et al. Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, p. 36-38, 1990.
 6. TAUR, Y. Analytic Solutions of Charge and Capacitance in Symmetric and Asymmetric Double-Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 48, n. 12, p. 2861-2869, 2001.
 7. NOWAK, J. K., KANASSKY, T. et al. Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation. **Electron Devices Meeting**, p. 247-250, 2002.
 8. HOYT, J. L. et al. Strained silicon MOSFET technology, **IEDM Digest of Technical Papers**, p. 23-26, 2002.
 9. HOKAZONO, A. et al., Source/Drain engineering for sub-100 nm CMOS using selective epitaxial growth technique. **International Electron Devices Meeting**, p. 243, 2000.
 10. TROUTMAN, R. R. VLSI limitations from drain-induced barrier lowering. **IEEE Transactions on Electron Devices**. v. 26, p. 461-469, 1979.
 11. TROUTMAN, R. R. Latch-up in CMOS technology: the problem and its cure. Kluwer Academic Publisher, 1986.
 12. MUELLER, C.W; RO, B. Grown-film silicon transistors on sapphire. **IEEE Transactions on Electron Devices**, v. 11, n. 11 p. 530-530, 1964.

-
13. LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Electron Device letters**, v. 30, n. 10, p. 1244-1251, 1983.
 14. YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
 15. PARK, J. T.; COLINGE, J. P. Multiple-Gate SOI MOSFETs: Device Design Guidelines. **IEEE Transactions on Electron Devices**, v. 49, n. 12, p. 2222-2229, 2002.
 16. SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid-State Electronics**. v. 27, n. 8/9, p. 827-828, 1984.
 17. COLINGE, J. P.; GAO M.; ROMANO A.; MAES H.; CLAEYS C. Silicon-on-insulator 'gate-all-around device'. In: Technical Digest of IEDM – **International Electron Devices Meeting**, p. 595-598, 1990.
 18. HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E. Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, 1990.
 19. FOSSUM, J. G. Suppression of Corner Effects in Triple-Gate. **IEEE Electron Device Letters**, v. 24, n. 12, p. 745-747, 2003.
 20. GIACOMINI R.; MARTINO, J. A. Influence of non-vertical sidewall on FinFET threshold voltage. **The Electrochemical Society**. v. 4, p. 275-281, 2006.
 21. COLINGE, J. P., Multiple-gate SOI MOSFETs. **Solid-State Electronics**, v. 48, n. 6, p. 897-905, 2004.
 22. CHOI, W. Y. et al., Stable Extraction of Threshold Voltage Using Transconductance Change Method for CMOS Modeling, Simulation and Characterization. **Japanese Journal of Applied Physics**, v. 43, p. 1759-1762, 2004.
 23. FRANCIS, P. et al., Moderate inversion model of ultrathin double-gate Nmos/ SOI transistors. **Solid-State Electronics**, v. 38, p. 171-176, 1995.
 24. ANDRADE, G. C., Estudo Da Tensão De Limiar E Inclinação De Sublimiar Em Transistores Soi Finfets De Porta Dupla E Porta Tripla, Dissertação de Mestrado pelo Centro Universitário da FEI, 2007.

-
25. BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BBRINI, J.; ELEWA, T. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. **IEEE Electron Device Letters**, v. EDL-8, n. 9, p. 410-412, 1987.
 26. SAMUDRA, G., RAJENDRAN, K. Scaling parameter dependent drain induced barrier lowering effect in double-gate SOI MOSFET. **Japanese Journal of Applied Physics**, v. 38, p. 349-352, 1999.
 27. CRISTOLOVEANU, S., Buried Oxide Fringing Capacitance: A New Physical Model and its Implication on SOI Device Scaling and Architecture. **IEEE SOI Conference**, 38-39, 1999.
 28. MARTINO, J. A., PAVANELLO, M. A., VERDONOCK, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS, 1 ed., São Paulo, Pioneira Thomson Learning, 2003.
 29. SWART, W. J., Notas de aula disciplina IE733, Unicamp, 2008.
 30. JUNIOR, J. M. S. Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores soi ultra-submicrométricos. Dissertação de mestrado pelo Centro Universitário da FEI, 2009.
 31. GHITANI, H. DIBL coefficient in short channel NMOS transistors. **16th National Radio Science Conference**, NRSC'99, Cairo, Egypt, 1999.
 32. LAUER, I. et al., Enhancement of electron mobility in ultrathin-body silicon-on-insulator MOSFETs with uniaxial strain, **IEEE Electron Devices Letters**, v. 26, p. 314–316, 2005.
 33. THOMPSON, S. E. et al. A Logic Nanotechnology Featuring Strained-Silicon. **IEEE Electron Device Letters**, v. 25, n. 4, 2004.
 34. GALLON, C. et al., Mechanical and electrical analysis of strained liner effect in 35 nm fully depleted silicon-on-insulator devices with ultra thin silicon channels, **Japanese Journal of Applies Physics**, v. 45, p. 3058–3063, 2006.
 35. MISTRY, T. et al. Delaying forever:Uniaxial Strained Silicon Transistors in a 90nm CMOS Technology. **Symposium on VLSI Technology Digest of Technical Papers**, p. 50, 2004.

-
36. CHENG, C. Y. Investigation and Localization of the SiGe Source/Drain (S/D) Strain-Induced Defects in PMOSFET With 45-nm CMOS Technology. **IEEE Electron Device Letters**, v. 28, p. 408-411, 2007
37. COLINGE, J.P., FinFETs and other Multi-Gate Transistors, 1ed., 2008.
38. ANDRIEU, F. et al., 25 nm short and narrow strained FDSOI with TiN/HfO₂ gate stack, **IEDM Digest of Technical Papers**, p. 134-135, 2006.
39. RIM, K. et al. Characteristics and Device Design of Sub-100nm Strained Si N- and PMOSFETs. **Symposium on VLSI Technology Digest of Technical Papers**. p. 92, 2002.
40. LIM, J. et al. Comparison of Threshold-Voltage Shifts for Uniaxial and Biaxial Tensile-Stressed n-MOSFETs. **IEEE Electron Device Letters**, v. 25, p. 731-733, 2004
41. Projeto de Pesquisa: *Crescimento seletivo para a integração modulador de amplitude/guia de onda*. Laboratório de Semicondutores, CETUC/ PUC-RIO.
42. COLLAERT, N. et al., Source/Drain Multi-gate devices for the 32 nm technology node and beyond: challenges for selective epitaxial growth. **Solid-State Electronics**, v. 52, p. 1291-1296, 2008.
43. KEDZIERSKI, J. et al. Extension and Source/Drain design for high-performance FinFET devices. **IEEE Transactions on Electron Devices**, v. 50, p. 952-958, 2003.
44. DIXIT, A. et al. Minimization of specific contact resistance in multiple gate NFETs by selective epitaxial growth of Si in the HDD regions. **Solid-State Electronics**, v. 50, p. 587-593, 2006.
45. NICOLETTI, T. Estudo da resistência série de fonte e dreno de transistores SOI FinFETs de porta tripla e com canal tensionado, Dissertação de Mestrado pela EPUSP, 2009
46. ATLAS Device Simulation User's Manual, v. 5.10.0.R, Silvaco International, Santa Clara , CA USA -2005.
47. SWART, J. W. Apostila "Materiais Elétricos" do curso EE511, FEEC, Unicamp.

ANEXO

#Wfin=100nm e Hfin=60nm

#

go devedit simflags="-3d"

DevEdit version=2.6.0.R # file written Fri Feb 13 2004 15:49:03 GMT+1 (MET)

bound.cond lapply max.slope=28 max.ratio=300 rnd.unit=0.0001 line.straightening=1
align.Points when=automatic

work.area x1=-0.01 y1=-0.01 x2=0.02 y2=0.045

devedit 2.6.0.R (Thu Dec 12 12:40:19 PST 2002)

libSvcFile 1.8.3 (Sat Dec 7 17:56:58 PST 2002)

libslm 4.14.3 (Sat Dec 7 18:02:49 PST 2002)

libSDB 1.4.3 (Tue Dec 10 19:51:05 PST 2002)

libDW_Version 2.0.0.R (Thu Nov 28 05:44:29 PST 2002)

work.area x1=-0.01 y1=-0.01 x2=0.02 y2=0.045

#

#

#Divisão da regiao ativa em 3 regiões.

#REGIÃO_1 é a regiao central

#REGIÃO_5 é a regiao de fonte

#REGIÃO_6 é a regiao de dreno

#

#

#Definição da REGIÃO - 1 "região ativa 120nm x 60nm"

#Silício

region reg=1 mat=Silicon color=0xffcc00 pattern=0x4 z1=0.1 z2=0.2 \

 polygon="-0.0375,0 0.0375,0 0.0375,0.06 -0.0375,0.06"

constr.mesh region=1 default

#

#

#REGIÃO_5 é a região de fonte

#Silício

region reg=5 mat=Silicon color=0xffcc00 pattern=0x4 z1=0.05 z2=0.1 \

 polygon="-0.0375,0 0.0375,0 0.0375,0.06 -0.0375,0.06"

constr.mesh region=5 default

```

#
#REGIÃO_6 é a região de fonte extra sara
#Silício
region reg=6 mat=aluminum elec.id=1 color=0xffcc00 pattern=0x4 z1=0 z2=0.05 \
    polygon="-0.0375,0 0.0375,0 0.0375,0.06 -0.0375,0.06"
constr.mesh region=6 default
#
#
#REGIÃO_3 é a região de dreno
#Silício
region reg=3 mat=Silicon color=0xffcc00 pattern=0x4 z1=0.2 z2=0.25 \
    polygon="-0.0375,0 0.0375,0 0.0375,0.06 -0.0375,0.06"
constr.mesh region=3 default

#REGIÃO_7 dreno extra
#Silício
region reg=7 mat=aluminum elec.id=2 color=0xffcc00 pattern=0x4 z1=0.25 z2=0.3 \
    polygon="-0.0375,0 0.0375,0 0.0375,0.06 -0.0375,0.06"
constr.mesh region=7 default

#REGIÃO-2 "silicio"
region reg=2 mat="Silicon Oxide" color=0xff pattern=0x2 z1=-0.005 z2=0.305 \
    polygon="-0.0395,-0.145 0.0395,-0.145 0.0395,0 -0.0395,0"
constr.mesh region=2 default
#
#
#REGIÃO-4 "oxido da porta"
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.1 z2=0.2 \
    polygon="0.0375,0.06 -0.0375,0.060 -0.0375,0 -0.0395,0 -0.0395,0.062 0.0395,0.062
0.0395,0 0.0375,0"
constr.mesh region=4 default
#
#
# Set Meshing Parameters
#
#
Mesh Mode=MeshBuild

```

```

refine mode=x x1=-0.039 y1=-0.0145 x2=0.039 y2=0.062
#refine mode=y x1=-0.039 y1=-0.0145 x2=0.039 y2=0.062

#
refine mode=x x1=-0.0375 y1=-0.0145 x2=0.0375 y2=0.062
refine mode=y x1=-0.0375 y1=-0.0145 x2=0.0375 y2=0.062

refine mode=x x1=-0.0375 y1=-0.14 x2=0.0375 y2=0.059
refine mode=y x1=-0.0375 y1=-0.14 x2=0.0375 y2=0.059

refine mode=x x1=-0.039 y1=0 x2=0.039 y2=0.059
refine mode=y x1=-0.039 y1=0 x2=0.039 y2=0.059

refine mode=y x1=-0.039 y1=-0.12 x2=0.039 y2=0.08
refine mode=y x1=-0.039 y1=-0.002 x2=0.039 y2=0.002
refine mode=y x1=-0.039 y1=0.059 x2=0.039 y2=0.059

refine mode=x x1=-0.036 y1=0 x2=-0.036 y2=0.059
refine mode=x x1=0.036 y1=0 x2=0.036 y2=0.059

refine mode=x x1=-0.037 y1=0 x2=-0.0378 y2=0.059
refine mode=x x1=0.037 y1=0 x2=0.0378 y2=0.059

refine mode=x x1=-0.0372 y1=0 x2=-0.0372 y2=0.059
refine mode=x x1=0.0372 y1=0 x2=0.0372 y2=0.059
#Regiao Ativa z1=0.1 z2=0.2

z.plane z=-0.01 spacing=0.01
z.plane z=0.0481067 spacing=0.01
z.plane z=0.05 spacing=0.0005
z.plane z=0.052 spacing=0.01
z.plane z=0.0978174 spacing=0.01
z.plane z=0.1 spacing=0.0005
z.plane z=0.1020797 spacing=0.01
z.plane z=0.198 spacing=0.01
z.plane z=0.2 spacing=0.0005
z.plane z=0.201755 spacing=0.01

```

```

z.plane z=0.2478334 spacing=0.01
z.plane z=0.25 spacing=0.0005
z.plane z=0.2518933 spacing=0.01
z.plane z=0.4 spacing=0.01
z.plane max.spacing=1000000 max.ratio=1.5
structure outf=Estrutura_SOI_FinFET_75x60x100_new.str

#####
#####

go atlas
mesh infile=Estrutura_SOI_FinFET_75x60x100_new.str

# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)

electrode name=gate bottom
electrode name=gate1 x.min=0.0395 x.max=0.0495 y.min=0.001 y.max=0.062
z.min=0.1 z.max=0.2
electrode name=gate2 x.min=-0.0495 x.max=-0.0395 y.min=0.001 y.max=0.062
z.min=0.1 z.max=0.2

#
electrode name=source x.min=-0.0375 x.max=0.0375 y.min=0.001 y.max=0.06 z.min=-
0.005 z.max=0
electrode name=drain x.min=-0.0375 x.max=0.0375 y.min=0.001 y.max=0.06 z.min=0.3
z.max=0.305
electrode name=substrate top

#***** define the doping concentrations *****
#
doping uniform n.type conc=1e19 reg=5
doping uniform n.type conc=1e19 reg=3
doping uniform p.type conc=1e15 reg=1
doping uniform p.type conc=1e15 reg=2
doping uniform p.type conc=1e15 reg=6
#
structure outf=eletrodo_IDSxVGS_75x60x100.str

#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4

```

```
#
# set workfunction of gate
contact    name=gate workfunc=4.7
contact    name=gate1 workfunc=4.7 common=gate
contact    name=gate2 workfunc=4.7 common=gate
contact    name=source alumin
contact    name=drain alumin
contact    name=dtmos workfunc=4.95

models     cvt srh auger bgn fldmob print

solve init
#
# do IDVG characteristic
#
method     gummel newton   trap carriers=1
#
solve prev

solve vsubstrate=0
solve vdrain=0.00001
solve vdrain=0.0001
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.05

method     gummel newton   trap carriers=1

log outf=IDSxVGS_SOI_75x60x100_50mV.log
solve vgate=0 vfinal=2 vstep=0.01 name=gate

structure outf=FINAL_IDSxVGS_SOI_75x60x30_50mV.str
quit
```