LUCIANO DO AMARAL BERALDO

SISTEMA DE GERAÇÃO DE PORTADORA NA BANDA X PARA SATÉLITES
DE OBSERVAÇÃO DA TERRA

São Paulo
2017

LUCIANO DO AMARAL BERALDO

SISTEMA DE GERAÇÃO DE PORTADORA NA BANDA X PARA SATÉLITES
DE OBSERVAÇÃO DA TERRA

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de mestre em Ciências

São Paulo
2017

LUCIANO DO AMARAL BERALDO

SISTEMA DE GERAÇÃO DE PORTADORA NA BANDA X PARA SATÉLITES
DE OBSERVAÇÃO DA TERRA

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de mestre em Ciências

Área de concentração:
Microeletrônica

Orientador:
Prof. Dra. Fátima Salete Correra

São Paulo
2017

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de de 2017

Assinatura do autor

Assinatura do orientador

Catálogo-na-publicação

Beraldo, Luciano do Amaral

Sistema de geração de portadora na banda X para satélites de observação da Terra / Beraldo, L. do A.

-- versão corr. -- São Paulo, 2017.

182 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Circuitos de micro-ondas. I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

Dedico este trabalho à minha família
e a todas as pessoas que contribuíram
para a realização do mesmo.

AGRADECIMENTOS

Agradeço a Deus por ser a minha fonte de conhecimento e sabedoria, que me mostrou os diversos caminhos a serem percorridos para a finalização deste trabalho.

A minha família, meus pais e meu irmão, que ao longo desta caminhada acreditaram no meu esforço e entenderam os meus vários momentos de ausência.

A minha orientadora Profa. Dra. Fatima Salete Correra, pelo apoio e amizade ao longo destes anos.

Aos amigos da empresa Omnisys Engenharia - Grupo Thales que me orientaram para a escolha do tema deste trabalho.

A empresa Mectron - Odebrecht Defesa e Tecnologia por me ceder a sua infra-estrutura para a realização dos testes.

Aos amigos Thiago Henrique Fernandes Cunha pelo projeto das bases mecânicas das placas e Rafael Henrique de Andrade pelos layouts dos componentes.

Ao Sr. Raimundo da Escola Politécnica da Universidade de São Paulo pela usinagem das peças mecânicas.

A todas as pessoas que me ajudaram de forma direta ou indiretamente.

Muito obrigado!

"O que importa não é saber tudo,
mas o querer saber."

(Tom Stoppard)

RESUMO

Este trabalho apresenta o projeto de uma portadora que opera na frequência de 8.300 MHz para ser utilizado em moduladores vetoriais diretos com aplicação em sistemas embarcados de satélites. Foram realizados estudos sistêmicos de arquiteturas que operam nesta faixa de frequência com as características necessárias para atender as especificações da European Cooperation for Space Standardization, ECSS – Space Engineering Radio Frequency and Modulation da agência espacial europeia –ESA, que regulamenta as frequências e características para sistemas de transmissão para enlace de descida. A partir dos conhecimentos adquiridos nos estudos, é apresentada uma metodologia de projeto visando o atendimento das especificações definidas pela ECSS e a escolha de uma topologia de projeto. Foram realizadas simulações a nível sistêmico, utilizando o software Advanced Design System-ADS da fabricante Keysight Technologies, para definir as especificações de projeto dos circuitos que compõem o sistema de geração da portadora na banda X. O circuito da malha de sincronismo de fase - PLL opera na frequência de 2.075 MHz, onde seu sinal é amplificado e filtrado pela cadeia de amplificação na banda S cuja função é aumentar a isolamento para minimizar os efeitos de pulling do oscilador controlado por tensão – VCO, devido à alta velocidade nas transições de tempo de subida e de descida dos sinais digitais I e Q. O filtro também é responsável por aumentar a rejeição de espúrios e harmônicos gerados pelos efeitos não lineares dos amplificadores. O sinal é enviado ao circuito multiplicador de frequências que gera o sinal na banda X e é filtrado por um filtro passa-faixas de linhas acopladas, rejeitando os sinais espúrios provenientes da saída do multiplicador de frequência. Na saída, o sinal passa por uma cadeia de amplificação na banda X para adequar o nível de potência à entrada dos moduladores vetoriais. Os circuitos projetados foram desenvolvidos utilizando tecnologia de microfita de linha. Os protótipos foram caracterizados, apresentando boa concordância com os resultados simulados, comprovando experimentalmente a metodologia de projeto utilizada neste trabalho assim como o atendimento das especificações sugeridas pela ECSS.

Palavras-chave: Malha de sincronismo de fase. Banda X. Satélites de observação da Terra. Sistemas embarcados em Satélites.

ABSTRACT

This work presents the project of an carrier that works in the frequency of 8,300 MHz to be used in direct vector modulator for embedded system application in satellites. It were realized system level studies of PLL topologies that work in this frequency range with the necessary features to provide the requirements from European Cooperation for Space Standardization, ECSS – Space Engineering Radio Frequency and Modulation of the European Space Agency – ESA, which is responsible for the frequencies and features regulation for downlink transmission system. With the knowledge acquired from the studies, it is presented a project method intending to the meet the requirements defined by the ECSS and the definition of a topology to the project. It were performed system level simulation, using the Advanced Design System – ADS tool, from Keysight Technologies, in order to define the design specifications in the project of the circuits of the X band carrier generator developed. The PLL circuit works in the frequency of 2,075 MHz, in which its signal is amplified and filtered for amplifier chain in S band, increasing the isolation to reduce the pulling effects in the voltage controlled oscillator, due to the high-speed transitions in the rise time and fall time of the digital signal I and Q. The filter is also responsible for increasing the rejection of spurious and harmonics generated by non-linear amplifiers effects. The signal is conducted to the frequency multiplier circuit that generates the X band signal and it is filtered by a coupled line bandpass filter, rejecting the spurious from the frequency multiplier output. At the output stage, the signal passes through a X band amplification chain in order to adequate the power level of the vector modulators input level. The specified circuits were designed and developed using microstrip line technology. The prototypes were characterized, presenting adequate results according to the data obtained by the simulations, experimentally reinforcing the project method used in this work as well as the meeting of the requirements suggested by the ECSS.

Keywords: Phased-locked loop. X Band. Earth Observing Satellites. Embedded System in Satellite.

LISTA DE ILUSTRAÇÕES

Figura 1	Diagrama em blocos de um transmissor.	25
Figura 2	Fluxograma da metodologia de projeto.	29
Figura 3	Diagrama em blocos da arquitetura da portadora.	32
Figura 4	Diagrama em blocos em malha fechada.	34
Figura 5	Diagrama funcional da malha de sincronismo de fase.	35
Figura 6	Ruído de fase estimado para a frequência de 2.075 MHz.	41
Figura 7	Ruído de fase estimado após a multiplicação de frequências.	42
Figura 8	Pureza espectral na entrada da cadeia de amplificação na banda S.	43
Figura 9	Esquema elétrico da simulação sistêmica.	44
Figura 10	Pureza espectral na entrada do multiplicador de frequências.	45
Figura 11	Pureza espectral na saída do multiplicador de frequências.	45
Figura 12	Pureza espectral na saída do filtro passa-faixa.	46
Figura 13	Pureza espectral na saída do filtro passa-faixa.	46
Figura 14	Diagrama em blocos da malha de sincronismo de fase.	53
Figura 15	Diagrama em blocos funcional de uma malha de sincronismo de fase.	54
Figura 16	Diagrama em blocos do projeto da malha de sincronismo de fase.	55
Figura 17	Diagrama em blocos do C.I. PE9702.	57
Figura 18	Circuito utilizado no filtro de loop.	60
Figura 19	Escolha da largura de faixa do filtro de loop.	62
Figura 20	Resposta em frequência da amplitude em malha aberta e malha fechada.	64
Figura 21	Resposta em frequência da fase em malha aberta e malha fechada.	65
Figura 22	Resposta em frequência para verificação da margem de ganho do sistema.	65
Figura 23	Resultado simulado do ruído de fase.	66
Figura 24	Resposta transitória do sistema em malha fechada.	67
Figura 25	Divisor de <i>Wilkinson</i>	68
Figura 26	Divisor de <i>Wilkinson</i>	69
Figura 27	Resultados simulados e medidos: Magnitude da perda de retorno de entrada – porta 1.	69
Figura 28	Resultados simulados e medidos: Magnitude da perda de retorno de saída – porta 2.	70

Figura 29	Resultados simulados e medidos: Magnitude da perda de inserção da porta 2 em relação a porta 1.	70
Figura 30	Resultados simulados e medidos: Magnitude da perda de retorno de saída – porta 3.	71
Figura 31	Resultados simulados e medidos: Magnitude da perda de inserção da porta 3 em relação a porta 1.	71
Figura 32	Resultados simulados e medidos: Magnitude da isolamento da porta 3 em relação a porta 2.	72
Figura 33	Diagrama em blocos da cadeia de amplificação.	73
Figura 34	Metodologia empregada no projeto dos amplificadores.	75
Figura 35	Características do substrato RO4003C.	76
Figura 36	Análise da magnitude dos parâmetros S fornecidos pelo fabricante. .	78
Figura 37	Fatores de estabilidade em relação a fonte e carga do transistor BFY450.	78
Figura 38	Circuito elétrico do filtro de polarização do transistor BFY450P. . . .	79
Figura 39	Diagrama em blocos da simulação da magnitude da impedância de entrada do filtro de polarização.	80
Figura 40	Magnitude da impedância de entrada do filtro de polarização: BASE. .	80
Figura 41	Magnitude da impedância de entrada do filtro de polarização: COLE-TOR.	81
Figura 42	Redes de duas portas.	81
Figura 43	Magnitude dos parâmetros S_{11} e S_{22}	83
Figura 44	Fatores de estabilidade do transistor após o projeto do filtro de polarização.	83
Figura 45	Resposta em frequência da magnitude do parâmetro S_{21} do transistor BFY450.	84
Figura 46	Topologia utilizada do filtro passa-altas de 3ª ordem.	85
Figura 47	Resultados dos parâmetros S do filtro passa-altas.	87
Figura 48	Valores de Mu e Mu_{Prime} após o filtro passa-altas.	87
Figura 49	Resposta em frequência da magnitude do parâmetro S_{21} após filtro passa-altas.	88
Figura 50	Valor de Mu e Mu_{Prime} após o filtro passa-altas e atenuador.	88
Figura 51	Diagrama em blocos para casamento de impedância de entrada e saída.	89
Figura 52	Topologia do circuito de casamento: Toco simples em aberto em paralelo.	90

Figura 53	Carta de Smith com as características de casamento de impedância de entrada.	91
Figura 54	Análise de impedância utilizando o componente SProbe2.	92
Figura 55	Resultado das impedâncias "vistas" pelo componente SProbe2. . . .	92
Figura 56	Resultado do produto dos coeficientes de reflexão para análise de oscilação.	93
Figura 57	Carta de Smith com as características de casamento de impedância do circuito intermediário.	94
Figura 58	Carta de Smith com as características de casamento de impedância saída.	95
Figura 59	Resultados simulados da magnitude dos parâmetros S dos estágios de amplificação.	96
Figura 60	Resultados simulados da estabilidade dos estágios de amplificação. .	97
Figura 61	Circuito de polarização ativo.	98
Figura 62	Resultados da tensão e corrente de polarização do transistor BFY450. .	99
Figura 63	Topologia utilizada do filtro passa-baixas do tipo elíptico de 5ª ordem. .	101
Figura 64	Fotografia do filtro passa-baixas.	101
Figura 65	Magnitude do parâmetro S_{11} versus Frequência.	105
Figura 66	Magnitude de S_{22} versus Frequência.	105
Figura 67	Magnitude do parâmetro S_{21} versus Frequência	106
Figura 68	Resultados da magnitude dos parâmetros S da cadeia de amplificação na banda S.	107
Figura 69	Resultados simulados da estabilidade da cadeia de amplificação. . .	108
Figura 70	Diagrama em blocos do multiplicador de frequência e filtro passa-faixa. .	110
Figura 71	Fotografia do filtro passa-faixa.	114
Figura 72	Magnitude do parâmetro S_{11} versus Frequência.	116
Figura 73	Magnitude do parâmetro S_{22} versus Frequência.	117
Figura 74	Magnitude do parâmetro S_{21} versus Frequência.	117
Figura 75	Diagrama destacando os blocos da cadeia de amplificação.	119
Figura 76	Magnitude dos parâmetros S do transistor BFY740P.	122
Figura 77	Fatores de estabilidade em relação a carga e fonte do transistor BFY740P.	123
Figura 78	Esquema elétrico do projeto do capacitor radial.	124
Figura 79	Resultado do capacitor radial projetado no <i>software</i> ADS.	124

Figura 80	Diagrama em blocos da simulação da magnitude da impedância de entrada dos filtros de polarização, conectados ao circuito de polarização ativo.	125
Figura 81	Magnitude da impedância de entrada do filtro de polarização: BASE.	126
Figura 82	Magnitude da impedância de entrada do filtro de polarização: COLE-TOR.	126
Figura 83	Magnitude dos parâmetros S_{11} e S_{22} do transistor BFY740P com os filtros de polarização.	127
Figura 84	Resultados da estabilidade do circuito com os filtros de polarização.	127
Figura 85	Carta de Smith com as características de casamento de impedância de entrada do transistor BFY740P.	129
Figura 86	Carta de Smith com as características de casamento de impedância de saída do transistor BFY740P.	130
Figura 87	Magnitude dos parâmetros S do projeto do primeiro estágio de amplificação do transistor BFY740P.	131
Figura 88	Resultados simulados da estabilidade do primeiro estágio de amplificação do transistor BFY740P.	132
Figura 89	ConFiguração do atenuador de 3 dB.	133
Figura 90	Resultados da magnitude dos parâmetros S simulado do atenuador.	133
Figura 91	Análise de impedância utilizando o componente SProbe2 para o transistor BFY740P.	134
Figura 92	Resultados do produto dos coeficientes de reflexão para análise de oscilação entre os estágios.	135
Figura 93	Resultado das impedâncias "vistas" pelo componente SProbe2. . . .	135
Figura 94	Carta de Smith com as características do circuito de casamento de entrada do 2° estágio de amplificação.	136
Figura 95	Carta de Smith com as características do circuito de casamento de saída do 2° estágio de amplificação.	137
Figura 96	Resultados dos parâmetros S da cadeia de amplificação na banda X.	138
Figura 97	Resultados simulados da estabilidade da cadeia de amplificação na banda X.	138
Figura 98	Setup de testes para a caracterização da malha de sincronismo de fase.	141
Figura 99	Nível de potência de saída da malha de sincronismo de fase. . . .	141

Figura 100	Ruído de fase integrado de 100 Hz a 1 MHz da malha de sincronismo de fase.	142
Figura 101	Frequência de saída da malha de sincronismo de fase.	142
Figura 102	Nível da 2ª harmônica malha de sincronismo de fase.	143
Figura 103	Nível da 3ª harmônica malha de sincronismo de fase.	143
Figura 104	Nível do espúrio na saída malha de sincronismo de fase.	144
Figura 105	Placa da malha de sincronismo de fase na banda S.	144
Figura 106	Setup de testes para a caracterização de pequenos sinais.	146
Figura 107	Setup de testes para a caracterização do espectro da cadeia de amplificação na banda S.	146
Figura 108	Resultados da magnitude dos Parâmetros S da cadeia de amplificação na banda S - Simulação x Medidas.	147
Figura 109	Resultados do nível de potência de saída da cadeia de amplificação na banda S.	148
Figura 110	Resultado da compressão do ganho de 1 dB.	149
Figura 111	Resultado da rejeição da 2ª harmônica da cadeia de amplificação na banda S.	149
Figura 112	Resultado da rejeição da 3ª harmônica da cadeia de amplificação na banda S.	150
Figura 113	Resultado da rejeição a espúrios da cadeia de amplificação na banda S.	150
Figura 114	Placa da cadeia de amplificação na banda S.	151
Figura 115	Placa multiplicador de frequência e filtro passa-faixa.	152
Figura 116	Frequência de saída do multiplicador de frequências.	153
Figura 117	Ruído de fase na saída do multiplicador de frequências.	153
Figura 118	Ruído de fase estimado com o multiplicador de frequências.	154
Figura 119	Setup de caracterização da placa multiplicador de frequência/filtro passa - faixa.	155
Figura 120	Nível de potência de saída de -3,1 dBm na saída do filtro passa-faixa.	155
Figura 121	Nível de potência de saída na frequência de 2.075 MHz na saída do filtro passa-faixa.	156
Figura 122	Nível de potência de saída na frequência de 4.150 MHz na saída do filtro passa-faixa.	156
Figura 123	Nível de potência de saída na frequência de 6.225 MHz na saída do filtro passa-faixa.	157

Figura 124	Nível de potência de saída na frequência de 10.375 MHz na saída do filtro passa-faixa.	157
Figura 125	Nível de potência de saída na frequência de 12.450 MHz na saída do filtro passa-faixa.	158
Figura 126	Nível de potência de saída na frequência de 16.600 MHz na saída do filtro passa-faixa.	158
Figura 127	Setup de testes para a caracterização de pequenos sinais.	159
Figura 128	Setup de testes do espectro de frequências na saída da cadeia de amplificação na banda X.	160
Figura 129	Resultados dos Parâmetros S Simulação x Medidas.	161
Figura 130	Nível de potência em 8.300 MHz na saída da cadeia de amplificação na banda X.	162
Figura 131	Resultado da medida de compressão de ganho de entrada da cadeia de amplificação.	162
Figura 132	Resultado da medida da rejeição da 2 ^a harmônica.	163
Figura 133	Resultado da medida de espúrios para span de 10 MHz.	163
Figura 134	Resultado da medida de espúrios para span de 50 MHz.	164
Figura 135	Resultado da medida de espúrios para span de 20.000 MHz.	164
Figura 136	Placa da cadeia de amplificação na banda X.	165
Figura 137	Sistema integrado da geração da portadora banda X.	165
Figura 138	Diagrama em blocos em malha fechada.	172
Figura 139	Diagrama funcional da malha de sincronismo de fase.	172
Figura 140	Diagrama em blocos em malha fechada.	177
Figura 141	Diagrama em blocos da malha de sincronismo de fase.	178
Figura 142	Circuito utilizado no filtro de loop.	179

LISTA DE TABELAS

Tabela 1	Bandas de frequências regulamentadas pela União Internacional de Telecomunicações	24
Tabela 2	Especificações adotadas para o projeto da portadora.	31
Tabela 3	Especificações da malha de sincronismo de fase.	47
Tabela 4	Especificações do divisor de potência.	48
Tabela 5	Especificações da cadeia de amplificação na banda S.	48
Tabela 6	Especificações do multiplicador de frequências.	49
Tabela 7	Especificações do filtro passa-faixa.	49
Tabela 8	Especificações da cadeia de amplificação na banda X.	50
Tabela 9	Especificações da malha de sincronismo de fase.	54
Tabela 10	Características do oscilador de referência.	56
Tabela 11	Características do oscilador controlado por tensão.	56
Tabela 12	Características do C.I. PLL PE9702.	58
Tabela 13	Valores dos contadores do C.I. PLL.	59
Tabela 14	Especificações adotadas para o projeto do divisor de Wilkinson. . . .	60
Tabela 15	Parâmetros de projeto da malha de sincronismo de fase e valores dos componentes.	63
Tabela 16	Resultados das medidas do divisor de <i>Wilkinson</i>	72
Tabela 17	Especificações da cadeia de amplificação na banda S.	74
Tabela 18	Características da linha de transmissão utilizada no filtro de polarização.	79
Tabela 19	Especificações adotadas para o projeto do filtro passa-altas.	84
Tabela 20	Valores dos coeficientes utilizados no projeto do filtro passa-altas. .	85
Tabela 21	Características da linha de transmissão indutiva.	86
Tabela 22	Características da célula de casamento de entrada.	90
Tabela 23	Características da célula de casamento na entrada do segundo estágio de amplificação.	94
Tabela 24	Características da célula de casamento de saída.	95
Tabela 25	Especificações adotadas para o projeto do filtro passa-baixas. . . .	100
Tabela 26	Parâmetros adotados para o desenvolvimento do filtro.	102
Tabela 27	Coeficientes do filtro com resposta em frequência do tipo elíptico. . .	102
Tabela 28	Larguras das linhas de microfita usadas no filtro passa-baixas e seus respectivos comprimentos de onda guiado.	103

Tabela 29	Comprimentos físicos das linhas indutivas.	104
Tabela 30	Comprimentos físicos das linhas capacitivas.	104
Tabela 31	Especificações x Resultados obtidos do filtro passa-baixas.	106
Tabela 32	Especificações do multiplicador de frequências	111
Tabela 33	Características do C.I. <i>HMC917</i> da fabricante <i>Analog Devices</i>	111
Tabela 34	Especificações do filtro passa-faixa.	112
Tabela 35	Valores de especificação adotados para o projeto do filtro passa-faixa.	113
Tabela 36	Coeficientes utilizados no projeto do filtro passa-faixa.	113
Tabela 37	Tabela com os valores calculados das linhas acopladas	115
Tabela 38	Tabela com os valores otimizados de impedância e dimensionamento das linhas acopladas.	115
Tabela 39	Especificações x Resultados obtidos do filtro passa-faixa.	118
Tabela 40	Especificações da cadeia de amplificação na banda X.	120
Tabela 41	Características das linhas de transmissão utilizadas no filtro de polari- zação.	123
Tabela 42	Características da linha de transmissão de 50 ohms.	128
Tabela 43	Características do toco para casamento de impedância de entrada do primeiro estágio de amplificação.	128
Tabela 44	Características do toco para casamento de impedância de saída do primeiro estágio de amplificação.	130
Tabela 45	Características do circuito de casamento de entrada do 2° estágio de amplificação.	136
Tabela 46	Características do circuito de casamento de saída do 2° estágio de amplificação.	137
Tabela 47	Especificações x Resultados da malha de sincronismo de fase.	145
Tabela 48	Especificações x resultados experimentais da cadeia de amplificação na banda S.	151
Tabela 49	Especificações x Resultados da cadeia de amplificação na banda X.	166
Tabela 50	Especificações x Resultados da cadeia de amplificação na banda X.	169

LISTA DE ABREVIATURAS E SIGLAS

Z_{out}	Impedância de saída de uma rede de duas portas
Z_{in}	Impedância de entrada de uma rede de duas portas
ADS	Advanced Design System
BER	Bit Error Rate
C.I.	Circuito integrado
DUT	Device Under Test
EESS	Earth Exploration Satellite Service
EPUSP	Escola Politécnica da Universidade de São Paulo
ESA	European Space Agency
ESCC	European Space Components Coordination
EVM	Error Vector Magnitude
INPE	Instituto Nacional de Pesquisas Espaciais
ITAR	International Traffic in Arms Regulations
OQPSK	Offset Quadrature Phase Shift Keying
PLL	Phase Locked Loop
PMM	Plataforma Multimissão
QPL	Qualified Part List
QoS	Quality of Service
RF	Radio Frequência
SBB	Single Side Band
SMA	SubMiniature Version A
SSB	Single Side Band
TCXO	Temperature Compensated Cristal Oscillator
UIT	União Internacional de Telecomunicações
VCO	Voltage Controlled Oscillator

LISTA DE SÍMBOLOS

$H_{m.f.}(s)$	Função de transferência em malha fechada
$H_{m.a.}(s)$	Função de transferência em malha aberta
$\phi_o(s)$	Fase de saída do oscilador controlado por tensão - VCO
$\phi_r(s)$	Fase de saída do oscilador de referência - TCXO
$G(s)$	Função de transferência do ramo direto
$H(s)$	Função de transferência do ramo de re-alimentação
K_d	Ganho do detector de fase em V/rad
$F(s)$	Função de transferência do filtro de loop
K_{vco}	Ganho do oscilador controlado por tensão em $rad/(s \times V)$
V_d	Sinal de tensão de erro gerado pelo detector de fase
V_c	Sinal de tensão filtrado pelo filtro de loop
$\phi_{N_{ref}}(s)$	Fonte de ruído do oscilador de referência
$\phi_{N_{df}}(s)$	Fonte de ruído do detector de fase
$\phi_{N_{vco}}(s)$	Fonte de ruído do oscilador controlado por tensão
N	Divisor de frequência do sinal realimentado do VCO
$H_{ref}(s)$	Função de transferência do oscilador de referência
$H_{d.f.}(s)$	Função de transferência do detector de fase
$H_f(s)$	Função de transferência do filtro de loop
$\phi_{N_f}(s)$	Fonte de ruído do filtro de loop
$H_{vco}(s)$	Função de transferência do VCO
$H_N(s)$	Função de transferência do divisor de frequência - N
$\phi_{N_N}(s)$	Fonte de ruído do divisor de frequência - N
$S_{\phi i}(\omega)$	Densidade espectral do ruído de fase de entrada
$S_{\phi o}(\omega)$	Densidade espectral do ruído de fase de saída
$H(\omega)$	Função de transferência do circuito analisado
$S_{\phi ref}(\omega)$	Densidade espectral do ruído de fase do oscilador de referência
$S_{\phi df}(\omega)$	Densidade espectral do ruído de fase do detector de fase
$S_{\phi N}(\omega)$	Densidade espectral do ruído de fase do divisor N
$S_{\phi f}(\omega)$	Densidade espectral do ruído de fase do filtro de loop
$S_{\phi vco}(\omega)$	Densidade espectral do ruído de fase do VCO
ω_c	Frequência de corte angular do filtro de loop
$A(t)$	Variação da amplitude em função do tempo
$\Theta(t)$	Variação da fase em função do tempo ou ruído de fase
ω_o	Frequência angular de operação

Δf	Desvio de pico de frequência
f_m	Offset de frequência
$\frac{\Delta f}{f_m} = \theta_p$	Desvio de pico de fase
V	Amplitude de um sinal senoidal
ω_m	Frequência angular do sinal modulado em FM
$\mathcal{L}(f_m)$	Ruído de fase em SSB (<i>Single side band</i>)
$P.N._{1Hz}$	Piso de ruído do PLL normalizado em 1 Hz
f_{comp}	Frequência de comparação no detector de fase
f_{op}	Frequência de operação da malha de sincronismo de fase
f_{offset}	Frequência de offset em relação a frequência de operação
$P.N._{10KHz}$	Ruído de fase para offset de frequência de 10 KHz
ω_p	Frequência angular do filtro de loop
BW_{loop}	Largura de faixa de ganho unitário
K	Constante da malha
T_3	Constante de tempo do filtro $R_3 - C_3$
Θ_{mf}	Margem de fase
T_1	Constante de tempo do filtro $R_1 - C_2$
T_2	Constante de tempo do filtro $R_2 - C_2$
Z_o	Impedância característica
g_i	Coeficientes do filtro passa – baixas
c	Velocidade da luz
ϵ_{efL}	Permissividade relativa da linha indutiva
f_c	Frequência de corte
y_L	Admitância da carga
y_T	Admitância do toco
L	Comprimento do toco
d	Distância da carga ao toco em paralelo
Γ_1	Coeficiente de reflexão na porta 1
Γ_2	Coeficiente de reflexão na porta 2
I_{e1}	Corrente de emissor do circuito de polarização ativo
I_{c1}	Corrente de emissor do circuito de polarização ativo
V_{be1}	Tensão base – emissor do circuito ativo de polarização
I_c	Corrente de coletor do transistor BFY450 e BFY740
V_c	Tensão de coletor do transistor BFY450 e BFY740
V_b	Tensão de base do transistor BFY450 e BFY740
I_b	Corrente de base do transistor BFY450 e BFY740

V_{cc}	Tensão de alimentação do circuito de polarização
V_{d1}	Tensão de polarização do diodo D1
λ_{cL}	Comprimento de onda na frequência de corte para a linha indutiva
λ_{cC}	Comprimento de onda na frequência de corte para a linha capacitiva
ε_{efC}	Permissividade reativa da linha capacitiva
$L_{[i]}$	Indutância distribuída do i-ésimo elemento
$C_{[i]}$	Capacitância distribuída do i-ésimo elemento
Z_{oL}	Impedância característica da linha indutiva
Z_{oC}	Impedância característica da linha capacitiva
$Z_{o,o}$	Impedância característica de modo ímpar
$Z_{o,e}$	Impedância característica de modo par
FBW	Fractional Bandwidth
W_l	Frequência angular inferior
W_h	Frequência angular superior
ω_o	Frequência angular central
R	Divisor de frequência da referência

SUMÁRIO

1 INTRODUÇÃO	24
1.1 OBJETIVO	26
1.2 DESCRIÇÃO DOS CAPÍTULOS	26
2 METODOLOGIA DE PROJETO	28
2.1 METODOLOGIA DE PROJETO	28
2.1.1 Especificações Técnicas	29
2.1.1.1 <i>Frequência de operação</i>	30
2.1.1.2 <i>Requisitos relacionados a emissão de sinais</i>	30
2.1.1.3 <i>Ruído de fase da portadora</i>	30
2.1.2 Escolha da arquitetura	31
2.1.3 Análise Sistêmica e Simulação da Arquitetura Escolhida	34
2.1.3.1 <i>Análise de ruído da malha de sincronismo de fase - PLL</i>	34
2.1.3.2 <i>Efeito da multiplicação de frequência no ruído de fase</i>	39
2.1.3.3 <i>Análise de balanceamento harmônico</i>	42
2.1.4 Especificação dos blocos dos circuitos	47
2.1.5 Escolha de componentes com grade espacial	50
2.1.6 Estudo, projeto, simulação, implementação e verificação	50
2.1.7 Integração, verificação e validação	51
2.2 CONCLUSÃO	52
3 PROJETOS DA MALHA DE SINCRONISMO DE FASE E CADEIA DE AMPLIFICAÇÃO NA BANDA S	53
3.1 DESCRIÇÃO E PROJETO DA MALHA DE SINCRONISMO DE FASE	53
3.1.1 Descrição dos componentes utilizados no projeto	55
3.1.2 Projeto da malha de sincronismo de fase	61
3.1.3 Projeto do divisor de potência do tipo Wilkinson	67
3.2 PROJETO DA CADEIA DE AMPLIFICAÇÃO NA BANDA S	73
3.2.1 Metodologia utilizada para o projeto dos Amplificadores	74
3.2.2 Projeto dos amplificadores na banda S	76
3.2.2.1 <i>Especificações</i>	76
3.2.2.2 <i>Seleção do dispositivo e tecnologia de fabricação</i>	76
3.2.2.3 <i>Seleção do tipo de topologia</i>	77
3.2.2.4 <i>Modelo do componente a ser utilizado no projeto</i>	77
3.2.2.5 <i>Definição do ponto de polarização e classe de operação</i>	77

3.2.2.6	<i>Análise dos parâmetros S e estabilidade</i>	77
3.2.2.7	<i>Projeto do filtro de polarização do transistor</i>	79
3.2.2.8	<i>Análise da estabilidade do transistor com os filtros de polarização</i>	81
3.2.2.9	<i>Análise dos parâmetros S para casamento de impedância</i>	88
3.2.2.10	<i>Resultados Simulados dos estágios de amplificação</i>	96
3.2.2.11	<i>Projeto do circuito ativo de polarização</i>	97
3.3	PROJETO DO FILTRO PASSA-BAIXAS	100
3.3.1	Resultados Simulados e Experimentais	104
3.4	RESULTADOS SIMULADOS DA CADEIA DE AMPLIFICAÇÃO NA BANDA S	107
3.5	CONCLUSÃO	109
4	PROJETOS DO MULTIPLICADOR DE FREQUÊNCIAS/FILTRO PASSA-FAIXA E CADEIA DE AMPLIFICAÇÃO NA BANDA X	110
4.1	PROJETO DO MULTIPLICADOR DE FREQUÊNCIAS	110
4.1.1	Descrição do multiplicador de frequências – HMC917	110
4.2	PROJETO DO FILTRO PASSA-FAIXAS	112
4.3	PROJETO DA CADEIA DE AMPLIFICAÇÃO NA BANDA X	119
4.3.1	Metodologia utilizada para o projeto dos Amplificadores	120
4.3.1.1	<i>Especificações</i>	120
4.3.1.2	<i>Seleção do dispositivo e tecnologia de fabricação</i>	120
4.3.1.3	<i>Seleção do tipo de topologia</i>	121
4.3.1.4	<i>Modelo do componente a ser utilizado no projeto</i>	121
4.3.1.5	<i>Definição do ponto de polarização e classe de operação</i>	121
4.3.1.6	<i>Análise dos parâmetros S e estabilidade</i>	121
4.3.1.7	<i>Projeto do filtro de polarização do transistor</i>	123
4.3.1.8	<i>Análise da estabilidade do transistor com os filtros de polarização</i>	126
4.3.1.9	<i>Projeto dos circuitos de casamento de impedância do primeiro estágio de amplificação</i>	128
4.3.1.10	<i>Resultados simulados do projeto do primeiro estágio de amplificação</i>	130
4.3.1.11	<i>Projeto do atenuador resistivo</i>	132
4.3.2	Projeto do 2º estágio de amplificação	133
4.3.2.1	<i>Análise dos parâmetros S para casamento de impedancia e estabilidade entre os estágios</i>	134
4.3.2.2	<i>Resultados Simulados dos estágios de amplificação</i>	137
4.3.2.3	<i>Projeto do circuito ativo de polarização</i>	139
4.4	CONCLUSÃO	139

5	RESULTADOS EXPERIMENTAIS DOS CIRCUITOS PROJETADOS	140
5.1	RESULTADOS EXPERIMENTAIS DA MALHA DE SINCRONISMO DE FASE NA BANDA S	140
5.2	RESULTADOS EXPERIMENTAIS DA CADEIA DE AMPLIFICAÇÃO NA BANDA S	145
5.3	RESULTADOS EXPERIMENTAIS DA PLACA MULTIPLICADOR DE FREQUÊN- CIAS/FILTRO PASSA-FAIXA	152
5.4	RESULTADOS EXPERIMENTAIS DA CADEIA DE AMPLIFICAÇÃO NA BANDA X	159
5.5	CONCLUSÃO	166
6	CONCLUSÃO	167
6.1	CONCLUSÃO	167
6.2	SUGESTÕES PARA TRABALHOS FUTUROS	169
	Referências	170
	Apêndice A – Equacionamento das funções de transferência da malha de sin- cronismo de fase	172
	Apêndice B – Equacionamento dos componentes do filtro de loop	177

1 INTRODUÇÃO

Atualmente, os sistemas de telecomunicações começaram a migrar suas tecnologias de maneira eficiente, adaptando-se à demanda de alta taxas de dados com qualidades de Quality of Service (QoS) cada vez melhores. Em projetos de sistemas de comunicação espacial, as missões de Serviços de Exploração da Terra por Satélites, Earth Exploration Satellite Service (EESS), envolvem transmissões de dados em altas taxas (em torno de centenas de Mbps), sendo alocadas em faixas de frequências definidas pela União Internacional de Telecomunicações (UIT). Esses sistemas devem ser projetados de forma eficiente garantindo as características dos sinais de informação transmitidos, e atendendo os requisitos impostos pelos órgãos internacionais.(1)

As frequências regulamentadas para sistemas de transmissão para enlace de descida (*Downlink*) são:

Tabela 1 - Bandas de frequências regulamentadas pela União Internacional de Telecomunicações

Banda de Frequência (MHz)	Serviço Alocado	Direção
Banda S : 2.200 a 2.290	Serviço de Exploração da Terra	Espaço-Terra
Banda X : 8.025 a 8.400	Serviço de Exploração da Terra	Espaço-Terra
Banda Ka: 25.500 a 27.000	Serviço de Exploração da Terra	Espaço-Terra

Verifica-se pela Tabela 1, que as bandas S e X apresentam respectivamente 90 MHz e 375 MHz de banda e a banda Ka uma largura de faixa de 1.500 MHz. Percebe-se que existe uma forte tendência de migrar as tecnologias de projeto para a banda Ka, devido à grande banda de transmissão de dados que pode ser utilizada. No entanto, prefere-se utilizar a banda X por possuir uma menor complexidade técnica de projeto em relação a banda Ka, menor atenuação na propagação e maior número de fornecedores de componentes.

Mediante o cenário descrito, uma proposta de sistema de transmissão de dados, para enlace de descida em banda X é apresentado na Figura 1.(2)

A partir da Figura 1, o transmissor pode ser dividido em quatro grandes partes:

- Cadeia de Interface e Codificação dos dados provenientes dos sensores;
- Interface de Telemetria e Telecomando;
- Fonte de Alimentação e
- Driver e cadeia de micro-ondas, composta por modulador vetorial, oscilador local, circuitos passivos e ativos.

Figura 1 - Diagrama em blocos de um transmissor.

Fonte: Próprio Autor.

Este trabalho apresenta estudo e projeto de uma portadora na banda X que pode ser utilizado em moduladores vetoriais diretos do tipo Offset Quadrature Phase Shift Keying (OQPSK).(3),(4)

Transmissores que utilizam topologias de circuitos onde a portadora de micro-ondas é diretamente modulada pelo sinal de informação já codificado, apresentam vantagens em relação aos métodos tradicionais heteródinos, que utilizam modulações em banda base e depois a translação de frequência empregando misturadores de frequência. A suas vantagens são:

- Menor quantidade de componentes;
- Menor dimensão mecânica;
- Menor consumo de corrente;
- Menor dissipação térmica;
- Maior confiabilidade;

Entretanto, este tipo de topologia possui desvantagens relacionadas a maior dificuldade de projeto e também na compra de componentes com características especiais, devido a disponibilidade de compra e poucos fornecedores.

O projeto da portadora deverá atender às especificações descritas em relação a estabilidade em frequência, níveis de espúrios, níveis de harmônicos e ruído de fase. Esta última característica é a mais importante, devido ao fato de se utilizar modulação de chaveamento

de fase do tipo *OQPSK*, sendo que o ruído de fase pode deteriorar as medidas de Error Vector Magnitude (EVM) e Bit Error Rate (BER) do sistema.(1)

Sendo assim, o estudo e a implementação de projetos de portadora para aplicações espaciais operando em frequências de micro-ondas são relevantes no panorama tecnológico para sistemas espaciais, constituindo um tema de interesse para a realização de trabalhos acadêmicos.

1.1 OBJETIVO

A proposta deste trabalho é apresentar o estudo de caso e o projeto de uma portadora com aplicação em sistemas de espaço na faixa de frequência da banda X, com características que atendam às especificações dos órgãos internacionais.(1)

Para alcançar tal objetivo foram realizados estudos iniciais para definição dos requisitos técnicos e ambientais a partir de reuniões técnicas com integrantes do Instituto Nacional de Pesquisas Espaciais (INPE) e estudos das normas da ECSS. Esses estudos resultaram na definição dos parâmetros que estão direcionados ao desenvolvimento da portadora operando na banda X, tais como: frequência de operação, estabilidade em frequência, níveis de espúrios, níveis de harmônicos e ruído de fase.

No andamento das atividades de pesquisa, definiu-se uma arquitetura tecnologicamente viável, com as características recomendadas anteriormente. A arquitetura escolhida possui uma única malha de realimentação em frequência operando na banda S, empregando-se um multiplicador de frequência para geração da portadora na banda X. O desempenho da topologia será avaliado teoricamente através de equações matemáticas e por meio de simulação computacional, sendo posteriormente validada na prática através da implementação e medidas.(2),(5),(6),(7)

Na sequência, protótipos das partes dos circuitos serão realizados individualmente para verificação do seus respectivos funcionamentos e análise de mitigação de possíveis problemas, tendo os resultados práticos comparados com os resultados das simulações.

Por fim, os circuitos serão integrados e testados para obter os resultados e avaliados em relação ao atendimento das especificações.

1.2 DESCRIÇÃO DOS CAPÍTULOS

Para melhor entendimento do trabalho, optou-se por dividi-lo em etapas, sendo que o conteúdo relacionado a essas etapas são apresentados a cada capítulo.

No capítulo 2 são apresentadas as considerações do documento de padronização ECSS,

relacionadas às características necessárias que os transmissores devem apresentar quando projetados para sistemas espaciais, resultando nas especificações de projeto. A metodologia de projeto empregada para o desenvolvimento do projeto da portadora na banda X é apresentado e a definição da arquitetura a ser utilizada neste estudo. São apresentados os resultados das simulações sistêmicas para a verificação do atendimento das especificações definidas, assim como a criação das especificações individuais dos circuitos que compõem o sistema.

No capítulo 3 descreve-se os projetos da malha de sincronismo de fase na banda S, Phase Locked Loop (PLL), e da cadeia de amplificação na banda S. São apresentados as características dos circuitos, as análises realizadas e resultados de simulações.

No capítulo 4 são apresentados os projetos do multiplicador de frequência e filtro passa-faixa assim como o projeto da cadeia de amplificação na banda X.

No capítulo 5 são apresentados os resultados experimentais das placas e do sistema integrado, verificando o atendimento das especificações.

Por fim, no capítulo 6, são apresentadas as conclusões e o atendimento das especificações sistêmicas, bem como sugestões para trabalhos futuros.

2 METODOLOGIA DE PROJETO

Neste capítulo é apresentada a metodologia de projeto empregada para o desenvolvimento da portadora na banda X. A metodologia empregada apresenta as especificações de projeto do sistema conforme as recomendações da *ECSS*, estudo de arquiteturas, simulações sistêmicas, critério para as escolhas de componentes com qualificação espacial e as especificações dos circuitos a serem projetados. Os projetos dos circuitos serão apresentados nos capítulos 3 e 4 e os resultados medidos no capítulo 5.

2.1 METODOLOGIA DE PROJETO

A metodologia de projeto proposta foi desenvolvida para ser aplicada no projeto da portadora na banda X. O diagrama apresentado na Figura 2 mostra as etapas da metodologia adotada.

As especificações adotadas para o projeto da portadora, foram obtidas a partir das características apresentadas no documento da *ECSS* e também por experiência teórica e prática adquirida pelo autor na indústria.(1)

Figura 2 - Fluxograma da metodologia de projeto.

Fonte: Próprio Autor.

2.1.1 Especificações Técnicas

Para o desenvolvimento do projeto, foi utilizado como referência padrão, as normas do documento da ECSS, cuja função é definir técnicas de comunicações usadas para transferir informações entre o satélite e as estações terrestres em ambas as direções, sendo levados em considerações os seguintes aspectos:

- Alocação de frequência e
- Requisitos referentes à transmissão de sinais, como emissão de espúrios, emissão de harmônicas, ruído de fase entre outros.(1)

2.1.1.1 *Frequência de operação*

Para a definição da frequência de operação da portadora, consideraram-se as bandas de frequência regulamentadas pela União Internacional de Telecomunicações para satélites de serviços de exploração da Terra (*EESS*), apresentadas na Tabela 1. Em conjunto com especialistas do INPE, foi definida a frequência central de operação de 8.300 MHz, com banda de 200 MHz para transmissão de dados, adequada para a recepção de informações do satélite Amazônia da Plataforma Multimissão (PMM) em desenvolvimento no INPE.

- *Estabilidade em frequência:*

A estabilidade de frequência da portadora deverá apresentar uma instabilidade de frequência de no máximo ± 20 ppm.(8)

2.1.1.2 *Requisitos relacionados a emissão de sinais*

A emissão de espúrios e harmônicas para transmissores não deverão exceder os seguintes níveis:

- Para transmissões de portadora modulada ou não modulada: -60 dBc.

Para o projeto da portadora na banda X, será adotado como premissa os seguintes valores:

- Níveis de espúrios: ≤ -50 dBc;
- Níveis de harmônicas: ≤ -40 dBc.

Os níveis de potência de saída do projeto da portadora foram definidos a partir do modulador vetorial, modelo *SDM0708LI3CDQ* da fabricante *MITEQ*. Os valores estão entre +8 dBm a +12 dBm.

2.1.1.3 *Ruído de fase da portadora*

O ruído de fase da portadora não modulada, deverá apresentar o valor menor que 6° rms integrado entre 100 Hz a 1 MHz.(9)

As especificações da portadora na banda X é apresentada na Tabela 2.

Tabela 2 - Especificações adotadas para o projeto da portadora.

Especificações	Valores
Frequência de Operação	8.300 MHz
Instabilidade de frequência	± 20 ppm máx.
Range de Potência de Saída	+8 dBm a +12 dBm
Variação de potência	10 dBm $\pm$ 2 dB
Aging	5×10^{-7} /ano
Ruído de Fase (Integrado de 100 a 1 MHz)	$\leq 6^\circ$ rms
Níveis de Harmônicos	≤ -40 dBc
Níveis de Espúrios	≤ -50 dBc
VSWR pulling	2:1 máx.
Impedância de saída	50 ohms

2.1.2 Escolha da arquitetura

Após a leitura e o estudo de diversas fontes literárias que abordam o projeto da portadora na banda X, foi escolhida uma arquitetura utilizando uma única malha de realimentação e circuito multiplicador de frequências, com configurações adequadas e adaptadas para a entrada do sinal de micro-ondas no modulador vetorial para operar na frequência de 8.300 MHz.(2),(3),(4)

Para a escolha da arquitetura foram levados em consideração o fornecimento de componentes com qualificação espacial (oscilador de referência, Circuito integrado (C.I.) PLL, osciladores, transistores), valores de *pushing* e *pulling* do Voltage Controlled Oscillator (VCO) e o ruído de fase.

Em relação ao fornecimento de componentes, de uma forma geral, os fabricantes exigem informações de usuário final, (*End User Certificate*), e a descrição, por exemplo, da aplicação do componente no circuito, sendo sujeita à aprovação do fabricante. Caso haja a rejeição do fornecimento dos componentes por diversos fabricantes, a arquitetura pode ser modificada.

A característica de *pushing* do oscilador controlado por tensão é definida como a sensibilidade do oscilador a flutuações da tensão de alimentação do componente devido a ruídos ou interferências. Este parâmetro é muito importante pois as fontes de alimentação dos transmissores possuem conversores DC/DC cuja frequência de chaveamento pode ser adicionada à tensão de alimentação do oscilador. A utilização de reguladores lineares de

tensão podem ajudar a aumentar a rejeição de sinais espúrios, porém não chega a eliminar todo o ruído.

A consequência deste ruído proveniente da fonte de alimentação é uma modulação em frequência, que depende da sensibilidade do VCO e o aumento do ruído de fase.

Assim como *pushing*, o termo *pulling* também está relacionado ao oscilador controlado por tensão, que é definido como a sensibilidade de frequência do oscilador à variação da impedância vista pelo VCO.

Conforme a Figura 3, o sinal gerado pelo VCO irá alimentar um modulador vetorial analógico modulado por sinais digitais com tempos de subida e descida em torno de nanossegundos, cuja impedância de entrada excursiona por níveis de impedância desde curto-circuito (impedância de zero ohms) até circuito aberto (altíssima impedância), o que ocasiona um desvio na frequência do VCO. Assim, é necessário utilizar amplificadores *buffers* para aumentar a isolamento entre o modulador e o VCO.

No caso de osciladores na banda S, o número de fabricantes é bastante amplo e com diversos tipos de aplicação, facilitando a escolha do componente.

A Figura 3, apresenta a topologia escolhida para o desenvolvimento da portadora na banda X com características especiais visando o atendimento das especificações. Nessa topologia uma malha de sincronismo de fase na banda S é utilizada para gerar um sinal estável com frequência de 2.075 MHz, posteriormente amplificado, filtrado, tendo sua frequência multiplicada por quatro para geração da portadora de 8.300 MHz.

Figura 3 - Diagrama em blocos da arquitetura da portadora.

Fonte: Próprio Autor.

A topologia da Figura 3 utiliza um circuito integrado, C.I. *PLL*, que possui internamente um divisor R, que divide a frequência do sinal de referência, gerado pelo oscilador a cristal termicamente compensado (Temperature Compensated Cristal Oscillator (TCXO)) e o envia a uma das entradas do detector de fase. Outro divisor N divide a frequência de uma amostra do sinal do *VCO*, e alimenta a outra entrada do detector de fase. A diferença de fase desses sinais resulta em uma tensão de erro proporcional ao erro de fase entre os dois sinais. Esta tensão é enviada ao filtro de loop (integrador), cuja função é filtrar o sinal de alta frequência e determinar as características (estabilidade e dinâmica) da malha. Este sinal é então enviado para a tensão de controle do *VCO*, alterando a frequência gerada pelo mesmo. Nesse período temos o que chamamos de período de aquisição. Quando a tensão se torna constante, dizemos que a malha está em *lock* e com isso a frequência do *VCO* fica sincronizada com a referência, no caso em 2.075 MHz.

O oscilador de referência, *TCXO*, possui alta estabilidade em frequência e baixos valores de ruído de fase.

Um divisor de potência, do tipo *Wilkinson*, é conectado a saída do *VCO* de modo a fornecer em uma das suas saídas uma amostra do sinal, que é realimentado ao circuito integrado e na outra saída, encaminha o sinal para a cadeia de amplificação na banda S.

Os atenuadores 1 e 2 presentes na topologia, tem como função melhorar o casamento de impedância entre os estágios. O atenuador resistivo 2 também ajusta o nível de potência a ser entregue a entrada de micro-ondas do multiplicador de frequências.

A cadeia de amplificação na banda S é composta por dois estágios a transistor, com função de adequar o nível de potência da malha de sincronismo de fase a entrada do multiplicador de frequências.

O atenuador resistivo 3, garante o casamento de impedância entre os dois estágios de amplificação, bem como a estabilidade do conjunto de amplificadores.

O filtro 1 é do tipo passa-baixas, sendo responsável por aumentar a rejeição da 2ª harmônica do *VCO* e também pela filtragem de sinais espúrios gerados devido a não linearidade dos transistores.

O multiplicador de frequência por quatro, multiplica a frequência de saída do *VCO* na banda S (2.075 MHz) para a banda X (8.300 MHz). O mesmo apresenta boas características de supressão do sinal de entrada, bom nível de potência de saída e baixa contribuição de ruído de fase Single Side Band (SSB) ao sistema.

Na entrada e na saída do multiplicador possuem atenuadores resistivos (4 e 5) que melhoram o casamento de impedância entre os estágios.

O filtro 2 é do tipo passa-faixa, sendo utilizado para atenuar os sinais espúrios devido a não linearidade do multiplicador de frequências.

Já na banda X, temos uma cadeia de amplificação que amplifica o sinal de saída do filtro e ajusta o nível de potência de saída a ser entregue na entrada do modulador vetorial. Esta cadeia é composta pelos amplificadores 3 e 4 e por atenuadores resistivos (6,7 e 8).

2.1.3 Análise Sistêmica e Simulação da Arquitetura Escolhida

A análise sistêmica da topologia escolhida, será dividida em duas partes:

- a) Análise de ruído da malha de sincronismo de fase e
- b) Análise de balanceamento harmônico.

2.1.3.1 Análise de ruído da malha de sincronismo de fase - PLL

Para início da análise de ruído da malha de sincronismo de fase, será utilizado o conceito de sistema de controle linear com uma única malha fechada.(5),(10)

A Figura 4, apresenta o diagrama em blocos em malha fechada para definição da função de transferência em malha fechada e em malha aberta.(10)

Figura 4 - Diagrama em blocos em malha fechada.

Fonte: Próprio Autor.

A função de transferência, no domínio da frequência, do sistema em malha fechada é dada pela eq.(1):

$$H_{m.f.}(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{G(s)}{1 + G(s) \times H(s)} \quad (1)$$

e em malha aberta pela eq.(2):

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = G(s) \times H(s) \quad (2)$$

Em analogia ao diagrama de blocos apresentado, o diagrama funcional da malha de sincronismo de fase é apresentado na Figura 5.

Figura 5 - Diagrama funcional da malha de sincronismo de fase.

Fonte: Próprio Autor.

Desconsiderando as fontes de ruído, a função de transferência em malha fechada e em malha aberta são dados pela eq.(3) e eq.(4):

$$H_{m.f.}(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \quad (3)$$

e

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} \quad (4)$$

Onde:

K_d é o ganho do detector de fase em V/rad ;

K_{vco} é ganho do oscilador controlado por tensão em $rad/(sV)$;

$F(s)$ é a função de transferência do filtro de loop e

N é o valor do divisor de frequência do sinal realimentado do VCO.

Considerando o sistema linear, é utilizado o teorema da superposição para encontrar as funções de transferência dos circuitos que compõem a malha de sincronismo de fase em função dos respectivos ruídos, conforme demonstrado no Apêndice A.

A função de transferência que relaciona a fase de saída, $\phi_o(s)$, com a fonte de ruído do oscilador de referência, $\phi_{Nref}(s)$, é dada pela eq.(5):

$$H_{ref}(s) = \frac{\phi_o(s)}{\phi_{Nref}(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \quad (5)$$

A função de transferência que relaciona a fase de saída com o ruído gerado pelo detector de fase é dada pela eq.(6):

$$H_{d.f.}(s) = \frac{\phi_o(s)}{\phi_{N_{d.f.}}(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \quad (6)$$

A relação entre a fase de saída da malha e a tensão de ruído gerada pelo filtro de *loop* pode ser escrita conforme a eq.(7):

$$H_f(s) = \frac{\phi_o(s)}{\phi_{N_f}(s)} = \frac{1}{K_d} \times \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \quad (7)$$

A função de transferência do ruído do VCO é descrita pela eq.(8):

$$H_{vco}(s) = \frac{\phi_o(s)}{\phi_{N_{vco}}(s)} = \frac{1}{1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}} \quad (8)$$

Para o ruído do divisor de frequência, a função de transferência é dada pela eq.(9):

$$H_N(s) = \frac{\phi_o(s)}{\phi_{N_N}(s)} = -\frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \quad (9)$$

Verifica-se que as magnitudes das funções de transferência, $|H_{ref}(s)|$, $|H_{d.f.}(s)|$ e $|H_N(s)|$, dos circuitos que compõem a malha de sincronismo de fase são iguais a magnitude da função de transferência em malha fechada, $|H_{m.f.}(s)|$.

Apresentado as funções de transferência da malha de sincronismo de fase em função dos ruídos gerados pelos componentes, a densidade espectral de ruído de fase, considerando as fontes de ruído descorrelacionadas, pode ser dada pela eq. (10).

$$S_{\phi_o}(\omega) = |H(\omega)|^2 \times S_{\phi_i}(\omega) \quad (10)$$

Onde:

$H(\omega)$ é a função de transferência do sistema.

Para a malha de sincronismo de fase, a densidade espectral de ruído de fase total é dada pela somatória de ruídos, conforme a eq. (11).

$$S_{\phi o}(\omega) = (S_{\phi ref}(\omega) + S_{\phi df}(\omega) + S_{\phi N}(\omega) + \frac{S_{\phi f}(\omega)}{K_d^2}) \times |H_{m.f.}(\omega)|^2 + S_{\phi vco}(\omega) \times |H_{vco}(\omega)|^2 \quad (11)$$

A análise de ruído será dividida em duas partes: 1) para frequências abaixo da frequência de corte do filtro de *loop* e 2) para frequências acima da frequência de corte do filtro de *loop*.

A frequência de corte do filtro de *loop*, ω_c , é o valor de frequência no qual a magnitude da função de transferência em malha aberta é igual a unidade, conforme a eq.(12).

$$|H_{m.a.}(j\omega_c)| = \left| \frac{K_d \times K_{vco} \times F(j\omega_c)}{j\omega_c} \times \frac{1}{N} \right| = 1 \quad (12)$$

1) Para $\omega \ll \omega_c$, conforme as eq.(13)-(15):

$$|H_{m.a.}(j\omega_c)| = \left| \frac{K_d \times K_{vco} \times F(j\omega_c)}{j\omega_c} \times \frac{1}{N} \right| \gg 1 \quad (13)$$

$$|H_{m.f.}(s)| = \left| \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \right| \approx \left| \frac{K_d \times K_{vco} \times F(s)}{s \times (\frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \right| \approx |N| \quad (14)$$

$$H_{vco}(s) = \frac{\phi_o(s)}{\phi_{N_{vco}}(s)} = \frac{1}{1 + |H_{m.a.}(s)|} \approx 0 \quad (15)$$

A densidade espectral de ruído de fase na saída da malha de sincronismo de fase para frequências menores que a frequência de corte do filtro de *loop*, é dada pela eq.(16):

$$S_{\phi o}(\omega) = (S_{\phi ref}(\omega) + S_{\phi df}(\omega) + S_{\phi N}(\omega) + \frac{S_{\phi f}(\omega)}{K_d^2}) \times |H_{m.f.}(\omega)|^2 \quad (16)$$

Ou seja, dentro da largura de faixa da malha de sincronismo de fase (*in-band*), a contribuição do ruído de fase do VCO pode ser desconsiderada. O sistema se comporta

como um filtro passa baixas para o oscilador de referência, detector de fase, o divisor de frequência e para filtro de loop, como apresentado na eq.(17).

$$S_{\phi o}(\omega) = (S_{\phi ref}(\omega) + S_{\phi df}(\omega) + S_{\phi N}(\omega) + \frac{S_{\phi f}(\omega)}{K_d^2}) \times N^2 \quad (17)$$

Para valores abaixo da frequência de corte, verifica-se que a densidade espectral de ruído de fase de saída da malha de sincronismo de fase é adicionada por $20 \times \log_{10}(N)$. Então, para obter baixos valores de ruído de fase na banda de passagem, deve-se escolher baixos valores de N.

2) Para $\omega \gg \omega_c$, conforme as eq.(18)-(20):

$$|H_{m.a.}(s)| = \left| \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} \right| \ll 1 \quad (18)$$

Neste caso a magnitude da função de transferência em malha fechada pode ser aproximada em:

$$|H_{m.f.}(s)| = \left| \frac{K_d \times K_{vco} \times F(s)}{s \times (1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N})} \right| \approx \left| \frac{K_d \times K_{vco} \times F(s)}{s} \right| \approx |G(s)| \quad (19)$$

A função de transferência do VCO pode ser aproximada como:

$$H_{vco}(s) = \frac{1}{1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}} \approx 1 \quad (20)$$

A densidade espectral do ruído de fase na saída da malha de sincronismo de fase para frequências de offset maiores que a frequência de corte do filtro de *loop*, é aproximadamente igual ao ruído de fase do VCO em *free-running*, como demonstra a eq.(21).

$$S_{\phi o}(\omega) = S_{\phi vco}(\omega) \times |H_{vco}(\omega)|^2 \approx S_{\phi vco}(\omega) \quad (21)$$

Para otimizar o ruído de fase, a frequência de corte, ω_c , deve ser o ponto de intersecção entre o ruído de fase do VCO em *free-running* e o ruído de fase total *in-band*. Dentro da largura de faixa da malha de sincronismo de fase (*in-band*) a contribuição do ruído de fase é dada pela eq. (17) e para frequências maiores que a frequência de corte, a contribuição de ruído é dada pelo VCO em *free running*.

Vale ressaltar que para um sistema em que haja requisitos de tempo de *lock* da malha, outras considerações deverão ser avaliadas para definir a frequência de corte. Escolhendo uma largura de faixa larga, o sistema irá apresentar um tempo de *lock* mais rápido, porém, espúrios do oscilador de referência e erro de fase irão aumentar. No caso de uma largura de faixa menor, o tempo de *lock* do sistema ficará mais lento e os espúrios do oscilador de referência e erro de fase irão diminuir.

2.1.3.2 Efeito da multiplicação de frequência no ruído de fase

O efeito da multiplicação de frequência no ruído de fase pode ser descrito a partir da análise de um sinal expresso pela eq.(22):

$$S(t) = A(t) \times \cos(\omega_o t + \Theta(t)) \quad (22)$$

Considerando que os osciladores possuem amplitude bem estável ao longo do tempo, $A(t)$, pode ser considerado constante, resultando que todo o ruído de um oscilador seja devido a $\Theta(t)$.(5)

Conforme a teoria de *Lesson* para osciladores, um sinal de amplitude V , que é modulado em frequência por um sinal senoidal de frequência, f_m , pode ser descrito pela eq.(23):

$$S(t) = V \times \cos(\omega_o t + \frac{\Delta f}{f_m} \times \sin(\omega_m t)) \quad (23)$$

A eq. (23) pode ser expandida em:

$$S(t) = V \times [\cos(\omega_o t) \times \cos(\Theta_p \times \sin(\omega_m t)) - \sin(\omega_o t) \times \sin(\Theta_p \times \sin(\omega_m t))] \quad (24)$$

Considerando uma modulação em frequência do tipo banda estreita (*narrowband*) e desvio de frequência Θ_p , apresentado pela eq.(25) e eq.(26), temos:

$$\cos(\Theta_p \times \sin(\omega_m t)) \approx 1 \quad (25)$$

e

$$\sin(\Theta_p \times \sin(\omega_m t)) \approx \Theta_p \times \sin(\omega_m t) \quad (26)$$

Então a eq. (23), pode ser formulada pela eq.(27)e eq.(28):

$$S(t) = V \times [\cos(\omega_o t - \sin(\omega_o t) \times \Theta_p \times \sin(\omega_m t))] \quad (27)$$

Expandindo:

$$S(t) = V \times [\cos(\omega_o t) - \frac{\Theta_p}{2} [\cos(\omega_o + \omega_m)t - \cos(\omega_o - \omega_m)t]] \quad (28)$$

Pela eq. (28), para pequenos desvios de fase, o espectro consiste em duas componentes de frequência com mesma amplitude $\Theta_p/2$. A distribuição de frequência para sinais modulados em frequência do tipo banda estreita pode ser usado para interpretar a densidade espectral de potência devido ao ruído de fase.

O ruído de fase para uma largura de faixa de 1 Hz é a relação da potência de ruído e a potência do sinal dado pela eq.(29):

$$\mathfrak{f}(f_m) = \left(\frac{V_n}{V}\right)^2 = \frac{\theta_p^2}{4} = \frac{\theta_{rms}^2}{2} \quad (29)$$

Logo, para um sinal com ruído fase, sujeito a multiplicação de frequência, o sinal de saída multiplicado pode ser demonstrado pela eq.(30):

$$S(t) = V \times \cos(N \times \omega_o t + N \times \Theta(t)) = V \times \cos(N \times \omega_o t + N \times \frac{\Delta f}{f_m} \times \sin(\omega_m t)) \quad (30)$$

Utilizando a teoria de sinal modulado em frequência em banda estreita, haverá um aumento da amplitude da tensão de ruído pelo fator de multiplicação. Ou seja, o ruído de fase na saída do multiplicador é expresso pela eq.(31).

$$\mathfrak{f}(f_m) = \left(\frac{V_n}{V}\right)^2 = N^2 \times \frac{\theta_p^2}{4} \quad (31)$$

A partir da teoria demonstrada, foi elaborado uma planilha para o cálculo do ruído de fase total da malha de sincronismo de fase, para verificação da ordem de grandeza e o atendimento a especificação do ruído de fase nas frequências de 2.075 MHz e 8.300 MHz, considerando as características dos seguintes componentes:

- Oscilador de referência – Part Number: AXLE-114 da fabricante *AXTAL*;
- Circuito Integrado *PLL* – Part Number: *PE9702* da fabricante *Peregrine Semiconductors*;
- Oscilador controlador por tensão *VCO* – Part Number: *HMC384* da fabricante *Analog Devices*;

- Frequência de comparação no detector de fase de 5 MHz e N = 415.

O resultado do ruído de fase total é apresentado na Figura 6.

Figura 6 - Ruído de fase estimado para a frequência de 2.075 MHz.

Fonte: Próprio Autor.

O ruído de fase integrado na banda especificada de 100 Hz a 1 MHz pode ser calculado utilizando a eq.(32):

$$\sigma_{\phi} = \frac{180}{\pi} \times \sqrt{2 \times \int_{100\text{Hz}}^{1\text{MHz}} S_{\phi_o}(\omega) d\omega} \quad (32)$$

O valor encontrado do ruído de fase integrado foi de 0,51° rms.

Utilizando um multiplicador de frequências por quatro, temos uma degradação da relação sinal-ruído de $20 \times \log_{10}(4)$, ou seja, um aumento de 12 dB no ruído de fase.

Figura 7 - Ruído de fase estimado após a multiplicação de frequências.

Fonte: Próprio Autor.

A degradação do sinal integrado na banda de 100 Hz a 1.000 MHz foi de 2, 11° rms.

É importante ressaltar que esse resultado não considera a degradação da relação sinal-ruído após as cadeias de amplificação. O valor calculado para o ruído de fase é aumentado pelo efeito da Figura de ruído dos componentes das cadeias de amplificação e pelo efeito de pushing do oscilador controlado por tensão.

2.1.3.3 Análise de balanceamento harmônico

A topologia foi analisada utilizando a ferramenta de balanceamento harmônico, *Harmonic Balance*, do software Advanced Design System (ADS), para verificar a pureza espectral em relação a harmônicos e espúrios.(7)

Foram utilizados modelos comportamentais, *Behavioral Models*, para simular os componentes da arquitetura e assim determinar as especificações dos circuitos para o desenvolvimento do projeto.

O oscilador que compõem o circuito da malha de sincronismo de fase na frequência de 2.075 MHz, foi simulado como um gerador de tons com potência de saída na frequência fundamental de +3,5 dBm e potência na segunda harmônica de -7 dBc.

Na entrada da cadeia de amplificação na banda S temos a pureza espectral de saída da malha de sincronismo de fase, conforme a Figura 8. O esquema elétrico da simulação é apresentado na Figura 9. As características de cada um dos componentes utilizados na

simulação foram definidas considerando-se características de componentes que existem no mercado.

Figura 8 - Pureza espectral na entrada da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Na entrada do multiplicador de frequências temos o sinal amplificado, filtrado e com nível de potência requerido para a entrada do multiplicador, conforme a Figura 10.

Como o multiplicador de frequências é um componente não linear, espera-se que a pureza espectral apresente vários tons múltiplos da frequência 2.075 MHz. O multiplicador de frequência simulado teve suas características baseadas no componente *HMC917* da fabricante *Analog Devices*.

Conforme a Figura 11, após a multiplicação do sinal para a frequência de 8.300 MHz, verifica-se a necessidade de realizar a filtragem do sinal, atenuando os sinais indesejados. Para isto, foi utilizado um filtro passa-faixa na saída do multiplicador com as características necessárias para atenuar os sinais indesejados.

Figura 10 - Pureza espectral na entrada do multiplicador de frequências.

Fonte: Próprio Autor.

Figura 11 - Pureza espectral na saída do multiplicador de frequências.

Fonte: Próprio Autor.

Figura 12 - Pureza espectral na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Na saída da cadeia de amplificação na banda X, obteve-se nível de potência especificado a entrada do modulador vetorial como apresentado na Figura 13.

Figura 13 - Pureza espectral na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Os resultados indicam que nas análises do ruído de fase e na simulação sistêmica, a arquitetura analisada atende as especificações gerais de projeto apresentado na Tabela 2. A partir destes resultados, as especificações dos circuitos serão elaboradas escolhendo-se os componentes com características para o atendimento das especificações.

2.1.4 Especificação dos blocos dos circuitos

Os valores dos parâmetros usados para os componentes do sistema durante as simulações resultaram nas especificações de cada circuito para início do projeto. Os circuitos são divididos conforme os itens abaixo:

- Malha de sincronismo de fase;
- Divisor de potência;
- Cadeia de amplificação na banda S;
- Multiplicador de frequências;
- Filtro passa-faixa e
- Cadeia de amplificação na banda X.

Nas Tabelas abaixo, são apresentadas as especificações dos circuitos que compõem a malha de sincronismo de fase:

Tabela 3 - Especificações da malha de sincronismo de fase.

Especificações	Valores
Frequência de referência	20 MHz
Estabilidade da frequência de referência em Temperatura	± 5 ppm
Frequência de Operação da malha de sincronismo de fase	2.075 MHz
Variação de Frequência	± 11 KHz
Potência de Saída	0 dBm
Variação de Potência	± 1 dB
<i>Aging</i>	5×10^{-7} /ano
Ruído de Fase (Integrado de 100 Hz a 1 MHz)	$\leq 2^\circ$ rms
Nível da 2ª Harmônica	≤ -7 dBc
Nível dos espúrios	≤ -60 dBc

Tabela 4 - Especificações do divisor de potência.

Especificações	Valores
Perda de inserção em 2.075 MHz	$\leq 0,5$ dB
Frequência central de operação	2.075 MHz
Largura de faixa	≥ 100 MHz
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB
Isolação entre as portas em 2.075 MHz	≥ 25 dB
Impedância de referência	50 ohms

Tabela 5 - Especificações da cadeia de amplificação na banda S.

Especificações	Valores
Ganho de Potência	5 ± 1 dB
Ponto de Compressão de 1 dB de saída em 2.075 MHz	$\geq +15$ dBm
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB
Isolação da saída para entrada em 2.075 MHz	≥ 50 dB
Rejeição da 2ª harmônica	≥ 40 dB
Níveis de espúrios	≥ 50 dBc
Largura de faixa	≥ 1 MHz
Impedância de referência	50 ohms
Frequência de operação	2.075 MHz

Tabela 6 - Especificações do multiplicador de frequências.

Especificações	Valores
Frequência de entrada	2.075 MHz
Frequência de saída	8.300 MHz
Faixa de potência de entrada	0 a +10 dBm
Faixa de Potência de saída	0 a +4 dBm
Rejeição de espúrios	≥ 20 dBc
Perda de retorno de entrada em 2.075 MHz	≥ 10 dB
Perda por retorno de saída em 8.300 MHz	≥ 10 dB
Ruído de fase para offset de 100 KHz	≤ -148 dBc/Hz
Impedância de referência	50 ohms

Tabela 7 - Especificações do filtro passa-faixa.

Especificações	Valores
Frequência central	8.300 MHz
Banda de Passagem	≤ 800 MHz
Ondulação na banda de passagem	$\leq 0,5$ dB
Perda por inserção em 8300 MHz	$\leq 3,5$ dB
Rejeição da frequência fundamental em 2.075 MHz	≥ 50 dBc
Rejeição da frequência em 4.150 MHz	≥ 50 dBc
Rejeição da 2° harmônica	≥ 20 dBc
Perda de retorno de entrada em 8.300 MHz	≥ 10 dB
Perda de retorno de saída em 8.300 MHz	≥ 10 dB
Impedância de referência	50 ohms

Tabela 8 - Especificações da cadeia de amplificação na banda X.

Especificações	Valores
Ganho de Potência	$14,5 \pm 2$ dB
Ponto de Compressão de 1 dB de saída em 8.300 MHz	$\geq +15$ dBm
Perda de retorno de entrada em 8.300 MHz	≥ 15 dB
Perda de retorno de saída em 8.300 MHz	≥ 15 dB
Isolação da saída para entrada em 8.300 MHz	≥ 40 dB
Rejeição da 2ª harmônica	≥ 30 dB
Níveis de espúrios	≥ 50 dBc
Largura de faixa	≥ 1 MHz
Impedância de referência	50 ohms
Frequência de operação	8.300 MHz

2.1.5 Escolha de componentes com grade espacial

A escolha de componentes é uma etapa que exige atenção, dado que os mesmos devem ter qualificação de uso espacial, devendo atender as características específicas de vibração, variações térmicas, radiação e confiabilidade, entre outras. Foram selecionados componentes para uso em modelo de engenharia, que poderão ser substituídos por componentes equivalentes com qualificação espacial. De uma forma geral, estes componentes exigem informações de usuário final (*End-User Certificate*) e descrição da aplicação, sujeita a aprovação do fabricante para o fornecimento, assim como possíveis restrições de importação pelo International Traffic in Arms Regulations (ITAR).

A European Space Agency (ESA) em conjunto com a European Space Components Coordination (ESCC), fornecem um documento que contém uma lista de componentes e fabricantes que são qualificados pelas regras da *ESCC System*, conforme a referência(11).

Foram escolhidos potenciais fornecedores para o projeto da malha de sincronismo de fase, tais como: *Analog Devices*, *Peregrine Semiconductors*, *Infineon Technologies*, *American Technical Ceramics-ATC*, *Coilcraft*, *Vishay Dale*, *Hittite Microwave Corporation*.

2.1.6 Estudo, projeto, simulação, implementação e verificação

Nos capítulos 3, 4 serão apresentados os projetos dos circuitos e simulações dos circuitos. O capítulo 5 apresenta os resultados medidos de cada circuito e integrados.

Os circuitos passivos projetados foram fabricados utilizando a micro fresadora a laser *Protolaser U3 LPKF* da Escola Politécnica da Universidade de São Paulo (EPUSP). Os circuitos foram montados sobre carriers metálicos usando adesivo condutivo, *Ablefilm*, da fabricante *Emerson and Cuming*. Conectores do tipo SubMiniature Version A (SMA) *launcher* foram soldados aos acessos de entrada e saída dos circuitos, visando permitir sua caracterização em ambiente coaxial. Foi utilizado o substrato *RO4003C* da fabricante *Rogers Corporation*, com constante dielétrica de 3,38, tangente de perdas de 0,0027, altura de 0,508 mm e espessura de cobre de 1 oz em ambos os lados da placa.

2.1.7 Integração, verificação e validação

Nesta etapa, com os circuitos caracterizados individualmente, pode-se integra-los ponto a ponto de modo a verificar o funcionamento das partes do sistema, verificando possíveis problemas de integração como possíveis oscilações, efeitos não-lineares entre outros e assim a realização de ajustes necessários. Com o sistema integrado, será realizado a sua caracterização para a verificação das especificações do sistema.

2.2 CONCLUSÃO

Neste capítulo foram apresentados a metodologia de projeto utilizada para o desenvolvimento da portadora na banda X.

A elaboração das especificações técnicas foram desenvolvidas juntamente com especialistas do INPE, definindo a frequência de operação e sua aplicabilidade nos satélites da plataforma multi missão (PMM).

Foi escolhido uma arquitetura para o projeto da portadora na banda X. A partir da arquitetura, foi realizado simulações sistêmicas no *software ADS* usando balanceamento harmônico, otimizando-se os parâmetros dos modelos comportamentais dos componentes do sistema para a obtenção da pureza espectral requerida para o sinal de saída.

Análise de ruído, a partir da teoria básica de circuitos de malha de sincronismo de fase, apresentou o diagrama funcional com suas respectivas fontes de ruído, demonstrando que dentro da largura de faixa a contribuição é o somatório dos ruído do oscilador de referência, detector de fase e do divisor de frequência, N. Fora da largura de faixa, o ruído de fase é essencialmente determinado pelo ruído de fase do *VCO* em *free running*. Foram analisados a contribuição do ruído na fase da portadora e o efeito da multiplicação de frequência no ruído de fase.

Os resultados obtidos mostraram que a arquitetura escolhida atende aos requisitos sistêmicos, resultando na elaboração de requisitos secundários, ou seja, dos circuitos que compõem o projeto da portadora.

Outra etapa bastante importante no projeto, foi a escolha de componentes com qualificação espacial a partir de potenciais fornecedores.(11)

Os projetos dos circuitos e os resultados obtidos experimentalmente são apresentados nos capítulos 3,4 e 5.

E por fim, foi apresentado a descrição do método de integração, verificação e validação do sistema, resultando no projeto da portadora na banda X.

3 PROJETOS DA MALHA DE SINCRONISMO DE FASE E CADEIA DE AMPLIFICAÇÃO NA BANDA S

3.1 DESCRIÇÃO E PROJETO DA MALHA DE SINCRONISMO DE FASE

A malha de sincronismo de fase é um sistema em malha fechada cuja função é acompanhar pequenas diferenças de fase entre o sinal de referência e o sinal realimentado resultando no sincronismo entre estes sinais. O diagrama em blocos da malha de sincronismo de fase é apresentado na Figura 14.

Figura 14 - Diagrama em blocos da malha de sincronismo de fase.

Fonte: Próprio Autor.

A malha de sincronismo de fase projetada opera na frequência de 2.075 MHz sendo composta por um oscilador de referência, *TCXO*, de alta estabilidade, um oscilador controlado por tensão, *VCO*, um *C.I. PLL*, um filtro de malha e um divisor de potência. O circuito integrado *PLL* possui internamente um divisor de frequência por *R*, que divide a frequência do sinal gerado pelo oscilador de referência e o envia a uma das entradas do detector de fase. Interno ao *C.I. PLL*, outro divisor de frequência por *N*, divide a frequência de uma amostra do sinal do *VCO*, e alimenta a outra entrada do detector de fase. A diferença de fase desses sinais resulta em uma tensão de erro que é proporcional ao erro de fase entre os dois sinais. Esta tensão é filtrada por um filtro passa-baixas (integrador), cuja função é filtrar o sinal e determinar a dinâmica da malha, enviando a tensão ao pino de controle do oscilador controlado por tensão. A tensão de entrada no *VCO* altera a frequência do oscilador de modo a reduzir a diferença de fase entre os sinais. Quando a diferença de fase é reduzida a zero, obtém-se o sincronismo do sinal gerado pelo *VCO* com o sinal

de referência. O diagrama funcional da malha de sincronismo de fase é apresentado na Figura 15.

Figura 15 - Diagrama em blocos funcional de uma malha de sincronismo de fase.

Fonte: Próprio Autor.

As especificações da malha de sincronismo de fase, Tabela 9, foram estabelecidas em conjunto com especialistas do INPE, de modo a atender as especificações da portadora na banda X apresentado anteriormente.

Tabela 9 - Especificações da malha de sincronismo de fase.

Especificações	Valores
Frequência de referência	≤ 20 MHz
Estabilidade de frequência de referência em Temperatura	± 5 ppm
Frequência de Operação da malha de sincronismo de fase	2.075 MHz
Variação de Frequência	± 11 KHz
Potência de Saída	0 dBm
Variação de Potência	± 1 dB
<i>Aging</i>	5×10^{-7} /ano
Ruído de Fase (Integrado de 100 Hz a 1 MHz)	$\leq 2^\circ$ rms
Nível da 2ª Harmônica	≤ -7 dBc
Nível dos espúrios	≤ -60 dBc

3.1.1 Descrição dos componentes utilizados no projeto

A malha de sincronismo de fase é baseada no C.I. *PLL PE9702* da fabricante *Peregrine Semiconductors*, seguido de um filtro de malha utilizando o amplificador operacional *OP27* da fabricante *Analog Devices*, de um oscilador controlado por tensão (*VCO*), *HMC384*, da fabricante *Analog Devices*, e um divisor de *Wilkinson* utilizando a tecnologia de microlinha de fita.(12)

O diagrama em blocos da Figura 16, apresenta a arquitetura de projeto utilizada.

Figura 16 - Diagrama em blocos do projeto da malha de sincronismo de fase.

Fonte: Próprio Autor.

- a) Oscilador de referência: O oscilador de referência é um *TCXO*, *AXLE114*, de alta estabilidade de frequência, da fabricante *Advanced XTAL Products*. As características deste oscilador são apresentadas na Tabela 10.

Tabela 10 - Características do oscilador de referência.

Especificações	Valores
Frequência de operação	10 MHz
Estabilidade da frequência em Temperatura	± 5 ppm
Aging	$\pm 0,5$ ppm/ano
Ruído de Fase	
Offset 10 Hz	-91 dBc/Hz
Offset 100 Hz	-117 dBc/Hz
Offset 1 KHz	-136 dBc/Hz
Offset 10 KHz	-150 dBc/Hz
Offset 100 KHz	-158 dBc/Hz

b) Oscilador controlado por tensão – VCO:

O oscilador controlado por tensão (VCO), *HMC384*, emprega um transistor bipolar de heterojunção (HBT) com circuitos ressonantes integrados, diodos varactor e amplificador - buffers, sendo fabricado pela *Analog Devices*. O oscilador possui excelentes características de ruído de fase, conforme apresentado na Tabela 11.

Tabela 11 - Características do oscilador controlado por tensão.

Especificações	Valores
Range de frequência	2.050 a 2250 MHz
Potência de saída	3,5 dBm $\pm$ 0,5 dB
Sensibilidade do oscilador	46 MHz/V
Tensão de controle	$\approx 1,8$ V @ 2.075 MHz
2ª Harmonica	-7 dBc
3ª Harmonica	-23 dBc
Pulling (VSWR 2:1)	2,5 MHzp-p
Pushing@Vt = +5V	5 MHz/V
Perda de retorno de saída	6 dB
Ruído de fase	
Offset 1 KHz	-70 dBc/Hz
Offset 10 KHz	-89 dBc/Hz
Offset 100 KHz	-111 dBc/Hz
Offset 1000 KHz	-135 dBc/Hz

c) Circuito Integrado PLL – PE9702:

O circuito integrado PE9702 é um componente desenvolvido para obter baixos valores de ruído de fase aliado com baixo consumo de corrente, com características de uso em satélites. A Figura 17, demonstra o diagrama de blocos interno deste circuito integrado.

O C.I. PE9702 consiste de um *prescaler*, contadores (R, A e M), um detector de fase e uma lógica de controle. O *prescaler* divide a frequência do VCO por 10 ou 11 dependendo do valor da programação do *Modulus Select*. Os contadores, R e M, dividem as frequências de referência e de saída do *prescaler* respectivamente, por valores inteiros. Um contador adicional, A, é usado na lógica de seleção da função *Modulus Select*. O detector de fase gera sinais (tensão) de controle que aumentam ou diminuem a frequência do VCO. O bloco de lógica de controle também seleciona o tipo de escrita do dado, podendo ser do tipo serial, paralelo ou *hardwired* (programação fixa utilizando resistores de *pull-up* e *pull-down*). Uma outra funcionalidade do C.I., é uma tensão de saída indicando o *locked* da malha de sincronismo de fase.

Figura 17 - Diagrama em blocos do C.I. PE9702.

Fonte: Próprio Autor.

As programações dos contadores do C.I. PE9702, considerando o modo de programação do tipo *Hardwired*, são descritas nos tópicos abaixo:

- Contador Principal:

Tabela 12 - Características do C.I. PLL PE9702.

Especificações	Valores
Frequência de operação do divisor da referência	≤ 100 MHz
Potência de entrada do divisor da Referência	≥ -2 dBm
Frequência de operação do <i>Prescaler</i> de Fin	500 - 3.000 MHz ($\overline{Pre - en} = 0$)
Frequência de operação do <i>Prescaler</i> de Fin	50 - 300 MHz ($\overline{Pre - en} = 1$)
Range de potência de operação de Fin	-5 a +5 dBm
Frequência de comparação no detector de fase	20 MHz
Tipo do detector de fase	Detector de fase
Ganho do detector de fase	$2,7/2\pi$ (V/rad)
Modos de programação	Serial, Paralelo e <i>Hardwired</i>
<i>Prescaler</i>	10/11
Contador da referência - R	6 bits
Contador de Fin - M,A	9 bits e 4 bits

A cadeia do contador principal divide o sinal de realimentação (Fin) por um número inteiro, a partir dos valores definidos pelos contadores M e A. A eq.(33) relaciona os parâmetros de frequência de referência e os valores dos contadores M e A é:

$$Fin = [10 \times (M + 1) + A] \times \left(\frac{Fr}{R + 1} \right) \quad (33)$$

Onde:

M pode assumir valores entre 1 a 127;

A pode assumir valores $\leq M+1$;

R pode assumir valores entre 0 e 15;

Fr é a frequência do oscilador de referência;

Fin é a frequência do sinal do VCO, realimentado ao C.I.

- Contador da Frequência de referência:

A cadeia do contador da referência divide a frequência do oscilador de referência, Fr, para a frequência a ser comparada no detector de fase, conforme a eq.(34).

$$Fc = \frac{Fr}{R + 1} \quad (34)$$

Onde:

Fc é a frequência a ser comparada no detector de fase.

- Frequência a ser comparada no detector de fase:

A frequência a ser comparada no detector de fase é dada pela eq.(35) e eq.(36):

$$F_p = \frac{F_{in}}{10 \times (M + 1) + A} \quad (35)$$

e

$$F_c = \frac{F_r}{R + 1} \quad (36)$$

A frequência de operação da malha de sincronismo de fase é 2.075 MHz e como o C.I. *PE9702* opera somente com valores inteiros de divisão, por tanto a frequência na entrada do detector de fase escolhida foi de 5 MHz. Os valores dos contadores, considerando essas frequências, são apresentados na Tabela 13.

Tabela 13 - Valores dos contadores do C.I. PLL.

Contadores	Valor
Contador da frequência de referência - R	1
Contador Principal - M	40
Contador Principal - A	5

d) Filtro de *loop*:

O filtro de *loop* é um filtro do tipo passa-baixas, cuja a função é filtrar a tensão de saída do detector de fase, assim como caracterizar a dinâmica da malha em relação a tempo de *lock* e estabilidade da malha. Como o detector de fase do C.I. *PE9702* gera sinais (tensão) de controle que aumentam ou diminuem a frequência do *VCO*, o fabricante sugere a utilização de um amplificador operacional na configuração diferencial que tenha característica de filtro e amplificador. Um filtro adicional do tipo R-C, é utilizado na saída do amplificador operacional tendo como função melhorar a rejeição do ruído do próprio amplificador operacional e também rejeitar espúrios do sinal de referência. O filtro utilizado é apresentado na Figura 18.

Figura 18 - Circuito utilizado no filtro de loop.

Fonte: Próprio Autor.

e) Divisor de potência:

O divisor de potência foi projetado utilizando tecnologia planar de linha de microfita, utilizando a topologia do divisor de *Wilkinson*, dividindo em duas parcelas iguais o nível de potência da saída do *VCO*, enviando uma amostra do sinal para a entrada de realimentação do C.I. *PLL* e a outra parte deste sinal para a cadeia de amplificação na Banda S. As especificações adotadas para o projeto do divisor de potência são apresentadas na Tabela 14.

Tabela 14 - Especificações adotadas para o projeto do divisor de Wilkinson.

Especificações	Valores
Perda de inserção em 2.075 MHz	$\leq 0,5$ dB
Frequência central de operação	2.075 MHz
Largura de faixa	≥ 100 MHz
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB
Isolação entre as portas em 2.075 MHz	≥ 25 dB
Impedância de referência	50 ohms

f) Atenuador resistivo: O atenuador resistivo de 3 dB utilizado entre o pino de *Fin*, do C.I. *PLL* e uma das saídas do divisor de potência, possui a função de adequar o nível de potência e melhorar o casamento de impedâncias.

3.1.2 Projeto da malha de sincronismo de fase

O projeto da malha de sincronismo de fase foi dividido em quatro etapas para o desenvolvimento: escolha da largura de faixa do filtro de loop, função de transferência do filtro de loop, análises em malha aberta e malha fechada, análise do ruído de fase e resposta transiente da malha de sincronismo de fase, sendo que as análises foram feitas utilizando o *software Advanced Design System*.

a) Escolha da largura de faixa do filtro de loop:

A escolha da largura de faixa do filtro está em função de obter mínimos valores de ruído de fase. Dentro da largura de filtro da malha, o ruído de fase tende a ser dominado pelo ruído de fase da malha de sincronismo de fase $(S_{\phi ref}(\omega) + S_{\phi df}(\omega) + S_{\phi N}(\omega) + \frac{S_{\phi f}(\omega)}{K_d^2}) \times N^2$. Fora da largura de faixa da malha, o ruído de fase tende a ser dominado pelo ruído de fase do VCO em *free running*.(13)

Como premissa adotada, o valor da largura de faixa do filtro de loop será a frequência determinada pela intersecção entre o ruído de fase do VCO (*free-running*) e ruído de fase da malha de sincronismo de fase, conforme a eq. (17).

O ruído de fase pode ser estimado pelas eq.(37)-(39):

$$RuidoFase_{PLL} = Ruido_{1/f} + Ruido_{flat} \quad (37)$$

onde:

$$RuidoFase_{flat} = P.N_{.1Hz} + 20 \times \log_{10} N + 10 \times \log_{10} f_{comp} \quad (38)$$

$$RuidoFase_{\frac{1}{f}} = P.N_{.10KHz} + 20 \times \log_{10} f_{op} - 10 \times \log_{10} f_{offset} \quad (39)$$

Utilizando-se as equações anteriores, a curva traçada é apresentada na Figura 19.

Figura 19 - Escolha da largura de faixa do filtro de loop.

Fonte: Próprio Autor.

O valor da frequência de intersecção encontrado foi de 11,2 KHz.

b) Cálculo dos componentes do filtro de *loop*:

A partir da determinação da largura de faixa do filtro de loop, calculam-se os valores dos componentes do filtro utilizando as eq.(40)-(44):

$$\omega_p = 2 \times \pi \times BW_{loop} \quad (40)$$

$$K = \frac{K_{vco} \times K_d}{N} \quad (41)$$

$$T_3 = \frac{\sec(\Theta_{mf}) - \tan(\Theta_{mf})}{\omega_p} \quad (42)$$

$$T_2 = \frac{1}{\omega_p^2 \times T_3} \quad (43)$$

$$T_1 = \frac{K}{\omega_p^2} \times \sqrt{\frac{1 + (\omega_p \times T_2)^2}{1 + (\omega_p \times T_3)^2}} \quad (44)$$

Logo, os valores dos componentes podem ser calculados pelas eq.(45) e eq.(46):

$$R_3 = \frac{T_3}{C_3} \quad (45)$$

$$R_2 = R_1 \times \frac{T_2}{T_1} \quad (46)$$

O modelamento matemático das equações utilizadas são demonstradas no Apêndice B.

Os parâmetros e os valores dos componentes são apresentados na Tabela 15.

Tabela 15 - Parâmetros de projeto da malha de sincronismo de fase e valores dos componentes.

Parâmetros	Valores
Frequência de operação, f_{op}	2.075 MHz
Ganho do VCO, K_{vco}	46 (MHz/V)
Ganho do detector de fase, K_d	$2,7/2\pi$ (V/rad)
Margem de fase, Θ_{mf}	60°
Largura de faixa de ganho unitário, BW_{loop}	11,2 KHz
Frequência de comparação no detector de fase	5 MHz
Valor do divisor N	415
K	299277,108
ω_c	70371,675 (rad/s)
C2	390 nF
C3	27 nF
R1	510 ohms
R2	121 ohms
R3	100 ohms

O valor do componente R1 é sugerido pela fabricante do C.I. *PE9702* de modo a otimizar o ruído de fase da malha de sincronismo de fase.

c) Simulação da malha de sincronismo de fase utilizando o software ADS:

Após os cálculos dos parâmetros da malha de sincronismo de fase, utilizou-se o *software ADS*, para simular e verificar o projeto. Para isto, foi utilizada a ferramenta *Design Guide PLL*.

A simulação foi dividida em três etapas: análise do circuito em malha aberta e em malha fechada, análise do ruído de fase e análise da resposta transiente em malha fechada.

- Análise do circuito em malha aberta e malha fechada:

Na simulação em malha aberta e malha fechada, espera-se obter como resultado, valores da largura de faixa do filtro de loop, que neste caso, é determinada como a frequência no qual temos o módulo da função em malha aberta, conforme Apêndice B, igual a unidade e a determinação das margens de fase e ganho que determinam a estabilidade relativa do sistema, apresentado na Figura 20, Figura 21 e Figura 22.

Figura 20 - Resposta em frequência da amplitude em malha aberta e malha fechada.

Fonte: Próprio Autor.

Figura 21 - Resposta em frequência da fase em malha aberta e malha fechada.

Fonte: Próprio Autor.

Figura 22 - Resposta em frequência para verificação da margem de ganho do sistema.

Fonte: Próprio Autor.

Analisando os resultados simulados, os valores de margem de fase e margem de ganho se mostraram promissores demonstrando que o sistema é estável por apresentar valores de margem de fase e margem de ganho positivas.(10)

Verifica-se pelos resultados que a largura de faixa calculada está bem próxima da simulada.

A margem de fase apresentou um valor bem diferente do valor desejado, embora o valor simulado, apresente um bom valor de margem de fase.

A margem de ganho apresentou um valor adequado que indica o quanto o ganho pode ser aumentado antes que o sistema se torne instável.

d) Análise do ruído de fase:

Nesta simulação foram considerados, o pior caso, os valores de ruído de cada componente utilizado na malha, no entanto, outros fatores não são levados em consideração, como ruídos da fonte de alimentação.

Espera-se obter resultado menor do que 2° rms integrado de 100 Hz a 1, conforme a Figura 23.

Figura 23 - Resultado simulado do ruído de fase.

Fonte: Próprio Autor.

e) Análise da resposta transiente do sistema:

Nesta simulação é verificado o tempo de *lock* da malha, a partir de um sinal do tipo degrau na entrada do sistema. O tempo de *lock* pode ser definido quando a diferença de fase é reduzida a zero obtendo-se o sincronismo do sinal gerado pelo VCO com o sinal de referência, conforme a Figura 24.

Figura 24 - Reposta transitória do sistema em malha fechada.

Fonte: Próprio Autor.

Após as simulações no *software ADS*, o circuito da malha de sincronismo de fase apresentou valores que atendem as especificações de projeto, ressaltando que na simulação não são considerados todos os fatores que podem deteriorar o sistema, tais como ruído da fonte de alimentação e variação dos valores dos componentes utilizados.

3.1.3 Projeto do divisor de potência do tipo Wilkinson

O divisor de potência do tipo *Wilkinson*, utilizado no projeto, divide a potência do sinal de saída do oscilador controlado por tensão em duas parcelas iguais, enviando uma amostra deste sinal para a entrada de realimentação da malha do *PLL* e a outra parte deste sinal para a cadeia de amplificação em banda S.(12)

O divisor de potência de *Wilkinson* é amplamente empregado em circuitos de Radio Frequência (RF), sendo sua topologia apresentada na Figura 25 para o caso do divisor simétrico, que divide igualmente a potência de entrada (porta 1) entre suas duas saídas

(portas 2 e 3). O divisor de *Wilkinson* apresenta perda de retorno reduzida em todos os acessos. O resistor que interconecta as portas 2 e 3 absorve sinais refletidos nas mesmas, resultando em boa isolamento entre as saídas.

Figura 25 - Divisor de *Wilkinson*.

Fonte: Pozar(14).

Para o desenvolvimento do projeto foi utilizada a ferramenta *Design Guide* do software *Advanced Design System*, que permite sintetizar esse e outros circuitos amplamente usados em micro-ondas. O circuito foi projetado para atender às especificações da Tabela 4.

O divisor de potência de *Wilkinson* foi simulado utilizando o simulador eletromagnético *Momentum* da fabricante *Keysight Technologies*. Procedeu-se à fabricação a caracterização do circuito fabricado.

A Figura 26 apresenta a fotografia do divisor de potência de *Wilkinson* fabricado.

Como o analisador de redes utilizado possui duas portas, as medidas foram realizadas terminando uma das saídas por uma carga coaxial de 50 Ohms e determinando-se as perdas de retorno e de inserção das portas conectadas ao equipamento.

Figura 26 - Divisor de Wilkinson.

Fonte: Próprio Autor.

Os resultados da simulação foram comparados com as medidas conforme as Figuras 27 a 32.

Figura 27 - Resultados simulados e medidos: Magnitude da perda de retorno de entrada – porta 1.

Fonte: Próprio Autor.

Figura 28 - Resultados simulados e medidos: Magnitude da perda de retorno de saída – porta 2.

Fonte: Próprio Autor.

Figura 29 - Resultados simulados e medidos: Magnitude da perda de inserção da porta 2 em relação a porta 1.

Fonte: Próprio Autor.

Figura 30 - Resultados simulados e medidos: Magnitude da perda de retorno de saída – porta 3.

Fonte: Próprio Autor.

Figura 31 - Resultados simulados e medidos: Magnitude da perda de inserção da porta 3 em relação a porta 1.

Fonte: Próprio Autor.

Figura 32 - Resultados simulados e medidos: Magnitude da isolamento da porta 3 em relação a porta 2.

Fonte: Próprio Autor.

O divisor de potência projetado apresenta como característica baixo desbalanceamento de amplitude entre as portas assim como boa característica de isolamento entre as portas de saída.

A Tabela 16, mostra que o divisor de potência de *Wilkinson*, sem a necessidade de realizar ajustes ou reprojeção do circuito.

Tabela 16 - Resultados das medidas do divisor de *Wilkinson*.

Especificações	Valores especificados	Valores medidos
Perda de inserção em 2.075 MHz	$\leq 0,5$ dB	0,415 dB
Largura de faixa	≥ 100 MHz	≥ 100 MHz
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB	≥ 15 dB
Isolação entre as portas em 2.075 MHz	≥ 25 dB	≥ 25 dB

3.2 PROJETO DA CADEIA DE AMPLIFICAÇÃO NA BANDA S

A cadeia de amplificação na banda S é composta por dois estágios amplificadores em cascata operando em 2.075 MHz, seguidos por um filtro passa-baixas. Os amplificadores tem como função amplificar o sinal de uma das saídas do divisor de potência e prover isolamento entre o VCO e o multiplicador de frequências, eliminando o efeito de *pulling* do VCO. O filtro passa-baixas é utilizado para atenuar sinais espúrios harmônicos e não harmônicos do sinal gerado pelo VCO.

O diagrama em blocos da cadeia de amplificação é apresentado na Figura 33.

Figura 33 - Diagrama em blocos da cadeia de amplificação.

Fonte: Próprio Autor.

A cadeia de amplificação é composta por um atenuador resistivo de entrada (Atenuador Resistivo 2) cuja função é realizar o ajuste de potência da saída e dois estágios de amplificação a transistor. O atenuador resistivo entre os estágios (Atenuador Resistivo 3) tem a função de melhorar o casamento de impedância entre os estágios, assim como garantir a estabilidade do conjunto de amplificadores. O filtro do tipo passa-baixas é responsável por atenuar a segunda harmônica do VCO e possíveis espúrios que possam surgir após o sinal ser amplificado.

O atenuador resistivo (Atenuador Resistivo 4) tem a função de melhorar o casamento de impedância entre a saída do filtro passa-baixas e o multiplicador de frequências, formando assim a cadeia de amplificação na banda S.

As especificações apresentadas na Tabela 17, da cadeia de amplificação, foram geradas a partir de simulações sistêmicas utilizando o *software* ADS e as ferramenta de simulação de balanceamento harmônico (*Harmonic Balance*).

Tabela 17 - Especificações da cadeia de amplificação na banda S.

Especificações	Valores
Ganho de Potência	5 ± 1 dB
Ponto de Compressão de saída em 2.075 MHz	$\geq +15$ dBm
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB
Isolação da saída para entrada em 2.075 MHz	≥ 50 dB
Rejeição da 2ª harmônica	≥ 40 dB
Níveis de espúrios	≥ 50 dBc
Largura de faixa	≥ 1 MHz
Impedância de referência	50 ohms
Frequência de operação	2.075 MHz

3.2.1 Metodologia utilizada para o projeto dos Amplificadores

A metodologia de projeto apresentada na Figura 34 foi empregada para o projeto dos amplificadores na banda S, visando atender as especificações da Tabela 17.

Figura 34 - Metodologia empregada no projeto dos amplificadores.

Fonte: Próprio Autor.

3.2.2 Projeto dos amplificadores na banda S

Para o projeto dos amplificadores na frequência de 2.075 MHz, foi utilizado a metodologia apresentada na Figura 34 utilizando como ferramenta, o *software* de simulação ADS.

3.2.2.1 Especificações

As especificações de projeto foram apresentadas na Tabela 17 com as características necessárias para se iniciar o projeto dos amplificadores.

3.2.2.2 Seleção do dispositivo e tecnologia de fabricação

Como o circuito deverá apresentar características e qualificações espaciais, para a seleção do componente foi adotado como premissa, a lista de componentes Qualified Part List (QPL), responsável pela publicação da lista de componentes e tecnologias qualificadas e com capacidade de atender as normas da *ESCC Specification System* certificada pela agência espacial europeia (ESA).(11)

O componente selecionado para o projeto foi o transistor bipolar – *NPN BFY450P* da fabricante *Infineon Technologies*.

O substrato utilizado no projeto foi *RO4003C* da fabricante *Rogers Corporation*, com constante dielétrica de 3,38, tangente de perdas de 0,0027, altura de 0,508 mm e espessura de cobre de 1 oz em ambos os lados da placa.

Figura 35 - Características do substrato RO4003C.

Fonte: Próprio Autor.

3.2.2.3 Seleção do tipo de topologia

A topologia empregada no projeto foi de múltiplos estágios, no caso, dois estágios em cascata, para aumentar a isolamento da saída para a entrada e evitar assim os efeitos de *pulling* do VCO, causados pelo sinal modulante no modulador vetorial.

3.2.2.4 Modelo do componente a ser utilizado no projeto

O modelo do componente a ser utilizado no projeto, foram os parâmetros S para pequenos sinais, fornecidos pela fabricante do transistor.

3.2.2.5 Definição do ponto de polarização e classe de operação

Para o projeto elétrico dos amplificadores foram utilizados circuitos ativos com compensação térmica para fornecer ponto de polarização DC corretos para a base e coletor, ou seja, valor em torno de 0,7V e 400 μ A na base e +3V e 30 mA no coletor do transistor, operando em classe A.

3.2.2.6 Análise dos parâmetros S e estabilidade

Para início do projeto dos amplificadores foi realizado uma análise dos parâmetros S e da estabilidade do transistor para verificar a resposta em frequência e a possibilidade de atendimento das especificações.

Para análise da estabilidade do transistor foram utilizadas as ferramentas de simulação Mu_{prime} (relacionado a fonte) e Mu (relacionado a carga), presentes no *software* ADS, que fornecem a informação da distância geométrica do centro da carta de Smith até o círculo de instabilidade mais próximo, como demonstrado nas eq.(47)e eq.(48).(15)

$$M_u = \frac{(1 - |S_{11}|^2)}{(|S_{22} - S_{11}^* \times \Delta|) + |S_{12} \times S_{21}|} \quad (47)$$

$$M_{prime} = \frac{(1 - |S_{22}|^2)}{(|S_{11} - S_{22}^* \times \Delta|) + |S_{21} \times S_{12}|} \quad (48)$$

Os resultados encontrados são apresentados na Figura 36 e Figura 37.

Figura 36 - Análise da magnitude dos parâmetros S fornecidos pelo fabricante.

Fonte: Próprio Autor.

Figura 37 - Fatores de estabilidade em relação a fonte e carga do transistor BFY450.

Fonte: Próprio Autor.

Com os resultados das simulações verifica-se que o transistor escolhido possui as características necessárias para atender as especificações, no entanto, existe a necessidade de realizar um projeto de estabilização do transistor e também um projeto de casamento de impedâncias para a entrada e saída.

3.2.2.7 Projeto do filtro de polarização do transistor

Os projetos dos filtros de polarização foram utilizados para fornecer os níveis de polarização DC corretos para a base e coletor do transistor e também para melhorar a estabilidade do circuito.

O projeto do filtro de polarização foi desenvolvido utilizando linhas de $\lambda_g/4$, conforme a Tabela 18, e capacitores de desacoplamento para que o sinal de RF veja valores de impedância maiores que 500 ohms (dez vezes a impedância característica do sistema).

Foram utilizados resistores em série com o filtro de polarização de baixo valor de resistência para melhorar a estabilidade do circuito, na faixa de 50 MHz a 6.000 MHz.

Tabela 18 - Características da linha de transmissão utilizada no filtro de polarização.

Impedância característica da linha $\lambda_g/4$	$Z_o = 95$ ohms
Largura da microfita	$W_l = 0,3$ mm
Comprimento de onda guiado	$\lambda_g = 23,42$ mm

Figura 38 - Circuito elétrico do filtro de polarização do transistor BFY450P.

Fonte: Próprio Autor.

A verificação da magnitude da impedância de entrada, vista pelo sinal de micro-ondas,

na entrada do filtro de polarização foi simulada no *software ADS*, conforme o diagrama em blocos apresentado na Figura 39.

Figura 39 - Diagrama em blocos da simulação da magnitude da impedância de entrada do filtro de polarização.

Fonte: Próprio Autor.

Figura 40 - Magnitude da impedância de entrada do filtro de polarização: BASE.

Fonte: Próprio Autor.

Figura 41 - Magnitude da impedância de entrada do filtro de polarização: COLETOR.

Fonte: Próprio Autor.

3.2.2.8 Análise da estabilidade do transistor com os filtros de polarização

Nesta etapa, é simulado o transistor com o circuito de filtros de polarização projetado e verificado a sua estabilidade utilizando as ferramentas do *software ADS*, Mu_{Prime} , Mu .

A estabilidade de um transistor pode ser determinada ou analisada a partir dos parâmetros S, das redes de casamento e das terminações (impedâncias de carga) a partir de uma rede de duas portas, conforme apresentado na Figura 42.

Figura 42 - Redes de duas portas.

Fonte: Próprio Autor.

As oscilações podem ocorrer desde que ambas as portas de entrada e de saída apresentem resistências negativas, ou seja, $|\Gamma_{in}| > 1$ e $|\Gamma_{out}| > 1$. Considerando o amplificador como unilateral, $S_{12} = 0$, teremos $|S_{11}| > 1$ e $|S_{22}| > 1$.

Um amplificador é dito **incondicionalmente estável** para uma dada frequência se a parte real da Impedância de entrada de uma rede de duas portas (Z_{in}) e Impedância de saída de uma rede de duas portas (Z_{out}) forem maior que zero para quaisquer impedância passiva de fonte e de carga. Caso contrário, **potencialmente instável**.

Utilizando as equações eq.(49) e eq.(50), pode-se determinar regiões na carta de *Smith* que correspondem a impedâncias conectadas a entrada do transistor (coeficientes de reflexão Γ_s) e a saída do transistor (coeficientes de reflexão Γ_L) que ocasionam operação estável do mesmo.

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{22}\Gamma_L} \right| \quad (49)$$

$$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{11}\Gamma_s} \right| \quad (50)$$

Para um sistema casado, ou seja, $\Gamma_L = 0$, temos:

$$|\Gamma_{in}| = |S_{11}| \quad (51)$$

$$|\Gamma_{out}| = |S_{22}| \quad (52)$$

Caso a magnitude de S_{11} e S_{22} sejam menores que a unidade, o centro da carta de Smith está na região estável e caso a magnitude de S_{11} e S_{22} seja maiores que a unidade, o centro da carta de Smith está na região instável.

Conforme verificado na Figura 43, considerando o transistor unilateral, a magnitude dos parâmetros S_{11} e S_{22} são menores que a unidade demonstrando que o centro da carta de Smith está na região estável.

Figura 43 - Magnitude dos parâmetros S_{11} e S_{22} .

Fonte: Próprio Autor.

Observou-se na simulação que os valores de Mu_{Prime} e Mu são menores que a unidade na faixa de 551 MHz a 1359 MHz, assim como o parâmetro S_{21} , apresentou ganho acima de 14 dB, conforme a Figura 44 e Figura 45, indicando potencial instabilidade nessa faixa de frequências.

Figura 44 - Fatores de estabilidade do transistor após o projeto do filtro de polarização.

Fonte: Próprio Autor.

Figura 45 - Resposta em frequência da magnitude do parâmetro S_{21} do transistor BFY450.

Fonte: Próprio Autor.

Para mitigar uma potencial instabilidade do transistor, foi projetado um filtro passa-altas de 3ª ordem, com resposta em frequência do tipo *Butterworth*. Os dados de projeto do filtro são apresentados na Tabela 19.

Tabela 19 - Especificações adotadas para o projeto do filtro passa-altas.

Especificações de projeto do filtro	Valores
Ordem do filtro	3ª ordem
Tipo de resposta em frequência	Butterworth
Frequência de corte	1.500 MHz $\pm 5\%$
Rejeição na frequência de 770 MHz	≥ 10 dB
Rejeição na frequência de 780MHz	≥ 10 dB
Ondulação na banda de passagem em 1.500 MHz	≈ 3 dB
Impedancia de Referência	50 ohms

O circuito equivalente do filtro passa-altas é apresentado na Figura 46. Os valores dos elementos do filtro com frequência angular de corte $\omega_c = 1$ rad/s são os coeficientes $g[i]$, extraídos de Tabelas de filtro *Butterworth*.

Figura 46 - Topologia utilizada do filtro passa-altas de 3ª ordem.

Fonte: Próprio Autor.

Os valores das capacitâncias e da indutância do filtro com elementos concentrados podem ser calculados utilizando as equações eq.(53) e eq.(54).

$$C_i = \frac{1}{Z_o \times \omega_c \times g_i} \quad (53)$$

$$L_i = \frac{Z_o}{\omega_c \times g_i} \quad (54)$$

Os valores dos coeficientes são apresentados na Tabela 20.

Tabela 20 - Valores dos coeficientes utilizados no projeto do filtro passa-altas.

g[0]	g[1]	g[2]	g[3]	g[4]
1	1	2	1	1

Os valores de capacitância e indutância encontrados são:

$$C = 2,12pF \quad (55)$$

$$L = 2,65nH \quad (56)$$

Transformando a indutância de 2,65 nH em um linha de transmissão, adotando -se uma impedância característica da linha indutiva de 95 ohms.

O comprimento de onda guiado, λ_{gL} , da linha de alta impedância na frequência de corte do filtro é dada pela eq.(57).

$$\lambda_{gL} = \frac{c}{f_c \times \sqrt{\epsilon_{efL}}} \quad (57)$$

A permissividade relativa efetiva da linha indutiva, foi determinada utilizando a ferramenta *LineCalc* do *software ADS*, a partir das impedâncias características, da frequência de corte e dos parâmetros do substrato.

Tabela 21 - Características da linha de transmissão indutiva.

Impedância característica	$Z_{oL} = 95 \text{ ohms}$
Largura da microfita	$W_l = 0,3 \text{ mm}$
Comprimento de onda guiado (f_c)	$\lambda_{gL_{fc}} = 129,69 \text{ mm}$

O comprimento do trecho de linha de transmissão de impedância característica Z_{oL} que resulta na mesma reatância que a indutância L na frequência f_c é calculado pela eq.(58).

$$l_{L[i]} = \frac{\lambda_{gL}}{2\pi} \times \arcsin(2\pi f_c \times \frac{L}{Z_{oL}}) \quad (58)$$

Os resultados dos parâmetros S do filtro passa-altas são apresentados na Figura 47.

Com a inserção do filtro passa-altas na saída do transistor *BFY450* os valores de Mu e Mu_{Prime} e os valores de S_{21} são apresentados nas Figuras 48 e 49.

Para garantir a estabilização do transistor, tanto em relação a fonte e a carga, foi inserido um atenuador resistivo de 3 dB, melhorando as características Mu e Mu_{Prime} , tornando o circuito estável na faixa de frequência de 50 MHz a 6 GHz, conforme a Figura 50.

Figura 47 - Resultados dos parâmetros S do filtro passa-altas.

Fonte: Próprio Autor.

Figura 48 - Valores de μ_u e $\mu_{u\text{prime}}$ após o filtro passa-altas.

Fonte: Próprio Autor.

Figura 49 - Resposta em frequência da magnitude do parâmetro S_{21} após filtro passa-altas.

Fonte: Próprio Autor.

Figura 50 - Valor de μ e μ_{Prime} após o filtro passa-altas e atenuador.

Fonte: Próprio Autor.

3.2.2.9 Análise dos parâmetros S para casamento de impedância

Nesta etapa, conforme o diagrama em blocos apresentado na Figura 51, é realizado o casamento de impedância de entrada e de saída do transistor. Para isto foi utilizado como

critério, casamento de impedância conjugado simulatâneo para obter máximo ganho e a topologia de circuito utilizado foi rede em L, com toco simples em aberto em paralelo.

Figura 51 - Diagrama em blocos para casamento de impedância de entrada e saída.

Fonte: Próprio Autor.

a) Casamento de impedância de entrada:

A impedância de entrada do transistor foi determinada verificando o parâmetro Γ_{in} na simulação do circuito. Como a topologia do circuito casador é toco simples em aberto em paralelo, conforme a Figura 52, foi utilizado o parâmetro de admitância para facilitar os cálculos.

A impedância característica das linhas de transmissão usadas no casamento foram mantidas em 50 ohms e as distâncias d e L estão em função do comprimento de onda guiado λ_g .

Para as características do substrato utilizado, na frequência de 2.075 MHz, o comprimento de onda guiado apresenta o valor de 89,21 mm, considerando-se linhas de microfitas de 50 ohms, sobre o substrato usado neste projeto.

Figura 52 - Topologia do circuito de casamento: Toco simples em aberto em paralelo.

Fonte: Próprio Autor.

Na Figura 53, é apresentada a carta de *Smith* com as características das impedâncias para o casamento de impedância de entrada.

Conforme a Tabela 22, com a teoria de casamento de impedância utilizando toco simples em aberto em paralelo, foram obtidos os seguintes valores:

Tabela 22 - Características da célula de casamento de entrada.

Admitância de carga	$y_L = 1 - 3j$
Distância da carga: d	d = 0 mm
Admitância do toco	$y_T = +3j$
Comprimento do toco: L	$L = 0,198\lambda_g$

Figura 53 - Carta de Smith com as características de casamento de impedância de entrada.

Fonte: Próprio Autor.

b) Casamento de impedância entre os estágios:

Para análise do casamento de impedância entre os estágios de amplificação foi utilizado o componente *Sprobe2* do *software ADS*, para determinar as impedâncias ou os coeficientes de reflexão em ambas as direções do circuito e possíveis impedâncias que levam o circuito a oscilar.

O coeficiente de reflexão, Γ_1 , representa o valor da impedância na saída do atenuador resistivo 3 e Γ_2 a impedância na entrada do transistor do segundo estágio de amplificação.

Figura 54 - Análise de impedância utilizando o componente SProbe2.

Fonte: Próprio Autor.

Figura 55 - Resultado das impedâncias "vistas" pelo componente SProbe2.

Fonte: Próprio Autor.

Conforme a teoria de circuitos osciladores, os valores do produto entre Gamma1 e

Gamma2 devem ser menores que a unidade para que não ocorra oscilação, conforme a Figura 56.

Figura 56 - Resultado do produto dos coeficientes de reflexão para análise de oscilação.

Fonte: Próprio Autor.

Uma vez determinada a impedância a ser vista na entrada do transistor, foi realizado o casamento de impedância de entrada do segundo estágio, utilizando uma rede de casamento em L, com toco simples em aberto em paralelo. As características são apresentadas na Figura 57.

Figura 57 - Carta de Smith com as características de casamento de impedância do circuito intermediário.

Fonte: Próprio Autor.

As características do circuito de casamento de entrada do segundo estágio de amplificação são apresentadas na Tabela 23.

Tabela 23 - Características da célula de casamento na entrada do segundo estágio de amplificação.

Admitância de carga	$y_L = 1,6 - 2,2j$
Distância da carga: d	$d = 0,018\lambda_g$ mm
Admitância do toco	$y_T = +1,83j$
Comprimento do toco: L	$L = 0,171\lambda_g$

c) Casamento de impedância de saída:

A impedância de saída do transistor foi determinada utilizando o *software ADS*. Como a topologia do circuito casador é toco simples em aberto em paralelo, também foi utilizado

o parâmetro de admitância para determinar as características do toco.

As características do circuito de casamento de saída do segundo estágio de amplificação é apresentado na Tabela 24.

Tabela 24 - Características da célula de casamento de saída.

Admitância de carga	$y_L = 2,5 + 1,4j$
Distância da carga: d	$d = 0,109\lambda_g$ mm
Admitância do toco	$y_T = +1,35j$
Comprimento do toco: L	$L = 0,148\lambda_g$

Figura 58 - Carta de Smith com as características de casamento de impedância saída.

Fonte: Próprio Autor.

3.2.2.10 Resultados Simulados dos estgios de amplificação

Os resultados simulados após o projeto de casamento conjugado dos dois estgios de amplificação, são apresentados na Figura 59. Foram analisados os parâmetros S e a estabilidade da cadeia.

Figura 59 - Resultados simulados da magnitude dos parâmetros S dos estgios de amplificação.

Fonte: Próprio Autor.

Figura 60 - Resultados simulados da estabilidade dos estágios de amplificação.

Fonte: Próprio Autor.

Verifica-se a partir da Figura 59, bom casamento de impedância de entrada e de saída do estágio de amplificação, alto ganho na frequência de 2.075 MHz e alta isolamento da entrada para a saída do circuito.

O circuito de amplificação não apresenta nenhuma impedância de fonte ou de carga que possam levar os circuitos a oscilarem, conforme indicam os resultados na Figura 60.

3.2.2.11 Projeto do circuito ativo de polarização

O projeto do circuito de polarização e o ponto de polarização determinam as características do projeto do amplificador de RF. Valores de tensão e corrente de coletor para transistores BJT determinam as características necessárias para atender as especificações de projeto, como eficiência de potência, ponto de compressão e estabilidade entre outras características.

Para o projeto dos amplificadores na banda S foi utilizado um circuito de polarização

ativo com compensação térmica para reduzir a variação da corrente de coletor, com a temperatura diminuindo assim a variação dos parâmetros S do componente.

O circuito de polarização ativo utiliza um transistor do tipo *PNP* para fornecer os valores de tensão e corrente necessários para a polarização do transistor de *RF*. Para a base do transistor de *RF*, o circuito fornece uma tensão de $0,7V$ e corrente de $400 \mu A$ e para o coletor, uma tensão de $+3V$ e $30 mA$.

O esquema do elétrico do circuito de polarização é apresentado na Figura 61.

Figura 61 - Circuito de polarização ativo.

Fonte: Próprio Autor.

A ideia do diodo no circuito de polarização é compensar a variação da junção base-emissor ($-2,5mV/C$) com o mesmo fator, mantendo os valores de tensão e corrente de coletor.

No projeto do circuito de polarização foram feitas as seguintes considerações:

- Corrente $I1 = I2$
- Corrente $Ie1 = Ic1 = 1mA$
- $V_{be1} = 0,7V$
- $I_c = 30mA$
- $V_c = 3V$
- $V_b = 0,72V$

- $I_b = 400\mu A$

Usando as leis de Kirchhoff no circuito, é apresentado as eq.(59)-(66):

$$V_1 = V_{cc} - I_1 R_1 - V_{d1} \quad (59)$$

$$V_{c'} = V_{cc} - I_1 R_1 - V_{d1} + V_{be} \quad (60)$$

$$V_{c'} = V_c + R_c I_c \quad (61)$$

$$I_3 = I_c + I_{e1} \quad (62)$$

$$R_3 = \frac{V_{cc} - V_{c'}}{I_3} \quad (63)$$

$$V_{b'} = I_b(R_1 + R_b) + V_b \quad (64)$$

$$R_4 = \frac{V'_b}{I_4} \quad (65)$$

$$\frac{R_1}{R_2} = \frac{V_{cc} - V_{d1}}{V_1} - 1 \quad (66)$$

O circuito de polarização ativo foi simulado no *software ADS* e os resultados simulados do circuito são apresentados na Figura 62.

Figura 62 - Resultados da tensão e corrente de polarização do transistor BFY450.

freq	Vc	Ic.i	Vb
0.000 Hz	2.99 V	30.4 mA	736. mV

Fonte: Próprio Autor.

3.3 PROJETO DO FILTRO PASSA-BAIXAS

O filtro passa-baixas é responsável por aumentar a rejeição da 2ª harmônica do VCO, após o sinal ser amplificado pelo estágio de amplificação. A 2ª harmônica do VCO apresenta nível de -7 dBc em relação à potência da sua frequência nominal de 2.075 MHz e seu nível tende a aumentar devido a não linearidades do estágio de amplificação. O filtro passa-baixas tem adicionalmente a função de atenuar sinais espúrios não harmônicos.

As especificações do filtro passa-baixas, apresentada na Tabela 25, foram obtidas utilizando as ferramentas de balanceamento harmônico (*Harmonic Balance*) na análise sistêmica realizada.

Tabela 25 - Especificações adotadas para o projeto do filtro passa-baixas.

Especificações	Valores
Frequência de corte da banda de passagem	2.800 MHz
Ondulação (Ripple) da banda de passagem	$\leq 0,2$ dB
Perda de inserção em 2.075 MHz	$\leq 0,5$ dB
Rejeição da 2ª harmônica em 4.150 MHz	≥ 35 dBc
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB
Impedância de referência	50 ohms

As especificações foram atendidas usando uma topologia para obter alta rejeição da 2ª harmônica e espúrios escolhendo-se um filtro com resposta em frequência do tipo elíptico de 5ª ordem.(14),(16)

O circuito elétrico equivalente do filtro passa-baixas é apresentado na Figura 63. Os valores dos elementos do filtro com frequência angular de corte $\omega_c = 1$ rad/s são os coeficientes $g[i]$, extraídos de Tabelas de filtro elíptico.

O filtro projetado foi realizado empregando linhas de transmissão. Nesse caso, as indutâncias são substituídas por linhas de transmissão com alta impedância característica, Z_h , e as capacitâncias por linhas de transmissão com baixa impedância característica, Z_l . Os valores de Z_h e Z_l são escolhidos pelo projetista, buscando maximizar a razão Z_h/Z_l , respeitando aspectos de fabricação das linhas de transmissão. Uma vez definidos Z_h e Z_l e conhecidos os coeficientes $g[i]$ é possível calcular o comprimento elétrico das linhas de transmissão.(16)

Figura 63 - Topologia utilizada do filtro passa-baixas do tipo elíptico de 5ª ordem.

Fonte: Próprio Autor.

A Figura 64 apresenta uma fotografia do filtro passa-baixas projetado usando linhas de transmissão planares do tipo linha de microfita. As linhas mais finas equivalem às indutâncias e as linhas mais largas equivalem às capacitâncias.

Figura 64 - Fotografia do filtro passa-baixas.

Fonte: Próprio Autor.

Para o projeto do filtro foram adotados os parâmetros listados na Tabela 26.

Tabela 26 - Parâmetros adotados para o desenvolvimento do filtro.

Parâmetros Adotados	Valores
Frequência de corte da banda de passagem	$f_c = 2.800 \text{ MHz}$
Ordem do filtro	5ª ordem
Ondulação (Ripple) na banda de passagem	0,1 dB
Frequência angular de rejeição normalizada	$\omega_s = 1,4085\omega_c$
Atenuação na banda de rejeição	$L_{As} = 39,59 \text{ dB}$
Valores de alta e baixa impedância	$Z_h = 80 \text{ ohms}$, $Z_l = 20 \text{ ohms}$
Impedância de entrada e saída do filtro	$R_0 = 50 \text{ ohms}$

A Tabela 27 apresenta os coeficientes de filtros elípticos utilizados para o projeto do filtro.

Tabela 27 - Coeficientes do filtro com resposta em frequência do tipo elíptico.

g[0]	g[1]	g[2']	g[2]	g[3]	g[4']	g[4]	g[5]	g[6]
1	1,0058	0,1816	1,1862	1,5771	0,5436	0,8638	0,7578	1

No projeto do filtro foram utilizadas nas eq.(67)e eq.(68), que calculam o comprimento de onda guiado das linhas de alta impedância (indutivas) e das linhas de baixa impedância (capacitivas), na frequência de corte, f_c .

$$\lambda_{cL} = \frac{c}{f_c \times \sqrt{\epsilon_{efL}}} \quad (67)$$

$$\lambda_{cC} = \frac{c}{f_c \times \sqrt{\epsilon_{efC}}} \quad (68)$$

A permissividade relativa efetiva das linhas de alta impedância e de baixa impedância, foram determinadas utilizando a ferramenta *LineCalc* do *software ADS*, a partir das impedâncias características Z_h e Z_l , da frequência de corte e dos parâmetros do substrato.

Os valores da permissividade relativa, ϵ_{efL} e ϵ_{efC} encontradas foram respectivamente 2,449 e 2,952. A Tabela 28 apresenta a largura das linhas de microfitas com as impedâncias características de interesse do projeto, bem como o comprimento de onda guiado na frequência de corte do filtro.

Tabela 28 - Larguras das linhas de microfita usadas no filtro passa-baixas e seus respectivos comprimentos de onda guiado.

Impedância característica	$Z_{oC} = 20 \text{ ohms}$	$Z_o = 50 \text{ ohms}$	$Z_{oL} = 80 \text{ ohms}$
Largura da microfita	$W_c = 4,07 \text{ mm}$	$W_o = 1,1 \text{ mm}$	$W_l = 0,46 \text{ mm}$
Comprimento de onda guiado	$\lambda_{gC_{fc}} = 62,47 \text{ mm}$	$\lambda_{go_{fc}} = 66,10 \text{ mm}$	$\lambda_{gL_{fc}} = 67,12 \text{ mm}$

A partir dos dados da Tabela 9 e da Tabela 27, pode-se calcular os valores das indutâncias e capacitâncias do filtro com elementos concentrados, descritas por eq.69 e eq.70.

$$L_{[i]} = \frac{1}{2\pi f_c} \times R_o \times g[i] \quad (69)$$

$$C_{[i]} = \frac{1}{2\pi f_c R_o} \times g[i] \quad (70)$$

A partir das equações eq.(69) e eq.(70) foram calculados os comprimentos físicos das linhas de microfita que correspondem aos indutores e capacitores na versão do filtro com elementos distribuídos.

$$l_{L[i]} = \frac{\lambda_{gL}}{2\pi} \times \arcsin(2\pi f_c \times \frac{Li}{Z_{oL}}) \quad (71)$$

$$l_{C[i]} = \frac{\lambda_{gC}}{2\pi} \times \arcsin(2\pi f_c \times C_i \times Z_{oC}) \quad (72)$$

O filtro passa-baixas foi simulado e otimizado utilizando a simulação de parâmetros S do esquema elétrico do *software ADS*. Após a otimização dos comprimentos das linhas de microfita indutivas do filtro, foi gerado o leiaute do circuito e procedeu-se à simulação eletromagnética do mesmo utilizando o simulador *Momentum*.

Os resultados calculados e otimizados no *ADS* dos comprimentos físicos das linhas de microfita que implementam os indutores são apresentados na Tabela 29.

Tabela 29 - Comprimentos físicos das linhas indutivas.

Comprimentos físicos das microfita de impedância característica Z_H	Valor [mm]	
	Calculado	Otimizado
l_{L1}	7,38	7,62
$l_{L2'}$	1,24	1,00
l_{L3}	15,23	12,78
$l_{L4'}$	3,77	3,17
l_{L5}	5,37	5,80

Os valores dos comprimentos físicos das linhas de microfita com função de capacitores são apresentados na Tabela 30.

Tabela 30 - Comprimentos físicos das linhas capacitivas.

Comprimentos físicos das microfita de impedância característica Z_L	Valores [mm]
l_{C2}	4,87
l_{C4}	3,50

3.3.1 Resultados Simulados e Experimentais

O filtro passa-baixas foi caracterizado na faixa de frequência de 100 kHz a 8 GHz através das medidas de parâmetros S, usando analisador de redes vetorial, *N5230C* da fabricante *Keysight Technologies*.

As curvas de resposta em frequência, S_{11} x frequência, S_{22} x frequência e S_{21} x frequência, simuladas e medidas, são demonstradas na Figura 65, na Figura 67 e na Figura 66.

Figura 65 - Magnitude do parâmetro S_{11} versus Frequência.

Fonte: Próprio Autor.

Figura 66 - Magnitude de S_{22} versus Frequência.

Fonte: Próprio Autor.

Figura 67 - Magnitude do parâmetro S_{21} versus Frequência

Fonte: Próprio Autor.

Os resultados obtidos são apresentados na Tabela 31.

Tabela 31 - Especificações x Resultados obtidos do filtro passa-baixas.

Especificações	Valores especificados	Valores medidos
Ondulação da banda de passagem	$\leq 0,2$ dB	0,2 dB
Perda por inserção em 2.075 MHz	$\leq 0,5$ dB	0,284 dB
Rejeição da 2 ^a harmonica em 4.150 MHz	≥ 35 dBc	53,520 dBc
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB	24,79 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB	24,50 dB

Na saída do filtro passa-baixas foi inserido um atenuador na configuração π (Atenuador resistivo 3), com valor de 3 dB, para garantir bom casamento de impedância entre a saída do filtro e a entrada do multiplicador de frequências.

3.4 RESULTADOS SIMULADOS DA CADEIA DE AMPLIFICAÇÃO NA BANDA S

Após o projeto do filtro passa-baixas, foi realizada uma simulação completa da cadeia de amplificação na banda S. Com os resultados obtidos pela simulação, o atenuador resistivo na entrada da cadeia de amplificação (Atenuador resistivo 2), foi ajustado com valor de 14 dB, no entanto, o mesmo, pode ser ajustado conforme a necessidade de nível de potência na entrada do multiplicador de frequências.

Como a fabricante do transistor não fornece o modelo não linear do transistor *BFY450*, foi realizada somente simulação linear para a verificação dos requisitos da cadeia de amplificação.

Os parâmetros S simulados da cadeia de amplificação são apresentados na Figura 68.

Figura 68 - Resultados da magnitude dos parâmetros S da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Figura 69 - Resultados simulados da estabilidade da cadeia de amplificação.

Fonte: Próprio Autor.

As perdas de retorno de entrada e saída da cadeia de amplificação na banda S, S_{11} e S_{22} , resultaram em ótimos valores de casamento de impedância com largura de faixa bem ampla devido aos atenuadores de entrada e de saída do circuito.

O ganho da cadeia de amplificação, S_{21} , apresenta valor dentro da faixa de especificação, conforme a Tabela 17. Este ganho pode ser ajustado através do atenuador resistivo 2.

A isolamento da cadeia de amplificação, S_{12} , apresenta valor alto, reduzindo o risco de *pulling* do VCO.

A cadeia de amplificação apresentou boa estabilidade, em relação a possíveis oscilações, em relação a impedâncias de gerador e a carga, não apresentando nenhuma impedância que a torne potencialmente instável.

3.5 CONCLUSÃO

Neste capítulo foram apresentados os projetos da malha de sincronismo de fase e da cadeia de amplificação na banda S.

Foram analisados, a partir de teoria básica de malha de sincronismo de fase, as funções de transferência em malha fechada e malha aberta, definindo os conceitos de margem de fase e margem de ganho de um sistema. Foram descritos os componentes que compõem a malha de sincronismo de fase, assim como o dimensionamento dos mesmos. Os resultados obtidos a partir de simulações demonstraram que o circuito atende aos requisitos fornecidos pela simulação sistêmica, principalmente em relação ao ruído de fase.

Foi apresentada a metodologia de projeto dos estágios de amplificação na banda S e o seu projeto. Foram analisados os parâmetros lineares e a estabilidade dos transistores para obtenção de máximo ganho e de alta isolação. O projeto do circuitos de polarização DC apresentaram valores adequados para a polarização na região adequada de operação dos transistores. Os resultados das simulações resultaram em valores que atendem os requisitos sistêmicos.

O projeto do filtro passa-baixas, utilizando a teoria de filtros em linha de microfitas, resultou em valores de desempenho melhores que a especificação, principalmente em relação a atenuação da 2ª harmônica, baixos valores de perda de inserção na banda passante e bom casamento de impedância na entrada e saída do circuito.

Os resultados simulados da cadeia de amplificação demonstraram o atendimento das especificações conforme a Tabela 17.

4 PROJETOS DO MULTIPLICADOR DE FREQUÊNCIAS/FILTRO PASSA-FAIXA E CADEIA DE AMPLIFICAÇÃO NA BANDA X

4.1 PROJETO DO MULTIPLICADOR DE FREQUÊNCIAS

A placa que compõem o circuito multiplicador de frequências e filtro passa-faixa, são circuitos que operam a partir da frequência fundamental de 2.075 MHz para geração da frequência na banda X (8.300 MHz) realizando a filtragem de sinais harmônicos e espúrios que serão enviados a cadeia de amplificação na banda X, conforme Figura 70.

O multiplicador de frequências gera frequência de 8.300 MHz a partir do sinal de entrada de 2.075 MHz gerado pela a malha de sincronismo de fase e amplificado pela cadeia de amplificação na banda S. O sinal de saída do multiplicador de frequências é filtrado pelo filtro passa-faixa, atenuando a amplitude dos sinais harmônicos e espúrios.

Figura 70 - Diagrama em blocos do multiplicador de frequência e filtro passa-faixa.

Fonte: Próprio Autor.

4.1.1 Descrição do multiplicador de frequências – HMC917

O circuito integrado multiplicador de frequência por quatro, *HMC917*, do fabricante *Analog Devices*, apresenta circuitos ativos que multiplicam a frequência de saída da cadeia de amplificação (2.075 MHz) para a banda X (8.300 MHz), com boas características de supressão da frequência fundamental, bom nível de potência de saída e baixa adição de ruído de fase – Single Side Band (SBB) no sistema.

Os valores especificados pela análise sistêmica, baseado no C.I. *HMC917*, são apre-

sentados na Tabela 32.

Tabela 32 - Especificações do multiplicador de frequências

Especificações	Valores
Frequência de entrada	2.075 MHz
Frequência de saída	8.300 MHz
Faixa de potência de entrada	0 a +10 dBm
Faixa de Potência de saída	0 a +4 dBm
Rejeição de espúrios	≥ 20 dBc
Perda de retorno de entrada em 2.075 MHz	≥ 10 dB
Perda por retorno de saída em 8.300 MHz	≥ 10 dB
Ruído de fase para offset de 100 KHz	≤ -148 dBc/Hz
Impedância de referência	50 ohms

As características do componente multiplicador de frequências, HMC917, utilizado no projeto são apresentadas na Tabela 33.

Tabela 33 - Características do C.I. *HMC917* da fabricante *Analog Devices*.

Características	Valores
Faixa de frequência de entrada	1.500 a 2.500 MHz
Faixa de frequência de saída	6.000 a 10.000 MHz
Nível de potência de entrada	0 a +10 dBm
Nível de potência de saída	+2 dBm típico
Nível de supressão de espúrios	≥ 20 dBc
Perda de retorno de entrada	≥ 7 dB
Perda de retorno de saída	≥ 12 dB
Ruído de fase (<i>SSB–Single Side band</i>)	-148 dBc/Hz @ 100 KHz

O circuito integrado, *HMC917*, foi utilizado por apresentar excelentes características de ruído de fase, nível de potência de saída e nível de supressão de espúrios.

4.2 PROJETO DO FILTRO PASSA-FAIXAS

O filtro passa-faixa possui a função de filtrar os sinais espúrios de saída do multiplicador de frequência devido a não linearidade deste componente.

O filtro passa-faixa projetado apresenta uma topologia de linhas acopladas com formato em ZIG-ZAG. O filtro com esta topologia apresenta boas características de rejeição.(17),(16)

As especificações de projeto do filtro passa-faixa são apresentadas na Tabela 34.

Tabela 34 - Especificações do filtro passa-faixa.

Especificações	Valores
Frequência central	8.300 MHz
Banda de Passagem	≤ 800 MHz
Ondulação na banda de passagem	$\leq 0,5$ dB
Perda por inserção em 8300 MHz	$\leq 3,5$ dB
Rejeição da frequência fundamental em 2.075 MHz	≥ 50 dBc
Rejeição da frequência em 4.150 MHz	≥ 50 dBc
Rejeição da 2° harmônica	≥ 20 dBc
Perda de retorno de entrada em 8.300 MHz	≥ 10 dB
Perda de retorno de saída em 8.300 MHz	≥ 10 dB
Impedância de referência	50 ohms

Considerando-se as especificações do filtro passa-faixa, foram adotado os parâmetros listados na Tabela 35 para o desenvolvimento do filtro.

Comparando-se a Tabela 34 e Tabela 35, verifica-se que no projeto adotou-se menor ondulação na faixa de passagem e maior perda de retorno de entrada e de saída, criando uma margem para alguma degradação desses parâmetros quando de fabricação do filtro. Por outro lado, a rejeição de frequência de 2.075 MHz e 4.150 MHz foi reduzida para 40 dB, compatível com um filtro de 5ª ordem.

Tabela 35 - Valores de especificação adotados para o projeto do filtro passa-faixa.

Características para o projeto	Valores
Frequência central de operação	8.300 MHz
Perda por inserção na banda de passagem em 8.300 MHz	$\leq 3,5$ dB
Ondulação na banda passante	0,1 dB
Frequência de corte inferior (ponto de 3 dB)	≥ 7900 MHz
Frequência de corte superior (ponto de 3 dB)	≤ 8700 MHz
Frequência e níveis de rejeição	
Rejeição da frequência de 2.075 MHz	≥ 40 dBc
Rejeição da frequência de 4.150 MHz	≥ 40 dBc
Rejeição da frequência de 16.600 MHz	≥ 20 dBc
Perda de retorno de saída em 8.300 MHz	≥ 15 dB
Perda de retorno de entrada em 8.300 MHz	≥ 15 dB
Impedância de referência	50 ohms

A resposta em frequência do filtro passa-faixa é do tipo *Chebyshev* de 5ª ordem. Os coeficientes utilizados para cálculo dos parâmetros do filtro são demonstrados na Tabela 36 e o leiaute do filtro é apresentado na Figura 71.

Tabela 36 - Coeficientes utilizados no projeto do filtro passa-faixa.

g0	g1	g2	g3	g4	g5	g6
1	1,1468	1,3712	1,9750	1,3712	0,7578	1

Figura 71 - Fotografia do filtro passa-faixa.

Fonte: Próprio Autor.

No projeto do filtro passa-faixa utilizando a configuração *ZIG-ZAG*, cada linha de micro-fita acoplada é descrita a partir dos valores das dimensões físicas W (largura da linha), L (comprimento da linha) e S (espaçamento entre as linhas acopladas) que são calculadas a partir das impedâncias características de modo par e ímpar $Z_{o,e}$ e $Z_{o,o}$.

As equações utilizadas no projeto do filtro passa-faixa foram:

- *Banda Fracionária* é descrita pela eq.(73):

$$FBW = \frac{W_h - W_l}{W_o} \quad (73)$$

- Frequência central é descrita pela eq.(74):

$$\omega_o = \frac{\omega_h + \omega_l}{2} \quad (74)$$

- Impedância característica da linha – $Z_o = 50$ ohms;
- Admitâncias características, J , é descrita pela eq.(76):

$$J_{i,i+1} = \frac{1}{Z_o} \times \sqrt{\frac{\pi \times FBW}{2 \times g_i \times g_{i+1}}} \quad (75)$$

- Impedâncias características, $Z_{o,o}$, é descrita pela eq.(76):

$$Z_{o,odd} = Z_o \times (1 - Z_o \times J_{i,i+1} + [Z_o \times J_{i,i+1}]^2) \quad (76)$$

- Impedâncias características, $Z_{o,e}$, é descrita pela eq.(77):

$$Z_{o,even} = Z_o \times (1 + Z_o \times J_{i,i+1} + [Z_o \times J_{i,i+1}]^2) \quad (77)$$

Após o cálculo das impedâncias características $Z_{o,o}$ e $Z_{o,e}$, foi utilizado o programa *Line/Calc* do *software ADS*, para calcular os parâmetros W, S e L de cada linha acoplada conforme a Tabela 37.

Tabela 37 - Tabela com os valores calculados das linhas acopladas

	Parâmetros Calculados		
	W[mm]	S[mm]	L[mm]
1	0,79	0,135	5,64
2	0,86	0,170	5,59
3	0,94	0,254	5,53
4	0,94	0,254	5,53
5	0,86	0,170	5,59
6	0,79	0,135	5,64

O filtro passa-faixa foi simulado no *software ADS*, utilizando as ferramentas de otimização e de simulação eletromagnética, *Momentum*.

A partir das linhas calculadas foi necessário realizar otimizações nas dimensões dos filtros para atender a frequência central de 8.300 MHz e os níveis de rejeição especificados. Durante a otimização a largura W de todas as linhas acopladas foi fixada em 1 mm, como opção de projeto.

Os valores dos parâmetros após a otimização são demonstrados na Tabela 38.

Tabela 38 - Tabela com os valores otimizados de impedância e dimensionamento das linhas acopladas.

	Parâmetros Otimizados		
	W[mm]	S[mm]	L[mm]
1	1	0,238	5,16
2	1	0,541	5,07
3	1	0,615	5,06
4	1	0,615	5,06
5	1	0,541	5,07
6	1	0,238	5,16

O filtro passa-faixa foi fabricado e caracterizado através da medida de seus parâmetros de espalhamento (Parâmetros S).

Na medida prática, verificou-se a necessidade de realizar alguns ajustes, com solda em pontos que melhorassem a resposta em frequência do filtro.

A Figura 72 e Figura 73 apresentam a perda de retorno simulada e medida nos acessos de entrada e saída do filtro, S_{11} x frequência e S_{22} x frequência. A Figura 74 apresenta a perda de inserção simulada e medida do filtro projetado, S_{21} x frequência.

Figura 72 - Magnitude do parâmetro S_{11} versus Frequência.

Fonte: Próprio Autor.

Figura 73 - Magnitude do parâmetro S_{22} versus Frequência.

Fonte: Próprio Autor.

Figura 74 - Magnitude do parâmetro S_{21} versus Frequência.

Fonte: Próprio Autor.

A Tabela 39 mostra os valores de especificações adotados para o projeto do filtro passa-faixa assim como o atendimento de cada item.

Tabela 39 - Especificações x Resultados obtidos do filtro passa-faixa.

Especificações	Valores especificados	Valores medidos
Banda de Passagem	≤ 800 MHz	≤ 800 MHz
Ondulação na banda de passagem	$\leq 0,5$ dB	$\leq 0,5$ dB
Perda por inserção em 8300 MHz	$\leq 3,5$ dB	3,646 dB
Rejeição da frequência fundamental em 2.075 MHz	≥ 50 dBc	≥ 50 dBc
Rejeição da frequência em 4.150 MHz	≥ 50 dBc	≥ 50 dBc
Rejeição da 2° harmônica	≥ 20 dBc	≥ 20 dBc
Perda de retorno de entrada em 8.300 MHz	≥ 10 dB	12,7 dB
Perda de retorno de saída em 8.300 MHz	≥ 10 dB	17,2 dB

4.3 PROJETO DA CADEIA DE AMPLIFICAÇÃO NA BANDA X

A cadeia de amplificação na banda X é composta por circuitos amplificadores e atenuadores que operam na frequência de 8.300 MHz utilizando uma topologia de dois estágios em cascata cuja principal função é amplificar o sinal de saída do filtro passa-faixa para obter nível de potência adequado para a entrada do modulador vetorial.

O diagrama em blocos da cadeia de amplificação é destacado na Figura 75.

Figura 75 - Diagrama destacando os blocos da cadeia de amplificação.

Fonte: Próprio Autor.

A cadeia de amplificação é composta por um atenuador resistivo de entrada (Atenuador Resistivo 6), cuja função é ajustar o nível de potência de saída, dois estágios de amplificação a transistor e um atenuador resistivo de saída para garantir a impedância de saída de 50 ohms. O atenuador resistivo entre os transistores (Atenuador Resistivo 7) tem a função de garantir o casamento de impedância entre os estágios, assim como a estabilidade do conjunto de amplificadores formando assim a cadeia de amplificação na banda X.

As especificações da cadeia de amplificação na banda X são apresentadas na Tabela 40.

Tabela 40 - Especificações da cadeia de amplificação na banda X.

Especificações	Valores
Ganho de Potência	14,5 ± 2 dB
Ponto de Compressão de saída em 8.300 MHz	≥ +15 dBm
Perda de retorno de entrada em 8.300 MHz	≥ 15 dB
Perda de retorno de saída em 8.300 MHz	≥ 15 dB
Isolação da saída para entrada em 8.300 MHz	≥ 40 dB
Rejeição da 2ª harmônica	≥ 30 dB
Rejeição de espúrios	≥ 50 dBc
Largura de faixa	≥ 1 MHz
Impedância de referência	50 ohms
Frequência de operação	8.300 MHz

4.3.1 Metodologia utilizada para o projeto dos Amplificadores

Para o projeto da cadeia de amplificação na banda X, foi utilizada a mesma metodologia apresentada no projeto da cadeia de amplificação na banda S, conforme a Figura 34.

4.3.1.1 Especificações

As especificações de projeto foram apresentadas na Tabela 40 com as características necessárias para se iniciar o projeto dos amplificadores.

4.3.1.2 Seleção do dispositivo e tecnologia de fabricação

Para atender as especificações de projeto foi utilizado o transistor *BFY740P* da fabricante *Infineon Technologies*, tomando como premissa a lista de componentes *QPL (Qualified Parts List)* da *ESCC*, responsável pela publicação da lista de componentes e tecnologias qualificadas e com capacidade de atender as normas da *ESCC Specification System* certificada pela agência espacial europeia (*ESA*).

O substrato utilizado no projeto foi *RO4003C* da fabricante *Rogers Corporation*, com constante dielétrica de 3,38, tangente de perdas de 0,0027, altura de 0,508 mm e espessura de cobre de 1 oz, conforme a Figura 35.

4.3.1.3 *Seleção do tipo de topologia*

Foi utilizado dois amplificadores em cascata para obter níveis de potência adequados para a entrada do modulador vetorial.

4.3.1.4 *Modelo do componente a ser utilizado no projeto*

O modelo do componente a ser utilizado no projeto, foram os parâmetros S fornecidos pela fabricante do transistor.

4.3.1.5 *Definição do ponto de polarização e classe de operação*

Os circuitos de polarizações DC dos transistores, são circuitos ativos (fontes de corrente) com compensação térmica, que fornecem valores de tensão e corrente para a base e coletor dos transistores de micro-ondas.

Utilizou-se por um ponto de polarização DC de +3V e corrente +30 mA no coletor do transistor. A corrente de polarização da base foi de 400 μA para que o transistor opere na classe A com a máxima excursão do sinal.

4.3.1.6 *Análise dos parâmetros S e estabilidade*

A partir dos parâmetros S fornecidos pela fabricante *Infineon Technologies*, foi realizada uma análise da resposta em frequência e da estabilidade do transistor de modo a verificar a possibilidade de atendimento das especificações apresentadas na Tabela 40.

Figura 76 - Magnitude dos parâmetros S do transistor *BFY740P*.

Fonte: Próprio Autor.

Para análise dos parâmetros S e da estabilidade do transistor, conforme a Figura 76 e a Figura 77, foi utilizado o mesmo conceito apresentado no Capítulo 3. Foram utilizadas os parâmetros de estabilidade Mu_{Prime} (relacionado a fonte) e Mu (relacionado a carga), do software ADS, que fornecem a informação da distância geométrica do centro da carta de Smith até o círculo de instabilidade mais próximo.

Figura 77 - Fatores de estabilidade em relação a carga e fonte do transistor BFY740P.

Fonte: Próprio Autor.

4.3.1.7 Projeto do filtro de polarização do transistor

Os projetos dos filtros de polarização dos transistores visou melhorar a estabilidade do circuito de micro-ondas assim como fornecer os níveis de polarização DC corretos para a base e coletor, ou seja, valor em torno de 0,7V e 400 μ A na base e 3V e 30 mA no coletor do transistor, sem interferir com a amplificação em 8.300 MHz.

No projeto do filtro de polarização foram utilizados linhas com comprimento elétricos de $\lambda_g/4$, com características apresentada na Tabela 41, e capacitores de desacoplamento para o terra.

Tabela 41 - Características das linhas de transmissão utilizadas no filtro de polarização.

Impedância característica	$Z_o = 70$ ohms
Largura da microfita	$W_l = 0,619$ mm
Comprimento de onda guiado	$\lambda_g = 22,77$ mm

Como a frequência de operação da cadeia de amplificação é 8.300 MHz, foi projetado no *software ADS*, utilizando a ferramenta $DA_{MRS_{tub}}$, um setor radial com a mesma funcionalidade do capacitor de desacoplamento para o terra.

O esquema elétrico com as características do capacitor radial é apresentado na Figura 78.

Figura 78 - Esquema elétrico do projeto do capacitor radial.

Fonte: Próprio Autor.

Figura 79 - Resultado do capacitor radial projetado no software ADS.

Fonte: Próprio Autor

Para o projeto do filtro de polarização, adotou-se como valor de impedância vista pelo sinal de micro-ondas, o valor de 500 ohms (valor de aproximadamente 10 vezes a impedância característica do sistema). Para melhorar a estabilidade do circuito, na faixa de 50 MHz a 20.000 MHz, foram utilizados resistores em série de baixo valor de resistência, nas linhas de alimentação tanto da base quanto do coletor do transistor, assim como capacitores eletrolíticos para evitar possíveis oscilações em baixas frequências.

A magnitude da impedância vista pelo sinal de micro-ondas na entrada do filtro de polarização tanto de base quanto do coletor do transistor, foi simulada no software ADS, conforme o diagrama em blocos apresentado na Figura 80.

Figura 80 - Diagrama em blocos da simulação da magnitude da impedância de entrada dos filtros de polarização, conectados ao circuito de polarização ativo.

Fonte: Próprio Autor.

A resposta em frequência da magnitude da impedância de entrada do filtro de polarização é apresentada na Figura 81 e Figura 82.

Figura 81 - Magnitude da impedância de entrada do filtro de polarização: BASE.

Fonte: Próprio Autor.

Figura 82 - Magnitude da impedância de entrada do filtro de polarização: COLETOR.

Fonte: Próprio Autor.

4.3.1.8 Análise da estabilidade do transistor com os filtros de polarização

Após o projeto do filtro de polarização da base e coletor do transistor, verifica-se a estabilidade em relação a fonte e a carga de modo que o valor encontrado seja maior que a

unidade e que o centro da carta de Smith esteja na região estável.

Verificando a magnitude dos parâmetros S, S_{11} e S_{22} , para verificar se o centro da carta de Smith está na região estável(considerando o transistor como unilateral). Caso a magnitude desses parâmetros seja menor que a unidade, o centro da carta de Smith está na região de impedância de entrada e saída que causam operação estável do transistor, conforme a Figura 83 e Figura 84.(18)

Figura 83 - Magnitude dos parâmetros S_{11} e S_{22} do transistor BFY740P com os filtros de polarização.

Fonte: Próprio Autor.

Figura 84 - Resultados da estabilidade do circuito com os filtros de polarização.

Fonte: Próprio Autor.

O projeto do transistor com o circuito de polarização, melhorou os resultados de estabi-

lidade, tornando o circuito incondicionalmente estável na faixa de 50 MHz a 20.000 MHz.

4.3.1.9 Projeto dos circuitos de casamento de impedância do primeiro estágio de amplificação

O projeto dos circuitos de casamento de impedância foi realizado individualmente por estágio de amplificação. Foi utilizado casamento conjugado para se obter máximo ganho, e a topologia do circuito utilizado foi teco simples em aberto em paralelo.

a) Casamento de impedância de entrada:

Para análise da impedância de entrada do primeiro estágio do transistor foi verificado o parâmetro S_{11} do transistor. A impedância característica das linhas de casamento foram mantidas em 50 ohms e as distâncias d e L estão em função do comprimento de onda guiado λ_g .

Tabela 42 - Características da linha de transmissão de 50 ohms.

Impedância característica	$Z_o = 50 \text{ ohms}$
Largura da microfita	$W_l = 1,1 \text{ mm}$
Comprimento de onda guiado em 8.300 MHz	$\lambda_g = 22,20 \text{ mm}$

Conforme a teoria de casamento de impedância utilizando teco simples em aberto em paralelo, conforme a Figura 85, foram obtidos os seguintes valores:

Tabela 43 - Características do teco para casamento de impedância de entrada do primeiro estágio de amplificação.

Admitância de carga	$y_L = 0,37 + 0,12j$
Distância da carga, d	$d = 0,144\lambda_g$
Admitância do teco	$y_T = -1,05j$
Comprimento do teco, L	$L = 0,375\lambda_g$

Figura 85 - Carta de Smith com as características de casamento de impedância de entrada do transistor BFY740P.

Fonte: Próprio Autor.

b) Casamento de impedância de saída:

Utilizando o *software* ADS, foi determinado a admitância de saída do primeiro estágio para projetar o circuito de casamento de saída. Assim como o de entrada, a topologia utilizada foi tco simples aberto em paralelo. A carta de *Smith* com os valores é apresentado na Figura 86.

Figura 86 - Carta de Smith com as características de casamento de impedância de saída do transistor BFY740P.

Fonte: Próprio Autor.

Tabela 44 - Características do toco para casamento de impedância de saída do primeiro estágio de amplificação.

Admitância de carga	$y_L = 0,5 - 0,44j$
Distância da carga, d	$d = 0,242\lambda_g$
Admintancia do toco	$y_T = -0,95j$
Comprimento do toco, L	$L = 0,38\lambda_g$

4.3.1.10 Resultados simulados do projeto do primeiro estágio de amplificação

Após o projeto do casamento de impedâncias do primeiro estágio de amplificação, o circuito foi simulado para análise dos parâmetros S e estabilidade na faixa de frequências

de 50 MHz a 20.000 MHz. OS resultados são apresentados nas Figuras 87 e 88.

Figura 87 - Magnitude dos parâmetros S do projeto do primeiro estágio de amplificação do transistor BFY740P.

Fonte: Próprio Autor.

Os parâmetros S, S_{11} e S_{22} resultaram em ótimos valores de casamento de impedância de entrada e de saída em 8.300 MHz.

Como o circuito de casamento tem a característica para máximo ganho de potência, S_{21} , já apresenta valor acima da especificação. No entanto, como os parâmetros S fornecidos pelo fabricante, possuem informações até a frequência de 20.000 MHz e a frequência de transição do transistor *BFY740P* é 40.000 MHz, pode haver possíveis oscilações em mais alta frequência, diminuindo o valor do ganho. Então, foi mantido, o projeto do segundo estágio de amplificação, para garantir o ganho necessário da cadeia.

Os resultados simulados da estabilidade do transistor dentro da faixa de 50 MHz a 20.000 MHz, apresentaram um circuito incondicionalmente estável.

Figura 88 - Resultados simulados da estabilidade do primeiro estágio de amplificação do transistor BFY740P.

Fonte: Próprio Autor.

4.3.1.11 Projeto do atenuador resistivo

Foi utilizado um atenuador resistivo na configuração π , com valor de atenuação de 3 dB $\pm$ 0,5 dB na frequência de 8.300 MHz, cuja função é garantir a impedância de 50 ohms entre os estágios de amplificação, Figura 89, e também para aumentar a estabilidade do circuito na banda de 50 MHz a 20.000 MHz. Os resultados da magnitude dos parâmetros S são apresentados na Figura 90.

Figura 89 - ConFiguração do atenuador de 3 dB.

Fonte: Próprio Autor.

Figura 90 - Resultados da magnitude dos parâmetros S simulado do atenuador.

Fonte: Próprio Autor.

4.3.2 Projeto do 2° estágio de amplificação

O projeto do 2° estágio de amplificação da cadeia na banda X é bem semelhante ao projeto elétrico do 1° estágio. Foi utilizado o mesmo ponto de polarização DC para a base e coletor do transistor, ou seja, valor em torno de 0,7V e 400 μ A na base e +3V e 30 mA

no coletor do transistor, operando em classe A. O filtro de polarização utilizado possui a mesma configuração e valores de componentes do 1º estágio.

4.3.2.1 Análise dos parâmetros S para casamento de impedância e estabilidade entre os estágios

Para a análise dos parâmetros S e estabilidade foi utilizado o componente SProbe2 do software ADS, Figura 91, para determinar as impedâncias ou os coeficientes de reflexão em ambas as direções do circuito e possíveis impedâncias que levam o circuito a oscilar.

Figura 91 - Análise de impedância utilizando o componente SProbe2 para o transistor BFY740P.

Fonte: Próprio Autor.

Na análise de estabilidade, conforme a teoria de osciladores⁽¹⁹⁾, Γ_1 e Γ_2 devem ser menores que a unidade para que não ocorra oscilação, conforme a Figura 92.

Figura 92 - Resultados do produto dos coeficientes de reflexão para análise de oscilação entre os estágios.

Fonte: Próprio Autor.

Verificado a estabilidade do circuito, tendo o 1º estágio de amplificação como fonte do sinal, foi projetado o circuito de casamento de entrada do segundo estágio de amplificação a partir da impedância vista pelo componente *Sprobe2*.

Determinado a impedância de entrada do 2º estágio do transistor, foi realizado o casamento de impedância utilizando como topologia de circuito de casamento na configuração de rede em L com toco simples em aberto em paralelo. As características são apresentadas na Figura 94.

Figura 93 - Resultado das impedâncias "vistas" pelo componente SProbe2.

Fonte: Próprio Autor.

Figura 94 - Carta de Smith com as características do circuito de casamento de entrada do 2º estágio de amplificação.

Fonte: Próprio Autor.

Tabela 45 - Características do circuito de casamento de entrada do 2º estágio de amplificação.

Admitância de carga	$y_L = 0,38 + 0,1j$
Distância da carga, d	$d = 0,143\lambda_g$
Admintancia do toco	$y_T = -1,02j$
Comprimento do toco, L	$L = 0,374\lambda_g$

Para o casamento de impedância na saída do 2º estágio de amplificação, também foi utilizado como topologia de circuito de casamento de impedância com toco simples em aberto em paralelo. As características são apresentadas na Figura 95 e na Tabela 46.

Figura 95 - Carta de Smith com as características do circuito de casamento de saída do 2º estágio de amplificação.

Fonte: Próprio Autor.

Tabela 46 - Características do circuito de casamento de saída do 2º estágio de amplificação.

Admitância de carga	$y_L = 0,39 - 0,22j$
Distância da carga, d	$d = 0,203\lambda_g$
Admittancia do toco	$y_T = -1,05j$
Comprimento do toco, L	$L = 0,371\lambda_g$

4.3.2.2 Resultados Simulados dos estágios de amplificação

Os resultados simulados após o projeto de casamento conjugado da cadeia de amplificação na banda X, incluindo os atenuadores de entrada e saída (Atenuador resistivo 6 e 8), com valor de 3,5 dB, na banda X são apresentados na Figura 96 e Figura 97.

Figura 96 - Resultados dos parâmetros S da cadeia de amplificação na banda X.

Fonte: Próprio Autor.

Figura 97 - Resultados simulados da estabilidade da cadeia de amplificação na banda X.

Fonte: Próprio Autor.

4.3.2.3 Projeto do circuito ativo de polarização

O circuito de polarização utilizado é o mesmo apresentado no projeto da cadeia de amplificação na banda S.

O circuito de polarização ativo utiliza um transistor do tipo PNP para fornecer os valores de tensão e corrente necessários para a polarização do transistor de RF. Para a base do transistor de RF, o circuito fornece uma tensão de 0,7V e corrente de 400 μ A e para o coletor, uma tensão de +3V e 30 mA.

4.4 CONCLUSÃO

Neste capítulo foram apresentados os projetos elétricos da placa que contêm o multiplicador de frequência/filtro passa-faixa e cadeia de amplificação na banda X.

Na primeira parte deste capítulo foram descritas as características do componente *HMC917* que funciona como multiplicador de frequências, multiplicando a frequência fundamental de 2.075 MHz para a frequência de 8.300 MHz. Na sua saída, foi inserido um filtro passa-faixas de linhas acopladas para atenuar sinais espúrios da saída do multiplicador, apresentando-se seu projeto.

Na segunda parte do capítulo, foi desenvolvido o projeto da cadeia de amplificação na banda X a partir da metodologia proposta para projetos de amplificadores. Foram analisados os parâmetros S e a estabilidade dos circuitos por estágios de amplificação, antes e depois dos projetos do filtro de polarização e do casamento de impedâncias.

Os resultados das simulações resultaram em valores que atendem os requisitos sistêmicos.

5 RESULTADOS EXPERIMENTAIS DOS CIRCUITOS PROJETADOS

Neste capítulo são apresentados os resultados medidos dos vários circuitos que compõem o projeto do sistema de geração da portadora na banda X. As medidas foram divididas por placas para facilitar a integração do sistema e assim mitigar possíveis problemas que possam surgir. São demonstrados os setups de testes e os resultados da malha de sincronismo de fase na banda S, cadeia de amplificação na banda S, multiplicador de frequências e filtro passa-faixa e por fim a cadeia de amplificação na banda X.

O sistema foi sendo integrado a cada teste realizado para verificar possíveis problemas de integração e realizar ajustes quando necessário.

5.1 RESULTADOS EXPERIMENTAIS DA MALHA DE SINCRONISMO DE FASE NA BANDA S

Para caracterização da malha de sincronismo de fase, Device Under Test (DUT), foram medidos os seguintes parâmetros:

O setup de teste realizado para as medidas é apresentado na Figura 98.

- Nível de potência de saída, conforme Figura 99;
- Ruído de fase, conforme Figura 100;
- Frequência de saída, conforme Figura 101;
- Medida de 2ª e 3ª harmônicas, conforme as Figuras 102 e 103;
- Medida de espúrios para span de frequência 2000 MHz, conforme as Figuras 104.

As medidas de nível de potência, ruído de fase, medida de 2ª e 3ª harmônicas e espúrios foram realizados utilizando os analisadores de espectro da fabricante *Agilent Technologies*, *E4445A* e *HP 8593E*. Para a frequência de saída foi utilizado o equipamento *HP 5351B*.

Figura 98 - Setup de testes para a caracterização da malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 99 - Nível de potência de saída da malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 100 - Ruído de fase integrado de 100 Hz a 1 MHz da malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 101 - Frequência de saída da malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 102 - Nível da 2ª harmônica malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 103 - Nível da 3ª harmônica malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 104 - Nível do espúrio na saída malha de sincronismo de fase.

Fonte: Próprio Autor.

Figura 105 - Placa da malha de sincronismo de fase na banda S.

Fonte: Próprio Autor.

A Tabela 47 apresenta os resultados obtidos da malha de sincronismo de fase.

Tabela 47 - Especificações x Resultados da malha de sincronismo de fase.

Parâmetros	Especificação	Valores medidos
Frequência de referência	≤ 20 MHz	10 MHz
Estabilidade da frequência de referência	$\pm 5 \times 10^{-6}$	Conforme Tabela 10
Frequência de Operação	2.075 MHz	2.075 MHz
Variação de Frequência	± 11 KHz	+500 Hz
Potência de Saída	0 dBm $\pm$ 1 dB	+1,55 dBm
Aging	$\leq 5 \times 10^{-7}$ /ano	Conforme Tabela 10
Ruído de Fase Integrado de 100 Hz a 1 MHz	$\leq 2^{\circ}$ rms	0,550 $^{\circ}$ rms
Nível da 2 ^a Harmônica	≤ -7 dBc	-6,86 dBc
Nível da 3 ^a Harmônica	≤ -23 dBc	-24,62 dBc
Nível dos espúrios	≤ -60 dBc	-61,65 dBc @ f = 1.150 MHz

A malha de sincronismo de fase apresentou nível de potência de +0,55 dB acima do valor nominal de + 1 dBm. No entanto, a cadeia de amplificação possui na entrada um atenuador resistivo ajustável para compensar essas variações de níveis de potência.

A partir dos valores apresentados, o projeto da malha de sincronismo de fase atendeu os valores especificados pela análise sistêmica, apresentando boa concordância com os resultados simulados e teóricos.

5.2 RESULTADOS EXPERIMENTAIS DA CADEIA DE AMPLIFICAÇÃO NA BANDA S

Os setups para a realização das medidas são apresentados nas Figuras 106 e 107.

O setup da Figura 107 foi realizado utilizando como sinal de entrada a malha de sincronismo de fase operando na frequência de 2.075 MHz. Para a caracterização da cadeia de amplificação foram medidos os seguintes parâmetros:

- Análise para pequenos sinais, parâmetros S, conforme Figura 108;
- Nível de potência, conforme Figura 109;
- Compressão de ganho de 1 dB, conforme Figura 110;
- Medida de 2^a e 3^a harmônicas, conforme as Figuras 111 e 112;
- Medida de espúrios para span de frequência 3.600 MHz, conforme as Figuras 113.

Figura 106 - Setup de testes para a caracterização de pequenos sinais.

Fonte: Próprio Autor.

Figura 107 - Setup de testes para a caracterização do espectro da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Para as medidas dos parâmetros S e do ponto de compressão de 1 dB, foi utilizado o analisador de redes vetorial ZVB20 da fabricante *Rhode & Schwarz*.

As medidas de nível de potência, ruído de fase, medida de 2ª e 3ª harmônicas e espúrios, foram realizados utilizando o analisador de espectro HP 8593E.

Figura 108 - Resultados da magnitude dos Parâmetros S da cadeia de amplificação na banda S - Simulação x Medidas.

Fonte: Próprio Autor.

Os valores dos parâmetros S medidos apresentaram boa concordância com a simulação realizada no software ADS.

Figura 109 - Resultados do nível de potência de saída da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

A cadeia de amplificação na banda S apresentou ganho de potência maior que o especificado, $5\text{dB} \pm 1\text{dB}$, resultando em um nível de potência de +7,82 dBm na saída da cadeia de amplificação. Porém como a entrada do multiplicador de frequências tem perda de retorno em torno de 7 dB, teremos uma perda de potência devido ao descasamento de impedância, sendo que o valor estimado é em torno de 1 dB.

O multiplicador de frequências pode ter nível de potência de entrada entre 0 dBm a +10 dBm, sendo que o ponto ótimo para baixos valores de ruído de fase é de +5 dBm na entrada deste C.I.. A potência de entrada do multiplicador de frequências *HMC917* será portanto, de +6,82 dBm, estando acima do valor ideal, +5 dBm, especificado. No entanto, de acordo com o *datasheet* do componente, é de esperar um aumento de apenas 0,1 dB no ruído de fase.

Figura 110 - Resultado da compressão do ganho de 1 dB.

Fonte: Próprio Autor.

O ponto de compressão estimado pode ser estimado a partir do seu ponto de polarização DC do transistor. Na prática, o ponto de compressão de 1 dB deve estar em torno de 25% a 50% do valor da potência DC. Neste caso o valor da potência DC é de 90 mW, ou seja, o ponto de compressão estimado está entre +13,52 dBm e +16,53 dBm.

Figura 111 - Resultado da rejeição da 2ª harmônica da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Figura 112 - Resultado da rejeição da 3ª harmônica da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Os valores da 2ª e 3ª harmônicas apresentaram baixos níveis e os espúrios com valores bem próximo da especificação, em torno de -49,86 dBc, ficando 0,14 dB acima do valor especificado .

Figura 113 - Resultado da rejeição a espúrios da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Figura 114 - Placa da cadeia de amplificação na banda S.

Fonte: Próprio Autor.

Na Tabela 48 são apresentados os resultados obtidos em relação às especificações cadeia de amplificação na banda S.

Tabela 48 - Especificações x resultados experimentais da cadeia de amplificação na banda S.

Parâmetros	Especificação	Valores Medidos
Ganho de Potência	5 ± 1 dB	6,48 dB
Ponto de Compressão de saída em 2.075 MHz	$\geq +15$ dBm	+21,98 dBm @ P_{1dB}
Perda de retorno de entrada em 2.075 MHz	≥ 15 dB	23,63 dB
Perda de retorno de saída em 2.075 MHz	≥ 15 dB	14,97 dB
Isolação da saída para entrada em 2.075 MHz	≥ 50 dB	57,64 dB
Rejeição da 2ª harmônica	≥ 40 dB	64,65 dBc
Nível de espúrios	≥ 50 dBc	49,86 dBc@ 1.150 MHz
Largura de faixa	≥ 1 MHz	≥ 1 MHz

A cadeia de amplificação na banda S apresentou valores bem próximos aos especificados, sendo que o ganho de potência ficou 0,48 dB acima do especificado e o nível de espúrio 0,14 dB acima do especificado.

5.3 RESULTADOS EXPERIMENTAIS DA PLACA MULTIPLICADOR DE FREQUÊNCIAS/FILTRO PASSA-FAIXA

Na caracterização do multiplicador de frequências foi utilizado uma sonda coaxial para retirar uma amostra do sinal de saída, conectando o capacitor de acoplamento para a sonda de modo a verificar a funcionalidade do multiplicador de frequências, sem a influência do filtro passa-faixa..

Devido ao possível descasamento de impedância entre a saída do multiplicador de frequência e a sonda coaxial, foram realizadas somente as medidas de frequência de saída, Figura 116 e ruído de fase, Figura 117.

Figura 115 - Placa multiplicador de frequência e filtro passa-faixa.

Fonte: Próprio Autor.

Figura 116 - Frequência de saída do multiplicador de frequências.

Fonte: Próprio Autor.

Figura 117 - Ruído de fase na saída do multiplicador de frequências.

Fonte: Próprio Autor.

Na saída do multiplicador de frequências, obteve-se bons resultados de desvio de frequência e de ruído de fase. Verifica-se que o valor medido do ruído de fase está bem próximo do valor calculado pela teoria, em torno de $2,11^\circ$ rms. O ruído de fase estimado para o

signal do VCO e da portadora em 8.300 MHz é apresentado na Figura 118.

Figura 118 - Ruído de fase estimado com o multiplicador de frequências.

Fonte: Próprio Autor.

Com o circuito integrado, multiplicador e filtro, foram caracterizados os seguintes parâmetros:

- Nível de potência de saída;
- Níveis de potência de saída das frequências múltiplas da frequência de 2075 MHz;

O setup para a realização das medidas é apresentado na Figura 119.

Figura 119 - Setup de caracterização da placa multiplicador de frequência/filtro passa - faixa.

Fonte: Próprio Autor.

O conjunto multiplicador de frequência/filtro passa-faixa foi alimentado pelas placas da malha de sincronismo de fase e da cadeia de amplificação na banda S, ambas operando na frequência de 2.075 MHz. As medidas de nível de potência da portadora, ruído de fase e das potências das frequências múltiplas de 2.075 MHz foram realizados utilizando os analisadores de espectro da fabricante *Agilent Technologies* E4445A e HP 8593E. Para a medida da frequência de saída foi utilizado o freqüencímetro *HP 5351B*.

Figura 120 - Nível de potência de saída de -3,1 dBm na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 121 - Nível de potência de saída na frequência de 2.075 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 122 - Nível de potência de saída na frequência de 4.150 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 123 - Nível de potência de saída na frequência de 6.225 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 124 - Nível de potência de saída na frequência de 10.375 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 125 - Nível de potência de saída na frequência de 12.450 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

Figura 126 - Nível de potência de saída na frequência de 16.600 MHz na saída do filtro passa-faixa.

Fonte: Próprio Autor.

A placa multiplicador de frequências/filtro passa-faixa integrados, apresentou excelentes resultados em relação a rejeição dos níveis dos sinais múltiplos da frequência fundamental de entrada, 2.075 MHz e desvio de frequência de 2.365 Hz na portadora na banda X.

O nível de potência na saída do filtro passa-faixa teve o seu valor ajustado a partir do

atenuador resistivo 5 para atender os valores especificados para a entrada da cadeia de amplificação na banda X.

O ruído de fase de saída resultou em valores próximos do valor teórico calculado, atendendo a especificação sistêmica de ruído de fase, conforme a Tabela 2.

5.4 RESULTADOS EXPERIMENTAIS DA CADEIA DE AMPLIFICAÇÃO NA BANDA X

Os setups de medida são apresentados nas Figuras 127 e 128.

Para a caracterização da cadeia de amplificação na banda X foram medidos os seguintes parâmetros:

- Análise para pequenos sinais, parâmetros S, conforme Figura 129;
- Nível de potência, conforme Figura 130;
- Compressão de ganho de 1 dB, conforme Figura 131;
- Medida de 2ª harmônica, conforme as Figuras 132;
- Medida de espúrios para span de frequência 10 MHz, 50 MHz e 20.000 MHz, conforme as Figuras 133, 134 e 135.

Figura 127 - Setup de testes para a caracterização de pequenos sinais.

Fonte: Próprio Autor.

Figura 128 - Setup de testes do espectro de frequências na saída da cadeia de amplificação na banda X.

Fonte: Próprio Autor.

Para as medidas dos parâmetros S e do ponto de compressão de 1 dB, foi utilizado o analisador de redes vetorial ZVB20 da fabricante *Rhode & Schwarz*.

As medidas de nível de potência, ruído de fase, medida de 2ª e 3ª harmônicas e espúrios, foram realizados utilizando o equipamento HP 8593E.

Conforme a Figura 129, o ganho da cadeia de amplificação, S_{21} , ficou em 10,6 dB, resultando 3,9 dB abaixo do valor especificado. Conforme as especificações da Tabela 2, o nível de potência de saída ficou 1 dB abaixo do valor mínimo de +8 dBm, conforme se verifica na Figura 130, ficando abaixo do nível especificado. Com isto, a perda de conversão deverá ser um pouco maior. Para um sistema completo de transmissão, após o sinal estiver modulado, haverá uma cadeia de amplificação (de grandes sinais), podendo compensar esta perda.

A medida de compressão de ganho de 1 dB de saída da cadeia de amplificação apresentou resultado de +17,6 dBm.

O nível da 2ª harmônica medido ficou 0,66 dB abaixo do valor especificado. No entanto, este valor deveria ser menor que 30,66 dBc conforme os resultados apresentados na saída da placa do multiplicador de frequências e filtro passa-faixa.

Nesta etapa de caracterização da cadeia de amplificação na banda X detetou-se nível reduzido de ganho, aparentemente por oscilações em alta frequência, acima do limite de operação dos equipamentos de medidas utilizados, que neste caso é de 20 GHz. Como não se dispunha dos parâmetros S do transistor acima dessa frequência, não foi possível verificar essa hipótese através de simulações, mas a mesma é possível pois a frequência de transição dos transistores utilizados é de 40 GHz.

Utilizou-se então procedimentos empregados usualmente para suprimir oscilações indesejadas em circuitos de micro-ondas, que consistiam no ajuste do circuito com "TABS" e o uso de absorvedores de micro-ondas. Com isso obteve-se operação estável dos amplificadores na banda X, com deterioração do ganho que resultou valores abaixo do calculado.

Figura 129 - Resultados dos Parâmetros S Simulação x Medidas.

Fonte: Próprio Autor.

Figura 130 - Nível de potência em 8.300 MHz na saída da cadeia de amplificação na banda X.

Fonte: Próprio Autor.

Figura 131 - Resultado da medida de compressão de ganho de entrada da cadeia de amplificação.

Fonte: Próprio Autor.

Figura 132 - Resultado da medida da rejeição da 2ª harmônica.

Fonte: Próprio Autor.

Figura 133 - Resultado da medida de espúrios para span de 10 MHz.

Fonte: Próprio Autor.

Figura 134 - Resultado da medida de espúrios para span de 50 MHz.

Fonte: Próprio Autor.

Figura 135 - Resultado da medida de espúrios para span de 20.000 MHz.

Fonte: Próprio Autor.

Figura 136 - Placa da cadeia de amplificação na banda X.

Fonte: Próprio Autor.

Figura 137 - Sistema integrado da geração da portadora banda X.

Fonte: Próprio Autor.

Na Tabela 49 são apresentados os resultados obtidos em relação às especificações da cadeia de amplificação na banda X.

Tabela 49 - Especificações x Resultados da cadeia de amplificação na banda X.

Especificações	Valores	Valores Medidos
Ganho de Potência	$14,5 \pm 2$ dB	10,61 dB
Ponto de Compressão de saída em 8.300 MHz	$\geq +15$ dBm	+17,6 dBm @ P1dB
Perda de retorno de entrada em 8.300 MHz	≥ 15 dB	14,36 dB
Perda de retorno de saída em 8.300 MHz	≥ 15 dB	18,73 dB
Isolação da saída para entrada em 8.300 MHz	≥ 40 dB	48,84 dB
Rejeição da 2ª harmônica	≥ 30 dB	30,66 dB
Níveis de espúrios	≥ 50 dBc	≥ 50 dBc
Frequência de operação	8.300 MHz	8.300 MHz

5.5 CONCLUSÃO

Este capítulo apresentou os setups de testes e os resultados experimentais dos circuitos que compõem o projeto da portadora na banda X.

Foram apresentados os resultados obtidos da malha de sincronismo de fase na banda S e o atendimento dos requisitos sistêmicos desta placa. O circuito apresentou baixo valor de ruído de fase integrado na faixa de 100 Hz a 1.000 MHz, baixo desvio de frequência e níveis de espúrios menores que -60 dBc. Os resultados apresentaram uma boa concordância entre os cálculos teóricos e simulados.

Na placa da cadeia de amplificação na banda S, o circuito apresentou boa concordância quanto aos resultados dos parâmetros S, alta rejeição da 2ª harmônica e boa rejeição a espúrios.

O conjunto formado pelo circuito integrado multiplicador de frequências e pelo filtro passa-faixas apresentaram ótimos resultados de nível de potência de saída, desvio de frequência, ruído de fase e rejeição das frequências múltiplas de 2.075 MHz.

Por fim, foram apresentados os resultados da cadeia de amplificação na banda X em relação aos parâmetros S, nível de potência de saída, compressão de ganho de 1 dB e as medidas de rejeição da 2ª harmônica e espúrios.

Durante os testes dessa cadeia de amplificação foi necessário realizar ajustes nos circuitos para suprimir oscilações indesejáveis. Com isso o ganho da cadeia de amplificação ficou 3,9 dB abaixo do ganho máximo projetado.

6 CONCLUSÃO

6.1 CONCLUSÃO

Esta dissertação demonstrou com detalhes o projeto de um sistema para geração de uma portadora na frequência de 8.300 MHz, com aplicação em sistemas embarcados em satélites.

Foi apresentada uma metodologia de projeto que orientou na escolha da arquitetura do sistema a partir de especificações baseadas em documentos da ECSS e elaboradas em conjunto com especialistas do INPE.

A arquitetura escolhida consiste da geração de um sinal de alta estabilidade em 2.075 MHz, empregando técnicas de malha de sincronismo de fase, convertido para a frequência de 8.300 MHz por meio de um multiplicador de frequência por quatro. Circuitos de amplificação e filtragem nas bandas S e X completam o sistema.

A partir da teoria de malha de sincronismo de fase, foram descritas e equacionadas as fontes de ruído e suas influências em sistemas com uma única malha de realimentação determinando-se o efeito total no ruído de fase dentro e fora da largura de faixa da malha de sincronismo de fase. O cálculo teórico do ruído de fase integrado na banda de 100 Hz a 1 MHz na banda S foi realizado e os resultados medidos ficaram próximos.

A teoria da contribuição de ruído do multiplicador de frequências foi demonstrada e uma estimativa do valor do ruído de fase teórico do sinal de saída do multiplicador foi calculada.

Simulações a nível sistêmico utilizando o *software ADS* da arquitetura foram realizados e as especificações individuais dos circuitos foram definidas.

O projeto detalhado dos circuitos que compõem o projeto da portadora na banda X foram demonstrados e simulados utilizando o *software ADS*. O projeto da malha de sincronismo de fase na frequência de 2.075 MHz, apresentou as características dos componentes utilizados e as equações que determinam os valores dos componentes da malha de sincronismo de fase. Foram realizadas simulações para verificar os conceitos de margem de fase e margem de ganho de um sistema em malha fechada e em malha aberta, simulações de ruído de fase e simulações para verificar a resposta ao degrau do sistema para estabelecer o tempo de *lock*. O protótipo foi fabricado e caracterizado. Os resultados obtidos foram satisfatórios e apresentaram boa concordância com os resultados simulados.

No projeto da cadeia de amplificação na banda S foi apresentado uma metodologia de projeto de amplificadores, visando o atendimento das especificações. Utilizou-se circuitos ativos com compensação térmica para a polarização dos transistores, operando em classe A, visando a máxima excursão do sinal. A cadeia de amplificação na banda S, além de

prover os níveis de potência requeridos na entrada do multiplicador de frequência, provê isolamento, eliminando efeitos de *pulling* do VCO. Na saída da cadeia e amplificação na banda S, foi inserido um filtro passa-baixas para aumentar a rejeição da 2ª harmônica do VCO e possíveis espúrios que possam surgir após a amplificação do sinal. Foram realizadas simulações e o protótipo foi fabricado e caracterizado.

A multiplicação de frequência por quatro foi realizada usando-se o circuito integrado HMC917 da fabricante *Analog Devices*, que apresentou excelentes características de ruído de fase, potência de saída. Um filtro passa-faixa de linhas acopladas especialmente projetado, conectado a saída do multiplicador de frequências, resultou na redução dos sinais harmônicos indesejados do sinal de entrada.

A placa que integra, o multiplicador de frequências e o filtro passa-faixas demonstrou alto valor de rejeição das frequências múltiplas da frequência fundamental de 2.075 MHz, evidenciando algumas possíveis melhorias na arquitetura escolhida. Uma melhoria seria a utilização somente de um único amplificador na cadeia de amplificação na banda S, pois o circuito integrado multiplicador e o filtro já apresentam uma alta isolamento na sua saída, eliminando o efeito de *pulling* do VCO. Com isso teremos a redução do número de circuitos, diminuição de área mecânica e melhoria da confiabilidade do sistema.

A experiência adquirida no projeto da cadeia de amplificação na banda S foi aplicada ao desenvolvimento da cadeia de amplificação na banda X. Utilizou-se a mesma metodologia de projeto. No entanto, durante a caracterização da cadeia de amplificação na banda X verificou-se a necessidade de realizar ajustes para suprimir uma possível oscilação de alta de frequência. Com isso o ganho final ficou abaixo do valor esperado. Adicionalmente a rejeição da 2ª harmônica embora elevada, ficou abaixo do valor pretendido.

Como melhorias sugere-se o reprojetado dos estágios de amplificação e a inclusão de um filtro passa-baixas na saída para reduzir o nível da 2ª harmônica. Os resultados obtidos no sistema de geração da portadora na banda X é apresentado na Tabela 50.

Tabela 50 - Especificações x Resultados da cadeia de amplificação na banda X.

Especificações	Valores Especificados	Valores medidos
Frequência de Operação	8.300 MHz	8.300 MHz + 2.365 KHz
Instabilidade de frequência	± 20 ppm máx.	≤ 20 ppm
Faixa de Potência de Saída	+8 dBm a +12 dBm	+7,05 dBm
Variação de potência	10 dBm $\pm$ 2 dB	-
Aging	$\leq 5 \times 10^{-7}$ /ano	Conforme Tabela 10
Ruído de Fase Integrado	$\leq 6^\circ$ rms	2,28° rms
Níveis de Harmônicos	≤ -40 dBc	30,66 dBc
Níveis de Espúrios	≤ -50 dBc	≤ -50 dBc
VSWR pulling	2:1 máx.	2:1 máx.
Impedância de saída	50 ohms	50 ohms

No todo, a proposta de um projeto de um sistema para a geração da portadora na banda X com aplicações espaciais utilizando como arquitetura uma malha de sincronismo de fase e circuitos de multiplicação de frequência, resultou em características de baixos valores de ruído de fase, alta rejeição de sinais aliados a menor utilização de componentes, menor dissipação térmica e maior confiabilidade, comparados a sistemas que utilizam translação de frequência, sendo uma opção a ser utilizadas em sistema embarcados.

Esta pesquisa gerou o artigo "Filtro Passa-Baixas com Alta Rejeição para Sistemas Embarcados em Satélites", apresentado no MOMAG 2016.

6.2 SUGESTÕES PARA TRABALHOS FUTUROS

O estudo sobre malhas de sincronismo de fase para a geração de portadoras em sistemas espaciais é uma parte de um sistema de transmissão ou recepção, que comporta outros desenvolvimentos complementares à pesquisa desenvolvida.

Como primeira sugestão de trabalho, tem-se o desenvolvimento de moduladores vetoriais que operam com altas taxas de transmissão com características de baixo desbalanceamento de amplitude e fase e alta rejeição da portadora.

Uma segunda sugestão de trabalhos futuros, é o desenvolvimento da cadeia de amplificação de grandes sinais em estado sólido a ser aplicados em sistema embarcados de satélites, apresentando as características requeridas para este tipo de ambiente.

Referências

- 1 ESA-ESTEC. **ECSS-European Cooperation for Space Standardization Space Engineering Radio Frequency and Modulation**. Netherlands: ECSS - European Cooperation for Space Standardization, 2011.
- 2 NAKAGAWA, T.; OKAZAKI, H.; YAMAGUCHI, Y. A low power x-band frequency synthesizer module. **Microwave Symposium Digest - IEEE MTT-S Internacional**, v. 3, p. 1209–1212, 1997.
- 3 GHAFAR, F. A qpsk modulator using microwave couplers and switches for satellites transmitter and its performance analysis. **King Abdullah University of Science and Technology**, Arabia Saudi, 2011.
- 4 HUSSAIN, S.; MAALIK, A.; SHEIKH, N. 12.5 ghz-13 ghz qpsk modulator direct at carrier with improved parameters for space applications. **Computational Technologies in Electrical and Electronics Engineering (SIBIRCON), 2010 IEEE Region 8 International Conference on**, p. 604–607, 2010.
- 5 RHODE, U. **Digital PLL Frequency Synthesizers: Theory and Applications**. 2nd. ed. New Jersey: Prentice Hall, 1983.
- 6 GARDNER, F. **Phaselock Techniques**. 2. ed. New York: John Wiley & Sons, 1979.
- 7 **ADS 2011 RF Circuit Design Cook Book**. 2011.
- 8 ESA-ESTEC. **ECSS-European Cooperation for Space Standardization Space Engineering Radio Frequency and Modulation**. Netherlands: ECSS - European Cooperation for Space Standardization, 2011. 25 p.
- 9 ESA-ESTEC. **ECSS-European Cooperation for Space Standardization Space Engineering Radio Frequency and Modulation**. Netherlands: ECSS - European Cooperation for Space Standardization, 2011. 52 p.
- 10 OGATA, K. **Engenharia de Controle Moderno**. 2. ed. Rio de Janeiro: Prentice-Hall do Brasil, 1993.
- 11 ESA. **ESCC - Qualified Part List**. Netherlands: ESA - European Space Agency, 2016.
- 12 WILKINSON, E. An n-way hybrid power divider. **IRE Transactions on Microwave Theory and Techniques**, v. 8, p. 116–118, 1930.
- 13 BANERJEE, D. **PLL Performance Simulation and Design Handbook**. 4. ed. Dallas: Texas Instrument, 2006.

- 14 POZAR, D. **Microwave Engineering**. 3. ed. Singapore: John Wiley & Sons (Asia), 2009.
- 15 EDWARDS, M.; SINSKY, J. A new criterion for linear 2-port stability using geometrically derived parameters. **IEEE Transactions on Microwave Theory and Techniques**, v. 40, n. 12, 1992.
- 16 HONG, J.; LANCASTER, M. **Microstrip Filters for RF/Microwaves Applications**. 2. ed. New York: John Wiley & Sons, 2001.
- 17 LIU, J.; LI, B. An improvement s band zigzag bandpass filter. **Microwave, Antenna, Propagation, and EMC Technologies for Wireless Communications (MAPE), 2011 IEEE 4th International Symposium on**, p. 641–644, 2011.
- 18 GONZALEZ, G. **Microwave Transistor Amplifier: Analysis and Design**. 2nd. ed. New Jersey: Prentice-Hall, 1996.
- 19 LUDWIG, R.; BOGDANOV, G. **RF Circuit Design: Theory and Applications**. 2nd. ed. New Jersey: Prentice Hall, 2009.
- 20 KEESE, W. O. **An Analysis and performance evaluation of a passive filter design technique for charge pump phase locked loops**. Austin: National Semiconductor Corporation, May 1996.

Apêndice A – Equacionamento das funções de transferência da malha de sincronismo de fase

As equações que determinam as funções de transferências da malha de sincronismo de fase são apresentadas neste apêndice. Considerando o sistema como linear e as fontes de ruído descorrelacionadas, é utilizado o teorema da superposição para encontrar as funções de transferência.

Figura 138 - Diagrama em blocos em malha fechada.

Fonte: Próprio Autor.

Figura 139 - Diagrama funcional da malha de sincronismo de fase.

Fonte: Próprio Autor.

- a) Função de transferência em malha fechada, $\frac{\phi_o(s)}{\phi_r(s)}$, para $\phi_{Nref}(s) = \phi_{Ndf}(s) = V_{Nf}(s) = \phi_{Nvco}(s) = \phi_{NN}(s) = 0$.

$$E(s) = \phi_r(s) - B(s) \quad (78)$$

$$\phi_o(s) = G(s) \times E(s) \quad (79)$$

$$B(s) = H(s) \times \phi_o(s) \quad (80)$$

Substituindo a eq.(80) na eq.(78):

$$E(s) = \phi_r(s) - (H(s) \times \phi_o(s)) \quad (81)$$

Substituindo a eq.(79) na eq.(81):

$$E(s) = \phi_r(s) - (H(s) \times G(s) \times E(s))$$

$$E(s) = \frac{1}{1 + H(s)G(s)} \times \phi_r(s) \quad (82)$$

Substituindo a eq.(82) na eq.(79):

$$\frac{\phi_o(s)}{\phi_r(s)} = \frac{G(s)}{1 + G(s) \times H(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times [1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}]} \quad (83)$$

Onde:

$$G(s) = \frac{K_d \times K_{vco} \times F(s)}{s}$$

$$H(s) = \frac{1}{N}$$

b) Função de transferência em malha fechada, $\frac{\phi_o(s)}{\phi_{Nref}(s)}$, para $\phi_r(s) = \phi_{Ndf}(s) = V_{Nf}(s) = \phi_{Nvco}(s) = \phi_{NN}(s) = 0$.

$$E(s) = \phi_{Nref}(s) - B(s) \quad (84)$$

Substituindo a eq.(80) na eq.(84):

$$E(s) = \phi_{Nref}(s) - (H(s) \times \phi_o(s)) \quad (85)$$

Substituindo a eq.(79) na eq.(85):

$$E(s) = \phi_{Nref}(s) - (H(s) \times G(s) \times E(s))$$

$$E(s) = \frac{1}{1 + H(s) \times G(s)} \times \phi_{N_{ref}} \quad (86)$$

Substituindo a eq.(86) na eq.(79):

$$\frac{\phi_o(s)}{\phi_{N_{ref}}(s)} = \frac{G(s)}{1 + G(s) \times H(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times [1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}]} \quad (87)$$

Para malhas de sincronismo de fase que apresentam divisor de frequência do sinal de referência, R , temos a seguinte função de transferência:

$$\frac{\phi_o(s)}{\phi_{N_{ref}}(s)} = \frac{1}{R} \times \frac{G(s)}{1 + G(s) \times H(s)} = \frac{1}{R} \times \frac{K_d \times K_{vco} \times F(s)}{s \times [1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}]} \quad (88)$$

c) Função de transferência em malha fechada, $\frac{\phi_o(s)}{\phi_{N_{df}}(s)}$, para $\phi_r(s) = \phi_{N_{ref}}(s) = V_{Nf}(s) = \phi_{N_{vco}}(s) = \phi_{N_N}(s) = 0$.

$$\phi_p(s) = E(s) + \phi_{N_{df}}(s) \quad (89)$$

$$\phi_o(s) = \phi_p(s) \times [\frac{K_d \times K_{vco} \times F(s)}{s}] \quad (90)$$

$$E(s) = -\frac{1}{N} \times \phi_o(s) \quad (91)$$

Substituindo a eq.(91) na eq.(89):

$$\phi_p(s) = -\frac{1}{N} \times \phi_o(s) + \phi_{N_{df}}(s) \quad (92)$$

Substituindo a eq.(92) na eq.(90):

$$\begin{aligned} \phi_o(s) &= [-\frac{1}{N} \times \phi_o(s) + \phi_{N_{df}}(s)] \times [\frac{K_d \times K_{vco} \times F(s)}{s}] \\ \frac{\phi_o(s)}{\phi_{N_{df}}(s)} &= \frac{K_d \times K_{vco} \times F(s)}{s \times [1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}]} \end{aligned} \quad (93)$$

d) Função de transferência em malha fechada, $\frac{\phi_o(s)}{V_{Nf}(s)}$, para $\phi_r(s) = \phi_{N_{ref}}(s) = \phi_{N_{df}}(s) = \phi_{N_{vco}}(s) = \phi_{N_N}(s) = 0$.

$$V_d(s) = V_e(s) + V_{Nf}(s) \quad (94)$$

$$\phi_o(s) = V_d(s) \times \left[\frac{K_{vco} \times F(s)}{s} \right] \quad (95)$$

$$V_e(s) = -\frac{K_d}{N} \times \phi_o(s) \quad (96)$$

Substituindo a eq.(96) na eq.(94):

$$V_d(s) = -\frac{K_d}{N} \times \phi_o(s) + V_{Nf}(s) \quad (97)$$

Substituindo a eq.(97) na eq.(95):

$$\begin{aligned} \phi_o(s) &= \left[-\frac{K_d}{N} \times \phi_o(s) + V_{Nf}(s) \right] \times \left[\frac{K_{vco} \times F(s)}{s} \right] \\ \frac{\phi_o(s)}{V_{Nf}(s)} &= \frac{1}{K_d} \times \frac{K_d \times K_{vco} \times F(s)}{s \times \left[1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} \right]} \end{aligned} \quad (98)$$

e) Função de transferência em malha fechada, $\frac{\phi_o(s)}{\phi_{Nvco}(s)}$, para $\phi_r(s) = \phi_{Nref}(s) = \phi_{Ndf}(s) = \phi_{VNf}(s) = \phi_{NN}(s) = 0$.

$$\phi_o(s) = \phi_V(s) + \phi_{Nvco}(s) \quad (99)$$

$$\phi_V(s) = \left[-\frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} \right] \times \phi_o(s) \quad (100)$$

Substituindo a eq.(100) na eq.(99):

$$\begin{aligned} \phi_o(s) &= \left[-\frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} \right] \times \phi_o(s) + \phi_{Nvco}(s) \\ \frac{\phi_o(s)}{\phi_{Nvco}(s)} &= \frac{1}{1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}} \end{aligned} \quad (101)$$

f) Função de transferência em malha fechada, $\frac{\phi_o(s)}{\phi_{NN}(s)}$, para $\phi_r(s) = \phi_{Nref}(s) = \phi_{Ndf}(s) = \phi_{VNf}(s) = \phi_{Nvco}(s) = 0$.

$$B(s) = \frac{\phi_o(s)}{N} + \phi_{NN}(s) \quad (102)$$

$$\phi_o(s) = \frac{K_d \times K_{vco} \times F(s)}{s} \times E(s) \quad (103)$$

$$E(s) = -B(s) \quad (104)$$

Substituindo a eq.(104) na eq.(103):

$$\phi_o(s) = -\frac{K_d \times K_{vco} \times F(s)}{s} \times B(s) \quad (105)$$

Substituindo a eq.(102) na eq.(105):

$$\phi_o(s) = -\left[\frac{K_d \times K_{vco} \times F(s)}{s}\right] \times \left[\frac{\phi_o(s)}{N} + \phi_{N_N}(s)\right]$$

$$\frac{\phi_o(s)}{\phi_{N_N}(s)} = -\frac{K_d \times K_{vco} \times F(s)}{s \times \left[1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}\right]} \quad (106)$$

Apêndice B – Equacionamento dos componentes do filtro de loop

Em sistemas de controle de malha fechada o sinal de erro, que é a diferença entre o sinal de entrada e o sinal realimentado, é introduzido no controlador de modo a reduzir o erro e trazer a saída do sistema um sinal desejado. No caso da malha de sincronismo de fase, o sinal de erro é gerado pelo detector de fase e este sinal é enviado para o filtro de loop, que determina a dinâmica da malha fechada e filtra o sinal, que então é enviado para o pino de controle do oscilador controlado por tensão, gerando o sinal desejado que no caso é a frequência de operação de 2.075 MHz.

Para início da análise será demonstrado a função de transferência em malha fechada e em malha aberta, eq.(107) e eq.(108), conforme o diagrama de blocos da Figura 140.

Figura 140 - Diagrama em blocos em malha fechada.

Fonte: Próprio Autor.

A função de transferência, no domínio da frequência, do sistema em malha fechada é dada por:

$$H_{m.f.}(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{G(s)}{1 + G(s) \times H(s)} \quad (107)$$

e em malha aberta:

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = G(s) \times H(s) \quad (108)$$

Em analogia ao diagrama de blocos apresentados anteriormente, o diagrama da malha de sincronismo de fase pode ser representado como a Figura 141.

Figura 141 - Diagrama em blocos da malha de sincronismo de fase.

Fonte: Próprio Autor.

A função de transferência então em malha fechada e em malha aberta, eq.(109) e eq.(110), são dados por:

$$H_{m.f.}(s) = \frac{\phi_o(s)}{\phi_r(s)} = \frac{K_d \times K_{vco} \times F(s)}{s \times \left(1 + \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N}\right)} \quad (109)$$

e

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = \frac{K_d \times K_{vco} \times F(s)}{s} \times \frac{1}{N} = \frac{K \times F(s)}{s} \quad (110)$$

A função de transferência em malha aberta para determinar os parâmetros do filtro de loop, já que os parâmetros de ganho do detector de fase, ganho do VCO e o valor do divisor N são conhecidos e fornecidos pelos fabricantes dos componentes.

O filtro de loop possui a seguinte topologia de circuito:

Figura 142 - Circuito utilizado no filtro de loop.

Fonte: Próprio Autor.

A função de transferência do filtro é dada pela eq.(111):

$$F(s) = \frac{1}{1 + (R_3 \times C_3)s} \times \frac{(R_2 \times C_2)s + 1}{(R_1 \times C_2)s} \quad (111)$$

A função de transferência pode ser descrita pela eq.(112):

$$F(s) = \frac{T_2 s + 1}{T_1 s \times (T_3 s + 1)} \quad (112)$$

Definido a função de transferência do filtro de loop, eq.(113) e eq.(114), temos:

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = \frac{K}{s} \times \frac{T_2 s + 1}{T_1 s \times (T_3 s + 1)} \quad (113)$$

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = \frac{K}{T_1 s^2} \times \frac{T_2 s + 1}{T_3 s + 1} \quad (114)$$

Considerando $s = j\omega$:

$$H_{m.a.}(s) = \frac{B(s)}{E(s)} = -\frac{K}{T_1 \omega^2} \times \frac{T_2 \omega j + 1}{T_3 \omega j + 1} \quad (115)$$

Para determinarmos a margem de fase do sistema, é necessário defini-la. Por definição, a margem de fase é o atraso de fase adicional na frequência de cruzamento do ganho necessário para levar o sistema ao limiar de instabilidade. A frequência de cruzamento do ganho é a frequência no qual o módulo da função de malha aberta é unitário. A margem de fase θ_{mf} é dada pela expressões, eq.(116)-(118):

$$\Theta_{mf} = 180 + \angle \frac{B(j\omega)}{E(j\omega)} \quad (116)$$

Logo:

$$\Theta_{mf} = 180 + \angle - \frac{K}{T_1\omega^2} \times \frac{T_2\omega j + 1}{T_3\omega j + 1} \quad (117)$$

$$\Theta_{mf} = 180 + \arctan(T_2\omega) + \arctan(T_3\omega) \quad (118)$$

A frequência de cruzamento é determinada onde temos o ponto de inflexão da curva de fase, ou seja, o ponto em que a sua derivada é igual a zero, como demonstrado nas eq.(119) e eq.(120).

$$\frac{d\Theta_{mf}}{d\omega_p} = \frac{d(180 + \arctan(T_2\omega) + \arctan(T_3\omega))}{d\omega_p} = 0 \quad (119)$$

$$\frac{d\Theta_{mf}}{d\omega_p} = \frac{T_2}{((\omega_p T_2)^2 + 1)} + \frac{T_3}{((\omega_p T_3)^2 + 1)} = 0 \quad (120)$$

Resolvendo a eq.(120):

$$\omega_p = \sqrt{\frac{1}{T_2 T_3}} \quad (121)$$

Para aumentar a estabilidade da malha, eq.(122), queremos que a margem de fase seja máxima quando o ganho em malha aberta for unitário, ou seja:

$$|H_{m.a.}(s)| = \left| \frac{B(j\omega_p)}{E(j\omega_p)} \right| = 1 = \left| - \frac{K}{T_1\omega_p^2} \times \frac{T_2\omega_p j + 1}{T_3\omega_p j + 1} \right| \quad (122)$$

Logo as expressões,eq.(123)-(125), apresentam as constantes de tempo da malha.

$$T_1 = \frac{K}{\omega_p^2} \times \sqrt{\frac{((\omega_p T_2)^2 + 1)}{((\omega_p T_3)^2 + 1)}} \quad (123)$$

$$T_2 = \frac{1}{\omega_p^2 T_3} \quad (124)$$

$$T_3 = \frac{\sec(\Theta_{mf}) - \tan(\Theta_{mf})}{\omega_p} \quad (125)$$

As eq.(126) e eq.(127) determinam os valores dos componentes do filtro de malha são:

$$R_3 = \frac{T_3}{C_3} \quad (126)$$

Onde C_3 e C_2 devem ter valores escolhidos pelo projetista.

$$R_2 = R_1 \times \frac{T_2}{T_1} \quad (127)$$