ARMANDO AYALA PABÓN

PROJETO DE UM BLOCO *LNA*-MISTURADOR PARA
RADIOFREQUÊNCIA EM TECNOLOGIA *CMOS*

*Dissertação apresentada à Escola
Politécnica da Universidade de
São Paulo para obtenção do
título de Mestre em Engenharia
Elétrica.*

São Paulo

2009

ARMANDO AYALA PABÓN

PROJETO DE UM BLOCO *LNA*-MISTURADOR PARA
RADIOFREQUÊNCIA EM TECNOLOGIA *CMOS*

*Dissertação apresentada à Escola
Politécnica da Universidade de
São Paulo para obtenção do
título de Mestre em Engenharia
Elétrica.*

*Área de concentração:
Microeletrônica*

*Orientador:
Prof. Dr. Wilhelmus A. M. Van
Noije*

São Paulo
2009

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 17 de dezembro de 2009.

Autor: Armando Ayala Pabón

Orientador: Prof. Dr. Wilhelmus A. M. Van Noije

FICHA CATALOGRÁFICA

Ayala, Pabón Armando

Projeto de um bloco *LNA*-Misturador para radiofrequência em tecnologia *CMOS*

Armando Ayala Pabón - São Paulo, 2009. Edição Revisada

76p

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo.

Departamento de Engenharia de Sistemas Eletrônicos.

1. *LNA*-Misturador
2. Amplificadores de baixo ruído *CMOS*
3. Misturadores de sinal *CMOS*
4. Estruturas de *de-embedding*
5. Circuitos integrados

I Universidade de São Paulo. Escola Politécnica.

Departamento de Engenharia de Sistemas Eletrônicos

Este trabalho está dedicado a minha maravilhosa e amada família por sempre acreditar em mim e ser a constante fonte de inspiração, motivação e apoio para seguir adiante mesmo com as dificuldades. Aos meus pais, Celina e Alirio; aos meus irmãos, Diana e Alirio. Aos meus amigos, Angélica, Oscar e Arnol.

AGRADECIMENTOS

Agradeço-lhe a Deus por sempre me abençoar e me fornecer as ferramentas para conseguir cada coisa que me proponho. A minha família e amigos por sempre me dar força e me motivar para concluir o trabalho.

Também lhe agradeço a todo o pessoal que fez parte e me acompanhou nesta etapa da minha vida. Ao meu orientador, Professor Dr. Wilhelmus A. M. Van Noije, pela sua orientação e apoio, e por acreditar no meu trabalho. Ao Elkim Roa por me ter dado a motivação, as oportunidades e as ferramentas para aprender do projeto de circuitos integrados, por acreditar nas minhas capacidades, por sempre me motivar para continuar pesquisando e aprendendo da vida, e por me dar a oportunidade de vir para o Brasil. Ao Hugo Daniel Hernández Herrera pelo apoio na minha chegada ao Brasil e por sempre estar disposto a ajudar. Ao Sergio Chaparro por ser o meu amigo e colega de trabalho nos últimos anos e por ter contribuído no desenvolvimento do meu mestrado. Aos meus colegas e amigos dos grupos *CIDIC* da Universidad Industrial de Santander e *LSI e LME* da Universidade de São Paulo, Wilmar, Jorge, Fabian, Hugo, Juan José, Dwight, Gustavo Cerezo, Andrés Farfán, Angelica dos Anjos, Catalina Zapata, Raúl Acosta e Gustavo Patiño. Ao Professor Dr. João Navarro Soares Jr., pela sua valiosa ajuda, seus questionamentos e sempre estar disposto para discutir e brincar com algumas das situações que se apresentaram no desenvolvimento desta pesquisa. Ao Jair Souza do *LME* por sempre estar disposto a me ajudar, contribuir e auxiliar com diferentes soluções no processo de teste.

Finalmente, agradeço o apoio do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) quem me outorgou uma bolsa de mestrado, à Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP) por financiar a fabricação dos protótipos.

RESUMO

Este trabalho apresenta o projeto de um bloco *LNA*-Misturador dentro de um mesmo circuito integrado para aplicações em um receptor *Bluetooth* 2,45GHz.

Uma estratégia de projeto bem clara, concisa e com uma boa base física e matemática foi desenvolvida para auxiliar o processo de projeto de um bloco *LNA*-Misturador, composto por um *LNA* cascode em cascata com um misturador de chaveamento de corrente com entradas simples e degeneração indutiva nas fontes dos estágios de transcondutância. Esta estratégia foi adaptada de trabalhos apresentados na literatura. A estratégia de projeto proposta considera o compromisso entre ruído, linearidade, ganho, dissipação de potência, casamento de impedâncias e isolamento de portas, usando as dimensões dos dispositivos e condições de polarização como variáveis de projeto. Com base nesta estratégia se obteve um bloco *LNA*-Misturador que atinge algumas especificações propostas.

Um bloco *LNA*-Misturador foi projetado e fabricado em uma tecnologia *CMOS* 0,35 μ m para validar a estratégia de projeto proposta. Além disso, para atingir os objetivos, durante o desenvolvimento deste trabalho foi dada atenção especial no projeto dos indutores. Foi projetado, fabricado e medido um chip de teste. Para tal fim foram aplicadas técnicas e estruturas de *de-embedding* nas medidas para conseguir resultados mais confiáveis. Os resultados experimentais obtidos para os indutores e os resultados preliminares do bloco *LNA*-Misturador são satisfatórios de acordo com as especificações e os esperados das simulações. No entanto, os indutores integrados degradam significativamente o desempenho do bloco *LNA*-Misturador. Se forem usados processos de fabricação nos quais os indutores apresentem melhor desempenho, os resultados do bloco *LNA*-Misturador aplicando a estratégia de projeto desenvolvida neste trabalho podem ser melhorados.

Finalmente, é importante ressaltar que a estratégia de projeto proposta neste trabalho já está sendo usada e adaptada em outros projetos com o propósito de melhorar os resultados obtidos, e conseguir auxiliar o processo de projeto deste tipo de blocos.

ABSTRACT

This work presents a fully integrated LNA-Mixer design for a Bluetooth receiver application at $2.45GHz$.

A concise design strategy with good physics and mathematics basis was developed to assist the design process of a LNA-Mixer block, formed by a cascode LNA in cascade to a single balanced current commutation Mixer with inductive degeneration. This strategy was adapted from literature and considers the trade-offs between noise, linearity, gain, power dissipation, impedance matching and ports isolation, using the device dimensions and bias conditions as design variables. Based on this strategy, the proposed LNA-Mixer design specifications were achieved.

To validate the proposed design strategy, the LNA-Mixer were fabricated in a $0.35\mu m$ CMOS process. Furthermore, to achieve the specifications, during the development of this work a special attention to the RF CMOS inductors was given. A test chip was designed, fabricated and measured applying de-embedding structures to obtain more reliable results. The experimental results obtained for the inductors and the preliminary results for the LNA-Mixer are satisfactory compared to the specifications and as expected from simulations. However, the integrated inductors degrade the performance of the block significantly and if a manufacturing process in which the inductor has better performance is used, the resulting LNA-Mixer design applying the strategy developed in this work can be improved.

Finally, it is important to highlight that the design strategy proposed in this work is already being used and adapted in other designs in order to improve the results, and to assist the design process of such blocks.

Sumário

1	Introdução	1
1.1	Motivação e levantamento do problema	1
1.2	Objetivos	3
1.3	Estado da Arte	3
1.3.1	Amplificadores de baixo ruído <i>CMOS</i>	3
1.3.2	Misturadores de sinal <i>CMOS</i>	5
1.3.3	<i>LNA</i> -Misturador <i>CMOS</i> unidos	6
1.4	Organização do documento	7
2	Projeto do bloco <i>LNA</i>-Misturador	9
2.1	Topologia usada e circuitos equivalentes utilizados	9
2.2	Considerações e análise dos compromissos de projeto	12
2.3	Estratégia de projeto	16
2.4	Resultados de simulação e leiaute	27
3	Resultados experimentais	31
3.1	Resultados experimentais dos indutores	31
3.1.1	<i>Setup</i> de teste usado	31
3.1.2	Estruturas de <i>de-embedding</i> para os indutores	33
3.1.3	Resultados obtidos	36
3.2	Plano de teste do <i>LNA</i> -Misturador	41
3.2.1	Circuito a ser testado	41
3.2.2	Medição do coeficiente de reflexão das portas de <i>RF</i> e <i>IF</i>	43
3.2.3	Medição do isolamento entre portas	44
3.2.4	Medição do ganho de conversão e figura de ruído	45
3.2.5	Análise de não linearidade	50
3.3	Resultados experimentais do <i>LNA</i> -Misturador	52
4	Conclusões e recomendações para trabalhos futuros	55

Lista de Figuras

1.1	Diagrama de blocos de um sistema de recepção com arquitetura de conversão direta.	2
1.2	Representação dos compromissos de projeto no bloco <i>LNA</i> -Misturador. . .	2
2.1	Topologia do bloco <i>LNA</i> -Misturador <i>CMOS</i> : <i>LNA</i> cascode em cascata com um misturador de chaveamento de corrente com entradas simples e degeneração nas fontes dos estágios de transcondutância.	10
2.2	(a) Estágio de transcondutância <i>CMOS</i> com degeneração indutiva na fonte; (b) Modelo equivalente em pequenos sinais.	10
2.3	Modelo para análise de ruído do estágio de transcondutância.	11
2.4	(a) Dispositivo cascode do estágio de transcondutância; (b) Modelo de ruído equivalente em pequenos sinais.	11
2.5	Estimativas teóricas sem considerar o efeito dos indutores: (a) Fator de ruído do estágio de transcondutância do <i>LNA</i> ; (b) Fator de ruído do dispositivo cascode M_2 ; (c) Figura de ruído do <i>LNA</i> ; (d) Largura de canal de M_1 para a qual se minimiza F_{LNA} em função de V_{pol1}	20
2.6	Estimativa do ponto de interseção de terceira ordem referido à entrada P_{IIP3} do <i>LNA</i> em função de V_{pol1}	21
2.7	Modelo do indutor empregado e gerado pela ferramenta <i>ASITIC</i>	22
2.8	Figura de ruído do <i>LNA</i> com indutores ideais e indutores modelados com <i>ASITIC</i>	23
2.9	(a) Fatores de ganho normalizados; (b) Estimativa teórica de P_{IIP3} no estágio de transcondutância do misturador.	25
2.10	Resultados de simulação: (a) Figura de ruído do misturador (NF_{SSB}); (b) P_{IIP3} do misturador.	26
2.11	Leiaute do bloco <i>LNA</i> -Misturador projetado.	27
2.12	Resultados de simulação pós-leiaute: (a) Ganho de tensão; (b) Coeficiente de reflexão na entrada S_{11} ; (c) Figura de ruído <i>Single-Sideband</i> NF_{SSB} ; (d) P_{IIP3} com $f_{LO}=2,449\text{ GHz}$, $f_1=2,451\text{ GHz}$ e $f_2=2,452\text{ GHz}$	28

2.13	Análise do efeito dos <i>bondwires</i> : (a) $Av_{LNA-Misturador}$ e Av_{LNA} sem considerar os <i>bondwires</i> ; (b) $Av_{LNA-Misturador}$ e Av_{LNA} considerando <i>bondwires</i> de $3nH$ ligados aos <i>PADs</i> $VDD!$ e $IndLd$ separadamente; (c) $Av_{LNA-Misturador}$ e Av_{LNA} considerando uma ligação diretamente no <i>die</i> entre o $VDD!$ e $IndLd$ junto com um único <i>bondwire</i> de $3nH$	30
3.1	Microfotografia do chip <i>FAPESP152</i> fabricado.	32
3.2	Distribuição e organização das amostras do Chip <i>FAPESP152</i> testadas. . .	32
3.3	Configuração das pontas <i>RF GSG</i> : (a) Configuração dos <i>PADs</i> para testes <i>RF</i> ; (b) Foto de um teste <i>on-chip</i> com pontas <i>RF</i>	33
3.4	Representação esquemática de um <i>test-fixture</i>	34
3.5	Exemplo de um modelo de impedâncias representativo do <i>test-fixture</i> : (a) Derivado desde a interpretação física; (b) Derivado por considerações de simetria.	35
3.6	Estruturas de calibração necessárias para subtrair os efeitos parasitas do <i>test-fixture</i>	36
3.7	Comparação do valor de indutância sem fazer o <i>de-embedding</i> e depois de fazer o <i>de-embedding</i> para o indutor L_d no chip B1.	36
3.8	<i>De-embedding</i> do indutor L_g : (a) Indutância no chip A1; (b) Q no chip A1; (c) Indutância no chip A2; (d) Q no chip A2; (e) Indutância no chip B1; (f) Q no chip B1; (g) Indutância no chip B2; (h) Q no chip B2.	38
3.9	<i>De-embedding</i> do indutor L_d : (a) Indutância no chip A1; (b) Q no chip A1; (c) Indutância no chip A2; (d) Q no chip A2; (e) Indutância no chip B1; (f) Q no chip B1; (g) Indutância no chip B2; (h) Q no chip B2.	39
3.10	(a) Indutância de L_g com <i>ASITIC</i> ; (b) Q de L_g com <i>ASITIC</i> ; (c) Indutância de L_g na amostra B1; (d) Q de L_g na amostra B1; (e) Indutância de L_d com <i>ASITIC</i> ; (f) Q de L_d com <i>ASITIC</i> ; (g) Indutância de L_d na amostra B1; (h) Q de L_d na amostra B1.	40
3.11	Microfotografia do bloco <i>LNA-Misturador</i> projetado e fabricado.	41
3.12	Circuito esquemático do circuito completo a ser testado incluindo o <i>die</i> do circuito fabricado, os componentes externos e circuitos auxiliares.	42
3.13	(a) <i>Setup</i> de medida com o <i>NFM</i> no modo de medição 1.3 para medir ganho e figura de ruído do circuito sob teste; (b) <i>Setup</i> de calibração do <i>NFM</i>	46
3.14	<i>Setup</i> para o método de ganho: (a) <i>Setup</i> de medida para obter o ganho com o analisador de espectro; (b) <i>Setup</i> de medida para estimar experimentalmente a densidade de potência de ruído na saída do circuito sob teste.	49

3.15	<i>Setup</i> de medida para analisar alguns dos efeitos não lineares do circuito sob teste.	51
3.16	Resultados experimentais no <i>LNA</i> : (a) Corrente de polarização do <i>LNA</i> em função da tensão de polarização V_{pol1} na porta do estágio de transcondutância do <i>LNA</i> ; (b) Coeficiente de reflexão (S_{11}) na entrada do <i>LNA</i> em função da frequência de operação para diferentes V_{pol1}	53

Lista de Tabelas

1.1	Estado da arte dos <i>LNAs CMOS</i>	4
1.2	Alguns misturadores de sinal em tecnologia <i>CMOS</i>	6
1.3	Estado da arte <i>LNA-Misturador CMOS</i> unidos.	7
2.1	Especificações de projeto para o bloco <i>LNA-Misturador</i> para atender <i>Bluetooth</i>	18
2.2	Valores e dimensões para o projeto do bloco <i>LNA-Misturador</i>	27
2.3	Resultados de simulação do bloco <i>LNA-Misturador</i> e comparação com outros trabalhos.	28

Capítulo 1

Introdução

1.1 Motivação e levantamento do problema

Uma das tendências atuais da eletrônica é projetar e construir todos os sistemas eletrônicos (como sistemas de comunicação e controle) dentro de um mesmo circuito integrado com o fim de melhorar desempenho, reduzir os custos e o tamanho. Nos últimos anos a tecnologia *CMOS* se perfilou como uma opção viável para implementação de circuitos de radiofrequência (RF), dado o melhoramento nas características de desempenho, seu baixo custo e alto nível de integração com os circuitos digitais [1].

Os circuitos analógicos de alta frequência (ou *RF front-end*) são componentes fundamentais num receptor sem fio. Como se mostra na figura 1.1 para uma arquitetura de conversão direta, o receptor, basicamente é composto por um amplificador de baixo ruído (*LNA*, *Low Noise Amplifier*), misturadores de sinal, um oscilador, sintetizador de frequências, filtros, conversores de dados analógicos-digitais, entre outros. O *LNA* e o misturador são circuitos críticos no receptor, já que estes correspondem geralmente ao estágio de entrada do sistema, e portanto, afetam o desempenho total e as exigências de desempenho nos blocos subsequentes.

O *LNA* deve prover um ganho suficiente para amplificar os baixos níveis de potência que chegam da antena, sem degradar significativamente a relação sinal a ruído (*SNR*), e deve suportar sinais relativamente altos com baixa distorção. Um filtro ou antena é geralmente a etapa prévia do *LNA*, sendo necessário casar a impedância de entrada a um valor específico para garantir máxima transferência de potência. Por sua parte o misturador basicamente se encarrega de deslocar o sinal RF para baixas frequências usando o sinal gerado pelo oscilador local. Portanto, como se representa na figura 1.2, para obter um melhor desempenho do bloco *LNA*-Misturador é necessário considerar o casamento entre cada um dos circuitos e o compromisso existente entre as diferentes especificações de desempenho: ganho suficiente, baixa figura de ruído, alta linearidade,

Figura 1.1: Diagrama de blocos de um sistema de recepção com arquitetura de conversão direta.

impedância de entrada estável e isolamento entre portas com baixo consumo de potência para aplicações móveis. Adicionalmente, os compromissos de projeto entre o *LNA* e o misturador podem chegar a diminuir o desempenho de um *front-end* se estes circuitos são projetados separadamente [2, 3, 4].

Figura 1.2: Representação dos compromissos de projeto no bloco *LNA*-Misturador.

Considerando este cenário surgem algumas necessidades no projeto do bloco *LNA*-Misturador tais como:

- ♣ Projetar os circuitos juntos ou acoplados para melhorar desempenho.

- ♣ Encontrar ou propor estratégias de projeto que permitam alcançar algumas especificações mínimas, tentando melhorar as mais importantes.
- ♣ Estabelecer ou estimar um compromisso entre os parâmetros de desempenho em função das variáveis de projeto.
- ♣ Reduzir o tempo de projeto (Automação dos blocos analógicos).

Tendo em conta o exposto e com base em trabalhos apresentados na literatura [5, 6, 7, 8, 9, 10, 11, 12, 13], projetou-se um bloco com *LNA* e misturador para radiofrequência dentro de um mesmo circuito integrado numa tecnologia *CMOS* $0,35\mu m$; considerando os compromissos entre ruído, linearidade, ganho, consumo de potência, casamento de impedâncias e isolamento entre portas.

1.2 Objetivos

- ♣ Projetar um bloco composto por um amplificador de baixo ruído e um misturador de sinal para radiofrequência em tecnologia *CMOS*, levando em conta as especificações para um receptor *Bluetooth* $2,45GHz$.
- ♣ Adaptar e propor uma estratégia de projeto para o bloco *LNA*-Misturador.
- ♣ Avaliar a estratégia proposta através do projeto de um bloco *LNA*-Misturador com especificações dadas.
- ♣ Avaliar o desempenho dos indutores integrados na tecnologia usada e o seu impacto no desempenho do bloco *LNA*-Misturador.
- ♣ Implementar e fazer testes experimentais sobre os circuitos fabricados.

1.3 Estado da Arte

A seguir se apresenta uma revisão resumida de alguns dos trabalhos e propostas de projeto de amplificadores de baixo ruído e misturadores de sinal *CMOS*, realizados nos últimos anos.

1.3.1 Amplificadores de baixo ruído *CMOS*

Até o ano 1996, poucas publicações sobre o projeto de *LNAs CMOS* existiam na literatura [2]; no entanto, algumas configurações interessantes de projeto que otimizam a figura de ruído e/ou linearidade com consumos de potência moderados se têm apresentado

Tabela 1.1: Estado da arte dos *LNAs CMOS*.

<i>Autor</i>	<i>Tecn.</i> [μm]	<i>Topologia</i>	<i>Freq.</i> [GHz]	<i>NF</i> [dB]	<i>S₂₁</i> [dB]	<i>P_{1IP3}</i> [dBm]	<i>V_{DD}</i> [V]	<i>S₁₁</i> [dB]	<i>P_D</i> [mW]	<i>Área</i> [mm ²]	<i>Ano</i>
[2]	0,6	Cascode	1,5	3,5	22	12,7 ^c	1,5		30		1997
[14]	0,25	Cascode	1,23	0,8	20	-10,8	1,5	<-11	9		2001
[15]	0,18	Cascode + Chaves	2,4/5,2	2,9/3,7	10,1/10,9	4/-5	1,8	-10,1/-11	11,7/5,7		2005
[16] [*]	0,18	Fonte comum + Porta comum	5	1,4	20	-29	0,65	-15	1,9	1	2005
[17]	0,18	Cascode + Sumidouro de <i>IMD</i> ^a <i>PMOS</i>	2	1,4	12,8	13,3	1,8		8		2006
[18]	0,18	Cascode + Filtro Chebyshev	3-5	2,2	<16	-9	1,2	<-10,5	7,68	0,629	2006
[19]	0,13	<i>SFBCC</i> ^b Híbrido diferencial	0,1-0,93	4	13	-10,2	1,2		0,72	0,268	2006
[20]	0,18	Distribuída	0,04-7	4,2	8,6	3	1,3	<-16	9	1,16	2006
[21]	0,13	Realimentação ativa (transformadores)	3,1-10,6	2,5±0,43	15,1±1,4	-8,54→-5,1	1,2	-44→-9,9	9	0,87	2007

^a *Third Order Intermodulation Distortion*.

^b *Shunt-Feedback Common Gate*.

^c Referido à saída.

^{*} Resultados de simulação.

nos últimos anos. Na Tabela 1.1 se referenciam alguns dos trabalhos realizados no projeto de *LNAs CMOS*.

O projeto realizado por Leroux [14] alcança uma das figuras de ruído mais baixas reportadas, consumindo menor potência comparado com outros projetos, mas apresenta um desempenho menor quanto a linearidade e não possui casamento de impedâncias na entrada a 50Ω para máxima transferência de potência. Em [15] o autor propõe utilizar capacitores e transistores como chaves para operar corretamente em duas bandas de frequência, com uma figura de ruído baixa, porém com um maior consumo de corrente comparado com [14]. Em [16] se expõe uma nova topologia fonte comum em cascata com porta comum, usando degeneração indutiva na fonte, que consegue trabalhar com tensões de alimentação bastante baixas (a menor reportada até agora segundo os autores e a literatura revisada), mantendo um ganho alto, figura de ruído baixa, bom casamento de impedâncias, mas piorando o comportamento linear do circuito.

A topologia mostrada em [17] se encarrega de melhorar consideravelmente o desempenho de linearidade, mantendo um ganho alto e figura de ruído baixa, através da implementação de um cascode dobrado PMOS que atua como sumidouro das componentes de terceira ordem que geram a intermodulação. O projeto proposto em [18] procura a otimização do casamento de impedâncias e a redução da área *on-chip* do circuito, empregando uma topologia de cascode com degeneração indutiva mais um filtro passa-banda de Chebyshev. Além disso, a topologia híbrida proposta em [19] permite reduzir o consumo de potência significativamente, porém apresenta um desempenho menor quanto a ruído e linearidade.

Os amplificadores distribuídos *DAs* geralmente são muito pouco usados em aplicações sem fio devido ao seu alto consumo de potência, apesar disto, em [20] se projeta um *LNA* com alto GBW ,¹ bom desempenho de linearidade e com um consumo de potência e área *on-chip* baixos para este tipo de amplificadores. O circuito de dois estágios com realimentação ativa por meio de transformadores e autotransformadores proposto em [21] é uma ideia inovadora cujos resultados são aceitáveis comparados com outros trabalhos reportados, como se pode observar na Tabela 1.1.

1.3.2 Misturadores de sinal *CMOS*

Na Tabela 1.2 se resumem alguns projetos e implementações de misturadores de sinal *CMOS* reportados na literatura. O circuito apresentado em [22] foi um dos primeiros misturadores de sinal *CMOS* operando em RF, apresenta a mais alta linearidade dos trabalhos referenciados; no entanto, esta configuração apresenta perdas por conversão,

¹ *Gain Bandwidth Product* ou produto ganho-largura de banda.

Tabela 1.2: Alguns misturadores de sinal em tecnologia *CMOS*.

<i>Autor</i>	<i>Tecn.</i> [μm]	<i>Topologia</i>	<i>Freq.</i> [GHz]	<i>NF</i> [dB]	<i>S₂₁</i> [dB]	<i>P_{IIP3}</i> [dBm]	<i>P_D</i> [mW]	<i>IF</i> [MHz]	<i>Ano</i>
[22]	1	Amostragem e retenção	0,9	18 ^a	-6	27	12	10	1993
[24]	0.8	Circuito de Gilbert	1,9	8.5 ^a	6.5	-3	39.3	250	1996
[3]	0,5	Reuso de corrente	0,9	6,7 ^b	8,8	-4,1	7	100	1996
[23] ^c	0,25	Nova arquitetura	1,45	17	15	-4,5	9,2	2	2005

^a Figura de ruído de banda lateral única (*SSB NF*).^b Figura de ruído de banda lateral dual (*DSB NF*).^c Resultados de simulação.

degradando a figura de ruído. A topologia exposta por Liu e Wang, evita empilhar os transistores entre a alimentação e o terra, assim pode trabalhar numa tensão de alimentação baixa [23]. Por último, Karanicolas utiliza uma técnica de reuso de corrente com bom desempenho de ruído e linearidade, um baixo consumo de potência porém precisa de elementos externos para fazer casamento de impedâncias [3]; outros projetos com características de desempenho similares com respeito a ruído e linearidade têm sido apresentados mas com um consumo de potência maior [24].

1.3.3 LNA-Misturador *CMOS* unidos

Na busca de uma maior integração dos circuitos, tem surgido a tendência de projetar topologias que reúnam a funcionalidade de vários blocos. No caso de *LNAs* e misturadores *CMOS*, na Tabela 1.3 se resumem algumas alternativas existentes que os envolvem como um só bloco funcional.

O circuito proposto em [7] apresenta bom casamento de impedâncias na entrada, com figura de ruído baixa, ganho alto, mas dissipação de potência alta devido à fonte de alimentação que usa. Em [25] se reporta um bloco que integra as funções de um *LNA*, um misturador e um *VCO*, apresenta o menor consumo de potência entre os três trabalhos mostrados, ganho alto, menor área, mas tem problemas de linearidade. Por último, o circuito de cascode dobrado com misturadores em quadratura publicado em [26], ocupa uma área *on-chip* menor do que os anteriores, fonte de alimentação baixa, consumo de potência baixo, porém possui um menor desempenho com respeito a ruído.

Tabela 1.3: Estado da arte *LNA*-Misturador *CMOS* unidos.

<i>Autor</i>	<i>Tecn.</i> [μm]	<i>Freq.</i> [GHz]	<i>NF</i> [dB]	<i>S₂₁</i> [dB]	<i>P_{IIP3}</i> [dBm]	<i>V_{DD}</i> [V]	<i>S₁₁</i> [dB]	<i>P_D</i> [mW]	<i>Área</i> [mm ²]	<i>Ano</i>
[7]	0,35	2,1	3,4	23	>-3	2,7	-20→-11	21,6		2003
[25]*	0,13	1,6	4,8	36	-19	1,2	<-10	5,4	1,5	2006
[26]	0,09	0,1-3,85	11,5	20		1,2	<-10	9,8	0,88	2007

* *LNA + MIXER + VCO*.

1.4 Organização do documento

No capítulo 1 se apresentou de forma resumida a motivação e o levantamento do problema deste trabalho. Também se fez um estudo do estado da arte no projeto de amplificadores de baixo ruído, misturadores de sinal e de blocos *LNA*-Misturador unidos na tecnologia *CMOS*.

O capítulo 2 descreve o projeto do bloco *LNA*-Misturador. Na seção 2.1 se apresenta a topologia usada e os circuitos equivalentes utilizados para fazer as análises. Na seção 2.2 se faz um levantamento das considerações e a análise dos compromissos de projeto existentes no bloco *LNA*-Misturador. Seguidamente na seção 2.3 se faz uma descrição da estratégia de projeto utilizada, e finalmente a seção 2.4 apresenta o leiaute e alguns resultados de simulação pós-leiaute.

No capítulo 3 se faz uma descrição da caracterização experimental de alguns dos indutores utilizados no projeto. Também se apresentam o plano de teste utilizado e alguns resultados experimentais obtidos para o bloco *LNA*-Misturador projetado e fabricado.

Finalmente, no capítulo 4 são expostas algumas conclusões obtidas e algumas recomendações para trabalhos futuros.

Capítulo 2

Projeto do bloco *LNA*-Misturador

Neste capítulo se descreve o projeto do bloco *LNA*-Misturador. Na seção 2.1 se apresenta a topologia usada e os circuitos equivalentes utilizados para fazer as análises. Na seção 2.2 se faz um levantamento das considerações e a análise dos compromissos de projeto existentes no bloco *LNA*-Misturador. Seguidamente na seção 2.3 se faz uma descrição da estratégia de projeto utilizada, e finalmente na seção 2.4 se apresenta o leiaute e alguns resultados de simulação pós-leiaute.

2.1 Topologia usada e circuitos equivalentes utilizados

Como se demonstra em [2, 27, 28] uma das topologias de *LNA* que melhor cumpre com os compromissos entre as variáveis de projeto é a configuração de fonte comum com degeneração indutiva e entrada simples, utilizando um dispositivo cascode na saída para melhorar o isolamento de portas. No caso do misturador de sinal existe uma pesquisa que aprofunda na análise e projeto de misturadores *CMOS* de chaveamento de corrente, a qual fornece uma técnica para otimizar sistematicamente o projeto destes circuitos [5].

Além disso, levando em conta que no grupo de projeto de circuitos integrados do *LSI/PSI* da Universidade de São Paulo tinham sido feitos trabalhos anteriores utilizando estas topologias e com o propósito de dar continuidade às pesquisas feitas [27], no desenvolvimento deste trabalho foi usada a topologia mostrada na figura 2.1 para o bloco *LNA*-Misturador.

Alguns dos circuitos usados para realizar as análises de pequenos sinais e ruído do bloco *LNA*-Misturador são mostrados nas figuras 2.2, 2.3 e 2.4.

A figura 2.2(b) mostra o modelo equivalente de pequenos sinais, no qual se despreza o efeito de corpo, a capacitância porta-dreno C_{gd} , a resistência parasita da porta e a resistência de saída do transistor. Neste circuito equivalente, Z'_s representa a impedância

Figura 2.1: Topologia do bloco *LNA-Misturador CMOS*: *LNA* cascode em cascata com um misturador de chaveamento de corrente com entradas simples e degeneração nas fontes dos estágios de transcondutância.

do indutor L_s , Z_g a impedância do indutor L_g usado na porta, Z_{gs} a impedância entre porta e fonte do transistor M_1 , e g_m a transcondutância equivalente em pequenos sinais do transistor M_1 . A fonte de tensão V_i e a impedância Z_s representam o equivalente de Thevenin dos elementos ligados ao nó *in*, incluindo a fonte de sinal e a impedância equivalente do circuito de polarização.

Para realizar as análises de ruído, o transistor NMOS foi modelado com suas fontes de ruído intrínsecas $i_{n,d}$ e $i_{n,g}$ (figura 2.3). Por um lado, a corrente de ruído $i_{n,d}$ representa o ruído térmico de canal, e por outro lado, $i_{n,g}$ representa o ruído de canal acoplado ou induzido na porta através da capacitância porta-fonte distribuída C_{gs} . No modelo de

Figura 2.2: (a) Estágio de transcondutância *CMOS* com degeneração indutiva na fonte; (b) Modelo equivalente em pequenos sinais.

Figura 2.3: Modelo para análise de ruído do estágio de transcondutância.

Figura 2.4: (a) Dispositivo cascode do estágio de transcondutância; (b) Modelo de ruído equivalente em pequenos sinais.

ruído da figura 2.3 se usa $i_{n,d} = [\overline{i_{n,d}^2}]^{1/2}$ e $i_{n,g} = [\overline{i_{n,g}^2}]^{1/2}$, sendo [29]:

$$\overline{i_{n,d}^2} = 4kT\gamma g d_0 \Delta f \quad (2.1)$$

$$\overline{i_{n,g}^2} = 4kT\delta g_g(1 - |c|^2)\Delta f + 4kT\delta g_g|c|^2\Delta f \quad \text{com} \quad g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (2.2)$$

$$c = \frac{\overline{i_{n,d}^* i_{n,g}}}{\sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}} \quad (2.3)$$

Nas equações (2.1) e (2.2), k é a constante de *Boltzman*, T é a temperatura absoluta dos portadores de canal, γ e δ são parâmetros dependentes da polarização,¹ g_{d0} é a condutância de dreno com $V_{ds} = 0$, Δf a faixa de frequência de medida, c é o fator de correlação com um valor aproximado de $-j0,395$ em transistores de canal longo para a polaridade das fontes de corrente mostradas na figura 2.3. O primeiro termo da equação (2.2) é a componente não correlacionada e o segundo termo é a componente correlacionada com o ruído de canal.

A figura 2.4 apresenta o modelo equivalente aproximado de ruído para analisar a contribuição de ruído do transistor cascode à saída $i_{n,o2}$, sem levar em conta o ruído

¹Segundo a literatura consultada, em transistores de canal curto não existe uma relação exata dos parâmetros γ e δ com as condições de polarização.

introduzido pelo estágio de transcondutância. A fonte de corrente I_B representa o estágio de transcondutância.

2.2 Considerações e análise dos compromissos de projeto

A seguir se apresentam algumas considerações de projeto para o bloco *LNA*-Misturador com a topologia *LNA* cascode em cascata com um misturador de chaveamento de corrente com entradas simples e degeneração nas fontes dos estágios de transcondutância (figura 2.1). De acordo com a literatura [5, 6, 7, 10, 11, 12, 13] e as análises feitas durante esta pesquisa, se devem levar em conta as seguintes considerações no projeto do bloco *LNA*-Misturador:

- a) Para obter um bom compromisso entre o casamento de impedâncias para máxima transferência de potência desde a antena até a entrada do *LNA*, maximizar ganho, reduzir ruído e melhorar linearidade, é conveniente que a rede de entrada do *LNA* se encontre em ressonância na frequência central de interesse.

Utilizando o circuito equivalente para pequenos sinais da figura 2.2(b), pode-se estimar a impedância de entrada Z_{in} como:

$$Z_{in} = \frac{V_{in}}{i_{in}} = Z_g + Z_s' + Z_{gs} + g_m Z_s' Z_{gs} \quad (2.4)$$

Assumindo que Z_s' e Z_g são elementos indutivos com resistências parasitas em série, $Z_s' \approx R_{L_s} + j\omega L_s$ e $Z_g \approx R_{L_g} + j\omega L_s$, $Z_{gs} = 1/j\omega C_{gs}$ e que a rede de entrada se encontra em ressonância na frequência central de interesse ω_0 , pode-se dizer que:

$$Z_{in} \approx R_{L_s} + R_{L_g} + r_g + \frac{g_m}{C_{gs}} L_s \quad (2.5)$$

onde r_g representa a resistência parasita da porta do transistor. Se as resistências parasitas são desprezíveis comparadas com o último termo de (2.5), a impedância de entrada na frequência ω_0 se simplifica a:²

$$Z_{in} \approx \frac{g_m}{C_{gs}} L_s \approx \omega_T L_s \quad (2.6)$$

²Como trabalho complementar se está desenvolvendo uma pesquisa para realizar o projeto de um *LNA* e um misturador aplicando programação geométrica e considerando as resistências parasitas dos indutores [12, 13].

sendo w_T a frequência de ganho unitário de corrente e,

$$w_0^2 \approx \frac{1}{(L_s + L_g)C_{gs}} \quad (2.7)$$

Portanto, para obter máxima transferência de potência deve-se cumprir,

$$w_T L_s = R_s \quad (2.8)$$

De (2.6) e (2.8), note-se que a resistência de entrada sob condições de ressonância desprezando as resistências parasitas, depende diretamente de w_T e do valor da indutância L_s . Por conseguinte, para um valor de resistência de entrada determinado, o valor requerido de indutância L_s aumenta se w_T diminui. Neste sentido, existe um compromisso de projeto entre a frequência de ganho unitário de corrente w_T , o valor de indutância L_s que pode ser integrado na tecnologia utilizada com fatores de qualidade aceitáveis e a resistência de entrada requerida R_s .

Da mesma forma, existe um compromisso entre w_0 , o tamanho do transistor do estágio de transcondutância e o valor dos indutores L_s e L_g , já que conforme a equação (2.7) a frequência de ressonância depende inversamente do valor da capacitância C_{gs} e do valor dos indutores L_s e L_g . Se o tamanho do transistor se reduz, a capacitância C_{gs} intrínseca do transistor diminui, e por conseguinte, aumenta o valor requerido de $L_s + L_g$ para uma frequência de ressonância determinada. Isso último pode levar a um maior consumo de área para integrar os indutores e um incremento nas resistências parasitas associadas.

- b) Se a entrada do *LNA* estiver em ressonância, o ganho do estágio de transcondutância (G_{Transc}) depende diretamente da frequência de ganho unitário em corrente (ω_T) e a figura de ruído se reduz com o aumento de ω_T ,

$$|G_{Transc}| \approx \frac{w_T}{w_0} \frac{1}{R_s + w_T L_s} \approx \frac{w_T}{2w_0 R_s} \quad (2.9)$$

sendo w_0 a frequência central de interesse, R_s a resistência de saída da antena ou da fonte de entrada do *LNA* e L_s a indutância de degeneração na fonte do estágio de transcondutância do *LNA*.

Por conseguinte, para acrescentar o ganho e diminuir o fator de ruído é conveniente escolher comprimentos de canal mínimos $L = L_{min}$ nos transistores, já que isto representa um aumento em ω_T (equação (2.10)).

$$w_T = \frac{3\mu_n(V_{gs} - V_t)}{2L^2} \quad (2.10)$$

onde μ_n é a mobilidade dos portadores, V_{gs} é a tensão porta-fonte, V_t é a tensão de limiar e L é o comprimento de canal do transistor.

- c) O fator de ruído descreve a relação entre o ruído de saída total ($\overline{i_{n,o}^2}$) e o ruído de saída devido à fonte de entrada ($\overline{i_{n,s,o}^2}$):

$$F = 1 + \frac{\overline{i_{n,o}^2}}{\overline{i_{n,s,o}^2}} \quad (2.11)$$

e o fator de ruído do *LNA* pode ser expresso como:

$$F_{LNA} = F_{Transc} + (F_{cascode} - 1) \quad (2.12)$$

sendo F_{Transc} o fator de ruído do estágio de transcondutância e $F_{cascode}$ o fator de ruído do dispositivo cascode M_2 , calculados com respeito a fonte de entrada do *LNA*.

Utilizando o circuito equivalente da figura 2.3, supondo que na entrada do *LNA* se apresenta casamento de impedâncias e desprezando as resistências parasitas associadas com os indutores e a porta do transistor M_1 , o fator de ruído do estágio de transcondutância pode ser aproximado como segue [5, 10, 27, 6]:

$$F_{Transc} \approx 1 + \frac{w_0}{w_{T1}} \frac{\gamma_1}{Q_{in}} \left\{ \frac{1}{\alpha_1} + \frac{\delta_1 \alpha_1}{5\gamma_1} (1 + Q_{in}^2) - 0,79 \sqrt{\frac{\delta_1}{5\gamma_1}} \right\} \quad (2.13)$$

com

$$Q_{in} \approx \frac{w_0(L_s + L_g)}{R_s} \approx \frac{1}{w_0 C_{gs1} R_s} \quad (2.14)$$

onde γ_1 e δ_1 são parâmetros de ruído dependentes da polarização, $w_{T1} \approx g_{m1}/C_{gs1}$, $\alpha_1 = g_{m1}/g_{d01}$ e g_{d01} é a condutância porta-dreno na região de tríodo, para a mesma tensão V_{GS1} e V_{DS1} igual a zero.

Do mesmo modo, com base no modelo mostrado na figura 2.4(b), o fator de ruído do dispositivo cascode M_2 com respeito ao ruído inserido pela fonte de entrada do *LNA*, pode ser aproximado como [10]:

$$F_{cascode} \approx 1 + \frac{4\omega_0^4 R_s \gamma_2}{\omega_{T1}^2} \frac{C_{gs2}^2}{g_{m2}} \left\{ \frac{\alpha_2 \delta_2}{5\gamma_2} + \frac{(1 + \frac{C_p}{C_{gs2}})^2}{\alpha_2} - 0,79 \left(1 + \frac{C_p}{C_{gs2}} \right) \sqrt{\frac{\alpha_2}{5\gamma_2}} \right\} \quad (2.15)$$

sendo C_p a capacitância total no nó V_{s2} (sem C_{gs2}), e g_{m2} é a transcondutância de M_2 .

De acordo com as equações (2.13) e (2.14), para um valor de w_{T1} especificado existe um fator de qualidade ótimo $Q_{in,opt}$ e uma largura ótima $W_{1,opt}$ para o transistor

M_1 que minimiza o fator de ruído do estágio de transcondutância F_{Transc} . De modo que, se o efeito do dispositivo cascode sobre o fator de ruído total do LNA (F_{LNA}) é insignificante, pode-se obter uma minimização de F_{LNA} selecionando $W_1 = W_{1,opt}$. No entanto, se o ruído do dispositivo cascode na frequência central de trabalho não pode ser desprezado, é necessário analisar simultaneamente o fator de ruído do estágio de transcondutância e do dispositivo cascode.

- d) Aumentar a tensão efetiva $V_{GS1} - V_t$ aplicada no transistor M_1 incrementa w_{T1} , e por conseguinte, melhora o ganho e o desempenho de ruído; mas causa um aumento na potência total dissipada.
- e) A seleção da largura do transistor M_2 do dispositivo cascode, estabelece um valor máximo para a tensão porta-fonte no estágio de transcondutância, de tal forma que o transistor M_1 permaneça na região de saturação.
- f) A intermodulação de terceira ordem ($IM3$) do estágio de transcondutância, pode ser reduzida mediante o ajuste das terminações fora de banda ou através da seleção de um ponto de polarização adequado (equações (2.16)-(2.21)), de tal forma que a interação entre os coeficientes de terceira ordem g_3 e segunda ordem g_2 se diminua (equação (2.21)) [10, 5, 6, 27]. Sendo w_0 a frequência central de ressonância, $g_1 = g_{m1}$ e L_s a indutância de degeneração, Δw a diferença de frequência entre os dois tons utilizados para fazer o teste de intermodulação ($\Delta w = w_1 - w_2$), $2w$ a soma das frequências dos dois tons, A a amplitude dos tons e A_{IIP3} a amplitude dos tons de entrada para a qual $IM3 = 1$.

$$|IM3| \approx \frac{3}{4} \frac{g_1^3 |K(\omega)|}{|K(\omega) + g_1 Z_s'(\omega)|^3} |r_3'(\Delta\omega, 2\omega)| A^2 \quad (2.16)$$

$$r_3'(\Delta\omega, 2\omega) \approx -\frac{g_3}{g_1^4} + \frac{2}{3} \frac{g_2^2}{g_1^5} \left\{ \frac{2g_1 Z_s'(\Delta\omega)}{K(\Delta\omega) + g_1 Z_s'(\Delta\omega)} + \frac{g_1 Z_s'(2\omega)}{K(2\omega) + g_1 Z_s'(2\omega)} \right\} \quad (2.17)$$

$$K(\omega) = 1 + j\omega C_{gs}(Z_s + Z_g + Z_s') \quad (2.18)$$

$$|IM3| \approx \frac{3}{4} \left(\frac{\omega_T}{\omega_0} \right)^2 \frac{g_1 R_s}{(R_s + \omega_T L_s)^3} |r_3'(\Delta\omega, 2\omega_0)| A^2 \quad (2.19)$$

$$A_{IIP3}^2 = \frac{A^2}{|IM3|} = \frac{4}{3} \left(\frac{\omega_0}{\omega_T} \right)^2 \frac{(R_s + \omega_T L_s)^3}{g_1 R_s} \frac{1}{|r_3'(\Delta\omega, 2\omega_0)|} \quad (2.20)$$

onde,

$$r_3'(\Delta\omega, 2\omega_0) \approx -\frac{g_3}{g_1^4} + \frac{2g_2^2}{3g_1^5} \left[\frac{g_1 j 2\omega_0 L_s}{1 + j 2\omega_0 C_{gs} [Z_s(2\omega_0) + j 2\omega_0 (L_s + L_g)] + j g_1 2\omega_0 L_s} \right] \quad (2.21)$$

- g) Em arquiteturas de recepção de conversão direta ou frequência intermediária baixa é conveniente utilizar resistores de polisilício como carga do misturador de sinal, já que estes elementos são livres de ruído *flicker*, no entanto, isto se realiza à custa de uma queda de tensão maior nestes elementos [7].
- h) A relação sinal-ruído na saída do misturador SNR_{out} , levando em conta o ruído *flicker* inserido pelo par chaveado através do mecanismo direto, melhora com o aumento da amplitude do oscilador local (A_{LO}) e da área da porta dos transistores do par chaveado [30]. Também SNR_{out} se incrementa com a redução da tensão efetiva $V_{gs3} - V_t$ e a diminuição da capacitância porta-fonte C_{gs3} do transistor M_3 , como se mostra na equação (2.22). No entanto, diminuir $V_{gs3} - V_t$ aumenta a figura de ruído devido ao ruído térmico do estágio de transcondutância do misturador, e portanto, pode levar a pior desempenho total de ruído do misturador de sinal e do bloco LNA-Misturador.

$$SNR_{out} \approx \frac{A_{LO}}{(R_s + w_{T3} L_s)} \frac{1}{w C_{gs3}} \frac{1}{(V_{GS3} - V_t)} * \left\{ \frac{2 + \theta(V_{GS3} - V_t)}{1 + \theta(V_{GS3} - V_t)} \right\} \frac{V_{in}}{\bar{V}_n} \quad (2.22)$$

onde $\bar{V}_n$ é o ruído *flicker* equivalente referido nas portas de M_4 ou M_5 do par chaveado, θ modela em primeira ordem a resistência série da fonte do transistor, a degradação da mobilidade devido ao campo elétrico vertical, e a velocidade de saturação devida ao campo elétrico lateral em transistores de canal curto. θ é dependente do comprimento de canal L e é independente do efeito corpo [9].

2.3 Estratégia de projeto

Tendo apresentado algumas considerações e alguns compromissos existentes no projeto do bloco LNA-Misturador, nesta seção se apresenta de forma resumida a estratégia de projeto utilizada para obter um compromisso de projeto adequado entre algumas das especificações mais importantes no desempenho do bloco LNA-Misturador (ruído, linearidade, casamento de impedâncias, consumo de potência, ganho e isolamento de portas). No entanto, antes de apresentar a estratégia de projeto é necessário fazer clareza em alguns aspectos:

- ♣ Alguns dos passos propostos fazem parte de uma adaptação de metodologias já existentes na literatura, e tomam como base resultados encontrados em trabalhos especializados.

- ♣ Não se pretende mostrar um procedimento para otimizar rigorosamente o desempenho do bloco *LNA*-Misturador com a topologia escolhida, mas sim um procedimento para atingir as especificações de desempenho requeridas.
- ♣ Várias fontes de ruído que na prática degradam o desempenho de ruído têm sido desprezadas nas análises realizadas, por exemplo, o ruído gerado pela resistência do substrato e amplificado pela transcondutância do corpo, e o ruído gerado pela resistência de substrato e diretamente acoplado à saída através da capacitância da junção. Para reduzir o efeito destas fontes de ruído podem ser utilizadas técnicas de leiaute, por exemplo, anéis de guarda, estruturas de *shield*, entre outras.
- ♣ A estratégia usada adota condições de casamento para máxima transferência de potência para a entrada do *LNA*, e não casamento para mínima figura de ruído. Portanto, em geral existe uma impedância de entrada diferente para a qual o fator de ruído é menor que o obtido [31].

Em seguida se apresentam alguns dos passos seguidos no projeto do bloco *LNA*-Misturador, usando as condições de polarização, dimensões dos transistores e valores dos indutores como variáveis de projeto.

1. *Estabelecer um conjunto de especificações requeridas, de acordo com a aplicação para a qual se precisa projetar o bloco LNA-Misturador.*

Com o propósito de validar as análises feitas e fazer clareza sobre a estratégia de projeto proposta, este trabalho visa projetar um *LNA*-Misturador cumprindo com as especificações mínimas para o padrão *Bluetooth*. Com base na informação fornecida em [32] e o estado da arte exposto na seção 1.3, na Tabela 2.1 se apresentam as especificações que se pretendem alcançar no projeto do bloco *LNA*-Misturador.

A topologia selecionada do bloco *LNA*-Misturador não faz a rejeição da frequência imagem, portanto, para utilizar este bloco como parte de um receptor é necessário usar algum circuito ou estratégia para rejeitar a frequência imagem. Duas das possíveis alternativas geralmente implementadas são utilizar um filtro seletivo na entrada do *LNA* ou um filtro polifásico depois do misturador. Pelo fato que a frequência intermediária na saída do misturador é muito baixa, se for utilizado um filtro antes do *LNA* para fazer a rejeição da frequência imagem este precisaria ser muito seletivo. Portanto, uma alternativa mais viável é implementar depois do misturador um filtro polifásico para rejeitar a frequência imagem.

Tabela 2.1: Especificações de projeto para o bloco *LNA*-Misturador para atender *Bluetooth*.

Especificação	Valor
Fonte de Alimentação	3,3 V
Consumo de potência	$< 20 \text{ mW}$
Figura de ruído (NF_{SSB})	$< 10 \text{ dB}$
P_{IIP3}	$> -16 \text{ dBm}$
Ganho de tensão	$\geq 20 \text{ dB}$
Isolamento reverso (S_{12})	$\leq -30 \text{ dB}$
Coeficiente de reflexão na entrada (S_{11})	$\leq -10 \text{ dB}$
Impedância de entrada	$\approx 50 \Omega$
Faixa de frequências de entrada	2,402 GHz – 2,483 GHz
Frequência central de entrada	2,45 GHz
Frequência intermediária de saída	1 MHz

2. Selecionar o comprimento de canal mínimo permitido pelo processo de fabricação para os transistores, $L = L_{min}$ para maximizar os valores de w_T e g_m .

Para o desenvolvimento deste projeto foi utilizado um processo de fabricação *CMOS* $0,35\mu\text{m}$. Nesta tecnologia o mínimo comprimento de canal nominal permitido é $L = 0,35\mu\text{m}$, assim este valor foi usado em todos os transistores do bloco *LNA*-Misturador.

3. Delimitar o espaço de projeto de W_1 e W_2 , em função das condições de polarização, para obter um desempenho de ruído adequado no *LNA*.

Com o propósito de garantir condições adequadas de polarização e avaliar o fator de ruído do *LNA*, foi escolhida uma relação de W_2 e W_1 de tal forma que se garanta uma boa faixa de excursão na entrada do *LNA* e os transistores M_1 e M_2 permaneçam na região de saturação. A relação escolhida segundo as análises feitas foi $W_2/W_1 \approx 2/5$. Para esta relação de larguras de canal, foram feitas estimativas dos fatores de ruído do estágio de transcondutância e do dispositivo cascode do *LNA* utilizando as expressões (2.13) e (2.15). Estas expressões foram avaliadas utilizando os parâmetros de processo da tecnologia usada [33] e assumindo:

$$\gamma = \gamma_1 = \gamma_2 \approx \frac{4}{3} \quad \delta = \delta_1 = \delta_2 \approx 2\gamma \quad w_0 \approx 2,45 \text{ GHz}$$

$$\alpha = \alpha_1 = \alpha_2 \approx 0,8 \quad \frac{W_2}{W_1} = \frac{2}{5} \quad R_s \approx 50 \Omega$$

A figura 2.5 apresenta os resultados obtidos para o fator de ruído do estágio de transcondutância, do dispositivo cascode e a figura de ruído do *LNA* (F_{LNA}).

A tensão de polarização do estágio de transcondutância (V_{pol1}) e a largura do transistor M_1 foram utilizadas como variáveis independentes para esta análise. Dos resultados mostrados nas figuras 2.5(a) e 2.5(b) é evidente que para algumas tensões de polarização (V_{pol1}) o fator de ruído do dispositivo cascode ($F_{cascode}$) respeito a W_1 , chega ser considerável comparado com o fator de ruído do estágio de transcondutância (F_{transc}). Portanto, como se observa nas figuras 2.5(a) e 2.5(c) o valor de W_1 para o qual se consegue um mínimo no fator de ruído do estágio de transcondutância, é diferente do valor de W_1 para o qual se apresenta um melhor desempenho de ruído no LNA ; já que o mínimo de F_{LNA} se apresenta quando a primeira derivada de F_{transc} e $F_{cascode}$ se cancelam, e não quando a primeira derivada de F_{transc} é igual a zero.

Sob estas condições, existe uma faixa de valores de W_1 para a qual o desempenho de ruído do LNA se melhora, para diferentes tensões de polarização V_{pol1} e uma relação W_2/W_1 escolhida (neste caso $W_2/W_1 \approx 2/5$). Desta forma, para cada valor de V_{pol1} existe uma largura do transistor M_1 (W_1) para a qual a figura de ruído do LNA , sem considerar os indutores, é minimizada (figura 2.5(d)).

4. *Realizar uma estimativa do desempenho de linearidade, através do ponto de interseção de terceira ordem referido à entrada, e consumo de potência do LNA para cada ponto de polarização V_{pol1} sob condições de ressonância para máxima transferência de potência da fonte de entrada para o LNA.*

Adicionalmente às estimativas realizadas no passo anterior, para cada tensão de polarização V_{pol1} e cada largura de canal (W_1) foram feitas estimativas do consumo de potência e da intermodulação de terceira ordem.

Supondo que o dispositivo cascode M_2 não degrada significativamente o desempenho de linearidade e que a impedância de saída do LNA é dominada por uma carga linear,³ é possível estimar teoricamente a intermodulação de terceira ordem do circuito usando as equações (2.20)-(2.21) sob condições de ressonância.

Os diferentes valores de L_s e L_g para cada ponto de polarização V_{pol1} foram calculados em conformidade com as equações (2.7)-(2.8), para obter casamento de impedâncias na entrada ($R_s = 50\Omega$) em condições de máxima transferência de potência na frequência central de interesse ($f_0 \approx 2,45\text{ GHz}$).

Adicionalmente, para avaliar $IM3$ e P_{IIP3} do estágio de transcondutância, sem levar em conta as não linearidades maiores de terceira ordem, é necessário estimar as três

³No caso da topologia proposta a impedância de saída do LNA é dominada pela resistência associada com o indutor do dreno.

Figura 2.5: Estimativas teóricas sem considerar o efeito dos indutores: (a) Fator de ruído do estágio de transcondutância do *LNA*; (b) Fator de ruído do dispositivo cascode M_2 ; (c) Figura de ruído do *LNA*; (d) Largura de canal de M_1 para a qual se minimiza F_{LNA} em função de V_{pol1} .

primeiras derivadas da corrente de dreno (g_1 , g_2 e g_3) do transistor M_1 respeito à tensão entre porta e fonte para cada ponto de polarização V_{pol1} . Com este propósito, modelou-se a corrente de dreno de M_1 usando as equações (2.23)-(2.24) e foram achadas as suas respectivas derivadas para $\theta \approx 1$ [V^{-1}] y $n\phi_t \approx 29$ mV [5].⁴ Nas equações (2.23)-(2.24), V_t é a tensão de limiar do transistor, ϕ_t é a tensão térmica kT/q , e K depende dos parâmetros de processo e das dimensões do transistor.

$$I = f(V_{gs} - V_t) = K \frac{X^2}{1 + \theta X} \quad (2.23)$$

$$com \quad X = 2n\phi_t \ln \left(1 + e^{\frac{V_{gs} - V_t}{2n\phi_t}} \right) \quad (2.24)$$

Utilizando os valores calculados de L_s , L_g , g_1 , g_2 , g_3 e C_{gs1} para cada V_{pol1} , obtém-se a estimativa teórica de P_{IIP3} mostrada na figura 2.6 sob condições de casamento

⁴Os valores de θ e $n\phi_t$ foram extrapolados com base em resultados de simulação para os parâmetros de processo da tecnologia usada.

Figura 2.6: Estimativa do ponto de interseção de terceira ordem referido à entrada P_{IP3} do LNA em função de V_{pol1} .

para máxima transferência de potência e mínima figura de ruído do LNA .

5. Selecionar W_1 , W_2 , V_{pol1} , L_s , L_g e L_d .

Em função dos resultados encontrados nos passos anteriores foi escolhida uma tensão de polarização $V_{pol1}=0,73V$ para o estágio de transcondutância, já que com este ponto de polarização se obtém uma figura de ruído menor que $2dB$,⁵ um comportamento de linearidade adequado e um consumo de potência menor que $15mW$ para o LNA . Nesta tensão de polarização e com as restrições de consumo de potência se estima que para um valor de $W_1 \approx 450\mu m$ e $W_2 \approx 180\mu m$ (figura 2.5), obtém-se um desempenho de ruído adequado. Adicionalmente, para estes valores de V_{pol1} , W_1 e W_2 se obtém teoricamente $L_s \approx 0,9nH$ e $L_g \approx 7nH$ para ter casamento de impedâncias a 50Ω na entrada do LNA .

No entanto, foi necessário fazer uma simulação prévia para achar um valor mais conveniente das indutâncias, devido que a capacitância C_{gs1} em saturação foi calculada como $C_{gs1} = \frac{2}{3}W_1LC_{ox}$ e desprezando o valor da capacitância de sobreposição, a qual pode ser significativa e representar uma variação da indutância L_g para efetuar o casamento. Além disso, considerando que os fatores de qualidade que podem ser conseguidos na tecnologia usada são baixos e afetam a impedância de entrada e o desempenho de ruído do LNA , foi também necessário fazer uma modelagem dos indutores junto com as simulações mencionadas anteriormente.

⁵Sem considerar as perdas dos indutores. No final os indutores podem incrementar a figura de ruído em vários dBs .

Figura 2.7: Modelo do indutor empregado e gerado pela ferramenta *ASITIC*.

Para modelar os indutores foi utilizada a ferramenta *ASITIC* empregando basicamente os seguintes passos:⁶

- ♣ Passo 1: Com ajuda da estratégia de projeto exposta para o circuito em análise, foram determinados quais os valores de indutância e os fatores de qualidade mínimos que se precisam para cada indutor.
- ♣ Passo 2: Foi criada uma base de indutores com *ASITIC* para ter uma noção do comprimento externo do indutor que deve ser usado (função ou comando *sw*).
- ♣ Passo 3: Foi selecionado em função dos resultados obtidos um valor adequado do comprimento externo da espira (L_{EXT}). Utilizando o comando *optsq*⁷ foi feita uma nova análise para obter os indutores com a indutância desejada procurando o melhor fator de qualidade na frequência central de interesse.
- ♣ Passo 4: Seguidamente se modelou o indutor obtido no passo 3 usando o modelo *pix* de *ASITIC* e se verificou se o desempenho obtido era adequado. O comando *pix* permite obter um modelo mais aproximado do indutor na frequência central de interesse. O modelo equivalente utilizado para modelar o indutor foi o circuito *PI* mostrado na figura 2.7.
- ♣ Passo 5: Para estimar o desempenho do indutor numa faixa de frequências (por exemplo: $1GHz$ até $4GHz$), foi usada a função *2portx* para obter os parâmetros-Y do indutor projetado.
- ♣ Passo 6: Salvou-se o arquivo “.cif” de cada indutor para depois podê-los importar nas ferramentas da *Mentor Graphics* e da *Cadence*.

⁶*ASITIC*, da *University of California Berkeley, CA/USA*, é uma ferramenta *CAD*, sem custo, que ajuda ao projetista de circuitos RF para otimizar e modelar indutores espirais, transformadores, capacitores e acoples com o substrato. Suas estimativas consideram as perdas induzidas eletricamente e magneticamente, perdas por correntes de *eddy*, efeitos pele e de proximidade.

⁷O comando *optsq* otimiza o fator de qualidade em função da largura da espira para um valor de indutância, uma dimensão fixa do comprimento externo do indutor, uma faixa de valores de espaçamento entre as espiras e uma faixa de valores para a largura da espira.

Figura 2.8: Figura de ruído do *LNA* com indutores ideais e indutores modelados com *ASITIC*.

Utilizando o procedimento antes descrito e depois de efetuar algumas simulações se obteve $L_s \approx 0,5nH$ e $L_g \approx 6nH$, com os quais se consegue $S_{11} \leq -10dB$ na faixa de frequências de trabalho e uma figura de ruído menor que $5dB$ no *LNA*. Além disso, levando em conta os resultados obtidos para os indutores com *ASITIC* foi escolhido um indutor L_d de aproximadamente $5nH$ para ser utilizado na saída do *LNA*. Mediante resultados de simulação, usando *Eldo-RF*, encontrou-se que o valor do fator de qualidade dos indutores deve ser maior que 2,5 para obter uma figura de ruído do *LNA* menor que $5dB$. Portanto, quando os indutores projetados não atingiam o desempenho requerido, a restrição de área máxima foi modificada no *ASITIC*. Com o propósito de evidenciar o efeito dos indutores, na figura 2.8 se mostra como a figura de ruído do *LNA* projetado, sem considerar o misturador e considerando as resistências parasitas das portas dos transistores M_1 e M_2 , é afetada pelos indutores modelados com *ASITIC* em comparação com os indutores ideais.

Resumindo, os valores selecionados foram $W_1 = 450\mu m$, $W_2 = 180\mu m$, $V_{pol1} = 0,73V$, $L_s \approx 0,5nH$, $L_g \approx 6nH$ e $L_d \approx 5nH$.

6. Selecionar W_3 , C_d e a tensão de polarização V_{pol2} do estágio de transcondutância do misturador de sinal, em função do ganho, desempenho de ruído e linearidade.

O projeto do estágio de transcondutância do misturador depende da impedância de saída do *LNA*. Por este motivo, é necessário obter uma estimativa da impedância de entrada e do ganho do misturador com respeito às variáveis de projeto que afetam de forma mais significativa estas especificações. A impedância de entrada do estágio de transcondutância depende da tensão de polarização entre a porta e a fonte do

transistor M_3 , das dimensões deste transistor e da indutância de degeneração L_{sm} .

A tensão de polarização V_{pol2} de M_3 foi selecionada igual à tensão V_{pol1} do estágio de transcondutância do *LNA*, com o propósito de reduzir as tensões de referência necessárias ($V_{pol2} = V_{pol1} \approx 0,73V$). O indutor de degeneração L_{sm} foi selecionado considerando que quanto maior a indutância L_{sm} melhor será a linearidade [5], mas se reduz o ganho do estágio de transcondutância do misturador (equação (2.25)). Fazendo um compromisso entre estas especificações e levando em conta que as resistências parasitas associadas ao indutor L_{sm} não afetem significativamente o fator de ruído do bloco *LNA*-Misturador se selecionou $L_{sm} \approx 2,6nH$.

$$G_{M3} \approx \left| \frac{i_{d3}}{v_{out1}} \right| \approx \frac{\omega_{T3}/\omega}{|\omega_{T3}L_{sm} + Z_{Lsm} + Z_{Cgs3}|} \quad (2.25)$$

Se $|Z_{Cgs3}| > |Z_{Lsm}|$, de um lado quando se incrementa a largura do transistor M_3 o ganho do estágio de transcondutância aumenta, devido ao fato que $|Z_{Cgs3}|$ diminui (equação (2.25)). Por outro lado, incrementar a largura do transistor M_3 reduz a impedância de entrada equivalente no misturador, e portanto, se reduz o ganho total na saída do *LNA*, devido ao fato que a impedância equivalente ligada ao dreno do dispositivo cascode M_2 diminui. Em consequência, existe um valor de W_3 para o qual se obtém máximo ganho na saída do sistema em cascata do *LNA* e o estágio de transcondutância do misturador de sinal, como se mostra na figura 2.9(a).

Para obter os resultados da figura 2.9(a) foram estimadas a impedância de saída do *LNA* sem levar em conta C_d e a impedância de entrada do estágio de transcondutância do misturador variando W_3 através de simulação; nestas simulações os indutores foram modelados com os resultados obtidos no *ASITIC*, foi utilizada uma capacitância $C_2 = 1pF$ e uma resistência $R_B = 12K\Omega$. Adicionalmente, calculou-se o valor de C_d para cada valor de W_3 com o fim de obter condições de ressonância na saída do *LNA* na frequência central de trabalho. Desta forma, para cada valor de W_3 e C_d se estimaram o fator de ganho total normalizado na saída do estágio de transcondutância do misturador ($Fg_{output,M3}$), o fator de ganho normalizado na saída do *LNA* ($Fg_{output,LNA}$) e o ganho normalizado devido ao estágio de transcondutância do misturador de sinal ($Fg_{transc,M3}$).

No entanto, antes de selecionar W_3 também é necessário avaliar o desempenho de linearidade. Utilizando uma análise parecida à apresentada nas equações ((2.16)-(2.21)) para estimar a intermodulação de terceira ordem, observou-se que o ponto de de intermodulação referido à entrada do estágio de transcondutância do misturador, para as condições estabelecidas ($V_{pol2} = 0,73V$, $L_{sm} = 2,6nH$) e

Figura 2.9: (a) Fatores de ganho normalizados; (b) Estimativa teórica de P_{IIP3} no estágio de transcondutância do misturador.

$W_3 > 100\mu\text{m}$, melhora com o aumento da largura do transistor M_3 como se mostra na figura 2.9(b).

Em função dos resultados obtidos, selecionou-se $W_3 = 220\mu\text{m}$, já que isto representa um melhor desempenho quanto ao ganho e um desempenho aceitável de linearidade. Para os elementos L_d , C_2 , V_{pol2} , L_{sm} e W_3 selecionados corresponde um valor de $C_d \approx 430fF$, para obter condições de ressonância na saída do LNA.

7. Escolher a amplitude do oscilador local, a tensão de modo comum $V_{LO,c}$ e a largura dos transistores do par chaveado.

De forma parecida que no caso do dispositivo cascode do LNA, o ponto de polarização $V_{LO,c}$ e a largura dos transistores do par chaveado estabelecem um limite máximo de excursão na entrada e na saída do misturador de sinal. Uma tensão DC de $1,5V$ foi selecionada para polarizar as portas dos transistores M_4 e M_5 , já que este valor estabelece uma faixa de excursão adequada no dreno de M_3 e na saída do misturador para diferentes dimensões dos transistores do par chaveado.

O desempenho de linearidade do par chaveado foi estimado considerando os resultados apresentados em [5]. Estes resultados mostram a existência de uma faixa de dimensões do par chaveado que melhoram a linearidade do misturador de sinal, para uma corrente de dreno de M_3 e uma faixa de amplitudes do oscilador local. Adicionalmente, de acordo aos resultados mostrados em [5] se observa que contrário ao caso de baixa frequência onde a intermodulação se reduz com o aumento da amplitude do oscilador local, em altas frequências existe um valor de amplitude depois do qual a intermodulação se incrementa.

Levando em conta o estado da arte e trabalhos antes feitos [34], escolheu-se uma amplitude diferencial do oscilador local de $1V_p$. Para este valor de amplitude de oscilador local e com o propósito de achar compromissos de projeto entre ruído e

Figura 2.10: Resultados de simulação: (a) Figura de ruído do misturador (NF_{SSB}); (b) P_{IIP3} do misturador.

linearidade com respeito à largura dos transistores do par chaveado, realizaram-se simulações para diferentes valores de $W_4 = W_5 = W_{par}$.⁸ A figura de ruído foi medida na faixa de frequências de interesse na saída do misturador ($500 KHz - 1,5 MHz$)⁹ e o teste de intermodulação se realizou para um sinal RF de entrada conformado por dois tons localizados em frequências de canais adjacentes ($f_1 = 2,451 GHz$ e $f_2 = 2,452 GHz$) e uma frequência de oscilador local igual a $2,449 GHz$. De acordo com os resultados mostrados nas figuras 2.10(a) e 2.10(b), para valores de W_{par} entre $100 \mu m$ e $120 \mu m$ se obtém um melhor desempenho de ruído e linearidade, por fim, selecionou-se $W_4 = W_5 = W_{par} = 110 \mu m$.

8. Seleção da carga do misturador de sinal.

Como foi mencionado na seção 2.2 em arquiteturas de recepção de conversão direta ou frequência intermediária baixa é conveniente utilizar resistores de polisilício como carga do misturador de sinal. Portanto, o misturador de sinal apresentado neste trabalho utiliza elementos resistivos como carga. Para garantir que no pior dos casos os transistores estejam corretamente polarizados para as dimensões e tensões de polarização selecionadas, mantendo uma faixa aproximada de até $1V$ na saída do misturador se selecionaram resistências de carga $R = 600 \Omega$. De igual forma se adicionaram capacitores de saída de $7 pF$ com o propósito que a carga do misturador atue como um filtro passa-baixas na saída, conseguindo deste jeito rejeitar sinais não desejados que podem chegar a saturar os blocos subsequentes ao misturador de sinal.

⁸As simulações foram realizadas utilizando os modelos para RF fornecidos pela AMS para os transistores MOS.

⁹Esta faixa corresponde a uma frequência intermediária de saída de $1 MHz$ e uma largura de canal de $1 MHz$.

Tabela 2.2: Valores e dimensões para o projeto do bloco *LNA-Misturador*.

Parâmetro	V_{pol1}	W_1	W_2	L_s	L_g	L_d	C_d	R_A
Valor	0,73 V	$450\mu m$	$180\mu m$	0,5 nH	6 nH	5 nH	340 fF	12K Ω
Parâmetro	V_{pol2}	W_3	$W_4 = W_5$	L_{sm}	$V_{LO,c}$	A_{LO}	R	$C_5 = C_6$
Valor	0,73 V	$220\mu m$	$110\mu m$	2,6 nH	1,5V	1 V_p	600 Ω	7 pF

Finalmente, a Tabela 2.2 resume os valores e dimensões dos dispositivos, condições de polarização e elementos obtidos empregando a estratégia de projeto proposta. Adicionalmente, foram selecionados capacitores de 1pF para C_3 e C_4 e resistências de 50 Ω tentando ter um casamento adequado com o sinal de oscilador local nas entradas do par chaveado.

2.4 Resultados de simulação e leiaute

Na figura 2.11 se mostra o leiaute para o bloco *LNA-Misturador* projetado. Foram incluídos todos os dispositivos mostrados na figura 2.1, exetutando a carga de saída do misturador. A área *on-chip* total ocupada foi 1,3mm² incluindo os *pads*, as proteções *ESD* para os *pads* de polarização e os indutores; note-se que os indutores integrados *on-chip* ocupam quase 50% da área.

Figura 2.11: Leiaute do bloco *LNA-Misturador* projetado.

Tabela 2.3: Resultados de simulação do bloco *LNA-Misturador* e comparação com outros trabalhos.

Especificações	Este trabalho	[7]	[35]
Tensão de alimentação [V]	3,3	2,7	1,8
Consumo de potência [mW]	19	21,6	6,5
Figura de ruído (NF_{SSB}) [dB]	7,9	3,4	13,9
Ganho de tensão [dB]	27	23	21,4
P_{IIP3} [dBm]	-14,4	-3	-10
f_{RF} [GHz]	2,45	2,1	2,44
S_{11} [dB]	≤ -20	≤ -30	≤ -13
IF [MHz]	1	1	2

Figura 2.12: Resultados de simulação pós-leiaute: (a) Ganho de tensão; (b) Coeficiente de reflexão na entrada S_{11} ; (c) Figura de ruído *Single-Sideband* NF_{SSB} ; (d) P_{IIP3} com $f_{LO}=2,449 \text{ GHz}$, $f_1=2,451 \text{ GHz}$ e $f_2=2,452 \text{ GHz}$.

A Tabela 2.3 e a figura 2.12 apresentam alguns dos resultados de desempenho do bloco *LNA-Misturador* obtidos através de simulações pós-leiaute usando *Eldo-RF* e os

parâmetros de ruído fornecidos pela *foundry* para os modelos *RF BSIM3v3*. A extração pós-leiaute do circuito foi realizada sem os indutores e estes foram inseridos no circuito equivalente e simulados usando os modelos *PI* extraídos desde *ASITIC* no processo de projeto. Os testes de intermodulação foram feitos com dois tons em frequências de $f_1=2,451GHz$ e $f_2=2,452GHz$, e uma frequência de oscilador local de $f_{LO}=2,449GHz$. Adicionalmente, a Tabela 2.3 apresenta os resultados de desempenho comparados com outros dois trabalhos [7] e [35]. Com base nestes resultados, pode-se concluir que o bloco *LNA-Misturador* projetado neste trabalho apresenta melhor desempenho com respeito ao ganho de tensão, porém o desempenho de linearidade é menor que o apresentado em [7] e [35]. A figura de ruído é maior que em [7], mas [7] utiliza redes de casamento *off-chip*. Em nosso projeto, os indutores integrados *on-chip* degradam significativamente o desempenho de ruído. Além disso, em [35] o consumo de potência é menor que o obtido no nosso projeto, no entanto, [35] usa uma tensão de alimentação de 1,8V. Por conseguinte, pode-se considerar que nosso projeto alcança bons resultados com um consumo de potência moderado.

Com o propósito de avaliar o efeito dos *bondwires* que farão as ligações desde os *PADs* do *die* até uma placa de teste, decidiu-se fazer simulações modelando os *bondwires* como indutores ideais para estimar o seu efeito através de simulação. Depois de realizar várias simulações se observou que o efeito mais significativo acontece na saída do *LNA* devido ao efeito do *bondwire* que ligaria o *PAD IndLd* com a placa.

Para mostrar o efeito, a figura 2.13 apresenta os resultados para os ganhos na saída do *LNA* (Av_{LNA}) e na saída do misturador ($Av_{LNA-Misturador}$) em função da frequência na entrada de *RF* e para uma frequência de oscilador local de 2,449GHz. A figura 2.13(a) apresenta os resultados sem considerar os *bondwires*, a figura 2.13(b) considerando *bondwires* de 3nH ligados aos *PADs VDD!* e *IndLd* separadamente, e finalmente a figura 2.13(c) mostra os resultados considerando uma ligação diretamente sobre o *die* entre o *VDD!* e *IndLd* junto com um único *bondwire* de 3nH que faz a ligação até a placa de teste.

Analisando os resultados da figura 2.13(b) se nota que quando o *PAD IndLd* é ligado diretamente à placa através de um *bondwire*, o ganho do *LNA* se reduz significativamente já que a impedância do *bondwire* afeta o desempenho e comportamento do tanque *LC* na saída do *LNA*. Como se observa na figura 2.13(c), quando o *PAD IndLd* é ligado diretamente no *die* ao *PAD VDD!* o efeito dos *bondwires* é menor, isto acontece pelo fato que a capacitância total associada ao nó *VDD!* consegue atenuar o efeito da impedância equivalente do *bondwire* na banda de frequências de interesse. Portanto, recomenda-se para os testes finais fazer uma ligação entre os *PADs VDD!* e *IndLd* no *die* para conseguir reduzir os efeitos parasitas dos *bondwires* e obter resultados mais adequados.

Figura 2.13: Análise do efeito dos *bondwires*: (a) $Av_{LNA-Misturador}$ e Av_{LNA} sem considerar os *bondwires*; (b) $Av_{LNA-Misturador}$ e Av_{LNA} considerando *bondwires* de $3nH$ ligados aos *PADs VDD!* e *IndLd* separadamente; (c) $Av_{LNA-Misturador}$ e Av_{LNA} considerando uma ligação diretamente no *die* entre o *VDD!* e *IndLd* junto com um único *bondwire* de $3nH$.

Em conclusão, nesta seção se apresentou a estratégia utilizada para o projeto do bloco *LNA-Misturador CMOS*. Com base nesta estratégia se obteve um bloco *LNA-Misturador* que atinge segundo os resultados de simulação as especificações propostas.

Capítulo 3

Resultados experimentais

Neste capítulo se faz uma descrição da caracterização experimental de alguns dos indutores utilizados no projeto e do bloco *LNA-Misturador* projetado. A seção 3.1 descreve o *setup* de teste utilizado, as estruturas de calibração usadas e os resultados experimentais obtidos dos indutores. Na seção 3.2 se resume o plano e os *setups* de teste utilizados para medir algumas das especificações do circuito *LNA-Misturador* fabricado. Na seção 3.3 se apresentam alguns dos resultados experimentais obtidos.

3.1 Resultados experimentais dos indutores

Os indutores são elementos passivos que afetam significativamente o desempenho de alguns circuitos em radiofrequência, como é o caso do bloco *LNA-Misturador* projetado neste trabalho. Considerando isto, decidiu-se fabricar junto com o bloco projetado algumas estruturas de calibração e indutores com o propósito de ter uma estimativa experimental do comportamento e efeito dos indutores no desempenho do circuito projetado. Além disso, também com o propósito de validar a estratégia com a qual foram escolhidos, projetados e modelados os indutores.

As estruturas de calibração para fazer *de-embedding*, indutores e o circuito *LNA-Misturador* fazem parte de vários blocos integrados no chip *FAPESP152* usando uma tecnologia *CMOS* $0,35\mu m$. Na figura 3.1 se apresenta o chip completo fabricado, onde foram inseridos o bloco *LNA-Misturador*, os indutores e as estruturas de *de-embedding*. Neste chip também foram fabricados outros circuitos que fazem parte de trabalhos de pesquisa que estão sendo desenvolvidos.

3.1.1 *Setup* de teste usado

Para fazer a caracterização dos indutores e as estruturas para o *de-embedding*, foram coladas com tinta de prata 4 amostras do chip *FAPESP152* sobre uma lâmina de alumina

Figura 3.1: Microfotografia do chip *FAPESP152* fabricado.

de *1polegada x 1polegada*. Como se mostra na figura 3.2, para cada amostra foi designado um nome e todas as amostras foram dispostas na mesma orientação para facilitar o teste e ter uma regularidade no procedimento de teste. A base da estação de teste, os conectores, as terminações e as portas dos equipamentos foram limpas com álcool isopropílico.

Figura 3.2: Distribuição e organização das amostras do Chip *FAPESP152* testadas.

No teste dos elementos passivos (indutores e estruturas de calibração) foram utilizados o Analisador de Rede *HP8510B*, duas pontas novas modelo *40A-GSG-200-P* da *Picoprobe-GGB Industries* (figura 3.3¹) e dois cabos semirrígidos para RF. Antes de

¹Figura adaptada de [36].

Figura 3.3: Configuração das pontas *RF GSG*: (a) Configuração dos *PADs* para testes *RF*; (b) Foto de um teste *on-chip* com pontas *RF*.

começar os testes foi fixada e segura a posição dos cabos e ajustados os conectores. Seguidamente, foi feita a calibração *Full 2-Port* do sistema formado pelo *HP8510B* e as duas pontas *40A-GSG-200-P* utilizando o substrato de calibração *CS-9* da Picoprobe. Devido a que a fita onde estavam gravados os dados de calibração do substrato *CS-9* se quebrou, foi necessário solicitar os dados de calibração ao fabricante e inserir estes de forma manual no *HP8510B*. Inicialmente cometeu-se erros neste procedimento e foram perdidas várias jornadas de teste, depois de analisar a documentação, procedimentos e dados de outros substratos de calibração inseridos no equipamento foi possível achar os erros e obter a calibração certa. Neste procedimento de calibração foram utilizadas as estruturas *Short*, *Open*, *Thru* e *Load* com *pitch* de $200\mu m$ do substrato *CS-9*. A calibração foi feita na banda de frequência desde $0,5GHz$ até $4,5GHz$ utilizando 400 pontos e uma potência de $0dBm$.

3.1.2 Estruturas de *de-embedding* para os indutores

Devido a que geralmente em tecnologias *CMOS* padrão os indutores em RF apresentam fatores de qualidade baixos, estes limitam o desempenho de blocos em RF onde são utilizados, tais como, *LNAs* e Misturadores. Com o propósito de ter uma estimativa experimental e conseguir determinar o efeito dos indutores sobre o desempenho do circuito *LNA*-Misturador projetado, foi feita a caracterização de dois dos indutores usados no projeto deste circuito. No entanto, para fazer uma correta caracterização dos indutores é necessário fazer a calibração dos equipamentos e subtrair todos os efeitos parasitas que insere a estrutura de teste (*test-fixture*) mediante alguma técnica de calibração. O *test-fixture* neste documento refere-se à interface para ligar o dispositivo sob teste e as micro-pontas (figura 3.4). Isto é necessário devido que as dimensões laterais das pontas são geralmente maiores do que as dimensões superficiais dos dispositivos. Na maioria dos casos o *test-fixture* tem efeitos significativos sobre o teste do circuito, portanto, o

Figura 3.4: Representação esquemática de um *test-fixture*.

projeto apropriado destas estruturas é muito importante quando se deseja caracterizar um dispositivo.

Existem técnicas de calibração, chamadas *de-embedding* para subtrair o efeito do *test-fixture* das medidas do circuito. No entanto, apesar que existem estas técnicas é muito importante reduzir em quanto seja possível todos os efeitos parasitas devido às estruturas de teste.

Os sistemas ou equipamentos de medida *On-Wafer* são tipicamente calibrados usando um *ceramic impedance standard substrate (ISS)*, cargas precisas de 50Ω ou linhas de transmissão de 50Ω bem definidas. A calibração *ISS* é suficiente em casos onde as perdas do substrato e interligações do chip são comparáveis às do *ISS* [37]. Porém, em tecnologias de baixo custo como *CMOS* com perdas de substrato altas, este tipo de calibração não aplica. Além disso, “devido que a fabricação de cargas precisas ou linhas de transmissão de 50Ω bem definidas é ainda difícil com as tecnologias de circuitos integrados atuais, os procedimentos clássicos de calibração, tais como *short-open-load-thru (SOLT)*, *line-reflect-match (LRM)*, entre outros, são pouco práticos para medições *On-Wafer* realizadas sobre substratos de silício. Por este motivo, as técnicas *de-embedding* têm sido frequentemente usadas em conjunto com o procedimento de calibração *On-Wafer* para subtrair as parasitas não desejadas [38]”.

Diferentes métodos, procedimentos, modelos e estruturas de calibração têm sido apresentados na literatura para fazer *de-embedding* do *test-fixture* em medições de dispositivos *On-Wafer* [37, 39, 38, 40]. Entre estes métodos, usualmente os esquemas de *de-embedding* são baseados em suposições de circuitos equivalentes que tratam o dispositivo sob teste (*DUT, Device Under Test*) como uma rede que tem dispositivos intrínsecos com elementos parasitas em configurações paralelo-série ou série-paralelo (figura 3.5).² Isto permite tirar os elementos parasitas redundantes com passos de subtração de Parâmetros-Y e Parâmetros-Z [37].³

Um dos maiores inconvenientes de algumas técnicas de *de-embedding* é que não

²Em geral, as componentes parasitas do *DUT* fabricado sobre substratos de silício principalmente são provenientes dos *pads* de teste, as interligações metálicas e a semi-condutividade do substrato.

³A figura 3.5 foi adquirida de [37].

Figura 3.5: Exemplo de um modelo de impedâncias representativo do *test-fixture*: (a) Derivado desde a interpretação física; (b) Derivado por considerações de simetria.

oferecem escalabilidade de uma estrutura de teste para outra. É dizer, se existem diferentes circuitos que é necessário caracterizar e possuem diferente tamanho, seria necessário fazer diferentes estruturas de *de-embedding* para cada circuito. Não obstante, na maioria das situações isto não é possível dado que o projetista encontra-se limitado na quantidade de área que pode utilizar para fazer o desenvolvimento de um protótipo. Precisamente, com o propósito de reduzir a quantidade de estruturas de calibração necessárias se tem proposto uma técnica que oferece: escalabilidade, baixo custo, alta aproximação nas medidas e redução das parasitas entre portas associadas com substratos de altas perdas [39, 41].

Para fazer a caracterização dos indutores foi aplicada a técnica e o procedimento de *de-embedding* exposta em [41], como foi mencionado anteriormente esta precisa de um menor número de estruturas de calibração e permite obter uma melhor aproximação nas medidas dos indutores comparada com outras técnicas. Para fazer o *de-embedding* do *test-fixture* em total foram fabricadas três estruturas de calibração adicionais (*Short/Open*, *Open* e *Short*) como se mostra na figura 3.6⁴. Cada uma destas estruturas foi caracterizada mediante a medição dos parâmetros-S em função da frequência e depois foi aplicado o procedimento de *de-embedding* proposto em [41] para subtrair os efeitos do *test-fixture* e obter os parâmetros que caracterizam o dispositivo sob teste (neste caso os indutores) [42].

Como um exemplo para mostrar o efeito do *test-fixture* e a importância de aplicar um

⁴Figura tomada de [41].

Figura 3.6: Estruturas de calibração necessárias para subtrair os efeitos parasitas do *test-fixture*.

procedimento de *de-embedding* adequado, na figura 3.7 se compara o valor da indutância obtido para um dos indutores projetado aplicando o procedimento de *de-embedding* e sem aplicá-lo. É evidente que para obter uma medida aproximada do desempenho do indutor, é completamente necessário aplicar técnicas de *de-embedding* que permitam subtrair os efeitos parasitas que não tem a ver diretamente com o dispositivo sob teste.

Figura 3.7: Comparação do valor de indutância sem fazer o *de-embedding* e depois de fazer o *de-embedding* para o indutor L_d no chip B1.

3.1.3 Resultados obtidos

A seguir são apresentados os resultados obtidos depois de aplicar o procedimento de *de-embedding* usando as medidas obtidas das três estruturas de calibração e dos dois indutores projetados (indutor da porta L_g e indutor do dreno L_d no *LNA*). Foram feitos os testes nas 4 amostras, organizadas do jeito mostrado na figura 3.2. Nas figuras 3.8 e 3.9 são apresentados os resultados para os indutores da porta L_g e do dreno L_d do *LNA* para

cada amostra, respectivamente. Os valores do fator de qualidade e da indutância foram estimados obtidos aplicando as expressões de [43] sobre os parâmetros-Y de cada indutor obtidos depois de aplicar o procedimento de *de-embedding*.

Os indutores foram projetados com a ferramenta *ASITIC* utilizando a estratégia exposta no passo 5 da seção 2.3; procurando a geometria que apresentasse o melhor fator de qualidade na frequência central de interesse ($2,45GHz$) mediante o comando *optsq*. Dos resultados experimentais obtidos é evidente que este objetivo foi atingido nos dois indutores e em cada uma das amostras testadas. O fator de qualidade em $2,45GHz$ obtido experimentalmente no pior caso para o indutor L_g é 4,3 e para o indutor L_d é 4,5, quando a porta 2 do indutor está conectada a terra em *AC*.

Com o objetivo de fazer uma comparação, na figura 3.10 se apresentam os resultados obtidos da modelagem com *ASITIC* e os resultados obtidos experimentalmente para os indutores L_g e L_d na amostra B1. Os valores de indutância esperados, segundo os resultados de *ASITIC* em $2,45GHz$ para L_g e L_d são aproximadamente $6,1nH$ e $5,1nH$, respectivamente. Experimentalmente, obteve-se calculando a média das 4 amostras medidas aproximadamente $6,46nH$ e $5,41nH$. Os resultados tanto para o fator de qualidade (Q) e a indutância apresentam aproximadamente um 10% de erro máximo comparado aos resultados obtidos com *ASITIC*. Mesmo com o erro obtido, o objetivo de ter o maior fator de qualidade na banda de interesse ou perto dela foi cumprido.

Figura 3.8: *De-embedding* do indutor L_g : (a) Indutância no chip A1; (b) Q no chip A1; (c) Indutância no chip A2; (d) Q no chip A2; (e) Indutância no chip B1; (f) Q no chip B1; (g) Indutância no chip B2; (h) Q no chip B2.

Figura 3.9: *De-embedding* do indutor L_a : (a) Indutância no chip A1; (b) Q no chip A1; (c) Indutância no chip A2; (d) Q no chip A2; (e) Indutância no chip B1; (f) Q no chip B1; (g) Indutância no chip B2; (h) Q no chip B2.

Figura 3.10: (a) Indutância de L_g com ASITIC; (b) Q de L_g com ASITIC; (c) Indutância de L_g na amostra B1; (d) Q de L_g na amostra B1; (e) Indutância de L_d com ASITIC; (f) Q de L_d com ASITIC; (g) Indutância de L_d na amostra B1; (h) Q de L_d na amostra B1.

3.2 Plano de teste do *LNA*-Misturador

O plano de teste de forma geral define como um circuito ou sistema projetado vai ser testado, com o propósito de estabelecer se estão se alcançando as especificações esperadas. Nesta seção se apresenta de forma resumida um plano de teste, onde se faz um levantamento de alguns detalhes técnicos que é necessário considerar para medir algumas das especificações do bloco *LNA*-Misturador projetado e fabricado. Este plano de teste é resultado de um estudo rigoroso e detalhado de literatura relacionada com teste de circuitos de RF (por exemplo: *datasheets* dos equipamentos de medida, notas de aplicação, artigos técnicos, etc). Infelizmente, não foi possível encontrar na literatura consultada um plano de teste completo e detalhado para um bloco *LNA*-Misturador; por esta razão aqui se faz uma proposta e um resumo dos passos para medir algumas das especificações com o propósito de que trabalhos futuros possam usar estes como um ponto de partida nas suas medições. É importante ressaltar que alguns detalhes do plano de teste apresentado são particulares e específicos para o circuito *LNA*-Misturador fabricado neste trabalho.

A seguir se faz uma descrição geral do circuito fabricado, dos circuitos e componentes auxiliares utilizados para conseguir fazer os testes, os *setups* de teste usados e a descrição geral do procedimento para medir algumas das especificações.

3.2.1 Circuito a ser testado

A fotografia do bloco *LNA*-Misturador fabricado se mostra na figura 3.11 e corresponde ao circuito esquemático mostrado na figura 2.1 e ao leiaute da figura 2.11.

Figura 3.11: Microfotografia do bloco *LNA*-Misturador projetado e fabricado.

Para conseguir testar de forma adequada o circuito projetado e fabricado é necessário desenvolver uma placa e utilizar alguns componentes externos e circuitos auxiliares como se mostra no circuito esquemático da figura 3.12. No circuito fabricado se precisam de várias tensões de polarização, para aplicar estes sinais cada *PAD* de polarização é ligado à placa através de *bondwires* e para reduzir os efeitos parasitas são utilizados externamente na placa capacitores de $100nF$ e $10\mu F$. A saída de frequência intermediária *IF* do circuito fabricado é diferencial, no entanto, para conseguir fazer as medidas com os equipamentos disponíveis é necessário que a saída do circuito a ser testado seja com terminação simples (*single-ended*) e adicionalmente com casamento de impedâncias na saída para 50Ω . Com este propósito, depois de estudar algumas alternativas apresentadas na literatura [7] e alguns circuitos comerciais existentes, foi selecionado o circuito auxiliar mostrado na figura 3.12. A saída diferencial do bloco *LNA-Misturador* *OUTP* e *OUTN* é ligada às entradas *INP* e *INN* do circuito auxiliar através de *bondwires*.

Figura 3.12: Circuito esquemático do circuito completo a ser testado incluindo o *die* do circuito fabricado, os componentes externos e circuitos auxiliares.

O circuito integrado *AD8129* é um amplificador de baixo ruído com entrada diferencial e saída com terminação simples com alto *CMRR* em frequências até $200MHz$ [44]. Além disso, este tem alta impedância de entrada e consegue fornecer diretamente o sinal de saída com cargas de 100Ω . Portanto, este circuito pode ser usado para conversão do sinal diferencial de saída do bloco *LNA-Misturador* para terminação simples. Para conseguir o casamento de impedâncias da saída com os equipamentos de medida, usa-se a resistência R_5 de 47Ω na saída do *AD8129* que junto com a resistência de saída interna deste circuito soma aproximadamente 50Ω . O ganho deste amplificador adicionalmente pode ser configurado mediante R_3 e R_4 para obter $10V/V$ com o objetivo de diminuir o efeito de

elementos parasitas, das resistências utilizadas e dos equipamentos de teste principalmente nas medições de ruído. Na versão final do circuito fabricado não se incluiu a carga do misturador e por conseguinte esta deve ser colocada externa através dos resistores de precisão R_1 e R_2 . Adicionalmente, para medir os sinais na saída *OUT-IF* é usado um conector *SMA*.

O sinal *IN-RF* de entrada do bloco *LNA*-Misturador tem que ser fornecido de forma *on-die* com micro-pontas *GSG* de *RF*, usando um *Bias-Tee* como desacoplamento em DC entre a porta dos equipamentos e a entrada de sinal do *LNA*. O sinal diferencial do oscilador local *LO* também é aplicado de forma *on-die* utilizando micro-pontas diferenciais *GSSG* para *RF*.

Tendo feita uma descrição do circuito a ser testado, a seguir se faz uma breve explicação do procedimento utilizado para fazer cada um dos testes.

3.2.2 Medição do coeficiente de reflexão das portas de *RF* e *IF*

Apesar do bloco *LNA*-Misturador projetado ser um dispositivo não linear, o sinal refletido de interesse está na mesma frequência do sinal de excitação. Então, um Analisador de Redes Vectorial (*Vector Network Analyzer*, *VNA*) junto com um procedimento adequado de calibração pode ser usado para estimar os coeficientes de reflexão tanto na entrada de *RF* como na saída de *IF*. No entanto, existem algumas considerações especiais [45]:

- ♣ Quando os parâmetros de interesse são os coeficientes de reflexão na porta de entrada *RF* e na porta de saída *IF* (parâmetros S_{11} e S_{22}), é necessário fornecer o nível adequado do oscilador local (*LO*) já que a operação do misturador depende do nível do *LO* aplicado. Portanto, a medição de S_{11} e S_{22} é feita com dois sinais aplicados simultaneamente.
- ♣ Problemas ou erros podem ocorrer quando a frequência do sinal aplicado nas portas *RF* e *IF* para a medição coincide com a frequência do *LO* e os harmônicos do misturador. Para tentar evitar essa situação é importante escolher adequadamente a faixa de frequências de medida e a quantidade de pontos a serem avaliados.
- ♣ Para fazer uma medida adequada dos coeficientes de reflexão ou perdas de retorno, na porta do *LO* deve se fornecer um nível de potência suficiente e adequado de acordo com as características do circuito a ser testado.

A seguir se faz um resumo dos passos utilizados para fazer a medida do coeficiente de reflexão das portas de *RF* e *IF* usando um *VNA*.

- ♣ Calibrar cada uma das portas do *VNA* na banda de frequências de interesse. Considerando que a entrada de *RF* é *on-die* com micro-pontas *GSG* e a saída *IF* é com conector *SMA*, para calibrar a porta 1 pode-se utilizar o substrato de calibração *CS-9* das pontas *GSG* (estruturas *open*, *short* e uma carga de 50Ω). Para calibrar a porta 2 pode se usar o *kit* de calibração do próprio *VNA*.
- ♣ Gerar o sinal diferencial do oscilador local com um gerador de pulsos (por exemplo, o *HP8133A*) ou com um gerador de sinais sintetizados (por exemplo, o *HP83650L*) e um *balun*.
- ♣ Aplicar de forma *on-chip* o sinal do oscilador local diferencial no bloco *LNA-Misturador* usando as micro-pontas diferenciais *GSSG* com *pitch* de $110\mu m$. Conectar a porta 1 do *VNA* na entrada do *LNA* utilizando a micro-ponta *GSG* com *pitch* de $200\mu m$. Conectar a porta 2 do *VNA* à saída de *IF* do circuito a ser testado. Neste caso a saída *IF* utiliza um conector *SMA* depois do circuito auxiliar para fazer a conversão de saída diferencial para terminação simples no misturador.
- ♣ Medir os parâmetros S_{11} e S_{22} . Estes parâmetros representam os coeficientes de reflexão na porta de entrada do *LNA* e na porta de saída *IF*, respectivamente. Também podem se fazer medidas para diferentes valores das tensões V_{pol1} e V_{pol2} , para cada valor de tensão fazer a medida do consumo de potência total do bloco *LNA-Misturador*.

3.2.3 Medição do isolamento entre portas

- ♣ Fazer a calibração convencional do *VNA* com uma conexão *thru* entre as portas *RF* e *IF*. Neste caso, a calibração pode ser feita com o substrato para calibrações *on-die*, mas já que a entrada é *on-die* e a saída é com conector *SMA* vai se ter um erro na medida de aproximadamente $+1dB$ devido à perda da micro-ponta utilizada na porta 2 para a calibração a qual realmente não estará no *setup* de teste final.
- ♣ Colocar o circuito a ser testado, conectar a porta 1 do *VNA* à entrada de *RF*, a porta 2 do *VNA* na saída *IF* e fornecer o sinal diferencial do oscilador local *LO*. Fazer a medida dos parâmetros-S na faixa de frequências utilizada no procedimento de calibração. O parâmetro S_{21} obtido representa o isolamento da porta *RF* para a porta *IF* e S_{12} representa o isolamento da porta *IF* para a porta *RF*.

3.2.4 Medição do ganho de conversão e figura de ruído

Existem várias técnicas para realizar a medida de figura de ruído e ganho de conversão. No documento [46] são apresentados e comparados três métodos diferentes para medir a figura de ruído: o método de ganho, o método *Y-factor* e o método do medidor de figura de ruído.

Usar um medidor de figura de ruído é a forma mais simples e direta para medir a figura de ruído, inclusive em muitos casos é também a mais precisa [46]. Mas geralmente se apresentam limitações nas faixas de frequência que é possível medir. No caso do medidor de figura de ruído *HP8970B* disponível no *LME/PSI/USP*, o limite inferior de frequência é 12MHz [47], e portanto, se precisarem-se de medidas abaixo deste valor de frequência é necessário utilizar um analisador de espectro e outros métodos ou *setups* de teste.

Particularmente, neste trabalho o bloco LNA-Misturador foi projetado para ter uma frequência central intermediária *IF* de saída de 1MHz . Portanto, é necessário fazer medições abaixo de 12MHz . Levando em conta esta situação e revisando outros trabalhos [7, 46], decidiu-se primeiro medir a figura de ruído e o ganho com o método do medidor de figura de ruído em uma frequência intermediária fixa de saída de 12MHz . Depois pode ser usado um analisador de espectro junto com o método de ganho para medir a densidade espectral de ruído em frequências menores do que 12MHz , usando como calibração o resultado obtido com o medidor de figura de ruído em 12MHz . Desta forma, a figura de ruído pode ser medida em baixas frequências na ordem de kHz ; o limite será imposto pela mínima frequência do analisador de espectro na qual ainda o ruído de piso do equipamento não afete os resultados de medida. Em seguida, apresenta-se um resumo do método usando um medidor de figura de ruído e o método de ganho.

Usando um medidor de figura de ruído

Para realizar a medida da figura de ruído e o ganho do bloco LNA-Misturador em uma frequência intermediária fixa de 12MHz pode ser utilizado o *setup* de teste mostrado na figura 3.13(a). O medidor de figura de ruído (*Noise Figure Meter, NFM*) gera um sinal de pulso para controlar uma fonte de ruído (por exemplo, HP346A/B/C), a qual gera ruído para ser inserido na entrada do circuito a ser testado ou circuito sob teste (*Device Under Test, DUT*). A saída do *DUT* é então medida pelo *NFM*. Devido que o ruído de entrada e a relação Sinal-Ruído da fonte de ruído são conhecidos pelo *NFM*, o ganho e a figura de ruído do *DUT* podem ser calculados internamente e fornecidos ao usuário. No entanto, para obter uma medida mais precisa é necessário aplicar um procedimento de calibração ou correção para conseguir tirar da medida o efeito dos equipamentos de teste e componentes que não fazem parte do circuito a ser testado.

Figura 3.13: (a) *Setup* de medida com o *NFM* no modo de medição 1.3 para medir ganho e figura de ruído do circuito sob teste; (b) *Setup* de calibração do *NFM*.

A seguir se faz um resumo de alguns dos passos que podem ser utilizados para fazer a medida da figura de ruído e do ganho com o analisador de figura de ruído (*NFM*).

- ♣ Usar o analisador de figura de ruído *HP8970B* no modo de medição 1.3 [47]. Este modo de medição é para circuitos sob teste que fazem conversão de frequência com uma frequência intermediária de saída fixa menor do que 2047MHz , e uma frequência variável do oscilador local a qual pode ser controlada pelo medidor de figura de ruído.
- ♣ Calibrar o medidor de figura de ruído no modo de medição 1.3 sem a presença do circuito a ser testado, como se mostra na figura 3.13(b). Neste processo de calibração têm que ser especificados os parâmetros de frequência que vão ser usados na calibração e na medição. Especificamente, tem que ser especificada a banda de frequências na qual vai se variar o oscilador local, o tamanho do passo utilizado, e a frequência intermediária de saída que deseja se medir.

- ♣ Compensar as perdas que não foram consideradas na calibração. Lembrando que a entrada do circuito a ser testado é *on-die* e a saída é com conector *SMA*, se a calibração é feita conectando diretamente a fonte de ruído à entrada do medidor de figura de ruído com cabo coaxial, seria necessário subtrair a perda do cabo e a micro-ponta *GSG* utilizados para aplicar o sinal na entrada no bloco *LNA-Misturador*. Isto pode ser compensado através da função especial 34 do *NFM*, inserindo o valor estimado da perda da micro-ponta e o cabo como compensação de perdas [47]. A perda do cabo pode ser medida com um analisador de redes vectorial ou escalar na banda de frequências *RF* equivalente de entrada, e a perda da micro-ponta pode ser estimada com o *datasheet* fornecido pelo fabricante.

Adicionalmente, no caso particular deste trabalho, o circuito auxiliar faz parte do circuito a ser testado, mas não faz parte do bloco *LNA-Misturador* projetado. Portanto, para obter a medida correta de ganho é necessário compensar o ganho inserido pelo circuito auxiliar usando a função especial 34 do medidor de figura de ruído ou simplesmente subtraindo o ganho esperado da rede auxiliar do valor de ganho total obtido depois de fazer as medidas. Adicionalmente, formalmente o ruído inserido pelo circuito auxiliar poderia afetar a figura de ruído total medida. Mas neste caso considerando o ganho e a figura de ruído esperada do bloco *LNA-Misturador*, e o ruído equivalente na entrada do circuito *AD8129* [44], espera-se que o efeito não seja muito significativo na figura de ruído total obtida.

- ♣ Colocar o circuito a ser testado, usando o *setup* de teste mostrado na figura 3.13(a) configurando o *NFM* no modo de medição 1.3, e fazer a medida. Neste modo de medição o *NFM* pode atuar como controlador do oscilador local para ajustar cada uma das frequências do *LO* na faixa e passos configurados no *setup* de calibração.
- ♣ Apertar duas vezes o botão *Corrected Noise Figure and Gain* do *NFM* para obter o valor corrigido da figura de ruído e ganho do circuito sob teste. Desta forma para cada frequência do oscilador local pode ser obtido experimentalmente o ganho e a figura de ruído na frequência intermediária desejada.

Utilizando o procedimento anterior, pode se fazer a medida de ganho e figura de ruído do bloco *LNA-Misturador* projetado e fabricado até uma frequência intermediária de saída de 12MHz e variando a frequência do oscilador local em uma banda desejada. Os dados da figura de ruído e ganho obtidos para uma *IF* de 12MHz e uma frequência específica do oscilador local podem ser utilizados para fazer a calibração do *setup* de medida usado no método de ganho que será resumido a seguir.

Método de Ganho: Usando um analisador de espectro

Se a entrada do circuito sob teste (DUT) é terminada com uma impedância característica (por exemplo, neste caso 50Ω), a figura de ruído pode ser estimada como [46]:

$$NF_{SA} = P_{NOUTD} - (-174dBm/Hz + Ganho_{DUT}) \quad (3.1)$$

onde NF_{SA} é a figura de ruído em dB do circuito sob teste obtida usando o método de ganho, P_{NOUTD} é a densidade de potência do ruído total medida à saída do DUT em dBm/Hz , $-174dBm/Hz$ representa a densidade de ruído da impedância característica equivalente na entrada a $290^\circ K$ e $Ganho_{DUT}$ é o ganho do circuito sob teste.

Portanto, a figura de ruído pode também ser medida indiretamente usando um analisador de espectro para determinar o ganho do circuito sob teste e a densidade total de ruído na saída colocando na entrada uma terminação com a impedância característica para a qual foi projetado o circuito.

A seguir se apresentam alguns dos passos básicos e algumas considerações para fazer a medida da figura de ruído para frequências intermediárias de saída menores do que $12MHz$, utilizando o *setup* de medida da figura 3.14.

- ♣ Medir a potência do sinal de RF que vai ser fornecido na entrada do LNA , isto se faz medindo a potência de saída do gerador de RF com o analisador de espectro usando uma conexão *thru*. Neste caso a medida se faz sem incluir a micro-ponta usada posteriormente para aplicar o sinal de entrada de forma *on-die*.
- ♣ Medir o ganho para uma frequência intermediária de saída de $12MHz$ utilizando o *setup* de medida mostrado na figura 3.14(a). Sintonizar o segundo gerador de RF que fornece o sinal do oscilador local para o bloco LNA -Misturador na potência de saída e na frequência adequadas para obter o sinal de saída na frequência intermediária desejada. Calcular a diferença entre a potência de saída medida neste passo e a potência de entrada medida no passo anterior para estimar o ganho do circuito sob teste. Novamente, este ganho também considera o ganho do circuito auxiliar utilizado para fazer a conversão de diferencial para terminação simples e casamento de impedâncias para 50Ω na saída do bloco LNA -Misturador.
- ♣ Sintonizar o sinal de RF de entrada e do oscilador local para obter as outras frequências intermediárias de saída desejadas e calcular o ganho para cada uma delas da forma mencionada no passo anterior.
- ♣ Substituir o gerador de RF que forneceu o sinal de entrada do bloco LNA -Misturador por uma terminação com uma impedância característica de 50Ω (esta terminação

(a)

(b)

Figura 3.14: *Setup* para o método de ganho: (a) *Setup* de medida para obter o ganho com o analisador de espectro; (b) *Setup* de medida para estimar experimentalmente a densidade de potência de ruído na saída do circuito sob teste.

pode ser a carga de 50Ω que faz parte do *kit* de calibração do analisador de redes vectorial).

- ♣ Usando o *setup* da figura 3.14(b), medir a densidade de potência de ruído de saída com o analisador de espectro em uma banda de frequências em torno de cada uma das frequências intermediárias de interesse. Para obter uma medida estável se recomenda utilizar uma relação de *RBW* (*Resolution BandWidth*) e *VBW* (*Video BandWidth*) igual a 0,3 [46].
- ♣ Utilizando a equação (3.1) e os resultados de ganho e densidade de ruído obtidos nos passos anteriores, calcular a figura de ruído NF_{SA} para cada frequência intermediária.
- ♣ Aplicar um fator de correção nas estimações experimentais de figura de ruído NF_{SA} obtidas para conseguir tirar o efeito do ruído de piso do analisador de espectro e de

outras fontes de perda e ruído presentes no *setup* de teste utilizado. Este fator de correção FC pode ser calculado usando o resultado de fator de ruído obtido com o método do medidor de figura de ruído na frequência intermediária de $12MHz$ da seguinte forma:

$$FC = F_{SA}(IF = 12MHz) - F_{NFM}(IF = 12MHz) \quad (3.2)$$

onde FC é o fator de correção, $F_{SA}(12MHz)$ é o fator de ruído obtido com o método de ganho para uma frequência intermediária IF de saída de $12MHz$ e $F_{NFM}(12MHz)$ é o fator de ruído obtido com o medidor de figura de ruído na mesma IF .

Portanto, desprezando o efeito do circuito auxiliar, o fator de ruído do bloco *LNA-Misturador* em cada uma das frequências intermediárias medidas pode ser estimado como:

$$F_{LNA-Misturador} \approx F_{SA} - FC \quad (3.3)$$

No entanto, este fator de correção só é válido se o ruído de piso do analisador de espectro não muda significativamente na banda de frequências intermediárias na qual se fazem as medidas.

O ganho do bloco *LNA-Misturador* pode ser estimado experimentalmente como a diferença do ganho total medido e do ganho do circuito auxiliar utilizado. Desta forma tanto a medida de ganho como a medida de figura de ruído podem ser estimadas para frequências menores do que $12MHz$ e na ordem de kHz .

3.2.5 Análise de não linearidade

Duas medidas geralmente usadas para analisar os efeitos não lineares de um circuito, são o ponto de compressão a $1dB$ e o ponto de interseção de terceira ordem. O *setup* de teste mostrado na figura 3.15 pode ser utilizado para fazer estimativas experimentais destas duas medidas ou parâmetros de desempenho. Para fazer os testes de intermodulação é necessário inserir a combinação de dois tons de *RF* em frequências próximas na entrada do circuito sob teste.

Portanto, como se mostra na figura 3.15, no caso do bloco *LNA-Misturador* é necessário utilizar três geradores de *RF* para conseguir fazer os testes, dois para gerar os dois tons na entrada de *RF* e outro para gerar o sinal do oscilador local do bloco *LNA-Misturador*. Além disso, é necessário usar algum componente para conseguir combinar os dois tons de entrada, pode ser um *RF Power Splitter/Combiner*. Adicionalmente, precisa-se de um analisador de espectro para medir a resposta na saída do circuito sob teste. Os passos básicos do procedimento são descritos a seguir:

Figura 3.15: *Setup* de medição para analisar alguns dos efeitos não lineares do circuito sob teste.

- ♣ Gerar a combinação de dois tons de frequências próximas (f_1 e f_2) e da mesma potência. Inserindo a saída de dois geradores de *RF* nas duas entradas do *RF Power Splitter/Combiner* pode ser obtido na saída deste bloco a combinação dos dois tons de frequência desejados. Para estimar a potência efetiva que vai se fornecer na entrada do bloco sob teste pode se medir a saída do *RF Power Splitter/Combiner* com um analisador de espectro e o uso de uma conexão *thru*. Fazer a medida para diferentes níveis de potência de entrada.

Quando se deseja ter uma estimativa mais precisa é necessário subtrair a perda da micro-ponta de *RF* utilizada para aplicar o sinal de forma *on-die* no chip. Além disso, geralmente o sinal de frequência intermediária *IF* se transmite através do cabo com menos perda do que na frequência de entrada *RF*. Desta forma, quando se deseja e necessita-se ser rigoroso na medida é necessário medir a perda do cabo que liga a saída *IF* com a entrada do analisador de espectro, nas frequências *RF* de entrada e na frequência intermediária de saída de interesse, calcular a diferença e adicionar este resultado como fator de correção da potência *RF* de entrada medida.

- ♣ Conectar a saída do *RF Power Splitter/Combiner* à entrada do bloco *LNA-Misturador* através de uma micro-ponta *GSG*. Gerar o sinal do oscilador local *LO* com o terceiro gerador de *RF* e um *balun* ou diretamente com um gerador de pulsos de *RF* com saída diferencial (ajustar a frequência do *LO* para obter as frequências intermediárias e os produtos de intermodulação desejados para a análise, o nível de potência ou tensão equivalente gerado tem que ser o usado no projeto do bloco *LNA-Misturador*). Aplicar este sinal diferencial na entrada do oscilador local do bloco *LNA-Misturador* usando uma micro-ponta de *RF* na configuração *GSSG*.

- ♣ Para cada um dos níveis de potência de entrada P_{IN} utilizados no primeiro passo medir o sinal de saída com o analisador de espectro. Medir a potência de saída P_{OUT} dos tons localizados nas seguintes frequências $f_1 - f_{LO}$, $f_2 - f_{LO}$, $2f_1 - f_2 - f_{LO}$ e $2f_2 - f_1 - f_{LO}$.
- ♣ Com os dados obtidos fazer um gráfico de P_{OUT} vs P_{IN} para cada um dos tons de frequência de saída medidos. Realizar uma extrapolação como a mostrada na figura 2.12(d), para obter o ponto de interseção de terceira ordem referido à entrada P_{IIP3} e o ponto de compressão a $1dB$ referido à entrada P_{-1dB} do circuito sob teste.

Nos resultados obtidos através deste procedimento também estão inclusos os efeitos não lineares do circuito auxiliar utilizado. No entanto, levando em conta as características e especificações de linearidade do circuito *AD8129* e o desempenho de linearidade do circuito fabricado, pode se esperar que o circuito auxiliar não afete significativamente as estimações experimentais do ponto de compressão a $1dB$ e o ponto de interseção de terceira ordem do bloco *LNA-Misturador* projetado neste trabalho.

Nesta seção se fez um levantamento e descrição do plano de teste para estimar experimentalmente algumas das especificações de interesse do bloco *LNA-Misturador* projetado. A seguir são apresentados alguns dos resultados de teste obtidos no bloco *LNA-Misturador*.

3.3 Resultados experimentais do *LNA-Misturador*

Com o propósito de fazer alguns testes preliminares mesmo sem ter concluído a fabricação e montagem da placa, decidiu-se fazer uma medida *on-die* para verificar o casamento de impedâncias na entrada de *RF* e as condições de polarização do *LNA* numa das amostras. Especificamente foi medida a característica I_{dLNA} vs V_{pol1} e o parâmetro S_{11} na entrada do *LNA* para diferentes tensões de polarização V_{pol1} na porta do estágio de transcondutância do *LNA*. Estes testes foram feitos diretamente sobre a amostra *A1* de forma *on-die*. As tensões de polarização e alimentação foram fornecidas mediante micro-agulhas e sem usar nenhum tipo de capacitor em *DC*. A base da estação de teste e todas as terras dos equipamentos foram ligadas ao mesmo potencial. Utilizaram-se dois multímetros simultaneamente para medir a corrente consumida pelo *LNA* e a tensão V_{pol1} .

Além dos equipamentos e elementos mencionados na seção 3.2.2, para o teste do bloco *LNA-Misturador* foram usadas três fontes *DC* (*HPE3615A*), dois multímetros, três micro-agulhas e um *Bias-Tee* utilizado como desacoplamento em *DC* entre a porta 1 do Analisador de Redes e a entrada de sinal *RF* do *LNA*. As três fontes *DC* e as três micro-agulhas foram empregadas para fornecer os sinais de alimentação e polarização do

Figura 3.16: Resultados experimentais no LNA: (a) Corrente de polarização do LNA em função da tensão de polarização V_{pol1} na porta do estágio de transcondutância do LNA; (b) Coeficiente de reflexão (S_{11}) na entrada do LNA em função da frequência de operação para diferentes V_{pol1} .

LNA. Devido a que o *Bias-Tee* inserido muda o *setup* de teste e afeta as medidas do LNA, foi necessário fazer uma calibração do sistema formado pelo HP8510B, as pontas GSG e o *Bias-Tee* para subtrair seus efeitos parasitas. Esta rotina de calibração foi feita na faixa de frequências de 0,5GHz até 4,5GHz usando 400 pontos com um nível de potência de $-10dBm$. A corrente máxima de saída da fonte DC de alimentação do LNA foi limitada até 6mA, para não ter riscos de quebrar as trilhas de metal desenhadas no bloco LNA-Misturador.

Nas figuras 3.16(a) e 3.16(b) são apresentados os resultados experimentais obtidos de I_{dLNA} vs V_{pol1} e de S_{11} vs frequência, respectivamente.

O melhor casamento a 50Ω ocorreu para $V_{pol1}=0,706V$ com um coeficiente de reflexão S_{11} de $-36,3dB$ em $2,46GHz$. Nestas condições de operação o LNA tem uma corrente de polarização de aproximadamente $3,5mA$ e uma dissipação de potência de $11,55mW$ para $V_{dd}=3,3V$. No entanto, para as outras condições de polarização mostradas se atinge a especificação $S_{11} \leq -10dB$. Finalmente, é importante ressaltar na figura 3.16(b) o resultado obtido para $V_{pol1}=0,71V^*$, a qual corresponde a uma variação significativa do desempenho esperado quando não se tinha uma bom contato entre os cabos principalmente entre a base da estação de teste e as terminações de terra dos equipamentos. Apesar desta situação consegue-se garantir $S_{11} \leq -10dB$.

Não se fizeram testes da entrada do LNA com outras amostras já que para obter resultados mais confiáveis e evitar o problema de mal contato e o efeito das impedâncias parasitas das terminações (principalmente as ligações com terra) é mais conveniente concluir a fabricação e montagem da placa de teste do circuito completo a ser testado da figura 3.12, na qual estejam todos os capacitores para os pontos de polarização e os

outros elementos externos que se precisam para medir as outras especificações.

Em conclusão, neste capítulo foram apresentados alguns resultados experimentais obtidos e um plano de teste para o bloco *LNA*-Misturador. A seguir serão apresentadas algumas conclusões sobre o trabalho desenvolvido e recomendações para trabalhos futuros.

Capítulo 4

Conclusões e recomendações para trabalhos futuros

Neste trabalho uma estratégia de projeto bem clara, concisa e com uma boa base física e matemática foi desenvolvida para auxiliar o processo de projeto de um bloco *LNA*-Misturador. Esta estratégia foi adaptada de trabalhos apresentados na literatura. Um bloco *LNA*-Misturador foi projetado em uma tecnologia $0,35\mu m$ *CMOS* para validar a estratégia de projeto proposta. Expressões de ruído e linearidade apresentadas na literatura para as topologias escolhidas foram estudadas, e expressões para o fator de ruído do dispositivo cascode foram formuladas. A estratégia de projeto proposta considera o compromisso entre ruído, linearidade, ganho, dissipação de potência, casamento de impedâncias e isolamento entre portas, usando as dimensões dos dispositivos e condições de polarização como variáveis de projeto.

Para analisar os efeitos não lineares foi utilizada uma boa estimativa da intermodulação. Com base em análises e desenvolvimentos apresentados na literatura usando séries de Volterra, foi gerada uma expressão aproximada para o ponto de interseção de terceira ordem referido à entrada no *LNA*. Os resultados obtidos teoricamente comparados com os obtidos através de simulação mostram que a expressão é adequada. Também foi feito um estudo rigoroso e um levantamento do plano de teste para o bloco *LNA*-Misturador com o propósito que trabalhos futuros possam usar este como um ponto de partida nas suas medições.

Para atingir os objetivos, durante o desenvolvimento desta dissertação foi dada atenção especial no projeto dos indutores. Foi projetado, fabricado e medido um chip de teste. Para tal fim foram aplicadas técnicas e estruturas de *de-embedding* nas medidas para conseguir resultados mais confiáveis. Os resultados experimentais obtidos para os indutores e os resultados preliminares do bloco *LNA*-Misturador são satisfatórios de acordo com o esperado das simulações. No entanto, os indutores integrados degradam

significativamente o desempenho do bloco *LNA*-Misturador. Se forem usados processos de fabricação nos quais os indutores apresentem melhor desempenho, os resultados do bloco *LNA*-Misturador aplicando a estratégia de projeto desenvolvida neste trabalho podem ser melhorados.

Devido ao baixo desempenho dos indutores na tecnologia usada (fatores de qualidade baixos) se sugere não integrar dentro do chip o indutor L_g e fazer a rede de casamento para 50Ω fora do chip, considerando no projeto desta, o efeito dos *bondwires* ligados à entrada do *LNA* e demais efeitos parasitas.

Para facilitar o processo de teste é recomendável diminuir a quantidade de pontos e fontes de polarização que precisam ser aplicadas externamente. Em projetos futuros, é importante e desejável quanto for possível gerar as correntes e tensões de polarização do bloco *LNA*-Misturador internamente no chip.

Para diminuir o efeito dos *bondwires* principalmente na saída do *LNA* se recomenda ligar o *PAD* de *VDD* do *LNA* ao *PAD* de alimentação do anel de *PADs*, isto com o propósito de ter uma capacitância maior equivalente para atenuar o efeito da impedância dos *bondwires* que fazem a ligação à placa ou até o encapsulamento. Além disso, é importante incluir dentro do chip capacitores adicionais nos *PADs* de polarização e os *PADs* de alimentação para reduzir os efeitos dos *bondwires* e dos elementos parasitas.

Com o propósito de reduzir a complexidade nos processos de teste e calibração se recomenda ter a mesma forma e interfaces tanto para aplicar os sinais de entrada como para medir os sinais de interesse. Isto é, se a entrada for fornecida de forma *on-die* a saída também deverá ser medida *on-die*; ou caso contrário, se a entrada for aplicada através de conector *SMA* a saída também deverá ser medida da mesma forma.

Visando a aplicação prática do bloco projetado em um sistema de recepção completo, sugere-se escolher um encapsulamento adequado para uso em *RF* e avaliar os efeitos parasitas envolvidos nas diferentes interfaces (placa de teste, encapsulamento, *bondwires* e *die* do chip projetado). Recomenda-se estudar alternativas para conseguir fazer *trimming* ou ajuste de algumas das especificações do bloco *LNA*-Misturador. Pode ser através de pinos externos e circuitos auxiliares incluídos se for necessário no chip. O estudo de outras arquiteturas também é desejável.

Finalmente, é importante ressaltar que a estratégia de projeto proposta no nosso trabalho já está sendo usada e adaptada em outros projetos com o propósito de melhorar os resultados obtidos, e conseguir auxiliar o processo de projeto deste tipo de blocos [12, 13].

Referências Bibliográficas

- [1] *International Technology Roadmap for Semiconductors*, S.I.A Std., 2008. [Online]. Available: <http://public.itrs.net/>
- [2] D. Shaeffer and T. H. Lee, “A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier,” *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, 1997.
- [3] A. Karanicolas, “A 2.7-V 900-MHz CMOS LNA and Mixer,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939–1944, 1996.
- [4] J. Crols and M. S. J. Steyaert, “A 1.5 GHz Highly Linear CMOS Downconversion Mixer,” *IEEE J. Solid-State Circuits*, vol. 30, no. 7, pp. 736–742, 1995.
- [5] E. Terrovitis, “Analysis and Design of Current-Commutating CMOS Mixers,” Ph.D. dissertation, University of California, Berkeley, 2001.
- [6] E. Roa, J. Navarro, and W. V. Noije, “A Methodology for CMOS Low Noise Amplifier Design,” *16th Symposium on Integrated Circuits and Systems Design. IEEE Computer press*, pp. 14–19, 2003.
- [7] H. Sjöland, A. Karimi-Sanjaani, and A. A. Abidi, “A Merged CMOS LNA and Mixer for a WCDMA Receiver,” *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1045–1050, 2003.
- [8] B. Razavi, “Design Considerations for Direct-Conversion Receivers,” *IEEE Trans. Circuits Syst. II*, vol. 44, no. 6, pp. 428–435, 1997.
- [9] Y. Tsividis, *Operation and Modeling of the MOS transistor*, 2nd ed. McGraw-Hill, 1999.
- [10] A. A. Pabón, E. Roa, and W. V. Noije, “On nonlinearity and noise trade-off in a low power 2.45 GHz CMOS LNA-mixer design,” *Microwave and Optoelectronics International Conference. SBMO/IEEE MTT-S*, pp. 869–873, 2007.
- [11] A. A. Pabón, E. Roa, and W. V. Noije, “An RF-CMOS LNA and Mixer Merged Design Strategy,” *XIII Workshop Iberchip*. CDROM, 4 pages, 2007.

- [12] S. Chaparro, A. A. Pabón, E. Roa, and W. Van Noije, "A merged RF CMOS LNA-Mixer design using geometric programming," *SBCCI '09: Proceedings of the 22nd Annual Symposium on Integrated Circuits and System Design*, pp. 1–5, 2009.
- [13] S. Chaparro, A. A. Pabón, E. Roa, and W. Van Noije, "A Low Power CMOS LNA Design using Geometric Programming," *XV Workshop Iberchip*. CDROM, 4 pages, 2009.
- [14] P. Leroux, J. Janssens, and M. Steyaert, "A 0.8-dB NF ESD-Protected 9-mW CMOS LNA Operating at 1.23 GHz," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 760–765, 2002.
- [15] L. Lu, H. Hsieh, and Y. Wang, "A Compact 2.4/5.2-GHz CMOS Dual-Band Low-Noise Amplifier," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 10, pp. 685–687, Oct. 2006.
- [16] Y. Wang and M. Khan, "A Very Low Voltage Design for Different CMOS Low-Noise Amplifier Topologies at 5 GHz," *48th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 643–646, Aug. 2005.
- [17] T. Kim and B. Kim, "Post-Linearization of Cascode CMOS Low Noise Amplifier Using Folded PMOS IMD Sinkers," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 4, pp. 182–184, Apr. 2006.
- [18] H.-J. Lee, D. Ha, and S. Choi, "A 3 to 5GHz CMOS UWB LNA with input matching using miller effect," *Solid-State Circuits Conference. ISSCC 2006. Digest of Technical Papers. IEEE International*, pp. 731–740, Feb. 2006.
- [19] S. T. Wang, A. M. Niknejad, and R. B. Brodersen, "Design of a Sub-mW 960-MHz UWB CMOS LNA," *IEEE J. Solid-State Circuits*, vol. 41, no. 11, pp. 2449–2456, Nov. 2006.
- [20] F. Zhang and P. R. Kinget, "Low-Power Programmable Gain CMOS Distributed LNA," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1333–1343, Jun. 2006.
- [21] M. T. Reihani and J. R. Long, "A 1.2 V Reactive-Feedback 3.1-10.6 GHz Low-Noise Amplifier in 0.13 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1023–1033, May 2007.
- [22] P. Chan, A. Rofougaran, K. A. Ahmed, and A. A. Abidi, "A Highly Linear 1-GHz CMOS Downconversion Mixer," *Solid-State Circuits Conf. IEEE*, pp. 210–213, 1993.

- [23] L. Liu and Z. Wang, “A New High Gain Low Voltage 1.45 GHz CMOS Mixer,” *International Symposium on Circuits and Systems. IEEE*, vol. 5, pp. 5023–5026, May 2005.
- [24] P. Sullivan, B. A. Xavier, D. Costa, and W. H. Ku., “A Low Voltage Evaluation of a 1.9GHz Silicon MOSFET Gilbert Cell Downconversion Mixer,” *Solid-State Circuits Conf. IEEE*, pp. 212–215, 1996.
- [25] A. Liscidini, A. Mazzanti, R. Tonietto, L. Vandi, P. Andreani, and R. Castello, “A 5.4mW GPS CMOS Quadrature Front-End Based on a Single-Stage LNA-Mixer-VCO,” *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, pp. 1892–1901, Feb. 2006.
- [26] A. Amer, E. Hegazi, and H. F. Ragaie, “A 90-nm Wideband Merged CMOS LNA and Mixer Exploiting Noise Cancellation,” *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 323–328, Feb. 2007.
- [27] E. Roa, “Metodologia de Projeto para Amplificadores de Baixo Ruído em CMOS,” Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, São Paulo, 2003.
- [28] J. J. Ou, “CMOS RF Device Modeling and Low-Noise Amplifier Circuit Design,” Ph.D. dissertation, University of California, Berkeley, 2001.
- [29] A. V. der Ziel, *Noise in Solid State Devices and Circuits*. John Wiley and Sons, 1986.
- [30] H. Darabi and A. A. Abidi, “Noise in RF-CMOS Mixers: A Simple Physical Model,” *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 15–25, 2000.
- [31] H. Rothe and W. Dahlke, “Theory of Noisy Fourpoles,” *Proc. of the IRE.*, vol. 44, pp. 811–815, 1956.
- [32] *Specification of the Bluetooth System V1.0A [Online]*. Available: <http://www.bluetooth.com>, November 2004.
- [33] 0.35 μm CMOS C35 Process Parameters, AustriaMicroSystems Std. Rev. 5.0, 2007.
- [34] A. F. Peláez, “Projeto e Implementação de um Oscilador Monolítico a 2,4GHz em Tecnologia CMOS 0.35 μm ,” Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, São Paulo, 2003.
- [35] F. Beffa *et al.*, “A 6.5-mW Receiver Front-End for Bluetooth in 0.18- μm CMOS,” *IEEE MTT-S Int. Dig.*, vol. 1, pp. 501–504, Jun. 2002.

- [36] *RF Probe Selection Guide*, Cascade Microtech Std. [Online]. Available: <http://www.cmicro.com/>
- [37] T. E. Kolding, "A Four-Step Method for De-Embedding Gigahertz On-Wafer CMOS Measurements," *IEEE Trans. Electron Devices*, vol. 47, pp. 734–739, 2000.
- [38] M.-H. Cho, G.-W. Huang, L.-K. Wu, C.-S. Chiu, Y.-H. Wang, K.-M. Chen, H.-C. Tseng, and T.-L. Hsu, "A Shield-Based Three-Port De-Embedding Method for Microwave On-Wafer Characterization of Deep-Submicrometer Silicon MOSFETs," *IEEE Trans. Microw. Theory Tech.*, vol. 53, pp. 2926–2934, 2005.
- [39] T. E. Kolding, "Shield-Based Microwave On-Wafer Device Measurements," *IEEE Trans. Microw. Theory Tech.*, vol. 49, pp. 1039–1044, 2001.
- [40] M.-H. Cho, G.-W. Huang, C.-S. Chiu, and K.-M. Chen, "Unified Parasitic De-Embedding Methodology of On-Wafer Multi-Port Device Characterization," *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1307–1310, 2005.
- [41] T. Kolding, O. Jensen, and T. Larsen, "Ground-Shielded Measuring Technique for Accurate On-Wafer Characterization of RF CMOS Devices," *Proceedings of the 2000 International Conference on Microelectronic Test Structures*, pp. 246–251, 2000.
- [42] A. D. Anjos, "Comparação de Ferramentas para Modelamento de Indutores na Tecnologia CMOS," Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, São Paulo, 2007.
- [43] R. Bunch, D. Sanderson, and S. Raman, "Quality Factor and Inductance in Differential IC Implementations," *Microwave Magazine, IEEE*, vol. 3, no. 2, pp. 82–92, Jun 2002.
- [44] (2005) Low cost 200mhz differential receiver amplifier. [Online]. Available: http://www.analog.com/static/imported-files/data_sheets/ad8129_8130.pdf
- [45] L. Dunleavy, T. Weller, E. Grimes, and J. Culver, "Mixer Measurements using Network and Spectrum Analysis," *ARFTG Conference Digest-Fall, 48th*, vol. 30, pp. 16–27, Dec. 1996.
- [46] "Three Methods of Noise Figure Measurement," Maxim Integrated Products, Tech. Rep. Application Note 2875, Nov. 2003. [Online]. Available: http://www.maxim-ic.com/appnotes.cfm/an_pk/2875

-
- [47] “HP 8970B Noise Figure Meter Operating Manual,” Hewlett-Packard Company, Tech. Rep. 08970-91012, Apr. 1998. [Online]. Available: <http://www.home.agilent.com>