ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

VANESSA CRISTINA PEREIRA DA SILVA

**ESTUDO DA REGIÃO DE SUBLIMAR DE
TRANSISTORES SOI AVANÇADOS**

São Paulo
2018

VANESSA CRISTINA PEREIRA DA SILVA

**ESTUDO DA REGIÃO DE SUBLIMAR DE
TRANSISTORES SOI AVANÇADOS**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Ciências.

São Paulo
2018

VANESSA CRISTINA PEREIRA DA SILVA

**ESTUDO DA REGIÃO DE SUBLIMIAR DE
TRANSISTORES SOI AVANÇADOS**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Ciências.

Área de Concentração:

Engenharia Elétrica / Microeletrônica.

Orientadora: Prof.^a Dr.^a Paula Ghedini Der Agopian

Co-orientador: Prof. Dr. João Antonio Martino

São Paulo
2018

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Silva, Vanessa Cristina Pereira da
ESTUDO DA REGIÃO DE SUBLIMAR DE TRANSISTORES SOI
AVANÇADOS / V. C. P. Silva -- versão corr. -- São Paulo, 2018.
91 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Transistores 2.MOSFET 3.SOI 4.UTBOX/UTBB 5.NANOFIO
I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Dedicatória

Dedico este trabalho aos meus pais,

Eduardo Pereira da Silva

Vilma da Silva

E aos meus avós,

Ulisses da Silva (*in memoriam*)

Izabel Alves de Freitas (*in memoriam*)

Elias Pereira da Silva (*in memoriam*)

Laudelina Pereira da Silva (*in memoriam*)

AGRADECIMENTOS

Gostaria de agradecer primeiramente a Deus, por ter me dado força, coragem e sabedoria, durante a realização deste trabalho.

À minha orientadora, Prof^a. Dr^a. Paula Ghedini Der Agopian, devido ao imenso apoio e ensinamentos para a realização deste trabalho.

Ao meu co-orientador, Prof. Dr. Joao Antonio Martino e ao Prof. Dr. Victor Sonnenberg, por toda ajuda, colaboração e ensinamentos para a realização deste trabalho.

Aos meus pais, Eduardo Pereira da Silva e Vilma da Silva, que sempre estiveram ao meu lado, acreditaram em meu potencial, e me deram apoio e suporte para seguir meus sonhos e conquistar meus objetivos.

Ao meu irmão Eduardo Ricardo, que sempre serviu de exemplo, me apoiando e incentivando.

Ao meu namorado Edelson Venuto, pela ajuda, apoio e compreensão em todos os momentos dessa jornada.

À minha família, por todo apoio e incentivo.

Aos meus colegas do grupo SOI, pelos conselhos, apoio e ensinamentos ao longo da realização deste trabalho.

E ao meu melhor e mais leal amigo Scott, que sempre esteve ao meu lado até o último dia de sua vida, me motivando, alegrando e sendo companheiro.

"Tenha um filho e será pai, tenha um cachorro e será um mestre"

(John Grogan)

RESUMO

Em decorrência da necessidade de se obter circuitos integrados (CIs) cada vez mais velozes e conseqüentemente dando sequência à lei de Moore, a redução das dimensões dos dispositivos se torna necessária, aumentando assim a capacidade de integração de transistores dentro de um CI, porém, ao passo que ocorre a miniaturização, aparecem efeitos parasitários que afetam o comportamento dos transistores. Sendo assim, torna-se necessária a utilização de novos dispositivos e o uso de diferentes materiais, para dar continuidade à evolução tecnológica.

Com o avanço da tecnologia, as indústrias seguiram em dois caminhos diferentes, a tecnologia planar (exemplo: UTBB) e a tridimensional (exemplo: FinFET). Neste trabalho são abordadas estas duas diferentes geometrias. Foram analisados dispositivos UTBOX e UTBB (planares) e os nanofios de porta ômega (Ω -Gate NW), que tem estrutura tridimensional.

O uso de dispositivos com baixa-potência e baixa-tensão tornaram-se ainda mais importante nos dias de hoje, com aplicações em áreas médicas, como aparelhos auditivos e marca passos, em relógios inteligentes, microsensores e etc. Quanto menor for a potência consumida, menor será o calor gerado, resultando em uma redução de custos com sistemas de refrigeração.

Os circuitos que operam na região de sublimiar são utilizados em aplicações onde o consumo de energia é mais importante do que a performance, porém, ao trabalhar nessa região os transistores apresentam um alto ganho para pouca variação de tensão.

Nos transistores UTBOX e UTBB SOI nMOSFETs foram analisados os parâmetros partindo-se da tensão de limiar em direção à região do transistor no estado desligado, analisando a influência da espessura da região ativa do silício, do comprimento do canal e da implantação do plano de terra nos seguintes parâmetros: tensão de limiar, inclinação de sublimiar, abaixamento da barreira induzido pelo dreno (DIBL), a fuga no dreno induzida pela porta (GIDL) e razão das correntes no estado ligado e desligado (I_{ON}/I_{OFF}).

A redução do comprimento de canal afeta todos os parâmetros, devido ao efeito de canal curto, que além de reduzir a tensão de limiar, quando o dispositivo opera com

baixo V_{DS} (tensão entre dreno (V_D) e fonte (V_S)), reduz ainda mais quando aplicado alto V_{DS} (em saturação), aumentando o DIBL. Esse efeito foi observado para os dispositivos nanofios com porta ômega, nos três valores de largura de canal analisados. Com o V_{DS} alto também ocorre mais fuga de corrente pela segunda interface para comprimentos de canal curto, o que reduz a razão I_{ON}/I_{OFF} .

Quanto mais fina é a espessura do canal, melhor é o acoplamento entre as interfaces, resultando em uma melhor inclinação de sublimiar (SS) tornando os valores próximos ao limite teórico de 60mV/dec à temperatura ambiente. Nos resultados experimentais foi possível observar, para os dispositivos UTBOX e UTBB, uma redução de SS de aproximadamente 20 mV/dec, com a redução de t_{Si} . A espessura da região ativa do silício também influencia na distribuição do campo elétrico, sendo diretamente proporcional, ou seja, quanto mais espessa a camada de silício, maior será o campo elétrico.

A implantação do plano de terra (GP) tem como um de seus objetivos reduzir as cargas de depleção que são formadas abaixo do óxido enterrado e assim melhorar o controle das cargas no canal pela tensão aplicada no substrato.

Essas cargas de depleção aumentam a espessura efetiva do óxido enterrado e também influenciam as cargas dentro do canal, resultando em um maior potencial na segunda interface (canal/óxido enterrado), facilitando a condução no canal, ou seja, reduzindo o valor de V_T . Com a presença do GP, o potencial na segunda interface é mais próximo de zero, o que reduz a condução por essa região. Com isso será necessária uma maior tensão para inverter o canal. Porém, o controle das cargas pela tensão aplicada na porta é maior. Os valores extraídos de V_T sem GP foram de aproximadamente 0,25V e com GP aproximadamente 0,45V.

O estudo feito nos transistores de estrutura de nanofio e porta ômega NMOS e PMOS foi baseado em três parâmetros: tensão de limiar, inclinação de sublimiar e DIBL, com diferentes comprimentos e larguras de canal, sendo possível observar a presença do efeito de canal curto ao analisar os três parâmetros para L a partir de 100nm.

Os transistores com $W_{fin}=220\text{nm}$ apresentaram um menor V_T em relação aos demais, para explorar esse fato, foram feitas simulações numéricas dos transistores

do tipo N com $W_{fin}=220\text{nm}$ e $L=100\text{nm}$. Com as simulações iniciais, os transistores com $W_{fin}=220\text{nm}$ apresentaram um valor da tensão de limiar bem próximo dos demais W_{fin} . Para explorar o porquê de os dispositivos experimentais apresentarem um deslocamento no V_T , foi analisada a condução pela segunda interface, onde, com as simulações com cargas fixas na segunda interface, a curva $I_{DS} \times V_{GS}$ simulada ficou próxima da experimental, explicando a redução de V_T para $W_{fin}=220\text{nm}$.

Com as simulações com cargas fixas na primeira e segunda interfaces, foi possível notar uma imunidade na inclinação de sublimiar ao adicionar essas cargas, que ocorre devido à pequena altura da região ativa de silício ($h_{fin}=10\text{nm}$) que promove um forte acoplamento entre as interfaces.

A largura de canal afetou significativamente os valores de DIBL para L s menores que 100nm , pois, como o campo elétrico é proporcional à área, os transistores com L pequeno e W grande sofrem forte influência desse campo, resultando em um aumento de V_T quando em saturação.

Palavras-chaves: UTBOX, UTBB, SOI, MOSFET, NW.

ABSTRACT

Due to the need to obtain integrated circuits (IC) faster and to follow Moore's law, it is necessary to reduce the dimensions of the devices increasing the capacity of integration of transistors inside an IC, however, with the miniaturization appears parasitic effects that affect the behavior of the transistors. Therefore, it is necessary to use new devices and the use of different materials to continue the technological evolution.

With the advancement of technology, the industries have followed in two different ways, the planar technology (example: UTBB) and the three-dimensional technology (example: FinFET). In this work, these two different geometries are discussed. UTBOX and UTBB (planar) devices and the Ω -Gate NW, which has a three-dimensional structure, were analyzed.

The use of low-power low-voltage devices has become even more important nowadays, with applications in medical areas such as hearing aids and pacemakers, in smart watches, microsensors, and so on. The lower the power consumed, the lower the heat generated, resulting in a reduction of costs with cooling systems.

The circuits that operate in the subthreshold region are used in applications where power consumption is more important than performance, but when working in this region the transistors have a high gain for little voltage variation.

In the UTBOX and UTBB SOI nMOSFETs transistors the parameters starting from the threshold voltage towards the region of the transistor in the off state were studied, analyzing the influence of the silicon active region thickness, the channel length and the ground plane implantation in the following parameters: threshold voltage, subthreshold swing, drain-induced barrier lowering (DIBL), gate-induced drain leakage (GIDL) and current ratio on over off (I_{ON}/I_{OFF}).

The channel length reduction affects all parameters due to the short channel effect, which in addition to reducing the threshold voltage when the device operates with low V_{DS} (V_D) and source (V_S)), reduces even further when applied high V_{DS} (in saturation), increasing the DIBL. This effect was observed for the nanowire devices with omega gate, in the three channel width analyzed. With high V_{DS} , there is also more

current leakage through the back interface for short channel lengths, which reduces the I_{ON}/I_{OFF} ratio.

The thinner the channel thickness, the better the coupling between the interfaces, resulting in a better SS, making the values close to the theoretical limit of 60mV/dec at room temperature. In the experimental results, it was possible to observe for the UTBOX and UTBB devices a SS reduction of approximately 20mV/dec, with t_{Si} reduction. The thickness of the active region of the silicon also influences the distribution of the electric field, being directly proportional, that is, the thicker the silicon layer, the greater the electric field.

The implementation of the ground plane (GP) has as one of its objectives to reduce the depletion charges that are formed below the buried oxide and thus improve the control of the charges in the channel by the voltage applied at the substrate.

These depletion charges increase the effective thickness of the buried oxide and also influence the charges at the channel, resulting in a higher potential at the second interface (buried channel/oxide), facilitating the conduction in the channel, i.e., reducing the value of V_T . And with the presence of GP, the potential in the second interface is closer to zero, which reduces the conduction by this region, and then, this will require a higher voltage to invert the channel. However, the charge control by the voltage applied at the gate is higher. Values extracted of V_T without GP were approximately 0.25V and with GP approximately 0.45V.

The study on the omega-gate nanowire transistors of N and P type was based on three parameters: threshold voltage, subthreshold swing and DIBL, with different channel lengths and widths, being possible to observe the presence of the short channel effect for the three analyzed parameters and $L=100$ and 40nm .

The transistors with $W_{fin}=220\text{nm}$ had a higher V_T in relation to the others, suggesting the presence of the narrow channel effect, to explore this fact, numerical simulations of N type transistors with $W_{fin}=220\text{nm}$ and $L=100\text{nm}$ were done. With the initial simulations, the transistors with $W_{fin}=220\text{nm}$ did not show a narrow channel effect, where the threshold voltage value is very close to the others W_{fin} . Another alternative that was explored was the conduction by the back interface, where, with the

simulations with fixed charges in the back interface, the simulated $I_{DS}V_{GS}$ curve was close to the experimental one, explaining the reduction of V_T for $W_{fin}=220\text{nm}$.

With the simulations with fixed charges in the front and back interfaces it was possible to notice an immunity in the subthreshold swing when adding these charges, which occurs due to the small height of the silicon active region ($h_{fin}=10\text{nm}$) that promotes a strong coupling between the interfaces.

The channel width significantly affected the DIBL values for L_s smaller than 100nm since, the electric field is proportional to the area, and the transistors with small L and large W have strong influence of this field, resulting in an increase of V_T when in saturation.

Keywords: *UTBOX, UTBB, SOI, MOSFET, NW.*

LISTA DE FIGURAS

FIGURA 1.1 – EVOLUÇÃO TECNOLÓGICA AO LONGO DO TEMPO.	24
FIGURA 1.2 – REPRESENTAÇÃO DOS TRANSISTORES MUGFETs: A) FINFETs; B) PORTA – TRIPLA MOSFET; C) PORTA – π MOSFET; D) PORTA – Ω MOSFET; E) GAA MOSFET E F) NANOFIO PORTA – Ω	25
FIGURA 2.1 – TRANSISTOR SOI NMOSFET.	27
FIGURA 2.2 - TRANSISTOR SOI NMOSFET COM A REPRESENTAÇÃO DAS INTERFACES.	28
FIGURA 2.3 - DIAGRAMA DE FAIXA DE ENERGIA DO TRANSISTOR PD SOI MOSFET.	29
FIGURA 2.4 - DIAGRAMA DE FAIXA DE ENERGIA DO TRANSISTOR FD SOI MOSFET.	30
FIGURA 2.5 - PERFIL DE UM TRANSISTOR PD SOI NMOS SEM INFLUÊNCIA SIGNIFICANTE DO EFEITO DE CANAL CURTO (A) E COM EFEITO DE CANAL CURTO (B).	31
FIGURA 2.6 - PERFIL DE UM TRANSISTOR FD SOI NMOS COM CANAL LONGO (A) E CANAL CURTO (B) SEM INFLUÊNCIA DO EFEITO DE CANAL CURTO.	32
FIGURA 2.7 – EXEMPLO EXPERIMENTAL DE EFEITO DE CANAL CURTO.	32
FIGURA 2.8 – MODELO DE UM TRANSISTOR FINFET.	33
FIGURA 2.9 – TRANSISTOR UTBOX/UTBB SOI NMOSFET COM IMPLANTAÇÃO DO PLANO DE TERRA.	35
FIGURA 2.10 – MODELO DE TRANSISTOR NANOFIO SOI MOSFET A) VERTICAL; B) HORIZONTAL.	36
FIGURA 2.11 – DIAGRAMA DE BANDAS DE UM TRANSISTOR NMOS A) EM EQUILÍBRIO COM $V_{DS}=0V$ E B) COM ALTO V_{DS} E PRESENÇA DO EFEITO DIBL.	40
FIGURA 2.12 - EXEMPLO DE UM TRANSISTOR SOI NMOSFET COM REGIÃO DE SOBREPOSIÇÃO DA PORTA SOBRE O DRENO, APRESENTANDO O EFEITO DE TUNELAMENTO DE PORTADORES.	43
FIGURA 2.13 - DIAGRAMA DE BANDAS NA REGIÃO DE SOBREPOSIÇÃO DA PORTA SOBRE O DRENO COM ALTO V_{DS}	44
FIGURA 2.14 – CURVA EXPERIMENTAL $I_{DS} \times V_{GS}$ APRESENTANDO A CORRENTE DE GIDL. ..	45
FIGURA 3.1 – IMAGENS DOS TRANSISTORES NANOFIOS DE PORTA ÔMEGA POR MICROSCOPIA ELETRÔNICA DE VARREDURA (MEV) (ESQUERDA) E MICROSCOPIA ELETRÔNICA DE TRANSMISSÃO EM SEÇÃO TRANSVERSAL (DIREITA).	47
FIGURA 3.2 - ESTRUTURA UTILIZADA PARA A REALIZAÇÃO DAS MEDIDAS ELÉTRICAS.	48
FIGURA 3.3 – IMAGEM DOS CONTATOS DOS TRANSISTORES OBTIDA POR MEIO DO MICROSCÓPIO.	48

FIGURA 4.1 - CURVA I_{DS} X V_{GS} DE UM DISPOSITIVO UTBB SOI NMOSFET SEM GP COM $L=250\text{NM}$	50
FIGURA 4.2 – ESTRUTURA SIMULADA DE UM DISPOSITIVO UTBB.....	52
FIGURA 4.3 - CURVAS I_{DS} X V_{GS} APRESENTANDO AJUSTE DA SIMULAÇÃO COM OS DADOS EXPERIMENTAIS DE DISPOSITIVOS UTBB SOI NMOSFET.....	53
FIGURA 4.4 - GRÁFICO DA TENSÃO DE LIMIAR EM FUNÇÃO DO COMPRIMENTO DE CANAL DO DISPOSITIVO UTBOX, PARA $V_{DS} = 50\text{MV}$	54
FIGURA 4.5 - GRÁFICO DA TENSÃO DE LIMIAR EM FUNÇÃO DO COMPRIMENTO DE CANAL DOS DISPOSITIVOS UTBB, PARA $V_{DS} = 50\text{MV}$	55
FIGURA 4.6 – QUEDA DE POTENCIAL NO TRANSISTOR EM FUNÇÃO DA PROFUNDIDADE.....	56
FIGURA 4.7 – DENSIDADE DE CORRENTE EM FUNÇÃO DE V_{GS}	57
FIGURA 4.8 – GRÁFICO DE DIBL EM FUNÇÃO DO COMPRIMENTO DE CANAL.....	58
FIGURA 4.9 - GRÁFICO DA INCLINAÇÃO DE SUBLIMIAR EM FUNÇÃO DO COMPRIMENTO DE CANAL.....	60
FIGURA 4.10 - GRÁFICO DE I_{DS} X V_{GT} APRESENTANDO O EFEITO DE GIDL.	61
FIGURA 4.11 – RAZÃO I_{ON}/I_{OFF} EM FUNÇÃO DO COMPRIMENTO DE CANAL, PARA $V_{DS}=1\text{V}$...62	
FIGURA 4.12 – PONTOS DE EXTRAÇÃO I_{ON} E I_{OFF} , PARA OS TRÊS DISPOSITIVOS ANALISADOS.	63
FIGURA 4.13 – CURVAS I_{DS} X V_{GS} PARA A) CASCATA DE W PARA $L=200\text{NM}$ E B) CASCATA DE L PARA $W_{FIN}=40\text{NM}$	65
FIGURA 4.14 – ESTRUTURA SIMULADA DOS DISPOSITIVOS NANOFIOS COM PORTA ÔMEGA. .66	
FIGURA 4.15 – CURVAS I_{DS} X V_{GS} SIMULADA E EXPERIMENTAL PARA $W_{FIN}=220, 40$ E 10NM	67
FIGURA 4.16 – CURVA I_{DS} X V_{GS} PARA $W_{FIN}=220\text{NM}$ E $L=100\text{NM}$ COM NOVO AJUSTE.....	68
FIGURA 4.17 – CORRENTE DE DRENO (I_{DS}) E MÓDULO DA CORRENTE DE PORTA (I_G) EM FUNÇÃO DE V_{GS} , PARA $W_{FIN}=40\text{NM}$ E $L=100\text{NM}$	68
FIGURA 4.18 - GRÁFICO DA TENSÃO DE LIMIAR EM FUNÇÃO DO COMPRIMENTO DE CANAL PARA DISPOSITIVOS A) NMOS E B) PMOS.	69
FIGURA 4.19 - CURVAS SIMULADAS COM VARIAÇÃO DE CARGAS FIXAS NA SEGUNDA INTERFACE, A) EM ESCALA LINEAR E B) EM ESCALA LOGARÍTMICA.	70
FIGURA 4.20 – REPRESENTAÇÃO DA REGIÃO DE CORTE NO TRANSISTOR NANOFIO DE PORTA ÔMEGA.....	71

FIGURA 4.21 – DENSIDADE DE CORRENTE EM FUNÇÃO DA ALTURA DO CANAL (H_{FIN}), A) NA REGIÃO DE SUBLIMIAR ($I_{DS}=1 \times 10^{-11}$ A), B) NA REGIÃO ANTES DA ANOMALIA ($I_{DS}=1,5 \times 10^{-5}$ A) E C) NA REGIÃO APÓS A ANOMALIA ($I_{DS}=3 \times 10^{-5}$ A).....	71
FIGURA 4.22 - GRÁFICO DA INCLINAÇÃO DE SUBLIMIAR EM FUNÇÃO DO COMPRIMENTO DE CANAL PARA DISPOSITIVOS A) NMOS E B) PMOS.	73
FIGURA 4.23 – ACRÉSCIMO DE CARGAS FIXAS NA PRIMEIRA E SEGUNDA INTERFACES EM DISPOSITIVOS COM $W_{FIN}=220\text{NM}$ E $L=100\text{NM}$	74
FIGURA 4.24 – GRÁFICO DE $I_{DS} \times V_{GS}$, VARIANDO A ALTURA DO CANAL (H_{FIN}).	75
FIGURA 4.25 – GRÁFICO DE $I_{DS} \times V_{GS}$, VARIANDO A CONCENTRAÇÃO DE CARGAS FIXAS NA PRIMEIRA E SEGUNDA INTERFACES.	76
FIGURA 4.26 - GRÁFICO DE DIBL EM FUNÇÃO DO COMPRIMENTO DE CANAL PARA DISPOSITIVOS A) NMOS E B) PMOS.....	78

LISTA DE TABELAS

TABELA 4.1 - PARÂMETROS DE SIMULAÇÃO DOS DISPOSITIVOS UTBBs.	51
TABELA 4.2 - AJUSTES DOS PARÂMETROS DE SIMULAÇÃO DOS DISPOSITIVOS UTBBs.....	53
TABELA 4.3 - VALORES EXTRAÍDOS DE GIDL.....	61
TABELA 4.4 – POLARIZAÇÕES DOS TRANSISTORES NANOFIOS DE PORTA ÔMEGA.	64
TABELA 4.5 – PARÂMETROS DE SIMULAÇÃO NW.	65
TABELA 4.6 - AJUSTES DOS PARÂMETROS DE SIMULAÇÃO DOS DISPOSITIVOS NW.	66
TABELA 4.7 – VALORES EXTRAÍDOS DA INCLINAÇÃO DE SUBLIMIAR.	74
TABELA 4.8 – VALORES EXTRAÍDOS DA INCLINAÇÃO DE SUBLIMIAR, VARIANDO OS VALORES DE H_{FIN}	75
TABELA 4.9 – VALORES EXTRAÍDOS DA INCLINAÇÃO DE SUBLIMIAR, PARA $H_{FIN}=30\text{NM}$	77

LISTA DE SIGLAS E ABREVIATURAS

CI	Cicuito Integrado
	<i>Drain Induced Barrier Lowering</i> - Abaixamento de Barreira
DIBL	Induzida pelo Dreno
EOT	<i>Effective Oxide Thickness</i> – Espessura Efetiva do Óxido
FD	<i>Fully Depleted</i> – Totalmente Depletado
FinFET	<i>Fin Field Effect Transistor</i> – Transistor de Efeito de Campo Fin
GAA	<i>Gate All Around</i> – Porta ao Redor
	<i>Gate Induced Drain Leakage</i> - Corrente de Fuga do Dreno
GIDL	Induzida pela Porta
GP	<i>Ground Plane</i> – Plano de Terra
MOSFET	<i>Metal-Oxide-Silicon Field Effect Transistor</i> – Transistor de Efeito de Campo Metal-Óxido-Silício
MugFET	<i>Multiple-Gate Field Effect Transistor</i> – Transistor de Efeito de Campo de Múltiplas Portas
NMOS	Transistor MOSFET do tipo N
NW	<i>Nanowire</i> - Nanofio
PD	<i>Partially Depleted</i> – Parcialmente Depletado
PMOS	Transistor MOSFET do tipo P
SCE	<i>Short Channel Effect</i> – Efeito de Canal Curto
SOI	<i>Silicon on Insulator</i> – Silício sobre Isolante
SS	<i>Subthreshold Swing</i> – Inclinação de Sublimiar
TCAD	<i>Technology Computer-Aided Design</i> - Tecnologia designada por computador
TiN	Nitreto de Titânio
TunelFET	<i>Tunneling Field Effect Transistor</i> – Transistor de Efeito de Campo por Tunelamento
UTBB	<i>Ultra Thin Body and Buried Oxide</i> – Corpo e Óxido Enterrado Ultrafinos
UTBOX	<i>Ultra Thin Buried Oxide</i> – Óxido Enterrado Ultrafino

LISTA DE SÍMBOLOS

C_{it1}	Capacitância de armadilhas de interface óxido de porta/camada de silício [F/cm ²]
C_{it2}	Capacitância de armadilhas de interface camada de silício/óxido enterrado [F/cm ²]
C_{ox}	Capacitância do óxido por unidade de área [F/cm ²]
C_{ox1}	Capacitância do óxido de porta por unidade de área [F/cm ²]
C_{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm ²]
C_{Si}	Capacitância na camada de silício por unidade de área [F/cm ²]
E_C	Nível de energético da faixa de condução [eV].
E_F	Nível de fermi [eV].
E_G	Largura da faixa proibida [eV].
E_i	Nível intrínseco do semiconductor [eV]
E_s	Campo elétrico na superfície [V/cm]
E_V	Nível energético da faixa de valência [eV]
g_m	Transcondutância [S]
h_{fin}	Altura da região ativa de silício do transistor nanofio [nm]
J_{BTBT}	Densidade de corrente de tunelamento [A.cm ⁻²]
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre fonte e dreno [A]
k	Constante de Boltzmann [1,38066.10 ⁻²³ J/K]
L	Comprimento do canal [nm]
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras [cm ⁻³]
N_{aSUB}	Concentração de dopantes no substrato [cm ⁻³]
n_i	Concentração intrínseca do material [cm ⁻³]
N_{it}	Densidade de armadilhas de interface [eV ⁻¹ .cm ⁻²]
q	Carga elementar do elétron [C]
Q_D	Carga total de depleção na camada de silício por unidade de área [C/cm ²]
Q_{d1}	Carga de depleção controlada pela porta [C/cm ²]
Q_{d2}	Carga de depleção controlada pela região de depleção de fonte e dreno [C/cm ²]

Q_{INV}	Carga total de inversão por unidade de área na primeira interface [C/cm ²]
Q_{it}	Cargas de armadilhas de interface [C/cm ²]
Q_{ox}	Densidade de cargas fixas no óxido [C/cm ²]
Q_{ox1}	Densidade de cargas fixas no óxido de porta [C/cm ²]
Q_{ox2}	Densidade de cargas fixas na segunda interface [C/cm ²]
SS	Inclinação de sublimiar [mV/dec]
V_D	Tensão no dreno [V]
V_{DG}	Tensão entre dreno e porta [V]
V_{DS}	Tensão entre fonte e dreno [V]
V_{DS1}	Tensão entre fonte e dreno em tródo [V]
V_{DS2}	Tensão entre fonte e dreno em saturação [V]
V_{FB}	Tensão de faixa plana [V]
V_G	Tensão na porta [V]
V_{GB}	Tensão aplicada no substrato (porta de trás) [V]
V_{GIDL}	Tensão de GIDL [V]
V_{GS}	Tensão aplicada na porta de um MOSFET [V]
V_S	Tensão na fonte [V]
V_T	Tensão de limiar [V]
V_{T1}	Tensão de limiar na primeira interface [V]
V_{T2}	Tensão de limiar na segunda interface [V]
T	Temperatura [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
W	Largura do canal [nm]
W_{fin}	Largura do canal do transistor nanofio [nm]
X_{d1}	Largura máxima da região de depleção da primeira interface
X_{d2}	Largura máxima da região de depleção segunda interface
$X_{dmáx}$	Largura máxima da região de depleção
ϵ_{Si}	Permissividade do silício no vácuo [F/cm]
Φ_F	Potencial de Fermi do semiconductor [V]
Φ_{MS}	Diferença da função trabalho entre metal e substrato [V]

Φ_{MS1}	Diferença da função trabalho entre metal de porta e camada de silício [V]
Φ_{MS2}	Diferença entre camada de silício e substrato [V]
Φ_{S1}	Potencial de superfície da primeira interface [V]
Φ_{S2}	Potencial de superfície da segunda interface [V]
μ	Mobilidade dos portadores [cm^2/Vs]
μ_{ef}	Mobilidade efetiva dos portadores [cm^2/Vs]
$\mu_{m\acute{a}x}$	Mobilidade máxima dos portadores [cm^2/Vs]

SUMÁRIO

1. INTRODUÇÃO	23
1.1 Histórico e motivação	23
1.2 Objetivo	26
1.3 Estrutura do trabalho	26
2. CONCEITOS GERAIS.....	27
2.1 Tecnologia SOI.....	27
2.1.1 Modos de operação do transistor SOI MOSFET	28
2.1.2 Efeito de Canal Curto.....	31
2.2 Transistores de Múltiplas Portas	33
2.2.1 Transistores FinFETs.....	33
2.2.2 Transistores UTBOX.....	34
2.2.3 Transistores UTBB	34
2.2.4 Nanofio (<i>Nanowire</i>).....	35
2.3 Parâmetros Elétricos	36
2.3.1 Tensão de Limiar (V_T).....	36
2.3.2 Abaixamento de Barreira Induzida pelo Dreno (DIBL)	39
2.3.3 Inclinação de Sublimiar (SS).....	40
2.3.4 Transcondutância (g_m).....	42
2.3.5 Corrente de Fuga do Dreno Induzida pela Porta (GIDL).....	43
3. MATERIAIS E MÉTODOS	46
3.1 Dispositivos Estudados	46
3.1.1 Caracterização Elétrica.....	47
3.2 Simulador Numérico de Dispositivos	48
4. RESULTADOS	50
4.1 Análise UTBOX e UTBB.....	50
4.1.1 Medidas Experimentais.....	50

4.1.2	Simulação Numérica.....	51
4.1.3	Tensão de Limiar (V_T).....	53
4.1.4	DIBL.....	57
4.1.5	Inclinação de Sublimiar (SS).....	59
4.1.6	Corrente de Fuga pelo Dreno Induzida pela Porta (GIDL).....	60
4.1.7	Razão I_{ON}/I_{OFF}	61
4.2	Análise Nanofio de Porta Ômega (Ω -Gate NW)	64
4.2.1	Medidas Experimentais.....	64
4.2.1	Simulação Numérica.....	65
4.2.2	Tensão de Limiar (V_T).....	69
4.2.3	Inclinação de Sublimiar (SS).....	72
4.2.4	DIBL.....	77
5.	CONCLUSÕES	79
	PUBLICAÇÕES.....	83
	REFERÊNCIAS	84
	APÊNDICE A – Arquivo da estrutura do sentaurus structure editor	87
	APÊNDICE B – Arquivo do sentaurus device.....	90

1. INTRODUÇÃO

1.1 Histórico e motivação

O avanço da tecnologia dos transistores MOSFETs (*Transistor-de-Efeito-de-Campo-Metal-Óxido-Silício*) ocorreu de forma a obter melhoras no funcionamento dos dispositivos e uma redução dos efeitos parasitários. Ao melhorar o desempenho desses dispositivos foi necessário o escalamento dos mesmos e, consequentemente foi dada sequência à lei de Moore. Esta lei foi criada em 1965 por Gordon Moore, que na época era o atual presidente da Intel®. Esta lei prevê que o número de transistores em uma determinada área de um *chip* dobre a cada 18 – 24 meses (Brito, 2014).

Com as dimensões dos dispositivos reduzidas, a influência de efeitos parasitários em seu funcionamento se tornou mais eminente, como por exemplo, o efeito de canal curto (*Short Channel Effect - SCE*) onde, ao reduzir-se o comprimento de canal de um transistor, a porta perde parte do controle das cargas na região do canal devido à influência de cargas provenientes das regiões de depleção de fonte e dreno, causando uma variação no valor da tensão de limiar (V_T) (Bright, 2016).

Visando sanar e/ou reduzir efeitos que limitam o funcionamento desses dispositivos, a tecnologia SOI (*Silicon-On-Insulator*) passou a ser implementada na fabricação dos MOSFETs. Essa tecnologia consiste na presença de uma camada de óxido de silício (SiO_2) abaixo da região ativa do transistor, o que a isola do restante do corpo da lâmina. Com a implementação dessa camada isolante, os dispositivos apresentaram maior desempenho, tanto em velocidade como potência (Kononchuk & Nguyen, 2014).

Com a constante redução das dimensões dos dispositivos, os efeitos parasitários voltaram a aparecer mesmo com a tecnologia SOI e com isso surge a necessidade dos transistores que operam com múltiplas portas (MugFETs – *Multiple Gate Field Effect Transistors*), podendo ser planares ou tridimensionais. Como exemplo de dispositivo tridimensional há o FinFET (*Fin Field Effect Transistor*) que opera com duas portas, tendo seu canal envolto pela porta, como exemplo de dispositivo planar há o UTBB (*Ultra Thin Body and Buried Oxide*) que, devido às espessuras do óxido enterrado e da região ativa do silício serem muito finas, é

possível controlar as cargas no canal com uma polarização aplicada no substrato, tornando-o semelhante a um dispositivo com duas portas.

A Figura 1.1 apresenta a evolução tecnológica dos dispositivos ao longo tempo, onde é possível observar a tecnologia evoluindo desde nós acima de 130 nm até nós de 10nm, com o uso de transistores avançados, como por exemplo, nanofios e TunnelFETs.

Figura 1.1 – Evolução tecnológica ao longo do tempo.

Fonte: (Claeys et al., 2009)

Como exemplo de dispositivos promissores, há os que possuem o canal quase que inteiramente coberto pela porta, como o *Porta – Tripla MOSFET*, *Porta – π MOSFET* (*Pi-Gate MOSFET*), *Porta – Ω MOSFET* (*Ômega Gate MOSFET*), *GAA MOSFET* (*Gate All Around MOSFET*) e o *Nanofio MOSFET* (*Nanowire MOSFET*). Na Figura 1.2 são apresentados os dispositivos citados anteriormente, porém, como exemplo de nanofio é apresentado o nanofio de porta ômega (Ω – Gate Nanowire), que possui a mesma estrutura do dispositivo utilizado neste trabalho.

Os transistores FinFETs operam com duas portas laterais, que são chamadas de aletas, pois o óxido mais espesso no topo do canal chamado de “*hard mask*” ajuda a evitar a inversão de cargas nessa região. Os transistores de porta tripla, tem como diferença dos FinFETs a operação com três portas, onde a porta no topo do transistor

passa a ser utilizada devido à fina espessura do óxido de porta nessa região. Os transistores de porta – pi (π) possuem uma extensão do óxido enterrado para dentro do canal. Os transistores de porta ômega (Ω) possuem uma extensão da porta abaixo do canal, com formato semelhante à letra grega ômega (Ω). Os transistores GAA possuem porta abaixo da região do canal, de forma que a porta do transistor circunda todo o canal. E, os transistores nanofios de porta ômega, são semelhantes aos transistores porta ômega, porém possuem o formato cilíndrico.

Figura 1.2 – Representação dos transistores MugFETs: A) FinFETs; B) Porta – Tripla MOSFET; C) Porta – π MOSFET; D) Porta – Ω MOSFET; E) GAA MOSFET e F) Nanofio Porta – Ω .

Fonte: Autor.

1.2 Objetivo

Este trabalho tem como objetivo analisar a influência da espessura da região ativa do silício (t_{si}) e do comprimento de canal (L) em dispositivos UTBOX e UTBB SOI nMOSFETs, analisando a tensão de limiar (V_T), inclinação de sublimiar (SS), abaixamento da barreira induzido pelo dreno (DIBL), corrente de fuga no dreno induzida pela porta (GIDL) e razão I_{ON}/I_{OFF} .

Também tem como objetivo é analisar dispositivos nanofios com porta ômega SOI MOSFETs do tipo N e P, a partir da tensão de limiar, inclinação de sublimiar e DIBL, com diferente comprimentos e larguras de canal.

1.3 Estrutura do trabalho

Este trabalho está dividido em cinco capítulos, descritos abaixo:

Capítulo 1 - INTRODUÇÃO: Este capítulo apresenta o histórico de evolução dos transistores, a Lei de Moore e a evolução tecnológica ao longo dos anos, o objetivo do trabalho e sua estrutura.

Capítulo 2 - CONCEITOS GERAIS: Neste capítulo são apresentadas características da tecnologia SOI e os principais parâmetros elétricos analisados. Os dispositivos UTBOX, UTBB e nanofio são também descritos neste capítulo.

Capítulo 3 - MATERIAIS E MÉTODOS: Neste capítulo são apresentadas as características dos dispositivos, como material e dimensões e também detalhes da caracterização elétrica e das simulações.

Capítulo 4 - RESULTADOS: Neste capítulo são analisados os resultados obtidos para os três dispositivos analisados, onde é feita análise comparando alguns parâmetros entre UTBOX e UTBB e análise do Porta – Ômega nanofio.

Capítulo 5 – CONCLUSÕES: O último capítulo aborda as conclusões do trabalho desenvolvido.

Na sequência, será apresentada uma lista com todas as publicações geradas até o momento, seguidas pelas referências bibliográficas.

2. CONCEITOS GERAIS

Para melhor análise e entendimentos dos resultados obtidos, neste capítulo serão abordados os principais conceitos sobre estrutura, funcionamento e parâmetros elétricos utilizados neste trabalho.

2.1 Tecnologia SOI

A tecnologia SOI passou a ser implementada nos transistores MOSFETs com o intuito de melhorar o isolamento entre os dispositivos e, da região passiva do substrato, que trazia muitos efeitos indesejáveis ao funcionamento dos dispositivos, que antes era feito por trincheiras, e tornar possível a miniaturização dos dispositivos, reduzindo ou até mesmo eliminando alguns efeitos parasitários, resultando em um melhor desempenho. Como exemplos de melhoria pode-se citar a redução da capacitância parasitária de fonte e dreno, aumentando a velocidade do dispositivo, a redução da área de leiaute de circuitos, aumento da corrente de dreno, menor corrente de fuga das junções, entre outras. (Colinge, 2004).

A tecnologia SOI MOSFET consiste na implantação de uma camada de óxido de silício abaixo da região ativa do transistor, apresentada na Figura 2.1.

Figura 2.1 – Transistor SOI nMOSFET.

Fonte: Autor.

Para um melhor entendimento do funcionamento desses transistores, deve-se analisar suas interfaces, representadas na Figura 2.2, onde a 1ª interface está localizada entre o óxido de porta e o semiconductor (região do canal), a 2ª interface entre o semiconductor (região do canal) e o óxido enterrado e a 3ª interface entre o óxido enterrado e o semiconductor (substrato).

Figura 2.2 - Transistor SOI nMOSFET com a representação das interfaces.

2.1.1 Modos de operação do transistor SOI MOSFET

Os transistores SOI MOSFETs podem ser classificados de acordo com seu modo de operação, podendo ser parcialmente depletado ou totalmente depletado:

- Parcialmente depletado (PD SOI – *Partially depleted SOI*)

São classificados nesse modo transistores que possuem a espessura da camada de silício (t_{si}) maior do que as somas das larguras máximas ($X_{dmáx}$) das regiões de depleção das 1ª e 2ª interfaces ($t_{si} \geq 2 \cdot X_{dmáx}$). Esse modo apresenta algumas desvantagens, pois como não haverá contato entre essas regiões de depleção, haverá uma região neutra entre elas, também chamada de “corpo” que, ao permanecer flutuante (sem contato), o dispositivo irá apresentar alguns efeitos parasitários, tais como, efeito de corpo flutuante, efeito *kink* e também, um transistor bipolar NPN parasita com base aberta entre a fonte e o dreno, de modo a influenciar nas propriedades elétricas do dispositivo (Andrade, 2007)(Cattaneo, 2009).

A Figura 2.3 apresenta um modelo do diagrama de faixa de energia de um transistor PD SOI MOSFET.

Figura 2.3 - Diagrama de faixa de energia do transistor PD SOI MOSFET.

Fonte: Autor.

Sendo t_{si} a espessura da camada de silício ativa, E_C , E_V , E_F e E_I os níveis energéticos da faixa de condução, valência, nível de Fermi e nível intrínseco do semiconductor respectivamente, E_{FB} e E_{FM} os níveis de Fermi do substrato e do metal respectivamente, X_{d1} e X_{d2} as larguras das regiões de depleção da primeira interface e segunda interface respectivamente.

Considerando um transistor SOI nMOSFET, a largura máxima da região de depleção ($X_{dmáx}$) é dada por:

$$X_{dmáx} = \sqrt{\frac{2\epsilon_{si}2\phi_F}{qN_A}} \quad (1)$$

Sendo ϵ_{si} a permissividade do silício no vácuo, ϕ_F o potencial de Fermi do substrato, q a carga elementar do elétron e N_A a concentração de dopantes aceitadores do canal.

O potencial de Fermi é dado por:

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2)$$

Sendo k a constante de Boltzmann, T a temperatura em Kelvin e n_i a concentração intrínseca de portadores gerados termicamente.

- Totalmente depletado (FD SOI – Fully depleted SOI)

Os transistores classificados nesse modo possuem espessura da região ativa de silício menor ou igual ao valor da região de depleção máxima da 1ª interface ($t_{si} \leq X_{dmáx}$), resultando numa região do canal totalmente depletada somente com a polarização aplicada entre porta e fonte. Este modo apresenta vantagens quando comparado ao PDSOI pois, com o canal totalmente depletado há uma menor variação na tensão de limiar (V_T), menor efeito de canal curto, maior mobilidade (μ), eliminação do efeito *kink*, entre outras (Andrade, 2007).

A Figura 2.4 apresenta um modelo do diagrama de faixa de energia de um transistor FD SOI MOSFET.

Figura 2.4 - Diagrama de faixa de energia do transistor FD SOI MOSFET.

Fonte: Autor.

2.1.2 Efeito de Canal Curto

Com a constante redução do comprimento do canal (L) dos dispositivos, há uma aproximação entre a fonte e o dreno. Com isso as cargas de depleção do canal (Q_d) deixam de ser fortemente controladas pela tensão aplicada na porta e passam a sofrer influência das cargas das regiões de depleção de fonte e dreno (Q_{ds}). Este efeito é denominado de efeito de canal curto (*SCE – Short Channel Effect*), que implica em uma redução da tensão de limiar e no aumento da inclinação de sublimiar (Colinge, 2004).

A Figura 2.5 (A) apresenta o perfil de um transistor PD SOI NMOS, onde não há grande influência das regiões de depleção provenientes de fonte e dreno nas cargas controladas pela porta no canal. As cargas do canal (Q_{d1}), que são controladas pela porta, apresentam um formato trapezoidal.

Figura 2.5 - Perfil de um transistor PD SOI NMOS sem influência significativa do efeito de canal curto (A) e com efeito de canal curto (B).

Fonte: Autor.

A Figura 2.5 (B) apresenta um perfil do mesmo transistor, porém com o canal reduzido, onde o formato das cargas de depleção do canal controladas pela porta (Q_{d2}) passa a ser triangular, o que resulta em uma forte e indesejável influência das cargas das regiões de depleção de fonte e dreno (Q_{ds}) no controle do canal, ou seja, reduzindo o controle pela porta. Nessa situação, há a presença do efeito de canal curto.

A Figura 2.6 apresenta um perfil de um transistor FD SOI NMOS com canal longo (A) e canal curto (B), onde é possível observar que com a redução da espessura da região ativa do silício, a quantidade de cargas de depleção que são controladas pela porta mantêm-se predominantes tanto para canal longo ou curto, ou seja, para pequenos comprimentos de canal, não há grande influência das cargas de depleção de fonte e dreno (Q_{DS}), reduzindo o efeito de canal curto.

Figura 2.6 - Perfil de um transistor FD SOI NMOS com canal longo (A) e canal curto (B) sem influência do efeito de canal curto.

Fonte: Autor.

A Figura 2.7 apresenta um exemplo experimental da presença do efeito de canal curto, para transistores nanofios com porta ômega e largura de canal (W_{fin}) de 220 nm, onde é possível observar que há uma redução da tensão de limiar ao reduzir o comprimento de canal (L).

Figura 2.7 – Exemplo experimental de efeito de canal curto.

Fonte: Autor.

2.2 Transistores de Múltiplas Portas

O desenvolvimento de novas tecnologias para aplicação em transistores vem sendo guiada pela contínua necessidade de melhorar o desempenho de circuitos assim como reduzir a presença de efeitos parasitários nos mesmos. Como exemplos de melhorias há a implementação de novas estruturas que passam a operar com duas ou mais portas e também há a utilização de novos materiais, como aqueles com alta constante dielétrica, minimizando as correntes de fuga pela porta. (Colinge, 2004).

Há diversos exemplos de estrutura de transistores tridimensionais que operam com duas ou mais portas, como o FinFET, *MOSFET de Porta – Tripla*, *Porta – π MOSFET (Pi Gate MOSFET)*, *Porta – Ω MOSFET (Ômega Gate MOSFET)*, *GAA MOSFET (Gate All Around MOSFET)* e o Nanofio MOSFET (Nanowire MOSFET).

2.2.1 Transistores FinFETs

Os transistores FinFETs possuem o canal coberto pela porta na superfície e nas laterais, onde, as cargas na região do canal são controladas pela tensão aplicada no eletrodo de porta. Devido à grande espessura do dielétrico de porta no topo (“*hard mask*”) da estrutura pode-se considerar este transistor de duas portas verticais (portas laterais). Nas laterais há uma fina camada de óxido entre o canal e o metal de porta. O óxido espesso no topo da aleta de silício é utilizado para prevenir que ocorra uma inversão de cargas parasitas nessa região. Um modelo de transistor FinFET é apresentado na Figura 2.8 (Colinge, 2008).

Figura 2.8 – Modelo de um transistor FinFET.

Fonte: Autor.

2.2.2 Transistores UTBOX

Além dos dispositivos FinFETs, há também os dispositivos que possuem a espessura do óxido enterrado ultrafina (UTBOX - *Ultra Thin Buried Oxide*) como uma das tecnologias promissoras a dar continuidade à evolução tecnológica. Essa tecnologia surgiu, pois, no SOI totalmente depletado, devido à espessura da região ativa do silício ser menor ou igual à largura da região máxima de depleção da 1ª interface, há um melhor controle dos efeitos de canal curto. Porém, devido à miniaturização dos dispositivos, o controle eletrostático entre dreno e fonte tornou-se necessário, o que é possível por meio dessa nova tecnologia.

Para serem considerados UTBOX os transistores precisam ter espessura de óxido enterrado $\leq 50\text{nm}$ e, como vantagem, essa tecnologia apresenta um aumento do acoplamento entre a porta e o canal, e no controle da tensão de limiar por meio de uma polarização aplicada no substrato (Fenouillet-Beranger et al., 2009).

2.2.3 Transistores UTBB

Os transistores com espessuras do óxido enterrado e da região ativa de silício ultrafinas (UTBB SOI MOSFETs - *Ultra Thin Body and Buried Oxide SOI MOSFETs*) possuem espessura da região de silício (t_{si}) ativa e óxido enterrado (t_{oxb}) ultrafinas ($\leq 20\text{nm}$) e operam com duas portas. Eles são considerados uma das frentes promissoras da tecnologia planar. O funcionamento desse dispositivo é semelhante à um FDSOI, porém, com as espessuras de t_{si} e t_{oxb} ultrafinas, há um melhor acoplamento eletrostático entre as interfaces, resultando em um melhor controle de cargas e consequentemente reduzindo os efeitos de canal curto. O controle da tensão de limiar deste dispositivo pela polarização do substrato se torna melhor devido às finas camadas, gerando um forte acoplamento entre o substrato e o canal (Kononchuk & Nguyen, 2014).

2.2.3.1 Plano de Terra – Ground Plane (GP)

O plano de terra é uma região abaixo do óxido enterrado que possui uma maior dopagem. Essa maior dopagem tem como finalidade a redução de região de depleção que é formada abaixo do óxido enterrado, pois, de acordo com a equação (1), tem-se que $X_{\text{dmáx}}$ é inversamente proporcional à concentração de dopantes, e com isso ao

aumentar essa concentração a região de depleção tende a diminuir. Ao reduzir essa região de depleção, a espessura efetiva do óxido enterrado diminui, pois, essa região de depleção aumenta o valor efetivo da espessura do óxido.

As cargas da região de depleção influenciam as cargas da região do canal, provocando flutuações no valor da tensão de limiar. Com a redução da região de depleção há menos cargas influenciando o canal e com isso é possível obter um melhor controle da tensão de limiar pela polarização aplicada na porta.

A Figura 2.9 apresenta um modelo de um transistor que dependendo dos valores da espessura da região ativa de silício (t_{si}) pode ser considerado UTBOX ou UTBB SOI nMOSFET, com a presença da implantação do plano de terra.

Figura 2.9 – Transistor UTBOX/UTBB SOI nMOSFET com implantação do plano de terra.

2.2.4 Nanofio (Nanowire)

Atualmente há uma grande diversidade de transistores sendo exploradas além dos planares. Como por exemplo, os FinFETs de porta tripla, onde foram conduzidos estudos para explorar o aprimoramento da performance desses dispositivos assim como parâmetros que influenciam na corrente de fuga em estado desligado e o consumo de energia. Apesar desses dispositivos tridimensionais serem promissores, surgiu uma nova tecnologia, os nanofios SOI MOSFETs que também apresentam uma significativa redução do consumo de energia estática e dinâmica e uma miniaturização

do leiaute, sem prejudicar a performance do circuito ao qual for implementado. Esses dispositivos são cilindros verticais construídos sobre laminas SOI, onde a porta circunda toda a região do canal, garantindo um melhor controle das cargas do canal. Existem dois tipos de estrutura de nanofios sendo estudadas, horizontal e vertical. Na estrutura vertical, a fonte é localizada acima do óxido enterrado e o dreno fica no topo do cilindro, sendo apresentado na Figura 2.10 (A). Já a estrutura horizontal é semelhante à um FinFET, porém, em formato circular, com fonte, dreno e canal acima do óxido enterrado, onde o canal é envolto pela porta. Na Figura 2.10 (B) é apresentado um modelo desse dispositivos com a porta ômega (Bindal & Hamedihagh, 2016).

Figura 2.10 – Modelo de transistor nanofio SOI MOSFET A) Vertical; B) Horizontal.

Fonte: Autor

2.3 Parâmetros Elétricos

2.3.1 Tensão de Limiar (V_T)

A tensão de limiar (V_T) se refere ao valor necessário de tensão que quando aplicada entre a porta e a fonte do transistor irá inverter as cargas da região do canal, induzindo a passagem de corrente entre fonte e dreno. No caso de transistores do tipo N por exemplo, a região onde o canal é formado é composta de silício do tipo P, onde

os portadores majoritários são lacunas (N_A). Ao aplicar uma tensão $> 0V$ na porta, as lacunas do canal serão repelidas e os elétrons, que são cargas minoritárias na região do canal e que podem ter sido gerados termicamente, por exemplo, são atraídos para a superfície da região do silício tipo P, formando a região de inversão, ou seja, formando o canal de elétrons entre a fonte e o dreno.

Para transistores nMOS convencionais, a tensão de limiar pode ser calculada pela equação (3) (Sze, 1981) (Martino, Pavanello, & Verdonck, 2004):

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A X_{dmáx}}{C_{ox}} \quad (3)$$

Sendo, V_{FB} a tensão de faixa plana, ϕ_F o potencial de fermi do substrato (N_A), q a carga elementar do elétron, N_A a concentração de dopantes aceitadores (para transistores do tipo P é utilizado N_D , que é a concentração de dopantes doadores), $X_{dmáx}$ a largura máxima da região de depleção e C_{ox} a capacitância do óxido de porta por unidade de área.

A tensão de faixa plana V_{FB} , pode ser definida por meio da equação (4):

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (4)$$

Sendo ϕ_{MS} a diferença da função trabalho entre metal e semiconductor e Q_{ox} a densidade de cargas fixas no óxido.

Para dispositivos SOI totalmente depletados, as regiões de depleção das 1ª e 2ª interfaces do transistor interagem entre si e então, Lim e Fossum, propuseram um modelo (Lim & Fossum, 1983), através do qual é possível calcular a tensão de limiar, considerando essa interação, tanto para uma tensão aplicada entre a porta e a fonte (V_{GS}) apresentada na equação (5), como uma aplicada entre a porta e o substrato (V_{GB}) apresentada na equação (6):

$$V_{GS} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_D + Q_{INV}}{C_{ox1}} \quad (5)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(\frac{C_{Si}}{C_{ox2}} \right) \cdot \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}} \right) \cdot \phi_{S2} - \frac{\frac{1}{2}Q_D + Q_{S2}}{C_{ox2}} \quad (6)$$

Sendo, ϕ_{MS1} a diferença da função trabalho entre o metal de porta e camada de silício, ϕ_{MS2} a diferença da função trabalho entre a camada de silício e o óxido enterrado, Q_{ox1} a densidade efetiva de cargas da primeira interface, Q_{ox2} a densidade efetiva de cargas da segunda interface, C_{ox1} a capacitância do óxido de porta por unidade de área, C_{ox2} a capacitância do óxido enterrado por unidade de área, C_{Si} a capacitância da camada de silício por unidade de área, ϕ_{S1} e ϕ_{S2} os potenciais de superfície da primeira e segunda interfaces respectivamente, Q_D a carga total de depleção na camada de silício por unidade de área, Q_{INV} a carga de inversão por unidade de área na primeira interface e Q_{S2} a carga na segunda interface por unidade de área.

A partir das equações (5) e (6) é possível obter diferentes equações para a tensão de limiar, que variam de acordo com a polarização da primeira interface em função da condição da segunda interface. Sendo assim, temos:

- Segunda interface em acumulação ($\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{INV1} = 0$)

$$V_{T,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}} \right) \cdot 2\phi_F - \frac{Q_D}{2C_{ox1}} \quad (7)$$

- Segunda interface em inversão ($\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{INV1} = 0$)

$$V_{T,INV2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_D}{2C_{ox1}} \quad (8)$$

- Segunda interface em depleção ($0 < \phi_{S2} < 2\phi_F$, $\phi_{Si} = 2\phi_F$ e $Q_{S2} = 0$)

$$V_{T,depl2} = V_{T,acc2} - \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \cdot (V_{GB} - V_{GB,ac}) \quad (9)$$

Sendo $V_{T,acc2}$, $V_{T,inv2}$ e $V_{T,depl2}$ as tensões de limiar quando a segunda interface está em acumulação, inversão e depleção, respectivamente.

2.3.2 Abaixamento de Barreira Induzida pelo Dreno (DIBL)

Em dispositivos de canal curto, as regiões de depleção de fonte e dreno influenciam as cargas do canal, causando variações no valor da tensão de limiar. Com o recorrente uso de dopagens naturais da lâmina na região do canal e com a redução dos valores das tensões aplicadas nos dispositivos, o potencial do dreno acaba gerando forte influência sobre a barreira de potencial entre o canal e a fonte.

O DIBL é um efeito de canal curto que apresenta a variação causada na tensão de limiar ao aplicar altos valores de tensão no dreno. Geralmente, essa variação provoca uma redução no valor de V_T (SANTOS, 2010).

Na Figura 2.11 é apresentado um diagrama de bandas de um transistor NMOS A) em equilíbrio, sem aplicação de tensão e B) com alta tensão V_{DS} aplicada. O canal age como uma barreira entre a fonte e o dreno, dificultando a condução de corrente. Porém, ao aplicar uma alta tensão, a banda de condução do dreno sofre um forte abaixamento, resultando na presença de cargas de depleção provenientes do dreno na região do canal. Essas cargas reduzem a barreira formada pelo canal e facilitam a condução entre fonte e dreno, causando uma redução da tensão de limiar, para altos V_{DS} .

O valor do DIBL pode ser calculado por meio da equação (10) (Ghitani, 1999):

$$DIBL = \left| \frac{V_{T1} - V_{T2}}{V_{DS1} - V_{DS2}} \right| \quad (10)$$

Sendo V_{T1} o valor da tensão de limiar referente à V_{DS1} , que é a tensão entre dreno e fonte na região de triodo, e V_{T2} é o valor da tensão de limiar referente à V_{DS2} , que é a tensão entre dreno e fonte na região de saturação. O valor de DIBL é geralmente dado em mV/V.

Figura 2.11 – Diagrama de bandas de um transistor NMOS A) em equilíbrio com $V_{DS}=0V$ e B) com alto V_{DS} e presença do efeito DIBL.

Fonte: Autor.

2.3.3 Inclinação de Sublimiar (SS)

A inclinação de sublimiar é um parâmetro que pode ser utilizado para determinar o quão rápido o transistor passa do estado de corte para o estado de condução e é determinada como o inverso da inclinação da curva $\log I_{DS}$ (corrente entre dreno e fonte) x V_{GS} , para $V_{GS} < V_T$, conforme a equação (11) (Colinge, 2004):

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} = \frac{kT}{q} \ln(10)n \quad (11)$$

Sendo, k a constante de Boltzmann, T a temperatura em Kelvin e n o fator de corpo, sendo este um parâmetro que indica o controle do eletrodo de porta sobre o potencial de superfície da primeira interface. Quanto menor esse parâmetro, menor será o valor da inclinação de sublimiar.

Para dispositivos SOI totalmente depletados, com a segunda interface em depleção, a equação completa para a inclinação da primeira interface está descrita na equação (12):

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} = \frac{kT \ln 10}{q} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si}}{C_{ox2}} \cdot \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \right] \quad (12)$$

Sendo, C_{it1} e C_{it2} as capacitâncias das armadilhas de interface da primeira e da segunda interface respectivamente. Sendo $C_{it} = q^2 N_{it}$, onde N_{it} é a densidade das armadilhas de interface. Desprezando essas armadilhas de interface, a equação reduz para a equação (13):

$$SS = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})} \right] \quad (13)$$

Para dispositivos SOI totalmente depletados, com a segunda interface em acumulação, obtêm-se a equação (14) para a inclinação de sublimiar na primeira interface:

$$SS = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si} + C_{it1}}{C_{ox1}} \right] \quad (14)$$

Desprezando as armadilhas de interface C_{it} nas equações de SS, obtêm-se a equação (15), generalizada:

$$SS = \frac{kT \ln 10}{q} (1 + \alpha) \quad (15)$$

Onde α , que é o fator de acoplamento capacitivo do transistor, é determinado por diferentes equações, em função do tipo de funcionamento do transistor, temos então equações (16), (17) e (18):

- Transistor MOS ou SOI MOSFET parcialmente depletado

$$\alpha = \alpha_{MOS} = \frac{C_D}{C_{ox1}} \quad (16)$$

- Transistor SOI MOSFET totalmente depletado com a segunda interface em acumulação

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{ox1}} \quad (17)$$

- Transistor SOI MOSFET totalmente depletado com a segunda interface depletada

$$\alpha = \alpha_{depl} = \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \quad (18)$$

Portanto, pode-se notar que o valor de α varia de acordo com a polarização da segunda interface, sendo assim, temos:

$$\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$$

2.3.4 Transcondutância (g_m)

A transcondutância (g_m) é um fator que mede a eficácia do controle da corrente que passa pelo canal entre o dreno e a fonte (I_{DS}) pela tensão aplicada na porta (V_{GS}), podendo ser definida pela equação (19):

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (19)$$

A transcondutância depende da tensão V_{DS} , quando $V_{DS} > V_G - V_T$, o transistor está na região de saturação, e a transcondutância é dada pela equação (20), quando $V_{DS} < V_G - V_T$, o transistor está na região de triodo e a transcondutância é dada pela equação (21):

$$g_m = \frac{\mu_{ef} C_{ox1} W}{nL} (V_{GS} - V_T) \quad (20)$$

$$g_m = \frac{\mu_{ef} C_{ox1} W}{nL} V_{DS} \quad (21)$$

Sendo, μ_{ef} a mobilidade efetiva do canal e n o fator de corpo, onde $n=1+\alpha$.

- Em dispositivos MOS convencional ou SOI parcialmente depletado, o valor de α é dado pela equação (16);
- Em dispositivos SOI com a segunda interface em acumulação α é dado pela equação (17);
- Em dispositivos SOI com a segunda interface em depleção α é dado pela equação (18).

Portanto, em termos de valores numéricos, é obtida a seguinte relação do fator de corpo (n):

$$n_{\text{SOI totalmente depletado}} < n_{\text{MOS convencional}} < n_{\text{SOI segunda interface acumulada}}$$

2.3.5 Corrente de Fuga do Dreno Induzida pela Porta (GIDL)

A corrente de GIDL (*Gate-Induced-Drain-Leakage*) ocorre quando é aplicada uma tensão alta e positiva no dreno e uma tensão negativa na porta, gerando uma região de depleção na região onde o dreno é sobreposto pela porta. Essa estrutura e o efeito de tunelamento ocorrendo nesta região são apresentados na Figura 2.12 - Exemplo de um transistor SOI nMOSFET com região de sobreposição da porta sobre o dreno, apresentando o efeito de tunelamento de portadores. Figura 2.12.

Figura 2.12 - Exemplo de um transistor SOI nMOSFET com região de sobreposição da porta sobre o dreno, apresentando o efeito de tunelamento de portadores.

Fonte: Autor.

Ao aplicar uma tensão bastante negativa na porta os portadores majoritários do canal (lacunas, para transistores tipo N) são atraídos para a interface entre o óxido de porta e o canal, formando uma região de acumulação, como mostrada na Figura 2.12.

O processo de tunelamento ocorre quando é aplicada uma tensão V_{DG} ($V_D - V_G$) suficientemente alta a ponto de causar um encurvamento das bandas de valência e condução maior que a largura da banda proibida (E_G). Esse tipo de tunelamento é chamado de tunelamento entre bandas (*Band-to-Band Tunneling*).

A Figura 2.13 apresenta um exemplo de diagrama de bandas de um transistor NMOS com porta de silício policristalino com alto V_{DS} , onde é possível observar como ocorre o tunelamento entre as bandas. Com o alto campo elétrico gerado na região de sobreposição da porta sobre o dreno, o elétron presente na banda de valência do dreno, passa para a banda de condução do mesmo por tunelamento e segue para a região de maior potencial (o dreno) gerando uma densidade de corrente que irá compor a corrente de dreno do transistor. A lacuna deixada por esse elétron segue para o local de menor potencial, no caso de transistores SOI, a fonte, também gerando uma densidade de correntes, porém, ficando confinadas na região do canal e aumentando o potencial dessa região e como consequência, gerando uma redução no valor da tensão de limiar (Colinge, 2008)(Adell, Barnaby, Member, Schrimpf, & Vermeire, 2007) .

Figura 2.13 - Diagrama de bandas na região de sobreposição da porta sobre o dreno com alto V_{DS} .

Fonte: Autor.

A Figura 2.14 apresenta duas curvas experimentais da corrente I_{DS} em escala logarítmica em função da tensão entre porta e fonte (V_{GS}), onde é possível observar o quanto a alta tensão no dreno afeta a corrente em estado desligado, gerando a corrente de fuga induzida pela porta (GIDL).

Figura 2.14 – Curva experimental I_{DS} x V_{GS} apresentando a corrente de GIDL.

Fonte: Autor.

3. MATERIAIS E MÉTODOS

Neste capítulo são apresentados detalhadamente os dispositivos estudados, o equipamento utilizado para medidas elétricas e detalhes sobre simulações.

3.1 Dispositivos Estudados

Para a realização deste trabalho foram utilizados três diferentes tipos de transistores avançados: UTBOX, UTBB (tipo N) e Nanofio (Nanowire) (tipo N e P).

Os dispositivos UTBOX e UTBB foram fabricados no centro de pesquisa imec em Leuven – Bélgica, em lâminas SOI de 300mm de diâmetro e com as seguintes espessuras de região ativa do silício e de óxido enterrado:

UTBOX $\rightarrow t_{si} = 50 \text{ nm}$ e $t_{oxb} = 10 \text{ nm}$;

UTBB $\rightarrow t_{si} = 20 \text{ nm}$ e $t_{oxb} = 10 \text{ nm}$.

Ambos possuem material de porta TiN e óxido de porta com de SiO_2 com espessura de 5nm, a largura do canal é de 1000 nm e o foram utilizados quatro diferentes comprimentos de canal afim de se observar o efeito de canal curto: 1000, 250, 150 e 120 nm.

Entres os dispositivos UTBB, há alguns que possuem uma implantação iônica de boro a 25 keV e $5 \times 10^{13} \text{ cm}^{-2}$ de plano de terra abaixo do óxido enterrado, gerando uma região com aproximadamente 10^{18} cm^{-3} de dopantes. Esses dispositivos são chamados de dispositivos com GP. Os dispositivos sem esta implantação de boro são utilizados como referência.

Os dispositivos fabricados em nanofios de silício com porta ômega (Ω -Gate NW) utilizados, foram fabricados no CEA-LETI, em Grenoble – França, em lâminas SOI com espessura de óxido enterrado de 145 nm. Como estes dispositivos são horizontais, o equivalente à espessura da região ativa de silício é a chamada altura do canal (H_{fin}) que é de 10 nm. A espessura efetiva do óxido de porta (*EOT – Effective Oxide Thickness*) é 1,3 nm e é composta por HfSiON/TiN . Foram utilizadas três diferentes larguras de canal: 10, 40 e 220 nm e quatro diferentes comprimentos de canal: 40, 100, 200 nm e 1 μm (S. Barraud, R.Coquand, M.Casse, M.Koyama, J.M.

Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, 2012).

A Figura 3.1 apresenta imagens de microscopia eletrônica de varredura (MEV) (esquerda) e microscopia de transmissão em seção transversal (direita) dos transistores nanofios estudados.

Figura 3.1 – Imagens dos transistores nanofios de porta ômega por microscopia eletrônica de varredura (MEV) (esquerda) e microscopia eletrônica de transmissão em seção transversal (direita).

Fonte: (S. Barraud, R.Coquand, M.Casse, M.Koyama, J.M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, 2012).

3.1.1 Caracterização Elétrica

Para a realização das medidas experimentais, foi utilizado o equipamento B1500, da Agilent®, que é atualmente um dos mais modernos no mercado.

A lâmina é posicionando acima do *chuck* (porta amostra) que fica dentro de uma gaiola de Faraday, afim de evitar intervenções eletromagnéticas e eletrostáticas na medida. Para fixar a lâmina durante a medida, é utilizado um sistema a vácuo.

Foram utilizadas três pontas de provas para aplicar tensão na porta, fonte e dreno, e o *chuck* aterrou o substrato.

A utilização de um microscópio foi necessária para encontrar o dispositivo dentro da lamina e então posicionar as pontas e iniciar as medidas.

Figura 3.2 e Figura 3.3 apresentam a estrutura para a realização das medidas (gaiola de Faraday, pontas de prova, microscópio) e a imagem no microscópio, respectivamente:

Figura 3.2 - Estrutura utilizada para a realização das medidas elétricas.

Fonte: Autor

Figura 3.3 – Imagem dos contatos dos transistores obtida por meio do microscópio.

Fonte: Autor

3.2 Simulador Numérico de Dispositivos

Para a realização das simulações foi utilizado o software TCAD Sentaurus, desenvolvido pela Synopsys®. Considerando efeitos do dispositivo e visando um melhor entendimento/análise do mesmo, foram utilizados os seguintes modelos (Synopsys, 2013):

Phumob – Modelo de mobilidade baseado no modelo proposto por Klassen (Klaassen, 1992), que descreve sua degradação devido ao espalhamento de impurezas e aos mecanismos de espalhamento elétron-lacuna. Esse modelo também leva em consideração a dependência da mobilidade com a temperatura.

Enormal – Modelo de mobilidade baseado no modelo proposto por Lombardi et al (Lombardi, Manzini, Saporito, & Vanzi, 1988) que considera a degradação nas interfaces causada pelo alto campo elétrico transversal, onde os portadores são submetidos à dispersão por fônons de superfície acústica e rugosidades da superfície.

High-field Saturation – Modelo que considera a velocidade de saturação dos portadores devido ao elevado campo elétrico, baseado no modelo proposto por Canali et al (Canali, Majni, Minder, & Ottaviani, 1975).

Band2Band – Este modelo é utilizado para levar em consideração o tunelamento de banda-a-banda em regiões onde há uma rápida variação no campo

elétrico. Há diversos modelos que levam em consideração o tunelamento banda-a-banda. Porém, como o modelo foi aplicado somente para altas tensões de dreno, foi utilizado um dos modelos simples (*Simple Models*), que preveem uma taxa de geração diferente de zero, mesmo quando em equilíbrio. Esse modelo baseia-se em equações apresentadas por Liou (Liou, 1990).

BandGapNarrowing – Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido à temperatura, baseado nos modelos propostos por Slotboom et al (Slotboom & Graaff, 1976)(Slotboom & Graaff, 1977)(Slotboom, 1977).

SRH (Shockley–Read–Hall) – Este modelo considera a geração-recombinação de portadores. Este processo envolve a troca de portadores entre a faixa de condução e de valência, podendo ser considerada a dependência com a temperatura (Tyagi & Van Overstraeten, 1983) (Goebel & Hoffmann, 1992), dopagem (Roulston, Arora, & Chamberlain, 1982) e campo elétrico (Schenk, 1992).

4. RESULTADOS

Neste capítulo, serão apresentados os resultados obtidos a partir de medidas experimentais e simulações numéricas. Em cada tópico estarão especificadas as condições de polarização utilizadas para a realização das medidas e os métodos utilizados para extração de parâmetros dos dispositivos estudados.

4.1 Análise UTBOX e UTBB

4.1.1 Medidas Experimentais

Para análise dos dispositivos UTBOX e UTBB, foram medidas três amostras para cada dispositivo com as mesmas características, por exemplo, 3 amostras de um dispositivo UTBB sem GP com $L=100$ nm. Essas medidas foram feitas com o intuito de reduzir erros ou utilizar algum dispositivo que possa ter sofrido alguma anomalia durante o processo de fabricação, e apresentar resultados que possam confundir a análise das medidas. A polarização aplicada entre porta e fonte (V_{GS}) de -2 a 2V e entre dreno e fonte (V_{DS}) de 50mV (tríodo) e de 1V (saturação).

Figura 4.1 - Curva I_{DS} x V_{GS} de um dispositivo UTBB SOI nMOSFET sem GP com $L=250$ nm.

Fonte: Autor.

A Figura 4.1 apresenta a curva I_{DS} x V_{GS} em escala logarítmica de um dispositivo UTBB SOI nMOSFET sem implantação de plano de terra (GP) com $L=250$ nm das três amostras medidas, a partir dessa curva, são extraídos os parâmetros utilizados para a análise dos dispositivos. A partir dessa figura é possível

notar que as três amostras medidas possuem curvas muito próximas e os valores dos parâmetros a serem extraídos serão praticamente os mesmos, tornando o dispositivo confiável.

Para melhor didática de apresentação dos resultados, os dispositivos serão nomeados da seguinte forma:

Dispositivo **A** – UTBOX ($t_{si}=50$ nm; sem GP)

Dispositivo **B** – UTBB ($t_{si}=20$ nm; sem GP)

Dispositivo **C** – UTBB ($t_{si}=20$ nm; com GP)

Onde nos gráficos serão referenciados apenas como **A**, **B** e **C**, sendo o dispositivo B a referência, onde é possível analisar a influência da espessura t_{si} e do plano de terra.

4.1.2 Simulação Numérica

A partir dos dados experimentais (t_{oxb} , t_{si} , W , L e etc) o simulador foi calibrado para que pudéssemos expandir a análise através da simulação numérica dos transistores. Foram simulados os dispositivos UTBB com e sem implantação do plano de terra. Na Tabela 4.1 estão apresentados os parâmetros utilizados para a realização das simulações.

Tabela 4.1 - Parâmetros de simulação dos dispositivos UTBBs.

Parâmetros	Valor
t_{si}	20 nm
t_{oxf}	5 nm (SiO ₂)
t_{oxb}	10 nm
N_A	10^{15} cm ⁻³
L	1µm, 250, 150 e 120 nm
W	1 µm
GP	10^{18} cm ⁻³
V_{GS}	-2 a 2 V
V_{DS}	50 mV e 1V

Fonte: Autor.

A Figura 4.2 apresenta um modelo da estrutura simulada de um transistor UTBB sem implantação do plano de terra.

Figura 4.2 – Estrutura simulada de um dispositivo UTBB.

Fonte: Autor.

Para ajustar a curva simulada com a experimental, foram necessários alguns ajustes, o primeiro foi na tensão de limiar, por meio da calibração do valor da função trabalho do metal de porta (WF), para definir o valor a ser utilizado, foi adotado um valor próximo ao já conhecido do material de porta e então ajustado até convergir com a curva experimental. Em seguida ajustou-se o valor da mobilidade máxima, que define o nível de corrente, o valor da mobilidade foi extraído experimentalmente, através da curva de transcondutância e utilizado para calibração. A inclinação de sublimiar também precisou ser ajustada, por meio de implantação de cargas na interface entre o canal e o óxido enterrado, quantidade de cargas a ser implantada foi escolhida de forma a coincidir com a curva experimental. E por último, para os dispositivos simulados com alto V_{DS} , foi necessário ajustar os parâmetros A e B do modelo de tunelamento, baseado na equação 22 de corrente de tunelamento (J_{BTBT}):

$$J_{BTBT} = A.E_s^\sigma e^{\frac{B}{E_s}} \quad (22)$$

Sendo, A uma constante relacionada à massa efetiva do elétron, E_s o campo elétrico na superfície, σ uma constante de transição que é igual à 1 para tunelamento direto e 1,5 para tunelamento assistido por fônons e B uma constante referente à probabilidade de ocorrer o tunelamento.

A Tabela 4.2 apresenta os valores dos parâmetros ajustados nas simulações.

Tabela 4.2 - Ajustes dos parâmetros de simulação dos dispositivos UTBBs.

Parâmetros	Sem GP	Com GP
Função trabalho (WF)	4,34 (V)	4,65 (V)
Mobilidade máxima ($\mu_{\text{máx}}$)	350 (cm^2/Vs)	320 (cm^2/Vs)
Densidade de cargas na interface	1.10^{11} (cm^{-2})	1.10^{11} (cm^{-2})
B2B – Fator A	3×10^{15} ($1/\text{cm}/\text{sec}/\text{V}^2$)	$1,2 \times 10^{15}$ ($1/\text{cm}/\text{sec}/\text{V}^2$)
B2B – Fator B	$8,98 \times 10^6$ (V/cm)	$7,9 \times 10^6$ (V/cm)

Fonte: Autor.

A Figura 4.3 apresenta uma curva $I_{\text{DS}} \times V_{\text{GS}}$ de um dispositivo UTBB SOI nMOSFET, com a curva simulada ajustada aos dados experimentais. É possível observar que com os valores utilizados para ajuste, a curva simulada ficou bem ajustada com as curvas experimentais.

Figura 4.3 - Curvas $I_{\text{DS}} \times V_{\text{GS}}$ apresentando ajuste da simulação com os dados experimentais de dispositivos UTBB SOI nMOSFET.

Fonte: Autor.

4.1.3 Tensão de Limiar (V_T)

A tensão de limiar foi extraída pelo método da segunda derivada (Terao, Flandre, Lora-Tamayo, & Van De Wiele, 1991), da corrente I_{DS} em função de V_{GS} ($\partial^2 I_{\text{DS}} / \partial^2 V_{\text{GS}}$), e no pico máximo da curva é extraído o valor de V_T .

Como os processos de fabricação dos dispositivos UTBOX e UTBB são diferentes, eles possuem valores de N_A diferentes e com isso não é possível fazer

uma comparação direta da tensão de limiar entre os dois dispositivos, já que o valor de V_T depende de N_A .

A Figura 4.4 apresenta o gráfico da tensão de limiar em função do comprimento de canal, para os dispositivos UTBOX (A), onde não há presença significativa de efeito de canal curto e os valores de V_T são em torno de 1,1 V, valores relativamente altos para a tecnologia, sendo que o valor esperado é em torno de 0,5V. Esse aumento no valor de V_T pode ser referente a cargas armadilhadas no óxido e à concentração de dopantes no canal (N_A).

Figura 4.4 - Gráfico da tensão de limiar em função do comprimento de canal do dispositivo UTBOX, para $V_{DS} = 50\text{mV}$.

A Figura 4.5 apresenta o gráfico da tensão de limiar em função do comprimento de canal para os dispositivos UTBB (B e C) sem e com GP com a média e desvio padrão das 3 amostras medidas e com os valores obtidos por meio de simulação, em ambos dispositivos não há presença do efeito de canal curto, resultando em um bom controle das cargas do canal pela tensão aplicada na porta, inclusive para dispositivos com comprimento de canal reduzido.

Os valores extraídos da tensão de limiar dos dispositivos simulados estão bem próximos dos valores experimentais, indicando que os parâmetros adotados na simulação estão coerentes com o dispositivo experimental.

Quando comparando os valores numéricos da tensão de limiar, os dispositivos sem GP (**C**) apresentam um menor valor, devido à presença das cargas de depleção abaixo do óxido enterrado. Pois, com uma maior região de depleção, a espessura efetiva do óxido enterrado aumenta, e com isso há uma maior queda de potencial caindo sobre o óxido enterrado. Considerando uma tensão aplicada no substrato (V_B) igual à 0V, o potencial na segunda interface será um pouco maior que zero, o que irá facilitar a condução no canal, reduzindo a tensão necessária aplicada na porta para inverter o canal.

Figura 4.5 - Gráfico da tensão de limiar em função do comprimento de canal dos dispositivos UTBB, para $V_{bs} = 50\text{mV}$.

Fonte: Autor.

Já com a presença do plano de terra, há uma redução das cargas de depleção, com isso a espessura efetiva do óxido enterrado é pouco afetada, resultando numa menor queda de potencial nessa região. Com isso, o potencial na segunda interface será aproximadamente 0V, e então não haverá cargas para facilitar a formação do canal, resultando numa maior tensão de limiar.

A queda de potencial ao longo da profundidade do transistor pode ser observada na Figura 4.6, onde podemos comprovar que o potencial na segunda interface dos dispositivos sem plano de terra é maior do que os que possuem plano de terra. Sendo o potencial sem plano de terra igual à 0,235V e o com plano de terra igual à 0,062V.

Figura 4.6 – Queda de potencial no transistor em função da profundidade.

Fonte: adaptado de (ITOCazu, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. 2014).

Para analisar a condução de corrente pela segunda interface, a Figura 4.7 apresenta a densidade de corrente em função de V_{GS} , onde os dados apresentados foram extraídos a partir de cortes na região do canal na primeira e segunda interface do transistor e para valores de V_{GS} antes, durante e após o valor da tensão de limiar.

Ao analisar a região entre 0,2 e 0,3 V para o dispositivo sem plano de terra, que é a região do V_T desses dispositivos e a região entre 0,4 e 0,5 V para o dispositivo com plano de terra, onde também é região de V_T referente a este dispositivo, pode-se observar que a densidade de corrente para os dispositivos sem plano de terra é maior quando comparado ao com plano de terra.

Com a análise da Figura 4.6 e Figura 4.7, pode-se concluir que, a redução do valor da tensão de limiar para os dispositivos sem plano de terra, ocorre devido à redução do potencial na segunda interface que, por sua vez reduz a densidade de corrente nessa região, tornando necessária uma maior tensão aplicada na porta para inverter o canal.

Apesar de apresentar um maior valor de V_T , os dispositivos com GP são mais vantajosos pois, apresenta um melhor controle de V_T com a tensão aplicada na porta, devido à pouca densidade de corrente na segunda interface.

Figura 4.7 – Densidade de corrente em função de V_{GS} .

Fonte: Autor.

4.1.4 DIBL

Para extrair o valor de DIBL é necessário extrair os valores da tensão de limiar em tródo e em saturação, em tródo é utilizado o método da segunda derivada descrito no item 4.1.3 e em saturação o método utilizado foi o de adotar um valor no patamar de corrente correspondente a $10^{-7}W/L$ na curva em saturação e o valor de tensão correspondente a esse patamar será o valor da tensão de limiar em saturação (V_{Tsat}) (Martino et al., 2004). O valor de DIBL é calculado a partir da equação (10), apresentada no capítulo 2, item 2.3.2.

Os valores da tensão aplicada no dreno em tródo foi de 50mV e em saturação foi de 1V, que é equivalente a dois terços da tensão máxima suportada por esses dispositivos, que no caso é de 1,5V.

A Figura 4.8 apresenta o gráfico de DIBL em função do comprimento de canal para os três dispositivos analisados e com a média e desvio padrão das 3 amostras medidas e com os valores obtidos por meio de simulação numérica.

Figura 4.8 – Gráfico de DIBL em função do comprimento de canal.

Fonte: Autor.

O dispositivo UTBOX (A) apresenta maiores valores de DIBL em comparação aos UTBB. Isso ocorre pois, quando em saturação, quanto maior for o valor da espessura da região ativa de silício, a penetração do campo elétrico proveniente do dreno para dentro do canal será maior e mais forte, resultando em um maior controle do dreno nas cargas de depleção do canal e consequentemente reduzido a tensão de limiar.

Ao analisar a influência do comprimento de canal no UTBOX (A), para L entre $1\mu\text{m}$ até 150 nm o valor de DIBL mantêm-se em aproximadamente 130 mV/V, no entanto, para $L=120\text{nm}$ há uma forte degradação em DIBL, apresentando um valor de aproximadamente 372mV/V. Isso ocorre devido ao efeito de canal curto que, quando em saturação tornou-se bastante evidente e também devido ao abaixamento da banda de condução do dreno, que para canais curtos causa maior impacto pois, o encurvamento das bandas ocupa quase que inteiramente a região do canal, causando uma grande redução na barreira e permitindo uma fácil condução entre fonte e dreno, resultando numa redução da tensão de limiar.

Analisando os dispositivos UTBB (**B** e **C**), é possível notar que todos os dispositivos apresentam um DIBL bastante inferior que os obtidos para tecnologia UTBOX, devido ao melhor acoplamento entre as interfaces, onde, a penetração do campo elétrico vertical do dreno para dentro do canal é reduzida, diminuindo a degradação de V_T para altos campos. A tecnologia UTBB, independente da presença do plano de terra, para dispositivos com L grande o valor de DIBL é desprezível, onde para $L=1\ \mu\text{m}$ é obtido um valor de aproximadamente 17 mV/V e em consequência do efeito de canal curto, ao reduzir o L , o DIBL aumenta, atingindo um valor máximo de aproximadamente 63 mV/V para $L=120\ \text{nm}$. A presença do plano de terra não afetou de forma significativa esse parâmetro.

4.1.5 Inclinação de Sublimiar (SS)

A inclinação de sublimiar é obtida experimentalmente da seguinte forma (Martino et al., 2004):

- Faz-se a curva logarítmica da corrente I_{DS} ;
- Faz-se a primeira derivada de $\log I_{DS}$ em função de V_{GS} ;
- Faz-se o inverso da derivada e traça a curva em função de V_{GS} , onde o patamar mínimo irá corresponder ao valor da inclinação de sublimiar.

Esse procedimento foi aplicado para todos os dispositivos, experimentais e simulados, e foi obtido o gráfico apresentado na Figura 4.9. Dispositivos com a região de silício ativa mais fina apresentam um melhor acoplamento eletrostático, resultando em valores de SS próximo ao limite teórico de 60 mV/dec. Tendo isso em vista, é possível observar que os dispositivos UTBOX (**A**) apresentam valores de SS mais altos quando comparado aos dispositivos UTBB (**B** e **C**). Além disso, o UTBOX apresenta uma grande influência do efeito de canal curto no valor de SS para $L=120\ \text{nm}$, havendo um aumento de SS para cerca de 110mV/dec.

Ao comparar os dispositivos UTBB (**B** e **C**) experimentais é possível observar uma pequena variação para $L=1\ \mu\text{m}$ ($\Delta SS=7\text{mV/dec}$) e para $L=250\ \text{nm}$ ($\Delta SS=4\text{mV/dec}$). Para os comprimentos de canal menores não há variação significativa. Entretanto, nas simulações para as quais as cargas de interface não foram consideradas, não apresentou nenhuma variação, sugerindo que, devido à

implantação do plano de terra, houve um aumento dessa densidade de cargas na interface.

Figura 4.9 - Gráfico da inclinação de sublimiar em função do comprimento de canal.

Fonte: Autor.

4.1.6 Corrente de Fuga pelo Dreno Induzida pela Porta (GIDL)

Para extrair GIDL foi feito um gráfico I_{DS} em função de V_{GT} ($V_G - V_{Tsat}$). Usualmente utiliza-se o valor de V_T quando em trípode, para anular os efeitos decorrentes de V_T , porém, como os dispositivos UTBOX sofrem muito do efeito DIBL, foi utilizado o valor de V_T em saturação.

A Figura 4.10 apresenta o gráfico de $I_{DS} \times V_{GT}$ para $L=1 \mu m$, foi adotado um valor de V_{GIDL} próximo ao extremo da corrente em estado desligado, que abrangesse as curvas de todos os dispositivos. Dessa forma, o valor adotado foi $V_{GIDL}=-2V$.

Ao analisar o gráfico, é possível notar nos dispositivos UTBOX (A) que apesar do efeito decorrente da tensão de limiar ter sido anulado, a inclinação de sublimiar acaba afetando a parte desligada da curva, causando um deslocamento dessa região, para esquerda, no sentido negativo.

A Tabela 4.3 apresenta os valores extraídos da corrente GIDL para $V_{GIDL}=-2V$, onde é possível observar que a média dos valores extraídos de cada dispositivo está

muito próxima, ou seja, a espessura da região ativa do silício não apresentou influência significativa para este parâmetro.

Figura 4.10 - Gráfico de I_{DS} x V_{GT} apresentando o efeito de GIDL.

Fonte: Autor.

Tabela 4.3 - Valores extraídos de GIDL.

Dispositivos	GIDL (A)				
	Amostra 1	Amostra 2	Amostra 3	Média	Simulado
UTBOX (A)	$9,52 \cdot 10^{-12}$	$2,68 \cdot 10^{-11}$	$1,10 \cdot 10^{-11}$	$1,58 \cdot 10^{-11}$	—
UTBB sem GP (B)	$2,22 \cdot 10^{-11}$	$1,78 \cdot 10^{-11}$	$1,19 \cdot 10^{-11}$	$1,73 \cdot 10^{-11}$	$1,23 \cdot 10^{-11}$
UTBB com GP (C)	$5,48 \cdot 10^{-12}$	$1,93 \cdot 10^{-11}$	$1,72 \cdot 10^{-11}$	$1,40 \cdot 10^{-11}$	$1,25 \cdot 10^{-11}$

Fonte: Autor.

4.1.7 Razão I_{ON}/I_{OFF}

A razão das correntes no estado ligado (I_{ON}) e desligado (I_{OFF}) representa a eficiência do transistor em termos de consumo de energia, onde uma maior razão

significa que para um mesmo valor de I_{ON} há menos fuga no transistor, resultando em uma melhor eficiência.

A Figura 4.11 apresenta o gráfico da razão I_{ON}/I_{OFF} em função do comprimento de canal. Os valores foram extraídos para uma tensão $V_{DS}=1V$ e as correntes em estado ligado foram extraídas para um valor de tensão $V_{GS}=1,8V$ e em estado desligado para $V_{GS}=0V$ onde o valor de corrente desejável deveria ser o menor possível.

Figura 4.11 – Razão I_{ON}/I_{OFF} em função do comprimento de canal, para $V_{DS}=1V$.

Fonte: Autor.

Ao reduzir o comprimento de canal e considerando que a corrente em estado desligado fosse constante, a razão entre as correntes deveria ser maior pois, segundo a teoria, ao reduzir o comprimento de canal o nível de corrente em estado ligado aumenta. Porém não é o que ocorre nos dispositivos analisados. A causa dessa redução na razão I_{ON}/I_{OFF} está relacionada com o aumento da corrente de fuga em estado desligado. Com a redução do comprimento de canal, a corrente de fuga sofre um maior aumento quando comparado ao aumento da corrente em estado ligado, resultando na redução da razão I_{ON}/I_{OFF} .

Os dispositivos com GP (C) e UTBOX (A) apresentam uma maior razão quando comparado aos sem GP (B), isso ocorre, pois, a corrente I_{OFF} foi extraída para $V_{GS}=0V$, como apresentado na Figura 4.12. Para este valor de tensão de porta, o dispositivo

sem GP está na região de sublimiar, aumentando o valor de I_{OFF} nesse dispositivo. Isto ocorre devido a este dispositivo apresentar valores de tensão de limiar muito inferiores aos demais.

Comparando os UTBOX (**A**) com os UTBB sem GP (**B**), é possível analisar o aumento em I_{ON} para **A**, enquanto I_{OFF} para ambos dispositivos são bem próximos, justificando uma maior razão I_{ON}/I_{OFF} para **A**.

Figura 4.12 – Pontos de extração I_{ON} e I_{OFF} , para os três dispositivos analisados.

Fonte: Autor.

4.2 Análise Nanofio de Porta Ômega (Ω -Gate NW)

4.2.1 Medidas Experimentais

O método utilizado para a realização das medidas foi o mesmo descrito no item 4.1.1, onde foram feitas as medidas de quatro amostras diferentes em transistores do tipo P e N, com as polarizações apresentadas na Tabela 4.4.

Tabela 4.4 – Polarizações dos transistores nanofios de porta ômega.

	Tipo N	Tipo P
V_{GS}	-2 a 1,2 V	-1,2 a 2 V
V_{DS}	50 e 800 mV	-50 e -800 mV

Fonte: Autor.

As medidas foram feitas para três larguras de canal diferentes (W_{fin}): 10, 40 e 220nm e para quatro diferentes comprimentos de canal (L): 40, 100, 200nm e 1 μ m.

A Figura 4.13 A) apresenta um conjunto de curvas I_{DS} x V_{GS} para L=200nm com os três diferentes valores de W_{fin} estudados. É possível notar a influência da largura do canal no nível máximo de corrente, onde há uma redução da corrente com a redução de W_{fin} . A tensão de limiar também parece variar em função de W_{fin} devido ao deslocamento das curvas, sendo que ao aumentar W_{fin} , as curvas deslocam-se para esquerda, no sentido negativo de V_{GS} . E na Figura 4.13 B) onde é apresentado um conjunto de curvas com os diferentes L analisados para W_{fin} =40nm, onde é possível notar que o nível de corrente I_{DS} aumenta com a redução de L, já previsto pela teoria. Já nesse gráfico é possível notar a presença do efeito de canal curto, onde ao reduzir L há uma redução em módulo de V_T , apresentado pelo deslocamento das curvas no sentido negativo de V_{GS} .

Os métodos utilizados para extração dos parâmetros analisados são os mesmos que os adotados para os dispositivos UTBOX e UTBB.

Figura 4.13 – Curvas I_{DS} x V_{GS} para A) cascata de W para $L=200\text{nm}$ e B) cascata de L para $W_{fin}=40\text{nm}$.

Fonte: Autor.

4.2.1 Simulação Numérica

A partir dos dados experimentais (t_{oxb} , h_{fin} , W_{fin} , L e etc) o simulador foi calibrado para que pudéssemos expandir as análises através da simulação numérica dos transistores. Foram simulados os dispositivos nanofios de porta ômega do tipo N. Na Tabela 4.5 estão apresentados os parâmetros utilizados para a realização das simulações.

Tabela 4.5 – Parâmetros de simulação NW.

Parâmetros	Valor
h_{fin}	10 nm
EOT	1,3 nm
t_{oxb}	145 nm
N_A	10^{15} cm^{-3}
L	1 μm , 200, 100 e 40 nm
W_{fin}	220, 40 e 10 nm
V_{GS}	-2 a 1,2 V
V_{DS}	50 e 800 mV

Fonte: Autor.

A Figura 4.14 apresenta um exemplo das estruturas nanofios com porta ômega que foram simuladas para W_{fin} largo.

Figura 4.14 – Estrutura simulada dos dispositivos nanofios com porta ômega.

Fonte: Autor.

Os ajustes necessários para fazer com que a curva simulada se aproximasse da experimental, foram basicamente os mesmos que os utilizados na simulação dos dispositivos UTBB (item 4.1.2), assim como os métodos de ajuste.

Tabela 4.6 - Ajustes dos parâmetros de simulação dos dispositivos NW.

Parâmetros	$W_{fin}=220nm$	$W_{fin}=40nm$	$W_{fin}=10nm$
Função trabalho (WF) (V)		4,55	
Mobilidade máxima ($\mu_{m\acute{a}x}$) ($cm^2/V.s$)	150	200	240
Densidade de cargas fixas (cm^{-2})	–	–	5.10^{11}
E_{normal} A (u.a.)		2	
E_{normal} B (cm/s)		$1,75.10^{10}$	

Fonte: Autor.

Além dos parâmetros ajustados anteriormente, para esse dispositivo foi necessário ajustar os parâmetros A e B do modelo que considera a degradação da mobilidade (E_{normal}), os ajustes foram feitos até que a curva simulada coincidissem com a experimental.

A Figura 4.15 apresenta o resultado das simulações. É possível observar um deslocamento da curva simulada de $W_{fin}=220nm$ em comparação à experimental, para ajustar esse deslocamento foram acrescentadas cargas na interface entre o óxido enterrado e o canal.

Figura 4.15 – Curvas I_{DS} x V_{GS} simulada e experimental para $W_{fin}=220, 40$ e 10 nm.

Fonte: Autor.

A Figura 4.16 apresenta as curvas experimentais e simuladas em escalas linear (A) e logarítmica (B) com o novo ajuste para o $W=220$ nm e $L=100$ nm. Os novos parâmetros adotados para simulação foram: cargas na interface entre óxido enterrado e canal igual a $5 \cdot 10^{11} \text{ cm}^{-3}$ e mobilidade máxima dos portadores igual a $240 \text{ cm}^2/\text{V.s.}$ É possível notar um bom ajuste entre as curvas experimentais e simuladas.

A diferença do nível de corrente na parte desligada do transistor entre as curvas experimentais e simuladas ocorre devido à presença da corrente de porta nos dispositivos experimentais, aumentando a corrente quando o dispositivo está desligado. A Figura 4.17 apresenta as curvas de corrente de dreno (I_{DS}) e de módulo da corrente de porta ($|I_G|$) em função do potencial aplicado entre porta e fonte (V_{GS}) para $W_{fin}=40$ nm e $L=100$ nm. É possível observar que, toda a região desligada do transistor é controlada pela tensão aplicada na porta, com isso, não é possível extrair o GIDL desses dispositivos.

Figura 4.16 – Curva I_{DS} x V_{GS} para $W_{fin}=220nm$ e $L=100nm$ com novo ajuste.

Fonte: Autor.

Figura 4.17 – Corrente de dreno (I_{DS}) e módulo da corrente de porta (I_G) em função de V_{GS} , para $W_{fin}=40nm$ e $L=100nm$.

Fonte: Autor.

4.2.2 Tensão de Limiar (V_T)

A Figura 4.18 apresenta o gráfico da tensão de limiar em função do comprimento de canal. É possível observar que ambos os transistores, NMOS e PMOS apresentam um comportamento esperado apenas para larguras de canal de 40 e 220nm, onde ao reduzir o comprimento de canal a tensão de limiar diminui, devido ao efeito de canal curto.

É possível observar que há uma redução de V_T com o aumento de W_{fin} . Para melhor entender o porquê dessa redução, foram analisadas as simulações apresentadas anteriormente. Vimos a partir da Figura 4.15 que foi necessária a implantação de cargas fixas na interface entre o óxido enterrado e o canal, devido ao deslocamento apresentado na curva simulada para $W_{fin}=220\text{nm}$. Ao analisar a Figura 4.16 com a presença das cargas fixas, a curva simulada coincidiu com a curva experimental e o valor de V_T para $W_{fin}=220\text{ nm}$ foi de aproximadamente 0,4V, similar aos demais W_{fin} que também apresentam um valor de V_T de aproximadamente 0,4V.

Figura 4.18 - Gráfico da tensão de limiar em função do comprimento de canal para dispositivos A) NMOS e B) PMOS.

Fonte: Autor.

A presença de cargas fixas na segunda interface, sugere uma condução parasitária nessa região e para explorar essa condução foi analisada por simulação,

o comportamento da curva $I_{DS} \times V_{GS}$ para diferentes valores de cargas fixas na segunda interface. Os valores de concentração de cargas foram variados de $5 \cdot 10^{11} \text{ cm}^{-3}$ até $1 \cdot 10^{13} \text{ cm}^{-3}$. Analisando a Figura 4.19 (A), onde são apresentadas as curvas $I_{DS} \times V_{GS}$ em escala linear, é possível observar anomalias nas curvas, que são causadas pela condução na segunda interface. Essa região de anomalia é caracterizada como sendo, o momento onde a condução de corrente da primeira interface supera a condução pela segunda interface. A partir da análise em escala logarítmica (Figura 4.19 (B)), é possível observar na região onde foi feita uma ampliação da imagem a mesma anomalia ocorrendo próximo à região de V_T .

Figura 4.19 - Curvas simuladas com variação de cargas fixas na segunda interface, A) em escala linear e B) em escala logarítmica.

Fonte: Autor.

Para confirmar a condução pela segunda interface, foram feitos cortes no canal para 3 valores de corrente, apresentados na Figura 4.19 (B). O primeiro foi feito na região de sublimiar, o segundo um pouco antes da anomalia e o terceiro após a anomalia. A partir desses cortes foram extraídas as densidades de corrente ao longo da altura do canal (h_{fin}), apresentadas na Figura 4.21.

A região onde foi feito o corte no canal está representada na Figura 4.20, onde o corte foi feito no meio do canal, ao longo de toda altura (h_{fin}), da primeira até a segunda interface.

Figura 4.20 – Representação da região de corte no transistor nanofio de porta ômega.

Fonte: Autor.

Figura 4.21 – Densidade de corrente em função da altura do canal (h_{fin}), A) na região de sublimiar ($I_{DS}=1 \times 10^{-11}$ A), B) na região antes da anomalia ($I_{DS}=1,5 \times 10^{-5}$ A) e C) na região após a anomalia ($I_{DS}=3 \times 10^{-5}$ A).

Fonte: Autor.

Analisando a Figura 4.21 (A) é possível observar a dominância da condução pela segunda interface, onde, quanto maior a quantidade de cargas, menor a tensão de limiar da segunda interface e como consequência, maior a densidade de corrente que flui por ela. Chegando próximo ao valor de V_T (B), a condução pela primeira

interface passa a ser maior para as simulações com concentração de carga de 5.10^{11}cm^{-3} e 1.10^{12}cm^{-3} onde, os valores adotados não são suficientes para que ocorra a inversão da segunda interface, resultando na condução predominante da primeira interface. Já para as concentrações de carga $> 1.10^{12}\text{cm}^{-3}$, ocorre a inversão da segunda interface e a condução predominante de corrente se dá nessa região. Após a região de V_T (C) a condução do transistor pela primeira interface é alta para todos os valores de concentração de carga enquanto a condução pela segunda interface, além de ser menor, depende fortemente da densidade de cargas na interface canal/óxido enterrado.

Após análise dessas simulações, é possível afirmar que está ocorrendo condução pela segunda interface nos dispositivos experimentais. Com a condução pela segunda interface, o transistor precisa de menos tensão aplicada na porta para inverte o canal, justificando a redução de V_T para $W_{fin}=220\text{nm}$.

4.2.3 Inclinação de Sublimiar (SS)

A Figura 4.22 apresenta o gráfico da inclinação de sublimiar em função do comprimento de canal, onde é possível observar o efeito de canal curto ocorrendo para todos os dispositivos. Porém, por tratar-se de um dispositivo onde a região do canal encontra-se quase que totalmente coberta pela porta, há um maior controle das cargas do canal, garantindo um melhor acoplamento, que é observado pelo valor de SS para L de 1000 e 200nm onde o efeito de canal curto não apresenta influência significativa sobre o dispositivo e os valores de SS para os três valores de W_{fin} são muito próximos, sem diferença significativa, tanto para o NMOS quanto para o PMOS.

Porém, ao analisar o $L=40\text{nm}$ há uma grande diferença de $\sim 65 \text{ mV/dec}$ ($W_{fin}=10\text{nm}$) para $\sim 107\text{mV/dec}$ ($W_{fin}=220\text{nm}$) para os NMOS. Já para os PMOS há uma diferença de $\sim 62\text{mV/dec}$ ($W_{fin}=40\text{nm}$) até $\sim 99\text{mV/dec}$ ($W_{fin}=220\text{nm}$).

Esse aumento no valor de SS para $W_{fin}=220\text{nm}$ ocorre devido à condução pela segunda interface pois, a região de sublimiar da curva do transistor é referente a esse “transistor parasitário” na segunda interface, o que acaba gerando uma degradação nessa região.

Figura 4.22 - Gráfico da inclinação de sublimiar em função do comprimento de canal para dispositivos A) NMOS e B) PMOS.

Fonte: Autor.

Apesar de $L=40nm$ apresentar claramente o efeito de canal curto, para $W_{fin}=10nm$ é perceptível que a diferença de $L=40nm$ para os demais L é muito pequena, de aproximadamente $4mV/dec$, ou seja, não é considerado que esteja ocorrendo efeito de canal curto, isso ocorre, pois, não há grande diferença nos valores de largura e de comprimento do transistor, resultado de um melhor controle do canal e eficiência do transistor.

Analisando a Figura 4.19 é possível observar que a presença de cargas fixas na primeira interface não degrada a inclinação sublimiar do dispositivo, porém, como há uma condução pela segunda interface, era esperado que houvesse uma degradação nesse parâmetro. Para melhor entender esse fato, foram feitas simulações numéricas, com o acréscimo de cargas fixas na primeira interface.

A Figura 4.23 apresenta curvas $I_{DS} \times V_{GS}$ com acréscimo de cargas fixas na primeira e segunda interfaces. Ao analisar o gráfico, nota-se que não há grande influência da presença de cargas fixas na primeira interface na inclinação de sublimiar, onde os valores de SS para cada situação, está apresentado na Tabela 4.7. Com isso, pode-se dizer que o bom acoplamento entre as interfaces devido à pequena

espessura de H_{fin} , torna o dispositivo quase que imune a degradações em SS com a presença de cargas nas interfaces.

Figura 4.23 – Acréscimo de cargas fixas na primeira e segunda interfaces em dispositivos com $W_{fin}=220\text{nm}$ e $L=100\text{nm}$.

Fonte: Autor.

Tabela 4.7 – Valores extraídos da inclinação de sublimiar.

	SS (mV/dec)
Experimental (média)	65,56
Cargas fixas (2ª int.) ($5.10^{11} \text{ cm}^{-3}$)	65,10
Cargas fixas (2ª int.) + Cargas fixas (1ª int.) ($1.10^{12} \text{ cm}^{-3}$)	67,18
Cargas fixas (2ª int.) + Cargas fixas (1ª inte.) ($5.10^{12} \text{ cm}^{-3}$)	67,55

Fonte: Autor.

Para comprovar que a imunidade na inclinação de sublimiar com a presença das cargas está relacionada à altura do canal, foram feitas simulações para $W_{fin}=220\text{nm}$ e $L=100\text{nm}$ variando a altura do canal (h_{fin}) de 10nm para 30 e 65nm.

A Figura 4.24 apresenta um gráfico da corrente de dreno (I_{DS}) em função do potencial aplicado entre porta e fonte (V_{GS}) com uma concentração de cargas fixas na segunda de interface de $5 \cdot 10^{11} \text{cm}^{-3}$ e com uma concentração de cargas fixas na primeira interface de $1 \cdot 10^{12} \text{cm}^{-3}$. Nesse gráfico, estão representados os 3 valores de h_{fin} e a curva experimental, que é referente à um $h_{fin}=10\text{nm}$.

Figura 4.24 – Gráfico de I_{DS} X V_{GS} , variando a altura do canal (h_{fin}).

Fonte: Autor.

Ao aumentar a altura do canal, a presença das cargas passa a influenciar o comportamento do transistor, provocando uma anomalia na região de sublimiar e um aumento em SS, que é possível observar na Tabela 4.8, onde ao aumentar o h_{fin} de 10 para 30nm há um aumento em SS de aproximadamente 26mV/dec e para o $h_{fin}=65\text{nm}$ não é possível extrair o valor de SS pois, o transistor permanece em estado ligado constantemente.

Tabela 4.8 – Valores extraídos da inclinação de sublimiar, variando os valores de h_{fin} .

H_{fin} (nm)	SS (mV/dec)
10	67,18
30	93,55
65	Impossível de calcular

Fonte: Autor.

Como mostrado na Figura 4.24 ao aumentar a altura do canal, a presença de cargas nas interfaces degradou o funcionamento do transistor. Agora mantendo um valor de h_{fin} constante (valor intermediário – 30nm), foram simuladas curvas com diferentes concentrações de cargas, para analisar o quanto a presença dessas cargas afeta o funcionamento do transistor.

A Figura 4.25 apresenta uma curva I_{DS} x V_{GS} para $W_{fin}=220\text{nm}$, $L=100\text{nm}$ e $h_{fin}=30\text{nm}$, onde são apresentadas três curvas: uma com a presença de cargas fixas na segunda interface, com concentração de 5.10^{11}cm^{-3} , outra com a mesma concentração de cargas fixas mais a presença de cargas fixas na primeira interface, com concentração de 1.10^{12}cm^{-3} e por último, uma curva com a mesma concentração de cargas fixas (2ª interface) e uma concentração de cargas fixas na primeira interface um pouco maior, de 5.10^{12}cm^{-3} .

Figura 4.25 – Gráfico de I_{DS} X V_{GS} , variando a concentração de cargas fixas na primeira e segunda interfaces.

Fonte: Autor.

Ao manter a concentração de cargas fixas constante e ao acrescentar as cargas fixas na primeira interface, pode-se observar que há um pequeno deslocamento das curvas, onde a curva em azul que é a que possui cargas fixas (2ª interface) mais cargas fixas na primeira interface (1.10^{12}cm^{-3}), desloca-se da curva vermelha, que possui apenas cargas fixas na segunda interface, esse deslocamento

resulta numa redução da tensão de limiar, devido a redução da tensão de limiar da segunda interface, aumentando a condução de corrente de fuga. Porém, ao analisar a Tabela 4.9, nota-se que a presença das cargas fixas na primeira interface não gerou uma influência significativa na inclinação de sublimiar.

A curva em verde, que possui cargas fixas (2^{a} interface) mais as cargas fixas na primeira interface positivas (5.10^{12}cm^{-3}) apresenta um grande deslocamento em relação à curva azul, reduzindo também o valor de V_T da primeira interface, ou seja, resultando num deslocamento da curva de corrente no sentido de menor V_{GS} . É possível observar a condução pela segunda interface devido a anomalia presente na curva, essa anomalia representa a transição da predominância da condução de corrente pela segunda para a primeira interface.

Ao analisar a influência da concentração de cargas na inclinação de sublimiar, pode-se considerar que ela não é significativa, pois, há uma variação menor que 1mV/dec.

Tabela 4.9 – Valores extraídos da inclinação de sublimiar, para $h_{fin}=30\text{nm}$.

	SS (mV/dec)
Cargas fixas (2^{a}int.) (5.10^{11} cm^{-3})	93,45
Cargas fixas (2^{a} int.) + Cargas fixas (1^{a} int.) (1.10^{12}cm^{-3})	93,55
Cargas fixas (2^{a} int.) + Cargas fixas (1^{a} int.) (5.10^{12}cm^{-3})	94,33

Fonte: Autor.

Contudo, pode-se atribuir a alta imunidade do SS com a presença de cargas fixas na primeira e segunda interfaces, ao fato de a altura do canal ser pequena o suficiente, promovendo um forte acoplamento entre as interfaces e também ao fato de espessura efetiva do óxido de porte ser de apenas 1,3nm.

4.2.4 DIBL

Para extrair o DIBL a tensão de tródo de $V_{DS}=50\text{mV}$ e a de saturação foi de $V_{DS}=0,8\text{V}$, que equivale à dois terços da tensão máxima suportado por esses dispositivos, que no caso é de 1,2V. Os resultados estão apresentados na Figura 4.26.

O comprimento de canal não apresentou influência significativa para esse parâmetro em ambos dispositivos para L até 100nm, já para L=40nm há um aumento

significativo no valor de DIBL para $W_{fin}=220$ e 40nm devido à presença do efeito de canal curto, que devido ao L ser muito curto as cargas de depleção geradas pelo alto V_{DS} influenciam as cargas do canal, devido ao aumento do campo elétrico na região do dreno e assim, o canal deixa de ser fortemente controlado pela tensão aplicada na porta. O abaixamento da barreira entre fonte e dreno facilita a condução de corrente no canal, resultando numa diminuição da tensão de limiar e do controle das cargas do canal pela porta.

Para o $W_{fin}=10\text{nm}$ novamente não foi observado a presença de efeitos parasitários que causam degradação no comportamento do transistor.

Ao analisar a influência do W_{fin} , é possível notar que o valor de DIBL é diretamente proporcional a esse parâmetro, pois, com o aumento de W_{fin} a área do dreno também aumenta e com isso há um maior campo elétrico, e como o comprimento do canal é curto, essa diferença na área passar a influenciar fortemente a região do canal, onde serão geradas mais cargas de depleção com o aumento de V_{DS} causando uma forte redução da barreira entre fonte e dreno, facilitando a condução de corrente no transistor.

Figura 4.26 - Gráfico de DIBL em função do comprimento de canal para dispositivos A) NMOS e B) PMOS.

Fonte: Autor.

5. CONCLUSÕES

Conclusões UTBOX e UTBB

Com os resultados experimentais e os simulados, foi possível observar que a espessura da região ativa do silício tem influência nos parâmetros analisados. O melhor acoplamento apresentado nos dispositivos mais finos ($t_{si}=20\text{nm}$) resultam em uma melhor inclinação de sublimiar, aumentando a rapidez com que o transistor passa do estado desligado para o ligado. Quanto ao DIBL, com essa região menos espessa, menor será a influência do campo elétrico gerado pela tensão aplicada no dreno resultando em um menor controle do dreno sobre as cargas do canal, gerando uma menor redução da tensão de limiar, quando comparado aos dispositivos com t_{si} mais espessa. A espessura da região ativa de silício não apresentou influência sobre o GIDL.

Apesar de não apresentar efeito significativo na tensão de limiar e não interferir na corrente GIDL o comprimento de canal afeta os outros parâmetros. Ao reduzir o comprimento de canal, ocorre uma degradação da inclinação de sublimiar devido ao efeito de canal curto e ao abaixamento da barreira induzido pelo dreno (DIBL) que ocorre para L curto. A razão I_{ON}/I_{OFF} também é afetada para comprimentos de canal curtos, onde a corrente de fuga sobrepõe o aumento da corrente em estado ligado, diminuindo o valor desta relação.

A implantação do plano de terra influenciou significativamente apenas a tensão de limiar e a razão I_{ON}/I_{OFF} , onde com a implantação do plano de terra há uma maior concentração de cargas abaixo do óxido enterrado que reduzem o potencial da segunda interface resultando em um maior V_T . Já na razão I_{ON}/I_{OFF} devido à redução das cargas de depleção abaixo do óxido enterrado, há uma redução da corrente de fuga pela terceira interface, resultando em um aumento dessa razão.

Com a análise dos parâmetros analisados foi possível observar que a espessura da região de silício afeta o funcionamento do transistor, onde quanto menor for espessura melhor será o desempenho. Assim, têm-se que os dispositivos UTBB apresentaram uma melhor performance sendo capaz de suprir as necessidades da indústria dando sequência à lei de Moore e apresentando alta performance, com

menor SS, DIBL, e maior razão I_{ON}/I_{OFF} . A presença do plano de terra tornou-se vantajosa apenas ao analisar a razão I_{ON}/I_{OFF} .

Conclusões Nanofio Porta Ômega

Com a análise das curvas $I_{DS} \times V_{GS}$ com cascatas de W_{fin} e L foi possível analisar a influência desses parâmetros no funcionamento do transistor, onde com a redução de W há uma redução no nível de corrente e aumento da tensão de limiar. E com a redução de L o nível de corrente aumenta, pois, com um menor L o caminho percorrido pelo elétron da fonte até o dreno torna-se mais livre com menos possibilidade de colisões e a tensão de limiar reduz devido ao efeito de canal curto.

Para explicar o porquê da redução da tensão de limiar para W_{fin} maior, foram feitas simulações numéricas, onde foi observado a condução de corrente pela segunda interface, o que acaba interferindo no funcionamento do transistor pois, o controle das cargas no canal pela tensão aplicada na porta torna-se menor, o que é indesejado.

A condução pela segunda interface foi analisada para diversos valores de cargas fixas na segunda interface e, notou-se que a inclinação de sublimiar quase não foi afetada. Somente a presença dessas cargas não deveria afetar esse parâmetro, porém, como há condução pela segunda interface deveria haver uma degradação na curva. Para analisar o motivo de não ter havido essa degradação, foram acrescentadas cargas fixas na primeira interface, porém, com as simulações feitas, a presença dessas cargas apresentou uma degradação desprezível de apenas 2,45mV/dec. Portanto, atribuímos essa imunidade na inclinação, ao fato de que como a altura da região de silício é muito pequena, isso gera um forte acoplamento entre as interfaces, tornando muito difícil a influência dessas cargas na inclinação.

Para comprovar que é a altura do silício que ajudava a manter o SS imune, foram feitas simulações alterando a altura do canal e acrescentando as mesmas concentrações de cargas utilizadas para $h_{fin}=10\text{nm}$, onde foi possível comprovar que altura do silício, que mantinha o SS imune, já que ao aumentar h_{fin} , mantendo a concentração de cargas constante, resultou numa degradação do SS em aproximadamente 26mv/dec.

Ao analisar a influência do comprimento de canal nos dispositivos, notou-se a presença do efeito de canal curto para os $W_{fin}=220$ e 40nm , provocando uma redução no valor da tensão de limiar. Além de afetar V_T , o efeito de canal curto gerou influência sobre SS e DIBL para $L=100$ e 40nm , resultando num aumento desses valores para $W_{fin}=220$ e 40nm .

O melhor controle eletrostático proveniente da estrutura dos nanofios, onde o canal é quase que inteiramente coberto pela porta, promove um alto desempenho dos transistores devido ao melhor controle das cargas no canal, garantindo uma estabilidade dos parâmetros analisados que independem da largura do dispositivo, porém, essa melhor performance ocorre apenas para longos comprimentos de canal, onde a presença do efeito de canal curto passa gerar forte influência no funcionamento do transistor.

Os dispositivos que apresentaram um melhor funcionamento foram os com $W_{fin}=10\text{nm}$ onde para V_T , SS e DIBL, não foi notada a presença de efeitos parasitário, isso ocorre pois com um menor W_{fin} é possível manter um melhor controle do canal e apesar de apresentar um menor nível de corrente, apresentam menor tempo de transição entre I_{OFF} e I_{ON} resultando num melhor chaveamento e um menor DIBL, possibilitando o uso de altos valores de V_{DS} sem degradar o funcionamento do dispositivo.

Contudo, pode-se dizer que os dispositivos com $W_{fin}=220\text{nm}$ devem ser descartados para aplicações que operam na região de sublimiar, devido à condução pela segunda interface, que reduz o controle do canal pela tensão aplicada na porta. O melhor dispositivo para trabalhar nessa região são os com $W_{fin}=10\text{nm}$ com todos os valores de L analisados, pois, não apresentou efeito de canal curto e $W_{fin}=40\text{nm}$ para $L=1\mu\text{m}$ e 200nm , onde ainda não há influência do efeito de canal curto.

Conclusões: comparação UTBOX/UTBB x Nanofios

Ao analisar o funcionamento dos dois dispositivos, pode-se concluir que para aplicações que operam na região de sublimiar os dispositivos mais indicados são os nanofios, devido ao melhor acoplamento entre interfaces, com uma pequena altura da região ativa do silício e um maior controle das cargas no canal. Devido à maior imunidade ao efeito de canal curto, é possível utilizar dispositivos com dimensões

menores, quando comparado aos UTBBs. Com essas características, os nanofios apresentam uma menor inclinação de sublimar e um menor DIBL.

PUBLICAÇÕES

- **SILVA, V. C. P.; ITOCAZU, V. T.; SONNENBERG, V.; MARTINO, J. A.; AGOPIAN, P. G. D. Experimental study of underlap UTBB SOI transistors down to 50 nm channel length.** In: Chip on the mountain -SForum 2016 - 16th Microelectronics Students Forum, 2016, Belo Horizonte, MG. Chip on the mountain, 2016;
- **SILVA, V. C. P.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; AGOPIAN, P. G. D. . Silicon Thickness and Ground Plane Influence on Threshold Voltage and Subthreshold Swing of UTBOX and UTBB SOI nMOSFETs.** In: Seminatec 2017 - XII Workshop on semiconductions and micro & nano technology, 2017, São Paulo. Seminatec 2017 - XII Workshop on semiconductions and micro & nano technology, 2017;
- **SILVA, V. C. P.; SONNENBERG, V.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C.; AGOPIAN, P. G. D. Subthreshold Region Analysis for UTBOX and UTBB SOI nMOSFETs with Different Channel Lengths and Silicon Thickness.** In: Chip on the Sands -SBmicro 2017 - 32nd Symposium on Microelectronics Technology and Devices, 2017, Fortaleza, CE. Chip on the Sands, 2017;
- **SILVA, V. C. P.; MARTINO, J. A.; AGOPIAN, P. G. D. Parasitic Conduction on Ω -Gate Nanowires SOI nMOSFETs.** In: 233rd ECS Meeting, 2018, Seattle, WA. (Aceito).

REFERÊNCIAS

- Adell, P. C., Barnaby, H. J., Member, S., Schrimpf, R. D., & Vermeire, B. (2007). Band-to-Band Tunneling (BBT) Induced Leakage Current Enhancement in Irradiated Fully Depleted SOI Devices, *54*(6), 2174–2180.
- Andrade, M. G. C. (2007). *Estudo da Tensão de Limiar e Inclinação de Sublimiar em Transistores SOI FinFETs de Porta Dupla e Porta Tripla*. Centro Universitário da FEI. Retrieved from <http://portal.fei.edu.br/Download de Pesquisas/FEI-IED-003-MariaAndrade.pdf>
- Bindal, A., & Hamed-hagh, S. (2016). *Silicon Nanowire Transistors* (1st ed.). San Jose, CA, USA: Springer International Publishing Switzerland. <https://doi.org/10.1007/978-3-319-27177-4>
- Bright, P. (2016). Moore's law really is dead this time. Retrieved June 19, 2017, from <https://arstechnica.com/information/technology/2016/02/moores?law?really?is?dead?this?time/>
- Brito, A. V. (2014). Introdução a Arquitetura de Computadores. Retrieved July 13, 2017, from <http://producao.virtual.ufpb.br/books/edusantana/old-arq/livro/livro.html>
- Canali, C., Majni, G., Minder, R., & Ottaviani, G. (1975). Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. *IEEE Transactions on Electron Devices*, *22*(11), 1045–1047. <https://doi.org/10.1109/T-ED.1975.18267>
- Cattaneo, M. (2009). *Efeito de Corpo em Transistores SOI de Porta Dupla Vertical*. CENTRO UNIVERSITÁRIO DA FEI. Retrieved from <http://portal.fei.edu.br/Download de Pesquisas/FEI-IED-016-MorenoCattaneo.pdf>
- Claeys, C., Leonelli, D., Rooyackers, R., Vandooren, A., Verhulst, A., Heyns, M., ... De Gendt, S. (2009). *Fabrication and characterization of Si and hetero-junction tunnel field effect transistors*. Tóquio.
- Colinge, J.-P. (2004). *Silicon-on-Insulator Technology: Materials to VLSI* (3rd ed.). Boston, MA: Springer US. <https://doi.org/10.1007/978-1-4419-9106-5>
- Colinge, J.-P. (2008). *FinFETs and Other Multi-Gate Transistors*. (J.-P. Colinge, Ed.), October (1st ed.). Springer Science & Business Media. <https://doi.org/10.1177/019263659107553305>
- Fenouillet-Beranger, C., Perreau, P., Denorme, S., Tosti, L., Andrieu, F., Weber, O., ... Skotnicki, T. (2009). Impact of a 10nm ultra-thin BOX (UTBOX) and ground plane on FDSOI devices for 32nm node and below. *ESSDERC 2009 - Proceedings of the 39th European Solid-State Device Research Conference*, *53*, 730–734. <https://doi.org/10.1109/ESSDERC.2009.5331588>
- Ghitani, H. E. (1999). DIBL coefficient in short-channel NMOS transistors. *Proceedings of the Sixteenth National Radio Science Conference. NRSC'99 (IEEE Cat. No.99EX249)*, (1), D4/1-D4/5. <https://doi.org/10.1109/NRSC.1999.760932>
- Goebel, H., & Hoffmann, K. (1992). Full dynamic power diode model including temperature behavior for use in circuit simulators. *Power Semiconductor Devices and ICs, 1992. ISPSD '92. Proceedings of the 4th International Symposium on*, (1), 130–135. <https://doi.org/10.1109/ISPSD.1992.991249>
- ITOCazu, V. T.; SONNENBERG, V.; SIMOEN, E.; CLAEYS, C.; MARTINO, J. A. (2014). *Influence of High Temperature on Substrate Effect of UTBB SOI nMOSFETs, Microelectronics Technology and Devices*.
- Klaassen, D. B. M. (1992). A UNIFIED MOBILITY MODEL FOR DEVICE SIMULATION--I. MODEL EQUATIONS AND CONCENTRATION

- DEPENDENCE. *Solid-State Electronics*, 35(7), 953–959.
- Kononchuk, O., & Nguyen, B.-Y. (2014). *Silicon-on-insulator (SOI) Technology: Manufacture and Applications*. (Elsevier, Ed.) (1st ed.). Langford Lane, Kidlington, OX5 1GB, UK Copyright: Woodhead Publishing.
- Lim, H.-K., & Fossum, J. G. (1983). Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. *IEEE Transactions on Electron Devices*, 30(10), 1244–1251. <https://doi.org/10.1109/T-ED.1983.21282>
- Liou, J. J. (1990). Modeling the tunnelling current in reverse-biased p/n junctions. *Solid State Electronics*, 33(7), 971–972. [https://doi.org/10.1016/0038-1101\(90\)90081-O](https://doi.org/10.1016/0038-1101(90)90081-O)
- Lombardi, C., Manzini, S., Saporito, a., & Vanzi, M. (1988). A physically based mobility model for numerical simulation of nonplanar devices. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 7(11), 1164–1171. <https://doi.org/10.1109/43.9186>
- Martino, J. A., Pavanello, M. A., & Verdonck, P. B. (2004). *Caracterizacao Eletrica de Tecnologia e Dispositivos Mos Capa ilustrativa Caracterização Elétrica de Tecnologia e Dispositivos MOS* (1st ed.). São Paulo: Pioneira Thomson Learning.
- Roulston, D. J., Arora, N. D., & Chamberlain, S. G. (1982). Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n +-p Silicon Diodes. *IEEE Transactions on Electron Devices*, 29(2), 284–291. <https://doi.org/10.1109/T-ED.1982.20697>
- S. Barraud, R.Coquand, M.Casse, M.Koyama, J.M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizioz, F. Aussenac, O. Faynot, T. P. (2012). Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. *IEEE Electron Device Letters*, 33(11), 1526–1528. <https://doi.org/10.1109/LED.2012.2212691>
- SANTOS, S. D. DOS. (2010). *INFLUÊNCIA DA TENSÃO MECÂNICA NO ABAIXAMENTO DE BARREIRA INDUZIDO PELO DRENO (DIBL) EM FinFETs DE PORTA TRIPLA*. Universidade de São Paulo.
- Schenk, A. (1992). A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon. *Solid State Electronics*, 35(11), 1585–1596. [https://doi.org/10.1016/0038-1101\(92\)90184-E](https://doi.org/10.1016/0038-1101(92)90184-E)
- Slotboom, J. W. (1977). The pn-product in silicon. *Solid State Electronics*, 20(4), 279–283. [https://doi.org/10.1016/0038-1101\(77\)90108-3](https://doi.org/10.1016/0038-1101(77)90108-3)
- Slotboom, J. W., & Graaff, H. C. (1976). MEASUREMENTS OF BANDGAP NARROWING IN Si BIPOLAR TRANSISTORS. *Solid-State Electronics*, 19, 857–862.
- Slotboom, J. W., & Graaff, H. C. De. (1977). Bandgap narrowing in silicon bipolar transistors. *IEEE Transactions on Electron Devices*, 24(8), 1123–1125. <https://doi.org/10.1109/T-ED.1977.18889>
- Synopsys. (2013). Sentaurus Device User Guide. Synopsys, Inc. Mountain View, CA: Synopsys, Inc. Retrieved from <http://www.synopsys.com/Company/Pages/Trademarks.aspx>
- Sze, S. M. (1981). *Physics of semiconductor devices* (2 ed). New York: J. Wiley & Sons.
- Terao, A., Flandre, D., Lora-Tamayo, E., & Van De Wiele, F. (1991). Measurement of Threshold Voltages of Thin-Film Accumulation-Mode PMOS /SOI Transistors. *IEEE Electron Device Letters*, 12(12), 682–684. <https://doi.org/10.1109/55.116954>
- Tyagi, M. S., & Van Overstraeten, R. (1983). Minority carrier recombination in heavily-

doped silicon. *Solid State Electronics*, 26(6), 577–597.
[https://doi.org/10.1016/0038-1101\(83\)90174-0](https://doi.org/10.1016/0038-1101(83)90174-0)

APÊNDICE A – ARQUIVO DA ESTRUTURA DO SENTAURUS STRUCTURE EDITOR

```
;ESTRUTURA
```

```
(sdegeo:create-rectangle (position 0 0 0) (position 0.085 0.014 0)
"Silicon" "canal" )
(sdegeo:create-rectangle (position 0 0 0) (position -0.2 0.014 0)
"Silicon" "fonte" )
(sdegeo:create-rectangle (position 0.085 0 0) (position 0.285 0.014
0) "Silicon" "dreno" )
(sdegeo:create-rectangle (position -0.2 0 0) (position 0.285 -0.018
0) "SiO2" "oxb" )
(sdegeo:create-rectangle (position 0 0.014 0) (position 0.085 0.019
0) "SiO2" "oxf" )
(sdegeo:create-rectangle (position -0.2 -0.018 0) (position 0.285 -
1.018 0) "Silicon" "Sub" )
(sdegeo:create-rectangle (position 0 0.014 0) (position -0.015
0.019 0) "Nitride" "spacere" )
(sdegeo:create-rectangle (position 0.085 0.014 0) (position 0.1
0.019 0) "Nitride" "spacerd" )
```

```
;Contato;
```

```
(sdegeo:define-contact-set "Contato_Porta" 4 (color:rgb 1 0 0 ) "##"
)
(sdegeo:set-current-contact-set "Contato_Porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.0425
0.019 0)))) "Contato_Porta")
```

```
(sdegeo:define-contact-set "Contato_Dreno" 4 (color:rgb 1 0 0 ) "##"
)
(sdegeo:set-current-contact-set "Contato_Dreno")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.185
0.014 0)))) "Contato_Dreno")
```

```
(sdegeo:define-contact-set "Contato_Fonte" 4 (color:rgb 1 0 0 ) "##"
)
(sdegeo:set-current-contact-set "Contato_Fonte")
(sdegeo:define-2d-contact (list (car (find-edge-id (position -0.1
0.014 0)))) "Contato_Fonte")
```

```
(sdegeo:define-contact-set "Contato_Substrato" 4 (color:rgb 1 0 0 )
"##" )
(sdegeo:set-current-contact-set "Contato_Substrato")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.0425
-1.018 0)))) "Contato_Substrato")
```

```
;DOPAGEM;
```

```
(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration" 1e15)
```



```

(sdedr:define-constant-profile-region
"ConstantProfilePlacement_canal" "ConstantProfileDefinition_canal"
"canal")

(sdedr:define-constant-profile "ConstantProfileDefinition_fonte"
"PhosphorusActiveConcentration" 1e+20)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement_fonte" "ConstantProfileDefinition_fonte"
"fonte")

(sdedr:define-constant-profile "ConstantProfileDefinition_dreno"
"PhosphorusActiveConcentration" 1e+20)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement_dreno" "ConstantProfileDefinition_dreno"
"dreno")

(sdedr:define-constant-profile "ConstantProfileDefinition_Sub"
"BoronActiveConcentration" 1e+15)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Sub"
"ConstantProfileDefinition_Sub" "dreno")

;GRADE;

(sdedr:define-refinement-size "RefinementDefinition_canal" 0.01
0.005 0.005 0.0005 )
(sdedr:define-refinement-region "RefinementPlacement_canal"
"RefinementDefinition_canal" "canal" )

(sdedr:define-refinement-size "RefinementDefinition_fonte" 0.03 0.01
0.007 0.0005 )
(sdedr:define-refinement-region "RefinementPlacement_fonte"
"RefinementDefinition_fonte" "fonte" )

(sdedr:define-refinement-size "RefinementDefinition_dreno" 0.03 0.01
0.007 0.0005 )
(sdedr:define-refinement-region "RefinementPlacement_dreno"
"RefinementDefinition_dreno" "dreno" )

(sdedr:define-refinement-size "RefinementDefinition_oxf" 0.15 0.007
0.007 0.0005 )
(sdedr:define-refinement-region "RefinementPlacement_oxf"
"RefinementDefinition_oxf" "oxf" )

(sdedr:define-refinement-size "RefinementDefinition_oxb" 0.15 0.003
0.05 0.001 )
(sdedr:define-refinement-region "RefinementPlacement_oxb"
"RefinementDefinition_oxb" "oxb" )

(sdedr:define-refinement-size "RefinementDefinition_Sub" 0.1 0.1
0.01 0.01 )
(sdedr:define-refinement-region "RefinementPlacement_Sub"
"RefinementDefinition_Sub" "Sub" )

(sde:set-meshing-command "snmesh -a -c boxmethod")
(sdedr:append-cmd-file "")

```

```
(sde:build-mesh "snmesh" "-a -c boxmethod"  
"/home/Desktop/Vanessa/D08_L_85")
```

APÊNDICE B – ARQUIVO DO SENTAURUS DEVICE

```

File {  * input files:
    Grid = "D08_L_85_msh.tdr"
    Doping = "D08_L_85_msh.tdr"
    Parameter = "NMOS1.par"
    * output files:
    Plot = "D08_L_85_VD_1_des.tdr"
    Current = "D08_L_85_VD_1_des.plt"
    Output = "D08_L_85_VD_1_des.log"
}

Electrode {
    { Name="Contato_Fonte"      Voltage= 0.00 }
    { Name="Contato_Dreno"      Voltage= 0.00 }
    { Name="Contato_Porta"      Voltage= -2.00 Workfuntction=4.650}
    { Name="Contato_Substrato" Voltage= 0.00 }
}

Physics {
    Mobility(PhuMob
        Enormal
        HighFieldSaturation
    )

    Recombination(SRH (DopingDep TempDependence)
#        Avalanche(vanOverstraeten)
    )

    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))

    Temperature = 300
}

Physics (RegionInterface="oxb/canal") {
    Charge (conc=-1e+11)
}

Plot {
    eDensity hDensity eCurrent hCurrent
    Potential SpaceCharge ElectricField
    eMobility hMobility eVelocity hVelocity
    Doping DonorConcentration AcceptorConcentration
}

Math {
    Extrapolate
    RelErrControl
    Iterations = 50
    Method = pardiso
}

```

```

        Number_Of_Threads = maximum
#numero de processadores
        StackSize = 200000000
    }

Solve {
    #-initial solution:
    Poisson
    Coupled { Poisson Electron hole }

    #-ramp gate:

    Quasistationary ( InitialStep=0.05 Maxstep=0.05 Minstep=1e-5
        Goal{ Name="Contato_Dreno" Voltage=1.00 } )
        { Coupled { Poisson Electron hole} }

    Quasistationary ( InitialStep=0.1 Maxstep=0.05 Minstep=1e-5
        Goal{ Name="Contato_Substrato" Voltage=0.0 } )
        { Coupled { Poisson Electron hole} }

    Quasistationary ( InitialStep=0.0025 Maxstep=0.005 Minstep=1e-5
        Goal{ Name="Contato_Porta" Voltage=2.00 } )
        { Coupled { Poisson Electron hole} }
}

```