PAULO HERINGER TREVISAN

PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO EM CMOS
CONSIDERANDO O RUÍDO E A POTÊNCIA

São Paulo
2008

PAULO HERINGER TREVISAN

PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO EM CMOS
CONSIDERANDO O RUÍDO E A POTÊNCIA

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Engenharia Elétrica

Área de Concentração: Microeletrônica

Orientador: Prof. Titular Wilhelmus
Adrianus Maria van Noije

São Paulo
2008

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de dezembro de 2008.

Assinatura do autor _____

Assinatura do orientador _____

FICHA CATALOGRÁFICA

Trevisan, Paulo Heringer

Projeto de um amplificador de baixo ruído em CMOS considerando o ruído e a potência / P.H.Trevisan. -- ed.rev. --São Paulo, 2008.
p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Amplificador de baixo ruído 2.Circuitos integrados MOS I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

AGRADECIMENTOS

Ao professor Wilhelmus A. Maria Van Noije pela oportunidade de realizar o mestrado na Escola Politécnica.

Ao CNPq pelo fomento.

Ao professor João Navarro Soares pela motivação para a área.

Ao Andres e Gustavo pelo auxílio nas ferramentas de trabalho.

A toda equipe do LSI-EPUSP que contribuiu direta e indiretamente para a minha finalização do trabalho.

A DH-LSITEC pela compreensão e motivação para a realização do trabalho.

RESUMO

Esta dissertação apresenta o projeto de um amplificador de baixo ruído (LNA) para aplicação em 2,4 GHz na tecnologia CMOS 0,35 μm . A metodologia baseia-se na obtenção das dimensões dos dispositivos do circuito considerando o consumo de potência e o desempenho em relação ao ruído. Os resultados mostram que a metodologia implementada é eficaz no projeto de um LNA quando se comparam os resultados obtidos nos cálculos com os resultados obtidos no simulador. A expressão de corrente que considera canal curto impõe maior precisão nos resultados, pois se aplica o ajuste de curva com a curva de corrente obtida pelo simulador. Isto permite maior precisão nos resultados dos cálculos de ruído.

O fluxo do projeto baseia-se na implementação de dispositivos ideais obtidos de projeto com o propósito de fazer-se comparações dos resultados de cálculos com as simulações, então, usa-se dispositivos reais e ajusta-se o circuito para encontrar melhores desempenhos quanto às especificações. Os resultados mostram a necessidade de ajuste do circuito quando inserido o modelo do indutor para que se consiga desempenhos próximos dos obtidos inicialmente. Em seguida, realiza-se o *layout* do circuito e sua extração parasitária para fins de fabricação.

Verifica-se que a metodologia apresentada é capaz de direcionar a um projeto de um LNA na tecnologia com resultados finais satisfatórios de ganho, ruído e consumo. Assim os resultados esperados são 14,66 dB de ganho, 1,9 dB de fator de ruído e 2,99 mA de consumo de corrente (9,87 mW em 3,3 V de alimentação) ambos no primeiro estágio.

Palavras-chave: Amplificador de baixo ruído. Circuitos Integrados MOS.

ABSTRACT

This work presents the design of a low-noise amplifier (LNA) for application at 2.4 GHz using CMOS 0.35 μm technology. The methodology is based on obtaining the dimensions of the devices taking into account of power consumption and performance on noise. Results show that the implemented methodology is efficient in the design of LNAs when it compares results obtained by calculation and simulation. The expression of current that considers short-channel effects increases the precision of results because curve fitting is applied with the current of the simulator. This permits precision on the results of the noise calculation.

The design-flow firstly bases on implementation of ideal devices obtained by design on purposes of doing comparisons between calculated and simulated results, then real devices is used and the circuit is fixed to find better performance regarding the specifications. The results showed the necessity of adjusts in the circuit when the inductor is inserted to reach a closer initial performance. Afterwards, the *layout* of the circuit and its parasitic extraction are worked out for purposes of fabrication.

It is verified that this methodology is capable of directing to the design of LNAs using the proposed technology with satisfactory final results of gain, noise and power consumption. Therefore, the expected results are 14,66 dB of gain, 1,9 dB of noise figure, 2,99 mA of current consumption (9,87 mW within 3.3 V of supply voltage) both of them at first stage.

Keywords: Low-noise amplifier. MOS integrated circuits.

LISTA DE ILUSTRAÇÕES

Figura 1 – (a) LNA em destaque em um circuito receptor; (b) LNA com fonte degenerada por indutor.	16
Figura 2 – Estágio de entrada do LNA para cálculo de casamento de impedância de entrada.	17
Figura 3 – Circuito para análise da impedância de entrada considerando R_{ch}	18
Figura 4 – Sistema de 2 portas ideal com suas fontes de ruído referidas à entrada.	19
Figura 5 – Modelo de pequenos sinais para cálculo do fator de ruído.	20
Figura 6 – Modelo de pequenos sinais considerando resistência entre porta e fonte.	21
Figura 7 – Ponto de interseção de 3ª ordem e ponto de compressão de 1dB.	23
Figura 8 – Modelo de pequenos sinais para estimativa da linearidade: (a) representação completa do sinal não-linear na saída; (b) modelo de 1ª ordem; (c) modelo de 2ª ordem com representação das impedâncias; (d) modelo de 3ª ordem com representação das impedâncias.	24
Figura 9 – Fluxo adotado para o projeto do LNA.	26
Figura 10 – Fator de ruído em função de V_{gs} para algumas dimensões do transistor.	31
Figura 11 – Corrente em função da tensão V_{gs} para algumas dimensões do transistor.	32
Figura 12 – Gráficos das indutâncias em função de V_{gs} : (a) L_g e (b) L_s	33
Figura 13 – Representação do circuito utilizado para simulação.	35
Figura 14 – Resultados obtidos por simulação de S11, NF e ganho.	35
Figura 15 – S11 e NF com ajuste de L_g	36
Figura 16 – Ganho, S11 e NF com L_g de 8,2 nH.	36
Figura 17 – Fator de espalhamento S11 varrendo-se L_s	37
Figura 18 – S11 e NF com varredura da polarização.	38
Figura 19 – Ganho, S11 e NF com polarização de 950 mV.	38
Figura 20 – Indutor L_g criado no ASITIC e seu modelo PI.	40
Figura 21 – Circuito LNA com modelo de indutor.	41
Figura 22 – Ganho, NF e S11 com inserção do modelo de indutor.	41
Figura 23 – S11 com variação de W do estágio de transcondutância.	42
Figura 24 – S11 varrendo-se L_s	43

Figura 25 – Ganho, S11 e NF para $W=260\text{ }\mu\text{m}$ e $V_{gs}=750\text{ mV}$ com $L_s=1,2\text{ nH}$	43
Figura 26 – S11 e NF com varredura da polarização do amplificador.....	44
Figura 27 – Ganho, NF e S11 para polarização de 950 mV.....	45
Figura 28 – Circuito simulado com inserção do 2º estágio e PADs.....	46
Figura 29 – Ganho, NF e S11 para $W=260\text{ }\mu\text{m}$ e polarização de 750 mV.	46
Figura 30 – S11 e NF em função da polarização para $W=260\text{ }\mu\text{m}$	47
Figura 31 – Ganho, S11 e NF para polarização de 950 mV e $W=260\text{ }\mu\text{m}$	48
Figura 32 – <i>Layout</i> do LNA.....	48
Figura 33 – Ganho, S11 e NF do LNA após extração parasitária.	49
Figura 34 – P1dB do LNA após extração parasitária.	50
Figura 35 – Ponto de interseção de 3ª ordem do LNA após extração parasitária.	50
Figura 36 – Capacitância parasitária do indutor entre porta e substrato.	53

LISTA DE TABELAS

Tabela 1 – Especificações de um LNA ²⁷	30
Tabela 2 – Valores obtidos dos parâmetros de projeto	32
Tabela 3 – Resultados parciais no projeto do LNA.	39
Tabela 4 – Resultados parciais no projeto do LNA.	44
Tabela 5 – Resultados finais no projeto de um LNA.	51

SUMÁRIO

1. Introdução	11
1.1. Objetivo.....	11
1.2. Motivação.....	12
1.3. Organização da Dissertação	13
2. Desenvolvimento de um LNA	15
2.1. Revisão da Bibliografia	15
2.1.1. <i>Arquitetura de um LNA</i>	<i>16</i>
2.1.2. <i>Casamento de Impedância de Entrada.....</i>	<i>17</i>
2.1.3. <i>Fator de Ruído.....</i>	<i>18</i>
2.1.4. <i>Ganho</i>	<i>21</i>
2.1.5. <i>Linearidade</i>	<i>22</i>
2.2. Metodologia.....	25
2.2.1. <i>Ganho do Amplificador</i>	<i>25</i>
2.2.2. <i>Consumo de Potência.....</i>	<i>27</i>
2.2.3. <i>Fator de Ruído.....</i>	<i>27</i>
2.3. Projeto.....	30
2.4. Simulações	34
2.4.1. <i>Circuito Ideal.....</i>	<i>34</i>
2.4.2. <i>Indutor Real</i>	<i>39</i>
2.4.3. <i>Inserção do Modelo de Indutor</i>	<i>40</i>
2.4.4. <i>Inserção do 2º Estágio e PADs.....</i>	<i>45</i>
2.5. Simulações após Extração Parasitária	49
2.6. Discussões dos Resultados.....	51
2.6.1. <i>Comparações dos Cálculos e Simulações do Circuito Ideal.....</i>	<i>51</i>
2.6.2. <i>Indutor no Circuito.....</i>	<i>52</i>
2.6.3. <i>Inserção do Estágio de Saída e PADs.....</i>	<i>53</i>
2.6.4. <i>Diferenças do projeto e resultados finais</i>	<i>54</i>
3. Conclusões.....	56

1. Introdução

1.1. Objetivo

O objetivo desta dissertação é apresentar o projeto de um amplificador de baixo ruído (LNA) na tecnologia CMOS 0,35 μm para aplicação em 2,4 GHz. O projeto baseia-se na otimização quanto ao ruído e consumo de potência através dos cálculos realizados que permitem uma proximidade com os resultados obtidos pelo simulador. Esta otimização é conseguida com ajustes de curvas de corrente e capacitância das equações utilizadas com as curvas de corrente e capacitâncias obtidos por simulação. Este método permite a obtenção de resultados dos cálculos de ruído próximos resultados obtidos pelas simulações de ruído, além da obtenção das dimensões dos dispositivos do circuito, produzindo resultados satisfatórios no projeto de um LNA. Logo, um circuito capaz de consumir o quanto o projetista deseja com um desempenho em relação ao ruído pode ser obtido com este método.

O fluxo do projeto se inicia com os cálculos para obtenção das dimensões do transistor e indutores do amplificador, segundo um consumo de corrente e fator de ruído pré-determinados. Em seguida, as simulações são realizadas para se confirmar o método proposto. Nesta fase do projeto são inseridos componentes ideais com a finalidade de se confirmar os resultados obtidos pelo método proposto com os resultados obtidos pelo simulador. Então, realiza-se possíveis ajustes, considerando-se desvios obtidos pelas equações em relação aos resultados obtidos por simulação devido aos efeitos desconsiderados devido às aproximações. Logo, novas simulações são realizadas adicionando-se os componentes reais. Ajustes nesta fase são necessários para que se otimize o circuito devido aos efeitos inseridos pelos componentes reais. Enfim, o *layout* é realizado e extraída as suas componentes parasitárias, e novas simulações são realizadas para se finalizar o projeto para a fabricação.

1.2. Motivação

A crescente demanda pelo aumento de desempenho dos microcomputadores na década passada proporcionou o avanço no processo de fabricação dos microprocessadores, resultando maior frequência de processamento. Isto ocorreu devido ao avanço na tecnologia CMOS, pois os dispositivos na lâmina de silício passaram a ter menores dimensões, resultando em maiores frequências de operação, menores tensões de alimentação, menores áreas de ocupação no chip, menores custos de fabricação por transistor e maior volume de produção. No início da década, os telefones celulares também sofriam um aumento de demanda devido à necessidade do dia a dia das pessoas, porém, o seu tamanho e preço ainda não eram um atrativo aos consumidores. As indústrias de telecomunicações percebendo o avanço da tecnologia CMOS, acrescentada à necessidade de redução no tamanho e custo dos celulares, pesquisou a possibilidade de integrar um receptor e um transmissor com o circuito de processamento digital em uma mesma pastilha.

O avanço nos projetos de circuitos integrados para rádio frequência (RF), proporcionou uma melhoria nos sistemas implementados em aparelhos com comunicação sem fio devido à necessidade de aparelhos portáteis de rádio frequência (RF) cada vez menores, com melhores desempenhos e mais baratos. Há uma crescente necessidade por circuitos integrados em RF utilizando a tecnologia CMOS que aumentem a capacidade dos sistemas quanto às suas especificações, como a diminuição no consumo de potência e diminuição na área de projeto na pastilha, visando-se a minimização de custos. Atualmente, exemplos do desenvolvimento dos circuitos receptores e transmissores estão na telefonia celular e na comunicação sem fio de redes de computadores, onde o processamento digital requer cada vez maiores taxas de transferências, resultando em um aumento no consumo de energia destes circuitos, cabendo aos projetistas de circuitos analógicos procurarem ao máximo novas soluções em projetos para atender as especificações dos sistemas na tecnologia em uso, para se diminuir ao máximo o consumo de potência, aumentar sua velocidade de processamento, diminuir o tamanho do aparelho e seus custos aos consumidores ¹⁻³.

A equipe de pesquisa do LSI-EPUSP tem trabalhado no projeto de circuitos integrados aplicados à rádio frequência (RF), mais precisamente, no projeto de um

transceptor para aplicações ISM em 2,4 GHz com o objetivo de obter-se o conhecimento de integrar um receptor e um transmissor em um único chip para fins de projetos de sistemas RF. Em virtude disto, o grupo tem aplicado esforços para formar os blocos que compõe um transceptor. No grupo já se formaram mestres que realizaram projetos nesta área com os trabalhos concluídos. Quanto ao receptor tem-se: LNA; misturador; osciladores controláveis por tensão (VCO); sintetizador de frequência; conversor digital analógico (DAC); conversor analógico digital (ADC). E quanto ao transmissor: amplificador de potência ⁴⁻¹⁰.

Em vista disto, com o presente trabalho pretende-se aumentar o número de projetos do grupo, proporcionar um aumento na perspectiva de projeto de um LNA, validar a metodologia com simulações após extração parasitária e fabricar o circuito na tecnologia proposta.

1.3. Organização da Dissertação

O texto está dividido em quatro capítulos: introdução, desenvolvimento de um LNA, discussões dos resultados e conclusões.

No segundo capítulo desenvolvimento de um LNA, apresenta-se o conteúdo principal do trabalho e está dividido nas seções: revisão da bibliografia, metodologia, projeto, simulações, simulações após extração parasitária de *layout* e resultados. Na subseção metodologia, descreve-se as especificações do projeto e o desenvolvimento das equações que relacionam as especificações com os parâmetros de projeto. Na subseção projeto, são realizados os cálculos de projeto utilizando-se as equações obtidas em metodologia para se obter as dimensões dos dispositivos. Na subseção simulações, são realizadas simulações para verificar os resultados obtidos do simulador e compará-los com os cálculos realizados na subseção aplicação, fazendo-se ajustes necessários para a obtenção de um LNA. Nesta fase, encontra-se as imposições dos efeitos reais dos indutores e a inserção de um modelo para representá-los no projeto. Logo, novas simulações são realizadas para mostrar os efeitos causados e necessidade de reajuste a fim de garantir o funcionamento do circuito. Então, na subseção simulações após extração

parasitária de *layout*, o circuito é desenhado em nível de *layout*, e realizada a extração das componentes parasitárias. Simulações deste circuito são realizadas e ajustes são feitos conforme necessário a fim de se finalizar o projeto de um LNA. Finalmente, na subseção discussão dos resultados, apresenta-se as discussões dos resultados alcançados utilizando-se da metodologia proposta e simulações, explicação de desvios e das imposições reais de projeto. O quarto capítulo apresenta a conclusão do trabalho a partir dos objetivos propostos, das discussões realizadas sobre os resultados no capítulo terceiro, e propõe-se indicações para trabalhos futuros.

2. Desenvolvimento de um LNA

Este capítulo é dividido nas seguintes seções: revisão da bibliografia, metodologia, projeto, simulações, simulações após extração parasitária e discussões dos resultados. Em revisão da bibliografia, apresentam-se as abordagens de alguns autores que descrevem as especificações em função dos parâmetros dos dispositivos no projeto de um LNA. Em metodologia, descreve-se a forma de se obter as especificações a partir das equações que conduzem ao projeto de um LNA quanto ao ruído e consumo de potência. Em projeto, utiliza-se as expressões obtidas em metodologia para se fazer os cálculos para a obtenção da dimensão dos dispositivos do circuito. Em simulações, faz-se o uso do simulador para verificar o funcionamento do circuito obtido a partir dos resultados calculados. Em simulação após extração parasitária, descreve-se o desenho do circuito (*layout*), e realiza-se a extração das componentes parasitas, e novas simulações são realizadas considerando tais componentes para se otimizar o projeto. Enfim, na subseção discussão dos resultados, apresenta-se as discussões dos resultados alcançados utilizando-se da metodologia proposta, simulações, explicação de desvios e das imposições reais de projeto.

2.1. Revisão da Bibliografia

Nesta seção, apresenta-se a revisão da bibliografia, na qual se expõe os conhecimentos adquiridos no projeto de um LNA por meio dos estudos realizados através dos canais de informações, questionando-os sobre a sua aplicabilidade no projeto em questão. As subseções estão divididas segundo as especificações de um projeto, e dispõe-se como: Arquitetura de um LNA, Casamento de Impedância, Fator de Ruído, Ganho e Linearidade.

2.1.1. Arquitetura de um LNA

O termo LNA é uma abreviação do inglês *Low Noise Amplifier* que significa amplificador de baixo ruído. Este circuito é utilizado em sistemas de recepção de sinais via rádio que possuem amplitudes na ordem de microvolts, e deve amplificar este sinal garantindo a menor geração de ruído possível. Este amplificador deve cumprir com as seguintes especificações: fator de ruído, consumo de potência, ganho e linearidade.

Um circuito LNA com fonte degenerada por indutor é muito utilizado na tecnologia CMOS. Este circuito permite otimização quanto ao ruído devido à compensação reativa, além de permitir o casamento de impedância com a fonte de sinais ^{4,11-19}. A fig.(1a) mostra uma representação em diagrama em blocos de um receptor de sinais destacando o LNA dentre os demais blocos, e um exemplo deste circuito com fonte degenerada por indutor é apresentado na fig.(1b). Nesta arquitetura, os indutores de porta e fonte apresentam importância na sintonia, casamento de impedância de entrada e desempenho quanto ao ruído, e os transistores em configuração *cascade* permitem melhor resultado quanto à isolamento do sinal de saída em relação à entrada, além de um aumento do ganho na saída devido ao aumento da resistência de saída.

Figura 1 – (a) LNA em destaque em um circuito receptor; (b) LNA com fonte degenerada por indutor.

2.1.2. Casamento de Impedância de Entrada

A análise do casamento de impedância de entrada pode ser realizada baseando-se no circuito mostrado na fig.(2). A impedância de entrada é obtida através das eq.(1), e na ressonância pela eq.(2).

$$Z_{in} = \frac{v_i}{i} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}} L_s \quad (1)$$

$$Z_{in} = \omega_T L_s \quad (2)$$

onde as resistências parasitas são desprezadas, ω_T é a frequência de ganho unitário, C_{gs} é a capacitância entre porta e fonte, g_m é a transcondutância do transistor amplificador e L_s é a indutância do indutor na fonte ^{4, 11-19}.

Este é um modelo simplificado conforme indicado em ²⁰, onde o estágio de entrada para o casamento de impedância é recalculado considerando-se a constante de tempo finita de inversão de carga no canal, modelada como uma resistência em série com a capacitância C_{gs} como segue nas eq.(3) e (4). A inserção desta resistência é mostrada na fig.(3).

$$Z_{in} = R_g + R_{ch} + s(L_s + L_g) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}} L_s + sg_m L_s R_{ch} \quad (3)$$

Figura 2 – Estágio de entrada do LNA para cálculo de casamento de impedância de entrada.

Figura 3 – Circuito para análise da impedância de entrada considerando R_{ch} .

e na ressonância,

$$Z_{in} = R_g + R_{ch} + \frac{g_m}{C_{gs}} L_s \quad (4)$$

R_{ch} é a resistência série que modela o tempo finito de inversão das cargas no canal e R_g é a resistência parasitária da porta.

Esta consideração afeta a sintonia do circuito, desviando a frequência de ressonância na entrada do circuito, como é descrito pela eq.(5).

$$\omega_0 = \frac{1}{\sqrt{C_{gs} [L_g + L_s (1 + \alpha)]}} \quad (5)$$

onde α é igual a $\frac{g_m}{g_{d0}}$, e g_{d0} é a condutância de dreno com polarização igual a zero.

2.1.3. Fator de Ruído

O fator de ruído é uma forma de medida da quantidade de ruído que o circuito gera e amplifica na saída do sistema. Este ruído gerado pelas fontes de ruído pode ser conseguido através de um modelo de 2 portas ideal com as fontes de ruído

referidas à entrada como mostra a fig.(4). O fator de ruído deste sistema pode ser obtido pela equação que o descreve segundo as fontes de ruído referidas à entrada. Após equacionamento destas fontes e de suas impedâncias relacionadas, solução da derivação do fator de ruído pela impedância da fonte, e substituição da solução de menor ruído, o fator de ruído pode ser descrito pelas eq.(6) e (7) ².

$$F = F_{\min} + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (6)$$

para

$$F_{\min} = 1 + 2R_n \left[\sqrt{\frac{G_u}{R_n} + G_c^2} + G_c \right] \quad (7)$$

onde R_n é a resistência equivalente das fontes de ruído referidas à entrada, G_s é a condutância de fonte, G_u e G_c são as condutâncias referentes às fontes não-correlacionadas e correlacionadas, respectivamente, referidas à entrada. G_{opt} é a condutância ótima e igual a $\sqrt{\frac{G_u}{R_n} + G_c^2}$, B_{opt} é a susceptância ótima e igual a $-B_c$.

Esta otimização induz ao casamento para máxima transferência de potência variando a impedância da fonte para se obter o menor fator de ruído. Porém, esta otimização não é real quando se trata de uma fonte de alimentação com resistência fixa quando se pretende caracterizar o sistema, então, deve-se fazer a otimização de ruído com um custo no mínimo fator de ruído, para melhor atender as especificações de casamento de impedância, ganho e consumo de potência.

Figura 4 – Sistema de 2 portas ideal com suas fontes de ruído referidas à entrada.

Visando esta otimização, através do modelo de pequenos sinais do estágio de entrada conforme indicado na fig.(5), considerando-se as fontes de ruído relacionadas a cada resistência do modelo tem-se as eq.(8) e (9) ^{12, 21}.

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{1}{Q_L} \frac{\omega_0}{\omega_T} \left[1 - 2|c|Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma} (1 + Q_L^2) \right] \quad (8)$$

$$Q_L = \frac{\omega_0 (L_g + L_s)}{R_s} = \frac{1}{\omega_0 C_{gs} R_s} \quad (9)$$

onde R_L é a resistência do indutor de porta, R_g resistências parasitas na porta, γ e δ são os fatores de polarização do ruído do canal e de porta respectivamente, α é igual a $\frac{g_m}{g_{d0}}$, g_m a transcondutância do transistor NMOS, g_{d0} condutância com polarização zero no dreno, Q_L o fator de qualidade da impedância do estágio de entrada, R_s é a resistência da fonte, ω_0 é a frequência de operação, C_{gs} é a capacitância de porta-fonte, $|c|$ é o módulo do fator de correlação cujo valor é dado para 0,375 para transistores de canal curto e ω_T é a frequência de ganho unitário de corrente.

Este modelo não considerou nos cálculos o tempo finito de inversão de cargas no canal modelado como uma resistência em série com a capacitância entre porta e fonte, e portanto, subestima o valor do fator de ruído. O modelo de circuito da fig.(6) mostra a inserção desta resistência, e as expressões que o descrevem otimizadas para ganho pré-fixado são dadas pelas eq.(10) e eq.(11) ²⁰.

$$F = 1 + \frac{R_g}{3R_s} + \frac{\omega_0}{\omega_T} \left\{ Q\beta + \frac{1}{Q} \left(\beta + \frac{\gamma}{\alpha} \right) + \frac{2\gamma}{5} \frac{\omega_0}{\omega_T} \right\} - \frac{2c}{g_m R_s} \sqrt{\frac{\gamma\delta}{5}} \quad (10)$$

Figura 5 – Modelo de pequenos sinais para cálculo do fator de ruído.

Figura 6 – Modelo de pequenos sinais considerando resistência entre porta e fonte.

$$\beta = \frac{\delta\alpha}{5} + \left(\frac{\omega_0}{\omega_T}\right)^2 \frac{\alpha\gamma}{25} + 2c\sqrt{\frac{\gamma\delta}{5}} \quad (11)$$

2.1.4. Ganho

O ganho do estágio de conversão $V-I$ é o que determina o ganho do circuito. Seu valor é obtido do modelo de pequenos sinais mostrado anteriormente, porém, desconsiderando as fontes de ruído. Seu resultado é obtido através da eq.(12) ¹¹⁻¹⁵.

$$|G_m| = \frac{g_m}{\omega_0 C_{gs} (R_s + \omega_T L_s)} \approx \frac{\omega_T}{2\omega_0 R_s} \quad (12)$$

Considerando ainda a resistência devido ao tempo finito de inversão de carga como descrito por Feng e Shi (2005), tem-se que a expressão que descreve o ganho dependendo desta resistência é desprezível como mostra a eq.(13).

$$|G_m| \approx \frac{g_m \sqrt{\left(\frac{1}{\omega_0^2 C_{gs}^2} + \frac{1}{25 g_{d0}^2}\right)}}{R_s + \frac{g_m}{C_{gs}} L_s} = \frac{\sqrt{\frac{\omega_T^2}{\omega_0^2} + \frac{\alpha^2}{25}}}{2R_s} \approx \frac{\omega_T}{2\omega_0 R_s} \quad (13)$$

2.1.5. Linearidade

Uma forma de se determinar a linearidade em receptores de sinais é calculando-se o ponto de interseção de 3ª ordem (IP3) e o ponto de compressão de 1dB (P_{1dB}). O IP_3 significa que ao se aplicar dois tons na entrada do circuito, $x_1 = A \cos \omega_1 t$ e $x_2 = A \cos \omega_2 t$, com $\omega_1 \approx \omega_2$, a saída de um sistema cuja função é $y(t) = B_1 x(t) + B_2 x(t)^2 + B_3 x(t)^3$ resulta no sinal fundamental $y_1 = B_1 A (\cos \omega_1 t + \cos \omega_2 t)$ e na intermodulação de 3ª ordem $\frac{3}{4} B_3 A^3 \cos(2\omega_1 \pm \omega_2)t + \frac{3}{4} B_3 A^3 \cos(2\omega_2 \pm \omega_1)t$, a frequência deste resulta em um sinal na mesma freqüência do sinal fundamental. A extrapolação da curva do sinal fundamental quando atingir a extrapolação do sinal resultado da intermodulação de 3ª ordem (IM3) resulta no IP3. O segundo significa que ao se aplicar um sinal $x_1 = A \cos \omega_1 t$, cuja função do sistema é $y(t) = B_1 x(t) + B_2 x(t)^2 + B_3 x(t)^3$, resulta em uma componente devido ao sistema linear e outra devido ao sistema não-linear de 3ª ordem. A componente resultante destes sistemas na freqüência da fundamental é $(B_1 A + \frac{3}{4} B_3 A^3) \cos \omega_1 t$. Ao se fazer uma varredura da potência do sinal na entrada de um sistema não-linear, a curva de transferência da potência de entrada para a potência de saída apresenta uma curvatura. Esta curvatura ao se distanciar de 1 dB da extrapolação da transferência devido ao comportamento linear define-se como o ponto de compressão de 1dB^{1, 2, 22}. A fig.(7) ilustra estas duas descrições, onde IIP3 e OIP3 são os pontos de interseção de 3ª ordem referidos à entrada e saída respectivamente.

Em uma arquitetura de LNA com fonte degenerada por indutor com transistor *cascade*, tem-se um melhor desempenho com um dimensionamento correto deste transistor como mostra os resultados obtidos em²³. Segundo Guo e Huang (2002), a expressão que descreve o IIP3 pode ser expressa na forma da eq.(14), onde observa-se a contribuição principalmente do transistor *cascade* na degradação da linearidade do circuito, sendo o seu valor exposto na eq.(15).

$$\frac{1}{IIP_3^2} = \frac{1}{IIP_{3_1}^2} + \frac{3\alpha_2\beta_2}{2\beta_1} + \frac{\alpha_1}{IIP_{3_2}^2} \quad (14)$$

Figura 7 – Ponto de interseção de 3ª ordem e ponto de compressão de 1dB.

$$IIP_{3_2}^2 = \frac{4}{3} \left| \frac{\beta_1}{\beta_3} \right| = \frac{4}{3} \left| \frac{V_{ov} (2 + \theta V_{ov}) (1 + \theta V_{ov})^2}{\theta} \right| \quad (15)$$

onde IIP_{31} e IIP_{32} são os pontos de interseção das intermodulações com a fundamental do transistor amplificador e do transistor *cascade* respectivamente, θ é o fator de degradação da mobilidade devido ao campo vertical considerando-se a mobilidade efetiva, e V_{ov} é a tensão $V_{gs} - V_T$, α_1 , α_2 e α_3 são os fatores de 1ª, 2ª e 3ª ordem da expansão de Taylor do estágio de transcondutância, e β_1 , β_2 e β_3 são os fatores de 1ª, 2ª e 3ª ordem de Taylor do estágio *cascade*.

Esta análise apresentada não considera sistemas dinâmicos, subestimando elementos capacitivos que contribuem para os valores de IP3 e do ponto de compressão de 1dB em altas frequências. Uma análise mais correta seria utilizar a série de Volterra para aplicações em sistemas com memória, pois esta considera elementos capacitivos ²⁴.

Uma estimativa da não-linearidade pode ser obtida considerando-se estes elementos no estágio amplificador do LNA através da corrente de saída calculada a partir dos modelos de pequenos sinais de 1ª a 3ª ordem, a fim de se calcular as intermodulações responsáveis pela degradação do sinal na saída. Este modelo compõe de uma fonte de corrente não-linear controlada pelas tensões v_{gs} , v_{ds} e v_{db} , e que consiste em um conjunto de modelos de 1ª a 3ª ordem para o cálculo de cada contribuição das fontes de correntes linear e não-lineares na saída do circuito. A fig.(8) apresenta estes modelos considerando (a) o sistema não-linear no todo, em (b) o modelo para o sistema linear, (c) o modelo para o sistema de 2ª ordem, (d) o

Figura 8 – Modelo de pequenos sinais para estimativa da linearidade: (a) representação completa do sinal não-linear na saída; (b) modelo de 1ª ordem; (c) modelo de 2ª ordem com representação das impedâncias; (d) modelo de 3ª ordem com representação das impedâncias.

modelo para o sistema de 3ª ordem, onde ambos (c) e (d) apresenta a impedância junto ao dispositivo.

A contribuição da componente linear na saída pode ser vista pela equação que descreve G_m mostrada anteriormente, e as fontes de correntes não-lineares de 2ª e 3ª ordem podem ser expressas conforme as eq.(16)-(19).

$$I_{NL2} = K_{2gm} v_{i,m1,n1} v_{i,m2,n2} \quad (16)$$

$$i_{out2} = A(s_1, s_2) i_{NL2} \quad (17)$$

$$I_{NL3} = K_{2gm} v_{i,m1,n1} v_{i,m2,n2} + K_{2gm} v_{i,m3,n3} v_{i,m4,n4} + \frac{3}{4} K_{3gm} v_{i,m5,n5}^2 v_{i,m6,n6} \quad (18)$$

$$i_{out3} = A(s_1, s_2, s_3) i_{NL3} \quad (19)$$

onde K_{2gm} e K_{3gm} são a 1ª e 2ª derivada de g_m , $v_{i,m1,n1}$ a $v_{i,m6,n6}$ são as tensões de controle (v_{gs}) das fontes controladas de corrente não-lineares, $A(s_1, s_2)$ e $A(s_1, s_2, s_3)$ são as transferências de 2ª e 3ª ordem das fontes de corrente não-lineares na saída (*kernels* de Volterra), s_1 , s_2 e s_3 são as representações em Laplace das frequências das componentes de intermodulação. Este modelo simplificado está considerando somente a contribuição da transcondutância para a não-linearidade o que pode subestimá-la, já que as contribuições cruzadas entre os elementos não-lineares devem ser considerados ²⁴. Este modelo permite a obtenção das componentes de interesse para o cálculo do IM3 e do P_{1dB} , os quais podem ser descritos conforme as eq.(20) e (21) respectivamente ²⁵.

$$P_{1dB} = \left| \frac{A_1(s_1)}{13,8A_3(s_1, s_2, s_3)R_s} \right| \quad (20)$$

$$IIP_3 = \left| \frac{2A_1(s_1)}{3A_3(s_1, s_2, s_3)R_s} \right| \quad (21)$$

2.2. Metodologia

O método de projeto baseia-se na obtenção das expressões que descrevem o consumo de corrente (potência) e o fator de ruído, a fim de se obter as dimensões dos dispositivos que compõem o amplificador. Este método é visualizado no fluxo de projeto do LNA ilustrado na fig.(9).

2.2.1. Ganho do Amplificador

Através do modelo de pequenos sinais mostrado na fig.(3), pode-se chegar a eq.(22) na ressonância.

$$G_m = \frac{g_m Z_{gs}}{R_s + Z_g + Z_{gs} + Z_s + g_m Z_{gs} Z_s} \approx \frac{\omega_T}{2\omega_0 R_s} \quad (22)$$

onde $\omega_T = \frac{g_m}{C_{gs}}$.

Figura 9 – Fluxo adotado para o projeto do LNA.

2.2.2. Consumo de Potência

O consumo de potência é obtido da equação de corrente que descreve o transistor considerando os efeitos de canal curto. Uma equação de corrente que descreve o comportamento do transistor considerando-se desde a região de inversão fraca à forte, dos efeitos de saturação dos portadores devido ao campo longitudinal e vertical, e da concentração de substrato é apresentada na eq.(23) ²⁶.

$$I_{DS} = \frac{W_{EFF} U_{EFF} C_{OX} V_{GST_{EFF}} \left(1 - A_{BULK} \frac{V_{DS_{EFF}}}{2(V_{GST_{EFF}} + 2V_T)} \right) V_{DS_{EFF}}}{L_{EFF} \left(1 + \frac{V_{DS_{EFF}}}{E_{SAT} L_{EFF}} \right)} \quad (23)$$

onde W_{EFF} é a largura efetiva do transistor, U_{EFF} é a mobilidade efetiva, C_{OX} é a capacitância de óxido por unidade de área, $V_{GST_{EFF}}$ é a tensão efetiva entre porta e fonte, A_{BULK} é um fator que depende da concentração de substrato, V_{DSEFF} é a tensão efetiva entre dreno e fonte e V_T é a tensão térmica.

2.2.3. Fator de Ruído

O fator de ruído pode ser derivado do modelo de pequenos sinais mostrado anteriormente na fig.(6). Cada fonte de ruído contribui na saída do estágio, e pode ser analisada separadamente. Após um cálculo mais detalhado, as contribuições de ruído na saída podem ser descritas como as eq.(24)-(27).

$$I_{out1} = G_m V_s \quad (24)$$

$$I_{out2} = G_m (V_{RLg} + V_{Rg}) \quad (25)$$

$$I_{out3} = G_m (R_s + Z_g + Z_s) I_g \quad (26)$$

$$I_{out4} = G_m \frac{(R_s + Z_g + Z_{gs} + Z_s)}{g_m Z_{gs}} I_n \quad (27)$$

onde I_{out1} é a contribuição de ruído da fonte V_s na saída, I_{out2} é a contribuição de ruído da resistência do indutor (V_{RLg}) e da resistência parasitária de porta (V_{Rg}) na saída, I_{out3} é a contribuição do ruído de porta correlacionado (I_g) na saída, e I_{out4} é a contribuição do ruído de canal na saída (I_n), e G_m o ganho do estágio de transcondutância. Z_g , Z_{gs} e Z_s são as impedâncias do indutor de porta, entre porta e fonte, e do indutor de fonte, respectivamente.

Como há fontes correlacionadas, deve-se aplicar a média probabilística¹ a fim de considerar as contribuições destes tipos de fonte na saída. Logo, a soma das contribuições de ruído na saída após a média é descrita na eq.(28), e substituindo-se as equações (24) a (27) em (28), tem-se a corrente de ruído total na saída descrita pela eq.(29).

$$\overline{I_{out_total}^2} = \overline{|I_{out1} + I_{out2} + I_{out3} + I_{out4}|^2} \quad (28)$$

$$\begin{aligned} \overline{I_{out_total}^2} &= |G_m|^2 \overline{V_s^2} + |G_m|^2 (\overline{V_{RLg}^2} + \overline{V_{Rg}^2}) + |G_m|^2 |R_s + Z_g + Z_s|^2 \overline{I_g^2} + \\ &|G_m|^2 \frac{|R_s + Z_g + Z_{gs} + Z_s|^2}{|g_m Z_{gs}|^2} \overline{I_n^2} + \\ &2 \operatorname{Re} al \left(|G_m|^2 (R_s + Z_g + Z_s) \frac{(R_s + Z_g + Z_{gs} + Z_s)^*}{(g_m Z_{gs})^*} \overline{I_g I_n^*} \right) \end{aligned} \quad (29)$$

O fator de ruído então pode ser descrito como a razão das somas das contribuições de ruído pela contribuição do ruído da fonte, como descreve a eq. (30).

¹ $\overline{|A + B|^2} = |A|^2 + |B|^2 + AB^* + A^* B = |A|^2 + |B|^2 + 2 \operatorname{REAL}(AB^*)$

$$F = 1 + \frac{\overline{V_{RLg}^2}}{\overline{V_s^2}} + \frac{\overline{V_{Rg}^2}}{\overline{V_s^2}} + |R_s + Z_g + Z_s|^2 \frac{\overline{I_g^2}}{\overline{V_s^2}} + \frac{|R_s + Z_g + Z_{gs} + Z_s|^2}{|g_m Z_{gs}|^2} \frac{\overline{I_n^2}}{\overline{V_s^2}} +$$

$$2\text{REAL}\left((R_s + Z_g + Z_s) \frac{(R_s + Z_g + Z_{gs} + Z_s)^*}{(g_m Z_{gs})^*} (j|c|)^*\right) \frac{\sqrt{\overline{I_g^2} \overline{I_n^2}}}{\overline{V_s^2}} \quad (30)$$

onde $|c|$ é coeficiente de correlação, derivado do termo de correlação $\overline{i_g i_n^*} = j|c| \sqrt{\overline{i_g^2} \overline{i_n^2}}$.

Substituindo as fontes de ruído dada nas eq.(31)-(34) na eq. (30), obtém-se a eq.(35).

$$\overline{V_{RLg}^2} = 4kTR_{Lg} \quad (31)$$

$$\overline{V_{Rg}^2} = 4kTR_g \quad (32)$$

$$\overline{i_g^2} = 4kT\delta g_g \quad (33)$$

$$\overline{i_n^2} = 4kT\mathcal{R}_{d0} \quad (34)$$

$$F = 1 + \left[(R_s + R_{Lg} + R_g)^2 + \omega^2 (L_g + L_s)^2 \right] \frac{\delta \omega^2 C_{gs}^2}{5g_{d0} R_s} + \frac{(R_s + R_g + R_{Lg})^2}{\frac{\alpha^2}{25} + \frac{\omega_r^2}{\omega_0^2}} \frac{\mathcal{R}_{d0}}{R_s} +$$

$$- 2|c| \sqrt{\frac{\gamma \delta}{5}} \frac{\omega C_{gs}}{R_s} \frac{\left\{ (R_s + R_{Lg} + R_g + r_g) \left[\frac{\omega_r}{\omega_0} - \frac{\alpha}{5} \omega_0 (L_g + L_s) \right] \right\}}{\frac{\alpha^2}{25} + \frac{\omega_r^2}{\omega_0^2}} \quad (35)$$

onde R_s é a resistência de fonte, R_{Lg} é a resistência do indutor de porta, R_g a resistência parasitária do silício poli, L_g a indutância do indutor de porta, L_s a indutância do indutor da fonte, δ é o fator de polarização, g_{d0} é g_{ds} na região linear,

R_s é a resistência da fonte, C_{gs} o capacitor entre porta e fonte, α é igual a $\frac{g_m}{g_{d0}}$, ω_T

é igual a $\frac{g_m}{C_{gs}}$, e γ é fator de polarização do ruído de canal.

2.3. Projeto

A tab.(1) apresenta as especificações de um LNA retiradas de um *Aplication Note* da *NXP Semiconductors*, quando configurado para aplicação *Bluetooth* em 2,4 GHz²⁷. Estas especificações servem como referência para o presente projeto do LNA na tecnologia CMOS para um processo cujo o comprimento de canal é de 0,35 μm ²⁸.

Tabela 1 – Especificações de um LNA²⁷

S11	-12 dB
Ganho	28,5 dB
NF	2,3 dB
Id	5,3 mA
IIP3	5 dBm
P1dB	---
Frequência	2,4 GHz
Alimentação	3 V
Tecnologia	SiGe

A metodologia apresentada na seção anterior permite a obtenção da dimensão do transistor e dimensão dos indutores segundo consumo e desempenho em relação ao ruído.

O primeiro passo para o projeto é fazer o uso das eq.(23) e eq.(35), pela qual se pode obter o fator de ruído em função da tensão de porta para várias dimensões

do transistor amplificador como é apresentado no gráfico da fig.(10). O casamento de impedância é considerado em todos os pontos de polarização deste gráfico.

O próximo passo é a obtenção da curva de corrente através do uso da eq.(23) considerando diferentes dimensões do transistor amplificador e verificar qual é o amplificador mais interessante do ponto de vista do desempenho em relação ao ruído e do consumo. Logo, um amplificador com consumo e fator de ruído desejados pode ser obtido considerando os requisitos de projeto. O gráfico da fig.(11) mostra as curvas de corrente para os dispositivos de interesse.

Nesta primeira fase de projeto, com um consumo de 3,98 mA, 750 mV de polarização de porta e um fator de ruído de 1,247 (0,96 dB), o transistor amplificador com largura de 400 μm é escolhido como indica a fig.(10) e (11).

Nota-se que para uma polarização de aproximadamente 1V, o desempenho em relação ao ruído é o melhor para todas as curvas de ruído, porém, há para estes casos um alto consumo de corrente como mostra a fig.(11), por exemplo, 16,4 mA para a largura de 400 μm . Logo, a escolha de uma polarização menor de 750 mV na tentativa de se diminuir o consumo é adotada inicialmente.

Figura 10 – Fator de ruído em função de V_{gs} para algumas dimensões do transistor.

Figura 11 – Corrente em função da tensão V_{gs} para algumas dimensões do transistor.

Este resultado de dimensão do amplificador resulta em um Q_L por meio da capacitância C_{gs} , tal que a dimensão dos indutores de porta e fonte são encontrados através da eq.(9). A fig.(12) mostra os valores dos indutores L_g e L_s em função da tensão de porta e os valores escolhidos que cumprem com o fator de ruído escolhido para determinada polarização.

A tab.(2) apresenta os valores obtidos nos cálculos para os parâmetros de projeto.

Tabela 2 – Valores obtidos dos parâmetros de projeto

W	400 μm
L_g	7,7 nH
L_s	700 pH
I_d	3,98 mA
NF	0,96 dB

(a)

(b)

Figura 12 – Gráficos das indutâncias em função de V_{gs} : (a) L_g e (b) L_s .

2.4. Simulações

As simulações foram realizadas fazendo-se o uso das ferramentas da Cadence ²⁹ (Virtuoso Schematic Editor, Analog Design Environment e SpectreRF) e utilizando os modelos dos dispositivos da XFAB *Semiconductors* ²⁸, para aplicação em RF na tecnologia CMOS com comprimento de canal de 0,35 μm em temperatura de 27° C. Os resultados obtidos dos cálculos na seção anterior foram utilizados para realizar as simulações no *software* que permitem a obtenção dos resultados mais precisos devido aos seus modelos mais completos. Uma representação do circuito utilizado para simulação é apresentado na fig.(13) e sua listagem é mostrada no anexo A.

Nas subseções a seguir, as simulações respeitam um fluxo de otimização utilizando-se um circuito com componentes ideais e, em seguida, considerações reais para os indutores são apresentadas assim como seus efeitos. Nas subseções seguintes, os demais efeitos são inseridos e seus resultados apresentados. Este fluxo é adotado a fim de se conseguir otimizar o LNA ao máximo na fase inicial, resultando em melhor desempenho no restante do fluxo.

Nota-se um maior foco nos resultados de casamento de impedância de entrada, no fator de ruído e no consumo de corrente nas fases iniciais de simulação para se comparar os resultados simulados com os cálculos realizados anteriormente.

2.4.1. Circuito Ideal

Os resultados da tab.(2) são inseridos no circuito simulado da fig.(13). As simulações mostram os resultados para o fator de espalhamento na entrada (S11), a fator de ruído (NF) e o ganho do circuito nos gráficos da fig.(14). Estes resultados apresentam um ganho de 32,59 dB, o valor de NF é de 700,8m dB e o valor de S11 é de -15,38 dB para uma polarização de 750 mV com consumo de 5,08 mA, para uma largura de canal de 400 μm .

Figura 13 – Representação do circuito utilizado para simulação.

Com o propósito de procurar uma melhor sintonia e desempenho para o circuito, uma nova simulação é realizada variando-se o indutor L_g e os resultados são mostrados nos gráficos da fig.(15). Os resultados para um melhor desempenho do LNA quanto ao ruído é encontrado para um indutor de porta de 8,2 nH como mostra o gráfico.

Figura 14 – Resultados obtidos por simulação de S11, NF e ganho.

Figura 15 – S_{11} e NF com ajuste de L_g .

Figura 16 – Ganho, S_{11} e NF com L_g de 8,2 nH.

Uma nova simulação é realizada e um novo gráfico é apresentado na fig.(16), e seus valores de ganho, NF e S11 são de 32,66 dB, 697,4 mdB e -19,05 dB, respectivamente. Estes resultados mostram que o ajuste de L_g melhora um pouco o desempenho do circuito (casamento de impedância de entrada, fator de ruído e ganho).

O próximo passo é ajustar o valor de L_s obtido através dos cálculos, pois, lembrado-se dos possíveis desvios dos cálculos quanto ao simulador, novas simulações em torno do valor obtido são realizadas e os resultados são inseridos no gráfico da fig.(17). Estes mostram que para um L_s de 700 pH o circuito está no casamento de impedância de entrada com um fator de espalhamento de -19,05 dB.

O último passo nesta primeira fase de simulações do LNA é verificar os resultados que foram calculados quanto à variação da polarização. O gráfico da fig.(18) mostra que uma varredura da polarização, os melhores desempenhos quanto ao ruído se mostram em torno de 1 V, conforme o que foi calculado anteriormente. Logo, para uma polarização de 958 mV, o fator de ruído é de 656,1 mdB, e S11 de aproximadamente -19,48 dB. O gráfico da fig.(19) mostra os resultados para ganho de 34,73 dB, fator de ruído de 655 mdB e S11 de -19,6 dB.

Figura 17 – Fator de espalhamento S11 varrendo-se L_s .

Figura 18 – S11 e NF com varredura da polarização.

Figura 19 – Ganho, S11 e NF com polarização de 950 mV.

As melhorias para esta condição de polarização foram mínimas mesmo alcançando os menores valores, porém, o consumo para esta tensão no LNA é de 15,72 mA. Logo, um custo muito alto é pago na tentativa de melhorar um pouco o desempenho do circuito aumentando-se a polarização.

Os resultados parciais de projeto são inseridos na tab.(3).

Tabela 3 – Resultados parciais no projeto do LNA.

W	400 μm
L_g	8,2 nH
L_s	700 pH
I_d	5,08 mA
NF	697 mdB
Ganho	32,66 dB

2.4.2. Indutor Real

As simulações realizadas anteriormente levaram em consideração os indutores ideais a fim de se verificar os resultados e compará-los com os obtidos em cálculos. No entanto, um indutor no silício é modelado de forma a se considerar os efeitos eletromagnéticos do metal sobre o substrato. Um modelo mais preciso para estes indutores pode ser obtido por uma ferramenta para simulação de indutores, o ASITIC³⁰. Este software permite a simulação eletromagnética das trilhas de metal sobre o substrato, resultando um indutor em *layout* e seu modelo PI para fins de simulações. Como na subseção anterior o indutor de porta L_g obtido por simulação foi de 8,2 nH e o indutor de fonte de 700 pH, optou-se integrar o primeiro e colocar o segundo como *bondwire*. A fig.(20) mostra o indutor de porta L_g em nível de *layout* assim como seu modelo PI acompanhado dos valores obtidos pelo simulador.

Figura 20 – Indutor Lg criado no ASITIC e seu modelo PI.

2.4.3. Inserção do Modelo de Indutor

A próxima fase do projeto de um LNA é a inserção do modelo PI de indutor obtido pelo ASITIC no amplificador e analisar os seus resultados. A fig.(21) apresenta a representação do novo circuito, e a sua listagem é apresentada no Anexo B.

Novas simulações são realizadas para verificar o desempenho obtido do novo circuito em relação ao circuito simulado na seção anterior. A fig.(22) mostra os gráficos de ganho, NF e S11 para o circuito em questão. Novos resultados de ganho, NF e S11 são de 19,64 dB, 2,018 dB e -9,934 dB, respectivamente, para uma polarização de 750 mV e com um transistor do estágio de transcondutância com largura de canal de 400 μm .

Figura 21 – Circuito LNA com modelo de indutor.

Figura 22 – Ganho, NF e S11 com inserção do modelo de indutor.

Com propósito de encontrar melhor sintonia para o circuito, realizam-se novas simulações, ajustando-se a largura de canal do estágio de transcondutância, isto devido a perda da liberdade de variação do indutor de porta, que agora é um modelo fixo. A fig.(23) mostra o gráfico da variação em torno da largura de canal para verificar os melhores desempenhos quanto ao ganho, ruído e casamento de impedância de entrada. Os resultados mostram as melhores condições de casamento de impedância para a largura de canal de 260 μm , com um fator de espalhamento S11 de $-12,07$ dB.

Com este mesmo propósito, uma nova simulação é realizada varrendo-se a indutância do indutor L_s e o resultado é apresentado no gráfico da fig.(24). Com uma indutância de 1,2 nH, consegue-se melhores resultados no casamento de impedância de entrada. Novas simulações são realizadas a fim de verificar o ganho, S11 e NF, os quais são 30,39 dB, 1,419 dB e $-19,19$ dB, como mostra o gráfico da fig.(25).

Figura 23 –S11 com variação de W do estágio de transcondutância.

Figura 24 – S11 varrendo-se L_s .

Figura 25 – Ganho, S11 e NF para $W=260\ \mu\text{m}$ e $V_{gs}=750\ \text{mV}$ com $L_s=1,2\ \text{nH}$.

O último passo é verificar os resultados deste circuito quanto à polarização. A fig.(26) mostra o valor de NF e S11 para a varredura da polarização, e os resultados mostram que com 958 mV de polarização, obtém-se um fator de ruído de 1,351 dB como ponto de melhor fator de ruído. Uma nova simulação para 900 mV de polarização é mostrado no gráfico da fig.(27), o desempenho em ganho, ruído e fator de espalhamento S11 é de 32 dB, 1,351 dB e $-24,17$ dB, respectivamente. O consumo do circuito para esta polarização é de 10,22 mA. Verifica-se um consumo alto para se conseguir pouco melhor desempenho quanto ao ruído.

Os resultados parciais nesta fase de projeto são encontrados na tab.(4).

Tabela 4 – Resultados parciais no projeto do LNA.

W	260 μ m
L_s	1,2 nH
I_d	3,302 mA
NF	1,419 dB
Ganho	30,39 dB

Figura 26 – S11 e NF com varredura da polarização do amplificador.

Figura 27 – Ganho, NF e S11 para polarização de 950 mV.

2.4.4. Inserção do 2º Estágio e PADs

Nesta seção, descreve-se a inserção dos PADs e do 2º estágio de amplificação a fim de se considerar seus efeitos nas simulações, e verificar possíveis alterações no circuito final antes da realização do *layout*. Este novo estágio contribui para isolação reversa, incremento de ganho e casamento de impedância com a porta de saída que possui uma resistência de 50 Ω , não permitindo que o ganho seja atenuado a ponto de não haver ganho no circuito. O anexo C apresenta a listagem do circuito com a inserção dos PADs e a fig.(28) apresenta uma representação deste circuito.

As simulações realizadas mostram os resultados de ganho, NF e S11 são de 19,76 dB, 1,68 dB e -17,5 dB, respectivamente, e são apresentados na fig. (29). Seu consumo é de 3,3 mA com polarização de 750 mV para um amplificador com largura de canal de 260 μm .

Figura 28 – Circuito simulado com inserção do 2º estágio e PADS.

Figura 29 – Ganho, NF e S11 para $W=260 \mu\text{m}$ e polarização de 750 mV.

Uma análise da influência da polarização no circuito pode ser verificada conforme mostra o gráfico da fig.(30) onde a polarização é varrida e o ponto de melhor fator de ruído destacado. Pode-se verificar que o melhor fator de ruído ocorre em torno de 950 mV, com 1,564 dB, porém, impondo um custo elevado no consumo de corrente. O gráfico da fig.(31) mostra que para a polarização de 950 mV tem-se 21,27 dB de ganho, 1,564 dB de fator de ruído e $-17,04$ dB de S11, uma melhora não expressiva se considerar o aumento do consumo para 10,22 mA.

Portanto, o circuito em questão considerando-se a inserção do modelo de indutor, PAD's e 2º estágio mostra estar bem casado e com valores de ganho, consumo de potência e fator de ruído dentro dos requisitos para a realização do *layout*.

O segundo estágio possui dimensões de largura do canal de $280\text{ }\mu\text{m}$ e sua polarização pode ser ajustada a fim de se controlar a corrente que passa pelo transistor para propósito de medição. Um circuito LC é adicionado na saída para casamento de impedância com a resistência de $50\text{ }\Omega$ da porta.

Figura 30 – S11 e NF em função da polarização para $W=260\text{ }\mu\text{m}$.

Figura 31 – Ganho, S11 e NF para polarização de 950 mV e $W=260\ \mu\text{m}$.

Figura 32 – *Layout* do LNA.

2.5. Simulações após Extração Parasitária

O *layout* foi realizado na tecnologia CMOS 0,35 μm ²⁸. O circuito é mostrado na fig.(32) e sua listagem é apresentada no anexo D.

O circuito foi simulado após a extração das capacitâncias e resistências parasitas. Os resultados de ganho, S11, NF, P1dB e IIP3 foram simulados conforme mostram as fig.(33), (34) e (35), e são 11,62 dB, -18,12 dB, 2,24 dB, -1,94 dBm e -9,04 dBm, para uma largura de canal do amplificador de 240 μm e consumo de 4,49 mA com polarização de porta de 750 mV. Nota-se um ajuste no valor da largura do canal para obter melhor desempenho do circuito devido as inserção dos efeitos parasitários. Este ajuste fez o consumo e ganho diminuírem nos resultados finais.

Figura 33 – Ganho, S11 e NF do LNA após extração parasitária.

Figura 34 – P1dB do LNA após extração parasitária.

Figura 35 – Ponto de interseção de 3ª ordem do LNA após extração parasitária.

Os resultados finais do LNA obtido no projeto são mostrados na tab.(5) considerando-se a saída do primeiro estágio e o amplificador completo.

Tabela 5 – Resultados finais no projeto de um LNA.

	1º Estágio	Amplificador Completo
I_d	2,99 mA	4,49 mA
Ganho	14,66 dB	11,62 dB
S11	-18,12 dB	
S22	ideal	-16,31
NF	1,9 dB	2,24 dB
1dBC	-0,67 dBm	-1,94 dBm
IIP3	-3,39 dBm	-9,04 dBm

2.6. Discussões dos Resultados

2.6.1. Comparações dos Cálculos e Simulações do Circuito Ideal

Na seção 2.3, os cálculos realizados mostraram que para uma dimensão de 400 μm do transistor amplificador, o fator de ruído é de 1,25 (0,96 dB), enquanto que a simulação do circuito da fig.(13), na seção 1.4, o circuito com indutores ideais mostraram um resultado de fator de ruído de 0,7 dB, ou seja, um desvio de 37,14 % no resultado calculado em relação ao simulado. Os valores de corrente obtidos foram de 3,98 mA e 5,08 mA para os valores calculado e simulado respectivamente, um desvio de 27,6 %. Para o valor de L_g , o resultado de cálculo foi de 7,7 nH e o resultado obtido no simulador foi de 8,2 nH, 6,5 % de desvio. Os resultados obtidos para o indutor L_s são de 700 pH tanto nos cálculos quanto na simulação, não havendo desvio.

O desvio na corrente pode ser explicado pela dependência da corrente do transistor da tensão entre dreno e fonte. Enquanto que nos resultados obtidos pelos cálculos a influência de V_{DS} não é totalmente considerada, no simulador, esta tensão é considerada. Os desvios nos resultados dos indutores também são explicados pelos desvios dos cálculos da capacitância C_{gs} e da curva de corrente, pois estes possuem desvios em relação aos resultados obtidos pelo simulador. Quanto às capacitâncias, a concentração das cargas na fonte varia com o regime de operação do transistor, o que é difícil de se modelar, interferindo na precisão dos cálculos quanto aos resultados obtidos pela simulação.

Estes resultados mostram que o método utilizado nos cálculos possui desvios, porém, este é válido para realizar um projeto de LNA considerando o fator de ruído e o consumo de potência, pois possui proximidade com os valores obtidos em simulação apesar de seus desvios em porcentagem, dando direções no projeto para se alcançar os requisitos necessários frente ao ruído e consumo, necessitando-se pequenos ajustes por simulação.

2.6.2. Indutor no Circuito

Na subseção 2.4.2, o indutor real mostra uma capacitância entre os nós de entrada e saída do indutor ao substrato (C_{ind}) como ilustrado na fig.(36). Isto ocasiona uma mudança da impedância de entrada do LNA, já que a impedância destes nós ao substrato não são desprezíveis. Com 232 fF de capacitância em uma frequência de 2,4 GHz, é possível obter uma impedância de 285,8 Ω , valor não muito maior que os 50 Ω do casamento de impedância de entrada. Esta capacitância é considerável em relação à capacitância C_{gs} do amplificador, tendo-se que diminuir esta para ajustar o casamento. Logo, na subseção 2.4.3, a largura de canal do estágio de transcondutância teve que ser redimensionada a fim de se garantir um bom desempenho quanto às especificações propostas inicialmente.

Figura 36 – Capacitância parasitária do indutor entre porta e substrato.

2.6.3. Inserção do Estágio de Saída e PADs

No projeto de um LNA, utiliza-se o estágio de saída para fins de casamento de impedância de saída do circuito e incremento de ganho. Inicialmente, na subseção 2.4.1, consegue-se um ganho de 32,59 dB, pois não se faz o uso de carga ou resistência de saída de $50\ \Omega$ da porta, devido à utilização de casamento ideal. Isto permite a simulação de ganho considerando a resistência de saída somente do 1º estágio. Nota-se que o ganho é elevado utilizando-se a configuração *cascode*, mesmo no caso de dispositivos de canal curto cuja resistência de saída é menor. Colocando-se este estágio de isolamento ideal é válido nas primeiras análises, pois se permite uma melhor visão do projeto. Porém, o LNA é um primeiro estágio de um circuito receptor, e este precede um circuito misturador cuja impedância de entrada costuma ser a capacitância C_{gs} do transistor NMOS. Portanto, a utilização do 2º estágio permite também esta consideração de carga vista na saída do 1º estágio, além do incremento do ganho já mencionado. Além disso, quando se caracteriza estes circuitos, é necessário considerar a resistência da porta de saída de $50\ \Omega$, caso contrário, as medidas do circuito estariam comprometidas. Por isso, há a necessidade de se colocar um circuito LC para a transformação de impedância de saída. Configura-se o estágio de saída para consumir 1,5 mA com largura do canal de $280\ \mu\text{m}$.

Na seção 2.4.4, os PADs também são inseridos para as simulações. Nota-se que a sua influência no resultado não foi expressiva em relação ao caso anterior da

inserção do modelo de indutor, considerando-se os efeitos causados no casamento de impedância de entrada. Estes PADs são dispositivos feitos de estrutura de metal espesso específico para altas frequências, e resistentes mecanicamente, logo, sua capacitância não é expressiva como seria se utilizados os PADs com os quatro metais empilhados e interligados, pois o metal 1 apresenta maior capacitância ao substrato. Porém, esta capacitância não é desprezível, e é inserida na subseção em questão, ocasionando ainda um desvio no casamento de entrada como indica os resultados na seção em questão, onde o desempenho quanto ao ganho, S11, fator de ruído e consumo são de 14,66 dB, 1,9 dB e -17,5 dB e 3,3 mA para uma dimensão do transistor amplificador de 260 μm . Logo, um ajuste na dimensão do circuito faz com que este opere com melhores resultados, principalmente de consumo devido à diminuição, porém, com menor ganho e desempenho em relação ao ruído quanto ao caso anterior.

2.6.4. Diferenças do projeto e resultados finais

O valor da largura de canal do transistor projetado inicialmente foi de 400 μm com ganho de 32,66 dB, NF de 697 mdB e S11 de -19,15 dB para um consumo de 5,08 mA como descrito na seção 2.4.1. Porém, uma vez fixado o indutor obtido pelo simulador ASITIC, inseridos o segundo estágio e PADs, necessitou-se de uma diminuição da dimensão do transistor amplificador para 260 μm para alcançar o desempenho o mais próximo possível do obtido pelo LNA nas primeiras simulações. Porém, isto não se mostra principalmente com os valores do ganho, que atingiu 19,78 dB conforme mostra a subseção 2.4.4, apesar de se conseguir fator de ruído, casamento de impedância de entrada e consumo satisfatórios com 1,68 dB, -17,26 dB e 3,3 mA.

Em seguida, após a extração das componentes parasitárias, este desempenho alcançou valores de ganho de 11,62 dB, NF de 2,24 dB, S11 de -18,12 dB e consumo de 4,49 mA, considerando-se o amplificador completo, com os 2 estágios, como mostrado na seção 2.5. Considerando-se somente os resultados do 1º estágio, como mostra a tab.(5), o LNA tem as seguintes características: consumo

de 2,99 mA, ganho de 14,66 dB e fator de ruído de 1,9 dB. Portanto, percebe-se a necessidade de ajuste no consumo para obter um ganho necessário para atingir as metas iniciais. A diminuição do transistor de 260 μm para 240 μm para se conseguir melhorar o desempenho no casamento de impedância, proporciona uma diminuição no ganho na seção 2.5, explicando a queda no ganho após a extração parasitária. Outro fator que contribui para a queda é carga vista na saída do 1º estágio devido à capacitância C_{gs} do segundo, pois este constitui de um amplificador configurado como dreno aberto e possui largura de canal de 240 μm após aquela extração mencionada. A inserção das parasitárias neste nó do dreno do transistor *cascode* no 1º estágio contribui para a queda no ganho devido às dimensões de trilhas desenhadas inicialmente com propósito de conter 10 mA para fins de medição e caracterização quanto à polarização. Um redesenho do *layout* considerando-se um consumo fixo pode melhorar um pouco o desempenho do circuito.

A necessidade de um reprojetado do indutor seria necessário para se alcançar as metas iniciais com implementação de técnica para a diminuição da capacitância ao substrato para que não se precise ajustar, ou não se ajustar tanto, a dimensão do transistor no estágio de transcondutância, e comprometer o desempenho do circuito frente às especificações iniciais alcançadas.

3. Conclusões

O trabalho propõe o projeto de um LNA para aplicação em 2,4 GHz na tecnologia CMOS para um comprimento de canal de 0,35 μm . Na fase de projeto propõe-se uma metodologia para a obtenção das dimensões do circuito por meio das expressões de corrente e ruído. Esta metodologia mostra pelos resultados obtidos por simulação que é possível projetar um LNA com especificação de consumo e ruído pré-determinados com resultados satisfatórios. Quando comparados os resultados de consumo e fator de ruído, obtidos pelos cálculos e por simulação, obtém-se desvios de 37,1% e 27,6% respectivamente, mostrando a necessidade de se fazer um ajuste para se conseguir melhores resultados. Estes ajustes são realizados e os resultados mostram que a metodologia representa um bom passo para direcionar o projeto de um LNA em CMOS.

Um desafio no projeto do LNA é a inserção do indutor que pode limitar o desempenho do circuito e especificações pré-determinadas. A inserção do indutor impõe a necessidade de um reajuste no amplificador devido à sua capacitância e resistência no substrato, ocasionando a diminuição do transistor para reajustar casamento e conseguir melhor desempenho frente ao ruído. Porém, esta diminuição resulta em perda de ganho apesar de se diminuir o consumo de potência, e, caso os resultados estejam fora das especificações iniciais, um reprojeito do indutor deve ser considerado para que se possa da melhor forma atendê-las.

O circuito conseguiu atingir resultados satisfatórios quanto ao consumo de potência, ruído e casamento da entrada. O fator de ruído obtido foi de 2,24 dB na saída do 2º estágio (1,9 dB na saída do 1º estágio). O consumo é de 4,49 mA considerando-se os dois estágios, que representa um consumo de potência de 14,82 mW para 3,3 V de alimentação (2,99 mA e 9,87 mW para o 1º estágio). O fator de espalhamento na entrada (S_{11}) é de -18,12 dB, mostrando-se um bom casamento de impedância de entrada. O ganho do amplificador é de 11,62 dB (14,66 dB na saída do 1º estágio). Os resultados mostram que a inserção do segundo estágio e a extração das componentes parasitárias explica a diminuição do estágio de transcondutância e, conseqüentemente, a queda no ganho do circuito considerando-se os resultados iniciais.

Como proposta para trabalhos futuros, aponta-se o projeto de indutores que atendam necessidades de menores interações com o substrato. Neste trabalho, pode-se verificar a necessidade de indutores com menores capacitâncias parasitas de substrato conforme descrito nas subseções 2.4.2 e 2.6.2.

Pesquisas atuais apontam tendências aos sistemas de recepção de sinais multi-padrão para operação em aplicações UWB (*Ultra-Wide Band*). No caso de operações em maiores frequências, novos efeitos no modelo dos transistores são inseridos, necessitando-se aprimorar a metodologia para tais condições de operação. Logo, há necessidade de se desenvolver novas técnicas para projeto de amplificadores de baixo ruído para estas condições.

Um método mais abrangente pode conter uma análise detalhada do transistor do estágio de transcondutância e *cascade*, como uma análise de ganho, linearidade, temperatura e variações de processo, além da inserção de modelos de *bondwire* nas simulações.

Finalmente, análises de novas estruturas integradas, como amplificadores de baixo ruído mesclado com misturadores, são interessantes para pesquisas futuras, a fim de se encontrar novas arquiteturas que possibilitem melhores desempenhos nos resultados.

ANEXO A – Listagem do LNA considerando-se indutor ideal

```
// Library name: lna
// Cell name: lna_core2
// View name: schematic
subckt lna_core2 DPC GP GPC SP VSS
    M3 (DPC GPC NETZ6 VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1)
    \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(14)
    M2 (NETZ6 GP SP VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1) \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(14)
    M0 (NETZ6 GP SP VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1) \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(16)
    M1 (DPC GPC NETZ6 VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1)
    \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(16)
ends lna_core2
// End of subcircuit definition.

// Library name: lna
// Cell name: sim_lna
// View name: schematic
I18 (NETZ038 NETZ24 GCASC NETZ22 VSS) lna_core2
R0 (LNAPOL NETZ030) resistor r=100M isnoisy=no
V3 (LNAPOL VSS) vsource dc=LNAPOL1 type=dc
V2 (VSS 0) vsource dc=0 type=dc
V1 (VDD VSS) vsource dc=3.3 type=dc
V0 (GCASC VSS) vsource dc=CASCPO11 type=dc
C2 (OUT NETZ038) capacitor c=1u
C0 (NETZ010 NETZ030) capacitor c=1u
PORT1 (OUT VSS) port r=100M num=2 type=dc
PORT0 (NETZ010 0) port r=50 num=1 dc=0 type=sine freq=F1 dbm=DBM1 pacmag=1
\
    fundname="FREQ"
L2 (VDD NETZ038) inductor l=8.9n
L1 (VSS NETZ22) inductor l=LS1
L0 (NETZ030 NETZ24) inductor l=LG1
```

ANEXO B – Listagem do LNA considerando-se o indutor real

```
// Library name: lna
// Cell name: lna_core2
// View name: schematic
subckt lna_core2 DPC GP GPC SP VSS
    M3 (DPC GPC NETZ6 VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1)
    \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(14)
    M2 (NETZ6 GP SP VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1) \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(14)
    M0 (NETZ6 GP SP VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1) \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(16)
    M1 (DPC GPC NETZ6 VSS) nmosrf m=1 w=10u l=0.35u ad=1.15u/2*(10u)*(NF1)
    \
        as=1.15u/2*(10u)*((NF1)+2) pd=1.15u*2*(NF1) \
        ps=1.15u*((NF1)+2)+2*(10u) nrd=0.375u/(10u) nrs=0.375u/(10u) \
        nf=NF1 par1=(16)
ends lna_core2
// End of subcircuit definition.

// Library name: lna
// Cell name: sim_lna
// View name: schematic
I18 (NETZ038 NETZ24 GCASC NETZ22 VSS) lna_core2
R0 (LNAPOL NETZ030) resistor r=100M isnoisy=no
V3 (LNAPOL VSS) vsource dc=LNAPOL1 type=dc
V2 (VSS 0) vsource dc=0 type=dc
V1 (VDD VSS) vsource dc=3.3 type=dc
V0 (GCASC VSS) vsource dc=CASCPO11 type=dc
C2 (OUT NETZ038) capacitor c=1u
C0 (NETZ010 NETZ030) capacitor c=1u
PORT1 (OUT VSS) port r=100M num=2 type=dc
PORT0 (NETZ010 0) port r=50 num=1 dc=0 type=sine freq=F1 dbm=DBM1 pacmag=1
\
    fundname="FREQ"
L2 (VDD NETZ038) inductor l=8.9n
L1 (VSS NETZ22) inductor l=LS1
L0 (NETZ030 NETZ24) inductor l=LG1
```

ANEXO C – Listagem do amplificador considerando-se a inserção dos PADS e do 2^o estágio

```

// Library name: lna2
// Cell name: IO_D1_HC_SE
// View name: schematic
subckt IO_D1_HC_SE A PAD VCC VEE
    R2 (A PAD VEE) rml w=9.9u l=47.75u nb=0
m=1 par1=(1)
    D1 (PAD VCC) dp area=47.79p peri=40.8u
m=1 par1=(1)
    D0 (VEE PAD) dn area=47.79p peri=40.8u
m=1 par1=(1)
ends IO_D1_HC_SE
// End of subcircuit definition.

// Library name: RFPADS_ML
// Cell name: STD_NVNS
// View name: schematic
subckt STD_NVNS B D G S
    M10 (D1 G S B) nmos m=(1)*(1) w=36.4u
    l=0.9u ad=0.85u*(36.4u) \
        as=0.85u*(36.4u) pd=0.85u*2+(36.4u)
    ps=0.85u*2+(36.4u) \
        nrd=0.3u/(36.4u) nrs=0.3u/(36.4u)
    par1=(1)
    R0 (D D1 B) rdn_io w=36.4u l=2.55u nb=0
m=1 par1=(1)
ends STD_NVNS
// End of subcircuit definition.

// Library name: lna2
// Cell name: VEE_SE
// View name: schematic
subckt VEE_SE VCC VEE
    IO_1 (VEE VCC VEE VEE) STD_NVNS
    IO_2 (VEE VCC VEE VEE) STD_NVNS
    IO_3 (VEE VCC VEE VEE) STD_NVNS
    IO_4 (VEE VCC VEE VEE) STD_NVNS
    IO_5 (VEE VCC VEE VEE) STD_NVNS
    IO_6 (VEE VCC VEE VEE) STD_NVNS
    IO_7 (VEE VCC VEE VEE) STD_NVNS
    IO_8 (VEE VCC VEE VEE) STD_NVNS
    IO_9 (VEE VCC VEE VEE) STD_NVNS
    IO_10 (VEE VCC VEE VEE) STD_NVNS
    IO_11 (VEE VCC VEE VEE) STD_NVNS
    IO_12 (VEE VCC VEE VEE) STD_NVNS
    IO_13 (VEE VCC VEE VEE) STD_NVNS
    IO_14 (VEE VCC VEE VEE) STD_NVNS
    IO_15 (VEE VCC VEE VEE) STD_NVNS
    IO_16 (VEE VCC VEE VEE) STD_NVNS
    IO_17 (VEE VCC VEE VEE) STD_NVNS
    IO_18 (VEE VCC VEE VEE) STD_NVNS
ends VEE_SE
// End of subcircuit definition.

// Library name: RFPADS_ML
// Cell name: IO_D1_0_SE
// View name: schematic
subckt IO_D1_0_SE A PAD VCC VEE
    R2 (A PAD VEE) rml w=3u l=47.75u nb=0
m=1 par1=(1)
    D1 (PAD VCC) dp area=47.79p peri=40.8u
m=1 par1=(1)
    D0 (VEE PAD) dn area=47.79p peri=40.8u
m=1 par1=(1)
ends IO_D1_0_SE
// End of subcircuit definition.

// Library name: RFPADS_ML

// Cell name: VCC_SE
// View name: schematic
subckt VCC_SE VCC VEE
    IO_1 (VEE VCC VEE VEE) STD_NVNS
    IO_2 (VEE VCC VEE VEE) STD_NVNS
    IO_3 (VEE VCC VEE VEE) STD_NVNS
    IO_4 (VEE VCC VEE VEE) STD_NVNS
    IO_5 (VEE VCC VEE VEE) STD_NVNS
    IO_6 (VEE VCC VEE VEE) STD_NVNS
    IO_7 (VEE VCC VEE VEE) STD_NVNS
    IO_8 (VEE VCC VEE VEE) STD_NVNS
    IO_9 (VEE VCC VEE VEE) STD_NVNS
    IO_10 (VEE VCC VEE VEE) STD_NVNS
    IO_11 (VEE VCC VEE VEE) STD_NVNS
    IO_12 (VEE VCC VEE VEE) STD_NVNS
    IO_13 (VEE VCC VEE VEE) STD_NVNS
    IO_14 (VEE VCC VEE VEE) STD_NVNS
    IO_15 (VEE VCC VEE VEE) STD_NVNS
    IO_16 (VEE VCC VEE VEE) STD_NVNS
    IO_17 (VEE VCC VEE VEE) STD_NVNS
    IO_18 (VEE VCC VEE VEE) STD_NVNS
ends VCC_SE
// End of subcircuit definition.

// Library name: RFPADS_ML
// Cell name: IO_D1_HC_SE
// View name: schematic
subckt IO_D1_HC_SE_schematic A PAD VCC VEE
    R2 (A PAD VEE) rml w=9.9u l=47.75u nb=0
m=1 par1=(1)
    D1 (PAD VCC) dp area=47.79p peri=40.8u
m=1 par1=(1)
    D0 (VEE PAD) dn area=47.79p peri=40.8u
m=1 par1=(1)
ends IO_D1_HC_SE_schematic
// End of subcircuit definition.

// Library name: lna2
// Cell name: lna_core
// View name: schematic
subckt lna_core GP1 GPC1 LDC1 OUT POL2 VS1
VS2 VSS
    C7 (LDC1 GP2 VSS) cmm area=648p
    peri=102u m=3 par1=(3)
    R1 (POL2 GP2 VSS) rzp2 w=3u l=42.775u
    nb=0 m=1 par1=(1)
    M5 (OUT GP2 VS2 VSS) nmosrf m=1 w=10u
    l=0.35u ad=1.15u/2*(10u)*(14) \
        as=1.15u/2*(10u)*((14)+2)
    pd=1.15u*2*(14) \
        ps=1.15u*((14)+2)+2*(10u)
    nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
        par1=(14)
    M4 (OUT GP2 VS2 VSS) nmosrf m=1 w=10u
    l=0.35u ad=1.15u/2*(10u)*(14) \
        as=1.15u/2*(10u)*((14)+2)
    pd=1.15u*2*(14) \
        ps=1.15u*((14)+2)+2*(10u)
    nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
        par1=(14)
    M3 (LDC1 GPC1 NETZ24 VSS) nmosrf m=1
    w=10u l=0.35u \
        ad=1.15u/2*(10u)*(14)
    as=1.15u/2*(10u)*((14)+2) pd=1.15u*2*(14) \
        ps=1.15u*((14)+2)+2*(10u)
    nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
        par1=(14)

```

```

M2 (NETZ24 GP1 VS1 VSS) nmosrf m=1
w=10u l=0.35u ad=1.15u/2*(10u)*(14) \
as=1.15u/2*(10u)*((14)+2)
pd=1.15u*2*(14) \
ps=1.15u*((14)+2)+2*(10u)
nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
par1=(14)
M0 (NETZ24 GP1 VS1 VSS) nmosrf m=1
w=10u l=0.35u ad=1.15u/2*(10u)*(14) \
as=1.15u/2*(10u)*((14)+2)
pd=1.15u*2*(14) \
ps=1.15u*((14)+2)+2*(10u)
nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
par1=(14)
M1 (LDC1 GPC1 NETZ24 VSS) nmosrf m=1
w=10u l=0.35u \
ad=1.15u/2*(10u)*(14)
as=1.15u/2*(10u)*((14)+2) pd=1.15u*2*(14) \
ps=1.15u*((14)+2)+2*(10u)
nrd=0.375u/(10u) nrs=0.375u/(10u) nf=14 \
par1=(14)
ends lna_core
// End of subcircuit definition.

// Library name: lna2
// Cell name: sim_lna
// View name: schematic
R0 (NETZ043 INLNA VSS) rzp2 w=3u l=42.775u
nb=0 m=1 par1=(1)
I1 (NETZ060 NETZ0147 VDD VSS) IO_D1_HC_SE
I3 (VSS VSS) VEE_SE
I5 (VDD NETZ0241) VEE_SE
I12 (NETZ063 NETZ037 VDD VSS) IO_D1_0_SE
I13 (NETZ042 NETZ27 VDD VSS) IO_D1_0_SE
I14 (NETZ043 NETZ033 VDD VSS) IO_D1_0_SE
I11 (INLNA NETZ057 VDD VSS) IO_D1_0_SE
I9 (NETZ2 VSS) VCC_SE
I6 (NETZ25 NETZ068 VDD VSS)
IO_D1_HC_SE_schematic
V4 (POLEST2 VSS) vsource dc=ESTAGE2 type=dc
V3 (LNAPOL VSS) vsource dc=LNAPOL1 type=dc
V2 (VSS 0) vsource dc=0 type=dc

V1 (VDD VSS) vsource dc=3.3 type=dc
V0 (GCASC VSS) vsource dc=CASC POL1 type=dc
R14 (INLNA NETZ079) resistor r=6.442
R16 (VSS NETZ075) resistor r=1.364
R15 (VSS NETZ077) resistor r=2.534
R9 (NETZ2 NETZ18) resistor r=8.06
R7 (VSS NETZ9) resistor r=4.5
R8 (VSS NETZ11) resistor r=4.528
PORT0 (NETZ056 0) port r=50 num=1 dc=0
type=sine freq=F1 dbm=DBM1 pacmag=1 \
fundname="FREQ1" fundname2="FREQ2"
PORT1 (OUT VSS) port r=50 num=2 type=dc
C7 (INLNA NETZ077) capacitor c=248.3f
C1 (NETZ24 NETZ075) capacitor c=232f
C0 (NETZ056 NETZ057) capacitor c=100u
C5 (NETZ26 NETZ9) capacitor c=280.5f
C6 (NETZ2 NETZ11) capacitor c=268.5f
C2 (OUT NETZ20) capacitor c=100u
L6 (NETZ079 NETZ24) inductor l=8.267n
L4 (GCASC NETZ063) inductor l=800.0p
L1 (VSS NETZ060) inductor l=LS1
L11 (LNAPOL NETZ043) inductor l=800.0p
L3 (POLEST2 NETZ27) inductor l=800.0p
L9 (VDD NETZ2) inductor l=800.0p
L2 (NETZ18 NETZ26) inductor l=10.68n
L10 (NETZ20 NETZ25) inductor l=800.0p
L5 (VDD NETZ20) inductor l=1
I0 (NETZ24 NETZ063 NETZ26 NETZ068 NETZ27
NETZ060 VSS NETZ0241) lna_core

```

ANEXO D – Listagem após extração de componentes parasitárias de *layout*

```
// Library name: lna3
// Cell name: lna_core
// View name: analog_extracted
subckt lna_core_analog_extracted GP1 GPC1 LDC1 OUT POL2
VS1 VS2 VSS
    M5_27__rcx (OUT _206\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_26__rcx (OUT _188\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=9.25p as=5.75p pd=11.85u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_25__rcx (OUT _194\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_24__rcx (OUT _200\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_23__rcx (VS2 _197\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_22__rcx (VS2 _203\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_21__rcx (VS2 _191\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_20__rcx (VS2 _221\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_19__rcx (VS2 _215\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_18__rcx (OUT _218\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_17__rcx (OUT _224\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_16__rcx (VS2 _209\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_15__rcx (VS2 _227\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=9.25p pd=1.15u ps=11.85u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_14__rcx (OUT _212\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_13__rcx (OUT _236\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_12__rcx (OUT _230\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=9.25p as=5.75p pd=11.85u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_11__rcx (VS2 _245\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_10__rcx (VS2 _239\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_9__rcx (VS2 _233\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_8__rcx (OUT _248\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_7__rcx (OUT _242\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_6__rcx (VS2 _263\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_5__rcx (VS2 _257\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_4__rcx (VS2 _269\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=9.25p pd=1.15u ps=11.85u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_3__rcx (VS2 _251\GP2 OUT VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_2__rcx (OUT _266\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5_1__rcx (OUT _260\GP2 VS2 VSS) nmosrf m=1 w=1e-05
1=3.5e-07 \
    ad=5.75p as=5.75p pd=1.15u ps=1.15u nrd=0.05
nrs=0.05 nf=1 \
    parl=(1)
    M5 (OUT _254\GP2 VS2 VSS) nmosrf m=1 w=1e-05 l=3.5e-
07 ad=5.75p \
    as=5.75p pd=1.15u ps=1.15u nrd=0.05 nrs=0.05 nf=1
parl=(1)
    M3_23__rcx (LDC1 _127\GPC1 _116\NET231 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_22__rcx (LDC1 _121\GPC1 _112\NET231 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_21__rcx (LDC1 _133\GPC1 _120\NET231 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_20__rcx (_116\NET231 _130\GPC1 LDC1 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_19__rcx (_108\NET231 _118\GPC1 LDC1 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=9.25p as=5.75p pd=11.85u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_18__rcx (_112\NET231 _124\GPC1 LDC1 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_17__rcx (LDC1 _145\GPC1 _128\NET231 VSS) nmosrf
m=1 w=1e-05 \
    l=3.5e-07 ad=5.75p as=5.75p pd=1.15u ps=1.15u
nrd=0.05 nrs=0.05 \
    nf=1 parl=(1)
    M3_16__rcx (LDC1 _139\GPC1 _124\NET231 VSS) nmosrf
m=1 w=1e-05 \
```



```

R1 (_3\;avC23_2\;POL2 VSS) rzp2 w=3e-06 l=7.45e-06
nb=0 m=1 par1=(1)
avD3595_2 (avC23_4\;avC24 VSS) rzp2 w=3e-06 l=7.45e-06
nb=0 m=1 \
par1=(1)
avD3595_3 (_3\;avC25_2\;avC24 VSS) rzp2 w=3e-06
l=7.45e-06 nb=0 m=1 \
par1=(1)
avD3595_4 (avC25_4\;avC26 VSS) rzp2 w=3e-06 l=7.45e-06
nb=0 m=1 \
par1=(1)
avD3595_5 (_163\;GP2_2\;avC26 VSS) rzp2 w=3e-06
l=7.45e-06 nb=0 m=1 \
par1=(1)
rh8 (_166\;GPC1_101\;GPC1) resistor r=36.4026
rh12 (_166\;GPC1_27\;GPC1) resistor r=36.4057
rh16 (_160\;GPC1_97\;GPC1) resistor r=36.4026
rh20 (_160\;GPC1_27\;GPC1) resistor r=36.4057
rh24 (_157\;GPC1_97\;GPC1) resistor r=36.4669
rh28 (_157\;GPC1_27\;GPC1) resistor r=36.4057
rh32 (_142\;GPC1_83\;GPC1) resistor r=36.4026
rh36 (_142\;GPC1_1\;GPC1) resistor r=36.4057
rh40 (_139\;GPC1_83\;GPC1) resistor r=36.4669
rh44 (_139\;GPC1_1\;GPC1) resistor r=36.4057
rh48 (_133\;GPC1_83\;GPC1) resistor r=36.4669
rh52 (_133\;GPC1_1\;GPC1) resistor r=36.4057
rh56 (_136\;GPC1_83\;GPC1) resistor r=36.4026
rh60 (_136\;GPC1_1\;GPC1) resistor r=36.4057
rh64 (_124\;GPC1_83\;GPC1) resistor r=36.4026
rh68 (_124\;GPC1_1\;GPC1) resistor r=36.4057
rh72 (_121\;GPC1_118\;GPC1) resistor r=10416.1
rh76 (_121\;GPC1_83\;GPC1) resistor r=36.6593
rh80 (_121\;GPC1_1\;GPC1) resistor r=36.4057
rh84 (_118\;GPC1_83\;GPC1) resistor r=36.7888
rh88 (_118\;GPC1_1\;GPC1) resistor r=36.4057
rh92 (_127\;GPC1_83\;GPC1) resistor r=36.4669
rh96 (_127\;GPC1_1\;GPC1) resistor r=36.4057
rh100 (_130\;GPC1_83\;GPC1) resistor r=36.4026
rh7 (_130\;GPC1_1\;GPC1) resistor r=36.4057
rh5 (_83\;GPC1_145\;GPC1) resistor r=72.9338
rh9 (_145\;GPC1_1\;GPC1) resistor r=36.4057
rh15 (_145\;GPC1_59\;GPC1) resistor r=72.9338
rh13 (_151\;GPC1_1\;GPC1) resistor r=36.4057
rh19 (_151\;GPC1_59\;GPC1) resistor r=36.4728
rh17 (_1\;GPC1_148\;GPC1) resistor r=36.4057
rh21 (_148\;GPC1_59\;GPC1) resistor r=36.4026
rh35 (_55\;GPC1_GPC1) resistor r=5.8869
rh33 (_154\;GPC1_97\;GPC1) resistor r=36.4026
rh39 (_154\;GPC1_27\;GPC1) resistor r=36.4057
rh37 (_97\;GPC1_163\;GPC1) resistor r=72.9338
rh41 (_163\;GPC1_27\;GPC1) resistor r=36.4057
rh47 (_163\;GPC1_101\;GPC1) resistor r=72.9338
rh45 (_172\;GPC1_27\;GPC1) resistor r=36.4057
rh51 (_172\;GPC1_101\;GPC1) resistor r=36.4669
rh49 (_178\;GPC1_27\;GPC1) resistor r=36.4057
rh55 (_178\;GPC1_101\;GPC1) resistor r=36.4669
rh53 (_181\;GPC1_27\;GPC1) resistor r=36.4057
rh59 (_181\;GPC1_101\;GPC1) resistor r=36.4026
rh57 (_184\;GPC1_187\;GPC1) resistor r=10416.1
rh63 (_184\;GPC1_101\;GPC1) resistor r=36.6593
rh61 (_184\;GPC1_27\;GPC1) resistor r=36.4057
rh67 (_187\;GPC1_27\;GPC1) resistor r=36.4057
rh65 (_187\;GPC1_101\;GPC1) resistor r=36.7888
rh71 (_169\;GPC1_27\;GPC1) resistor r=36.4057
rh69 (_169\;GPC1_101\;GPC1) resistor r=36.4026
rh75 (_27\;GPC1_175\;GPC1) resistor r=36.4057
rh73 (_175\;GPC1_101\;GPC1) resistor r=36.4026
rh112 (_122\;GP1_119\;GP1) resistor r=10416.1
rh116 (_122\;GP1_84\;GP1) resistor r=36.6593
rh120 (_122\;GP1_1\;GP1) resistor r=36.4057
rh124 (_128\;GP1_1\;GP1) resistor r=36.4057
rh128 (_128\;GP1_84\;GP1) resistor r=36.4669
rh132 (_134\;GP1_1\;GP1) resistor r=36.4057
rh136 (_134\;GP1_84\;GP1) resistor r=36.4669
rh140 (_137\;GP1_1\;GP1) resistor r=36.4057
rh144 (_137\;GP1_84\;GP1) resistor r=36.4026
rh148 (_140\;GP1_1\;GP1) resistor r=36.4057
rh152 (_140\;GP1_84\;GP1) resistor r=36.4669
rh156 (_143\;GP1_1\;GP1) resistor r=36.4057
rh160 (_143\;GP1_84\;GP1) resistor r=36.4026
rh164 (_125\;GP1_1\;GP1) resistor r=36.4057
rh168 (_125\;GP1_84\;GP1) resistor r=36.4026
rh172 (_146\;GP1_59\;GP1) resistor r=72.9338
rh176 (_146\;GP1_84\;GP1) resistor r=72.9338
rh180 (_146\;GP1_1\;GP1) resistor r=36.4057
rh184 (_149\;GP1_59\;GP1) resistor r=36.4026
rh188 (_149\;GP1_1\;GP1) resistor r=36.4057
rh192 (_152\;GP1_59\;GP1) resistor r=36.4728
rh196 (_152\;GP1_1\;GP1) resistor r=36.4057
rh199 (_1\;GP1_131\;GP1) resistor r=36.4057
rh117 (_1\;GP1_119\;GP1) resistor r=36.4057
rh123 (_131\;GP1_84\;GP1) resistor r=36.4026
rh121 (_84\;GP1_119\;GP1) resistor r=36.7888
rh127 (_65\;GP1_27\;GP1) resistor r=1.6327
rh125 (_65\;GP1_63\;GP1) resistor r=1.6166
rh131 (_164\;GP1_100\;GP1) resistor r=36.4026
rh129 (_164\;GP1_27\;GP1) resistor r=36.4057
rh135 (_155\;GP1_63\;GP1) resistor r=36.4728
rh133 (_155\;GP1_27\;GP1) resistor r=36.4057
rh139 (_161\;GP1_63\;GP1) resistor r=72.9338
rh137 (_161\;GP1_100\;GP1) resistor r=72.9338
rh143 (_161\;GP1_27\;GP1) resistor r=36.4057
rh141 (_158\;GP1_63\;GP1) resistor r=36.4026
rh147 (_158\;GP1_27\;GP1) resistor r=36.4057
rh149 (_167\;GP1_100\;GP1) resistor r=36.4669
rh155 (_167\;GP1_27\;GP1) resistor r=36.4057
rh153 (_173\;GP1_100\;GP1) resistor r=36.4669
rh159 (_173\;GP1_27\;GP1) resistor r=36.4057
rh157 (_170\;GP1_100\;GP1) resistor r=36.4026
rh163 (_170\;GP1_27\;GP1) resistor r=36.4057
rh161 (_182\;GP1_100\;GP1) resistor r=36.4026
rh167 (_182\;GP1_27\;GP1) resistor r=36.4057
rh165 (_185\;GP1_100\;GP1) resistor r=36.6593
rh171 (_185\;GP1_188\;GP1) resistor r=10416.1
rh169 (_185\;GP1_27\;GP1) resistor r=36.4057
rh175 (_179\;GP1_100\;GP1) resistor r=36.4669
rh173 (_179\;GP1_27\;GP1) resistor r=36.4057
rh179 (_176\;GP1_100\;GP1) resistor r=36.4026
rh177 (_176\;GP1_27\;GP1) resistor r=36.4057
rh183 (_100\;GP1_188\;GP1) resistor r=36.7888
rh181 (_188\;GP1_27\;GP1) resistor r=36.4057
re66 (_209\;GP2_111\;GP2) resistor r=36.4669
re67 (_209\;GP2_31\;GP2) resistor r=36.4057
re68 (_188\;GP2_191\;GP2) resistor r=10416.1
re69 (_188\;GP2_111\;GP2) resistor r=36.7888
re70 (_188\;GP2_31\;GP2) resistor r=36.4057
re71 (_191\;GP2_31\;GP2) resistor r=36.4057
re72 (_191\;GP2_111\;GP2) resistor r=36.6593
re73 (_194\;GP2_31\;GP2) resistor r=36.4057
re74 (_194\;GP2_111\;GP2) resistor r=36.4026
re75 (_197\;GP2_31\;GP2) resistor r=36.4057
re76 (_197\;GP2_111\;GP2) resistor r=36.4669
rd26 (_203\;GP2_31\;GP2) resistor r=36.4057
rd29 (_203\;GP2_111\;GP2) resistor r=36.4669
rd25 (_206\;GP2_31\;GP2) resistor r=36.4057
rd27 (_206\;GP2_111\;GP2) resistor r=36.4026
rd28 (_212\;GP2_31\;GP2) resistor r=36.4057
rd30 (_212\;GP2_111\;GP2) resistor r=36.4026
rb3 (_227\;GP2_122\;GP2) resistor r=36.4728
rb2 (_227\;GP2_31\;GP2) resistor r=36.4057
rb1 (_218\;GP2_122\;GP2) resistor r=36.4026
rb4 (_218\;GP2_31\;GP2) resistor r=36.4057
rn13 (_215\;GP2_122\;GP2) resistor r=72.9338
rn14 (_215\;GP2_111\;GP2) resistor r=72.9338
rn15 (_215\;GP2_31\;GP2) resistor r=36.4057
rn16 (_221\;GP2_122\;GP2) resistor r=36.4669
r11 (_221\;GP2_31\;GP2) resistor r=36.4057
r12 (_224\;GP2_122\;GP2) resistor r=36.4026
rp1 (_224\;GP2_31\;GP2) resistor r=36.4057
rp6 (_233\;GP2_126\;GP2) resistor r=36.4669
rp7 (_233\;GP2_61\;GP2) resistor r=36.4057
rp8 (_242\;GP2_126\;GP2) resistor r=36.4026
rp9 (_242\;GP2_61\;GP2) resistor r=36.4057
rp10 (_248\;GP2_139\;GP2) resistor r=36.4026
rp11 (_248\;GP2_61\;GP2) resistor r=36.4057
rp12 (_251\;GP2_139\;GP2) resistor r=36.4669
rp13 (_251\;GP2_61\;GP2) resistor r=36.4057
rp14 (_257\;GP2_139\;GP2) resistor r=36.4669
rp15 (_257\;GP2_61\;GP2) resistor r=36.4057
rp16 (_254\;GP2_139\;GP2) resistor r=36.4026
rp17 (_254\;GP2_61\;GP2) resistor r=36.4057
rp18 (_266\;GP2_139\;GP2) resistor r=36.4026
rp19 (_266\;GP2_61\;GP2) resistor r=36.4057
rp20 (_269\;GP2_139\;GP2) resistor r=36.5312
rp21 (_269\;GP2_61\;GP2) resistor r=36.4057
rp22 (_263\;GP2_139\;GP2) resistor r=36.4669
rp23 (_263\;GP2_61\;GP2) resistor r=36.4057
rp24 (_260\;GP2_139\;GP2) resistor r=36.4026
rp25 (_260\;GP2_61\;GP2) resistor r=36.4057
rp26 (_139\;GP2_245\;GP2) resistor r=72.9338
rp28 (_245\;GP2_126\;GP2) resistor r=72.9338
rp29 (_245\;GP2_61\;GP2) resistor r=36.4057
rp30 (_239\;GP2_126\;GP2) resistor r=36.4669
rp31 (_239\;GP2_61\;GP2) resistor r=36.4057
rp32 (_236\;GP2_126\;GP2) resistor r=36.4026
rp33 (_236\;GP2_61\;GP2) resistor r=36.4057
rp34 (_126\;GP2_230\;GP2) resistor r=36.4026
rp37 (_230\;GP2_61\;GP2) resistor r=36.4057
rp41 (_31\;GP2_200\;GP2) resistor r=36.4057
rp42 (_200\;GP2_111\;GP2) resistor r=36.4026
C7_2_rcx (LDC1_5\;GP2 VSS) cmm area=6.48e-10
peri=0.000102 m=1 \
par1=(1)
C7_1_rcx (LDC1_19\;GP2 VSS) cmm area=6.48e-10
peri=0.000102 m=1 \
par1=(1)
C7 (LDC1_27\;GP2 VSS) cmm area=6.48e-10
peri=0.000102 m=1 par1=(1)
c90 (_55\;GPC1 VSS) capacitor c=4.864e-15 m=1
c138 (_27\;GPC1 VSS) capacitor c=1.188e-14 m=1
c192 (_26\;NETZ31 VSS1) capacitor c=1.258e-14 m=1
c231 (_136\;NETZ31 VSS) capacitor c=1.609e-14 m=1
c234 (_136\;NETZ31 VSS1) capacitor c=1.308e-14 m=1
c238 (_136\;NETZ31_55\;GP1) capacitor c=1.512e-15
m=1
c561 (_27\;GP1 VSS) capacitor c=1.186e-14 m=1
c595 (VS1 VSS) capacitor c=1.715e-14 m=1
c626 (LDC1 VSS) capacitor c=3.121e-14 m=1
c255 (_108\;NETZ31 LDC1) capacitor c=1.13e-14 m=1
c336 (_6\;NETZ31 VSS) capacitor c=2.593e-17 m=1
c475 (_5\;GP2 VSS) capacitor c=1.559e-14 m=1
c439 (_61\;GP2 VSS) capacitor c=1.26e-14 m=1
c591 (VS2 VSS) capacitor c=1.493e-14 m=1
c592 (VS2 OUT) capacitor c=6.63e-14 m=1

```



```

c619 (OUT VSS) capacitor c=2.573e-14 m=1
c471 (_19\GP2 VSS) capacitor c=1.72e-14 m=1
c472 (_19\GP2 LDC1) capacitor c=3.44e-15 m=1
c473 (_12\GP2 VSS) capacitor c=1.155e-15 m=1
c474 (_12\GP2 LDC1) capacitor c=2.036e-15 m=1
c630 (avC14 VSS) capacitor c=1.424e-15 m=1
ends lna_core_analog_extracted
// End of subcircuit definition.

// Library name: lna3
// Cell name: sim_lna
// View name: schematic
I9 (NETZ107 VSS) VCC_SE_analog_extracted
I12 (NETZ123 NETZ125 VDD VSS) IO_D1_0_SE_analog_extracted
I13 (NETZ119 NETZ33 VDD VSS) IO_D1_0_SE_analog_extracted
I14 (NETZ115 NETZ114 VDD VSS) IO_D1_0_SE_analog_extracted
I11 (INLNA NETZ64 VDD VSS) IO_D1_0_SE_analog_extracted
R2 (NETZ115 INLNA VSS) rzp2 w=3u l=42.775u nb=0 m=1
par1=(I)
I8 (NETZ48 NETZ123 NETZ32 NETZ31 NETZ33 NETZ93 NETZ89
VSS) \
    lna_core_analog_extracted
I5 (VDD VSS) VEE_SE_analog_extracted
I3 (VSS VSS) VEE_SE_analog_extracted
I1 (NETZ28 NETZ27 VDD VSS) IO_D1_HC_SE_analog_extracted
I6 (NETZ105 NETZ72 VDD VSS) IO_D1_HC_SE_analog_extracted
L4 (GCASC NETZ123) inductor l=800.0p
L1 (VSS NETZ28) inductor l=LS1
L11 (LNAPOL NETZ115) inductor l=800.0p
L9 (VDD NETZ107) inductor l=800.0p
L3 (POLEST2 NETZ33) inductor l=800.0p
L2 (NETZ43 NETZ91) inductor l=10.68n
L10 (NETZ41 NETZ105) inductor l=800.0p
L5 (VDD NETZ41) inductor l=1
L6 (NETZ0133 NETZ48) inductor l=8.267n
C1 (NETZ48 NETZ0131) capacitor c=232f
C7 (INLNA NETZ0129) capacitor c=248.3f
C6 (NETZ107 NETZ58) capacitor c=268.5f
C2 (OUT NETZ41) capacitor c=100u
C0 (NETZ70 NETZ64) capacitor c=100u
C5 (NETZ91 NETZ60) capacitor c=280.5f
PORT0 (NETZ70 0) port r=50 num=1 dc=0 type=sine freq=F1
dbm=DBM1 pacmag=1 \
    fundname="FREQ1" fundname2="FREQ2"
PORT1 (OUT VSS) port r=50 num=2 type=dc
R15 (VSS NETZ0129) resistor r=2.534
R14 (INLNA NETZ0133) resistor r=6.442
R1 (NETZ31 NETZ72) resistor r=840m
R16 (VSS NETZ0131) resistor r=1.364
R0 (NETZ93 NETZ28) resistor r=630m
R10 (NETZ91 NETZ32) resistor r=440m
R13 (NETZ89 VSS) resistor r=840m
R8 (VSS NETZ58) resistor r=4.528
R7 (VSS NETZ60) resistor r=4.5
R9 (NETZ107 NETZ43) resistor r=8.06

```

REFERÊNCIAS

-
- [1] RAZAVI, B. RF Microelectronics. 1st ed. Prentice Hall PTR, 1997. 352p.
- [2] LEE, T. H. Design of Radio-Frequency Integrated Circuits. 2nd ed. Cambridge University Press: 1998. 816p.
- [3] JANSSENS J., MICHIEL S. CMOS Cellular Receiver Front-Ends. 1st ed. [S.I.]: Springer, 2002. 276p.
- [4] FUENTES, E. F. R. Metodologia de Projeto para Amplificadores de Baixo Ruído em CMOS. 2003. 86p. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2003.
- [5] CIFUENTES, R. D. E. Estudo e Projeto de um Misturador CMOS para RF. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2003.
- [6] PELAEZ, A. F. Projeto e Implementação de um Oscilador Monolítico a 2,4 GHz em Tecnologia CMOS 0,35µm. Dissertação (Mestrado) – Escola Politécnica da Universidade de São Paulo, 2003.
- [7] ARGÜELLO, A. M. G. Estudo e Projeto de um Sintetizador de Frequência para RF em Tecnologia CMOS de 0,35µm. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2004.
- [8] OLIVEIRA, C. A. de S. Estudo e Projeto de um Conversor D/A de Alta Velocidade em Tecnologia CMOS. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2005.
- [9] RAMIREZ, E. E. R. Projeto de um Amplificador de Potência Integrado a 2,4GHz em Tecnologia CMOS. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2004.
- [10] HERRERA, H.D.H. Projeto De Um Conversor Digital-Analógico Para Um Transmissor Bluetooth Em Tecnologia CMOS. Dissertação (Mestrado) – Escola Politécnica, Universidade de São Paulo. São Paulo, 2008.

-
- [11] KARANICOLAS, A. N. A 2.7V 900MHz CMOS LNA and Mixer. IEEE Journal of Solid-State Circuits, v. 28, n. 12, p. 1944-1939, dezembro 1996.
- [12] SHAEFFER, D. K. A 1.5V 1.5GHz CMOS Low Noise Amplifier. IEEE Journal of Solid-State Circuits, v. 32, n. 5, p. 745-759, maio 1997.
- [13] YANG, S.; MASON, R.; PLETT, C. 6.5mW CMOS Low Noise Amplifier at 1.9GHz. Proceedings of IEEE 1999 International Symposium on Circuits and Systems, ISCAS '99, v. 2, p. 85-88, julho 1999.
- [14] HUANG, J. C.; et al. A 2V 2.4GHz Fully Integrated CMOS LNA. The 2001 IEEE International Symposium on Circuits and Systems, ISCAS 2001, v. 4, p. 466-469, maio 2001.
- [15] YANG, J.-N., et al. A 1.5V 2.4GHz CMOS Low Noise Amplifier. Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems, 2000, v. 2, p. 1010-1012, agosto 2000.
- [16] CHANG, P.Y.; JOU, C.F. A 1-V, Low-Power CMOS LNA for Ultra-wideband Receivers. Microwave Conference, 2007. APMC 2007. Bangkok, p. 1-4, december 2007.
- [17] AMOR, M.B. et al. A Wideband CMOS LNA for WiMAX applications. Circuits and Systems for Communications, 2008. ECCSC 2008. 4th European Conference on. p. 93-96, 10-11 July 2008.
- [18] CHEN, C.-Z. et al. An Excellent Phase-Linearity 3.1-10.6 GHz CMOS UWB LNA Using Standard 0.18 μm CMOS Technology. Proceeding of Asia-Pacific Conference 2007.
- [19] SONG, H.; et al. A Sub-2 dB NF Dual Band CMOS LNA for CDMA/WCDMA Applications. IEEE Microwave and Components Letters, v. 18, n.3, march 2008.
- [20] FENG, D.; SHI B. Comprehensive Analysis and Optimization of CMOS LNA Noise Performance. Asian and Pacific Design Automation Conference, Proceedings of ASP-DAC 2005, v.2, p. 1204-1207, janeiro 2005.

-
- [21] SHAEFFER, D. K.; LEE, T. H. Corrections to "A 1.5V 1.5GHz CMOS Low Noise Amplifier". IEEE Journal of Solid-State Circuits, v. 40, n. 6, p. 1397-1398, junho 2005.
- [22] DAO, A. Integrated LNA and Mixer Basics. National Semiconductors, april 1993. Application Note 884. 6p.
- [23] GUO W.; HUANG D. Noise and Linearity Analysis for 1.9GHz CMOS LNA. Asia-Pacific Conference on Circuits and Systems. APCCAS' 2002, v. 2, p. 409-414, october 2002.
- [24] WAMBACQ P. and SANSEN W. Distortion Analysis of Analog Integrated Circuits. [S.I.]: Kluwer Academic Publishers, 1998. 501p.
- [25] LI, Q. et al. CMOS RF Mixer Non-linearity Design. Proceedings of 44th IEEE 2001 Midwest Symposium on Circuit and Systems, 2001. MWSCAS 2001. v. 53. n.3, p. 212-216, march 2006.
- [26] BSIM3. BSIM3V3 MOSFET's User Manual. Version 3.3.0. Department of Electrical Engineering and Computer Science. Berkeley University, 2005. Disponível em: < <http://www-device.eecs.berkeley.edu/~bsim3/intro.html> >.
- [27] PHILIPS. High IP3 MMIC LNA at 1.8-2.4 GHz: Application note for the BGA2012. 6p. Disponível em: http://www.nxp.com/acrobat_download/applicationnotes/BGA2012_LNA_18_24G_HZ.pdf.
- [28] XH035 Process. XFAB Semiconductors Foundry. Disponível em: <<http://www.xfab.com/xfab/frontend/index.php?itid=304>>.
- [29] CADENCE DESIGN SYSTEM. Virtuoso Tool Suite, versão 5.1.41 USR5. www.cadence.com.
- [30] ASITIC: Analysis and Simulation of Spiral Inductors and Transformers for ICs. Version 3.19.00. Electrical and Engineering Computer Science. Berkeley University, 2000. Disponível em: <<http://rfic.eecs.berkeley.edu/~niknejad/asitic.html> >.