

**TALITHA NICOLETTI**

**ESTUDO DE TRANSISTORES UTBOX SOI NÃO  
AUTO-ALINHADOS COMO CÉLULA DE MEMÓRIA**

**São Paulo  
2013**

**TALITHA NICOLETTI**

**ESTUDO DE TRANSISTORES UTBOX SOI NÃO  
AUTO-ALINHADOS COMO CÉLULA DE MEMÓRIA**

**Tese apresentada à Escola Politécnica da  
Universidade de São Paulo para a  
obtenção do título de Doutor em Ciências.**

**Área de concentração: Microeletrônica**

**Orientador: Prof. Dr. João Antonio Martino**

**São Paulo**

**2013**

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 17 de julho de 2013.

Assinatura do autor Talitha Nicoletti

Assinatura do orientador Paulo Roberto

#### FICHA CATALOGRÁFICA

Nicoletti, Talitha

Estudo de transistores UTBOX SOI não auto-alinhados como célula de memória / T. Nicoletti. -- versão corr. -- São Paulo, 2013.

142 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Transistores 2. Memória RAM 3. Microeletrônica I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

## **AGRADECIMENTOS**

Ao professor e orientador João Antonio Martino pela amizade construída, orientação cuidadosa, seu incentivo e confiança depositada e por me ensinar a trabalhar de maneira eficiente e com seriedade.

Aos grandes pesquisadores Marc Aoulaiche, Eddy Simoen e Cor Claeys que me acolheram de forma generosa durante meu estágio no Imec, pelas inúmeras discussões e sugestões sobre meu trabalho, pelos ensinamentos profissionais e pessoais que me deram.

Às amigas Milene, Michele, Glória e Kátia e, ao amigo Luciano, pelos bons momentos de alegria, carinho e valiosa amizade.

À querida Sara, por nossa amizade construída, pelos trabalhos e infinitas discussões compartilhadas e por seu companheirismo.

Aos meus pais e à minha irmã Daphne, por tudo que me ensinaram pelo apoio às minhas escolhas e por serem o exemplo que tento seguir.

Ao meu marido Daniel, por estar comigo em todos os momentos compartilhando todas as minhas conquistas, frustrações e ansiedades sempre de forma carinhosa e sincera e por querer construir uma família junto comigo.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo pela disponibilidade da infraestrutura necessária para essa atividade de pesquisa.

A tantas outras pessoas, que de alguma forma colaboraram para a realização desse trabalho e que, de forma involuntária foram aqui omitidos.

*Jamais considere seus estudos como uma obrigação,  
mas como uma oportunidade invejável  
para aprender a conhecer a influência  
libertadora da beleza do reino do espírito,  
para seu próprio prazer pessoal e  
para proveito da comunidade à qual  
seu futuro trabalho pertencer.*

**Albert Einstein**

## RESUMO

O objetivo principal deste trabalho é o estudo de transistores UTBOX SOI não auto-alinhados operando como célula de memória de apenas um transistor aproveitando-se do efeito de corpo flutuante (1T-FBRAM – *single Transistor Floating Body Random Access Memory*).

A caracterização elétrica dos dispositivos se deu a partir de medidas experimentais estáticas e dinâmicas e ainda, simulações numéricas bidimensionais foram implementadas para confirmar os resultados obtidos.

Diferentes métodos de escrita e leitura do dado '1' que também são chamados de métodos de programação do dado '1' são encontrados na literatura, mas com intuito de se melhorar os parâmetros dinâmicos das memórias como o tempo de retenção e a margem de sensibilidade e ainda, permitir um maior escalamento dos dispositivos totalmente depletados, o método de programação utilizado neste trabalho será o BJT (*Bipolar Junction Transistor*).

Uma das maiores preocupações para a aplicação de células 1T-DRAMs nas gerações tecnológicas futuras é o tempo de retenção que diminui juntamente com a redução do comprimento de canal do transistor. Com o intuito de solucionar este problema ou ao menos retardá-lo, é apresentando pela primeira vez um estudo sobre a dependência do tempo de retenção e da margem de sensibilidade em função do comprimento de canal, onde se observou que esses parâmetros dinâmicos podem ser otimizados através da polarização do substrato e mantidos constantes para comprimentos de canal maiores que 50 nm no caso dos dispositivos não auto-alinhados e 80 nm nos dispositivos de referência. Entretanto, observou-se também que existe um comprimento de canal mínimo que é dependente do tipo de junção (30 nm no caso dos dispositivos não auto-alinhados e 50 nm nos dispositivos de referência) de modo que para comprimentos de canal abaixo desses valores críticos não há mais espaço para otimização dos parâmetros, degradando assim o desempenho da célula de memória.

O mecanismo de degradação dos parâmetros dinâmicos de memória foi identificado e atribuído à amplificação da corrente de GIDL (*Gate Induced Drain Leakage*) pelo transistor bipolar parasitário de base estreita durante a leitura e

o tempo de repouso do dado '0'. A presença desse efeito foi confirmada através de simulações numéricas bidimensionais dos transistores quando uma alta taxa de geração de portadores surgiu bem próxima das junções de fonte e dreno somente quando o modelo de tunelamento banda-a-banda (bbt.kane) foi considerado.

Comparando o comportamento dos dispositivos não auto-alinhados com os dispositivos de referência tanto nos principais parâmetros elétricos (tensão de limiar, inclinação de sublimiar, ganho intrínseco de tensão) como em aplicações de memória (tempo de retenção, margem de sensibilidade, janela de leitura), constatou-se que a estrutura não auto-alinhada apresenta melhor desempenho, uma vez que alcança maior velocidade de chaveamento devido a menor inclinação de sublimiar; menor influência das linhas de campo elétrico nas cargas do canal, menor variação da tensão de limiar, até mesmo com a variação da temperatura.

Além disso, constatou-se que os dispositivos não auto-alinhados são mais escaláveis do que os dispositivos de referência, pois são menos susceptíveis à corrente de GIDL, apresentando menor campo elétrico e taxa de geração próximos das junções de fonte e dreno que os dispositivos de referência, alcançando então um tempo de retenção de aproximadamente 6 ms e margem de sensibilidade de aproximadamente 71  $\mu\text{A}/\mu\text{m}$ .

Segundo as especificações da *International Technology Roadmap for Semiconductor* de 2011, o valor do tempo de retenção para as memórias DRAM convencionais existentes no mercado de semicondutores é de aproximadamente 64 ms. Com o intuito de aumentar o tempo de retenção das 1T-DRAMs a valores próximos à 64 ms recomenda-se então o uso da tecnologia não auto-alinhada e também a substituição do silício por materiais com maior banda proibida (*band-gap*), como exemplo o arseneto de gálio e o silício-carbono, dificultando assim o tunelamento dos elétrons e, conseqüentemente, diminuindo o GIDL.

Palavras chave: SOI, UTBOX, Transistor não auto-alinhado, Memória RAM, Memória de Efeito de Corpo Flutuante, Tempo de retenção, Escalamento do comprimento de canal.

## ABSTRACT

The main topic of this work is the study of extensionless UTBOX SOI transistors, also called underlapped devices, applied as a single transistor floating body RAM (1T-FBRAM – single transistor floating body access memory).

The electrical characterization of the devices was performed through static and dynamic experimental data and two dimensional simulations were implemented to confirm the obtained results.

In the literature, different methods to write and read the data '1' can be found but in order to improve the dynamic parameters of the memories, as retention time and sense margin and still allows the scaling of fully depleted devices, the BJT (Bipolar Junction Transistor) method is used in this work.

One of the biggest issues to meet the specifications for future generations of 1T-DRAM cells is the retention time that scales together with the channel length. In order to overcome this issue or at least slow it down, in this work, we present for the first time, a study about the retention time and sense margin dependence of the channel length where it was possible to observe that these dynamic parameters can be optimized through the back gate bias and kept constant for channel lengths higher than 50 nm for extensionless devices and 80 nm for standard ones.

However, it was also observed that there is a minimal channel length which depends of the source/drain junctions, i.e. 30 nm for extensionless and 50 nm for standard devices in the sense that for shorter channel lengths than these ones, there is no room for optimization degrading the performance of the memory cell.

The mechanism behind the dynamic parameters degradation was identified and attributed to the GIDL current amplification by the lateral bipolar transistor with narrow base. Simulations confirmed this effect where higher generation rates near the junctions were presented only when the band-to-band-tunneling adjustment was considered (bbt.kane model).

Comparing the performance of standard and extensionless devices in both digital and analog electrical parameters and also in memory applications, it was found that extensionless devices present better performance since they



reach faster switching which means lower subthreshold slope; less influence of the electrical field in the channel charges; less variation of the threshold voltage even increasing the temperature.

Furthermore, it was seen that the gate length can be further scaled using underlap junctions since these devices are less susceptible to the GIDL current, presenting less electric field and generation rate near the source/drain junctions and reach a retention time of around 4 ms and sense margin of  $71\mu\text{A}/\mu\text{m}$ .

According to the *International Technology Roadmap for Semiconductor* of 2011, the retention time for the existing DRAM is around 64 ms. In order to increase the retention time of the 1T-DRAMs to values close to 64 ms it is recommended the use of extensionless devices and also the substitution of silicon by materials with higher band gap, i.e., gallium arsenide and silicon-carbon, which makes difficult the electron tunneling therefore, decreasing the GIDL.

Key words: SOI, UTBOX, extensionless transistor, memory, Floating-Body RAM cell, retention time, channel length scaling.

## LISTA DE FIGURAS

Figura 1.1 Os 30 nos de história da memória de corpo flutuante. ....	24
Figura 1.2 Representação esquemática de um dispositivo sem as extensões de fonte e dreno, onde $L_{UL}$ representa o comprimento das regiões de subposição de porta. ....	26
Figura 2.1 Perfil transversal de um SOI MOSFET. ....	30
Figura 2.2 Diagrama de Faixas de Energia de um SOI MOSFET parcialmente depletado <sup>10</sup> . ....	32
Figura 2.3 Diagrama de Faixas de Energia de um SOI MOSFET totalmente depletado <sup>10</sup> . ....	33
Figura 2.4 Distribuição das regiões de depleção em (a) MOSFETs convencionais e (b) SOI totalmente depletados. ....	35
Figura 2.5 Queda da tensão de limiar em função do comprimento do canal dos dispositivos (a) MOSFET convencional e (b) SOI MOSFET totalmente depletado <sup>10</sup> . ....	36
Figura 2.6 Estrutura de um transistor UTBOX SOI totalmente depletado (a) na sua forma simplificada e (b) obtida através do MEV. ....	37
Figura 2.7 Exemplos de curvas da corrente de dreno e da transcondutância em função da tensão aplicada à porta para $V_{DS}$ de 50 mV, obtidas através de medidas experimentais. ....	39
Figura 2.8 Exemplos de curvas experimentais da transcondutância e de sua derivada em função da tensão aplicada à porta para determinação da tensão de limiar, com $V_{DS} = 50\text{ mV}$ . ....	43
Figura 2.9 Exemplo de curvas da $I_{DS} \times V_{GS}$ para diferentes temperaturas na região linear. ....	45
Figura 2.10 Exemplo do efeito do GIDL (a) na curva logarítmica de $I_{DS} \times V_{GS}$ e (b) a região de depleção ( <i>overlap</i> ) onde isso ocorre. ....	48
Figura 2.11 Corrente de fuga para dispositivos SOI MOSFETs de canal longo e curto onde $I_{GIDL}$ é a corrente de base do transistor BJT que está sendo amplificada. Da relação entre as curvas, o ganho de corrente do BJT no dispositivo de canal curto pode ser deduzido <sup>40</sup> . ....	49

Figura 2.12 Exemplos de curvas da (a) razão de $gm/I_{DS}$ em função de $[I_{DS}/(W/L)]$ para $V_{DS} = 1,2V$ e da (b) condutância de saída em função da tensão aplicada no dreno do MOSFET. ....	51
Figura 2.13 Exemplo da curva de $I_{DS} \times V_{DS}$ para a extração da tensão Early ( $V_{EA}$ ). ....	52
Figura 3.1 Seções transversais de (a) um transistor convencional e (b) um transistor sem as extensões de fonte e dreno (não auto-alinhado). ....	55
Figura 3.2 Exemplos dos comportamentos das curvas da (a) $I_{DS} \times V_{GS}$ e da (b) $I_{DS} \times V_{DS}$ para os dispositivos de referência e não auto-alinhados. ....	56
Figura 3.3 Exemplos de dispositivos e suas respectivas regiões de atuação onde o uso de transistores não auto-alinhados se concentrava na região que proporcionava baixo consumo de energia e o tempo de resposta não era importante <sup>48</sup> . ....	56
Figura 3.4 Diferentes configurações de junções de fonte e dreno utilizadas neste trabalho. ....	57
Figura 3.5 Curvas de (a) $gm_{max}$ e (b) $R_{TOTAL}$ em função da temperatura para as diferentes configurações de fonte e dreno. ....	59
Figura 3.6 $I_{GIDL}$ em função da temperatura para diferentes configurações de fonte e dreno. ....	61
Figura 3.7 Ganho de corrente do transistor bipolar parasitário em função da temperatura. ....	62
Figura 3.8 Razão de $I_{on}/I_{off}$ em função da temperatura com $V_{GT_{off}} = -600 mV$ e $V_{GT_{on}} = 600 mV$ . ....	64
Figura 3.9 Curvas (a) da tensão de limiar normalizada e (b) porcentagem da variação de $V_{TH}$ comparada com $V_{T0}$ em função do comprimento efetivo de canal e diferentes temperaturas. ....	66
Figura 3.10 Curvas do (a) DIBL e (b) inclinação de sublimiar em função do comprimento de canal e para diferentes temperaturas. ....	67
Figura 3.11 Razão $I_{on}/I_{off}$ em função do comprimento do canal para as diferentes configurações de fonte e dreno e temperaturas. ....	68
Figura 3.12 Corrente de GIDL em função do comprimento de canal para as diferentes configurações de fonte e dreno e temperaturas. ....	70

Figura 3.13 Condutância de saída em função do comprimento de canal para diferentes configurações de fonte e dreno e temperaturas. ....	72
Figura 3.14 Curvas da eficiência do transistor em função da corrente de dreno normalizada para (a) $L_{eff} = 70 \text{ nm}$ e (b) $L_{eff} = 44 \text{ nm}$ para diferentes configurações de fonte e dreno estudadas e $T = 85^\circ\text{C}$ . ....	73
Figura 3.15 Tensão Early em função do comprimento de canal para diferentes configurações de fonte e dreno e temperaturas. ....	74
Figura 3.16 Ganho intrínseco de tensão em função do comprimento do canal para diferentes configurações de fonte e dreno e diferentes temperaturas. ....	75
Figura 4.1 Classificação básica das memórias semicondutoras. ....	77
Figura 4.2 Célula de memória CMOS SRAM <sup>55</sup> . ....	78
Figura 4.3 Célula padrão de memória DRAM <sup>55</sup> . ....	78
Figura 4.4 Célula de memória da 1T-DRAM. ....	79
Figura 4.5 (a) Mecanismo de escrita do dado '1' na memória por ionização por impacto <sup>3</sup> e (b) diminuição da tensão de limiar devido ao acúmulo de cargas na região do corpo do dispositivo <sup>61</sup> . ....	81
Figura 4.6 (a) Mecanismo de escrita do dado '1' na memória pelo método do BJT <sup>3</sup> e (b) surgimento da histerese com alto valor de tensão aplicado ao dreno <sup>65</sup> . ....	83
Figura 4.7 (a) Mecanismo de escrita do dado '1' por GIDL <sup>3</sup> e (b) tunelamento banda-a-banda de portadores <sup>10</sup> . ....	84
Figura 4.8 (a) Mecanismo de escrita do dado '1' e estrutura das bandas com tunelamento dos portadores. ....	85
Figura 4.9 Mecanismo de escrita do dado '0' por acoplamento capacitivo <sup>3</sup> . ....	86
Figura 4.10 Mecanismo de escrita do dado '0' por polarização direta da junção <sup>3</sup> . ....	86
Figura 4.11 (a) Sistema de memória no laboratório do Imec e (b) pulsos gerados no software do LabView. ....	88
Figura 4.12 Sequência de estados e de polarizações para a programação da célula de .....	88
Figura 4.13 Geração de lacunas próxima ao dreno por ionização por impacto durante a escrita do dado '1' na memória <sup>56</sup> . ....	89
Figura 4.14 Concentração de lacunas na primeira interface durante o estado de repouso <sup>56</sup> . ....	90

Figura 4.15 Fluxo da corrente de elétrons na 2ª interface durante o estado de leitura <sup>56</sup> da memória.....	90
Figura 4.16 Lacunas sendo expelidas através da junção corpo-fonte durante a escrita do dado '0' por acoplamento capacitivo <sup>56</sup> .....	91
Figura 4.17 Diminuição no nível de corrente de elétrons durante a leitura do dado '0'.....	91
Figura 4.18 Margem de sensibilidade da corrente e janela de leitura obtidas através de medidas experimentais.....	92
Figura 4.19 Exemplo de extração do tempo de retenção (T.R) mostrando a degradação da corrente no estado '0'. .....	93
Figura 4.20 Comportamento das correntes $I_0$ e $I_1$ devido a alta polarização na tensão de substrato.....	95
Figura 4.21 Comportamento das correntes $I_0$ e $I_1$ devido a baixa polarização na tensão de substrato.....	96
Figura 4.22 Curvas da corrente de dreno em função de $V_{G, leitura}$ para diferentes polarizações de substrato, obtidas experimentalmente.....	96
Figura 4.23 Aumento da margem de sensibilidade em função da polarização do substrato.....	97
Figura 4.24 Diminuição do tempo de retenção em função da polarização de substrato obtido por resultados (a) experimentais e (b) simulados. ....	98
Figura 4.25 Aumento da corrente de GIDL em função da polarização de substrato para diferentes comprimentos de canal obtidos através de resultados (a) experimentais e (b) simulados. ....	99
Figura 4.26 Margem de sensibilidade da corrente do dispositivo de referência, em função do comprimento de canal para diferentes valores de $V_B$ . ....	101
Figura 4.27 Margem de sensibilidade em função do comprimento de canal, com diferentes valores de $V_B$ para os dispositivos de referência e não auto-alinhado. ....	102
Figura 4.28 Comportamento da corrente de dreno em função do tempo de repouso para comprimentos de canal de 60 nm e 135 nm indicando a redução do tempo de retenção. ....	103
Figura 4.29 Tempo de retenção em função do $L_{eff}$ para as duas tecnologias estudadas e com diferentes valores de $V_B$ .....	103

Figura 4.30 Comportamento do tempo de retenção em função do comprimento de canal, obtido através de simulações numéricas bidimensionais, para as duas tecnologias estudadas.....	104
Figura 4.31 Concentração de lacunas em função do tempo durante o tempo de repouso dos estados '0' e '1'.....	105
Figura 4.32 Taxa de geração ao longo do canal durante o tempo de repouso do estado '0' à 1 nm abaixo da primeira interface para os menores comprimentos de canal dos dispositivos (a) de referência e (b) não auto-alinhado. ....	106
Figura 4.33 Comportamento do campo elétrico ao longo do canal, obtido por simulação numérica bidimensional, dos dispositivos (a) de referência e (b) não auto-alinhado.....	107
Figura 4.34 Curvas características de $I_{DS} \times V_{DS}$ para os dispositivos de referência e não auto-alinhado com as seguintes condições de polarizações: $V_G = V_S = V_B = 0$ .....	108
Figura 4.35 $I_{GIDL}$ em função do comprimento do canal para as duas tecnologias estudadas.....	109
Figura 4.36 Taxa de geração ao longo do canal para os dispositivos não auto-alinhados durante o tempo de repouso do estado '0' (a) considerando o modelo bbt.kane e (b) sem considerá-lo. ....	109
Figura 4.37 Corrente de GIDL em função do tempo de retenção. Uma tendência negativa pode ser vista uma vez que comprimentos de canal mais curtos apresentam maior corrente de GIDL. ....	110
Figura 4.38 Taxa de geração durante a leitura do dado '0' a 1 nm abaixo da primeira interface para os dispositivos de referência e não auto-alinhado.....	111
Figura 4.39 Deslocamento da janela de leitura em função do aumento da temperatura nos dispositivos não auto-alinhados com $V_D = 1,85 V$ e $V_B = 3,5 V$ . ....	112
Figura 4.40 Margem de sensibilidade em função da janela de leitura para diferentes temperaturas com $V_D = 1,85 V$ e $V_B = 3,5 V$ . ....	113
Figura 4.41 Comportamento da corrente de dreno em função do tempo de repouso para diferentes temperaturas em dispositivos não auto-alinhados com $V_D = 1,85 V$ e $V_B = 3,5 V$ . ....	115

## LISTA DE TABELAS

Tabela 3.1 As diferentes engenharias de fonte e dreno, suas características e designações. ....	58
Tabela 3.2 Parâmetros elétricos relacionados à variação da temperatura. ....	60
Tabela 3.3 Os parâmetros elétricos $S$ , $gD$ , DIBL, $VEA$ e $AV$ extraídos em $T = 850C$ para as diferentes configurações de fonte e dreno estudadas. ....	62
Tabela 3.4 Ponto ZTC e o fator de degradação da mobilidade para os diferentes comprimentos de canal para as duas configurações de fonte e dreno estudadas. ....	71
Tabela 4.1 Principais características dos diferentes tipos de memórias. ....	80

## LISTA DE ABREVIATURAS

1T1C-DRAM	One Transistor One Capacitor DRAM
1T-DRAM	One Transistor DRAM
1T-FBRAM	<i>One Transistor Floating Body</i> RAM
BJT	Bipolar Junction Transistor
BTBT	Band to Band Tunneling
CC	Capacitive Coupling
CMOS	Complementary Metal-Oxide-Semiconductor
DIBL	Drain-Induced-Barrier-Lowering
DRAM	Dynamic Random Access Memory
FBJ	Forward Biased Junction
FD	Fully Depleted
GIDL	Gate Induced Drain Leakage
GIFBE	Gate Induced Floating Body Effect
GP	Ground Plane
HDD	High Doped Drain
HfSiO	Silicato de óxido de háfnio
II	Impact Ionization
ITRS	International Technology Roadmap for Semiconductors
IMEC	Interuniversity Microelectronic Center
LDD	Lightly Doped Drain
MEV	Microscópio Eletrônico de Varredura
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MTC	Maximum Transconductance Change
MuGFET	Multi-Gate Field Effect Transistor
PD	Partially Depleted
RAM	Random Access Memory
ROM	Read Only Memory
SCE	Short Channel Effect



SEG	Selective Epitaxial Growth
Si	Silício
SiO <sub>2</sub>	Óxido de Silício
SOI	Silicon-On-Insulator
SRAM	Static Random Access Memory
TiN	Nitreto de Titânio
UTBB	Ultra-Thin Body and Box
UTBOX	Ultra-Thin Buried Oxide
ZTC	Zero Temperature Coefficient

## LISTA DE SÍMBOLOS

$A_V$	Ganho Intrínseco de tensão
$c$	Fator de degradação da transcondutância
$C_D$	Capacitância da camada de depleção por unidade de área [ $F/cm^2$ ]
$C_{OX}$	Capacitância do óxido de porta por unidade de área [ $F/cm^2$ ]
$C_{Si}$	Capacitância da camada de silício por unidade de área [ $F/cm^2$ ]
$d$	Máxima profundidade da camada de depleção da junção de fonte/dreno em dispositivos SOI
$E_C$	Nível energético da faixa de condução
$E_F$	Nível de Fermi
$E_G$	Nível energético da banda proibida
$E_V$	Nível energético da faixa de valência
$g_D$	Condutância de saída [ $\mu S$ ]
$gm$	Transcondutância [ $\mu S$ ]
$gm_{max}$	Transcondutância máxima [ $\mu S$ ]
$I_{DS}$	Corrente elétrica entre dreno e fonte [A]
$I_{GIDL}$	Corrente elétrica do GIDL [A]
$I_{off}$	Corrente elétrica no estado desligado (região de sublimar) [A]
$I_{on}$	Corrente elétrica no estado ligado (região de condução) [A]
$I_{ZTC}$	Corrente elétrica no ponto ZTC [A]
$I_0$	Nível de corrente no estado '0' [A]
$I_1$	Nível de corrente no estado '1' [A]
$k$	Constante de Boltzmann [ $1, 38066 \times 10^{-23}$ J/K]
$L$	Comprimento do canal do transistor [nm]
$L_{eff}$	Comprimento efetivo de canal [nm]
$L_{Porta}$	Comprimento de máscara da porta [nm]
$L_{OL}$	Comprimento da região de <i>overlap</i> [nm]

$L_{UL}$	Comprimento da região de <i>underlap</i> [nm]
$n$	Fator de corpo
$N_a$	Concentração de dopantes na região ativa do transistor SOI
$N_B$	Concentração de impurezas no substrato [cm <sup>-3</sup> ]
$n_i$	Concentração intrínseca de portadores [cm <sup>-3</sup> ]
$q$	Carga elementar do elétron [1,6 x 10 <sup>-19</sup> C]
$Q_{depl}$	Carga total de depleção do filme de silício
$Q_{depl,efetiva}$	Carga de depleção efetiva do filme de silício
$Q_{inv1}$	Densidade de cargas invertidas no canal próximo da 1ª interface
$Q_{OX}$	Densidade de cargas fixas no óxido de porta
$Q_{S2}$	Densidade de cargas no possível canal da 2ª interface
$r_j$	Profundidade da junção de fonte e dreno
$R_{TOTAL}$	Resistência total do dispositivo [Ω]
$S$	Inclinação de sublimiar [mV/dec]
$T$	Temperatura absoluta [K]
$TR$	Tempo de retenção [s]
$t_{ox}$	Espessura do óxido de silício [nm]
$t_{oxb}$	Espessura do óxido enterrado [nm]
$t_{Si}$	Espessura da camada de silício [nm]
$V_B$	Tensão aplicada no substrato [V]
$V_{D,escrita}$	Tensão no dreno necessária para ativar o efeito do BJT
$V_{D,leitura}$	Tensão no dreno durante o estado de leitura
$V_{DS}$	Tensão aplicada entre fonte e dreno do transistor [V]
$V_{EA}$	Tensão Early [V]
$V_{FB}$	Tensão de faixa plana [V]
$V_{G,escrita}$	Tensão na porta durante o estado de escrita [V]
$V_{G,leitura}$	Tensão na porta durante o estado de leitura [V]
$V_{G,repouso}$	Tensão na porta durante o estado de repouso [V]

$V_{GS}$	Tensão entre porta e fonte do MOSFET [V]
$V_{GT}$	Sobretensão de porta [V]
$V_{TH}$	Tensão de limiar do transistor [V]
$V_{T0}$	Tensão de limiar de dispositivo de canal longo
$V_{ZTC}$	Tensão no ponto ZTC [V]
$W$	Largura do canal do transistor [ $\mu\text{m}$ ]
$x_{dmax}$	Profundidade máxima da região de depleção [nm]
$\beta$	Ganho de corrente do transistor bipolar parasitário
$\epsilon_{ox}$	Permissividade do óxido de silício [ $3,45 \times 10^{-13}$ F/cm]
$\epsilon_{Si}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]
$\phi_F$	Potencial de Fermi da camada de silício [V]
$\phi_{MS}, \phi_{MS1}$	Diferença de função trabalho entre metal e semiconductor [V]
$\phi_{MS2}$	Diferença da função trabalho entre o substrato e a camada de silício no transistor SOI [V]
$\phi_{S1}$	Potencial de superfície da primeira interface [V]
$\phi_{S2}$	Potencial de superfície da segunda interface [V]
$\mu_n$	Mobilidade efetiva dos elétrons

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>24</b>
1.1	Objetivo .....	26
1.2	Estrutura do Trabalho.....	27
<b>2</b>	<b>CONCEITOS FUNDAMENTAIS.....</b>	<b>29</b>
2.1	A Tecnologia Silício Sobre Isolante (SOI) .....	29
2.2	Modo de Funcionamento dos SOI MOSFETs .....	30
2.2.1	SOI MOSFET Parcialmente Depletados.....	31
2.2.2	SOI MOSFET Totalmente Depletados.....	32
2.3	Efeito de Canal Curto .....	33
2.4	A Tecnologia UTBOX .....	36
2.5	Principais Parâmetros Elétricos .....	38
2.5.1	A Transcondutância ( $gm$ ) .....	38
2.5.2	A Tensão de Limiar do MOSFET ( $V_{TH}$ ).....	40
2.5.3	O Abaixamento de Barreira Induzida pelo Dreno (DIBL) .....	43
2.5.4	O Ponto de Polarização de Porta Invariante com a Temperatura(ZTC).....	44
2.5.5	A inclinação de sublimiar ( $S$ ).....	47
2.5.6	A Corrente de Fuga do Dreno Induzida pela Porta (GIDL) .....	47
2.5.7	O ganho de corrente do transistor bipolar parasitário ( $\beta$ ) .....	48
2.5.8	A razão $gm/I_{DS}$ .....	50
2.5.9	A Condutância de saída ( $g_D$ ).....	51
2.5.10	A Tensão Early ( $V_{EA}$ ) .....	52
2.5.11	Ganho de Tensão Intrínseco do MOSFET ( $A_V$ ).....	53
<b>3</b>	<b>TRANSISTORES UTBOX SOI NÃO AUTO-ALINHADOS.....</b>	<b>54</b>
3.1	Introdução .....	54
3.2	Características dos dispositivos medidos.....	57
3.3	O impacto da temperatura no desempenho elétrico das diferentes junções de fonte e dreno <sup>49</sup> .....	59
3.4	O impacto do escalamento do comprimento de canal no desempenho elétrico das diferentes junções de fonte e dreno <sup>50</sup> .....	65
3.4.1	Principais Parâmetros Elétricos .....	65
3.4.1.1	A tensão de limiar .....	65

3.4.1.2	O DIBL e a inclinação de sublimiar .....	66
3.4.1.3	A razão $I_{on}/I_{off}$ .....	68
3.4.1.4	A corrente de fuga pelo dreno induzida pela porta (GIDL) .....	69
3.4.1.5	O Ponto invariante com a temperatura (ZTC) .....	70
3.4.1.6	A condutância de saída ( $g_D$ ) .....	71
3.4.1.7	A razão $gm/I_{DS}$ .....	72
3.4.1.8	A tensão Early ( $V_{EA}$ ) .....	73
3.4.1.9	O ganho intrínseco de tensão ( $A_V$ ) .....	74
<b>4</b>	<b>TRANSISTORES UTBOX SOI COMO CÉLULA DE MEMÓRIA DINÂMICA</b> .....	<b>76</b>
4.1	Introdução .....	76
4.2	Programação do estado '1' .....	81
4.2.1	Ionização por impacto (II) .....	81
4.2.2	Efeito do transistor bipolar parasitário (BJT).....	82
4.2.3	Efeito da corrente de fuga do dreno induzida pela porta (GIDL) ..	83
4.2.4	Efeito do corpo flutuante induzido pela porta (GIFBE).....	84
4.3	Programação do estado '0' .....	85
4.3.1	O acoplamento capacitivo .....	85
4.3.2	Polarização direta da junção (FBJ).....	86
4.4	Parâmetros fundamentais e método de extração.....	87
4.4.1	Esquema de polarização em função do tempo para a programação da 1T-DRAM.....	87
4.4.2	A margem de sensibilidade da corrente e a janela de leitura .....	92
4.4.3	Tempo de retenção.....	93
4.5	Características dos dispositivos medidos.....	94
4.6	A influência da polarização do substrato ( $V_B$ ) nos parâmetros dinâmicos de memória.....	95
4.6.1	A margem de sensibilidade e a janela de leitura .....	96
4.6.2	Tempo de retenção.....	98
4.6.3	A corrente de fuga do dreno induzida pela porta (GIDL) .....	98
4.7	A influência do comprimento de canal nos parâmetros dinâmicos de memória <sup>51</sup> .....	100
4.7.1	Margem de sensibilidade.....	100
4.7.2	Tempo de retenção.....	102

4.7.3	Mecanismo responsável pela diminuição do tempo de retenção em dispositivos de canal curto.....	105
4.7.3.1	<i>A corrente de fuga do dreno induzida pela porta (GIDL).....</i>	108
4.8	A influência da temperatura nos parâmetros dinâmicos da memória 1T-DRAM em dispositivos não auto-alinhados.....	112
4.8.1	Janela de leitura .....	112
4.8.2	Margem de sensibilidade.....	113
4.8.3	Tempo de retenção.....	113
<b>5</b>	<b>CONCLUSÕES FINAIS E PROPOSTAS PARA TRABALHOS FUTUROS</b> .....	<b>116</b>
5.1	Conclusões finais .....	116
5.2	Propostas para continuação do trabalho.....	119
	<b>PUBLICAÇÕES GERADAS .....</b>	<b>120</b>
	<b>REFERÊNCIAS.....</b>	<b>124</b>
	<b>ANEXO A .....</b>	<b>133</b>
	<b>ANEXO B .....</b>	<b>139</b>

# 1 INTRODUÇÃO

A memória de acesso aleatório com corpo flutuante (FBRAM) vem sendo estudada desde 1978, quando o conceito de alterar o potencial do corpo através da injeção ou remoção de cargas foi proposto pela primeira vez em substrato de safira sobre isolante<sup>1</sup>. Recentemente, diferentes métodos foram reportados na literatura com o intuito de se colocar em prática esse conceito, dentre os quais a combinação da ionização por impacto (II) com o efeito do transistor bipolar parasitário (BJT – *Bipolar Junction Transistor*) que apresentou o melhor desempenho em termos de tempo de retenção e margem de sensibilidade<sup>2</sup>. A Figura 1.1 apresenta a evolução do uso das células de memória ao longo dos anos.

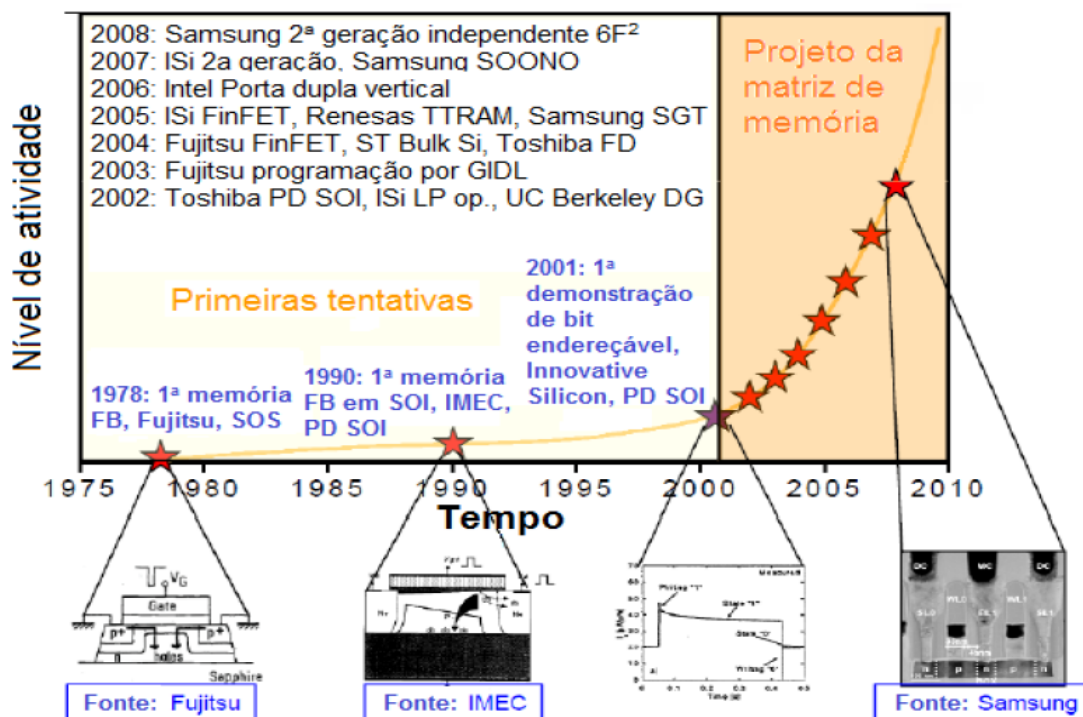


Figura 1.1 Os 30 anos de história da memória de corpo flutuante<sup>3</sup>.

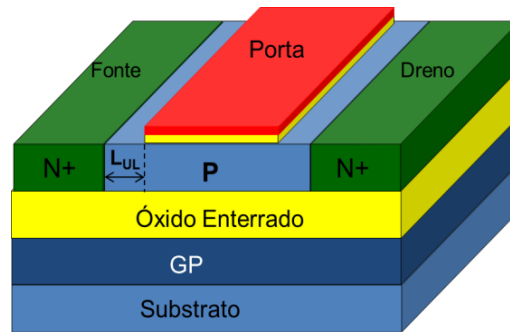
Do escalamento do óxido enterrado da tecnologia silício sobre isolante (SOI) originou-se os dispositivos chamados de óxido enterrado ultrafino, cuja sigla UTBOX provém do inglês *Ultra-Thin Buried Oxide*. Esses dispositivos



apresentam características muito interessantes a respeito dos efeitos de canal curto, graças à redução do acoplamento eletrostático entre as regiões do canal e do dreno<sup>4</sup>. A principal e mais importante vantagem da tecnologia UTBOX SOI totalmente depletada, para aplicações em memórias de corpo flutuante, é apresentar um melhor controle da tensão de limiar através da polarização de substrato<sup>3,4</sup>. Essa característica pode ser ainda mais aprimorada através da implantação de uma região chamada de plano de terra (GP – *ground plane*) que suprime a região de depleção abaixo do óxido enterrado<sup>5</sup>. Entretanto, os dispositivos UTBOX são excelentes candidatos para aplicações em FBRAM uma vez que a alta tensão no dreno necessária para ativar o efeito BJT pode ser reduzida através do aumento da polarização do substrato<sup>6</sup>.

Com o avanço da tecnologia, um dos maiores problemas encontrados para a aplicação de células de memória de apenas um transistor nas gerações tecnológicas futuras, é o tempo de retenção que diminui juntamente com o comprimento do canal dos transistores. Além disso, esse parâmetro dinâmico precisa ser melhorado para atingir as especificações de memória DRAM convencional da ITRS (*International Technology Roadmap for Semiconductor*) de 64 ms<sup>7</sup>. A fim de superar a diminuição do tempo de retenção com a redução do comprimento de canal do transistor, diferentes engenharias de fonte e dreno foram propostas combinadas com a tecnologia UTBOX visando melhorar o desempenho dos dispositivos.

No que diz respeito à engenharia de fonte e dreno, quando se elimina a implantação das regiões levemente dopadas conhecidas como LDD (*Light Doped Drain*), passando então a porta ser não auto-alinhada às regiões de fonte de dreno (*underlap*), as características dos dispositivos tornam-se melhores, principalmente na região de sublimiar. Esses novos dispositivos também são conhecidos como dispositivos sem extensões, onde a representação do esquemático pode ser visto na Figura 1.2.



**Figura 1.2** Representação esquemática de um dispositivo sem as extensões de fonte e dreno, onde  $L_{UL}$  representa o comprimento das regiões de subposição de porta.

O uso dos dispositivos sem extensões de fonte e dreno em aplicações como células de memória mostra-se muito vantajoso até mesmo em altas temperaturas, já que se consegue com esses dispositivos um melhor escalamento da tecnologia com maior tempo de retenção e margem de sensibilidade e ainda, menor fuga de corrente induzida pela porta (GIDL).

### 1.1 Objetivo

O objetivo do presente trabalho é realizar um estudo sobre o comportamento dos transistores não auto-alinhados em aplicações de células de memória 1T-DRAM utilizando dispositivos UTBOX SOI. A dependência dos parâmetros estáticos, tais como, tensão de limiar, inclinação de sublimiar, GIDL, etc e dinâmicos como tempo de retenção, margem de sensibilidade e janela de leitura em função do comprimento de canal, da temperatura e da polarização de substrato serão investigados com o intuito de se achar as condições ótimas de operação da célula de memória. Como é sabido que o tempo de retenção da informação na célula de memória sofre degradação à medida que se diminui o comprimento de canal da tecnologia, os mecanismos responsáveis por essa degradação serão identificados.

Os principais resultados experimentais foram verificados e analisados através de simulações numéricas bidimensionais para se confirmar os

mecanismos envolvidos possibilitando assim, o entendimento da tendência obtida.

O comportamento dos dispositivos não auto-alinhados serão comparados ao comportamento dos dispositivos de referência a fim de se avaliar em qual tecnologia deve-se investir nas futuras gerações de memória 1T-DRAM.

## 1.2 Estrutura do Trabalho

Este trabalho está dividido em cinco capítulos, cujos conteúdos são apresentados a seguir:

**Capítulo 1 – Introdução:** Este capítulo descreve a importância e a motivação do trabalho assim como o objetivo e a estrutura do texto.

**Capítulo 2 – Conceitos fundamentais:** Neste capítulo é apresentada uma revisão bibliográfica dos principais parâmetros elétricos da tecnologia SOI e ainda a tecnologia UTBOX e suas principais características.

**Capítulo 3 – Transistores UTBOX SOI não auto-alinhados:** Com a definição da tecnologia UTBOX já conhecida, neste capítulo serão introduzidos a definição da estrutura UTBOX SOI não auto-alinhada bem como os estudos sobre a influência da variação da temperatura e do escalamento do comprimento do canal nos principais parâmetros elétricos e analógicos dessa tecnologia.

**Capítulo 4 – Transistores UTBOX SOI como célula de memória:** O capítulo 4 apresenta um amplo estudo sobre a célula de memória 1T-DRAM. No início do capítulo, os métodos de escrita e leitura dos dados '0' e '1' são apresentados e, a partir disso, as definições dos parâmetros dinâmicos fundamentais e que caracterizam uma célula de memória são introduzidas. Os estudos sobre a influência da polarização do substrato, do comprimento de

canal e do aumento da temperatura são apresentados através de medidas experimentais e confirmados por simulações numéricas bidimensionais.

**Capítulo 5 – Conclusões finais e propostas para trabalhos futuros:**

Finalmente, neste capítulo, são apresentadas as conclusões finais do presente trabalho, suas considerações e ainda, algumas propostas para trabalhos futuros.

## 2 CONCEITOS FUNDAMENTAIS

Neste capítulo, serão apresentados os conceitos básicos das tecnologias SOI e UTBOX, assim como uma revisão bibliográfica dos principais parâmetros elétricos digitais e analógicos necessários para o entendimento de seus desempenhos.

### 2.1 A Tecnologia Silício Sobre Isolante (SOI)

A tecnologia de filmes finos de Silício Sobre Isolante (*Silicon-On-Insulator*) tornou-se uma área de intensa pesquisa, pois oferece muitas vantagens em relação à tecnologia MOSFET convencional para aplicações em circuitos digitais de alta velocidade<sup>8</sup>. A característica mais importante dessa tecnologia é a presença de um material isolante, como exemplo, o dióxido de silício, capaz de separar a região ativa do transistor (fina camada de silício onde são construídos a fonte, o canal e o dreno) do substrato reduzindo ou eliminando alguns efeitos parasitários indesejáveis.

Combinando o uso da lâmina SOI com técnicas de isolamento lateral, circuitos completamente livres do efeito tiristor parasitário (*latch up*) podem ser fabricados devido a não existência de junções PNP. Adicionalmente, a redução das capacitâncias e correntes de fuga; a maior densidade de empacotamento dos dispositivos e as interconexões mais curtas também são vantagens inerentes à tecnologia SOI<sup>9</sup>.

A Figura 2.1 ilustra a perspectiva de um transistor SOI nMOSFET indicando as espessuras do óxido de porta ( $t_{oxf}$ ), da camada de silício ( $t_{si}$ ) e do óxido enterrado ( $t_{oxb}$ ), e a representação das três interfaces (silício/óxido e silício/substrato) presentes na estrutura SOI.



Figura 2.1 Perfil transversal de um SOI MOSFET.

## 2.2 Modo de Funcionamento dos SOI MOSFETs

A tecnologia SOI é classificada de acordo com a espessura da camada de silício ( $t_{Si}$ ) sobre o isolante; a concentração de dopantes na região ativa ( $Na$ ) do canal e a temperatura<sup>10</sup>. Podem-se obter dispositivos de camada espessa que funcionam como parcialmente depletados (PD – *Partially Depleted*) e de camada fina que funcionam como totalmente depletados (FD – *Fully Depleted*), dependendo da espessura da camada de silício e da depleção máxima ( $x_{dmax}$ ) que, em dispositivos fabricados com a tecnologia MOSFET convencional, é dada pela equação 2.1. A região de depleção máxima estende-se a partir da interface Si-SiO<sub>2</sub> até  $x_{dmax}$ <sup>10</sup>.

$$x_{dmax} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{qNa}} \quad 2.1$$

O potencial de Fermi ( $\phi_F$ ) em função da concentração de dopantes do substrato é determinado pela equação 2.2<sup>10</sup>.

$$\phi_F = \frac{kT}{q} \ln \frac{Na}{ni} \quad 2.2$$

Nas equações acima  $\varepsilon_{Si}$  é a permissividade do silício,  $q$  é a carga elementar do elétron,  $k$  é a constante de Boltzmann;  $T$  é a temperatura absoluta e  $n_i$  é a concentração intrínseca de portadores.

### 2.2.1 SOI MOSFET Parcialmente Depletados

Nos dispositivos SOI MOSFET parcialmente depletados nunca haverá interação entre as regiões de depleção provenientes da primeira e segunda interfaces, pois a espessura da camada de silício ( $t_{Si}$ ) é maior que duas vezes a profundidade de depleção máxima<sup>10</sup> ( $x_{dmax}$ ) ou seja:

$$t_{Si} > 2x_{dmax}$$

**2.3**

Sendo assim, se a região neutra existente entre as regiões de depleção for ligada por um contato elétrico (contato de corpo), o comportamento do dispositivo será idêntico a um MOSFET convencional. Se não houver contato de corpo, o mesmo estará eletricamente flutuando favorecendo o aparecimento de efeitos parasitários indesejáveis como o efeito de elevação abrupta de corrente (*kink effect*) e o efeito bipolar parasitário (*parasitic bipolar effect*) entre fonte e dreno<sup>11,12</sup>.

A Figura 2.2 mostra o diagrama de faixas de energia de um SOI MOSFET parcialmente depletado onde  $E_F$  é o nível de Fermi;  $E_{FM}$  é o nível de Fermi do metal;  $E_C$  é o nível energético da faixa de condução;  $E_V$  é o nível energético da faixa de valência e  $E_{FB}$  é o nível de energia de faixa plana.

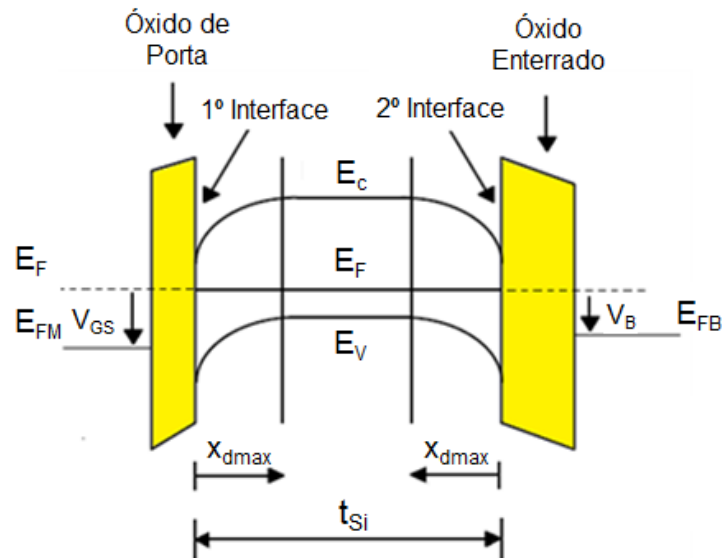


Figura 2.2 Diagrama de Faixas de Energia de um SOI MOSFET parcialmente depletado<sup>10</sup>.

### 2.2.2 SOI MOSFET Totalmente Depletados

Em dispositivos SOI MOSFETs totalmente depletados, a espessura do filme de silício ( $t_{Si}$ ) é menor que a profundidade de depleção máxima<sup>10</sup>, ou seja:

$$t_{Si} < x_{dmax}$$

**2.4**

Nesse modo de funcionamento, a camada de silício ficará depletada quando a tensão de limiar for aplicada na porta, independente da tensão aplicada no substrato. Dentre os tipos de dispositivos SOI, os totalmente depletados com a segunda interface depletada exibem as propriedades elétricas mais atrativas como aumento da transcondutância<sup>13</sup>, diminuição da inclinação de sublimiar<sup>14</sup>, redução dos efeitos de canal curto<sup>15</sup>, eliminação do efeito *kink*<sup>16</sup>, redução do campo elétrico<sup>17</sup>, entre outras.

A Figura 2.3 mostra o diagrama de faixas de energia de um SOI MOSFET totalmente depletado.



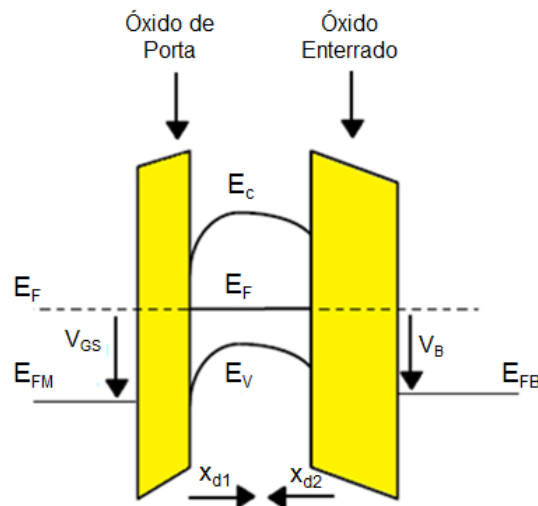


Figura 2.3 Diagrama de Faixas de Energia de um SOI MOSFET totalmente depletado<sup>10</sup>.

### 2.3 Efeito de Canal Curto

Conforme as dimensões dos transistores diminuem, as junções de fonte e dreno se aproximam e passam a controlar uma parte significativa das cargas da região de depleção sob o canal, que antes eram controladas integralmente pela tensão na porta. Sendo assim, a porta perde parte do controle da região de depleção abaixo dela, ou seja,  $Q_{depl,efetiva} < Q_{depl}$ .

Em função da redução dessas dimensões e, conseqüentemente, da redução do canal, há o aparecimento de vários efeitos indesejáveis chamados de efeitos de canal curto (SCE – *Short Channel Effects*). Entre esses efeitos destacam-se a redução da tensão de limiar e, o aumento da inclinação de sublimiar<sup>10</sup>.

A carga de depleção controlada pela porta nos MOSFETs convencionais de canal longo é dada pela equação 2.5:

$$Q_{depl} = q \cdot Na \cdot x_{dmax}$$

2.5

Para MOSFETs de canal curto, a carga de depleção controlada pela porta é dada pela equação 2.6, onde  $r_j$  é a profundidade da junção de fonte e dreno.

$$Q_{depl,efetiva} = Q_{depl} \left[ 1 - \frac{r_j}{L} \left( \sqrt{1 + \frac{2x_{dmax}}{r_j}} - 1 \right) \right] \quad 2.6$$

Já em transistores SOI MOSFETs totalmente depletados, o substrato participa do compartilhamento da carga de depleção com a porta, fonte e dreno influenciando na redução da tensão de limiar. A carga de depleção efetiva controlada pela porta é dada pela equação 2.7<sup>18</sup>, onde  $N_B$  é a concentração de impurezas do substrato.

$$Q_{depl,efetiva} = q \cdot N_B \cdot t_{Si} \left( 1 - \frac{d}{L} \right) \quad 2.7$$

Esses dispositivos apresentam menor efeito de canal curto que dispositivos MOSFETs convencionais em relação à redução do comprimento de canal, embora a magnitude desses efeitos dependa da espessura do filme de silício<sup>15</sup>. A Figura 2.4 mostra a influência da redução do comprimento de canal nos dispositivos (a) MOSFETs convencionais e nos (b) SOI MOSFETs totalmente depletados.

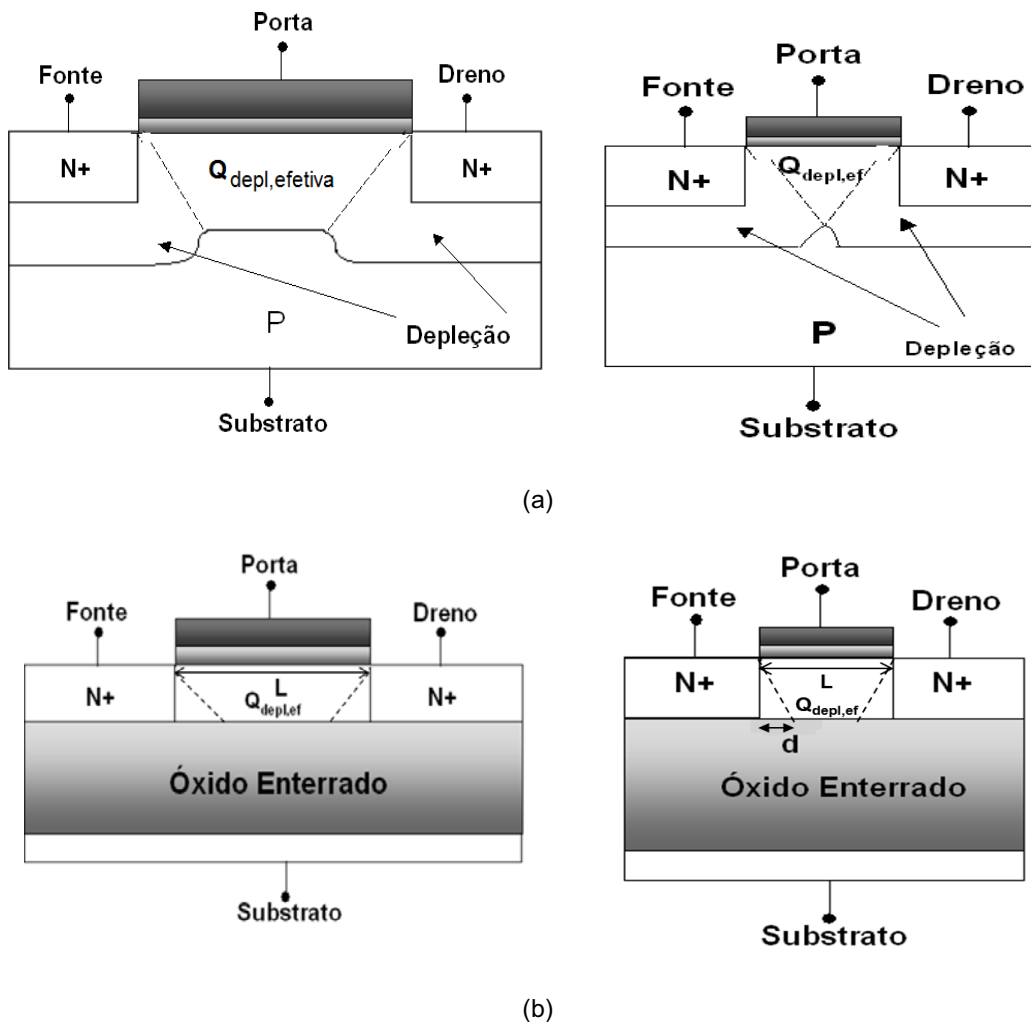


Figura 2.4 Distribuição das regiões de depleção em (a) MOSFETs convencionais e (b) SOI totalmente depletados.

Como mostrado na Figura 2.4, a quantidade de carga total efetivamente controlada pela porta, em dispositivos SOI de canal curto é maior se comparada com os dispositivos MOSFETs convencionais<sup>10,18</sup>.

A variação relativa da tensão de limiar em função do comprimento de canal em dispositivos MOSFET convencional e SOI MOSFET totalmente depletado é mostrada na Figura 2.5. Observa-se que os dispositivos SOI apresentam uma menor redução da tensão de limiar com o comprimento de canal se comparado aos dispositivos MOSFETs convencionais.

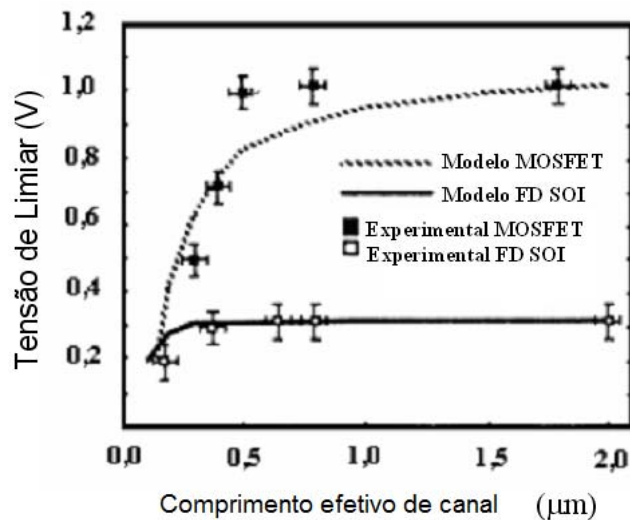


Figura 2.5 Queda da tensão de limiar em função do comprimento do canal dos dispositivos (a) MOSFET convencional e (b) SOI MOSFET totalmente depletado<sup>10</sup>.

## 2.4 A Tecnologia UTBOX

Nos dispositivos SOI totalmente depletados, o melhor controle dos efeitos de canal curto pode ser atribuído principalmente à redução da espessura do filme de silício. Entretanto, com o intuito de prosseguir com o escalamento nas gerações tecnológicas futuras e reduzir os efeitos de acoplamento entre as regiões de fonte e dreno, se faz necessário o uso de um dispositivo que apresente um óxido enterrado com espessura muito fina, o qual pode ser encontrado na tecnologia UTBOX (*Ultra-Thin Buried Oxide*)<sup>19</sup>.

As estruturas com UTBOX apresentam características interessantes em termos de efeito de canal curto uma vez que aumentam o acoplamento eletrostático entre a porta e a região do canal. Uma das principais vantagens dessa tecnologia é sua tensão de limiar que pode ser ajustada através da polarização do substrato<sup>20</sup>.

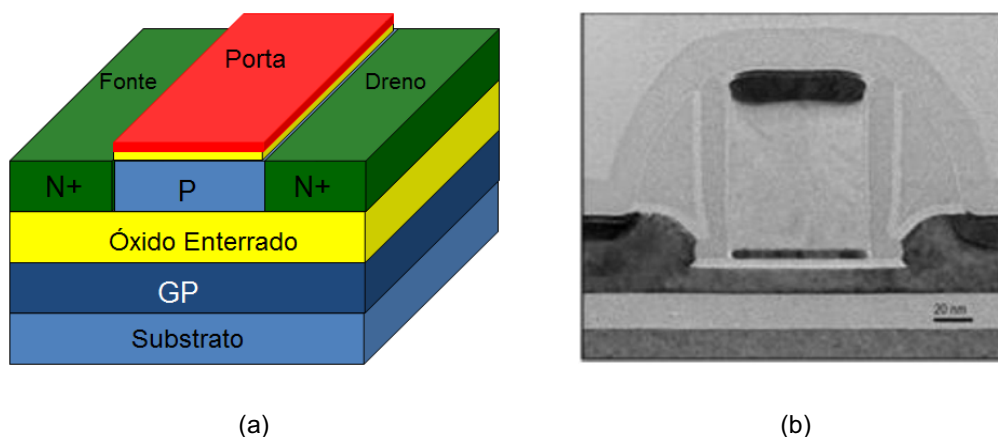
A literatura reporta<sup>19,20,21</sup> que as vantagens de uma estrutura com UTBOX tornam-se mais efetivas se na mesma for inserida uma região mais dopada

( $1 \times 10^{18} \text{ cm}^{-3}$ ) sob o óxido enterrado. Essa região é chamada de plano de terra (*Ground Plane - GP*) e minimiza a região de depleção no substrato que dependendo da polarização pode alterar as características elétricas do transistor. Ao longo do texto a chamaremos simplesmente de GP.

A combinação de uma estrutura UTBOX mais a região de plano de terra oferece um ajuste mais simples da tensão de limiar através da polarização do substrato, sem a necessidade de se aumentar a concentração de dopantes da região do canal. Entretanto, para manter a polarização do substrato em valores razoavelmente baixos, a espessura do óxido enterrado deve ser menor ou igual a 10 nm e, para que a tecnologia seja efetivamente considerada como UTBOX é necessário que a espessura do óxido enterrado seja menor que  $50 \text{ nm}^{22}$ .

Um escalamento mais agressivo da tecnologia CMOS onde além da redução do óxido enterrado se reduz também a espessura da camada de silício, resulta na tecnologia chamada de UTBB (*Ultra-Thin Body and Box*). Na literatura, dispositivos com  $t_{Si} < 10 \text{ nm}$  são considerados UTBB.

A Figura 2.6(a) e Figura 2.6(b) ilustram (a) o esquemático de uma estrutura UTBOX SOI totalmente depletada e (b) obtida através do microscópio eletrônico de varredura (MEV), respectivamente.



**Figura 2.6** Estrutura de um transistor UTBOX SOI totalmente depletado (a) na sua forma simplificada e (b) obtida através do MEV.

Uma das últimas aplicações para a tecnologia UTBOX e que vem sendo amplamente estudada, é no uso de células de memória de apenas um transistor, também chamada de 1T-DRAM. No capítulo 4 será apresentado detalhadamente um estudo do UTBOX nesta aplicação.

## 2.5 Principais Parâmetros Elétricos

### 2.5.1 A Transcondutância ( $gm$ )

A transcondutância é o parâmetro que determina a taxa de variação (derivada) da corrente de dreno ( $I_{DS}$ ) em relação à tensão aplicada na porta ( $V_{GS}$ ), ou seja, determina a eficácia do controle da tensão aplicada na porta sobre a corrente de dreno e seu valor é obtido por:

$$gm = \frac{dI_{DS}}{dV_{GS}} \quad 2.8$$

O modelo de Lim & Fossum<sup>23</sup> descreve as equações da corrente através das quais se obtêm as medidas da transcondutância de transistores SOI nas regiões de triodo ( $gm_{triado}$ ) (2.9) e saturação ( $gm_{sat}$ ) (2.10):

Região de triodo:

$$gm_{triado} = \frac{dI_{DS}}{dV_{GS}} = \mu_n C_{ox} \frac{W}{L} V_{DS} \quad 2.9$$

Região de saturação:

$$gm_{sat} = \frac{dI_{DS_{sat}}}{dV_{GS}} = \frac{\mu_n C_{ox} W}{nL} (V_{GS} - V_{TH}) \quad 2.10$$

Nas equações acima,  $\mu_n$  é a mobilidade efetiva dos elétrons;  $W$  é a largura do canal;  $L$  é o comprimento do canal do transistor e  $n$  é o fator de corpo sendo menor nos SOI totalmente depletados.

A Figura 2.7 representa os comportamentos obtidos através de medidas experimentais, das curvas da corrente de dreno em função da tensão aplicada à porta e sua respectiva derivada (transcondutância) com  $V_{DS}$  de 50 mV.

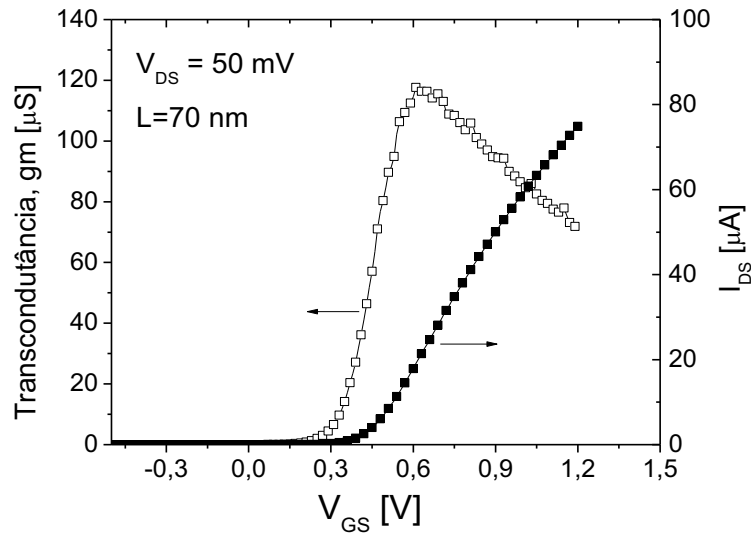


Figura 2.7 Exemplos de curvas da corrente de dreno e da transcondutância em função da tensão aplicada à porta para  $V_{DS}$  de 50 mV, obtidas através de medidas experimentais.

Dependendo do tipo de funcionamento do transistor, o fator de corpo pode ser determinado pelas equações a seguir<sup>10</sup>:

$$n_{MOSFET} = 1 + \frac{C_D}{C_{OX}} \quad \text{MOSFET convencional ou SOI} \quad \mathbf{2.11}$$

MOSFET parcialmente depletado.

Onde  $C_D = \frac{\epsilon_{Si}}{x_{dmax}}$  e  $C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$  são a capacitância da camada de depleção e a capacitância do óxido de porta, por unidade área, respectivamente.

$$n_{acc} = 1 + \frac{C_{Si}}{C_{OX}} \quad \text{SOI MOSFET totalmente depletado com segunda} \quad \mathbf{2.12}$$

interface acumulada.

Onde  $C_{Si} = \frac{\epsilon_{Si}}{t_{Si}}$  é a capacitância do silício por unidade de área.

$$n_{depl} = 1 + \frac{C_{Si}C_{OX}}{C_{OX}(C_{Si}+C_{oxb})} \quad \text{SOI MOSFET totalmente depletado com} \quad \mathbf{2.13}$$

segunda interface depletada.

Onde  $C_{oxb}$  é a capacitância do óxido enterrado por unidade de área.

Sendo assim, uma maior transcondutância é obtida nesses transistores se comparado aos MOSFETs convencionais.

### 2.5.2 A Tensão de Limiar do MOSFET ( $V_{TH}$ )

A tensão de limiar é a tensão aplicada à porta capaz de formar uma camada de inversão na interface  $\text{SiO}_2$ / filme de silício do transistor. Nessa condição, o potencial de superfície é elevado para  $2\phi_F$ . Para os MOSFETs convencionais e os SOI MOSFETs parcialmente depletados, a tensão de limiar pode ser expressa por<sup>10</sup>:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{qN_a x_{dmax}}{C_{OX}} \quad \mathbf{2.14}$$

Onde, a tensão de faixa plana ( $V_{FB}$ ) é dada por  $V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}}$ , sendo que  $\phi_{MS}$  é a diferença da função trabalho entre o metal de porta e o silício,  $Q_{OX}$  é a densidade de carga fixa no óxido de porta por unidade de área e ainda,  $C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$  é a capacitância do óxido de porta por unidade de área.

As tensões de limiar dos dispositivos SOI totalmente depletados, onde existe uma interação entre os potenciais da primeira ( $\phi_{S1}$ ) e segunda ( $\phi_{S2}$ )



interfaces, podem ser obtidas segundo o modelo de Lim & Fossum<sup>23</sup> em três condições:

- a) Se a segunda interface estiver acumulada:  $\phi_{S1} = 2\phi_F$ ;  $\phi_{S2} = 0$ ;  $Q_{inv1} = 0$  e então a tensão de limiar é determinada pela equação 2.15<sup>10</sup>.

$$V_{TH1,acc2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad 2.15$$

Onde, a carga total em depleção no filme de silício é  $Q_{depl} = -qNat_{Si}$ .

**Os índices 1 e 2 dos parâmetros mencionados referem-se à 1ª interface (óxido de porta/ canal de silício) e 2ª interface (canal de silício/ óxido enterrado), respectivamente.**

- b) Se a segunda interface estiver invertida:  $\phi_{S2} = 2\phi_F$ ;  $\phi_{S1} = 2\phi_F$ ;  $Q_{inv1} = 0$  e então a tensão de limiar é determinada pela equação 2.16<sup>10</sup>:

$$V_{TH1,inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad 2.16$$

Neste caso, o dispositivo sempre estará conduzindo corrente elétrica (estado ligado) mesmo se  $V_{GS} < V_{TH1}$  uma vez que há uma inversão de cargas na parte de baixo do filme de silício, conectando assim a fonte e o dreno. Com tal situação, torna-se inviável a aplicação prática em circuitos integrados nessas condições.

- c) Se a segunda interface estiver depletada:  $\phi_{S1} = 2\phi_F$ ;  $0 < \phi_{S2} < 2\phi_F$ ;  $Q_{inv1} = Q_{S2} = 0$  e então a tensão de limiar é determinada pela equação 2.17<sup>10</sup>:

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})} (V_{G2} - V_{G2,acc}) \quad 2.17$$

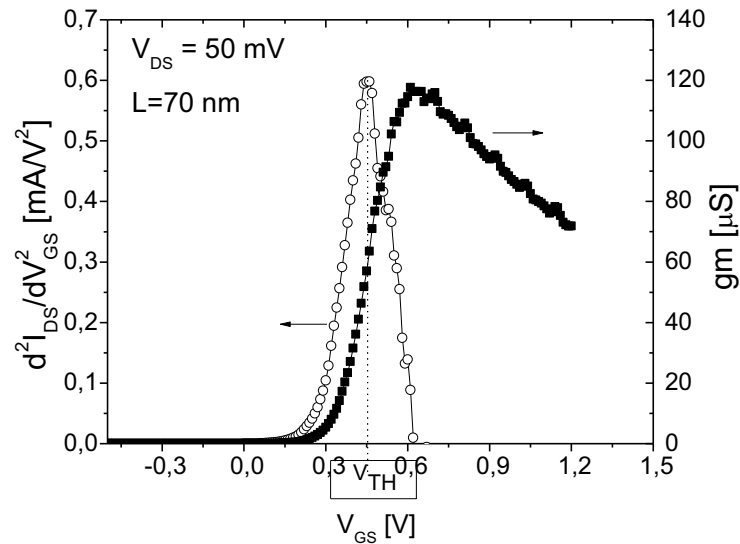
O valor de  $V_{B,acc}$  por sua vez, é determinado pela equação 2.18:

$$V_{B,acc2} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + \frac{qNat_{Si}}{2C_{OX2}} - \left(\frac{C_{Si}}{C_{OX2}}\right)2\phi_F \quad 2.18$$

Essas relações são válidas se as espessuras das camadas de acumulação e inversão forem pequenas em relação à espessura do filme de silício. A teoria clássica da tensão de limiar prevê uma redução na mesma, com a diminuição da espessura da camada de silício, devido à redução das cargas de depleção ( $q \cdot Na \cdot t_{Si}$ ), assumindo que a concentração de dopantes é constante<sup>10</sup>. Porém, em dispositivos com a espessura do filme de silício ultra-fina ( $t_{Si} < 10 \text{ nm}$ ) haverá uma interação mais forte entre os potenciais da 1ª e 2ª interfaces, podendo influenciar no valor da tensão de limiar<sup>10</sup>.

Há vários métodos reportados na literatura para se extrair a tensão de limiar<sup>24,25,26,27,28</sup>. Um desses métodos e o mais utilizado dentre todos é o *MTC – Maximum Transconductance Change*<sup>29,30</sup> onde, segundo este, a tensão de limiar é definida quando a derivada da transcondutância atingir seu valor máximo.

A Figura 2.8 ilustra um exemplo do comportamento da derivada da curva da transcondutância em função da tensão aplicada à porta, obtida através de medidas experimentais, para determinação da tensão de limiar na região de triodo com  $V_{DS}$  de 50 mV.



**Figura 2.8** Exemplos de curvas experimentais da transcondutância e de sua derivada em função da tensão aplicada à porta para determinação da tensão de limiar, com  $V_{DS} = 50$  mV.

### 2.5.3 O Abaixamento de Barreira Induzida pelo Dreno (DIBL)

O efeito do DIBL tem recebido atenção especial nos últimos anos com o intuito de se avaliar o desempenho de novos dispositivos<sup>31</sup>. O DIBL é um efeito de canal curto que mostra a mudança da tensão de limiar com a variação da tensão aplicada no dreno.

À medida que o comprimento de canal dos transistores diminui, a distância geométrica entre fonte e dreno torna-se muito pequena. Como consequência, a parcela de cargas controladas pelas regiões de fonte e dreno torna-se significativa mediante a região controlada apenas pela porta<sup>32</sup>. Com a utilização cada vez maior de dispositivos dopados intrinsicamente e com a constante diminuição dos níveis de tensão de operação, um potencial no dreno que influencia a barreira de potencial entre canal e fonte acaba sendo mais facilmente alcançado<sup>33</sup>.

O efeito de DIBL mostra o quanto a tensão de limiar é afetada quando um potencial é aplicado no dreno, provocando a diminuição desse parâmetro. É desejado que a tensão de limiar seja um parâmetro constante e quanto menos ela variar, melhor e mais confiável será o dispositivo<sup>34</sup>.

Em um transistor com comprimento de canal reduzido, o aumento de  $V_{DS}$  altera a barreira de potencial junto à fonte, gerando uma diminuição na barreira de potencial que resulta no DIBL. Ao aplicar um maior potencial no dreno, a barreira de potencial que limita a passagem dos portadores para a fonte diminui, o que explica o nome dado ao efeito. Sendo assim, com a diminuição da barreira na fonte induzida pelo dreno, os portadores atravessam o canal com maior facilidade reduzindo desta forma a tensão de limiar<sup>34</sup> na região de saturação.

O valor do DIBL pode ser determinado através da equação 2.19<sup>34</sup>:

$$DIBL(mV/V) = \frac{V_{TH1}(V_{DS1}) - V_{TH2}(V_{DS2})}{V_{DS1} - V_{DS2}} \quad 2.19$$

O método utilizado para extrair a tensão de limiar na saturação consiste em estabelecer um nível de corrente elétrica na região de limiar, onde geralmente estipula-se um patamar de corrente no valor de  $10^{-7}$  W/L. Assim, na curva em saturação, obtém-se o valor de  $V_{TH}$  no ponto em que a corrente corresponder a este patamar<sup>35</sup>.

#### 2.5.4 O Ponto de Polarização de Porta Invariante com a Temperatura(ZTC)

O ponto ZTC (*Zero Temperature Coefficient*) ocorre devido a uma compensação mútua proveniente da diminuição da tensão de limiar, que se desloca a valores menores de  $V_{GS}$  e aumenta a corrente de dreno e; da degradação da mobilidade, que diminui por sua vez a corrente elétrica com o aumento da temperatura<sup>38</sup>. Essa compensação pode gerar um único ponto característico na curva de  $I_{DS} \times V_{GS}$  conhecido como ponto ZTC, como pode ser visto na Figura 2.9, obtida através de medidas experimentais.

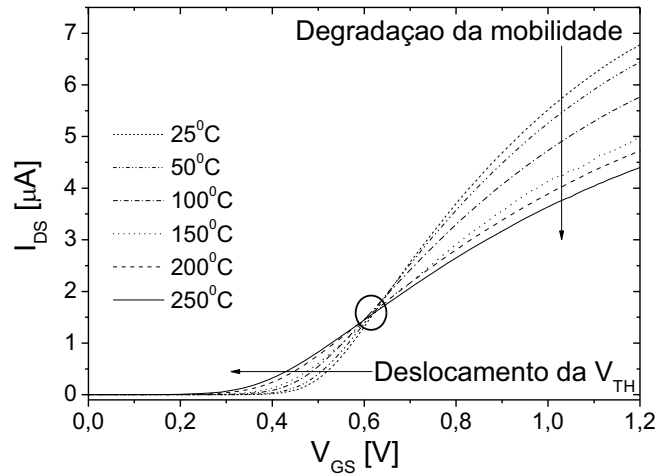


Figura 2.9 Exemplo de curvas da  $I_{DS} \times V_{GS}$  para diferentes temperaturas na região linear.

O ponto ZTC é uma solução encontrada para polarizar os dispositivos de modo a ficarem menos sensíveis às variações de temperatura.

Na região linear, a equação de  $V_{ZTC}$  pode ser descrita como<sup>36</sup>:

$$V_{ZTC} = \frac{V_{TH1} - \left(\frac{T_1}{T_2}\right)^c (V_{TH1} + \frac{dV_{TH}}{dT} (T_2 - T_1))}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{nV_{DS}}{2} \quad 2.20$$

Onde,  $V_{TH1}$  é a tensão limiar para a temperatura ambiente ( $T_1$ ),  $T_2$  é uma temperatura maior que  $T_1$ ,  $n$  é o parâmetro que indica o controle da porta sobre o potencial de superfície da primeira interface<sup>37</sup> e  $c$  é o fator de degradação da transcondutância.

$\frac{dV_{TH}}{dT}$ , por sua vez, é dado pela equação 2.21<sup>36</sup>:

$$\frac{dV_{TH}}{dT} = \frac{k}{q} \left\{ \left[ -\frac{1}{2} + \ln \left( \frac{2C_{ox}k}{q^2 3,9 \times 10^{16} t_{Si}} \right) \right] - \frac{\ln T}{2} \right\} \quad 2.21$$

E ainda, o fator da degradação da transcondutância ( $c$ ) é dado pela equação 2.22<sup>36</sup>:

$$c = \frac{\log(gm_2) - \log(gm_1)}{\log(T_1) - \log(T_2)} \quad 2.22$$

A transcondutância é utilizada como um dos parâmetros para se calcular o ZTC podendo ser obtida de forma mais simples que a mobilidade, através da derivada da curva  $I_{DS} \times V_{GS}$ .

Na região de saturação, a equação de  $V_{ZTC}$  pode ser escrita como<sup>38</sup>:

$$V_{ZTC} = A + \sqrt{A^2 - B} \quad 2.23$$

Onde :

$$A = \frac{V_{TH1} - \left[ V_{TH1} + \frac{dV_{TH}}{dT} (T_2 - T_1) \right] \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad 2.24$$

e,

$$B = \frac{V_{TH1}^2 - \left[ V_{TH1} + \frac{dV_{TH}}{dT} (T_2 - T_1) \right]^2 \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad 2.25$$

Assim, substituindo as equações 2.24 e 2.25 na equação 2.23, tem-se  $V_{ZTC}$  na região de saturação.

### 2.5.5 A inclinação de sublimiar ( $S$ )

A inclinação de sublimiar dos MOSFETs é entendida como a variação de tensão aplicada à porta necessária para aumentar em uma década a corrente de dreno quando operando na região de sublimiar<sup>10</sup>. A equação 2.26 define o valor da inclinação de sublimiar<sup>10</sup>.

$$S = \frac{dV_{GS}}{d(\log I_{DS})} = \frac{kT}{q} \ln(10)n \quad \mathbf{2.26}$$

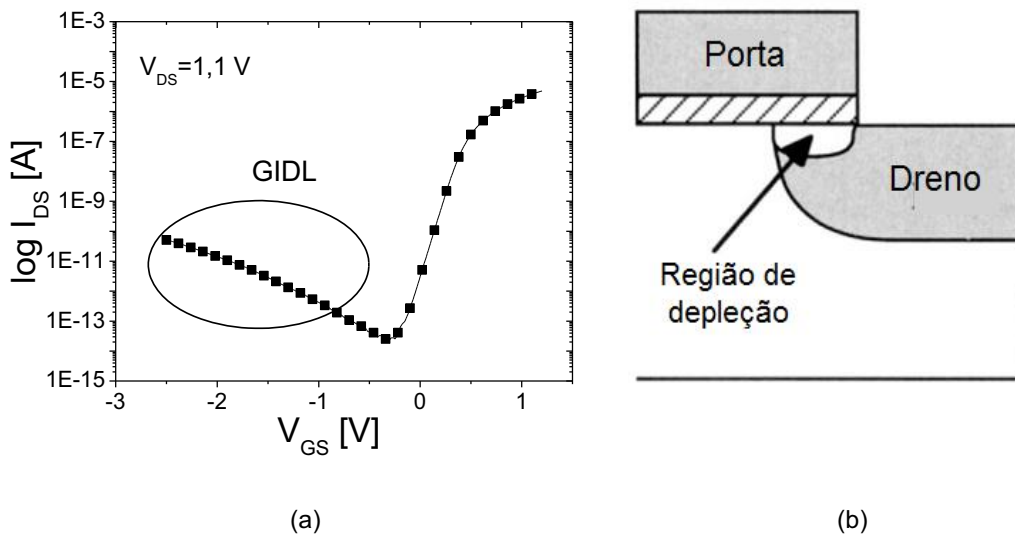
Como o fator de corpo ( $n$ ) é um parâmetro que indica o controle do eletrodo de porta sobre o potencial de superfície da primeira interface, quanto menor esse parâmetro, menor e melhor será a inclinação de sublimiar, resultando então em um melhor desempenho em aplicações de circuitos integrados digitais como o aumento da velocidade de chaveamento.

Os valores de  $n$  estão tipicamente na sequência  $n_{depl} < n_{MOSFET} < n_{acc}$  e, conseqüentemente,  $S_{depl} < S_{MOSFET} < S_{acc}$ .

### 2.5.6 A Corrente de Fuga do Dreno Induzida pela Porta (GIDL)

A corrente de GIDL tem se tornado uma das principais componentes de corrente de fuga nos dispositivos MOSFETs submicrométricos<sup>39</sup>. Correntes de fuga devem ser minimizadas em dispositivos eletrônicos portáteis, com baixo consumo de energia, com o intuito de se melhorar a vida útil da bateria<sup>39</sup>. A corrente de GIDL existe quando se forma uma região de depleção na região sobreposta pela porta sobre o dreno (região de *overlap*) devido à aplicação de uma tensão positiva e alta no dreno e, negativa na porta.

O alto campo elétrico entre a porta e o dreno faz com que ocorra o tunelamento de elétrons da banda de valência para a banda de condução gerando pares elétrons-lacunas. Os elétrons gerados seguem em direção à região de maior potencial, ou seja, para o dreno, enquanto que as lacunas vão em direção à região de menor potencial, neste caso, o corpo. O efeito do GIDL na curva da corrente em função da tensão aplicada à porta pode ser visto na Figura 2.10(a), assim como a região em que isto ocorre, na Figura 2.10(b).



**Figura 2.10** Exemplo do efeito do GIDL (a) na curva logarítmica de  $I_{DS} \times V_{GS}$  e (b) a região de depleção (*overlap*) onde isso ocorre.

### 2.5.7 O ganho de corrente do transistor bipolar parasitário ( $\beta$ )

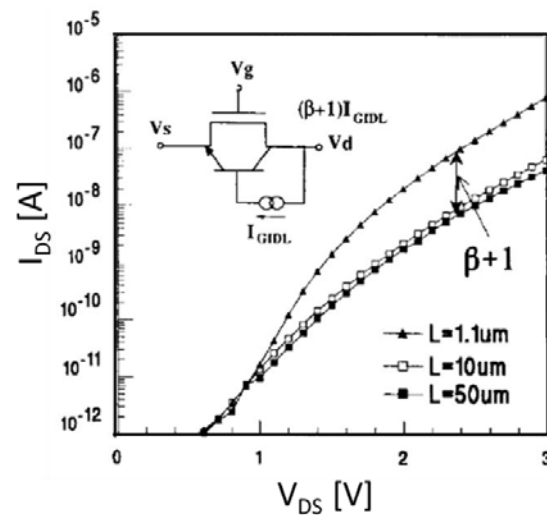
Os efeitos do transistor bipolar parasitário são importantes para se compreender a tensão de ruptura de um SOI MOSFET. Como visto na seção anterior, o alto campo elétrico na região de *overlap* causa o tunelamento de elétrons da banda de valência para a banda de condução. No caso dos dispositivos SOI MOSFETs uma vez que o corpo esteja flutuando, as lacunas poderão fluir para este corpo flutuante e polarizar diretamente a junção corpo-fonte. Devido a essa condição, a junção corpo-fonte servirá como junção base-



emissor e, a corrente de GIDL, servirá como corrente de base do transistor bipolar parasitário (BJT)<sup>40</sup>.

Para se medir o ganho de corrente do transistor bipolar lateral do transistor SOI, sem a necessidade de um contato de corpo, o transistor deve ser polarizado com  $V_{GS} < 0 V$  garantindo que não se tenha corrente elétrica na primeira interface, e sim somente a corrente de GIDL amplificada pelo BJT. A corrente então medida será  $(\beta + 1)I_{GIDL}$  onde  $\beta$  é o ganho de corrente do BJT.

A Figura 2.11 mostra o método de extração da corrente de fuga desenvolvido por Chen, J. et al.<sup>40</sup> para diferentes comprimentos de canal e com  $V_{GS} = -5 V$ .



**Figura 2.11** Corrente de fuga para dispositivos SOI MOSFETs de canal longo e curto onde  $I_{GIDL}$  é a corrente de base do transistor BJT que está sendo amplificada. Da relação entre as curvas, o ganho de corrente do BJT no dispositivo de canal curto pode ser deduzido<sup>40</sup>.

Como pode ser visto na Figura 2.11, para o dispositivo com comprimento de canal longo ( $L = 50 \mu m$ ),  $\beta = 0$  e a corrente de dreno medida é apenas a  $I_{GIDL}$ . Porém, para comprimentos de canal mais curto, à medida que se diminui  $L$ , a largura da base do BJT também diminui e o ganho de corrente  $\beta$  aumenta, amplificando a corrente de GIDL.

### 2.5.8 A razão $gm/I_{DS}$

A eficiência de um transistor é a razão entre a transcondutância e a corrente de dreno ( $gm/I_{DS}$ ) capaz de converter uma dada corrente de polarização em transcondutância<sup>41</sup>. A razão  $gm/I_{DS}$  é normalmente apresentada em função da corrente de dreno normalizada  $[I_{DS}/(W/L)]$  para que a mesma não dependa das dimensões dos dispositivos, sendo então utilizada em projetos de circuitos integrados analógicos de baixa tensão e baixa potência (LPLV – *Low Power Low Voltage*). O valor máximo da razão  $gm/I_{DS}$  ocorre quando o MOSFET ou SOI está operando na inversão fraca e é dado por<sup>42</sup>:

$$\frac{gm}{I_{DS}} = \frac{q}{nkT} = \frac{\ln 10}{S} \quad 2.27$$

Na equação 2.27,  $q$  é a carga elementar do elétron;  $T$  é a temperatura absoluta;  $k$  é a constante de Boltzmann,  $n$  é o fator de corpo operando na inversão fraca e  $S$  é a inclinação de sublimiar.

Quando o transistor estiver operando na inversão forte, haverá uma redução no valor da razão  $gm/I_{DS}$  com o aumento da corrente de dreno, sendo dada pela equação 2.28<sup>43</sup>:

$$\frac{gm}{I_{DS}} = \sqrt{\frac{2\mu_n C_{ox1} \frac{W}{L}}{nI_{DS}}} \quad 2.28$$

Como o fator de corpo ( $n$ ) é menor em dispositivos SOI totalmente depletados, a razão  $gm/I_{DS}$  será maior em dispositivos SOI se comparado aos MOSFETs convencionais. Através das equações 2.27 e 2.28, observa-se que a eficiência dos transistores depende totalmente da tecnologia e do ponto de polarização. A Figura 2.12(a) mostra um exemplo da curva da razão da  $gm/I_{DS}$  em função da corrente de dreno normalizada onde é possível observar as regiões de inversão fraca, moderada e forte.

2.5.9 A Condutância de saída ( $g_D$ )

A condutância de saída é um parâmetro que está relacionado à sensibilidade do canal às linhas do campo elétrico provenientes do dreno. É determinado pela derivada da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada entre dreno e fonte ( $V_{DS}$ ) enquanto a tensão entre porta e fonte ( $V_{GS}$ ) se mantém constante, como apresentado na equação 2.29.

$$g_D = \left(\frac{dI_{DS}}{dV_{DS}}\right)_{V_{GS}=constante} \tag{2.29}$$

Um exemplo da curva da condutância de saída em função da tensão aplicada entre fonte e dreno, obtida experimentalmente, é mostrado na Figura 2.12(b)

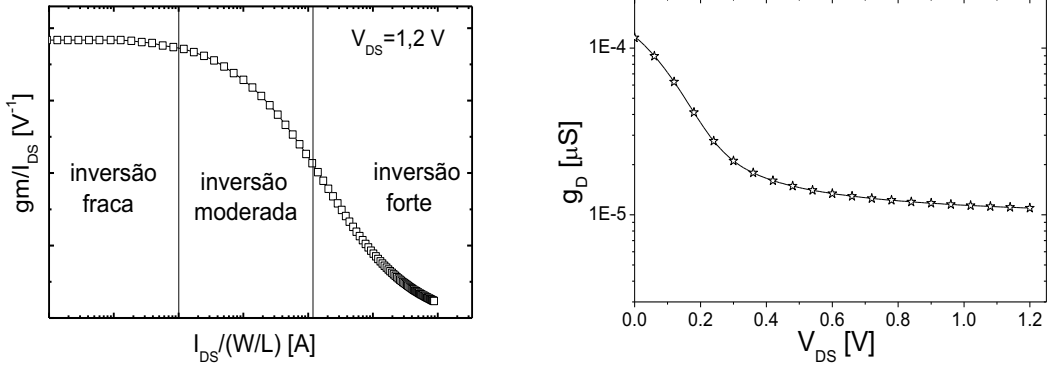


Figura 2.12 Exemplos de curvas da (a) razão de  $g_m/I_{DS}$  em função de  $I_{DS}/(W/L)$  para  $V_{DS} = 1,2V$  e da (b) condutância de saída em função da tensão aplicada no dreno do MOSFET.

### 2.5.10 A Tensão Early ( $V_{EA}$ )

Quando a tensão aplicada no dreno de um MOSFET convencional é maior que a tensão de saturação, a região de depleção próxima ao dreno aumenta<sup>10</sup>. Como resultado desse aumento, o comprimento efetivo do canal sofre redução e provoca um acréscimo na corrente de dreno na saturação. Com isso, a inclinação da curva da corrente de dreno em função da tensão entre dreno e fonte aumenta<sup>10</sup>.

A tensão Early pode ser determinada pela equação 2.30 considerando que os valores da corrente de dreno e da condutância de saída ( $g_D$ ) tenham sido obtidos na região de saturação.

$$V_{EA} \cong \frac{I_{DS\_sat}}{g_{D\_sat}} \quad \mathbf{2.30}$$

A partir da extrapolação de uma reta tangente à curva da corrente de dreno em função da tensão entre fonte e dreno ( $I_{DS} \times V_{DS}$ ) da região de saturação até a intersecção com o eixo de  $V_{DS}$  ( $I_{DS} = 0$ ), obtêm-se a tensão Early quando  $V_{DS} = -V_{EA}$ , Figura 2.13.

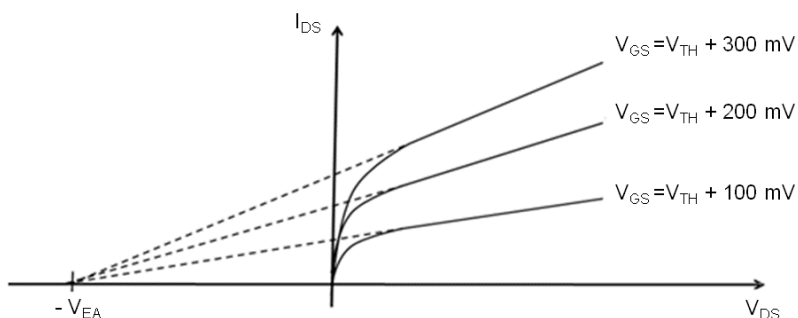


Figura 2.13 Exemplo da curva de  $I_{DS} \times V_{DS}$  para a extração da tensão Early ( $V_{EA}$ ).

### 2.5.11 Ganho de Tensão Intrínseco do MOSFET ( $A_V$ )

O ganho de tensão intrínseco do MOSFET ( $A_V$ ) consiste em uma das principais características dos circuitos analógicos e descreve a eficiência do transistor em controlar a fonte de corrente considerando uma resistência de saída, limitando assim o ganho dos amplificadores operacionais. Através da equação 2.31, pode-se determinar o módulo do ganho de tensão intrínseco dos MOSFETs.

$$A_V = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} V_{EA} \quad \mathbf{2.31}$$

Quanto maior for a razão  $g_m/I_{DS}$  e a tensão Early, mais alto será o valor do ganho intrínseco de tensão do dispositivo.

### 3 TRANSISTORES UTBOX SOI NÃO AUTO-ALINHADOS

Nesse capítulo será apresentado um estudo sobre a influência do uso de diferentes engenharias das junções de fonte e dreno, comumente chamadas de regiões de *underlap* e *overlap*, nos principais parâmetros elétricos de transistores UTBOX SOI. O impacto da temperatura e do escalamento do comprimento de canal também são analisados nesses dispositivos. O desenvolvimento desse estudo dar-se-á através de medidas experimentais.

#### 3.1 Introdução

Com a miniaturização dos dispositivos, o efeito de canal curto torna-se um dos maiores problemas no desenvolvimento de nós tecnológicos futuros. Dentre as alternativas para superar esse problema pode-se citar o uso de transistores de múltiplas portas<sup>44</sup> e também o uso de diferentes engenharias das junções de fonte e dreno<sup>45,46</sup>. No presente trabalho, atenção especial será dada para o último caso.

Os dispositivos onde a porta é não auto-alinhada com as regiões de fonte e dreno (*underlap*) serão um dos focos principais deste trabalho. Nestes dispositivos, o comprimento de canal efetivo ( $L_{eff}$ ) é modulado pela polarização de porta que controla os efeitos de canal curto, assim como a corrente do canal. A Figura 3.1 apresenta as seções transversais de (a) um transistor convencional (auto-alinhado) e (b) de um transistor sem as extensões de fonte e dreno (não auto-alinhado), enfatizando as regiões de sobreposição (*overlap* - regiões de fonte e dreno difundidas abaixo da região de porta) subposição (*underlap*) onde,  $L_{UL}$ ,  $L_{OL}$  e  $L_{Porta}$  são os comprimentos das regiões de subposição, sobreposição e o comprimento de máscara da porta, respectivamente.

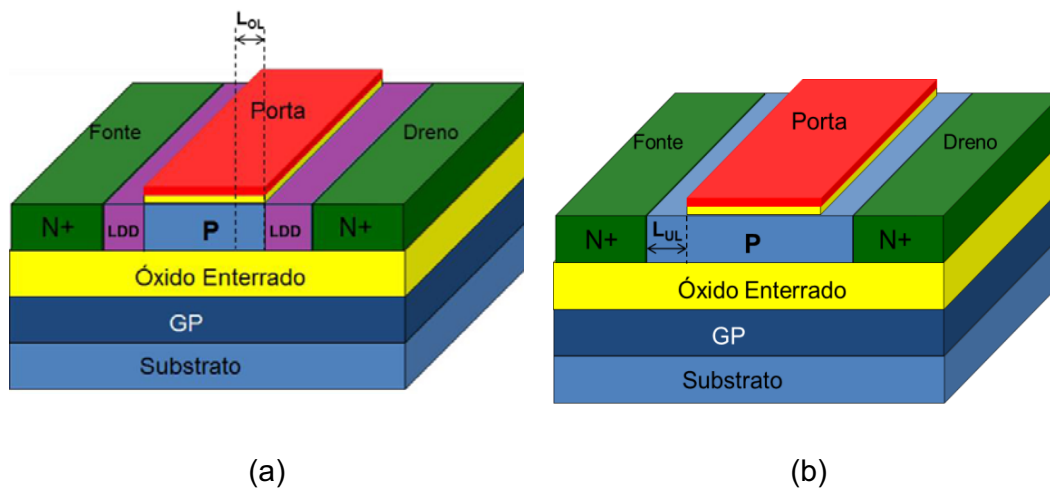
Para Fossum et al<sup>47</sup>, quando os dispositivos não auto-alinhados estiverem operando na inversão fraca,  $V_{GS}$  modulará o potencial e a densidade de elétrons nessas regiões e no canal. A indução de elétrons pela porta faz assim,

com que estes se movam em direção a essas regiões, modificando o campo elétrico, sendo o responsável por tal modulação. Então, na inversão fraca onde a densidade de elétrons é baixa, o comprimento efetivo de canal pode ser definido por<sup>47</sup>:

$$L_{effinv\_fraca} = L_{Porta} + 2L_{UL} \quad 3.1$$

Por sua vez, em inversão forte, onde a densidade de elétrons é alta, o comprimento efetivo de canal é definido por<sup>47</sup>:

$$L_{effinv\_forte} \cong L_{Porta} \quad 3.2$$



**Figura 3.1** Seções transversais de (a) um transistor convencional e (b) um transistor sem as extensões de fonte e dreno (não auto-alinhado).

Com o intuito de se apresentar o comportamento dos dispositivos não auto-alinhados em relação aos dispositivos de referência, a Figura 3.2 mostra exemplos de curvas obtidas experimentalmente da (a) corrente de dreno em função da tensão aplicada na porta nas regiões de triodo ( $V_{DS} = 50 \text{ mV}$ ) e saturação ( $V_{DS} = 1,1 \text{ V}$ ) e também da (b) corrente de dreno em função da tensão aplicada no dreno para tensões de porta de 0,5 e 1,0 V. As curvas foram

obtidas para dispositivos com comprimento de canal de 70 nm e temperatura de operação de 85°C.

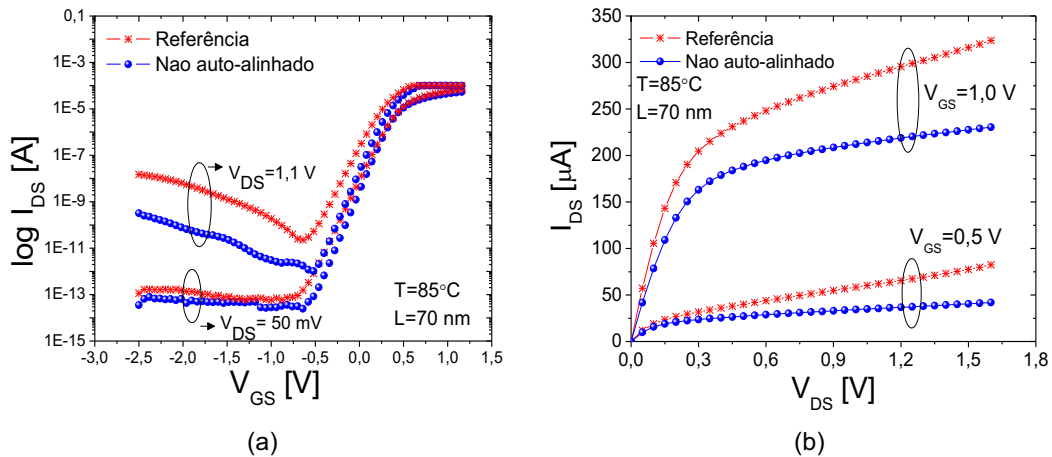


Figura 3.2 Exemplos dos comportamentos das curvas da (a)  $I_{DS} \times V_{GS}$  e da (b)  $I_{DS} \times V_{DS}$  para os dispositivos de referência e não auto-alinhados.

Inicialmente, a principal aplicação de transistores não auto-alinhados era o foco de áreas onde um tempo de resposta rápido não se fazia necessário e o consumo de potência poderia ser baixo, como mostrado por Vitale, S. A.<sup>48</sup>, Figura 3.3. Esses dispositivos também eram chamados de transistores da região de sublimiar.

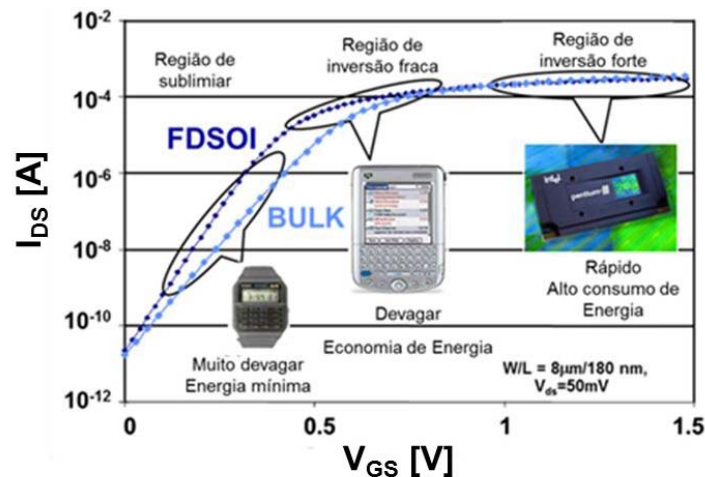


Figura 3.3 Exemplos de dispositivos e suas respectivas regiões de atuação onde o uso de transistores não auto-alinhados se concentrava na região que proporcionava baixo consumo de energia e o tempo de resposta não era importante<sup>48</sup>.



A literatura fundamenta, com vários estudos, que uma forma vantajosa de se melhorar o desempenho do dispositivo é através da combinação da tecnologia UTBOX SOI com a engenharia das junções de fonte e dreno, uma vez que esta combinação diminui a corrente de fuga<sup>49</sup>, melhora as características digitais e analógicas<sup>50</sup> e ainda, aumenta o tempo de retenção em aplicações de memória possibilitando um escalamento ainda maior da tecnologia<sup>51</sup>.

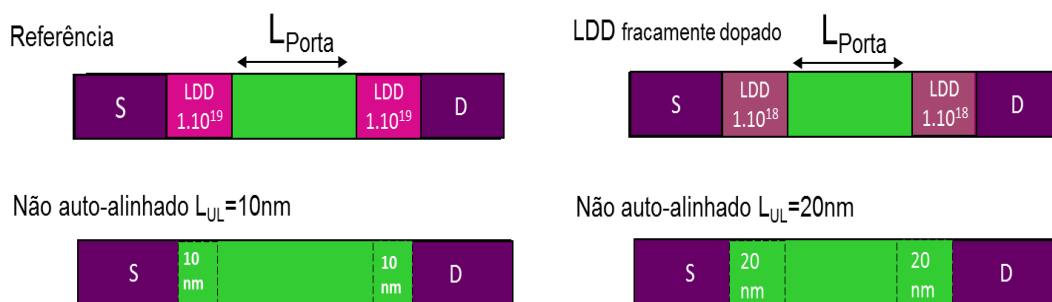
### 3.2 Características dos dispositivos medidos

Os dispositivos aqui estudados foram processados no laboratório do Imec, na Bélgica e otimizados para trabalharem como 1T-DRAM. As medidas foram realizadas no analisador de parâmetros de semicondutores da Agilent, o 4156C.

Esses dispositivos são da tecnologia UTBOX totalmente depletados e construídos sobre lâminas SOI de 300 nm. Apresentam canal do tipo-n e as espessuras do filme de silício e do óxido enterrado são de 14 nm e 18 nm, respectivamente, obtidas após processamento. A largura do canal é de  $1 \mu\text{m}$ <sup>49</sup>.

Os comprimentos efetivos de canal variam entre 30 nm a 70 nm e a temperatura, por sua vez, variou de  $25^{\circ}\text{C}$  a  $120^{\circ}\text{C}$ . O material de porta é composto por Nitreto de Titânio (TiN) sobre 5 nm de dióxido de Silício ( $\text{SiO}_2$ )<sup>49</sup>.

As quatro diferentes configurações de junções de fonte e dreno, suas principais características e designações estão representadas na Figura 3.4 e resumidas na Tabela 3.1.



**Figura 3.4** Diferentes configurações de junções de fonte e dreno utilizadas neste trabalho.

**Tabela 3.1 As diferentes engenharias de fonte e dreno, suas características e designações.**

	Características	Designação
Junção de F/D auto-alinhada	<b>LDD = <math>1 \times 10^{19} \text{ cm}^{-3}</math> + HDD</b>	<b>Referência</b>
Junção de F/D auto-alinhada	<b>LDD = <math>1 \times 10^{18} \text{ cm}^{-3}</math> + HDD</b>	<b>LDD fracamente dopado</b>
Junção de F/D não auto-alinhada	<b>Comprimento da região de <i>underlap</i> de 20 nm</b>	<b>Não auto-alinhado <math>L_{UL}=20 \text{ nm}</math></b>
Junção de F/D não auto-alinhada	<b>Comprimento da região de <i>underlap</i> de 10 nm</b>	<b>Não auto-alinhado <math>L_{UL}=10 \text{ nm}</math></b>

A tecnologia SOI apresenta algumas propriedades interessantes que a permitem operar em ambientes hostis (com alta temperatura, por exemplo) onde a tecnologia convencional normalmente falharia. Isto porque, nessa tecnologia, a corrente de fuga é menor e em filmes finos totalmente depletados, uma menor variação da tensão de limiar com o aumento da temperatura é obtida<sup>10, 52</sup>. Essas propriedades tornam a tecnologia SOI atraente para aplicações automotivas e aeroespaciais<sup>10</sup>.

### 3.3 O impacto da temperatura no desempenho elétrico das diferentes junções de fonte e dreno<sup>49</sup>.

O objetivo desse estudo é analisar o comportamento elétrico das quatro diferentes configurações de fonte e dreno em função da temperatura. Para isto, o comprimento de canal foi fixado em 70 nm.

A transcondutância máxima ( $gm_{max}$ ) e a resistência total ( $R_{TOTAL}$ ) obtidas em função da temperatura, para as diferentes configurações, são apresentadas na Figura 3.5 (a) e Figura 3.5 (b), respectivamente. A polarização no dreno ( $V_{DS}$ ) para obtenção das curvas foi de 50 mV enquanto o substrato ( $V_B$ ) foi fixado em 0 V.

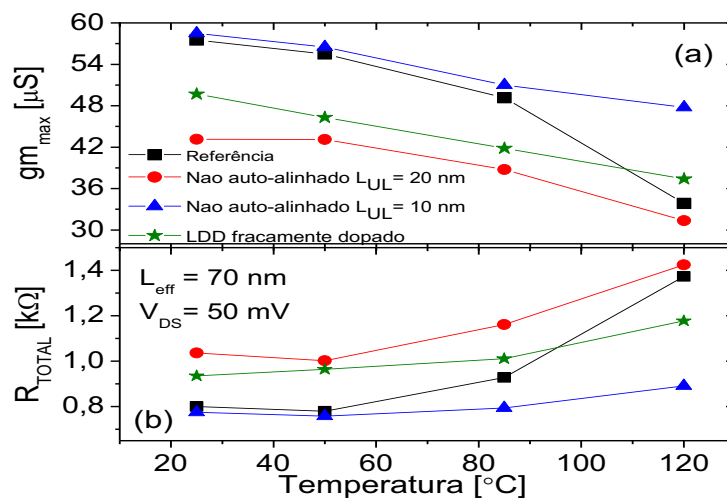


Figura 3.5 Curvas de (a)  $gm_{max}$  e (b)  $R_{TOTAL}$  em função da temperatura para as diferentes configurações de fonte e dreno.

Os resultados mostram que as configurações LDD fracamente dopado e não auto-alinhado  $L_{UL} = 20$  nm apresentam menor transcondutância máxima devido a maior resistência total desses dispositivos uma vez que acrescentando uma região com menor dopagem nessas configurações, aumenta-se uma parcela de resistência dentro da  $R_{TOTAL}$ . Entretanto, à medida que  $L_{UL}$  torna-se mais curto ou tende a zero (referência), a transcondutância máxima aumenta aproximadamente 28% ( $T = 85^{\circ}C$ ) como consequência da redução do comprimento do canal. A redução de  $gm_{max}$  com o aumento da

temperatura está diretamente relacionada à degradação da mobilidade devido ao espalhamento de fônons em altas temperaturas<sup>53</sup>.

A Tabela 3.2 apresenta alguns parâmetros elétricos importantes relacionados à variação da temperatura onde a  $V_B$  foi fixado em 0 V.

**Tabela 3.2 Parâmetros elétricos relacionados à variação da temperatura.**

L=70 nm	Referência	Não auto-alinhado $L_{UL}=20$ nm	Não auto-alinhado $L_{UL}=10$ nm	LDD fracamente dopado
$c$	<b>0,43</b>	<b>0,26</b>	<b>0,17</b>	<b>0,23</b>
$\frac{\Delta V_{TH}}{T}$ [mV/K]	<b>-1,15</b>	<b>-1,15</b>	<b>-1,15</b>	<b>-0,63</b>
$V_{ZTC}$ [V]	<b>0,82</b>	<b>0,80</b>	<b>0,83</b>	<b>0,75</b>
$I_{ZTC}$ [A]	<b><math>4,3 \times 10^{-5}</math></b>	<b><math>3,3 \times 10^{-5}</math></b>	<b><math>5,3 \times 10^{-5}</math></b>	<b><math>2,9 \times 10^{-5}</math></b>

Combinando os resultados já mostrados da Figura 3.5 e os obtidos na Tabela 3.2, nota-se que a configuração não auto-alinhada com  $L_{UL}=10$  nm apresenta o menor fator de degradação da transcondutância com a temperatura ( $c$ ) e com isso maior  $V_{ZTC}$  e  $I_{ZTC}$  são obtidos.

A Figura 3.6 mostra a corrente de GIDL ( $I_{GIDL}$ ) em função da temperatura para sobretensão de porta ( $V_{GT} = V_{GS} - V_{TH}$ ) de  $-2$  V e  $V_{DS} = 1,1$  V. Observa-se que uma menor corrente de GIDL ocorre quando as configurações não auto-alinhada  $L_{UL}=20$  nm e LDD fracamente dopado são usadas, sendo um resultado coerente, uma vez que há nessas configurações, uma redução do campo elétrico entre corpo e dreno e ainda, redução da região de dreno sobreposta pela porta (*overlap*).

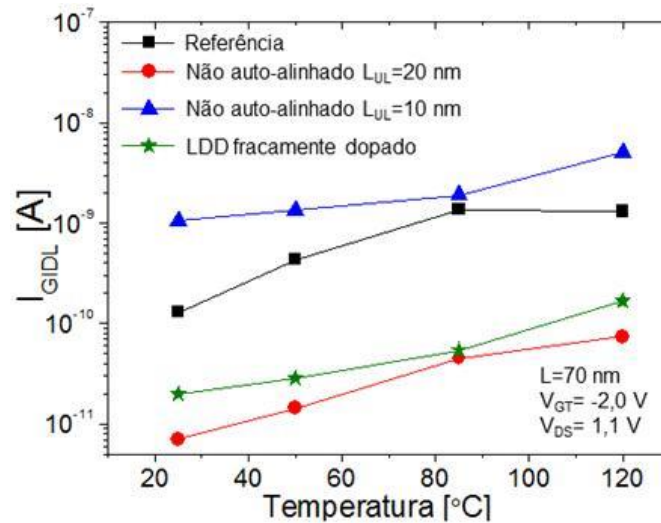


Figura 3.6  $I_{GIDL}$  em função da temperatura para diferentes configurações de fonte e dreno.

O aumento da  $I_{GIDL}$  em função da temperatura está relacionado à variação da largura de banda proibida (*bandgap*) desde que<sup>54</sup>:

$$I_{GIDL} \propto AF^2 \exp\left(-\frac{B}{F}\right) \quad 3.3$$

Onde,  $F$  é o campo elétrico da superfície e:

$$A \propto E_G^{-7/4} \quad 3.4$$

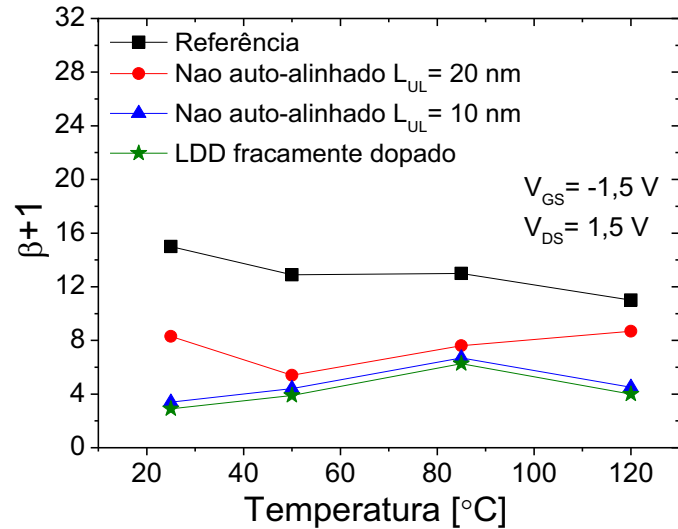
e

$$B \propto E_G^{3/2} \quad 3.5$$

são constantes.

Entretanto, como consequência da redução do campo elétrico, o ganho de corrente do transistor bipolar parasitário é menor<sup>40</sup>. O ganho  $\beta$  do transistor foi extraído experimentalmente com  $V_{GS} = -1,5 V$  e  $V_{DS} = 1,5 V$  e para comprimentos de canal de 70 nm e 10  $\mu m$ . Observa-se, através da Figura 3.7, que  $\beta$  é pouco dependente da temperatura para as diferentes

configurações. Por outro lado, confirma-se que as configurações não auto-alinhadas e LDD fracamente dopado resultam em um menor  $\beta$  para o intervalo de temperatura estudado se comparado ao dispositivo de referência.



**Figura 3.7** Ganho de corrente do transistor bipolar parasitário em função da temperatura.

Com o intuito de se avaliar o impacto dos diferentes tipos de junções de fonte e dreno nos principais parâmetros elétricos, a temperatura foi fixada em  $85^{\circ}\text{C}$  e os resultados obtidos são apresentados na Tabela 3.3. Esses parâmetros foram extraídos com seus métodos correspondentes já apresentados na seção 2.5.

**Tabela 3.3** Os parâmetros elétricos  $S$ ,  $g_D$ , DIBL,  $V_{EA}$  e  $A_V$  extraídos em  $T = 85^{\circ}\text{C}$  para as diferentes configurações de fonte e dreno estudadas.

$T = 85^{\circ}\text{C}$ $L = 70$ nm	Referência	Não auto-alinhado $L_{UL} = 20$ nm	Não auto-alinhado $L_{UL} = 10$ nm	LDD fracamente dopado
$S$ [mV/dec]	130	106	182	116
$g_D$ [ $\mu\text{S}$ ]	44	15	57	27
DIBL [mV/V]	180	95	248	162
$V_{EA}$ [V]	1,9	3,3	2,4	3,2
$A_V$ [V/V]	10	16	9	12

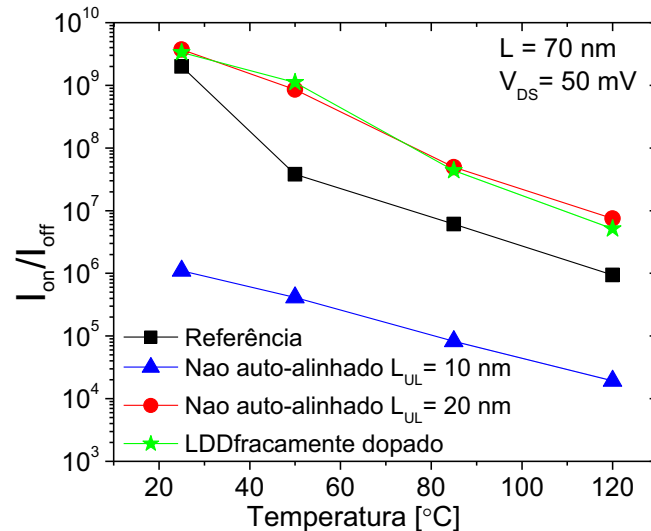
Observando os resultados apresentados na Tabela 3.3, dentre os dispositivos estudados, aquele que se mostra mais vantajoso em relação às características elétricas apresentadas é a configuração não auto-alinhada com  $L_{UL}=20$  nm uma vez que este pode alcançar uma maior velocidade de chaveamento devido sua menor inclinação de sublimiar ( $S$ ).

Além disso, como essa configuração apresenta uma maior região entre o canal e a fonte/dreno, o campo elétrico horizontal não afeta as cargas na região do canal o que diminui a condutância de saída (extraída para  $V_{GT} = 200$  mV e  $V_{DS} = 1,1$  V) e ainda, melhora o efeito do DIBL, a tensão Early ( $V_{EA}$ ) e o ganho intrínseco de tensão ( $A_V$ ) devido a menor distribuição do campo elétrico do dreno nessas regiões.

Dos resultados apresentados até agora, nota-se que embora tenham sido estudadas quatro diferentes engenharias de junções de fonte e dreno, apenas duas tendências se destacam:

- 1) Os dispositivos de referência e não auto-alinhado com  $L_{UL}=10$  nm exibem comportamentos similares e por isso podem ser tratados como dispositivos com sobreposição de porta (*overlap*).
- 2) Os dispositivos não auto-alinhado com  $L_{UL}=20$  nm e LDD fracamente dopado também apresentam desempenhos similares entre si, podendo então ser tratados como dispositivos sem extensões de fonte/dreno (*underlap*) com diferentes comprimentos dessas extensões.

A Figura 3.8 apresenta a razão de  $I_{on}/I_{off}$  em função da temperatura com sobretensão de porta para o estado desligado e ligado ( $V_{GT\_off}$  e  $V_{GT\_on}$ ) de  $-600\text{ mV}$  e  $+600\text{ mV}$ , respectivamente.



**Figura 3.8 Razão de  $I_{on}/I_{off}$  em função da temperatura com  $V_{GT\_off} = -600\text{ mV}$  e  $V_{GT\_on} = 600\text{ mV}$ .**

A maior razão de corrente é obtida com as configurações não auto-alinhada com  $L_{UL}=20\text{ nm}$  e LDD fracamente dopado e isso deve-se a um menor valor de corrente no estado desligado ( $I_{off}$ ) na inversão fraca, do que um maior valor de  $I_{on}$  na inversão forte. Entretanto, para todas as configurações observa-se uma forte degradação dessa razão com o aumento da temperatura uma vez que a redução da mobilidade com a temperatura afeta diretamente a  $I_{on}$ .

Com esse estudo das diferentes configurações de junções de fonte e dreno em função da temperatura, pode-se concluir que o dispositivo não auto-alinhado com  $L_{UL}=20\text{ nm}$  provou ser a configuração que apresenta as melhores características elétricas analisadas, operando desde a temperatura ambiente até  $120^\circ\text{C}$ . Sendo assim, essa configuração será comparada com o dispositivo de referência e o impacto do escalamento do comprimento de canal será o tema do próximo estudo.



### 3.4 O impacto do escalamento do comprimento de canal no desempenho elétrico das diferentes junções de fonte e dreno<sup>50</sup>.

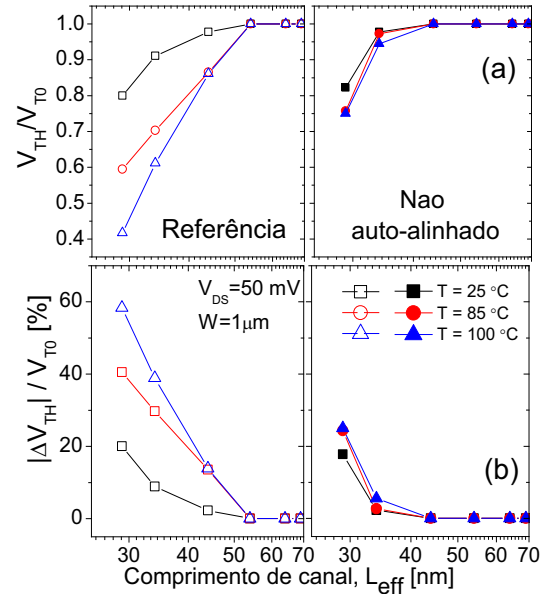
Nesse estudo, uma comparação do comportamento dos principais parâmetros elétricos é realizada entre as configurações não auto-alinhada com  $L_{UL}=20$  nm e referência onde, atenção especial será dada à variação do comprimento de canal desses dispositivos, embora diferentes temperaturas tenham sido aplicadas. A fim de simplificar o texto, trataremos a configuração não auto-alinhada com  $L_{UL}$  de 20 nm apenas como não-auto alinhado.

#### 3.4.1 Principais Parâmetros Elétricos

##### 3.4.1.1 A tensão de limiar

A tensão de limiar ( $V_{TH}$ ) normalizada pela tensão de limiar dos dispositivos de canal longo ( $V_{T0}$ ) em função do comprimento efetivo de canal  $e$ , para diferentes temperaturas é mostrada na Figura 3.9(a). Os símbolos abertos representam os dispositivos de referência enquanto os fechados, os não auto-alinhados. Nota-se que os dispositivos não auto-alinhados apresentam uma menor redução da tensão de limiar com o encurtamento do comprimento do canal se comparado aos de referência e, a porcentagem da variação de  $V_{TH}$  comparado com  $V_{T0}$  é mostrada na Figura 3.9(b).

Dentre as duas configurações com comprimento efetivo de canal de 34 nm e, para temperatura ambiente, obtêm-se uma variação de  $V_{TH}/V_{T0}$  três vezes maior para o dispositivo de referência em relação ao não auto-alinhado. O impacto do aumento da temperatura afeta ainda mais os dispositivos de referência onde uma variação de até 60% é observada em  $V_{TH}$ , enquanto que para os não auto-alinhados chega-se a 30%.



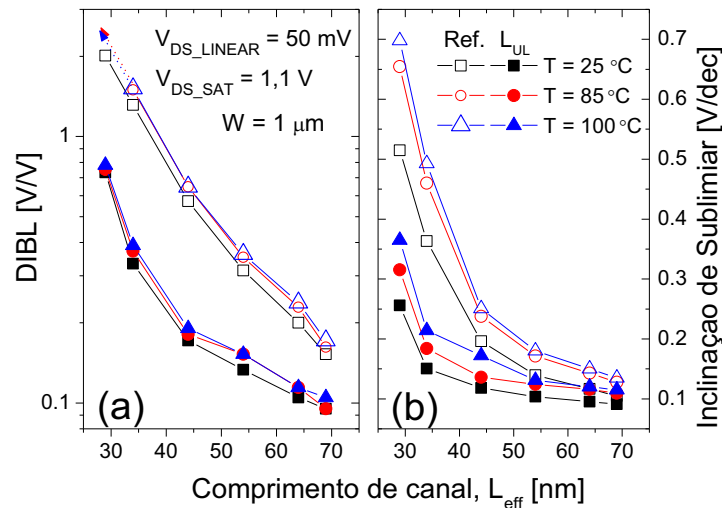
**Figura 3.9** Curvas (a) da tensão de limiar normalizada e (b) porcentagem da variação de  $V_{TH}$  comparada com  $V_{T0}$  em função do comprimento efetivo de canal e diferentes temperaturas.

O aumento da variação de  $V_{TH}$  para temperaturas elevadas pode ser atribuído ao aumento da concentração intrínseca de portadores ( $n_i$ ) que afeta o nível de Fermi, principalmente em dispositivos de canal curto<sup>10</sup>. As configurações não auto-alinhadas são mais imunes ao aumento da largura da região de depleção sob influência da temperatura uma vez que as regiões não dopadas suprimem as cargas da região do canal. A razão da variação da tensão de limiar com a temperatura ( $\Delta V_{TH}/T$ ) aumenta de  $-0,26$  mV/K para  $-0,60$  mV/K para os dispositivos de referência de canal longo e curto, respectivamente, enquanto que para os dispositivos não auto-alinhados a variação é de  $-0,26$  mV/K para  $-0,29$  mV/K, ou seja, os dispositivos não auto-alinhados apresentam menor influência da temperatura na tensão de limiar.

#### 3.4.1.2 O DIBL e a inclinação de sublimiar

Os comportamentos do DIBL e da inclinação de sublimiar em função do comprimento de canal são apresentados nas Figura 3.10(a) e Figura 3.10(b),

respectivamente. A partir da Figura 3.10 é possível observar uma forte degradação em ambos os parâmetros devido aos efeitos de canal curto. Em temperatura ambiente, os valores de DIBL (Figura 3.10a) para os dispositivos de referência variam de  $0,15 V/V$  a  $2 V/V$  para comprimentos de canal longo e curto, respectivamente, enquanto os dispositivos não auto-alinhados apresentam valores melhores (menores) uma vez que variam de  $0,095 V/V$  com comprimento de canal de  $70\text{ nm}$  e  $0,73 V/V$  com comprimento de canal de  $30\text{ nm}$ .



**Figura 3.10** Curvas do (a) DIBL e (b) inclinação de sublimiar em função do comprimento de canal e para diferentes temperaturas.

Considerando os resultados obtidos para a inclinação de sublimiar (Figura 3.10b) o impacto da temperatura é mais pronunciado nos dispositivos de canal curto. Para comprimento de canal de  $30\text{ nm}$  a variação obtida com o aumento da temperatura é de  $40\%$  nos dois tipos de junções de fonte e dreno analisados. Em temperatura ambiente, comparando os valores de  $\Delta S$  para os comprimentos de canal de  $70$  e  $30\text{ nm}$ , obtêm-se um aumento de  $410\text{ mV/dec}$  nos dispositivos de referência enquanto para os não auto-alinhados, esse aumento é de  $165\text{ mV/dec}$ .

Então, como já reportado na literatura<sup>45</sup>, o uso de dispositivos não auto-alinhados ajudam a evitar os efeitos de canal curto devido a modulação da

região do canal pela porta. Conseqüentemente, o maior comprimento de canal na inversão fraca melhora as características da região de sublimiar enquanto que a melhora no DIBL ocorre devido a menor penetração das linhas de campo elétrico do dreno na região do canal.

### 3.4.1.3 A razão $I_{on}/I_{off}$

A razão de correntes no estado ligado e desligado é apresentada na Figura 3.11. Uma inversão de comportamento entre as duas configurações de fonte e dreno para  $L_{eff} > 54 \text{ nm}$  pode ser observada. Isso acontece, pois para  $L_{eff} > 54 \text{ nm}$ , os dispositivos de referência apresentam maior razão de corrente uma vez que apresentam menor resistência total se comparado aos dispositivos não auto-alinhados. Entretanto, com a redução do  $L_{eff}$ , ou seja, para  $L_{eff} < 54 \text{ nm}$  e embora os efeitos de canal curto sejam mais significativos, há uma melhora no desempenho dos dispositivos não auto-alinhados já que estes apresentam melhores características na região de sublimiar com redução de  $I_{off}$ .

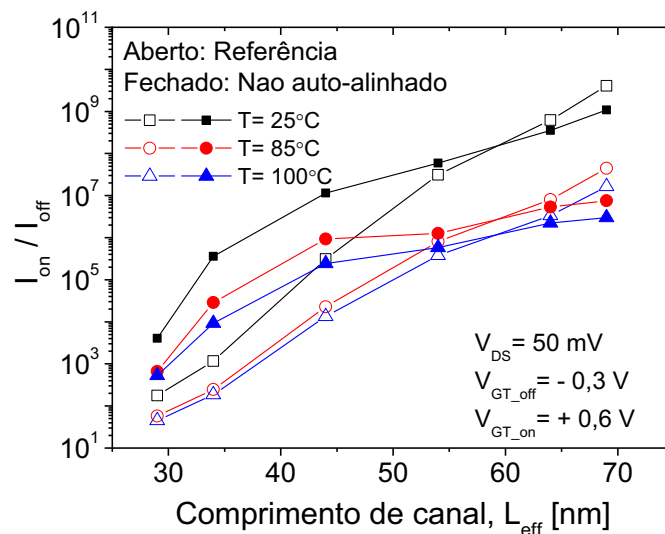


Figura 3.11 Razão  $I_{on}/I_{off}$  em função do comprimento do canal para as diferentes configurações de fonte e dreno e temperaturas.

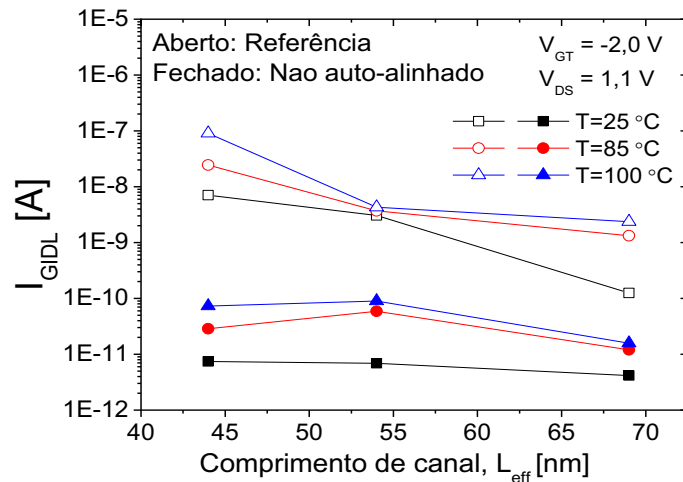
Para o dispositivo não auto-alinhado com comprimento de canal de 34 nm, a razão de correntes aumenta mais de 2 ordens de magnitude se comparada ao dispositivo de referência. Embora o dispositivo não auto-alinhado apresente melhor desempenho, essa tendência parece saturar para comprimentos de canal menores uma vez que os efeitos de canal curto são muito mais pronunciados. O aumento da temperatura é o responsável pelo menor nível de corrente em ambas as configurações de fonte e dreno, degradando a razão de  $I_{on}/I_{off}$  em até três ordens de magnitude para os transistores com  $L_{eff} = 70 \text{ nm}$ .

#### 3.4.1.4 A corrente de fuga pelo dreno induzida pela porta (GIDL)

A Figura 3.12 mostra a dependência da corrente de GIDL em função do comprimento de canal extraída com sobretensão de porta  $V_{GT} = -2,0 \text{ V}$  e  $V_{DS} = 1,1 \text{ V}$ , para as duas configurações de junção de fonte e dreno estudadas. Sabe-se que o parâmetro GIDL é a fuga da corrente de dreno devido ao alto campo elétrico entre a porta e a região sobreposta por ela (*overlap*).

Como os dispositivos de referência apresentam difusão lateral para dentro do canal, a corrente de GIDL é maior nestes do que nos dispositivos não auto-alinhados e ainda, o valor dessa corrente mostra-se mais dependente da variação do comprimento de canal. Como antes mencionado, a variação da banda proibida é responsável pelo aumento da  $I_{GIDL}$  com a temperatura<sup>54</sup>.

A maior variação de  $I_{GIDL}$  sob influência da temperatura ocorre no dispositivo de referência com comprimento de canal de 70 nm uma vez que esse aumento chega a 19 vezes enquanto que para o mesmo  $L_{eff}$  no dispositivo não auto-alinhado o aumento não ultrapassa 4 vezes.



**Figura 3.12** Corrente de GIDL em função do comprimento de canal para as diferentes configurações de fonte e dreno e temperaturas.

#### 3.4.1.5 O Ponto invariante com a temperatura (ZTC)

A Tabela 3.4 mostra o ponto invariante com a temperatura (ZTC) e o fator de degradação da transcondutância ( $c$ ), calculado pela equação 3.6.

$$\frac{gm_{T1}}{gm_{T2}} = \left(\frac{T_2}{T_1}\right)^c \quad 3.6$$

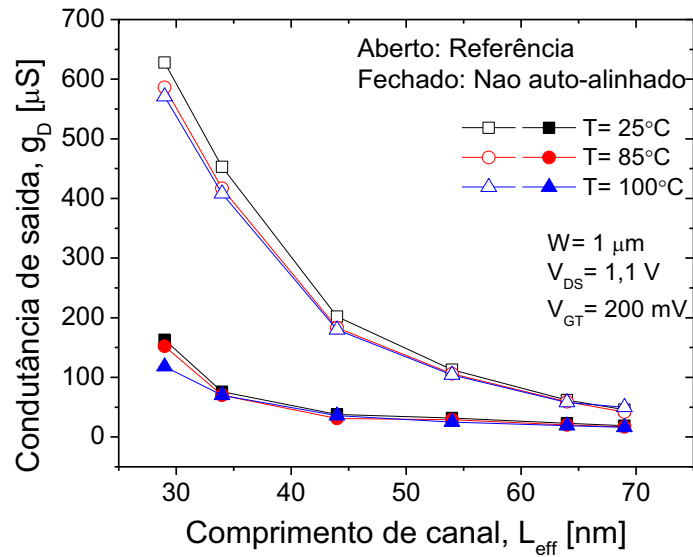
Embora o fator de degradação da mobilidade dos dispositivos de referência e não auto-alinhados mostrem-se similares para os comprimentos de canal estudados, com exceção do  $L_{eff} = 70 \text{ nm}$ , a variação de  $V_{ZTC}$  obtida para o dispositivo de referência não pode ser atribuída ao fator  $c$ , mas sim a grande mudança de valores da tensão de limiar nesses dispositivos. Como os dispositivos não auto-alinhados apresentam um valor de  $V_{ZTC}$  quase que constante em função do comprimento de canal, uma melhor estabilidade na região de operação para um grande intervalo de temperatura pode ser obtida assegurando que parâmetros importantes permanecem sem grandes variações por um longo período de operação.

**Tabela 3.4 Ponto ZTC e o fator de degradação da mobilidade para os diferentes comprimentos de canal para as duas configurações de fonte e dreno estudadas.**

<i>L<sub>eff</sub></i> [nm]	O Ponto ZTC e o fator de degradação da transcondutância			
	Referência		Não auto-alinhado	
	<i>c</i>	<i>V<sub>ZTC</sub></i>	<i>c</i>	<i>V<sub>ZTC</sub></i>
70	0,20	0,75	0,13	0,70
64	0,17	0,76	0,17	0,70
54	0,17	0,8	0,17	0,69
44	0,15	0,83	0,17	0,69
34	0,16	0,9	0,16	0,74
30	0,14	0,97	0,15	0,74

#### 3.4.1.6 A condutância de saída (*g<sub>D</sub>*)

A Figura 3.13 mostra o comportamento da condutância de saída em função do comprimento de canal com  $V_{GT} = 200 \text{ mV}$ . Para os dispositivos com comprimento de canal curto e, comparando as duas configurações das junções de fonte e dreno, observa-se uma diferença de aproximadamente cinco vezes nos valores de  $g_D$  uma vez que os dispositivos de referência estão mais expostos à penetração das linhas de campo elétrico do dreno favorecendo os efeitos de canal curto, como o DIBL discutido anteriormente. Esse parâmetro mostra-se pouco dependente da variação da temperatura de operação sendo um comportamento positivo.



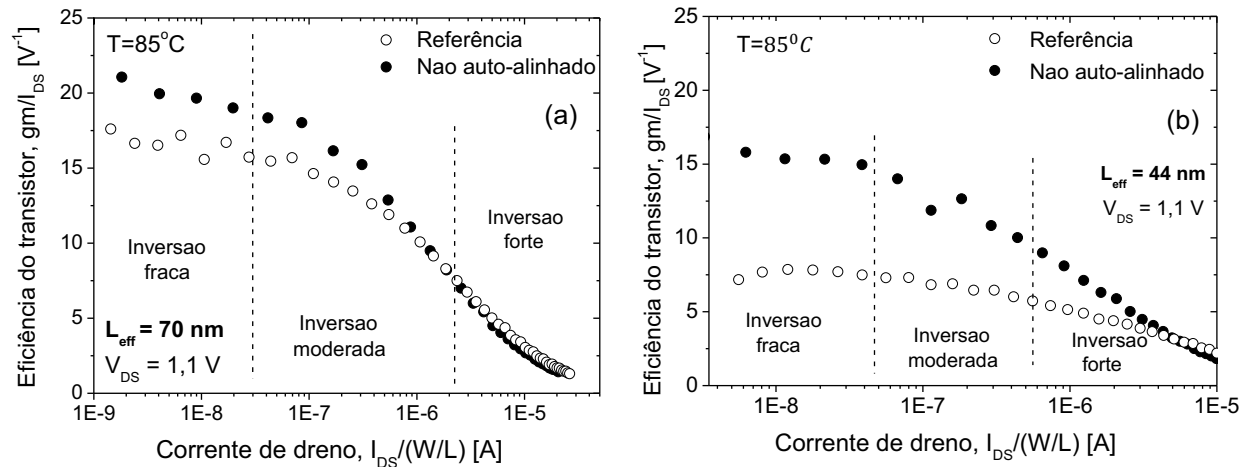
**Figura 3.13** Condutância de saída em função do comprimento de canal para diferentes configurações de fonte e dreno e temperaturas.

#### 3.4.1.7 A razão $gm/I_{DS}$

A eficiência do transistor em função da corrente de dreno normalizada e extraída com alto valor de  $V_{DS}$  ( $V_{DS} = 1,1 V$ ) pode ser vista na Figura 3.14, para comprimento de canal de (a) 70 nm e (b) 44 nm, respectivamente, e temperatura de operação de  $85^{\circ}C$ . Baseado nas curvas obtidas pode-se notar que um maior distanciamento nas mesmas ocorre na inversão fraca onde a eficiência está relacionada à inclinação de sublimar de acordo com a equação 2.27.

Como mencionado anteriormente, a inclinação de sublimar melhora nos dispositivos não auto-alinhados e, conseqüentemente, a mesma tendência na razão  $gm/I_{DS}$  é observada. Os dispositivos com comprimentos de canal mais longos apresentam maiores valores de  $gm/I_{DS}$  embora uma maior diferença entre esses ocorra para os comprimentos de canal curto dentre as configurações estudadas.



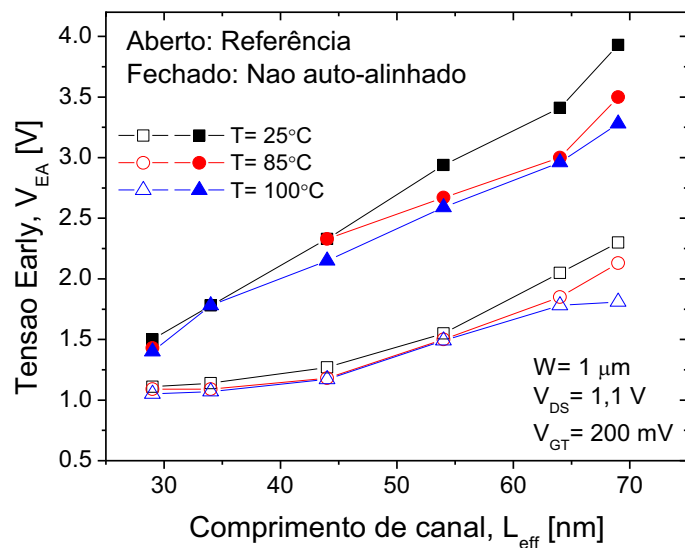


**Figura 3.14** Curvas da eficiência do transistor em função da corrente de dreno normalizada para (a)  $L_{eff} = 70\text{ nm}$  e (b)  $L_{eff} = 44\text{ nm}$  para diferentes configurações de fonte e dreno estudadas e  $T = 85^\circ\text{C}$ .

### 3.4.1.8 A tensão Early ( $V_{EA}$ )

Como a influência das linhas do campo elétrico do dreno é menor nas estruturas não auto-alinhadas, um aumento da tensão Early em relação ao dispositivo de referência é esperado. Esse comportamento pode ser visto na Figura 3.15. Em temperatura ambiente, a diferença entre os valores de  $V_{EA}$  entre as duas configurações é de aproximadamente 2 V e a mesma diminui com o comprimento de canal já que prevalece os efeitos de canal curto nessas condições.

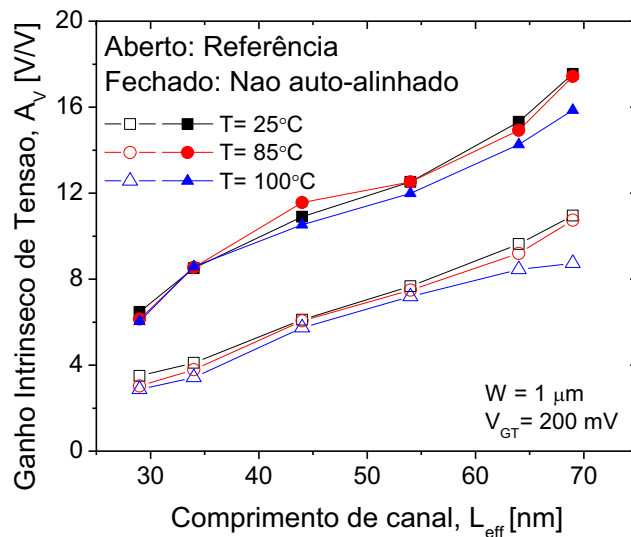
O aumento da temperatura afeta ambas as configurações similarmente, diminuindo os valores de  $V_{EA}$  devido a forte depleção lateral favorecendo os efeitos de canal curto causados pela temperatura.



**Figura 3.15** Tensão Early em função do comprimento de canal para diferentes configurações de fonte e dreno e temperaturas.

#### 3.4.1.9 O ganho intrínseco de tensão ( $A_V$ )

Um dos principais parâmetros para análise analógica é o ganho intrínseco de tensão ( $A_V$ ), apresentado na Figura 3.16. Quanto maior a razão  $g_m/I_{DS}$  e o  $V_{EA}$  maior será o  $A_V$ , como demonstrado pela equação 2.31. Consequentemente, a configuração não auto-alinhada apresenta maior  $A_V$ , se comparado à referência e uma melhora de aproximadamente 50% no comportamento é obtida para todos os comprimentos de canal e temperaturas estudados. Observa-se que a elevação da temperatura causa um pequeno impacto nesse parâmetro para cada configuração de fonte e dreno, onde uma variação menor do que 10% é obtida.



**Figura 3.16** Ganho intrínseco de tensão em função do comprimento do canal para diferentes configurações de fonte e dreno e diferentes temperaturas.

Com os resultados obtidos até o momento, observa-se que os dispositivos não auto-alinhados melhoram suas características elétricas já que conseguem controlar os efeitos de canal curto, apresentando vantagens como menor corrente de fuga do dreno induzida pela porta, menor condutância de saída, maior ganho intrínseco de tensão dentre outras, até mesmo quando submetidos a altas temperaturas onde a degradação do transistor é mais significativa.

Sendo assim, o próximo capítulo apresentará a aplicação desses transistores como células de memória e o desempenho destes, nos principais parâmetros dinâmicos, serão novamente comparados aos dispositivos de referência.

## 4 TRANSISTORES UTBOX SOI COMO CÉLULA DE MEMÓRIA DINÂMICA

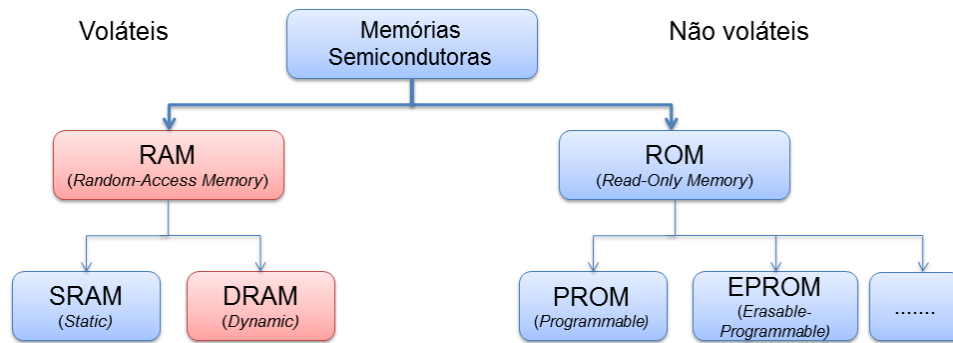
Primeiramente neste capítulo, serão apresentados o conceito de memória 1T-DRAM, assim como os parâmetros dinâmicos que a caracterizam. Em seguida, serão apresentados os estudos realizados com os dispositivos UTBOX (referência e não auto-alinhado) como célula de memória, tais como, a dependência com o escalamento do comprimento de canal, a influência da polarização de substrato e os mecanismos físicos envolvidos para maior entendimento, além de um estudo sobre a influência da temperatura em parâmetros como margem de sensibilidade, janela de programação e tempo de retenção.

Baseado nas medidas experimentais, simulações numéricas bidimensionais foram realizadas a fim de se verificar e confirmar os resultados obtidos.

### 4.1 Introdução

A constante busca por memórias com maior capacidade de armazenamento de informação, alta velocidade de operação e baixo consumo de energia tem aumentado com o passar dos anos. Dependendo do tipo de operação que a memória realiza, seja de leitura e escrita ou somente leitura, ela pode ser classificada como RAM (*Random Access Memory*) ou ROM (*Read Only Memory*), respectivamente. A primeira permite que os dados sejam armazenados (escrita) e recuperados (leitura) com velocidades comparáveis, já a segunda permite leituras ainda mais rápidas, mas sem a operação da escrita<sup>55</sup>. A classificação básica dessas memórias pode ser vista na Figura 4.1.

Neste trabalho, as memórias estudadas permitem a escrita e leitura da informação, sendo assim, atenção especial será dada às memórias voláteis e dinâmicas.



**Figura 4.1** Classificação básica das memórias semicondutoras.

A memória principal de um computador é geralmente a memória de acesso mais rápida e é nela que as instruções de um programa são executadas. Essa memória principal é do tipo de acesso aleatório (RAM) onde o tempo necessário para armazenagem e para recuperação da informação, independe da localização física onde a informação é armazenada<sup>55</sup>.

Há dois tipos básicos de memórias RAMs, a memória estática (SRAM – *Static Random Access Memory*) e a memória dinâmica (DRAM – *Dynamic Random Access Memory*). Essas memórias são ditas voláteis uma vez que ambas necessitam da presença contínua de uma fonte de alimentação<sup>55</sup>.

Embora a memória estática possa operar com uma velocidade muito alta, sua área ocupada é muito grande, uma vez que utiliza célula de armazenamento de informação contendo seis transistores. Esse tipo de memória retêm seus dados indefinidamente, desde que a fonte de alimentação esteja sempre ligada<sup>55</sup>. A Figura 4.2 mostra uma célula de memória da RAM estática, típica em tecnologia CMOS.

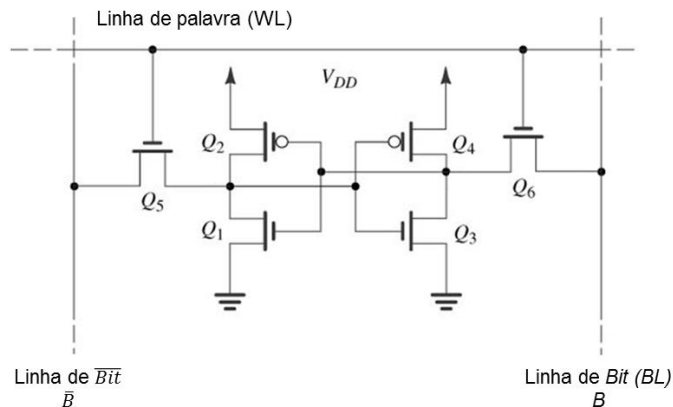


Figura 4.2 Célula de memória CMOS SRAM<sup>55</sup>.

Já as RAMs dinâmicas, armazenam seus dados em capacitores, resultando em uma redução maior na área da célula tornando-as mais densas que as SRAMs. Como os dados são armazenados em capacitores e esses se descarregam em virtude das correntes de fuga existentes, as DRAMs precisam se restaurar periodicamente a fim de regenerar seus dados armazenados nos capacitores<sup>56</sup>. Por apresentarem um capacitor e um transistor em sua estrutura, as DRAMs também são conhecidas como 1T1C-DRAM<sup>57</sup>.

A Figura 4.3 mostra a célula de memória padrão da RAM dinâmica.

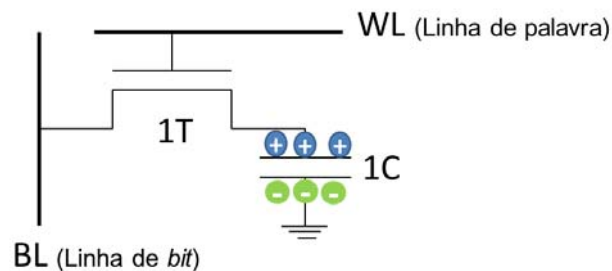


Figura 4.3 Célula padrão de memória DRAM<sup>55</sup>.

Embora a 1T1C-DRAM apresente menor área comparada a SRAM e alta velocidade de operação, a presença do capacitor faz com que esse tipo de memória ocupe um grande espaço na lâmina tanto em área como em profundidade, já que se faz necessário obter uma capacitância alta para que o

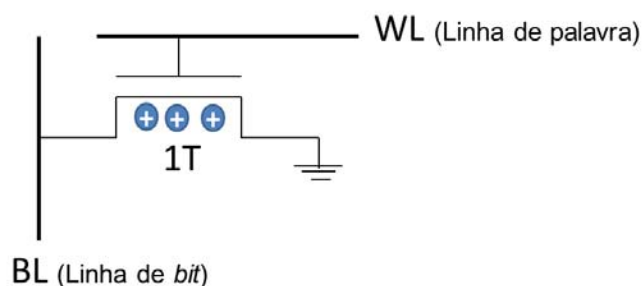
armazenamento da informação seja suficiente<sup>61</sup>. Isso resulta em mais etapas no processo de fabricação e conseqüentemente, menos compatibilidade com os processos já existentes.

O escalamento da 1T1C-DRAM além do nó tecnológico de 30 nm é um desafio atualmente<sup>56</sup>. Os problemas de escalamento estão relacionados justamente ao capacitor de armazenamento e sua integração<sup>57</sup>.

Uma das alternativas que vem sendo muito investigada para substituir a 1T1C-DRAM convencional e, seus problemas de escalamento, é a 1T-DRAM, também chamada de célula de memória de corpo flutuante (FBRAM – *Floating-Body RAM*)<sup>58,59,60</sup>.

Esse novo conceito de memória elimina a presença do capacitor aproveitando-se do efeito inerente de corpo flutuante do dispositivo para armazenar as cargas no corpo do transistor. Com o uso de apenas um transistor em sua estrutura, essa memória apresenta melhor escalabilidade, baixo custo, é compatível com a tecnologia SOI e seu processo de fabricação é muito mais simples que a memória 1T1C-DRAM convencional<sup>3</sup>.

A Figura 4.4 apresenta a célula de memória da 1T-DRAM.



**Figura 4.4 Célula de memória da 1T-DRAM.**

As características das memórias RAMs apresentadas estão resumidas na Tabela 4.1.

**Tabela 4.1 Principais características dos diferentes tipos de memórias<sup>61</sup>.**

	DRAM	SRAM	1T-DRAM
Tamanho da Célula	<b>8F<sup>2</sup></b>	<b>100F<sup>2</sup></b>	<b>4F<sup>2</sup></b>
Complexidade	<b>1T1C</b>	<b>6T</b>	<b>1T</b>
Armazenamento	<b>capacitor</b>	<b>flip-flop</b>	<b>corpo flutuante</b>
Novos materiais	<b>high-k</b>	--	--
Velocidade	<b>rápida</b>	<b>muito rápida</b>	<b>rápida</b>
Leitura	<b>destrutiva</b>	<b>não destrutiva</b>	<b>não destrutiva</b>

Considerando a capacidade de armazenamento, a velocidade e a complexidade da estrutura da memória, nota-se que a 1T-DRAM é uma tecnologia atraente para memórias de alto desempenho.

Armazenar cargas no corpo do transistor significa escrever o dado '1' na memória enquanto que retirá-las, significa escrever o dado '0'. Na literatura encontram-se basicamente quatro métodos para a escrita do dado '1', são eles: por ionização por impacto (II - *Impact Ionization*)<sup>58,62</sup>, pelo efeito do transistor bipolar parasitário (BJT - *Bipolar Junction Transistor*)<sup>58,62</sup> pelo efeito da corrente de fuga induzida pela porta (GIDL - *Gate Induced Drain Leakage*)<sup>61,63</sup> e pelo efeito de corpo flutuante induzido pela porta (GIFBE - *Gate Induced Floating Body Effect*)<sup>3</sup>. Para a escrita do dado '0', ou seja, para retirar as cargas do corpo, dois métodos são reportados: por polarização direta da junção (FBJ - *Forward Bias Junction*) e por acoplamento capacitivo (CC - *Capacitive Coupling*)<sup>58,54</sup>.

Nesse trabalho, para a escrita e leitura do dado '1' utilizaremos o método do efeito do transistor bipolar parasitário, enquanto que para a escrita do dado '0', utilizaremos o acoplamento capacitivo. A seguir, serão apresentados os principais métodos de programação do dado '1' e do dado '0'.



## 4.2 Programação do estado '1'

### 4.2.1 Ionização por impacto (II)

O método comumente utilizado para a programação do estado '1' consiste na geração de lacunas no corpo, por ionização por impacto. Para isso, aplica-se uma tensão alta no dreno ( $V_D > V_{GS} > V_{TH}$ ) resultando em um elevado campo elétrico nessa região que acelera os elétrons fazendo com que eles se choquem com a rede cristalina e gerem assim, pares elétrons-lacunas. Então, os elétrons seguem para a região de maior potencial (dreno) enquanto que as lacunas migram em direção à região de menor potencial (corpo). O aumento da concentração dessas lacunas eleva o potencial do corpo que diminui a tensão de limiar aumentando a corrente de dreno. A Figura 4.5(a) ilustra este mecanismo de escrita do dado '1' <sup>3,58,61,64</sup> e Figura 4.5(b) a redução da tensão de limiar devido ao aumento do potencial do corpo.

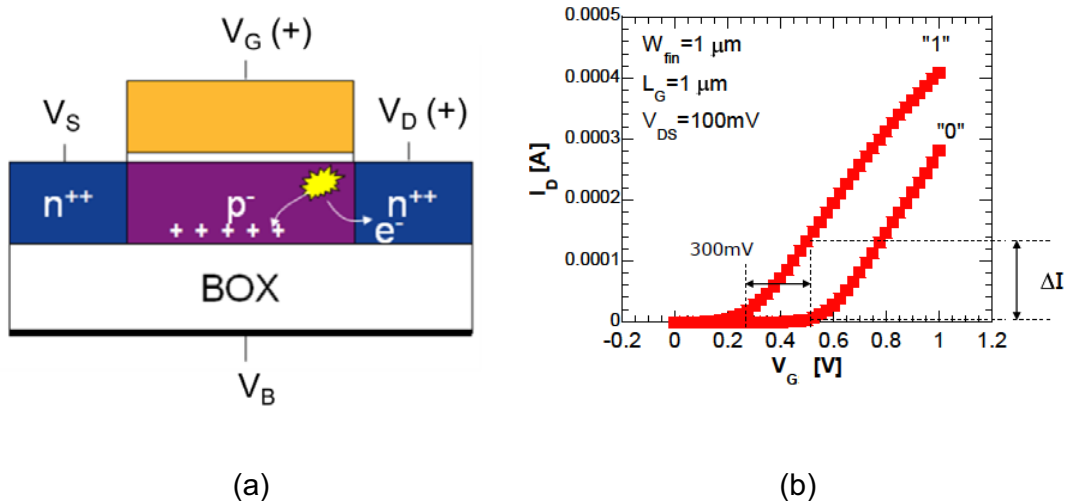


Figura 4.5 (a) Mecanismo de escrita do dado '1' na memória por ionização por impacto<sup>3</sup> e (b) diminuição da tensão de limiar devido ao acúmulo de cargas na região do corpo do dispositivo<sup>61</sup>.

#### 4.2.2 Efeito do transistor bipolar parasitário (BJT)

O segundo método de programação do estado '1' aproveita-se do efeito intrínseco do transistor bipolar parasitário que pode ser ativado no corpo flutuante do SOI MOSFET<sup>58</sup>. Neste caso, a fonte (N+), o corpo (P) e o dreno (N+) atuam como emissor, base e coletor, Figura 4.6(a).

Para que esse efeito ocorra, uma elevação da concentração de lacunas deve ser gerada na base do BJT por ionização por impacto e, se o tempo de vida desses portadores minoritários for alto o suficiente, o transistor bipolar parasitário amplificará a corrente, resultando em uma realimentação positiva na corrente de dreno do transistor principal, levando a um aumento abrupto na curva de  $I_{DS} \times V_{GS}$ <sup>65</sup>. Esse aumento abrupto na corrente de dreno provoca uma diminuição na inclinação de sublimiar para valores próximos de  $0 \text{ mV/dec}$ .

A corrente do transistor MOS considerando esse efeito, pode ser modelado pela equação 4.1.

$$I_{DS} = MI_{ch}/[1 - \beta(M - 1)]$$

**4.1**

Onde:

$I_{ch}$  é a corrente do canal sem considerar a ionização por impacto;  $\beta$  é o ganho do transistor bipolar parasitário e  $M$  é o fator multiplicativo referente à ionização por impacto.

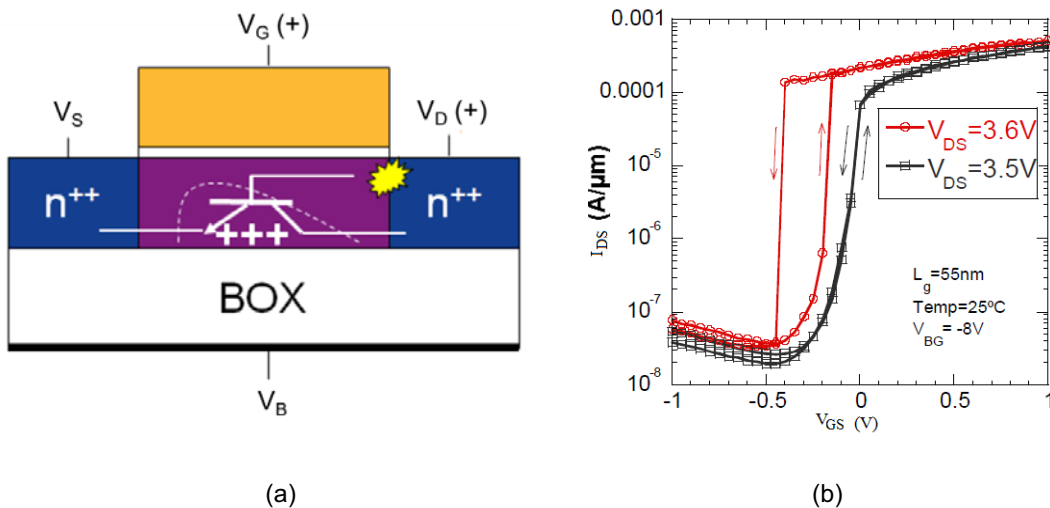
Com o aumento do potencial devido ao acúmulo de lacunas no corpo do dispositivo, ocorre a diminuição da tensão de limiar que por sua vez realimenta a ionização por impacto aumentando ainda mais o potencial de corpo.

Na equação 4.1 se  $\beta(M - 1)$  se aproximar de 1, haverá um aumento abrupto na corrente de dreno e  $I_{DS}$  tenderá a infinito, ou seja, fatores relacionados ao transistor bipolar parasitário como a largura da base (comprimento do canal) ou a ionização por impacto terão influência sobre esse efeito. A desativação do efeito se dá pela diminuição do campo elétrico próximo

ao dreno diminuindo a corrente gerada pela ionização por impacto devido à diminuição de  $V_{DSat}$  ( $V_{GS} - V_{TH}$ ) com o aumento do potencial de corpo.

Na Figura 4.6(b) observa-se a formação de uma histerese na curva de  $I_{DS} \times V_{GS}$  e nota-se também que há um intervalo de tensões de porta no qual a corrente de dreno apresenta dois valores distintos, sendo um em nível alto (estado '1') e outro em nível baixo (estado '0').

O nível alto de corrente de dreno (estado '1') indica que há lacunas no corpo e, portanto, o dado '1' foi escrito, enquanto que o nível baixo de corrente (estado '0') indica que o efeito do BJT está desativado, ou seja, as lacunas foram removidas do corpo do transistor.



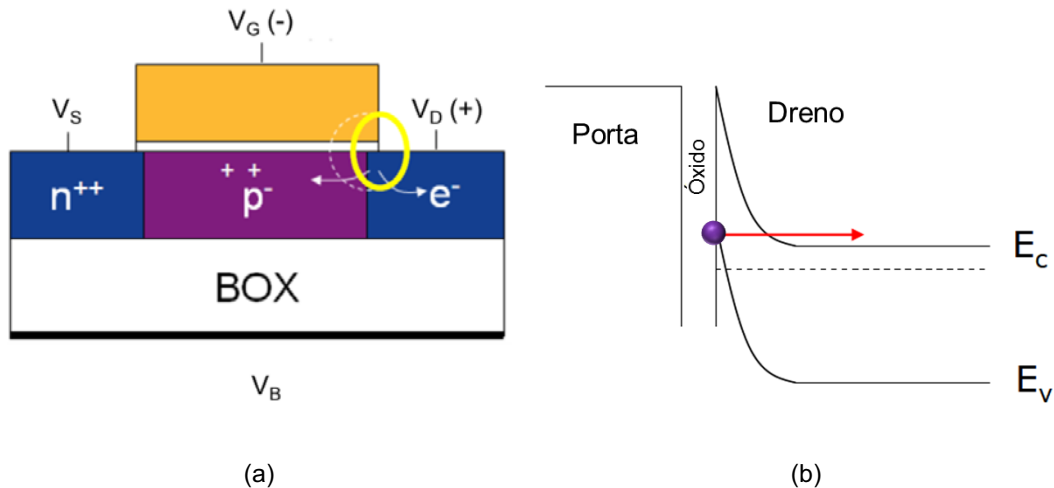
**Figura 4.6 (a) Mecanismo de escrita do dado '1' na memória pelo método do BJT<sup>3</sup> e (b) surgimento da histerese com alto valor de tensão aplicado ao dreno<sup>65</sup>.**

#### 4.2.3 Efeito da corrente de fuga do dreno induzida pela porta (GIDL)

A corrente de GIDL origina-se do tunelamento de banda-a-banda dos portadores e ocorre na região de sobreposição (*overlap*) durante a aplicação de uma tensão negativa na porta e de uma tensão positiva no dreno<sup>61,58</sup>. Ao mesmo tempo em que os elétrons tunelam e fluem para o dreno, as lacunas geradas fluem para o corpo e se acumulam nesta região.

Assim como os mecanismos apresentados anteriormente, o aumento da concentração de lacunas no corpo leva à uma diminuição da tensão de limiar e, conseqüentemente, ao aumento da corrente de dreno.

A Figura 4.7(a) ilustra este mecanismo de escrita do dado '1' e (b) o tunelamento de elétrons da banda de valência para a banda de condução.

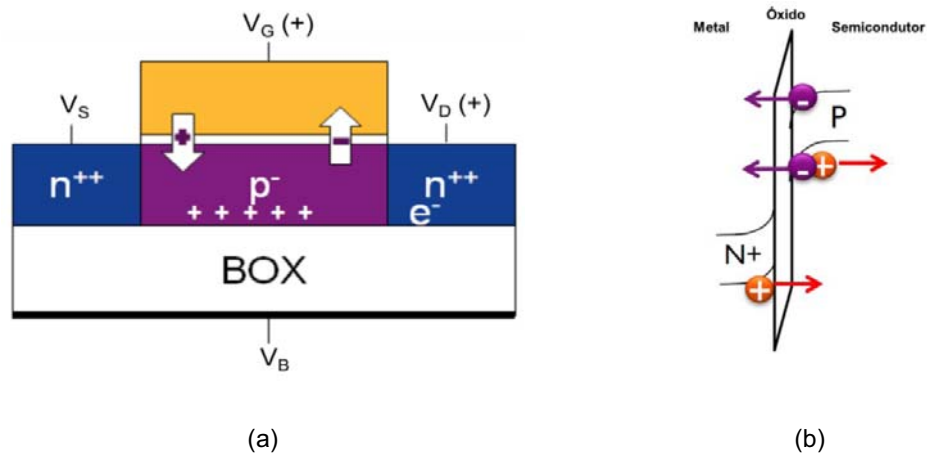


**Figura 4.7 (a) Mecanismo de escrita do dado '1' por GIDL<sup>3</sup> e (b) tunelamento banda-a-banda de portadores<sup>10</sup>.**

#### 4.2.4 Efeito do corpo flutuante induzido pela porta (GIFBE)

Neste método, o mecanismo de escrita do dado '1' se dá através do tunelamento de cargas pelo óxido de porta, ou seja, quando o óxido é submetido a um alto campo elétrico, os portadores ganham energia suficiente para transpor essa barreira podendo então ocorrer da lacuna tunelar da porta para o canal ou do elétron tunelar do canal para a porta<sup>3</sup>. Quando isso acontece, o elétron libera uma lacuna no canal elevando assim a concentração de lacunas no corpo.

A Figura 4.8 (a) ilustra esse mecanismo assim como (b) a estrutura das bandas com o tunelamento dos portadores.



**Figura 4.8 (a) Mecanismo de escrita do dado '1' e estrutura das bandas com tunelamento dos portadores.**

### 4.3 Programação do estado '0'

#### 4.3.1 O acoplamento capacitivo

O acoplamento capacitivo é um dos métodos para a operação da escrita do dado '0', ou seja, agora se deseja retirar as cargas do corpo do transistor. Nesse método, aplica-se um pulso positivo na porta do transistor que induz por acoplamento capacitivo um aumento no potencial do corpo. Com o aumento do potencial, a primeira interface torna-se depletada e as junções fonte-corpo e dreno-corpo tornam-se diretamente polarizadas e, conseqüentemente, as lacunas serão expelidas através dessas junções.

A Figura 4.9 ilustra o mecanismo de escrita do dado '0' por acoplamento capacitivo.

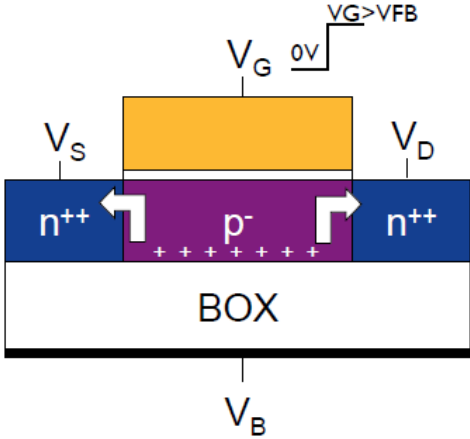


Figura 4.9 Mecanismo de escrita do dado '0' por acoplamento capacitivo<sup>3</sup>.

4.3.2 Polarização direta da junção (FBJ)

Nesse método aplica-se uma tensão negativa no dreno enquanto mantém-se uma tensão positiva na porta do transistor. Deste modo, as junções de dreno-corpo e corpo-fonte estarão polarizadas diretamente e reversamente, respectivamente. Conseqüentemente, as lacunas serão expelidas através da junção dreno-corpo.

A Figura 4.10 apresenta o mecanismo de escrita do dado '0' por polarização direta da junção de dreno-corpo.

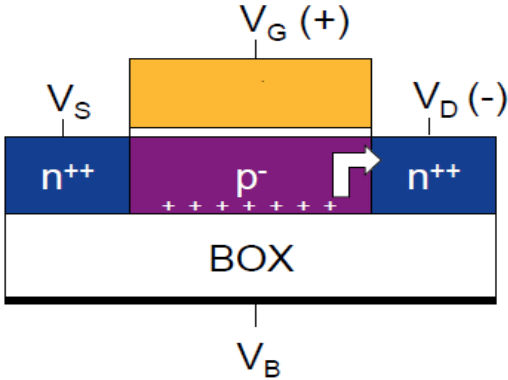


Figura 4.10 Mecanismo de escrita do dado '0' por polarização direta da junção<sup>3</sup>.

A primeira geração de memórias 1T-DRAM (Gen1) utilizava ou a ionização por impacto ou a fuga da corrente de dreno induzida pela porta para criar o excesso de portadores (lacunas) no corpo do dispositivo. Entretanto, as limitações associadas a esses métodos dizem respeito à pequena margem de sensibilidade de corrente e o baixo tempo retenção da informação, até mesmo nos dispositivos do estado-da-arte<sup>66</sup>. Com o intuito de solucionar essas questões, foi proposta a segunda geração de memórias 1T-DRAM (Gen2) baseada no efeito do transistor bipolar parasitário que prolongou o tempo de retenção e aumentou a margem de sensibilidade da corrente permitindo uma maior velocidade de leitura e melhor escalamento do dispositivo<sup>67</sup>.

#### 4.4 Parâmetros fundamentais e método de extração

##### 4.4.1 Esquema de polarização em função do tempo para a programação da 1T-DRAM

A sequência de estados e de polarizações, em função do tempo, necessários para a programação de uma célula de memória 1T-DRAM foram gerados experimentalmente no laboratório do Imec durante o meu estágio de doutorado com duração de seis meses, na Bélgica.

A Figura 4.11(a) apresenta uma foto do sistema de memória com dois geradores de pulsos (um para o pulso de  $V_D$  e outro para o pulso de  $V_G$ ) e (b) os correspondentes pulsos gerados, no *software* do LabView.

Como mencionado, os terminais do dreno e da porta são pulsados enquanto que o terminal da fonte é aterrado e, do substrato, fixado em um valor maior que zero com o intuito de se obter um valor menor na linha de *bit* ( $V_D$ )<sup>65</sup>. Normalmente, a tensão no substrato ( $V_B$ ) é definida com um valor próximo da tensão de limiar da segunda interface.



Figura 4.11 (a) Sistema de memória no laboratório do Imec e (b) pulsos gerados no software do LabView.

A Figura 4.12 mostra a sequência de estados e polarizações para a programação da célula de memória 1T-DRAM.

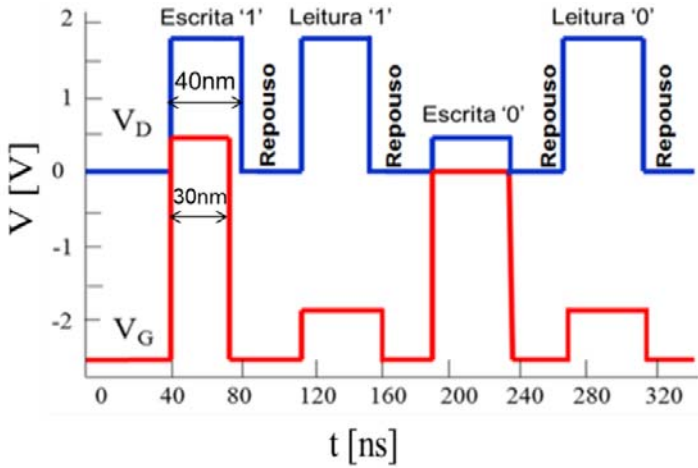


Figura 4.12 Sequência de estados e de polarizações para a programação da célula de memória 1T-DRAM.

Através da Figura 4.12 observa-se que a largura do pulso usado durante a escrita e leitura tanto para  $V_D$  como para  $V_G$  é de 40 ns, exceto na escrita do dado '1', onde a largura do pulso de  $V_G$  é de 30 ns. O pulso da polarização de  $V_G$  cai para a polarização de repouso (espera ou manutenção) antes do pulso



do dreno a fim de manter de forma eficiente as lacunas injetadas no canal durante a escrita do '1' na primeira interface<sup>68</sup>.

As simulações bidimensionais realizadas pelo simulador ATLAS da Silvaco<sup>69</sup> ajudaram na compreensão dos fenômenos físicos envolvidos na escrita e leitura dos dados '1' e '0'. (Exemplos dos arquivos das simulações podem ser encontrados nos Anexos A e B).

Para a escrita do dado '1' e assim disparar o efeito do BJT, as lacunas são geradas próximas ao dreno por ionização por impacto com tensão no dreno ( $V_{D,escrita}$ ) de  $1,8 V$  e tensão na porta ( $V_{G,escrita}$ ) de  $0,5 V$ , como pode ser visto na Figura 4.13.



**Figura 4.13** Geração de lacunas próxima ao dreno por ionização por impacto durante a escrita do dado '1' na memória<sup>56</sup>.

Após a escrita do dado '1' tem-se o estado de repouso e consequentemente, o armazenamento de cargas. Nesta condição, a tensão no dreno ( $V_{D,repouso}$ ) é de  $0 V$  e na porta ( $V_{G,repouso}$ ) é de  $-2,5 V$ .

Observa-se na Figura 4.14 uma alta concentração de lacunas logo abaixo da primeira interface.

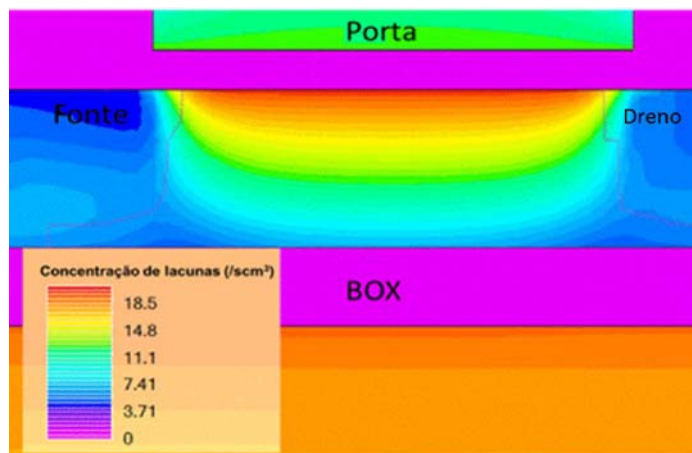


Figura 4.14 Concentração de lacunas na primeira interface durante o estado de repouso<sup>56</sup>.

Para a leitura do dado '1', a tensão de porta ( $V_{G,leitura}$ ) é de  $-1,8 V$  enquanto que a tensão no dreno ( $V_{D,leitura}$ ) é de  $1,8 V$ . Nessa condição de polarização, observa-se através da Figura 4.15, um alto nível de corrente na segunda interface que aumenta o potencial do corpo indicando assim que o dado '1' foi lido com sucesso.

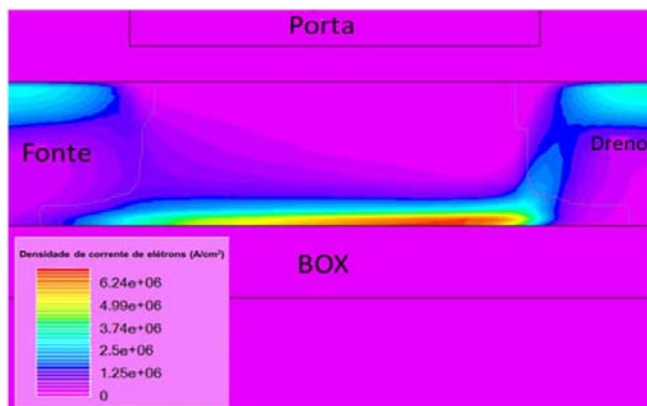
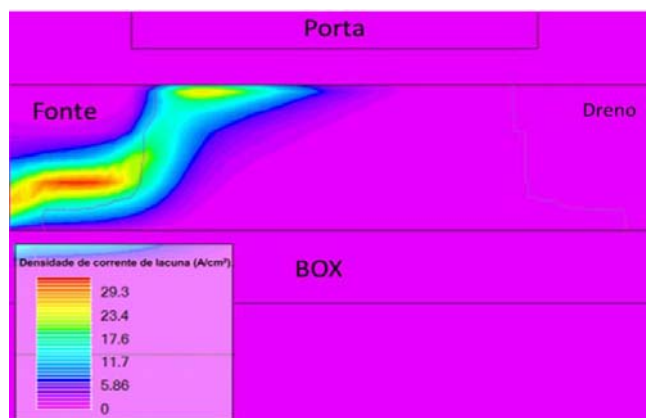


Figura 4.15 Fluxo da corrente de elétrons na 2ª interface durante o estado de leitura<sup>56</sup> da memória.

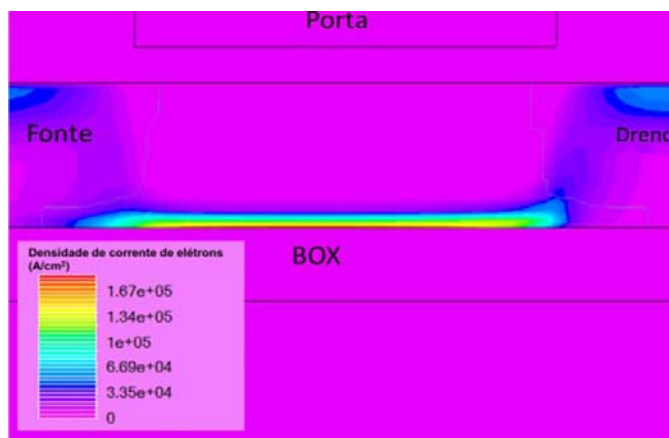
Para a escrita do dado '0', o potencial do corpo é elevado aumentando a polarização da porta ( $V_{G,escrita}$ ) para  $0 V$  e diminuindo a polarização do dreno ( $V_{D,escrita}$ ) para  $0,5 V$ . Conseqüentemente, se houverem lacunas no corpo do dispositivo, estas serão expelidas para a fonte, como pode ser visto na

Figura 4.16 através da densidade de corrente de lacunas fluindo da junção corpo-fonte (acoplamento capacitivo).



**Figura 4.16** Lacunas sendo expelidas através da junção corpo-fonte durante a escrita do dado '0' por acoplamento capacitivo<sup>56</sup>.

Finalmente, para a leitura do dado '0', deve-se observar uma menor densidade de corrente de elétrons na segunda interface já que as lacunas foram expelidas por acoplamento capacitivo, como mostra a Figura 4.17. Para isso, aplica-se novamente um pulso de  $(V_{G,leitura}) - 1,8 V$  na porta e de  $1,8 V$  no dreno ( $V_{D,leitura}$ ).



**Figura 4.17** Diminuição no nível de corrente de elétrons durante a leitura do dado '0'.

#### 4.4.2 A margem de sensibilidade da corrente e a janela de leitura

A margem de sensibilidade da corrente,  $\Delta I_S$ , é definida pela diferença dos níveis de corrente nos estados alto ( $I_1$ ) e baixo ( $I_0$ ) durante a operação de leitura<sup>50</sup>. A janela de leitura, por sua vez, é definida como a diferença (intervalo) entre a maior e menor polarização de porta possível para a leitura de ambos os estados '1' e '0' e o ponto ótimo de leitura ocorre onde se obtém o maior  $\Delta I_S$ .

Os limites do intervalo da  $V_{G,leitura}$  ocorrem devido à condição de disparo do BJT na presença ou ausência de lacunas no corpo flutuante do dispositivo. A condição de disparo acontece como explicado anteriormente, pela elevação da concentração de lacunas na base do BJT que por sua vez, amplifica a corrente realimentando positivamente a corrente de dreno do transistor principal resultando no aumento abrupto na  $I_{DS} \propto V_{GS}$ .

A Figura 4.18 apresenta, através de medidas experimentais, a corrente lida no estado '1', no estado '0' e a respectiva margem de sensibilidade em função da tensão aplicada na porta durante a leitura ( $V_{G,leitura}$ ).

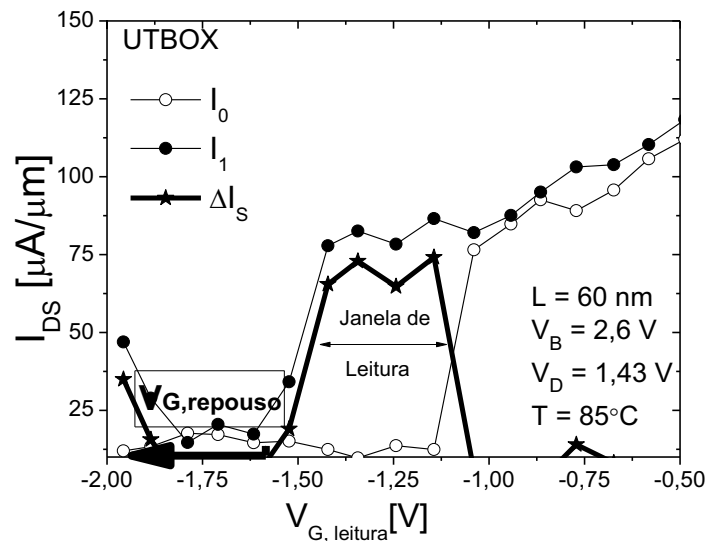


Figura 4.18 Margem de sensibilidade da corrente e janela de leitura obtidas através de medidas experimentais.

A tensão de porta de repouso ( $V_{G,repouso}$ ) deve estar fora da janela de leitura para evitar possíveis distúrbios durante a leitura em células que compartilham a mesma linha (*bit line*) numa matriz de memória e, quanto mais negativa for seu valor, maior a margem de sensibilidade obtida.

#### 4.4.3 Tempo de retenção

O tempo de retenção pode ser entendido como o intervalo de tempo durante o qual o dado armazenado fica retido na memória e ainda pode ser lido corretamente. Esse parâmetro é extraído quando a margem de sensibilidade degradar em 50%.

Com o esquema de polarização utilizado neste trabalho, o tempo de retenção é determinado pela degradação do estado '0', uma vez que se observa através da Figura 4.19 que o estado '1' é estável. Isto indica que o tempo de retenção ocorre devido a geração de lacunas nas células de memória estudadas e não por recombinação de portadores<sup>70</sup>. Deseja-se que o tempo de retenção seja o maior possível (64 ms de acordo com a ITRS<sup>7</sup>) para se diminuir o tempo de atualização (*refresh*) do dado.

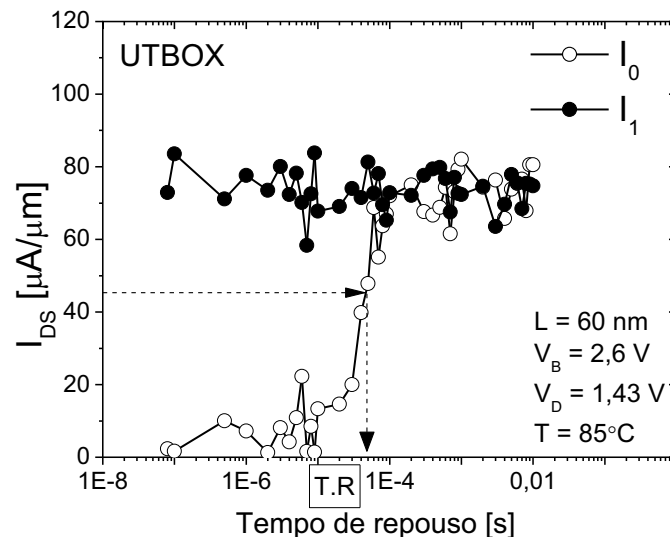


Figura 4.19 Exemplo de extração do tempo de retenção (T.R) mostrando a degradação da corrente no estado '0'.

Como o tempo de retenção em dispositivos com comprimento de canal curto é uma das principais preocupações para as futuras gerações de células de memória dinâmicas, nas próximas seções serão apresentados a tecnologia que melhora esse parâmetro, assim como, o mecanismo dominante que o degrada.

#### **4.5 Características dos dispositivos medidos**

Os dispositivos utilizados nessa parte do trabalho são os mesmos já apresentados no capítulo 3 na seção 3.1, ou seja, analisaremos o comportamento dos dispositivos de referência e os não auto-alinhados com  $L_{UL}=20$  nm, onde uma variação de 30 nm a 215 nm no comprimento efetivo de canal foi investigada e todas as análises foram desenvolvidas com temperatura de operação de  $85^{\circ}C$ . Os principais parâmetros obtidos experimentalmente serão confrontados com simulações numéricas bidimensionais para se compreender os fenômenos físicos por trás dos resultados.

#### 4.6 A influência da polarização do substrato ( $V_B$ ) nos parâmetros dinâmicos de memória<sup>71</sup>.

Tem sido demonstrado na literatura<sup>65,71</sup> que a polarização no substrato ( $V_B$ ) possui impacto importante na  $V_{D,escrita}$  e na janela de leitura. Isto acontece porque a polarização do substrato abre a janela de leitura, aumenta a margem de sensibilidade e diminui o  $V_D$  requerido. O valor de  $V_B$  ideal deve ser aquele próximo da tensão de limiar da segunda interface. Um exemplo do comportamento das correntes  $I_0$  e  $I_1$ , dependendo do valor escolhido de  $V_B$ , pode ser visto na Figura 4.20 e Figura 4.21.

Se o valor escolhido de  $V_B$  for muito alto ( $V_B \gg V_{TH}$ ) uma alta corrente é lida já no estado '0' e então a margem de sensibilidade será pequena, ou insignificante, Figura 4.20, ou seja, com  $V_B$  muito alto a segunda interface estará em inversão forte e sempre haverá passagem de corrente, tornando impossível a programação do '0'.

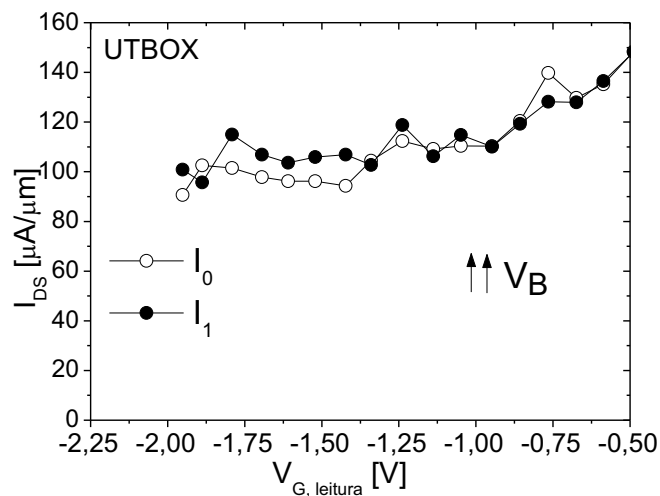


Figura 4.20 Comportamento das correntes  $I_0$  e  $I_1$  devido a alta polarização na tensão de substrato.

Por outro lado, se o valor de  $V_B$  for muito baixo ( $V_B \ll V_{TH}$ ), não haverá geração de lacunas suficientes na escrita do dado '1' e ainda, não haverá

acúmulo de cargas na segunda interface para possibilitar a leitura desse dado '1', ou seja, sempre será lido o nível '0', Figura 4.21.

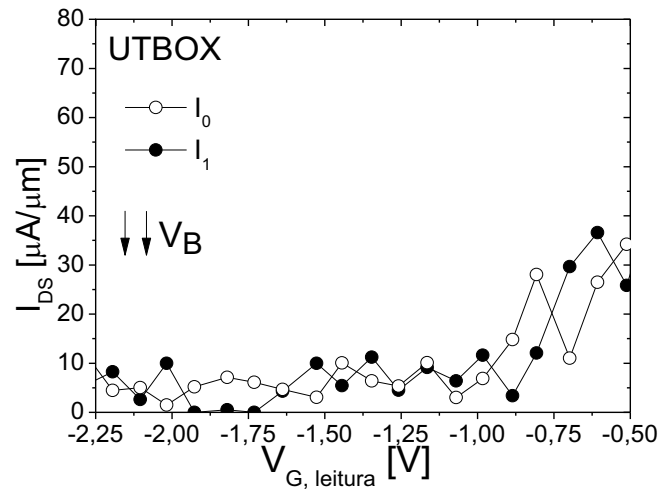


Figura 4.21 Comportamento das correntes  $I_0$  e  $I_1$  devido a baixa polarização na tensão de substrato.

#### 4.6.1 A margem de sensibilidade e a janela de leitura

A Figura 4.22 apresenta o comportamento da histerese da corrente de dreno, do UTBOX de referência, em função da tensão de porta de leitura ( $V_{G, leitura}$ ) para diferentes polarizações no substrato.

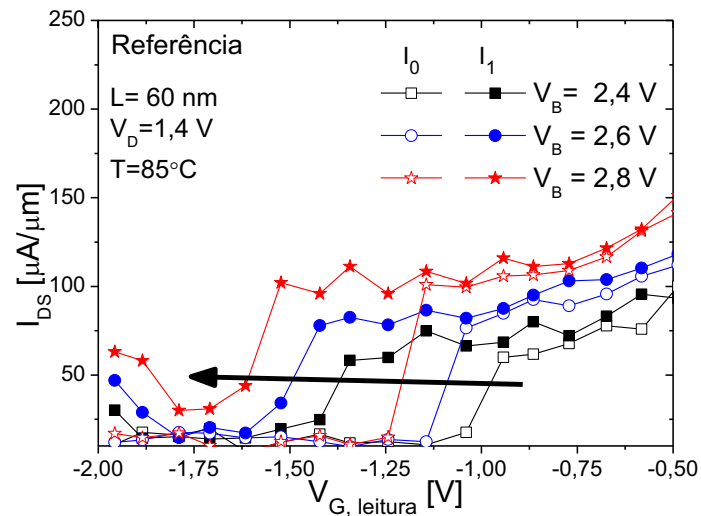


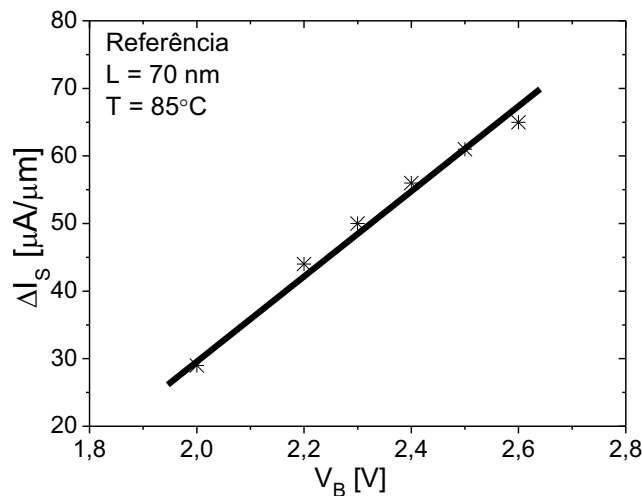
Figura 4.22 Curvas da corrente de dreno em função de  $V_{G, leitura}$  para diferentes polarizações de substrato, obtidas experimentalmente.



Pode-se observar que a janela de leitura desloca-se para valores mais negativos de tensão de porta de leitura ( $V_{G,leitura}$ ) com o aumento de  $V_B$ . Isso acontece devido ao acoplamento entre a primeira e segunda interfaces onde para maiores valores de  $V_B$ , há a diminuição da tensão de limiar do canal disparando o efeito do BJT antes.

Entretanto, o tamanho da janela de leitura permanece constante uma vez que tanto a escrita do dado '1' como a escrita do dado '0', são influenciados da mesma maneira durante a sequência de programação. Para maiores valores de  $V_B$  mais lacunas são geradas para a escrita do dado '1' e da mesma forma, mais lacunas são removidas durante a escrita do '0', isso mudando somente  $V_B$  e mantendo as polarizações de escrita e leitura constante.

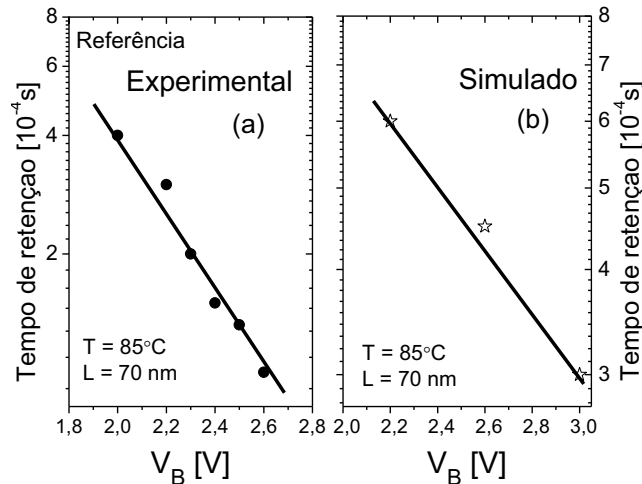
A margem de sensibilidade em função da polarização do substrato é apresentada na Figura 4.23 onde, assim como na Figura 4.22, pode-se observar seu aumento para maiores valores de  $V_B$  devido ao aumento da corrente na segunda interface no estado de leitura.



**Figura 4.23** Aumento da margem de sensibilidade em função da polarização do substrato.

#### 4.6.2 Tempo de retenção

Contrariamente ao comportamento da margem de sensibilidade em função de  $V_B$ , o tempo de retenção diminui com o aumento da polarização do substrato, como se observa na Figura 4.24 através de (a) resultados experimentais e confirmados (b) por simulações bidimensionais.



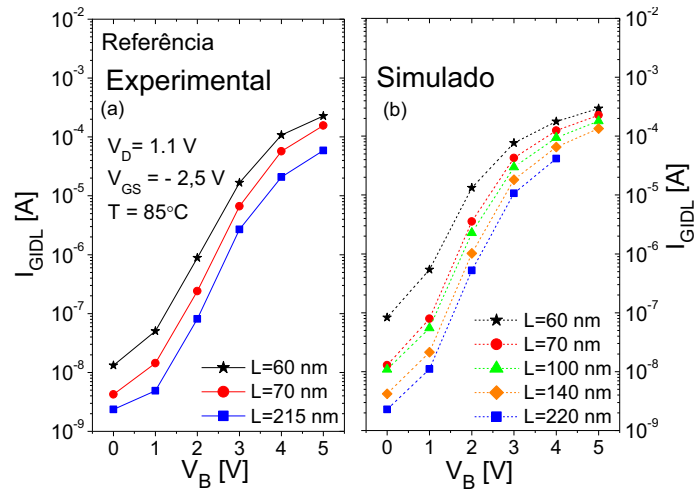
**Figura 4.24 Diminuição do tempo de retenção em função da polarização de substrato obtido por resultados (a) experimentais e (b) simulados.**

Essa diminuição está relacionada ao aumento da geração de lacunas devido ao aumento corrente de fuga na junção (aumento da corrente de GIDL), com  $V_B$ . Em outras palavras, quanto mais positivo for o valor de  $V_B$ , menor será a tensão de limiar e mais negativo deverá ser o valor de  $V_G$  para conseguir acumular a primeira interface, resultando então em maior GIDL, como será apresentado no item 4.6.3.

#### 4.6.3 A corrente de fuga do dreno induzida pela porta (GIDL)

A Figura 4.25 apresenta o comportamento da corrente de GIDL em função da polarização do substrato através de (a) medidas experimentais e confirmado por (b) simulações bidimensionais mostrando que a  $I_{GIDL}$  aumenta com o aumento de  $V_B$ .

Esta corrente de fuga ( $I_{GIDL}$ ) gera lacunas no canal o que acaba degradando o dado '0' e assim o tempo de retenção, conforme foi observado no item 4.6.2.



**Figura 4.25 Aumento da corrente de GIDL em função da polarização de substrato para diferentes comprimentos de canal obtidos através de resultados (a) experimentais e (b) simulados.**

Com o estudo da influência da polarização do substrato nos parâmetros dinâmicos de memória foi observado que o tempo de retenção diminui à medida que se aumenta a polarização em  $V_B$  devido ao aumento da corrente de GIDL e ainda, a janela de leitura desloca-se para valores mais negativos de  $V_G$  devido à diminuição da tensão de limiar, mas sua largura mantém-se constante.

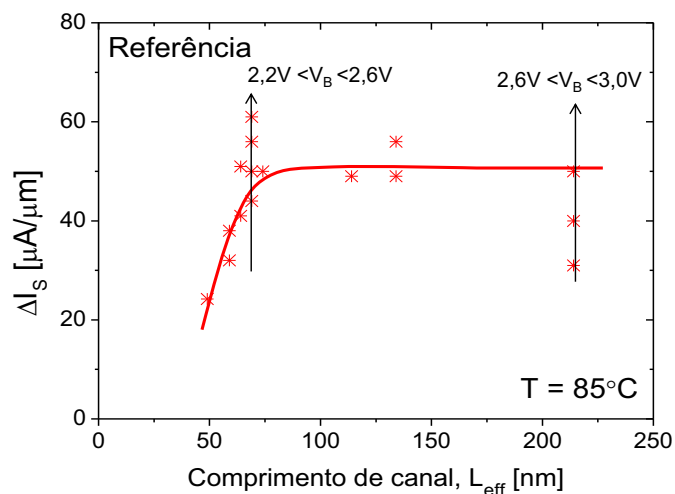
#### 4.7 A influência do comprimento de canal nos parâmetros dinâmicos de memória<sup>51</sup>.

Nessa seção será investigado o mecanismo dominante responsável pela degradação do tempo de retenção e da margem de sensibilidade em função do comprimento de canal, nos dispositivos UTBOX utilizados como memória. Contrariamente aos outros esquemas de programação já reportados<sup>72,73</sup>, onde o DIBL e assim os efeitos de canal curto são apontados como os mecanismos limitantes para o escalamento da tecnologia, com o esquema de programação utilizado neste trabalho, mostraremos que a amplificação do GIDL pelo transistor bipolar parasitário é o responsável por tal degradação nos parâmetros dinâmicos da memória.

##### 4.7.1 Margem de sensibilidade

A margem de sensibilidade em função do comprimento de canal é mostrada na Figura 4.26. É possível observar que a margem de sensibilidade pode ser constante em função do comprimento de canal através da otimização da polarização do substrato, onde, como já apresentado na figura 4.23, altos valores de  $V_B$  estão relacionados a altos valores de  $\Delta I_S$ .

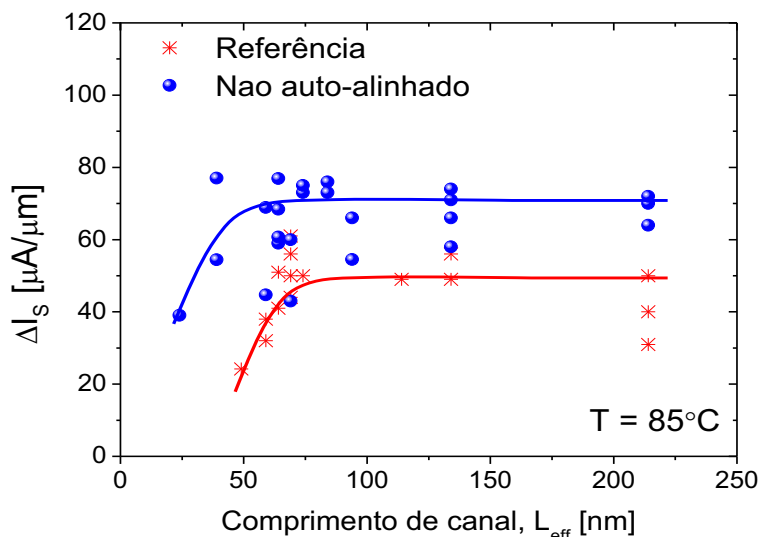
Neste caso, o intervalo de otimização de  $V_B$  foi de 1,0 a 3,0 V (cada estrela apresentada no gráfico corresponde a um valor de  $V_B$  e exemplificando, para  $L_{eff} = 70 \text{ nm}$  e  $L_{eff} = 215 \text{ nm}$  são mostrados os respectivos valores desta variação de  $V_B$ ). Entretanto, um comprimento de canal crítico ( $L_{eff} = 70 \text{ nm}$ ) é observado e, a partir desse comprimento de canal (para valores menores de  $L_{eff}$ ), a margem de sensibilidade cai de repente e a janela de leitura desaparece.



**Figura 4.26 Margem de sensibilidade da corrente do dispositivo de referência, em função do comprimento de canal para diferentes valores de  $V_B$ .**

Na Figura 4.27 é introduzido o comportamento da margem de sensibilidade em função do comprimento de canal dos dispositivos não auto-alinhados. Nesses dispositivos foi necessário aumentar o valor da polarização do substrato em relação aos dispositivos de referência para se obter uma janela de leitura com um tamanho razoável, então o intervalo de otimização nesse caso foi 1,5 a 3,4 V.

Novamente, cada esfera do gráfico representa uma polarização diferente no substrato para o mesmo comprimento de canal. Observa-se também que utilizando a tecnologia UTBOX SOI não auto-alinhada, consegue-se alcançar valores maiores de  $\Delta I_S$ , o que é desejado.



**Figura 4.27 Margem de sensibilidade em função do comprimento de canal, com diferentes valores de  $V_B$  para os dispositivos de referência e não auto-alinhado.**

Pode-se dizer que o comprimento crítico de canal é de aproximadamente  $4xt_{Si}$  para o dispositivo de referência e de  $2,5xt_{Si}$  para o não auto-alinhado.

#### 4.7.2 Tempo de retenção

Como o tempo de retenção é um dos parâmetros chaves para o desenvolvimento de tecnologias futuras, seu comportamento também foi analisado em função do comprimento do canal e para diferentes valores de  $V_B$ , com o intuito de se alcançar a condição ótima de operação, ou seja, o tempo de retenção ótimo (64 ms pela ITRS<sup>7</sup>).

A Figura 4.28 apresenta um exemplo do comportamento da corrente de dreno em função do tempo de repouso para comprimentos de canal de 60 nm a 135 nm e  $V_B$  fixo, onde se observa o deslocamento para esquerda das curvas, do dispositivo de referência, com a diminuição do comprimento do canal indicando a redução do tempo de retenção para  $L_{eff}$  menores.

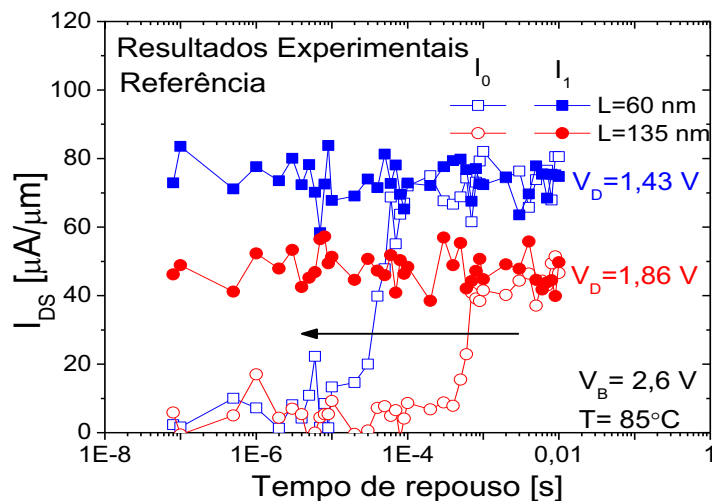


Figura 4.28 Comportamento da corrente de dreno em função do tempo de repouso para comprimentos de canal de 60 nm e 135 nm indicando a redução do tempo de retenção.

Na Figura 4.29, o tempo de retenção foi extraído para diferentes comprimentos de canal com diferentes polarizações de substrato e para as duas tecnologias estudadas, de modo a alcançar o tempo de retenção ótimo para cada comprimento de canal e tecnologia.

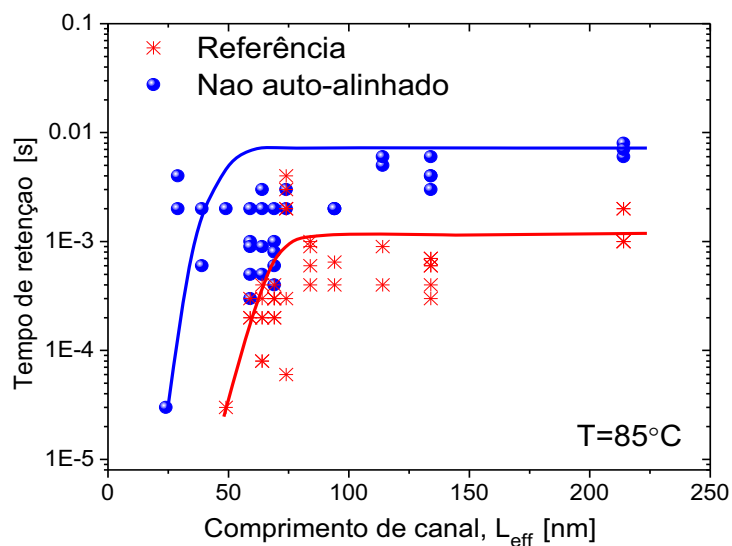
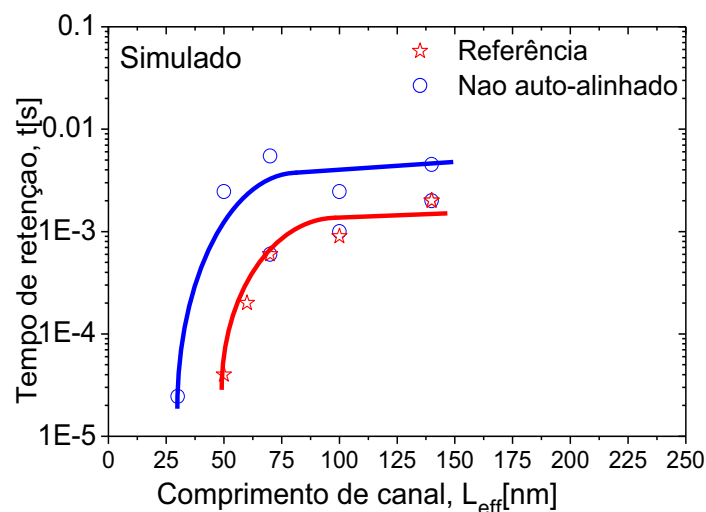


Figura 4.29 Tempo de retenção em função do  $L_{eff}$  para as duas tecnologias estudadas e com diferentes valores de  $V_B$ .

Assim como no gráfico da margem de sensibilidade (Figura 4.27), duas tendências no tempo de retenção são claramente observadas para as duas tecnologias, em função do comprimento de canal: um *plateau* para comprimentos de canal longo com tempo de retenção constante e de aproximadamente 4 ms para o não auto-alinhado e 1 ms para o referência e, uma diminuição repentina para comprimentos com canal curto. Para o dispositivo não auto-alinhado, o tempo de retenção é melhorado (aumenta) se comparado ao dispositivo de referência devido à redução no campo elétrico entre as junções e o corpo<sup>56</sup>. Além disso, a queda no tempo de retenção para comprimentos menores sofre um atraso nesses dispositivos ( $L_{eff} < 54 \text{ nm}$  para a referência e  $L_{eff} < 34 \text{ nm}$  para o não auto-alinhado com tempos de retenção iguais e de 0,03 ms). Essa é uma comparação de desempenho coerente desses dois dispositivos assim como já foi apresentado anteriormente na seção 3.4<sup>50</sup>. Isto indica que os dispositivos não auto-alinhados podem ser mais escaláveis também em aplicações como células de memória.

Para confirmar essas tendências, foram simulados bidimensionalmente esses dois dispositivos com as mesmas condições e características apresentadas. A Figura 4.30 mostra a mesma tendência obtida dos resultados experimentais para as duas tecnologias estudadas.



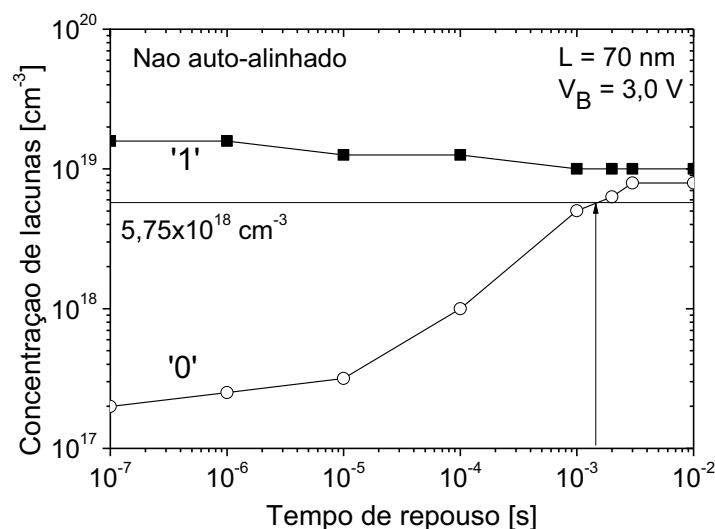
**Figura 4.30** Comportamento do tempo de retenção em função do comprimento de canal, obtido através de simulações numéricas bidimensionais, para as duas tecnologias estudadas.



#### 4.7.3 Mecanismo responsável pela diminuição do tempo de retenção em dispositivos de canal curto.

Diferentes cenários podem explicar a degradação do tempo de retenção em dispositivos de canal curto, tais como, o DIBL<sup>73</sup>; os efeitos de borda relacionados ao aumento da concentração de dopantes perto das junções induzindo um aumento do campo elétrico lateral; aumento da fuga de lacunas através da junção fonte-corpo, dentre outros. Entretanto, com o esquema de programação utilizado neste trabalho (Figura 4.12) e como neste caso o estado de equilíbrio é o estado '1', o tempo de retenção só pode ser determinado pelo estado '0', ou seja, o tempo de retenção é determinado pela geração de lacunas.

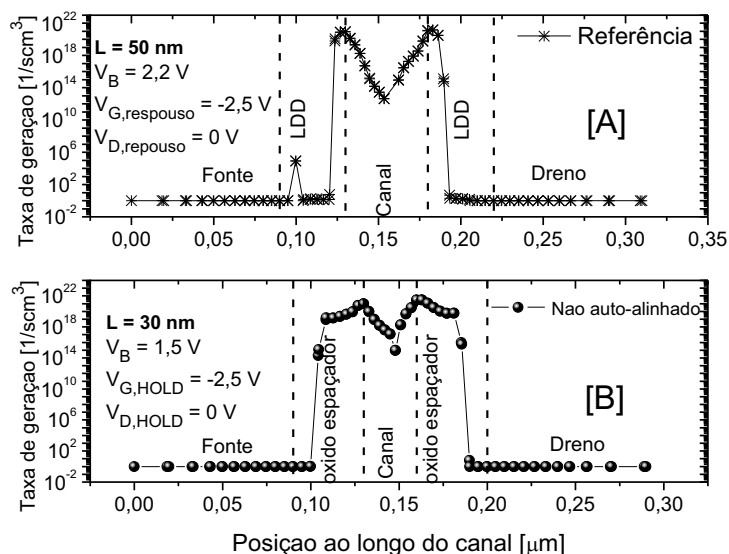
A Figura 4.31 mostra a concentração de lacunas durante o repouso do estado '0' e '1' ao longo do tempo, onde se observa a ocorrência de geração de lacunas fazendo com que a corrente  $I_0$  se degrade e se aproxime de  $I_1$ . Neste caso, a concentração de lacunas no momento da degradação é de  $5,75 \times 10^{18} \text{ cm}^{-3}$  (dado obtido através de um corte na estrutura simulada).



**Figura 4.31** Concentração de lacunas em função do tempo durante o tempo de repouso dos estados '0' e '1'.

A partir desse resultado, houve a necessidade de se verificar a taxa de geração de lacunas, próximo da primeira interface, em função da posição ao longo do canal, durante a condição de repouso do dado '0' para o menor comprimento de canal possível de cada tecnologia, isto é, 50 nm para o dispositivo de referência e 30 nm para o dispositivo não auto-alinhado e, com a melhor condição de polarização de substrato ( $V_B$  que obtém maior tempo de retenção) 2,2 V para o de referência e 1,5 V para o não auto-alinhado.

Nota-se então, a partir da Figura 4.32, que a taxa de geração próxima das junções apresenta valor aproximado em ambas tecnologias, o que demonstra ser um resultado coerente visto que o tempo de retenção obtido por simulação também foram aproximados, ( 0,14 ms e 0,2 ms para os dispositivos de referência e o não auto-alinhado, respectivamente), como já mostrado na Figura 4.30.

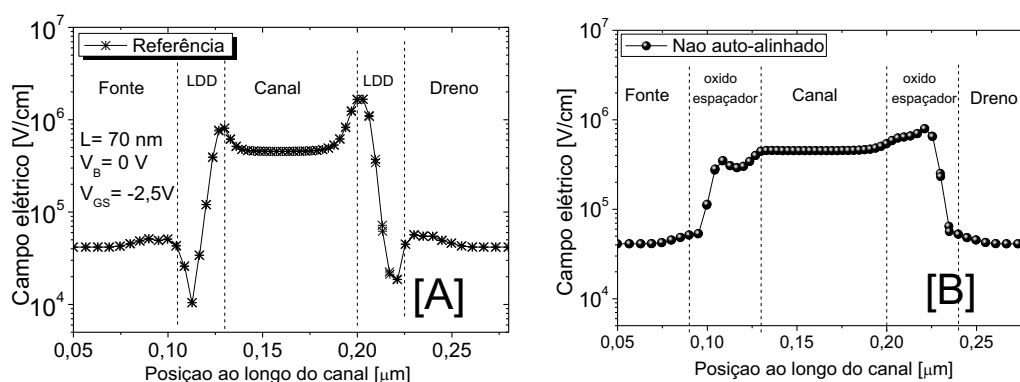


**Figura 4.32 Taxa de geração ao longo do canal durante o tempo de repouso do estado '0' à 1 nm abaixo da primeira interface para os menores comprimentos de canal dos dispositivos (a) de referência e (b) não auto-alinhado.**

Isto significa que a queda no tempo de retenção para comprimentos de canal curto não está relacionado à perda de lacunas ou ao DIBL. Além disso, os efeitos de borda ou o aumento do campo lateral também não podem ser considerados como os mecanismos dominantes da degradação da retenção uma vez que os dispositivos estudados apresentam baixa dopagem (dopagem

intrínseca) e ainda, os dispositivos não auto-alinhados apresentam um campo elétrico reduzido se comparado aos dispositivos de referência, como pode ser visto na Figura 4.33 através de simulações numéricas bidimensionais.

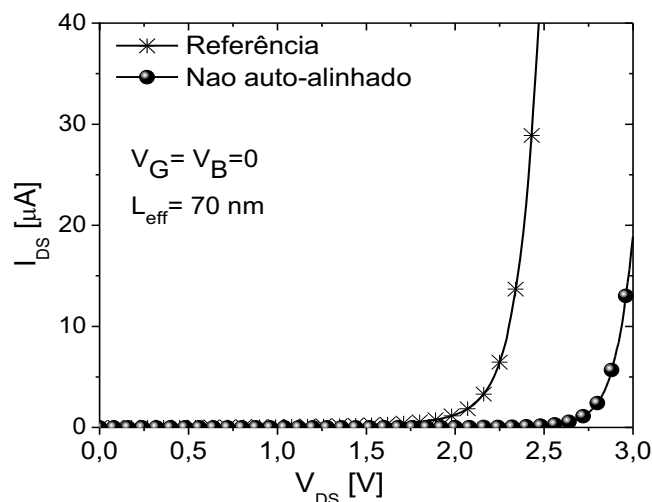
Nota-se então que o campo elétrico é maior nas extremidades da região de porta nas duas tecnologias sendo aproximadamente duas vezes maior no dispositivo de referência ( $1,6MV/cm$ ) se comparado ao dispositivo não auto-alinhado ( $0,8 MV/cm$ ) e isto acontece devido à distribuição de potencial nas regiões entre dreno e porta<sup>47</sup>.



**Figura 4.33** Comportamento do campo elétrico ao longo do canal, obtido por simulação numérica bidimensional, dos dispositivos (a) de referência e (b) não auto-alinhado.

Dessa forma, espera-se que o impacto do campo lateral seja menor nos dispositivos não auto-alinhados, uma vez que esses dispositivos apresentam filme de Si fracamente dopado reduzindo os efeitos do campo lateral.

Devido ao baixo campo elétrico dos dispositivos não auto-alinhados, a polarização no dreno necessária para geração de lacunas deverá ser muito maior que nos dispositivos de referência, como mostrado Figura 4.34.



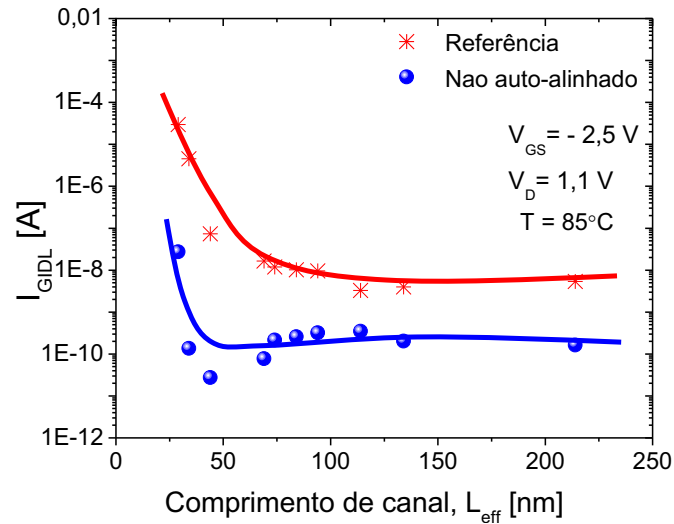
**Figura 4.34** Curvas características de  $I_{DS} \times V_{DS}$  para os dispositivos de referência e não auto-alinhado com as seguintes condições de polarizações:  $V_G = V_S = V_B = 0$ .

#### 4.7.3.1 A corrente de fuga do dreno induzida pela porta (GIDL)

A Figura 4.35 apresenta a corrente de fuga do dreno induzida pela porta em função do comprimento de canal extraída para  $V_{GS} = -2,5 V$  e  $V_D = 1,1 V$ . É possível observar que a corrente de GIDL apresenta um aumento abrupto para comprimentos de canal curto, a qual se mostra ainda mais pronunciada nos dispositivos de referência em aproximadamente três ordens de magnitude se comparado aos dispositivos não auto-alinhados.

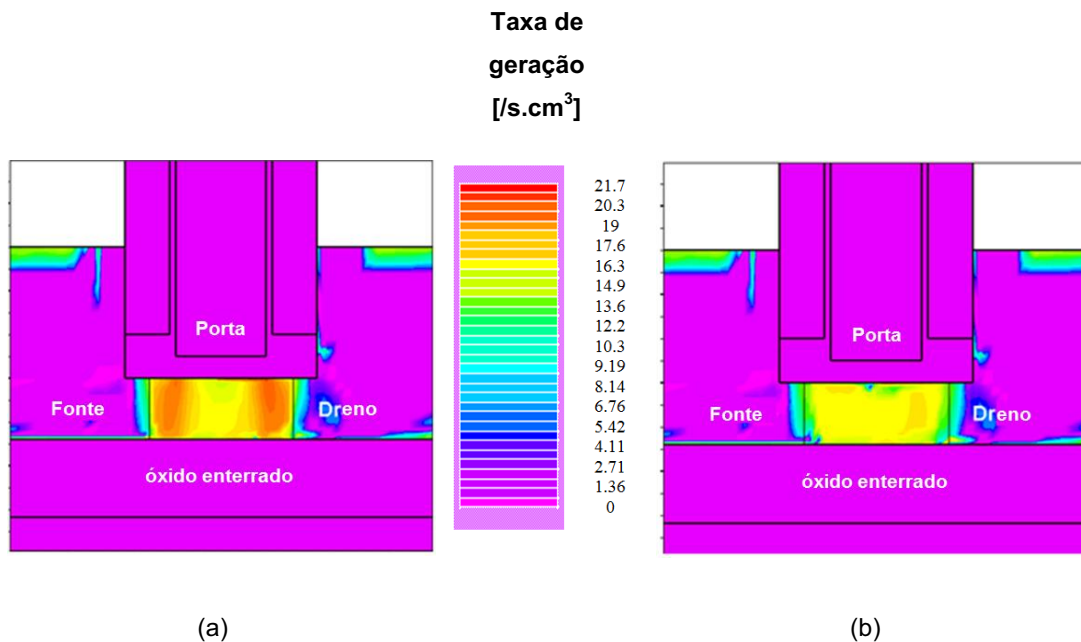
A redução da corrente de GIDL nos dispositivos não auto-alinhados é atribuída ao menor campo elétrico nas junções de porta-dreno e porta-fonte, Figura 4.33, resultando em um menor tunelamento banda-a-banda.

As simulações também indicam que o principal efeito atuante na geração de pares elétrons-lacunas é o GIDL, como pode ser visto através da distribuição da taxa de geração ao longo da estrutura não auto-alinhada, durante o tempo de repouso do estado '0', na Figura 4.36.



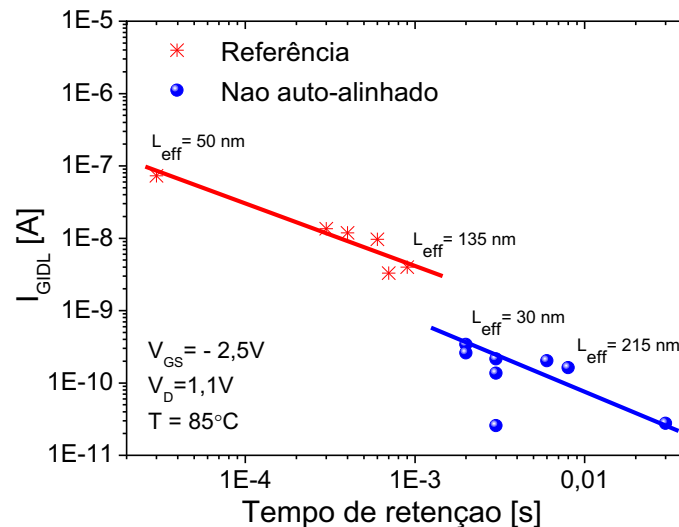
**Figura 4.35**  $I_{GIDL}$  em função do comprimento do canal para as duas tecnologias estudadas.

Observa-se que a maior taxa de geração perto das junções só acontece quando o modelo de tunelamento banda-a-banda (bbt.kane) é considerado Figura 4.36(a).



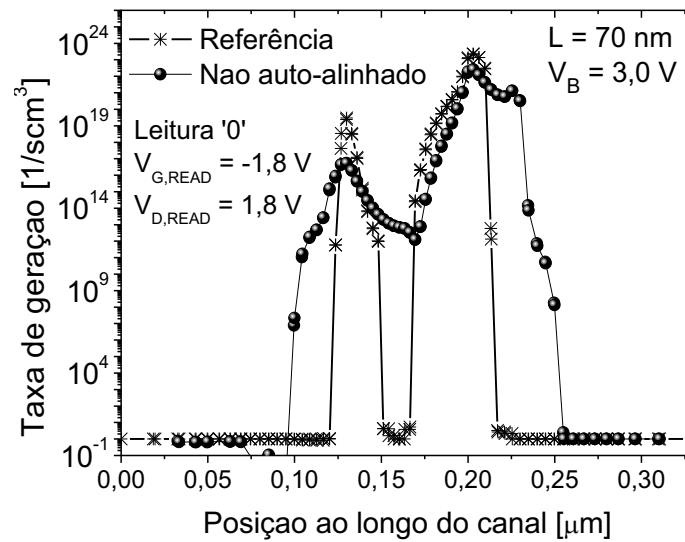
**Figura 4.36** Taxa de geração ao longo do canal para os dispositivos não auto-alinhados durante o tempo de repouso do estado '0' (a) considerando o modelo bbt.kane e (b) sem considerá-lo.

A fim de sustentar ainda mais esses resultados, uma forte correlação é observada entre o tempo de retenção e a corrente de GIDL, como mostra a Figura 4.37 onde cada ponto do gráfico corresponde a um comprimento de canal. Quanto menor o comprimento do canal, mais lacunas são geradas pelo GIDL diminuindo o tempo de retenção. Observa-se também o maior tempo de retenção alcançado com o uso de dispositivos não auto-alinhados.



**Figura 4.37 Corrente de GIDL em função do tempo de retenção. Uma tendência negativa pode ser vista uma vez que comprimentos de canal mais curtos apresentam maior corrente de GIDL.**

Encontra-se na literatura<sup>45</sup> que nos dispositivos de canal curto, a corrente de GIDL é amplificada pelo transistor bipolar lateral (BJT) na tecnologia SOI. Uma vez que com o esquema de programação utilizado neste trabalho, o efeito do BJT é usado para a leitura do dado, provavelmente além das lacunas serem injetadas durante o repouso do estado '0' como mostrado na Figura 4.31, elas também podem ter sido injetadas durante a leitura do dado '0' contribuindo para a diminuição no tempo de retenção. Os dispositivos então foram simulados a fim de se verificar a taxa de geração de lacunas na condição de leitura do dado '0', como pode ser visto na Figura 4.38.



**Figura 4.38** Taxa de geração durante a leitura do dado '0' a 1 nm abaixo da primeira interface para os dispositivos de referência e não auto-alinhado.

É possível observar que realmente existe geração de lacunas próxima das junções a qual é um pouco maior no dispositivo de referência, indicando então que o GIDL amplificado pelo BJT pode estar presente também durante a leitura do dado, favorecendo assim a degradação do  $I_0$  e, conseqüentemente, contribuindo também para a diminuição do tempo de retenção.

#### 4.8 A influência da temperatura nos parâmetros dinâmicos da memória 1T-DRAM em dispositivos não auto-alinhados.

Esta seção apresenta o comportamento, obtido experimentalmente, dos principais parâmetros dinâmicos da memória sob a influência de diferentes temperaturas em dispositivos não auto-alinhados. O comprimento efetivo de canal escolhido para essa análise foi de 60 nm enquanto que a variação de temperatura foi de 25 a 125°C. As condições de polarizações necessárias para o aparecimento da janela de leitura e para a degradação do estado '0' foram de 1,85 V no dreno e 3,5 V no substrato.

##### 4.8.1 Janela de leitura

O comportamento da janela de leitura em função do aumento da temperatura é mostrado na Figura 4.39, para o dispositivo não auto-alinhado e com comprimento efetivo de canal de 60 nm. É possível observar através desta figura que com o aumento da temperatura, a polarização de porta necessária para se conseguir ler estado o '1' aumenta, enquanto que o tamanho da janela de leitura por sua vez, diminui.

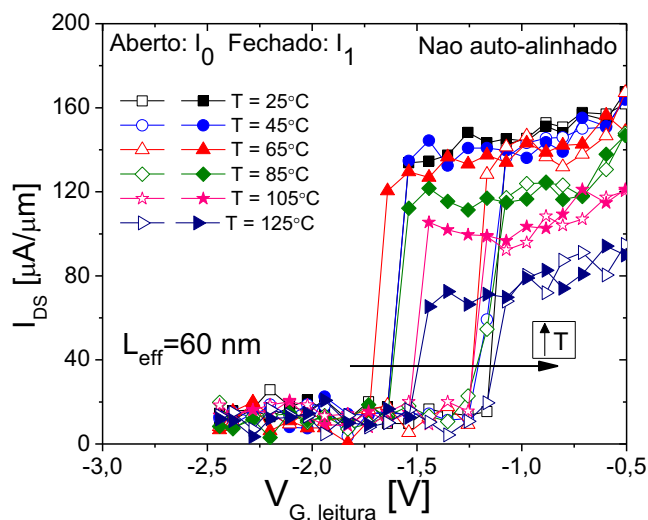


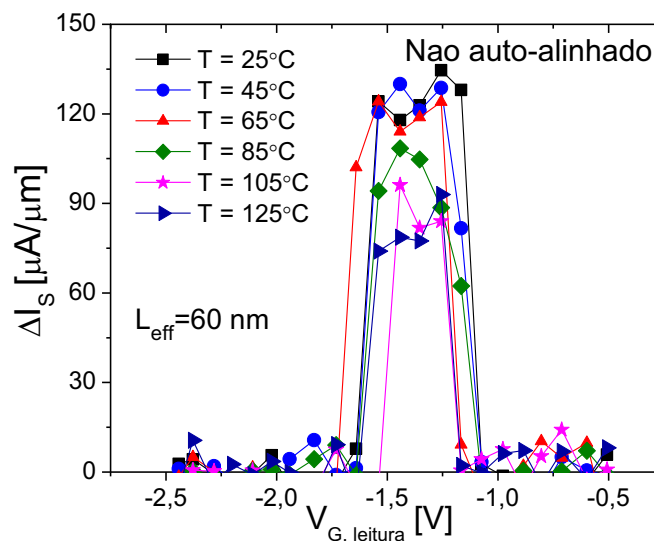
Figura 4.39 Deslocamento da janela de leitura em função do aumento da temperatura nos dispositivos não auto-alinhados com  $V_D = 1,85$  V e  $V_B = 3,5$  V.



#### 4.8.2 Margem de sensibilidade

A margem de sensibilidade ( $I_1 - I_0$ ) para diferentes temperaturas é apresentada na Figura 4.40. Com o aumento da temperatura ocorre a diminuição da margem de sensibilidade devido à diminuição da diferença entre as correntes nos estados '1' e '0'. Com o aumento da temperatura, a mobilidade dos portadores é reduzida devido ao espalhamento de fônons diminuindo assim a geração de pares elétrons-lacunas.

Como explicado anteriormente, altos valores de  $\Delta I_S$  são desejáveis com o intuito de se obter uma leitura rápida dos dados e melhor escalabilidade da tecnologia, assim como uma larga janela de leitura para garantir a variabilidade.



**Figura 4.40 Margem de sensibilidade em função da janela de leitura para diferentes temperaturas com  $V_D = 1,85 V$  e  $V_B = 3,5 V$ .**

#### 4.8.3 Tempo de retenção

A Figura 4.41 apresenta o comportamento da corrente de dreno em função do tempo de repouso para comprimento efetivo de canal de 60 nm e diferentes temperaturas.

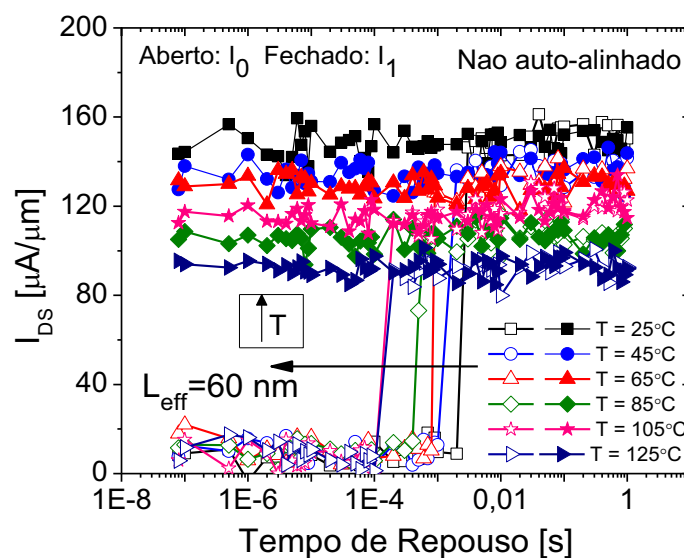
Para se compreender o comportamento do tempo de retenção em função do aumento da temperatura deve-se entender o mecanismo de geração e recombinação de portadores por Shockley-Read-Hall (SRH). Nas células de memória 1T-DRAM, as lacunas geradas são armazenadas na camada de acumulação, próximo das junções de fonte e dreno. Na recombinação por SHR, os pares elétron-lacuna se recombinaem em um nível energético intermediário de armadilhas introduzido pela presença de impurezas, defeitos ou contaminações, localizados entre o nível superior de valência e o inferior de condução, sendo que a energia liberada durante o evento de recombinação é dissipada através de vibrações na rede cristalina. Em contrapartida, a cada processo de recombinação, existe um processo de geração. O processo de geração que acontece através de níveis energéticos intermediários, devido à energia proveniente de vibrações na rede cristalina, é a geração térmica de pares elétron-lacuna ou geração de Shockley-Read-Hall.

Existe uma correlação entre a corrente de geração e o tempo de retenção, onde uma menor taxa de geração resulta em maior tempo de retenção. A explicação para o comportamento da Figura 4.41 está relacionada ao tempo de vida de geração de portadores ( $\tau_g$ ) em dispositivos totalmente depletados, uma vez que:

$$\tau_g = \tau_h \exp\left(\frac{(E_T - E_i)}{kT}\right) + \tau_e \exp\left(\frac{(E_i - E_T)}{kT}\right) \quad 4.2$$

Onde  $E_i$  é o nível de Fermi intrínseco,  $k$  é a constante de Boltzmann,  $T$  é a temperatura,  $\tau_e$  é o tempo de vida de geração do elétron e  $\tau_h$  é o tempo de vida de geração da lacuna.

Da equação 4.2 nota-se que o tempo de vida de geração é inversamente proporcional à temperatura. Conseqüentemente, para altas temperaturas, o tempo de vida de geração é reduzido então mais lacunas serão geradas e um menor tempo de retenção será obtido.



**Figura 4.41** Comportamento da corrente de dreno em função do tempo de repouso para diferentes temperaturas em dispositivos não auto-alinhados com

$$V_D = 1,85 \text{ V e } V_B = 3,5 \text{ V.}$$

Com os resultados obtidos através deste estudo, conclui-se que a célula de memória não deve ser operada em temperaturas muito altas, visto que o aumento da temperatura degrada parâmetros importantes como margem de sensibilidade e o tempo de retenção mesmo na tecnologia não auto-alinhado. As células de memória devem operar então em temperaturas que garantam alta margem de sensibilidade e longo tempo de retenção, ou seja,  $85^\circ C$ .

## 5 CONCLUSÕES FINAIS E PROPOSTAS PARA TRABALHOS FUTUROS

### 5.1 Conclusões finais

Neste trabalho foi realizado um intenso estudo sobre o comportamento dos dispositivos SOI UTBOX não auto-alinhados desde os parâmetros elétricos mais básicos como tensão de limiar, transcondutância e inclinação de sublimiar até sua aplicação mais avançada e de maior interesse nos dias de hoje, atuando como uma célula de memória 1T-DRAM.

Estudando a influência da temperatura em diferentes engenharias de fonte e dreno, foi observado que embora os dispositivos de referência (aqueles com junção de fonte e dreno auto-alinhada) e os dispositivos com comprimento de subposição de 10 nm apresentaram maior transcondutância e maior  $I_{ZTC}$  que os dispositivos com comprimento de subposição de 20 nm e aqueles com regiões de LDD fracamente dopadas, os dois últimos mostraram-se mais vantajosos em todos os outros parâmetros elétricos estudados como menor corrente de fuga (GIDL); menor inclinação de sublimiar; menor susceptibilidade aos efeitos de canal curto; maior ganho intrínseco de tensão no intervalo de temperatura de 25 a 120<sup>0</sup>C.

A partir dos resultados obtidos das diferentes engenharias de fonte e dreno em função da temperatura optou-se por aprofundar o estudo e comparar o comportamento dos dispositivos de referência com os dispositivos não auto-alinhados de 20 nm em função do escalamento do comprimento de canal desses dispositivos. Mais uma vez, os dispositivos não auto-alinhados apresentaram desempenho melhor como menor variação da tensão de limiar para comprimentos de canal curto (variação três vezes menor para o mesmo comprimento de canal que o dispositivo de referência). Com relação à inclinação de sublimiar, a variação nesse parâmetro entre o maior comprimento de canal (70 nm) e o menor (30 nm) foi de 410 *mV/dec* para o dispositivo de referência enquanto que para o dispositivo não auto-alinhado foi de 165 *mV/dec* indicando então que os dispositivos não auto-alinhados sofrem menos de efeitos de canal curto devido à modulação do comprimento de canal

pela porta. A razão de correntes ( $I_{on}/I_{off}$ ) mostrou um comportamento interessante onde se pôde observar uma inversão no comportamento da razão das correntes nos dispositivos com comprimentos de canal maiores que 54 nm uma vez que os dispositivos de referência apresentaram uma maior razão ( $I_{on}/I_{off}$ ) devido a menor resistência se comparado aos dispositivos não auto-alinhados, entretanto, com a redução do comprimento de canal e com os efeitos de canal curto tornando-se mais significativos, as estruturas não auto-alinhadas superaram os dispositivos de referência principalmente devido ao melhor comportamento na região de sublimiar com menor  $I_{off}$ . Portanto, desses estudos conclui-se que os dispositivos não auto-alinhados são menos sensíveis à variação de temperatura e menos susceptíveis aos efeitos de canal curto.

Com relação ao estudo dos dispositivos de referência e não auto-alinhado atuando como célula de memória 1T-DRAM, a dependência do tempo de retenção e da margem de sensibilidade em função do comprimento de canal foi investigada assim como a influência da polarização do substrato nesses parâmetros, a correlação da degradação destes com o campo elétrico, a fuga da corrente de dreno induzida pela porta, a taxa de geração por tunelamento banda-a-banda e ainda, a influência do aumento da temperatura.

Foi mostrado que a margem de sensibilidade e o tempo de retenção podem ser otimizados através da polarização do substrato e mantidos constantes em função do comprimento do canal, quando os dispositivos não auto-alinhados chegam a alcançar 6 ms no tempo de retenção enquanto que os dispositivos de referência alcançam 1 ms. Observa-se também que o comprimento de canal mínimo depende do tipo de estrutura, sendo  $L_{eff} = 30 \text{ nm}$  para não auto-alinhado e  $L_{eff} = 50 \text{ nm}$  para o dispositivo de referência, onde ambas as tecnologias alcançam 0,03 ms no tempo de retenção. Em relação à janela de leitura observou-se que a mesma desloca-se para valores mais negativos de  $V_G$  à medida que se aumenta a polarização do substrato devido à diminuição da tensão de limiar da primeira interface, mas o tamanho da janela de leitura manteve-se o mesmo.

Com o esquema de programação utilizado neste trabalho, ou seja, ionização por impacto mais o BJT, a queda no tempo de retenção para comprimentos de canal bem curtos não está relacionada à perda de lacunas, mas sim à geração de lacunas uma vez que o tempo de retenção é determinado pelo aumento da corrente do estado '0'.

O mecanismo dominante que está por trás da degradação da margem de sensibilidade e do tempo de retenção foi identificado e atribuído à amplificação do GIDL pelo ganho do transistor bipolar parasitário durante a leitura do estado '0' devido a forte correlação existente entre o tempo de retenção e o GIDL. Além disso, foi confirmado através de simulações que o GIDL pode agir tanto no repouso como na leitura do estado '0' e ainda, uma alta taxa de geração de lacunas perto das junções de fonte e dreno foi observada somente quando o modelo de tunelamento banda-a-banda foi considerado.

Sendo assim, os dispositivos não auto-alinhados, mostraram-se mais escaláveis que os dispositivos de referência por apresentarem menor GIDL e menor campo elétrico próximo das junções, levando a uma degradação no tempo de retenção somente para comprimentos de canal abaixo de 30 nm.

Foi visto também que o impacto do aumento da temperatura além da temperatura normal de operação dos dispositivos ( $85^{\circ}C$ ) degrada os parâmetros dinâmicos onde, por exemplo, foi possível notar uma queda no tempo de retenção de  $2\text{ ms}$  em temperatura ambiente ( $25^{\circ}C$ ) para  $0,15\text{ ms}$  à  $120^{\circ}C$ , uma vez que o tempo de vida de geração de portadores é inversamente proporcional à temperatura, com seu aumento mais lacunas serão geradas e um menor tempo de retenção será obtido.

## 5.2 Propostas para continuação do trabalho

Como continuação do trabalho, propõe-se investigar a influência do campo elétrico na energia de ativação em transistores não auto-alinhados aplicados como célula de memória de corpo flutuante 1T-DRAM, uma vez para um mesmo material de porta é possível extrair diferentes energias de ativação variando o campo elétrico na condição de repouso.

Uma segunda proposta está relacionada ao aumento do interesse da indústria por dispositivos de porta dupla com canal vertical, onde se propõe um estudo do comportamento desses transistores atuando como célula de memória através de simulações numéricas tridimensionais.

## PUBLICAÇÕES GERADAS

Durante este trabalho de doutorado foram publicados os seguintes artigos de minha autoria ou coautoria:

### Artigos em revistas (5)

- **T. Nicoletti**, S. D. dos Santos, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “Advantages of Different Source/Drain Engineering on Scaled UTBOX SOI NMOSFETs Under High Temperatures”, **submetido à Solid-State Electronics**, junho de 2013.
- K. R. A. Sasaki, **T. Nicoletti**, L. M. Almeida, S. D. dos Santos, A. Nissimoff, M. Aoulaiche, E. Simoen, C. Claeys and J. A. Martino, “Improved Retention Time in UTBOX Devices as FBRAM Application”, **submetido à Solid-State Electronics**, abril de 2013.
- S. D. dos Santos, **T. Nicoletti**, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “On the Variability of the Front-/Back-Channel LF Noise in UTBOX SOI nMOSFETs”, **IEEE Transactions on Electron Devices**, v. 60, n.1, p. 444-450, 2013.
- **T. Nicoletti**, M. Aoulaiche, L. M. Almeida, S. D. dos Santos, J. A. Martino, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering”, **IEEE Electron Device Letters**, v. 33, n. 7, p. 940-942, 2012.
- M. Aoulaiche, **T. Nicoletti**, L. M. Almeida, E. Simoen, A. Veloso, P. Blomme, G. Groeseneken, M. Jurczak, “Junction Field Effect on the Retention Time for One-Transistor Floating-Body RAM”, **IEEE Transactions on Electron Devices**, v. 59, n. 8, p. 2167-2172, 2012.



**Artigos em congressos (14)**

- **T. Nicoletti**, S. D. dos Santos, K. R. A. Sasaki, J. A. Martino, M. Aoulaiche, E. Simoen, C. Claeys, “The Activation Energy Dependence on the Electric Field in UTBOX SOI FBRAM Devices”, **submetido ao IEEE S3S Conference, maio de 2013.**
- **T. Nicoletti**, K. R. A. Sasaki, S. D. dos Santos, J. A. Martino M. Aoulaiche, E. Simoen, C. Claeys, “Generation Rate Analysis of Different S/D Junction Engineering in Scaled UTBOX 1T-DRAM”, **223<sup>rd</sup> ECS Meeting 2013: The Electrochemical Society Meeting**, 2013.
- S. D. dos Santos, **T. Nicoletti**, J. A. Martino, M. Aoulaiche, E. Simoen, C. Claeys, “Impact of Disturb on Retention Time in Single FBRAM cells, **223<sup>rd</sup> ECS Meeting 2013: The Electrochemical Society Meeting**, 2013.
- **T. Nicoletti**, K. R. A. Sasaki, M. Aoulaiche, E. Simoen, C. Claeys, J. A. Martino, “Experimental and Simulation of 1T-DRAM Trend with Gate Length on UTBOX Devices”, **EuroSOI 2013: 9<sup>th</sup> European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits**, 2013.
- **T. Nicoletti**, S. D. dos Santos, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, “Gate Length Impact on UTBOX FBRAM Devices”, **IEEE International SOI Conference**, 2012.
- M. Aoulaiche, **T. Nicoletti**, A. Veloso, P. J. Roussel, E. Simoen, C. Claeys, G. Groseneken, M. Jurczak, “Origin of Wide Retention Distribution in 1T Floating Body RAM”, **IEEE International SOI Conference**, 2012.

- S. D. dos Santos, **T. Nicoletti**, M. Aoulaiche, J. A. Martino, A. Veloso, E. Simoen, C. Claeys, M. Jurczak, "Spacer Length and Tilt Implantation Influence on Scaled UTBOX FD MOSFETs", **SBMicro 2012: 27<sup>th</sup> Symposium on Microelectronics Technology and Devices**, p. 483-489, 2012.
- **T. Nicoletti**, S. D. dos Santos, L. M. Almeida, J. A. Martino, M. Aoulaiche, A. Veloso, M. Jurczak, E. Simoen, C. Claeys, "The Impact of gate Length Scaling on UTBOX FDSOI Devices: The Digital/Analog Performance of Extension-less Structures", **ULIS 2012: 13<sup>th</sup> International Conference on Ultimate Integration on Silicon**, p. 121-124, 2012.
- L. M. Almeida, M. Aoulaiche, K. R. A. Sasaki, **T. Nicoletti**, M. G. C. de Andrade, N. Collaert, E. Simoen, C. Claeys, J. A. Martino, M. Jurczak, "Comparion Between Low and High Read Bias in FB-RAM on UTBOX FDSOI Devices", **ULIS 2012: 13<sup>th</sup> International Conference on Ultimate Integration on Silicon**, p. 61-64, 2012.
- **T. Nicoletti**, M. Aoulaiche, A. Veloso, E. Simoen, C. Claeys, J. A. Martino, M. Jurczak, "Temperature Activation of UTBOX SOI Device Characteristics with Different Source/Drain Engineering", **EuroSOI 2012: 8<sup>th</sup> European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits**, p. 61-62, 2012.
- S. D. dos Santos, **T. Nicoletti**, M. Aoulaiche, E. Simoen, C. Claeys, J. A. Martino, "Study of the Main Digital and Analog Parameters of Underlapped MuGFETs", **EuroSOI 2012: 8<sup>th</sup> European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits** p. 123-124, 2012.
- S. D. dos Santos, **T. Nicoletti**, J. A. Martino, "Analog Performance of GateSource/Drain Underlap Triple-Gate SOI nMOSFET",

**SBMicro 2011: 26<sup>th</sup> Symposium on Microelectronics Technology and Devices**, p. 239-246, 2011.

- **T. Nicoletti**, S. D. dos Santos, L. M. Almeida, J. A. Martino, E. Simoen, C. Claeys, "Rotated SOI MuGFETs at High-Temperatures", **EuroSOI 2011: 7<sup>th</sup> European Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits**, p. 83-84, 2011.
- S. D. dos Santos, **T. Nicoletti**, J. A. Martino, E. Simoen, C. Claeys. "DIBL Behavior of Triple Gate FinFETs with SEG on Biaxial Strained Devices", **SBMicro 2010: 25<sup>th</sup> Symposium on Microelectronics Technology and Devices**, p. 51-58, 2010.

## REFERÊNCIAS

- 
- <sup>1</sup> Sasaki N. et al. **Charge Pumping SOS-MOS Transistor Memory**, in: International Electron Devices Meeting Technical Digest, v. 24, p. 356-359, 1978.
- <sup>2</sup> Blagojevic, M. et al. **Capacitorless 1T-DRAM sensing scheme with automatic reference generation**, IEEE Journal of Solid-State Circuits, v. 41, n. 6, p. 1463-1470, 2006.
- <sup>3</sup> Jurczak, M., **Memories on SOI: Floating-Body cell Memory**, Training Course, EuroSOI, Granada, 2011.
- <sup>4</sup> Ohtou, T. et al. **Variable-body-factor SOI MOSFET with ultrathin buried oxide for adaptive threshold voltage and leakage control**, IEEE Transactions on Electron Devices, n. 55, p. 40-47, 2008.
- <sup>5</sup> Kuroda, T. et al. **A 0.9-V, 150-MHz, 10-mW, 4 mm<sup>2</sup>, 2-D discrete cosine transform core processor with variable-threshold-voltage scheme**, IEEE Journal of Solid-State Circuits, v. 31, n. 11, p. 1770-1779, 1996.
- <sup>6</sup> Almeida, L. M. et al. **One transistor floating body RAM performances on UTBOX devices using the BJT effect**, Journal of Integrated Circuits and Systems, n. 7, p. 113-118, 2012.
- <sup>7</sup> **International Technology Roadmap for Semiconductors**, 2011, in: [www.itrs.net](http://www.itrs.net).
- <sup>8</sup> Melanie, J. et al. **SOI MOSFET Effective Channel Mobility**, IEEE Transactions on Electron Devices, v. 11 n. 2, 1994.

- 
- <sup>9</sup> Stanley, T. D. **The State-of-the-art in SOI Technology**, IEEE Transactions on Nuclear Science, v. 35, n. 6, 1988.
- <sup>10</sup> Colinge, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers,. cap. 5, p. 154-159, 2004.
- <sup>11</sup> Fossum, J. G., **Designing Reliable SOI CMOS Circuits with Floating-Body Effects**. In: Proceedings of the 28<sup>th</sup> European of Solid-State Device Research Conference – ESSDERC, p. 34-31, 1998
- <sup>12</sup> Hammad, M. Y., Schroder, D. K., **Analytical Modeling of the Partially-Depleted SOI MOSFET**, IEEE Transactions on Electron Devices, v. 48, n. 2, p. 252-258, 2001.
- <sup>13</sup> Young, K. K. **Analysis of conduction in fully depleted SOI MOSFETs**, IEEE Transactions on Electron Devices, v. 36, p. 504-506, 1989.
- <sup>14</sup> Colinge, J. P. **Subthreshold slope of thin-film SOI MOSFETs**, IEEE Electron Device Letter, v. EDL-7, p. 244-246, 1986.
- <sup>15</sup> Young, K. K. et al. **Short-channel effect in thin-film SOI MOSFETs**, IEEE Transactions on Electron Devices, v. 36, p. 399-402, 1989.
- <sup>16</sup> Colinge, J. P., **Reduction of kink effect in thin-film SOI MOSFETs**, IEEE Electron Device Letter, v. 9, p. 97-99, 1988.
- <sup>17</sup> Yoshimi, M. et al. **Observation of mobility enhancement in ultrathin SOI MOSFETs**, Electronics Letter, v. 24, n. 17, p. 1078-1079, 1988.
- <sup>18</sup> VEERARAGHAVAN, S.; FOSSUM J.G. **Short-Channel Effects in SOI MOSFETs**, IEEE Transactions on Electron Devices, v. 36, n. 3, 1989.
- <sup>19</sup> Fenouillet-Beranger, C. et al. **Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI Devices for 32 nm Node and Below**, Solid-State Electronics, v. 53, n. 7, p. 730-734, 2009.

- 
- <sup>20</sup> Ohtou, T. et al. **Variable Body-Factor SOI MOSFET with Ultra-Thin Buried Oxide for Adaptive Threshold Voltage and Leakage Control**, IEEE Electron Device Letters, v. 55, p. 40-47, 2008.
- <sup>21</sup> Tschanz, J. W. et al. **Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage**, IEEE Solid-State Circuits, v. 37, p. 1396-1402.
- <sup>22</sup> Monfray, S. et al. **Emerging Silicon-On-Nothing (SON) Devices Technology**. Solid-States Electronics, v. 48, p. 887-895, 2004.
- <sup>23</sup> Lim, H.-K.; Fossum, J. G. **Threshold Voltage of Thin Film Silicon on Insulator (SOI) MOSFET`s**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1251, 1983.
- <sup>24</sup> Conde, O. A. et al. **A review of recent MOSFET threshold voltage extraction methods**, Microelectronics Reliability, v. 42, p. 583-596, 2002.
- <sup>25</sup> Liou, J. J. et al. **Extraction of the threshold voltage of MOSFETs: an overview**. In: Proceedings of IEEE HKEDM, p. 31-38, 1997.
- <sup>26</sup> Corsi, F. et al. **New experimental technique for fast and accurate MOSFET threshold extraction**, Electronics Letters v. 29, n. 15, p. 1358-1360, 1993.
- <sup>27</sup> Ortiz-Conde, A. et al. **A new approach to extract the threshold voltage of MOSFETs**, IEEE Transactions on Electron Devices, v. 44 n. 9, p. 1523-1528, 1997.
- <sup>28</sup> McAndrew, C. C. et al. **MOSFET effective channel length, threshold voltage, and series resistance determination by robust optimization**, IEEE Transactions on Electron Devices, v. 39, n. 10, p. 2298-2311, 1992.

- 
- <sup>29</sup> Terao, A. et al. **Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors**, IEEE Electron Device Letters, v. 12, n. 12, p. 682-684, 1991.
- <sup>30</sup> Wong, H. S. et al. **Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's**, Solid-State Electronics, v. 30, n. 9, p. 953-958, 1987.
- <sup>31</sup> Park, J., e Colinge, J. P. **Multiple-Gate SOI MOSFETs: Device Design Guidelines**, IEEE Transactions on Electron Devices, v. 49, p. 2222, 2002.
- <sup>32</sup> Ghitani, H. **DIBL coefficient in short channel NMOS transistors**, In: 16th National Radio Science Conference, NRSC'99, Cairo, Egypt, 1999.
- <sup>33</sup> Samudra, G., e Rajendran, K. **Scaling parameter dependent drain induced barrier lowering effect in double-gate SOI MOSFET**, Japanese Journal of Applied Physics, v. 38, p. 349-352, 1999.
- <sup>34</sup> Santos, S. D. **Influência da tensão mecânica (strain) no Abaixamento de Barreira Induzida pelo Dreno (DIBL) em FinFETs de porta tripla**. 2010. 97 f. Dissertação - Laboratório de sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2010.
- <sup>35</sup> Martino, J. A., Pavanello, M. A., Verdonck, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**, 1 ed., São Paulo, Pioneira Thomson Learning, 2003.
- <sup>36</sup> Almeida, L. M. **Estudo de Célula de Memória Dinâmica de Apenas um Transistor SOI de Óxido Enterrado Ultrafino**. 2012. Tese de Doutorado – Laboratório de Sistemas Integráveis, Universidade de São Paulo – USP São Paulo, 2012.

- 
- <sup>37</sup> Lim, H. K.; Fossum, J. G. **Threshold Voltage of thin-film silicon-on-insulator (SOI) MOSFETs**, IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1251, 1983.
- <sup>38</sup> Camillo, L. M. et al. **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs**, EuroSOI 2006 Conference Proceedings, v. 1, p. 77, 2006.
- <sup>39</sup> Yuan, X. et al. **Gate-Induced-Drain-Leakage Current in 45-nm CMOS Technology**, IEEE Transactions on Device and Material Reliability, v. 8, n. 3, p. 501-507.
- <sup>40</sup> Chen, J. et al. **The Enhancement of Gate-Induced-Drain-Leakage (GIDL) Current in Short-Channel SOI MOSFET and its Application in Measuring Lateral Bipolar Current Gain  $\beta$** , IEEE Electron Device Letters, v. 13, n. 11, p. 572-574, 1992.
- <sup>41</sup> Andrade, M. G. C.; Martino, J. A. **Analog Performance of Bulk and DTMOS Triple-Gate Devices**. In: SBMicro , São Paulo, 2010.
- <sup>42</sup> Vittoz, E. A. **Low Power Design: ways to approach the limits**, IEEE International Solid State Circuits Conference Digest of Technical Papers, p. 14-18, 1994.
- <sup>43</sup> Flandre, D. et al. **Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analog CMOS circuits**, Solid-State Electronics, v. 39, n. 4, p. 455-460, 1996.
- <sup>44</sup> Wong, H.-SP. **Beyond the Conventional Transistor**, IBM Journal of Research and Development, vol. 46, n. 2, 2003.
- <sup>45</sup> Trivedi, V. et al. **Nanoscale FinFETs with Gate-Source/Drain Underlap**, IEEE Transactions on Electron Devices, vol. 52, p. 56-62, 2005.



- 
- <sup>46</sup> Santos, S. et al. **Analog Performance of Gate-Source/Drain Underlap Triple-Gate SOI nMOSFET**, ECS Transactions, vol. 39, p. 239-246, 2011.
- <sup>47</sup> Fossum, J. G., et al. **Physical insights on design and modeling of nanoscale FinFETs**, IEDM Technical Digest, p. 679, 2003.
- <sup>48</sup> Vitale, S. A. **SOI-Enabled Technologies for 3D Circuit Integration and Ultra Low Power Applications**, 219<sup>th</sup> ECS Meeting, Montreal, 2011.
- <sup>49</sup> Nicoletti, T. et al. **Temperature Activation of UTBOX SOI Device Characteristics with Different Source/Drain Engineering**, EuroSOI Conference Proceedings, p. 61-62, 2012.
- <sup>50</sup> Nicoletti, T. et al. **The Impact of Gate Length Scaling on UTBOX FDSOI Devices: the Digital/Analog Performance of Extension-less Structures**, ULIS Conference Proceedings, p 121-124, 2012.
- <sup>51</sup> Nicoletti, T. et al. **The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering**, IEEE Electron Device Letters, vol. 33, n. 7, p. 970-942, 2012.
- <sup>52</sup> Krull, W. A., Lee, J. C., **Demonstration of the Benefits of SOI for High Temperature Operation**, Proceedings SOS/SOI Technology Workshop, p. 69, 1989.
- <sup>53</sup> Chen, J., **Subbreakdown Drain Leakage Current**, IEEE Electron Device Letters, v. 8, n. 11, p. 515-517, 1987.
- <sup>54</sup> Rosar, M. et al. **A new model for the description of gate voltage and temperature dependence of gate induced drain leakage (GIDL) in the low electric field regions [DRAMs]**, IEEE Transactions on Electron Devices, v. 47, n. 1, p. 154-159, 2000.

- 
- <sup>55</sup> Sedra, A. S.; Smith, K. C.; **Microeletrônica**, 5. Ed. –São Paulo: Pearson Prentice Hall, 2007.
- <sup>56</sup> Aoulaiche, M. et al. **Junction Field Effect on the Retention Time for One-Transistor Floating-Body RAM**, IEEE Transactions on Electron Devices, v. 59, n. 8, 2012.
- <sup>57</sup> Cha, S. Y., **DRAM Technology – History & Challenges**, IEDM Short Course, 2011.
- <sup>58</sup> Bawedin, M. et al. **Floating-Body SOI memory: Concepts, Physics and Challenges**, ECS Transactions, v. 19, p. 243-256, 2009.
- <sup>59</sup> Shino, T. et al. **Floating-Body RAM Technology and its scalability to 32 nm node and beyond**, IEDM Tech. Dig., p. 1-4, 2007.
- <sup>60</sup> Minami, Y. et al. **A Floating-Body cell (FBC) fully compatible with 90nm CMOS Technology (CMOS IV) for 128 Mb SOI DRAM**, IEDM Tech. Dig., p. 307-310, 2005.
- <sup>61</sup> Yoshida, E.; Tanaka, T., **A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory**, IEEE Transactions on Electron Devices, v. 53, n. 4, p. 692-697, 2006.
- <sup>62</sup> Okhonin, S. et al. **A Capacitor-Less 1T-DRAM Cell**, IEEE Electron Device Letters, v. 23, n. 2, 2002.
- <sup>63</sup> Navarro, C. et al. **Retention Time Enhancement in FD 1T-DRAM**, Proceedings of Ninth Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits. Paris: [s.n], 2013.

---

<sup>64</sup> Sasaki, K. R. A. Dissertação de mestrado: **Propostas de melhorias de desempenho de memória dinâmica utilizando um único transistor UTBOX SOI.**

<sup>65</sup> Lu, Z. et al. **A Novel Low-Voltage Biasing Scheme for Double Gate FBC Achieving 5s Retention and  $10^{16}$  Endurance at  $85^{\circ}\text{C}$ ,** in: IEEE Electron Devices Meeting (IEDM), 2010.

<sup>66</sup> Oh, C. W. et al. **Floating body DRAM characteristics of silicon-On-ONO (SOONO) devices for system-on-chip (SoC) applications,** in VLSI Symp. Tech. Dig., p. 168-169, 2007.

<sup>67</sup> Okhonin, S. et al. **New Generation of Z-RAM,** in: IEEE Electron Devices Meeting (IEDM), 2007.

<sup>68</sup> Zhou, Z. et a. **Physical insights on BJT-based 1T-DRAM cells,** IEEE Electron Device Letters, v. 30, n. 5, p. 565-567, 2009.

<sup>69</sup> Silvaco International. ATLAS Device Simulation – User's Manual, version 5.14.0.R. Santa Clara, 2010.

<sup>70</sup> Almeida, L.M. et al. **Optimizing the front and back biases for the best sense margin and retention time in UTBOX FBRAM,** Solid State Electronics, 2013. (In press).

<sup>71</sup> Nicoletti, T. et al. **Experimental and Simulation of 1T-DRAM Trend with Gate Length on UTBOX Devices,** EuroSOI Conference Proceedings, 2013.

<sup>72</sup> Hubert, A. et al. **Dimensional effects and scalability of Meta-Stable Dip (MSD) Memory Effect for 1T-DRAM SOI MOSFETs,** Solid State Electronics, v. 53, n. 12, 2009.

---

<sup>73</sup> Hubert, A. et al. **Experimental comparison of programming mechanisms in 1T-DRAM cells with variable channel length**, in European Solid-State Device Research Conference (ESSDERC), p. 150-153, 2010.

---

## ANEXO A – ESTRUTURA GERADA NO ATHENA

### A.1 Dispositivo de referência

```
go athena

#####
# Definição da grade#
#####

line x loc=0 spac=0.02      tag=esq
line x loc=0.05 spac=0.007
line x loc=0.09 spac=0.005
line x loc=0.13 spac=0.003
line x loc=0.20 spac=0.003
line x loc=0.24 spac=0.005
line x loc=0.28 spac=0.007
line x loc=0.33 spac=0.02   tag=dir

line y loc=0 spac=0.001     tag=cima
line y loc=0.007 spac=0.005
line y loc=0.014 spac=0.001 tag=cimaox
line y loc=0.023 spac=0.05
line y loc=0.032 spac=0.001 tag=baixox
line y loc=0.372 spac=0.01
line y loc=0.532 spac=0.05  tag=baixo

#####
#Definição da lâmina#
#####

# Regioes
region silicon xlo=esq xhi=dir ylo=cima yhi=baixo

region silicon xlo=esq xhi=dir ylo=cima yhi=baixox
region oxide xlo=esq xhi=dir ylo=cimaox yhi=baixox

# Concentracao inicial e orientacao cristalografica da lamina
init boron=1e15 orient=100

#####
#
#Definicao da regioao
#####

#####
#Ground Plane#
#####

implant boron energy=40 dose=1e13 tilt=0 gauss
```

---

```
implant boron energy=60 dose=4e13 tilt=0 gauss

diffuse temp=1000 time=0.5 seconds nitrogen

#####
#Oxido e metal de porta#
#####

deposit oxide thick=0.005 div=4

deposit polysilicon thick=0.1 div=10

#structure outfile=etapa2_gatestack_rev02.str two.dim

#####
#Litografia - porta#
#####

#abertura da fonte
etch polysilicon start x=0 y=-0.105
etch continue x=0.13 y=-0.105
etch continue x=0.13 y=-0.005
etch done x=0 y=-0.005

#abertura do dreno
etch polysilicon start x=0.20 y=-0.105
etch continue x=0.33 y=-0.105
etch continue x=0.33 y=-0.005
etch done x=0.20 y=-0.005

#structure outf=etapa3_openedSD_rev02.str two.dim

#####
#LDD + Spacer#
#####

#dopagem do LDD
deposit oxide thick=0.005 div=4
implant arsenic energy=5 dose=1e14 tilt=0 gauss

#spacer
deposit nitride thick=0.035 div=4
etch nitride start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0.005
etch done x=0 y=0.005

etch nitride start x=0.24 y=-0.05
etch continue x=0.33 y=-0.05
etch continue x=0.33 y=0
etch done x=0.24 y=0

etch nitride start x=0.09 y=-0.15
etch continue x=0.24 y=-0.15
```

---

```
etch continue x=0.24 y=-0.105
etch done x=0.09 y=-0.105

etch oxide start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0
etch done x=0 y=0

etch oxide start x=0.24 y=-0.05
etch continue x=0.33 y=-0.05
etch continue x=0.33 y=0
etch done x=0.24 y=0

etch oxide start x=0.13 y=-0.11
etch continue x=0.20 y=-0.11
etch continue x=0.20 y=-0.105
etch done x=0.13 y=-0.105

#structure outf=etapa4_spacer_rev02.str

#####
#SEG#
#####

epitaxy temp=750 time=20 thick=0.030

#####
# remoção dos excessos #
#####

etch silicon start x=0.05 y=-0.18
etch continue x=0.28 y=-0.18
etch continue x=0.28 y=-0.03
etch done x=0.05 y=-0.03

#####
#HDD#
#####

implant arsenic energy=18 dose=3e15 tilt=0 gauss
implant phosphorus energy=8 dose=2e15 tilt=0 gauss

#structure outf=etapa6_HDD_rev02.str

#####
# Spike Annealing #
#####

diffuse temp=1050 time=0.001 SECONDS inert

#####

#diffuse temp=420 time=20 MINUTES F.H2=1 F.N2=1

structure outf=UTBOX_ATHENAS_BOX18_TSI14_L70_rev03b.str
```

---

quit

## A.2 Dispositivo não auto-alinhado

go athena

```
#####
# Definição da grade#
#####

line x loc=0 spac=0.02      tag=esq
line x loc=0.05 spac=0.007
line x loc=0.09 spac=0.005
line x loc=0.13 spac=0.003
line x loc=0.20 spac=0.003
line x loc=0.24 spac=0.005
line x loc=0.28 spac=0.007
line x loc=0.33 spac=0.02  tag=dir

line y loc=0 spac=0.001    tag=cima
line y loc=0.007 spac=0.005
line y loc=0.014 spac=0.001 tag=cimaox
line y loc=0.023 spac=0.05
line y loc=0.032 spac=0.001 tag=baixox
line y loc=0.372 spac=0.01
line y loc=0.532 spac=0.05  tag=baixo

#####
#Definição da lâmina#
#####

# Regioes
region silicon xlo=esq xhi=dir ylo=cima yhi=baixo

region silicon xlo=esq xhi=dir ylo=cima yhi=baixox
region oxide xlo=esq xhi=dir ylo=cimaox yhi=baixox

# Concentracao inicial e orientacao cristalografica da lamina
init boron=1e15 orient=100

#####
#
#Definicao da regio ativa
#####

#####
#Ground Plane#
#####

implant boron energy=40 dose=1e13 tilt=0 gauss

implant boron energy=60 dose=4e13 tilt=0 gauss
```



---

```
diffuse temp=1000 time=0.5 seconds nitrogen

#####
#Oxido e metal de porta#
#####

deposit oxide thick=0.005 div=4

deposit polysilicon thick=0.1 div=10

#structure outfile=etapa2_gatestack_rev02.str two.dim

#####
#Litografia - porta#
#####

#abertura da fonte
etch polysilicon start x=0 y=-0.105
etch continue x=0.13 y=-0.105
etch continue x=0.13 y=-0.005
etch done x=0 y=-0.005

#abertura do dreno
etch polysilicon start x=0.20 y=-0.105
etch continue x=0.33 y=-0.105
etch continue x=0.33 y=-0.005
etch done x=0.20 y=-0.005

#structure outf=etapa3_openedSD_rev02.str two.dim

#####
#LDD + Spacer#
#####

#dopagem do LDD
deposit oxide thick=0.005 div=4
#implant arsenic energy=5 dose=1e14 tilt=0 gauss

#spacer
deposit nitride thick=0.035 div=4
etch nitride start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0.005
etch done x=0 y=0.005

etch nitride start x=0.24 y=-0.05
etch continue x=0.33 y=-0.05
etch continue x=0.33 y=0
etch done x=0.24 y=0

etch nitride start x=0.09 y=-0.15
etch continue x=0.24 y=-0.15
etch continue x=0.24 y=-0.105
```

---

```
etch done x=0.09 y=-0.105

etch oxide start x=0 y=-0.05
etch continue x=0.09 y=-0.05
etch continue x=0.09 y=0
etch done x=0 y=0

etch oxide start x=0.24 y=-0.05
etch continue x=0.33 y=-0.05
etch continue x=0.33 y=0
etch done x=0.24 y=0

etch oxide start x=0.13 y=-0.11
etch continue x=0.20 y=-0.11
etch continue x=0.20 y=-0.105
etch done x=0.13 y=-0.105

#structure outf=etapa4_spacer_rev02.str

#####
#SEG#
#####

epitaxy temp=750 time=20 thick=0.030

#####
# remoção dos excessos #
#####

etch silicon start x=0.05 y=-0.18
etch continue x=0.28 y=-0.18
etch continue x=0.28 y=-0.03
etch done x=0.05 y=-0.03

#####
#HDD#
#####

implant arsenic energy=18 dose=3e15 tilt=0 gauss
implant phosphorus energy=8 dose=2e15 tilt=0 gauss

#structure outf=etapa6_HDD_rev02.str

#####
# Spike Annealing #
#####

diffuse temp=1050 time=0.001 SECONDS inert

#diffuse temp=420 time=20 MINUTES F.H2=1 F.N2=1

structure outf=UTBOXunderlap_ATHENAS_BOX18_TSI14_L70_rev03b.str

quit
```

---

## ANEXO B – SIMULAÇÃO DE UMA CURVA DINÂMICA

```
#####
##
go atlas simflags="-P 32"
#####
##

#####
##
mesh infile=UTBOX_ATHENAS_BOX18_TSI14_L70_rev03b.str
#####
##

#####
#Definicao dos eletrodos#
#####

# 1-GATE      2-SOURCE      3-DRAIN      4-SUBSTRATE
electrode name=gate x.min=0.13 x.max=0.20 y.min=-0.005
y.max=-0.005
electrode name=source x.min=0 x.max=0.05 y.min=-0.03 y.max=-
0.03
electrode name=drain x.min=0.28 x.max=0.33 y.min=-0.03
y.max=-0.03
electrode name=substrate bottom

#####
# Especificando as Propriedades de Interface e Workfunction #
#####

interf qf=2e11 y.max=0.001
interf qf=2e11 y.min=0.013
trap region=1 e.level=0.3 acceptor density=2e15 degen=1 sign=1e-
11 sigp=1e-19
trap region=1 e.level=0.3 donor density=1e15 degen=1 sign=5e-
18 sigp=5e-11
contact name=gate workfunc=4.65

#####
# Modelos #
#####

MODELS region=1 srh consrh cvt bbt.kane trap.coulombic print
temp=358

# mobilidade
MOBILITY REGION=1 MUMAXN.CVT = 360
MOBILITY REGION=1 MUMAXP.CVT = 120
MOBILITY REGION=1 GAMN.CVT = 1.0

# tunelamento banda a banda - ajuste do GIDL
```

---

```
MODEL      BB.GAMMA=1.4
#MODEL     BB.GAMMA=1.2

# ionização por impacto - ganho do efeito BJT
IMPACT region=1 SELB
IMPACT region=1 BETAN=1.0
IMPACT region=1 BETAP=1.0

IMPACT region=1 AN1 = 703e2
IMPACT region=1 AN2 = 703e2
IMPACT region=1 AP1 = 671e2
IMPACT region=1 AP2 = 1580e2

#IMPACT region=1 AN1 = 1406e2
#IMPACT region=1 AN2 = 1406e2
#IMPACT region=1 AP1 = 1342e2
#IMPACT region=1 AP2 = 3160e2

#####
# Metodos #
#####

METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2
solve init

#####
#
solve prev
solve vdrain=0
solve vgate=0
solve vsource=0
solve vsubstrate=0

solve vgate=-1e-3
solve vgate=-10e-3
solve vgate=-25e-3
solve vgate=-50e-3
solve vgate=-100e-3
solve vgate=-200e-3
solve vgate=-300e-3
solve vgate=-500e-3
solve vgate=-800e-3
solve vgate=-1
solve vgate=-1.2
solve vgate=-1.4
solve vgate=-1.6
solve vgate=-1.8
solve vgate=-2
solve vgate=-2.2
solve vgate=-2.4
solve vgate=-2.5

solve vsubstrate=1e-3
solve vsubstrate=10e-3
solve vsubstrate=25e-3
```

---

```
solve vsubstrate=50e-3
solve vsubstrate=100e-3
solve vsubstrate=200e-3
solve vsubstrate=400e-3
solve vsubstrate=600e-3
solve vsubstrate=800e-3
solve vsubstrate=1
solve vsubstrate=1.2
solve vsubstrate=1.4
solve vsubstrate=1.6
solve vsubstrate=1.8
solve vsubstrate=2
solve vsubstrate=2.2
solve vsubstrate=2.4
solve vsubstrate=2.6

#####
#
METHOD gummel newton autonr bicgst trap maxtrap=10 carriers=2

log outf= UTBOX_BOX18_TSI14_L70_Isense_VB2v6_rev00.log master

# 1a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=40e-9 tstep=1e-11

# 2a parte do grafico (escrita '1')
solve vgate=0.5 vdrain=1.8 ramptime=1e-9 tstop=75e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_WR1.str MASTER

# 2a parte do grafico (escrita '1')
solve vgate=-2.5 vdrain=1.8 ramptime=1e-9 tstop=80e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_WR1.str MASTER

# 3a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=2e-9 tstop=120e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_HOLD1.str MASTER

# 4a parte do grafico (leitura)
solve vgate=-1.8 vdrain=1.8 ramptime=1e-9 tstop=160e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_RD1.str MASTER

# 5a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=200e-9 tstep=1e-11

# 6a parte do grafico (escrita '0')
solve vgate=0.0 vdrain=0.5 ramptime=1e-9 tstop=240e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_WR0.str MASTER

# 7a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=280e-9 tstep=1e-11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_HOLD0.str MASTER
```

---

```
# 8a parte do grafico (leitura)
solve vgate=-1.8 vdrain=1.8 ramptime=1e-9 tstop=320e-9 tstep=1e-
11
SAVE OUTF=UTBOX_BOX18_TSI14_L70_Isense_VB2v6_RD0.str MASTER

# 9a parte do grafico (repouso)
solve vgate=-2.5 vdrain=0 ramptime=1e-9 tstop=360e-9 tstep=1e-11

#####
###                               FIM                               ###
#####
quit
```