FRANZ SEBASTIÁN BEDOYA LLANO

**DESENVOLVIMENTO DE DEFASADORES BASEADOS EM
MEMS E LINHAS DE TRANSMISSÃO DE ONDAS LENTAS
PARA APLICAÇÕES EM 60 GHZ**

São Paulo

2018

FRANZ SEBASTIÁN BEDOYA LLANO

**DESENVOLVIMENTO DE DEFASADORES BASEADOS EM
MEMS E LINHAS DE TRANSMISSÃO DE ONDAS LENTAS
PARA APLICAÇÕES EM 60 GHZ**

Dissertação apresentada a Escola Politécnica da
Universidade de São Paulo para obtenção do
Título de mestre em Ciências

São Paulo
2018

FRANZ SEBASTIÁN BEDOYA LLANO

**DESENVOLVIMENTO DE DEFASADORES BASEADOS EM
MEMS E LINHAS DE TRANSMISSÃO DE ONDAS LENTAS
PARA APLICAÇÕES EM 60 GHZ**

Dissertação apresentada a Escola Politécnica da
Universidade de São Paulo para obtenção do
Título de mestre em Ciências

Área de concentração:
Microeletrônica

Orientador: Prof. Dr. Gustavo Pamplona Rehder
Co-Orientador: Profa. Dra. Arian L. C. Serrano

São Paulo
2018

Catálogo na publicação

Llano, Franz Sebastián Bedoya

Desenvolvimento de defasadores baseados em MEMS e linhas de transmissão de ondas lentas para aplicações em 60 GHz / F.S.B. Llano. -- São Paulo, 2018.

p.123

Dissertação (Mestrado) - Escola Politécnica da Universidade São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Microeletrônica I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

AGRADECIMENTOS

Aos meus grandes amigos, Julio Pinheiro, Leonardo Amorese, Marcus Pelegrini e Robert Bovadilla que me auxiliaram, incentivaram e estiveram sempre envolvidos nas fases da execução deste trabalho.

Aos professores Dr. Gustavo Rehder, Dra. Arianne Serrano e Dr. Marco Alayo pelo companheirismo e ajuda na interpretação dos resultados.

Aos meus colegas do grupo de novos materiais e dispositivos, Me. Maria Armas, Me. Fábio Colombo, Me. Fábio Sussumo, Me. Alexandre Tavares, Me. Igor Abe, Me. Tiago Bonelli e Me. Rubens Martins pela ajuda nas tarefas laborais, e principalmente pelos diversos momentos de descontração.

Aos técnicos da sala limpa do laboratório de microeletrônica Rita, Tereza, Cristina e João pela valiosa ajuda e acompanhamento nos processos realizados na sala limpa.

A CAPES e FAPESP que deram o suporte financeiro para alguns dos materiais utilizados na execução deste trabalho.

Aos meus queridos amigos Felipe Restrepo, Ágata Soares, Luciana Da Mata Lupoli, Gabriel Brum, Denise Enokibara, Rafael Sousa, Eduardo Oliveira e a tantos outros que, mesmo sem poder me ajudar tecnicamente, me apoiaram e incentivaram na continuidade e consecução deste projeto.

Finalmente, ao Laboratório de Microeletrônica (LME), pertencente ao Departamento de Engenharia de Sistemas Eletrônicos da Escola Politécnica da Universidade de São Paulo, pela utilização da infraestrutura, fundamental para a fabricação dos dispositivos propostos neste trabalho.

Aos meus amados pais, Álvaro e Pilar, que sempre me apoiaram e incentivaram em todas as situações.

Aos meus amados e queridos irmãos, Sara, Santiago, Felipe e Simón, que sempre estiveram presentes.

Ao meu orientador Prof. Dr. Gustavo Pamplona Rehder que sempre se preocupou comigo, e ao mesmo tempo me orientou e auxiliou durante a execução deste trabalho.

RESUMO

Este trabalho, desenvolvido junto ao Grupo de Novos Materiais e Dispositivos (GNMD) pertencente ao Laboratório de Microeletrônica (LME) da Universidade de São Paulo, apresenta a modelagem de um defasador passivo miniaturizado com baixas perdas para aplicações em ondas milimétricas (mmW-*millimeter waves*). Este defasador é baseado em um conceito inovador utilizando sistemas micro-eletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares de ondas lentas. Este conceito é proposto no projeto Jovem Pesquisador FAPESP (Processo no. 2011/18167-3), ao qual este projeto está vinculado. A defasagem neste tipo de dispositivo é conseguida pela liberação das fitas da camada de blindagem de uma linha de transmissão tipo S-CPW (*Shielded-Coplanar Waveguide*). As fitas liberadas podem ser movimentadas eletrostaticamente, o que praticamente não consome energia. Este projeto pretende projetar um defasador para fabricação com a tecnologia do Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo.

Adicionalmente, este trabalho apresenta resultados experimentais de um processo de fabricação *IN-HOUSE* baseado na metodologia de integração por *flip-chip*. A tecnologia de integração implementada é baseada na soldagem de um *chip* sobre um substrato, no qual são construídos uma nova geração de pilares de cobre finos, cujo espaçamento entre pilares é menor que 100 μm . Essa redução nas dimensões pode ser usada com a nova geração de dispositivos de comunicações na faixa das mmW. Em termos de fabricação, foram obtidos pilares de cobre altamente miniaturizados com uma altura significativa e uniforme que permite a integração com o *chip*. Além do mais, os resultados obtidos representam avanços significativos no processo de fabricação que será usado como tecnologia de integração híbrida em um *interposer* baseado em substrato de alumina nanoporosa (MnM-*Metallic Nanowire Membrane*). Esse *interposer* desempenha um papel indispensável no GNMD, já que atualmente estão sendo estudadas suas propriedades elétricas e já foram construídos dispositivos sobre o substrato com resultados promissores.

Palavras-chaves: MEMS, defasador, linhas de transmissão de onda lenta, *flip-chip*, ondas milimétricas, integração híbrida, *interposer*.

ABSTRACT

This work, performed at the New Materials and Devices Group (GNMD) of the Microelectronics Laboratory of the Polytechnic School of the University of São Paulo, presents the modeling of a miniaturized passive phase shifter with low losses for applications in millimeter waves. It is based on an innovated concept, which uses distributed MEMS phase shifters and slow-wave coplanar wave guides. Such concept is proposed under the FAPESP Youth Researcher project (Process number 2011/18167-3). The phase shifter on this kind of device is achieved by releasing the shielding layer of the *Shielded-Coplanar Waveguide*. The released ribbons are electrostatically displaced, which does not consume energy. The aim of this project is to design a phase shifter for fabrication with the technology available at the Microelectronics Laboratory.

Additionally, this work presents experimental results of a flip-chip fabrication process. This technology is based on next generation of fine pitch copper pillar bumping, with pillar pitch of less than 100 μm that support next generation of communication devices at the millimeter wave frequency range. From the fabrication point-of-view, highly miniaturized copper pillars with appropriate thicknesses were obtained. Furthermore, the results obtained represent a significant advance in the fabrication process that will be used as a hybrid integration technology on an interposer based on a nanoporous alumina substrate (MnM-*Metallic Nanowire Membrane*).

Keywords: MEMS, phase-shifter, slow wave transmission lines, flip-chip, millimeter waves, hybrid integration, interposer.

SUMÁRIO

1	INTRODUÇÃO	12
2	OBJETIVOS	17
2.1	OBJETIVOS ESPECÍFICOS	17
3	REVISÃO DA LITERATURA	18
3.1	DEFASADORES EM DIFERENTES TECNOLOGIAS	18
3.2	DEFASADORES BASEADOS EM TECNOLOGIA PLANAR E MEMS.....	20
3.3	DEFASADORES BASEADOS EM MEMS DISTRIBUÍDOS E LINHAS DE TRANSMISSÃO DE ONDA LENTA	23
4	MODELOS RF E ELETROMECHANICO	31
4.1	METODOLOGIA DE PROJETO	33
4.2	DESCRIÇÃO DO MODELO RF.....	36
4.3	MODELO RF POR ELEMENTOS FINITOS	37
4.4	MODELO DE CIRCUITOS EM ADS.....	39
4.5	MODELO ELETROMECHANICO	44
5	PROJETO DO DEFASADOR COM MEMS DISTRIBUIDOS E LINHA DE ONDAS LENTAS	50
5.1	PROJETO RF E ELETROMECHANICO - MATLAB	50
5.2	PROJETO ELETROMECHANICO - ELEMENTOS FINITOS	56
5.3	PROJETO RF - ELEMENTOS FINITOS.....	57
5.4	PROJETO DO DEFASADOR - ADS.....	59
6	DESENVOLVIMENTO DO PROCESSO DE INTEGRAÇÃO 3D UTILIZANDO <i>FLIP-CHIP</i>	65
6.1	MATERIAIS E MÉTODOS	66
	PROCESSO DE FABRICAÇÃO DA INTEGRAÇÃO POR <i>FLIP-CHIP</i>	66
	DEPOSIÇÃO DAS CAMADAS FINAS POR <i>SPUTTERING</i>	69
	DESENVOLVIMENTO DAS MÁSCARAS	70
	PROCESSO DE ELETRODEPOSIÇÃO	74
	REMOÇÃO DA SEMENTE <i>Ti+Cu</i>	76
	MEDIDA DA ALTURA E DA LARGURA DOS PILARES DE COBRE POR PERFILOMETRIA	77
	MONTAGEM DAS MICROESFERAS SOBRE OS PILARES	78
	SOLDAGEM DO CHIP SOBRE OS PILARES DE COBRE	79
6.2	RESULTADOS	81
	UNIFORMIDADE DA CAMADA SACRIFICIAL DE FOTORESISTE PARA A FABRICAÇÃO DOS PILARES	82
	RESULTADOS LINHAS DE TRANSMISSÃO COPLANARES	86
	UNIFORMIDADE DOS PILARES DE COBRE APÓS REMOÇÃO DA SEMENTE	88

	MONTAGEM DAS MICROESFERAS SOBRE PILARES DE COBRE.....	91
	INTEGRAÇÃO DO CHIP NA LÂMINA DE VIDRO	92
7	CONCLUSÕES.....	95
	ANEXO A – PUBLICAÇÃO EM EVENTO CIENTÍFICO DURANTE O DESENVOLVIMENTO DESTA TRABALHO	97
	ANEXO B – EQUAÇÕES MATEMÁTICAS USADAS AO LONGO DESTA TRABALHO	98
	INDUTÂNCIA (L)	98
	CAPACITÂNCIA (C)	100
	CAPACITÂNCIA NA REGIÃO INFERIOR DA PLACA	101
	CAPACITÂNCIA DE BORDA E DA PLACA SUPERIOR.....	102
	CAPACITÂNCIA DE BORDA.....	102
	CAPACITÂNCIA DE ÂNGULO	102
	CAPACITÂNCIA DA PLACA SUPERIOR.....	103
	RESISTÊNCIA R_s NOS CONDUTORES DA CPW	104
	RESISTÊNCIA R_p NAS FITAS DA CAMADA DE BLINDAGEM.....	107
	CÁLCULO DOS PARÂMETROS RF DE SAÍDA.....	107
	CÁLCULO DA CONSTATANTE ELÁSTICA	108
	ANÁLISE DE <i>PULL-DOWN</i>.....	112
	ANEXO C – PROGRAMAS DESENVOLVIDOS EM MATLAB USADOS PARA REALIZAR O MODELO	
	ANALÍTICO RF-ELETROMECÂNICO NESTE TRABALHO	114
	REFERÊNCIAS.....	122

1 INTRODUÇÃO

Aplicações emergentes do mercado consumidor como enlaces de vídeo sem fio de alta definição e transferência de dados sem fio entre discos rígidos e computadores requerem de altas taxas de transferência de dados da ordem de Gb/s (NATARAJAN et al., 2011). Além do requisito em velocidade, existe uma necessidade de sistemas miniaturizados com baixo consumo de energia e de baixo custo. Estas necessidades, aliadas à saturação das faixas de frequência disponíveis de 0,8 GHz a 10 GHz, levam à utilização de novas frequências em uma região bem mais alta do espectro, entre 30 GHz e 300 GHz, em ondas milimétricas.

A utilização destas frequências é interessante devido à grande largura de banda disponível. Especificamente nas bandas V (50 GHz - 75 GHz) e W (75 GHz – 110 GHz), diversas aplicações para o mercado consumidor vêm sendo desenvolvidas como: radares automotivos para detecção de longo alcance utilizados no controle adaptativo de velocidade (*Adaptive Cruise Control*) e radares anticolisão, ambos em 77 GHz; transmissão de vídeo de alta definição em tempo real e redes pessoais de curto alcance e alta velocidade em 60 GHz; imagens por RF em 94 GHz, entre outras (DANIELS; HEATH JR., 2007; GUO et al., 2007), .

Especialmente em 60 GHz, as perdas de percurso são elevadas (10-15 dB/km) devido a um pico de absorção do sinal eletromagnético do oxigênio na atmosfera. Apresenta-se também em 60 GHz um efeito multi-percurso gerado pelos clusters em ambientes internos. Pelo anterior, é importante utilizar as técnicas de formação e direcionamento de feixe (*beam forming* e *beam steering*), que permite a concentração da energia emitida/recebida na direção do receptor/emissor, levando a um maior alcance na comunicação, podendo melhorar o desempenho e o consumo de potência. Uma solução é o uso de antenas de alto ganho para focar a potência radiada e diminuir a dispersão de canal relacionada ao efeito multi-percurso, porém, é necessário um alinhamento preciso e são mais susceptíveis ao bloqueio de percurso. Por sua vez, o direcionamento de feixe pode ser feito com um arranjo de antenas alimentado por defasadores. Defasadores podem ser usados para realizar um *beam-forming* adaptativo e eliminar os requisitos de alinhamento da antena permitindo a operação do tipo multibeam, e mitigando o bloqueio de percurso (GONG; SHEN; BARKER, 2011).

Os defasadores mudam a fase do sinal que chega às antenas, permitindo assim, controlar o diagrama de radiação (i.e., feixe) do sistema. Neste tipo de sistema, os defasadores são responsáveis por grande parte do custo devido principalmente à área que necessitam. Por isso,

o desenvolvimento de defasadores de baixo custo tem sido ultimamente objeto de muitas pesquisas.

Em um sistema de transmissão/recepção com formação de feixe, os defasadores podem estar localizados no trajeto de banda base (antes do misturador) ou no trajeto de ondas milimétricas (depois do misturador). Se o defasador estiver localizado no trajeto de ondas milimétricas, como ilustra a Figura 1, só é necessário um misturador por trajeto em todo o sistema, reduzindo assim o consumo de potência e a área do dispositivo, resultando também em uma redução do custo de fabricação. Por isso, neste trabalho será dada ênfase aos defasadores no trajeto de mmW (KRAEMER et al., 2010).

Figura 1 – Sistema de Tx/Rx com defasadores no trajeto de ondas milimétricas.

Fonte: Adaptado (GAVIDIA., 2013). Um exemplo de topologia de transceptor de formação de feixe utilizando defasadores no trajeto de ondas milimétricas.

Tradicionalmente, os defasadores em mmW são fabricados em Arseneto de Gálio (GaAs), pois esta tecnologia possibilita a obtenção de dispositivos ativos e passivos com bom desempenho. Porém, essa tecnologia tem a grande desvantagem de apresentar custo elevado. Como exemplo do alto custo da tecnologia, pode-se utilizar como comparativo simplificado o custo do substrato de GaAs que pode chegar a 300 dólares para uma lâmina de 100 mm, sendo esta a maior lâmina disponível.

Já a tecnologia CMOS é mais barata (uma lâmina de 100 mm custa \$20) e tem apresentado uma grande evolução, permitindo hoje, em tecnologias avançadas (e.g. CMOS 55 nm), a fabricação de dispositivos ativos operando em mmW com bom desempenho, em lâminas de até 300 mm. Apesar de serem mais baratas, as tecnologias CMOS mais avançadas também

se tornam caras para o desenvolvimento de dispositivos passivos, devido à grande área que ocupam.

Pode-se utilizar como alternativa uma tecnologia híbrida, ilustrada na Figura 2, na qual a implementação das diferentes partes do sistema é feita utilizando a melhor opção tecnológica, permitindo posteriormente sua integração em um só dispositivo. Assim, os dispositivos passivos podem ser fabricados utilizando uma tecnologia de baixo custo (e.g. CMOS 0,35 μm ou processos dedicados – *in-house*), e integrados com as partes ativas fabricadas com tecnologia avançada. Porém, em geral, as tecnologias baseadas em silício resultam em dispositivos passivos com muitas perdas, principalmente devido à alta condutividade do silício.

Figura 2 - Exemplo de tecnologia híbrida.

Fonte: <http://www.prc.gatech.edu/research/technology/systemsintegration.shtml>

Um grande esforço foi empregado nos últimos anos para a obtenção de dispositivos passivos com alta qualidade e miniaturização na tecnologia CMOS. Como resultado, há atualmente um grande trabalho no desenvolvimento de linhas de transmissão de onda lenta de alta performance. As ondas lentas são interessantes já que diminuem a velocidade de fase do sinal transmitido permitindo um aumento da defasagem. Em CMOS, as linhas de onda lenta foram obtidas satisfatoriamente a partir do conceito de guia de onda coplanar blindada S-CPW (*Shielded CoPlanar Waveguide*) (CHEUNG; LONG, 2006; FRANC et al., 2012; WANG et al., 2011), de maneira simples (CHEUNG; LONG, 2006; FRANC et al., 2012) ou com blindagem dupla com linha em degrau (WANG et al., 2011).

Uma plataforma inovadora de integração tecnológica em ondas milimétricas é apresentada em (PELEGRINI et al., 2016). A plataforma (Figura 3) está baseada em uma membrana de alumina com poros nanométricos (MnM - *Metallic nanowire membrane*) preenchido com cobre. A plataforma representa um mecanismo potencial no desenvolvimento

de aplicações em ondas milimétricas. No mesmo artigo é demonstrado o desenvolvimento de vias através do substrato (TSVs) de alto desempenho e linhas de transmissão com uma grande faixa de impedâncias características.

As vias são importantes para o desenvolvimento de dispositivos que necessitam conexões ao terra como filtros e para a alimentação de antenas, por exemplo. Por sua vez, as linhas de transmissão de alta qualidade são indispensáveis para reduzir perdas (na faixa das ondas milimétricas), e, portanto, reduzir o consumo de potência, e melhorar a integridade do sinal. Vários dispositivos em ondas milimétricas podem ser desenvolvidos diretamente sobre o substrato MnM e subsequentemente integrá-los com dispositivos ativos ou passivos fabricados em CMOS e outras tecnologias mediante alguma solução tecnológica de interconexão.

Dentro das diferentes opções tecnológicas de interconexão atuais, usadas para obter uma plataforma híbrida que permita juntar dispositivos fabricados em diferentes tecnologias, a tecnologia de *Flip-Chip* (FC) representa uma potencial escolha. Ela faz parte de um processo de fabricação de última geração baseada em pilares de cobre, cujos *pitches* ou distâncias entre pilares podem ser menor que 100 μm . Especificações dimensionais como as conseguidas com essa tecnologia, permitem o desenvolvimento de dispositivos na faixa de ondas milimétricas.

Figura 3 – Plataforma de integração híbrida baseada em um substrato de alumina.

Fonte: Adaptado (PELEGRINI et al., 2016). *Microstrips* fabricadas sobre o substrato MnM. Esquerda: Imagem do microscópio eletrônico de varredura da membrana de alumina com nanoporos preenchidos com cobre. Direita: Detalhe das linhas *microstrip* e seus *pads* RF.

A escolha de uma solução de interconexão representa um ponto crítico no desenvolvimento de sistemas em ondas milimétricas, já que sua qualidade tem um grande impacto no desempenho do sistema inteiro. Baseados nessa consideração, devem ser garantidos requisitos mínimos de desempenho como baixas perdas e baixo custo de fabricação. Uma solução tecnológica híbrida baseada em uma metodologia de interconexão por *flip-chip* fornece

uma integração 3D entre o *chip* e a plataforma MnM. Essa metodologia é a melhor alternativa para altas frequências, pois consegue-se realizar interconexões elétricas miniaturizadas entre os pilares de cobre e os contatos fabricados no *chip* (BOUSTEDT, 2002).

Na Figura 4 é apresentada a plataforma MnM de integração híbrida ilustrando um sistema de formação de feixe operando em ondas milimétricas. A interconexão por *flip-chip* é escolhida como metodologia de integração entre o transceptor CMOS, defasadores e a plataforma MnM.

Linhas de transmissão, antenas e outros dispositivos indispensáveis para realização do sistema de formação de feixe, são obtidos a partir de linhas de tipo *microstrip* anteriormente apresentadas na Figura 3.

Figura 4 – Plataforma de integração híbrida baseada em MnM e interconexões por *flip-chip*.

Fonte: Autor.

2 OBJETIVOS

O objetivo do presente trabalho é modelar defasadores passivos de baixo custo e baixas perdas em ondas milimétricas, baseados em sistemas micro eletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares com efeito de ondas-lentas. Inicialmente pretendia-se após da etapa de projeto dos defasadores fabricar os dispositivos no CEA Leti sob convênio LME-Cea Leti. Esse convenio não foi efetivado e ao invés da fabricação IN-HOUSE dos defasadores, que exigia maior dedicação em tempo, optou-se pelo desenvolvimento de um processo de fabricação para a integração híbrida dos defasadores na plataforma MnM. Cabe destacar, que dentro do processo de integração, os defasadores foram substituídos por substrato de silício com deposição de cobre e a plataforma MnM foi substituída por sílica para economizar material e dar foco ao processo de fabricação da integração.

2.1 OBJETIVOS ESPECÍFICOS

Em específico, pretende-se projetar defasadores otimizados para posterior fabricação no LME. A otimização dos defasadores englobará aspectos como:

- a) Otimização das metodologias usadas para projetar defasadores baseados em MEMS e linhas de transmissão de onda lenta.
- b) Melhora do desempenho dos dispositivos a partir da diminuição do erro de fase e das perdas.
- c) Diminuição dos comandos de polarização digitais para um número de bits de resolução determinado.

O desenvolvimento do processo de fabricação englobará aspectos como:

- a) Desenvolvimento de máscaras para litografia a partir das dimensões de um *chip* anteriormente fabricado.
- b) Escolha do fotoresiste para definição dos pilares
- c) Desenvolvimento do processo de eletrodeposição para fabricação dos pilares
- d) *Flip-chip* e solda

3 REVISÃO DA LITERATURA

Neste capítulo será apresentada a revisão da literatura que remete aos principais conceitos utilizados neste trabalho.

3.1 DEFASADORES EM DIFERENTES TECNOLOGIAS

Realizar uma comparação dos defasadores em termos das diferentes tecnologias usadas para fabricação não é simples, já que deve ser levado em conta não só as dimensões e o desempenho elétrico, mas também o custo, a reprodutibilidade, e, especialmente para MEMS, os desafios no encapsulamento. Por esse motivo neste trabalho os defasadores são comparados só a partir das suas dimensões e desempenho elétrico. Primeiramente é usada a Figura de Mérito clássica (FoM) definida pela razão entre a máxima defasagem e máxima perda de inserção e medida em $^{\circ}/\text{dB}$. A segunda figura de mérito dá uma ideia do compromisso entre as dimensões e o desempenho elétrico dos dispositivos. Esta figura de mérito é definida por FoM/Área, e suas unidades são $^{\circ}/(\text{dB}\cdot\text{mm}^2)$. De forma comparativa, são elencadas as principais tecnologias que já foram usadas na fabricação de defasadores. Historicamente, os defasadores baseados em ferrite tem sido a tecnologia dominante para defasadores com guias de onda em ondas milimétricas. Por exemplo, o defasador baseado em ferrite em (BOYD., 1982) obteve perdas de inserção de 1.6 dB em 60 GHz e uma defasagem máxima de 363° com dissipação de 4.5 mW e, portanto, uma FoM de $227.87^{\circ}/\text{dB}$. Outras tecnologias têm sido utilizadas para melhorar as características dos defasadores em ondas milimétricas na presente década. Em (HIGGINS et al., 2003), um defasador baseado em guias de onda e cristal eletromagnético (*EMXT-Tunable Electromagnetic Crystal*), obteve uma defasagem máxima de 360° e perdas de inserção de menos de 2 dB em 38 GHz. O defasador dielétrico de campo magnético sintonizável em (POPOV; ZAVISLYAK; SRINIVASAN, 2010) obteve uma defasagem máxima de 60° com força magnética 255 000 A/m e perdas de inserção de 4 dB em 80 GHz. Três diferentes cristais líquidos são utilizados em (MUELLER et al., 2006) para fabricar um defasador passivo na banda W com defasagem entre 175 e 500° , e perdas de inserção entre 7.2 e 13.5 dB em 94 GHz. A FoM desse defasador foi de $37^{\circ}/\text{dB}$.

Defasadores CMOS/BiCMOS ocupam áreas reduzidas, porém seu comportamento elétrico é pobre, por causa dos varactores MOS usados como elemento de ajuste que apresentam fator de qualidade limitado na faixa das ondas milimétricas (QUEMERAIS et al., 2015).

Por exemplo, em (BIGLARBEGLIAN et al., 2009), um defasador com cargas refletivas (RTPS – *Reflect Type Phase Shifter*) usando varactores MOS foi fabricado em tecnologia CMOS 90-nm. Sua área é só de 0.075 mm^2 , mas sua FoM é igual a $11^\circ/\text{dB}$. Sua FoM é limitada devido ao baixo fator de qualidade gerado pelos varactores MOS usados na sua estrutura (MENG et al., 2014). Entretanto sua área reduzida resulta em uma FoM/Área igual a $146^\circ/\text{dBmm}^2$. Mais recentemente, um defasador RTPS banda larga (56-64 GHz) fabricado em tecnologia CMOS 65-nm, ainda usando varactores MOS, mostra uma ligeira melhora na sua FoM igual a $13^\circ/\text{dB}$ (MENG et al., 2014). A banda larga é obtida pelo uso de um acoplador de linha ao invés de um acoplador híbrido comumente usado nessa topologia. A área ocupada foi de tão só 0.034 mm^2 , resultando em uma razão FoM/Área alta igual a $382^\circ/\text{dBmm}^2$.

A tecnologia MEMS vem sendo muito usada nos últimos anos na fabricação de componentes passivos para aplicações em Radiofrequência (RF). As vantagens mais relevantes dos componentes passivos em tecnologia MEMS comparados com suas contrapartes (por exemplo, tecnologia de semicondutores com diodos PIN e chaves FET) reside no alto desempenho. Por exemplo, varactores e indutores em tecnologia MEMS apresentam uma ampla faixa de ajuste, alto fator de qualidade (Q) e boa linearidade, enquanto chaves MEMS possuem baixas perdas de inserção, bom isolamento, e grande largura de banda. Essas características são cruciais na busca do melhor desempenho e facilidade de configuração de transceptores e sistemas de telecomunicações (IANNACCI; FAES; MARGESIN, 2011).

Particularmente, nos sistemas de direcionamento de feixe (*beam steering*), os defasadores têm como componente principal chaves e capacitores sintonizáveis baseados em RF MEMS. Os defasadores são tipicamente digitais, i.e., podem comutar entre estados de fase predefinidos. Para algumas aplicações, a tecnologia de comutação baseada em MEMS tem-se tornado uma solução prometedora pelas vantagens dos MEMS comparados com alternativas em estado sólido (ÅBERG et al., 2014) especialmente para aplicações em ondas milimétricas.

Em (PSYCHOGIOU et al., 2013), um defasador baseado em ressoadores em guias de onda tipo *ridge* com atuadores MEMS integrados, conseguiu uma defasagem máxima de 70° e perdas de inserção de 3.6 dB em 98.4 GHz. A FoM obtida foi, portanto, igual a $19.4^\circ/\text{dB}$.

O exemplo anterior junto a outros encontrados na literatura de defasadores baseados em MEMS, demonstram um bom desempenho elétrico com um baixo consumo de potência. Porém, o maior obstáculo dos defasadores em ondas milimétricas baseados em guias de onda e MEMS é de se conseguir um dispositivo com área reduzida e de baixo custo de fabricação. Particularmente na integração dos guias de onda não planares, os MEMS são normalmente instalados mecanicamente, o que se torna um grande desafio de fabricação (BOYD., 1982).

Alguns métodos têm sido reportados para afrontar esse desafio. Em (PELLICCIA, LUCA; FARINELLI, PAOLA; SORRENTINO, 2011), a conexão dos dispositivos MEMS com a guia de onda precisou de parafusos e micro usinagem. Em (LIU et al., 2010), foi usada uma resina epóxi condutiva para ligar a membrana dos MEMS com as paredes da guia de onda. Além do mais, laminas de polímero condutivas adesivas foram usadas em (STERNER et al., 2009) para conectar eletricamente e fixar mecanicamente MEMS ajustáveis na banda W com superfícies de alta impedância. Finalmente, uma superfície de MEMS ajustável na banda V foi integrada com guias de onda retangulares em (BAGHCHEHSARAEI et al., 2013).

Apesar dos bons resultados em termos de desempenho elétrico, esses dispositivos são grandes, pesados e caros. Ainda usando técnicas engenhosas para conseguir a integração dos MEMS com guias de onda não planares, são complexos para montar.

3.2 DEFASADORES BASEADOS EM TECNOLOGIA PLANAR E MEMS

As três topologias de defasador passivo mais utilizadas são de linha chaveada, de tipo reflexão e de linha carregada.

O defasador de linha chaveada (Figura 5) pode ser considerado o mais simples. Consiste na comutação ou chaveamento entre linhas de transmissão com geometria diferente que permitem a mudança da velocidade de fase do sinal transmitido, e, portanto, da sua fase. Devido à sua topologia, o defasador de linha chaveada só pode mudar a fase de forma digital, com sua complexidade aumentando significativamente com o aumento do número de bits.

Fonte: Adaptado (GAVIDIA., 2013). Topologia básica de um defasador de linha chaveada com 1 bit de precisão.

Um defasador de 2 bit é apresentado em (GONG; SHEN; BARKER, 2011) é baseado em uma topologia linha chaveada em substrato de quartzo usando chaves *Single Pole 4 Through* (SP4T). Esse dispositivo obteve uma FoM de 90°/dB, porém sua área é grande (4 mm²), resultando em uma razão FoM/Área de 22.5°/(dB·mm²) .

O defasador tipo reflexão (RTPS – *Reflective Type Phase Shifter*) pode ser projetado para ser analógico ou digital. É formado por um acoplador híbrido de 90°, como é ilustrado na Figura 6 e tem uma porta de entrada, uma porta de saída, e duas portas acopladas com cargas refletivas. O sinal incidente na entrada chega com a mesma magnitude nas portas acopladas, porém defasado 90°. Os sinais são refletidos pelas cargas refletivas e somados ao sinal de saída. A defasagem é determinada pela variação da fase do sinal refletido pelas cargas refletivas a partir da eq. (1).

$$\phi = -2 \tan^{-1} \left(\frac{\text{Im}[Z_L]}{Z_0} \right) \quad (1)$$

Onde:

Z_0 é a impedância de referência do acoplador híbrido;

Z_L é a impedância das cargas refletivas

Figura 6 – Defasador RTPS

Fonte: Adaptado (BEHZAD et al., 2010) (a) Reflective-Type Phase shifter (b) Cross section of the broadside coupler in MEMS technology.

A impedância de entrada e saída deste tipo de defasador é independente da impedância das cargas refletivas, o que permite definir valores predeterminados das mesmas. Para conseguir a defasagem, de acordo com a eq. (1), as cargas refletivas são variadas entre um valor de impedância mínimo $Z_{L_{min}}$ e um valor de impedância máximo $Z_{L_{max}}$.

Um defasador RTPS usando tecnologia CMOS e baseado em MEMS é apresentado em (CHANG; CHEN; HSIEH, 2013). O alvo desse trabalho foi evitar o uso de varactores MOS para atingir uma FoM maior. A FoM foi realmente melhorada alcançando 45°/dB. Embora tenha-se usado um acoplador com uma área pequena, ele é baseado em uma estrutura *comb-like* com varactores MEMS que acarreta um aumento considerável da área total do dispositivo

(1.04 mm²) quando comparada com a obtida com defasadores baseados em varactores MOS. Essa área resultou em uma FoM/Área igual a 43.3°/dB mm². Esses exemplos ilustram claramente o compromisso existente entre dimensões e desempenho elétrico.

Finalmente, o defasador de linha carregada é um dos mais utilizados em sistemas de telecomunicações. Utiliza cargas variáveis distribuídas ao longo de uma linha de transmissão para mudar a sua velocidade de fase. A linha de transmissão pode ser carregada com cargas comutáveis controladas digitalmente ou com cargas de variação contínua, como os varactores. Assim, variando-se as cargas, muda-se a fase do sinal transmitido. Uma topologia tipo linha carregada permite a fabricação de defasadores com maior resolução, como é demonstrado no defasador de 4 bits baseado em MEMS apresentado em (HONG-TEUK KIM et al., 2002). A FoM obtida foi de 93°/dB e a FoM/Área de 7.85°/dB mm².

Para tirar vantagem da FoM obtida com MEMS, o conceito de defasador MEMS apresentado em (REHDER; VO; FERRARI, 2012) propõe uma topologia tipo linha carregada baseada em uma estrutura S-CPW (*Shielded CPW*) com um alto fator de qualidade (FRANC et al., 2012) e com um efeito inerente de onda lenta que levam à compactação dos dispositivos e perdas de inserção baixas.

Existem diversas implementações físicas de estruturas em onda lenta, porém todas elas requerem uma estrutura periódica definida por segmentos de linha com curto comprimento elétrico e intercaladas entre segmentos de alta e baixa impedância. A primeira estrutura demonstrada conseguindo o efeito de onda lenta e fabricada em um substrato de Arseneto de Gálio é apresentada em (SEKI; HASEGAWA, 1981). Além do mais, foi implementada pela primeira vez em tecnologia CMOS em (CHEUNG et al., 2003).

Um conceito que junte o efeito de onda lenta com um ajuste por MEMS distribuídos, permite dispositivos mais compactos e um alto desempenho elétrico, como demonstrado em (VERONA et al., 2014) usando tecnologia CMOS 0.35 um. O defasador fabricado é de 2 bits e obteve como resultado uma FoM de 36 °/dB e uma área de 0.58mm², levando a uma razão FoM/Área igual a 62°/(dB·mm²).

O presente trabalho é baseado neste conceito de MEMS distribuídos e linhas de transmissão de onda lenta descrito na próxima seção.

3.3 DEFASADORES BASEADOS EM MEMS DISTRIBUÍDOS E LINHAS DE TRANSMISSÃO DE ONDA LENTA

Uma das maneiras de se conseguir o efeito de onda lenta é pelo incremento da permissividade relativa efetiva (ϵ_{reff}), que leva a uma redução na velocidade de fase do sinal transmitido (CHANG, 2000), como ilustra a eq. (2). Assim, para um mesmo comprimento d em uma mesma frequência angular ω , a fase do sinal ϕ será maior. Por outro lado, os dispositivos que dependem de uma determinada fase (comprimento elétrico) serão miniaturizados

$$v_\phi = \sqrt{\frac{1}{LC}} = \frac{c}{\sqrt{\epsilon_{reff}}} = \frac{\omega d}{\phi} = \frac{\omega}{\beta} \quad (2)$$

$$Z_c = \sqrt{\frac{L}{C}} ; Q = \frac{\beta}{2\alpha} \quad (3)$$

Em (2), L e C são respetivamente a indutância e capacitância equivalentes por unidade de comprimento da linha de transmissão, e c é a velocidade da luz. Para se aumentar ϵ_{reff} pode-se aumentar L e/ou C . Normalmente, o efeito de onda lenta é obtido modificando a capacitância equivalente, como será explicado abaixo.

A equação (3) expressa a impedância característica de uma linha de transmissão sem perdas, em termos de L e C . Nota-se que ao aumentarmos C a impedância característica da linha de transmissão diminui.

Em linhas de transmissão, a permissividade relativa efetiva pode ser incrementada com modificações geométricas/estruturais. Em linhas de transmissão tipo *Coplanar Waveguide* (CPW), isso pode ser feito pela adição de uma camada de metal (camada de blindagem) como é mostrado na Figura 7. A camada de blindagem é formada por uma série de fitas ou tiras ortogonais à direção de propagação. As fitas da camada de blindagem, concentram o campo elétrico aumentando C , no entanto, elas permitem a passagem do campo magnético, não alterando L (em relação a uma CPW convencional).

Estas linhas de transmissão são conhecidas como *Shielded-CPW* ou *S-CPW* e são atualmente as linhas com maior fator de qualidade em tecnologias integradas em silício (FRANC, ANNE-LAURE; PISTONO, EMMANUEL; FERRARI, 2010).

Em tecnologias baseadas em Si, além de gerar o efeito de onda lenta, a camada de blindagem impede que o campo elétrico chegue até o substrato, reduzindo assim, as perdas devido à condutividade do substrato (MILANOVIC et al., 1998).

Figura 7 - Exemplo de S-CPW com camada de blindagem suspensa

Fonte: Adaptado de Marcus Pelegrini: Déphaseurs accordables à 60 GHz bases sur des lignes à ondes lentes à MEMS distribués.

A camada de blindagem também atua como uma capacitância distribuída, carregando a CPW. Assim, se a distância g entre a camada de blindagem e a CPW for pequena comparada a distância entre o condutor central do sinal e os terras da CPW, pode-se controlar a capacitância equivalente da linha de transmissão variando esta distância. Como mostrado na eq. (3), ao se variar C , que neste caso será dependente de g , é variada a velocidade de fase, e, portanto, a fase do sinal transmitido. Este princípio tem sido usado pelo Laboratório de Microeletrônica da Universidade de São Paulo e pelo Laboratório Francês IMEP-LAHC para o desenvolvimento de defasadores, foco deste trabalho de mestrado.

Para a realização do defasador baseado em uma S-CPW, o material dielétrico que separa a camada de blindagem e a linha CPW é removido. Isso permite que a camada de blindagem possa ser movimentada para permitir a mudança de fase.

A Figura 8 fornece um melhor entendimento do princípio de funcionamento eletromecânico da camada de blindagem. Sem a aplicação de uma tensão DC entre as fitas móveis e o eletrodo central da CPW, a fita ou estrutura MEMS permanece em repouso ou no estado não atuado, como mostra a Figura 8a. Neste caso, a distância entre os dois eletrodos é a máxima possível, e a capacitância assume o valor mínimo. Por sua vez, assim que aplicada uma tensão DC entre os dois eletrodos, a força de atuação eletrostática produz o movimento da fita

suspensa para o eletrodo central da CPW, como mostra a Figura 8b. Assim que a distância entre os eletrodos for mínima, maior será a capacitância equivalente da CPW.

Figura 8 – Princípio de funcionamento eletromecânico da camada de blindagem com (a) camada de blindagem em repouso ou não atuada, e (b) camada de blindagem atuada.

Fonte: Adaptado

Para garantir uma atuação reprodutível e estável, as tiras são variadas somente entre o estado de repouso, sem aplicação de uma tensão DC e o estado atuado, com aplicação de uma tensão DC. A distância entre a camada de blindagem e a CPW não pode ser zero já que isso implicaria um curto circuito. Para evitar isso, uma camada isolante fina pode ser colocada embaixo da camada de blindagem.

Baseado nesse conceito, é apresentado na Figura 9 um exemplo de defasador de 3 bits de resolução. As fitas, que só podem variar entre dois estados, são agrupadas em segmentos ou conjuntos. Assim, um segmento constituído por determinada quantidade de fitas é atuado simultaneamente. Existe uma hierarquia ainda maior que os segmentos denominada grupos. A quantidade de grupos é igual à quantidade de bits projetada. Um grupo consiste na soma de diferentes segmentos que são atuados simultaneamente, mas não necessariamente são desenhados um ao lado do outro. Na Figura 9, pode-se evidenciar como o grupo 1 é constituído por 3 segmentos dispostos intercaladamente, cada um deles obtido a partir de 3 fitas MEMS. Cada grupo é desenhado para fornecer os diferentes estados de fase obtidos a partir de 3 bits. A separação em segmentos é feita para evitar a degradação das perdas de inserção por causa do efeito Bragg. Cada grupo pode ser atuado individualmente, mas simultaneamente em todos seus segmentos.

No caso de linhas de transmissão com alternância de impedância alta e baixa de maneira periódica, como é o caso do defasador proposto, quando pelo menos um grupo é atuado e pelo menos um grupo não é atuado em uma determinada frequência (frequência de Bragg), a linha deixa de funcionar como uma linha de transmissão e sua impedância tende a zero. Nesta frequência, que depende do comprimento elétrico dos segmentos, todo o sinal é refletido. Quanto mais curtos os segmentos, maior será a frequência de Bragg.

Fonte: Autor.

Neste contexto, financiado pela FAPESP através do projeto Jovem Pesquisador (processo 2011/18167-3), no trabalho de formatura de Bruno Verona, iniciou-se no Laboratório de Microeletrônica (LME) da Escola Politécnica da Universidade de São Paulo, o desenvolvimento de defasadores baseados em RF MEMS distribuídos para aplicações em mmW utilizando processo CMOS comercial de baixo custo.

Baseado nesse conceito, foi projetado um defasador (VERONA et al., 2014) baseado em linhas de transmissão de ondas lentas sintonizáveis, como descrito na patente (FERRARI, P., REHDER, G., BENECH., 2011). O defasador foi modelado utilizando simulação eletromagnética 3D por elementos finitos com o software comercial HFSS (ANSYS). As características eletromagnéticas do defasador foram otimizadas por simulação para a realização do projeto do dispositivo e do layout, que foi depois enviado à *foundry* AMS. A Figura 10 ilustra o dispositivo fabricado com a tecnologia CMOS 0,35 μm da AMS.

Para que seja possível a variação da posição da camada de blindagem, o óxido de silício (SiO_2) entre as camadas metálicas da tecnologia CMOS deve ser removido. Foram

desenvolvidas no LME algumas etapas de pós-processamento para a liberação destas camadas metálicas sem a utilização de máscaras e processos litográficos.

Figura 10 – Defasador fabricado pela AMS.

Fonte: Adaptado (VERONA et al., 2014). Imagem por Microscópio Eletrônico de Varredura do defasador baseado em MEMS distribuídos liberados.

O resultado do processo de liberação permitiu a atuação eletrostática da camada de blindagem e, por sua vez a mudança de fase do sinal transmitido. Os dispositivos foram medidos em ondas milimétricas (até 110 GHz) no laboratório francês IMEP-LAHC, como ilustra a Figura 11. As perdas de inserção foram de aproximadamente 0,7 dB e praticamente não variam com atuação da camada de blindagem (Figura 11b), o que é extremamente importante para o desenvolvimento de arranjos de antenas. Para os dispositivos medidos, foi obtida uma defasagem de $25,1^\circ$ (Figura 11a) com a aplicação de 60 V. Estes resultados levam a uma figura de mérito (FoM) de $36^\circ/\text{dB}$ a 60 GHz, sendo este resultado melhor que os resultados apresentados na literatura para os dispositivos fabricados em tecnologia CMOS comercial que utilizam dispositivos eletrônicos (varactor ou transistor MOS), como ilustra a Tabela 1.

Figura 11 – (a) defasagem máxima do defasador (b) Perdas de inserção do defasador.

Fonte: Adaptado (VERONA et al., 2014). Measured and simulated phase with and w/o actuation- Measured insertion and return loss.

Defasadores que utilizam MEMS apresentam, em geral, uma FoM melhor que $90^\circ/\text{dB}$ e uma FoM/Área menor que $30^\circ/\text{dBmm}^2$ por causa da área grande, não são fabricados em tecnologia CMOS, não possuindo todas as vantagens de utilizar uma tecnologia madura e confiável, sem a possibilidade de integrar dispositivos eletrônicos em um mesmo chip. Em geral, os circuitos fabricados em CMOS apresentam uma área reduzida, mas as perdas são muito altas, sendo proibitivas para aplicações móveis. Por outro lado, os dispositivos que utilizam MEMS apresentam perdas mais baixas, mas a área que ocupam é grande, o que aumenta o seu custo final.

O defasador desenvolvido no projeto Jovem Pesquisador (JP) ocupa uma área de $0,58 \text{ mm}^2$ que representa uma área menor em comparação com outros defasadores que utilizam MEMS.

Também utilizando o conceito de MEMS distribuídos e linhas de ondas lentas, o orientador deste projeto e coordenador do JP, Prof. Dr. Gustavo P. Rehder, em colaboração com os laboratórios IMEP-LAHC e CEA-Leti, projetou um outro defasador utilizando uma tecnologia específica para MEMS. Este defasador foi fabricado pelo CEA-Leti, utilizando sua tecnologia em substrato de silício de alta resistividade (HR-Si), na qual eles desenvolveram chaves RF MEMS que operam até 60 GHz.

O defasador proposto foi concebido para ter 3 bits de resolução e sua camada de blindagem foi dividida em sete grupos que podem ser atuados independentemente. Para reduzir/eliminar o efeito Bragg nas frequências de interesse, os grupos foram subdivididos em oito segmentos intercalados.

A Figura 12 ilustra o defasador fabricado. Na tecnologia usada, a linha de transmissão CPW de ouro com $1,1\ \mu\text{m}$ de espessura foi fabricada no fundo de uma cavidade de $2,3\ \mu\text{m}$ e está separada do substrato de silício de alta resistividade por uma camada de dióxido de silício (SiO_2) de $2\ \mu\text{m}$. A camada de blindagem foi colocada entre duas camadas de nitreto de silício (SiN_x) cada uma com $0,55\ \mu\text{m}$ de espessura formando uma membrana com compensação de estresse mecânico dos filmes finos.

Figura 12 - Defasador baseado em MEMS distribuídos fabricado pelo CEA-Leti.

Fonte: Adaptado. Optical image of the distributed MEMS phase shifter.

O defasador desenvolvido ocupa uma área de $0,47\ \text{mm}^2$, menor em comparação com o defasador desenvolvido em CMOS. A Figura 13 apresenta as perdas de inserção e retorno, a defasagem e a FoM dos 8 estados de fase obtidos por simulação, na etapa de projeto, e as medidas por VNC depois da fabricação do defasador. A perda de inserção máxima (Figura 13a) foi de $2,9\ \text{dB}$ em $60\ \text{GHz}$ para uma defasagem de 152° (Figura 13c), sendo que a variação nas perdas de inserção foi de $0,85\ \text{dB}$. A Figura 13d apresenta a FoM. Três diferentes dispositivos foram testados no mesmo *wafers* e mostram pequenas variações. Foi obtida uma figura de mérito média dos três dispositivos de $50^\circ/\text{dB}$ a $60\ \text{GHz}$. A FoM/Área obtida foi de $111,5^\circ/\text{dBmm}^2$.

Figura 13 – (a) Perdas de inserção e (b) de retorno do defasador; (c) Fase; (d) Figura de mérito (FoM).

Fonte: Rehder et al., unpublished

Na Tabela 1 é apresentada uma comparação entre os principais resultados apresentados na literatura internacional para os defasadores passivos baseados em MEMS em frequências mmW em comparação com os dois dispositivos desenvolvidos no LME. Estes resultados se mostraram muito promissores e servirão como base para esse projeto e futuros desenvolvimentos.

Tabela 1 – Estado da arte dos principais defasadores com MEMS encontrados na literatura

Tecn.	Tipo de defasador	Precisão	Freq. (GHz)	Defas. (°)	Perdas de Inserção (dB)	Área (mm ²)	FoM (°/dB)	FoM/Área (°/dBmm ²)	Ref.
CMOS 90-nm	RTPS	Analógico	60	87	-6.25 / ±1.75	0.075	11	146.7	(BIGLARBEIGIAN et al., 2009)
CMOS 65-nm	Linha carregada	3 bits	60	156	-9.4 / ±3.1	0.2	12.5	62.5	(YU et al., 2008)
BiCMOS SiGe 0.13-μm	Linha chaveada	4 bits	77	337	-19 / ±3.7	0.135	15	111.1	(KIM; REBEIZ, 2009)
Quartzo Fundido	Linha chaveada	2 bits	60	270	-3	4	90	22.5	(GONG; SHEN; BARKER, 2011)
Quartzo Fundido	Linha carregada	4 bits	65	337.5	-2.8/ ±0.8	11.85	93	7.85	(HONG-TEUK KIM et al., 2002)
CMOS 0.18-μm	RTPS	1.5 bits	65	144°	4/ ±2.5	1.04	45	43.3	(CHANG; CHEN; HSIEH, 2013)
Glass	Linha carregada	3 bits	78	316	3.1/ ±1.2	9.67	102	10.55	(HUNG; DUSSOPT; REBEIZ, 2004)
CMOS (LME) 0.35-μm	MEMS Distribuídos	2 bits	60	25.1	-0.7	0.58	36	62.1	(VERONA et al., 2014)
HR Si (CEA-Leti)	MEMS Distribuídos	3 bits	60	152	2.9/ ±0.85	0.47	50	106.8	Não publicado

4 MODELOS RF E ELETROMECAÂNICO

A Figura 14 apresenta a estrutura geral do defasador proposto.

Fonte: Autor.

O defasador proposto é baseado em substrato de silício e processos dedicados *in-house* e segue a estrutura usada no projeto de defasador LME-LETI. A camada de blindagem foi colocada a cima da CPW para evitar problemas no processo de liberação das fitas durante a fabricação. A camada de nitreto de silício rodeando as fitas serve como membrana de suporte mecânico para as fitas e impede um curto circuito entre as camadas metálicas. A Tabela 2 apresenta as espessuras e dimensões usadas no desenho do defasador LME-LETI. W_s , W_g são a largura do sinal e dos terra da CPW respectivamente, e D a distância entre os terra da CPW. SS e SL são a distância entre fitas e a largura da fita respectivamente. As dimensões restantes são a espessuras de cada camada (direita da Figura 14).

Tabela 2 – Dimensões usadas no projeto de defasador LME-LETI

Parâmetros geométricos	Dimensões (μm)
W_s	5
W_g	54.5
D	18
SS	2
SL	1
Gap	1
t_{SiNx}	1
Fitas da camada de blindagem	0.24
t_{CPW}	1,1
t_{SiO_2}	2

Já foram desenvolvidos no LME diferentes processos dedicados de microeletrônica para a fabricação do dispositivo proposto, porém o esquema de fabricação definitivo que será usado ainda não foi definido.

O projeto do defasador proposto será realizado utilizando diferentes simulações computacionais em busca dos diferentes parâmetros de fabricação e comportamentais (eletromagnéticos, elétricos, mecânicos e eletromecânicos) e baseia-se no esquema da Figura 15.

Figura 15 – Metodologia do projeto dos defasadores.

Fonte: Autor.

Uma primeira parte do projeto corresponde ao modelo RF e eletromecânico. Foi usado o modelo em Matlab desenvolvido por (BAUTISTA; FRANC; FERRARI, 2015a) para a obtenção dos seguintes parâmetros de RF: permissividade relativa efetiva ϵ_{reff} , impedância característica Z_c , perda de inserção e de retorno e fator de qualidade Q a partir de parâmetros geométricos e propriedades físicas do material. Adicionalmente, foi implementado em Matlab o modelo eletromecânico descrito em (REBEIZ, 2002) para a obtenção, a partir de parâmetros geométricos do defasador, a tensão de acionamento e a constante de mola da estrutura MEMS.

Os parâmetros geométricos foram variados para otimizar o defasador buscando bons resultados tanto no domínio do RF quanto no eletromecânico. Para melhorar a FoM do projeto LME-LETI, foi buscado neste projeto uma defasagem máxima de 315° e a redução da perda de inserção máxima para 1,5 dB (quase a metade da obtida para esse defasador). Já que foi buscado igualmente o aumento da razão FoM/Área, os parâmetros geométricos foram otimizados para garantir o aumento da FoM evitando um aumento considerável da área do dispositivo. As impedâncias características nos estados atuado e não atuado foram calculadas para garantir o casamento na linha e simultaneamente a redução nas perdas de retorno, limitada em -10 dB.

Para garantir esta perda de retorno inferior a -10 dB em 60 GHz, a impedância característica no estado não atuado deve ser no máximo de 70Ω . É no estado não atuado em que se apresenta a menor capacitância total distribuída e, portanto, a maior impedância característica. Do ponto de vista eletromecânico, a constante elástica é prevista para ser grande o suficiente de maneira que garanta uma força de restauração das fitas evitando a colagem sobre a CPW e uma tensão de *pull-in* que não rompa o dielétrico. As especificações de projeto aqui descritas, são listadas na Tabela 3.

Tabela 3 – Especificações de projeto do defasador

Impedância no estado não atuado	70 Ω
Perda de inserção máxima	$\leq 1,5$ dB
Defasagem máxima	315 °
FoM	$> 90^\circ/\text{dB}$
FoM/Área	$> 100^\circ/\text{dBmm}^2$
Constante elástica	5-20 N/m
Tensão de <i>pull-in</i>	< 70 V

4.1 METODOLOGIA DE PROJETO

O modelo proposto em (BAUTISTA; FRANC; FERRARI, 2015b) assume uma estrutura do tipo S-CPW. Nesse contexto, cada parâmetro RF (Z_c , ϵ_{reff} e Q) de saída é obtido a partir de formulas analíticas parametrizadas a partir da geometria da S-CPW.

A implementação do defasador proposto segue as regras de projeto do roteiro fornecido junto ao modelo, ambos disponibilizados pelo autor desse modelo. O roteiro fornece indicações iniciais para qualquer um que deseje manipular o software em Matlab. O primeiro passo dentro do roteiro consiste em uma simplificação dielétrica das camadas metálicas, como mostrado na Figura 16a (do Metal 1 (M1) até a camada superior ALU). É denominada simplificação dielétrica já que simplifica uma análise analítica de uma estrutura S-CPW tridimensional a uma análise só de tipo bidimensional por camadas a partir da seção transversal da estrutura. Portanto, para executar o software é só requerido do usuário a inserção de propriedades físicas do material de cada camada da seção transversal da S-CPW e sua posição dentro dessa seção como mostrado na Figura 16a. Com base na configuração por camadas do modelo em Matlab, são definidas as diferentes camadas do defasador proposto neste trabalho (Figura 16b). Cada camada assume uma posição dentro da simplificação dielétrica proposta e a ela são adicionados parâmetros de entrada do modelo RF como a espessura, a permissividade relativa e a condutividade elétrica associadas ao material de cada camada.

A simplificação dielétrica do modelo em Matlab tem como limitante que a estrutura S-CPW deve ter a camada de blindagem em baixo da CPW, razão pela qual, o defasador proposto neste trabalho (Figura 14, Figura 16b) fosse invertido no software, como mostrado na Figura 16c.

Figura 16 - Esquema geral do projeto – (a) Simplificação dielétrica; (b) Defasador proposto invertido; (c) Simplificação do defasador proposto.

Fonte: (a) adaptado do roteiro disponibilizado por Alfredo Farid Bautista, autor do modelo. (b) e (c) Autor.

O fato da simplificação conter camadas metálicas e vias, não implica necessariamente que em elas sejam implementadas. Pode-se notar na Figura 16c, como as camadas de nitreto de silício, ar e óxido de silício foram simuladas utilizando as camadas de metal ou vias.

O método de entrada das propriedades e a espessuras de cada camada do modelo consiste na edição de um arquivo de texto com o formato mostrado na Figura 17. São definidos o número de camadas da simplificação dielétrica proposta (7: de M1 até ALU, para uma estrutura exemplo que utilize sete camadas), a constante dielétrica de cada camada (de esquerda para a direita: Eeq1, Eeqv1...) e a condutividade elétrica de cada camada (de esquerda para a direita: M1-ALU).

Figura 17 – Arquivo de Texto com os parâmetros geométricos e dielétricos.

```

Number of Conductors
M=7

Dielectric -M1 --> Mtop
4.1 4.1 4.1 4.1 4.1 4.1 4.1 4.1 4.1 4.1 4.1 4.1 5.373
Thickness Dielectric -M1--> Mtop
0.45 0.55 0.45 0.55 0.45 0.55 0.45 0.55 0.45 0.83 2 3 3 1.1
Thickness Cond&Via -M1--> Mtop
0.45 0.55 0.45 0.55 0.45 0.55 0.45 0.55 0.45 0.83 2 3 3 1.1
Thickness Variation Cond M1-->Mtop
0.00 0.0 0.0 0.0 0.0 0.0 0.0 0.0
Typ case conductivity -M1-->Mtop
48 48 48 48 48 48 48 48 48 48 48 48 48 48
Worst case conductivity -M1-->Mtop
48 48 48 48 48 48 48 48 48 48 48 48 48 48

```

Fonte: adaptado do roteiro disponibilizado por Alfredo Farid Bautista, autor do modelo.

O segundo passo consiste em definir a geometria da S-CPW (Figura 18). A definição dos parâmetros geométricos de entrada é feita manualmente dentro de um dos *scripts* do *software*. A Figura 18a apresenta uma vista em corte da S-CPW com W_g , a largura dos terras da CPW; W_s , a largura do condutor central; e D , a distância entre os terras. A Figura 18b mostra a vista superior da camada de blindagem da S-CPW com SS , a distância entre cada tira metálica e SL , a largura de cada tira.

Figura 18 – Geometria da S-CPW – (a) Vista em corte da S-CPW; (b) Vista superior da camada de blindagem.

Fonte: adaptado do roteiro disponibilizado por Alfredo Farid Bautista, autor do modelo.

Na sua versão original, o *script* Matlab do modelo precisava de modificações manuais do arquivo de texto para a simplificação dielétrica e dos parâmetros geométricos da S-CPW dentro do *script*. Com o intuito de conseguir os parâmetros RF de saída de maneira eficiente, foi criada uma interface gráfica que permite a variação em tempo real dos parâmetros de entrada previamente mencionados.

Foi considerada como geometria base para o teste do *software* o projeto de defasador LME-LETI descrito anteriormente. Usando as espessuras das diferentes camadas e os parâmetros eletromagnéticos dos materiais de fabricação, foram obtidos parâmetros RF de saída bastante próximos dos obtidos nas simulações de elementos finitos previamente feitas para esse projeto no *software* HFSS (ANSYS). Assim que foi validado o funcionamento da melhoria do *script*, analisou-se a tendência dos parâmetros de saída uma vez que eram variados os de entrada.

Levaram-se em conta algumas regras de projeto que simplificam a obtenção do modelo resultante e para facilitar a fabricação do dispositivo. SL e SS foram fixados para aproveitar as

dimensões de uma máscara anteriormente fabricada no LME. $V4t$ foi definida pela resolução da litografia.

Os parâmetros usados como regra de projeto são:

- SL (largura das tiras da camada de blindagem) igual a $1\ \mu\text{m}$
- SS (distância entre as tiras da camada de blindagem) igual a $2\ \mu\text{m}$:
- $V4t$ (espessura da camada dielétrica de óxido de silício) igual a $2\ \mu\text{m}$

Por sua vez, os parâmetros de entrada ligados à geometria do dispositivo que foram variados são:

- W_s (largura do condutor central da CPW)
- W_g (largura do contato de terra)
- D (distância entre os contatos de terra)
- t_{SiNx1} (espessura da membrana SiN_x sobre a camada de blindagem)
- t_{SiNx2} (espessura da membrana SiN_x em baixo da camada de blindagem)
- t_{gap} (espessura do dielétrico Ar)
- t_{CPW} (espessura da CPW)
- $t_{blindagem}$ (espessura da camada de blindagem)

A partir dessas tendências, foi analisada a interdependência de alguns parâmetros geométricos e da impedância característica como parâmetro de saída do modelo.

Uma vez feita a simplificação dielétrica e a definição geométrica da seção transversal da estrutura S-CPW, é dada a ordem de execução do programa em Matlab para a obtenção dos parâmetros RF de saída em formato de gráfico. O modelo RF analítico implementado no *script* é descrito a continuação.

4.2 DESCRIÇÃO DO MODELO RF

É baseado em um modelo elétrico preditivo a partir da parametrização da geometria de uma estrutura S-CPW. Foi desenvolvido supondo um modo de propagação quase-TEM, válido inclusive para ondas milimétricas (BAUTISTA; FRANC; FERRARI, 2015a).

Assim, o modelo conta com expressões analíticas para cada parâmetro elétrico implicado na estrutura. Os termos independentes de cada expressão analítica correspondem às dimensões geométricas de entrada.

O modelo representa uma ferramenta poderosa no desenvolvimento de dispositivos baseados em S-CPW já que é o resultado de um equacionamento físico e não de equações com elementos de ajuste que precisam de ferramentas de simulação 3D para prever inteiramente o comportamento do sistema sendo projetado.

A estrutura S-CPW junto ao modelo elétrico em circuitos equivalente RLRC, são ilustrados na Figura 19.

Figura 19 – a) Vista esquemática 3D da topologia S-CPW; b) modelo RLRC equivalente.

Fonte: (BAUTISTA; FRANC; FERRARI, 2015a)

A formulação analítica é feita para cada elemento presente no modelo RLRC (Figura 19b) proposto em (FRANC et al., 2013), onde C e R_p são calculadas a partir de um modelo elétrico, enquanto L e R_s a partir de um modelo magnético. As equações desenvolvidas funcionam para qualquer configuração de camadas metálicas dentro de uma tecnologia de fabricação usual em microeletrônica.

No modelo em questão foram desprezadas correntes de *Eddy* na blindagem, a condutância paralela devido ao confinamento do campo elétrico na S-CPW sem penetrar o substrato, e as perdas nas camadas isolantes entre as camadas metálicas (CPW e camada de blindagem) por serem muito menores comparadas com as perdas de condução. Uma descrição detalhada do equacionamento usado no modelo elétrico é apresentada no ANEXO B. O algoritmo desenvolvido em Matlab e usado para computar a todos os elementos é apresentado no ANEXO C.

4.3 MODELO RF POR ELEMENTOS FINITOS

Um primeiro objetivo do modelo por elementos finitos consiste em validar o modelo RF concebido em Matlab. Foi construído um modelo 3D do defasador no *software* ANSYS HFSS a partir dos parâmetros geométricos, eletromagnéticos e mecânicos conseguidos do modelo resultante em Matlab. A Figura 20 apresenta o modelo 3D e os diferentes parâmetros geométricos definidos durante sua implementação.

Figura 20 – Modelo 3D em HFSS – (a) Vista geral do modelo; (b) Vista superior do modelo e (c) vista em corte do modelo.

Fonte: Autor.

A partir de simulações paramétricas no *HFSS* foram obtidos a impedância característica e a permissividade relativa efetiva para diferentes espessuras da camada dielétrica de ar da S-CPW, e depois comparados com os resultados obtidos do modelo em Matlab.

Cabe destacar que para definir a geometria do defasador proposto podem ser usadas só simulações de elementos finitos, porém o custo computacional exigido seria muito alto e para cada variação geométrica feita no modelo (como ocorre no caso do modelo 3D eletromecânico), a obtenção do resultado demandaria muito tempo de simulação, este último dependendo dos recursos computacionais presentes. O modelo em Matlab usado, pelo contrário, permite resultados em tempo real para qualquer pequena variação dos parâmetros de projeto.

Uma vez que são validados os resultados do modelo em Matlab, são obtidos os parâmetros S do modelo 3D para os estados não atuado ou OFF e atuado ou ON em função da distância entre a CPW e a camada de blindagem (Figura 21). A análise por FEM é configurada para varrer a frequência com variação discreta entre 10 e 100 GHz e um passo de 10 GHz. Uma configuração paramétrica linear é adicionalmente levada em conta para variar o parâmetro *gap* para diferentes valores entre a distância das camadas metálicas nos estados OFF e ON. São assumidas duas portas (WavePort1 e WavePort2), ambas com impedâncias de 50 Ω para simular o percurso de um sinal RF que permita obter os resultados em termos dos parâmetros S (S11, S12, S21 e S22) em dB.

Figura 21 – Variação da distância entre a camada de blindagem e a CPW do modelo 3D.

Fonte: Autor - Captura de tela, projeto no HFSS.

Na Tabela 4 são apresentados os parâmetros eletromagnéticos dos materiais usados no modelo 3D, sendo os mesmos usados na simplificação dielétrica do modelo analítico RF no Matlab.

Tabela 4 – Parâmetros eletromagnéticos utilizados no modelo 3D

Material/Parâmetro geométrico associado no HFSS para a(s) camada(s) do defasador	Permissividade Relativa/Constante dielétrica	Condutividade elétrica [siemens/m]
Cobre (t, Td)	1	58×10^6
Nitreto de Silício (TL, TL1)	7	0
Oxido de Silício (Tox)	4	0
Ar (gap)	1	0

4.4 MODELO DE CIRCUITOS EM ADS

Esta etapa do projeto é responsável por otimizar o número de comandos de polarização digital, isto é, obter a defasagem projetada dos diferentes estados de fase (8 estados de fase para um defasador de 3 bits de polarização) garantindo o mínimo número de comandos digitais. O parâmetro $S(1,1)$ é relacionado à reflexão da linha de transmissão. O parâmetro $S(2,1)$ é alusivo a transmissão da linha de transmissão.

A partir dos parâmetros S obtidos do modelo 3D, são obtidos modelos de circuito de um trecho da linha de transmissão. Foi usado o bloco fundamental TLINP (*2-Terminal Physical Transmission Line*) do ADS para conseguir os modelos ON e OFF de um trecho de linha. Os modelos são obtidos pelo *fit* ou ajuste dos parâmetros próprios do bloco (impedância

característica, permissividade relativa efetiva, coeficiente de atenuação) com os resultados obtidos dos parâmetros S.

A Figura 22 apresenta um exemplo dos resultados após do ajuste dos parâmetros S do modelo de circuitos em *ADS* com os obtidos do modelo 3D em *HFSS*.

Figura 22 – *Fit* do modelo de circuito em *ADS* com o modelo 3D obtido em *HFSS*.

Fonte: Autor - Captura de tela, ambiente de resultados em *ADS*.

Assim que é conseguido um bom ajuste, são consolidados dois blocos básicos para ambos os estados ON e OFF de um trecho de linha. A Figura 23 mostra um exemplo de blocos OFF e ON com seus respectivos parâmetros depois do ajuste. *ZI*, *EI* e *A1* são respectivamente a impedância característica, a permissividade efetiva relativa e a atenuação de um trecho de linha de transmissão de comprimento *L*.

Figura 23 – Blocos básicos dos estados OFF e ON após *fit*.

Fonte: Autor - Captura de tela, ambiente esquemático do *ADS*.

Um bloco básico representa um trecho ou segmento de grupo da linha de transmissão. Portanto, o comprimento total da linha de transmissão é implementado mediante um arranjo de blocos básicos.

Para variar o comprimento de um único segmento basta variar o parâmetro L (comprimento) do bloco associado. Dado que é uma simulação de modelo de circuito, ela possui baixo custo computacional e para qualquer variação de algum dos parâmetros do modelo, a obtenção do resultado não precisa de um tempo considerável de simulação.

Para simular os diferentes estados de fase, são dispostos três blocos por estado, de jeito tal, que seja garantido um comando de polarização por bit. A Figura 24 mostra os estados de fase obtidos com três bits, segundo (4).

$$N = 2^n = 8 \text{ estados de fase} \quad (4)$$

Com N , o número de estados de fase e n , o número de bits.

Figura 24 - Estados de Fase possíveis obtidos com 3 bits de resolução.

BIT1	BIT2	BIT 3	Fase (°)
0	0	0	0
0	0	1	45
0	1	0	90
0	1	1	135
1	0	0	180
1	0	1	225
1	1	0	270
1	1	1	315

Fonte: Autor.

Cada bit é representado por um bloco básico no estado OFF (0) ou ON (1). Assim, um estado de fase é formado, como mostrado na Figura 25, pelo conjunto: terminal de entrada (Term1), terminal de saída (Term2) e pelo arranjo dos três blocos básicos representando os bits com variação de estado. $L1$, $L2$ e $L3$, representam o comprimento em μm de cada bloco.

Figura 25 - Implementação dos estados de fase.

Fonte: Autor - Captura de tela, ambiente esquemático do ADS.

Para diminuir o efeito Bragg, causado por segmentos de grande comprimento, o comprimento total da linha $L1+L2+L3$ é subdividido em segmentos menores. Na simulação, essa divisão é implementada replicando o arranjo básico de três blocos, quantas vezes for necessário para obter um resultado com baixas perdas pela influência do efeito Bragg. A Figura 26 mostra os casos em que os segmentos são subdivididos duas e três vezes, respectivamente.

Figura 26– Subdivisão do comprimento dos segmentos.

Fonte: Autor - Captura de tela, ambiente esquemático do ADS.

Na Figura 26a o bloco de comprimento inicial $L1$ foi dividido nos blocos com comprimentos $L11$ e $L12$, o bloco com comprimento $L2$ nos blocos com comprimentos $L21$ e $L22$ e o bloco com comprimento inicial $L3$ nos blocos com comprimentos $L31$ e $L32$. Na Figura 26b, é usada a mesma metodologia para o caso da divisão de cada bloco inicial em três blocos.

Para facilitar o entendimento da implementação em ADS, nota-se que cada bloco possui um comprimento com formato Lxy , com x sendo o indicador numérico do comando de polarização ou bit e y o número de segmento.

O número de segmentos é incrementado, de tal forma que o erro de fase e as perdas de inserção de cada estado de fase sejam o mínimo possível. Porém, quanto maior a quantidade de

segmentos, maior a quantidade de comprimentos a serem calculados e, portanto, maior número de variáveis. Isso acarreta maior dificuldade do cálculo das variáveis.

Para encarar essa dificuldade é aproveitada a ferramenta de otimização do *software*. Consiste em uma simulação que tenta alcançar diferentes alvos com o melhor desempenho possível. Para isso, é necessária a escolha de um tipo de otimização ou método de busca de alvos predefinidos e de parâmetros de ajuste. A Figura 27 exhibe o uso da ferramenta no propósito de encontrar os comprimentos dos diferentes blocos do projeto de defasador.

Cabe ressaltar neste ponto que o erro de fase não é mais do que a diferença entre o estado de fase e a defasagem obtida, já seja por simulação ou por caracterização do dispositivo fabricado (JAE-HYOUNG PARK et al., 2002). Neste trabalho é calculado a partir da diferença entre o estado de fase e a fase obtida por simulação.

Fonte: Autor.

Os alvos são destacados em verde e os parâmetros de ajuste em roxo. A otimização tem como objetivo a busca dos alvos com melhor desempenho a partir de variação dos comprimentos de cada bloco ou trecho de linha. A variação dos comprimentos está regida pelo método de busca selecionado na otimização. Nesse trabalho são escolhidos os métodos *Random* e *Quase-Newton*, ambos com funções de erro do tipo mínimo quadrados.

4.5 MODELO ELETROMECHANICO

O modelo eletromecânico simula o comportamento de uma única tira ou fita da camada de blindagem do defasador proposto sob ação da força eletrostática gerada pela tensão aplicada entre as camadas metálicas. A fita é modelada mecanicamente a partir de uma viga fixada em ambos seus extremos sob ação de uma força distribuída no meio como é mostrado na Figura 28.

Figura 28 – Cantiveler sob ação de uma força eletrostática em sentido contrário à força elástica.

Fonte: adaptado de “A MEMS fixed–fixed beam” em (REBEIZ, 2002).

As expressões que descrevem o comportamento eletromecânico foram implementadas como rotina dentro do *script* principal do modelo RF. A rotina contém as fórmulas para o cálculo dos parâmetros de saída: constante de mola e tensão de *pull-in* a partir de alguns dos parâmetros de entrada geométricos igualmente usados para o modelo de RF. Os parâmetros eletromecânicos de saída foram embutidos na interface gráfica do modelo RF (Figura 29).

Figura 29 – Interface gráfica dos modelos RF e eletromecânico em Matlab

Fonte: Autor.

No objetivo de projetar um defasador com características eletromecânicas apropriadas, a constante elástica projetada deve ter um valor alto o suficiente para garantir uma força de restauração que evite a colagem das tiras depois de atuadas. Simultaneamente, a tensão elétrica máxima aplicada deve possuir um valor tal que não rompa o dielétrico.

Assim como foi feito no modelo de RF, foram variados alguns parâmetros geométricos de entrada para analisar a variação dos parâmetros eletromecânicos de saída. No caso, SL , $M2e$ (espessura da camada de blindagem), W_s , $V3e$ e L (comprimento das tiras da camada de blindagem).

O modelo eletromecânico segue a análise estática abordada em (REBEIZ, 2002). O projeto do defasador supõe a variação da fita entre as posições de repouso e a posição de atuação gerada pela tensão de *pull-in* que faz com que a fita colapse encima do eletrodo central da CPW.

Para o desenvolvimento é suposto o caso em que a viga sofre pequenas deflexões ou deslocamentos.

O modelo analítico supõe primeiramente derivar a constante elástica do *cantilever* sob ação de uma carga ou força externa e consequentemente associar essa constante com uma tensão elétrica que induz uma força externa de natureza eletrostática. Uma descrição detalhada do equacionamento usado no modelo eletromecânico é apresentada no ANEXO B.

Já que o defasador comuta entre a posição não atuada e atuada com pequenos deslocamentos da fita, o comportamento mecânico pode ser modelado usando uma constante elástica linear k [N/m], como uma boa aproximação.

A constante elástica do *cantilever* k' , é devida à rigidez da viga, o que leva em consideração características do material como o módulo de Young E [Pa] e o momento de inércia I [m⁴]. O cálculo da constante elástica é apresentado no ANEXO B.

Assim que aplicada uma tensão entre o eletrodo central da CPW e a camada de blindagem contendo as diferentes fitas, uma força eletrostática é induzida na fita. O conjunto eletrodo central - fita é modelado como um capacitor de placas paralelas que fornece um bom entendimento do funcionamento da atuação da força eletrostática.

Os cálculos da capacitância, a força eletrostática e a tensão de *pull-in* são apresentados no ANEXO B.

Para validar o modelo analítico são efetuados dois procedimentos. O primeiro consiste em inserir no algoritmo do modelo analítico os parâmetros de entrada usados em vários resultados obtidos na literatura e comparar as respostas de ambas metodologias. O procedimento restante, é materializado mediante a construção de um modelo 3D em elementos finitos no software *ANSYS MECHANICAL* de uma viga sob o efeito de uma força de atração. O resultado obtido em elementos finitos é comparado com a saída do modelo analítico.

São definidas inicialmente as equações das constantes elásticas para uma força ou carga distribuída ao longo da viga e para uma força distribuída no meio da viga. O objetivo é avaliar se as constantes apresentam o mesmo comportamento obtido no modelo proposto em (REBEIZ, 2002). A avaliação é feita mediante a comparação gráfica seguinte.

Figura 30 – Constante elástica de uma viga cantilever de ouro com uma carga distribuída ao longo do seu comprimento inteiro. a) Resultado obtido do modelo analítico em *Matlab*; b) Resultado obtido na literatura.

Fonte: a) Autor; b) adaptado de “Spring constant (normalized with respect to the beam width w) versus t/l of a gold beam ($E=80$ GPa) where the force is distributed over the entire beam and over the center third of the beam.” em (REBEIZ, 2002).

A pesar de não ter sido considerado estresse residual nas camadas utilizadas neste trabalho, o modelo eletromecânico permite considerar seus efeitos, como mostra a Figura 31. Foram definidas em *Matlab*, as equações da componente da constante elástica causadas pelo estresse residual para uma força no meio de uma viga de alumínio e outra de ouro, submetidas a diferentes magnitudes de estresse mecânico. A Figura 31 mostra a validação do efeito do estresse residual na constante de mola.

Figura 31 – Constante elástica de uma viga cantilever de ouro e alumínio com uma carga distribuída no centro sob ação de tres magnitudes de estresse residual. a) Resultado obtido do modelo analítico em *Matlab*; b) Resultado obtido na literatura.

Fonte: a) Autor; b) adaptado de “Spring constant (normalized with respect to the beam width w) of a gold and aluminum beam versus residual stress in the beam.” em (REBEIZ, 2002).

Já que a resposta do modelo implementado coincide com a fornecida pela literatura, é aceita a primeira validação. Posterior à validação do modelo analítico no *Matlab* com a referência literária em que está baseado, é feita uma validação com um modelo em elementos finitos. A geometria da viga é construída em *ANSYS* e mostrada na Figura 32.

Figura 32 – Esquema de implementação do modelo 3D em *ANSYS MECHANICS*.

Fonte: a) Autor. Captura do software *ANSYS MECHANICS*.

O modelo é configurado de jeito tal que na saída seja obtida a deformação total de três vigas de cobre da camada de blindagem junto com as membranas envolventes de nitreto de silício (Figura 32a).

Como mecanismo de validação, são construídos dois modelos 3D e sua saída é comparada com a os parâmetros eletromecânicos de saída do modelo analítico em *Matlab*. A variação de qualquer parâmetro geométrico ou mecânico no modelo 3D em *ANSYS*, acarreta um alto esforço por parte do programador, assim como um alto custo computacional, já que para determinar um único resultado do parâmetro mecânico desejado, a estrutura deve ser modificada geometricamente, em termos da configuração da malha de elementos finitos, entre outras variações. A malha usada utiliza um algoritmo *patch conforming* com elementos finitos tipo tetraedro que suportam a solução de problemas de fronteira uma vez se apresentam altas concentrações de estresse na estrutura. Sob essa metodologia, é garantida também, a variação suave das dimensões de malha para mudanças no fator de crescimento, assim como a incorporação controlada de novos elementos finitos quando for requerido.

Pelas razões acima citadas, os dois modelos divergem só no comprimento das vigas de cobre da camada de blindagem. Os comprimentos selecionados são 234 e 284 μm (Figura 32c). É definido no modelo 3D um transdutor eletromecânico (*EM Transducer*) que serve como a fonte da força eletrostática que desloca as vigas. Para cada um dos dois modelos, a magnitude

da tensão elétrica do transdutor eletromecânico é variada manualmente de 1 em 1 V até atingir a tensão de *pull-in*. Uma vez que o deslocamento de saída de cada modelo atinge abruptamente o *gap* ou distância em repouso entre as vigas e o eletrodo central da CPW, se entende que é alcançada a tensão de *pull-in*. Para cada comprimento (234 e 284 μm), são obtidas tensões de *pull-in* diferentes que são posteriormente comparadas com as tensões obtidas no modelo analítico no *Matlab*.

Na Tabela 5 são apresentadas as propriedades mecânicas dos materiais usados na implementação do modelo 3D, que são as mesmas usadas no modelo analítico eletromecânico no *Matlab* (ANEXO B).

Tabela 5 – Propriedades mecânicas dos materiais da viga modelada no ANSYS

Material	Módulo de Young [Pa]	Coefficiente de Poisson
Cobre	1.1×10^{11}	0.34
Nitreto de Silício	1×10^{11}	0.22

5 PROJETO DO DEFASADOR COM MEMS DISTRIBUIDOS E LINHA DE ONDAS LENTAS

Neste capítulo serão apresentados os resultados deste trabalho, que contribuem para o objetivo de projetar defasadores em ondas milimétricas baseados em linhas de transmissão coplanares de onda lenta e MEMS.

5.1 PROJETO RF E ELETROMECAÂNICO - MATLAB

A partir do *script* no Matlab, consegue-se uma análise rápida dos parâmetros de projeto tanto em RF quanto no domínio eletromecânico. Em RF, é analisada a impedância característica a partir da variação isolada de cada um dos seguintes parâmetros:

W_s (largura do condutor central da CPW)

W_g (largura do contato de terra da CPW)

D (distância entre os terras)

t_{gap} (espessura do dielétrico Ar)

t_{SiN_x2} (espessura da membrana SiN_x em baixo da camada de blindagem)

Para garantir uma perda de retorno inferior a -10 dB em 60 GHz, a impedância característica no estado não atuado deve ser inferior a 70Ω . É no estado não atuado em que se apresenta a menor capacitância total distribuída e, portanto, a maior impedância característica.

A Figura 33a apresenta os resultados da impedância característica Z_c em termos da variação de W_s , W_g e D . Ao se aumentar W_s , verifica-se que Z_c diminui, como esperado, pois a capacitância equivalente aumenta.

Ao se aumentar W_g , Z_c diminui como diminui com W_s , porém para larguras de W_g maiores que W_s , a capacitância equivalente da linha é controlada principalmente pela largura de W_s e a variação de Z_c em termos de W_g mantém-se praticamente estável. Isso pode ser evidenciado na Figura 33b aproximadamente em $82 \mu m$.

Ao se aumentar D , Z_c aumenta levemente a uma taxa menor do que a obtida para variações do condutor central. Isso acontece, pois, a variação de D aumenta o fluxo do campo magnético, aumentando L , levando a um aumento da impedância Z_c . Note que D é variado só a partir de $\approx 39 \mu m$ (Figura 33b) já que com $W_s=30 \mu m$, a distância entre os terras da CPW deve ser maior.

Figura 33 - Variação de Z_c em termos de W_s , W_g e D .

Fonte: Autor.

A Figura 34 apresenta os resultados da impedância característica Z_c em termos da variação de $V3t$ e $V2t$. Pela interdependência que esses parâmetros apresentam, são assumidos os casos listados abaixo.

$t_{gap} > t_{SiNx2}$: A Figura 34 apresenta a variação de Z_c em termos da variação de t_{SiNx2} com $t_{gap} = 1 \mu m$ (azul). Ao se diminuir a espessura da camada de nitreto de silício obtém-se um aumento de Z_c . Adicionalmente, a figura apresenta a variação de Z_c em termos da variação de t_{gap} com $t_{SiNx2}=0,55 \mu m$ (vermelho). Um aumento de t_{gap} (gap ou camada dielétrica de ar) representa um aumento de Z_c . Note como para pequenas variações desses parâmetros (0 a 0,55 μm e 1 a 2,9 μm), Z_c varia mais de 30 Ω.

Figura 34 – Variação de Z_c em termos de t_{gap} e t_{SiNx2} com $t_{gap} > t_{SiNx2}$.

Fonte: Autor.

$t_{SiNx2} > t_{gap}$: A Figura 35 apresenta a variação de Z_c em termos da variação de t_{SiNx2} com $t_{gap}=0,55 \mu m$ (azul). Ao se aumentar a espessura da camada de nitreto de silício obtém-se um aumento na impedância característica, contrário ao caso anterior. Um aumento de t_{gap} com $t_{SiNx2}=2,2 \mu m$ representa igualmente um aumento de Z_c .

Figura 35 - Variação de Z_c em termos de t_{gap} e t_{SiNx2} com $t_{SiNx2} > t_{gap}$.

Fonte: Autor.

Na Figura 36 é ilustrado o comportamento da constante elástica (normalizada com respeito à largura da viga w) versus a razão espessura/comprimento (t/l) de três diferentes vigas submetidas a uma força central. Uma das vigas é de cobre, outra de nitreto de silício, e a última é uma viga bimaterial tri-camada (SiN_x , Cu, SiN_x), como a estrutura do defasador proposto neste trabalho. Estes resultados foram obtidos a partir do modelo analítico no Matlab e converge em direção ao resultado de (REBEIZ, 2002). Particularmente no caso da viga bimaterial, o comportamento obtido encontra-se entre os resultados das vigas monomaterial ficando mais perto do SiN_x (destacado na parte direita da Figura 36).

Figura 36 – Constante elástica vs t/l para diferentes materiais a partir do modelo analítico

Fonte: Captura de tela do modelo analítico no Matlab

Neste ponto são analisadas as tendências dos parâmetros eletromecânicos de saída V_p e k a partir dos parâmetros geométricos de entrada:

SL (largura de uma fita da camada de blindagem)

L (comprimento de uma fita da camada de blindagem)

$t_{blindagem}$ (espessura de uma fita da camada de blindagem)

t_{gap} (espessura do dielétrico Ar) W_s (largura do condutor central da CPW)

Os parâmetros geométricos foram variados isoladamente em diferentes faixas de valores de acordo com critérios de fabricação obtíveis no LME e exigências requeridas para um defasador baseado em MEMS e linhas de transmissão de onda lenta. SL representa a largura de uma única fita e deve ser o menor possível. Ele foi variado entre 0,1 e 4 μm . $t_{blindagem}$ e t_{gap} também foram variados entre 0,1 e 4 μm e são limitadas por processos de deposição. Particularmente a obtenção de t_{gap} , que representa um gap de ar entre camadas metálicas, é um dos processos mais complexos, pois também depende da possibilidade de remoção da camada sacrificial. W_s é limitado pela resolução da litografia e transferência dos padrões para o filme. Foi variada entre 5 μm (dimensão do projeto LME-LETI) e 80 μm . A variação de W_g não muda consideravelmente k ou V_p . A dimensão de L dever ser maior ou igual às dimensões da CPW (127 μm com base no projeto LME-LETI) para garantir a blindagem do campo elétrico. Portanto, foi variada entre 170 e 300 μm . Os parâmetros restantes foram mantidos iguais aos valores do projeto de defasador LME-LETI que já deu bons resultados em termos do FoM e do FoM/Área.

Na Figura 37a é apresentada a tendência de k a partir das variações de SL , $t_{blindagem}$ e t_{gap} . $t_{blindagem}$ representa o parâmetro de maior sensibilidade. No intervalo de valores avaliado, o aumento da constante elástica k é dominado pela variação na espessura da fita ($t_{blindagem}$). A constante elástica aumenta $\approx 0,02$ N/m à taxa linear cada vez que acontece um aumento de 0,1 μm nas dimensões de SL (Figura 37b) e variações do parâmetro t_{gap} não afetam a constante elástica. Isso está de acordo com a eq. (61) do ANEXO B na qual não há dependência de k em termos de t_{gap} (g_0 no equacionamento de REBEIZ, 2002).

Na Figura 37c, variações de W_s na faixa de 5 a 80 μm , representam apenas variações insignificantes de k .

Figura 37 – (a) Resultado da tendência de k a partir da variação de 3 parâmetros geométricos; (b) Detalhe na área marcada em (a), parâmetros SL , $t_{blindagem}$ e t_{gap} ; (c) tendência de k a partir da variação de Ws .

Fonte: Autor

Por sua vez na Figura 38a, um aumento representativo é visualizado em V_p por conta do aumento dos parâmetros $t_{blindagem}$ e t_{gap} . Particularmente no caso de t_{gap} , a tensão de *pull-in* varia com uma razão de $\sqrt{t_{gap}^3}$, coerente com a eq. (69).

Variações de SL não produzem variações em V_p , pois V_p (eq. 69) depende tanto da constante elástica quanto a constante elástica (eq. 61) depende da largura da fita.

Finalmente, a tensão de *pull-in* varia em uma razão de $1/\sqrt{Ws}$, de acordo com a definição na eq. (69).

Figura 38 - (a) Resultados da tendência de V_p a partir da variação de 3 parâmetros geométricos; (b) Tendência de V_p a partir da variação de W_s .

Fonte: Autor

Finalmente, é avaliada a tendência de k e V_p uma vez que L é variado (Figura 39a e b respectivamente). Tanto k quanto V_p diminuem com um aumento do comprimento da viga, mas em proporções diferentes. Uma variação de L entre 170 e 300 μm acarretou uma diminuição de k de ≈ 1 para $\approx 0,2$ N/m, o que significou uma diminuição de 43V.

Figura 39 - (a) Tendência de k e V_p a partir da variação de L .

Fonte: Autor

Na medida em que são obtidas simultaneamente as tendências de parâmetros de RF e eletromecânicos e de um jeito simples, foram definidos uma serie de limites que facilitaram o projeto do defasador. Os parâmetros geométricos otimizados, variando os diferentes parâmetros de entrada, são mostrados na Figura 40. Estes parâmetros resultaram em uma tensão de $pull-in$ de 46 V e uma constante de mola de 0,39 N/m para uma estrutura de 234 μm de comprimento.

Para comparar os resultados analíticos do *script* com os resultados em elementos finitos de uma estrutura S-CPW com dimensões diferentes, é mudado o comprimento da viga para 284 μm . A tensão elétrica é varrida entre 5 e 47 V e os resultados são ilustrados na Figura 42.

A mudança abrupta no deslocamento da viga ocorre entre 36 e 45 V, portanto, a tensão de *pull-in* é assumida para a viga modelada sendo igual a 36 V. Por sua vez, ao se avaliar essa tensão no modelo analítico no *Matlab*, encontra-se que a é igual a 34.3 V.

5.3 PROJETO RF - ELEMENTOS FINITOS

Da mesma forma que foi feito para o modelo eletromecânico, foram feitas simulações eletromagnéticas por elementos finitos. Foi realizada uma variação paramétrica da distância entre a camada de blindagem e a CPW. A distância com a camada de blindagem atuada foi considerada de 0,2 μm e 2 μm para o caso não atuado. No caso atuado, essa distância levada em conta reduz o efeito capacitivo gerado pela rugosidade na interfase metal-dielétrico. A Figura 43a e Figura 43b apresentam respectivamente os resultados obtidos para a impedância característica Z_c e a permissividade relativa efetiva ϵ_{ref} .

Figura 43 – Resultados Modelo 3D no HFSS – (a) Resultados de simulação paramétrica para Z_c ; (b) Resultados de simulação paramétrica para ϵ_{ref} .

Fonte: Autor - Captura de tela, resultados projeto no HFSS.

A Tabela 6 apresenta os valores de Z_c e ϵ_{ref} obtidos no *HFSS* em contraste com os obtidos no Matlab. Para o caso em que a camada de blindagem é atuada, os resultados de ambos modelos para ϵ_{ref} não são tão próximos quanto no caso não atuado, isso muito provavelmente por problemas de distribuição da malha no modelo FEM uma vez que as estruturas (CPW-Camada de blindagem) ficam muito próximas uma da outra. Porém, o modelo analítico é indispensável para uma primeira análise e otimização do projeto, pois o que importa é a tendência dos valores obtidos na simulação. A partir dos resultados no HFSS são obtidos os parâmetros S da linha no estado OFF e ON.

Tabela 6 – Resultados do modelo em elementos finitos em contraste com os elementos obtidos do modelo analítico.

	OFF		ON	
	Modelo Matlab	Modelo HFSS	Modelo Matlab	Modelo HFSS
$Z_c(\text{Ohm})$	71,4	69,1	28,1	34,3
ϵ_{ref}	9,9	11	64,2	43,4

5.4 PROJETO DO DEFASADOR - ADS

No intuito de reduzir o impacto do efeito Bragg, na Figura 44 é modelada uma linha de transmissão de onda lenta no ADS a partir dos parâmetros resultantes do *fit* com o modelo no HFSS. No estado OFF sem atuação das fitas, é obtida a maior impedância característica da estrutura $Z_{cOFF} = 68,5$. Já no estado ON sob atuação eletromecânica, é obtida a menor impedância característica da estrutura $Z_{cON} = 36,5$. Note-se como após do *fit* Z_{cOFF} e Z_{cON} são bastante próximas dos resultados obtidos na Tabela 6 para o modelo em HFSS. Ao efetuar a raiz quadrada do produto dessas impedâncias $\sqrt{68,5 \Omega * 36,5 \Omega} = 50 \Omega$, se garante a impedância característica total da linha $Z_c = 50 \Omega$.

A Figura 44a e b apresentam as perdas de inserção de um defasador com $300 \mu\text{m}$ de comprimento sem ser atuado e atuado respectivamente. Nestes dois casos, em que não se apresenta variação da impedância, não existe uma frequência de Bragg. Na Figura 44c a linha de transmissão é dividida em dois segmentos de linha de igual comprimento com impedâncias Z_{cOFF} e Z_{cON} . Neste caso como não há uma alternância periódica, não se pode verificar uma frequência de Bragg, porém o descasamento das impedâncias resulta em um aumento da perda de inserção.

A Figura 44d apresenta a perda de inserção da linha uma vez que seu comprimento total é dividido em 4 segmentos com impedância intercalada $Z_{cOFF} - Z_{cON} - Z_{cOFF} - Z_{cON}$. Pode ser constatada uma queda pronunciada das perdas em uma frequência aproximadamente igual a 50 GHz . Uma vez que o comprimento total é distribuído em 6 segmentos intercalados, é demonstrado um aumento na frequência de Bragg, agora $\approx 100 \text{ GHz}$ (Figura 44e). Finalmente, uma distribuição equitativa do comprimento total da linha em 10 segmentos intercalados entre impedâncias características diferentes, leva a um aumento ainda maior da frequência de Bragg de $\approx 200 \text{ GHz}$ (Figura 44f).

Figura 44 - Análise do efeito Bragg a partir da variação da impedância característica entre segmentos de linha intercalados.

Fonte: Autor

Inicialmente foi projetado um defasador de 3 bits de resolução e 7 comandos, logo 7 grupos. Foram necessários 5 segmentos de grupo para distribuir o comprimento de cada grupo e diminuir o efeito Bragg em 60 GHz.

A simulação realizada no ADS consiste em uma otimização do tipo *Quasi-Newton*, implementada a partir de 35 parâmetros de ajuste, representando os diferentes comprimentos dos blocos, e 14 alvos a serem alcançados. 7 alvos para as fases desejadas e 7 para a restrição das perdas de inserção menor a 1,5 dB para cada estado de fase, como definido nos requisitos do projeto. Limitar as perdas de inserção nesse valor, além de melhorar a FoM, significa uma atenuação máxima do 30% do sinal de entrada. A Figura 45 exibe os resultados das fases para os diferentes estados.

Figura 45– Resultados da fase modelo em circuitos defasador de 7 comandos no ADS.

Fonte: Autor

A Figura 46 apresenta os resultados das perdas de inserção e retorno dos diferentes estados de fase. A perda de inserção máxima obtida foi de 1,9 dB e uma fase máxima de 315°, portanto, a FoM é igual a 162,3 %/dB. A FoM/Área é calculada a partir da área obtida e é igual a 507,1°/dBmm².

Figura 46 – Resultados das perdas de inserção e retorno modelo em circuitos defasador de 7 comandos no ADS.

Fonte: Autor

Porém, o objetivo é projetar um defasador de 3 bits de resolução, com 3 comandos de polarização digital.

A Figura 47 mostra um primeiro modelo implementado, constituído por 10 conjuntos de 3 blocos. Foram necessários 10 segmentos para a diminuição do efeito Bragg.

É adotado o mesmo comprimento para cada segmento por grupo. Na Figura, N (número de segmentos) é igual a 10. Assim cada grupo $L1$, $L2$, $L3$ foi dividido em 10 segmentos de igual comprimento.

A otimização é implementada a partir de 3 parâmetros de ajuste representando os diferentes comprimentos dos blocos e 14 alvos a serem alcançados. 7 alvos para as fases desejadas e 7 para a restrição das perdas de inserção, menor a 1,5 dB para cada estado de fase.

Figura 47 – Modelo em circuitos defasador de 3 comandos com segmentos por grupo de igual comprimento.

Fonte: Autor

Depois de diferentes tentativas usando a ferramenta de otimização, não se conseguiram bons resultados, nem em termos da fase nem das perdas de inserção dos diferentes estados de fase. Foi considerado, portanto, um modelo com igual número de segmentos, mas com comprimentos diferentes para cada segmento por grupo. A Figura 48 exhibe a configuração adotada dessa vez com 30 parâmetros de ajuste. Foram obtidas perdas de inserção menores a 1,5 dB para todos os estados de fase, porém o erro de fase do último estado (315°) ficou muito alto, sem possibilidade de melhoria.

Figura 48 – Modelo em circuitos defasador de 3 comandos com segmentos por grupo de diferente comprimento.

Fonte: Autor

Para reduzir o erro de fase no último estado sem adicionar mais comandos, foi considerado um segmento OFF adicional por grupo como mostrado na Figura 49. Este segmento não precisa controle de atuação já que permanece sempre inativo.

Figura 49 – Modelo em circuitos defasador de 3 comandos com segmentos por grupo de diferente comprimento. Adição de segmento OFF por grupo.

Fonte: Autor

Usando a mesma metodologia de otimização dos modelos anteriores, mas com 40 parâmetros, obtêm-se perdas de inserção menores a 1,5 dB e um erro de fase baixo para todos os estados de fase.

A Figura 50 apresenta os resultados das fases (Figura 50a), perdas de inserção e de retorno (Figura 50b) para os diferentes estados de fase do projeto de defasador de 3 comandos resultante.

Figura 50– (a) Resultados da fase, (b) perdas de inserção e retorno defasador de 3 comandos ADS.

Fonte: Autor - Captura de tela, ambiente de mostra de resultados do ADS.

Os resultados do projeto de defasador são os melhores, para o conhecimento do autor, em comparação com o estado da arte em defasadores em ondas milimétricas baseados em MEMS. A Tabela 7 exibe os resultados do projeto de defasador de 3 e 7 comandos (em destaque) com respeito aos anteriores projetos desenvolvidos no LME.

Tabela 7 – Resultados do projeto de defasador em comparação com outros projetos desenvolvidos no LME.

	Número de comandos	Máxima defasagem (°)	Área (mm ²)	FoM (°/dB)	FoM/Área (°/dBmm ²)
LME-LETI	7 comandos	152	0,47	50	106,38
LME (este trabalho)	7 comandos	315	0,32	162,3	507,15
LME (este trabalho)	3 comandos	315	0,4	215,3	538,25

6 DESENVOLVIMENTO DO PROCESSO DE INTEGRAÇÃO 3D UTILIZANDO *FLIP-CHIP*

A eleição de uma solução de integração representa um ponto crítico no desenvolvimento de sistemas em ondas milimétricas, já que sua qualidade tem um grande impacto no desempenho do sistema inteiro. Baseados nessa consideração, devem ser garantidos requisitos mínimos de desempenho como baixa reflexão, baixas perdas de inserção e baixo custo de fabricação. Uma solução tecnológica baseada na metodologia *flip-chip* fornece uma integração 3D entre o chip e a plataforma MnM. Essa metodologia é a melhor alternativa para altas frequências já que permite a fabricação de contatos elétricos de dimensões reduzidas, inferiores aos 100 μm .

O esquema de integração por *flip-chip* proposto neste trabalho é ilustrado na Figura 51

Figura 51 – Esquema da metodologia de integração por *flip-chip*.

Fonte: Autor.

O *chip* é montado com os seus *pads* elétricos sobre um *interposer* usando pilares de cobre como elementos de interconexão. Neste trabalho, o processo de fabricação da integração é projetado de maneira que um *chip* com defasadores seja simulado por um pedaço de lâmina de silício com uma camada fina de cobre depositada sobre sua superfície. O *interposer* é a plataforma híbrida de integração MnM simulada por um substrato de vidro no qual são espessados os pilares. A utilização de uma lâmina de vidro e um pedaço de silício é feita para reduzir custos do desenvolvimento do processo de fabricação dos pilares de cobre.

Os pilares são obtidos mediante eletrodeposição de cobre e cobertos com solda. A montagem é aquecida derretendo a solda e formando uma conexão mecanicamente estável entre o *chip* e o *interposer*.

Do ponto de vista elétrico, a interconexão por *flip-chip* tem duas vantagens diferenciadas em ondas milimétricas: é pequena tanto física quanto eletricamente, especialmente quando é comparada com *wire-bonding*. Isso é crucial para reduzir resistências e indutâncias parasitas, que podem degradar o sinal transmitido. A geometria reduzida conseguida com essa metodologia é ideal para integrações com linhas de transmissão miniaturizadas.

Dentro das diferentes técnicas de interconexão próprias do *flip-chip*, a tradicional *solder bump*, com até 150 μm de *pitch* (distância entre as metades de contatos vizinhos), se torna um limitante para as dimensões requeridas por dispositivos fabricados em ondas milimétricas que serão integrados posteriormente na plataforma híbrida. Por sua vez, a interconexão por pilares permite maior flexibilidade em termos de miniaturização do diâmetro e do *pitch* entre as diferentes estruturas fabricadas (CHENG et al., 2015).

Baseado nestas considerações, uma metodologia por FPFC (*fine pitch flip chip*), que possibilita atingir um *pitch* menor que 100 μm , supre a necessidade de uma solução tecnológica de integração para o objeto deste trabalho. A interconexão por FPFC, baseado em pilares de cobre, é uma solução visada para diversos dispositivos analógicos e digitais com pequeno encapsulamento, e sua fabricação é de baixo custo (GERBER et al., 2011).

Os diâmetros dentro da metodologia FPFC variam entre 20 e 80 μm e oferecem uma solução potencial na integração em alta frequência, como é demonstrado em (HEINRICH, 2005). O diâmetro do pilar é entendido na literatura como a seção circular transversal de um pilar em forma de cilindro circular reto. Neste trabalho esse diâmetro corresponde à área da seção retangular transversal de um pilar em forma de paralelepípedo.

6.1 MATERIAIS E MÉTODOS

PROCESSO DE FABRICAÇÃO DA INTEGRAÇÃO POR FLIP-CHIP

O processo de fabricação dos pilares de cobre, junto ao da soldagem ou *bonding* do *chip* são ilustrados na Figura 52. Os passos do (1) até o (13) representam uma vista frontal do corte transversal aa' que aparece na imagem superior esquerda da figura.

Com o intuito de caracterizar o comportamento elétrico da interconexão entre *chip* e substrato, foram projetadas CPWs de 50 Ω em substrato de sílica fundida. As dimensões levadas em conta nesse projeto seguem a geometria de um *chip* anteriormente fabricado com

defasadores. Especificamente, é buscado que as dimensões projetadas garantam o *pitch* entre *pads* do *chip* fabricado, porém que não superem o espaçamento entre as diferentes estruturas dentro do mesmo. As linhas, estruturadas pelo condutor central e os condutores de terra, possuem 3 terminais ou *pads* em cada extremidade (em total 6 terminais por CPW). Três dos 6 *pads* foram projetados para ficar preferentemente perto da borda do substrato, e desse jeito, facilitar a posterior medida. Os 3 *pads* restantes foram projetados para ficar em regiões intermediárias e sobre eles serão fabricados os pilares que servem como elemento de integração com o *chip*. A Figura 52 mostra duas CPWs com seus respectivos *pads*. Note-se que ambas CPWs foram colocadas uma em frente da outra, deixando um espaço no meio das duas que define a região onde será posteriormente montado o *chip*.

Figura 52 – Processo de fabricação da integração por FPFC

Fonte: Autor.

O processo de fabricação dos pilares envolve uma série de desafios. Um deles consiste em atingir uma altura de entre 30 e 40 μm , como é sugerido em (GERBER et al., 2011), com uma boa resolução de *pitch*. O outro desafio é a obtenção de um bom perfil lateral dos pilares de cobre após o espessamento. Superar esses desafios representa um fator indispensável para assegurar a uniformidade desejada dos pilares de cobre que garantira uma soldagem apropriada entre o *chip* e a plataforma MnM.

O cobre é selecionado como material para a fabricação dos pilares por ser uma opção econômica. Além do mais, é compatível com as tecnologias de processo padrão usadas em microeletrônica, e com os processos *IN-HOUSE* necessários para trabalhar sobre o substrato de alumina nanoporosa presentes no LME.

Neste trabalho a plataforma MnM é substituída por um substrato de vidro, por ser uma opção econômica e mais acessível que a plataforma MnM, e é compatível com os processos *in-house* previstos para a fabricação. Para simular os componentes RF sobre a plataforma, um conjunto de linhas de transmissão coplanares (CPW) de $50\ \Omega$ é fabricado sobre um substrato de vidro de 1 x 1 polegadas quadradas. As dimensões das CPWs foram projetadas de um jeito tal para alcançar a condição de *fine pitch*.

Inicialmente, (1) o substrato de vidro é limpo com tricloroetileno, acetona e álcool isopropílico, respectivamente. Depois em (2), são depositados de um lado da lâmina de vidro por *Sputtering*, uma camada fina de titânio para aderência seguido de uma camada fina de cobre que serve de semente para a eletrodeposição. Em (3), a semente de cobre é espessada para 3 μm por eletrodeposição usando o processo CUPROSTAR LP1 da MacDermid Enthone.

Em (4), é usada fotolitografia convencional e um processo de corrosão do cobre com Super Etch da AlphaCleaner para definir a geometria da CPW na lâmina de vidro.

Depois em (5), é depositada novamente uma camada fina de cobre, desta vez sobre as CPW anteriormente fabricadas. Uma camada sacrificial de fotoresiste AZ9260 é depositada para definir as regiões onde posteriormente serão espessados os pilares (6,7). Para definir nesta etapa do processo um procedimento padrão, foram feitos vários testes com variações no tempo e velocidade de rotação de *spin-coating*, temperatura de secagem, tempo de exposição e tempo de revelação.

Na etapa (8), os pilares de cobre são espessados durante aproximadamente 40 horas por eletrodeposição, mas dessa vez usando cobrição MacuSpec PPR 100 da MacDermid Enthone. O fotoresiste AZ9260 é removido em (9), ficando só os pilares de cobre espessados. Finalmente em (10,11), são removidas as camadas finas de titânio e cobre depositadas no passo (2) e (5) usando um processo consistente em uma combinação de um oxidante de cobre $\text{H}_2\text{O}:\text{H}_2\text{O}_2:\text{NH}_3$ na proporção de 50:1:1 e uma solução corrosiva que remove o óxido de cobre em ácido acético. Isso permite a remoção controlada da semente sem prejudicar a integridade das CPWs ou dos pilares de cobre.

Em (12), microesferas de solda são extraídas de uma pasta de solda comercial e manualmente colocadas sobre os pilares de cobre. Finalmente, a etapa (13) é feita usando um

processo de compressão térmica na estação de retrabalho *IR-PL-RPC 550A REWORK STATION*.

DEPOSIÇÃO DAS CAMADAS FINAS POR SPUTTERING

Todos os filmes depositados neste trabalho foram obtidos pela técnica de *RF magnetron sputtering* reativo usando o equipamento da Figura 53. Os principais parâmetros de processo que podem ser controlados neste equipamento são: pressão de processo (mTorr), potência de RF (W), fluxo dos gases (sccm), temperatura do substrato (°C) e distância entre alvo e amostra. A Tabela 8 apresenta os parâmetros utilizados no equipamento durante a deposição de qualquer camada fina usada neste trabalho.

Figura 53 - Equipamento de *sputtering* reativo utilizado na deposição dos filmes finos deste trabalho.

Fonte: Autor.

Tabela 8 – Configuração do processo de eletrodeposição por *Sputtering*

Material	Ti+Cu
Fluxo Argônio (sccm)	10
Pressão (mTorr)	2
Potência de RF (W)	70

Processo (min)	1 min Ti + 5 min Cu
----------------	---------------------

DESENVOLVIMENTO DAS MÁSCARAS

O desenho das duas máscaras de litografia usadas no processo de fabricação nas etapas 4 e 7 foi realizado a partir das dimensões de um *chip* com defasadores baseados em MEMS e CPWs, anteriormente projetado no LME e fabricado em uma *foundry* no trabalho de iniciação científica do Otavio Dantas Molitor. O *chip* fabricado (esquerda) junto ao *layout* da máscara usada (direita) são mostrados na Figura 54.

Figura 54 – *Chip* com defasadores fabricado no trabalho de iniciação científica do Otavio Dantas, usado como base para a criação das máscaras. (a) Foto microscópica por varredura de elétrons do *chip*; (b) Layout da máscara usada para o processo de fabricação do *chip*. (c) Zoom dos *pads* RF de um defasador do *chip*.

Adaptado de “FOTO DO CHIP INTEIRO” do trabalho de iniciação científica do Otavio Dantas Molitor.

Note que o *chip* possui no total seis defasadores, 4 de 2 bits e 2 de 3 bits. Os de 2 bits com dimensões longitudinais de 83, 87 e 94 μm e os de 3 bits com dimensões de 87 μm . Os 6 *pads* RF por defasador, são quadrados de área 50 x 50 μm^2 (Figura 54c) e com *pitch* entre *pads* de 95 μm .

Foram inicialmente projetadas CPWs cujos *pads* fossem quadrados de igual dimensão aos *pads* das linhas usadas em cada defasador do *chip*, e que simultaneamente, tenham uma impedância característica de 50 Ω .

A primeira etapa no projeto de fabricação das máscaras é a definição da geometria das linhas de transmissão a partir de uma impedância característica de $50\ \Omega$. O cálculo da primeira estimativa das geometrias foi realizado utilizando o programa *LineCalc* do ADS (*Keysight*).

As linhas foram projetadas assumindo a permissividade relativa do vidro, com valor igual a 3,9 e uma espessura da linha (T) igual a $3\ \mu\text{m}$. Adicionalmente, a distância entre a linha do terra e do sinal (G), por representar a resolução do processo, foi fixada em $20\ \mu\text{m}$. Em função dos parâmetros anteriores é obtida a largura da linha de sinal (W). A Figura 55 mostra a simulação realizada destacando os valores obtidos, assim como a impedância da linha.

Figura 55 - Simulação realizada no LineCalc do ADS para obtenção dos parâmetros geométricos da CPW. São destacados os valores da impedância da linha, da permissividade relativa e os respectivos valores calculados.

Fonte: Autor

A geometria obtida foi desenhada no ambiente *Layout* do ADS e submetida a simulação eletromagnética com a ferramenta *Momentum*. A Figura 56 apresenta os resultados finais obtidos para a geometria da CPW, com $W=170\ \mu\text{m}$, $G=15\ \mu\text{m}$ e a largura dos dois condutores de terra igual a $150\ \mu\text{m}$.

Figura 56 – Layout da geometria da CPW resultante

Fonte: Autor

Já que a largura dos condutores e a sua distância não permitem o *pitch* entre os *pads* dos defasadores do *chip*, as linhas são modificadas nas suas terminações como é ilustrado e destacado em azul na Figura 57.

Figura 57 – Modificação nas terminações da CPW

Fonte: Autor

Também, por causa da largura dos condutores da CPW, um dos defasadores do *chip* (terceiro de esquerda para a direita da Figura 54b) foi descartado no desenvolvimento da máscara.

O *layout* final integrando as duas máscaras é apresentado na Figura 58.

Fonte: Autor

O layout resultante foi projetado para garantir uma área suficiente ao redor das máscaras que permitisse um bom contato elétrico entre o cátodo e a lâmina de vidro processada durante o processo de eletrodeposição. Foram fabricadas 4 marcas de alinhamento em cada canto para posterior alinhamento nos processos de fotogração das máscaras.

As máscaras foram fabricadas no Instituto de Pesquisas Tecnológico da USP (IPT) e são mostradas na Figura 59. A imagem à esquerda representa uma parte da primeira máscara (campo claro) contendo uma linha de transmissão. A imagem da direita mostra a segunda máscara (campo escuro) contendo as regiões quadradas definidas para o crescimento dos pilares.

Fonte: Autor

PROCESSO DE ELETRODEPOSIÇÃO

O processo de eletrodeposição utilizado neste trabalho conta com dois parâmetros principais que são: o tipo de solução utilizada e a densidade de corrente aplicada. O banho de eletrodeposição é composto por uma solução ácida de sulfato de cobre penta hidratado e aditivos comerciais para promover o brilho, uniformidade do tamanho de grão depositado, uniformidade e nivelamento da superfície do filme crescido.

Já a densidade de corrente é controlada pela corrente injetada no ânodo e pela área do cátodo. A área do cátodo é definida, no caso da obtenção das CPWs, pela área do vidro menos a área de contato elétrico. No caso da obtenção dos pilares, a área do cátodo é limitada pelo mascaramento das regiões de crescimento dos pilares. São usadas densidades de corrente baixas, comparadas aos banhos de eletrodeposição industriais, visando uma baixa velocidade de crescimento do filme de cobre, fazendo com que a agitação da solução não seja necessária e permitindo um crescimento uniforme mesmo em áreas de baixa densidade de corrente.

O sistema de eletrodeposição usado (Figura 60) é constituído por um eletrodo, um porta-substrato, uma fonte de corrente controlada e uma cuba contendo uma solução ácida de sulfato de cobre.

Figura 60 – Sistema usado para a eletrodeposição de cobre.

Fonte: Autor.

São usados dois processos de eletrodeposição diferentes. O primeiro deles consiste no espessamento de 3 μm da semente de cobre depositada por *sputtering* sobre uma lâmina de vidro usando uma solução comercial CUPROSTAR LP1. O segundo, que representa uma das partes mais críticas do processo, consiste no espessamento dos pilares de cobre sobre os *pads*

das CPWs usando um processo de pulsos reversos periódicos (PPR – *periodic pulse reverse*, em inglês).

Na Figura 61 é mostrado o porta-substrato utilizado neste processo. A região de contato entre a lâmina e o porta-substrato fica fora da região das máscaras.

Figura 61 – Eletrodos: (a) Catodo; (b) Anodo fosforizado “Cuprostar”; (c) Anodo fosforizado “PPR”.

Fonte: Autor.

A solução CUPROSTAR LP 1 consiste em um processo de cobre ácido acetinado especialmente formulado para deposição de cobre eletrolítico em placas de circuito impresso. É adequado para linhas verticais e horizontais. Em condições apropriadas, pode ser usado em várias faixas de densidade de corrente. A densidade de corrente usual para eletrodeposição é de 1,5 a 3 A/dm², segundo o fabricante. Com base nessa taxa de deposição, é calculado o tempo para uma espessura de 3 µm em uma área de 1 x 1 in².

Por sua vez, o processo PPR consiste em aplicar um pulso de curta duração em sentido reverso ao da eletrodeposição, invertendo o sentido ânodo → cátodo. No instante do pulso reverso, a peça a ser depositada torna-se doadora de íons para a solução, promovendo assim uma melhor distribuição dos íons em sua superfície, além de promover a diminuição do tamanho do grão depositado, melhorando características mecânicas e elétricas do filme depositado. A aparência final do cobre eletrodepositado depende dos parâmetros elétricos utilizados durante o processo (correntes direta e reversa, além da duração das mesmas). A solução é composta por dois aditivos (MacuSpec PPR 100 Make-up e Brightener X2), além de ser um banho extremamente fácil de ser montado e que exige manutenção mínima, sendo necessário apenas a reposição do volume de solução. Um aspecto desafiador é o sistema eletrônico para a realização desta eletrodeposição, já que depende de uma fonte capaz de inverter a polaridade entre seus terminais por um brevíssimo período de tempo (1 ms em um ciclo de duração de 21 ms). Foi criado um circuito elétrico específico para este fim.

REMOÇÃO DA SEMENTE *Ti+Cu*

A remoção da camada de cobre depositada por *sputtering* sobre o vidro, que é usada como semente para os processos de eletrodeposição deve ser removida para evitar o curto elétrico entre as linhas de transmissão coplanares. Porém, até esse ponto da fabricação, diversas estruturas de cobre, entre pilares e CPWs, se encontram em camadas superiores e a preservação das suas dimensões é imperativa para garantir o bom comportamento elétrico da integração.

Nesse sentido, deve ser implementado um processo de remoção controlado que garanta uma taxa de corrosão muito baixa. O processo usado é ilustrado na Figura 62 e consiste na oxidação do cobre exposto e corrosão deste óxido de cobre. A formação do óxido de cobre é autolimitada e sua espessura é pequena, da ordem de alguns nanômetros, e independente do tempo de oxidação. Este processo de oxidação e remoção do óxido de cobre é repetido várias vezes até que o cobre da semente seja completamente removido. Como a espessura da semente (~ 50 nm) é muito menor que a das CPWs (~ 3 μ m) e a dos pilares (~ 40 μ m), estas últimas serão minimamente afetadas. A comparação das espessuras removidas é ilustrada na Figura 62 com as linhas em azul.

Figura 62 – Processo de remoção controlado da semente de cobre. (a) Lâmina que será submetida ao processo de oxidação-corrosão; (b) Lâmina submetida ao processo de oxidação de cobre; (c) Lâmina submetida ao processo de corrosão do cobre oxidado.

Fonte: Autor.

A oxidação do cobre é realizada utilizando uma solução de $H_2O:H_2O_2:NH_3$ na proporção de 50:1:1. A remoção do óxido é feita utilizando ácido acético puro. A implementação do processo no LME é ilustrada na Figura 63.

Figura 63 – Processo de remoção da semente de cobre (a) Foto dos produtos químicos usados no processo: água, amônia e ácido acético; (b) Processo de remoção ou corrosão do óxido de cobre em ácido acético.

Fonte: Autor.

MEDIDA DA ALTURA E DA LARGURA DOS PILARES DE COBRE POR PERFILOMETRIA

A medida por perfilometria é utilizada para medir a espessura das linhas de transmissão coplanares, de acordo com o projetado em ADS. Também é usada para medir a espessura dos diferentes fotoresistes testados e definir o melhor resultado em termos de espessura e uniformidade. Finalmente, esta técnica também é usada para medir a altura e largura dos pilares de cobre depois da remoção da semente.

Como se trata de uma técnica que mede variações de topografia em uma superfície, as amostras devem apresentar um degrau entre o substrato e o filme, de modo que se possa medir a espessura do mesmo (Figura 64).

Figura 64 - Representação do degrau definido para a medida de espessura e largura.

Fonte: Autor.

O perfilômetro utilizado é da marca *Tencor*, modelo *Alpha Step 500*. Está localizado no LME e é mostrado na Figura 65. Com ele pode-se medir variações de espessura de até 10 nm. A agulha utilizada é de diamante com um diâmetro da ponta de 12,5 μm . De modo a obter resultados confiáveis, apesar da grande precisão do aparelho, são medidos diferentes pontos em um mesmo substrato.

Figura 65 – Perfilômetro *Tencor Alpha-Step 500* usado nas medidas de altura e largura de pilares e a espessura do fotoresiste.

Fonte: Autor.

MONTAGEM DAS MICROESFERAS SOBRE OS PILARES

É usada uma pasta de solda comercial com uma composição química de estanho-chumbo *Sb63/Pb37* (Figura 66a). É utilizado um microposicionador com uma agulha micrométrica para manipular e colocar as esferas sobre os pilares de cobre. O equipamento conta com um microscópio que permite acompanhar o processo de deslocamento manual da agulha. Permite deslocamentos muito finos no sentido de x , y e z .

Inicialmente, a pasta é depositada em uma região afastada das estruturas fabricadas, perto da borda da lâmina de vidro (Figura 66a). Em seguida, uma única microesfera de solda é isolada de modo que fique grudada na ponta da agulha (Figura 66b e Figura 66c). A agulha é deslocada até ficar em cima de um pilar de cobre (Figura 66d e Figura 66e) e, posteriormente, deslocada cuidadosamente em z até atingir a superfície do mesmo (Figura 66f). A posição da microesfera de solda e o fluxo, ainda húmido, facilitam sua própria aderência sobre o cobre dos pilares (Figura 66g).

Figura 66 – Processo de montagem das microesferas sobre os pilares

Fonte: Autor.

A instalação de uma única micro-solda sobre um único pilar, requer da execução do processo acima descrito.

SOLDAGEM DO CHIP SOBRE OS PILARES DE COBRE

A soldagem é feita usando um processo de compressão térmica na estação de retrabalho *IR-PL-RPC 550A REWORK STATION* da Figura 67. A estação oferece grande flexibilidade na hora de trabalhar com aplicações complexas em tecnologias SMT (*Surface-mount technology*) e THT (*through hole technology*).

O processo de soldagem implementado neste trabalho está baseado em uma metodologia do tipo SMT ou de montagem superficial. Uma vez que as microesferas de solda são posicionadas sobre os pilares, a lâmina de silício é cuidadosamente posicionada sobre a lâmina de vidro. O conjunto lâmina de vidro-lâmina de silício é então submetido à temperatura de fusão da solda, derretendo as microesferas e garantindo a soldagem da lâmina que simula o *chip* com os pilares de cobre.

Figura 67 – Estação de retrabalho usada para colar a lâmina de silício sobre a de vidro processada.

Fonte: Autor.

Inicialmente, a lâmina de vidro processada é colocada, em temperatura ambiente, sobre o sistema de aquecimento inferior do módulo *IR550* e centralizada em relação ao sistema de aquecimento superior utilizando um laser. Uma vez que é definido o ponto central de aquecimento, é feito o posicionamento de alta precisão do *chip* sobre os pilares da lâmina de vidro (Figura 68a), assistido pelo módulo de posicionamento *PL550*. O módulo conta com um suporte transparente e uma câmera superior que permitem a visualização simultânea em um computador da lâmina de vidro processada (por baixo do suporte) e do *chip* (sobre o suporte), como é mostrado na Figura 68b. O módulo *PL550* conta igualmente com um laser que permite o alinhamento preciso desses elementos. Assim que é conseguido o alinhamento, o *chip* é preso por vácuo e posicionado sobre os pilares. O módulo conta com um sensor capaz de detectar pressões de contato de até 1.5 N e seu deslocamento vertical garante uma precisão de até 10 μm . Para finalizar, o conjunto é reposicionado no módulo *IR550* e submetido a um processo de aquecimento controlado que alcança o ponto de fusão da solda e consolida a soldagem do conjunto (Figura 68c).

Figura 68 – Alinhamento do conjunto *chip* (simulado por uma lamina de silício com uma camada fina de cobre) com a lâmina de vidro processada. (a) Posicionamento da região dos pilares onde será colocado o *chip*; (b) Alinhamento do conjunto *chip* - lâmina de vidro; (c) Aquecimento do conjunto.

Fonte: Autor.

6.2 RESULTADOS

As CPWs e pilares de cobre fabricados são mostrados na Figura 69. Procurando criar uma ferramenta de teste eficiente que permita avaliar o processo de fabricação, uma única lamina de vidro foi dividida em quatro regiões iguais. Cada uma das regiões possui cinco conjuntos de linhas de transmissão coplanares. Desse jeito, consegue-se a integração de quatro *chips* em uma única lâmina de vidro. Podem-se distinguir *pads* nos extremos de cada região, que são usados para as medidas e *pads* nas áreas intermediarias entre pares de linhas (nomeados na imagem como superior e inferior) nos quais são espessados os pilares e posteriormente soldados os *chips*.

Figura 69 – Pilares de cobre-CPW fabricados em substrato de vidro. Superior-esquerda: imagem da marca de alinhamento. Superior-direita: imagem da Região 1. Inferiores: Detalhe conjunto de três pilares após eletrodeposição.

Fonte: Autor.

UNIFORMIDADE DA CAMADA SACRIFICIAL DE FOTORESISTE PARA A FABRICAÇÃO DOS PILARES

Inicialmente foram avaliados diferentes fotoresistes para selecionar o de melhor desempenho. A avaliação do desempenho envolveu a medida da espessura do fotoresiste depositado em diferentes regiões da lâmina. Os parâmetros usados para as deposições por *Spin-Coating*, tempos de secagem, de exposição, de revelado, etc, são as receitas usadas e consolidadas na sala limpa do LME para o fotoresiste AZ 4620. Os resultados são apresentados na Tabela 9.

Tabela 9 – Espessura de diferentes fotoresistes em diferentes lâminas de vidro por perfilometria.

Amostra	Fotoreistente/Tipo POS ou NEG	Número de camadas depositadas	R ₁ (μm)	R ₂ (μm)	R ₃ (μm)	R ₄ (μm)
A1	AZ 4620/Positivo	1	4,302	5,512	5,23	5,45
A2	AZ 4620/Positivo	4	28,31	23,33	16,44	14,97
A3	AZ 9260/Positivo	3	38,60	38,86	38,61	41,3
A4	AZ 9260/Positivo	3	39,15	39,35	39,37	39,78
A5	125nXT/Negativo	1	40,62	41,18	41,52	41,12
A6		Descartada				
A7	125nXT/Negativo	1	46,38	45,45	43,38	43,31
A8	AZ 9260/Positivo	3	38,59	38,26	38,36	38,28
A9	Pasta para circuito impresso (dry filme líquido)	1	36	43,9	48,9	26,72
A10	Pasta para circuito impresso (dry filme líquido)	1	28,73	33,38	28,52	35,84

Na tabela são destacadas em cinza as amostras com os melhores resultados em termos da espessura do fotoresiste e de sua uniformidade. A uniformidade é entendida como a tendência a se obter um mesmo valor de espessura do fotoresiste na superfície inteira da lâmina de vidro. Uma vez que foi implementado o processo de partida com AZ 4620, foi obtida uma espessura muito pequena. O passo seguinte foi repetir esse processo não só para uma camada, mas para 2, 3 e até 4 camadas (A2). Pode-se evidenciar na Tabela 9 que a espessura máxima do fotoresiste da amostra A2 não atinge 30 μm e difere muito nas 4 regiões medidas (R1, R2, R3 e R4).

Já o processo de deposição multicamada com fotoresiste AZ9260 das amostras A3, A4 e A8 é exibido na Tabela 10. A espessura do fotoresiste máxima medida é de 41,3 μm . Nas 3 diferentes amostras em que é replicado o processo, as espessuras são muito similares, garantindo uma boa repetitividade. Ao observar os resultados de uma única amostra, as espessuras por região também são bastante próximas, o que indica uma boa uniformidade.

Tabela 10 - Processo de obtenção de uma camada de fotoresiste AZ 9260 espesso.

Fotoresiste usado / Tipo			AZ 9260 / Positivo – 3 camadas
Primeiras 2 camadas	Spin Coating	Velocidade de rotação	2000 rpm
		Tempo de rotação	30 segundos
	Secagem	Temperatura	90 °C
		Tempo	10 minutos
Última camada	Spin Coating	Velocidade de rotação	2000 rpm
		Tempo de rotação	30 segundos
	Secagem	Temperatura	90 °C
		Tempo	30 minutos
Exposição			5 minutos
Revelação		Revelador-Concentração	400K/H ₂ O - (1:2)
			1 minuto e 45 segundos

Finalmente, as amostras A5 e A7, que usam o fotoresiste negativo 125nXT, especial para deposição de camadas espessas, apresenta resultados também promissores, com boa uniformidade, porém não foi possível remove-lo em acetona. Seria necessário um removedor apropriado, não disponível no laboratório. Processos de agitação por ultrassom e corrosão química com revelador, também não funcionaram para a remoção deste fotoresiste. O processo usado é mostrado na Tabela 11.

Tabela 11 – Processo de obtenção de uma camada de fotoresiste 125nXT espesso.

Fotoresiste usado / Tipo		125nXT / Negativo – 1 camada
Spin Coating	Velocidade de rotação	1400 rpm
	Tempo de rotação	25 segundos
Secagem	Temperatura	90 °C
	Tempo	20 minutos
Exposição		5 minutos
Revelação	Revelador-Concentração	400K/H ₂ O - (1:2)
		1 minuto e 45 segundos

Na Figura 70 e Figura 71 é exibido o processo de medida da espessura das amostras A8 e A7 respectivamente. Os valores medidos correspondem aos valores sublinhados na Tabela 9. A cor transparente característica dos fotoresistes nestas duas amostras (AZ 9260 e 125nXT) dificultou o processo de remoção do fotoresiste, que era validado mediante observação por microscópio.

Figura 70 – Processo de medida de espessura após processo de obtenção da camada espessa com fotoresiste AZ 9260.

Fonte: Autor.

Figura 71 - Processo de medida de espessura após processo de obtenção da camada espessa com fotoresiste 125nXT.

Fonte: Autor.

A partir destes resultados, foi selecionado o processo multicamada com fotoresiste AZ9260.

Para garantir mais ainda a reprodutibilidade e os bons resultados deste processo, lâminas de vidro adicionais foram submetidas à deposição da tripla camada de fotoresiste AZ9260. As espessuras medidas são apresentadas na Tabela 12.

Tabela 12 – Espessura medidas para as 4 regiões definidas por amostra em 6 diferentes amostras.

AMOSTRA	Espessura R1 (μm)	Espessura R2 (μm)	Espessura R3 (μm)	Espessura R4 (μm)	σ (μm)
A3	38,60	38,86	38,61	41,3	1,31
A4	39,15	39,35	39,37	39,78	0,26
A8	38,59	38,26	38,36	38,28	0,15
FC3	40,03	40,9	38,55	38,18	1,27
FC4	38,33	40,46	38,51	38,35	1,03
FC8	38,24	38,95	38,15	38,67	0,37
$\bar{H}$ (μm)	38,82	39,46	38,59	39,09	0,37

A Tabela 12 apresenta as espessuras obtidas nas diferentes regiões de seis amostras. Foram obtidas pequenas variações da espessura entre regiões em uma mesma amostra e demonstrado a partir do desvio padrão σ calculado na coluna no extremo direito. Também, foram conseguidas pequenas variações da espessura entre amostras e demonstrado pela média $\overline{H}$ calculada por região na última fila. O desvio padrão das diferentes medias por região que é igual a 0,37 (μm), junto aos resultados acima mencionados, constata o bom desempenho do processo de deposição de fotoresiste com três camadas em termos de espessura, uniformidade e reprodutibilidade.

RESULTADOS LINHAS DE TRANSMISSÃO COPLANARES

Depois da escolha do fotoresiste com melhor uniformidade, foi avaliada a uniformidade e geometria das CPW. A Tabela 13 apresenta o processo consolidado para uma obtenção reprodutível das linhas de transmissão. Primeiramente é eletrodepositada uma camada de 3 μm de espessura, segundo a espessura projetada no *ADS LineCalc*. Depois é depositada uma camada muito fina de fotoresisteste positivo submetida a exposição utilizando a máscara 1.

Tabela 13 - Processo de obtenção das linhas de transmissão de teste.

Fotoresiste usado / Tipo		AZ 1518 / Positivo
Eletrodeposição	Solução	CUPROSTAR LP1
	Corrente aplicada	27 mA
	Tempo de processo	34 minutos
Spin Coating	Velocidade de rotação	3000 rpm
	Tempo de rotação	30 segundos
Secagem	Temperatura	80 °C
	Tempo	20 minutos
Exposição		120
Revelação		30 segundos
Pós-Secagem	Temperatura	100 °C
	Tempo	30 minutos

A Tabela 14 apresenta as espessuras medidas por perfilometria para duas amostras submetidas ao processo descrito acima. Porém, na etapa inicial de espessamento por eletrodeposição, a amostra FC-BGA1 foi eletrodepositada durante só 17 minutos, razão pela qual não foi atingida a espessura projetada de 3 μm .

Foram feitas duas medidas por região, como pode ser evidenciado na Tabela 14. Na

Figura 72, as medidas correspondem ao perfil de um conjunto de três linhas CPW superiores, e inferiores em uma mesma região R1. A Figura 73 exibe a medida de três linhas inferiores da região 1 (R1) e três linhas superiores da região 2 (R2) de FC4 ressaltadas na Tabela 14.

Tabela 14 - Espessuras medidas para as 4 regiões definidas por amostra em 6 diferentes amostras.

Amostra	R1 (μm)	R1 (μm)	R2 (μm)	R2 (μm)	R3 (μm)	R3 (μm)	R4 (μm)	R4 (μm)
FC-BGA1	2,463	2,535	2,527	2,513	2,450	2,365	2,217	2,180
FC4	3,112	3,029	3,039	3,003	3,017	3,035	3,003	3,075

Figura 72 - Processo de medida da espessura das CPW em FC-BGA1 por perfilometria.

Fonte: Autor.

Figura 73 - Processo de medida da espessura das CPW em FC4 por perfilometria.

Fonte: Autor.

Esta parte do processo não acarretou problemas, já que a espessura depositada foi pequena.

UNIFORMIDADE DOS PILARES DE COBRE APÓS REMOÇÃO DA SEMENTE

Assim que foi garantida a espessura e uniformidade do fotoresiste, foi eletrodepositado o cobre com a solução PPR. Foram feitos diferentes testes variando o tempo de eletrodeposição e os parâmetros do PPR com o intuito de consolidar essa etapa do processo. Foram necessárias 40 horas de processo de eletrodeposição de cobre para conseguir que a espessura do cobre eletrodepositado atingisse a superfície do fotoresiste. Na Figura 74 são mostrados os resultados obtidos com a lâmina FC8. Para analisar a variação da espessura dos pilares nessa amostra, foi medido um conjunto de seis pilares por região, como ilustrado na Figura 74a e Figura 74b. A Figura 74c destaca os pilares de uma única linha de transmissão e a direção de varrido da ponta do perfilômetro.

Figura 74 – Resultados do espessamento com eletrodeposição PPR na lâmina FC8.

Fonte: Autor.

Na Figura 75a é destacado o trio de pilares da Figura 74c depois da remoção da semente de $Ti+Cu$. A Figura 75b e Figura 75c representam uma vista superior destes três pilares e diferem no foco do microscópio. Note-se que a Figura 75b está focada na superfície superior dos pilares e a Figura 75c foca as linhas de transmissão.

Na Figura 75d, Figura 75e e Figura 75f são apresentados os resultados da medida da altura por perfilometria de três diferentes trios de pilares em diferentes regiões da lâmina FC8. A primeira medida corresponde ao conjunto de pilares inferiores da região 3, a segunda, ao conjunto de pilares inferiores da região 1, e a terceira, ao conjunto de pilares inferiores da região 2.

Figura 75 - Resultados depois da remoção da semente de $Ti+Cu$ e processo de medida da espessura dos pilares na lâmina FC8.

(a)

(b)

(c)

(d)

(e)

(f)

Fonte: Autor.

Na Figura 76 é apresentado um gráfico com as alturas da lâmina FC8. Cada conjunto de seis medidas por região é classificado por figuras geométricas. Por sua vez, em uma única região, o trio de pilares superiores é distinguido do trio de pilares inferiores por cor vermelha e azul, respectivamente. Além disso, foram adicionadas as medidas de altura das 4 marcas de alinhamento (MA) da lâmina.

Figura 76 – Alturas medidas por perfilometria na lâmina FC8.

Fonte: Autor.

Pode-se verificar que existe uma diferença notável entre as regiões 1 e 2 (superiores na Figura 76) com respeito às regiões 3 e 4 (inferiores). A máxima altura conseguida para esse último par de regiões é menor que a altura mínima medida nas regiões superiores da lâmina. Essa diferença é causada provavelmente pela posição do porta-amostra dentro da cuba, durante o processo de eletrodeposição.

MONTAGEM DAS MICROESFERAS SOBRE PILARES DE COBRE

Na Figura 77 é mostrado o resultado obtido para um conjunto de 10 linhas de transmissão coplanares. Esse conjunto define o grupo básico de estruturas destinado para o posterior processo de soldagem com o *chip*. São destacadas nas figuras à direita três das CPWs superiores deste grupo. O processo de montagem, por ser manual, exige de muito cuidado e tempo por parte do operador do equipamento, porém, os resultados foram satisfatórios. Contudo, uma otimização deste processo de fabricação de pilares de cobre deverá incorporar uma camada de solda eletrodepositada, após o crescimento do pilar de cobre. Isto eliminará esta etapa delicada e demorada.

Apesar de não ter feito uma análise do perfil do conjunto pilar-microesfera, espera-se que durante o processo posterior de compressão térmica a microesfera de solda compense as pequenas variações de espessura dos pilares.

Figura 77 – Resultados do processo de instalação manual das microesferas de solda em FC8.

Fonte: Autor.

INTEGRAÇÃO DO CHIP NA LÂMINA DE VIDRO

Na Figura 78 são mostrados os resultados do processo de soldagem por termocompressão dos pilares de cobre da amostra FC8 e uma lâmina de silício com cobre simulando o *chip* com defasadores. A camada de cobre foi depositada por *Sputtering* sobre uma lâmina de silício, usando os parâmetros de deposição da Tabela 8. Após o posicionamento da lâmina de silício com cobre sobre os pilares (Figura 78a) é iniciado um processo de aquecimento controlado por computador que segue a curva característica da Figura 78b. Uma vez superado o ponto de fusão ($183\text{ }^{\circ}\text{C}$ para a liga Sn63Pb37) começa um processo de estabilização térmica. A soldagem foi garantida com 30 segundos de exposição térmica na temperatura de $218,5\text{ }^{\circ}\text{C}$.

Figura 78 – Processo de Bonding por termocompressão entre amostra FC8.

Fonte: Autor.

Na Figura 79a é mostrado o processo de integração concluído. A região 1 foi selecionada para o processo de integração por possuir a maior espessura com a melhor uniformidade de pilares de cobre. A soldagem nessa região é destacada na Figura 79b. A imagem foi obtida através do vidro com a lâmina de silício nas costas e as CPWs com os pilares na frente. Da Figura 79c à Figura 79d são mostrados em destaque os resultados da soldagem de um único trio de pilares com sua CPW na lâmina de silício. De esquerda à direita aparece a mesma estrutura com variação do foco. A imagem da Figura 79c foi focalizada na integração CPW-pilares de cobre, e a Figura 79d foi focalizada na solda que integra os pilares com a lâmina de silício. Pode ser constatado visualmente que o alinhamento entre pilares e CPWs, assim como o perfil lateral dos pilares evitam o risco de curto elétrico. Também, o perfil de espalhamento da solda após da termocompressão nos três diferentes pontos garante uma distância adequada entre as diferentes microesferas na superfície dos pilares para evitar o risco de curto elétrico. Uma vez que a integração era obtida, os substratos descolavam facilmente ante movimentos mecânicos indelicados. Esse problema de adesão foi causado muito provavelmente pela rápida oxidação do cobre uma vez que é submetido a condições ambientais.

Figura 79 - Resultados finais do processo de integração por FPFC desenvolvido.

Fonte: Autor.

Os resultados obtidos são comparados com o estado da arte do FPFC e apresentados na Tabela 15.

Tabela 15 – Comparação entre o processo FPFC desenvolvido com o estado da arte.

Ref.	Tipo de Interconexão	Material do Substrato	Altura dos pilares	Largura dos pilares
[7]	Embedded Trace Substrate	Silício	35 μm	49 μm
[8]	Bond-on-lead	Silício	30-45 μm	20-50 μm
[10]	Bond-on-lead	Silício	42/60 μm	70 μm
Este trabalho	<i>in-house</i>	Vidro	40 μm	59-68 μm

Estes resultados demonstram que o processo de integração desenvolvido se encaixa dentro das exigências de *fine-pitch flip chip*. Foram obtidas alturas de 40 μm com uma largura máxima de 68 μm a partir de processos *in-house*. A largura dos pilares neste projeto corresponde à dimensão lateral da área transversal de um pilar cúbico (imagem inferior esquerda da Figura 69) e é equivalente ao diâmetro em pilares cilíndricos amplamente fabricados em outras tecnologias de integração FPFC. Em tecnologias de interconexão como a *Embedded Trace Substrate* ou *Bond on lead* presentes na Tabela 15, além do pilar e a solda do lado do *interposer*, é necessária a fabricação de uma cavidade sobre o *chip* para garantir a integração entre as estruturas. Este trabalho descartou a fabricação de estruturas adicionais no substrato de silício com cobre simulando o *chip* evitando a fabricação de máscaras adicionais e um processo de alinhamento complexo entre pilares de cobre e cavidades no substrato. Para encarar a dificuldade na adesão dos dois substratos, uma solução futura consiste na deposição de uma outra camada no substrato de silício. Sobre o cobre depositado por *sputtering* seria depositada uma camada de polímero adicional que protege o cobre da sua iminente oxidação mantendo sua integridade, o que ajudaria a melhorar a colagem na estação de retrabalho.

7 CONCLUSÕES

Este trabalho teve como objetivo modelar defasadores passivos de baixo custo e baixas perdas em ondas milimétricas, baseados em sistemas micro eletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares com efeito de ondas-lentas. Além disso, também teve como foco o desenvolvimento de um processo de fabricação para a integração híbrida dos defasadores em um *interposer* com nanofios de cobre.

No projeto de defasador foi possível obter uma melhora na FoM e FoM/Área comparado com o estado da arte em defasadores passivos. O desempenho elétrico foi melhorado com a otimização das dimensões da estrutura realizada em Matlab, o que levou a uma redução na perda de inserção.

O modelo analítico utilizado e aprimorado com a implementação do modelamento eletromecânico representa uma ferramenta altamente eficaz na etapa de projeto de defasadores com MEMS distribuídos e linhas S-CPW. Particularmente, o modelo eletromecânico teve resultados bastante próximos dos obtidos com simulações 3D no *software ANSYS*.

Foi desenvolvida uma metodologia simplificada para o projeto dos defasadores. Esta metodologia utiliza cálculos analíticos para definir de forma rápida a geometria dos dispositivos, baseando-se nos requisitos de RF e eletromecânicos. Depois, define-se o comprimento do dispositivo e seus diferentes estados de fase, otimizando o número de comandos.

Uma das maiores exigências do projeto do defasador foi garantir os diferentes requisitos de RF e eletromecânicos a partir da variação simultânea dos parâmetros geométricos da estrutura S-CPW. Para tornar mais fácil essa tarefa, foram levantadas diferentes tendências que permitiram um maior entendimento do comportamento das diferentes variáveis implicadas no desenvolvimento de um defasador baseado em MEMS e linhas de transmissão de onda lenta. Neste trabalho foi priorizada uma impedância característica de 70Ω no estado não atuado e a partir disto foram conseguidos os requisitos restantes. Já que neste modelo, apresenta-se uma interdependência grande de variáveis e não se pode obter um único requisito de saída a partir de um único parâmetro geométrico isoladamente, existe um compromisso muito grande entre variáveis. O maior compromisso neste projeto foi a constante elástica já que pequenas variações da espessura das fitas da camada de blindagem implicam mudanças significativas na constante elástica.

Neste trabalho a largura da fita foi limitada em $2 \mu\text{m}$ pela resolução no processo de fabricação, sendo que as dimensões típicas dos MEMS usadas neste tipo de estruturas estão em

torno de 100 μm . A constante elástica foi drasticamente reduzida, pois depende da largura e espessura da fita e é inversamente proporcional ao comprimento da fita. A espessura foi limitada por razões de fabricação e o comprimento devia ser maior que a dimensão da CPW.

Os resultados obtidos no processo de integração híbrida utilizando *flip-chip* são promissores. Foi possível obter pilares de cobre com altura e largura apropriados para realizar o processo de *flip-chip*. A distância entre pilares foi adequada para aplicações em ondas milimétricas.

Todos os processos necessários para o desenvolvimento da integração foram conseguidos com a tecnologia disponível no LME. Não foram feitas medidas elétricas por causa da má adesão da solda sobre os pilares e o substrato de silício. Atualmente o processo de adesão está sendo aprimorado visando medir as estruturas em DC e RF e finalmente validar o processo de integração.

Particularmente na seleção do fotoresiste usado na etapa de definição da área de crescimento dos pilares de cobre, o melhor candidato em termos de espessura e uniformidade foi o fotoresiste negativo 125nXT. No entanto, não foi possível sua remoção com produtos comerciais disponíveis no LME. Por isso, recomenda-se investir no produto especializado mais apropriado que permita sua remoção.

Não foram obtidas diferenças significativas na altura dos pilares entre as diversas regiões do substrato. A média das diferentes alturas de pilar medidas foi igual a 37,7 μm e o desvio padrão de 3,17 μm . A variação de altura dos pilares obtida foi causada provavelmente pela longa duração do processo de eletrodeposição dos pilares (40 horas) com o porta-amostra na mesma posição com uma direção preferencial no crescimento. Futuramente, este processo pode ser melhorado a variação de altura dos pilares pode ser ainda menor.

ANEXO A – PUBLICAÇÃO EM EVENTO CIENTÍFICO DURANTE O DESENVOLVIMENTO DESTE TRABALHO

BEDOYA, F. S.; SERRANO, A. L. C.; REHDER, G. P. **Mm-wave flip-chip fabrication process for MnM-based interposer interconnection.** 2017 32nd Symposium on Microelectronics Technology and Devices (SBMicro). Anais...IEEE, ago. 2017.

ANEXO B – EQUAÇÕES MATEMÁTICAS USADAS AO LONGO DESTE TRABALHO

INDUTÂNCIA (L)

A indutância é criada pelo campo magnético gerado pela corrente fluindo nos condutores central e de terra da CPW. As correntes fluindo na camada de blindagem são desprezíveis para o cálculo da indutância.

O cálculo da expressão analítica da indutância segue o comportamento da Figura 80, que é proposto em (HEINRICH, 1993). Com base nessa referência, L não pode ser descrita simplesmente pela indutância $L_{e\infty}$ (5) encontrada em metalizações com condução ideal, já que a indutância é dependente da frequência. Portanto, o espectro total de frequência é dividido em quatro domínios definidos por frequências de transição f_{Li} . f_{L2} denota o limite inferior do trecho do gráfico que corresponde ao efeito penetração. f_{L1} especifica a frequência na qual a distribuição de corrente do condutor central da CPW torna-se uniforme. f_{L0} está associada com a frequência na qual a corrente de metalização de terra aproxima-se da distribuição DC. São adicionados termos de suavizado no equacionamento a partir dos coeficientes $a_i^{(L)}$ para L e suas primeiras derivadas que garantem um comportamento contínuo nas frequências de transição.

$$L_{e\infty} = \frac{\mu_0}{4F_0} \quad (5)$$

$$F_0 = F(t_{cpw}/2) \quad (6)$$

Figura 80 – Comportamento da indutância L em função da frequência em uma CPW.

Fonte: adaptado de “CPW total line inductance L as a function of frequency f ” em (HEINRICH, 1993).

A expressão analítica geral que descreve a indutância nas diferentes regiões é descrita pela equação (7).

$$L = \begin{cases} L_{DC0} \cdot \left[1 + a_0^{(L)} \cdot \left(\frac{W_s}{\omega_{L0}} \right)^2 \right] & \text{para } W_s \leq \omega_{L0} \\ L_{e\infty} + L_{z1} \cdot \left(\frac{W_s}{\omega_{L1}} \right)^{v_{z1}} \cdot \left[1 + a_1^{(L)} \cdot \left(\frac{\omega_{L0}}{W_s} \right)^2 + a_2^{(L)} \cdot \left(\frac{W_s}{\omega_{L1}} \right)^2 \right] & \text{para } \omega_{L0} \leq W_s \leq \omega_{L1} \\ L_{e\infty} + L_{z2} \cdot \left(\frac{W_s}{\omega_{L2}} \right)^{v_{z2}} \cdot \left[1 + a_3^{(L)} \cdot \left(\frac{\omega_{L1}}{W_s} \right)^2 + a_4^{(L)} \cdot \left(\frac{W_s}{\omega_{L2}} \right)^2 \right] & \text{para } \omega_{L1} \leq W_s \leq \omega_{L2} \\ L_{e\infty} + \sqrt{\frac{\mu_0}{2W_s k}} \cdot \frac{F_L^{(c)} + F_L^{(g)}}{4F_0^2} \cdot \left[1 + a_5^{(c)} \cdot \left(\frac{\omega_{L2}}{W_s} \right)^2 \right] & \text{para } W_s \geq \omega_{L2} \end{cases} \quad (7)$$

Onde

$$L_{DC0} = L_{DC}(W_s, W_g) \quad (8)$$

$$L_{z1} = L_{DC} \left(W_s, \frac{3}{2} W_s \right) - \frac{\mu_0}{4} \cdot \frac{1}{F_1} \quad (9)$$

L_{DC0} representa a indutância no valor de DC limite, no qual a curva do gráfico é saturada para frequências baixas perto de f_{L0} e é calculado analiticamente a partir da teoria magnetostática. Neste modelo, assume-se aproximadamente igual ao duplo do valor de $L_{e\infty}$. O incremento substancial é originado principalmente pela indutância externa L_e . A contribuição da parte interna L_i permanece na ordem de um 10% da faixa inteira de frequência. Esses resultados foram demonstrados em estruturas do tipo *microstrip*. L_{DC} denota a função de indutância DC da CPW e depende da espessura t dos condutores, da largura do condutor central W_s , da largura dos condutores laterais de terra W_g e da distância entre o condutor central e os condutores de terra G calculado a partir de $G = D - \frac{W_s}{2}$.

$$L_{DC}(W_s, W_g) = \frac{\mu_0}{8\pi} \cdot \left\{ \frac{4}{W_s^2} \cdot g_L(W_s) + \frac{1}{W_g^2} \cdot [g_L(W_s + 2G) + g_L(W_s + 2W_g + 2G) + 2g_L(W_g) - 2g_L(W_s + W_g + 2G)] - \frac{4}{W_s W_g} \cdot [g_L(W_s + W_g + G) - g_L(W_s + G) + g_L(G) - g_L(W_g + G)] \right\} L_{DC}(\omega, \omega_g) \quad (10)$$

Com

$$F_1 = F_0 + \frac{K(k_2)}{K'(k_2)} - \frac{K(k_1)}{K'(k_1)} \quad (11)$$

$$L_{z2} = \sqrt{\frac{\mu_0}{2\omega_{L2}k} \cdot \frac{F_L^{(c)} + F_L^{(g)}}{4F_0^2}} \quad (12)$$

E

$$\begin{aligned} \omega_{L0} &= \frac{4}{\mu_0 k t_{cpw} W_g} \\ \omega_{L1} &= \frac{4}{\mu_0 k t_{cpw} W_s} \\ \omega_{L2} &= \frac{18}{\mu_0 k t_{cpw}^2} \\ v_{z1} &= \frac{\ln\left(\frac{L_{DC0} - L_{e\infty}}{L_{z1}}\right)}{\ln\left(\frac{\omega_{L0}}{\omega_{L1}}\right)} \\ v_{z2} &= \frac{\ln\left(\frac{L_{z1}}{L_{z2}}\right)}{\ln\left(\frac{\omega_{L1}}{\omega_{L2}}\right)} \end{aligned} \quad (13)$$

Assim para calcular a indutância total L são necessários os parâmetros geométricos de entrada W_s , W_g , D , t_{cpw} e a posição das camadas metálicas superior, inferior e da camada de blindagem. O algoritmo desenvolvido em Matlab e usado para computar a indutância é apresentada no ANEXO C.

CAPACITÂNCIA (C)

Em (BAUTISTA; FRANC; FERRARI, 2015b) é apresentado de maneira detalhada a obtenção da capacitância, assim como regras de desenho para evitar perdas do campo elétrico. O cálculo da capacitância está baseado no esquema da Figura 81.

Figura 81 – Corte transversal da S-CPW com as linhas de campo elétrico consideradas no cálculo da capacitância elétrica.

Fonte: adaptado de Cross-section showing the electric field lines considered for the capacitance calculus em (BAUTISTA; FRANC; FERRARI, 2015).

Similar ao cálculo da indutância, a capacitância é definida por segmentos, só que não dependente da frequência, mas da posição. As diferentes regiões são definidas por linhas específicas do campo elétrico gerado entre a camada de blindagem e a CPW. A Figura 81 ilustra um corte transversal da metade da estrutura S-CPW. Partindo de esquerda à direita, encontra-se a metade do eletrodo central da CPW e no extremo direito um dos terras. A capacitância é segmentada em quatro regiões denominadas: inferior da placa, do ponto de carga, de borda, e superior da placa. Para cada região, é feita uma discretização do campo elétrico em n linhas de campo elétrico criadas por n pontos de carga. A capacitância em cada região é dada pela soma das linhas de campo elétrico e está expressada por.

$$C = \frac{\varepsilon_0 \varepsilon_r W l}{n} \left(\sum_{i=1}^n \frac{1}{h_i} \right) \quad (14)$$

Onde ε_0 é a constante elétrica no vácuo, ε_r a constante dielétrica relativa, W a largura do condutor, l o comprimento do condutor e definido na eq (15), e h_i a espessura ou distância entre os condutores. Os autores estudaram a convergência apropriada da capacitância em termos do número de linhas de campo e definiram como regra $n = 100$. A continuação é descrita a obtenção da capacitância em cada uma das regiões definidas anteriormente.

$$l = SS + SL \quad (15)$$

CAPACITÂNCIA NA REGIÃO INFERIOR DA PLACA

Região definida pelas linhas de campo elétrico verticais entre o eletrodo central da CPW e uma única fita da camada de blindagem. Essa região tem uma espessura constante h_s e depende unicamente da largura do eletrodo central W_s . Portanto, (14) é calculada a partir de:

$$C_{placainf} = \frac{\varepsilon_0 \varepsilon_r W_s l}{h_s} \quad (16)$$

CAPACITÂNCIA DE BORDA E DA PLACA SUPERIOR

Para as regiões de borda e sobre a placa, o equacionamento é feito assumindo linhas de campo elétrico circulares como ilustrado na Figura 82

Figura 82 – Capacitância nas regiões de borda e superior à placa.

Fonte: adaptado de Fringe region. Path description of the electric field distribution for the fringe capacitance calculus. em (BAUTISTA; FRANC; FERRARI, 2015).

CAPACITÂNCIA DE BORDA

Na região de borda, a espessura h_i depende do raio, e assume-se h_s , a distância horizontal entre o extremo direito do condutor central e o ponto no qual incide a primeira linha de campo sobre a fita da camada de blindagem, igual à distância vertical entre o eletrodo central e a fita. A largura do condutor assume-se igual à espessura do condutor t_s . A espessura das linhas de campo elétrico na região de borda, h_{iborda} , são computadas como segue.

$$h_{iborda} = \frac{\pi}{2} \left[h_s + \left(\frac{i-1}{n} \right) t_s \right] \quad (17)$$

Substituindo (17) ao invés de h_i em (14) e t_s como a largura, obtém se:

$$C_{borda} = \frac{2\varepsilon_0 \varepsilon_r t_s l}{\pi} \left(\sum_{i=1}^n \frac{1}{(i-1)t_s + nh_s} \right) \quad (18)$$

CAPACITÂNCIA DE ÂNGULO

Um caso particular é a capacitância de carga gerada pelas linhas de campo elétrico em um único ponto denotada como $C_{ângulo}$. Esse ponto encontra-se alocado nos limites inferiores

do condutor central como é mostrado na Figura 83. As linhas de campo elétrico descrevem traços parabólicos e estão delimitados pela espessura h_s . Assumindo essa trajetória e substituindo em (14), a capacitância de ângulo pode ser aproximada mediante (19). Note que $C_{\text{ângulo}}$ é independente de h_s .

Figura 83 - Capacitância de ângulo.

Fonte: adaptado de Fringe region. Path description of the electric field distribution for the fringe capacitance calculus. em (BAUTISTA; FRANC; FERRARI, 2015).

$$C_{\text{ângulo}} \approx 0,82 \epsilon_0 \epsilon_r l \quad (19)$$

CAPACITÂNCIA DA PLACA SUPERIOR

Já a região do campo sobre a placa superior (Figura 84), é definida pelas linhas de campo elétrico que vão da parte de cima do condutor central até a tira da camada de blindagem. Representa a região com menor aporte à capacitância total, porém sua magnitude não é desprezível. Assumem-se as linhas do campo elétrico descrevendo um trajeto circular, com raio variando de $(h_s + t_s)$ até h_{max} (20).

Figura 84 - Capacitância na região superior da placa.

Fonte: adaptado de Upper plate region. Path description of the electric field distribution for the upper plate capacitance calculus. em (BAUTISTA; FRANC; FERRARI, 2015).

$$h_{max} = \sqrt{\left(\frac{W_s}{2}\right)^2 + (h_s + t_s)^2} \quad (20)$$

O raio é definido por:

$$r_{iup} = (h_s + t_s) \left(1 - \frac{i-1}{n}\right) + \left(\frac{i-1}{n}\right) h_{max} \quad (21)$$

Portanto, a capacitância da região superior da placa é dada por:

$$C_{placasup} = \frac{2\varepsilon_0\varepsilon_r W_s l}{n} \left(\sum_{i=1}^n \frac{1}{r_{iup} \left[\pi + 2\cos^{-1} \left(\frac{h_s + t_s}{r_{iup}} \right) \right]} \right) \quad (22)$$

Referente à capacitância entre as fitas da camada de blindagem denotada por C_{ss} , esta depende das quatro diferentes situações elencadas por zona na Tabela 16 a continuação.

Tabela 16 – Capacitância entre as fitas da camada de blindagem dependendo dos limites geométricos estabelecidos pelas zonas A,B,C e D.

Zona	Limites	C_{ss}
A	$\frac{G}{2} > h_{max}$	0
B	$h_{max} > \frac{G}{2} > (h_s + t_s)$	$2C'_{borda}$
C	$(h_s + t_s) > \frac{G}{2} > h_s$	$2C'_{borda} + C'_{placainf}$
D	$h_s > \frac{G}{2}$	$C'_{borda} + C'_{placainf} + C'_{angulo} + C_{angulo}$

Em casos práticos a capacitância entre fitas C_{ss} é desprezível para $G/2$ maior que h_{max} .

Finalmente, a capacitância total gerada entre o eletrodo central e a fita é computada pela soma da contribuição de cada região.

$$C = C_{placainf} + 2C_{borda} + 2C_{angle} + C_{placasup} \quad (23)$$

Em síntese, para calcular a capacitância C são necessários os parâmetros geométricos de entrada W_s , W_g , D , t_{cpw} , h_s , SS e SL , assim como os parâmetros eletromagnéticos ε_0 , ε_r e a posição das camadas metálicas superior, inferior e da camada de blindagem. O algoritmo desenvolvido em Matlab e usado para computar a capacitância é apresentada no ANEXO C.

RESISTÊNCIA R_s NOS CONDUTORES DA CPW

A resistência total R_s é a soma das resistências R_c e R_g do condutor central e de terra, respetivamente (24).

$$R_s = R_c + R_g \quad (24)$$

Estas resistências, como para a indutância, possuem uma dependência da frequência. A Figura 85 ilustra o comportamento da resistência em função da frequência. Para o modelo, a resistência é definida dentro de três intervalos. Em um primeiro intervalo, com $f \rightarrow 0$, a resistência é dependente do valor DC (f_{ci} e f_{gi} são as frequências de transição do condutor central e o de terra, respectivamente). Já no segundo intervalo, para valores da frequência superiores aproximadamente 20 GHz, a resistência é dependente do efeito penetração proporcional a $\sqrt{f}$. O intervalo intermediário entre as aproximações DC e o efeito penetração, define-se o ultimo intervalo de análise. Note-se que o comportamento da resistência nesse intervalo é linear respeito a frequência para a escala logarítmica adotada no gráfico. Similar à abordagem no cálculo da indutância, são incluídos termos de suavizado $a_i^{c,g}$ para que R garanta a continuidade das expressões analíticas nos pontos de transição entre os intervalos. R_c e R_g são definidas por segmentos dependentes da frequência pelas equações (25) e (26).

Figura 85 – Enfoque por segmentação da resistência R_s em função da frequência

Fonte: adaptado de “total line resistance R as a function of frequency f ” em (HEINRICH, 1993).

$$R_c = \begin{cases} R_{c0} \cdot \left[1 + a_1^{(c)} \cdot \left(\frac{W_s}{\omega_{c1}} \right)^2 \right] & \text{para } W_s \leq \omega_{c1} \\ R_{c1} \cdot \left(\frac{W_s}{\omega_{c2}} \right)^{v_c} \cdot \left[1 + a_2^{(c)} \cdot \left(\frac{\omega_{c1}}{W_s} \right)^2 + a_3^{(c)} \cdot \left(\frac{W_s}{\omega_{c2}} \right)^2 \right] & \text{para } \omega_{c1} \leq W_s \leq \omega_{c2} \\ \sqrt{\frac{W_s \mu_0}{2k}} \cdot \frac{F_L^{(c)}}{4F_0^2} \cdot \left[1 + a_4^{(c)} \cdot \left(\frac{\omega_{c2}}{W_s} \right)^2 \right] & \text{para } W_s \geq \omega_{c2} \end{cases} \quad (25)$$

$$R_g = \begin{cases} R_{g0} \cdot \left[1 + a_1^{(g)} \cdot \left(\frac{W_s}{\omega_{g1}} \right)^2 \right] & \text{para } W_s \leq \omega_{g1} \\ R_{g1} \cdot \left(\frac{W_s}{\omega_{g2}} \right)^{v_g} \cdot \left[1 + a_2^{(g)} \cdot \left(\frac{\omega_{g1}}{W_s} \right)^2 + a_3^{(g)} \cdot \left(\frac{W_s}{\omega_{g2}} \right)^2 \right] & \text{para } \omega_{g1} \leq W_s \leq \omega_{g2} \\ \sqrt{\frac{W_s \mu_0}{2k}} \cdot \frac{F_L^{(g)}}{4F_0^2} \cdot \left[1 + a_4^{(g)} \cdot \left(\frac{\omega_{g2}}{W_s} \right)^2 \right] & \text{para } W_s \geq \omega_{g2} \end{cases} \quad (26)$$

Com

$$\begin{aligned} R_{c0} &= \frac{1}{kW_s t_{cpw}} \\ R_{c1} &= \sqrt{\frac{\omega_{c2} \mu_0}{2k}} \frac{F_L^{(c)}}{4F_0^2} \\ R_{g0} &= \frac{1}{2kW_g t_{cpw}} \\ R_{g1} &= \sqrt{\frac{\omega_{g2} \mu_0}{2k}} \frac{F_L^{(g)}}{4F_0^2} \\ \omega_{c1} &= \sqrt{2} \cdot \frac{4}{\mu_0 k t_{cpw} W_s} \\ \omega_{c2} &= \frac{8}{\mu_0 k} \cdot \left(\frac{W_s + t_{cpw}}{W_s t_{cpw}} \right)^2 \\ \omega_{g1} &= \frac{2}{\mu_0 k t_{cpw} W_g} \\ \omega_{g2} &= \frac{2}{\mu_0 k} \cdot \left(\frac{2W_g + t_{cpw}}{W_g t_{cpw}} \right)^2 \\ v_c &= \frac{\ln \left(\frac{R_{c0}}{R_{c1}} \right)}{\ln \left(\frac{\omega_{c1}}{\omega_{c2}} \right)} \\ v_g &= \frac{\ln \left(\frac{R_{g0}}{R_{g1}} \right)}{\ln \left(\frac{\omega_{g1}}{\omega_{g2}} \right)} \end{aligned} \quad (27)$$

e está definida pelas expressões analíticas

$$R_{c|efeitopele} = \sqrt{\frac{W_s \mu_0}{2k} \frac{F_L^{(c)}}{4F_0^2}} \quad (28)$$

$$R_{g|efeitopele} = \sqrt{\frac{W_s \mu_0}{2k} \frac{F_L^{(g)}}{4F_0^2}} \quad (29)$$

Assim para calcular a resistência R_s nos condutores são necessários os parâmetros geométricos de entrada $W_s, W_g, D, t_{cpw}, h_s$ e a posição das camadas metálicas superior, inferior e da camada de blindagem. O algoritmo desenvolvido em Matlab e usado para computar a resistência nos condutores da CPW é apresentada no ANEXO C.

RESISTÊNCIA R_p NAS FITAS DA CAMADA DE BLINDAGEM

As perdas por condutividade na camada de blindagem R_p são simplesmente modeladas como

$$R_p = \frac{1}{4d} \left(\frac{D}{\sigma_{blindagem} t_{blindagem}} \right) \quad (30)$$

Com d o período de blindagem ($d = SS + SL$)

Finalmente, o cálculo da resistência R_p nas fitas da camada de blindagem requer dos parâmetros geométricos de entrada $SS, SL, D, t_{blindagem}$ ou espessura da camada de blindagem, assim como dos parâmetros eletromagnéticos $\sigma_{blindagem}$ e da posição das camadas metálicas superior, inferior e da camada de blindagem. O algoritmo desenvolvido em Matlab e usado para computar a resistência nas fitas da camada de blindagem é apresentada no ANEXO C.

CÁLCULO DOS PARÂMETROS RF DE SAÍDA

A partir dos quatro parâmetros de circuito elétrico calculados, são estimados os parâmetros ABCD e seguidamente os parâmetros RF de saída como segue. São dependentes da frequência e da largura do condutor central W_s

$$abcd = \begin{bmatrix} 1 & \frac{R_s(W_s, f) + j * XL}{2} \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \frac{1}{R_p(W_s, f) + j * XC} & 1 \end{bmatrix} \begin{bmatrix} 1 & \frac{R_s(W_s, f) + j * XL}{2} \\ 0 & 1 \end{bmatrix} \quad (31)$$

Com

$$XL = L(W_s, f) * \omega ; \omega = 2\pi f \quad (32)$$

$$XC = \frac{-1}{C(W_s, f) * \omega} ; \omega = 2\pi f \quad (33)$$

$$LossMODEL = real\left(\frac{acosh(abcd(1,1))}{L}\right) * 0,00868 \quad (34)$$

$$BetaMODEL = imag\left(\frac{acosh(abcd(1,1))}{L}\right) \quad (35)$$

$$EeffMODEL = \frac{-1}{C(W_s, f) * \omega} ; \omega = 2\pi f \quad (36)$$

$$ZcMODEL = real\left(\sqrt{\frac{abcd(1,2)}{abcd(2,1)}}\right) \quad (37)$$

$$QMODEL = \frac{imag(acosh(abcd(1,1))) * real(acosh(abcd(1,1)))}{2} \quad (38)$$

O algoritmo desenvolvido no Matlab e usado para computar os parâmetros RF de saída a partir dos parâmetros geométricos e eletromagnéticos de entrada é apresentado no ANEXO C.

CÁLCULO DA CONSTANTE ELÁSTICA

O deslocamento Δg [m], gerado por uma força externa F_e [N] pode ser obtido a partir da análise estática do sistema representada a partir da somatória de forças seguinte.

$$\sum F = F_e - k\Delta g = 0; F_e = k\Delta g \quad (39)$$

A constante elástica é calculada a partir do deslocamento da viga em termos da posição de uma carga vertical concentrada, P , no ponto D que desempenha o papel de força externa (Figura 86), neste caso a força eletrostática F_e . A expressão é derivada do modelo de viga de Euler-Bernoulli e é dado por (40).

Figura 86 – Viga fixada nos seus extremos sob ação de uma carga concentrada.

Fonte: Autor.

Na Figura 86, R_A e R_B são as reações produzidas nos engastes da viga, M_A e M_B os momentos de torsão ou torques, e l o comprimento da viga.

Este é um problema indeterminado de segundo grau e, portanto, M_A e M_B são assumidos como redundantes.

$$EI \frac{d^2 y}{dx^2} = M_A + R_A x; \quad x \leq a \quad (40)$$

Na expressão (40), O momento de inércia I para uma seção transversal retangular é dado por:

$$I = wt^3/12 \quad (41)$$

Com w , a largura e t , a espessura da viga. No modelo analítico, esses dois parâmetros são implementados a partir de SL e $M2t$.

O deslocamento é obtido ao integrar duas vezes (40).

$$y = \frac{M_A x^2}{2EI} + \frac{R_A x^3}{6EI}; \quad x \leq a \quad (42)$$

Para determinar as reações nos engastes da viga, é feita a somatória dos momentos de torsão como segue:

$$R_A = \frac{Pb}{l} + \frac{M_A}{l} - \frac{M_B}{l}; \quad b = l - a \quad (43)$$

$$R_B = \frac{Pa}{l} - \frac{M_A}{l} - \frac{M_B}{l} \quad (44)$$

Para calcular os momentos, primeiramente são calculadas as relações força-deslocamento da Figura 87.

Figura 87- Relações força-deslocamento presentes na viga cantilever.

Fonte: Autor.

$$(\theta_A)_1 = \frac{Pab(l+b)}{6EI} \quad (45)$$

$$(\theta_A)_2 = \frac{M_A l}{3EI} \quad (46)$$

$$(\theta_A)_3 = \frac{M_B l}{6EI} \quad (47)$$

$$(\theta_B)_1 = \frac{Pab(l+a)}{6EI} \quad (48)$$

$$(\theta_B)_2 = \frac{M_A l}{6EI} \quad (49)$$

$$(\theta_B)_3 = \frac{M_B l}{3EI} \quad (50)$$

Seguidamente, definem-se as equações de compatibilidade do problema mecânico:

$$\theta_A = (\theta_A)_1 - (\theta_A)_2 - (\theta_A)_3 = 0 \quad (51)$$

$$\theta_B = (\theta_B)_1 - (\theta_B)_2 - (\theta_B)_3 = 0 \quad (52)$$

Substituindo (45), (46) e (47) em (51), obtém-se (53). Analogamente, substituindo (48), (49) e (50) em (52), é obtido (54):

$$\frac{M_A l}{3EI} + \frac{M_B l}{6EI} = \frac{Pab(l+b)}{6EI} \quad (53)$$

$$\frac{M_A l}{6EI} + \frac{M_B l}{3EI} = \frac{Pab(l+a)}{6lEI} \quad (54)$$

Resolvendo o sistema de equações (53) e (54) para M_A e M_B , obtém-se:

$$M_A = \frac{-Pab^2}{l^2} \quad (55)$$

$$M_B = \frac{Pa^2b}{l^2} \quad (56)$$

Substituindo (55) e (56) em (43) e (44), são calculadas as reações:

$$R_A = \frac{Pb^2}{l^3}(l+2a) \quad (57)$$

$$R_B = \frac{Pa^2}{l^3}(l+2b) \quad (58)$$

Substituindo (55) e (57) em (42), obtém-se a expressão do deslocamento da viga em termos da posição pontual da carga:

$$y = \frac{-Pa(l-a)^2x^2}{2EI l^2} + \frac{P(l-a)^2x^3(l+2a)}{6EI l^3}; b = l - a \quad (59)$$

Para calcular a constante elástica, assume-se o deslocamento da viga no centro, em $x = l/2$, pela ação de uma carga pontual em a .

Para o caso particular deste trabalho, em que a carga é distribuída no centro da viga na região definida pelo eletrodo central da CPW (Figura 88), deve ser usado o princípio de superposição na expressão (59).

Figura 88 – Carga distribuída no centro do cantilever.

Fonte: adaptado de “Fixed–fixed beam with the force, $P = \xi 2(l - x)$, evenly distributed about the center of the beam” em (REBEIZ, 2002).

Assim, o deslocamento é calculado avaliando a integral:

$$y = \frac{2}{EI} \int_{l/2}^x \frac{-Pa(l-a)^2x^2}{2EI l^2} + \frac{P(l-a)^2x^3(l+2a)}{6EI l^3} da; P = \xi 2(l-x) \quad (60)$$

Onde ξ é a carga por unidade de comprimento e, portanto, a carga total P distribuída ao longo do comprimento $2(l-x)$ é dado por $P = \xi 2(l-x)$. Já que a estrutura é simétrica, a integral é avaliada de $l/2$ a x e multiplicada por 2.

Da equação (39), tem-se que:

$$k'_c = \frac{-P}{y} = \frac{-\xi 2(l-x)}{y} = 32Ew \left(\frac{t}{l}\right)^3 \frac{1}{8\left(\frac{x}{l}\right)^3 - 20\left(\frac{x}{l}\right)^2 + 14\left(\frac{x}{l}\right) - 1}; \begin{cases} F = P \\ \Delta g = -y \end{cases} \quad (61)$$

Assim como foi descrito anteriormente, no defasador proposto uma única fita da camada da blindagem está constituída por três camadas de material: uma camada intermediária de cobre que fica entres duas camadas de nitreto de silício. A espessura dos três filmes é calculada em (62). O módulo de Young (63) e o coeficiente de Poisson (64) de uma viga fixada em seus extremos composta por diferentes camadas de material é calculado a partir da média ponderada volumétrica das três camadas como segue.

$$t = tCu + tSiN1 + tSiN2 \quad (62)$$

$$E = \frac{ECu * tCu + ESiN * tSiN1 + ESiN * tSiN2}{tCu + tSiN1 + tSiN2} \quad (63)$$

$$\nu = \frac{\nu Cu * tCu + \nu SiN * tSiN1 + \nu SiN * tSiN2}{tCu + tSiN1 + tSiN2} \quad (64)$$

ANÁLISE DE PULL-DOWN

A capacitância é definida a partir da geometria do conjunto da Figura 28 como:

$$C = \frac{\varepsilon_0 A}{g} = \frac{\varepsilon_0 Ww}{g} \quad (65)$$

Com A , a área de atuação da força entre as placas obtida a partir da espessura da fita w e da largura do eletrodo central W da CPW, e g , o deslocamento da fita após ser induzida uma força eletrostática nela.

A força eletrostática aplicada à fita é encontrada ao considerar a energia desenvolvida por uma capacitância dependente da posição e é dada por:

$$F_e = \frac{1}{2} V^2 \frac{dC(g)}{dg} = -\frac{1}{2} \frac{\varepsilon_0 Ww V^2}{g^2} \quad (66)$$

Onde V representa a tensão elétrica entre o eletrodo central e a fita.

Para a análise de *pull-down* é só considerada a constante elástica causada pela rigidez do material. Já que o comprimento da fita e a espessura, definida pelas três camadas, são maiores do que o deslocamento total da fita, são desprezadas a constante elástica gerada por estresse residual e a componente de estreitamento não linear.

A constante elástica deve estar associada com o deslocamento produzido pela força eletrostática induzida. A equação que relaciona a força eletrostática com a força de restauração mecânica devido a rigidez da viga ($F_e = k\Delta g$) é descrita por:

$$\frac{1}{2} \frac{\varepsilon_0 W w V^2}{g^2} = k(g_0 - g) \quad (67)$$

Com $g_0 = V_3 t + V_2 t$, a soma entre as espessuras da camada de ar e a camada inferior de nitreto de silício por baixo da fita de cobre segundo as variáveis assumidas para o *script* no Matlab. Além disso, g_0 representa a distância inicial ou máxima (no estado não atuado) entre uma fita de cobre da camada de blindagem e o eletrodo central da CPW.

Resolvendo a equação para V , a tensão, obtêm-se:

$$V(g) = \sqrt{\frac{2k}{\varepsilon_0 W w} g^2 (g_0 - g)} \quad (68)$$

Com um deslocamento de $2/3$ da posição inicial, o incremento da força eletrostática é maior do que o incremento da força de restauração elástica resultando em uma posição instável da viga e seu posterior colapso sobre o eletrodo central. Assim a tensão de *pull-in*, V_p é expressada como:

$$V_p = V\left(\frac{2g_0}{3}\right) = \sqrt{\frac{8k}{27\varepsilon_0 W w} (g_0)^3} \quad (69)$$

ANEXO C – PROGRAMAS DESENVOLVIDOS EM MATLAB USADOS PARA REALIZAR O MODELO ANALITICO RF-ELETROMECAÂNICO NESTE TRABALHO

1) PROGRAMA PARA O CÁLCULO DA INDUTÂNCIA ELÉTRICA

```

function [Lhen] = LHEN(Ws,Wg,D,ts,Scond,freq)
w = 2*pi*freq*1e9;
Ws = Ws *1e-6;
D = D *1e-6;
Wg = Wg *1e-6;
ts = ts*1e-6;

if Ws == Wg
    Ws =Ws+.01e-6;
end
cont = 0;
u0 = 4*pi*10^(-7);
s = (D-Ws/2);

LDC0 = LDC(Ws,Wg,s,ts);

k0 = Ws/(Ws+2*s);
k1 = k0 * sqrt((1-((Ws+2*s)/(Ws+2*s+2*Wg))^2) / ...
    (1-((Ws)/(Ws+2*s+2*Wg))^2) );
k2 = k0 * sqrt((1-((Ws+2*s)/(4*Ws+2*s))^2) / ...
    (1-((Ws)/(4*Ws+2*s))^2) );

a = Ws/2; b = Ws/2+s; th = ts/2;

[Kpk0,Epk0] = ellipke(sqrt(1-k0^2));

pc0 = b/2/a/(Kpk0)^2;
pc1 = 1 + log(8*pi*a/(a+b)) + a/(a+b) * log(b/a);
pc2 = pc1 - 2*a/b*(Kpk0)^2;
pc3 = 2*b^2/(a*b+a^2)*Epk0/Kpk0;
pc4 = (b-a)/(b+a)*log(8*pi*a/(a+b)+a/b);
pc5 = (b-a)/(b+a)*log(3);
pc6 = (b-a)/(b+a)*log(24*pi*b*(a+b)/(b-a)^2)-b/(b+a)*log(b/a);

[Kk1] = ellipke(k1);
[Kpk1] = ellipke(sqrt(1-k1^2));

tp = ts/2;

if ts<=s/2
    F0 = Kk1/Kpk1 + pc0* ( tp/s*(pc1-log(2*tp/s)) + (tp/s)^2 * (1-3/2*pc2 +
pc2*log(2*tp/s)) );
else
    F0 = Kk1/Kpk1 + pc0/8 *(pc2+2)+tp/2;
end

[Kk2] = ellipke(k2);
[Kpk2] = ellipke(sqrt(1-k2^2));

```

```

F1 = F0 + Kk2/Kpk2 - Kk1/Kpk1;

Lz1 = LDC(Ws,3/2*Ws,s,ts) - u0/4*1/F1;
Leinf = u0/4/F0;

if th<=s/2
    FLc = pc0/s* (1/(a+b)*(pi*b+b*log(8*pi*a/(a+b)) - (b-a)*log((b-
a)/(b+a)) - b*log(2*th/s)) ...
    +th/s*(pc1*pc3-pc2-b/a*pc4+pc5+(pc2-pc3+b/a-1-pc5)*log(2*th/s)) ...
    +(th/s)^2 *(pc3*(1-3/2*pc1)+3/2*pc1-2*pc2+1+3/2*b/a*pc4-b/a*(b-
a)/(b+a)) ...
    +(2*pc2+pc1*(pc3-1)-b/a*pc4)*log(2*ts/s));

    FLg = pc0/s* (1/(a+b)*(pi*a+a*log(8*pi*b/(b-a)) + b*log((b-a)/(b+a)) -
a*log(2*th/s)) ...
    +th/s*(a/b*pc1*pc3+(1-a/b)*pc1-pc2-pc4-pc5+(-a/b*pc3+pc2+a/b-
1+pc5)*log(2*th/s)) ...
    +(th/s)^2 *(a/b*pc3*(1-3/2*pc1)+3/2*a/b*pc1-2*pc2+2-a/b+3/2*pc4-(b-
a)/(b+a)) ...
    +(2*pc2+a/b*pc1*(pc3-1)-pc4)*log(2*ts/s));
else
    FLc = 1/2/s+th/s^2+pc0/s*(pi*b/(a+b) +1/2*pc6+1/8*(-pc1+pc3*(pc1+2)-
b/a*pc4-2*(a^2+b^2)/(a^2+a*b)));

    FLg = 1/2/s+th/s^2+pc0/s*(pi*a/(a+b) - 1/2*pc6+1/8*(-
a/b*pc1+a/b*pc3*(pc1+2)-pc4-2*(a^2+b^2)/(a^2+a*b)));
end

WL0 = 4/(u0*Scond*ts*Wg);
WL1 = 4/(u0*Scond*ts*Ws);
WL2 = 18/(u0*Scond*ts^2);

Lz2 = sqrt(u0/(2*WL2*Scond))*(FLc+FLg)/(4*F0^2);

Vz1 = log((LDC0-Leinf)/Lz1)/log(WL0/WL1);
Vz2 = log(Lz1/Lz2)/log(WL1/WL2);
n1 = (Ws/Wg)^4*Vz1/(4-Vz1); n2 = (Ws/Wg)^2*Vz1/(4-Vz1);
n3 = (2*ts/(9*Ws))^3*(Vz2-0.5)/(Vz2+5/2);
n4 = (2*ts/(9*Ws))*(Vz2+0.5)/(Vz2+5/2);

a3L = ((Vz2-Vz1)*(1+n1)*(1-n4)+4*n2+n4*(1-3*n1))/((Vz1-Vz2)*(1+n1)*(1-
n3)+4-n3*(1-3*n1));
a2L = 1/(1+n1) * (a3L*(1-n3)-n2-n4);
a4L = -9/2*Ws/ts*(n4+a3L*n3);
a5L = (2/9*ts/Ws)^2*a3L+a4L;
a1L = Vz1/(4-Vz1)+n2*a2L;
a0L = (1-Leinf/LDC0)*(a1L+(Ws/Wg)^2*a2L);

if w<=WL0
    Lhen = LDC0*(1+a0L*(w/WL0)^2);

elseif WL0<=w && w<=WL1
    Lhen = Leinf + Lz1 *(w/WL1)^Vz1 * (1+a1L * (WL0/w)^2+a2L*(w/WL1)^2);

elseif WL1<=w && w<=WL2
    Lhen = Leinf + Lz2 *(w/WL2)^Vz2 * (1+a3L * (WL1/w)^2+a4L*(w/WL2));

elseif w>=WL2

```

```

    Lhen = Leinf + sqrt(u0/(2*w*Scond)) * (FLc+FLg)/(4*F0^2) *
    (1+a5L*(WL2/w));

end
end

```

2) PROGRAMA PARA O CÁLCULO DA CAPACITÂNCIA ELÉTRICA

```

function [Ctot,Ctots,Ctotg] =
Capa_SCPW(Ws,Wg,l,ts,tf,hs,hg,Eri,Ers,Erdps,SS,SL)
Eo = 8.85e-12;
Ws = Ws*1e-6;
Wg = Wg*1e-6;
l = l*1e-6;
ts = ts*1e-6;
tg=ts;
tf = tf *1e-6;
hs =hs*1e-6;
hg =hg*1e-6;
SS = SS*1e-6;
SL = SL*1e-6;
n = 100;
Cpp = Eo*Eri*SL*Ws/hs; % Capacitância de placa superior

dyp = (SS/2)*linspace(0,1,n); % Lower terminal of Cplate
ynp = pi .* (3.*(hs+dyp)-sqrt((3.*hs+dyp).*(hs+3.*dyp)))/3.9834;
Ctlp = sum(Eo*Eri*SS/n/2*Ws./ynp)*2;

Cp = Cpp + Ctlp;

hp = ts*linspace(0,1,n)+hs; % Raio
dy = pi.*hp/2; % Perimetro
Cfr = sum(Eo*Ers*ts/n*1./dy)*2; %C borda

dx = hs*linspace(0,1,n); % Terminal inferior
yn = pi .* (3.*(hs+dx)-sqrt((3.*hs+dx).*(hs+3.*dx)))/3.9834;
Ctl = sum(Eo*Eri*hs/n*1./yn)*2;

hmax = sqrt((Ws/2)^2+(hs+ts)^2);

W = (hmax-hs-ts)*2;

hy = linspace(hs+ts,hmax,n);
b = sqrt(hy.^2-(hs+ts).^2);
a = hy-(hs+ts);
hyp = pi.*(3*(b+a)-sqrt((3*b+a).*(b+3*a)))/4;

dy = pi/2*hy;

Cipp = sum(Eo*Erdps*W/n/2*1./dy)*2;
Cipp2 = sum(Eo*Erdps*Ws/(n-1)/2*1./hyp(2:end))*2;
Ci = (Cipp*Cipp2)/(Cipp+Cipp2);

Ctots = Cp+Cfr+Ctl+Ci;

%% Contato de terra

```

```

Cppg = Eo*Eri*SL*Wg/hg; % Capacitância de placa superior

dxp = (SS/2)*linspace(0,1,n); % Capacitância de placa inferior
ynp = pi .* (3.*(hs+dxp)-sqrt((3.*hs+dxp).*(hs+3.*dxp)))./4;
Ctllpg = sum(Eo*Eri*SS/n/2*Wg./ynp)*2;

Cpg = Cppg + Ctllpg;

hpg = tg*linspace(0,1,n)+hg; % Raio
dyg = pi.*hpg/2; % Perimetro
Cfrg = sum(Eo*Ers*tg/n*1./dyg); %Cg borda

hpgp = tg*linspace(0,1,n)+(hg/2); % Raio
dygp = pi.*hpgp/2; % Perimetro
Cfrp = sum(Eo*Ers*tg/n*1./dygp); %Cg borda

hpgpp = (ts-tf)*linspace(0,1,n)+(tf); % Raio
dygpp = pi.*hpgpp/2; % Perimetro
Cfrpp = sum(Eo*Ers*(ts-tf)/n*1./dygpp); %Cg borda

dxp = hs*linspace(0,1,n)/2;
ynp = pi .* (3.*(hs/2+dxp)-sqrt((3.*hs/2+dxp).*(hs/2+3.*dxp)))./4;
Ctllp = sum(Eo*Eri*hs/2/n*1./ynp);

Ceq1 = Cfrp + Ctllp;
Ceq2 = Cfrp*Cfrpp/(Cfrp+Cfrpp) + Ctllp;
Ceq = Ceq1*Ceq2/(Ceq1+Ceq2);

dx = hs*linspace(0,1,n);
yn = pi .* (3.*(hs+dx)-sqrt((3.*hs+dx).*(hs+3.*dx)))./4;
Ctllg = sum(Eo*Eri*hg/n*1./yn);

Ctug= 0*Eo*Ers*1*2/pi/2;% Termianl superior

hmaxg = sqrt((Wg/2)^2+(hg+tg)^2);

hyg = linspace(hg+tg,hmaxg,n);
bg = sqrt(hyg.^2-(hg+tg).^2);
ag = hyg-(hg+tg);
hypg = pi.*(3*(bg+ag)-sqrt((3*bg+ag).*(bg+3*ag)))/4;
dyg = pi/2*hyg + hypg;
Cig = sum(Eo*Erdps*Wg/n/2*1./dyg);

Ctotg = Cpg+Cfrg+Ctllg+Ctug+Cig+Ceq;

Ctot = 2*Ctotg*Ctots/(2*Ctotg+Ctots); % Capacitancia total

```

End

3) PROGRAMA PARA O CÁLCULO DA RESISTENCIA ELÉTRICA NOS CONDUTORES DA CPW

```

function [RSCPW] = RScpw(Ws,Wg,D,ts,hs,Scond,freq)
w = 2*pi*freq*1e9;
Ws = Ws *1e-6;
Wg = Wg *1e-6;
D = D *1e-6;
u0 = 4*pi*10^(-7);

```

```

s = (D-Ws/2);
ts = ts*1e-6;
hs =hs*1e-6;
%%
k0 = Ws/(Ws+2*s);
k1 = k0 * sqrt((1-((Ws+2*s)/(Ws+2*s+2*Wg))^2) / ...
    (1-((Ws)/(Ws+2*s+2*Wg))^2) );
k2 = k0 * sqrt((1-((Ws+2*s)/(4*Ws+2*s))^2) / ...
    (1-((Ws)/(4*Ws+2*s))^2) );

a = Ws/2; b = Ws/2+s; th = ts/2;

[Kpk0,Epk0] = ellipke(sqrt(1-k0^2));

pc0 = b/2/a/(Kpk0)^2;
pc1 = 1 + log(8*pi*a/(a+b)) + a/(a+b) * log(b/a);
pc2 = pc1 - 2*a/b*(Kpk0)^2;
pc3 = 2*b^2/(a*b+a^2)*Epk0/Kpk0;
pc4 = (b-a)/(b+a)*log(8*pi*a/(a+b)+a/b);
pc5 = (b-a)/(b+a)*log(3);
pc6 = (b-a)/(b+a)*log(24*pi*b*(a+b)/(b-a)^2)-b/(b+a)*log(b/a);

[Kk1] = ellipke(k1);
[Kpk1] = ellipke(sqrt(1-k1^2));

tp = ts/2;

if tp<=s/2%ts<=s/2
    F0 = Kk1/Kpk1 + pc0* ( tp/s*(pc1-log(2*tp/s)) + (tp/s)^2 * (1-3/2*pc2 +
pc2*log(2*tp/s)) );
else
    F0 = Kk1/Kpk1 + pc0/8 *(pc2+2)+tp/2;
end

[Kk2] = ellipke(k2);
[Kpk2] = ellipke(sqrt(1-k2^2));

F1 = F0 + Kk2/Kpk2 - Kk1/Kpk1;

if th<=s/2
    FLc = pc0/s* (1/(a+b)*(pi*b+b*log(8*pi*a/(a+b)) - (b-a)*log((b-
a)/(b+a))- b*log(2*th/s)) ...
    +th/s*(pc1*pc3-pc2-b/a*pc4+pc5+(pc2-pc3+b/a-1-pc5)*log(2*th/s)) ...
    +(th/s)^2 *(pc3*(1-3/2*pc1)+3/2*pc1-2*pc2+1+3/2*b/a*pc4-b/a*(b-
a)/(b+a)) ...
    +(2*pc2+pc1*(pc3-1)-b/a*pc4)*log(2*ts/s));

    FLg = pc0/s* (1/(a+b)*(pi*a+a*log(8*pi*b/(b-a)) + b*log((b-a)/(b+a))-
a*log(2*th/s)) ...
    +th/s*(a/b*pc1*pc3+(1-a/b)*pc1-pc2-pc4-pc5+(-a/b*pc3+pc2+a/b-
1+pc5)*log(2*th/s)) ...
    +(th/s)^2 *(a/b*pc3*(1-3/2*pc1)+3/2*a/b*pc1-2*pc2+2-a/b+3/2*pc4-(b-
a)/(b+a)) ...
    +(2*pc2+a/b*pc1*(pc3-1)-pc4)*log(2*ts/s));
else
    FLc = 1/2/s+th/s^2+pc0/s*(pi*b/(a+b) +1/2*pc6+1/8*(-pc1+pc3*(pc1+2)-
b/a*pc4-2*(a^2+b^2)/(a^2+a*b)));

```

```

    FLg = 1/2/s+th/s^2+pc0/s*(pi*a/(a+b) - 1/2*pc6+1/8*(-
a/b*pc1+a/b*pc3*(pc1+2)-pc4-2*(a^2+b^2)/(a^2+a*b)));
end

%%
Wc1 = sqrt(2) * 4/(u0*Scond*ts*Ws);
Wc2 = 8/(u0*Scond)*( (Ws+ts)/(Ws*ts))^2;
Wg1 = 2/(u0*Scond*ts*Wg);
Wg2 = 2/(u0*Scond)*( (2*Wg+ts)/(Wg*ts))^2;

Rc0 = 1/(Scond*Ws*ts);
Rc1 = sqrt(Wc2*u0/(2*Scond))*FLc/(4*F0^2);
Rg0 = 1/(2*Scond*Wg*ts);
Rg1 = sqrt(Wg2*u0/(2*Scond))*FLg/(4*F0^2);

Vc = log(Rc0/Rc1)/log(Wc1/Wc2);
Vg = log(Rg0/Rg1)/log(Wg1/Wg2);

gmc = (Wc1/Wc2)^2;
gmg = (Wg1/Wg2)^2;

a4c = (gmc*Vc+1/4*(0.5-Vc)*(4-Vc*(1-gmc^2)))/(4-Vc-1/4*(0.5-Vc)*(4-Vc*(1-
gmc^2)));
a3c = 1/4*(0.5-Vc)*(1+a4c);
a2c = 1/gmc*(a4c-a3c);
a1c = a2c+gmc*a3c;

a4g = (gmg*Vg+1/4*(0.5-Vg)*(4-Vg*(1-gmg^2)))/(4-Vg-1/4*(0.5-Vg)*(4-Vg*(1-
gmg^2)));
a3g = 1/4*(0.5-Vg)*(1+a4g);
a2g = 1/gmg*(a4g-a3g);
a1g = a2g+gmg*a3g;

if w<=Wc1
    Rc = Rc0*(1+a1c*(w/Wc1)^2);
elseif Wc1<=w && w<=Wc2
    Rc = Rc1 * (w/Wc2)^Vc * (1+a2c * (Wc1/w)^2+a3c*(w/Wc2)^2);
elseif w>=Wc2
    Rc = sqrt(w*u0/(2*Scond)) * (FLc)/(4*F0^2) * (1+a4c*(Wc2/w));
end

if w<=Wg1
    Rg = Rg0*(1+a1g*(w/Wg1)^2);
elseif Wg1<=w && w<=Wg2
    Rg = Rg1 * (w/Wg2)^Vg * (1+a2g * (Wg1/w)^2+a3g*(w/Wg2)^2);
elseif w>=Wg2
    Rg = sqrt(w*u0/(2*Scond)) * (FLg)/(4*F0^2) * (1+a4g*(Wg2/w));
end

%%
RcSE = sqrt(w*u0/(2*Scond))*FLc/(4*F0^2);
RgSE = sqrt(w*u0/(2*Scond))*FLg/(4*F0^2);
%%
RSCPW = (Rc+Rg);%*1.5;%*log(Ws/ts+1.5);
RSCPW = (RcSE+RgSE);%*1.5;
R = RSCPW;
An = 1/sqrt(pi*u0*Scond*freq*1e9);
Hrms = 0;%200e-9;
Kh = 1 + 2/pi *atan(1.4*(Hrms/An)^2);

```

```
RSCPWs = 1 / Scond * sqrt((1 / (Ws * ts)) ^ 2 + (Kh / (1.5 * (Ws + ts) * An)) ^ 2);
RSCPWg = 1 / Scond * sqrt((1 / (Wg * ts)) ^ 2 + (Kh / (1.5 * (Wg + ts) * An)) ^ 2);
```

```
if ts/hs <= 1
    RSCPWm = (RSCPWs + RSCPWg) * (1 + atan(ts/hs) * 1.25); %
    (1 + atan(Ws/s) * 0.75); % * (1 + atan(ts/hs) * 0.25);
    RSCPW = (R + RSCPWm) / 2;
else
    RSCPWm =
    (RSCPWs + RSCPWg) * atan(ts/hs) * 1.15; % (1 + atan(Ws/s) * 1) * (1 + atan(ts/hs) * 0.25);
    RSCPW = (R + RSCPWm) / 2;
end

end
```

4) PROGRAMA PARA O CÁLCULO DA RESISTENCIA ELÉTRICA NAS FITAS DA CAMADA DE BLINDAGEM

```
RP = 1 / (2 * nf) * (Lf / (Fsigma * (SL * 1e-6) * (tf * 1e-6))); % Finger resitance
Rp(W,i) = RP;
```

5) PROGRAMA PARA O CÁLCULO DOS PARÂMETROS RF DE SAIDA

```
for W=1:length(Ws)
    for i=1:length(F)
        f = F(i);
        w = 2 * pi * f * 1e9;

        [Capa, Ctots, Ctotg] =
        Capa_SCPW(Ws(W), Wg, l, ts, tf, hs, hg, Eri, Ers, Erdps, SS, SL); % CAPACITANCE
        C(W,i) = Capa;

        [Lhen] = LHEN(Ws(W), Wg, D/2.5, ts, Ssigma, f); % INDUCTANCE
        L(W,i) = Lhen * 1e-6;

        [RSCPW] = RScpw(Ws(W), Wg, D/2.5, ts, hs, Ssigma, f); % RS
        Rs(W,i) = RSCPW * 1e-6;

        RP = 1 / (2 * nf) * (Lf / (Fsigma * (SL * 1e-6) * (tf * 1e-6))); % Finger resitance
        Rp(W,i) = RP;

        %% ZC, Eeff, alpha, Q factor estimation
        XL = L(W,i) * w; XC = -1 / (w * C(W,i));
        abcd = [1 (Rs(W,i) + 1j * XL) / 2; 0 1] * [1 0; 1 / (Rp(W,i) + 1j * XC) 1] * [1
        (Rs(W,i) + 1j * XL) / 2; 0 1];

        LossMODEL(W,i) = real(acosh(abcd(1,1))) / 1e-6 * 8.68 / 1000;
        BetaMODEL(i) = imag(acosh(abcd(1,1))) / 1e-6;
        EeffMODEL(W,i) = (3 * 1e8 / 2 / pi * (BetaMODEL(i))) / (f * 1e9) ^ 2;
        ZcMODEL(W,i) = real(sqrt(abcd(1,2) / abcd(2,1)));
        QMODEL(W,i) = imag(acosh(abcd(1,1))) / 2 / real(acosh(abcd(1,1)));
    end
end
```


5) PROGRAMA PARA O CÁLCULO DOS PARÂMETROS ELETROMECÂNICOS DE SAÍDA

```
function vnpodielectric_Callback(hObject, eventdata, handles)
syms v k g g0 td e0 W w er %considerando aporte do dieletrico 0.2
v=sqrt((2*k*g^2*(g0+td-g))/(e0*W*w));
dv=diff(v,'g');
up=solve(dv,'g');
vp=subs(v,g,up)
Ws = get(handles.Wsslider,'Value'); %signal eletrode CPW
Ws=Ws*10^-6;
Wg = get(handles.Wgslider,'Value'); %ground eletrode CPW
Wg=Wg*10^-6;
D = get(handles.Dslider,'Value'); %distance between ground eletrodes CPW
D=D*10^-6;
SL = get(handles.SLslider,'Value'); % in um (Strip length)
SL=SL*10^-6;
tSiN1=get(handles.v1t,'Value'); %thickness-espessura SiN da viga
tSiN1=tSiN1*10^-6;
tSiN2=get(handles.v2t,'Value'); %thickness-espessura SiN da viga
tSiN2=tSiN2*10^-6;
tCu=get(handles.m2t,'Value'); %thickness-espessura Cu da viga
tCu=tCu*10^-6;
g0=get(handles.v3t,'Value'); %non active state distance-distância
inicial/zero bias bridge height
g0=g0*10^-6;
td=tSiN2; %thickness of the dielectric layer SiN
er=get(handles.v2e,'Value'); %relative dielectric constant of the
dielectric constant
ECu=110e9; %Young's modulus Cu dados Robert
ESiN=100e9; %Young's modulus SiN dados Robert
w=SL; %wCu or wSiN
W=Ws;
L=get(handles.Lbeam,'Value'); %Comprimento da Viga
L=L*10^-6;
x=(L/2)+(Ws/2);
sCu=100e6; %biaxial residual stress Cu
% sSiN=14e6; %biaxial residual stress SiN
sSiN=100e6; %biaxial residual stress SiN
% pCu=0.308; %Poisson's ratio Cu
pCu=0.34; %Poisson's ratio Cu
% pSiN=0.3; %Poisson's ratio SiN
pSiN=0.22; %Poisson's ratio SiN dados Robert
e0=8.8541878176e-12;
E=(ECu*tCu+ESiN*tSiN1+ESiN*tSiN2)/(tCu+tSiN1+tSiN2); %Modulo de Young
bimaterial
t=tCu+tSiN1+tSiN2 %Espessura total
s=(sCu*tCu+sSiN*tSiN1+sSiN*tSiN2)/(tCu+tSiN1+tSiN2); %Poisson
p=(pCu*tCu+pSiN*tSiN1+pSiN*tSiN2)/(tCu+tSiN1+tSiN2);
k1=32*E*w*((t/L)^3)*(1/(8*((x/L)^3)-20*((x/L)^2)+14*(x/L)-1));
k2=0; %Assumindo estresse residual
k=k1+k2; %Constante elástica total
vpt=eval(vp)
ks=(pi^4*E*w*t)/(8*L^3);
% Calculo de tensão de Hold Down
g=0;%gap igual 0, análise em estado atuado
Vp=sqrt((8*k*(g0+td)^3)/(27*e0*W*w))%considerando aporte do dieletrico 0.2
Vh=sqrt(((2*(k*(g0-g)+ks*(g0-g)^3))/(e0*w*W*0.7))*((g+(td/er))^2)) %Tensão
de Hold Down
Fele=(Vh^2/2)*(e0*w*W*0.7/(((g+(td/er))^2)))
Fres=(k*(g0-td)+ks*(g0-td)^3)
```

REFERÊNCIAS

- ÅBERG, J. et al. Waveguide-integrated MEMS-based phase shifter for phased array antenna. **IET Microwaves, Antennas & Propagation**, v. 8, n. 4, p. 235–243, 18 mar. 2014.
- BAGHCHEHSARAEI, Z. et al. **Millimeter-wave SPST Waveguide switch based on reconfigurable MEMS surface**. 2013 IEEE MTT-S International Microwave Symposium Digest (MTT). **Anais...IEEE**, jun. 2013.
- BAUTISTA, A.; FRANC, A.-L.; FERRARI, P. Accurate Parametric Electrical Model for Slow-Wave CPW and Application to Circuits Design. **IEEE Transactions on Microwave Theory and Techniques**, v. 63, n. 12, p. 4225–4235, dez. 2015.
- BAUTISTA, A.; FRANC, A.-L.; FERRARI, P. **An accurate parametric electrical model for slow-wave CPW**. 2015 IEEE MTT-S International Microwave Symposium. **Anais...IEEE**, maio 2015.
- BEHZAD, B. et al. **MEMS-based reflective-type phase-shifter for emerging millimeter-wave communication systems** **Sign In or Purchase**. EuMA, 2010.
- BIGLARBEGIAN, B. et al. **A Wideband 90° continuous phase shifter for 60GHz phased array transceiver in 90nm CMOS technology**. [s.l.] IEEE, 2009.
- BOUSTEDT, K. **GHz flip chip-an overview**. Electronic Components & Technology Conference, 1998. 48th IEEE. **Anais...IEEE**, 2002.
- BOVADILLA, R. G. et al. **Distributed MEMS phase shifter for millimeter-wave applications**. 28th Symposium on Microelectronics Technology and Devices (SBMicro 2013). **Anais...IEEE**, set. 2013.
- BOYD, C. R. **A 60 GHz Dual-Mode Ferrite Phase Shifter**. MTT-S International Microwave Symposium Digest. **Anais...MTT005**, [s.d.]
- CHANG, C.-C.; CHEN, Y.-C.; HSIEH, S.-C. **A V-Band Three-State Phase Shifter in CMOS-MEMS Technology**. IEEE Microwave and Wireless Components Letters, v. 23, n. 5, p. 264–266, maio 2013.
- CHANG, K. **RF and microwave wireless systems**. 1. ed. New York, New York, USA: Wiley, 2000.
- CHENG, R. et al. **FC Cu pillar package development for broad market applications**. 2015 IEEE 65th Electronic Components and Technology Conference (ECTC). **Anais...IEEE**, maio 2015.
- CHEUNG, T. S. D.; LONG, J. R. **Shielded Passive Devices for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits**. IEEE Journal of Solid-State Circuits, v. 41, n. 5, p. 1183–1200, maio 2006.

CHEUNG, T. S. D. et al. **On-chip interconnect for mm-wave applications using an all-copper technology and wavelength reduction**. 2003 IEEE International Solid-State Circuits Conference, 2003.

DANESHMAND, M.; MANSOUR, R. R. **Multiport MEMS-based waveguide and coaxial switches**. *IEEE Transactions on Microwave Theory and Techniques*, v. 53, n. 11, p. 3531–3537, nov. 2005.

DANESHMAND, M.; MANSOUR, R. R.; SARKAR, N. **RF MEMS Waveguide Switch**. *IEEE Transactions on Microwave Theory and Techniques*, v. 52, n. 12, p. 2651–2657, dez. 2004.

DANIELS, R.; HEATH JR., R. 60 GHz wireless communications: emerging requirements and design recommendations. *IEEE Vehicular Technology Magazine*, v. 2, n. 3, p. 41–50, set. 2007.

EISENSTADT, W. R.; EO, Y. **S-parameter-based IC interconnect transmission line characterization**. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, v. 15, n. 4, p. 483–490, 1992.

FERRARI, P., REHDER, G., BENECH, P. **Tunable high-frequency transmission line**. WO2011117532, 29.09.2011.

FRANC, A.-L. et al. **Compact and Broadband Millimeter-Wave Electrically Tunable Phase Shifter Combining Slow-Wave Effect With Liquid Crystal Technology**. *IEEE Transactions on Microwave Theory and Techniques*, v. 61, n. 11, p. 3905–3915, nov. 2013.

FRANC, ANNE-LAURE; PISTONO, EMMANUEL; FERRARI, P. **Design guidelines for high performance slow-wave transmission lines with optimized floating shield dimensions**. *Microwave Conference (EuMC), 2010 European*, p. 1190–1193, 2010.

FRANC, A.-L. et al. **High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters**. *IEEE Transactions on Electron Devices*, v. 59, n. 5, p. 1219–1226, maio 2012.

FRANC, A.-L. et al. **A Lossy Circuit Model Based on Physical Interpretation for Integrated Shielded Slow-Wave CMOS Coplanar Waveguide Structures**. *IEEE Transactions on Microwave Theory and Techniques*, v. 61, n. 2, p. 754–763, fev. 2013.

GAVIDIA BOVADILLA, Robert Aleksander. **Defasador baseado em MEMS distribuídos para aplicações em ondas milimétricas**. Tese de Mestrado. Universidade de São Paulo.

GERBER, M. et al. **Next generation fine pitch Cu Pillar technology — Enabling next generation silicon nodes**. 2011 IEEE 61st Electronic Components and Technology Conference (ECTC). *Anais...IEEE*, maio 2011.

GONG, S.; SHEN, H.; BARKER, N. S. **A 60-GHz 2-bit Switched-Line Phase Shifter Using SP4T RF-MEMS Switches**. *IEEE Transactions on Microwave Theory and Techniques*, v. 59, n. 4, p. 894–900, abr. 2011.

GUO, N. et al. **60-GHz Millimeter-Wave Radio: Principle, Technology, and New Results.** *EURASIP Journal on Wireless Communications and Networking*, v. 2007, n. 1, p. 1–8, 2007.

HEINRICH, W. **Quasi-TEM description of MMIC coplanar lines including conductor-loss effects.** *IEEE Transactions on Microwave Theory and Techniques*, v. 41, n. 1, p. 45–52, 1993.

HEINRICH, W. **The flip-chip approach for millimeter wave packaging.** *IEEE Microwave Magazine*, v. 6, n. 3, p. 36–45, set. 2005.

HIGGINS, J. A. et al. **Ka -band waveguide phase shifter using tunable electromagnetic crystal sidewalls.** *IEEE Transactions on Microwave Theory and Techniques*, v. 51, n. 4, p. 1281–1288, abr. 2003.

HONG-TEUK KIM et al. **V-band 2-b and 4-b low-loss and low-voltage distributed MEMS digital phase shifter using metal-air-metal capacitors.** *IEEE Transactions on Microwave Theory and Techniques*, v. 50, n. 12, p. 2918–2923, dez. 2002.

HUNG, J.-J.; DUSSOPT, L.; REBEIZ, G. M. **Distributed 2- and 3-bit W-Band MEMS Phase Shifters on Glass Substrates.** *IEEE Transactions on Microwave Theory and Techniques*, v. 52, n. 2, p. 600–606, fev. 2004.

IANNACCI, J. **Practical guide to RF-MEMS.** [s.l.] Wiley-VCH, 2013.

IANNACCI, J.; FAES, A.; MARGESIN, B. **MEMS technology for RF passive components.** Proceedings of the 4th International Symposium on Applied Sciences in Biomedical and Communication Technologies - ISABEL '11. *Anais...*New York, New York, USA: ACM Press, 2011.

JAE-HYOUNG PARK et al. **V-band reflection-type phase shifters using micromachined CPW coupler and RF switches.** *Journal of Microelectromechanical Systems*, v. 11, n. 6, p. 808–814, dez. 2002.

KIM, S. Y.; REBEIZ, G. M. **A 4-Bit Passive Phase Shifter for Automotive Radar Applications in 0.13 μm CMOS.** 2009 Annual IEEE Compound Semiconductor Integrated Circuit Symposium. *Anais...*IEEE, out. 2009.

KRAEMER, M. et al. **A wideband single-balanced down-mixer for the 60 GHz band in 65 nm CMOS.** *IEEE*, n. 2010 Asia-Pacific Microwave Conference, p. 1849–1852, 2010.

LAKSHMINARAYANAN, B.; WELLER, T. M. **Optimization and Implementation of Impedance-Matched True-Time-Delay Phase Shifters on Quartz Substrate.** *IEEE Transactions on Microwave Theory and Techniques*, v. 55, n. 2, p. 335–342, fev. 2007.

LIU, X. et al. **High-Q Tunable Microwave Cavity Resonators and Filters Using SOI-Based RF MEMS Tuners.** *Journal of Microelectromechanical Systems*, v. 19, n. 4, p. 774–784, ago. 2010.

MAHAN, J. E. **Physical Vapor Deposition of Thin Films.** [s.l.] Wiley, 2000. v. -1

MCFEETORS, G.; OKONIEWSKI, M. **Distributed MEMS analog phase shifter with enhanced tuning**. *IEEE Microwave and Wireless Components Letters*, v. 16, n. 1, p. 34–36, jan. 2006.

MENG, F. et al. **Miniaturized 3-bit Phase Shifter for 60 GHz Phased-Array in 65 nm CMOS Technology**. *IEEE Microwave and Wireless Components Letters*, v. 24, n. 1, p. 50–52, jan. 2014.

MILANOVIC, V. et al. **Characterization of broad-band transmission for coplanar waveguides on CMOS silicon substrates**. *IEEE Transactions on Microwave Theory and Techniques*, v. 46, n. 5, p. 632–640, maio 1998.

MUELLER, S. et al. **Passive Phase Shifter for W-Band Applications using Liquid Crystals**. 2006 European Microwave Conference. *Anais...IEEE*, set. 2006.

NATARAJAN, A. et al. **A Fully-Integrated 16-Element Phased-Array Receiver in SiGe BiCMOS for 60-GHz Communications**. *IEEE Journal of Solid-State Circuits*, v. 46, n. 5, p. 1059–1075, maio 2011.

PELEGRINI, M. V. et al. **Interposer based on metallic-nanowire-membrane (MnM) for mm-wave applications**. 2016 46th European Microwave Conference (EuMC). *Anais...IEEE*, out. 2016.

PELLICCIA, LUCA; FARINELLI, PAOLA; SORRENTINO, R. **MEMS-based high-Q reconfigurable E-plane filters**. *Microwave Conference (EuMC), 2011 41st European*, p. 369–372, 2011.

POPOV, M. A.; ZAVISLYAK, I. V.; SRINIVASAN, G. **Magnetic field tunable 75–110 GHz dielectric phase shifter**. *Electronics Letters*, v. 46, n. 8, p. 569, 2010.

PSYCHOGIOU, D. et al. **Continuously variable W-band phase shifters based on MEMS-actuated conductive fingers**. *International Journal of Microwave and Wireless Technologies*, v. 5, n. 4, p. 477–489, 3 ago. 2013.

QUEMERAIS, T. et al. **High-Q MOS Varactors for Millimeter-Wave Applications in CMOS 28-nm FDSOI**. *IEEE Electron Device Letters*, v. 36, n. 2, p. 87–89, fev. 2015.

REBEIZ, G. **RF MEMS Theory, Design. Technology** (John Wiley & Sons, Inc., New York, 2003), 2002.

REHDER, G.; VO, T.; FERRARI, P. **Development of a slow-wave MEMS phase shifter on CMOS technology for millimeter wave frequencies**. *Microelectronic Engineering*, v. 90, p. 19–22, fev. 2012.

SEKI, S.; HASEGAWA, H. **Cross-tie slow-wave coplanar waveguide on semi-insulating GaAs substrates**. *Electronics Letters*, v. 17, n. 25–26, p. 940, 1981.

SOMJIT, N.; STEMME, G.; OBERHAMMER, J. **Binary-Coded 4.25-bit-band Monocrystalline-Silicon MEMS Multistage Dielectric-Block Phase Shifters**. *IEEE Transactions on Microwave Theory and Techniques*, v. 57, n. 11, p. 2834–2840, nov. 2009.

STERNER, M. et al. **RF MEMS High-Impedance Tuneable Metamaterials for Millimeter-Wave Beam Steering**. 2009 IEEE 22nd International Conference on Micro Electro Mechanical Systems. **Anais...IEEE**, jan. 2009.

VERONA, B. M. et al. **Slow-wave distributed MEMS phase shifter in CMOS for millimeter-wave applications**. 2014 44th European Microwave Conference. **Anais...IEEE**, out. 2014.

WANG, G. et al. **On-chip high performance slow wave transmission lines using 3D steps for compact millimeter wave applications**. 2011 IEEE 61st Electronic Components and Technology Conference (ECTC). **Anais...IEEE**, maio 2011.

YU, Y. et al. **A 60GHz digitally controlled phase shifter in CMOS**. ESSCIRC 2008 - 34th European Solid-State Circuits Conference. **Anais...IEEE**, set. 2008.