

CAROLINA DAVANZZO GOMES DOS SANTOS

**ESTUDO DA MOBILIDADE EM DISPOSITIVOS SOI PLANARES
E DE MÚLTIPLAS PORTAS**

São Paulo

2010

CAROLINA DAVANZZO GOMES DOS SANTOS

**ESTUDO DA MOBILIDADE EM DISPOSITIVOS SOI PLANARES
E DE MÚLTIPLAS PORTAS**

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para a
obtenção do Título de Doutora em
Engenharia.

São Paulo

2010

CAROLINA DAVANZZO GOMES DOS SANTOS

**ESTUDO DA MOBILIDADE EM DISPOSITIVOS SOI PLANARES
E DE MÚLTIPLAS PORTAS**

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para a
obtenção do Título de Doutora em
Engenharia.

Área de Concentração: Microeletrônica

Orientador:

Prof. Dr. João Antonio Martino

São Paulo

2010

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com anuência de seu orientador.

São Paulo, 19 de novembro de 2010.

Carolina Davanzo Gomes dos Santos

João Antonio Martino

FICHA CATALOGRÁFICA

Santos, Carolina Davanzo Gomes dos
Estudo da mobilidade em dispositivos SOI planares e de
múltiplas portas / C.D.G. dos Santos. -- São Paulo, 2010.
208 p.

Tese (Doutorado) - Escola Politécnica da Universidade de
São Paulo. Departamento de Engenharia de Sistemas Eletrô-
nicos.

1. Semicondutores 2. Transistores 3. Baixa temperatura
4. Microeletrônica I. Universidade de São Paulo. Escola Politéc-
nica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

DEDICATÓRIA

Dedico este trabalho aos meus pais Valdiney e Fátima, que me propiciaram uma vida digna onde eu pudesse crescer, acreditando que tudo é possível, desde que sejamos honestos, íntegros, de caráter e tendo a convicção de que desistir nunca seja uma ação contínua em nossas vidas; que sonhar e concretizar os sonhos só dependerá de nossa vontade. Amo vocês!

AGRADECIMENTOS

Ao orientador Prof. Dr. João Antonio Martino, pelo apoio, confiança, amizade, atenção, paciência, e pela oportunidade da realização deste trabalho.

A meus pais e minha irmã pelo apoio, carinho, incentivo e compreensão nos momentos difíceis, e de ausência, vocês são tudo para mim.

Ao Prof. Dr. Sorin Cristoloveanu, pela oportunidade da realização do doutorado sanduiche (Brasil/França), além da atenção, incentivo, e discussões no decorrer deste trabalho.

Ao amigo, mais que amigo Luciano Mendes Camillo pela compreensão, ajuda, incentivo, confiança, companheirismo e milhares de discussões, muito obrigada.

A minha amiga irmã Débora pela compreensão, amizade, apoio, e companheirismo. E em especial à minha afilhada Karolina, meu maior presente.

Ao Prof. Dr. Salvador P. Gimenes e Noel Rodriguez pela atenção, incentivo, e discussões no decorrer deste trabalho.

Aos amigos Milene Galeti, Michele Rodrigues e Vinícius Heltai pelo incentivo, discussões, e apoio durante esta jornada.

Aos colegas grupo SOI-CMOS pelo incentivo, discussões, e apoio durante este trabalho.

Ao Laboratório de Sistemas Integráveis da EPUSP, e ao IMEP- França pela infra-estrutura oferecida e ao CNPq e CAPES pelo apoio financeiro que permitiram a realização deste trabalho.

A meus avós Alcides, Dirce e Pedro (*in memoriam*) que não puderam ver onde cheguei, mas tenho certeza que mesmo de longe olham por mim. À minha avó Medina, pelo apoio, incentivo e principalmente por entender os momentos que não estive presente.

A minha eterna professora de piano, Agda que desde 1.993 acompanha minha evolução, me apoiando e incentivando, na música, na minha carreira profissional e na minha vida pessoal.

Aos amigos Kelly, Evelise, Patrícia, Paula Cristina, Rosemeire, Renata, Caroline, Carlos, Alexsander, Renato Fonseca, Leonardo, Murilo, Fábio, Juliana Kato, Danielle, Marcelo Emídio, Sara Beth, Luciana, Artur, Bruno, Peter, Samir, Rodrigo Amorim, Acácio, Rudolf, Ricardo Rangel, que direta ou indiretamente sempre estiveram ao meu lado, me apoiando e torcendo por mim.

Aos amigos que conheci na França e que foram muito importantes durante a minha permanência lá, Ana Julia, Ariana, Diana, Aline, Luana, Flora, Noel Rodriguez, Gustavo P. Rehder, Gustavo P. Guedes, Bruno, Vincent, Leonce, Mikhail, Giovanni, Luiz, Luiz Fernando Zanini, Vitor.

À meus familiares que me apoiaram e torceram por mim, e que compreenderam principalmente minha ausência.

Aos colegas do LSI pelo apoio e discussões, e a todos que direta ou indiretamente colaboraram na execução desse trabalho e que involuntariamente foram aqui omitidos.

“Bom mesmo é ir a luta com determinação, abraçar a vida com paixão, perder com classe e vencer com ousadia, pois o triunfo pertence a quem se atreve... A vida é muito para ser insignificante.”

Charles Chaplin

RESUMO

Este trabalho apresenta o estudo do comportamento da mobilidade de portadores em transistores SOI nMOS e pMOS avançados planares e de porta tripla através de simulações tridimensionais e resultados experimentais. Devido à sua estrutura física, os transistores de porta tripla apresentam duas mobilidades, uma referente ao canal de condução na porta superior (orientação cristalográfica $\langle 100 \rangle$) e uma referente ao canal de condução das portas laterais (orientação cristalográfica $\langle 110 \rangle$). Inicialmente foi feito um estudo comparativo dos métodos de extração da mobilidade através de simulações numéricas tridimensionais dos dispositivos de porta tripla, tendo como objetivo analisar o comportamento dos diferentes métodos de extração da mobilidade efetiva de portadores e separação das mobilidades da porta superior e laterais, para fazer a escolha dos métodos mais adequados para aplicação nos resultados experimentais. De modo geral todos os métodos estudados sofrem maior influência com a redução do comprimento de canal devido aos efeitos da resistência série e de canal curto. Dentre os métodos estudados o que apresenta maior influência com a redução do comprimento de canal é o “por $g_{m,máx}$ ” que apresentou maiores erros. E o método “por *Y-function*” apresentou o melhor comportamento com a redução do comprimento de canal, seguido pelo método “*Split C-V*”. Para os dispositivos com comprimento de canal acima de $0,5\mu\text{m}$ o maior erro encontrado foi de 13% para os métodos “McLarty” e “*Y-function*”. Neste caso os métodos “por $g_{m,máx}$ ” e “*Split C-V*” apresentaram melhores resultados. Com relação à largura de canal os métodos “por $g_{m,máx}$ ” e “*Split C-V*” tiveram os melhores resultados com a utilização de dispositivos de porta tripla. Foi observado que para dispositivos com W_{fin} maior que $0,7\mu\text{m}$ os maiores erros encontrados foram de 11,2 % para o método “*Y-function*” e 10% para o método “por $g_{m,máx}$ ”. No entanto, para dispositivos com W_{fin} menores que $0,7\mu\text{m}$ os métodos “*Y-function*” e “McLarty” apresentaram os piores resultados chegando a quase 50% de erro para o dispositivo mais estreito ($W_{fin} = 50\text{nm}$). Quanto aos métodos de separação das mobilidades todos os métodos estudados apresentaram bons resultados e se mostraram eficientes mostrando um erro máximo de 11,3%. O que os diferencia é o grau de dificuldade de aplicação. Posteriormente foram realizadas medidas experimentais a fim de possibilitar o entendimento dos fenômenos físicos relacionados à mobilidade de

portadores. Primeiramente foram analisados os dispositivos de porta tripla em temperatura ambiente e em baixa temperatura para dispositivos nMOS e pMOS. O estudo foi feito em dispositivos com diferentes comprimentos e larguras de canal a fim de analisar os efeitos das dimensões nesta tecnologia. Em seguida são apresentados os resultados para dispositivos SOI avançados planares em temperatura ambiente com variação da largura de canal e com aplicação de tensão no substrato, com objetivo de analisar o comportamento da mobilidade na primeira interface (óxido de porta/canal) e na segunda interface (óxido enterrado/canal). Esse estudo foi realizado com a aplicação de dois diferentes métodos de extração da mobilidade. Por fim foi feito um estudo de um novo método para extração da mobilidade de portadores chamado de magnetoresistência que consiste na aplicação de um campo magnético perpendicular ao fluxo de corrente do transistor. O uso do campo magnético altera a resistividade do canal, de onde é possível extrair a mobilidade. Foram apresentados os resultados com a utilização deste método para os dispositivos de porta tripla tipo nMOS com variação do comprimento de canal (90 a 910 nm) e da temperatura (200K a 77K).

Palavras-chave: Tecnologia SOI. Porta tripla. Mobilidade de portadores. Baixa temperatura. Magnetoresistência.

ABSTRACT

This work presents a study of the carrier mobility behavior in planar and triple gate advanced SOI nMOS and pMOS transistors through three-dimensional simulations and experimental results. Due to its physical structure, the triple gate transistors presents two mobilities, one referring to the conduction channel on the top gate (crystallographic orientation $\langle 100 \rangle$) and one referring to the conduction channel on the lateral gates (crystallographic orientation $\langle 110 \rangle$). Initially, a comparative study of the mobility extraction methods through three-dimensional numerical simulations of the triple gate devices was made, with the purpose to analyze the behavior of different effective carrier mobility and separation of top and lateral gates mobilities extraction methods, to make the choice of the suitable methods for application in the experimental results. From a general way, all the studied methods suffer higher influence with channel length reduction due to short channel and the series resistance effects. Among the studied methods, the method “by $g_{m,max}$ ” presents the higher influence with the channel length reduction that shows the bigger errors. The “Y-function” method presents the best behavior with the channel length reduction, followed by “Split C-V” method. For the devices with channel length above $0.5 \mu\text{m}$ the highest error founded was 13% for “McLarty” and “Y-function” methods. In this case the “ $g_{m,max}$ ” and “Split C-V” methods presented the better results. With regard to the channel width the “Split C-V” and “ $g_{m,max}$ ” methods presented the better results with the use of triple gate devices. It was observed that for devices with W_{fin} higher than $0.7 \mu\text{m}$ the highest errors founded were 11.2% for the “Y-function” method and 10% for “ $g_{m,max}$ ” method. Nevertheless, for devices with W_{fin} smaller than $0.7 \mu\text{m}$ the “Y-function” and “McLarty” methods presented the worst results arriving almost 50% of error for the narrowest device ($W_{fin} = 50\text{nm}$). With regard to mobilities separation methods all the studied methods presented good results and had shown efficient showing a maximum error of 11.3%. The difference between them is the application difficulty level. After that, experimental measures were made in order to make possible the understanding of physical phenomena related to carrier mobility. Firstly, it was analyzed the triple gate devices at room and low temperatures for nMOS and pMOS devices. The study was done in devices with different channel lengths and widths in order to analyze the dimensions effects in this technology. After that it was present the results for planar advanced SOI devices at room temperature with

variation of channel width and with the application of back gate voltage, with the purpose to analyze the behavior of the mobility in the first interface (gate oxide/channel) and second interface (buried oxide/channel). This study was done with the application of two different mobility extraction methods. Finally a study of a new mobility extraction method called magnetoresistance was made; this method consists in a perpendicular magnetic field application to transistor current flow. The uses of magnetic field change the channel resistivity, where it is possible to extract the mobility. It was presented results with the use of this method for triple gate nMOS devices with variation of channel length (90 a 910 nm) and temperature (200K to 77K).

Keywords: SOI technology. Triple gate. Carrier mobility. Low temperature. Magnetoresistance

LISTA DE FIGURAS

Figura 2.1 – Estrutura SOI.....	37
Figura 2.2 - Diagramas de Faixa de Energia para transistores MOS convencional (A), SOI de camada espessa (B) e SOI de camada fina (C).....	39
Figura 2.3 - Modos de operação do transistor SOI nMOSFET totalmente depletado em função das tensões aplicadas na porta (V_{GF}) e no substrato (V_{GB}) em regime linear e com baixa tensão no dreno. A região pintada representa as condições de operação mais comuns.	40
Figura 2.4 – Variação da tensão de limiar em função da tensão aplicada no substrato (V_{GB})	43
Figura 2.5: Penetração do campo de dreno fazendo com que haja perda do controle de carga pela porta.....	46
Figura 2.6: Divisão de carga; uma parte do canal é controlada eletrostaticamente pela porta, a outra pelas junções de fonte e dreno.	46
Figura 2.7: Distribuição das regiões de depleção para canal longo (esquerda) e curto (direita) em transistores (a) MOSFET convencional e (b) SOI totalmente depletado.	47
Figura 2.8: Tensão de limiar em função do comprimento de porta de um dispositivo MOSFET convencional e de um SOI MOSFET canal n totalmente depletado.	48
Figura 2.9: Aumento das correntes de fuga no estado desligado (I_{OFF}) e a redução da tensão de limiar no caso de efeito de canal curto (SCE) e DIBL. Linhas pretas: transistor de canal curto, Linha cinza: transistor de canal longo.	49
Figura 2.10: Abaixamento da barreira de potencial devido aos efeitos de canal curto e DIBL. No caso do DIBL uma queda suplementar da barreira de potencial entre fonte e dreno é observada quando é aplicada uma tensão no dreno.....	49
Figura 2.11: Arquitetura SOI com a representação da estrutura LDD e ground-plane.	50
Figura 2.12: Efeito das resistências série junto à fonte e dreno conduzem a uma redução da tensão efetiva de dreno aplicada.....	50
Figura 2.13: Componentes principais da resistência série de fonte e dreno para um transistor SOI nMOSFET.....	51
Figura 2.14: Efeito da depleção do poli; zona de depleção no silício poli aumenta a espessura efetiva do dielétrico de porta.....	52
Figura 2.15: Limitações do transistor MOS clássico.....	53
Figura 2.16: Comparação entre as correntes de fuga (I_G) e de dreno (I_D) por unidade de largura do canal no estado ligado (ON) e desligado (OFF) do transistor em função do comprimento do canal representando as gerações tecnológicas. Figura adaptada de	55
Figura 2.17: Canal de Si sobre um substrato de $Si_{1-x}Ge_x$ relaxado	59

Figura 2.18: Transistor MOS com canal de SiGe tensionado.	60
Figura 2.19: Canal de Si tensionado por uma camada de CESL.	60
Figura 2.20: Evolução dos dispositivos MOSFET '	62
Figura 2.21: Convencional (1), porta dupla (2), porta tripla (3), porta quádrupla (4), porta Π e porta Ω (5).	62
Figura 2.22: Estrutura SOI MOSFET de porta dupla FinFET	63
Figura 2.23: Estrutura GAA (Gate-All-Around) SOI MOSFET	64
Figura 2.24: Estrutura SOI MOSFET de porta tripla.....	64
Figura 2.25: Cortes transversais das estruturas porta Π e porta Ω	65
Figura 2.26: Dispositivo G^4	66
Figura 2.27: Descrição das diferentes opções de condução em um transistor: A – corrente de dreno na primeira interface, B – corrente de dreno na segunda interface, e C – corrente de dreno no volume. (Parte em branco, corresponde à condução de corrente no canal).	66
Figura 2.28: (A) <i>Layout</i> de um dispositivo planar de porta única; (B) <i>Layout</i> de um dispositivo de múltiplas portas “ <i>multi-fin</i> ” ⁷	67
Figura 2.29: A – seção transversal de um dispositivo de múltiplas portas e “ <i>multi-fins</i> ”; B – Foto SEM dos dedos (<i>fins</i>) ⁷	68
Figura 2.30: Definição do sistema de coordenadas em um dispositivo de múltiplas portas, e as componentes do campo elétrico nas direções x, y e z ⁷	69
Figura 2.31: (à esquerda) Concentração de portadores minoritários (elétrons) no canal de um transistor de porta dupla, modo inversão, canal tipo n, no limiar. ¹⁰ (à direita) representação da concentração de elétrons no transistor.....	71
Figura 2.32: Evolução do potencial de superfície em função das espessuras do camada de silício e do óxido de porta: comparação entre o modelo de superfície (linha pontilhada) e a curva de referência do MEDICI (linha sólida).	72
Figura 2.33: Perfil de concentração de portadores em inversão em um dispositivo de porta dupla com diferentes espessuras de camada de silício.	74
Figura 2.34: Variação da mobilidade com a espessura do camada de silício em um dispositivo de porta dupla ^{78,79}	75
Figura 2.35: Exemplo de uma curva $\log(I_{DS}) \times V_{GF}$ de um dispositivo SOI de porta dupla destacando-se a reta na região de sublimiar para a extração da inclinação de sublimiar. ...	75
Figura 2.36 – Três estruturas diferentes de dispositivos de porta dupla: Tipo 1 – Planar (porta dupla horizontal), Tipo 2 – Não planar (porta dupla vertical) e Tipo 3 – Não planar (porta dupla lateral).....	77
Figura 2.37 – Estrutura do dispositivo FinFET à esquerda e imagem TEM de um FinFET. .	78
Figura 2.38 – Estruturas FinFETs. A - Porta Dupla, B - Porta Tripla.....	79

Figura 2.39: Desenho esquemático dos tipos de condução de corrente que podem acontecer em uma estrutura FinFET.....	80
Figura 2.40: Mobilidade efetiva de superfície de elétrons e lacunas em função da densidade de carga de inversão, para diferentes orientações de superfície cristalográfica. Copyright© 2003 IEEE.....	81
Figura 3.1: Velocidade de portadores em função do campo elétrico. No equilíbrio, a velocidade de portadores é proporcional ao campo, mas em alto campo, esta proporcionalidade não é mais válida e os portadores atingem uma velocidade limite de deriva ⁹³	84
Figura 3.2: Curva esquemática da mobilidade universal ilustrando a variação da mobilidade μ_{eff} em função do campo efetivo ⁹⁴	86
Figura 3.3: Energia potencial ao longo do canal com a polarização de porta e dreno. Observa-se a fonte virtual e a velocidade de injeção.....	89
Figura 3.4: Mobilidade efetiva de elétrons em função do campo efetivo e da dopagem do canal. Em inversão forte, a mobilidade em função da dopagem de canal permanece constante qualquer que seja a dopagem. Contudo, a dependência da mobilidade com campo efetivo varia com a temperatura.	93
Figura 3.5: Orientação da amostra; os eixos (x, y, z) corresponde as direções dos campos exteriores aplicados.....	95
Figura 3.6: Efeito Hall numa amostra de semiconductor do tipo p.....	97
Figura 3.7: Configuração Hall (a) e magnetoresistência transversal geométrica (b).....	104
Figura 3.8: Ordem de grandeza da magnetoresistência geométrica nas amostras de InSb de acordo com a referência l/w da amostra.....	105
Figura 3.9: Disco de Corbino representando a condição que l/w tende ao infinito. Não se produz nenhum campo Hall.....	105
Figura 4.1: Curva da transcondutância em função da tensão na porta mostrando o ponto de $g_{m,\text{max}}$	115
Figura 4.2: Característica de <i>Y-function</i> ilustrando a extração dos parâmetros.....	116
Figura 4.3: Curva da função F_2 em função da tensão na porta (V_{GF}).	118
Figura 4.4: Exemplo da curva da mobilidade em função da tensão na porta mostrando o ponto da mobilidade efetiva máxima.	120
Figura 4.5: Estrutura FinFET mostrando os planos das orientações cristalográficas	120
Figura 4.6: Exemplo de $A \cdot g_{m,\text{Max}}^{\text{Total}}$ em função da largura do fin (W_{fin}) para dispositivos simulados com $L = 9.91 \mu\text{m}$ e $t_{\text{ox}} = 2 \text{ nm}$	122
Figura 4.7: Exemplo de extração da mobilidade Efetiva em função da largura do fin (W_{fin}) para dispositivos simulados com $L = 9.91 \mu\text{m}$ e $t_{\text{ox}} = 2 \text{ nm}$	126

Figura 5.1: Desenho esquemático da estrutura utilizada nas simulações (A) visão em 3D, (B) Corte lateral e frontal da estrutura.	131
Figura 5.2: Estrutura dos dispositivos simulados, A: visão em 3-D; B: corte ao longo de W_{fin} ; C: corte ao longo do comprimento de canal.	132
Figura 5.3: Cortes frontal e lateral da estrutura usada nas simulações para estudo da mobilidade efetiva.	134
Figura 5.4: Cortes frontal e lateral da estrutura usada nas simulações para estudo da separação das mobilidades ($\mu_{top} = 2 \cdot \mu_{lat}$).	135
Figura 5.5: Curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) com $V_{DS} = 10$ mV em escala linear, com L fixo de $9,91 \mu\text{m}$. A – Curvas com W_{Fin} variando de 50 nm a 870 nm.	136
Figura 5.6: Curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) com $V_{DS} = 10$ mV em escala log, curvas com W_{fin} variando de 50 nm a $9,87 \mu\text{m}$, com L fixo de $9,91 \mu\text{m}$	136
Figura 5.7: Curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) com $V_{DS} = 10$ mV em escala log, curvas com L_{fin} variando de 110 nm a $9,91 \mu\text{m}$, com W_{fin} fixo de 870 nm.	137
Figura 5.8: Curvas da tensão de limiar e da inclinação de sublimiar (A) em função do comprimento de canal para dispositivos com $W_{fin} = 870$ nm e (B) em função da largura do fin para dispositivos com $L = 9,91 \mu\text{m}$	138
Figura 5.9: Curva da capacitância em função da tensão na porta (C-V) para o dispositivo com W_{fin} de 870 nm e L de $9,91 \mu\text{m}$	138
Figura 5.10: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo. Dispositivo com W_{fin} de 870 nm e L de $9,91 \mu\text{m}$. Mesma mobilidade nas interfaces superior e lateral. (Estudo com variação de W_{fin}).	139
Figura 5.11: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo, Dispositivo com W_{fin} de 870 nm e L de 110 nm. Mesma mobilidade nas interfaces superior e lateral. (Estudo com variação de L).	140
Figura 5.12: Curvas da transcondutância (gm) em função da tensão aplicada na porta (V_{GF}).	140
Figura 5.13: Curvas da transcondutância (gm) em função da tensão aplicada na porta (V_{GF}) com W_{fin} fixo de 870 nm e L variando de 110 nm a $9,91 \mu\text{m}$	141
Figura 5.14: Curva da função Y em função da tensão na porta para o dispositivo com W_{fin} de 110 nm e L de $9,91 \mu\text{m}$	142

Figura 5.15: Curva da função F_2 em função da tensão na porta para dispositivos com L de 110 nm e W_{fin} de 870 nm.	144
Figura 5.16: Curvas da mobilidade em função da tensão na porta para os dispositivos com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm . A – curva inteira; B – ampliação da região acima de 580 cm^2/Vs	146
Figura 5.17: Curvas da mobilidade em função da tensão na porta para os dispositivos com W_{fin} fixo de 870 nm e L variando de 110 nm a 4,91 μm	147
Figura 5.18: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo, Dispositivo com W_{fin} de 870 nm e L de 9,91 μm . Mobilidade diferente nas interfaces superior e lateral. ($\mu_{top} = 2 \cdot \mu_{Lateral}$).	151
Figura 5.19: Aplicação do método Daugé para os dispositivos simulados com L = 9,91 μm	151
Figura 5.20: Aplicação do método Vikram para os dispositivos simulados com L = 9,91 μm	152
Figura 5.21: Curva da aplicação do método de Split C-V para obtenção da mobilidade na interface lateral, utilizando dispositivos com $W_{fin} = 50$ nm e L de 410nm e 9,91 μm	153
Figura 5.22: Curva da aplicação do método de Split C-V para obtenção da mobilidade na interface superior, utilizando dispositivos com L = 9,91 μm e W_{fin} de 4,87 μm e 9,87 μm . .	154
Figura 6.1: Estrutura do C.I. utilizado (a esquerda ampliação de uma das regiões do C.I.).	155
Figura 6.2: Posição dos módulos do C.I., evidenciando as posições de fonte (S), dreno (D) e porta (G) dos transistores.	156
Figura 6.3: Perfil superior (a), perfil lateral (b) e perfil frontal (c) do dispositivo de porta tripla utilizado.	157
Figura 6.4: Perfil do transistor FD SOI da STMicroelectronics	159
Figura 6.5: Foto do pedaço da lâmina utilizado nas medidas.	160
Figura 6.6: Equipamento HP 4155A (à esquerda) e sistema de microscópio de quatro pontas Karl Suss (à direita)	160
Figura 6.7: Estação criogênica <i>Suss Microtec</i> composto por: 1 – Equipamento HP 4155A; 2 – tanque de nitrogênio líquido; 3 – Estação propriamente dita (câmara de vácuo criogênica de quatro pontas) junto a ela é acoplada uma câmera que permite verificar a posição dos dispositivo através do monitor; 4 – Rack com duas bombas utilizadas pelo circuito de resfriamento, circuito duplo de resistências térmicas que para manter a temperatura do <i>chuck</i> e do interno da câmara, dois blocos de dois captadores de temperatura e o monitor que permite posicionar as pontas sobre o dispositivo, e a bomba que faz o vácuo na câmara.	161

Figura 6.8: Característica de transferência $I_D(V_G)$ (a) em escala linear; (b) em escala logarítmica; e $g_m(V_G)$ dos transistores pMOS com comprimento de canal de $9,91\mu\text{m}$ e largura de canal de 50 nm em função da temperatura.	162
Figura 6.9: Tensão de limiar em função da temperatura para dispositivos pMOS com comprimento de canal de $9,91\mu\text{m}$ variando a largura de canal (W de $19,87\mu\text{m}$ a 50nm). ...	163
Figura 6.10: Inclinação de sublimiar em função da temperatura para dispositivos com comprimento de canal de $9,91\mu\text{m}$ e com largura de canal variável.	164
Figura 6.11: Variação da densidade efetiva de armadilhas de interface D_{it} para os dispositivos pMOS com largura de canal de 50 nm e $9,87\mu\text{m}$ e comprimento de canal de $9,91\mu\text{m}$	164
Figura 6.12: Mobilidade de baixo campo (μ_0) em função da largura de canal em diferentes temperaturas para os dispositivos pMOS com comprimento de canal de $9,91\mu\text{m}$	165
Figura 6.13: Gráfico utilizado na extração da mobilidade superior e lateral para os dispositivos pMOS com comprimento de canal de $9,91\mu\text{m}$ em 100K	165
Figura 6.14: Mobilidade de lacunas nos canais superior e laterais em função da temperatura.	166
Figura 6.15: Curvas características da corrente de dreno <i>versus</i> tensão na porta ($I_D \times V_G$) em função da largura de canal tanto para os dispositivos pMOS (a) quanto para os dispositivos nMOS (b) $L = 9,91\mu\text{m}$	167
Figura 6.16: Curvas características da transcondutância em função da tensão na porta ($g_m \times V_G$) em função da largura de canal para os dispositivos pMOS (a) e (c) e nMOS (b) e (d). As figuras (c) e (d) enfatizam os dispositivos com W menores ($W = 870\text{nm}$). $L = 9,91\mu\text{m}$	167
Figura 6.17: Tensão de limiar em função da largura de canal para dispositivos nMOS e pMOS em temperatura ambiente.	167
Figura 6.18: Inclinação de sublimiar m em função da largura de canal para os dispositivos nMOS e pMOS em temperatura ambiente com comprimento de canal de $9,91\mu\text{m}$	168
Figura 6.19: Mobilidade de portadores de baixo campo em função da largura de canal para transistores (a) pMOS e (b) nMOS com comprimento de canal de $9,91\mu\text{m}$	169
Figura 6.20: Mobilidade de portadores nos canais superior e laterais para os dispositivos nMOS e pMOS.	170
Figura 6.21: Característica de transferência $I_D(V_G)$ (a) em escala linear; (b) em escala logarítmica; e $g_m(V_G)$ dos transistores nMOS com diferentes comprimentos de canal ($W = 9,87\mu\text{m}$, $V_D = 50\text{mV}$) em temperatura ambiente.	171
Figura 6.22: Curvas da Inclinação de Sublimiar e da tensão de Limiar em função do comprimento de canal em temperatura ambiente para dispositivos com $W = 9,987\mu\text{m}$	172

Figura 6.23: Mobilidade de baixo campo em função do comprimento de canal para transistores nMOS ($W = 9,87\mu\text{m}$) em temperatura ambiente extraída por dois métodos: <i>Y-function</i> e $g_{m,\text{Max}}$	173
Figura 6.24: Característica de transferência $I_D(V_G)$ (a) em escala logarítmica; (b) em escala linear; e $g_m(V_G)$ do transistor nMOS com comprimentos de canal $L = 410\text{nm}$ e $W = 9,87\mu\text{m}$, $V_D = 50\text{mV}$ em função da temperatura.	174
Figura 6.25: Inclinação de sublimiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Na figura <i>inset</i> é apresentado a evolução da inclinação de sublimiar em função da temperatura para o dispositivo com $L = 410\text{nm}$ e $W=9,87\mu\text{m}$	174
Figura 6.26: Tensão de limiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Na figura <i>inset</i> é apresentado a evolução da tensão de limiar em função da temperatura para o dispositivo com $L = 410\text{nm}$ e $W=9,87\mu\text{m}$	175
Figura 6.27: Mobilidade de baixo campo em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Símbolos cheios extração pelo método <i>Y-function</i> Símbolos vazios extração pelo método de $g_{m,\text{Max}}$	176
Figura 6.28: Desenho esquemático do canal duplo para SOI MOSFET planar.	177
Figura 6.29: (A) Mobilidade de elétrons da porta superior <i>versus</i> tensão na porta inferior usando os métodos: <i>Y-function</i> e $g_{m,\text{máx}}$. (B) Mobilidade de elétrons da porta inferior <i>versus</i> tensão na porta superior. Dispositivos totalmente depletado com $L = 10\mu\text{m}$, $W = 10\mu\text{m}$ e $V_{DS} = 50\text{mV}$, nMOS.	177
Figura 6.30: Mobilidade de lacunas da porta superior <i>versus</i> tensão na porta inferior usando os métodos: <i>Y-function</i> e $g_{m,\text{máx}}$. (B) Mobilidade de lacunas da porta inferior <i>versus</i> tensão na porta superior. Dispositivos totalmente depletados com $L = 10\mu\text{m}$, $W = 10\mu\text{m}$ e $V_{DS} = 50\text{mV}$, pMOS.	178
Figura 6.31: Transcondutância do canal superior em função da polarização da porta superior, variando a polarização da porta de baixo. Nota-se que o pico da transcondutância é aumentado artificialmente como consequência da ativação do canal de baixo. Dispositivo nMOS com $W=10\mu\text{m}$ e $L=10\mu\text{m}$, $V_{DS} = 50\text{mV}$	179
Figura 6.32: Mobilidade da porta superior <i>versus</i> tensão na porta inferior (V_{G2}). Dispositivos FD nMOSFET com comprimento de canal de $10\mu\text{m}$ e largura de canal variando de $10\mu\text{m}$ a 130nm	180
Figura 6.33: Mobilidade da porta inferior <i>versus</i> tensão na porta superior (V_{G1}). Dispositivos FD nMOSFET com comprimento de canal de $10\mu\text{m}$ e largura de canal variando de $10\mu\text{m}$ a 130nm	180

Figura 6.34: Mobilidade da porta superior <i>versus</i> tensão na porta inferior (V_{G2}). Dispositivos FD pMOSFET com comprimento de canal de 10 μm e largura de canal variando de 10 μm a 130 nm.....	181
Figura 6.35: Mobilidade da porta inferior <i>versus</i> tensão na porta superior (V_{G1}). Dispositivos FD pMOSFET com comprimento de canal de 10 μm e largura de canal variando de 10 μm a 130 nm.....	181
Figura 6.36: Mobilidade de elétrons (A) e de lacunas (B) em função da largura de canal com $V_G = 0$ para mobilidade da porta inferior e $V_B = 0\text{V}$ para mobilidade da porta superior.....	182
Figura 7.1: Desenho esquemático de um transistor MOS com a aplicação de um campo magnético	183
Figura 7.2: (a) Configuração Hall ($d \ll L$); (b) configuração de magnetoresistência ($d \gg L$).	184
Figura 7.3: Sistema para medida da magnetoresistência. O cano com o porta amostra (chip) dispõe de elementos que permitem o controle e a regulação da temperatura na amostra. Este é colocado num criostato imerso em hélio. O campo magnético é produzido por uma bobina supercondutora.	185
Figura 7.4: Corrente de dreno em função da tensão na porta com variação do campo magnético de 0 a 11T em (a) escala linear e (b) em escala logarítmica para o transistor nMOS de porta tripla com $L = 410 \text{ nm}$ em 100K.	187
Figura 7.5: Magnetoresistência transversal de um transistor nMOS de porta tripla de 410 nm. Medida bruta da resistência em função do campo magnético em escala linear (a) e em escala quadrática (b). Na figura (b), pode-se observar a variação da magnetoresistência em função da tensão na porta.	188
Figura 7.6: Evolução da mobilidade de elétrons extraída pela medida de magnetoresistência em função (a) da tensão na porta e (b) da densidade de elétrons, para o dispositivo nMOS de porta tripla com comprimento de canal de 410nm na temperatura de 100K.....	189
Figura 7.7 Variações da mobilidade MR, mobilidade efetiva e mobilidade de efeito de campo (sem aplicação de campo magnético) <i>versus</i> tensão na porta. $L=410 \text{ nm}$ e 100K.....	190
Figura 7.8: Razão da mobilidade “intrínseca” $\mu_0(0)/\mu_0(B)$ extraída por Y-function.....	192
Figura 7.9: Evolução da mobilidade de elétrons extraída pela medida de magnetoresistência em função da densidade de elétrons e da temperatura para o dispositivo com comprimento de canal de 410 nm.	192
Figura 7.10: Mobilidade de baixo campo μ_0 e mobilidade MR de baixo campo $\mu_{0,MR}$ <i>versus</i> temperatura.	193
Figura 7.11: Mobilidade de baixo campo μ_0 e mobilidade MR de baixo campo $\mu_{0,MR}$ <i>versus</i> comprimento de canal, para diferentes temperaturas.	194

LISTA DE TABELAS

Tabela 3.1: Valores da função gama para uma série de n	101
Tabela 3.2: O fator Hall, r_H para diferentes valores de n	102
Tabela 5.1: Valores dos parâmetros padrões do simulador.....	130
Tabela 5.2: Exemplo de um arquivo de simulação ATLAS.....	133
Tabela 5.3: Parâmetros alterados no modelo SHIRAHATA.....	134
Tabela 5.4: Parâmetros elétricos e resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm	141
Tabela 5.5: Parâmetros elétricos e resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870 nm e L variando de 110 nm a 9,91 μm	142
Tabela 5.6: Resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 9,91 μm	143
Tabela 5.7: Resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm	144
Tabela 5.8: Resultado da extração das mobilidades dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 9,91 μm	145
Tabela 5.9: Resultado da extração das mobilidades dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm	145
Tabela 5.10: Resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm	146
Tabela 5.11: Resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 4,91 μm	147
Tabela 5.12: Comparação dos valores da mobilidade efetiva para dispositivos com mesmo W_{fin} de 870 nm e variando o comprimento de canal.....	148
Tabela 5.13: Comparação dos valores da mobilidade efetiva para dispositivos com mesmo L e variando a largura do canal.	149
Tabela 5.14: Comparação dos valores da mobilidade superior e lateral para os métodos estudados (W_{fin} variando de 50 nm a 9,87 μm).....	154
Tabela 6.1: Características gerais dos dispositivos de porta tripla.....	157
Tabela 6.2: Características de comprimento de largura de canal dos transistores usados por seção. (IMEC / Bélgica).....	158
Tabela 6.3: Características dos dispositivos de FD-SOI STMicroelectronics / França	159
Tabela 6.4: Características de comprimento de largura de canal dos transistores usados por seção. (STMicroelectronics / França).....	159

LISTA DE SÍMBOLOS

B	Campo Magnético [Tesla]
C_{GC}	Capacitância de porta para canal [F]
$C_{GC_{L_1}}$	Capacitância porta para canal para o dispositivo com comprimento de canal L_1 [F]
$C_{GC_{L_2}}$	Capacitância de porta para canal para o dispositivo com comprimento de canal L_2 [F]
$C_{GC_{W_{fin1}}}$	Capacitância de porta para canal para o dispositivo com comprimento de canal W_{fin1} [F]
$C_{GC_{W_{fin2}}}$	Capacitância de porta para canal para o dispositivo com comprimento de canal W_{fin2} [F]
C_{it}	Capacitância de armadilhas de interface [F]
C_{ox}	Capacitância do óxido de porta por unidade de área [F/cm ²]
C_{ox1}	Capacitância do óxido de porta por unidade de área na primeira interface [F/cm ²]
C_{ox2}	Capacitância do óxido de porta por unidade de área na segunda interface [F/cm ²]
C_{oxb}	Capacitância do óxido de porta por unidade de área na segunda interface [F/cm ²]
$C_{ox,eff}$	Capacitância efetiva do óxido por unidade de área [F/cm ²]
C_{oxf}	Capacitância do óxido de porta por unidade de área na primeira interface [F/cm ²]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm ²]
d	Distância definida pela Figura 2.7 para carga de depleção
D_{it}	Densidade de armadilhas de interface [cm ⁻²]
E	Campo elétrico [V/cm]
E_C	Nível de energia inferior da faixa de condução [eV]
E_{eff}	Campo elétrico transversal efetivo [V/cm]
E_F	Nível de Fermi do semicondutor [eV]
E_{FM}	Nível de Fermi do metal [eV]
E_H	Campo Hall
E_i	Nível de Fermi intrínseco [eV]

E_s	Campo elétrico de superfície [V/cm]
E_v	Nível de energia superior da faixa de valência [eV]
E_x	Campo elétrico na direção x [V/cm]
E_y	Campo elétrico na direção y [V/cm]
E_z	Campo elétrico na direção z [V/cm]
F	Força Lorentz
G1	Porta de poli-silício superior
G2	Substrato de silício que funciona como porta inferior
g_m	Transcondutância do transistor [S]
$g_{m,máx}$	Transcondutância máxima [S]
$g_{m,Max}^{Total}$	Transcondutância máxima total [S]
$g_{m,Max}^{Top}$	Transcondutância máxima da interface superior [S]
$g_{m,Max}^{Lat}$	Transcondutância máxima da interface lateral [S]
h_{fin}	Altura do “fin” do transistor FinFET [nm]
I_d	Corrente de dreno [A]
I_{D0}	Corrente de dreno por unidade de largura, plana, do dispositivo SOI convencional [A]
I_{Dlin}	Corrente de dreno no regime linear [A]
I_{DS}	Corrente entre Dreno e Fonte [A]
$I_{DS_{L1}}$	Corrente entre Dreno e Fonte do transistor de comprimento de canal L_1 [A]
$I_{DS_{W_{fin1}}}$	Corrente entre Dreno e Fonte do transistor de largura de canal W_{fin1} [A]
$I_{DS_{W_{fin2}}}$	Corrente entre Dreno e Fonte do transistor de largura de canal W_{fin2} [A]
I_{Dsat}	Corrente entre Dreno e Fonte na saturação [A]
I_{OFF}	Corrente no estado desligado [A]
I_{ON}	Corrente no estado ligado [A]
JG1	Região p^+ que funciona como porta lateral
JG2	Região p^+ que funciona como porta lateral
J_n	Densidade de corrente de elétrons
J_p	Densidade de corrente de lacunas
J_x	Densidade de corrente na direção x
J_y	Densidade de corrente na direção y
k	Constante de Boltzman [$1,38066 \cdot 10^{-23}$ J/K]

k_{SiO_2}	Constante dielétrica do óxido de silício
k_{high-k}	Constante dielétrica do óxido <i>high-k</i>
l	Comprimento crítico característico da retro difusão com V_{DS} alto.
L	Comprimento de canal do transistor [μm]
L_1	Comprimento de canal do transistor de comprimento de canal L_1 [μm]
L_2	Comprimento de canal do transistor de comprimento de canal L_2 [μm]
L_{eff}	Comprimento efetivo de canal do transistor [μm]
L_{fin}	Comprimento do “fin” do transistor FinFET [μm]
m^*	Massa efetiva do elétron
n	Densidade de elétrons [cm^{-3}]
n_c	Fator de efeito de corpo
N_a	Concentração de impurezas aceitadoras do semiconductor [cm^{-3}]
N_{inv}	Concentração de portadores na camada de inversão [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
n_s	Concentração de elétrons na superfície [cm^{-3}]
p	Densidade de lacunas [cm^{-3}]
P	Espaçamento entre os dedos (fins)
q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
Q_{depl} ou Q_{dep}	Carga de depleção da camada de silício [C/cm^2]
$Q_{depl,ef}$	Carga de depleção efetiva da camada de silício [C/cm^2]
Q_{inv}	Carga de inversão da camada de silício [C/cm^2]
Q_{inv1}	Carga de inversão da camada de silício na primeira interface [C/cm^2]
Q_{ox}	Carga no óxido [C/cm^2]
Q_{ox1}	Carga no óxido na primeira interface [C/cm^2]
Q_{ox2}	Carga no óxido na segunda interface [C/cm^2]
Q_{S2}	Carga de acumulação ($Q_{S2} > 0$) ou inversão ($Q_{S2} < 0$) na segunda interface
r_{lin}	Coefficiente de retro-difusão no regime linear
r_H	Fator Hall
r_j	Profundidade da junção de fonte e dreno [μm]
r_{MR}	Coefficiente de magnetoresistência
r_{sat}	Coefficiente de retro-difusão no regime de saturação
R_0	Resistência do canal sem aplicação de campo magnético [Ω]
R_B	Resistência do canal com aplicação de campo magnético [Ω]

R_c	Resistência de contato [Ω]
R_{CH}	Resistência da região do canal [Ω]
R_D	Resistência da região de dreno [Ω]
R_H	Coefficiente Hall
R_{LDD}	Resistência da região menos dopada (LDD) [Ω]
R_S	Resistência da região de fonte [Ω]
R_{SD}	Resistência de fonte e dreno [Ω]
R_{TOTAL}	Resistência total [Ω]
S	Inclinação de sublimar do transistor [mV/década]
t	Espessura de uma amostra
T	Tempo de trânsito dos elétrons (usado no capítulo 3)
T	Temperatura absoluta [K]
t_{high-k}	Espessura do óxido <i>high-k</i> [nm]
T_{INV}	Espessura elétrica em inversão [nm]
t_{oxb}	Espessura do óxido enterrado para o transistor SOI convencional [nm]
t_{oxf}	Espessura do óxido de porta para o transistor SOI convencional [nm]
t_{ox}^{Top}	Espessura do óxido de porta na interface superior no transistor FinFET [nm]
t_{ox}^{Lat}	Espessura do óxido de porta na interface lateral no transistor FinFET [nm]
t_{Si}	Espessura da camada de silício [nm]
V_{DS}	Tensão entre dreno e fonte [V]
V_{Dsat}	Tensão entre dreno e fonte de saturação [V]
V_{FB}	Tensão de faixa plana [V]
V_{GB}	Tensão de substrato do transistor SOI convencional [V]
$V_{GB,acc2}$	Tensão de substrato do transistor SOI convencional com a segunda interface acumulada [V]
V_{GF} ou V_G	Tensão de porta [V]
V_{GFacc}	Tensão de porta em acumulação [V]
V_H	Tensão Hall
V_{th} ou V_T	Tensão de limiar [V]
$V_{th1,acc2}$	Tensão de limiar com a segunda interface em acumulação [V]
$V_{th1,depl2}$	Tensão de limiar com a segunda interface em depleção [V]
$V_{th1,inv2}$	Tensão de limiar com a segunda interface em inversão [V]

W	Largura do canal [μm]
W_{eff}	Largura efetiva do canal, ou fin no caso de transistor de porta tripla [μm]
W_{fin}	Largura do fin para transistor de porta tripla [μm]
$W_{\text{fin,eff}}$	Largura do fin efetiva para transistor de porta tripla [μm]
W_{Si}	Largura de cada dedo (fin) individualmente [μm]
W_{Total}	Largura total para o transistor de porta tripla [μm]
$x_{\text{dmáx}}$	Profundidade máxima de depleção
α	Constante de efeito de corpo
α_{acc}	Constante de efeito de corpo em acumulação
α_{depl}	Constante de efeito de corpo em depleção
α_{MOS}	Constante de efeito de corpo para dispositivos MOS
η	Dado empírico que leva em consideração o campo médio na camada de inversão
λ	Percurso médio livre de portadores entre duas colisões (capítulo 3)
λ	Comprimento natural
v	Velocidade de deriva do portador [cm/s]
v_{inj}	Velocidade inicial de injeção de carga [cm/s]
v_{sat}	Velocidade de deriva na saturação [cm/s]
v_{th}	Velocidade térmica do elétron [cm/s]
ρ	Resistividade do semiconductor
ρ_0	Resistividade do semiconductor sem aplicação de campo magnético
ρ_B	Resistividade do semiconductor com aplicação de campo magnético
σ_{xx}	Condutividade no plano xx
σ_{xy}	Condutividade no plano xy
τ	Constante de tempo de relaxação do momento
τ_ε	Tempo de relaxação da energia
ω_c	Velocidade angular dos portadores
ϕ_F	Potencial de Fermi [V]
Γ	Função gama
ε	Energia do elétron
ε_0	Energia do elétron no equilíbrio térmico
ε_{ox}	Permissividade do óxido [$3,45 \cdot 10^{-13}$ F/cm]

ϵ_{Si}	Permissividade do silício [$1,06 \cdot 10^{-12}$ F/cm]
θ	Coefficiente de degradação da mobilidade pelo campo elétrico transversal [1/V]
θ_1	Fator de degradação da mobilidade induzido pela porta [1/V]
θ_2	Fator de degradação da mobilidade induzido pela porta [1/V]
Θ_H	Ângulo Hall
μ_0 ou μ	Mobilidade para baixo campo elétrico [$cm^2/V.s$]
$\mu_{0,MR}$	Mobilidade por magnetoresistência de baixo campo elétrico
μ_{ac}	Mobilidade limitada pelos fônons acústicos [$cm^2/V.s$]
μ_C	Mobilidade limitada pelas interações Coulombianas [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva [$cm^2/V.s$]
μ_{eq}	Mobilidade equivalente [$cm^2/V.s$]
μ_{Hall}	Mobilidade Hall [$cm^2/V.s$]
μ_{LAT}	Mobilidade na interface lateral [$cm^2/V.s$]
μ_{MR}	Mobilidade por magnetoresistência [$cm^2/V.s$]
μ_{ph}	Mobilidade limitada pelas interações sobre fônons
μ_n	Mobilidade de elétrons [$cm^2/V.s$]
μ_p	Mobilidade de lacunas [$cm^2/V.s$]
μ_{sr}	Mobilidade limitada pela rugosidade da superfície [$cm^2/V.s$]
μ_{TOP}	Mobilidade na interface superior [$cm^2/V.s$]
Φ_F	Potencial de Fermi [V]
Φ_{MS}	Função trabalho do metal [V]
Φ_{MS}	Diferença de função de trabalho entre metal e semicondutor [V]
Φ_{MS1}	Diferença de função de trabalho entre metal e semicondutor na primeira interface para dispositivos SOI [V]
Φ_{MS2}	Diferença de função de trabalho entre metal e semicondutor na segunda interface para dispositivos SOI [V]
Φ_S	Potencial de superfície [V]
Φ_{SB}	Potencial de superfície na segunda interface para dispositivos SOI [V]
Φ_{SF}	Potencial de superfície na primeira interface para dispositivos SOI [V]

LISTA DE ABREVIATURAS

AC	<i>Alternate current</i> – corrente alternada
AMD	Advanced Micro Devices
BOX	Buried oxide – Óxido enterrado
CESL	Contact Etch Stop Liner
CI	Circuito Integrado
CMOS	Complementary Metal Oxide Semiconductor
DC	Direct Current – Corrente Contínua
DELTA	fully DEpleted Lean-channel TrAnsistor
DIBL	Drain Induced Barrier Lowering
EOT	Equivalent Oxide Thickness
FD	Fully Depleted – Totalmente depletado
FET	Field Effect Transistor – Transistor de efeito de campo
FinFET	Field Effect Transistor of Fin
FUSI	Fully Silicided
G ⁴ -FET	Field Effect Transistor of four Gates – transistor de efeito de campo de 4 portas
GAA	Gate All Around
GOI	Germanium On Insulator
IBM	International Business Machines
IMEC	Interuniversity Microelectronics Center
IMEP	Institute of Microelectronics, Electromagnetism and Photonics
ITRS	International Technology Roadmap for Semiconductors
JFET	Junction Field Effect Transistor
KUL	Katholieke Universiteit Leuven – Universidade Católica de Leuven
LDD	Lightly Doped Drain
LSI	Laboratório de Sistemas Integráveis
MINATEC	Micro and Nanotechnology Innovation Centre
MOS	Metal Óxido Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MUGFET	MULTiple Gate Field Effect Transistor
NFD	Near Fully Depleted

nMOS	Transistor de efeito de campo - canal tipo n
pMOS	Transistor de efeito de campo – canal tipo p
PD	Partially Depleted - Parcialmente depletado
SCE	Short Channel Effect
SMT	Stress Memory Transfer
SOI	Silicon On Insulator
STI	Shallow Trench Isolation
TC	Transconductance Change
USP	Universidade de São Paulo

SUMÁRIO

1	Introdução	33
2	Conceitos Básicos.....	37
2.1	Tecnologia SOI	37
2.1.1	Tipos de estruturas SOI	37
2.1.2	Características Elétricas	40
2.2	Efeitos ligados à redução das dimensões.....	45
2.2.1	Os efeitos de canal curto, a divisão de cargas e DIBL.....	45
2.2.2	Resistência série.....	50
2.2.3	Espessura efetiva do óxido de porta.....	52
2.3	Tecnologia e Materiais alternativos.....	53
2.3.1	Limites físicos dos componentes clássicos.....	53
2.3.2	Materiais de alta permissividade (<i>high - k</i>).....	54
2.3.3	Materiais de porta alternativos	57
2.3.4	Novos materiais para alta mobilidade no canal	58
2.3.5	Arquiteturas de múltiplas portas.....	61
2.4	Características dos dispositivos de múltiplas portas	66
2.4.1	Condução de corrente	66
2.4.2	Efeitos de canal curto	68
2.4.3	Tensão de limiar	70
2.4.4	Transcondutância	72
2.4.5	Mobilidade	74
2.4.6	Inclinação de sublimiar	75
2.5	Estrutura do dispositivo FinFET e a definição do dispositivo de porta tripla.....	76
2.5.1	Mobilidade no dispositivo de porta tripla.....	79
3	Estudo teórico da mobilidade de portadores	82
3.1	Mobilidade de Portadores	82
3.1.1	A mobilidade de baixo campo.....	82
3.1.2	A mobilidade efetiva.....	84
3.1.3	A mobilidade universal.....	85
3.1.4	A mobilidade em canal curto.....	87
3.2	Colisões de Portadores.....	90
3.2.1	Colisões sobre os fônons.....	91

3.2.2	Colisões Coulombianas	92
3.2.3	Colisões sobre a rugosidade de superfície	94
3.3	Efeitos galvanomagnéticos	94
3.3.1	Considerações preliminares	95
3.3.2	Condutividade elétrica num semiconductor sujeito a ação de um campo magnético.....	95
3.3.3	Efeito Hall	96
3.3.4	Efeito da magnetoresistência.....	103
3.3.5	Magnetoresistência transversal geométrica.....	104
3.3.6	Magnetoresistência longitudinal.....	112
4	Métodos de Extração da Mobilidade de Portadores.....	114
4.1	Extração da mobilidade efetiva	114
4.1.1	Método por $g_{m,máx}$	114
4.1.2	Método Y-function.....	115
4.1.3	Método Mc Larty	117
4.1.4	Método <i>Split</i> C-V	119
4.2	Extração da mobilidade na superfície superior e lateral.....	120
4.2.1	Método Daugé	120
4.2.2	Método Split C-V.....	122
4.2.3	Método Vikram.....	124
5	Estudo comparativo dos métodos de Extração da Mobilidade.....	127
5.1	Simulador numérico	127
5.1.1	Modelos utilizados	128
5.2	Características das simulações tridimensionais.....	130
5.3	Resultados das simulações tridimensionais.....	135
5.3.1	<i>Estudo da mobilidade efetiva</i>	135
5.3.2	<i>Estudo da separação das mobilidades superior e lateral</i>	150
6	Resultados Experimentais.....	155
6.1	Descrição dos dispositivos utilizados	155
6.1.1	Dispositivos MugFETS de porta tripla.....	155
6.1.2	Dispositivos SOI planares.....	158
6.2	Infra - estrutura utilizada para realização das medidas.....	160
6.3	Resultados dos dispositivos MugFETs de porta tripla.....	161

6.3.1	Avaliação em baixa temperatura: L = 9,91 μ m e W de 30nm a 19,87 μ m (pMOS)	162
6.3.2	Avaliação em temperatura ambiente: L = 9,91 μ m e W de 40nm a 19,87 μ m (nMOS e pMOS)	166
6.3.3	Avaliação em baixa temperatura: W = 9,87 μ m e L de 90nm a 910nm (nMOS)	170
6.4	Resultados dos dispositivos Planares.....	176
7	Técnica utilizando Magnetoresistência para extração da Mobilidade	183
7.1	Introdução	183
7.2	Medida de magnetoresistência	185
7.3	Técnica de Medida.....	186
7.4	Resultados	186
8	Conclusões e Perspectivas Futuras	195
9	Referências Bibliográficas.....	200

1 Introdução

O contínuo escalamento da tecnologia MOS tem aumentado consideravelmente a densidade e o desempenho dos transistores, o que leva a obtenção de circuitos integrados (CI) funcionando com maior velocidade de operação. De acordo com o ITRS¹, é previsto que em 2016 tenhamos tecnologias em desenvolvimento com comprimento de porta menor que 13 nm.

A redução da tecnologia para dimensões abaixo de 0,1 μm é dificultada devido às limitações de efeitos de canal curto e tunelamento pelo óxido de porta^{2,3,4,5}. Uma proposta para evitar o tunelamento pela porta é o uso de óxidos de porta mais espessos de materiais diferentes, os chamados “high-k materials”⁶.

Além das inovações devido aos novos materiais, novas arquiteturas de transistores têm sido desenvolvidas. Os transistores fabricados com a tecnologia SOI possuem melhor desempenho com relação ao MOSFET convencional¹⁰ e já vem sendo amplamente utilizados, como exemplo podemos citar: Processadores de 64-bit fabricados pela IBM, AMD ou Freescale, o *videogame Playstation 3*, entre outros. Dentre as vantagens dos transistores SOI podemos citar: aumento da mobilidade e da transcondutância máxima; diminuição das capacitâncias parasitárias de fonte / dreno e dos efeitos de canal curto; redução da sensibilidade com a variação de temperatura; eliminação do efeito tiristor parasitário (latch up); menores correntes de fuga¹⁰.

Dentre essas novas arquiteturas, temos a evolução dos transistores da arquitetura clássica, planar e de uma única porta para estruturas tridimensionais com múltiplas portas, que têm sido consideradas uma das opções mais atrativas para obtenção de comprimentos de canal menores que 20 nm⁵⁰. Essas novas arquiteturas permitem um melhor controle do dispositivo pela porta, o que leva a um aumento da condução de corrente e melhor controle dos efeitos de canal curto. Dentre os dispositivos de múltiplas portas, os mais estudados são os transistores FinFET, FET de porta tripla (trigate FET), e GAA (gate-all-around)⁷.

A complexidade de fabricação dos dispositivos de porta dupla, em particular a fabricação das portas inferiores perfeitamente alinhadas com as portas superiores limitou o desenvolvimento industrial da tecnologia de porta dupla planar. Esta barreira tecnológica foi transposta fabricando-se estruturas verticais com portas

laterais, chamadas FinFETs^{8,9}. A tecnologia FinFET é muito atrativa devido à fácil implementação do seu processo de fabricação com as técnicas já existentes. A tecnologia consiste em obter-se uma ilha de silício estreita através do processo de corrosão e após o crescimento do óxido de porta é feita a deposição do material que irá formar a porta. Sendo assim, o perfeito alinhamento entre as portas se faz de forma natural.

Nos dispositivos FinFETs, a porta recobre três lados do corpo, o lado superior e as laterais. O lado superior pode ou não ser utilizado como porta dependendo da espessura do isolante de porta. Caso o isolante na parte superior seja espesso, o controle do canal será feito predominantemente através das portas laterais. Contudo, com a inclusão da porta superior, estudos demonstraram um aumento de 20% na corrente de dreno⁶³. Dependendo da razão de aspecto entre a largura e a altura do canal, a camada de inversão pode ter maior dependência da porta superior ou das laterais, respectivamente. Foi demonstrado na literatura que, caso a largura do canal exceda a altura, a camada de inversão controlada pela porta superior pode prover um ganho extra na corrente de dreno, porém apresenta maior efeito de canal curto.¹³².

Diante do contexto atual de constante busca pela redução das dimensões e melhora do desempenho dos circuitos integrados, se faz necessária a inclusão de novos materiais, novas etapas de processo, assim como novas técnicas para caracterizá-los.

Este trabalho tem como objetivo estudar alguns parâmetros elétricos de dispositivos avançados SOI principalmente a mobilidade de portadores através de diversos métodos de extração. É feita uma comparação inédita de vários métodos de extração da mobilidade a fim de estudar a faixa de validade dos métodos com relação às dimensões e os diversos tipos de dispositivos. Os dispositivos utilizados neste trabalho dividem-se em planares e MugFETs de porta tripla. Foram realizadas simulações numéricas tridimensionais para os dispositivos de porta tripla e medidas elétricas tanto nos dispositivos planares quanto nos dispositivos de porta tripla.

São estudados e comparados métodos de extração da mobilidade efetiva de portadores e métodos de separação das mobilidades superior e lateral (devido a diferentes orientações cristalográficas) em transistores de porta tripla através de simulações numéricas tridimensionais. Esta comparação é feita com a utilização de

transistores de porta tripla com diferentes comprimentos e larguras de canal tendo como base os dispositivos disponíveis.

Este trabalho encontra-se dividido em 8 capítulos, como descritos a seguir:

No capítulo 2 são apresentados os fundamentos teóricos que dão sustentação ao desenvolvimento do trabalho proposto, onde é apresentada a tecnologia SOI de porta simples (dispositivos planares) e suas principais características elétricas. É apresentada também uma visão geral de novas tecnologias e materiais alternativos. E por fim é feita uma abordagem da estrutura de múltiplas portas, onde são discutidas suas principais características e funcionamento, além de uma apresentação das principais estruturas de múltiplas portas estudadas.

No capítulo 3, é feito um estudo teórico do transporte de portadores no canal do transistor, com o objetivo de identificar a origem física ou tecnológica dos efeitos observados. É feita uma abordagem dos diferentes regimes de condução bem como dos mecanismos de interação mais importantes. É feita uma introdução a dois efeitos galvanomagnéticos que permitem estudar a mobilidade de portadores: o efeito Hall e o efeito da magnetoresistência.

No capítulo 4, são apresentados os métodos de extração da mobilidade de portadores estudados neste trabalho. O capítulo está dividido em duas partes, primeiramente são apresentados os métodos estudados para extração da mobilidade efetiva de portadores. E em seguida são apresentados os métodos de separação das mobilidades de uma estrutura de múltiplas portas que possui diferentes orientações cristalográficas na interface superior e nas laterais.

No capítulo 5, é apresentado um estudo comparativo dos métodos estudados através de simulações numéricas tridimensionais para os dispositivos de porta tripla. O simulador numérico utilizado neste trabalho foi o Atlas da SILVACO. São mostradas as características deste simulador, os modelos que foram utilizados, e principalmente o modelo de mobilidade utilizado nas simulações. São apresentadas também as características das estruturas que foram simuladas neste trabalho.

No capítulo 6, são apresentadas as características dos dispositivos utilizados neste trabalho, e em seguida os resultados experimentais para esses dispositivos. Os resultados estão divididos em duas seções: (i) os dispositivos MugFETs de porta tripla e (ii) dispositivos planares.

No capítulo 7, é mostrada uma técnica especial para extração da mobilidade de portadores: a magnetoresistência. Neste capítulo é apresentada uma introdução a este tipo de medida, o método de extração e os resultados obtidos para transistores de porta tripla.

E por fim, o capítulo 8 mostra as conclusões do trabalho.

2 Conceitos Básicos

Neste capítulo são apresentados os conceitos básicos sobre a tecnologia SOI e a tecnologia de múltiplas portas. É também apresentada uma revisão bibliográfica dos principais parâmetros elétricos destes dispositivos.

2.1 Tecnologia SOI

O dispositivo SOI utiliza uma fina camada de silício isolada eletricamente do substrato de silício por uma camada espessa de óxido de silício (SiO_2)¹⁰.

A tecnologia SOI, por ter esta camada de isolante, permite a fabricação de circuitos integrados menores, mais densos e mais rápidos¹⁰.

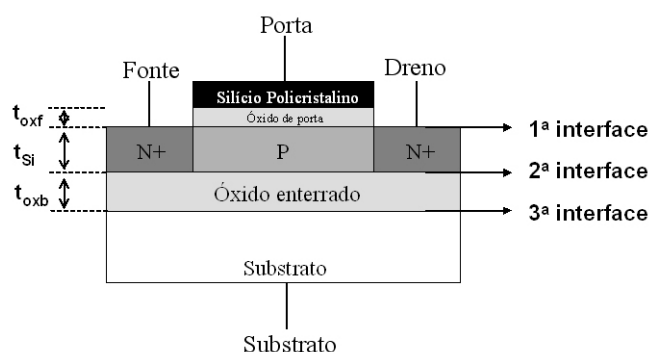


Figura 2.1 – Estrutura SOI

2.1.1 Tipos de estruturas SOI

O comportamento físico dos dispositivos SOI MOSFETs é fortemente dependente da espessura, da concentração de dopantes na camada de silício (região ativa) sobre a qual são construídos, e da temperatura. Podem distinguir-se basicamente dois tipos de dispositivos: dispositivos em que a camada de silício na região do canal não está totalmente depletada (“dispositivo parcialmente depletado” ou dispositivo PD – “*partially depleted*”), e dispositivos onde a camada de silício está

completamente depletada (“dispositivo totalmente depletado” ou “dispositivo FD – *fully depleted*”).

Em um dispositivo MOSFET convencional, a região de depleção aumenta a partir da interface Si-SiO₂ até a profundidade máxima de depleção, $x_{dmáx}$, que é dada pela equação (2.1) e o potencial de Fermi pela equação (2.2).

$$x_{dmáx} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot Na}} \quad (2.1)$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{Na}{n_i}\right) \quad (2.2)$$

Onde:

ϵ_{Si} : permissividade elétrica do Silício

q: carga elementar do elétron

Na: concentração de impurezas aceitadoras do semiconductor

k: constante de Boltzmann

T: temperatura absoluta

n_i : concentração intrínseca de portadores

No dispositivo SOI parcialmente depletado (PD SOI – “*partially depleted*”), a espessura da camada de silício (t_{Si}) é maior que o dobro da profundidade máxima de depleção $x_{dmáx}$ (Figura 2.2-B). Neste caso, não há interação entre as regiões de depleção provenientes da primeira e segunda interfaces, havendo sempre uma região neutra entre elas. No dispositivo SOI totalmente depletado (FD SOI – “*fully depleted*”), a espessura da camada de silício (t_{Si}) é menor que $x_{dmáx}$ (Figura 2.2-C). Neste caso, a camada de silício está totalmente depletada, quando uma tensão aplicada na porta alcançar o valor da tensão de limiar. Este tipo de dispositivo é praticamente livre do efeito de elevação abrupta de corrente (efeito *Kink*)¹⁰, desde que a segunda interface não esteja em acumulação. Entre todos os tipos de dispositivos SOI, os dispositivos totalmente depletados com a segunda interface depletada exibem as melhores propriedades, tais como baixo campo elétrico, alta transcondutância, excelente comportamento de canal curto, e características quase

ideais de inclinação de sublimar. Os dispositivos SOI perto da depleção total (NFD SOI – “*Near-fully depleted*”) são um caso intermediário entre os dispositivos totalmente e parcialmente depletados, e são obtidos nos casos onde a espessura da camada de silício é maior que a profundidade máxima de depleção e menor que o dobro da profundidade máxima de depleção ($x_{dm\acute{a}x} < t_{Si} < 2x_{dm\acute{a}x}$). Dependendo da polarização aplicada ao substrato, as regiões de depleção da primeira e segunda interfaces podem, ou não, se sobrepor, podendo então este tipo de dispositivo comportar-se como parcialmente, ou totalmente depletado. Se as regiões de depleção não se encontrarem, ou se a segunda interface estiver neutra ou acumulada, o transistor irá comportar-se como um dispositivo parcialmente depletado. Se, por outro lado, a presença de uma polarização no substrato induzir à sobreposição das regiões de depleção da primeira e segunda interface, este dispositivo comportar-se-á como totalmente depletado. A Figura 2.2 mostra os diagramas de faixas de energia dos dispositivos MOS convencional (A), SOI MOSFET parcialmente depletado (B) e SOI MOSFET totalmente depletado (C). Nesta figura os níveis de energia representados são: inferior da faixa de condução (E_C), superior da faixa de valência (E_V), e intrínseco (E_i). E os níveis de Fermi são representados como: E_F para o semiconductor, e E_{FM} para o metal. Na Figura 2.2 V_{GF} é a tensão aplicada na primeira interface e V_{GB} é a tensão aplicada na segunda interface.

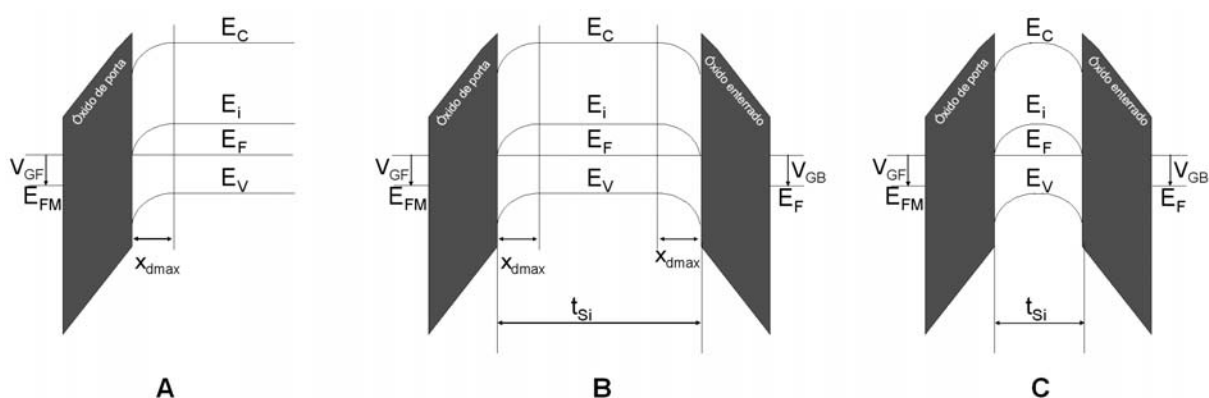


Figura 2.2 - Diagramas de Faixa de Energia para transistores MOS convencional (A), SOI de camada espessa (B) e SOI de camada fina (C)

Dependendo das polarizações aplicadas na primeira e segunda interfaces, pode-se dizer que o transistor está operando em acumulação, depleção ou inversão. Há nove possíveis modos de operação no transistor totalmente depletado de acordo

com as polarizações feitas na porta (V_{GF}) ou no substrato (V_{GB}), como pode ser visto na Figura 2.3. As operações mais comuns estão representadas pela parte pintada do gráfico.

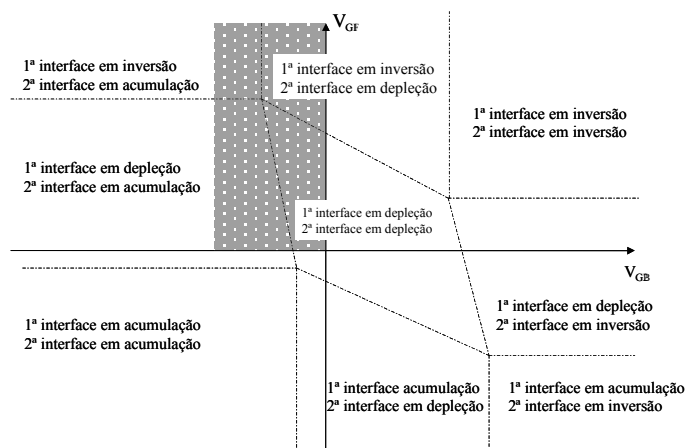


Figura 2.3 - Modos de operação do transistor SOI nMOSFET totalmente depletado em função das tensões aplicadas na porta (V_{GF}) e no substrato (V_{GB}) em regime linear e com baixa tensão no dreno. A região pintada representa as condições de operação mais comuns.

2.1.2 Características Elétricas

A seguir serão apresentados os principais parâmetros elétricos de uma estrutura SOI.

2.1.2.1 Tensão de limiar

A tensão de limiar (V_{th}) é definida como a mínima tensão aplicada à porta do dispositivo necessária para formação de um canal de inversão de portadores entre fonte e dreno, ou seja, cargas móveis que se acumulam na região do canal de forma a inverter sua superfície.¹¹

A tensão de limiar para um dispositivo SOI parcialmente depletado é dada pela equação (2.3), que é a mesma utilizada em dispositivos MOS convencionais, devido à não interação entre as regiões de depleção da primeira e segunda interfaces.

$$V_{th} = V_{FB} + 2\phi_F + \frac{q \cdot Na \cdot x_{dm\acute{a}x}}{C_{oxf}} \quad (2.3)$$

onde:

V_{FB} é a tensão de faixa plana da estrutura MOS dada por: $V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{oxf}}$

ϕ_F é o potencial de Fermi dado por: $\phi_F = \frac{kT}{q} \ln\left(\frac{Na}{n_i}\right)$

$x_{dm\acute{a}x}$ é a largura de depleção máxima dada por: $x_{dm\acute{a}x} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{q \cdot Na}}$

C_{oxf} é a capacitância do óxido de porta por unidade de área dado por: $C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}}$

t_{oxf} é a espessura do óxido de porta

Q_{ox} é a densidade de carga efetiva no óxido de porta por unidade de área

Φ_{MS} é a diferença de função trabalho entre o metal e o silício.

Nos dispositivos SOI nMOS totalmente depletados como existe interação entre a primeira e segunda interfaces, a tensão aplicada V_{GF} influenciará nas condições de polarização da segunda interface, do mesmo modo que a tensão aplicada V_{GB} afetará os estados de cargas da primeira interface. As equações (2.4) e (2.5) correspondentes à V_{GF} e V_{GB} , respectivamente, mostram a interdependência entre seus valores. Estas são obtidas integrando-se a equação de Poisson, e aplicando o teorema de Gauss na primeira interface e na segunda interface¹².

$$V_{GF} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot \Phi_{SF} - \frac{C_{Si}}{C_{oxf}} \cdot \Phi_{SB} - \frac{1/2 Q_{depl} + Q_{inv1}}{C_{oxf}} \quad (2.4)$$

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}} \cdot \Phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \cdot \Phi_{SB} - \frac{1/2 Q_{depl} + Q_{S2}}{C_{oxb}} \quad (2.5)$$

onde:

Q_{ox1} é a densidade de cargas efetivas na primeira interface;

Q_{ox2} é a densidade de cargas efetivas na segunda interface;

Q_{inv1} é a carga de inversão na primeira interface ($Q_{inv1} < 0$);

Q_{S2} é a carga de acumulação ($Q_{S2} > 0$) ou inversão ($Q_{S2} < 0$) na 2ª interface;

C_{oxf} é a capacitância do óxido de porta por unidade de área dada por: $C_{oxf} = \epsilon_{ox}/t_{oxf}$;

C_{oxb} é a capacitância do óxido enterrado por unidade de área dada por: $C_{oxb} = \epsilon_{ox}/t_{oxb}$;

t_{oxf} é espessura do óxido de porta;

t_{oxb} é a espessura do óxido enterrado;

C_{Si} é a capacitância da camada de silício por unidade de área dada por: $C_{Si} = \epsilon_{Si}/t_{Si}$;

N_a é a concentração da camada de silício;

Q_{depl} é a carga de depleção na camada de silício, definida por $Q_{depl} = -q \cdot N_a \cdot t_{Si}$;

Φ_{SF} é o potencial de superfície na primeira interface;

Φ_{SB} é o potencial de superfície na segunda interface.

Dependendo de V_{GB} , a segunda interface pode estar em acumulação, depleção ou inversão. Conseqüentemente, obtêm-se três equações diferentes para a tensão de limiar a partir das equações (2.4) e (2.5):

I) com a segunda interface acumulada ($\Phi_{SF} = 2\phi_F$ e $\Phi_{SB} = 0$)

$$V_{th1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.6)$$

II) com a segunda interface invertida ($\Phi_{SF} = 2\phi_F$ e $\Phi_{SB} = 2\phi_F$)

$$V_{th1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.7)$$

III) com a segunda interface depletada ($\Phi_{SF} = 2\phi_F$ e $0 < \Phi_{SB} < 2\phi_F$)

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{Si} C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} (V_{GB} - V_{GB,acc2}) \quad (2.8)$$

$$\text{onde: } V_{GB,acc2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{oxb}} + \frac{q \cdot Na \cdot t_{Si}}{2C_{oxb}} - \left(\frac{C_{Si}}{C_{oxb}} \right) \cdot 2\phi_F$$

A Figura 2.4 mostra o efeito da variação da tensão no substrato (V_{GB}) na tensão de limiar de um transistor SOI nMOS totalmente depletado.

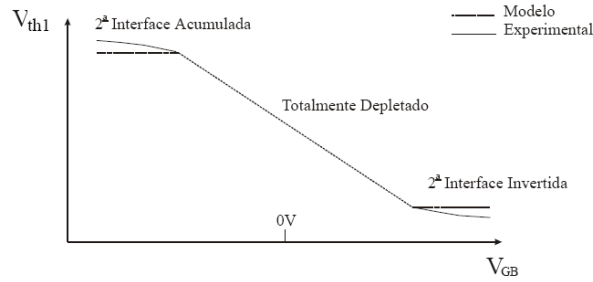


Figura 2.4 – Variação da tensão de limiar em função da tensão aplicada no substrato (V_{GB})

2.1.2.2 Transcondutância

A transcondutância de um transistor SOI MOSFET (g_m) é considerada como a medida da eficácia do controle da corrente de dreno pela tensão aplicada na porta, definida por¹³:

$$g_m = \frac{dI_{Dsat}}{dV_{GF}} \quad (2.9)$$

Para os dispositivos MOSFET convencionais ou SOI parcialmente depletados, na saturação, a transcondutância (2.11) pode ser determinada a partir da derivada da equação da corrente de dreno na saturação (I_{Dsat}) (2.10)¹³:

$$I_{Dsat} \cong \frac{W\mu_n C_{oxf}}{2L(1+\alpha)} (V_{GF} - V_{th})^2 \quad (2.10)$$

$$g_m = \frac{dI_{Dsat}}{dV_{GF}} \quad (\text{para } V_{DS} > V_{Dsat}) \Rightarrow g_m = \frac{\mu_n C_{oxf} W}{(1+\alpha) L} (V_{GF} - V_{th}) \quad (2.11)$$

onde: W é a largura do canal, L é o comprimento do canal, μ_n é a mobilidade efetiva de elétrons, C_{oxf} é a capacitância do óxido de porta por unidade de área, α é a constante de efeito de corpo que pode assumir diferentes valores dependendo do funcionamento do transistor conforme mostra as equações (2.12), (2.13) e (2.14)¹⁴.

I) Transistor MOS ou SOI MOSFET parcialmente depletado:

$$\alpha = \alpha_{MOS} = \frac{\epsilon_{Si}}{x_{dmáx} C_{oxf}} \quad (2.12)$$

II) Transistor SOI MOSFET totalmente depletado com a segunda interface acumulada:

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{oxf}} \quad (2.13)$$

III) Transistor SOI MOSFET totalmente depletado com a segunda interface depletada:

$$\alpha = \alpha_{depl} = \frac{C_{Si} C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} \quad (2.14)$$

Sendo assim,

$$\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$$

onde: α_{MOS} é a constante de efeito de corpo para dispositivos MOS convencionais, α_{acc} é a constante de efeito de corpo para dispositivo SOI com segunda interface acumulada e α_{depl} é a constante de efeito de corpo para dispositivo SOI com segunda interface depletada.

Pode-se então concluir que a polarização do substrato (segunda interface) afeta as características da transcondutância. Sendo assim, a transcondutância é maior para um dispositivo SOI totalmente depletado com a segunda interface depletada do que para um dispositivo MOS convencional. Mas, um dispositivo MOS

convencional tem uma maior transcondutância do que um SOI totalmente depletado com a segunda interface acumulada.

2.2 Efeitos ligados à redução das dimensões

2.2.1 Os efeitos de canal curto, a divisão de cargas e DIBL

Com o intuito de compreender a origem dos efeitos de canal curto, será apresentada aqui a equação de Poisson que fornece a distribuição do potencial no canal de condução, se os átomos de impurezas estiverem ionizados em temperatura ambiente, e sabendo que é utilizado um substrato do tipo p tem-se:

$$\nabla^2\Phi(x, y, z) = \frac{\partial^2\Phi(x, y, z)}{\partial x^2} + \frac{\partial^2\Phi(x, y, z)}{\partial y^2} + \frac{\partial^2\Phi(x, y, z)}{\partial z^2} = -\frac{\rho}{\epsilon_{Si}} = \frac{qN_a}{\epsilon_{Si}} \quad (2.15)$$

A componente vertical do potencial (de acordo com o eixo y) na equação (2.15) provém principalmente do eletrodo de porta (Figura 2.5). As componentes horizontais são originárias das junções de fonte e dreno. No caso de transistores grandes de canal longo, a densidade de carga no canal é controlada principalmente pela porta. A equação de Poisson neste caso resume-se à sua forma unidimensional. Contudo, quando as dimensões dos transistores são reduzidas, a carga não é mais controlada unicamente pela porta. A miniaturização do canal muda a distribuição do potencial que passa de uma distribuição unidimensional para uma distribuição bidimensional. No caso de um dispositivo com canal curto e largo, a equação de Poisson é escrita da seguinte forma:

$$\frac{d^2\Phi(x, y, z)}{dx^2} + \frac{d^2\Phi(x, y, z)}{dy^2} = \frac{qN_a}{\epsilon_{Si}} \quad (2.16)$$

O primeiro termo da equação está associado à densidade de cargas controladas pelas junções de fonte e dreno. A equação (2.16) mostra que quando o

controle de carga no canal pelas junções de fonte e dreno aumenta, o controle de carga pela porta diminui. Em seguida serão descritas as principais conseqüências desta distribuição de cargas bidimensional.



Figura 2.5: Penetração do campo de dreno fazendo com que haja perda do controle de carga pela porta

Os efeitos de canal curto ou SCEs (“*Short Channel Effects*” em inglês) manifestam-se principalmente através de uma queda na tensão de limiar e pela degradação na inclinação de sublimiar¹⁴. Uma conseqüência maior da aproximação das junções de fonte e dreno é a perda do controle de uma parte das cargas pela porta. Próximo às junções de fonte e dreno, é criada uma região de depleção que se estende no substrato (no caso dos MOSFET convencional) e sob a porta (Figura 2.6): é a chamada divisão de cargas. As cargas partilhadas não podem contar no cálculo da tensão de limiar V_{th} . Conseqüentemente, as cargas de depleção e de inversão controladas pela porta diminuem o que se traduz numa redução da tensão de limiar.

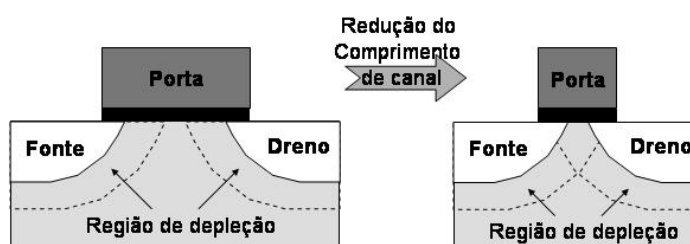


Figura 2.6: Divisão de carga; uma parte do canal é controlada eletrostaticamente pela porta, a outra pelas junções de fonte e dreno.

A carga de depleção controlada pela porta nos transistores MOSFETs convencionais de canal longo é dada por:

$$Q_{depl} = q.Na.x_{d\max}$$

(2.17)

Para transistores MOSFETs de canal curto, a carga de depleção controlada pela porta não é mais dada por $Q_{depl} = q.N_a.x_{dmax}$ e sim uma fração disto, que será chamada de $Q_{depl,ef}$ que pode ser escrita da seguinte forma¹⁵:

$$Q_{depl,ef} = Q_{depl} \left[1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_{dmax}}{r_j}} - 1 \right) \right] \quad (2.18)$$

onde r_j é a profundidade da junção de fonte e dreno.

Para transistores SOI MOSFETs totalmente depletados, a carga de depleção controlada pela porta é dada por¹⁵:

$$Q_{depl,ef} = Q_{depl} \left(1 - \frac{d}{L} \right) \quad (2.19)$$

onde d é a distância definida na Figura 2.7 - b e $Q_{depl} = q.N_a.t_{Si}$. Estes apresentam menor efeito de canal curto se comparado com os dispositivos MOSFETs convencionais em relação à redução do comprimento de canal, embora a magnitude desses efeitos dependa da espessura da camada de silício¹⁶. A (Figura 2.7) mostra a influência da redução do comprimento de canal em dispositivos MOSFETs convencionais e SOI MOSFETs totalmente depletados, pode ser observado também que a carga total efetivamente controlada pela porta é maior nos dispositivos SOI de canal curto, comparada com os MOSFETs convencionais.

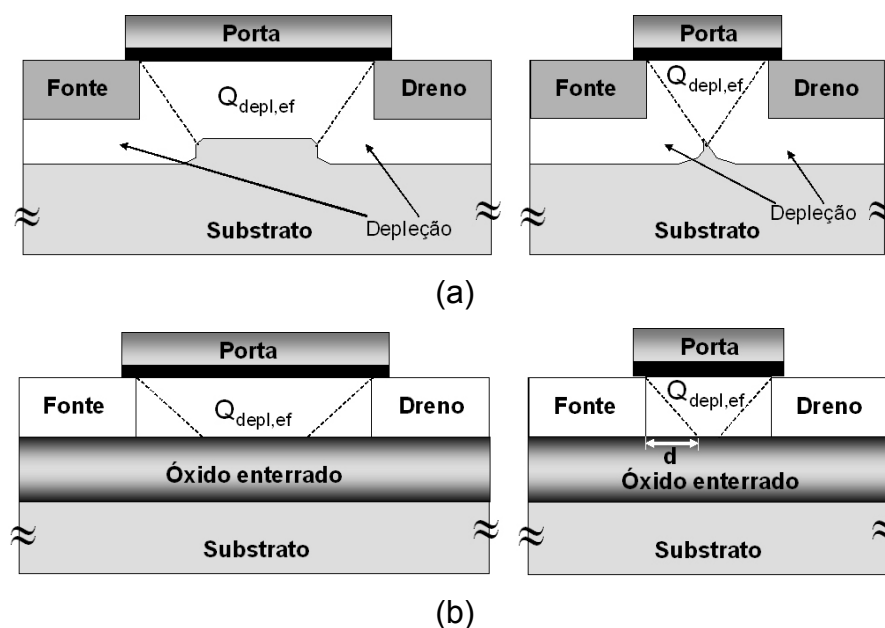


Figura 2.7: Distribuição das regiões de depleção para canal longo (esquerda) e curto (direita) em transistores (a) MOSFET convencional e (b) SOI totalmente depletado.

A variação da tensão de limiar em função do comprimento de canal pode ser vista na Figura 2.8, onde é mostrada a comparação dos dispositivos MOSFET convencional e SOI MOSFET totalmente depletado. Os dispositivos SOI apresentam uma menor redução da tensão de limiar com o comprimento de canal se comparado aos dispositivos MOSFETs convencionais^{14,15,17}.

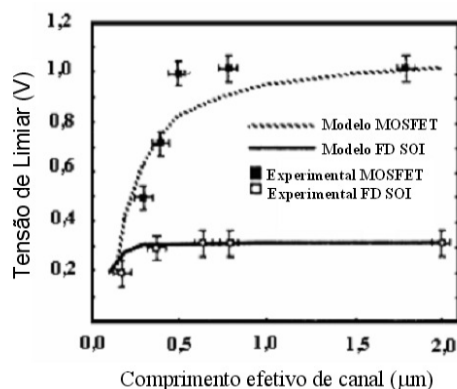


Figura 2.8: Tensão de limiar em função do comprimento de porta de um dispositivo MOSFET convencional e de um SOI MOSFET canal n totalmente depletado¹⁴.

Sob a influência das regiões de depleção das junções, a barreira de potencial de fonte e dreno é reduzida (Figura 2.10).

Quando a polarização de dreno aumenta, a região de cargas de depleção situada sob a porta estende-se ainda mais distante da fonte, o que provoca uma importante penetração do campo elétrico do dreno para a fonte. Devido a esta influência da forte polarização do dreno, a barreira de potencial da fonte será novamente reduzida. Este efeito é chamado DIBL ou "*Drain Induced Barrier Lowering*". O impacto destes diferentes efeitos sobre as características dos transistores é apresentado na Figura 2.9. Nesta figura, pode-se observar que os efeitos de canal curto conduzem a uma redução da tensão de limiar e, além disso, um aumento das correntes de fuga I_{OFF} do transistor. Nota-se também que para um transistor de canal curto, a tensão de limiar é menor em alta polarização de dreno devido ao efeito do DIBL. Isto significa que em um valor de V_G fixo, o DIBL provoca um aumento da corrente.

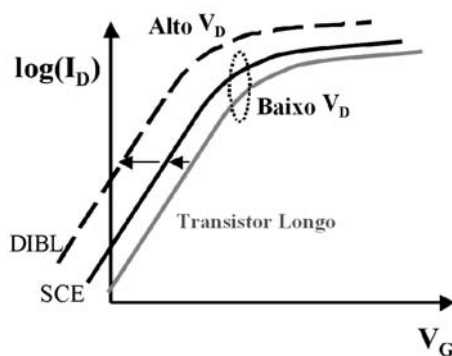


Figura 2.9: Aumento das correntes de fuga no estado desligado (I_{OFF}) e a redução da tensão de limiar no caso de efeito de canal curto (SCE) e DIBL. Linhas pretas: transistor de canal curto, Linha cinza: transistor de canal longo.

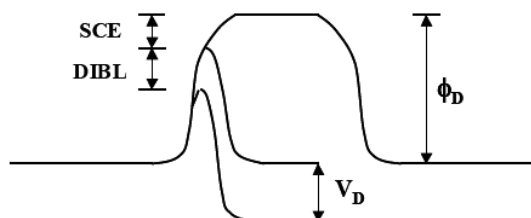


Figura 2.10: Abaixamento da barreira de potencial devido aos efeitos de canal curto e DIBL. No caso do DIBL uma queda suplementar da barreira de potencial entre fonte e dreno é observada quando é aplicada uma tensão no dreno.

Para manter a tensão de dreno relativamente elevada diminuindo as dimensões dos transistores, é necessário introduzir próximo às regiões de fonte e dreno uma região com uma menor concentração de portadores que a utilizada na fonte e no dreno. A presença desta região pouco dopada, chamada LDD (Figura 2.11) ou “*Lightly Doped Drain*”, próximo à fonte e ao dreno permite uma melhor distribuição das regiões de depleção e conseqüentemente do campo elétrico na estrutura¹⁸. A estrutura LDD representa uma solução para minimizar os problemas decorrentes do elevado campo elétrico junto ao dreno do transistor. O campo elétrico numa junção PN é função, além do potencial aplicado, das concentrações dos materiais que a compõe. Deste modo, para reduzir o campo elétrico lateral deve-se reduzir a concentração das junções. Mas quando essas concentrações são reduzidas cria-se um outro problema: o aumento da resistência série associada ao dispositivo. Com o uso da estrutura LDD são criadas extensões das regiões de fonte e dreno, porém menos dopadas. Para que a utilização desta estrutura não aumente a resistência série de fonte e dreno o comprimento destas regiões deve ser reduzido.

A utilização da estrutura LDD reduz os efeitos causados pelo campo elétrico junto ao dreno, devido ao aumento da resistência série de fonte e dreno.

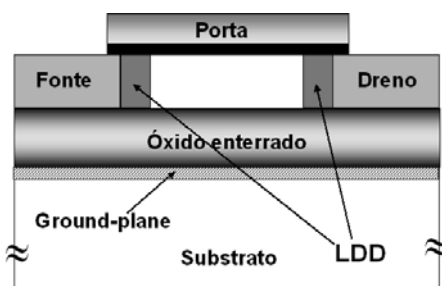


Figura 2.11: Arquitetura SOI com a representação da estrutura LDD e “ground-plane”.

O efeito do DIBL é menor em dispositivos SOI totalmente depletados do que nos dispositivos MOSFETs convencionais¹⁵. Uma solução que pode ser utilizada nos dispositivos SOI de canal curto é o uso de uma região fortemente dopada na parte superior do substrato abaixo do óxido enterrado formando assim um eletrodo chamado de “ground-plane”¹⁹ (Figura 2.11). Tal eletrodo, entretanto aumenta a capacitância de fonte e dreno para o substrato e pode degradar as características de “cross-talk”¹⁹.

2.2.2 Resistência série

Nos transistores submicrométricos, os efeitos da resistência série são uma causa relativamente importante para a perda de desempenho. Como a resistência de canal diminui com o comprimento de canal, não se pode mais desprezar os efeitos das resistências séries junto à fonte e dreno R_s e R_d . Estas conduzem a uma redução da tensão de dreno efetiva aplicada entre a fonte e o dreno.

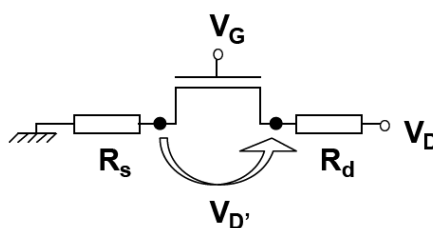


Figura 2.12: Efeito das resistências série junto à fonte e dreno conduzem a uma redução da tensão efetiva de dreno aplicada.

Devido à fina camada de silício utilizada em transistores SOI MOSFETs a resistência série de fonte e dreno pode ser entendida como sendo um problema intrínseco a esse tipo de estrutura.

Em dispositivos SOI MOSFETs de camada fina com estrutura LDD, a resistência série de fonte e dreno pode ser considerada como a soma de todas as resistências desde a região da fonte até o dreno com exceção da resistência da região do canal (Figura 2.13).

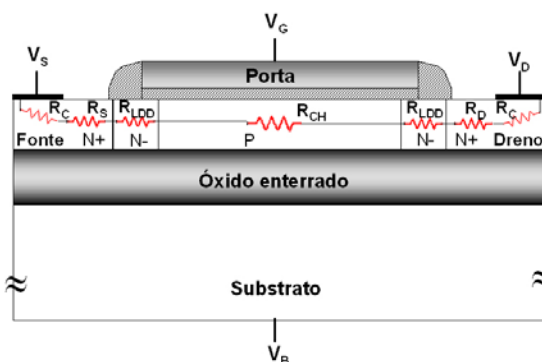


Figura 2.13: Componentes principais da resistência série de fonte e dreno para um transistor SOI nMOSFET

Na Figura 2.13 as resistências estão representadas da seguinte forma: R_C é a resistência de contato, R_S é a resistência da região da fonte, R_D é resistência da região de dreno, R_{LDD} é a resistência da região menos dopada (LDD) e R_{CH} é a resistência da região do canal. A resistência de contato (R_C) pode ser considerada praticamente independente da polarização, no entanto, dependendo das condições de polarização e temperatura as resistências das regiões de fonte (R_S), dreno (R_D) e LDD (R_{LDD}) tem seus valores afetados¹⁸.

Normalmente, a resistência série de fonte e dreno (R_{SD}), a resistência efetiva do canal (R_{CH}) e a resistência total (R_{TOTAL}), variam em função da polarização aplicada na porta de um dispositivo SOI MOSFET operando na região linear²⁰ onde:

$$R_{SD} = 2R_C + R_S + 2R_{LDD} + R_D \quad (2.20)$$

Geralmente, $R_S = R_D$ então tem-se:

$$R_{SD} = 2R_C + 2R_D + 2R_{LDD} \quad (2.21)$$

$$R_{CH}(V_G) = \frac{L_{eff}(V_G)}{W_{eff} \mu_{eff} C_{ox}(V_G - V_T - 0,5V_D)} \quad (2.22)$$

$$R_{TOTAL}(V_G) = R_{SD}(V_G) + R_{CH}(V_G) \quad (2.23)$$

sendo que, W_{eff} é a largura efetiva de canal, μ_{eff} é a mobilidade efetiva de portadores, C_{ox} é a capacitância do óxido de porta e, V_T é a tensão de limiar.

2.2.3 Espessura efetiva do óxido de porta

Quando o transistor é polarizado em regime de inversão, a carga de inversão do canal é compensada por uma carga de sinal oposto na porta. Quando a porta é fabricada com silício policristalino, esta carga se forma por depleção. O silício poli, utilizado como material de porta é fortemente dopado. Como consequência, a extensão desta região de depleção na porta de silício poli é reduzida. Contudo ela age como um isolante e tem como efeito aumentar a espessura efetiva do dielétrico de porta (Figura 2.14). Nas tecnologias recentes, com dielétricos de porta muito finos, a depleção do poli representa uma fração cada vez mais importante do EOT (“*Equivalent Oxide Thickness*” ou espessura equivalente do óxido). No melhor caso, esta espessura suplementar é da ordem de 0,4 nm para os nMOS e 0,6 nm para o pMOS²¹. Uma solução para eliminar este efeito é a utilização de portas metálicas ao invés da utilização do silício poli.

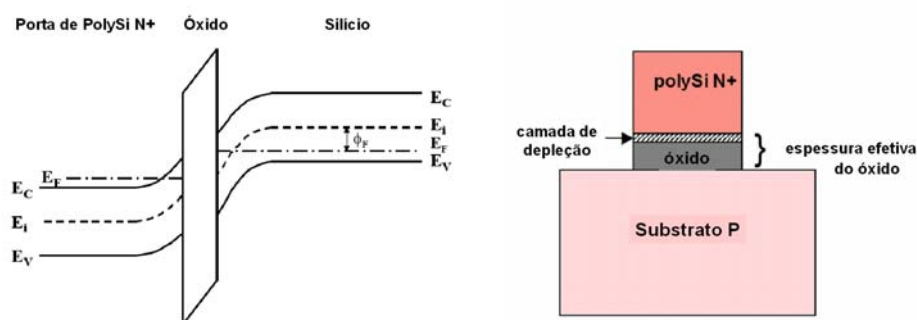


Figura 2.14: Efeito da depleção do poli; zona de depleção no silício poli aumenta a espessura efetiva do dielétrico de porta²².

Outro efeito localizado na interface óxido/canal de condução participa no aumento do EOT. Em regime de inversão, as faixas de condução e de valência se curvam próximo à superfície. No caso de um nMOS, os elétrons estão confinados na interface Si/SiO₂ por um poço triangular formado pela faixa de condução²¹. Em tal poço, os níveis de energia são quantizados. Este fenômeno quântico faz com que as cargas na camada de inversão se encontrem afastadas da interface. Esta região é chamada de “*darkspace*” e ela contribui igualmente no aumento de EOT, provocando uma redução do acoplamento capacitivo entre a porta e o canal. Pode-se considerar que a espessura equivalente do óxido ligada ao confinamento de portadores é da ordem de 0,2 - 0,4 nm para elétrons e 0,3 – 0,6 nm para lacunas²¹.

Devido à depleção de porta e do efeito de confinamento nas tecnologias com óxidos ultrafinos, convém efetivamente distinguir a espessura física do óxido ($C_{ox} = \epsilon_{ox} / t_{ox}$) da espessura elétrica em inversão T_{INV} associada à capacitância efetiva do óxido: $C_{ox,eff} = \epsilon_{ox} / T_{INV}$.

2.3 Tecnologia e Materiais alternativos

2.3.1 Limites físicos dos componentes clássicos

Se partirmos a análise das arquiteturas clássicas MOS realizadas normalmente sobre silício, podem-se distinguir vários fenômenos físicos que contrariam o ganho previsto pelas leis de escalamento.

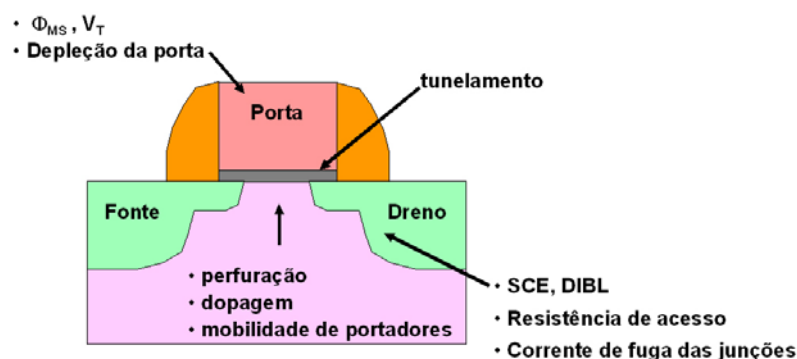


Figura 2.15: Limitações do transistor MOS clássico

Para aumentar o acoplamento capacitivo porta canal, é necessário utilizar de preferência uma porta metálica (para evitar o efeito da depleção do poli) e, sobretudo reduzir a espessura do óxido de porta. Deixar o óxido de porta mais fino é confrontar-se com as limitações. Em particular, com a redução do óxido de porta a corrente de tunelamento através do óxido aumenta chegando a ficar inaceitável.

Uma forte dopagem do canal torna-se essencial para reduzir os efeitos de canal curto. Contudo, isto reduz a mobilidade de portadores. Do mesmo modo, a fonte e o dreno devem ser fortemente dopados, em certos casos até a solubilidade limite de dopantes, para reduzir a resistência série. Soluções existem para a grande parte desses problemas, entretanto, faz-se necessário o uso de tecnologias cada vez mais complexas e precisas. Os itens a seguir irão se referir ao estudo dos limites tecnológicos do transistor MOS empurrando às dimensões nanométricas e a soluções alternativas ao transistor MOS convencional. Serão apresentadas sucessivamente quatro das maiores evoluções tecnológicas:

- 1) Materiais com alta permissividade candidatos a substituir o SiN_xO_y .
- 2) Materiais de porta alternativos
- 3) Materiais para aumentar a mobilidade do canal
- 4) Arquiteturas MOS não convencionais (não planares)

2.3.2 Materiais de alta permissividade (*high – k*)

O desempenho de um MOSFET está relacionado com a corrente de dreno I_D (entre a fonte e o dreno) quando o dispositivo está conduzindo. Através de um modelo simples pode-se escrever o valor da corrente de saturação de dreno como²³:

$$I_{Dsat} \cong \frac{W\mu C_{oxf}}{2L(1+\alpha)} (V_{GF} - V_{th})^2 \text{ para } V_D \geq V_{Dsat}, \text{ onde } C_{oxf} \text{ é a capacitância do óxido de}$$

porta, μ é a mobilidade dos portadores de carga (elétrons ou lacunas) no canal e V_{Dsat} é o potencial aplicado no dreno que satura I_D . Para se obter um aumento em I_{Dsat} , considerando μ constante e sem aumentar a dimensão lateral do dispositivo, é necessário diminuir o comprimento do canal (L) ou aumentar a capacitância do capacitor MOS, visto que o valor de V_{Dsat} é limitado para se evitar campos elétricos muito intensos no dispositivo²³. No processo de miniaturização dos dispositivos

MOSFETs o aumento da capacitância do capacitor MOS sempre foi obtida com a redução da espessura do dielétrico de porta.

De acordo com a lei de escalamento descrita pela ITRS 2010 (*International Technology Roadmap for Semiconductor*), transistores MOS necessitarão de uma espessura equivalente do dielétrico de porta de SiO₂ (EOT) menor que 1 nm. O aumento da corrente de fuga que flui através do dielétrico de porta é uma grande ameaça ao processo de miniaturização destes dispositivos. Como o principal mecanismo de transporte de carga através de filmes de SiN_xO_y, com espessura menor que ~ 3,0 nm, é o tunelamento direto de elétrons, a corrente de fuga vem crescendo exponencialmente com a diminuição da espessura do dielétrico de porta Figura 2.16. Correntes de fuga comparáveis às correntes de dreno no estado ligado (ON) e desligado (OFF) destroem a base lógica de operação de um transistor, ou seja, a distinção entre os estados ON e OFF²⁴.

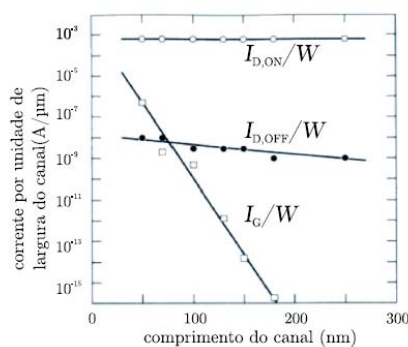


Figura 2.16: Comparação entre as correntes de fuga (I_G) e de dreno (I_D) por unidade de largura do canal no estado ligado (ON) e desligado (OFF) do transistor em função do comprimento do canal representando as gerações tecnológicas. Figura adaptada de ²⁴.

Outro fator, além da corrente de fuga que limita o uso de filmes de SiN_xO_y ultrafinos, é a difusão de boro do eletrodo de porta para a região do canal através do filme de SiO₂. Isso provoca o deslocamento da tensão de limiar do transistor, alterando as propriedades do dispositivo²⁵. Para que o processo de miniaturização seja mantido sem grandes alterações no processo de fabricação dos dispositivos MOSFET (como ocorreria, por exemplo, com mudanças na arquitetura dos dispositivos), será necessária a utilização de um dielétrico alternativo com constante dielétrica significativamente maior que a do SiO₂, conhecidos como “*high-k*”^{26,27}. O uso de um material *high-k* permite aumentar a espessura do dielétrico de porta, aumentando a barreira à corrente de tunelamento, mantendo constante a

capacitância do capacitor MOS. Define-se então a espessura equivalente ao SiO₂ (EOT) como:

$$EOT = \frac{k_{SiO_2}}{k_{high-k}} t_{high-k} \quad (2.24)$$

que representa a espessura de óxido necessária para que se obtenha a mesma capacitância em um capacitor MOS obtida com uma espessura t_{high-k} de dielétrico com constante dielétrica k_{high-k} . Muitos aspectos destes novos materiais devem ser investigados antes que eles possam ser utilizados na fabricação em massa, tais como:

- Possuir uma constante dielétrica maior que a do SiN_xO_y;
- Possuir uma largura de faixa proibida da mesma ordem que o SiO₂ ($\cong 6 - 8$ eV). Sabe-se, porém, que para a maioria dos dielétricos a largura de faixa varia com o inverso da constante dielétrica. Além disso, o alinhamento dos níveis eletrônicos deve formar um desnível nas faixas (*band offset*) de condução e de valência maior que 1 eV, tanto na interface dielétrico/c-Si como na dielétrico/eletrodo de porta, para garantir a barreira de tunelamento²⁸;
- Apresentar uma densidade de carga efetiva no dielétrico comparável a do SiO₂ ($\sim 10^{10}/\text{cm}^2$);
- A densidade de estados de interface (dielétrico/c-Si) energeticamente localizados no meio da faixa proibida deve ser comparável à interface SiO₂/c-Si ($\sim 10^{10}/\text{cm}^2$ eV);
- Evitar a difusão de boro, caso o eletrodo de porta seja Si-policristalino fortemente dopado com boro;
- Formação de uma espessa camada interfacial com constante dielétrica menor que a do *high-k*, o que levaria a uma diminuição prejudicial da capacitância total do capacitor MOS devido à associação em série de dielétricos. A formação de uma fina camada interfacial, que não comprometa a capacitância total do capacitor MOS, pode melhorar a qualidade da interface do dielétrico/c-Si.
- Estabilidade do filme dielétrico sobre Si frente a tratamentos térmicos necessários no processo de fabricação.

Existe uma variedade grande de dielétricos de porta alternativos, com constantes dielétricas relativamente altas: Al₂O₃ entre 8 e 11, HfO₂ entre 20 e 25,

LaO₃ entre 20 e 25. Progressos significativos tiveram lugar no desenvolvimento de novos dielétricos a base de silicatos de háfnio (HfSiON) e óxido de háfnio (HfO₂).

O óxido de háfnio (HfO₂) é um dos materiais dielétricos que mais têm se destacado nas pesquisas devido à suas excelentes propriedades. Como resultado, tem-se a presença do mesmo nos processadores da tecnologia de 45nm da Intel e da IBM. Trata-se de um material caro, porém estável e que suporta altas temperaturas.

Dentre as principais vantagens do uso do HfO₂ pode-se destacar: constante dielétrica de até 25 (esta depende do tipo de deposição), altura de barreira razoável (1,5 eV), que limita o tunelamento de elétrons, estabilidade térmica com o silício, redução nas correntes de fuga ocasionadas pelo tunelamento na porta e pelos efeitos da depleção do poli e da difusão dos seus dopantes²⁹.

2.3.3 Materiais de porta alternativos

A fim de limitar a depleção do poli na porta de silício poli cristalino (2.2.3), seria necessário aumentar a dopagem das portas, mas esta não pode ultrapassar de 10²⁰ cm⁻³. A solução é utilizar porta metálica que permite suprimir essa região de depleção.

Além disso, os óxidos *high-k* não podem, em geral, ser integrados diretamente sobre o silício, pois cria uma zona de isolamento SiO_x na interface *high-k* / silício quando da deposição do silício policristalino de porta. Esta camada suplementar tem a desvantagem de adicionar uma capacitância em série que vai aumentar o EOT. A introdução de uma porta metálica, portanto, não somente é sustentada pela necessidade de suprimir a região de depleção da porta de silício poli, mas também para melhorar a compatibilidade com os dielétricos *high-k*.

Além do fato de um material metálico suprimir a região de depleção na porta, e que seja mais compatível com os materiais *high-k*, certos metais têm, além disso, o interesse de se comportar como *mid-gap*, ou seja, que o nível de Fermi da porta está situado aproximadamente no meio da faixa proibida do silício ($\Phi_M \cong 4,7$ eV). Lembrando que a função trabalho da porta, Φ_M intervém diretamente na tensão de limiar através da tensão de faixa plana V_{FB} . A modulação de Φ_M permite então ajustar diretamente a tensão de limiar.

Com o uso de um material de porta acima indicado (*mid-gap*), as tensões de limiar dos transistores nMOS e pMOS são praticamente simétricas de modo que o mesmo material de porta pode ser utilizado para os dois transistores: nMOS e pMOS.

Duas abordagens existem para obter as portas metálicas. Pode-se obter uma silicetização total do silício poli, também chamado de FUSI (**F**ully **S**ilicided), com cobalto (CoSi_2) ou níquel (NiSi)³⁰. Uma vantagem desta abordagem é que a função trabalho da porta pode ser ajustada por implantação de dopantes. O NiSi tem demonstrado ser muito bom candidato graças a seu comportamento como *mid-gap* e sua facilidade de integração pois a silicetização se faz em baixa temperatura³¹. Contudo, sobre o *high-k*, a integração da porta ainda é problemática porque o Φ_M geralmente é armadilhado no meio da faixa de silício³². Uma outra abordagem é utilizar uma porta totalmente metálica, como o TiN com um Φ_M no meio da faixa do silício. Isto permite igualmente ajustar a tensão de limiar para os dispositivos nMOS e pMOS ao mesmo tempo³³.

Atualmente não existe um consenso sobre a escolha do material metálico de porta. Utilizando uma porta *mid-gap*, a tensão de limiar pode ser demasiadamente elevada, particularmente pelos transistores de alto desempenho (HP – *high performance*), onde, para obter V_{th} baixo, a função trabalho deve se situar no nível das faixas de valência e condução do silício para os pMOS e nMOS, respectivamente. As modulações importantes de Φ_M foram obtidas por implantação³⁴. Esta permite a utilização de um material de porta único para o qual a função trabalho pode ser modificada próxima do Φ_M do silício poli cristalino N+ ou P+ por implantação. Outra solução é utilizar dois materiais diferentes (metais N+ e P+) para os transistores nMOS e pMOS³⁵. Entretanto esta dualidade provoca custos adicionais tecnológicos importantes porque é necessário integrar dois materiais de porta no mesmo CI.

2.3.4 Novos materiais para alta mobilidade no canal

A introdução de tensão mecânica no canal de condução (*strained silicon*) e integração de novos materiais no canal tem por objetivo melhorar a mobilidade de portadores, e conseqüentemente a corrente de saturação. A tensão mecânica

provoca ao mesmo tempo uma diminuição da faixa proibida e da massa efetiva de portadores o que afeta a propriedade de transporte e em especial a mobilidade de portadores livres.³⁶

Vários tipos de tensão mecânica podem ser aplicados no canal de condução: tensão mecânica tensiva ou compressiva, em somente um eixo (tensão mecânica uniaxial) ou num plano (tensão mecânica biaxial). Existem dois métodos de se obter a tensão mecânica: no primeiro caso o substrato de silício é modificado a fim de obter um canal tensionado. No segundo caso, utiliza-se um substrato de silício padrão onde o canal é tensionado no decorrer da fabricação do transistor.

No primeiro caso, o tensionamento biaxial é introduzido no canal modificando o substrato através de diferentes etapas do processo de fabricação. Trata-se de um crescimento epitaxial de Si sobre um substrato de $\text{Si}_{1-x}\text{Ge}_x$ sem tensionamento³⁷. Isso tem por efeito modificar os parâmetros da rede do material do canal (Si) menor, sobre o do substrato ($\text{Si}_{1-x}\text{Ge}_x$) maior (Figura 2.17). O resultado é um canal de Si tensionado com tensão biaxial. Esta camada de Si tensionado pode ser também transferida sobre isolante^{38,39} (lâmina sSOI).

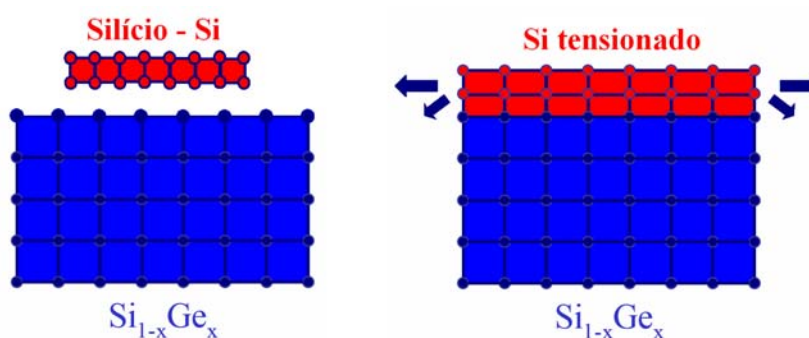


Figura 2.17: Canal de Si sobre um substrato de $\text{Si}_{1-x}\text{Ge}_x$ relaxado

Para realizar o tensionamento em compressão biaxial, o canal tensionado SiGe é “encapsulado” por uma camada de Si (chamada cap Si) (Figura 2.18). Esta camada de silício é necessária para obter um óxido SiO_2 de boa qualidade. Outra técnica é utilizar a epitaxia fonte e dreno em SiGe. Tem sido mostrado que o tensionamento em compressão induzido por este método é muito eficaz e melhora fortemente a mobilidade de lacunas⁴⁰.

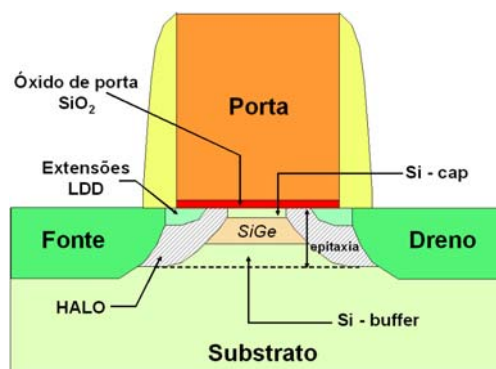


Figura 2.18: Transistor MOS com canal de SiGe tensionado.⁴¹

A segunda abordagem é utilizar um substrato de Si padrão. O canal é então tensionado no decorrer da fabricação do transistor. Um tensionamento uniaxial, seja ele tensivo ou compressivo, é aplicado durante o processo de fabricação. Uma camada de Nitreto de Silício ou CESL (*Contact Etch Stop Liner*) transmite, por exemplo, um tensionamento no canal no momento da deposição (Figura 2.19). Uma outra técnica, chamada SMT (*Stress Memory Transfer*), consiste na deposição desta camada de tensão mecânica antes do recozimento e recristalização da porta, e permite transferir o tensionamento ao canal via porta⁴². Outros elementos tal como o STI podem também induzir o tensionamento mecânico no canal⁴³.

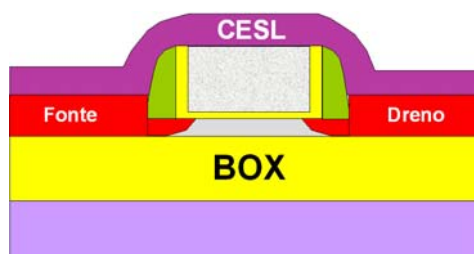


Figura 2.19: Canal de Si tensionado por uma camada de CESL.

A aplicação do tensionamento em um semiconductor tende a uma diminuição das probabilidades de interação portadores – fônons e alcança a vantagem então da qualidade do transporte³⁶. Numerosos resultados experimentais destacaram a melhora da mobilidade de portadores nos transistores MOS com canal tensionado. Um ganho na mobilidade de elétrons em torno de 89-100% foi obtido³⁸. Ganhos na mobilidade da ordem de 60-100% foram demonstrados para lacunas⁴⁴.

Para poder aproveitar os benefícios do tensionamento mecânico nos transistores MOS, na abordagem onde o tensionamento uniaxial é aplicado no

processo de fabricação, é necessário considerar as arquiteturas de porta dupla. Já foram demonstrados transistores nMOS e pMOS de porta dupla tensionados fabricados por CESL (*Dual Stress Liner*) (por exemplo ⁴⁵). Esta tecnologia foi utilizada no processador AMD Athlon que está em produção desde 2005.

Finalmente, o germânio, após ter sido base dos primeiros transistores bipolares, é atualmente um material muito reconhecido por sua ótima mobilidade de elétrons e de lacunas em relação ao silício^{46,47}. Os transistores com canal em germânio já são fabricados com uma abordagem convencional⁴⁶. Contudo a utilização de SiO₂ como óxido de porta necessita de uma camada isoladora (*buffer*) de silício. A largura da faixa proibida do germânio é inferior a do silício, e as correntes de fuga são mais elevadas. A utilização de dielétricos *high-k* permite resolver este problema⁴⁸. Transistores MOSFET sobre GOI (*Germanium on Insulator* – Germânio sobre isolante) com Al₂O₃ como óxido de porta e com a porta metálica foram feitos⁴⁹. O ganho da mobilidade obtido foi de 194% para elétrons e 198% para lacunas. Graças à aparição dos dielétricos com alta permissividade e as suas boas propriedades de transporte, o Ge é uma alternativa muito interessante para aplicações de alta performance na nano eletrônica.

2.3.5 Arquiteturas de múltiplas portas

Com intuito de melhorar as características de canal curto e aumentar a condução de corrente, a tecnologia SOI CMOS está evoluindo da arquitetura “single-gate” para estruturas com mais de uma porta, tais como de porta dupla (“double-gate”), tripla (“triple-gate”) e quádrupla, que são os chamados dispositivos de Múltiplas portas (MUGFET).

Abaixo podemos observar a evolução dos dispositivos SOI MOSFETs com relação à quantidade de portas (Figura 2.20).

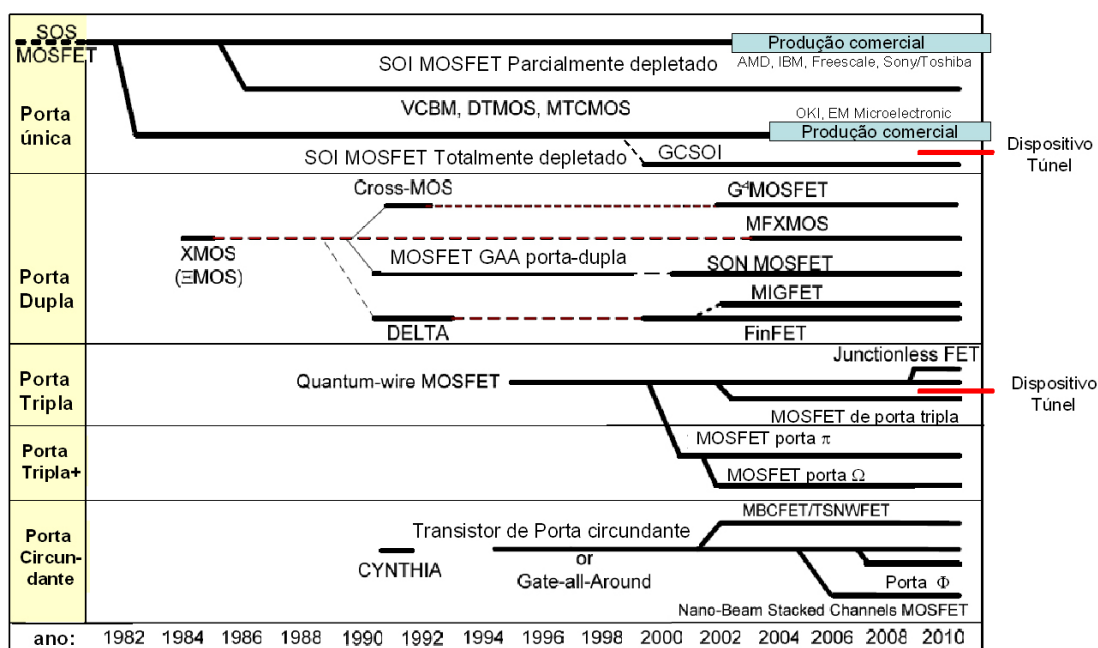


Figura 2.20: Evolução dos dispositivos MOSFET ^{50, 51}

As diferentes configurações para um SOI MOSFET estão resumidas na Figura 2.21.

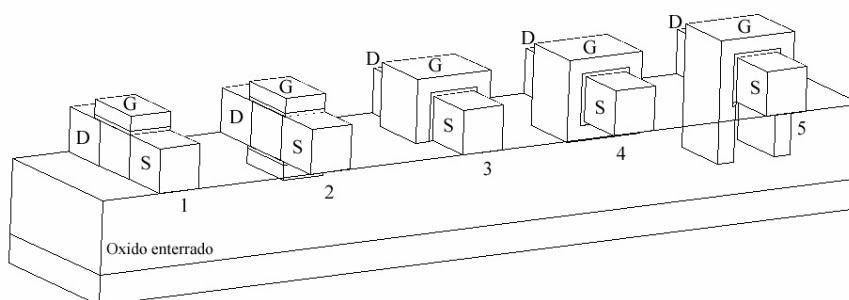


Figura 2.21: Convencional (1), porta dupla (2), porta tripla (3), porta quádrupla (4), porta Π e porta Ω (5).

A seguir serão descritas algumas formas diferentes de dispositivos de porta dupla, tripla ou quádrupla encontradas na literatura ^{10,52}.

2.3.5.1 Dispositivos de porta dupla

O primeiro dispositivo MOS de porta dupla, fabricado antes de 1984 ⁵³, foi chamado de XMOS, e mostrou significativa melhora nos efeitos de canal curto, obtendo excelente controle do potencial na região de canal, devido ao uso de duas portas, melhor controle da região de depleção do canal, se comparado com

transistores SOI MOSFET convencionais (“*single-gate*”), com mínima influência das regiões de depleção de fonte e dreno. Já em tecnologia SOI, o primeiro dispositivo de porta dupla a ser fabricado, foi o “*fully DEpleted Lean-channel TrAnsistor* (DELTA,1989)”, que tem a região do canal (região ativa, camada de silício) na posição vertical⁵⁴. Outros dispositivos que surgiram, também com a região de canal na posição vertical, foram: o FinFET (Figura 2.22)⁵⁵, o MFXMOS⁵⁶, o SOI MOSFET condutor triangular (“*triangular-wired*”)⁵⁷, e o canal Δ SOI MOSFET⁵⁸. As vantagens encontradas com a utilização dos dispositivos de porta dupla são: efeito de corpo praticamente igual a 1, devido ao perfeito acoplamento capacitivo entre a região do canal e a porta, e devido à formação de dois canais de inversão, a corrente de condução é pelo menos o dobro do valor da corrente encontrada nos dispositivos “*single-gate*”¹⁰.

Uma propriedade importante deste tipo de dispositivo, entretanto, é a possibilidade da formação de camadas de inversão não somente acima e abaixo da região de canal, mas em toda a camada de silício. Este efeito, que aparece quando a espessura da camada de silício é fina o suficiente, é chamado de inversão de volume, que favorece um aumento da corrente de condução do dispositivo^{59,60}. Este conceito de inversão de volume foi descoberto em 1987⁶⁰, e o aumento da transcondutância encontrado devido a este fenômeno foi experimentalmente observado em 1990, com o surgimento do primeiro dispositivo de porta dupla planar, chamado dispositivo de porta circundante (“*gate-all-around*” - GAA) (Figura 2.23)⁶¹. Os dispositivos GAA estudados podem ser considerados como dispositivos de porta dupla devido à largura do dispositivo ser muito maior do que a espessura da camada de silício, o que faz com que duas das portas não influenciem no comportamento do dispositivo.

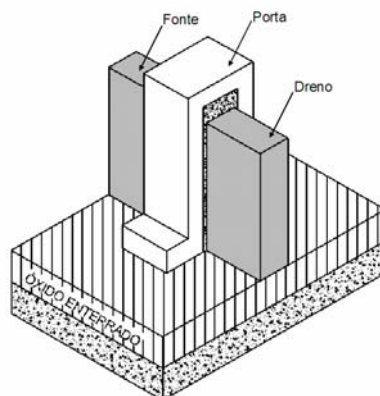


Figura 2.22: Estrutura SOI MOSFET de porta dupla FinFET

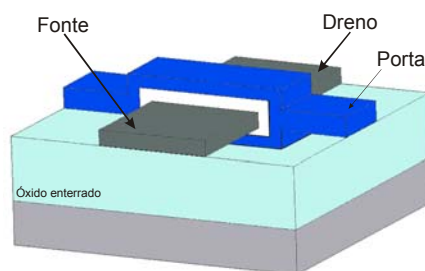


Figura 2.23: Estrutura GAA (Gate-All-Around) SOI MOSFET

2.3.5.2 Dispositivos de porta tripla

Os dispositivos MOSFETs de porta tripla são os dispositivos onde a região de canal é envolvida por três portas. Como exemplo de dispositivos de porta tripla implementados tem-se: “*quantum-wire SOI MOSFET*”⁶² e o MOSFET de porta tripla MOSFET^{63,64} (Figura 2.24). Há ainda versões melhoradas deste tipo de estrutura, que são os dispositivos com uma pseudo quarta porta, são eles: porta Π ⁶⁵, porta Ω ⁶⁶ e “*strained-channel multi-gate*”⁶⁷. As propriedades elétricas destas estruturas estão entre os dispositivos de porta tripla e quádrupla.

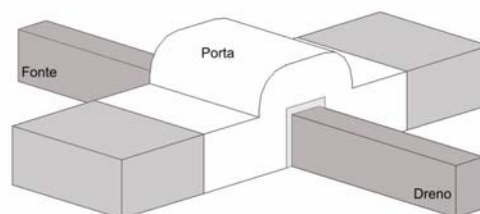


Figura 2.24: Estrutura SOI MOSFET de porta tripla

2.3.5.3 Dispositivos de mais de três portas (“*triple-plus gate*”)

Como citado anteriormente, os dispositivos “*triple-plus gate*” que têm uma pseudo quarta porta, podem ser chamados de “*quasi-surrounding-gate*”, e utilizam processos de fabricação parecidos com os SOI MOSFETs de porta tripla, são eles: porta Π ^{68,69} e porta Ω ⁶⁶ (Figura 2.25). Tais dispositivos podem ser chamados de “*3⁺ (triple-plus)-gate*” devido às suas características estarem entre os dispositivos de porta tripla e quádrupla.

Basicamente estes dispositivos são de porta tripla, com uma extensão do eletrodo de porta abaixo da camada de silício (região ativa), que faz com que haja um aumento na condução de corrente e melhora os efeitos de canal curto. A extensão da porta pode ser facilmente formada utilizando-se uma taxa de corrosão sensivelmente maior no óxido enterrado (BOX – “*Buried OXide*”) durante a etapa de litografia da camada de silício. A extensão do eletrodo de porta abaixo da região ativa (óxido enterrado) forma um campo induzido na parte inferior do dispositivo que bloqueia o espalhamento das linhas de campo elétrico do dreno na parte inferior da região ativa de silício, fazendo com que o campo elétrico proveniente do dreno fique limitado nas extensões desta extensão de porta, funcionando assim como uma pseudo quarta porta.

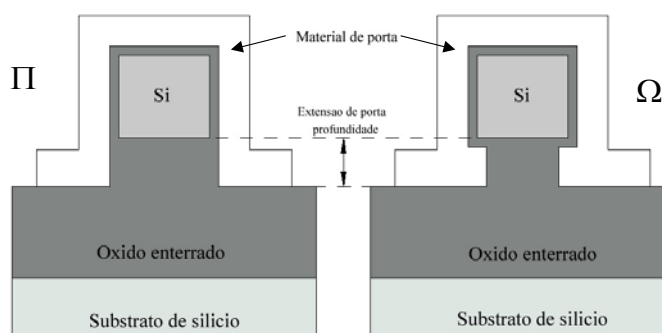


Figura 2.25: Cortes transversais das estruturas porta Π e porta Ω .

2.3.5.4 Dispositivos de porta quádrupla

Teoricamente, a estrutura que oferece o melhor controle da porta sobre o canal, é o dispositivo de quatro portas. Um exemplo de um transistor de quatro portas é o G^4 -FET⁷⁰ que utiliza uma combinação dos princípios de funcionamento do MOSFET (portas acima e abaixo da região de canal) e do JFET (portas de junção lateral) em um único dispositivo SOI. Neste tipo de dispositivo, é possível aplicar polarizações diferentes em cada uma das quatro portas. Este dispositivo tem a mesma estrutura de um SOI MOSFET convencional parcialmente depletado (PD MOSFET) com dois contatos de corpo independentes (n^+), não necessitando de nenhuma etapa de fabricação a mais que um SOI convencional. Um G^4 -FET tem a mesma configuração de um MOSFET convencional, diferenciando apenas o sentido do fluxo de corrente, que no G^4 -FET, flui de um contato de corpo ao outro. Os contatos de corpo de um PD MOSFET são então usados como a fonte e o dreno

deste dispositivo, como podem ser observados na Figura 2.26. As quatro portas são: a porta de poli-silício superior (G1), o substrato de silício funcionando como a porta inferior (G2) e as duas regiões p^+ (JG1 e JG2) que são polarizadas reversamente em relação ao corpo n^- são as “portas laterais”. A corrente de dreno surge devido aos portadores majoritários e é controlada pelo efeito de acumulação e depleção das portas acima e abaixo do canal e pelo efeito da depleção das portas das junções laterais. Neste dispositivo, dependendo da polarização aplicada nas portas, é possível encontrar três componentes de corrente circulando: a corrente na primeira interface, a corrente na segunda interface ou a corrente no volume, distante das interfaces, no meio do canal (Figura 2.27).

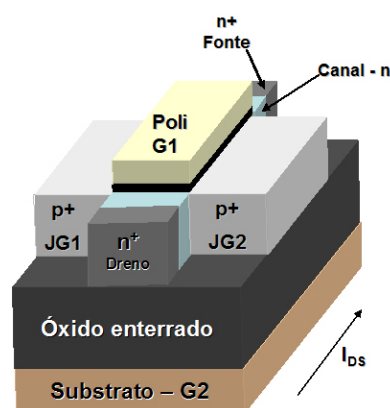


Figura 2.26: Dispositivo G^4

Figura 2.27: Descrição das diferentes opções de condução em um transistor: **A** – corrente de dreno na primeira interface, **B** – corrente de dreno na segunda interface, e **C** – corrente de dreno no volume. (Parte em branco, corresponde à condução de corrente no canal).

2.4 Características dos dispositivos de múltiplas portas

As principais características do uso de dispositivos SOI MOSFETs de múltiplas portas são: a alta condução de corrente por unidade de área devido à formação de mais de um canal, e a redução dos efeitos de canal curto devido ao potencial na região do canal ser controlado por mais de uma porta⁵².

2.4.1 Condução de corrente

A corrente de um dispositivo de múltiplas portas é essencialmente igual à soma das correntes que passam por todas as interfaces que são envolvidas pelo

eletrodo de porta, desconsiderando-se o efeito da inversão de volume e o melhor acoplamento encontrado em dispositivos totalmente depletados. Pode-se considerar, portanto, que é igual à corrente do dispositivo de porta única multiplicada pelo número equivalente de portas (considerando a seção transversal quadrada) isso se a mobilidade de portadores for a mesma em todas as interfaces. Sendo assim o dispositivo de porta dupla tem o dobro de condução de corrente que o dispositivo SOI convencional com o mesmo comprimento e largura de porta (região do canal). Para a obtenção de maior condução de corrente devem-se usar dispositivos de vários dedos (“*multi-fingered*” ou “*multi-fins*”) SOI MOSFETs. Com isso, a condução de corrente de um dispositivo de vários “dedos” será então a corrente de um dispositivo individual multiplicada pelo número de “dedos”^{7,10}, se compararmos a corrente de um dispositivo MOSFET planar de porta única com um dispositivo de múltiplas portas “*multi-fin*” considerando a mesma área de porta, $W \times L$ (Figura 2.28).

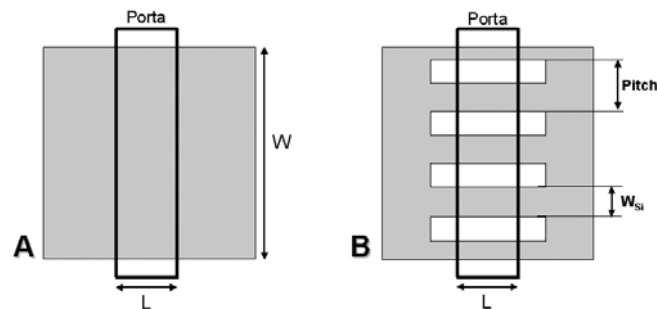


Figura 2.28: (A) *Layout* de um dispositivo planar de porta única; (B) *Layout* de um dispositivo de múltiplas portas “*multi-fin*”⁷.

Assumindo que o dispositivo planar é feito em silício (100) a mobilidade de superfície é então chamada de μ_{TOP} e a mobilidade nas interfaces das paredes laterais é diferente da mobilidade na superfície dependendo da orientação cristalina das paredes laterais, normalmente (110), essa é então chamada de μ_{LAT} ⁷¹.

Considerando um espaçamento P (*pitch*) entre os dedos, a corrente em um dispositivo de múltiplas portas é dada por:

$$I_{DS} = I_{D0} \frac{\theta \mu_{Top} W_{Si} + 2 \mu_{Lat} t_{Si}}{\mu_{Top} P}$$

(2.25)

onde I_{D0} é a corrente no dispositivo planar de uma única porta, W_{Si} é a largura de cada dedo individualmente, t_{Si} é a espessura do filme de silício, P é o espaçamento

entre os dedos (Figura 2.29); $\theta = 1$ em um dispositivo de porta tripla onde a condução ocorre ao longo das três interfaces, e $\theta = 0$ em um FinFET de porta dupla onde os canais são formados somente nas interfaces laterais.⁷²

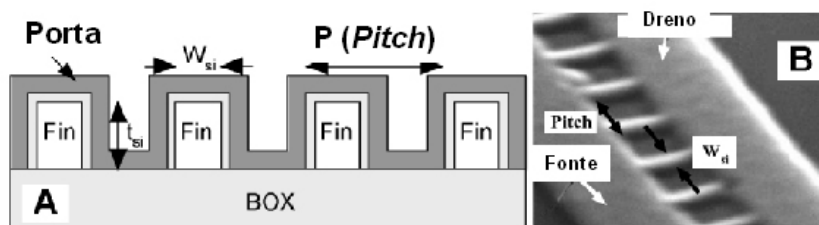


Figura 2.29: A – seção transversal de um dispositivo de múltiplas portas e “multi-fins”; B – Foto SEM dos dedos (fins)⁷

2.4.2 Efeitos de canal curto

Com a necessidade da redução do comprimento de canal dos dispositivos, começam a aparecer efeitos indesejáveis em suas características elétricas, que podemos chamar de efeito de canal curto. Devido a este efeito, ocorre uma degradação na inclinação de sublimiar, redução da tensão de limiar, entre outros. Estes efeitos são causados pela invasão das linhas de campo elétrico que vêm do dreno na região do canal, e que competem pela carga de depleção disponível. A porta então exerce um menor controle sobre a região de depleção abaixo dela.

É possível prever o quanto se pode reduzir a espessura da camada de silício de dispositivos com mais de uma porta para evitar os efeitos de canal curto (ou, pelo menos, manter uma inclinação de sublimiar razoável – próximo de 60mV/década), através de um parâmetro chamado “comprimento natural”, λ .

O comprimento natural fornece uma medida do efeito de canal curto inerente à estrutura do dispositivo, que representa a distância de penetração das linhas de campo elétrico do dreno no corpo do dispositivo ou o controle que a região de dreno tem sobre a região de depleção no canal, uma vez que tanto a porta quanto o dreno competem por este controle. Quanto menor o valor de λ , menores serão os efeitos de canal curto na inclinação de sublimiar. Alguns estudos feitos por simulações numéricas⁷³ estabeleceram que o dispositivo estará relativamente livre de efeitos de canal curto se o valor de λ for menor que 5 a 10 vezes o comprimento de porta. Este

parâmetro, λ , depende tanto da espessura do óxido de porta, quanto da camada de silício^{73, 74}.

É sabido que a distribuição de potencial na região do canal de um SOI MOSFET totalmente depletado é governada pela equação de Poisson assumindo a ionização completa (equação (2.16):

$$\frac{d^2\Phi(x, y, z)}{dx^2} + \frac{d^2\Phi(x, y, z)}{dy^2} + \frac{d^2\Phi(x, y, z)}{dz^2} = \frac{qNa}{\epsilon_{Si}} \quad (2.26)$$

Na Figura 2.30 é mostrado como as portas e o dreno competem pela carga de depleção em um dispositivo. O controle da porta é exercido nas direções y e z e compete com a variação do campo elétrico na direção x devido à tensão de dreno.

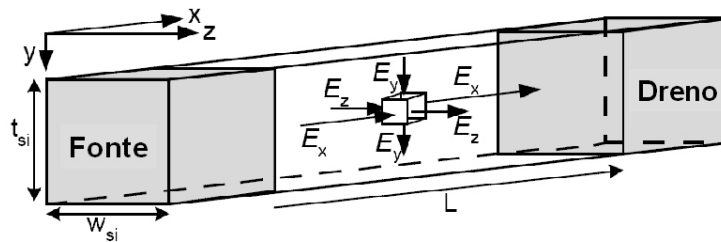


Figura 2.30: Definição do sistema de coordenadas em um dispositivo de múltiplas portas, e as componentes do campo elétrico nas direções x , y e z .

Assumindo que o dispositivo tenha uma largura (W) grande o suficiente, $\frac{d^2\Phi(x, y, z)}{dz^2} = 0$, e assumindo uma variação parabólica do potencial na direção y , pode-se escrever:

$$\Phi(x, y) = c_0(x) + c_1(x)y + c_2(x)y^2 \quad (2.27)$$

A partir das equações (2.26) e (2.27) através de algumas condições de contorno, é possível saber qual o comprimento natural para cada tipo de estrutura.

Para os dispositivos SOI MOSFETs convencionais (de uma porta), seguindo algumas condições de contorno para resolução da equação (2.27) obtém-se o λ_1 que representa o comprimento natural para dispositivos de uma porta:

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} t_{Si}}$$
(2.28)

Para os dispositivos de porta dupla, seguindo algumas condições de contorno para resolução da equação (2.27) obtém-se λ_2 que representa o comprimento natural para dispositivos de duas portas:

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{ox} t_{Si}}$$
(2.29)

Um dispositivo de porta dupla com o dobro da espessura de um dispositivo SOI convencional tem o mesmo controle de efeitos de canal curto.

Para os dispositivos de porta circundante, seguindo algumas condições de contorno para resolução da equação (2.27) obtém-se o λ_3 que representa o comprimento natural para dispositivos de porta circundante:

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}} t_{ox} t_{Si}}$$
(2.30)

O conceito de comprimento natural pode ser usado para estimar a espessura máxima da camada de silício e a largura do dispositivo que pode ser usada a fim de evitar os efeitos de canal curto^{73,74}.

2.4.3 Tensão de limiar

A definição clássica de que a tensão de limiar é alcançada quando $\Phi_S = 2\Phi_F$ (início da inversão forte), não pode ser considerada para os dispositivos de porta dupla, pois a corrente segue o mecanismo de inversão fraca⁷⁶.

A Figura 2.31 apresenta a concentração de elétrons na camada de silício à medida que a corrente começa a fluir no dispositivo, o que corresponde a definição prática de limiar de inversão forte. Conseqüentemente, surge a necessidade da

adoção de uma definição matemática de tensão de limiar que difere da relação clássica $\Phi_S = 2\Phi_F$.

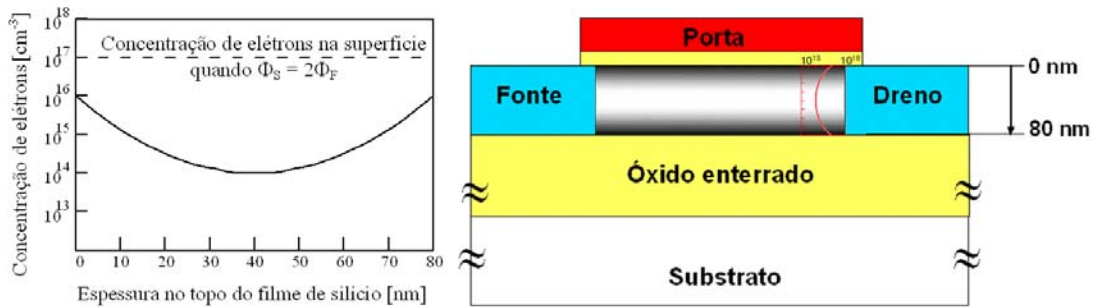


Figura 2.31: (à esquerda) Concentração de portadores minoritários (elétrons) no canal de um transistor de porta dupla, modo inversão, canal tipo n, no limiar.¹⁰ (à direita) representação da concentração de elétrons no transistor.

A tensão de limiar, segundo o modelo de transistor SOI modo inversão de porta dupla desenvolvido por Francis *et al.*^{75,76}, é definida pelo método “*Transconductance Change*” (TC)⁷⁶, o potencial de superfície no limiar (Φ_S^*) para estes dispositivos, pode ser obtido como: $\Phi_S^* = 2\Phi_F + \frac{kT}{q} \ln \left[\delta \frac{1}{1 - e^{(-\alpha)}} \right]$, onde $\alpha = \frac{q}{kT} \frac{Q_{depl}}{8C_{Si}}$, $\delta = \frac{C_{ox}}{4C_{Si}}$, Φ_F é o potencial de Fermi, kT/q é o potencial térmico, Q_{depl} é a carga de depleção, C_{Si} é a capacitância do silício e C_{ox} é a capacitância do óxido de porta.

Com a expressão de Φ_S^* para o potencial de superfície, o limite de inversão, não é mais em $2\Phi_F$, e sim um valor de 10 a 90 mV menor que $2\Phi_F$, mostrando que a definição clássica não pode mais ser utilizada. Analiticamente a tensão de limiar pode ser obtida como (2.31):

$$V_{th} = \Phi_S^* + V_{FB} + \frac{kT}{q} \frac{\alpha}{\delta} \sqrt{1 + \frac{\delta}{\alpha}} \quad (2.31)$$

A diferença entre o potencial de superfície na inversão e $2\Phi_F$ depende da espessura da camada de silício, espessura do óxido de porta, e da concentração de dopantes.

A Figura 2.32 mostra a evolução do potencial de superfície em função das espessuras da camada de silício e do óxido de porta, que é uma comparação de

simulações feitas com o uso do simulador bidimensional MEDICI e o modelo proposto por Francis⁷⁶. Esta figura mostra claramente que o potencial de superfície está abaixo de $2\Phi_F$.

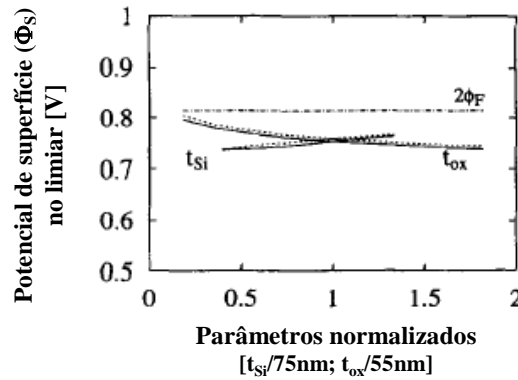


Figura 2.32: Evolução do potencial de superfície em função das espessuras do camada de silício e do óxido de porta: comparação entre o modelo de superfície (linha pontilhada) e a curva de referência do MEDICI (linha sólida)⁷⁶.

2.4.4 Transcondutância

A transcondutância (g_m) é a medida da eficácia do controle da corrente de dreno pela tensão aplicada na porta; para sua obtenção na região linear é necessário derivar a corrente de dreno em relação à tensão de porta, com V_{DS} baixo. A equação de corrente I_{DS} segundo Francis⁷⁶ é:

$$I_{DS} = \frac{W}{L} V_{DS} \mu_n (2\epsilon_{Si} E_S - qN a t_{Si}) \quad (2.32)$$

onde: E_S é o campo elétrico de superfície e μ_n é a mobilidade considerada constante.

Com o objetivo de obter o termo dE_S/dV_{GF} , necessário para o cálculo de g_m , é preciso derivar os dois lados da equação auto consistente do potencial de superfície (2.33)⁷⁶.

$$\Phi_S = C_2(\Phi_S, E_S) + \frac{q}{\epsilon_{Si}} \left(\frac{kT}{q} \right) \frac{n_S}{E_S^2} \quad (2.33)$$

onde: Φ_S é o potencial de superfície, n_S é a concentração de elétrons na superfície e

$$C_2 = V_{GF} - V_{FB} + \frac{q}{\epsilon_{Si}} \frac{kT}{q} \frac{n_S}{E_S} \left(\frac{\epsilon_{Si}}{C_{ox}} \left[e^{-(q/kT)(t_{Si}/2)E_S} - 1 \right] - \frac{kT}{q} \frac{1}{E_S} \right) - \frac{qNa}{C_{ox}} \frac{t_{Si}}{2}, \text{ sendo } V_{FB} \text{ a tensão}$$

de faixa plana.

Após alguns cálculos a expressão final da transcondutância é (2.35)⁷⁶:

$$g_m = 2 \frac{W}{L} C_{ox} \mu_n V_{DS} \frac{\frac{q}{C_{ox}} \frac{n_S}{E_S}}{1 - \frac{q}{2C_{Si}} \frac{n_S}{E_S} e^{-(q/kT)(t_{Si}/2)E_S} + \frac{q}{C_{ox}} \frac{n_S}{E_S} + \frac{q}{\epsilon_{Si}} \frac{kT}{q} \frac{n_S}{E_S^2}} \quad (2.34)$$

Simplificando:

$$g_m \approx 2 \frac{W}{L} C_{ox} \mu_n V_{DS} \frac{\frac{q}{C_{ox}} \frac{n_S}{E_S}}{1 + \frac{q}{C_{ox}} \frac{n_S}{E_S}} \quad (2.35)$$

A simplificação da equação de g_m , geralmente pode ser usada para qualquer tecnologia obtendo uma tensão de limiar positiva. Entretanto, a expressão completa é necessária quando se trabalha com espessuras de camada de silício muito finas ou baixa concentração de dopantes.

O valor teórico de transcondutância máxima, $2(W/L)\mu_n C_{ox} V_{DS}$, é o dobro do valor obtido em um SOI convencional com a mesma razão W/L . A estrutura de porta dupla funciona como se dois transistores estivessem trabalhando em paralelo quando operando sem o efeito de inversão de volume. Para reproduzir a redução da transcondutância com o aumento da tensão de porta é necessário considerar a mobilidade variável em função da concentração de portadores, do campo elétrico de superfície e da profundidade da camada de silício⁷⁵.

2.4.5 Mobilidade

Como mencionado anteriormente, os dispositivos de múltiplas portas podem entrar em inversão de volume, que é quando toda a camada de silício está em inversão forte. Quando o dispositivo trabalha em regime de inversão de volume, ou seja, espessura reduzida da camada de silício, há um menor espalhamento de portadores na interface Si/SiO₂⁷⁷, e ao invés do pico de concentração de elétrons estar próximo às duas interfaces, este agora se localiza alguns nanômetros para o meio da camada de silício, ou seja, a maior concentração de elétrons está no centro do canal (corrente circula pelo centro da espessura da camada de silício), ficando mais afastados dos centros de espalhamento de interface (Figura 2.33). Com isso os transistores de múltiplas portas apresentam um aumento na mobilidade e na transcondutância se comparado aos transistores “single-gate”⁷⁸.

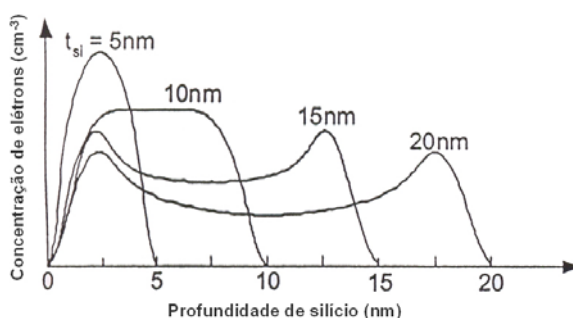


Figura 2.33: Perfil de concentração de portadores em inversão em um dispositivo de porta dupla com diferentes espessuras de camada de silício⁷⁹.

Em filmes de silício extremamente finos ($t_{Si} < 5$ nm), entretanto, os portadores de inversão na camada de inversão de volume sofrem um maior espalhamento de superfície devido à sua proximidade física às interfaces, e a mobilidade diminui com qualquer redução na espessura da camada de silício^{79,80}, como pode ser observado na Figura 2.34.

Na Figura 2.34 é apresentada a dependência da mobilidade com a espessura da camada de silício nos dispositivos de porta dupla. Em filmes mais espessos, onde não há interação entre as regiões de inversão da primeira e da segunda interface, não ocorre o efeito da inversão de volume, com isso não há variação da mobilidade com a variação da espessura, sendo praticamente a mesma que nos dispositivos

MOSFETs convencionais, mas a corrente, devido ao uso das duas portas, é o dobro da do dispositivo SOI de uma porta^{78,79}.

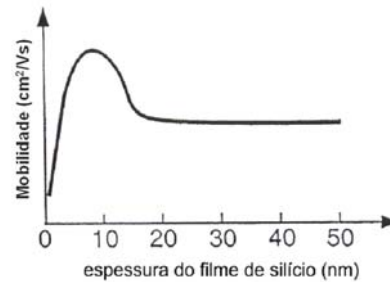


Figura 2.34: Variação da mobilidade com a espessura do camada de silício em um dispositivo de porta dupla^{78,79}.

2.4.6 Inclinação de sublimiar

A inclinação de sublimiar (S) é definida como o inverso da inclinação da curva $I_D \times V_G$ no regime de sublimiar, com a corrente de dreno em escala logarítmica, como pode ser visto na Figura 2.35 um exemplo de uma curva $I_D \times V_G$ para extração de S .

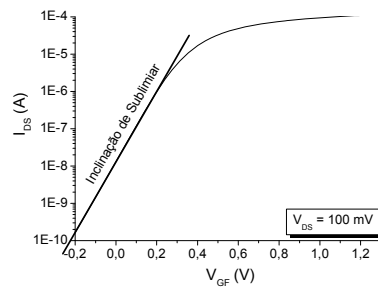


Figura 2.35: Exemplo de uma curva $\log(I_{DS}) \times V_{GF}$ de um dispositivo SOI de porta dupla destacando-se a reta na região de sublimiar para a extração da inclinação de sublimiar.

$$S = \frac{dV_{GF}}{d(\log I_{DS})}$$

(2.36)

Para o dispositivo de porta dupla, segundo Francis et al.⁷⁵, para obtenção da corrente de dreno na região de sublimiar é necessário usar uma aproximação de depleção para o potencial de superfície, e o desenvolvimento de primeira ordem da série de Taylor do campo elétrico de superfície. A inclinação de sublimiar (S)

[equação (2.36)] alcança seu valor ideal em $\ln(10)(kT/q)$, que é o melhor valor alcançado em transistores MOS. Esta condição só é possível devido ao forte controle da porta sobre o potencial de corpo pelos dois lados da camada fina de silício.

Considerando-se a densidade de armadilhas de interface (D_{it}) uniforme na faixa proibida, obtém-se o valor previsto na literatura com base no método capacitivo⁷⁵,

$$S = \ln(10) \frac{kT}{q} \left(1 + \frac{C_{it}}{C_{ox}} \right) \quad (2.37)$$

onde $C_{it} = qD_{it}$ – Capacitância de armadilhas de interface.

2.5 Estrutura do dispositivo FinFET e a definição do dispositivo de porta tripla

Os principais desafios na fabricação de dispositivos de porta dupla são: o auto-alinhamento entre as duas portas, e a formação de uma camada de silício extremamente fina. Na Figura 2.36 são apresentadas as possíveis maneiras de fabricação de um dispositivo de porta dupla⁸¹. No caso da estrutura planar (Tipo 1) tem-se a vantagem da melhor uniformidade e controle do processo da camada de silício do canal devido à espessura da camada de silício estar no plano do substrato. Entretanto, a fabricação da porta que fica na parte inferior, junto ao fino dielétrico de porta é muito complexa. Além disso, na fabricação o acesso à porta de baixo a partir da primeira interface para então fazer a conexão física do dispositivo (para aplicação da mesma polarização nas duas portas) não é direto, e pode causar um impacto negativo no desempenho do dispositivo. As estruturas não planares (Tipos 2 e 3) possibilitam uma formação e acesso mais fácil das duas portas em canais cristalinos com fina espessura de dielétrico de porta. Por outro lado, devido ao processo de obtenção da espessura do canal pode-se obter uma pior uniformidade se comparado aos dispositivos planares.

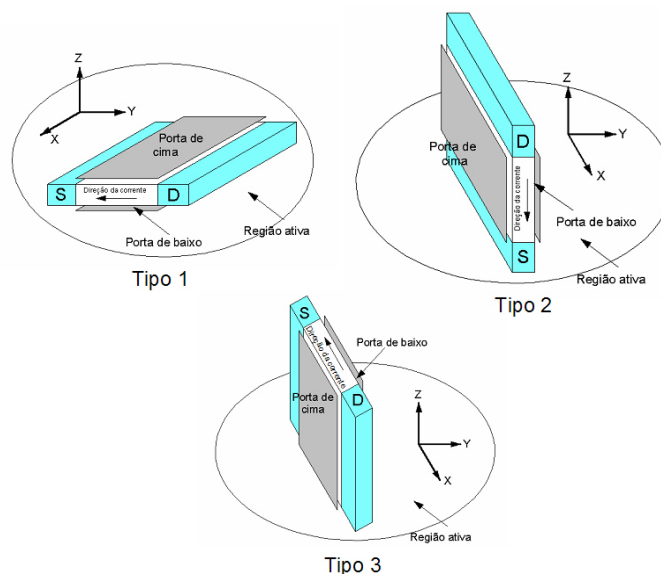


Figura 2.36 – Três estruturas diferentes de dispositivos de porta dupla: Tipo 1 – Planar (porta dupla horizontal), Tipo 2 – Não planar (porta dupla vertical) e Tipo 3 – Não planar (porta dupla lateral).

O alinhamento entre as portas acima e abaixo do canal é o ponto mais importante para obtenção de alto desempenho, isso porque um desalinhamento entre essas, pode causar uma capacitância extra de sobreposição de porta para fonte/dreno, assim como perda na condução de corrente.

A estrutura do FinFET^{82,83} (Figura 2.37) foi construída a partir da estrutura não planar de porta dupla lateral (Tipo 3) (Figura 2.36), com a redução da altura da camada de silício, convertendo-o a um dispositivo quase planar, seu processo de fabricação não difere muito do processo tradicional da tecnologia SOI CMOS, apresentando excelente escalabilidade e desempenho, além da redução da capacitância de sobreposição de porta, e dos efeitos de canal curto.

Na Figura 2.37 é mostrada a estrutura simplificada de um dispositivo FinFET^{84,85}. Resumidamente podemos descrever a fabricação do dispositivo FinFET: Uma única camada de metal de porta é depositada sobre uma camada de silício vertical (chamada de fin), desenhada para formar perfeitamente as portas alinhadas ao redor da estrutura do “fin”. Esta camada de silício vertical (fin) atua como o canal do dispositivo, por onde circulará a corrente. Ao final dos dois lados do “fin”, temos a fonte e o dreno da estrutura. O “fin” normalmente é formado acima do plano do substrato. O metal de porta se espalha pelos dois lados do “fin” e então a porta é formada dos dois lados do canal. Este fato leva a um melhor controle da porta sobre a região de canal.

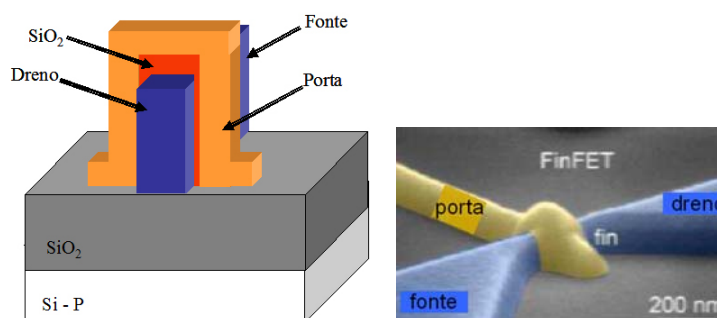


Figura 2.37 – Estrutura do dispositivo FinFET à esquerda e imagem TEM de um FinFET.

Devido a esse processo de fabricação, o cálculo do comprimento de canal e da largura de canal do dispositivo é diferente. Os dispositivos FinFETs podem operar de duas formas, tanto como um dispositivo de porta dupla, que foram os primeiros a surgir, como dispositivos de porta tripla.

Na Figura 2.38 podemos observar os dois tipos de estruturas FinFET. O FinFET de porta dupla (Figura 2.38– A), tem uma camada espessa de óxido na parte superior do “fin”, neste caso, a corrente circulará apenas pelas portas laterais, por isso é considerado dispositivo de porta dupla. Assim, com a presença de duas portas a largura efetiva de canal ($W_{fin,eff}$) será igual a 2 vezes a altura do “fin” (h_{fin}).

$$(W_{fin,eff} = 2h_{fin}) \quad (2.38)$$

O FinFET de porta tripla (Figura 2.38– B), tem a camada de óxido de porta superior igual à espessura das laterais, o que permite a circulação de corrente tanto pelas portas laterais como pela porta superior. Neste caso a largura efetiva de canal ($W_{fin,eff}$) será igual a 2 vezes a altura do “fin” (h_{fin}) mais a largura do “fin” (W_{fin}).

$$W_{fin,eff} = 2h_{fin} + W_{fin} \quad (2.39)$$

Como originalmente o termo FinFET era designado ao dispositivo de porta dupla, com a camada mais espessa de óxido na porta superior, chamaremos então este dispositivo apenas de porta tripla e não mais de FinFET.

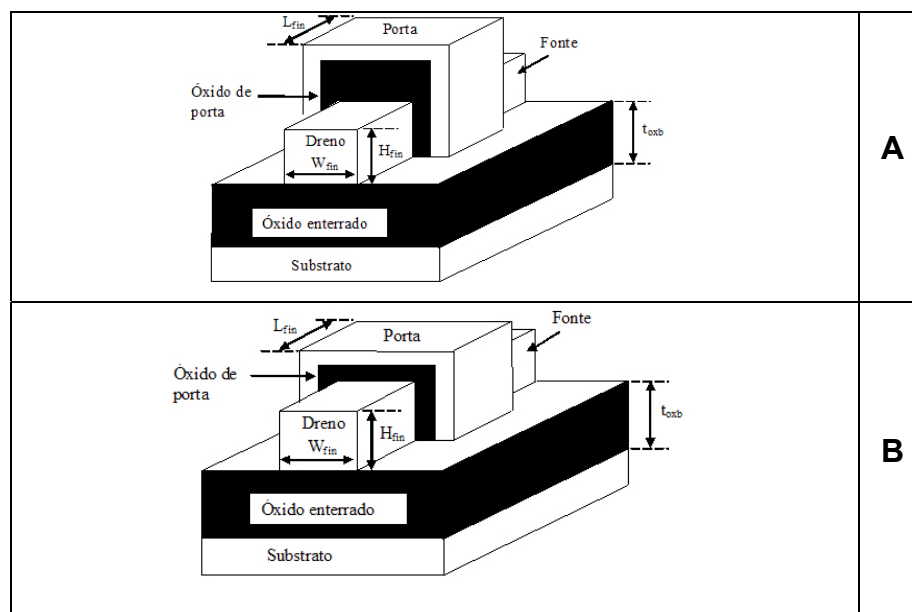


Figura 2.38 – Estruturas FinFETs. A - Porta Dupla, B - Porta Tripla

A variável mais importante no processo de fabricação de um FinFET é o W_{fin} , pois este influencia na corrente de fuga e reduz os efeitos de canal curto^{82,83}. A mobilidade do canal pode também ser sensível ao W_{fin} ⁸⁶. Além da mobilidade, a tensão de limiar e a inclinação de sublimiar podem também ser sensíveis à variação de W_{fin} ⁸⁷.

2.5.1 Mobilidade no dispositivo de porta tripla

A mobilidade de portadores é um dos parâmetros mais importantes que pode definir o desempenho de uma tecnologia MOSFET. Dentre as características consideradas na análise podemos citar a máxima condução de corrente, transcondutância, ganho intrínseco e frequência de transição máxima⁸⁸. Entretanto, no caso de dispositivos de porta tripla, a extração da mobilidade é muito complexa, um dos fatores é a consideração dos valores de espessura do óxido de porta e a largura efetiva de canal, que não são realmente conhecidas⁸⁸.

Além disso, a espessura do óxido de porta não é uniforme ao longo do “fin”, isso se deve ao fato de que o óxido é crescido na superfície do silício com diferente orientação cristalográfica, ou seja, na porta superior a orientação cristalográfica é $\langle 100 \rangle$ e nas portas laterais a orientação cristalográfica é $\langle 110 \rangle$.

Dependendo da direção do fluxo de corrente pode haver uma grande diferença na mobilidade de elétrons e lacunas dos transistores.

Na porta superior onde a orientação cristalográfica é $\langle 100 \rangle$, a mobilidade de elétrons é maior do que a de lacunas. Nas portas laterais onde a orientação cristalográfica é $\langle 110 \rangle$ a mobilidade de elétrons é menor do que a de lacunas. Essa diferença nas mobilidades dificulta a extração da mobilidade para os dispositivos de porta tripla.

Nos dispositivos de porta tripla a condução de corrente pode se dar de três maneiras dependendo da largura do dispositivo. Na Figura 2.39 pode ser observado como ocorre a condução de corrente dependendo da largura do fin (W_{fin}). Se o W_{fin} é muito grande, a condução de corrente se dá principalmente na interface superior, então considera-se que o $W_{eff} = W_{fin}$. Se o W_{fin} é muito estreito, a condução de corrente se dá principalmente pelas laterais então considera-se que o $W_{eff} \cong 2 \cdot h_{fin}$. Por outro lado se o W_{fin} não é nem tão largo e nem tão estreito, tem-se então uma condução combinada influenciada pelas interfaces superior e lateral, então considera-se o $W_{eff} = 2 \cdot h_{fin} + W_{fin}$.

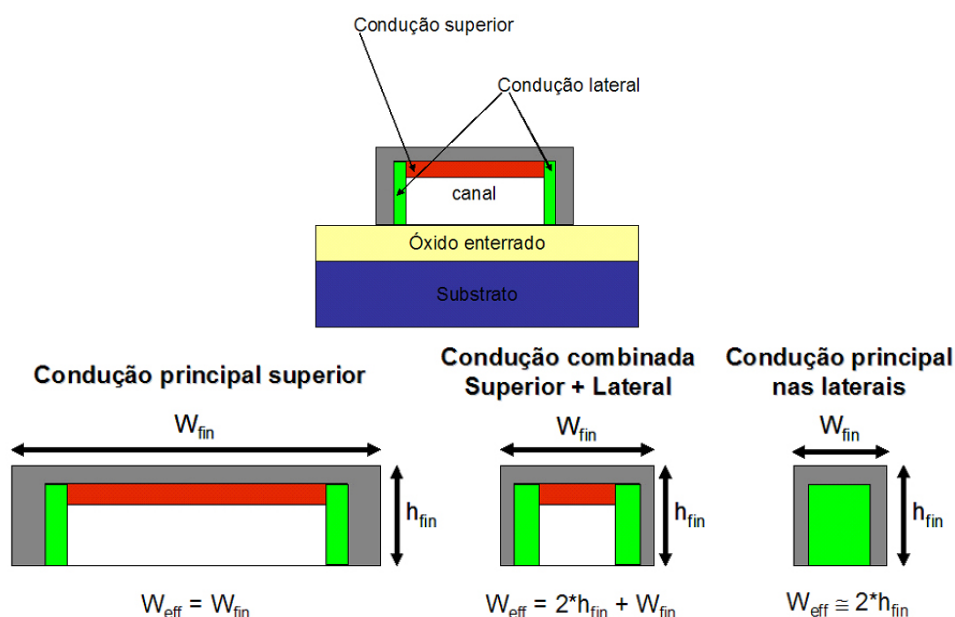


Figura 2.39: Desenho esquemático dos tipos de condução de corrente que podem acontecer em uma estrutura FinFET.

Essa diferença na condução de corrente influencia na mobilidade do transistor de porta tripla, pois a mobilidade de elétrons e lacunas depende da orientação cristalográfica da superfície do silício assim como na direção do fluxo de corrente^{89,90,91}. A Figura 2.40 mostra resultados medidos da mobilidade de superfície de elétrons e lacunas em função da densidade de cargas na camada de inversão⁹².

Para elétrons, a maior mobilidade de superfície é na orientação $\langle 100 \rangle$ e a menor é $\langle 110 \rangle$. Para lacunas, a superfície com orientação $\langle 110 \rangle$ tem a maior mobilidade e a superfície com orientação $\langle 100 \rangle$ tem a menor mobilidade. Elétrons e lacunas na superfície com orientação $\langle 111 \rangle$ têm mobilidades com valores situados aproximadamente entre as superfícies com orientação $\langle 100 \rangle$ e $\langle 110 \rangle$. A origem das diferenças citadas são devido a anisotropia de massa efetiva e espalhamento de superfície^{89,90}.

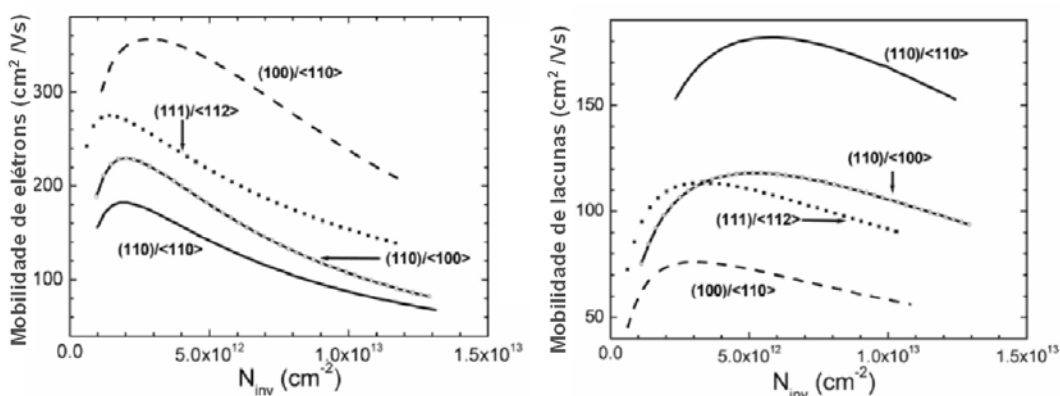


Figura 2.40: Mobilidade efetiva de superfície de elétrons e lacunas em função da densidade de carga de inversão, para diferentes orientações de superfície cristalográfica⁹². Copyright© 2003 IEEE.

3 Estudo teórico da mobilidade de portadores

Neste capítulo será feito um estudo bibliográfico da mobilidade de portadores tendo como objetivo a obtenção dos elementos necessários para compreender conjuntamente os fenômenos e os mecanismos que governam o transporte de portadores. Serão introduzidas as noções básicas referentes ao transporte e a mobilidade de portadores. Será dada uma idéia geral sobre os diferentes tipos de colisões e seu papel na degradação da mobilidade. Dois efeitos galvanomagnéticos permitem estudar a mobilidade de portadores: o efeito Hall e o efeito de magnetoresistência que será explicado posteriormente. Será apresentada também a diferença entre a mobilidade efetiva, a mobilidade Hall e a mobilidade por magnetoresistência.

3.1 Mobilidade de Portadores

A mobilidade de portadores descreve a facilidade do deslocamento dos portadores dentro de um material ou um dispositivo sob o efeito de um campo elétrico. É um parâmetro chave dos transistores MOS, pois tem influência direta sobre o valor da corrente de dreno I_D . Serão descritos os vários tipos de mobilidades e em particular, os vários parâmetros que influenciam a mobilidade como o campo elétrico, a orientação cristalográfica, a dopagem do substrato e a temperatura.

3.1.1 A mobilidade de baixo campo⁹³

Sob um baixo campo elétrico longitudinal, E_y , a velocidade de deriva, v , é proporcional a E_y :

$$v = \mu E_y \tag{3.1}$$

O coeficiente de proporcionalidade, μ é chamado de mobilidade de baixo campo. A equação (3.1) pode ser obtida a partir da segunda lei de Newton por um elétron que se desloca sob o efeito de um campo elétrico.

$$m^* \frac{dv}{dt} = qE - m^* \frac{v}{\tau} \quad (3.2)$$

onde:

m^* é a massa efetiva do elétron

τ é a constante de tempo de relaxação do momento

O primeiro termo à direita da equação descreve a aceleração do elétron pelo campo elétrico, o segundo termo descreve as colisões sobre os fônons, os centros Coulombianos, a rugosidade da superfície, etc. O segundo termo limita a velocidade de deriva e o momento do elétron, daí o nome de “tempo de relaxação do momento”, τ .

Em baixa frequência (regime quase estático), o termo da esquerda da equação (3.2) é muito inferior a cada um dos termos da diferença, obtendo então:

$$qE \approx m^* \frac{v}{\tau}, \quad v = \frac{q \cdot \tau \cdot E}{m^*} \quad (3.3)$$

Em baixo campo, m^* e τ são independentes do campo elétrico. A velocidade de deriva é então expressa sob a forma $v = \mu E$, onde:

$$\mu = \frac{q \tau}{m^*} \quad (3.4)$$

é a mobilidade de baixo campo. Contudo, em alto campo elétrico, a velocidade de deriva depende inversamente do campo devido ao aumento da energia dos elétrons. Este mecanismo descreve-se do seguinte modo:

$$\frac{dE}{dt} = qE \cdot v - \frac{(\varepsilon - \varepsilon_0)}{\tau_\varepsilon} \quad (3.5)$$

onde ε é a energia do elétron, $\varepsilon_0 = 3k_B T / (2q)$ energia do elétron no equilíbrio térmico, τ_ε o tempo de relaxação da energia. No estado estacionário, onde $dE/dt = 0$,

$$qE \cdot v = \frac{(\varepsilon - \varepsilon_0)}{\tau_\varepsilon} \quad (3.6)$$

Em alto campo elétrico, a energia do elétron pode exceder consideravelmente ε_0 . Neste caso, estes elétrons chamam-se “elétrons quentes”, e os parâmetros de transporte m^* , τ e τ_ε dependem do campo elétrico. A velocidade de deriva dos portadores quentes, não é mais então proporcional ao campo elétrico. Em alto campo, ela torna-se totalmente independente do campo (Figura 3.1). Isto é traduzido pela saturação da velocidade lateral dos portadores com o campo. A noção de velocidade limite é dada por: $E_y > E_{\text{crítico}}$, $v = v_{\text{sat}}$.

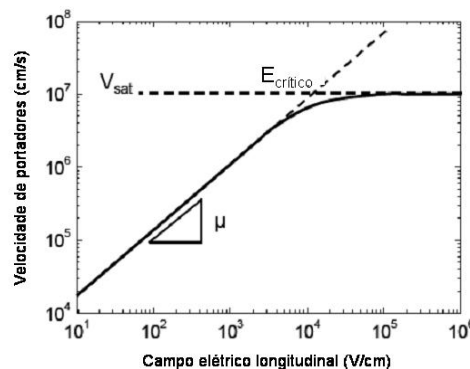


Figura 3.1: Velocidade de portadores em função do campo elétrico. No equilíbrio, a velocidade de portadores é proporcional ao campo, mas em alto campo, esta proporcionalidade não é mais válida e os portadores atingem uma velocidade limite de deriva⁹³.

3.1.2 A mobilidade efetiva

Uma outra maneira de obter a mobilidade de portadores é a dedução da corrente de dreno com baixo V_{DS} . Neste regime pode-se considerar que o campo elétrico longitudinal é uniforme no canal e define-se a mobilidade efetiva μ_{eff} partir da corrente de dreno, como⁹⁴:

$$\mu_{\text{eff}} = \lim_{V_d \rightarrow 0} \frac{I_d}{W/L \cdot Q_{\text{inv}} V_d} \quad (3.7)$$

Geralmente esta mobilidade é expressa não em função da carga de inversão, mas em função do campo elétrico transversal efetivo E_{eff} associado à polarização da porta⁹⁵. O valor do E_{eff} é diretamente ligado a dopagem do canal e à carga de inversão:

$$E_{eff} = \frac{\eta Q_{inv} + Q_{dep}}{\epsilon_{Si}} \quad (3.8)$$

onde η é um fator empírico que leva em conta o fato de considerar o campo médio no interior da camada de inversão. η é geralmente considerado como sendo igual a $\frac{1}{2}$ para os elétrons em uma superfície Si (100)⁹⁶ e $\frac{1}{3}$ para as lacunas⁹⁷ e também elétrons no caso de uma superfície Si(111) e (110)⁹⁸.

A curva de μ_{eff} (E_{eff}) é dita ser “universal”. Será mostrado na próxima subseção que a curva universal da mobilidade permite distinguir a mobilidade limitada pelas interações com os centros Coulombianos, os fônons e a rugosidade da superfície.

3.1.3 A mobilidade universal

A curva da mobilidade efetiva em função do campo efetivo em uma dada temperatura é suposta ser universal. É dito que ela é independente da dopagem, da espessura do dielétrico de porta e da tecnologia de fabricação utilizada. Provavelmente devido às propriedades intrínsecas do gás de elétrons em duas dimensões (“*2 DEG – two dimensional electrons gas*”) que constitui a camada de inversão⁹⁹. Alguns trabalhos já foram publicados sobre o cálculo da mobilidade universal^{96,99,100}. Em geral, o efeito das interações Coulombianas é desprezado, porque em alto campo elétrico transversal, a mobilidade torna-se independente do nível de dopagem do canal. Nesta região, a mobilidade é reduzida pelas interações com os fônons e a rugosidade da superfície.

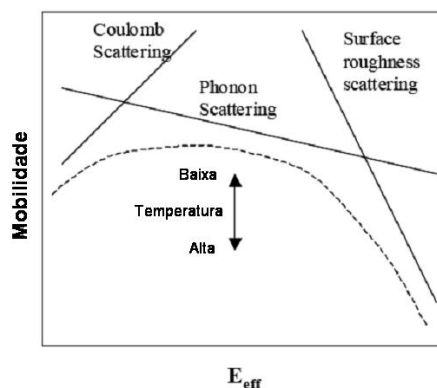


Figura 3.2: Curva esquemática da mobilidade universal ilustrando a variação da mobilidade μ_{eff} em função do campo efetivo⁹⁴.

Na Figura 3.2 que mostra a curva da mobilidade universal, pode-se observar que três regimes de comportamento da mobilidade são mais evidentes^{96,99,100}. Para baixos campos, a mobilidade de portadores é dominada pelo espalhamento de Coulomb, que é desprezada em altos campos e, portanto, alta densidade de portadores na camada de inversão. Em campo elétrico moderado, a mobilidade de portadores é determinada pelo espalhamento de fônons. O espalhamento de fônons depende de $E_{\text{eff}}^{-0,3}$ para elétrons, e tem uma dependência levemente maior para lacunas. Finalmente, em regime de alto campo elétrico, espalhamento de superfície devido à rugosidade domina a mobilidade de portadores, com uma dependência de E_{eff}^{-2} para elétrons e E_{eff}^{-1} para lacunas.

Na prática, e particularmente no caso de dispositivos de canais muito curtos com filme de silício e óxido de porta muito finos, esta curva universal não é mais tão respeitada. Na literatura, isto é atribuído tanto a uma contribuição importante das interações Coulombianas vindas das cargas presentes no dielétrico ou na porta de poli, quanto às ações de fenômenos físicos anteriormente desprezados. Pode-se citar a difusão por plasmons e a difusão Coulombiana pelas cargas da zona proibida da porta de poli dos óxidos finos^{101,102}, a influência dos fônons à distância (“*remote phonons*”) para os dielétricos *high-k*¹⁰¹. Nos dispositivos com canal de Si ultrafinos ($t_{\text{Si}} < 20\text{nm}$), as interações Coulombianas com as cargas de interface podem reduzir a mobilidade no caso onde a interface com o óxido enterrado não tem a mesma qualidade da interface superior (com a porta)¹⁰³. Uma forte queda na mobilidade efetiva devido às interações com os fônons intravale foi observada também nos transistores com filme de Si ultrafinos^{104, 105}.

3.1.4 A mobilidade em canal curto

3.1.4.1 Fenômeno da velocidade excessiva em um componente submicrométrico

A velocidade de saturação não é necessariamente um limite insuperável dado que foram colocados em evidência os fenômenos de velocidade excessiva quando a energia dos portadores aumenta muito rapidamente (transporte fora-equilíbrio)¹⁰⁶. Isso significa que durante certo tempo e sobre certa distância, a velocidade média de portadores pode ser sensivelmente superior à velocidade de deriva ou mesmo à velocidade de saturação. Na condição que este fenômeno se produzirá na entrada do canal (a fonte) de um transistor ultra submicrométrico, os portadores estão em velocidade excessiva sobre uma grande parte, até mesmo na totalidade do canal de condução. A corrente de dreno I_{Dsat} é então aumentada.

3.1.4.2 Aproximação Balística

As análises feitas na seção 3.1.1 supõem que a velocidade de deriva depende somente do campo elétrico de modo que v continue constante mesmo nos dispositivos de canal muito curtos desde que o campo elétrico seja mantido constante. Contudo, esta hipótese é unicamente válida nas amostras com canal relativamente longo, onde o tempo de trânsito dos elétrons, $T = L / v_{th}$ é superior ao tempo de relaxação do momento e da energia¹⁰⁷. Aqui, L é o comprimento da amostra e v_{th} é a velocidade térmica do elétron descrita por:

$$v_{th} = \left(\frac{3k_B T}{m^*} \right)^{1/2}$$

(3.9)

No caso de um dispositivo com comprimento de canal muito curto, o tempo de trânsito dos elétrons pode tornar-se tão curto que os elétrons no canal de condução

não sofrem nenhuma colisão. Este modo de transporte chama-se: Modo Balístico. Quando a distância entre a fonte e o dreno é inferior ao livre caminho médio de portadores entre duas colisões, λ (~ 20 nm no silício intrínseco), os portadores podem não sofrer mais colisão no canal. A probabilidade de os portadores atravessarem o canal sem sofrer nenhuma colisão torna-se próxima de 1. Este limite balístico define o valor máximo que a corrente pode atingir. A corrente produzida depende então unicamente da densidade de carga na entrada do canal e da velocidade inicial v_{inj} ao qual é injetada (Figura 3.3) de acordo com a equação¹⁰⁸:

$$I_{Dsat} = Q_{inv} \cdot v_{inj} \quad \text{com } v_{inj} \approx v_{th} \quad (3.10)$$

onde Q_{inv} é a carga de inversão do lado da fonte. A partir deste limite, e considerando que os portadores não são todos balísticos, pode-se introduzir nesta equação de corrente um coeficiente de retro-difusão “r” que define a porcentagem de portadores que não são recolhidos pelo dreno e que retornam a fonte (modelo quasi-balístico)¹⁰⁹. No modelo quasi-balístico, as correntes de dreno em regime linear e em regime de saturação são dadas por:

$$I_{Dlin} = W \cdot C_{ox,eff} \frac{v_{th}}{2kT/q} (1 - r_{lin}) (V_{GS} - V_T) V_{DS} \quad \text{com } r_{lin} = \frac{L_{eff}}{L_{eff} + \lambda} \quad (3.11)$$

$$I_{Dsat} = W \cdot C_{ox,eff} \cdot v_{th} \left(\frac{1 - r_{sat}}{1 + r_{sat}} \right) (V_{GS} - V_T) \quad \text{com } r_{sat} = \frac{l}{l + \lambda} \quad (3.12)$$

onde L_{eff} é o comprimento efetivo do canal, λ o livre caminho médio de portadores entre duas colisões e l o comprimento crítico característico da retro difusão com V_D alto. Ela corresponde aproximadamente à distância sobre o qual o potencial junto à fonte caia de kT/q ¹¹⁰.

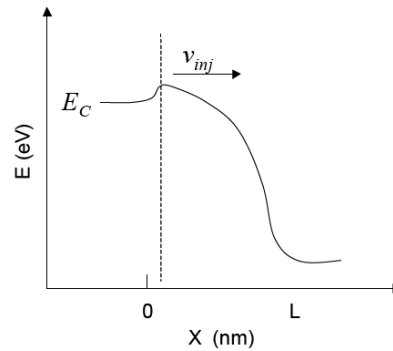


Figura 3.3: Energia potencial ao longo do canal com a polarização de porta e dreno. Observa-se a fonte virtual e a velocidade de injeção

O transporte balístico ainda não é claramente demonstrado nos transistores sobre silício. De acordo com a ref. ¹¹¹, ao contrário do modelo clássico, a mobilidade aparente no caso de um transistor quase-balístico diminui com o comprimento de porta (canal). A partir da expressão da corrente em regime linear e do modelo de corrente linear clássico, pode-se deduzir uma mobilidade equivalente μ_{eq} :

$$\mu_{eq} = \frac{v_{th}}{2kTq} \left(\frac{\lambda}{1 + \frac{\lambda}{L_{eff}}} \right) = \frac{\mu}{\left(1 + \frac{\lambda}{L_{eff}} \right)}$$

(3.13)

No caso de um transistor de canal longo, $L_{eff} \gg \lambda$, é obtido $\mu_{eq} = \mu$, e quando $L_{eff} \ll \lambda$, está-se no limite balístico e a relação $\mu_{eq} = \mu / (\lambda / L_{eff})$ demonstra que a mobilidade diminui com o comprimento de canal. Note que μ_{eq} não tem realmente um significado físico em regime balístico porque a mobilidade é um conceito ligado aos fenômenos de colisões.

A redução da mobilidade com o comprimento de canal é freqüentemente observado experimentalmente. Resta saber se isto é devido aos portadores balísticos ou a outros mecanismos de degradação ao longo do comprimento de canal. A partir de resultados experimentais no regime onde $L_{eff} \gg \lambda$, foi mostrado que a mobilidade já era degradada nesses comprimentos de porta ^{112,113}. Os mecanismos de colisões continuam sendo os elementos chave para explicar os fenômenos de transporte nos transistores submicrométricos.

3.2 Colisões de Portadores

Além da limitação da mobilidade aparente devido aos fenômenos de transporte balístico, vários outros mecanismos físicos podem igualmente degradar ou limitar a mobilidade nos transistores de canal curto. É necessário saber reconhecer a forma como cada um destes mecanismos age sobre a mobilidade de modo a localizar se alguns tomam uma importância específica quando o canal é mais curto. Nesta seção serão analisados vários mecanismos de colisões susceptíveis de ser a origem da degradação da mobilidade na camada de inversão. Estes mecanismos são numerosos, pode-se citar entre outros:

- 1) As colisões sobre os fônons (acústicos ou ópticos)
- 2) As colisões Coulombianas sobre:
 - a. As cargas de interface Si/SiO₂
 - b. As impurezas ionizadas (dopantes)
- 3) As colisões sobre defeitos neutros
- 4) As colisões sobre a rugosidade da superfície

A influência destes mecanismos sobre a mobilidade depende de vários fatores intrínsecos e exteriores (campo elétrico, orientação cristalográfica, dopagem, temperatura, etc.). Os mecanismos dominantes na camada de inversão de silício são as interações devido aos fônons, à rugosidade de superfície e as interações Coulombianas¹¹⁴. A mobilidade efetiva pode ser avaliada a partir de cada componente, utilizando a regra de Matthiessen:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_C}$$

(3.14)

sendo μ_{ph} a mobilidade limitada pelas interações sobre os fônons, μ_{sr} a mobilidade limitada pela rugosidade da superfície e μ_C a mobilidade limitada pelas interações Coulombianas.

3.2.1 Colisões sobre os fônons

As interações com fônons resultam das vibrações da rede e dominam o transporte numa larga gama de campo efetivo, dos campos médios até os mais fortes. Dois tipos de mecanismos podem se distinguir de acordo com as transições energéticas que são impulsionadas aos portadores:

3.2.1.1 Interações com fônons intravale

Os fônons referidos neste tipo de interação são os fônons acústicos em baixa energia e em vetor de onda pequeno. Eles induzem, por conseguinte apenas transições energéticas internas ao vale, de onde vem o nome “fônons acústicos intravale”. A interação com um portador é quase-elástica e a frequência de interação é proporcional a $\varepsilon^{1/2}$ sendo ε a energia do portador. Este tipo de fônons desempenha o papel principal no relaxamento de portadores em baixa energia, tipicamente no regime não saturado onde $v = \mu E$.

3.2.1.2 Interações com fônons intervale

Os fônons referidos têm forte energia e grandes vetores de onda. Os portadores atingidos sofrem transições energéticas de um vale para outro, por exemplo, de um vale Δ_2 para um Δ_4 , ou de um vale Δ_4 para um outro Δ_4 . É um processo não elástico cuja frequência é igualmente proporcional à $\varepsilon^{1/2}$. Estes fônons intervêm no relaxamento de portadores de forte energia, por conseguinte no regime de saturação. A emissão ou absorção de fônons ópticos será mais eficaz no relaxamento porque a sua frequência de interação é cerca de 100 vezes mais forte que a dos fônons acústicos.

Para uma temperatura inferior a 100K, encontram-se os fônons acústicos intravale que dão as colisões quase-elásticas a baixo campo. A mobilidade limitada pelos fônons acústicos é modelada por^{114, 115}:

$$\mu_{ac} \propto T^{-1} N_{inv}^{-1/3}$$

(3.15)

onde N_{inv} é a concentração de portadores da camada de inversão. Em temperaturas mais elevadas ($100K \leq T \leq 370K$) encontram-se os fônons intervalos. A mobilidade é dada pela seguinte expressão¹¹⁴:

$$\mu_{ph} \propto T^{-n} N_{inv}^{-1/\gamma} \quad (3.16)$$

onde $\gamma = 3 - 6$ e $n = 1 - 1,5$. Os valores de γ e n dependem da orientação do cristal¹¹⁵.

3.2.2 Colisões Coulombianas

As interações Coulombianas devem-se a duas localizações carregadas próximo ao canal ou a interface Si/SiO₂. Este tipo de interação domina o transporte em inversão fraca, bem como quando a temperatura é suficientemente baixa de modo que as colisões sobre os fônons não sejam dominantes. Os dois principais centros de interações Coulombianas na camada de inversão de silício são as impurezas ionizadas por um lado as cargas na interface Si/SiO₂ e as cargas presas no SiO₂ por outro lado.

3.2.2.1 Interações com as impurezas ionizadas

As impurezas ionizadas (os dopantes) no canal são a principal causa da interação Coulombiana. Cada dopante na rede de silício do canal cria um potencial que, perturba localmente o potencial cristalino médio. Em baixo campo, a mobilidade limitada pelas interações com dopantes diminui (Figura 3.4). Quando a densidade da camada de inversão N_{inv} aumenta, cada portador no gás 2D da inversão torna-se cada vez mais afetado pelas impurezas carregadas e, portanto, para seus potenciais perturbadores até não ver mais estes potenciais. Estes potenciais Coulombianos são ditos desprezados pela densidade de portadores na camada de inversão¹¹⁶. Dado que a mobilidade limitada por este tipo de interação diminui em alta dopagem no canal, a vantagem do transistor FDSOI com canal não dopado se revela então particularmente interessante.

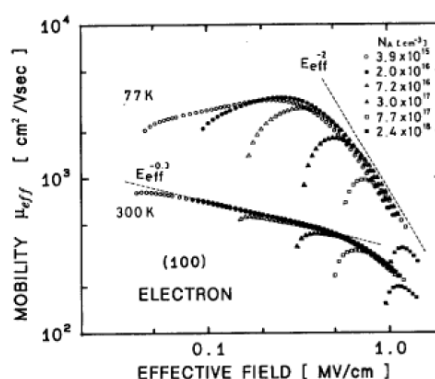


Figura 3.4: Mobilidade efetiva de elétrons em função do campo efetivo e da dopagem do canal⁹⁹. Em inversão forte, a mobilidade em função da dopagem de canal permanece constante qualquer que seja a dopagem. Contudo, a dependência da mobilidade com campo efetivo varia com a temperatura.

3.2.2.2 Interações com as cargas na interface Si/SiO₂

As interações com as cargas fixas situadas na interface Si/SiO₂ e das cargas presas no óxido intervêm a campos muito baixos e para dopagem do canal igualmente baixa. Para uma dopagem no canal inferior a 10¹⁷ cm⁻³, o comportamento da mobilidade não depende mais da concentração de dopantes⁹⁹. As cargas na interface e no óxido tornam-se as principais fontes de interações Coulombianas. As frequências de interação continuam a ser proporcional ao número de cargas.

Além disso, a evolução da mobilidade limitada pelas interações Coulombianas com a redução da temperatura não é muito simples. O efeito da temperatura sobre o comportamento da mobilidade depende de dois mecanismos diferentes. De um lado, um aumento da temperatura aumenta a velocidade dos portadores e então diminui suas interações com os centros Coulombianos. Entre 300K e 100K, a mobilidade limitada pelas interações Coulombianas μ_C diminui em carga de inversão fraca de acordo com a seguinte expressão¹¹⁴:

$$\mu_C \propto T \cdot N_{inv}$$

(3.17)

Entre 100K e 4,2K, Jeon e Burk¹¹⁴ demonstraram que μ_C aumenta quando a temperatura diminui. Isto pode ser explicado por um efeito de separação ligado a baixas temperaturas sobre as interações Coulombianas entre os portadores e os defeitos carregados. Uma redução na temperatura provoca um aumento da eficácia

de separação da camada de inversão¹¹⁶. Não há mais agitação térmica de modo que os portadores se desloquem ao redor de sua posição e interagem com os defeitos carregados. Em temperatura muito baixa (entre 100K e 4,2K de acordo com¹¹⁴), obtém-se:

$$\mu_c \propto T^{-1} \quad (3.18)$$

3.2.3 Colisões sobre a rugosidade de superfície

A interface entre o óxido de porta e o canal de condução apresenta rugosidades que atrapalham diretamente o transporte, especialmente com alta concentração de portadores quando o canal é fortemente confinado contra a interface. O impacto do campo efetivo sobre este tipo de interação é então direto. Os parâmetros Δ (0,1 – 0,5 nm) e L (~1,5 nm)¹¹⁷ permitem quantificar a rugosidade. Respectivamente eles representam a altura estatística média de correlação das rugosidades e o comprimento médio das rugosidades. Em alto campo elétrico, a dependência da mobilidade limitada pela rugosidade na interface com o campo efetivo $E_{eff} = (\eta Q_{inv} + Q_{depl})/\epsilon_{Si}$ é descrito por¹¹⁸:

$$\mu_{sr} \propto E_{eff}^{-2} \text{ para elétrons e } \mu_{sr} \propto E_{eff}^{-1} \text{ para lacunas} \quad (3.19)$$

O efeito da temperatura sobre as interações de portadores com a rugosidade da superfície ainda não é bem explicado. Em campo elétrico alto, as interações com os fônons intervêm igualmente. Estes últimos dominam também o transporte em temperatura ambiente e em alto campo. A mobilidade obtida nestas condições resulta então dos efeitos combinados destes dois mecanismos.

3.3 Efeitos galvanomagnéticos

Os processos físicos que se manifestam num sólido sujeito a ação de um campo magnético, e percorridos por uma corrente elétrica devido à aplicação de um

campo elétrico são chamados efeitos galvanomagnéticos. Neste subitem, serão apresentados os efeitos galvanomagnéticos num semicondutor. Em particular, serão deduzidas as relações que governam o efeito Hall e o efeito de magnetoresistência, numa larga faixa de indução magnética.

3.3.1 Considerações preliminares

Serão analisadas as relações dos coeficientes galvanomagnéticos num dispositivo semicondutor. Para facilitar a compreensão, será definido um sistema de eixos experimentais (x, y, z) correspondente as direções dos campos aplicados. Considerando um cristal semicondutor homogêneo de forma paralelepípeda orientada de acordo com um sistema ortogonal clássico (Figura 3.5), atravessado por uma corrente de acordo com o eixo X, de intensidade J_x que provoca um campo interno E_x e mergulhado num campo magnético de indução B_z orientado de acordo com o eixo Z.

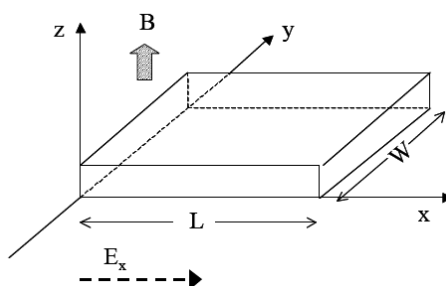


Figura 3.5: Orientação da amostra; os eixos (x, y, z) corresponde as direções dos campos exteriores aplicados

3.3.2 Condutividade elétrica num semicondutor sujeito a ação de um campo magnético

A densidade de corrente J num semicondutor sob efeito de um campo elétrico e de uma indução magnética é expressa por¹¹⁹:

$$J_x = \sigma_{xx} E_x + \sigma_{xy} E_y$$

(3.20)

$$J_y = \sigma_{xy} E_x + \sigma_{xx} E_y \quad (3.21)$$

onde E_x e E_y são as componentes dos campos elétricos no plano (xy) e σ_{xx} e σ_{xy} as componentes da condutividade.

$$\sigma_{xx} = \frac{\sigma_0}{1 + \mu^2 B^2} \quad (3.22)$$

$$\sigma_{xy} = \frac{\sigma_0 \mu B}{1 + \mu^2 B^2} \quad (3.23)$$

3.3.3 Efeito Hall

3.3.3.1 Aspecto teórico

Descoberto em 1879, o efeito Hall se manifesta quando se tem um semicondutor percorrido por uma corrente e colocado sob um campo magnético B , orientado de maneira a estar perpendicular a direção da corrente. Sob esta condição, uma tensão dita: tensão de Hall V_H aparece na direção perpendicular às direções da corrente e do campo magnético. O efeito Hall é uma consequência da força de Lorentz que age sobre as cargas em movimento:

$$F = q(v \times B) \quad (3.24)$$

onde v é a velocidade do portador e B o campo magnético. No nosso caso, a velocidade de cargas elétricas proveniente da corrente J , que será, no caso de um semicondutor dopado, um deslocamento principalmente de cargas positivas ou negativas. Para os semicondutores não dopados, a condução intrínseca é “tomada em carga” em grande parte pelos elétrons, mais “móveis” que as lacunas.

O efeito Hall é um fenômeno geral, mas é nos semicondutores que sua amplitude é notada. Considerando uma amostra de semicondutor com um campo elétrico aplicado de acordo com o eixo X, produzindo a corrente através da amostra. O campo magnético B_z é orientado perpendicularmente ao campo E_x como ilustrado na Figura 3.5.

De acordo com a teoria elementar da condutividade os portadores adquirem uma velocidade média de condução paralela à E_x . Sofrendo a força de Lorentz, as cargas de um dos dois sinais (positivo ou negativo) são atraídas para uma face do semicondutor (Figura 3.6) e, simetricamente, um defeito de tais cargas sob a outra face, o que se traduz num campo elétrico transversal $E_y = v_y / W$, onde W é a largura da amostra. Este campo é chamado de campo Hall E_H . Dado que nenhuma corrente é debitada entre as duas faces, pode-se dizer que a força qE_y é equilibrada pela força de Lorentz. O campo Hall é dado então por:

$$E_H = E_y = v_x \times B_z \quad (3.25)$$

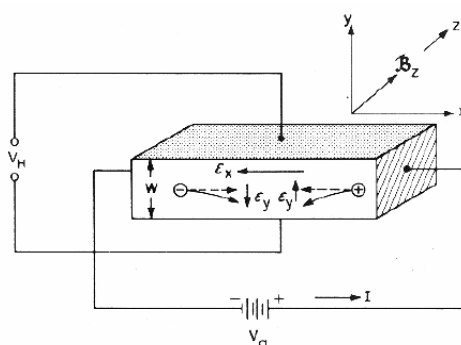


Figura 3.6: Efeito Hall numa amostra de semicondutor do tipo p. **Erro! Indicador não definido.**

Para descrever o efeito Hall, será feito aqui a utilização da equação da densidade de corrente. Os portadores se deslocam sob o campo elétrico com uma velocidade média de deriva v (seção 3.1). A corrente no dispositivo é expressa por:

$$\vec{J}_n = qn \vec{v} \quad \text{para elétrons} \quad \vec{J}_p = qp \vec{v} \quad \text{para lacunas} \quad (3.26)$$

onde q representa a carga de um elétron ou uma lacuna, n e p a densidade de elétrons e lacunas ($/\text{cm}^3$) respectivamente. Deve-se lembrar que a velocidade de deriva é ligada ao campo elétrico pela mobilidade μ ,

$$\vec{v} = -\mu_n \vec{E} \text{ para elétrons} \quad \vec{v} = -\mu_p \vec{E} \text{ para lacunas} \quad (3.27)$$

A partir das relações (3.26),(3.27) obtém-se,

$$\vec{J}_n = qn\mu_n \vec{E} \text{ para elétrons} \quad \vec{J}_p = qp\mu_p \vec{E} \text{ para lacunas} \quad (3.28)$$

A equação (3.25) para o campo elétrico E_y torna-se:

$$E_y = v_x \times B_z = \frac{J_x}{nq} B_z = R_H J_x B_z \quad (3.29)$$

onde R_H é o coeficiente Hall dado por:

$$R_H = -\frac{1}{nq} \text{ para elétrons} \quad R_H = \frac{1}{pq} \text{ para lacunas} \quad (3.30)$$

Pode ser visto que a constante Hall é inversamente proporcional a concentração de portadores de carga e seus sinais coincidem com aquele dos portadores de cargas majoritárias.

Sob o efeito conjugado dos campos elétrico e magnético e das colisões, os elétrons e as lacunas se deslocarão de acordo com uma linha reta que é tangente a trajetória ciclóide e forma um ângulo θ_H chamado de ângulo Hall com o campo elétrico E_x . O ângulo Hall θ_H entre E_x e E_y , é dado por:

$$\theta_H = \frac{E_y}{E_x} = -\mu B_z \quad (3.31)$$

Supondo que a largura da amostra na Figura 3.5 é igual a W , e a espessura da amostra de acordo com o eixo z é t , obtém-se a tensão Hall na direção y , $V_H = W \cdot E_y$. A partir de $I_x = J_x \cdot W \cdot t$ e de (3.29), V_H pode ser definido como:

$$V_H = \frac{R_H}{t} I_x B_z \quad (3.32)$$

A medida da tensão Hall fornece acessos ao valor de R_H e ao sinal de q , por conseguinte à natureza dos portadores e à concentração de portadores. A densidade de elétrons ou de lacunas pode ser determinada a partir de (3.30) e (3.32).

3.3.3.2 A mobilidade Hall

Pode ser notado que o coeficiente Hall dado pela equação (3.30) é deduzido supondo que o tempo de relaxação de portador τ é independente da energia do portador. No caso onde o tempo de relaxação depende da energia do portador, o coeficiente Hall é expresso por:

$$R_H = -\frac{r_H}{nq} \quad (3.33)$$

onde r_H é o fator Hall. É uma constante que leva em consideração os diferentes mecanismos de interação e depende conseqüentemente do mecanismo de difusão e do tempo de relaxação do portador.

O fator Hall é um parâmetro chave para determinar a diferença entre a mobilidade Hall e a mobilidade efetiva. Tratar-se-á de descrever a mobilidade em função de R_H e da condutividade σ a partir da equação (3.33).

$$|R_H|\sigma = \mu \quad (3.34)$$

Esta relação é somente válida para $r_H = 1$ no caso onde a relação μ_H / μ_{eff} é igual a 1 (caso de um semiconductor degenerado). No caso onde $\mu_H \neq \mu_{\text{eff}}$, (3.34) pode ser reescrita como:

$$|R_H|\sigma = r_H \mu \quad (3.35)$$

A mobilidade Hall, μ_{Hall} é então definida por:

$$\mu_{\text{Hall}} = r_H \mu \quad (3.36)$$

Não é tão simples determinar o fator Hall r_H , pois este depende de vários mecanismos de colisões na camada de inversão. O valor de r_H pode ser calculado desde que a dependência energética do tempo de relaxação seja conhecido. No caso onde o mecanismo de difusão é predominante num semiconductor não degenerado, a média energética do tempo de relaxação do momento é aproximadamente¹²⁰:

$$\langle \tau \rangle = 4 / (3\sqrt{\pi}) \int_0^{\infty} \tau(E) E^{3/2} \exp\left(-\frac{E}{kT}\right) dE / (kT)^{5/2} \quad (3.37)$$

O tempo de relaxação do momento $\tau(E)$ é geralmente descrito por:

$$\tau(E) = \tau_0 \left(\frac{E}{kT} \right)^n \quad (3.38)$$

onde k é a constante de Boltzmann, T a temperatura, e τ_0 e n são constantes. Quando o tempo de relaxação é expresso simplesmente em função da energia, pode-se calcular facilmente o tempo de relaxação médio que intervém na expressão da corrente. Considerando os principais tipos de colisões no silício tipo N¹²¹:

$n = -1/2$ correspondente as colisões com os fônons acústicos,
 $n = 1/2$ correspondente as colisões com fônons ópticos,
 $n = 3/2$ correspondente as colisões com impurezas ionizadas,
 $n = 0$ correspondente as colisões com as impurezas neutras.

O fator Hall r_H é dado por:

$$r_H = \frac{\langle \tau^2 \rangle}{\langle \tau \rangle^2} \quad (3.39)$$

onde $\langle \tau \rangle$ e $\langle \tau^2 \rangle$ são descritos por ¹¹⁹:

$$\langle \tau \rangle = 4/(3\sqrt{\pi})\tau_0\Gamma(5/2 + n) \quad (3.40)$$

$$\langle \tau^2 \rangle = 4/(3\sqrt{\pi})\tau_0^2\Gamma(5/2 + 2n) \quad (3.41)$$

onde Γ é a função gama. A Tabela 3.1 resume os valores significativos de $\Gamma(n)$ para diferentes valores de n .

Tabela 3.1: Valores da função gama para uma série de n .

Definição da função gama: $\Gamma(n) = \int_0^{\infty} t^{n-1} \exp(-t) dt$										
Para $\forall n \in \mathbb{N} : \Gamma(n) = (n-1)!$										
Para o meio-inteiro: $\Gamma(n) = \sqrt{\pi} \frac{(2n-2)!!}{2^{(2n-1)/2}}$										
n	-3/2	-1/2	1/2	1	3/2	2	5/2	3	7/2	4
$\Gamma(n)$	$\frac{4\sqrt{\pi}}{3}$	$-2\sqrt{\pi}$	$\sqrt{\pi}$	1	$\frac{\sqrt{\pi}}{2}$	1	$\frac{3\sqrt{\pi}}{4}$	2	$\frac{15\sqrt{\pi}}{8}$	6

Para um semiconductor não degenerado, r_H é expresso por ¹²²:

$$r_H = \frac{\Gamma\left(\frac{5}{2} + 2n\right)\Gamma\left(\frac{5}{2}\right)}{\left[\Gamma\left(\frac{5}{2} + n\right)\right]^2} \quad (3.42)$$

Na Tabela 3.2 é mostrado os valores de r_H para diferentes valores de n .

Tabela 3.2: O fator Hall, r_H para diferentes valores de n .

n	0	1/2	1	3/2	-1/2	-1	2
r_H	1	$\frac{45\pi}{128} = 1,13$	$\frac{7}{5} = 1,40$	$\frac{315\pi}{512} = 1,93$	$\frac{3\pi}{8} = 1,18$	$\frac{27\pi}{16} = 5,30$	$\frac{99}{35} = 2,83$

Quando a difusão é devido principalmente à presença de impurezas ionizadas, $n = 3/2$ e segundo a Tabela 3.2, $r_H = 1,93$. No caso da predominância de difusão por fônons acústicos, $n = -1/2$ e então $r_H = 1,18$. Em baixas temperaturas, são as colisões sobre impurezas ionizadas que são predominantes então tem-se $r_H = 1,93$ o que significa que a mobilidade Hall é quase duas vezes maior que a mobilidade efetiva de baixo campo. Em temperaturas mais elevadas, o mecanismo de colisão principal é devido à fônons acústicos.

A partir da equação (3.35) e pelas medidas diretas de R_H e σ pode-se então determinar μ_{Hall} . Se a mobilidade de baixo campo é conhecida, pode-se também determinar r_H que nos permite conhecer o mecanismo de colisão dominante. A importância destes dados faz com que o efeito Hall seja um dos principais meios de se estudar os semicondutores. É também o único método que permite medir independentemente a mobilidade e a concentração de portadores.

As aplicações do efeito Hall referem-se, por exemplo, aos amperímetros, wattímetros, motores de corrente contínua, multímetros analógicos, compassos magnéticos e alguns instrumentos e dispositivos que exploram a medida da intensidade e/ou a direção de um campo magnético ou de uma corrente em um condutor.

3.3.4 Efeito da magnetoresistência

A aplicação de um campo magnético não somente faz aparecer um ângulo Hall, mas provoca também uma variação da condutividade elétrica. Sem campo magnético aplicado, as partículas se deslocam de acordo com uma linha reta entre duas colisões seguindo um caminho igual ao livre percurso l .

Quando é aplicado um campo magnético em um semicondutor infinitamente grande, a trajetória do portador de carga será representada por um segmento de cicloide de comprimento l ; durante a duração de livre percurso na direção do campo elétrico E_x , a partícula seguirá um caminho inferior a l , sendo:

$$l_x = l \cos \theta_H \quad (3.43)$$

Dado que num tempo de livre percurso o portador não chega a se deslocar em direção ao campo elétrico E_x de comprimento l_x inferior a l , isso significa que a velocidade de deriva torna-se menor, e a resistência do semicondutor aumenta. Isto mostra que na presença de um campo magnético, a resistência de um semicondutor aumenta¹²³:

$$\frac{\Delta\rho}{\rho} = \mu^2 B^2 \quad (3.44)$$

O coeficiente $\Delta\rho/\rho$ representa a magnetoresistência. Este último é também caracterizado pela direção relativa da corrente elétrica no que diz respeito ao campo magnético. A corrente elétrica e a indução magnética estão paralelas, a magnetoresistência é dita «longitudinal». No caso onde o campo magnético é perpendicular a direção da corrente, tem-se o efeito da magnetoresistência «transversal».

Se for considerado um semicondutor com dimensões finitas, constata-se que se o campo Hall compensa plenamente a ação do campo magnético aplicado, a magnetoresistência deve ser nula. Contudo, é necessário compreender efeito Hall como um fenômeno estatístico, que se traduz por uma modificação macroscópica da densidade de carga. Se manifesta apenas como uma compensação média do efeito

do campo aplicado pelo campo Hall. Os portadores cuja velocidade é superior a velocidade média sofrem uma ação mais forte da parte do campo magnético que da parte do campo Hall. Os portadores cuja velocidade é inferior a velocidade média são desviados pelo campo Hall que é predominante. Assim, os mais rápidos e os mais lentos contribuem ligeiramente para a condução, de modo que a resistência aumente. Este aumento da resistência num semiconductor de dimensões finitas é chamado de «magnetoresistência real». A ordem de grandeza desta última depende dos mecanismos de colisões predominante.

3.3.5 Magnetoresistência transversal geométrica

O efeito geométrico da amostra pode ser observado sobre a magnetoresistência. Em outras palavras, a ordem de grandeza da magnetoresistência depende do formato do semiconductor estudado. Este efeito chamado de «magnetoresistência geométrica» será utilizado para estudar a mobilidade nos dispositivos neste trabalho. As geometrias das estruturas para o efeito Hall e o efeito da magnetoresistência são mostradas na Figura 3.7. O campo Hall E_y , máximo a meio comprimento (de acordo com o eixo Y), diminui a zero quando se aproxima dos contatos; as forças de Lorentz não serão mais compensadas (em média) pelas forças Hall e a deflexão de portadores aumentará.

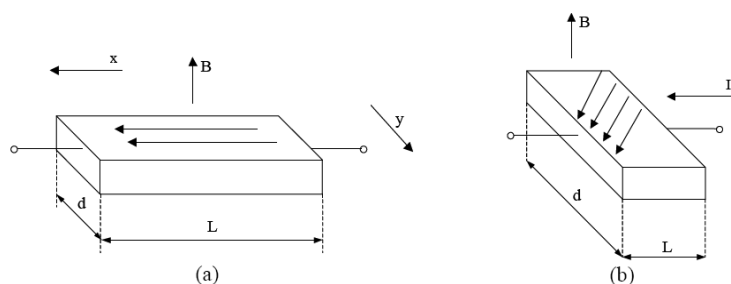


Figura 3.7: Configuração Hall (a) e magnetoresistência transversal geométrica (b)

A Figura 3.8 mostra a variação da magnetoresistência geométrica em função do formato da amostra. O comportamento de um semiconductor infinitamente grande pode ser modelado pelo disco de Corbino (Figura 3.9). A corrente é radial, os portadores de carga são desviados por um campo magnético aplicado na direção

perpendicular ao raio do disco e não é produzida nenhuma separação e nenhuma acumulação de cargas, conseqüentemente o campo Hall não se manifesta.

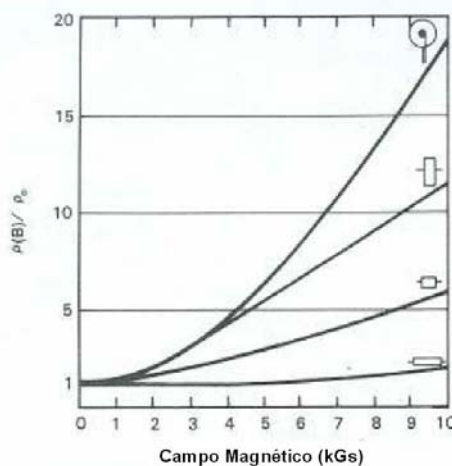


Figura 3.8: Ordem de grandeza da magnetoresistência geométrica nas amostras de InSb de acordo com a referência l/w da amostra¹²⁴

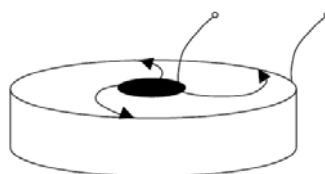


Figura 3.9: Disco de Corbino representando a condição que l/w tende ao infinito. Não se produz nenhum campo Hall.

3.3.5.1 Aspecto teórico

Será feita agora uma análise da ação de um campo magnético sobre um semicondutor de dimensões finitas. A observação do efeito Hall implica que as dimensões da amostra satisfaçam a condição $l \gg w$. Contudo no caso oposto, ou seja, $l \ll w$, a maior parte dos portadores chegam ao contato e não mais pelas bordas da amostra. Supondo que o comprimento da amostra l é muito menor que a largura w (Figura 3.7), o campo elétrico é sempre dirigido ao longo do eixo X e o campo magnético dirigido ao longo do eixo Z. O fato de que a referência l/w é muito pequena¹²⁵ faz com que o campo Hall esteja quase curto-circuitado pelos dois contatos. Não se produz nenhuma acumulação de cargas nas duas faces do semicondutor. A maior parte dos portadores se desloca formando um ângulo θ_H com o campo elétrico E_x e chega ao outro contato como ilustrado na Figura 3.7. Os portadores percorrem, portanto uma distância superior a l :

$$L_H = L(1 + \tan^2 \theta)^{1/2} \quad (3.45)$$

e a componente de sua velocidade na direção do campo elétrico aplicado v_x diminui.

Esta é devido à componente da força de Lorentz ligada à componente da velocidade de elétrons paralelos aos contatos v_y . Supondo que $E_y = E_H = 0$, tem-se:

$$v = \mu(E + v \times B) \quad (3.46)$$

onde μ é a mobilidade de baixo campo. As componentes da velocidade de acordo com o eixo X e Y são:

$$v_x = \mu(E_x + v_y B) \quad (3.47)$$

$$v_y = \mu(E_y - v_x B) = -\mu v_x B \text{ para } E_y = 0 \quad (3.48)$$

A partir das equações (3.47) e (3.48), obtém-se:

$$v_x = \frac{\mu E_x}{1 + \mu^2 B^2} \quad (3.49)$$

Substituindo v_x na equação da densidade de corrente, tem-se:

$$J_x = nq v_x = \frac{nq\mu E_x}{(1 + \mu^2 B^2)} \quad (3.50)$$

Tendo em conta que $J_x = \sigma E_x = (1/\rho)E_x$, o efeito de magnetoresistência pode ser descrito como:

$$\frac{\rho}{\rho_0} = (1 + \mu^2 B^2) \quad (3.51)$$

onde $\rho_0 = 1/nq\mu$. Note que na equação (3.51), é suposto que a magnetoresistência física é desprezada. Na prática, este não é sempre o caso, e a equação (3.51) pode ser modificada levando em conta a magnetoresistência física:

$$\frac{R_B}{R_0} = \frac{\rho_B}{\rho_0} (1 + \mu^2 B^2) \quad (3.52)$$

aqui, ρ_B/ρ_0 representa a magnetoresistência física em um semiconductor. Este é um parâmetro que é ligado ao fator Hall e depende de vários mecanismos de colisões na camada de inversão. ρ_B/ρ_0 é igual a unidade no caso onde o tempo de relaxação de energia é constante (τ_ϵ não depende de energia). Lembrando da relação da equação (3.38) para o tempo de relaxação, o coeficiente de magnetoresistência r_{MR} , pode ser definido da mesma maneira que r_H por ¹²³:

$$r_{MR} = \sqrt{\frac{\Gamma(3n+2)}{[\Gamma(n+2)]^3}} \quad (3.53)$$

3.3.5.2 Influência da dimensão do dispositivo sobre a ordem de grandeza da magnetoresistência

A variação que sofre a resistência de um semiconductor sujeito à ação de um campo magnético é determinada pelo fato de que este encurva constantemente a trajetória dos portadores de carga. Esta trajetória resulta da força de Lorentz. Supondo que o campo magnético é aplicado de acordo com o eixo Z, a velocidade de portadores sujeita a ação dos campos magnéticos é expressa por:

$$v_x = A \cos(\omega_c t) \quad (3.54)$$

$$v_y = A \sin(\omega_c t) \quad (3.55)$$

onde $\omega_c = qB \cdot m^*$ é chamado de velocidade angular dos portadores. No caso onde os campos magnético e elétrico estão perpendiculares, uma partícula nula se desloca seguindo uma trajetória ciclóide com uma velocidade angular ω_c na direção perpendicular ao campo magnético.

Em um semicondutor, a trajetória de uma partícula é constantemente modificada pelas interações com os centros de colisões. Para caracterizar a intensidade do campo magnético aplicado, deve-se comparar o tempo de relaxação com o período da rotação adquirido pela partícula sob influência do campo magnético. Após o portador sofrer uma colisão, se o tempo de relaxação é notavelmente superior ao período $2\pi / \omega_c$, a partícula pode efetuar no tempo τ várias rotações sobre uma trajetória helicoidal ou ciclóide. Isto é o caso quando o campo magnético é intenso. Se no tempo τ a partícula fizer apenas uma fração de volta, é dito que o campo magnético é fraco. Em um campo magnético forte tem-se:

$$\frac{\omega_c \tau}{2\pi} = \frac{q\tau}{m^*} \frac{B}{2\pi} \gg 1 \quad (3.56)$$

e num campo magnético fraco:

$$\frac{\omega_c \tau}{2\pi} = \frac{q\tau}{m^*} \frac{B}{2\pi} \ll 1 \quad (3.57)$$

As relações (3.56) e (3.57) mostram que deve-se levar em conta não somente o valor da indução do campo magnético, mas igualmente o da mobilidade de portadores de carga.

3.3.5.2.1 *Caso de um semicondutor de dimensões finitas*

A partir de (3.22), a condutividade de um semicondutor em função do campo magnético é escrita como:

$$\sigma(B) = \frac{nq^2}{m^*} \frac{\left\langle \frac{\tau}{1 + \omega_c^2 \tau^2} \right\rangle^2 + \omega_c^2 \left\langle \frac{\tau^2}{1 + \omega_c^2 \tau^2} \right\rangle^2}{\left\langle \frac{\tau}{1 + \omega_c^2 \tau^2} \right\rangle^2} \quad (3.58)$$

A magnetoresistência pode ser calculada a partir de (3.58):

$$\sigma_B = \sigma_0 \left(1 - \frac{\Delta\sigma}{\sigma_0} \right) \quad (3.59)$$

$$\rho_B = \rho_0 \left(1 - \frac{\Delta\rho}{\rho_0} \right) \quad (3.60)$$

O efeito magnetoresistivo é caracterizado pelo coeficiente H:

$$H = \frac{1}{B^2} \frac{\rho_B - \rho_0}{\rho_0} \quad (3.61)$$

que permite medir a resistência ρ_B sob a forma:

$$\frac{\Delta\rho}{\rho_0} = H \cdot B^2 \quad (3.62)$$

A equação (3.62) mostra que, conhecendo a resistência ρ_B e ρ_0 , pode-se determinar o coeficiente H. No domínio de baixos campos (no limite $B = 0$), a magnetoresistência será escrita a partir de (3.58) - (3.60) e supondo que $\Delta\sigma/\sigma_0 \ll 1$:

$$\frac{\Delta\rho}{\rho_0} = \omega_c^2 \frac{\langle \tau^3 \rangle \langle \tau \rangle - \langle \tau^2 \rangle^2}{\langle \tau \rangle^2} \quad (3.63)$$

Isto mostra que neste caso o coeficiente de magnetoresistência é constante, e que a resistência do semiconductor cresce proporcionalmente à B^2 . A equação (3.63) pode ser reescrita incluindo o coeficiente Hall no domínio de baixos campos magnéticos, $R_H(0)$ se a mobilidade Hall é igual a mobilidade de baixo campo e $r_H = 1$. A partir de (3.35) e (3.39), tem-se:

$$\frac{\Delta\rho}{\rho_0} = \xi \cdot R_H(0)^2 \sigma_0^2 B^2 = \xi(\mu B)^2 \quad (3.64)$$

onde μ é a mobilidade de baixo campo e $\xi = H / \mu^2$.

Admitindo que somente um mecanismo de relaxação esteja sendo considerado, o tempo de relaxação do momento é expresso como em (3.38), pode-se escrever¹²²:

$$\xi = \frac{\langle \tau^3 \rangle \langle \tau \rangle}{\langle \tau^2 \rangle^2} - 1 \quad (3.65)$$

$$\xi = \frac{\Gamma(5/2 + 3n)\Gamma(5/2 + n)}{[\Gamma(5/2 + 2n)]} - 1 \quad (3.66)$$

As equações (3.64) - (3.66) mostram que para um semiconductor de dimensões finitas colocado num baixo campo magnético o coeficiente H continua constante e que a resistência do semiconductor aumenta proporcionalmente à B^2 . Quando o transporte é devido aos fônons acústicos, $n = -1/2$, $\xi = 4/\pi - 1 = 0,273$. No caso do transporte dominante ser pelas impurezas ionizadas, $n = 3/2$ e então $\xi = 0,577$.

Neste momento serão definidos os coeficientes de proporcionalidade em função do mecanismo de relaxação, sendo:

$$A = \frac{\langle \tau^2 \rangle}{\langle \tau \rangle^2} \text{ e } C = \frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3} \quad (3.67)$$

Pode-se em seguida escrever o coeficiente de magnetoresistência H como sendo:

$$H = \frac{q^2}{(m^*)^2} \frac{\langle \tau^3 \rangle \langle \tau \rangle - \langle \tau^2 \rangle^2}{\langle \tau \rangle^2} = \mu^2 [C - A^2] \quad (3.68)$$

Em geral $\langle \tau^3 \rangle \langle \tau \rangle$ tem um valor muito maior que $\langle \tau \rangle^2$, e tem-se então $\xi \geq 0$. Assim, na presença de um campo magnético, a resistência do semiconductor aumenta, e pode-se observar uma magnetoresistência positiva. No caso onde τ não depende da energia (τ é constante) fica evidente que a magnetoresistência será nula, pois $H = 0$. Isto significa que nos semicondutores degenerados, a magnetoresistência numa primeira aproximação é nula. Na prática, aparece uma magnetoresistência não nula, mas de valor desprezível.

Considerando agora o domínio de alto campo magnético (com limite de $B \rightarrow \infty$). A resistividade ρ_∞ no limite onde $\omega_c \tau \gg 1$, é dada por:

$$\frac{\rho_\infty}{\rho} = \langle 1/\tau \rangle \langle \tau \rangle \quad (3.69)$$

Quando somente um mecanismo de relaxação é predominante de modo que (3.38) seja válida, pode-se escrever:

$$\frac{\rho_\infty}{\rho} = \frac{\Gamma(5/2+n)\Gamma(5/2-n)}{[\Gamma(5/2)]^2} \quad (3.70)$$

Será encontrado um valor de $\rho_\infty/\rho_0 = 1,13$ para $n = -1/2$ no caso de transporte dominado pelos fônons acústicos, e $\rho_\infty/\rho_0 = 3,39$ para $n = 3/2$ no caso onde as interações com as impurezas ionizadas são predominantes. No domínio de altos campos, foi observada uma magnetoresistência positiva que atinge um valor de saturação do qual o valor limite está em função de n .

3.3.5.2.2 *Caso de um semicondutor de dimensões infinitas (disco de Corbino)*

Considerando agora um semicondutor de dimensões infinitas. Não aparece nenhum campo Hall, o vetor de corrente elétrica forma um ângulo θ_H e pode ser observada a componente da corrente j_y diferente de zero. No caso de baixo campo magnético, o coeficiente de magnetoresistência é descrito por:

$$H = \mu^2 \frac{\langle \tau^3 \rangle}{\langle \tau \rangle^3} = C\mu^2 \quad (3.71)$$

Comparando a relação (3.68) para um semicondutor de dimensões finitas e (3.71), pode-se constatar que os valores correspondentes de H se distinguem pelo coeficiente de μ^2 que é igual a C no caso de um semicondutor de dimensão infinita, e a $C - A^2$ no caso de um semicondutor de dimensões finitas. Isto mostra que o efeito de magnetoresistência é menos acentuado num semicondutor de dimensões finitas que num semicondutor de dimensões infinitas, pois se encontra parcialmente compensado pelo campo Hall^{124,126}.

Em um semicondutor ilimitado, H é independente do campo magnético tanto em baixo campo quanto em altos campos, de modo que a resistência aumenta indefinidamente e não satura em alto campo magnético. A Figura 3.8 mostra que o campo Hall desempenha um papel compensador ainda mais importante que a relação espessura-comprimento (w/l) da amostra é menor. Quando a amostra toma a forma do disco de Corbino, ela se comporta como um semicondutor de dimensões infinitas.

3.3.6 Magnetoresistência longitudinal

Para completar, aqui se tem uma pequena explicação sobre o efeito de magnetoresistência longitudinal. No caso onde o campo magnético será paralelo a E_x , não se deve observar nenhuma variação da resistência elétrica. Quando os campos elétricos e magnéticos são paralelos, a partícula segue uma trajetória em forma de hélice cujo passo aumenta constantemente¹²³. Neste caso, o campo

elétrico não exerce nenhuma influência sobre a componente da velocidade dirigida perpendicularmente aos campos magnético e elétrico. Contudo, em diversos semicondutores observa-se uma variação da resistividade. A corrente elétrica J_x e a indução magnética B_x sendo paralela, a magnetoresistência é devido à anisotropia de condução elétrica do material¹²⁷, a corrente nas diversas elipsóides de condução não estando paralela ao campo elétrico aplicado, uma indução magnética paralela ao campo elétrico E_x poderá conseqüentemente mudar as linhas de corrente. A soma das contribuições das diferentes elipsóides faz então aparecer uma magnetoresistência «longitudinal».

4 Métodos de Extração da Mobilidade de Portadores

4.1 Extração da mobilidade efetiva

Na literatura podem-se encontrar vários métodos para extração da mobilidade efetiva, neste trabalho foram estudados e comparados quatro diferentes métodos, entre eles: por $g_{m,máx}$, *Mc Larty*, *Y-function* e *Split C-V*.

4.1.1 Método por $g_{m,máx}$

O primeiro método estudado utiliza a transcondutância máxima para calcular a mobilidade efetiva. A partir da derivada da curva da corrente de dreno em função da tensão na porta é possível obter a curva da transcondutância em função da tensão na porta. No pico desta curva (Figura 4.1) é obtido o valor da transcondutância máxima. A equação da transcondutância (4.2)) é obtida derivando a equação da corrente (4.1) em regime de triodo¹⁰.

$$I_{DS} = \mu_0 \cdot C_{ox} \frac{W}{L} \left[(V_{GF} - V_{th}) V_{DS} - \frac{1}{2} n_c V_{DS}^2 \right] \quad (4.1)$$

onde μ_0 é a mobilidade de baixo campo, C_{ox} é a capacitância do óxido por unidade de área, W é a largura de canal, L é o comprimento de canal, V_{GF} é a tensão na porta, V_{th} é a tensão de limiar, V_{DS} é a tensão de dreno e n_c é o fator de corpo.

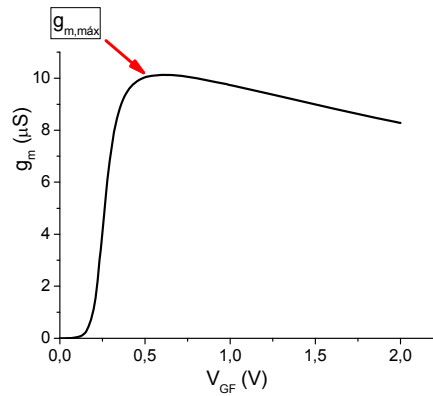


Figura 4.1: Curva da transcondutância em função da tensão na porta mostrando o ponto de $g_{m,Max}$

$$g_m = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \cdot V_{DS} \quad (4.2)$$

Finalmente, a mobilidade efetiva máxima pode então ser calculada usando o valor da máxima transcondutância obtido na curva da transcondutância em função da tensão na porta e substituindo na equação (4.3):

$$\mu_0 = \frac{g_{m,máx}}{C_{ox} \cdot \frac{W}{L} \cdot V_{DS}} \quad (4.3)$$

Este método é muito útil para dispositivos planares com resistência série desprezível se comparada com a resistência do canal. A fim de utilizar este método para os dispositivos de porta tripla, assumiu-se que a largura do canal é $W_{eff} = 2 \cdot h_{fin} + W_{fin}$, onde W_{fin} é a largura do fin e h_{fin} é a altura do fin [equação (2.39)].

4.1.2 Método Y-function

Este método combina as medidas da corrente de dreno estática $I_{DS}(V_{GF})$ e a transcondutância $g_m(V_{GF})$ no regime linear em inversão forte. Conseqüentemente pode contar-se com a bem conhecida relação da corrente de dreno:

$$I_{DS} = \frac{W}{L} \frac{\mu_0}{[1 + \theta(V_{GF} - V_{th})]} C_{ox} (V_{GF} - V_{th}) V_{DS} \quad (4.4)$$

Devido à dependência da resistência série incluída no parâmetro θ a mobilidade será subestimada se a extração direta a partir da regressão linear for considerada.

A transcondutância é calculada derivando a equação (4.4) em relação a tensão na porta, V_{GF} :

$$g_m = \frac{\partial I_{DS}}{\partial V_{GF}} = \frac{W}{L} \frac{\mu_0}{[1 + \theta(V_{GF} - V_{th})]^2} C_{ox} V_{DS} \quad (4.5)$$

A idéia básica do método *Y-function* desenvolvido por Ghibaudo¹²⁸ é eliminar a influência do coeficiente de degradação da mobilidade, θ , por meio de uma apropriada função matemática através da combinação das equações (4.4) e (4.5). Este objetivo é alcançado dividindo a corrente de dreno pela raiz quadrada da transcondutância; da função obtida vem o nome do método, *Y-function*:

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_{DS}} (V_{GF} - V_{th}) \quad (4.6)$$

De acordo com a relação da equação (4.6), é feita a curva de Y (V_{GF}) que leva a uma linha reta (Figura 4.2); tanto a mobilidade de baixo campo μ_0 , quanto a tensão de limiar, V_{th} podem ser obtidas através da inclinação (4.7) e do cruzamento com o eixo x, respectivamente, quando W , L e C_{ox} são conhecidos.

$$\mu_0 = \frac{\text{inclinação}^2 L}{W C_{ox} V_{DS}} \quad (4.7)$$

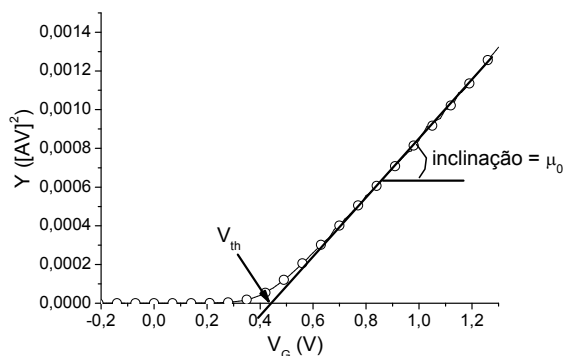


Figura 4.2: Característica de *Y-function* ilustrando a extração dos parâmetros.

O coeficiente de degradação da mobilidade, θ , pode ser determinado pela *X-function*, definida por:

$$X = \frac{1}{\sqrt{g_m}} = \frac{1 + \theta(V_{GF} - V_{th})}{\sqrt{\frac{W}{L} C_{ox} V_{DS}}} \quad (4.8)$$

4.1.3 Método Mc Larty

Este método de extração é usado não somente para extração da mobilidade efetiva, mas também para obter a tensão de limiar, o comprimento de canal efetivo e os fatores de degradação da mobilidade induzida pela porta (θ_1 e θ_2)^{129,130}.

Uma das vantagens da utilização deste método é que utiliza apenas a derivada de uma curva $I_{DS} \times V_{GF}$, que é de mais simples obtenção.

A corrente de dreno com baixa tensão de dreno ($V_{DS} = 50$ mV) e desprezando o fator de corpo ($n_c = 1$), é dada por¹³⁰:

$$I_{DS} = \frac{\mu_0}{1 + \theta_1(V_{GF} - V_{th}) + \theta_2(V_{GF} - V_{th})^2} \cdot C_{ox} \cdot \frac{W}{L_{eff}} \cdot (V_{GF} - V_{th}) \cdot V_{DS} \quad (4.9)$$

ou

$$I_{DS} = \frac{A(V_{GF} - V_{th})}{1 + \theta_1(V_{GF} - V_{th}) + \theta_2(V_{GF} - V_{th})^2} \quad (4.10)$$

onde

$$A = \mu_0 \cdot C_{ox} \cdot \frac{W}{L_{eff}} \cdot V_{DS} \quad (4.11)$$

O uso de dois fatores de redução da mobilidade, θ_1 e θ_2 , é necessário para representar exatamente a dependência da corrente sobre a tensão de porta quando óxidos de porta muito finos são utilizados.

A parte do método que consiste na extração da mobilidade é obtida através da segunda derivada do inverso da corrente de dreno, e pode ser definida por¹²⁸:

$$F_2(V_{GF}) = \left(\frac{d^2 \left(\frac{1}{I_{DS}} \right)}{dV_{GF}^2} \right)^{\frac{1}{3}} = \sqrt[3]{\frac{A}{2}} (V_{GF} - V_{th})$$

(4.12)

Fazendo o gráfico da função F_2 em função de V_{GF} é possível obter os valores de A e V_{th} , como pode ser observado na Figura 4.3.

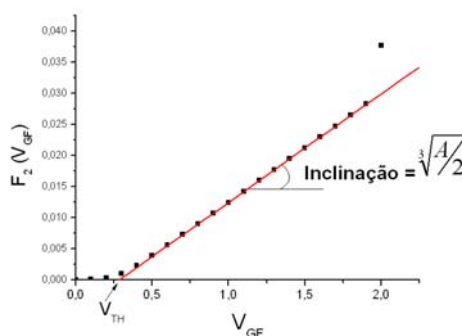


Figura 4.3: Curva da função F_2 em função da tensão na porta (V_{GF}).

A partir do gráfico (Figura 4.3), extrai-se o valor da inclinação da curva. Com o valor da inclinação é possível calcular a mobilidade efetiva a partir da equação (4.13):

$$\mu_{eff} = \frac{A \cdot L}{C_{ox} \cdot W \cdot V_{DS}}$$

(4.13)

onde:

$$A = \text{inclinação}^3 \cdot 2$$

(4.14)

onde $\text{inclinação} = \sqrt[3]{A/2}$.

Uma vantagem deste método é o uso da derivada de $I_{DS} \times V_{GF}$. A resistência série de fonte e dreno, que age como um fator aditivo na equação (4.9), é naturalmente eliminada da medida pelo processo de derivação, isto faz com que se torne possível a utilização de dispositivos de canal mais curto.

4.1.4 Método *Split C-V*

O método de extração *Split C-V* combina a curva da capacitância de porta para canal (C_{GC}) em função da tensão na porta (V_{GF}), e a curva da corrente de dreno (I_{DS}) em função da tensão na porta (V_{GF}) na região linear (região de triodo - baixa tensão de dreno) para extrair a mobilidade efetiva da seguinte maneira¹³¹:

$$\mu_{eff} = \frac{I_{DS}}{\left(\frac{W}{L}\right) \cdot V_{DS} \cdot Q_{inv}} \quad (4.15)$$

Onde Q_{inv} é a densidade de carga de inversão, obtida pela integração da curva C-V:

$$Q_{inv} = \int_{V_{GFacc}}^{V_{GF}} \frac{C_{GC}(V_{GF})}{W \cdot L} dV_{GF} \quad (4.16)$$

Onde C_{GC} é a capacitância porta-canal, V_{GFacc} é a tensão de porta em acumulação, onde $Q_{inv} = 0$. Substituindo a equação (4.16) na equação (4.15) obtém-se:

$$\mu_{eff} = \frac{L^2 \cdot I_{DS}}{V_{DS} \int_{V_{GFacc}}^{V_{GF}} C_{GC}(V_{GF}) dV_{GF}} \quad (4.17)$$

Este método é muito promissor para dispositivos FinFET, e deve ser enfatizado que a equação (4.17) não contém nem a espessura do óxido de porta, nem a largura do canal, que é muito útil para dispositivos tridimensionais.

A curva obtida através dos cálculos é mostrada na Figura 4.4, e a mobilidade máxima efetiva é considerada como o ponto máximo da curva da mobilidade em função da tensão na porta.

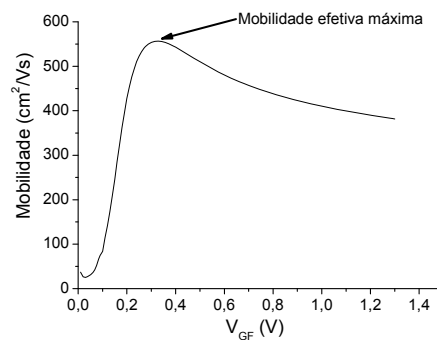


Figura 4.4: Exemplo da curva da mobilidade em função da tensão na porta mostrando o ponto da mobilidade efetiva máxima.

4.2 Extração da mobilidade na superfície superior e lateral

É sabido que os dispositivos de porta tripla apresentam condução de corrente em planos de orientação cristalográfica diferentes. Serão apresentados agora alguns métodos que separam essas mobilidades (superior e lateral), como podemos observar na Figura 4.5.

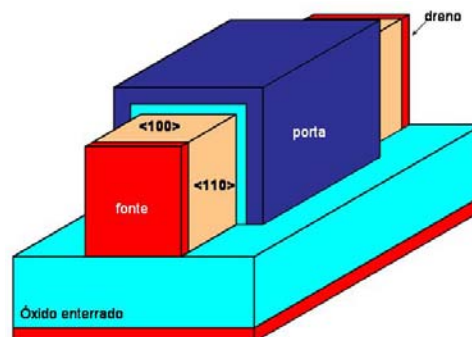


Figura 4.5: Estrutura FinFET mostrando os planos das orientações cristalográficas

4.2.1 Método Daugé

Este é um método simples para separar as contribuições dos diferentes canais em termos da mobilidade de portadores. Para este método é usada a curva da corrente de dreno em função da tensão na porta para vários dispositivos variando a largura do fin e mantendo o comprimento de canal constante¹³².

É considerado que quando o canal de condução inferior é desprezível e os canais superior e lateral são ativados, o pico de transcondutância máxima $g_{m,Max}^{Total}$ é dado por¹³²:

$$g_{m,Max}^{Total} = g_{m,Max}^{Top} + g_{m,Max}^{Lat} \quad (4.18)$$

onde $g_{m,Max}^{Top}$ é a transcondutância máxima para o canal superior e $g_{m,Max}^{Lat}$ é a transcondutância máxima para os canais laterais. Em uma aproximação de primeira ordem $g_{m,Max}^{Lat}$ e $g_{m,Max}^{Top}$ são dados por:

$$g_{m,Max}^{Lat} = 2 \frac{h_{fin}}{L_{fin}} \cdot \frac{\epsilon_{ox}}{t_{ox}^{Lat}} \cdot V_{DS} \cdot \mu^{Lat} = \frac{1}{A} \cdot \mu^{Lat} \quad (4.19)$$

$$g_{m,Max}^{Top} = \frac{W_{fin}}{L_{fin}} \cdot \frac{\epsilon_{ox}}{t_{ox}^{Top}} \cdot V_{DS} \cdot \mu^{Front} \quad (4.20)$$

Multiplicando a equação (4.18) pelo coeficiente A, é possível obter:

$$A \cdot g_{m,Max}^{Total} = \mu^{Lat} + \frac{t_{ox}^{Lat}}{t_{ox}^{Top}} \cdot \frac{\mu^{Top}}{2 \cdot h_{fin}} \cdot W_{fin} \quad (4.21)$$

Com esta consideração, é necessário então, fazer o gráfico dos valores de $A \cdot g_{m,Max}^{Total}$ em função da largura do fin ($W_{fin} - \mu m$), que resulta em uma reta. Onde a reta cruzar no eixo vertical corresponde à mobilidade lateral (μ^{Lat}) e a inclinação leva a mobilidade superior (μ^{Top}). A Figura 4.6 ilustra um gráfico exemplo para extração de μ_{Lat} e μ_{Top} .

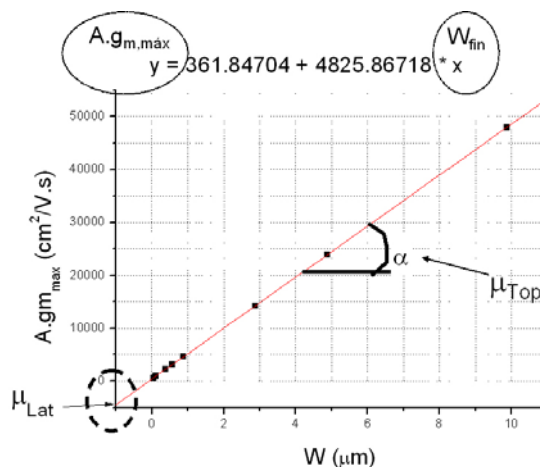


Figura 4.6: Exemplo de $A \cdot g_{m,Max}^{Total}$ em função da largura do fin (W_{fin}) para dispositivos simulados com $L = 9.91 \mu\text{m}$ e $t_{ox} = 2 \text{ nm}$.

O valor da mobilidade lateral é obtido diretamente pelo gráfico, já para obtenção do valor da mobilidade superior é necessário o uso da equação (4.22):

$$\mu_{Top} = (\text{tg } \alpha) \cdot 2h_{fin} \frac{t_{ox}^{top}}{t_{ox}^{lat}} \quad (4.22)$$

4.2.2 Método Split C-V

Como descrito anteriormente (seção 4.1.4), o método de extração Split C-V combina uma curva da corrente de dreno em função da tensão na porta em regime linear (região de triodo) com uma curva da capacitância (C_{GC}) em função da tensão na porta (V_{GF}) para extrair a mobilidade efetiva (equações (4.16) e (4.17))¹³³.

A fim de analisar as mobilidades separadamente (superior e lateral), algumas considerações foram feitas para prever o valor mais coerente de mobilidade¹³³. Este método não utiliza nem a espessura do óxido de porta, nem a largura do *fin*, que é muito útil para dispositivos FinFET, onde é muito difícil a obtenção da largura efetiva do *fin* e a espessura do óxido de porta.

Uma aproximação para encontrar a mobilidade lateral é extrair a mobilidade de um dispositivo muito estreito (W_{fin} muito pequeno) onde se tem que a porta superior não influencia na condução do canal, sendo então dominada pela condução

das portas laterais, mas utilizando essa aproximação as capacitâncias parasitárias são consideradas.

A fim de encontrar a mobilidade lateral neste método é necessário realizar a medida de dois dispositivos com comprimento de canal diferente e com a mesma largura do *fin* (W_{fin} estreito). Seguindo a aproximação proposta na referência¹³⁴, preferencialmente para dispositivos de canal curto, a capacitância parasita de sobreposição é eliminada. Fazendo-se a subtração das capacitâncias de acumulação que se dá através da subtração das curvas C-V com diferentes comprimentos de canal ($C_{GCL1} - C_{GCL2}$) as capacitâncias parasitárias com V_{GF} -independente e com V_{GF} - dependente são excluídas¹³³. Com essas considerações a equação que define a mobilidade lateral é dada por:

$$\mu_{lateral} = \frac{L_1 \cdot (L_2 - L_1)}{V_{DS}} \cdot \frac{I_{DS_{L1}}}{\int (C_{GCL2} - C_{GCL1}) dV} \quad (4.23)$$

Para a extração da mobilidade superior, os autores da referência¹³³ primeiramente eliminam a contribuição das laterais e dos cantos, usando dispositivos FinFETs com duas larguras diferentes de *fin* (preferencialmente largos) e comprimento de canal longo afim eliminar as capacitâncias de sobreposição.

A influência das laterais é eliminada pela subtração das capacitâncias correspondentes $C_{GC_{W_{fin1}}} - C_{GC_{W_{fin2}}}$ e correntes $I_{DS_{W_{fin1}}} - I_{DS_{W_{fin2}}}$:

$$\mu_{top} = \frac{L^2}{V_{DS}} \cdot \frac{I_{DS_{W_{fin2}}} - I_{DS_{W_{fin1}}}}{\int (C_{GC_{W_{fin2}}} - C_{GC_{W_{fin1}}}) dV} \quad (4.24)$$

4.2.3 Método Vikram

Neste método a mobilidade efetiva é extraída a partir do método *Split C-V* e condutância de saída. As mobilidades superior e lateral são separadas usando uma técnica similar à técnica utilizada no método proposto por Daugé¹³².

Em dispositivos de canal longo a corrente de dreno é dada por¹³⁵:

$$I_{DS} = -\mu_{eff} W \frac{dV}{dy} Q_{inv}(y) \quad (4.25)$$

Onde: y é a direção do fluxo de corrente, I_{DS} é a corrente de dreno, μ_{eff} é a mobilidade efetiva, W é a largura do canal, dV/dy é a variação infinitesimal do campo elétrico lateral ao longo do canal e Q_{inv} é a densidade de carga de inversão ao longo do canal.

O termo da mobilidade (μ_{eff}) seria o único fator na equação (4.25) que é diferente para as mobilidades superior e lateral devido a anisotropia nas massas efetivas. O termo dV/dy é assumido ser constante para a condução de corrente nas interfaces superior e lateral do fin, a densidade de carga de inversão nas interfaces superior e lateral é também assumida ser idêntica para uma dada tensão de porta.

A soma das componentes da corrente de dreno das interfaces superior e lateral é a corrente total, que é dada por:

$$I_{DS_{Total}} = I_{DS_{top}} + 2 \cdot I_{DS_{lat}} \quad (4.26)$$

Das equações (4.25), (4.26), assumindo que a capacitância do óxido por unidade de área e o comprimento de canal idêntico para as superfícies superior e lateral, a corrente total de dreno é:

$$I_{DS_{Total}} = -\left(\mu_{top} W_{fin} + 2\mu_{Lat} h_{fin}\right) \frac{dV}{dy} Q_{inv}(y) \quad (4.27)$$

Como μ_{top} e μ_{lat} não podem ser calculadas separadamente, $I_{DS_{total}}$ pode ser expressa como:

$$I_{DS_{Total}} = -\mu_{eff} W_{Total} \frac{dV}{dy} Q_{inv}(y) \quad (4.28)$$

onde μ_{eff} e W_{Total} são dados por:

$$\mu_{eff} W_{Total} = (\mu_{top} W_{fin} + 2\mu_{lat} \cdot h_{fin}) \quad (4.29)$$

e

$$W_{Total} = W_{Fin} + 2 \cdot h_{Fin} \quad (4.30)$$

A equação (4.29) é modelada como uma equação de reta na forma $y = m \cdot x + c$, como pode ser observado na Figura 4.7, onde:

Sendo: $y = m \cdot x + c$

$$y = \mu_{eff} (W_{fin} + 2 \cdot h_{fin}) \quad (4.31)$$

$$inclinação = m = \mu_{Top} \quad (4.32)$$

$$x = W_{fin} \quad (4.33)$$

$$cruzamento - y = c = 2 \cdot h_{fin} \cdot \mu_{Lat} \quad (4.34)$$

Para $W_{fin} = 0 \rightarrow y = 2 \cdot h_{fin} \cdot \mu_{Lat}$

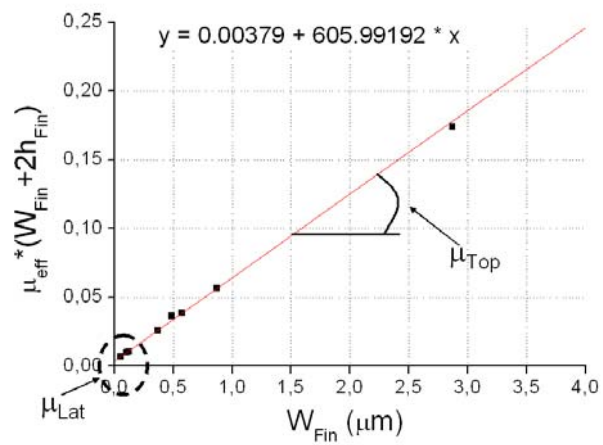


Figura 4.7: Exemplo de extração da mobilidade Efetiva em função da largura do fin (W_{fin}) para dispositivos simulados com $L = 9.91 \mu m$ e $t_{ox} = 2 nm$

5 Estudo comparativo dos métodos de Extração da Mobilidade

Neste capítulo serão abordados os resultados obtidos com as simulações numéricas a fim de mostrar o estudo comparativo entre os métodos descritos no capítulo anterior (capítulo 4). Para efeito de comparação foram feitas algumas considerações nas simulações, que serão evidenciadas a seguir.

Primeiramente é descrito o simulador numérico utilizado, seguido pela definição das estruturas utilizadas nas simulações e por fim os resultados e conclusões sobre a validade dos métodos analisados.

5.1 Simulador numérico

Para simulação dos dispositivos estudados foi utilizado o simulador numérico de dispositivos ATLAS¹³⁶ da SILVACO. O simulador ATLAS é uma estrutura modular e extensível para simulação de dispositivos em uma, duas, ou três dimensões. É um simulador baseado nas características físicas dos dispositivos, prevendo as características elétricas que estão associadas com estruturas físicas e condições de polarização previamente especificadas. Estes resultados são obtidos pela aproximação da operação do dispositivo em uma grade previamente definida, que consiste de um número de pontos chamados nós, que definem a estrutura física do dispositivo a ser simulado.

Pela aplicação de uma série de equações diferenciais, que se originam das leis de Maxwell, sobre a grade, é possível simular o transporte de portadores através da estrutura. Em outras palavras, é possível observar o desempenho elétrico dos dispositivos, em modos de operação DC, AC e transitórios¹³⁶.

Normalmente o usuário define uma tensão a ser aplicada em cada eletrodo do dispositivo, e o simulador calcula a corrente em cada eletrodo. O Atlas também calcula parâmetros internos ao dispositivo, como concentração de portadores, campos elétricos, entre outros. Esta informação é difícil ou às vezes impossível de ser medida (experimentalmente).

Em todas as simulações os dispositivos iniciam a simulação com polarização igual a zero em todos os eletrodos, o usuário então define quais serão as polarizações em cada eletrodo no dispositivo a ser simulado.

A medida DC consiste na aplicação de tensões, fixas ou variáveis, nos eletrodos do dispositivo, em Volts, sendo normalmente utilizada para obtenção das curvas básicas de corrente em função de tensão aplicada.

A medida AC consiste numa extensão das soluções em DC. Uma análise de pequeno sinal AC é feita após um processo de operação de solução DC. Há dois tipos comuns de simulação AC no Atlas, com aplicação de uma frequência constante para uma faixa de polarização aplicada no eletrodo, ou uma variação de frequência para uma polarização fixa. Os resultados que são obtidos com as simulações AC são a condutância e a capacitância entre cada par de eletrodos.

O simulador Atlas apresenta um abrangente conjunto de modelos físicos, tais como: estatísticas de Fermi-Dirac e Boltzmann; modelos avançados de mobilidade; efeitos de alta dopagem; contatos Ôhmicos, Schottky e isolantes; recombinações SRH, radiativas, Auger e de superfície; ionização por impacto (local e não-local); porta flutuante; injeção de portadores quentes; entre outros. Utiliza também técnicas numéricas eficientes, incluindo: estratégia de iteração não linear de Gummel, Newton e block-Newton; tempo de integração preciso e estável; estratégias de resolução inicial eficientes; entre outras¹³⁶.

5.1.1 Modelos utilizados

Os modelos físicos que foram utilizados para realização das simulações tridimensionais que serão posteriormente apresentadas foram os seguintes:

- AUGER: especifica a utilização de recombinação Auger.
- BGN: especifica o estreitamento da faixa proibida.
- CONSRH: especifica a utilização da recombinação Shockley-Read-Hall com a concentração dependente dos tempos de vida de portadores.
- SHI: Modelo de mobilidade que leva em consideração a degradação da mobilidade dentro das camadas de inversão, causada pelo campo elétrico vertical, sendo ideal para transistores com óxido de porta fino.

5.1.1.1 Modelo de mobilidade Shirahata

Para calcular a mobilidade, o simulador precisa que seja definido na linha de modelos como será feito o cálculo da mobilidade, assim para obter resultados nas simulações mais coerentes com dispositivos fabricados, é necessário levar em consideração a degradação da mobilidade que ocorre dentro das camadas de inversão. A degradação normalmente ocorre como resultado de um substancial aumento do espalhamento na superfície na interface semiconductor – isolante. No simulador este efeito é manipulado por três diferentes métodos:

- considerando a degradação da superfície;
- considerando o campo elétrico transversal;
- considerando mobilidade da camada de inversão específica.

O modelo escolhido foi o que considera o efeito do campo elétrico transversal, o SHIRAHATA, como mencionado anteriormente.

No modelo Shirahata¹³⁷ é levado em consideração o “*screening effect*” na camada de inversão assim como a melhora na dependência do campo elétrico perpendicular para óxidos de porta finos.

No simulador¹³⁶ a equação que descreve este modelo para elétrons é:

$$\mu_n = \frac{MUON.SHI \left(\frac{T_L}{300} \right)^{-THETAN.SHI}}{\left(1 + \frac{|E_{\perp}|}{E1N.SHI} \right)^{PIN.SHI} + \left(\frac{|E_{\perp}|}{E2N.SHI} \right)^{P2N.SHI}}$$
(5.1)

Para lacunas:

$$\mu_p = \frac{MUOP.SHI \left(\frac{T_L}{300} \right)^{-THETAP.SHI}}{\left(1 + \frac{|E_{\perp}|}{E1P.SHI} \right)^{PIP.SHI} + \left(\frac{|E_{\perp}|}{E2P.SHI} \right)^{P2P.SHI}}$$
(5.2)

onde: E_{\perp} é o campo elétrico perpendicular e os outros termos são os parâmetros do modelo que podem ser alterados no simulador. Os valores padrões desses termos são mostrados na Tabela 5.1.

Tabela 5.1: Valores dos parâmetros padrões do simulador

Parâmetro	Default	Unidade
Elétrons		
MU0N.SHI	1430	cm ² /(V.s)
E1N.SHI	6,3 x 10 ³	V/cm
E2N.SHI	0,77 x 10 ⁶	V/cm
P1N.SHI	0,28	
P2N.SHI	2,9	
THETAN.SHI	2,285	
Lacunas		
MU0P.SHI	500	cm ² /(V.s)
E1P.SHI	8 x 10 ³	V/cm
E2P.SHI	3,9 x 10 ⁵	V/cm
P1P.SHI	0,3	
P2P.SHI	1,0	
THETAP.SHI	2,247	

5.2 Características das simulações tridimensionais

Foram realizadas simulações numéricas tridimensionais utilizando o simulador ATLAS da SILVACO. As simulações foram baseadas em transistores de porta tripla. As características dos dispositivos utilizados foram escolhidas com base nos transistores de porta tripla que foram cedidos pelo IMEC – Bélgica (ver seção 6.1.1). Conseqüentemente as características dos dispositivos simulados são:

- óxido de porta de 2 nm;
- concentração do canal de $1 \cdot 10^{15} \text{ cm}^{-3}$;
- altura do fin de 60 nm;
- concentração da região de LDD de $1 \cdot 10^{19} \text{ cm}^{-3}$;
- região de LDD de 50 nm;
- material de porta de Nitreto de Titânio (TiN), definido no simulador com a função trabalho de 4,57V.

Foram feitas simulações com variação do comprimento de canal na faixa de 110 nm a 9,91 μm , e com variação da largura do *fin* (canal) na faixa de 50 nm a 9,87 μm .

A estrutura utilizada nas simulações é mostrada na Figura 5.1.

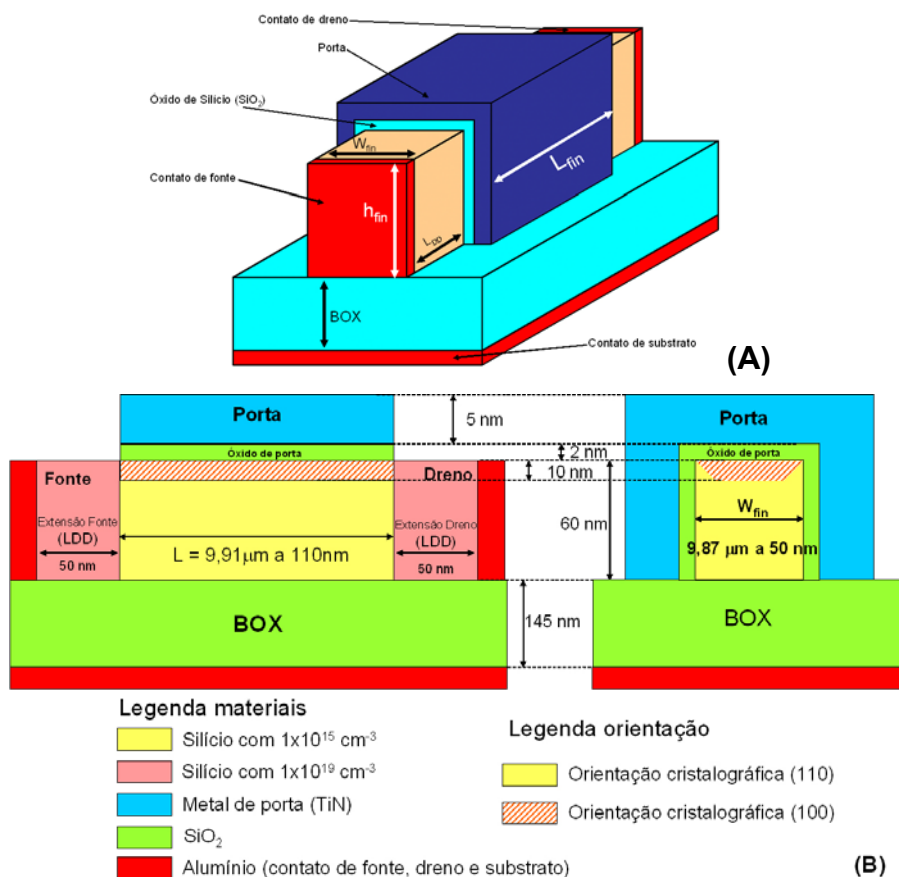


Figura 5.1: Desenho esquemático da estrutura utilizada nas simulações (A) visão em 3D, (B) Corte lateral e frontal da estrutura.

Como pode ser observado na Figura 5.1, existe uma região hachurada em formato retangular para a vista lateral e trapezoidal na vista frontal. Esta região representa a diferença das mobilidades devido à orientação cristalográfica que, como já foi mencionado, para dispositivos de porta tripla tem-se orientação (100) na parte superior do canal e (110) nas laterais. Como o simulador não diferencia a orientação cristalográfica nos dispositivos feitos em 3D, usou-se deste artifício para poder diferenciar as mobilidades. No simulador foram definidas duas regiões de silício no canal. A diferença entre elas foi feita alterando o parâmetro de mobilidade máxima no modelo de mobilidade do simulador. Devido ao uso deste tipo de

estrutura de canal foi possível aplicar o método de extração da mobilidade que permite separar a mobilidade superior da lateral.

As estruturas foram feitas utilizando o programa Devedit3D, da SILVACO¹³⁶, onde é feita também a grade de pontos do dispositivo a ser simulado. A Figura 5.2 mostra um exemplo de um dispositivo utilizado nas simulações.

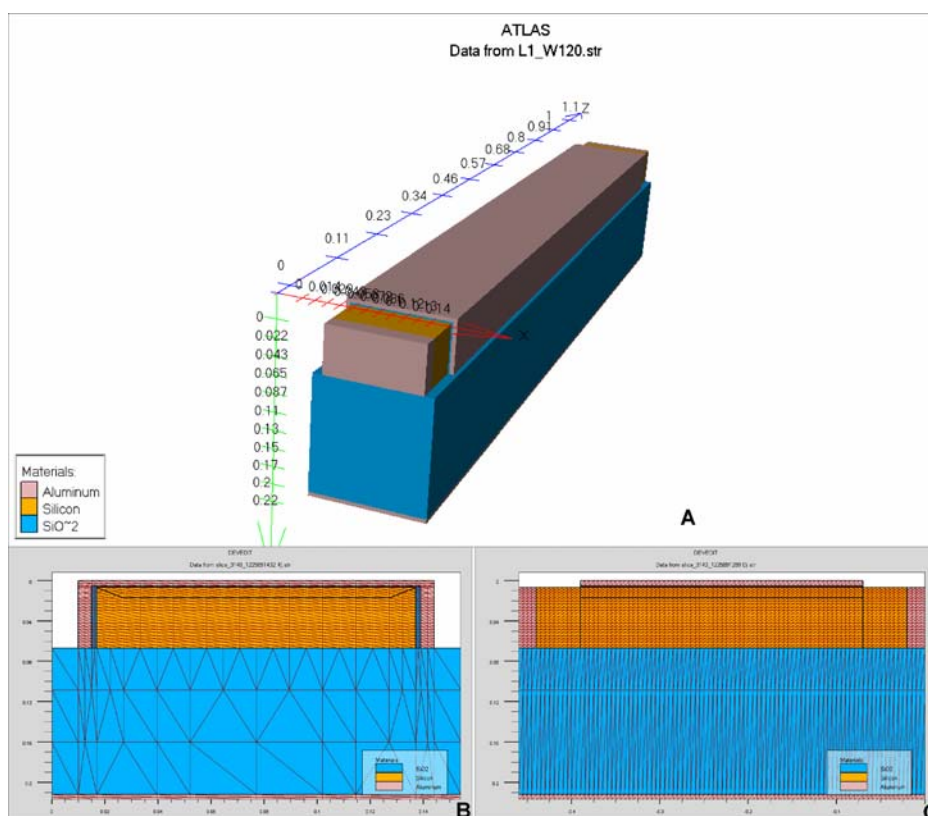


Figura 5.2: Estrutura dos dispositivos simulados, A: visão em 3-D; B: corte ao longo de W_{fin} ; C: corte ao longo do comprimento de canal.

Um exemplo do arquivo de simulação é mostrado na Tabela 5.2. No arquivo de simulação mostrado pode-se observar a definição das regiões com mobilidades diferentes. Para as regiões de LDD de fonte e dreno foi feito o cálculo proporcional de acordo com a dopagem (linhas 30 e 31). Foi considerado, para efeito de análise dos métodos de extração da mobilidade, que a mobilidade em (100) é o dobro de (110) como pode ser visto no arquivo de exemplo nas linhas 32 e 33, onde o parâmetro MU0N.SHI foi considerado $1300 \text{ cm}^2/\text{Vs}$ para superfície (100) e $750 \text{ cm}^2/\text{Vs}$ para superfície (110).

Tabela 5.2: Exemplo de um arquivo de simulação ATLAS

```

1 #####
2 # W = 870 nm
3 # L = 110 nm
4 # Simulação do FinFET - com EOT=2nm
5 # spacer de 50nm e contato de F/D até o BOX
6 # WORKFUNCTION=4.57
7 # h=60 nm
8 # Temperatura = 27°C
9 #####
10 go atlas
11
12 MESH infile=MW870_L110.str
13
14 # Definição das dopagens
15
16 DOPING UNIFORM CONCENTRATION=1E19 N.TYPE REGION=2
17 DOPING UNIFORM CONCENTRATION=1E19 N.TYPE REGION=4
18 DOPING UNIFORM CONCENTRATION=1E15 P.TYPE REGION=5
19 DOPING UNIFORM CONCENTRATION=1E15 P.TYPE REGION=6
20
21 # definição dos contatos
22
23 contact name=gate WORKFUNCTION=4.57
24 CONTACT NAME=bulk WORKFUNCTION=4.95
25
26 # definição dos modelos
27
28 models srh bgn shi consrh print temp=300
29
30 MOBILITY REGION=2 P1N.shi=0 P2N.shi=0 MU0N.SHI=90.5
31 MOBILITY REGION=4 P1N.shi=0 P2N.shi=0 MU0N.SHI=90.5
32 MOBILITY REGION=5 P1N.shi=0 P2N.shi=0 MU0N.SHI=1300
33 MOBILITY REGION=6 P1N.shi=0 P2N.shi=0 MU0N.SHI=650
34
35 # definição dos métodos
36
37 method gummel newton autonr bicgst trap maxtrap=10
38
39 # Inicialização das polarizações
40
41 solve init
42
43
44 # Polarização de dreno e porta (iniciais)
45
46 solve vgate=0.0 vstep=-0.02 vfinal=-0.2 name=gate
47 solve vdrain=0.0 vstep=0.005 vfinal=0.01 name=drain
48
49 # Curva ID x VG
50
51 output e.mobility h.mobility
52 log outf=w870L110iv.log master
53 solve vgate=0.0 vstep=0.01 vfinal=1.2 name=gate
54 save outf=w870_L110iv.str

```

Outra consideração feita nas simulações foi com relação ao campo elétrico. Para efeito de comparações dos métodos de extração da mobilidade, o efeito do campo elétrico foi desprezado, ou seja, foram alterados dois parâmetros no simulador na equação que calcula a mobilidade (equação (5.1)), conforme mostra a Tabela 5.3 linhas 30 a 33. Com isso pode-se prever o valor da mobilidade numericamente, pois não dependerá do cálculo do campo elétrico. O valor da mobilidade alterando estes dois parâmetros para zero será $715 \text{ cm}^2 / \text{Vs}$.

Tabela 5.3: Parâmetros alterados no modelo SHIRAHATA

Parâmetro	Default	Alterado
P1N.SHI	0,28	0
P2N.SHI	2,9	0

Devido às características dos dispositivos de porta tripla, que possui orientação cristalográfica diferente na superfície e nas laterais, as simulações foram divididas em duas partes: (i) a primeira parte para análise dos métodos de extração da mobilidade efetiva e (ii) a segunda parte para análise dos métodos de separação das mobilidades superior e lateral.

Para o estudo da mobilidade efetiva, a estrutura utilizada possui a mesma mobilidade para toda a região de canal, não tendo, portanto a região de canal dividida, como pode ser visto na Figura 5.3.



Figura 5.3: Cortes frontal e lateral da estrutura usada nas simulações para estudo da mobilidade efetiva.

No estudo da separação das mobilidades (mobilidades superior e lateral), a estrutura utilizada foi feita considerando a diferença das mobilidades superior e lateral devido à diferença das orientações cristalográficas. Então foi considerado que $\mu_{top} = 2 \cdot \mu_{lat}$. Para este estudo foi utilizada a estrutura com o canal dividido em duas regiões como foi mostrado na Figura 5.1. Para isso foi alterado o parâmetro MU0N.SHI no simulador de acordo com a equação (5.1). A estrutura utilizada pode ser vista na Figura 5.4.

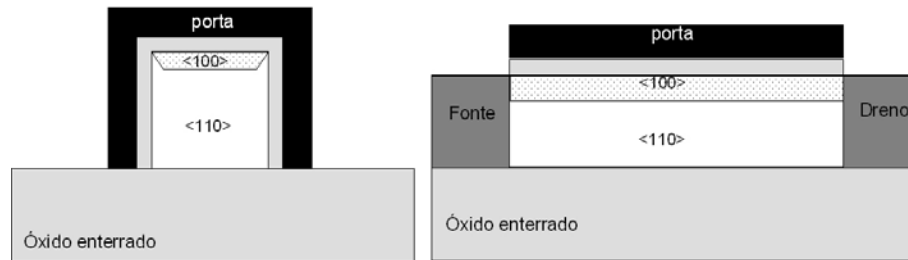


Figura 5.4: Cortes frontal e lateral da estrutura usada nas simulações para estudo da separação das mobilidades ($\mu_{\text{top}} = 2 \cdot \mu_{\text{lat}}$).

A fim de aplicar os métodos estudados, nas estruturas de porta tripla, foram feitas curvas da corrente de dreno (I_{DS}) em função da tensão na porta (V_{GF}), com tensão de dreno $V_{\text{DS}} = 10 \text{ mV}$, e V_{GF} variando de $-0,2$ a $1,2\text{V}$, para garantir que o dispositivo esteja funcionando na região linear (região de triodo). Foram feitas também curvas da capacitância em função da tensão na porta (C-V) em alta frequência (1MHz).

5.3 Resultados das simulações tridimensionais

Nesta seção são apresentados os resultados obtidos a partir das simulações tridimensionais realizadas com o simulador ATLAS. Na seção anterior foram descritas as características das simulações que foram realizadas e que serão aqui mostradas. Esta seção está dividida em duas partes, primeiramente serão mostrados os resultados do estudo da mobilidade efetiva, e em seguida serão mostrados os resultados do estudo da separação das mobilidades superior e lateral.

5.3.1 Estudo da mobilidade efetiva

Para os quatro métodos estudados, foram feitas as curvas $I_{\text{DS}} \times V_{\text{GF}}$ e C-V. Para a aplicação de todos os métodos foram utilizadas as mesmas curvas. Neste estudo foram simulados dispositivos com a largura do fin (W_{fin}) fixa e variando o comprimento de canal (L), e mantendo o L fixo e variando o W_{fin} .

Os métodos estudados para extração da mobilidade foram descritos no capítulo 4.1, aqui foram utilizados então: O método através de $g_{m,max}$, *Y-funtion*, McLarty e *Split C-V*. Para estas simulações foi utilizada a estrutura da Figura 5.3.

Na Figura 5.5 e na Figura 5.6 podem ser observadas as curvas da corrente de dreno em função da tensão na porta para os dispositivos utilizados para o estudo da mobilidade efetiva com variação da largura do canal (W_{fin}) de 50 nm a 870 nm e de 2,87 μ m a 9,87 μ m na Figura 5.5 em escala linear e na Figura 5.6 com todos os W_{fin} em escala log. Com mesmo comprimento de canal ($L = 9,91 \mu$ m). Como previsto pode ser observado que com o aumento de W_{fin} há um aumento na corrente de dreno de acordo com a equação (2.32).

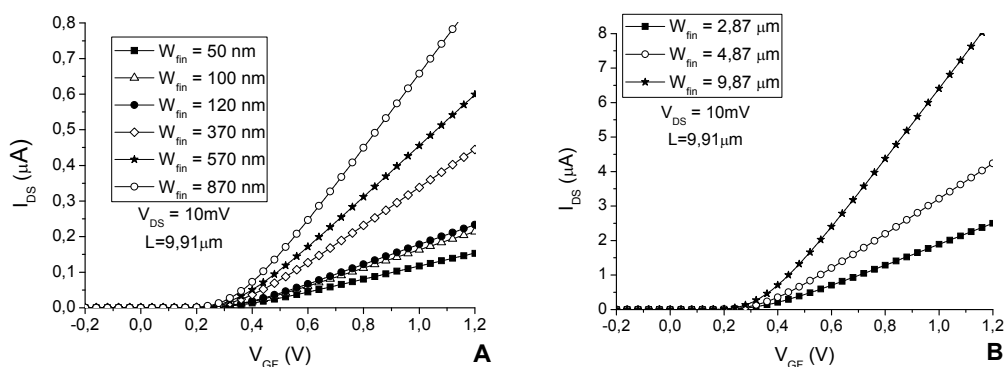


Figura 5.5: Curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) com $V_{DS} = 10$ mV em escala linear, com L fixo de 9,91 μ m. **A** – Curvas com W_{Fin} variando de 50 nm a 870 nm. **B** – Curvas com W_{fin} variando de 2,87 μ m a 9,87 μ m.

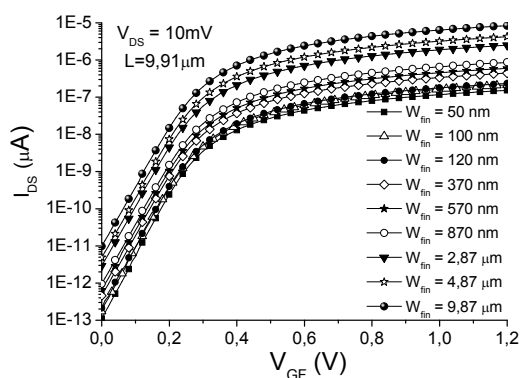


Figura 5.6: Curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) com $V_{DS} = 10$ mV em escala log, curvas com W_{fin} variando de 50 nm a 9,87 μ m, com L fixo de 9,91 μ m.

Na Figura 5.7 são mostradas as curvas da corrente de dreno em função da tensão na porta para os dispositivos utilizados no estudo da mobilidade efetiva com

variação do comprimento de canal (L) de 110 nm a 9,91 μm , e com largura do canal fixa ($W_{\text{fin}} = 870$ nm). Como previsto pode ser observado que à medida que o comprimento de canal é reduzido há um aumento na corrente de dreno de acordo com a equação (2.32).

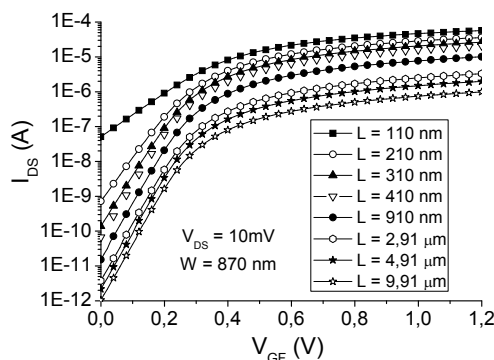


Figura 5.7: Curvas da corrente de dreno em função da tensão na porta ($I_{\text{DS}} \times V_{\text{GF}}$) com $V_{\text{DS}} = 10\text{mV}$ em escala log, curvas com L_{fin} variando de 110 nm a 9,91 μm , com W_{fin} fixo de 870 nm.

A tensão de limiar foi extraída pelo método da segunda derivada da curva da corrente de dreno pela tensão na porta e a inclinação de sublimiar foi extraída a partir do ponto mínimo de $S(V_G) = [d(\log I_D)/dV_G]^{-1}$.

Na Figura 5.8 são apresentadas as curvas da tensão de limiar e da inclinação de sublimiar em função do comprimento de canal para dispositivos com largura de fin de 870nm e em função da largura de canal para dispositivos com comprimento de canal de 9,91 μm . É possível observar na Figura 5.8-A que à medida que o comprimento de canal é reduzido, há um aumento na inclinação de sublimiar e uma redução da tensão de limiar devido ao efeito de canal curto, o efeito começa a ser observado para dispositivos com comprimento de canal inferior a 0,5 μm .

Analisando o comportamento dos dispositivos de porta tripla com relação a variação da largura do fin, é possível observar na Figura 5.8-B que à medida que a largura do fin é reduzida a tensão de limiar mantém-se praticamente constante, ao passo que pode-se notar uma redução na inclinação de sublimiar com a redução de W_{fin} , devido ao melhor controle do dispositivo pela porta quando a largura é reduzida.

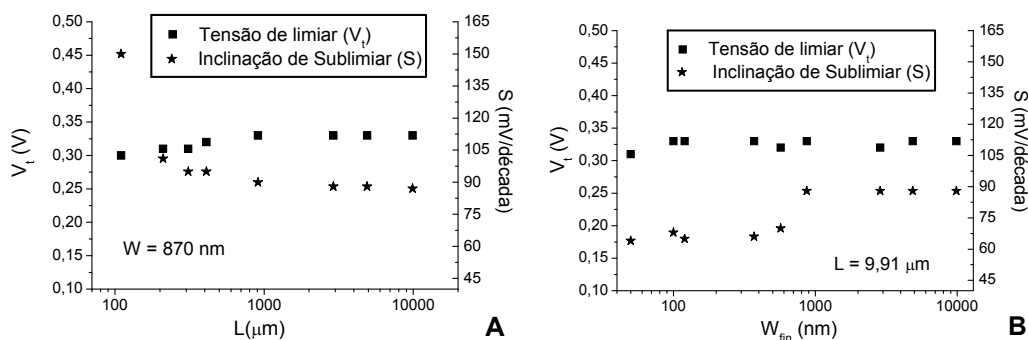


Figura 5.8: Curvas da tensão de limiar e da inclinação de sublimiar **(A)** em função do comprimento de canal para dispositivos com $W_{\text{fin}} = 870 \text{ nm}$ e **(B)** em função da largura do fin para dispositivos com $L = 9,91 \mu\text{m}$.

Foram feitas também as curvas da capacitância em função da tensão (C-V) e na Figura 5.9 é mostrada uma curva C-V para um dispositivo com W_{fin} de 870 nm e L de 9,91 μm . Não foi realizada a simulação para tensões muito negativas (tensões menores de -0,2V) pois para este estudo esta parte da curva não é utilizada, uma vez que a mobilidade é obtida para tensões de porta positivas, e com o transistor operando em regime de inversão (acima da tensão de limiar). Todos os dispositivos simulados apresentaram o mesmo comportamento nas curvas de capacitância, o que os diferencia são apenas os valores de capacitância máxima e mínima devido à variação nas dimensões dos dispositivos.

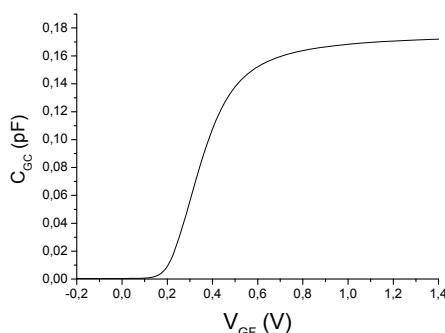


Figura 5.9: Curva da capacitância em função da tensão na porta (C-V) para o dispositivo com W_{fin} de 870 nm e L de 9,91 μm .

Como mencionado anteriormente, as simulações foram feitas desprezando o efeito do campo elétrico, isso foi feito a partir da alteração de dois parâmetros na equação de mobilidade do modelo SHI (Shirahata) no simulador. Os parâmetros alterados foram o P1N.SHI e P2N.SHI para zero. Com essa alteração, é possível prever numericamente o valor da mobilidade resultante.

$$\mu_n = \frac{MU0N.SHI \left(\frac{T_L}{300} \right)^{-THETAN.SHI}}{\left(1 + \frac{|E \perp|}{E1N.SHI} \right)^{PIN.SHI} + \left(\frac{|E \perp|}{E2N.SHI} \right)^{P2N.SHI}} \quad (5.3)$$

Na Figura 5.10 é mostrado o corte da seção transversal do dispositivo, mostrando o perfil da mobilidade e a curva da mobilidade em função da profundidade do filme de silício na região do canal, pode-se observar que o dispositivo possui a mesma mobilidade tanto na superfície como nas laterais. Neste caso, o parâmetro MU0N.SHI foi alterado para $1300 \text{ cm}^2/\text{Vs}$, resultando no valor de mobilidade de $650 \text{ cm}^2/\text{Vs}$. Essa consideração foi utilizada para as simulações dos dispositivos com mesmo valor de comprimento de canal ($L = 9,91 \mu\text{m}$) e variação da largura do fin (W_{fin} de 50 nm a $9,87 \mu\text{m}$).

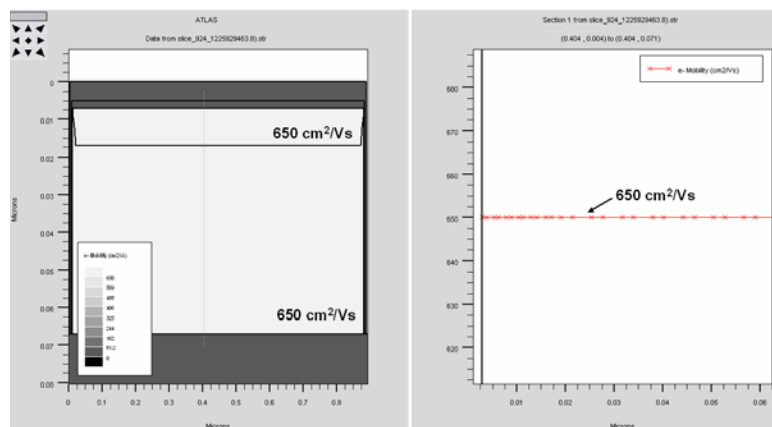


Figura 5.10: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo. Dispositivo com W_{fin} de 870 nm e L de $9,91 \mu\text{m}$. Mesma mobilidade nas interfaces superior e lateral. (Estudo com variação de W_{fin}).

Na Figura 5.11 é mostrado o corte transversal do dispositivo mostrando o perfil da mobilidade e a curva da mobilidade em função da profundidade do filme de silício na região do canal, nota-se também que este possui a mesma mobilidade na superfície e nas laterais. Neste caso só foram alterados os dois parâmetros referentes a campo elétrico. O parâmetro MU0N.SHI foi mantido em $1430 \text{ cm}^2/\text{Vs}$, com isso a mobilidade resultante fica $715 \text{ cm}^2/\text{Vs}$. Essa consideração foi utilizada para as simulações dos dispositivos com mesmo valor de largura do fin ($W_{\text{fin}} = 870 \text{ nm}$) e variação do comprimento de canal (L de 110 nm a $9,91 \mu\text{m}$).

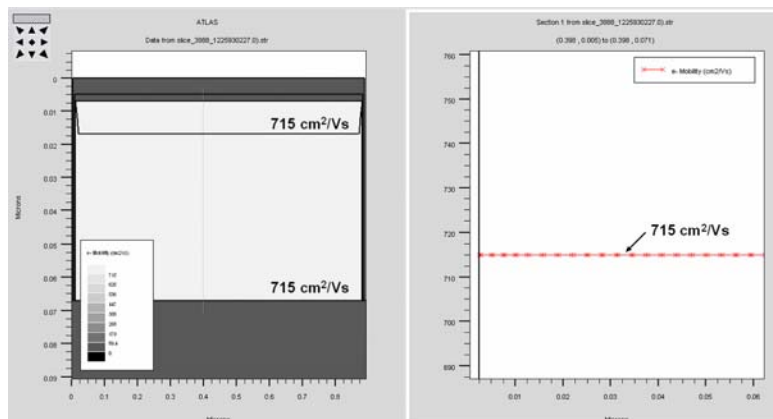


Figura 5.11: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo, Dispositivo com W_{fin} de 870 nm e L de 110 nm. Mesma mobilidade nas interfaces superior e lateral. (Estudo com variação de L).

5.3.1.1 Método $g_{m,max}$

Para aplicação deste método foram utilizadas as curvas simuladas $I_{DS} \times V_{GF}$ com tensão de dreno de 10 mV. A partir das curvas obtidas pelo simulador, foi feita a derivada destas para obtenção da transcondutância. E a partir das curvas da transcondutância em função da tensão na porta, foi obtido através do pico máximo o valor da transcondutância máxima.

Na Figura 5.12 são mostradas as curvas da transcondutância função da tensão na porta para os dispositivos com comprimento de canal fixo de 9,91 μm e largura do fin variável (de 50 nm a 9,87 μm). É possível observar que à medida que o W_{fin} aumenta, há também um aumento na transcondutância.

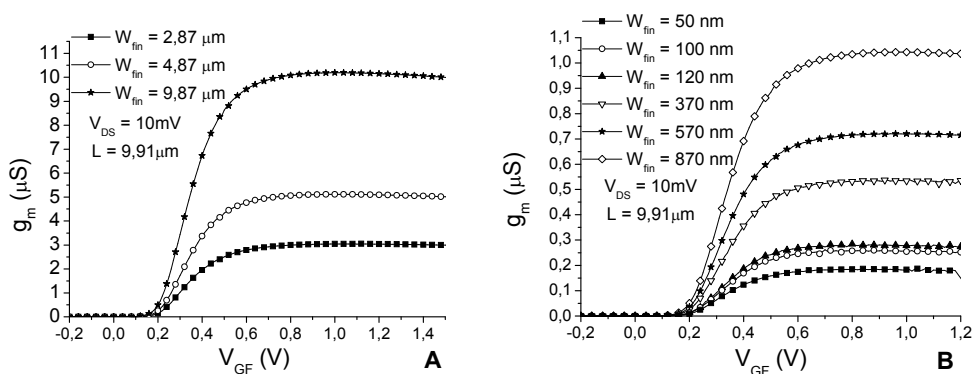


Figura 5.12: Curvas da transcondutância (g_m) em função da tensão aplicada na porta (V_{GF}). **A** – Curvas com L fixo de 9,91 μm e W_{fin} variando de 2,87 μm a 9,87 μm . **B** - Curvas com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 870 nm.

Com o valor da transcondutância máxima, foi possível então calcular o valor da mobilidade através da equação (4.3), lembrando que o valor do W_{eff} a ser considerado é: $W_{\text{eff}} = 2 \cdot h_{\text{fin}} + W_{\text{fin}}$.

Na Tabela 5.4 são mostrados os valores de mobilidade extraídos por este método. O máximo erro encontrado para este método foi de 10 %, considerando um L grande e variando a largura do fin (W_{fin}). As diferenças encontradas nos valores de mobilidade extraídas devem-se provavelmente à influência da resistência série não prevista neste método de extração, cabe ressaltar que no nosso caso para conseguir prever qual seria o valor da mobilidade foi necessário desprezar o efeito do campo elétrico.

Tabela 5.4: Parâmetros elétricos e resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm .

Dimensões		Parâmetros		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (μm)	V_{th} (V)	$g_{\text{m,max}}$ (μS)	Esperado	Método $g_{\text{m,máx}}$	Erro %
50	9,91	0,31	0,18	650	622	4,3
100	9,91	0,33	0,26	650	674	3,7
120	9,91	0,33	0,28	650	670	3,1
370	9,91	0,33	0,53	650	627	3,5
570	9,91	0,32	0,72	650	599	7,8
870	9,91	0,33	1,04	650	605	6,9
2870	9,91	0,32	3,04	650	585	10
4870	9,91	0,33	5,11	650	589	9,4
9870	9,91	0,33	10,19	650	586	9,8

Na Figura 5.13 são mostradas as curva da transcondutância em função da tensão na porta, agora para dispositivos com W_{fin} fixo e variação do comprimento de canal (L de 110 nm a 9,91 μm). Como esperado pôde ser observado que à medida que diminui o comprimento de canal há um aumento na transcondutância.

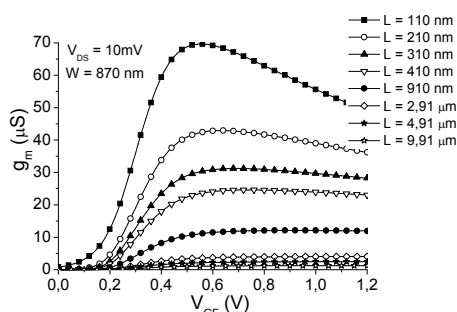


Figura 5.13: Curvas da transcondutância (g_{m}) em função da tensão aplicada na porta (V_{GF}) com W_{fin} fixo de 870 nm e L variando de 110 nm a 9,91 μm .

Na Tabela 5.5 são mostrados os valores das mobilidades extraídas por este método com W_{fin} fixo de 870 nm e com variação do comprimento de canal de 110 nm

a 9,91 μm . Pode-se observar que à medida que se reduz o comprimento de canal há uma redução no valor da mobilidade devido ao efeito da resistência série de fonte e dreno e devido aos efeitos de canal curto nos dispositivos com comprimento de canal inferior a 0,5 μm . Até aproximadamente 1 μm , o erro máximo obtido por este método foi de 10 %, os dispositivos com comprimento de canal menores que 1 μm começam a sofrer mais do efeito da resistência série, e com isso há um aumento no erro chegando a 37,3 % para o dispositivo com comprimento de canal de 110 nm.

Tabela 5.5: Parâmetros elétricos e resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870 nm e L variando de 110 nm a 9,91 μm .

Dimensões		Parâmetros		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (nm)	V_{th} (V)	$g_{\text{m,max}}$ (μS)	Esperado	Método $g_{\text{m,max}}$	Erro %
870	110	0,3	31,232	715	449	37,3
870	210	0,3	42,936	715	527	26,3
870	310	0,3	69,6453	715	567	20,7
870	410	0.30	24.61	715	591	17,3
870	910	0.30	12.09	715	645	9,9
870	2910	0.30	4.06	715	692	3,1
870	4910	0.30	2.46	715	706	1,2
870	9910	0.30	1.23	715	719	0,6

5.3.1.2 Método Y-Function

Para aplicação deste método foram utilizadas as curvas simuladas $I_{\text{DS}} \times V_{\text{GF}}$ com tensão de dreno de 10 mV. A partir das curvas obtidas pelo simulador, para obtenção da função Y, é feito a divisão da corrente de dreno pela raiz quadrada da transcondutância e depois é feito o gráfico desta função Y *versus* a tensão na porta (V_{GF}). Na Figura 5.14 é mostrada a curva obtidas de Y em função de V_{GF} para o dispositivo com comprimento de canal de 9,91 μm e largura do fin de 110 nm.

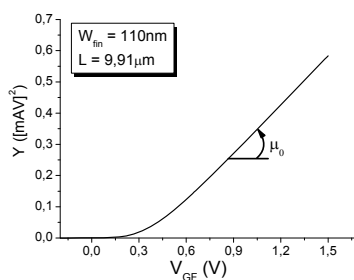


Figura 5.14: Curva da função Y em função da tensão na porta para o dispositivo com W_{fin} de 110 nm e L de 9,91 μm

A partir das curvas de $Y \times V_{GF}$ é extraída a inclinação da reta resultante, e então pode-se calcular o valor da mobilidade a partir da equação (4.7).

Na Tabela 5.6 são mostrados os resultados das mobilidades extraídas por este método com dispositivos com W_{fin} fixo de 870 nm e L variando de 110 nm a 9,91 μ m. Pode-se observar que para dispositivos com comprimento de canal menores que 0,5 μ m (onde começa a se pronunciar o efeito de canal curto e onde o efeito da resistência série é maior), os erros obtidos variam de 16 a 28,4%, para os dispositivos maiores que 0,5 μ m o maior erro encontrado foi de 13,3% para o dispositivo de 910 nm

Tabela 5.6: Resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 9,91 μ m.

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (nm)	Esperado	Método <i>Y-function</i>	Erro %
870	110	715	512	28,4
870	210	715	551	23
870	310	715	570	20,3
870	410	715	601	16
870	910	715	620	13,3
870	2910	715	631	11,7
870	4910	715	636	11
870	9910	715	638	10,8

Na Tabela 5.7 são mostrados os resultados das mobilidades extraídas por este método com dispositivos com L fixo de 9,91 μ m e W_{fin} variando-se de 50 nm a 9,87 μ m. Pôde-se observar que com o comprimento de canal fixo (9,91 μ m) este método funciona melhor para os dispositivos com largura de fin maiores que 870 nm com um erro máximo de 11,2%, quando a largura do fin é reduzida, este método se torna ineficiente chegando a um erro de 41,5%, principalmente para W_{fin} extremamente reduzido ($W_{fin} = 50$ nm). Esse maior erro com o uso deste método para dimensões menores pode estar relacionado ao fato de que nas simulações foram feitas algumas considerações, como o fato de desprezar o efeito do campo elétrico, que podem estar influenciando nos resultados. Pois normalmente a mobilidade extraída por *Y-function* é maior do que a mobilidade extraída por $g_{m,máx}$, como será visto nos resultados experimentais, onde todos os efeitos são considerados.

Tabela 5.7: Resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm .

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (μm)	Esperado	Método <i>Y-function</i>	Erro %
50	9,91	650	380	41,5
100	9,91	650	467	28,2
120	9,91	650	479	26,3
370	9,91	650	532	18,2
570	9,91	650	534	17,8
870	9,91	650	577	11,2
2870	9,91	650	599	7,9
4870	9,91	650	612	5,9
9870	9,91	650	615	5,4

5.3.1.3 Método McLarty

Para aplicação deste método foram utilizadas as curvas simuladas $I_{\text{DS}} \times V_{\text{GF}}$ com tensão de dreno de 10 mV. A partir das curvas obtidas pelo simulador, foi feita a derivada do inverso da corrente de dreno, obtendo-se assim a função F_2 dada pela equação (4.7). Na Figura 5.15 é mostrada a curva obtida depois de fazer a derivada, ou seja, a função $F_2 \times V_{\text{GF}}$, para o dispositivo com comprimento de canal de 110 μm e com W_{fin} de 870 nm.

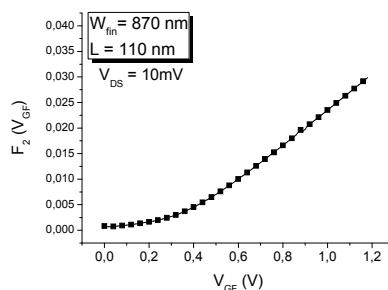


Figura 5.15: Curva da função F_2 em função da tensão na porta para dispositivos com L de 110 nm e W_{fin} de 870 nm.

A partir das curvas de $F_2 \times V_{\text{GF}}$ é extraída a inclinação da reta resultante, e então pode-se calcular o valor da mobilidade a partir das equações (4.13) e (4.14).

Na Tabela 5.8 são mostrados os resultados das mobilidades extraídas por este método com dispositivos com W_{fin} fixo de 870 nm e L variando de 110 nm a 9,91 μm . Pode-se observar que para dispositivos maiores que 410 nm o maior erro encontrado foi de aproximadamente 13 %, e com dispositivos menores que 410 nm houve um aumento do erro devido à influência da resistência série de fonte e dreno e ao efeito de canal curto nos dispositivos chegando a um erro de 30,6 %.

Tabela 5.8: Resultado da extração das mobilidades dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 9,91 μm .

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (nm)	Esperado	Método McLarty	Erro %
870	110	715	496	30,6
870	210	715	526	26,4
870	310	715	561	21,5
870	410	715	621	13,2
870	910	715	662	7,4
870	2910	715	706	1,3
870	4910	715	633	11,5
870	9910	715	622	13

Na Tabela 5.9 são mostrados os resultados das mobilidades extraídas por este método com dispositivos com L fixo de 9,91 μm e W_{fin} variando-se de 50 nm a 9,87 μm . Pôde-se observar que para dispositivos com W_{fin} menores que 870 nm o erro foi maior chegando ao pior caso para o W_{fin} de 50 nm a 48,8%. Este método nada mais é do que uma evolução do método *Y-function*, por isso foram observados os mesmo comportamentos para dispositivo com menores dimensões. Para os dispositivos maiores que 600 nm o erro máximo encontrado foi de 2,5%, o que mostra a evolução deste método se comparado com o método *Y-function*.

Tabela 5.9: Resultado da extração das mobilidades dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm .

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (μm)	Esperado	Método McLarty	Erro %
50	9,91	650	333	48,8
100	9,91	650	481	26
120	9,91	650	544	16,3
370	9,91	650	543	16,5
570	9,91	650	541	16,8
870	9,91	650	624	4
2870	9,91	650	641	1,4
4870	9,91	650	634	2,5
9870	9,91	650	640	1,5

5.3.1.4 Método Split C-V

Para aplicação deste método fez-se necessário a utilização das curvas $I_{DS} \times V_{GF}$ com tensão de dreno de 10 mV e das curvas $C_{GC} \times V$ em alta frequência. A partir das curvas obtidas pelo simulador foram feitas primeiramente as integrais das curvas C-V a fim de obter as cargas de inversão (Q_{inv}). Assim com as curvas $I_{DS} \times V_{GF}$ e

com as cargas de inversão, foi possível através da equação (4.17) obter as curvas das mobilidades em função da tensão na porta.

A Figura 5.16 mostra o conjunto de curvas resultante da mobilidade em função da tensão na porta para dispositivos com L fixo e W_{fin} variável de 50 nm a 9,87 μm , na Figura 5.16 – B é mostrado a ampliação da curva A, para melhor visualização da mobilidade máxima. Pode-se notar que com L de aproximadamente 10 μm variando W_{fin} , houve uma pequena diferença na mobilidade máxima (aproximadamente 50 cm^2/Vs).

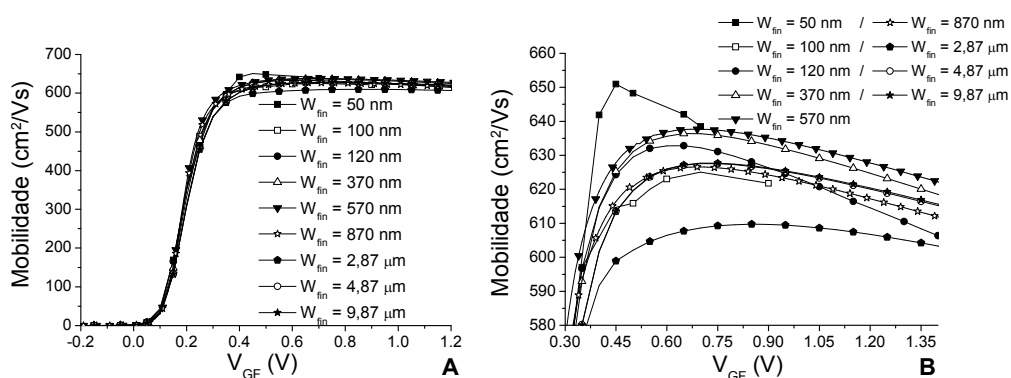


Figura 5.16: Curvas da mobilidade em função da tensão na porta para os dispositivos com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm . **A** – curva inteira; **B** – ampliação da região acima de 580 cm^2/Vs .

Na Tabela 5.10 são mostrados os resultados das mobilidades extraídas por este método para dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm . Pode-se observar que com o uso deste método o erro foi de no máximo 6,2% para o dispositivo de 2,87 μm , sendo que para os outros dispositivos o máximo erro foi de 3,8 %, para a faixa de dispositivos estudados.

Tabela 5.10: Resultado da extração da mobilidade dos dispositivos simulados com L fixo de 9,91 μm e W_{fin} variando de 50 nm a 9,87 μm .

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (μm)	Esperado	Método Split C-V	Erro %
50	9910	650	651	0.1
100	9910	650	625	3.8
120	9910	650	633	2.6
370	9910	650	636	2.1
570	9910	650	638	1.9
870	9910	650	627	3.6
2870	9910	650	610	6.2
4870	9910	650	627	3.45
9870	9910	650	628	3.4

Na Figura 5.17 são mostradas as curvas resultantes das mobilidades em função da tensão na porta para os dispositivos com W_{fin} fixo de 870 nm e com L variando de 110 nm a 4,91 μm . Pode-se observar que há uma redução da mobilidade com a redução do comprimento de canal devido à influência da resistência série para dispositivos de canal curto e também a mudança nos mecanismos de espalhamento^{113,144}.

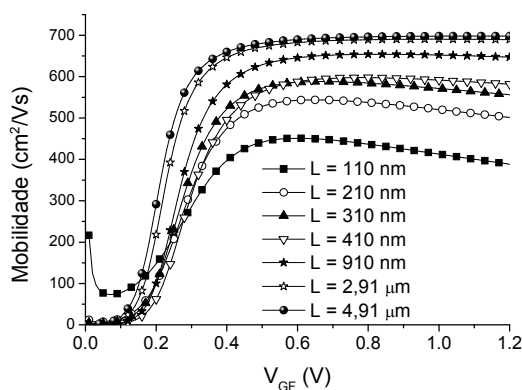


Figura 5.17: Curvas da mobilidade em função da tensão na porta para os dispositivos com W_{fin} fixo de 870 nm e L variando de 110 nm a 4,91 μm .

Na

Tabela 5.11 são mostrados os resultados obtidos para extração da mobilidade por este método. Pode-se notar que o erro aumenta à medida que o comprimento de canal é reduzido, chegando a um erro de aproximadamente 37 % mostrando também a influência da resistência série e os efeitos de canal curto, para dispositivos maiores que 0,5 μm o maior erro encontrado foi de 8,5 %.

Tabela 5.11: Resultado da extração da mobilidade dos dispositivos simulados com W_{fin} fixo de 870nm e L variando de 110 nm a 4,91 μm .

Dimensões		Mobilidade (cm^2/Vs)		
W_{fin} (nm)	L (nm)	Esperado	Método Split C-V	Erro %
870	110	715	451	36.9
870	210	715	544	23.9
870	310	715	588	17.7
870	410	715	598	16.4
870	910	715	654	8.5
870	2910	715	690	3.4
870	4910	715	698	2.3

5.3.1.5 Comparação dos Métodos

Na Tabela 5.12 são mostrados os resultados para mobilidade efetiva usando os quatro métodos apresentados anteriormente, para dispositivos com mesma largura de fin ($W_{fin} = 870$ nm) e variando o comprimento de canal. As simulações Atlas foram feitas considerando a mobilidade efetiva de 715 cm²/Vs.

Tabela 5.12: Comparação dos valores da mobilidade efetiva para dispositivos com mesmo W_{fin} de 870 nm e variando o comprimento de canal.

Dimensões dos dispositivos		MOBILIDADE (cm ² /V.s)								
		Valor Esperado	Método				Erro (%)			
W_{fin} (nm)	L (nm)		$g_{m,máx}$	<i>Y-function</i>	McLarty	<i>Split C-V</i>	$g_{m,máx}$	<i>Y-function</i>	McLarty	<i>Split C-V</i>
870	110	715	449	512	496	451	37,3	28,4	30,6	36,9
870	210	715	527	551	526	544	26,3	23	26,4	23,9
870	310	715	567	570	561	588	20,7	20,3	21,5	17,7
870	410	715	591	601	621	598	17,3	16	13,2	16,4
870	910	715	645	620	662	654	9,9	13,3	7,4	8,5
870	2910	715	692	631	706	690	3,1	11,7	1,3	3,4
870	4910	715	706	636	633	698	1,2	11	11,5	2,3
870	9910	715	719	638	622	-	0,6	10,8	13	-

Pode ser observado que a mobilidade efetiva obtida em todos os métodos aparentemente diminui com a redução do comprimento de canal, devido à influência da resistência série de fonte e dreno e devido aos efeitos de canal curto. Devido à influência destes efeitos todos os métodos ficam mais “ineficientes” para comprimento de canal menor que $0,5$ μ m. Dentre eles o que aparenta ser mais influenciado com a redução do comprimento de canal é o método por $g_{m,máx}$ que apresentou erros um pouco maiores quando comparado com os outros três métodos. O que melhor se comportou com a redução do comprimento de porta foi o método *Y-function*, seguido pelo método *Split – CV*.

Analisando o comportamento dos métodos para os dispositivos onde o comprimento de canal é maior que $0,5$ μ m, o maior erro encontrado foi 13% tanto para o método *Y-function* quanto o McLarty. Os métodos que apresentaram melhores características para dispositivos com comprimento de canal maior foram o *Split C-V* e o por $g_{m,máx}$. No entanto o método que apresentou as piores características foi o *Y-function*, provavelmente devido as considerações feitas nas simulações com relação ao fato de desprezar o efeito do campo elétrico.

Na Tabela 5.13 são mostrados os resultados para mobilidade efetiva usando os quatro métodos apresentados anteriormente, para dispositivos com mesmo comprimento de canal ($L_{fin} = 9,91 \mu\text{m}$) e variando a largura do fin. As simulações foram feitas considerando que a mobilidade efetiva é $650 \text{ cm}^2/\text{Vs}$.

Tabela 5.13: Comparação dos valores da mobilidade efetiva para dispositivos com mesmo L e variando a largura do canal.

Dimensões dos Dispositivos		MOBILIDADE ($\text{cm}^2/\text{V.s}$)								
		Valor Esperado	Método				Erro (%)			
			$g_{m,máx}$	<i>Y-function</i>	McLarty	Split C-V	$g_{m,máx}$	<i>Y-function</i>	McLarty	Split C-V
W_{fin} (nm)	L (μm)									
50	9,91	650	622	380	333	651	4,3	41,5	48,8	0,1
100	9,91	650	674	467	481	625	3,7	28,2	26	3,8
120	9,91	650	670	479	544	633	3,1	26,3	16,3	2,6
370	9,91	650	627	532	543	636	3,5	18,2	16,5	2,1
570	9,91	650	599	534	541	638	7,8	17,8	16,8	1,9
870	9,91	650	605	577	624	627	6,9	11,2	4	3,6
2870	9,91	650	585	599	641	610	10	7,9	1,4	6,2
4870	9,91	650	589	612	634	627	9,4	5,9	2,5	3,45
9870	9,91	650	586	615	640	628	9,8	5,4	1,5	3,4

De acordo com a Tabela 5.13 pode ser observado que para dispositivos com W_{fin} maior que $0,7 \mu\text{m}$ os maiores erros encontrados foram de 11,2% para o método *Y-function* e 10% para o método por $g_{m,máx}$. Mas analisando de forma geral todos os métodos funcionaram bem para larguras de fin maiores que $0,7 \mu\text{m}$.

No entanto, para os dispositivos com W_{fin} menores que $0,7 \mu\text{m}$ os métodos *Y-function* e *McLarty* tiveram os piores resultados chegando a quase 50% de erro para o dispositivo mais estreito ($W_{fin} = 50 \text{ nm}$). Já os métodos por $g_{m,máx}$ e *split C-V* tiveram ótimo comportamento para dispositivos mais estreitos.

Analisando de forma geral todos os métodos estudados, todos eles sofrem influência maior com a redução do comprimento de canal (dispositivos com $L < 0,5 \mu\text{m}$), isso devido aos efeitos da resistência série e de canal curto, que acabam interferindo na extração da mobilidade. Mas com relação à largura de canal, os métodos por $g_{m,máx}$ e *Split C-V* tiveram os melhores resultados e se comportaram melhor com o uso de estruturas de porta tripla.

Se fosse para escolher o melhor método para extração da mobilidade, o método escolhido seria o *Split C-V*, que foi o que melhor se comportou com os dispositivos estudados. Entretanto, este método é difícil de ser aplicado, pois necessita que se faça a curva da capacitância em função da tensão, e para dispositivos com pequenas dimensões o valor da capacitância é muito baixo, e

alguns equipamentos não conseguem medir capacitâncias tão baixas devido a estas serem quase confundidas com ruído de medida. Isso acaba dificultando a utilização deste método nas medidas experimentais.

O método McLarty que também apresentou boas características é um método um pouco mais complexo, pois utiliza a derivada do inverso da corrente de dreno, e isso causa problemas de muito ruído numérico nas curvas resultantes da função F_2 , o que acaba dificultando um pouco sua utilização.

O método por $g_{m,máx}$ sofre grande influência com a redução do comprimento de canal, o que acaba subestimando o valor da mobilidade devido ao coeficiente de degradação da mobilidade e resistência série.

5.3.2 Estudo da separação das mobilidades superior e lateral

Para os três métodos estudados foram utilizadas as curvas simuladas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) e as curvas da capacitância em função da tensão na porta (C-V). Neste estudo de separação das mobilidades superior e lateral as simulações foram feitas com mobilidade diferentes, sendo considerado $\mu_{Top} = 2 \cdot \mu_{Lat}$. Com isso foi alterado o parâmetro MU0N.SHI nas duas regiões, na região superior como sendo $650 \text{ cm}^2/\text{Vs}$ e as laterais $325 \text{ cm}^2/\text{Vs}$.

Na Figura 5.18 é mostrado o corte transversal do dispositivo mostrando o perfil da mobilidade e a curva da mobilidade em função da profundidade. Nota-se também que este possui uma mobilidade na superfície e uma nas laterais. O que evidencia que é considerada as duas orientações cristalográficas existentes nos dispositivos de porta tripla.

Neste estudo foi utilizado dispositivos com mesmo comprimento de canal ($L=9,91\mu\text{m}$) e variando W_{fin} de 50 nm a $9,87 \mu\text{m}$.

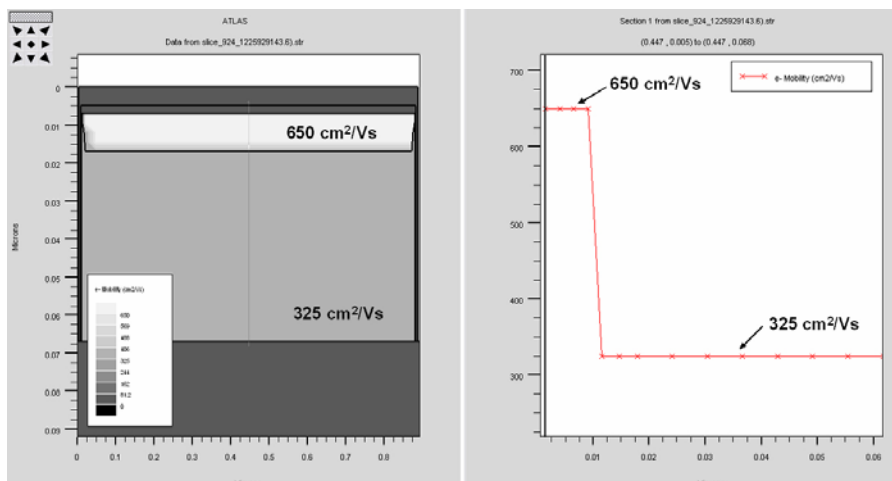


Figura 5.18: Corte transversal do dispositivo mostrando o perfil de mobilidade, e a curva da mobilidade ao longo da profundidade do dispositivo, Dispositivo com W_{fin} de 870 nm e L de 9,91 μm . Mobilidade diferente nas interfaces superior e lateral. ($\mu_{top} = 2 \cdot \mu_{Lateral}$).

5.3.2.1 Método Daugé

Neste método são utilizadas as curvas $I_{DS} \times V_{GF}$ com tensão de dreno (V_{DS}) de 10 mV. A partir das curvas $I_{DS} \times V_{GF}$ são feitas as derivadas para obtenção da transcondutância. Com as curvas da transcondutância são extraídos os $g_{m,max}$ que é o pico da curva citada. Com os valores de $g_{m,max}$, faz-se a multiplicação do fator A, definido pela equação (4.19) e é feito o gráfico de $A \cdot g_{m,max}$ em função de W_{fin} .

Em seguida é feita uma extrapolação linear, o valor de mobilidade que intercepta o eixo y, será o valor da mobilidade nas laterais (μ_{Lat}) e a inclinação da reta será a mobilidade superior (μ_{Top}).

A partir do gráfico da Figura 5.19, foram obtidos os valores das mobilidades superior e lateral como sendo:

$$\mu_{TOP} = 579 \text{ cm}^2/\text{V.s}$$

$$\mu_{LAT} = 362 \text{ cm}^2/\text{V.s}$$

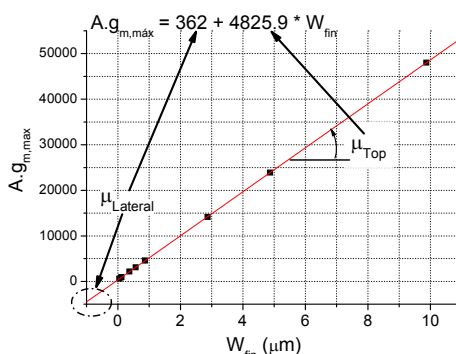


Figura 5.19: Aplicação do método Daugé para os dispositivos simulados com L = 9,91 μm .

5.3.2.2 Método Vikram

Para a aplicação deste método são utilizadas as curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) e as curvas da capacitância pela tensão na porta (C-V). Neste método a mobilidade efetiva é extraída pelo método split C-V descrito anteriormente. A partir dos valores obtidos da mobilidade efetiva faz-se o gráfico de $\mu_{eff} \cdot (W_{fin} + 2h_{fin})$ em função de W_{fin} . A partir do gráfico faz-se a extrapolação linear, o valor de mobilidade que intercepta o eixo y será a mobilidade lateral (μ_{Lat}), e a inclinação da reta será a mobilidade superior (μ_{Top}). Para calcular a mobilidade lateral utiliza-se a equação (4.34).

Na Figura 5.20 é mostrado o gráfico da aplicação deste método. Os valores obtidos com a aplicação deste método foram:

$$\mu_{TOP} = 606 \text{ cm}^2/\text{V.s} \quad \mu_{LAT} = 302 \text{ cm}^2/\text{V.s}$$

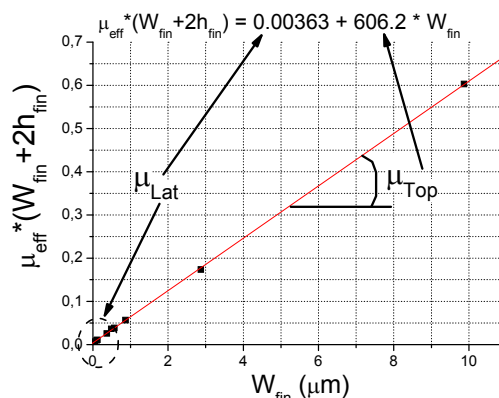


Figura 5.20: Aplicação do método Vikram para os dispositivos simulados com $L = 9,91 \mu\text{m}$.

5.3.2.3 Método Split C-V

Para a aplicação deste método são utilizadas as curvas da corrente de dreno em função da tensão na porta ($I_{DS} \times V_{GF}$) e as curvas da capacitância pela tensão na porta (C-V). São utilizados apenas quatro dispositivos para separação das mobilidades. Dois dispositivos para extração da mobilidade superior e dois dispositivos para extração da mobilidade lateral.

Para extração da mobilidade lateral (μ_{Lat}) foram utilizados dois dispositivos com mesmo W_{fin} (estreito) de 50 nm com dois comprimentos de canais diferentes $L_1 = 410 \text{ nm}$ e $L_2 = 9,910 \mu\text{m}$. A partir da equação:

$$\mu_{\text{Lat}} = \frac{L_1 \cdot (L_2 - L_1)}{V_{DS}} \cdot \frac{I_{DSL1}}{\int (C_{GCL2} - C_{GCL1}) dV} \quad (\text{cm}^2/\text{V.s})$$

foi extraída a curva da Figura 5.21 que mostra a mobilidade em função da tensão aplicada na porta. No ponto máximo desta curva é obtido então o valor da mobilidade lateral (μ_{Lat}).

O valor de μ_{Lat} encontrado foi de **334 cm²/Vs**.

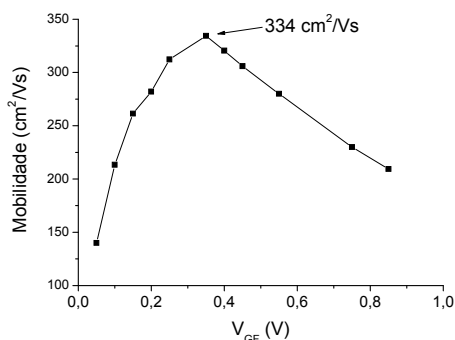


Figura 5.21: Curva da aplicação do método de Split C-V para obtenção da mobilidade na interface lateral, utilizando dispositivos com $W_{\text{fin}} = 50 \text{ nm}$ e L de 410 nm e $9,91 \text{ }\mu\text{m}$.

Para extração da mobilidade superior (μ_{Top}) foram utilizados dois dispositivos com mesmo L de $9,91 \text{ }\mu\text{m}$ com duas larguras de fin diferentes $W_{\text{fin1}} = 4,87 \text{ }\mu\text{m}$ e $W_{\text{fin2}} = 9,87 \text{ }\mu\text{m}$. A partir da equação:

$$\mu_{\text{top}} = \frac{L^2}{V_{DS}} \cdot \frac{I_{DSW_{\text{Fin2}}} - I_{DSW_{\text{Fin1}}}}{\int (C_{GCW_{\text{Fin2}}} - C_{GCW_{\text{Fin1}}}) dV}$$

foi extraída a curva da Figura 5.22 que mostra a mobilidade em função da tensão aplicada na porta. No ponto máximo desta curva é obtido então o valor da mobilidade superior (μ_{Top}).

O valor de μ_{Top} encontrado foi de **608 cm²/Vs**.

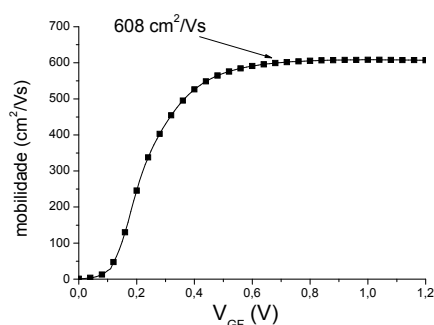


Figura 5.22: Curva da aplicação do método de Split C-V para obtenção da mobilidade na interface superior, utilizando dispositivos com $L = 9,91 \mu\text{m}$ e W_{fin} de $4,87 \mu\text{m}$ e $9,87 \mu\text{m}$.

5.3.2.4 Comparação dos Métodos

Para o estudo da separação das mobilidades foi considerado na simulação Atlas que a mobilidade superior (μ_{Top}) é de $650 \text{ cm}^2/\text{Vs}$ e a mobilidade lateral (μ_{Lat}) é de $325 \text{ cm}^2/\text{Vs}$.

Na Tabela 5.14 é mostrada uma comparação dos resultados obtidos para os métodos de separação das mobilidades estudados, para dispositivos com comprimento de canal de $9,91 \mu\text{m}$ e variando a largura do fin, de 50 nm a $9,87 \mu\text{m}$. Foi observado que todos os métodos de extração apresentaram um bom ajuste com o valor esperado para mobilidade superior e lateral, mostrando um máximo erro de $11,3 \%$. A vantagem do método Vikram é que ele é de mais fácil implementação se comparado com o *Split C-V* e possui menor erro se comparado com o método Daugé. Entretanto o método Vikram tem o inconveniente de necessitar da curva da capacitância em função da tensão, e como fora mencionado, para dispositivos com dimensões muito pequenas, a extração da curva C-V fica comprometida. O que nos leva a utilizar o método Daugé devido à sua simplicidade na aplicação.

Tabela 5.14: Comparação dos valores da mobilidade superior e lateral para os métodos estudados (W_{fin} variando de 50 nm a $9,87 \mu\text{m}$)

Método	MOBILIDADE ($\text{cm}^2/\text{V.s}$)		ERRO (%)	
	μ_{TOP}	μ_{LAT}	μ_{TOP}	μ_{LAT}
Esperado	650	325	-	-
Daugé	579	362	10,9	11,3
Split C-V	608	334	6,4	2,9
Vikram	606	302	6,7	6,9

6 Resultados Experimentais

Neste capítulo serão apresentados os resultados experimentais obtidos no trabalho. Os resultados estão divididos em três seções, a primeira mostrará as características de todos os dispositivos estudados na tese, na seqüência serão apresentados os resultados para os dispositivos MugFETs de porta tripla, e por fim os resultados para os dispositivos SOI planares.

6.1 Descrição dos dispositivos utilizados

Foram estudados basicamente dois tipos de estruturas neste trabalho, os dispositivos de porta tripla e os dispositivos SOI planares.

6.1.1 Dispositivos MugFETS de porta tripla

Os dispositivos MugFETs de porta tripla utilizados foram fabricados pelo IMEC-Bélgica (Interuniversity Microeletronic Center). Cada chip é dividido em quatro partes iguais. Cada parte possui vários dispositivos, e outras estruturas, dentre elas o transistor de porta tripla. A estrutura do C.I. utilizado é apresentada na Figura 6.1. Cada C.I. foi dividido em módulos e linhas para mais fácil localização dos transistores (Figura 6.1). Os transistores de porta tripla que foram utilizados estão localizados entre as linhas G e J.

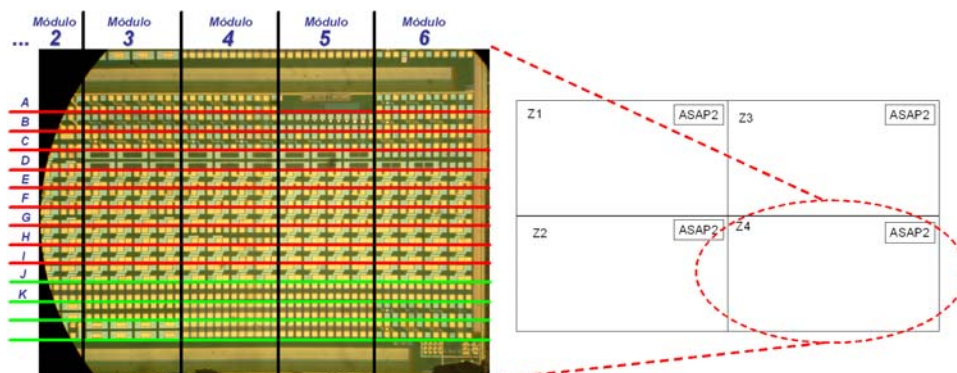


Figura 6.1: Estrutura do C.I. utilizado (a esquerda ampliação de uma das regiões do C.I.).

Em cada módulo era possível encontrar conjuntos de oito transistores. A posição de fonte, dreno e porta é mostrada na Figura 6.2. Foram utilizados tanto C.I.s com transistores nMOS quanto pMOS.

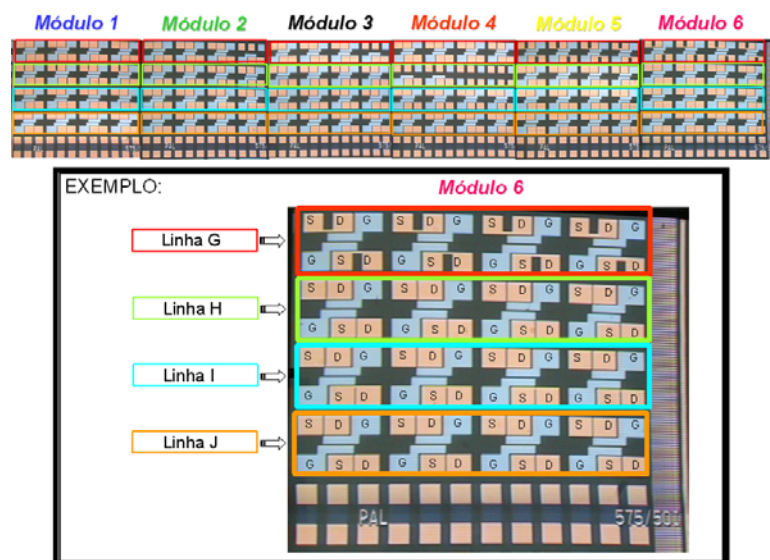


Figura 6.2: Posição dos módulos do C.I., evidenciando as posições de fonte (S), dreno (D) e porta (G) dos transistores.

A estrutura dos dispositivos medidos é mostrada na Figura 6.3 onde pode ser observado o perfil superior do dispositivo, o perfil lateral (onde pode-se observar a estrutura de fonte a dreno), e o perfil frontal (onde pode-se observar a estrutura de porta). Todos os dispositivos de porta tripla utilizados neste trabalho possuem as mesmas características, ou seja, o óxido de porta é *high-k*, composto por uma camada de 1 nm de óxido de silício (SiO_2) e uma camada de 2nm de óxido de háfnio (HfO_2) formando assim a estrutura de porta. O metal de porta é o nitreto de Titânio ($\text{TiN} = 5\text{nm}$) e em seguida possui uma camada de silício poly n+ que serve apenas para integração com o resto do processo de fabricação do C.I..

Os dispositivos foram fabricados começando de lâminas SOI com 145 nm de espessura de óxido enterrado, seguindo o processo descrito na Ref. ¹³⁸. A espessura da camada de silício, em que o a altura do fin (h_{fin}) é desenhada com 60 nm. Depois da definição do filme de silício, uma camada de 1 nm de óxido térmico é crescida, seguida pela deposição de uma camada de 2 nm de HfO_2 feita pela técnica ALD (*Atomic layer Deposition* – Deposição por camada atômica), resultando numa espessura efetiva de óxido de (EOT) de aproximadamente 2 nm. A estrutura de porta é finalizada com um filme de TiN de 5 nm de espessura depositado por ALD e uma camada de 100 nm de polisilício. Não é feita a dopagem do canal durante o

processo. As características gerais dos dispositivos usados no trabalho estão apresentadas da Tabela 6.1.

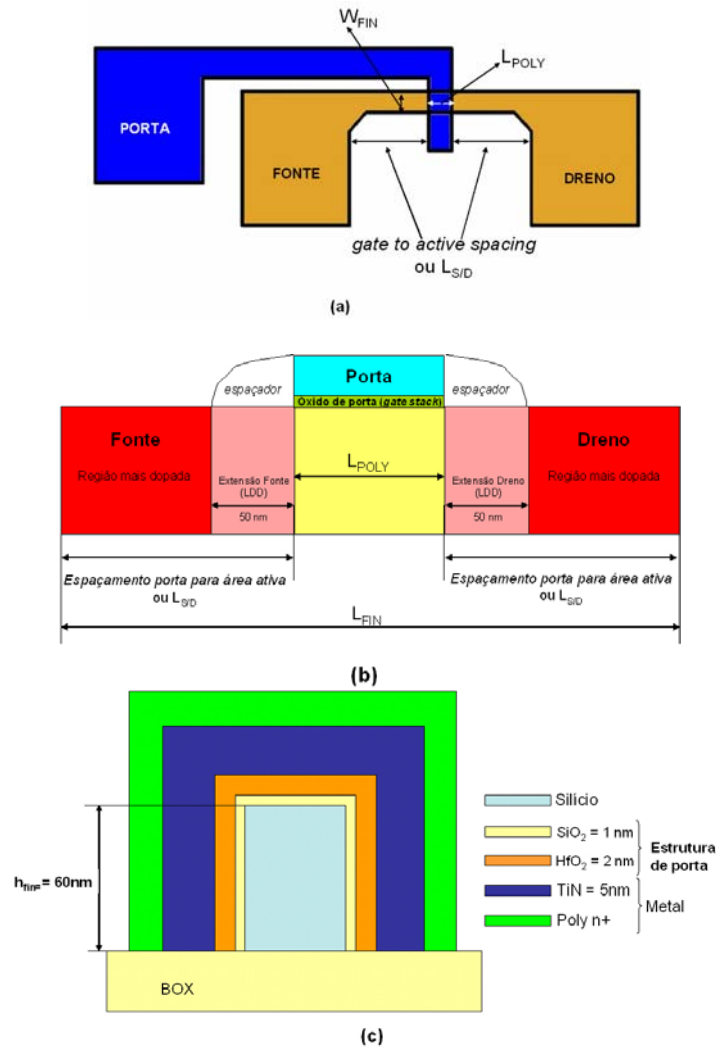


Figura 6.3: Perfil superior (a), perfil lateral (b) e perfil frontal (c) do dispositivo de porta tripla utilizado.

Tabela 6.1: Características gerais dos dispositivos de porta tripla

Concentração do canal	$1 \times 10^{15} \text{ cm}^{-3}$
Concentração de fonte e dreno	$1 \times 10^{21} \text{ cm}^{-3}$
Concentração da região LDD	$1 \times 10^{19} \text{ cm}^{-3}$
Espessura da camada de silício (h_{fin})	60 nm
Espessura do óxido enterrado	145 nm
Comprimento do LDD	50 nm
Espessura do Metal de porta (TiN)	5 nm
Espessura do óxido de porta (EOT)	2 nm

Além destas características gerais que são válidas para todos os dispositivos, tem-se o comprimento de canal e largura de canal. Para facilitar a nomenclatura, nas seções seguintes, a largura de canal aqui chamada de W_{fin} será apenas W e o comprimento de canal aqui chamado de L_{POLY} será apenas L .

Os dispositivos estudados possuem uma variação das dimensões de W e L que estão apresentadas na Tabela 6.2 onde são apresentadas também as seções onde estes dispositivos são analisados.

Tabela 6.2: Características de comprimento de largura de canal dos transistores usados por seção. (IMEC / Bélgica)

Tipo de transistor	Seção	W	L_{eff}
nMOS	6.3.2	50 nm a 19,870 μm	9,91 μm
pMOS	6.3.2 e 6.3.1	30 nm a 19,870 μm	9,91 μm
nMOS	6.3.3 e 7.4	9,87 μm	90 nm a 910 nm

6.1.2 Dispositivos SOI planares

Os dispositivos SOI planares utilizados neste trabalho foram cedidos pelo laboratório IMEP – França (L'Institut de Microélectronique Electromagnétisme et Photonique) durante estágio de doutorado sanduiche. Neste caso foram utilizadas lâminas de 12" com várias repetições de C.I.s com vários dispositivos, dentre eles transistores nMOS e pMOS planares.

Os dispositivos estudados têm as seguintes características:

- FD SOI com camada tensiva e óxido enterrado de 145 nm cedida pela STMicroelectronics / França.

Os dispositivos foram fabricados começando de uma lâmina SOI UNIBOND de 300 nm com 145 nm de óxido enterrado (BOX). O filme SOI foi reduzido por oxidação térmica e corrosão úmida para alcançar a espessura final de 8 -10 nm. O canal do transistor foi mantido sem dopagem durante o processo de fabricação. Uma camada de 2,5 nm de óxido de porta "*high-k*" (HfZrO_2) foi depositada por ALCVD (*Atomic Layer Chemical Vapour Deposition* – deposição química a vapor por camada atômica). A estrutura de porta foi completa por uma deposição ALD ou PVD

de diferentes espessuras de TiN (10 nm nos dispositivos medidos) e deposição de silício poly por PVD (80 nm).

Um espaçador de Si_3N_4 foi formado para proteger a porta de metal e isolar a estrutura de porta das subseqüentes elevações das extensões de fonte e dreno. Um crescimento seletivo epitaxial foi utilizado pra otimizar a arquitetura de fonte e dreno¹³⁹. A implantação inclinada do LDD foi feita antes da formação do espaçador em formato D (*D-shape*) (TEOS + Si_3N_4). As implantações de fonte e dreno foram então realizadas. Os dispositivos receberam um pico de recozimento por alguns segundos e então foi feita a silicidação de NiPt. Por fim, camadas de nitreto (tensivo) foram adicionadas para auxiliar no desempenho do dispositivo.

O perfil do transistor é visto na Figura 6.4. As características dos dispositivos encontram-se na Tabela 6.3 e Tabela 6.4.

Tabela 6.3: Características dos dispositivos de FD-SOI STMicroelectronics / França

Concentração do canal	$1 \times 10^{15} \text{ cm}^{-3}$
Espessura da camada de silício (t_{Si})	8 nm
Espessura do óxido enterrado (BOX)	145 nm
Espessura do Metal de porta (TiN)	10 nm
Espessura do óxido de porta (HfZrO_2)	2,5 nm

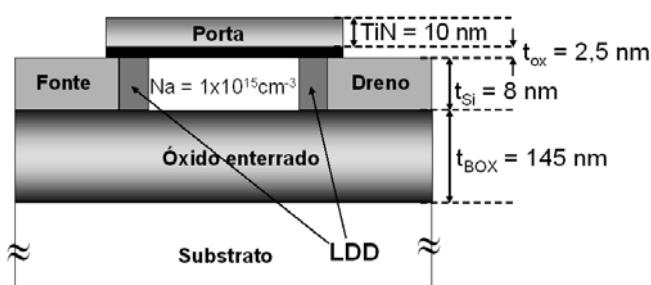


Figura 6.4: Perfil do transistor FD SOI da STMicroelectronics

Tabela 6.4: Características de comprimento de largura de canal dos transistores usados por seção. (STMicroelectronics / França)

Tipo de transistor	Seção	W	L
nMOS	6.4	130 nm a 10 μm	10 μm
pMOS	6.4	130 nm a 10 μm	10 μm

Na Figura 6.5 é apresentada uma foto de um dos pedaços da lâmina que foi utilizada. A lâmina foi cortada a fim de caber no equipamento de baixa temperatura utilizado para realização das medidas.

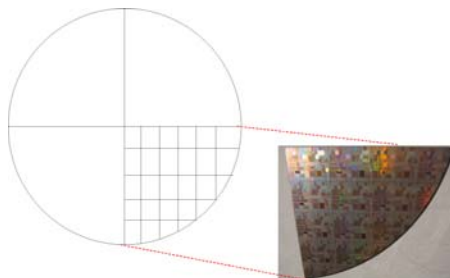


Figura 6.5: Foto do pedaço da lâmina utilizado nas medidas.

6.2 Infra - estrutura utilizada para realização das medidas

Todos os resultados experimentais apresentados neste capítulo foram realizados no laboratório de caracterizações elétricas do IMEP-MINATEC em Grenoble (França) (L'Institut de Microélectronique Electromagnétisme et Photonique).

Para as medidas de corrente de dreno por tensão na porta ($I_D \times V_G$) em temperatura ambiente foi utilizado o analisador de parâmetros HP 4155A em conjunto com o sistema microprovador com microscópio *Karl Suss* (Figura 6.6).

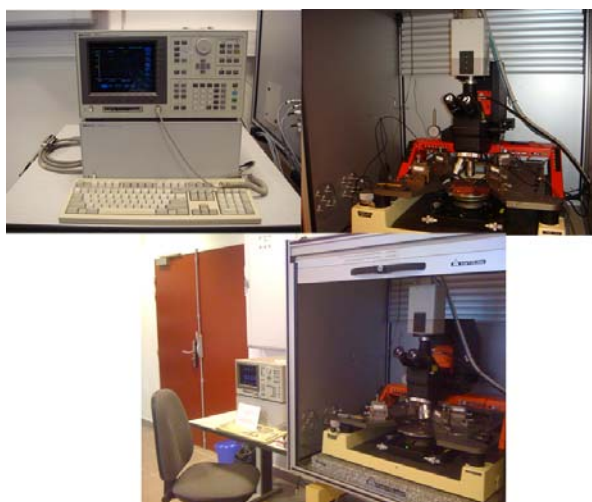


Figura 6.6: Equipamento HP 4155A (à esquerda) e sistema de microscópio de quatro pontas Karl Suss (à direita)

Para as medidas de corrente de dreno por tensão na porta ($I_D \times V_G$) em baixa temperatura foi utilizado o analisador de parâmetros HP 4155A em conjunto com a estação criogênica *Suss Microtec* (sistema de resfriamento composto por uma câmara de vácuo que suporta lâminas de 8" à nitrogênio, e um sistema de controle de temperatura) .



Figura 6.7: Estação criogênica *Suss Microtec* composto por: **1** – Equipamento HP 4155A; **2** – tanque de nitrogênio líquido; **3** – Estação propriamente dita (câmara de vácuo criogênica de quatro pontas) junto a ela é acoplada uma câmera que permite verificar a posição dos dispositivo através do monitor; **4** – Rack com duas bombas utilizadas pelo circuito de resfriamento, circuito duplo de resistências térmicas que para manter a temperatura do *chuck* e do interno da câmara, dois blocos de dois captadores de temperatura e o monitor que permite posicionar as pontas sobre o dispositivo, e a bomba que faz o vácuo na câmara.

6.3 Resultados dos dispositivos *MugFETs* de porta tripla

Nesta seção serão apresentados os resultados para os dispositivos de porta tripla cedidos pelo IMEC (ver 6.1.1), tanto dispositivos do tipo nMOS quanto pMOS. Esta seção está subdividida em duas partes: (i) avaliação em temperatura ambiente com comprimento de canal fixo e variação da largura de canal para dispositivos nMOS e pMOS; (ii) avaliação em baixa temperatura com comprimento de canal fixo e variação da largura de canal para dispositivos pMOS; e por fim (iii) avaliação em baixa temperatura com largura de canal fixa e variação do comprimento de canal para dispositivos nMOS.

6.3.1 Avaliação em baixa temperatura: $L = 9,91\mu\text{m}$ e W de 30nm a $19,87\mu\text{m}$ (pMOS)

Nesta seção serão apresentados os resultados dos dispositivos tipo pMOS de porta tripla, através dos resultados experimentais foi possível separar e examinar as propriedades de transporte de portadores nos diferentes canais de condução em função da temperatura e da largura de canal. As características gerais dos dispositivos foram apresentadas na seção 6.1.1, o comprimento de canal é fixo de $9,91\mu\text{m}$ e a largura de canal varia de $19,87\mu\text{m}$ a 30nm .

Foram feitas medidas da corrente de dreno (I_D) em função da tensão aplicada na porta (V_G) com baixa tensão no dreno ($V_D = -50\text{mV}$) para todos os dispositivos estudados com variação da temperatura de 300K a 77K . Na Figura 6.8 são apresentadas as curvas da corrente de dreno (I_D) em função da tensão na porta (V_G) e da transcondutância (g_m) em função da tensão na porta (V_G) para o dispositivo com comprimento de canal de $9,91\mu\text{m}$ e largura de canal de 50nm .

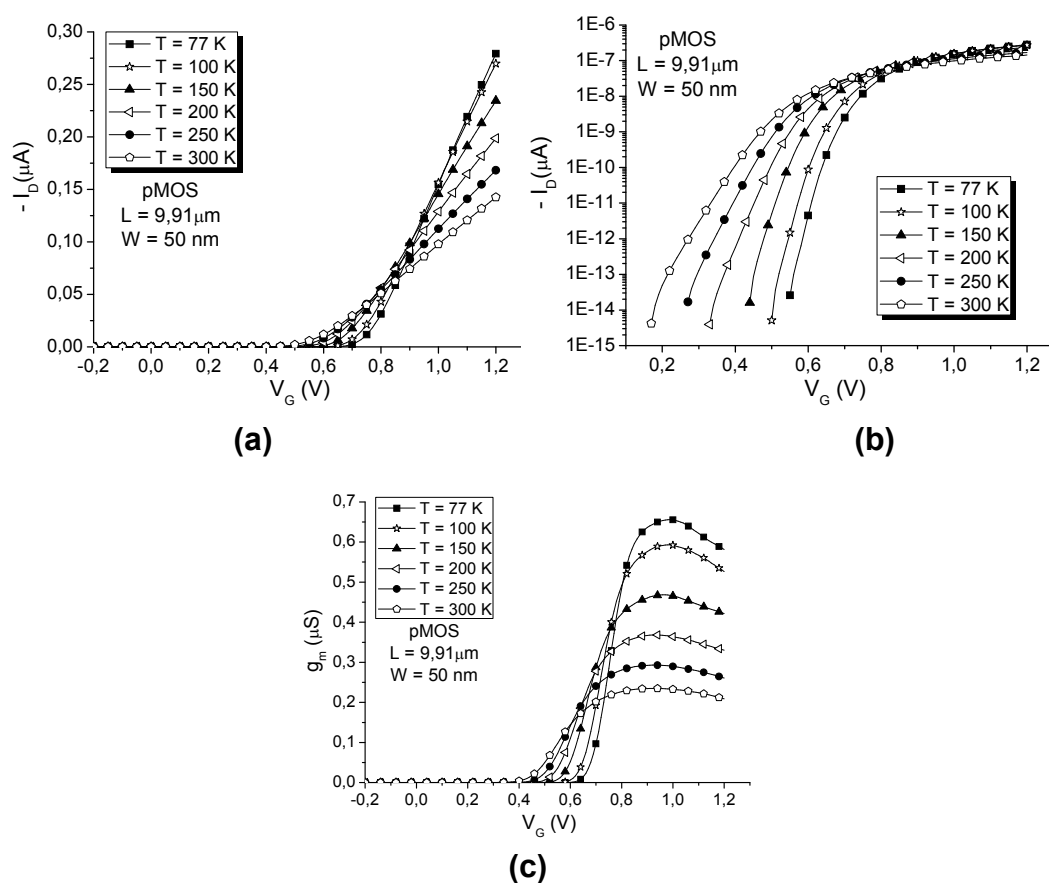


Figura 6.8: Característica de transferência $I_D(V_G)$ (a) em escala linear; (b) em escala logarítmica; e $g_m(V_G)$ dos transistores pMOS com comprimento de canal de $9,91\mu\text{m}$ e largura de canal de 50nm em função da temperatura.

Na Figura 6.9 é apresentada tensão de limiar em função da temperatura (300K a 77K) para os dispositivos pMOS com comprimento de canal de 9,91 μ m. A tensão de limiar foi extraída usando o método da segunda derivada¹⁴⁰. Pode ser observado que o módulo da tensão de limiar aumenta com a redução da temperatura, como esperado devido ao aumento simultâneo do potencial de Fermi ϕ_F e da densidade efetiva de estados de interface D_{it} a medida que o nível de Fermi se aproxima das laterais de faixa¹⁴⁵. A taxa de variação $\Delta V/\Delta T$ é constante, pequena (0,8 mV/K) e praticamente independente da largura de canal.

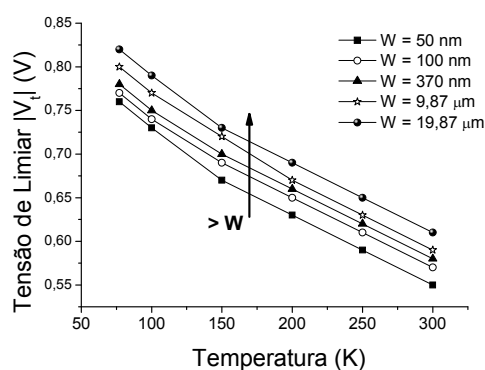


Figura 6.9: Tensão de limiar em função da temperatura para dispositivos pMOS com comprimento de canal de 9,91 μ m variando a largura de canal (W de 19,87 μ m a 50nm).

A Figura 6.10 mostra a inclinação de sublimiar (S) em função da temperatura para dispositivos pMOS com comprimento de canal de 9,91 μ m com variação da largura de canal (W de 19,87 μ m a 30 nm). Analisando a curva para temperatura ambiente ($T = 300$ K) pode-se observar uma excelente inclinação de sublimiar, próxima do valor ideal de 60mV/década, o que enfatiza a excelente qualidade da interface com o óxido de porta *high-k*.

A inclinação de sublimiar diminui com a redução da temperatura como esperado, entretanto essa redução é menor do que a variação teórica ($S \sim kT/q$). Esta atenuação é devido ao aumento gradual da densidade efetiva de armadilhas de interface em baixa temperatura como pode ser visto na Figura 6.11 que mostra a variação da densidade efetiva de armadilhas de interface para os dispositivos com largura de canal de 50 nm e 9,87 μ m (vale ressaltar que todos os outros dispositivos apresentaram as mesmas características com relação à variação de D_{it}).

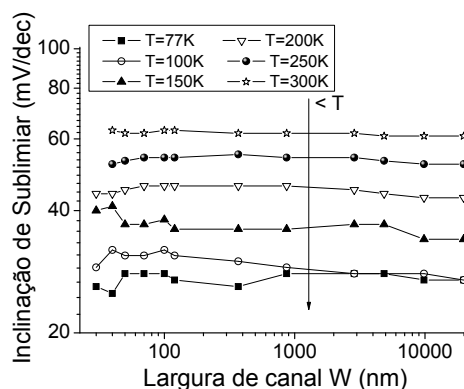


Figura 6.10: Inclinação de sublimiar em função da temperatura para dispositivos com comprimento de canal de $9,91\mu\text{m}$ e com largura de canal variável.

É também possível observar (Figura 6.10) que a inclinação de sublimiar mantém-se praticamente constante com a variação da largura de canal. Uma pequena variação de S é, entretanto observada para temperaturas menores que 150K , isto pode ser explicado pela pequena degradação na qualidade da interface das portas laterais durante a corrosão e incerteza nas medidas devido ao método de extração.

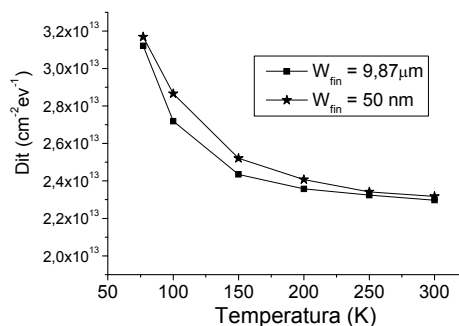


Figura 6.11: Variação da densidade efetiva de armadilhas de interface D_{it} para os dispositivos pMOS com largura de canal de 50 nm e $9,87\mu\text{m}$ e comprimento de canal de $9,91\mu\text{m}$.

Para extração da mobilidade efetiva de portadores de baixo campo (μ_0) foram utilizados dois métodos: pela transcondutância máxima $g_{m,\text{máx}}$ e o *Y-function* $Y=I_D/g_m^{0.5}$. O método *Y-function* fornece um maior valor de mobilidade que o método por $g_{m,\text{máx}}$, que é afetado pelo fator de degradação da mobilidade θ . Na Figura 6.12 é mostrado que a diferença entre os dois métodos aumenta em baixa temperatura.

O aumento da mobilidade com a redução da temperatura é devido à redução do espalhamento de fônons¹⁶⁰. A Figura 6.12 indica claramente que a mobilidade de lacunas μ_0 aumenta para dispositivos com menor largura de canal. Este aumento é

causado por dois mecanismos: (i) A mudança no mecanismo de condução dominante de $\langle 100 \rangle$ do canal superior para $\langle 110 \rangle$ dos canais laterais. Quando há uma redução na largura do canal, a corrente flui principalmente pelas laterais (Figura 2.39), isto ilustra o benefício da orientação de superfície $\langle 110 \rangle$ para lacunas. (ii) Inversão de volume que ocorre resultando em menor espalhamento de superfície.

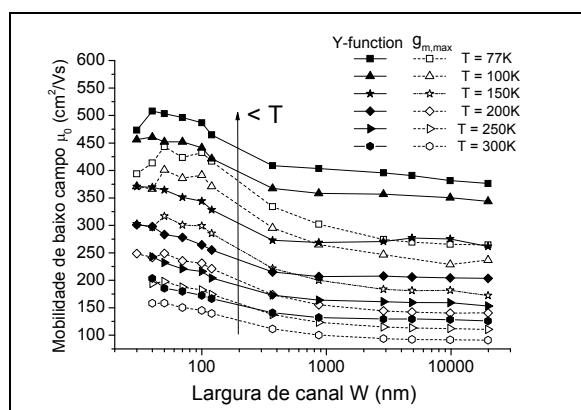


Figura 6.12: Mobilidade de baixo campo (μ_0) em função da largura de canal em diferentes temperaturas para os dispositivos pMOS com comprimento de canal de $9,91\mu\text{m}$.

A fim de aprofundar a investigação do comportamento da mobilidade do canal superior (μ_{Top}) e a mobilidade do canal lateral (μ_{Lat}) foi aplicado o método de separação das mobilidades proposto por Daugé descrito no capítulo 4. A ideia do método é fazer o gráfico do pico da transcondutância ($g_m \sim \mu_{\text{Top}}W_n + 2\mu_{\text{Lat}}h_{\text{fin}}$) em função da largura de canal. A mobilidade do canal superior domina em canal muito largo ao passo que a extrapolação para largura de canal zero leva ao valor de μ_{Lat} . A Figura 6.13 mostra o gráfico que representa a extração das mobilidades para temperatura de 100K.

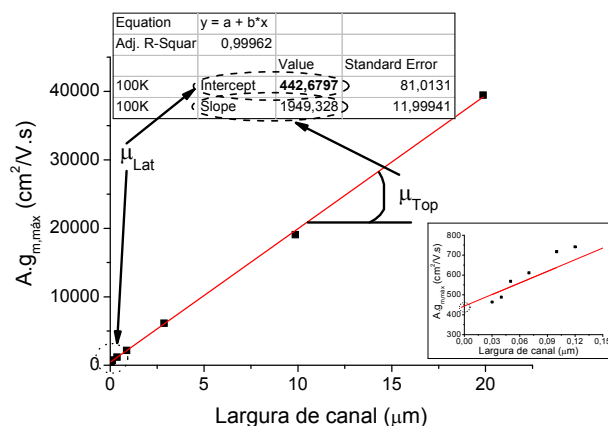


Figura 6.13: Gráfico utilizado na extração da mobilidade superior e lateral para os dispositivos pMOS com comprimento de canal de $9,91\mu\text{m}$ em 100K.

A Figura 6.14 mostra a variação das mobilidades dos canais superior e laterais em função da temperatura. A dependência da mobilidade com a temperatura ($\mu \sim T^{-1}$) é típica para espalhamento de fônons acústicos. O ponto chave é o maior valor de mobilidade de lacunas para os canais laterais. Isto resulta em um resultado oposto ao que foi encontrado anteriormente para mobilidade de elétrons¹⁴¹. Isso mostra novamente o papel favorável da orientação de superfície <110> para o transporte de lacunas.

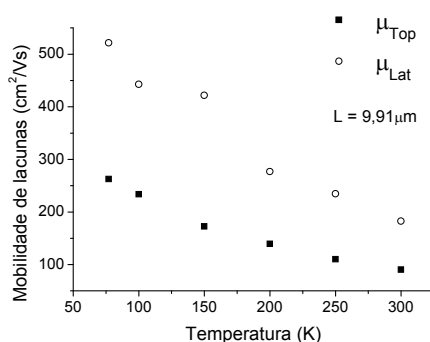


Figura 6.14: Mobilidade de lacunas nos canais superior e laterais em função da temperatura.

6.3.2 Avaliação em temperatura ambiente: L = 9,91 μm e W de 40nm a 19,87 μm (nMOS e pMOS)

Nesta seção serão apresentados os resultados para os dispositivos de porta tripla, tanto pMOS quanto nMOS. As características gerais dos dispositivos foram apresentadas na seção 6.1.1, o comprimento de canal é fixo de 9,91 μm e a largura de canal varia de 19,87 μm a 40 nm. Todas as análises desta seção foram feitas em temperatura ambiente.

Foram feitas medidas da corrente de dreno em função da tensão aplicada na porta $I_D(V_G)$ com baixa tensão no dreno para garantir a operação na região linear ($V_D = 50\text{mV}$). Na Figura 6.15 são apresentadas as curvas características da corrente de dreno *versus* tensão na porta ($I_D \times V_G$) em função da largura de canal tanto para os dispositivos pMOS quanto para os dispositivos nMOS. Na Figura 6.16 são apresentadas as curvas características da transcondutância em função da tensão na porta ($g_m \times V_G$) em função da largura de canal também para os dispositivos nMOS e pMOS.

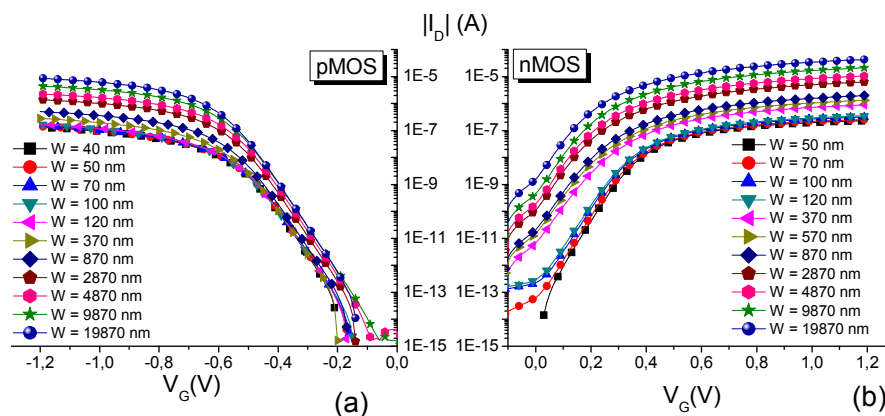


Figura 6.15: Curvas características da corrente de dreno *versus* tensão na porta ($I_D \times V_G$) em função da largura de canal tanto para os dispositivos pMOS (a) quanto para os dispositivos nMOS (b). $L = 9,91\mu\text{m}$

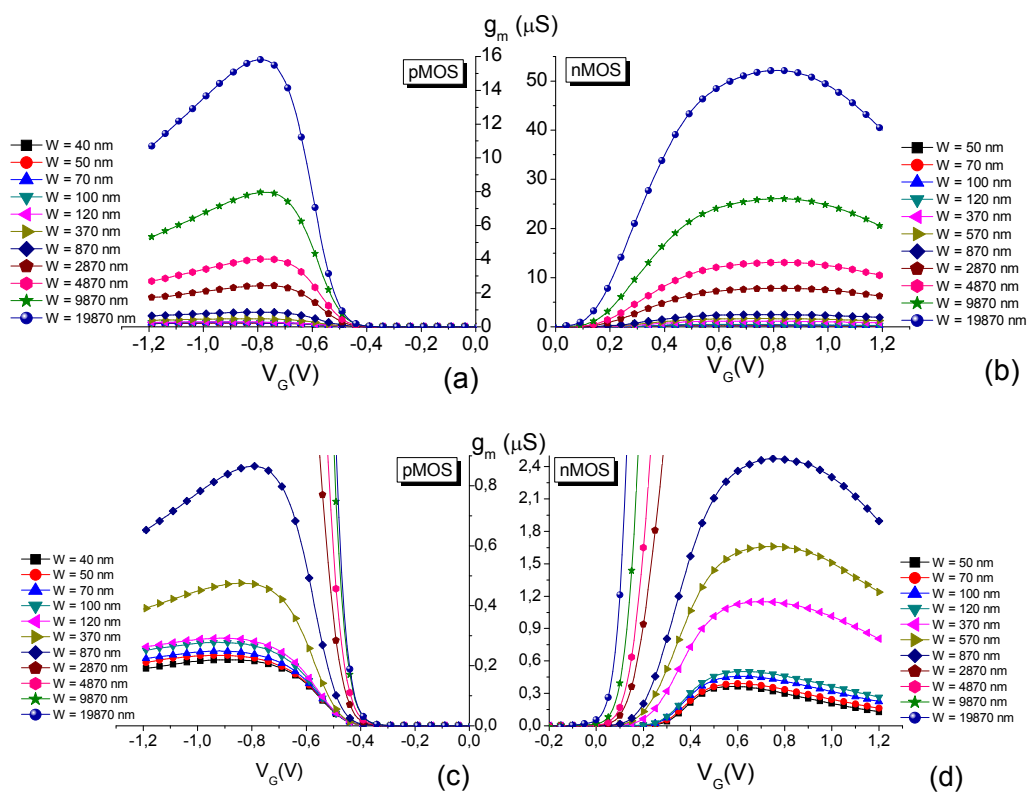


Figura 6.16: Curvas características da transcondutância em função da tensão na porta ($g_m \times V_G$) em função da largura de canal para os dispositivos pMOS (a) e (c) e nMOS (b) e (d). As figuras (c) e (d) enfatizam os dispositivos com W menores ($W < 870\text{nm}$). $L = 9,91\mu\text{m}$

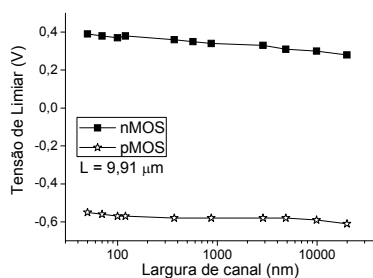


Figura 6.17: Tensão de limiar em função da largura de canal para dispositivos nMOS e pMOS em temperatura ambiente.

A tensão de limiar que foi extraída pelo método da segunda derivada¹⁴⁰ é apresentada na Figura 6.17. A Figura 6.17 apresenta a tensão de limiar para os dispositivos pMOS e nMOS em função da largura de canal em temperatura ambiente com comprimento de canal de $9,91\mu\text{m}$. Pode ser observado em ambos os dispositivos (nMOS e pMOS) um pequeno aumento da tensão de limiar com a redução de W . Neste caso, o controle feito pelas três portas sobre o potencial de corpo é reforçado com o uso de dispositivos mais estreitos¹⁴². O efeito do compartilhamento de cargas é reduzido, conseqüentemente há um aparente aumento na tensão de limiar¹⁴¹.

A Figura 6.18 apresenta a inclinação de sublimiar em função da largura de canal para os dispositivos nMOS e pMOS com comprimento de canal de $9,91\mu\text{m}$. Pode ser observado que para os dispositivos nMOS há uma redução da inclinação de sublimiar com a redução da largura de canal, isto ocorre devido ao melhor acoplamento eletrostático entre a porta e o canal quando a largura é reduzida. Este aumento de S nos dispositivos nMOS está relacionado também ao aumento do processo induzido de armadilhas de interface provavelmente devido ao uso de óxido *high-k* e a rugosidade nas portas laterais nos dispositivos mais estreitos¹⁴³. Entretanto nos dispositivos pMOS a inclinação de sublimiar mantém-se praticamente constante com a variação da largura de canal.

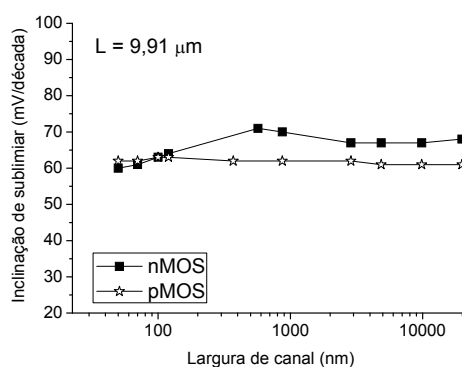


Figura 6.18: Inclinação de sublimiar em função da largura de canal para os dispositivos nMOS e pMOS em temperatura ambiente com comprimento de canal de $9,91\mu\text{m}$.

A mobilidade de baixo campo foi extraída utilizando dois métodos: *Y-function* e por $g_{m,máx}$ (ver capítulo 4) para efeito de comparação dos métodos. Na Figura 6.19 é apresentado as curvas da mobilidade de portadores extraída pelos dois métodos citados em função da largura de canal para os dispositivos pMOS e nMOS com comprimento de canal de $9,91\mu\text{m}$. Pode ser observado que para os dois dispositivos

(nMOS e pMOS) foi encontrado um valor de mobilidade maior com o uso do método *Y-function*, sendo a diferença maior para dispositivos mais largos. A diferença entre os dois métodos deve-se ao fato de que o método por $g_{m,máx}$ ser influenciado pelo fator da degradação da mobilidade θ e pela resistência série.

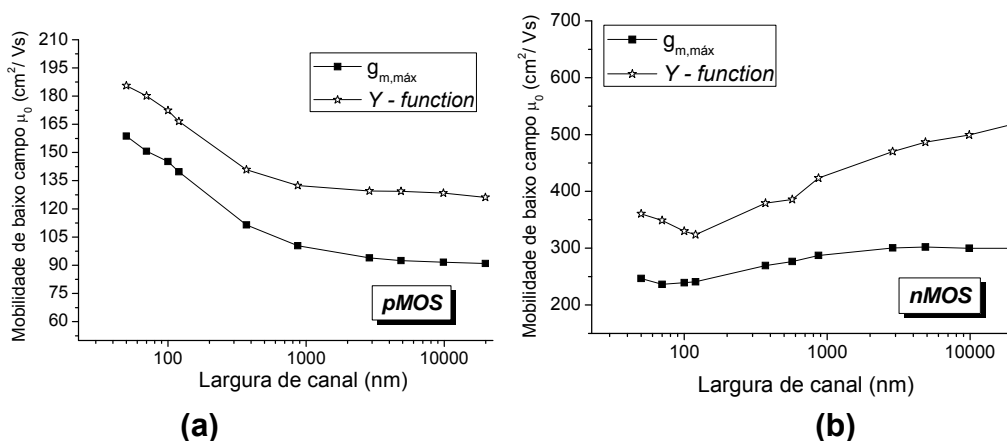


Figura 6.19: Mobilidade de portadores de baixo campo em função da largura de canal para transistores (a) pMOS e (b) nMOS com comprimento de canal de 9,91 μm .

Pode ser observado também que o comportamento do dispositivo nMOS é o inverso do dispositivo pMOS, enquanto para o nMOS há uma redução da mobilidade com a redução de W , para o pMOS há um aumento da mobilidade com a redução de W , isto ocorre devido à diferença da orientação cristalográfica da porta superior e laterais.

Para elétrons a mobilidade é maior em superfície $\langle 100 \rangle$ em comparação com a superfície $\langle 110 \rangle$, já para lacunas a mobilidade é maior em superfície $\langle 110 \rangle$. Com isso para os dispositivos nMOS tem-se maior mobilidade na porta superior do que nas laterais, com a redução da largura a porta superior oferece menor controle sobre o canal e as portas laterais passam a controlar a condução, e como nas laterais a orientação cristalográfica é $\langle 110 \rangle$ há uma redução na mobilidade.

O contrário é observado para os dispositivos pMOS, onde a mobilidade de lacunas é maior quando a orientação cristalográfica é $\langle 110 \rangle$, ou seja, nas portas laterais. Com a redução da largura as portas laterais passam a ter maior controle sobre a condução do canal e com isso tem-se o aumento da mobilidade.

A fim de investigar o comportamento das mobilidades da porta superior e das laterais foi utilizado o método proposto por Daugé¹⁴¹ para separação das mobilidades. Na Figura 6.20 é apresentado para os dispositivos nMOS e pMOS as

mobilidades da porta superior e das portas laterais. Os resultados apresentados com a separação das mobilidades confirmam a diferença das mobilidades por causa da orientação cristalográfica. Nota-se que os dispositivos nMOS tem maior mobilidade na porta superior (μ_{Top}) devido a orientação $\langle 100 \rangle$ favorecer a mobilidade de elétrons, e menor mobilidade das portas laterais (μ_{lat}) onde a orientação é $\langle 110 \rangle$. O oposto pode ser observado para os dispositivos pMOS que possuem uma menor mobilidade na porta superior (μ_{Top}) devido a orientação $\langle 100 \rangle$ desfavorecer a mobilidade de lacunas, e maior mobilidade nas portas laterais (μ_{lat}) onde a orientação é $\langle 110 \rangle$ favorável para lacunas.

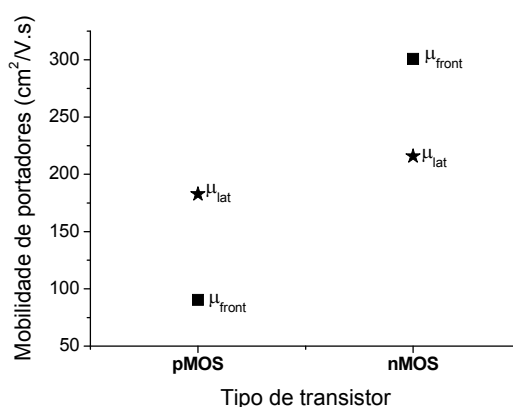


Figura 6.20: Mobilidade de portadores nos canais superior e laterais para os dispositivos nMOS e pMOS.

6.3.3 Avaliação em baixa temperatura: $W = 9,87\mu\text{m}$ e L de 90nm a 910nm (nMOS)

Nesta seção serão apresentados os resultados dos dispositivos de porta tripla em baixa temperatura. Os dispositivos aqui analisados são os mesmos que foram submetidos à extração da mobilidade por magnetoresistência (que será apresentado no capítulo 7). As características gerais dos dispositivos foram apresentadas na seção 6.1.1, a largura de canal é fixa de $9,87\mu\text{m}$ e o comprimento de canal varia de 90 nm a 910 nm.

A partir das características de transferência $I_D(V_G)$ e $g_m(V_G)$ em regime de inversão forte, pode-se obter a função Y para extração da mobilidade e também o valor de $g_{m,\text{máx}}$, descrita com detalhes no capítulo 4, com isso nesta seção serão utilizados dois métodos para extração da mobilidade de portadores (Y function e $g_{m,\text{Max}}$). As curvas da corrente de dreno (I_D) em função da tensão aplicada na porta

(V_G) e da transcondutância (g_m) em função da tensão na porta (V_G) são apresentadas na Figura 6.21 para $V_D = 50$ mV e com variação do comprimento de canal. Pode-se observar a presença de um canal parasitário para os dispositivos com $L \leq 140$ nm, o que faz com que a tensão de limiar não varie com a redução do comprimento de canal.

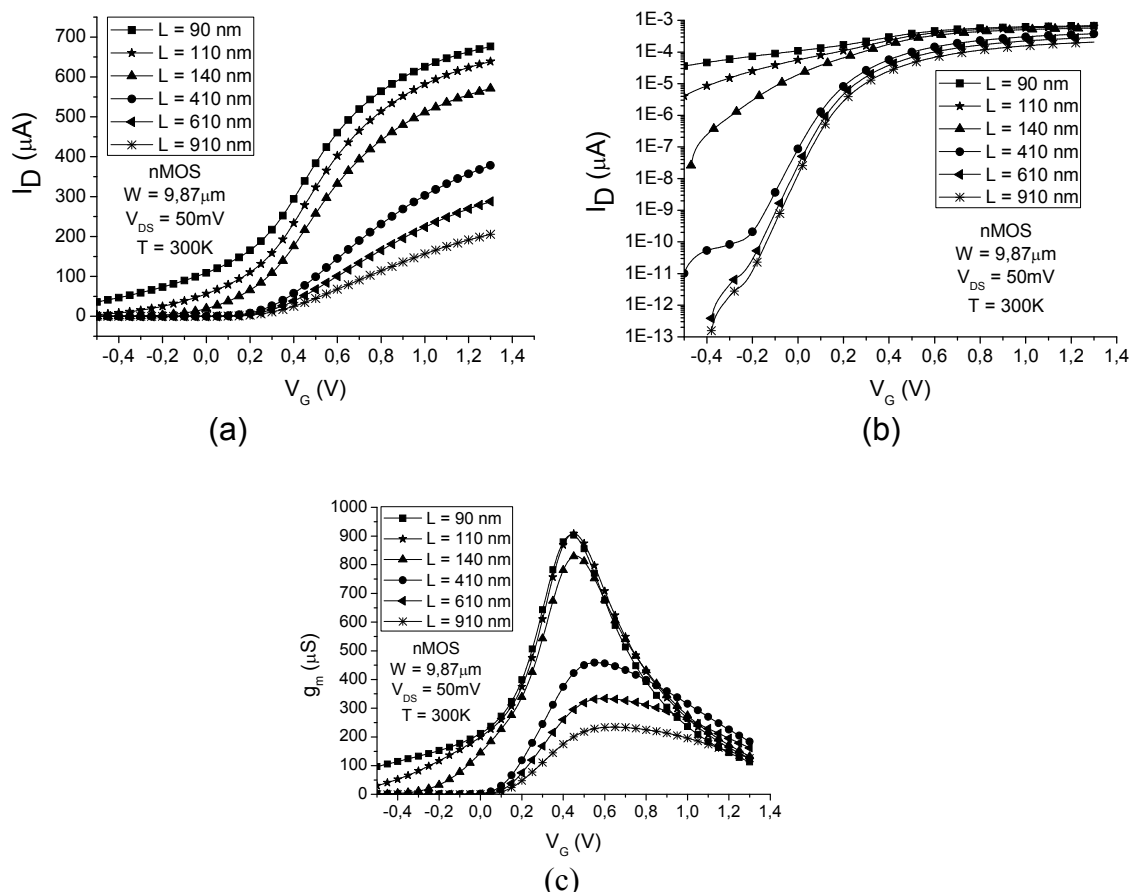


Figura 6.21: Característica de transferência I_D (V_G) (a) em escala linear; (b) em escala logarítmica; e $g_m(V_G)$ dos transistores nMOS com diferentes comprimentos de canal ($W = 9,87 \mu\text{m}$, $V_D = 50$ mV) em temperatura ambiente.

A fim de analisar o impacto dos efeitos de canal curto sobre os dispositivos estudados foram extraídas a tensão de limiar e a inclinação de sublimiar. Para extração da tensão de limiar foi utilizado o método da segunda derivada, e a inclinação de sublimiar foi extraída a partir do ponto mínimo de $S(V_G) = [d(\log I_D)/dV_G]^{-1}$.

A Figura 6.22 mostra a característica da tensão de limiar e da inclinação de sublimiar para os dispositivos com largura de canal de $9,87 \mu\text{m}$ em temperatura ambiente. Como pode ser observado há um aumento mais pronunciado da inclinação de sublimiar e uma leve redução da tensão de limiar para os dispositivos

abaixo de 140 nm. À medida que o comprimento de canal é reduzido, a influência das regiões de depleção nas junções de fonte e dreno conduz a um aumento na inclinação de sublimiar. Pode-se observar aqui o efeito clássico de canal curto, devido ao fato de que nos menores comprimentos de canal, a proximidade das regiões de fonte e dreno torna o controle do canal cada vez mais difícil.

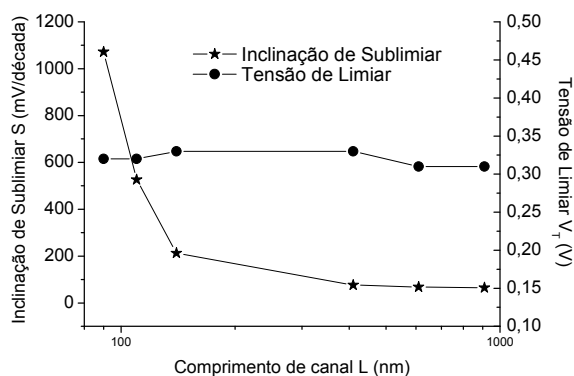


Figura 6.22: Curvas da Inclinação de Sublimiar e da tensão de Limiar em função do comprimento de canal em temperatura ambiente para dispositivos com $W = 9,87\mu\text{m}$.

Para extração da mobilidade de baixo campo, foi utilizado o método a partir da inclinação da função Y , contudo, como foi mencionado anteriormente, este método supõe que a mobilidade é independente do comprimento de canal, mas como pode ser observado na Figura 6.23 (curva com símbolo ■) há uma redução da mobilidade com a redução do comprimento de canal, esta degradação já foi observada em dispositivos ultra-curtos^{113,144}. Estes trabalhos indicam que a degradação da mobilidade é majoritariamente devido às interações Coulombianas e/ou às interações com os defeitos neutros. Estas cargas ou defeitos adicionais poderiam ser devido à implantação de fonte e dreno, ou a cargas localizadas nas junções induzidas pela litografia ou mesmo devido aos materiais utilizados (óxido de porta e metal de porta). A degradação da mobilidade pode também ser devido aos efeitos de transporte fora do equilíbrio. Entretanto, os efeitos não estacionários podem ser observados apenas para comprimentos de canal muito pequenos enquanto que os defeitos neutros, por exemplo, são provavelmente localizados numa distância maior.

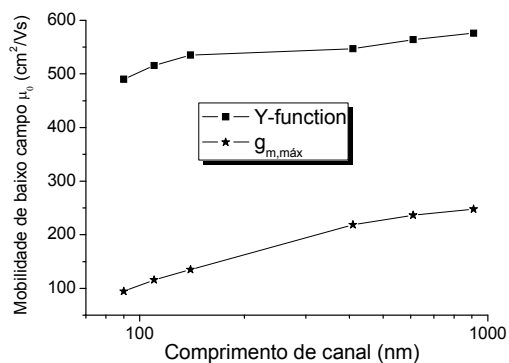


Figura 6.23: Mobilidade de baixo campo em função do comprimento de canal para transistores nMOS ($W = 9,87\mu\text{m}$) em temperatura ambiente extraída por dois métodos: *Y-function* e $g_{m,Max}$.

Entretanto quando o método por $g_{m,Max}$ é utilizado, pode-se observar na Figura 6.23 que os valores da mobilidade de baixo campo são bem menores do que quando o método *Y-function* é utilizado. Essa diferença nos valores de mobilidade obtidos se deve ao fato que a mobilidade extraída pelo método de $g_{m,Max}$ ser afetada pelo fator de degradação da mobilidade (θ) e devido a maior influência da resistência série. No caso da extração utilizado o método *Y-function* tem-se uma redução de 15% no valor da mobilidade se comparar o maior comprimento de canal estudado com o menor, já com o método por $g_{m,Max}$ tem-se uma redução de 62% o que mostra que este método é muito dependente da resistência série, que aumenta para dispositivos de canal curto. Sendo assim o método por $g_{m,máx}$ só pode ser usado para fazer uma comparação qualitativa devido a não confiabilidade dos valores por ele extraído.

Foram feitas também medidas em baixa temperatura na faixa de 300K a 77K, principalmente para observar o comportamento da mobilidade. Na Figura 6.24 são apresentadas as curvas da corrente de dreno (I_D) e da transcondutância (g_m) em função da tensão na porta (V_G) para transistor nMOS de comprimento de canal de 410 nm e largura de canal de $9,87\mu\text{m}$ variando a temperatura. Pode-se observar a evolução clássica das características em função da temperatura, as mesmas características foram observadas para todos os dispositivos estudados. A inclinação de sublimiar, S , diminui progressivamente e a amplitude da máxima transcondutância aumenta com a redução da temperatura.

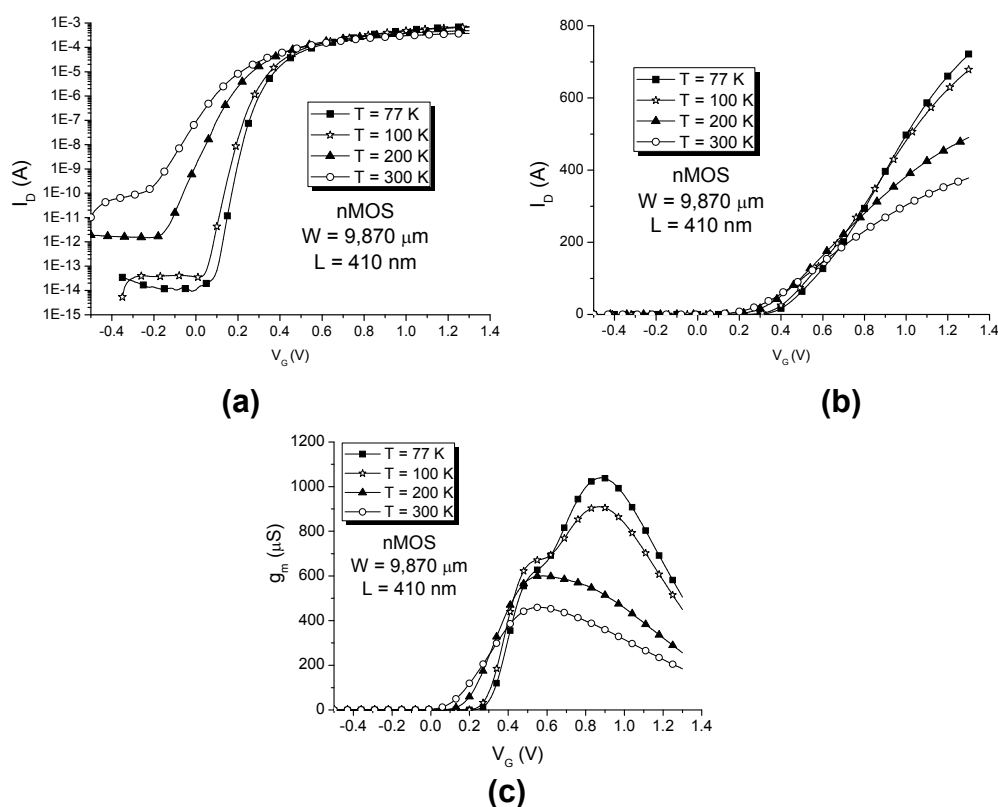


Figura 6.24: Característica de transferência $I_D(V_G)$ (a) em escala logarítmica; (b) em escala linear; e $g_m(V_G)$ do transistor nMOS com comprimentos de canal $L = 410 \text{ nm}$ e $W = 9,87 \mu\text{m}$, $V_D = 50 \text{ mV}$ em função da temperatura.

Na Figura 6.25 é apresentada a evolução da inclinação de sublimiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87 \mu\text{m}$. Na figura ampliada é apresentada a evolução da inclinação de sublimiar em função da temperatura para o dispositivo com $L = 410 \text{ nm}$ e $W = 9,87 \mu\text{m}$.

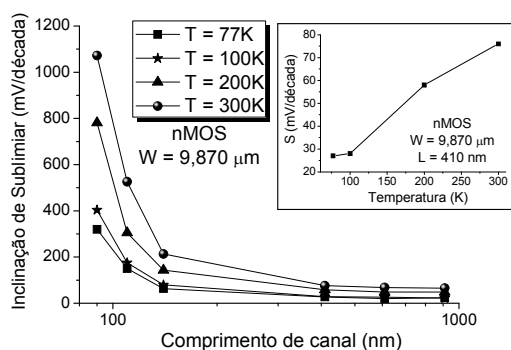


Figura 6.25: Inclinação de sublimiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87 \mu\text{m}$. Na figura *inset* é apresentado a evolução da inclinação de sublimiar em função da temperatura para o dispositivo com $L = 410 \text{ nm}$ e $W = 9,87 \mu\text{m}$.

Pode-se observar que o parâmetro S diminui de maneira linear com a redução da temperatura, como esperado segundo a literatura e que para temperatura $\leq 100\text{K}$ o efeito das cargas de armadilhas de interface se torna mais importante, modificando a taxa de variação de S com a temperatura.

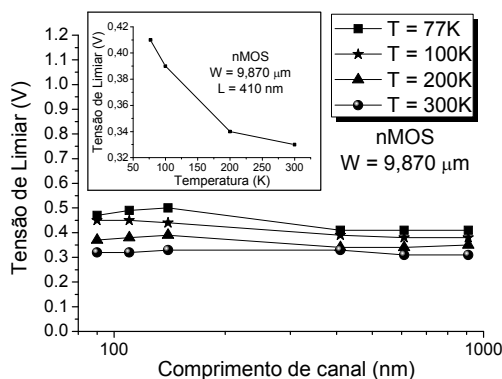


Figura 6.26: Tensão de limiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Na figura *inset* é apresentada a evolução da tensão de limiar em função da temperatura para o dispositivo com $L = 410\text{nm}$ e $W=9,87\mu\text{m}$.

Na Figura 6.26 são apresentadas as curvas da tensão de limiar em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Na figura ampliada é apresentada a evolução da tensão de limiar em função da temperatura para o dispositivo com $L = 410\text{nm}$ e $W=9,87\mu\text{m}$. Pode-se observar o aumento esperado da tensão de limiar com a redução da temperatura devido ao aumento simultâneo do potencial de Fermi ϕ_F e da densidade efetiva de estados de interface D_{it} a medida que o nível de Fermi se aproxima da faixa de condução¹⁴⁵.

Na Figura 6.27 são apresentadas as curvas da mobilidade de baixo campo em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,87\mu\text{m}$. Símbolos cheios extração pelo método *Y-function*, símbolos vazios extração pelo método de $g_{m,max}$. Pode-se observar o aumento da mobilidade com a redução da temperatura devido à redução do espalhamento por fônons. Para os dispositivos de canal longo o espalhamento de fônons é dominante. Entretanto, pode-se observar que o aumento da mobilidade obtido com a redução da temperatura é atenuado para dispositivos de canal curto, devido provavelmente à alta resistência série ou outros mecanismos especiais de espalhamento que acabam mascarando o ganho da mobilidade em baixa temperatura.

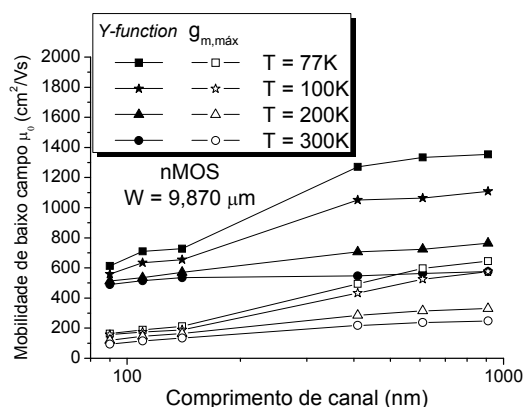


Figura 6.27: Mobilidade de baixo campo em função do comprimento de canal variando a temperatura para os dispositivos nMOS com $W = 9,870 \mu\text{m}$. Símbolos cheios extração pelo método *Y-function* Símbolos vazios extração pelo método de $g_{m,Max}$.

6.4 Resultados dos dispositivos Planares

Nesta seção são mostrados os resultados experimentais para transistores avançados ultrafinos tipo p e tipo n totalmente depletados fabricados pela STMicroelectronics. Nesta seção será dado o foco para a influência da polarização da porta oposta, ou seja, utilização do SOI MOSFET com dois canais ativos (Figura 6.28), tipo de canal e largura do transistor. Para realização deste estudo foi feita uma comparação de dois métodos simples de extração da mobilidade, mostrando sua faixa de validade, os métodos utilizados foram *Y-function* e pico de $g_{m,máx}$. As características dos dispositivos medidos foram apresentadas na seção 6.1.2, basicamente foram utilizados dispositivos com comprimento de canal de $10 \mu\text{m}$ e com largura de canal variando de $10 \mu\text{m}$ até 130nm , com tensão de dreno de 50mV .

Nos dispositivos SOI MOSFETs é também possível emular um transistor de porta dupla pela aplicação de tensão nas duas portas simultaneamente, ou seja, na porta superior e no substrato (Figura 6.28).

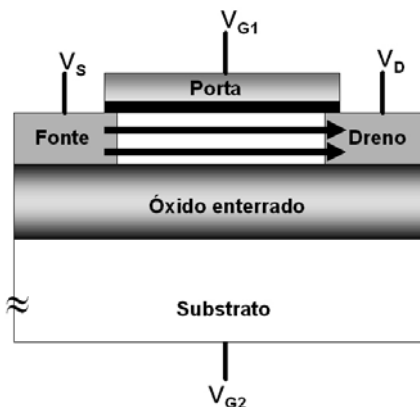


Figura 6.28: Desenho esquemático do canal duplo para SOI MOSFET planar.

As medidas foram feitas em transistores n-MOS e p-MOS SOI MOSFETs totalmente depletados, nestes dispositivos há um forte acoplamento entre os canais da primeira e segunda interfaces (porta e substrato). A mobilidade em um canal está relacionada com a tensão aplicada na porta oposta. É por isso que foi analisado o comportamento da mobilidade de elétrons na porta de cima (nMOS) em função da tensão aplicada no substrato. Figura 6.29-A e a mobilidade do canal de baixo em função da tensão aplicada na porta de cima (Figura 6.29-B). A Figura 6.30 mostra um estudo semelhante para mobilidade de lacunas nos dispositivos pMOS.

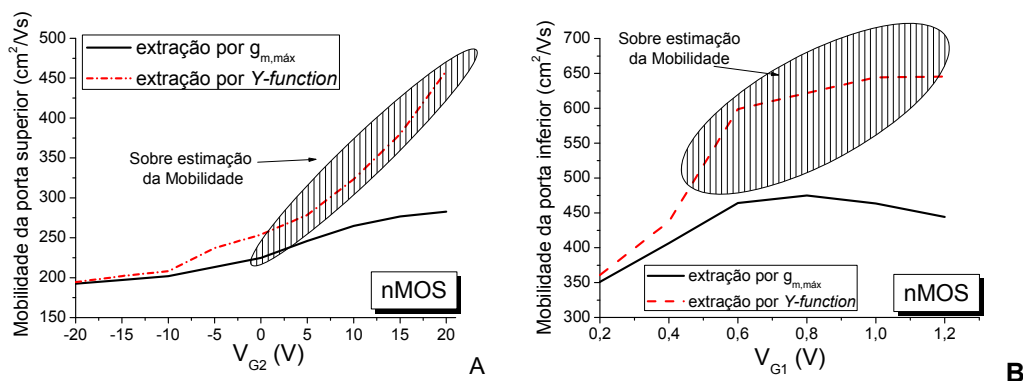


Figura 6.29: (A) Mobilidade de elétrons da porta superior *versus* tensão na porta inferior usando os métodos: *Y-function* e $g_{m,máx}$. (B) Mobilidade de elétrons da porta inferior *versus* tensão na porta superior. Dispositivos totalmente depletado com $L = 10 \mu\text{m}$, $W = 10 \mu\text{m}$ e $V_{DS} = 50\text{mV}$, nMOS.

A Figura 6.29 e a Figura 6.30 mostram a mesma tendência, em particular um forte aumento na mobilidade à medida que a interface oposta vai da acumulação para a depleção e inversão. Esta melhora pode ser explicada considerando a variação do campo elétrico vertical através do filme de silício. O campo elétrico é máximo em acumulação (baixa mobilidade) e mínimo para inversão dos dois canais

(melhorando a mobilidade efetiva). Deve-se lembrar que a definição de μ_0 como mobilidade de baixo-campo não inclui o campo vertical intrínseco existente em filmes SOI ultrafinos.

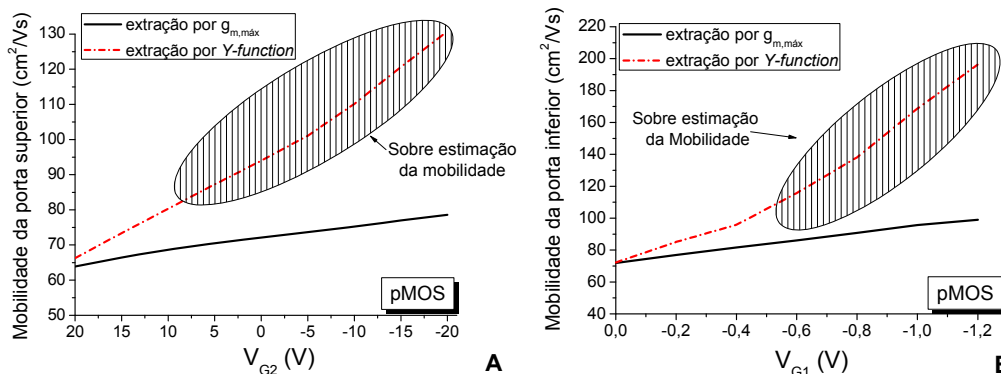


Figura 6.30: Mobilidade de lacunas da porta superior *versus* tensão na porta inferior usando os métodos: *Y-function* e $g_{m,máx}$. (B) Mobilidade de lacunas da porta inferior *versus* tensão na porta superior. Dispositivos totalmente depletados com $L = 10 \mu\text{m}$, $W = 10 \mu\text{m}$ e $V_{DS} = 50\text{mV}$, **pMOS**.

Entretanto, o aumento na mobilidade (determinada com o método *Y-function*) para inversão do canal oposto é excessivo. Os resultados confirmam os recentes estudos feitos por Rodriguez¹⁴⁶, que apontam uma sobre estimação dos valores da mobilidade de elétrons quando se utiliza o método *Y-function*.

Esta imprecisão ocorre devido à simultânea ativação dos dois canais de condução, que não são levados em consideração na equação:

$$Y = \frac{I_D}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_D} \cdot (V_G - V_t). \text{ Quando somente um canal é ativado, sua mobilidade}$$

de baixo campo varia moderadamente (devido à mudança no campo elétrico vertical). Com o aumento da polarização de porta oposta, a mobilidade extraída é anormalmente sobre estimada e o método falha (Figura 6.31).

As medidas realizadas mostraram que o efeito é geral: acontece tanto para elétrons como para lacunas, assim como para os canais da primeira e segunda interface. Conclui-se que um valor de mobilidade preciso pode ser obtido usando o método *Y-function* somente se a interface oposta estiver acumulada ou depletada. Quando esta está invertida, devido à existência de dois canais de condução, o método *Y-function* mistura as mobilidades da primeira e segunda interface, ou seja, soma as mobilidades dos dois canais de condução.

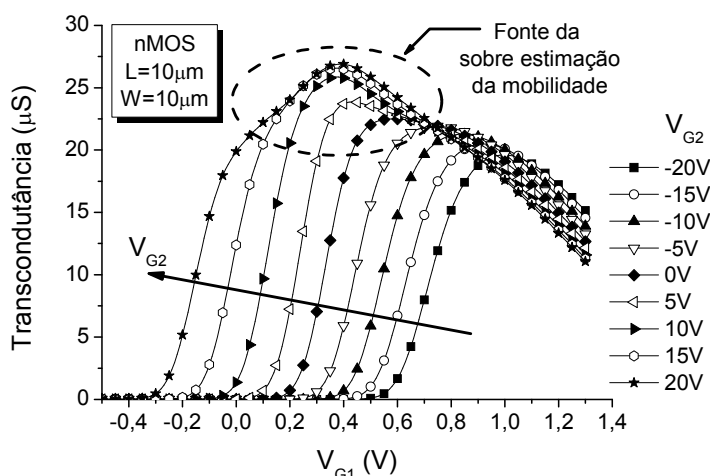


Figura 6.31: Transcondutância do canal superior em função da polarização da porta superior, variando a polarização da porta de baixo. Nota-se que o pico da transcondutância é aumentado artificialmente como consequência da ativação do canal de baixo. Dispositivo nMOS com $W=10\mu\text{m}$ e $L=10\mu\text{m}$, $V_{DS} = 50\text{ mV}$.

Agora considerando o método do pico máximo da transcondutância ($g_{m,\text{máx}}$). Todas as figuras (medidas) indicam que a mobilidade extraída por $g_{m,\text{máx}}$ é menor que a extraída pelo método *Y-function*, sendo sistematicamente subestimada devido ao impacto do coeficiente θ e da resistência série.

A diferença entre os dois métodos é razoável para acumulação e depleção da interface oposta, quando o método *Y-function* é válido. Mas, quando se tem a inversão da interface oposta, a discrepância entre os dois métodos aumenta drasticamente. Nesta região de operação, o método da transcondutância é mais confiável. Certamente, o pico da transcondutância reflete a contribuição de *um* canal e pode ser usado para determinar a mobilidade correspondente. A inversão do canal oposto é indicada pelo platô na transcondutância que não afeta o pico (se a resistência série não for excessiva¹⁴⁷). Ao contrário, o método *Y-function* inclui a corrente total que flui nos dois canais, o método é incapaz de separar cada canal (primeira e segunda interface).

Os resultados indicam que a mobilidade de elétrons é maior na segunda interface (canal de baixo). Isto acontece porque a natureza das duas interfaces é diferente: na primeira interface têm-se Si *-high-k* e na segunda interface Si-SiO₂. A qualidade do óxido da segunda interface ainda é melhor que as estruturas com material *high-k*. Pode ser notado, entretanto que a diferença entre a primeira e

segunda interface é menos pronunciada quando se considera a mobilidade de lacunas.

A Figura 6.32 e a Figura 6.35 mostram dados muito sistemáticos de mobilidade: para canais de cima e de baixo, em função da polarização oposta, em dispositivos MOSFET tipo n e p, usando os métodos *Y-function* e $g_{m,\max}$, para largura de canal variável.

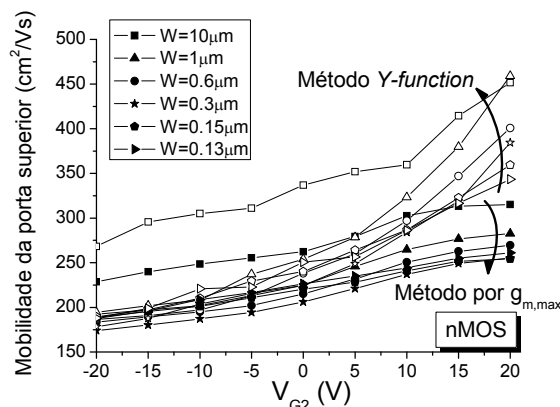


Figura 6.32: Mobilidade da porta superior *versus* tensão na porta inferior (V_{G2}). Dispositivos FD nMOSFET com comprimento de canal de 10 μm e largura de canal variando de 10 μm a 130 nm.

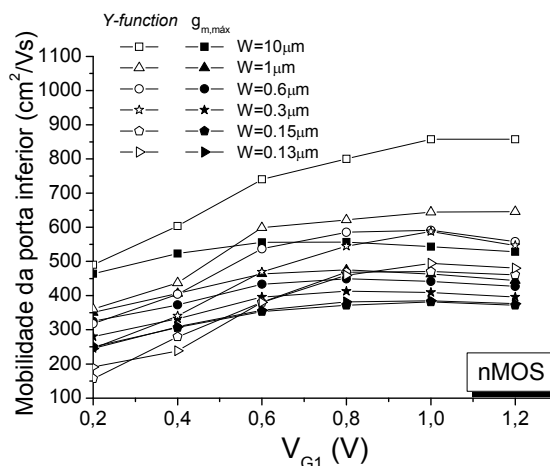


Figura 6.33: Mobilidade da porta inferior *versus* tensão na porta superior (V_{G1}). Dispositivos FD nMOSFET com comprimento de canal de 10 μm e largura de canal variando de 10 μm a 130 nm.

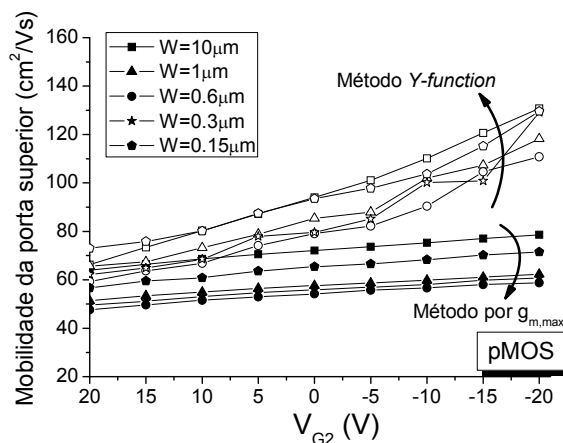


Figura 6.34: Mobilidade da porta superior *versus* tensão na porta inferior (V_{G2}). Dispositivos FD pMOSFET com comprimento de canal de $10\ \mu\text{m}$ e largura de canal variando de $10\ \mu\text{m}$ a $130\ \text{nm}$.

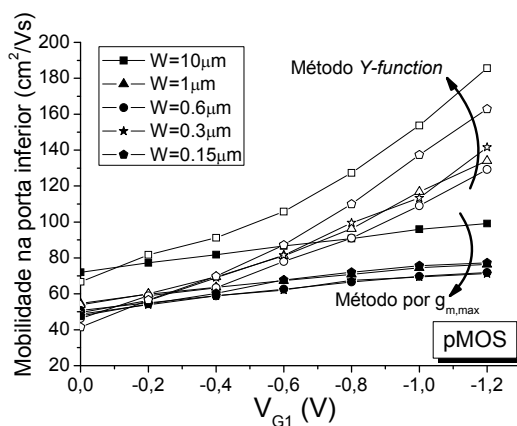


Figura 6.35: Mobilidade da porta inferior *versus* tensão na porta superior (V_{G1}). Dispositivos FD pMOSFET com comprimento de canal de $10\ \mu\text{m}$ e largura de canal variando de $10\ \mu\text{m}$ a $130\ \text{nm}$.

Estes resultados mostram uma redução na mobilidade com a redução da largura do canal. Ambos os métodos indicam que o transistor com $10\ \mu\text{m}$ exibe a maior mobilidade de elétrons e lacunas. O impacto da largura de canal na mobilidade de portadores pode ser explicado levando em consideração dois argumentos básicos: (i) o efeito do stress no filme é modificado pela mudança no tamanho do transistor¹⁴⁸, e (ii) a contribuição das paredes laterais STI (efeito *edge*) é mais proeminente em dispositivos estreitos¹⁴⁹ (Figura 6.36).

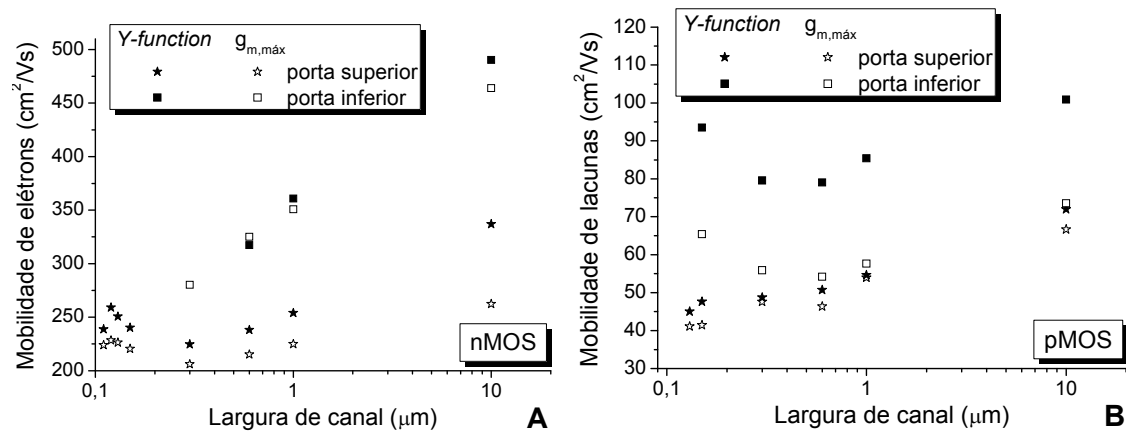


Figura 6.36: Mobilidade de elétrons (A) e de lacunas (B) em função da largura de canal com $V_G = 0$ para mobilidade da porta inferior e $V_B = 0V$ para mobilidade da porta superior.

7 Técnica utilizando Magnetoresistência para extração da Mobilidade

Neste capítulo será feito um estudo da utilização da técnica de extração da mobilidade por magnetoresistência a fim de analisar o comportamento da mobilidade de portadores em função da temperatura. O uso desta técnica, que consiste na aplicação de um campo magnético, é uma alternativa muito interessante aos métodos de extração clássicos descritos no capítulo 4.

7.1 Introdução

O método de extração por magnetoresistência geométrica (MR) é baseado no transporte de portadores na presença de um campo magnético perpendicular ao plano do fluxo de corrente. É uma técnica alternativa e não destrutiva, que permite a extração da mobilidade sem o conhecimento prévio do comprimento e largura efetiva de canal, parâmetros estes que são necessários em outras técnicas.

No caso de um transistor MOSFET, a amostra a ser medida é colocada seguindo as condições descritas na (Figura 7.1). A aplicação de uma tensão no dreno V_{DS} impõe uma corrente no sentido do eixo X. O campo magnético é aplicado no sentido do eixo Z.

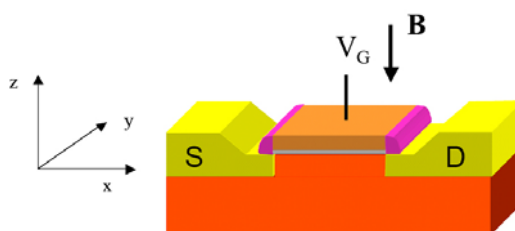


Figura 7.1: Desenho esquemático de um transistor MOS com a aplicação de um campo magnético

O efeito Hall normalmente é empregado para medir a mobilidade num material. Entretanto, a relação W/L deve ser pequena para evitar um efeito de magnetoresistência parasitário. Assim esse método não é conveniente para ser utilizado em transistores ultra-curtos que sempre terão uma razão W/L superior a 1.

Ao contrário, quando se tem uma relação W/L grande, é possível medir a mobilidade de portadores por magnetoresistência (Figura 7.2).

A principal vantagem da medida por magnetoresistência é que ela é aplicável em todos os transistores MOS ultra-curtos sem a utilização de uma estrutura de teste específica como é necessário quando vai se utilizar o método por efeito Hall.

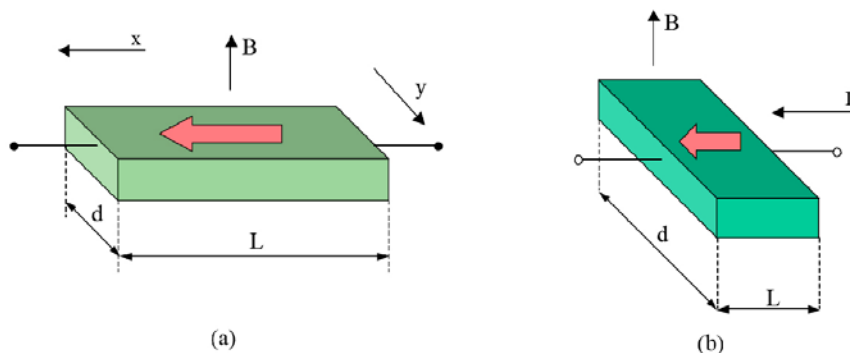


Figura 7.2: (a) Configuração Hall ($d \ll L$); (b) configuração de magnetoresistência ($d \gg L$).

A mobilidade de magnetoresistência (μ_{MR}) é determinada pela mudança na resistividade no canal do dispositivo devido ao aumento do campo magnético aplicado a ele.

A presença do campo magnético, B , perpendicular ao plano de transporte não afeta o confinamento de elétrons. A mobilidade geométrica MR é dada por:

$$\frac{R_B}{R_0} = \frac{\rho_B}{\rho_0} = 1 + \mu_{MR}^2 B^2 \quad (7.1)$$

onde ρ_B e ρ_0 são a resistividade dependente do campo magnético e a resistividade com campo magnético zero, respectivamente, B é o campo magnético, $\mu_0(B)$ e $\mu_0(0)$ são a mobilidade de baixo campo com e sem a aplicação do campo magnético, respectivamente. O método funciona apenas para transistores cujo comprimento de canal é muito menor que a largura de canal (tipicamente $W/L > 5$).

Para a aplicação do método um alto campo magnético é aplicado perpendicularmente à superfície da lâmina. São então feitas curvas da corrente de dreno (I_D) em função da tensão na porta (V_G) para uma dada faixa de campos magnéticos ($B = 0$ a 11T). As medidas são feitas em baixas temperaturas e com baixa tensão de dreno ($V_D = 50\text{mV}$) a fim de obter a variação da resistividade no

canal do transistor.

7.2 Medida de magnetoresistência

As medidas de magnetoresistência necessitam de um conjunto de equipamentos específicos. Todas as medidas foram realizadas em colaboração com o laboratório LCMI (*Laboratoire des champs magnétiques intense*) que fica situado em Grenoble na França. O sistema é equipado de um tanque (câmara) à temperatura variável, munido de um sistema de aquecimento, que permite uma variação da temperatura da amostra da temperatura ambiente até a temperatura do Hélio Líquido ($\sim 4,22\text{K}$). O cano com o porta amostra (chip) de medida é introduzido num criostato imerso em Hélio (Figura 7.3). Um imã supercondutor, orientado perpendicularmente à amostra, produz um campo magnético de intensidade até 11T. O campo magnético é gerado por uma fonte de alimentação magnética supercondutora da *Oxford Instruments*. As medidas elétricas (curvas da corrente de dreno em função da tensão na porta do transistor) foram feitas utilizando um analisador de parâmetros de semicondutores da *HP* (modelo 4156-C).

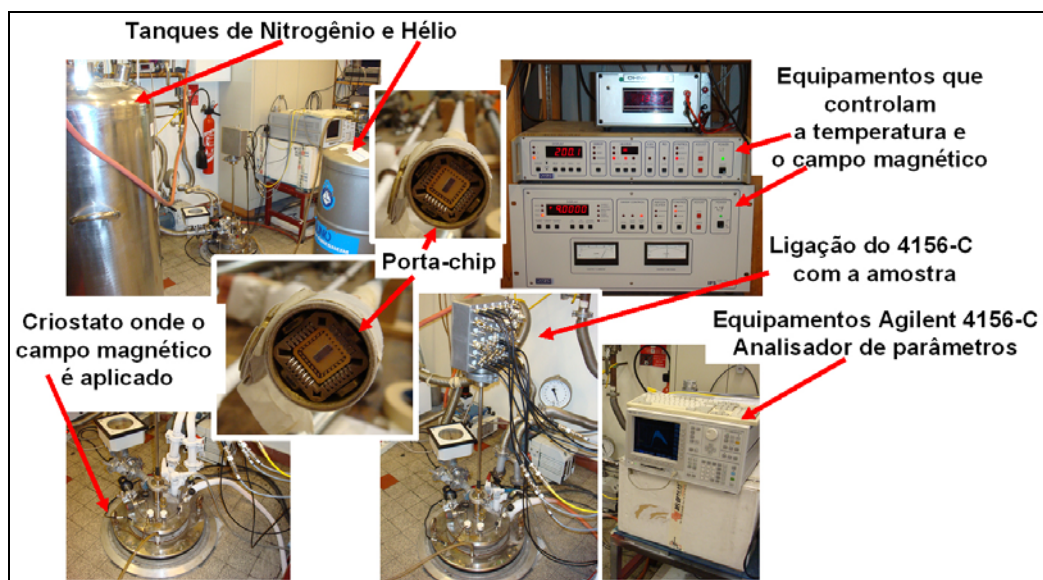


Figura 7.3: Sistema para medida da magnetoresistência. O cano com o porta amostra (chip) dispõe de elementos que permitem o controle e a regulação da temperatura na amostra. Este é colocado num criostato imerso em hélio. O campo magnético é produzido por uma bobina supercondutora.

7.3 Técnica de Medida

A técnica consiste de uma aproximação: nos dispositivos que são muito mais largos que longos, a tensão Hall é nula, e tem-se $\rho_{xx} = 1 / \sigma_{xx}$ mesmo na presença de um campo magnético (ver capítulo 3). A fórmula de Drude fornece: $\sigma_{xx} = \sigma_0 / (1 + (\omega_c \tau)^2)$, onde $\omega_c = eB / m^*$ é a pulsação cíclotron. Por definição, $\mu = e\tau / m^*$ e pode-se então escrever:

$$\frac{\rho_{xx}(B)}{\rho_0} = 1 + \mu^2 B^2 \quad (7.2)$$

É possível, conseqüentemente extrair a mobilidade a partir da característica parabólica de $\rho_{xx}(B)$.

O método de magnetoresistência foi utilizado principalmente para medida da mobilidade de transistores com alta mobilidade ^{150, 151, 152}. Como a magnetoresistência medida no silício é geralmente baixa, o problema da aplicação deste método em transistores MOS reside na intensidade do campo magnético necessário para obter uma variação significativa da resistividade.

As medidas de magnetoresistência foram efetuadas a uma dada tensão de porta variando o campo magnético de 0 a 11T. Para a medida de magnetoresistência geométrica transversal, o campo magnético é orientado perpendicularmente ao plano (X,Y) da amostra como ilustrado na Figura 7.1.

7.4 Resultados

Os dispositivos que foram analisados com o uso desta técnica são os MugFETs de porta tripla nMOS apresentados anteriormente no capítulo 6 (seção 6.1.1). No caso deste tipo de medida foram utilizados os dispositivos com as seguintes dimensões a fim de garantir o efeito da magnetoresistência onde deve-se ter $W \gg L$:

- Comprimento de canal de 90 a 910 nm.
- Largura de canal de 10 μ m.

Para aplicação do método da magnetoresistência foi utilizado um equipamento que aplica um alto campo magnético ($B = 0$ a 11T) perpendicular à superfície da lâmina. As características elétricas foram feitas usando um analisador de parâmetros. As curvas de corrente de dreno (I_D) versus tensão na porta (V_G) foram medidas para uma larga faixa de campos magnéticos, em baixas temperaturas ($T = 200$ a 77K) e com baixa tensão de dreno ($V_{DS} = 50\text{mV}$) a fim de calcular a mobilidade pelo método de magnetoresistência.

A magnetoresistência medida é proporcional a B^2 em todos os regimes de funcionamento do transistor. A Figura 7.5 apresenta a magnetoresistência transversal em função do campo magnético em diferentes polarizações de porta (V_G). A tensão de dreno (V_D) aplicada é igual a 50 mV . Este valor baixo de V_D foi escolhido de modo que esteja em região linear e que o campo elétrico longitudinal possa ser suposto uniforme. Várias amostras foram estudadas e comportamentos similares de corrente de dreno em função do campo magnético foram obtidos. Na Figura 7.4 são apresentadas as curvas típicas da corrente de dreno em função da tensão aplicada na porta com variação do campo magnético de 0 a 11T para um transistor com comprimento de canal de 410nm , largura de canal de $10\mu\text{m}$, a uma temperatura de 100K .

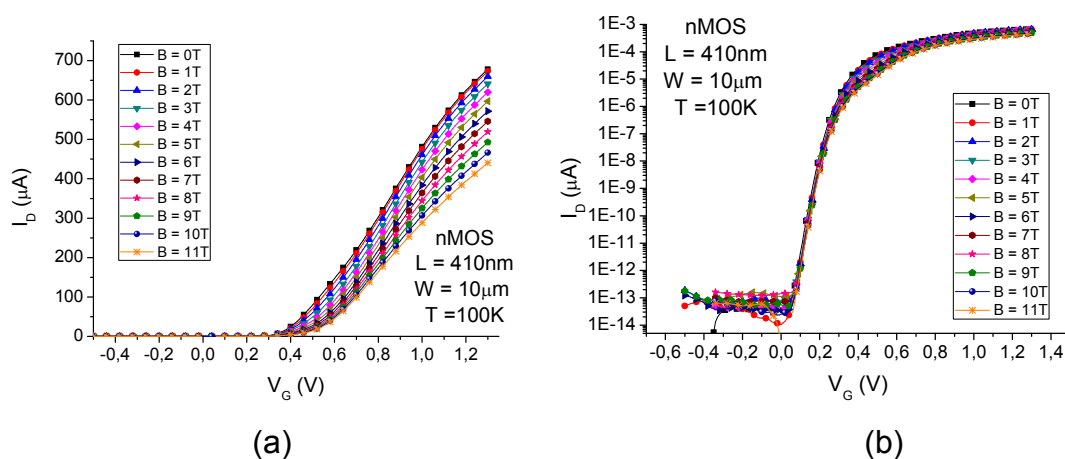


Figura 7.4: Corrente de dreno em função da tensão na porta com variação do campo magnético de 0 a 11T em (a) escala linear e (b) em escala logarítmica para o transistor nMOS de porta tripla com $L = 410\text{ nm}$ em 100K .

Na Figura 7.5 são mostrados os resultados típicos, neste caso para um transistor nMOS com comprimento de canal de 410nm , largura de canal de $10\mu\text{m}$. Observa-se claramente o comportamento parabólico de R_{ch} até $B = 11\text{T}$.

O efeito da geometria se manifesta sobre a magnetoresistência observada. O campo E_y diminui para zero quando os contatos são muito aproximados, dado que estes curto-circuitam o campo Hall. As forças de Lorentz não serão mais compensadas (em média) por forças Hall e a deflexão de portadores será aumentada. Isto traduz-se no efeito da magnetoresistência geométrica, bem mais importante que o efeito da magnetoresistência transversal real.

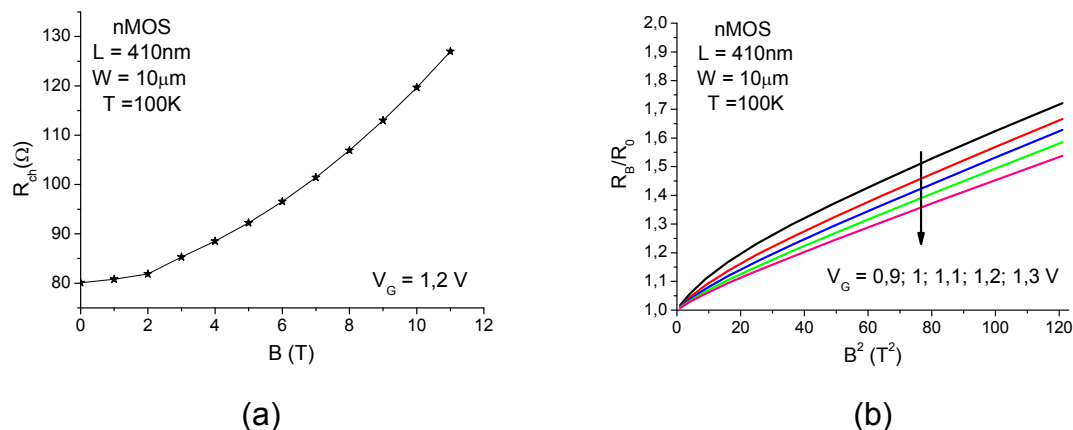


Figura 7.5: Magnetoresistência transversal de um transistor nMOS de porta tripla de 410 nm. Medida bruta da resistência em função do campo magnético em escala linear (a) e em escala quadrática (b). Na figura (b), pode-se observar a variação da magnetoresistência em função da tensão na porta.

A mobilidade MR é calculada a partir do gradiente da curva de magnetoresistência apresentada na Figura 7.5-b. Pode-se observar que a magnetoresistência é diferente para cada tensão de porta, o que já era esperado, pois a mobilidade varia com o campo elétrico efetivo. A magnetoresistência é menos importante em baixo V_G . Quando V_G aumenta, a magnetoresistência torna-se mais forte. Entretanto, se continuar a aumentar a tensão na porta, pode ser visto que a magnetoresistência diminui quando V_G excede certo valor. A partir da inclinação das curvas da Figura 7.5 (b), a mobilidade de magnetoresistência μ_{MR} pode ser calculada segundo a equação (7.1). A Figura 7.6 (a) mostra a variação da mobilidade MR com a tensão de porta em 100K para o dispositivo nMOS de porta tripla com comprimento de canal de 410 nm.

Para comparar os resultados obtidos para os diferentes componentes, pode-se também representar a variação de μ_{MR} não somente em função de V_G mas também em função da carga de inversão do canal.

Uma outra maneira de obter a mobilidade de portadores no canal é calcular a densidade de portadores, N_{inv} associada a polarização de porta. O valor de N_{inv} é diretamente ligado a carga de inversão Q_{inv} , que pode ser calculada por¹⁵³:

$$Q_{inv}(V_G) = \frac{L \cdot I_D(V_G)}{W \cdot \mu_{MR} \cdot V_D} \quad (7.3)$$

É necessário salientar que o cálculo da carga de inversão efetuado é válido sob a condição de manter a hipótese de degeneração na camada de inversão, ou seja, $\mu_{MR} = \mu_{eff}$ (ver seção 3.3). A não degeneração induz a uma diferença entre a mobilidade de magnetoresistência e a mobilidade efetiva e no caso do cálculo da carga de inversão baseada na equação (7.3) é apenas aproximado.

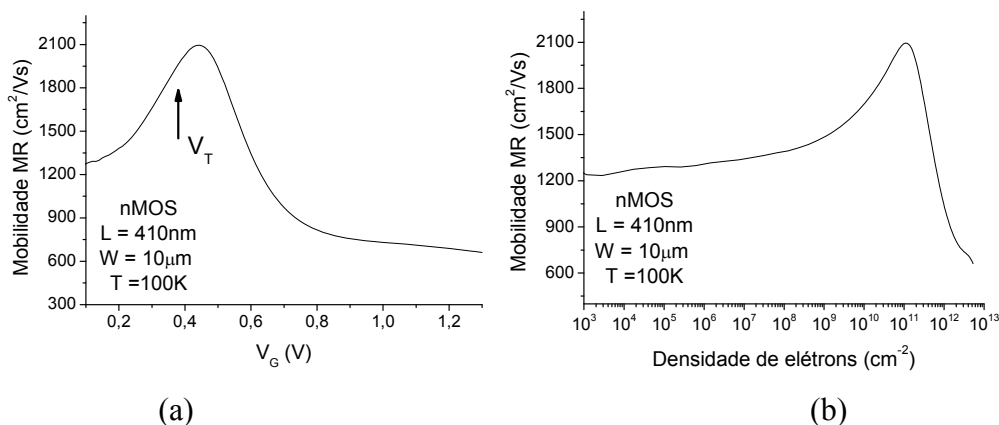


Figura 7.6: Evolução da mobilidade de elétrons extraída pela medida de magnetoresistência em função (a) da tensão na porta e (b) da densidade de elétrons, para o dispositivo nMOS de porta tripla com comprimento de canal de 410nm na temperatura de 100K.

A curva da mobilidade MR em função da densidade de portadores é ilustrada na Figura 7.6 (b). O formato de sino da curva da mobilidade já foi observado por vários trabalhos^{154, 155}. Pode-se observar que em regime de baixa densidade de portadores, a mobilidade aumenta com N_{inv} . Acima de certo valor de N_{inv} , a mobilidade começa a diminuir. Observa-se que o ponto máximo da curva da mobilidade corresponde a um valor de tensão de porta ligeiramente superior a tensão de limiar. Isto significa que a presença do máximo da mobilidade sobre essas curvas deve sua explicação à transição do regime de inversão fraca para o regime de inversão forte.

O método de magnetoresistência é o único método que permite estudar o comportamento da mobilidade de portadores em regime de inversão fraca. Neste estado, foi constatado que a curva experimental da mobilidade é similar a curva universal da mobilidade. Em regime de inversão fraca, o transporte é controlado pelas impurezas ionizadas ou pelos defeitos pontuais carregados (os centros Coulombianos). Quando a densidade da camada de inversão aumenta, os potenciais Coulombianos são desprezados pela densidade de portadores e a mobilidade aumenta graças a uma melhor eficácia da separação da camada de inversão. Além da posição carregada, existem também os centros de colisões não – Coulombianas. Pode-se citar, por exemplo, os defeitos pontuais não carregados, os espaços vazios, os deslocamentos (defeitos neutros). Estes defeitos não são desprezados e podem influenciar sobre a mobilidade mesmo em regime de inversão forte.

No caso do regime de inversão forte (acima da tensão de limiar), o transporte em 300K é controlado pelas vibrações da rede cristalina (fônons acústicos) e as interações com a rugosidade da superfície. Pode-se observar pela Figura 7.6 (b) que a mobilidade diminui com alta concentração de portadores, pois neste regime o impacto das interações com a rugosidade de superfície torna-se mais importante¹⁵³.

Com o objetivo de fazer uma comparação entre os tipos de mobilidade, também foram calculadas e plotadas as variações da mobilidade efetiva μ_{eff} e a mobilidade de efeito de campo μ_{FE} . Estas curvas foram calculadas através das seguintes expressões: $\mu_{FE} = g_m / (W / L) C_{ox} V_D$ e $\mu_{eff} = \sqrt{\mu_0 \cdot \mu_{FE}}$ com $B = 0T$. A mobilidade de baixo campo elétrico μ_0 foi extraída usando o método *Y-function* $Y(V_G) = I_D / \sqrt{g_m(V_G)}$, que elimina o fator de atenuação da mobilidade de primeira ordem e os efeitos de resistência série de fonte e dreno¹⁵⁷.

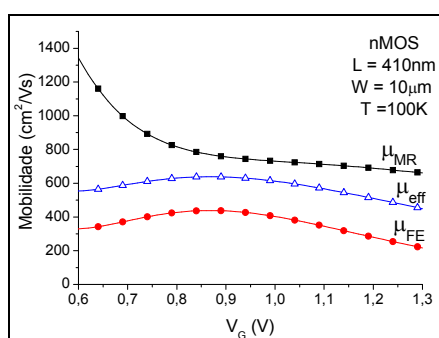


Figura 7.7 Variações da mobilidade MR, mobilidade efetiva e mobilidade de efeito de campo (sem aplicação de campo magnético) versus tensão na porta. L=410 nm e 100K.

Pode-se observar que as medidas reproduzem uma excelente correlação entre a mobilidade de magnetoresistência (μ_{MR}) é maior que a mobilidade efetiva (μ_{eff}) sob condições de inversão forte. A diferença observada no regime de inversão fraca é devido à imprecisão da extração nesta faixa de polarização, onde a função Y não é mais válida. Por comparação, a mobilidade de efeito de campo (μ_{eff}) é menor, sobreestimando a ação do campo elétrico vertical.

A mobilidade MR é sempre maior que a mobilidade efetiva. É sabido que a mobilidade de difusão é proporcional ao tempo de relaxação médio $\mu \sim \bar{\tau}$. Sob a influência de campo magnético, os mecanismos de transporte e espalhamento são mais complexos. A mobilidade MR varia como $\mu_{MR} \sim (\bar{\tau}^3 / \bar{\tau})^{0,5}$, considerando que a mobilidade Hall varia como $\mu_H \sim (\bar{\tau}^2 / \bar{\tau})^{158}$. A razão entre a mobilidade MR e a mobilidade de difusão, $r_{MR} = (\bar{\tau}^3 / (\bar{\tau})^3)^{0,5}$, pode ser computada para cada tipo de espalhamento e condução de banda única (*single-band*). Por exemplo, em campo magnético de valor relativamente baixo, $\mu_0^2 B^2 \ll 1$, tem-se $r_{MR} \cong 1,6$ para espalhamento de fônons acústicos, $r_{MR} \cong 1,7$ para espalhamento por Coulomb, e $r_{MR} \cong 1$ para portadores isoenergéticos^{158,159}.

Em filmes SOI ultrafinos, vários mecanismos (separação de sub-bandas, mistura de vários processos de espalhamento, anisotropia de massa efetiva, tempo de relaxação, etc) resultam em um complicado cenário físico que está além do escopo deste trabalho.

Os resultados para mobilidade MR foram apresentados para um transistor em uma temperatura como mostrado na Figura 7.7 (transistor nMOS de porta tripla com comprimento de canal $L = 410\text{nm}$ à temperatura $T = 100\text{K}$). A mesma extração de dados foi feita para todos os transistores medidos em três diferentes temperaturas (77K, 100K e 200K). Para todas as medidas realizadas o mesmo comportamento foi observado.

A fim de obter uma comparação das mobilidades de baixo campo e de magnetoresistência desprezando o efeito do campo magnético foi extraída a partir da relação $\mu_0(0) / \mu_0(B)$ a chamada mobilidade “intrínseca”.

A curva apresentada na Figura 7.8 representa a razão da mobilidade de baixo campo elétrico $\mu_0(0)/\mu_0(B)$ em função do quadrado do campo magnético (B^2) que foi extraída pela relação:

$$\mu_0(B) = \frac{\mu_0(0)}{1 + \mu_{0,MR}^2 B^2} \quad (7.4)$$

A partir da inclinação desta reta, é possível extrair a mobilidade MR de baixo campo $\mu_{0,MR}$ que é independente de ambos, tanto da polarização de porta quanto do campo magnético.

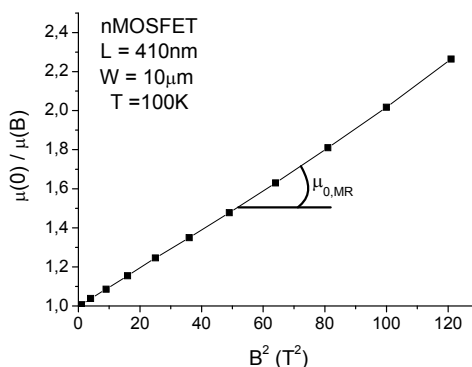


Figura 7.8: Razão da mobilidade “intrínseca” $\mu_0(0)/\mu_0(B)$ extraída por Y-function.

Os estudos em baixa temperatura foram feitos primeiramente porque para ser aplicado um campo magnético é necessário a amostra e o ambiente estar em baixa temperatura e a maior temperatura que o equipamento utilizado alcança com aplicação de campo magnético é de 200K, o que explica os resultados não chegarem à temperatura ambiente 300K. Em segundo lugar para identificar os mecanismos físicos responsáveis pelo comportamento da mobilidade de portadores. A curva da mobilidade em função da carga de inversão e da temperatura coloca em evidência a predominância das interações de Coulomb sobre a degradação da mobilidade em baixa densidade de portadores (Figura 7.9).

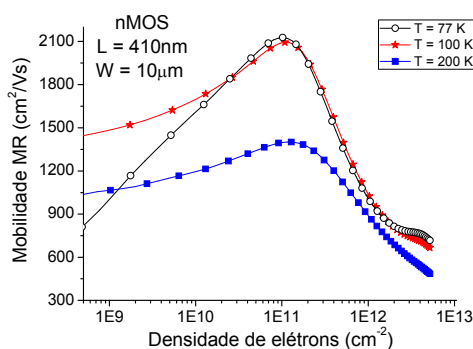


Figura 7.9: Evolução da mobilidade de elétrons extraída pela medida de magnetoresistência em função da densidade de elétrons e da temperatura para o dispositivo com comprimento de canal de 410 nm.

Acima da tensão de limiar (maior densidade de elétrons), a mobilidade de elétrons aumenta à medida que a temperatura diminui devido à redução das interações com os fônons. Em 200K, a diferença entre a mobilidade de alto e baixo campo é bem menor. De 200K a temperatura ambiente, os mecanismos de interação com a rugosidade de superfície e defeitos carregados são dominados pelas interações portadores – fônons.

Quando a densidade de portadores é ainda mais aumentada, a mobilidade de portadores diminui novamente. Estamos então no regime onde interações do tipo rugosidade de superfície são predominantes. A influência de tal mecanismo sobre a mobilidade em baixa temperatura é pouco descrito, mas segundo Takagi et al.³⁶, este tipo de interação é relativamente independente da temperatura. Na Figura 7.9, pode-se observar bem que as curvas das mobilidades estão praticamente superpostas para todas as temperaturas em muito alta densidade de elétrons o que significa que neste regime, a mobilidade de elétrons depende pouco da temperatura.

A Figura 7.10 mostra a dependência com a temperatura das mobilidades $\mu_{0,MR}$ e μ_0 para transistores com comprimento de canal de 140 nm e 410 nm. Pode ser observado que $\mu_{0,MR}$ é maior que μ_0 para toda a faixa de temperatura estudada. As duas mobilidades são altas, o que reflete a boa qualidade da interface superior Si/High-K que governa o transporte de elétrons. À medida que a temperatura diminui há um aumento na mobilidade devido ao reduzido espalhamento de fônons¹⁶⁰.

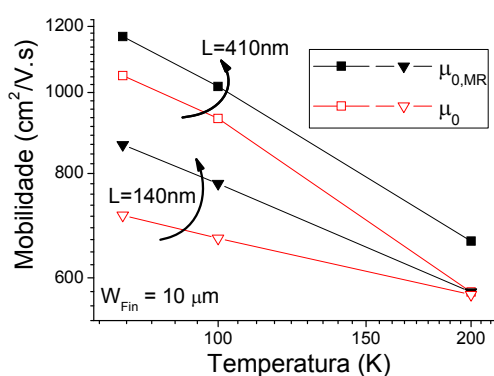


Figura 7.10: Mobilidade de baixo campo μ_0 e mobilidade MR de baixo campo $\mu_{0,MR}$ versus temperatura.

Um problema típico com dispositivos de canal curto em baixas temperaturas é o efeito da resistência série. A Figura 7.11 mostra que há uma aparente redução da mobilidade com a redução do comprimento de canal. Para dispositivos de canais

longos, o espalhamento de fônons é dominante. Entretanto, pode-se notar que o aumento da mobilidade com a temperatura é atenuado para dispositivos com comprimentos de canal menores, devido à alta resistência série ou mecanismos especiais de espalhamento, que mascara o aumento da mobilidade atual em baixa temperatura^{160,161}.

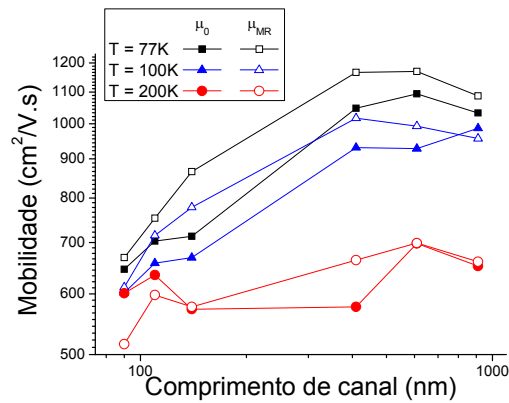


Figura 7.11: Mobilidade de baixo campo μ_0 e mobilidade MR de baixo campo $\mu_{0,MR}$ versus comprimento de canal, para diferentes temperaturas.

8 Conclusões e Perspectivas Futuras

O trabalho desenvolvido teve como principal objetivo realizar o estudo da mobilidade de portadores em transistores SOI avançados planares e de porta tripla através de resultados experimentais e simulações numéricas tridimensionais tanto para dispositivos com canal do tipo n como do tipo p.

O estudo foi dividido em duas etapas: primeiramente foi feita uma análise de alguns métodos de extração da mobilidade efetiva e de separação de mobilidades através de simulações numéricas tridimensionais para o dispositivo SOI de porta tripla. Nesta etapa, foram também extraídos os parâmetros básicos para melhor explicar os fenômenos decorrentes da redução das dimensões. Os métodos utilizados para extração da mobilidade efetiva foram: “através do pico de $g_{m,máx}$ ”, “*Y-function*”, “McLarty” e “*Split C-V*”. E para separação das mobilidades foram utilizados os métodos: “Daugé”, “*Split C-V*” e “Vikram”.

Na segunda etapa, foram analisados os resultados experimentais para os dispositivos SOI de porta tripla e os dispositivos SOI planares, em temperatura ambiente e em baixa temperatura (300K a 77K), tanto nMOS quanto pMOS. Para esta etapa foram utilizados apenas dois métodos de extração da mobilidade efetiva (“pico de $g_{m,máx}$ ” e “*Y-function*”), e um método para separação das mobilidades (Daugé) no caso dos dispositivos de porta tripla. Além dos métodos convencionais, foi apresentado também um método alternativo para extração da mobilidade, independente do comprimento de canal, que utiliza a aplicação de alto campo magnético.

Para os métodos de extração da mobilidade efetiva, foi observado que todos os métodos estudados sofrem maior influência com a redução do comprimento de canal (maior erro para dispositivos menores que $0,5\mu\text{m}$), devido à influência da resistência série e devido aos efeitos de canal curto. Dentre os métodos estudados o que aparenta sofrer mais com a redução do comprimento de canal é o por $g_{m,máx}$. O método por “*Y-function*” apresentou o melhor comportamento com a redução do comprimento de canal, seguido pelo método “*Split C-V*”. Para os dispositivos com comprimento de canal acima de $0,5\mu\text{m}$, o maior erro encontrado foi de 13% para os métodos “McLarty” e “*Y-function*”. Neste caso, os métodos “por $g_{m,máx}$ ” e “*Split C-V*” apresentaram melhores resultados.

Analisando a influência da largura de canal, foi observado que para dispositivos com W_{fin} maior que $0,7\mu\text{m}$ os maiores erros encontrados foram de 11,2 % para o método “*Y-function*” e 10% para o método “por $g_{m,m\acute{a}x}$ ”. No entanto, para dispositivos com W_{fin} menores que $0,7\mu\text{m}$, os métodos “*Y-function*” e “McLarty” apresentaram os piores resultados chegando a quase 50% de erro para o dispositivo mais estreito ($W_{fin} = 50\text{nm}$). Já os métodos por $g_{m,m\acute{a}x}$ e *Split C-V* apresentaram ótimo comportamento para os dispositivos estreitos.

Para os métodos de separação da mobilidade foi observado que todos os métodos apresentaram um bom ajuste com o valor esperado para a mobilidade superior e lateral, mostrando um erro máximo de 11,3%.

Os resultados experimentais dos dispositivos de porta tripla foram divididos em três partes. Na primeira parte para os dispositivos pMOS de porta tripla com variação da largura de canal e redução da temperatura, foi observado que o módulo da tensão de limiar aumenta com a redução da temperatura, como esperado. Obteve-se uma excelente inclinação de sublimiar, próxima do valor ideal de 60mV/década , o que enfatiza a excelente qualidade da interface com o óxido de porta *high-k*. A inclinação de sublimiar diminui com a redução da temperatura como esperado, entretanto, essa redução é menor do que a variação teórica ($S \sim kT/q$). Foi observado também um aumento da mobilidade com a redução da temperatura que é devido à redução do espalhamento de fônons acústicos. Para dispositivos com menor largura de canal, há um aumento da mobilidade de lacunas μ_0 , este aumento é causado por dois mecanismos: (i) A mudança no mecanismo de condução dominante de $\langle 100 \rangle$ do canal superior para $\langle 110 \rangle$ dos canais laterais. (ii) Inversão de volume que ocorre resultando em menor espalhamento de superfície. O ponto chave é o maior valor de mobilidade de lacunas para os canais laterais.

Na segunda parte, para os dispositivos nMOS e pMOS de porta tripla com variação da largura de canal em temperatura ambiente, foi observado em ambos os dispositivos (nMOS e pMOS) um pequeno aumento da tensão de limiar com a redução de W . Com relação à inclinação de sublimiar, foi observado que para os dispositivos nMOS há uma redução desta com a redução da largura de canal, isto ocorre provavelmente devido a baixa dopagem do canal ($1 \times 10^{15} \text{ cm}^{-3}$) e o melhor controle do dispositivo pela porta quando a largura é reduzida. Foi observado um maior S para os dispositivos nMOS. Entretanto, nos dispositivos pMOS, a inclinação de sublimiar mantém-se praticamente constante com a variação da largura de canal

e com valor mais próximo ao ideal. Quanto à mobilidade de baixo campo, foi observado que para os dois dispositivos (nMOS e pMOS) foi encontrado um valor de mobilidade maior com o uso do método *Y-function*, sendo a diferença maior para dispositivos mais largos. Foi observado também que o comportamento do dispositivo nMOS é o inverso do dispositivo pMOS, enquanto para o nMOS há uma redução da mobilidade com a redução de W , para o pMOS há um aumento da mobilidade com a redução de W , isto ocorre devido a diferença da orientação cristalográfica da porta superior e laterais.

Na terceira parte, para dispositivos nMOS de porta tripla com variação do comprimento de canal e da temperatura foi observado um aumento mais pronunciado da inclinação de sublimiar e uma leve redução da tensão de limiar para os dispositivos abaixo de 140 nm, observando assim o efeito clássico de canal curto. Foi observada também uma redução da mobilidade com a redução do comprimento de canal. Foi observado também a evolução clássica das características em função da temperatura, as mesmas características foram observadas para todos os dispositivos estudados. A inclinação de sublimiar, S , diminui progressivamente. A tensão de limiar aumenta e a amplitude da máxima transcondutância aumenta com a redução da temperatura. Pôde ser observado também o aumento da mobilidade com a redução da temperatura devido à redução do espalhamento por fônons. Para os dispositivos de canal longo o espalhamento de fônons é dominante. Entretanto, pôde-se observar que o aumento da mobilidade obtido com a redução da temperatura é atenuado para dispositivos de canal curto, devido provavelmente à alta resistência série ou outros mecanismos especiais de espalhamento. Estes mesmos dispositivos foram submetidos à aplicação do método de magnetoresistência. Foram usados esses dispositivos com essas dimensões a fim de garantir o efeito da magnetoresistência que só aparece quando o $W \gg L$. O método de magnetoresistência é o único método que permite estudar o comportamento da mobilidade de portadores em regime de inversão fraca.

Em regime de inversão fraca, foi constatado que a curva experimental da mobilidade é similar a curva universal da mobilidade. Comparando as mobilidades por magnetoresistência e a mobilidade efetiva notou-se que a μ_{MR} maior que a mobilidade efetiva (μ_{eff}) sob condições de inversão forte. Uma diferença foi observada no regime de inversão fraca devido à imprecisão da extração nesta faixa

de polarização, onde a função Y não é mais válida. Por comparação, a mobilidade de efeito de campo (μ_{eff}) é menor, sobreestimando a ação do campo elétrico vertical.

Foram analisados também dispositivos SOI planares avançados do tipo p e do tipo n em temperatura ambiente, com comprimento de canal fixo ($10\mu\text{m}$) e largura de canal variável. Nestes dispositivos, há um forte acoplamento entre os canais da primeira e segunda interfaces (porta de cima e porta de baixo). A mobilidade em um canal está relacionada com a tensão aplicada na porta oposta. Devido a este fato foi analisado o comportamento da mobilidade de portadores na porta de cima em função da tensão aplicada na porta de baixo. Foi observado um forte aumento na mobilidade à medida que a interface oposta vai da acumulação para depleção e inversão. No entanto, o aumento apresentado na mobilidade (determinada com o método *Y-function*) para inversão do canal oposto é excessivo. Esta imprecisão ocorre devido à ativação simultânea dos dois canais de condução, que não são levados em consideração na equação do método. Quando somente um canal é ativado, sua mobilidade de baixo campo varia moderadamente. Com o aumento da polarização de porta oposta, a mobilidade extraída é anormalmente sobre estimada e a metodologia falha. As medidas realizadas mostraram que o efeito é geral: acontece tanto para elétrons como para lacunas, assim como para os canais da primeira e segunda interface. Observando a mobilidade extraída por $g_{m,\text{máx}}$ todos os resultados mostraram que a mobilidade extraída por este método é subestimada devido ao impacto do coeficiente de degradação da mobilidade e da resistência série. Quando somente um canal é ativado, mobilidade de baixo campo elétrico é mais corretamente determinada utilizando o método *Y-function*. Essas conclusões se aplicam tanto para os dispositivos nMOS quanto pMOS com variação da largura de canal. Foi observado que a mobilidade de elétrons e lacunas é maior na segunda interface (canal de baixo) e em dispositivos mais largos.

Como sugestão de sequência do trabalho recomenda-se fazer um estudo do comportamento da mobilidade com aplicação de tensão na interface oposta para os dispositivos analisados em baixa temperatura e em função do comprimento de canal, a fim de verificar possíveis efeitos de canal curto. Recomenda-se também fazer o mesmo estudo em baixa temperatura também para dispositivos SOI planares com óxido enterrado muito fino ($\text{BOX} = 25\text{nm}$). Além de realizar simulações dos dispositivos para melhor estudo dos efeitos físicos.

Recomenda-se também fazer um estudo através de simulações tridimensionais para os dispositivos de porta tripla, tanto para aplicação dos métodos tradicionais de extração da mobilidade quanto para o método por magnetoresistência.

9 Referências Bibliográficas

- ¹ Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2003 Edition, <http://www.itrs.net>
- ² Y. Taur, C. Wann, and D. Frank. 25 nm CMOS Design Considerations. Proc. Intl. Electron Devices Meeting, p. 789, 1998.
- ³ Y. Taur, D. Buchanan, W. Chen, D. Frank, K. Ismail, S. Lo, G. Sai-Halasz, R. Viswanathan, H. Wann, S. Wind, and H. Wong. CMOS Scaling into the Nanometer Regime. Proc. IEEE, vol. 85, n° 4, p. 486, 1997.
- ⁴ Y. Taur and E. Nowak. CMOS Devices below 0.1 μ m: How High Will Performance Go?. Proc. Intl. Electron Devices Meeting, p. 215, 1997.
- ⁵ Y. Taur. CMOS Design Near the Limit of Scaling. IBM J. Res. & Dev., vol. 46, n° 2/3, p. 213, 2002.
- ⁶ HUFF, H. R.; GILMER, D. C.. High Dielectric Constant Materials: VLSI MOSFET Applications. 1. ed Berlim: Springer, 2005.
- ⁷ COLINGE, J.P.. Multiple-gate SOI MOSFETs. Solid-State Electronics, vol 48, p. 897, 2004.
- ⁸ HISAMOTO, D.; KAGA, T.; TAKEDA, E.; Impact of the vertical SOI 'DELTA' structure on planar device technology. **IEEE Transaction on Electron Devices**. v.38, n.1, p.1419, 1991.
- ⁹ HISAMOTO, D.; *et al.*; A folded-channel MOSFET for deep-sub-tenth micron era. **Technical Digest International Electron Devices Meeting, 1998. IEDM**. p. 1032, 1998.
- ¹⁰ COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI, 3 Ed. Massachusetts (EUA): Kluwer Academic Publishers, 2004.
- ¹¹ Sze, S. M., Ng., Kwok K.. Physics of Semiconductor Devices, Third Edition, A JOHN WILEY & SONS, JNC., PUBLICATION 2007.
- ¹² LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Trans. Electron Devices**, v.30, n.10, p.1244, Outubro, 1983.
- ¹³ STURM, J. C.; TOKUNAGA, K. Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. Electronics Letters, v. 25, n. 18, p. 1233-1234, 1989.
- ¹⁴ COLINGE, J. P. Silicon-On-Insulator Technology. Materials to VLSI, 3 ed., Boston (MS): Kluwer Academic Publishers, 2004.
- ¹⁵ VEERARAGHAVAN, S.; FOSSUM J.G. Short-Channel Effects in SOI MOSFETs. IEEE Transactions on Electron Devices, 1989. v. 36, n. 3.
- ¹⁶ YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. IEEE Transactions on Electron Devices, 1989. v. 36, n. 2, p. 399-402.
- ¹⁷ SZE, S. M., Physics of Semiconductor Devices. New York, Wiley, 1981. 447 p.
- ¹⁸ NICOLETT, A. S., *et al.* Extraction of the lightly doped drain concentration of fully depleted SOI nMOSFETs using the back gate bias effect. **Solid-State Electronics**, v. 44, p. 677-684, 2000.
- ¹⁹ T. Ernst, S. Cristoloveanu, The ground-plane concept for the reduction of short-channel effects in fully depleted SOI devices, Electrochemical Society Proceedings, v. 99-3, p. 329, 1999.

-
- ²⁰ HU, G. J., et al. Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's. *IEEE Transactions on Electron Devices*, v. ED-34, 1987.
- ²¹ T. Skotnicki, F. Boeuf, "Introduction a la physique du transistor MOS," EGEM, 2002.
- ²² B. Tavel, F. Monsieur, P. Ribot, T. Skotnicki, "Investigations on Poly- SiGe gate in full 0.1 μ m CMOS integration, " *ESSDERC 2002*, pp. 127- 130.
- ²³ WILK, G. D.; WALLACE, R. M.; ANTHONY, J. M. High-k gate dielectrics: current status and materials properties considerations. *Journal of Applied Physics*, Melville, v. 89, n. 10, p. 5243–5275, May 2001.
- ²⁴ MASSOUD, H. Z.; SHIELY, J. P.; SHANWARE, A. Self-consistent MOSFET tunneling simulations: trends in the gate and substrate currents and the drain current turnaround effect with oxide scaling. In: HUFF, H. R. et al (Eds.). *Ultrathin SiO₂ and high-k materials for ULSI gate dielectrics*. Warrendale: Materials Research Society, 1999. p. 227–239 (Materials Research Society symposium proceedings, v. 567).
- ²⁵ GUSEV, E. P.; LU, H. C.; GARFUNKEL, E. L.; GUSTAFSSON, T.; GREEN, M. L. Growth and characterization of ultrathin nitrided oxide films. *IBM Journal of Research and Development*, Armonk, v. 43, n. 3, p. 265–268, May 1999.
- ²⁶ MOORE, G. E. Cramming more components onto integrated circuits. *Electronics*, Cleveland, v. 38, n. 8, p. 114–117, Apr. 1965.
- ²⁷ KINGON, A. I.; MARIA, J.-P.; STREIFFER, S. K. Alternative dielectrics to silicon dioxide for memory and logic devices. *Nature*, London, v. 406, n. 6799, p. 1032–1038, Aug. 2000.
- ²⁸ ROBERTSON, J. Electronic structure and band offsets of high-dielectricconstant gate oxides. *MRS Bulletin*, Pittsburgh, v. 27, n. 3, p. 217–221, Mar. 2002.
- ²⁹ E. Cartier, F.R. McFeely, V. Narayanan et al., "Role of Oxygen Vacancies in VFB/Vt stability of pFET metals on HfO₂", *VLSI Tech. Dig.*, 2005.
- ³⁰ P. Renade, Y.-K. Choi, D. Ha, A. Agarwal, M. Ameen, T. J. King: *IEDM Tech. Dig.*, p. 363, 2002.
- ³¹ S. Yu, J-P Lu, F. Mehrad et al., "45-nm node NiSi FUSI on nitrided oxide bulk CMOS fabricated by a novel integration process," *IEDM Tech. Dig.*, 2005.
- ³² E. Cartier, V. Narayanan, E. P. Gusev et al., "Systematic study of pFET Vt with Hf-based gate stacks with poly-Si and FUSI gates", *VLSI Tech. Dig.*, p. 44, 2004.
- ³³ M. Vinet, T. Poiroux, J. Widiez, J. Lolivier, B. Previtali, C. Vizioz, B. Guillaumot, Y. Le Tiec, P. Besson, B. Biasse, E. Allain, A. Casse, D. Lafond, J. M. Hartmann, Y. Morand, J. Chiaroni, S. Deleonibus, "Bonded planar double-metal-gate NMOS transistors down to 10 nm," *IEEE Electron Device Letters*, vol. 26, pp. 317-319, May 2005.
- ³⁴ D. Aime, B. Florent, F. Cacho et al., "Work function tuning through dopant scanning and related effects in Ni fully silicided gate for sub- 45nm nodes CMOS", *IEDM Tech. Dig.*, p. 87, 2004.
- ³⁵ D. G. Park, Z.J. Luo, N. Edleman et al., "Thermally robust dual-work function ALD-MNx MOSFETs using conventional CMOS process flow", *VLSI Tech. Dig.*, p. 186, 2004.
- ³⁶ S. I. Takagi, J. L. Hoyt, J. J. Welser, J. F. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 80, pp. 1567-1577, Aug 1996.

-
- ³⁷ J. Welser, J. L. Hoyt, J. F. Gibbons, "Growth and Processing of Relaxed- Si_{1-x}Ge_x Strained-Si Structures for Metal-Oxide-Semiconductor Applications," *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers*, vol. 33, pp. 2419-2422, Apr 1994.
- ³⁸ K. Rim, R. Anderson, D. Boyd, F. Cardone, K. Chan, H. Chen, S. Christensen, J. Chu, K. Jenkins, T. Kanarsky, S. Koester, B. H. Lee, K. Lee, V. Mazzeo, A. Mocuta, D. Mocuta, P. M. Mooney, P. Oldiges, J. Ott, P. Ronsheim, R. Roy, A. Steegen, M. Yang, H. Zhu, M. leong, H. S. P. Wong, "Strained SiCMOS (SS CMOS) technology: opportunities and challenges," *Solid-State Electronics*, vol. 47, pp. 1133-1139, Jul 2003.
- ³⁹ F. Andrieu, T. Ernst, C. Ravit, M. Jurczak, G. Ghibaudo, and S. Deleonibus, "In-depth characterization of the hole mobility in 50-nm process-induced strained MOSFETs," *IEEE Electron Device Letters*, vol. 26, pp. 755-757, Oct 2005.
- ⁴⁰ T. Ghani, M. Armstrong, et al., "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," *IEDM Tech. Dig.*, 2003.
- ⁴¹ K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo, "Characterization of the effective mobility by split C(V) technique in sub 0.1 μm Si and SiGePMOSFETs," *Solid-State Electronics*, vol. 49, pp. 721-726, May 2005.
- ⁴² C. H. Chen, T. L. Lee, T. H. Hou, et al., "Stress memorization technique (SMT) by selectively strained-nitride capping for sub-65nm highperformance strained-Si device application," *VLSI Tech. Dig.*, pp. 56-57, 2004.
- ⁴³ C. Gallon, C. Fenouillet-Beranger, N. Bresson, S. Cristoloveanu, F. Allibert, S. Bord, C. Aulnette, D. Delille, E. Latu-Romain, J. M. Hartmann, T. Ernst, F. Andrieu, Y. Campidelli, B. Ghyselen, I. Cayrefourcq, F. Fournel, N. Kernevez, and T. Skotnicki, "Ultra-thin strained SOI substrate analysis by pseudo-MOS measurements," *Microelectronic Engineering*, vol. 80, pp. 241-244, Jun 2005.
- ⁴⁴ M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, et al., "Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 97(1), article 011101, 2005.
- ⁴⁵ F. Andrieu, O. Weber, T. Ernst, O. Faynot and S. Deleonibus, *Microelectronic Engineering*, "Strain and channel engineering for fully depleted SOI MOSFETs towards the 32 nm technology node," Volume 84, Issues 9-10, pp. 2047-2053, September-October 2007.
- ⁴⁶ H. Shang, H. Okorn-Schmidt, J. Ott, P. Kozlowski, S. Steen, E.C. Jones, H.-S.P. Wong, W. Hanesch, "Electrical characterization of germanium channel MOSFETs," *IEEE Electron Device Letters*, vol. 24(4), pp. 242-244, 2003.
- ⁴⁷ X. L. Xia, G. Du, X. Y. Liu, et al., "Carrier effective mobilities in germanium MOSFET inversion layer investigated by Monte Carlo simulation," *Solid-State Electronics*, Vol. 49(12), pp. 1942-1946, 2005.
- ⁴⁸ H. Kim, P. C. McIntyre, C. O. Chui, et al., "Interfacial characteristics of HfO₂ grown on nitrided Ge (100) substrates by atomic-layer deposition", *Applied Physics Letters*, vol. 85(14), pp. 2902-2904, 2004.
- ⁴⁹ D. S. Yu, C. H. Huang, A. Chin, C. Zhu, M. F. Li, B. J. Cho, D. L. Kwong, "Al₂O₃ GeOnInsulator n and pMOSFETs With Fully NiSi and NiGe Dual Gates," *IEEE Electron Device Letters*, vol.25(3), pp. 138-140, 2004.
- ⁵⁰ COLINGE, J. P.. The evolution of Silicon-on-insulator MOSFETs. *Semiconductor Device Research Symposium, 2003 International*, p.354, 2003.

-
- ⁵¹ COLINGE, Jean-Pierre. Apresentação no curso MIGAS 2009, International Summer School on Advanced Microelectronics 12th Session. "SOI Concepts: From materials to devices and applications", 2009.
- ⁵² COLINGE, Jean-Pierre. FinFETs and Other Multi-gate Transistors, Springer Science+Business Media, LLC, 2008
- ⁵³ SEKIGAWA, T.; HAYASHI, Y.. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. Solid State Electronics, v.27, p. 827, 1984.
- ⁵⁴ HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E.. A Fully Depleted Lean-Channel Transistor (DELTA) - A Novel Vertical Ultra Thin SOI MOSFET. Technical Digest of IEDM, p. 833, 1989.
- ⁵⁵ HUANG, X.; LEE, W. C.; et al.. Sub 50-nm FinFET: PMOS. Technical Digest of IEDM, p. 67, 1999.
- ⁵⁶ LIU, Y. K.; ISHII, K.; et al.. Multi-thin double-gate MOSFET fabricated by using (110)-oriented SOI wafers and orientation-dependent etching. Electrochemical Society Proceedings 2003-05, p. 255, 2003.
- ⁵⁷ HIRAMOTO, T.. Nano-scale silicon MOSFET: towards non-traditional and quantum devices. IEEE International SOI Conference Proceedings, p. 8, 2001.
- ⁵⁸ JIAO, Z.; SALAMA, A. T.. A Fully depleted Δ -channel SOI nMOSFET. Electrochemical Society Proceedings 2001-3, p. 403, 2001.
- ⁵⁹ BAIE, X.; COLINGE, J. P.. Two-dimensional confinement effects in gate-all-around (GAA) MOSFETs. Solid State Electronics, v. 42, p.499, 1988.
- ⁶⁰ BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T.. Double-Gate Silicon-on-Insulator with volume inversion: A new device with greatly enhanced performance. IEEE Electron device letters, v. EDL-8, n. 9, p. 410, 1987.
- ⁶¹ COLINGE, J. P.; GAO, M. H.; ROMANO-RODRÍGUEZ, A.; CLAEYS C.. Silicon-on-Insulator "Gate-all-around device". Technical Digest of IEDM, p.595, 1990.
- ⁶² BAIE, X.; COLINGE, J. P.; BAYOT, V.; GRIVEI, E.. Quantum-wire effects in thin and narrow SOI MOSFETs. Proceedings of the IEEE International SOI Conference, p. 66, 1995.
- ⁶³ CHAU, R.; DOYLE, B.; KAVALIEROS, J.; BARLAGE, D.; MURTHY, A.; DOZKY, M.; ARGHAVANI, R.; DATTA, S.. Advanced Depleted-Substrate Transistors: Single-Gate, Double-Gate and Tri-Gate. Extended Abstracts of International Conference on Solid State Devices and Materials, SSDM, p. 68, 2002.
- ⁶⁴ DOYLE, B. S.; DATTA, S.; DOZKY, M.; JIN, B.; KAVALIEROS, J.; LINTON, T.; MURTHY, A.; RIOS, R.; CHAU, R.. High performance fully-depleted tri-gate CMOS transistors. IEEE Electron Device Letters, v. 24, n. 4, p. 263, 2003.
- ⁶⁵ PARK, J. T.; COLINGE, J. P.; DIAZ, C. H.. Pi-Gate SOI MOSFET. IEEE Electron Device Letters, vol 22, p. 405, 2001.
- ⁶⁶ YANG, F. L.; CHEN, H. Y.; et al.. 25 nm CMOS Omega FETs. Technical Digest of IEDM, p. 255, 2002.
- ⁶⁷ KRIVOKAPIC, Z.; TABERY, C.; et al.. High Performance 45nm CMOS Technology with 20 nm Multi-Gate Devices. Extended Abstracts of International Conference on Solid State Devices and Materials, SSDM, P. 760, 2003.
- ⁶⁸ PARK, J. T.; COLINGE, J. P.. Multiple-gate SOI MOSFETs: device design guidelines. IEEE Transactions on Electron devices, v. 49, p. 2222, 2002.
- ⁶⁹ COLINGE, J. P.; DIAZ, C. H.. Quasi-surrounding gate and a method of fabricating a silicon-on-insulator semiconductor device with the same. US Patents, 6.359.311.

- ⁷⁰ CRISTOLOVEANU, S.; BLALOCK, B.; ALLIBERT, F.; DUFRENE, B.; MOJARRADI, M.. The Four-Gate Transistor. ESSDERC 2002, p. 323, 2002.
- ⁷¹ LANDGRAF, E. et al.. Influence of crystal orientation and body doping on trigate transistor performance. Solid-State Electronics, v. 50, n. 1, p. 38, 2006.
- ⁷² COLINGE, J.P.. Novel Gate Concepts for MOS Devices. Proceedings of ESSDERC, v. 45, 2004.
- ⁷³ YAN, R-H.; OURMAZD, A; LEE, K. F.. Scaling the Si MOSFET: From Bulk to SOI to bulk. IEEE Transactions on electron devices, v. 39, n. 7, p. 1704, 1992.
- ⁷⁴ COLINGE, J. P.. Multiple-gate silicon-on-insulator MOS transistors. 18th Symposium on Microelectronics Technology and devices, invited paper, 2003.
- ⁷⁵ FRANCIS, P.; TERAQ, A.; FLANDRE D.; VAN DE WIELE, F.. Modeling of ultrathin double-gate nMOS/SOI Transistors. IEEE Transactions on electron devices, v. 41, n. 5, p. 715, 1994.
- ⁷⁶ FRANCIS, P.; TERAQ, A.; FLANDRE D.; VAN DE WIELE, F.. Moderate inversion model of ultrathin double-gate nMOS/SOI transistors. Solid-State Electronics, v. 38, n. 1, p. 171, 1995.
- ⁷⁷ GE, L.; FOSSUM, J.G.; GÁMIZ, F.. Mobility Enhancement via Volume Inversion in Double-Gate MOSFETs. Proceedings of the IEEE International SOI Conference, p.153, 2003.
- ⁷⁸ GÁMIZ, F.; ROLDÁN, J. B.; et al.. Monte Carlo simulation of electron transport in silicon-on-insulator devices. Electrochemical Society Proceedings, v. 2001-3, p. 157, 2001.
- ⁷⁹ MAJKUSIAK, B.; JANIĆ, T.; WALCZAK, J.. Semiconductor Thickness Effects in the Double-Gate SOI MOSFET. IEEE Transactions on Electron Devices, v. 45, n.5, p. 1127, 1998.
- ⁸⁰ ERNST, T.; CRISTOLOVEANU, S.; et al. Ultimately Thin Double-Gate SOI MOSFETs. IEEE Transactions on Electron Devices, v. 50, n. 3, p. 830, 2003.
- ⁸¹ H. S. P. WONG, K. K. CHAN, AND Y. TAUR. Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel. IEDM Tech. Dig., p. 427, 1997.
- ⁸² HUANG, X.; LEE, W. C.; et al.. Sub 50-nm FinFET: PMOS. Technical Digest of IEDM, p. 67, 1999.
- ⁸³ HISAMOTO, D.; LEE W.-C.; KEDZIERSKI, J.; ASANO, K.; KUO, C.; ANDERSON, E.; KING, T.-J.; BOKOR, J.; HU, C.. FinFET – a self aligned double-gate MOSFET scalable to 20 nm. IEEE Transactions on Electron Devices, v. 47, p. 2320, 2000.
- ⁸⁴ LELAND CHANG; YANG-KYU CHOI; KEDZIERSKI, J.; LINDERT, N.; PEIQI XUAN; BOKOR, J.; CHENMING HU; TSU-JAE KING. Moore's law lives on [CMOS transistors]. Circuits and Devices Magazine - IEEE, v. 19, Jan. 2003.
- ⁸⁵ HISAMOTO, D.; WEN-CHIN LEE; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; ASANO, K.; TSU-JAE KING; BOKOR, J.; CHENMING HU. A folded-channel MOSFET for deep-sub-tenth micron era. Electron Devices Meeting - IEDM '98 Technical Digest, 1998.
- ⁸⁶ SHOJI, M., HORIGUCHI, S.. Electronic structures and phonon-limited electron mobility double-gate silicon-on-insulator Si inversion layers. Journal of Applied Physics, v. 85 p. 2722, 1999.
- ⁸⁷ CHOI, Y.-K.; HÁ,D.; KING, T.-J.; HU, C.. Threshold voltage shift by quantum confinement in ultra fin body device. 59th Device Research Conference. P. 85, 2001.
- ⁸⁸ V. Kilchytska et al.. Mobility characterization in FinFETs using split C-V technique. Proc. 6th Eur. Workshop Ultimate Integration of Silicon (ULIS), p. 117, 2005.

-
- ⁸⁹ T. Sato, Y. Takeishi, H. Hara: Effects of Crystalgraphical Orientation on Mobility, Surface State Density and Noise in p-Type Inversion Layer on oxidized Si Surfaces. *Japanese Journal of Applied Physics* 8-5, 588 (1969)
- ⁹⁰ T. Sato, Y. Takeishi, H. Hara: Mobility Anisotropic of Electron in Inversion Layers on Oxidized Silicon Surfaces. *Physical Review B* 4-6, 1950 (1971)
- ⁹¹ S. Takagi, A. Toriumi, M. Iwase, H. Tango: On the Universality of Inversion Layer Mobility in Si MOSFET's: Part II-Effects of Surface Orientation. *IEEE Transactions on Electron Devices* 41-12, 2362 (1994)
- ⁹² M. Yang, M. leong, L. Shi, K. Chan, V. Chan, A. Chou, E. Gusev, K. Jenkins, D. Boyd, Y. Ninomiya, D. Pendleton, Y. Surpris, D. Heenan, J. Ott, K. Guarini, C. D'Emic, M. Cobb, P. Mooney, B. To, N. Rovedo, J. Benedict, R. Mo, H. Ng: High Performance CMOS Fabricated on Hybrid Substrate with Different Crystal Orientations. *Technical Digest of IEDM*, 18.7.1 (2003)
- ⁹³ Livro digital Zegbroeck <http://ecee.colorado.edu/~bart/book/>
- ⁹⁴ CURRIE, M. T. et al.. Carrier mobilities and process stability of strained Si n- and p-MOSFETs on SiGe virtual substrates. *J. Vac. Sci. Technol. B* 19 (6), 2001
- ⁹⁵ JEON, D. S. e BURK, D. E.. MOSFET Electron Inversion Layer Mobilities – A physically Based Semi-Empirical Model for a wide temperature range, *IEEE Transactions on electron devices*, v. 36, n. 8, 1989.
- ⁹⁶ A. G. Sabnis, J. T. Clemens, "Characterization of electron mobility in the inverted (100) surface", *IEDM Tech. Dig.*, p. 18, 1979.
- ⁹⁷ J. T. Watt, J. D. Plummer, "Universal mobility-field curves for electrons and holes in MOS inversion layers," *VLSI Tech. Dig.*, pp.81-82, 1987.
- ⁹⁸ S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the Universality of Inversion Layer Mobility in Si Mosfets .2. Effects of Surface Orientation," *IEEE Transactions on Electron Devices*, vol. 41, pp. 2363-2368, Dec 1994.
- ⁹⁹ S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the Universality of Inversion Layer Mobility in Si Mosfets .1. Effects of Substrate Impurity Concentration," *IEEE Transactions on Electron Devices*, vol. 41, pp. 2357-2362, Dec 1994.
- ¹⁰⁰ K. Chen, H.C. Wann, J. Dunster, P.K. Ko, C.H. Yshida, "MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages", *Solid-State Electronics*, vol. 39(10), p. 1515, 1996.
- ¹⁰¹ M.V. Fischetti, D. Neumayer, E. Cartier, "Effective electron mobility in Si inversion layers in metal-oxide-semiconductor systems with a high-k insulator : the role of the remote phonon scattering", *Journal of Applied Physics*, vol. 90(9), 2001.
- ¹⁰² S. Saito, D. Hisamoto, S. Kimura, M. Hiratani, "Unified mobility model for high-k gate stacks", *IEDM Tech. Dig.*, p. 797, 2003.
- ¹⁰³ J. Koga, S. Takagi, A. Toriumi, "Influences of buried-oxide interface on inversion-layer mobility in ultra-thin SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 49(6), pp.1042-1048, 2002.
- ¹⁰⁴ S. I. Takagi, J. L. Hoyt, J. J. Welser, J. F. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide- semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 80, pp. 1567-1577, Aug 1996.
- ¹⁰⁵ K. Uchida, H. Watanabe, A. Kinoshita et al., "Experimental Study on Carrier Transport Mechanism in Ultra-thin-body SOI n- and p- MOSFETs with SOI thickness less than 5nm", *IEDM Tech. Dig.*, p. 4, 2002.

-
- ¹⁰⁶ G. Shahidi, D. Antoniadis, H. Smith, "Electron Velocity Overshoot at Room and Liquid Nitrogen Temperatures in Silicon Inversion Layers", *Ieee Transactions on Electron Devices*, vol. 8(2), p. 94, 1988.
- ¹⁰⁷ M. S. Shur, "Low ballistic mobility in submicron HEMTs," *Ieee Electron Device Letters*, vol. 23, pp. 511-513, Sep 2002.
- ¹⁰⁸ K. Natori, "Ballistic metal-oxide-semiconductor field-effect transistor," *Journal of Applied Physics*, vol. 76, p. 4879, 1994.
- ¹⁰⁹ M. Lundstrom, "On the mobility versus drain current relation for a nanoscale MOSFET", *Ieee Electron Device Letters*, vol. 22(6), p. 293, 2001.
- ¹¹⁰ M. Lundstrom, "Elementary Scattering Theory of the Si MOSFET", *Ieee Electron Device Letters*, vol.18(7), p. 361, 1997.
- ¹¹¹ M. S. Shur, "Low ballistic mobility in submicron HEMTs," *Ieee Electron Device Letters*, vol. 23, pp. 511-513, Sep 2002.
- ¹¹² A. Lochtefeld and D. A. Antoniadis, "Investigating the relationship between electron mobility and velocity in deeply scaled NMOS via mechanical stress," *Ieee Electron Device Letters*, vol. 22, pp. 591-593, Dec 2001.
- ¹¹³ K. Romanjek, "Caracterisation electrique et modelisation des transistors CMOS des technologies 50nm et en deca", These de doctorat, Institut National Polytechnique de Grenoble, 2004.
- ¹¹⁴ D. S. Jeon and D. E. Burk, "Mosfet Electron Inversion Layer Mobilities - a Physically Based Semi-Empirical Model for a Wide Temperature- Range," *Ieee Transactions on Electron Devices*, vol. 36, pp. 1456-1463, Aug 1989.
- ¹¹⁵ S. Kawaji, "2-dimensional lattice scattering mobility in a semiconductor inversion layer," *Journal of the Physical Society of Japan*, vol. 27(4), p. 906, 1969.
- ¹¹⁶ F. Stern, W. E. Howard, Properties of Semiconductor Surface inversion Layers in Electric Quantum Limit, *Physical Review*, vol. 163(3), p.816, 1967.
- ¹¹⁷ D. Chanemougame, "Conception et fabrication de nouvelles architectures CMOS et etude du transport dans les canaux de conduction ultra-minces obtenus avec la technologie SON" , these INPG, 2005.
- ¹¹⁸ M. V. Fischetti, Z. Ren, P. M. Solomon, et al., "Six-band k center dot p calculation of the hole mobility in silicon inversion layers: Dependence on surface orientation, strain, and silicon thickness," *Journal of Applied Physics*, vol. 94(2), pp. 1079-1095, 2003.
- ¹¹⁹ M. Shur, "Physics of Semiconductor Devices," Prentice Hall, May 1990.
- ¹²⁰ K. Seeger, "Semiconductor Physics, 2nd ed.", Springer-Verlag, Berlin, 1982.
- ¹²¹ B. R. Nag, *Electron Transport in Compound Semiconductors*, Springer – Verlag, Berlin, 1980.
- ¹²² C. Hamaguchi, "Basic Semiconductor Physics", Springer; 1st ed. 2001
- ¹²³ P. Kireev, "La physique des semiconducteurs", Editions MIR Moscou, 1975
- ¹²⁴ H.Weiss, H.Welker, "Zur transversalen magnetischen Widerstandsanderung von InSb", *Zeitschr. fur Physik*, vol.138, pp. 322- 329, 1954.
- ¹²⁵ R. F. Wick, "Solution of the Field Problem of the Germanium Gyrator," *Journal of Applied Physics*, vol. 25(6), pp. 741-756, 1954.
- ¹²⁶ S. Lakeou, S. Cristoloveanu, A. Chovet, "Magnetoresistance Effect in near Intrinsic Semiconductors – Influence of Sample Geometry – New Method for Determination of Carrier Densities and Mobilites," *Physica Status Solidi a-Applied Research*, vol. 43(1), pp. 213-222, 1977.
- ¹²⁷ J. H. Lee, "Transport magneto-electronique dans les couches minces de silicium sur saphir," these INPG, 1981.

- ¹²⁸ G. Ghibaudo. New method for the extraction of MOSFETs parameters. *Electron. Lett.*, 24:543, 1988.
- ¹²⁹ P. K. McLarty, S. Cristoloveanu, O. Faynot, V. Misra, J. R. Hauser and J. J. Wortman, A simple parameter extraction method for ultra-thin oxide MOSFETs, *Solid State Electronics*, v. 38, n. 6, (1995).
- ¹³⁰ O. Faynot, S. Cristoloveanu et al., A New Parameter Extraction Method for Ultra-thin Oxide SOI MOSFET's, *Proc. IEEE International SOI Conference*, 17 (1994).
- ¹³¹ T. Rudenko et al., Effective mobility in FinFET structures with HfO₂ and SiON gate dielectrics and TaN gate electrode *Microelectronic Engineering*, **80**, 386 (2005).
- ¹³² F. Daugé, et al., Coupling effects and channel separation in FinFETs, *Solid State Electronics*, **48**, 535 (2004).
- ¹³³ V. Kilchytska et al., Mobility characterization in FinFETs using split C-V technique, *Proc. ULIS*, 117 (2005).
- ¹³⁴ K. Romanjek et al., Improved Split C-V Method for Effective Mobility Extraction in sub-0.1- μm Si MOSFETs, *IEEE Electron Devices Letter*, **25**, 583 (2004).
- ¹³⁵ Vikram V. Iyengar, et al., Extraction of the Top and Sidewall Mobility in FinFETs and the Impact of Fin-Patterning Processes and Gate Dielectrics on Mobility *IEEE Transactions on Electron Devices*, 54, 1177 (2007)
- ¹³⁶ Atlas user's manual, Device simulation software, Silvaco International, v. 1 e 2, 2002.
- ¹³⁷ Shirahata M., H. Kusano, N. Kotani, S. Kusanoki, and Y. Akasaka, "A Mobility Model Including the Screening Effect in MOS Inversion Layer", *IEEE Trans. Computer-Aided Design* Vol. 11, No. 9 (Sept. 1992): 1114-1119.
- ¹³⁸ N. Collaert et al., Symp. On VLSI technology digest of technical papers, 108-9 (2005).
- ¹³⁹ D. Hisamoto et al. "A folded-channel MOSFET for deep-sub-tenth micron era". *IEDM Tech Dig*, p. 1032 (1998).
- ¹⁴⁰ A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada and Y. Yue. "A review of recent mosfet threshold voltage extraction methods". *Microelectronics Reliability* 42, 4-5, 583 (2002).
- ¹⁴¹ F. Dauge, J. Pretet, S. Cristoloveanu, A. Vandooren, L. Mathew, J. Jomaah, B.-Y. Nguyen, "Coupling effects and channels separation in FinFETs". *Solid State Electronics*, 48, 535 (2004).
- ¹⁴² Celler GK, Cristoloveanu S, *Frontiers of silicon-on-insulator*. *J. Appl. Phys* 93 (9) (2003).
- ¹⁴³ T. Rudenko *et al*, *Micr. Eng.* Vol 80, p.386, 2005.
- ¹⁴⁴ F. Andrieu, T. Ernst, O. Faynot, O. Rozeau, Y. Bogumilowicz, J. M. Hartmann, L. Brevard, A. Toffoli, D. Lafond, B. Ghyselen, F. Fournel, G. Ghibaudo, S. Deleonibus, "Performance and physics of sub-50 nm strained Si on Si_{1-x}Gex-on-insulator (SGOI) nMOSFETs," *Solid-State Electronics*, vol. 50, pp. 566-572, Apr 2006.
- ¹⁴⁵ Elewa T et al., "Performance and physical mechanisms in SIMOX MOS transistors operated at very low temperature." *IEEE Trans. Electron Dev.* 1990; 37: 1007-19.
- ¹⁴⁶ N. Rodriguez, S. Cristoloveanu, F. Gamiz, *J. Appl. Phys.* **102**, 083712 (2007).
- ¹⁴⁷ S. Cristoloveanu and S.S. Li, "Electrical characterization of SOI materials and devices". Norwell, MA: Kluwer, (1995).
- ¹⁴⁸ L. Pham-Nguyen et al. 2008 IEEE International SOI Conference, 25 (2008).
- ¹⁴⁹ J. Pretet et al. *Solid-State Electronics*, **46**, 1699 (2002).
- ¹⁵⁰ P. R. Jay and R. H. Wallis, "Magnetotransconductance Mobility Measurements of Gaas-Mesfets," *Electron Device Letters*, vol. 2, pp. 265-267, 1981.

-
- ¹⁵¹ D. C. Look and G. B. Norris, "Classical Magnetoresistance Measurements in Al_xGa_{1-x}As/GaAs Modfet Structures – Determination of Mobilities," *Solid-State Electronics*, vol. 29, pp. 159-165, Feb 1986.
- ¹⁵² J. R. Sites and H. H. Wieder, "Magnetoresistance Mobility Profiling of Mesfet Channels," *IEEE Transactions on Electron Devices*, vol. 27, pp. 2277-2281, 1980.
- ¹⁵³ W. Chaisantikulwat, M. Mouis, G. Ghibaudo, S. Cristoloveanu, J. Widiez, M. Vinet, S. Deleonibus. "Experimental Evidence of Mobility Enhancement in Short-Channel Ultra-thin Body Double-Gate MOSFETs." 36th European Solid State Device Research Conference (ESSDERC), Montreux, Switzerland (2006).
- ¹⁵⁴ G. Ghibaudo, "Transport in the Inversion Layer of a Mos-Transistor - Use of Kubo-Greenwood Formalism," *Journal of Physics C-Solid State Physics*, vol. 19, pp. 767-780, Feb 20 1986.
- ¹⁵⁵ J. Antoszewski, M. Gracey, J. M. Dell, L. Faraone, T. A. Fisher, G. Parish, Y. F. Wu, and U. K. Mishra, "Scattering mechanisms limiting two-dimensional electron gas mobility in Al_{0.25}Ga_{0.75}N/GaN modulation-doped field-effect transistors," *Journal of Applied Physics*, vol. 87, pp. 3900-3904, Apr 15 2000.
- ¹⁵⁶ T. V. Chandrasekhar Rao et al., *J. Appl. Phys.*, **103**, no. 3 (2008).
- ¹⁵⁷ G. Ghibaudo, *Electron Lett.* **24**, 543 (1988).
- ¹⁵⁸ Y. M. Meziani, J. Usakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Boeuf, and T. Skotnicki : Magnetoresistance characterization of nanometer Si metal-oxide-semiconductor transistors, *J. Appl. Phys.*, v. 96, n. 10, pp. 5761, Nov., 2004.
- ¹⁵⁹ L. Donetti, F. Gamiz and S. Cristoloveanu: Monte Carlo Simulation of Hall and magnetoresistance mobility in SOI devices, *Solid State Electron*, v. 51, n.9, pp. 1216, 2007.
- ¹⁶⁰ A. Ohata, ESSDERC 2004, 109 (2004).
- ¹⁶¹ L. Pham-Nguyen et al, 5th EUROSOSI Workshop, Goteborg, Sweden (2008).