UNIVERSIDADE DE SÃO PAULO

PROJETO DE CIRCUITOS PARA GERAÇÃO DE TENSÃO DE REFERÊNCIA EM SISTEMAS RECEPTORES/TRANSMISSORES RF

Cristian Otsuka Hamanaka

Dissertação de Mestrado apresentada à Escola Politécnica da Universidade de São Paulo, para obtenção do Título de Mestre, pelo curso de Pós Graduação em Engenharia Elétrica – Área de concentração: Microeletrônica.

São Paulo 2007

UNIVERSIDADE DE SÃO PAULO

PROJETO DE CIRCUITOS PARA GERAÇÃO DE TENSÃO DE REFERÊNCIA EM SISTEMAS RECEPTORES/TRANSMISSORES RF

Cristian Otsuka Hamanaka

Dissertação de Mestrado apresentada à Escola Politécnica da Universidade de São Paulo, para obtenção do Título de Mestre, pelo curso de Pós Graduação em Engenharia Elétrica – Área de concentração: Microeletrônica.

Orientador: João Navarro Soares Júnior

São Paulo 2007

Ao meu pai Maurício Hiroomi Hamanaka, in memoriam, e a minha mãe aos quais devo, em grande parte, o que hoje sou.

"Uma longa jornada começa pelo primeiro passo" (Provérbio Chinês)

AGRADECIMENTOS

Ao meu orientador Doutor João Navarro Soares Junior, por todo o apoio e pela oportunidade de desenvolver este trabalho.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo apoio financeiro dado através da bolsa de mestrado.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pelo financiamento da fabricação dos circuitos integrados.

Ao Laboratório de Sistemas Integráveis (LSI) e ao Laboratório de Microeletrônica, pela disposição de sua infra-estrutura física para o desenvolvimento deste trabalho.

Aos professores Wilhelmus, Charry e Malu e a todos os colegas do LSI tanto da área de projetos quanto da área de processos: Alex, Angélica, Bruno, Catalina, Fernando, Murilo, Paulo, Patrick, Peter, Priscila, Rodrigo, Sérgio e Sidney.

À minha noiva por todo apoio nesta etapa da minha vida e à minha família que sempre motivou meus estudos.

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 09 de Julho de 2007.

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Hamanaka, Cristian Otsuka Projeto de Circuitos para Geração de Tensão de Referência em Sistemas Receptores/Transmissores RF / C.O. Hamanaka. São Paulo, 2007. 82 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Microeletrônica 2.Circuitos integrados MOS 3.Circuitos Analógicos I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

SUMÁRIO

LISTA I	DE FIGURAS	vi
LISTA DE TABELASviii		
LISTA I	DE ABREVIATURAS E SIGLAS	X
LISTA I	DE SIMBOLOS	xi
RESUM	0	xiii
ABSTR	ACT	.xv
1. IN7	FRODUÇÃO	1
1.1.	Motivação	1
1.2.	Objetivos	2
1.3.	Descrição dos capítulos do trabalho	3
2. AS	PÉCTOS TEÓRICOS	4
2.1.	Arquitetura da Fonte de Referência	5
2.2.	Divisor de Tensão Passivo/Ativo	5
2.3.	Tensão de Referência com Junção p-n Reversamente Polarizada	6
2.4.	Referências Bandgap	9
2.5.	Polarização Independente da Tensão de Alimentação para Circuito	
Bandg	gap	. 13
2.6.	Espelhos de Corrente	. 13
2.7.	Auto polarização	. 14
3. MÉ	TODO	. 19
3.1.	Especificações Iniciais	. 19
3.2.	Funcionamento Básico do Circuito de Tensão de Referência Bandgap	. 20
3.3.	Tecnologia de 0,35 µm da AMS [20]	. 24
3.4.	Transistor Bipolar Parasita	. 25
3.5.	Simulação do Circuito Integrado	. 27
4. CO	NSIDERAÇÕES DE PROJETO E LAYOUT	. 28
4.1.	Projeto	. 28
4.2.	Circuito de Inicialização	. 31
4.3.	Layout	. 32
4.4.	Resultados de simulação	. 37
4.5.	Conclusões parciais	. 44
5. RE	SULTADOS E DISCUSSÕES	. 45
5.1.	Procedimento experimental	. 46
5.2.	Resultados de caracterização	. 50
5.2.1.	Caracterização com a tensão de alimentação	. 50
5.2.2.	Caracterização com a temperatura	. 53
6. CO	NCLUSÕES	. 56
6.1.	Sugestões para trabalhos futuros	. 58
ANEXO A		
ANEXO B		
ANEXO C		
7. BIBLIOGRAFIA		

LISTA DE FIGURAS

Figura 1. Exemplo de um sistema de sinal misto
Figura 2. Divisor de tensão passivo
Figura 3. Divisor de tensão ativo
Figura 4. Exemplo de uma fonte de tensão com <i>zener</i>
Figura 5. Diagrama de blocos de uma Referência de Tensão Bandgap 10
Figura 6. Circuito Bandgap clássico
Figura 7. Espelho de corrente MOS simples14
Figura 8. Circuito de referência de corrente CMOS
Figura 9. Pontos de operação estáveis do circuito de referência de correntes 18
Figura 10. Esquemático do circuito <i>bandgap</i>
Figura 11. Vista em corte de um transistor PNP lateral parasitário disponível na
AMS
Figura 12. Layout do transistor PNP lateral parasitário disponível na AMS
Figura 13. Vista em corte do transistor bipolar PNP vertical parasitário disponível
pela AMS
Figura 14. Layout do transistor PNP vertical parasitário disponível na AMS27
Figura 15 . Gráfico de log (- I_{DS}) x V_{GS} para os transistores M_3 e M_4 com $VDS = 3,3$
V
Figura 16 . Gráfico de V_{OUT} e V_C em função do tempo
Figura 17. (a) Transistor dividido em estruturas paralelas. (b) Layout de um
transistor em dedos
Figura 18. (a) Esquemático de um circuito par diferencial. (b) Esboço do <i>Layout</i> do
circuito par diferencial utilizando a técnica de centróide comum
Figura 19 . <i>Layout</i> do resistor R_1 em silício policristalino de alta resistividade
(RPOLYH) com dimensões de 286,5 µm x 5 µm
Figura 20. Layout do circuito bandgap com resistores de internos (dimensões de 220
μm x 76 μm)
Figura 21. Layout do circuito bandgap sem os resistores (dimensões de 190 µm x 36
μm, sem <i>PADs</i>)

Figura 22. Gráfico de $I_D \ge V_{DD}$ dos transistores $M_1, M_2, M_3 \ge M_4$, utilizando
parâmetros típicos da tecnologia e temperatura de 50 °C.
Figura 23. Gráfico de V_{R1} x Temperatura, utilizando os parâmetros típicos (TM),
worst speed (WS) e worst power (WP) da tecnologia e com V_{DD} de 3,3 V 39
Figura 24. Gráfico de I_D x Temperatura dos transistores M_1 , M_2 , M_3 e M_4 , utilizando
parâmetros típicos da tecnologia e com $V_{DD} = 3,3$ V
Figura 25. Gráficos de simulação de $V_{OUT} \ge V_{DD}$ do circuito de <i>bandgap</i> para
diferentes temperaturas (-40 °C, 50 °C e 120 °C), utilizando parâmetros típicos.
Figura 26. Gráfico de $V_{OUT} \ge V_{DD}$ do circuito <i>bandgap</i> utilizando os parâmetros
típicos (TM), worst speed (WS) e worst power (WP) e temperatura de 50 °C. 42
Figura 27. Gráfico de Vout x Temperatura do circuito bandgap utilizando os
parâmetros típicos (TM), worst speed (WS) e worst power (WP) e $V_{DD} = 3,3$ V.
Figura 28. Fotomicrografia do circuito <i>bandgap</i> fabricado (a) com resistores
integrados e (b) sem resistores45
Figura 29. Diagrama para encapsulamento do circuito integrado
Figura 30. Câmara Climática VT 4004 da Vötsch Industrietechnik usado nas
medidas com a temperatura47
Figura 31. Foto da montagem em uma placa de fenolite usada nas medidas
Figura 32. Caracterização da amostra <i>am2.1</i> com a variação da temperatura
utilizando dois procedimentos diferentes ($V_{DD} = 3,3$ V)
Figura 33. Medidas da tensão de saída em relação à alimentação dos circuitos com
resistores integrados, realizadas à temperatura ambiente de 27 °C 52
Figura 34. Medidas da tensão de saída em relação à alimentação dos circuitos com
resistores externos, realizadas à temperatura ambiente de 27 °C53
Figura 35. Medidas da tensão de saída em relação à temperatura, dos circuitos com
resistores integrados ($V_{DD} = 3,3$ V)
Figura 36. Medidas da tensão de saída em relação à temperatura, dos circuitos sem

LISTA DE TABELAS

Tabela 1. Vantagens e desvantagens dos circuitos de tensão de referência mais
utilizados12
Tabela 2. Especificações iniciais de projeto. 19
Tabela 3. Tamanho dos componentes do circuito <i>bandgap</i> projetado
Tabela 4. Camadas disponíveis para implementar resistores e respectivas
resistividades e coeficientes de temperatura35
Tabela 5. Valores das correntes de dreno nos transistores M_1 e M_2 e relação entre
elas para algumas tensões de alimentação
Tabela 6. Valores das correntes de dreno nos transistores M_1 e M_2 e relação entre
elas para algumas temperaturas de operação40
Tabela 7. Valores de V_{OUT} para as temperaturas de -40 °C, 50 °C e 120 °C do
circuito <i>bandgap</i> nas tensões de 2 V, 3,3 V e 4 V
Tabela 8. Valores máximo e mínimo de V_{OUT} para diferentes parâmetros de
simulação, na faixa de temperatura -40 a 120 °C44
Tabela 9. Valores de tensão de saída para tensões de alimentação mínima (1,8 V) e
máxima (3,3 V), para o circuito <i>bandgap</i> com resistores integrados51
Tabela 10. Valores de tensão de saída para tensões de alimentação mínima (1,8 V) e
máxima (3,3 V), para o circuito <i>bandgap</i> sem resistores integrados52
Tabela 11: Tabela comparativa entre os resultados de medidas e as especificações
iniciais para os circuitos com resistores integrados
Tabela 12: Tabela comparativa entre os resultados de medidas e as especificações
iniciais para os circuitos sem resistores integrados58
Tabela 13. Valores da tensão de saída em função da tensão de alimentação para o
circuito <i>bandgap</i> com resistores integrados78
Tabela 14. Valores da tensão de saída em função da tensão de alimentação para o
circuito <i>bandgap</i> utilizando resistores externos, com $R_1 = 68,79 \text{ K}\Omega$ 78
Tabela 15. Valores da tensão de saída em função da temperatura de operação para o
circuito <i>bandgap</i> com resistores integrados79

Tabela 16. Valores da tensão de saída em função da tensão temperatura de operação
para amostras o circuito <i>bandgap</i> utilizando resistores externos, com $R_1 = 68,79$
ΚΩ79

LISTA DE ABREVIATURAS E SIGLAS

A/D	Analógico/Digital	
AMS	Austriamicrosystems	
BiCMOS	Bipolar-CMOS	
CI	Circuito Integrado	
CMOS	Complementary Metal-Oxide-Semiconductor	
CMP	Circuits Multi-Projets	
CTAT	Complementary to Absolute Temperature	
D/A	Digital/Analógico	
DC-DC	Direct Current-Direct Current	
DIL	Dual in Line	
ESD	Eletro Static Discharge	
	Laboratorio de Sistemas Integrados da Universidade de São	
L01-00F	Paulo	
MOS	Metal-Oxide-Semiconductor	
MOSFET	Metal-Oxide-Semiconductor Field Transistors	
PTAT	Proportional to Absolute Temperature	
RF	Radio Frequencia	
RDIFFN	Resistor fabricado com camada de difusão N	
RDIFFP	Resistor fabricado com camada de difusão P	
RNWELL	Resistor fabricado com poço N	
	Resistor fabricado com camada de silício policristalino de	
	alta resistividade	
RPOLY	Resistor fabricado com camada de silício policristalino	
RPOLY2	Resistor fabricado com camada de silício policristalino	
TBJ ou BJT	Transistor Bipolar de Junção	
TC	Temperature Coefficient	
TCR	Temperature Coefficient Resistence	
tm	Typical Mean Condition	
wp	Worst Case Power Condition	
WS	Worst Case Speed Condition	

LISTA DE SIMBOLOS

А	Área da junção base emissor	
β	Fator de ganho do transistor MOS	
С	Constante para determinar a mobilidade	
С	4 - η	
Cdb	Capacitância parasita entre dreno/substrato	
Csb	Capacitância parasita entre fonte/substrato	
\overline{D}	Constante de difusão efetiva dos portadores minoritários na base	
D ₁	Transistor bipolar conectado como diodo	
D ₂	Transistor bipolar conectado como diodo	
G	Ganho	
I ₁	Corrente através dos transistores M ₁ e M ₃	
I ₂	Corrente através dos transistores M ₂ e M ₄	
I_5	Corrente de dreno do transistor M ₅	
I _C	Corrente de Coletor	
I _D	Corrente de dreno	
I _{DO}	Corrente característica do transistor em inversão fraca	
I _S	Corrente de saturação	
k	Constante de Boltzmann	
L	Comprimento do canal do transistor MOS	
Μ	Transistor MOS	
Ms	Transistor de start-up do circuito bandgap	
n	Fator de slope do transistor MOS	
η	Coeficiente de temperatura para a mobilidade	
NB	Número Gummel	
ni	Concentração intrínseca de portadores	
q	Carga do elétron	
Q	Transistor Bipolar Vertical Parasitário	
R	Resistor	
S	Relação entre a largura e o comprimento do canal transistor (W/L)	
Т	Temperatura	
T _R	Temperatura de Referência	
UT	Tensão térmica	
V_{BE}	Tensão base-emissor de um transistor Bipolar	
V _C	Tensão de controle do circuito	
V _D	Tensão sobre o diodo	
V_{DD}	Tensão de alimentação do circuito	

V _{DS}	Tensão dreno-fonte		
V_{GO}	Tensão da banda proibida do silício		
V _{GS}	Tensão porta-fonte		
Vo	Tensão de saída		
V _{OUT}	Tensão de saída do circuito bandgap		
Variation	Tensão de saída do circuito bandgap obtida por simulação usando		
V OUT(tm)	parâmetros típicos		
V	Tensão de saída do circuito bandgap obtida por simulação usando		
V OUT(wp)	parâmetros fast		
V	Tensão de saída do circuito bandgap obtida por simulação usando		
VOUT(ws)	parâmetros slow		
V _{R1}	Tensão sobre o resistor R ₁		
V _{R2}	Tensão sobre o resistor R ₂		
V_{REF}	Tensão de referência		
V _{SS}	Tensão de terra do circuito		
Vz	Tensão de Zener ou breakdown		
х	É o coeficiente de temperatura da corrente de dreno do transistor M_{5}		
Υ	Número constante		
W	Largura do canal do transistor MOS		

RESUMO

Este trabalho consiste no projeto de uma Fonte de Tensão de Referência CMOS com coeficiente de temperatura inferior a 50 ppm/°C. Esta fonte deve ser aplicada em receptores/transmissores de radio freqüência mas pode também ser utilizada em qualquer sistema analógico. A tecnologia utilizada foi a CMOS 0,35 µm da AMS (Austria Micro Systems) com quatro níveis de metal e dois de silício policristalino.

A fonte de tensão implementada é do tipo *Bandgap* e utiliza dispositivos MOS em inversão fraca, um transistor bipolar parasitário e resistores de silício policristalino de alta resistividade. No circuito é produzida uma tensão PTAT (*Proportional to Absolute Temperature*) que somada a tensão base-emissor do transistor bipolar resulta numa tensão de saída independente da temperatura.

O projeto e o desenho do *layout* desta fonte foram realizados. A partir do *layout* foram gerados *netlists* para simulações realizadas utilizando o *software* ELDO com o modelo MOS *BSIM3v3*, nas condições de operação típicas, *worst speed* e *worst power*. Através destas simulações verificou-se que o circuito atendia as especificações iniciais. O valor da tensão de saída, no entanto, apesar de estar próximo do valor desejado de 1,25 V, variou com as condições de simulação empregadas.

Dois circuitos *Bandgap* diferentes foram enviados para fabricação: um circuito com resistores integrados (dimensões de 220 μ m x 76 μ m) e outro sem os resistores (dimensões de 190 μ m x 36 μ m). Este último permite, com o ajuste do valor dos resistores colocados externamente, modificar, se necessário, as condições de operação do circuito. Os circuitos foram caracterizados obtendo-se para o circuito com resistores integrados um coeficiente de temperatura inferior à 40 ppm/°C, taxa de variação da saída com a tensão de alimentação próxima de 19 mV/V. O valor da tensão de saída a 50 °C esteve entre 1,1835 V e 1,2559 V (1,25 V \pm 67 mV). Para o circuito sem os resistores integrados, obteve-se um coeficiente de temperatura que chegou à 90 ppm/°C, taxa de variação da saída com a tensão de saída a 50 °C esteve entre 1,247 V e 1,2588 V

(1,25 V \pm 9 mV). A faixa de temperatura utilizada para as medidas foi de -30 °C a 100 °C.

O consumo de corrente dos circuitos é de aproximadamente 14 μ A e seu funcionamento é garantido para tensões de alimentação tão baixas quanto 1,8 V.

ABSTRACT

This work consists in the design of a CMOS Voltage Reference Source with a temperature coefficient inferior to 50 ppm/°C. This voltage source should be applied in radio frequency receptor/transmitter but can be also applied in any analog system. The technology employed in the design is the CMOS 0.35 µm from the AMS (Austria Micro Systems) with four metal levels and two poly-silicon levels.

The implemented voltage source is of the Bandgap type and uses MOS devices in weak inversion, a parasitic bipolar transistor, and resistors made with high resistive poly-silicon. The circuit produces a PTAT (*Proportional to Absolute Temperature*) voltage that is added to the bipolar transistor base-emitter voltage to build an output voltage independent of temperature.

The project and the drawing of the layout of the circuit had been carried out. The netlists of the circuit were generated from the layout and they were employed in simulations done with the software ELDO and the BSIM3v3 MOS model, in typical, worst speed, and worst power conditions. Through these simulations it was verified that the circuit reached the initial specifications. The value of the output voltage, however, although being next to the desired value of 1.25 V, varied with the employed simulation conditions.

Two different Bandgap circuits had been sent to the foundry: a circuit with integrated resistors (dimensions of 220 μ m x 76 μ m) and another one without the resistors (dimensions of 190 μ m x 36 μ m). This last one allows, with the adjustment of external resistor values, modifying, if necessary, the operation conditions of the circuit. The circuits had been characterized and the circuit with integrated resistors has a temperature coefficient inferior to 40 ppm/°C, an output variation rate with the power supply close to 19 mV/V. The output voltage value at 50 °C is between 1.1835 V and 1.2559 V (1.25 V \pm 67 mV). The circuit without the resistors has a temperature coefficient as high as 90 ppm/°C, an output variation rate with the power supply inferior to 28 mV/V. The output voltage value at 50 °C is between 1.247 V and 1.2588 V (1.25 V \pm 9 mV). The temperature range used in the measurements was from -30 °C to 100 °C.

The current consumption of the circuits is approximately of 14 μ A, and they operate with power supply voltages as low as 1.8 V.

1. INTRODUÇÃO

1.1. Motivação

Nas ultimas décadas a indústria eletrônica tem sido um dos principais propulsores do desenvolvimento tecnológico experimentado. Uma das áreas responsáveis pelo destaque desta indústria é a microeletrônica, que tem possibilitado a fabricação de sistemas complexos com milhões de transistores em um mesmo circuito integrado (C.I.) [1].

Dentro da industria de microeletrônica, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) tem sido, nos últimos anos, e continuará a ser, nos próximos, a mais importante [2] devido às diversas vantagens que proporciona, tais como: baixo consumo de potência, elevado nível de integração, simplicidade de projeto e menor custo.

Nas demandas atuais por produtos/circuitos eletrônicos várias tendências são encontradas e entre elas a de redução das dimensões, do custo e do consumo de potência. Uma forma de reduzir dimensões, custos e mesmo consumo é justamente integrar um número maior de dispositivos e funções num mesmo C.I., combinando, se necessários circuitos digitais e analógicos.

Uma das funções quase sempre necessárias para os circuitos analógicos é o gerador de referência, usado na polarização de diversos blocos. Este circuito deve ser capaz de fornecer uma tensão, ou corrente, de saída que apresente pequena sensibilidade às variações na temperatura e na tensão de alimentação. Os circuitos capazes de fornecer tensões estáveis com variações na temperatura e na tensão de alimentação de alimentação de alimentação são conhecidos como Fontes de Tensão de Referência [3].

A idéia básica por traz do circuito conhecido como *bandgap*, largamente utilizado em fontes de tensão de referência, foi introduzido por Widlar em 1971 [4]. Atualmente, existem inúmeras versões deste circuito [5] [6], muitas delas utilizando a tecnologia CMOS. Este tipo de circuito tem como característica gerar uma tensão constante e independente da temperatura e da tensão de alimentação, com um valor de aproximadamente 1,2 V, que é a diferença de potencial da banda proibida do silício extrapolada para 0 K [7].

A estabilidade com a temperatura no circuito *bandgap* é baseada no fato da tensão base-emissor (V_{BE}) de um transistor Bipolar ser composta por um termo constante e bem definido (V_{GO}), por um termo que decresce de forma linear com a temperatura (Proporcional à Temperatura Absoluta – (*Proportional to Absolute Temperature* - PTAT) e, por fim, por outros termos de ordem superior [8]. Para obter uma tensão estável com a temperatura adiciona-se a V_{BE} uma tensão de correção que possua um termo que cresça de forma linear com a temperatura. Com isso é possível cancelar a componente linear de V_{BE} ; por outro lado os termos de ordem superior, não lineares, restam sem serem canceladas pois isto exigiria um circuito complexo [9]. Esse cancelamento dos termos lineares é, no entanto, suficiente para a maior parte das aplicações.

Para manter a saída estável com a tensão de alimentação são utilizadas técnicas conhecidas como auto polarização (*self biasing*). Um exemplo de circuito auto polarizado ocorre quando a entrada de um espelho de corrente (porta dos transistores) é ligada à saída de uma fonte de corrente e a entrada dessa fonte de corrente é ligada à saída daquele espelho de corrente. Considerando-se que o *loop* de realimentação tenha um ponto de operação estável, então, as correntes neste circuito apresentarão uma baixa sensibilidade à tensão de alimentação [6].

1.2. Objetivos

O principal objetivo deste trabalho é o estudo e projeto de uma fonte de tensão de referência completamente integrada na tecnologia CMOS de 0,35 µm da AMS (*Austria Micro Systems*) que apresenta quatro níveis de metal e dois níveis de silício policristalino. A princípio a fonte será utilizada em sistemas receptores/transmissores para comunicação RF (rádio freqüência) desenvolvidos dentro do Laboratório de Sistemas Integrados (LSI-USP), mas pode também ser aplicada em qualquer outro sistema. Deseja-se baixa sensibilidade, menor que 50 ppm/°C, na tensão de saída com relação a variações de temperatura entre –30 °C e 100 °C e a variações da tensão de alimentação de 3,3 V.

O trabalho foi realizado passando-se pelas seguintes etapas:

- Estudo das arquiteturas de circuitos fontes de tensão de referência; escolha da arquitetura adequada; estudo do comportamento elétrico do circuito;
- Projeto e implementação do *layout*; simulação elétrica do circuito extraído;
- Envio do circuito para fabricação através da *foundry* (AMS);
- Realização de testes experimentais para verificar os requisitos de precisão da fonte de tensão de referência.

1.3. Descrição dos capítulos do trabalho

A dissertação foi divida em seis capítulos. No primeiro capítulo são descritos, de forma geral, a importância do estudo de circuitos geradores de tensão de referência, as motivações e os objetivos do trabalho.

O segundo capítulo apresenta a base teórica deste trabalho e uma revisão bibliográfica. Inicia com os aspectos gerais de circuitos geradores de tensão de referência e de polarização. A seguir, no terceiro capítulo, são definidas as especificações iniciais para o projeto, é explicado o funcionamento básico da arquitetura escolhida e, por fim, é escolhido o tipo de transistor bipolar utilizado.

No capítulo quatro é apresentado o projeto do circuito escolhido e detalhadas algumas partes do seu *layout*. O procedimento e o resultado dos testes experimentais do circuito, para variações tanto da temperatura como da tensão de alimentação, estão descritos no capítulo cinco.

As conclusões e as sugestões para trabalhos futuros são apresentadas, por fim, no capítulo seis.

2. ASPÉCTOS TEÓRICOS

Os circuitos de tensão de referência são blocos importantes em sistemas analógicos ou analógicos/digitais. Um exemplo de sua aplicação pode ser visto na Figura 1 que apresenta um sistema com conversores de Analógico/Digital (A/D) e Digital/Analógico (D/A). Neste sistema é utilizada mais de uma fonte de tensão de referência, devido às diferentes necessidades de cada bloco e aos possíveis problemas com *crosstalk* [10]: há uma fonte utilizada no bloco de gerenciamento de energia (*power-management*) que inclui conversores DC-DC e que disponibiliza tensões estáveis; uma fonte utilizada pelos conversores A/D; outra fonte utilizada pelo conversor D/A. As fontes utilizadas pelos conversores servem para fornecer valores de referência e quaisquer variações na saída delas, seja com a temperatura ou com a alimentação, afetam a precisão dos blocos conversores [11].



Figura 1. Exemplo de um sistema de sinal misto.

O circuito deste trabalho deverá ser utilizado em receptores RF ou em quaisquer outros sistemas desenvolvidos com a tecnologia empregada aqui.

Para se obter o melhor resultado foram pesquisadas diferentes topologias de circuito e analisadas suas vantagens e desvantagens. Diversos fatores devem ser considerados na escolha do circuito de tensão de referência, dentre eles os que mais se destacam são:

- como a variação na temperatura e na tensão de alimentação afetam a estabilidade;
- a área utilizada (deve ser a menor possível, para permitir uma maior integração);
- o consumo de potência;
- o excesso de ruído que limita a resolução do sistema.

Observe que a tensão de saída das fontes de referência não varia apenas com a temperatura e com a tensão de alimentação mas, também, com o tempo e com fator ambiental tal como umidade. Por isso a maioria dos conversores A/D e D/A tem referências internas adequadas somente para aplicações com resolução menor ou igual a 12 *bits*, mesmo que o conversor seja capaz de resoluções maiores [12].

2.1. Arquitetura da Fonte de Referência

Existem diversas arquiteturas de fontes de tensão de referência. Neste capítulo serão apresentadas de simples associações de resistores até circuitos complexos com diversos transistores. Dependendo do nível de estabilidade almejado, em relação tanto à temperatura quanto à tensão de alimentação de operação do circuito, uma ou outra arquitetura será mais conveniente.

Não é intuito deste trabalho descrever todas as possibilidades, por isso, nesta seção, foram apresentadas somente algumas arquiteturas, dentre estas a escolhida para o projeto.

2.2. Divisor de Tensão Passivo/Ativo

Um divisor de tensão passivo pode ser implementado através de uma simples associação de resistores em série. A queda de tensão nos resistores é utilizada para produzir a tensão desejada; para se obter diferentes níveis de tensão de saída basta conectar N resistores em série entre V_{DD} e V_{SS} [13] (Figura 2). Em um circuito integrado os resistores podem ser construídos na camada de difusão, de poço ou, preferencialmente, de silício policristalino.



Figura 2. Divisor de tensão passivo.

Um divisor de tensão ativo utiliza resistores ativos no lugar de resistores passivos para produzir uma queda de tensão. Um resistor ativo pode ser obtido conectando-se a porta de um transistor MOS ao seu dreno. Neste caso a tensão V_{DS} passa a controlar a corrente I_D e o canal de transcondutância torna-se um canal de condutância [13]. Estes transistores quando agrupados em série, como na Figura 3, são utilizados para se obter um divisor de tensão ativo.



Figura 3. Divisor de tensão ativo.

2.3. Tensão de Referência com Junção p-n Reversamente Polarizada

Esta é uma forma simples de se obter uma tensão de referência, com características relativamente boas. Neste circuito utiliza-se um diodo que opera reversamente polarizado. A equação abaixo, que descreve o funcionamento do diodo, mostra que a corrente que passa por ele, I_D , cresce rapidamente quando o dispositivo está diretamente polarizado, ($V_D > 0$).

$$I_D = I_s \left[\exp\left(\frac{V_D}{nU_T}\right) - 1 \right]$$
(1)

onde I_S é a corrente de saturação, V_D é a tensão sobre o diodo, n é um fator de idealidade (constante dependente do processo) e U_T é a tensão térmica:

$$U_T = \frac{kT}{q} \tag{2}$$

onde k é a constante de Boltzmann, T é a temperatura absoluta em Kelvin e q é a carga elétrica do elétron.

Por outro lado, quando é polarizado reversamente, $V_D < 0$, sua corrente será praticamente constante e muito pequena (I_S). Se a tensão V_D é continuamente reduzida, ocorrerá o aumento significativo da corrente I_D (o que não é modelado pela equação acima) quando V_D atinge uma tensão limite ($-V_Z$) teremos o chamado *breakdown*.

Dependendo do valor do campo elétrico ao qual uma junção p-n é submetida, quando polarizada reversamente, podem ocorrer dois fenômenos diversos que causam o aumento da corrente: a multiplicação por avalanche e o efeito de tunelamento [14]. A multiplicação por avalanche é devido à colisão dos portadores livres, com alta energia cinética obtida pelo efeito do campo elétrico, com a rede cristalina. Em conseqüência, ligações covalentes são quebradas resultando no aparecimento de novos portadores que também ganharão energia, colidirão, e formarão novos portadores. O resultado final é a elevação da corrente. O efeito de tunelamento ocorre quando o campo elétrico na junção é tão intenso que a energia de um elétron situado numa posição x e na banda de valência está próxima da energia de um elétron situado numa posição $x+\Delta x$, com Δx pequeno, mas na banda de condução. Como elétrons têm comportamento ondulatório, o elétron que esta na posição x pode, com probabilidade não nula e proporcional a $1/\Delta x$, surgir na posição $x+\Delta x$ e aí sua energia será suficiente para que ele passe à banda de condução. Assim se criam pares de portadores elétron-lacuna que causarão o aumento da corrente.

A multiplicação por avalanche ocorre em tensões de polarização reversa de cerca de 7 V ou mais e possui um coeficiente de temperatura positivo (avalanche diminui com a temperatura). Já o efeito de tunelamento ocorre em tensões de

polarização reversa de cerca de 5 V ou menos e possui um coeficiente de temperatura negativo (tunelamento aumenta com a temperatura).

Observemos que a operação de um diodo na região de *breakdown* pode ser destrutiva ou alterar algumas características do dispositivo. Em vista disso, é importante limitar a corrente que flui pelo diodo para prevenir danos ou alterações das suas características.

Diodos comerciais com características bem definidas de *breakdown* são chamados genericamente de diodos *zener*. Neles podem ocorrer tanto avalanche como o efeito túnel. Alguns dispositivos são construídos de forma que ambos os fenômenos, avalanche e tunelamento, ocorram simultaneamente. Com isso o efeito da temperatura, que é contrário para cada um dos fenômenos, é reduzido. Os *zeners* têm tensões de *breakdown* entre 5 V e 7 V e baixos coeficientes de temperatura.

Na figura abaixo é mostrado um exemplo de circuito de referência com *zener*, que é polarizado por meio de uma fonte de corrente [12]. A tensão do *zener* é dividida entre os resistores $R_1 \, e \, R_2$. Esta tensão é aplicada à entrada não inversora de um amplificador operacional, em uma configuração amplificadora, para gerar a tensão de saída. O ganho do amplificador é determinado pelos resistores $R_3 \, e \, R_4$ sendo dado por *Ganho* = $1 + R_4/R_3$. A tensão de saída ficará como:

$$V_{OUT} = \frac{R_2}{R_1 + R_2} \left(1 + \frac{R_4}{R_3} \right) V_Z$$
(3)

onde V_Z é a tensão no diodo zener.



Figura 4. Exemplo de uma fonte de tensão com zener.

Fontes de tensão de referência com *zener* possuem baixa sensibilidade ao ruído (< 10 μ Vpp em 0,1 a 10 Hz) e um bom desempenho em relação à temperatura (1 a 10 ppm/°C). Por outro lado, como a tensão de *breakdown* tem valor alto, próximo de 6 V [15], é também necessária uma tensão de alimentação com valor alto.

Infelizmente diodos *zener* são raramente disponibilizados em processos CMOS. Em contrapartida, para circuitos de referência externos, não integrados, os diodos *zener* estão disponíveis, formando fontes ideais para aplicações que precisam de alta resolução como, por exemplo, aplicações com conversores de 14 ou 16 *bits*.

2.4. Referências Bandgap

A fonte de tensão de referência *bandgap* utiliza a combinação de duas tensões com coeficientes de temperatura próximos, mas de sinais opostos como mostrada na Figura 5. Uma destas é a tensão base-emissor (V_{BE}) de um transistor bipolar que possui um coeficiente de temperatura de aproximadamente -2 mV/°C [5, 6]. A outra é gerada a partir da tensão térmica U_T , que possui um coeficiente de temperatura positivo, extraída, por exemplo, utilizando a tensão na junção de diodos. Multiplicando-se U_T por uma constante *Y*, ajustada para que o produto U_TY tenha um coeficiente de temperatura de aproximadamente +2 mV/°C, e somando-se as tensões V_{BE} e U_TY , é possível produzir uma tensão de referência (V_{REF}) com um coeficiente de temperatura próximo a 0 mV/°C [5, 6]. O circuito ganhou o nome "Referência *Bandgap*" devido ao valor de V_{REF} ficar próximo à V_{GO} , a tensão de *bandgap* do silício extrapolada para 0 K (1,2 V) [16].



Figura 5. Diagrama de blocos de uma Referência de Tensão Bandgap.

Existem diversas arquiteturas possíveis para o circuito *bandgap*. Para compreender melhor o funcionamento de uma referência *bandgap* típica considere o circuito da Figura 6 [17], que utiliza uma arquitetura bem conhecida. Este circuito é composto por dois transistores bipolares conectados como diodo, D_1 e D_2 , um amplificador operacional e três resistores, R_1 , R_2 e R_3 . A tensão de referência é gerada na saída do amplificador. Neste caso a tensão V_{BE} (Figura 5) é fornecida por D_1 e a tensão U_TY , pelo resistor R_2 .

No circuito, considerando que o amplificador seja ideal (ganho diferencial infinito, resistência de entrada infinita, resistência de saída zero) e opere na região linear, teremos que as tensões nos pontos 1 e 2 são praticamente iguais. Podemos então escrever:

$$I_2 R_2 = I_1 R_1 \tag{4}$$

Como os transistores D_1 e D_2 estão conectados como diodo, suas correntes são iguais a:

$$I_{1} = I_{S1} \left[\exp\left(\frac{V_{BE1}}{U_{T}}\right) - 1 \right]$$
(5)

$$I_2 = I_{S2} \left[\exp\left(\frac{V_{BE2}}{U_T}\right) - 1 \right]$$
(6)

onde V_{BE} é a tensão base-emissor e I_S é a corrente de saturação do transistor bipolar. Os índices são relativos aos transistores D_1 e D_2 . Substituindo (5) e (6) em (4) resulta em:

$$\frac{R_2}{R_1} = \frac{I_{S1}}{I_{S2}} \exp\left(\frac{V_{BE1} - V_{BE2}}{U_T}\right) \text{ e, portanto, } \Delta V_{BE} = V_{BE1} - V_{BE2} = U_T \ln\left(\frac{I_{S2}R_2}{I_{S1}R_1}\right)$$
(7)

Observe ΔV_{BE} é a tensão sobre o resistor R_3 e esta tensão é proporcional a U_T .

A tensão de saída V_0 é a soma da tensão V_{BE1} com a tensão sobre R_2 ; como a corrente em R_2 é igual à corrente em R_3 (considerando o amplificador ideal), podemos escrever que:

$$V_{O} = V_{BE1} + R_2 \frac{U_T}{R_3} \ln \left(\frac{R_2 I_{S2}}{R_1 I_{S1}} \right)$$
(8)

Supondo que V_{BE1} é linear com a temperatura, podemos escrever que $V_{BE1} = V_{GO} + CT$, onde C é uma constante com valor aproximado de -2 mV/°C (uma expressão mais completa para V_{BE} está no anexo A). Por fim, temos que a tensão na saída é:

$$V_{O} = V_{G0} + \left(C + R_{2} \frac{K}{qR_{3}} \ln\left(\frac{R_{2}I_{S2}}{R_{1}I_{S1}}\right)\right) T$$
(9)

Com o adequado ajuste dos valores dos resistores podemos obter um coeficiente de temperatura para V_O próximo de zero e, neste caso, a tensão de saída estará próxima de $V_{G0}=1,205V$. Esta tensão caracteriza, portanto, uma fonte de referência bem ajustada.



Figura 6. Circuito Bandgap clássico.

Os circuitos de tensão de referência mais utilizados pela indústria são justamente os circuitos com diodos *zener* discretos e os circuitos *bandgap*. A tabela a seguir [15] ilustra algumas características destes dois tipos de circuitos e serve, ainda, para esclarecer suas vantagens e desvantagens na aplicação como fontes de precisão.

Referência Zener				
Vantagens	Desvantagens			
Baixo ruído	Necessita de tensões de alimentação acima de 5 V			
Desvio de temperatura pequeno	Consumo de potência alto			
Excelente estabilidade a longo prazo	Projeto caro pois utiliza, normalmente, um componente discreto			
Alta Precisão				
Referência <i>Bandgap</i>				
Baixo consumo de potência	Ruído Moderado			
Boa precisão, que pode ser aumentada por ajuste	Desvio de temperatura limitado			
Opera com tensões de alimentação abaixo de 1 V				

Tabela 1. Vantagens e desvantagens dos circuitos de tensão de referência mais utilizados.

O fato de blocos analógicos muitas vezes operarem com tensões de 3,3 V ou 5 V limita o emprego de fontes de tensão de referência com *zener*. Para sistemas com precisão máxima de 10 *bits*, a escolha natural para uma fonte de tensão de referência é o *bandgap*, que além de trabalhar com tensões mais baixas pode ser integrado em tecnologias Bipolares, BiCMOS ou mesmo CMOS típico sem a necessidade da utilização de componentes externos. Coeficientes de temperatura entre 25 - 50 ppm/°C são obtidos com *bandgaps* sem dificuldades.

2.5. Polarização Independente da Tensão de Alimentação para Circuito Bandgap

2.6. Espelhos de Corrente

Espelhos de corrente são estruturas freqüentemente usadas na polarização de circuitos analógicos. Um exemplo simples deste circuito está indicado na Figura 7. Nele o transistor M_1 está conectado como diodo (dreno e porta conectados); o transistor M_2 tem sua fonte e porta ligadas a fonte e porta do transistor M_1 . Assumindo que os dois transistores estejam operando na saturação e que a modulação de canal seja desprezível, podemos escrever que a corrente de dreno nos transistores M_1 e M_2 é:

$$I_{D1} = I_{IN} = \frac{k'}{2} \frac{W_1}{L_1} (V_{GS_1} - V_t)^2 \quad e \quad I_{D2} = I_{OUT} = \frac{k'}{2} \frac{W_2}{L_2} (V_{GS_2} - V_t)^2$$
(10)

onde k' é um parâmetro de transcondutância que é proporcional a mobilidade e a capacitância de porta do transistor, W é a largura do canal do transistor, L é o comprimento do canal do transistor, V_{GS} a tensão porta-fonte e Vt a tensão de limiar do transistor. Os índices são relativos aos transistores M_1 e M_2 .

Dada a configuração do espelho de corrente temos que $V_{GSI}=V_{GS2}$ e, portanto:

$$I_{OUT} = I_{D2} = \frac{(W/L)_2}{(W/L)_1} I_{D1} = \frac{(W/L)_2}{(W/L)_1} I_{IN}$$
(11)

Esta expressão mostra que a corrente de saída do espelho de corrente, I_{OUT} , está relacionada com a corrente de entrada, I_{IN} , por um fator igual razão entre a relação geométrica (W/L) dos transistores que compõe o espelho. Espelhos de corrente têm, numa estrutura para polarização, a função geral de replicar e distribuir correntes.



Figura 7. Espelho de corrente MOS simples.

2.7. Auto polarização

A sensibilidade, nas fontes de tensão, em relação à tensão de alimentação depende em boa parte da sensibilidade do seu circuito de polarização. Para reduzir esta dependência pode-se utilizar a técnica de auto-polarização. A Figura 8 ilustra esta técnica através do circuito de referência de corrente proposto por Vittoz [7].

Este circuito de referência consiste de quatro transistores e um resistor (o transistor PMOS M_5 , serve apenas espelhar correntes para saída). Os dois transistores PMOS ($M_1 \, e \, M_2$) formam um espelho de corrente que força correntes iguais a um par de transistores NMOS ($M_3 \, e \, M_4$). Estes transistores NMOS e o resistor formam um circuito equivalente a fonte de corrente de Widlar [4] que força, por sua vez, outro valor de corrente aos transistores PMOS, formando uma realimentação. Este circuito realimentado estabiliza para certo valor de corrente que depende das relações geométricas dos transistores M_1 , M_2 , M_3 , e M_4 e do valor da resistência. O ponto de estabilização do circuito não depende, a princípio, da tensão de alimentação V_{DD} .

Observemos que para o correto funcionamento do circuito os transistores NMOS da fonte equivalente de Widlar devem operar na região chamada de inversão fraca.

Costuma-se separar a operação do transistor MOS em três regiões, de acordo com a densidade de portadores presentes no canal formado sob o terminal de porta. São elas:

- Região de Inversão Forte ocorre quando a tensão porta-dreno, V_{GS}, é suficiente para formar um canal com concentração de portadores maior ou igual à concentração inicial de portadores do substrato;
- Região de Inversão Fraca o transistor é polarizado no limiar da condução (V_{GS} ≈ V_T). Nesta situação o canal tem concentração de portadores inferior à concentração de portadores inicial do substrato;
- Região de Inversão Moderada é uma região de transição entre a inversão forte e a inversão fraca. Esta região é mal definida e por isso de difícil modelamento.

Para determinar qual a região de operação do transistor será utilizada a relação [18] abaixo:

$$0,125 > \frac{I_D}{\beta 2n(U_T)^2} > 10$$
(12)

Inversão fraca

Inversão forte

onde $\beta = \frac{W}{L} \mu C_{ox}$ é o fator de ganho do transistor MOS, μ é a mobilidade dos portadores no canal, C_{OX} é a capacitância por área na estrutura porta-óxido-substrato, W e L são o comprimento e a largura do canal do transistor (W/L), n é o fator *slope* e U_T é tensão térmica.

Esta relação nos mostra que a região de operação depende dos valores da corrente de dreno, dos parâmetros geométricos (W/L), da mobilidade, etc. Apenas corrente e os parâmetros geométricos do transistor podem ser modificados pelo projetista, mas são suficientes para controlar o seu estado [18]. Os outros parâmetros são dependentes do processo e fixos.

Utilizaremos a equação abaixo para descrever a curva *I-V* de um transistor canal N na inversão fraca:

$$I_{D} = SI_{DO}e^{V_{G}/nU_{T}}(e^{-V_{S}/U_{T}} - e^{-V_{D}/U_{T}})$$
(13)

onde I_D é a corrente de dreno, I_{DO} é uma corrente característica da tecnologia; n é o fator *slope*; S é a relação entre a largura e o comprimento do canal do transistor (*W/L*); V_G , V_D , V_S e U_T são respectivamente as tensões de porta-substrato, dreno-substrato, fonte-substrato e térmica.

Este modelo de inversão fraca é válido quando as seguintes condições forem obedecidas [6]:

- O canal é longo o suficiente, de modo que a aproximação gradual de canal possa ser utilizada e os efeitos de modulação do comprimento de canal possam ser desprezados;
- As correntes geradas nas regiões de carga espacial associadas às regiões de fonte, dreno e porta são desprezíveis;
- A densidade dos estados de superfície rápidos e as flutuações do potencial de superfície são desprezíveis.
- A tensão porta-fonte é suficiente para formar um canal mas a concentração de portadores nele é inferior à concentração inicial de portadores do substrato.

Normalmente o valor de V_D é muito maior que U_T , o que fará com que a expressão acima seja reduzida a

 $I_{D} = SI_{DO}e^{V_{G}/nU_{T}} (e^{-V_{S}/U_{T}}).$

Vamos determinar o valor da corrente I_{D1} estável no circuito da Figura 8 e que é espelhada para a saída I_{OUT} . Para isso primeiro achemos a tensão no resistor R. Para os transistores NMOS, que devem estar em inversão fraca, utilizamos a equação (13) para corrente. Assim podemos escrever que:

$$I_{D1} = I_{D3} = I_{D0} \left(\frac{W_3}{L_3}\right) e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_{S3}}{U_T}\right)} = I_{D0} S_3 e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_{S3}}{U_T}\right)}$$
(14)

$$I_{D2} = I_{D4} = I_{D0} \left(\frac{W_4}{L_4} \right) e^{\left(\frac{V_{G4}}{nU_T} \right)} = I_{D0} S_4 e^{\left(\frac{V_{G4}}{nU_T} \right)}$$
(15)

onde, I_{D1} , I_{D2} , I_{D3} e I_{D4} são as correntes de dreno dos transistores M_1 , M_2 , M_3 e M_4 respectivamente, V_{G3} e V_{G4} são as tensões de porta dos transistores M_3 e M_4 , V_{S3} é a tensão fonte-substrato do transistor M_3 e S_3 e S_4 é a relação (W/L) dos transistores M_3 e M_4 .

Pela Figura 8 podemos ver que as tensões de porta dos transistores M_3 e M_4 são iguais, ou seja $V_{G3} = V_{G4}$, e que a tensão fonte-substrato do transistor M_3 é igual à queda de tensão sobre o resistor R, ou seja $V_{S3} = V_R$. Assim teremos

$$\frac{I_{D2}}{I_{D1}} = \frac{I_{D4}}{I_{D3}} = \frac{S_4 I_{D0} e^{\left(\frac{V_{G4}}{nU_T}\right)}}{S_3 I_{D0} e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_R}{nU_T}\right)}} = \frac{S_4}{S_3} e^{\left(\frac{V_{G4}}{nU_T} - \frac{V_{G3}}{nU_T} + \frac{V_R}{nU_T}\right)} = \frac{S_4}{S_3} e^{\left(\frac{V_R}{nU_T}\right)}$$
(16)

Lembrando que as correntes de dreno dos transistores M_1 e M_2 são iguais devido aos transistores PMOS iguais, temos que:

$$\frac{S_4}{S_3}e^{\left(\frac{V_R}{U_T}\right)} = 1$$
(17)

Isolando V_R obtemos a equação desejada:

$$V_R = U_T \left[\ln \left(\frac{S_3}{S_4} \right) \right] \tag{18}$$

Veja que esta tensão é proporcional a U_T , fato que será utilizado no circuito de referência implementado [6], e independente da tensão de alimentação. A corrente I_{D1} por fim tem seu valor dado por:

$$I_{D1} = \frac{V_R}{R} = \frac{U_T \ln(\frac{S_3}{S_4})}{R}$$
(19)

Assim as correntes que passam no circuito e que serviriam para polarização de outros blocos ficam independentes, ou praticamente independentes, da tensão de alimentação e são proporcionais a tensão térmica U_T .



Figura 8. Circuito de referência de corrente CMOS.

É importante ressaltar que o circuito de referência operando nesta configuração possui tipicamente dois estados estáveis de corrente [19]. Através da Figura 9, que

mostra a relação entre correntes imposta pelos pares de transistores M_1 - M_2 e M_3 - M_4 , é possível identificar estes dois estados nos pontos A e B. No ponto B as correntes nos transistores são nulas e ele deve ser evitado.

A condição de operação desejada é indicada no ponto A da figura, onde as correntes I_{D3} e I_{D4} são iguais e diferentes de zero. Para garantir que este estado seja o real do circuito é necessário incluir uma estrutura junto aos espelhos de corrente, cuja função é forçar a circulação de correntes nos transistores durante a fase de acionamento do circuito. Esta estrutura é conhecida como circuito de *start-up* ou circuito de inicialização [6].

Uma característica essencial do circuito de *start-up* é que ele não interfira com a operação normal do circuito auto-polarizado uma vez que se tenha alcançado o ponto de operação desejado.



Figura 9. Pontos de operação estáveis do circuito de referência de correntes.
3. MÉTODO

O objetivo principal deste trabalho é projetar um circuito de tensão de referência com pequena sensibilidade à temperatura (< 50 ppm/°C) para ser implementada numa tecnologia CMOS de 0,35 µm com tensão típica para operação de 3,3 V [20].

3.1. Especificações Iniciais

Como dito anteriormente, as duas arquiteturas mais usadas na indústria são aquelas que usam diodos *zener* ou que usam a técnica *bandgap*. Comparamos estas arquiteturas e apontamos as vantagens e desvantagens de cada uma delas. Para este projeto optou-se pela arquitetura com a técnica *bandgap* devido à baixa tensão de alimentação utilizada, 3,3 V, e ao desejo de ter um circuito totalmente integrado.

Foi feito um levantamento dos tipos de circuitos *bandgap* apresentados na literatura, para se definir especificações possíveis para o circuito. De acordo com o levantamento feito e baseado no projeto do qual este trabalho faz parte foram estabelecidas as especificações iniciais dadas na Tabela 2. A temperatura de operação ou temperatura de referência T_R será 50 °C.

	Min.	Tip.	Max.	Unidades
Tensão de saída ($T_R = 50^{\circ}$ C)	1,10	1,25	1,40	V
Coeficiente de Temperatura Máximo	24	37	50	ppm/⁰C
Tensão de alimentação	-	3,3	-	V
Faixa de temperatura de Operação	-30	50	100	°C

Tabela 2. Especificações iniciais de projeto.

A faixa de temperatura utilizada em circuitos de referência varia muito de acordo com a aplicação, sendo, por exemplo, de 0 °C a 70 °C para circuitos comerciais e de -55 °C a 125 °C para aplicações militares [21]. A principio desejávamos trabalhar com a especificação militar, mas optamos por uma faixa menor, Tabela 2, pois:

- A Câmara Climática utilizada durante as medidas (Seção 5.1) pode operar com a temperatura mínima de -40 °C até 130 °C. Entretanto medidas utilizando os extremos de temperatura do equipamento são em geral menos confiáveis, além de exigir mais do equipamento;
- Testes realizados a temperaturas maiores do que 100 °C exigem cabos e placas especiais que não estão disponíveis.

3.2. Funcionamento Básico do Circuito de Tensão de Referência Bandgap

A topologia utilizada como base para este projeto foi aquela proposta por Tsividis [22]. Ela foi escolhida pois atende as condições iniciais de projeto e é simples, condição importante para se obter uma implementação funcional. Algumas características desta topologia são: não utiliza amplificadores operacionais; utiliza apenas um transistor bipolar (interessante para tecnologias onde há apenas transistores bipolares parasitas); e trabalha com baixas correntes (importante para aplicação em sistemas de baixa potência).

A Figura 10 apresenta o circuito esquemático do *bandgap* projetado. O circuito é formado por seis transistores MOS, dois resistores e um transistor bipolar. Os quatro transistores M_1 , M_2 , M_3 e M_4 mais o resistor R_1 formam o circuito de referência de corrente auto polarizado como vimos. O circuito de corrente é realimentado e estabiliza para um valor de corrente que dependerá da relação geométrica dos transistores e do valor da resistência de R_1 .

A corrente que passa por R_1 , que é proporcional a temperatura, é espelhada pelo par de transistores M_1 - M_5 e, como resultado, teremos no resistor R_2 uma tensão também proporcional a temperatura. Por fim, a tensão sobre R_2 é somada à tensão V_{BE} do transistor bipolar Q_6 (inversamente proporcional à temperatura) produzindo uma tensão de referência com um baixo coeficiente de temperatura se o circuito for devidamente projetado.



Figura 10. Esquemático do circuito bandgap.

No circuito os transistores M_3 e M_4 , que formam o espelho NMOS, devem operar na inversão fraca. Os transistores M_1 , M_2 e M_5 , que formam os espelhos PMOS, podem operar em qualquer região mas, para melhorar o casamento entre eles, optamos por polarizá-los em forte inversão. Uma conseqüência dessa opção é que a tensão mínima de alimentação do circuito deve aumentar [23].

Vamos determinar o valor da tensão de saída $V_{OUT} = V_{REF}$. Iniciamos com a relação (16) encontrada acima, ou seja:

$$\frac{I_{D2}}{I_{D1}} = \frac{I_{D4}}{I_{D3}} = \frac{S_4 I_{D0} e^{\left(\frac{V_{G4}}{nU_T}\right)}}{S_3 I_{D0} e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_{R1}}{nU_T}\right)}} = \frac{S_4}{S_3} e^{\left(\frac{V_{G4}}{nU_T} - \frac{V_{G3}}{nU_T} + \frac{V_{R1}}{U_T}\right)} = \frac{S_4}{S_3} e^{\left(\frac{V_{R1}}{U_T}\right)}$$

Isolando V_{R1} obtemos a equação

$$V_{R1} = U_T \left[\ln \left(\frac{I_{D2}}{I_{D1}} \frac{S_3}{S_4} \right) \right]$$
(20)

Esta relação pode ser um pouco mais desenvolvida. Lembrando que os transistores M_1 e M_2 operam como espelho de corrente, a seguinte relação é possível:

$$V_{G1} = V_{G2} \Longrightarrow \frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1} = \frac{S_2}{S_1}$$
(21)

onde S é a relação entre a largura e o comprimento do canal do transistor.

Chegamos a:

$$V_{R1} = U_T \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right]$$
(22)

Usando a Lei de Ohm para encontrar a expressão de corrente sobre R_1 obtemos

$$I_{R1} = \frac{U_T}{R_1} \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right]$$
(23)

Como dito anteriormente esta corrente é espelhada pelo transistor M_5 e será usada para obter a tensão sobre R_2 , que será

$$V_{R2} = U_T \frac{R_2}{R_1} \left(\frac{S_5}{S_1} \right) \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right]$$
(24)

onde S_5 é a relação (*W/L*) no transistor M_5 .

Por esta equação vemos que a tensão V_{R2} depende da tensão térmica e, portanto, é diretamente da temperatura *T*. Esta tensão V_{R2} será somada a V_{BE} do transistor bipolar para produzir a tensão de referência V_{REF} :

$$V_{REF} = V_{R2} + V_{BE} \tag{25}$$

Uma expressão mais completa para a tensão de saída será obtida ao aplicar a expressão de V_{BE} descrita no Anexo A, expressão (a13), na equação (26). Podemos escrever então que a tensão na saída do circuito na temperatura *T* é

$$V_{REF(T)} = U_T \frac{R_2}{R_1} \left(\frac{S_5}{S_1} \right) \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right] + V_{GO(T)} - \left(\frac{T}{T_R} \right) V_{GO(T_R)} + \left(\frac{T}{T_R} \right) V_{BE(T_R)} - c \left(\frac{kT}{q} \right) \left[\ln \left(\frac{T}{T_R} \right) \right] + \frac{kT}{q} \left[\ln \left(\frac{I_{C(T)}}{I_{C(TR)}} \right) \right]$$
(26)

onde $V_{GO(T)}$ é a tensão de *bandgap* do silício na temperatura *T*, $V_{BE(TR)}$ é a tensão baseemissor do transistor na temperatura de referência T_R , *c* é uma constante que depende do processo de fabricação do transistor ($c = 4-\eta$, Anexo A) e I_C é a corrente do transistor Q_6 .

A corrente I_C é igual a corrente de dreno do transistor M_5 dada por:

$$I_{D5} = \frac{S_5}{S_1} I_{R1} = \frac{S_5}{S_1} \frac{U_T}{R_1} \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right]$$

Podemos considerar que $I_c = I_{D5} \approx DT^x$, onde *x* é o coeficiente de temperatura da corrente (veremos mais a frente que seu valor está próximo de um). Utilizando esta expressão em (26) obtemos:

$$V_{REF(T)} = U_T \frac{R_2}{R_1} \left(\frac{S_5}{S_1} \right) \left[\ln \left(\frac{S_2}{S_1} \frac{S_3}{S_4} \right) \right] + V_{GO(T)} - \left(\frac{T}{T_R} \right) V_{GO(T_R)} + \left(\frac{T}{T_R} \right) V_{BE(T_R)} - \left(c - x \right) \left(\frac{kT}{q} \right) \left[\ln \left(\frac{T}{T_R} \right) \right]$$

O objetivo principal do circuito é gerar uma tensão com um baixo coeficiente de temperatura. Para alcançá-lo o circuito é projetado de forma que a derivada da expressão acima, em relação a temperatura, é anulada ao menos na temperatura de referência T_R . Determinemos quando isto acontece. A expressão para esta derivada é

$$\frac{\partial V_{REF}}{\partial T}\Big|_{T=T_R} = \frac{k}{q} \left(\frac{R_2}{R_1}\right) \left(\frac{S_5}{S_1}\right) \left[\ln\left(\frac{S_2}{S_1}\frac{S_3}{S_4}\right)\right] - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{BE(T_R)}}{T_R} - \frac{(c-x)k}{q} = 0$$
(27)

A condição para anulá-la será

$$\left(\frac{R_2}{R_1}\right)\left(\frac{S_5}{S_1}\right)\left[\ln\left(\frac{S_2}{S_1}\frac{S_3}{S_4}\right)\right] = \left(\frac{q}{kT_R}\right)\left(V_{GO(T_R)} - V_{BE(T_R)}\right) + (c - x)$$
(28)

Observemos nesta expressão que a condição desejada pode ser obtida pela escolha conveniente das dimensões dos transistores e dos valores dos resistores. Observemos ainda que foi negligenciada na dedução acima a variação do valor dos resistores com a temperatura. Como V_{REF} depende apenas da relação (R_1/R_2) e o valor desta relação permanece constante com a temperatura se os dois resistores são implementados com o mesmo material, o que é desejável, tal negligencia não causa erros.

Substituindo a equação (28) em (27) obtemos a expressão para a tensão de referência, quando o projeto esta ajustado para ter mínima variação de V_{REF} com a temperatura:

$$V_{REF(T)} = V_{GO} + \frac{(c-x)kT}{q} \left(1 + \left[\ln\left(\frac{T_R}{T}\right) \right] \right)$$
(29)

No caso de $T=T_R$ a equação fica reduzida a:

$$V_{REF(TR)} = V_{GO} + \frac{(c-x)kT_R}{q}$$
(30)

Desta forma vemos que é possível ajustar o circuito de tensão de referência para operar com um coeficiente de temperatura próximo à zero, ao menos para uma temperatura de referência. Neste caso, a tensão de saída será igual a 1,205 V mais c vezes a tensão térmica U_T na temperatura T_R .

O transistor M_S , apresentado na Figura 10, tem a função de dar o *start-up* do circuito. Quando acionado, forçará a tensão V_{SS} na porta dos transistores M_1 e M_2 fazendo-os conduzir e evitando que o circuito fique num estado estável onde todos os transistores estão cortados. A operação deste transistor será vista no próximo capítulo.

Para implementar o transistor bipolar foi utilizada uma célula da AMS com um transistor bipolar vertical conforme será visto adiante.

3.3. Tecnologia de 0,35 µm da AMS [20]

Antes de fazer o *layout* de um circuito é preciso escolher o processo de fabricação em que este será produzido. Definido isto basta utilizar o conjunto de regras disponíveis para o projeto. Estas regras incluem informações como comprimento mínimo de porta do transistor, distâncias mínimas entre linhas, número de camadas de silício policristalino e de metal disponíveis, etc.

A *foundry* escolhida neste projeto foi a *Áustria Micro Systems* (AMS), e o processo CMOS de 0,35 µm que disponibiliza duas camadas de silício policristalino e quatro camadas de metal. A razão para tal escolha é que o processo tem sido utilizado em outros blocos dos sistemas de RF desenvolvidos. Como circuitos de tensão de referência não necessitam de tecnologias de ponta para sua implementação, trabalham com tensões DC, nosso circuito pode ser fabricado sem maiores dificuldades nesta tecnologia.

O processo CMOS da AMS foi utilizado na fabricação do circuito que foi realizada através da *Circuits Multi-Projets* (CMP) [24]. Como esta *foundry* utiliza lâminas de silício tipo p e não dispõe de nenhuma camada especial para construir transistores bipolares, a possibilidade de se obter tais transistores é através de PNP parasitas.

Na tecnologia da AMS é sugerido que, caso o projeto seja analógico, o comprimento mínimo de canal de um MOS seja de 0,6 μ m. Para projetos digitais, o comprimento mínimo de canal de 0,35 μ m é aplicável sem maiores restrições.

3.4. Transistor Bipolar Parasita

Uma vez definidos o processo e o tipo de fonte de referência devemos saber como implementar os transistores bipolares necessários. Há duas possibilidades para construir esses dispositivos: transistores bipolares laterais e transistores bipolares verticais parasitas.

O transistor bipolar lateral parasita é um dispositivo de cinco terminais (emissor, base, coletor, porta e substrato) como mostrado na Figura 11. Polarizandose corretamente o substrato e a porta os demais terminais atuam como os terminais de um transistor bipolar normal. Os transistores laterais possuem um fator de ganho de corrente entre 30 a 380, dependendo da polarização da porta. Geralmente este fator de ganho é pequeno devido à largura da base grande e a perda de correntes para o substrato.

Este é o dispositivo necessário para circuitos onde o transistor bipolar tem o terminal de coletor conectado a tensões diferentes de V_{SS} . Na literatura são apresentados alguns exemplos de seu uso, inclusive em fontes de referência [25] [26] [27].

A AMS disponibiliza transistores bipolares laterais como células de sua biblioteca, Figura 12, junto com modelos para sua simulação. Como dito anteriormente, nesta tecnologia apenas transistores PNP podem ser fabricados.



Figura 11. Vista em corte de um transistor PNP lateral parasitário disponível na AMS.



Figura 12. Layout do transistor PNP lateral parasitário disponível na AMS.

O transistor bipolar vertical é um dispositivo de três terminais como mostrado na Figura 13. Nele a difusão de fonte-dreno p+ serve como emissor, o *n-well* como base e o substrato como coletor. O transistor PNP vertical só pode ser aplicado em configurações onde o coletor esta ligado à tensão do substrato, ou seja, a V_{SS} . Felizmente há vários circuitos que satisfazem esta condição [28] [22] [5]. Também a fonte de tensão proposta pode ser construída com tal dispositivo já que o transistor é ligado como diodo com um dos lados ligado ao V_{SS} .

A AMS disponibiliza transistores verticais como células de biblioteca, Figura 14, junto com modelos para sua simulação. Foi escolhido este tipo de transistor para nossa aplicação. Como este transistor bipolar é um dispositivo fornecido pelo fabricante, não deve ser modificado e, deste modo, o projeto fica com sua flexibilidade reduzida. Por outro lado, ele já foi devidamente caracterizado, o que facilita sua aplicação e reduz riscos.



Figura 13. Vista em corte do transistor bipolar PNP vertical parasitário disponível pela AMS.



Figura 14. Layout do transistor PNP vertical parasitário disponível na AMS.

3.5. Simulação do Circuito Integrado

A finalidade de simular um circuito é verificar se o mesmo funciona da maneira desejada, utilizando modelos extraídos pela *foundry*. Para as simulações do projeto foi utilizada como ferramenta o software ELDO da *Mentor Graphics* [29]. O Anexo B apresenta os modelos para os transistores MOS, modelo BSIM3v3, para os transistores bipolares verticais e para os resistores fornecidos pela AMS e utilizados aqui.

Como o comportamento do circuito com a temperatura depende essencialmente do comportamento do transistor bipolar, procuramos verificar como este dispositivo é modelado no simulador para os parâmetros fornecidos pela *foundry* e, assim, saber se podemos ou não esperar resultados experimentais próximos dos simulados. Observamos que no modelo usado do transistor o valor da tensão de banda proibida (V_G) é considerado constante e igual a 1,15 V (Anexo A). Em modelos mais sofisticados V_G é dependente também da temperatura

4. CONSIDERAÇÕES DE PROJETO E LAYOUT

4.1. Projeto

Neste projeto foi necessário certo cuidado com o dimensionamento de cada transistor, uma vez que estes operam em diferentes regiões como descrito na seção 2.1.4.2. O primeiro passo para determinar as dimensões dos transistores foi adotar um valor inicial de corrente de dreno para o transistor M_1 (I_{D1}), Figura 10. Neste projeto foi adotada a corrente de 1 μ A; o valor baixo assegura que não serão necessárias dimensões irreais para fazer com que os transistores NMOS estejam em inversão fraca. Por outro lado, correntes muito pequenas obrigam que se aumente o valor dos resistores ou da relação geométrica dos transistores, conforme indica (23).

De acordo com a equação (22) para que passe corrente no resistor R_1 e o circuito funcione corretamente é necessário que a razão entre as relações geométricas dos transistores, $\left(\frac{S_2}{S_1}\frac{S_3}{S_4}\right)$, seja maior que um. É importante salientar que quanto maior esta razão entre os transistores menos sensível fica a tensão de saída com a tensão de alimentação. A área ocupada pelo circuito, entretanto, também aumenta. Foi escolhida a seguinte razão para o projeto, $\frac{S_2}{S_1} = \frac{S_3}{S_4} = 3$.

Uma vez definidas as correntes no circuito e as razões entre os transistores, calculamos os valores de *S* por meio da relação (12). Ela nos dirá o valor mínimo para a relação *W/L* do canal dos transistores N, para garantir que fiquem em inversão fraca, e o valor máximo para a relação *W/L* do canal dos transistores P, para garantir que fiquem em inversão forte. Lembrando que o transistor M_4 deve estar em fraca inversão com 3 µA de corrente e utilizando n = 1,2, obtemos que S_4 deve ser maior ou igual a 50; como o transistor M_3 deve ter $S_3 = 3S_4$, obtemos S_3 maior ou igual a 150 o que, com certeza, garante que ele esteja em fraca inversão com 1 µA. Por sua vez, o transistor M_1 deve estar em forte inversão com 1 µA de corrente. Para isso é necessário usar S_1 menor ou igual a 0,2; como o transistor M_2 deve ter $S_2 = 3S_1$, obtemos S_2 menor ou igual a 0,6 o que também garante a sua operação em forte inversão.

Achados os valores de *S*, para determinar as dimensões dos transistores iniciamos com a escolha dos valores do comprimento de canal (*L*). Para escolher estes valores é necessário levar em consideração a influência do *L* no casamento e na modulação de canal dos transistores. No geral o casamento é melhorado e a modulação é reduzida quando utilizamos comprimento de canal grande. Para os transistores NMOS, que possuem um valor de *S* muito elevado, foi utilizado o valor de *L* = 3 μ m (*L*'s maiores tornariam os transistores NMOS muito grandes). No caso dos transistores PMOS, que possuem um valor de *S* pequeno, foi utilizado *L* = 5 μ m para reduzir bem a modulação de canal neles.

Utilizando os valores de *S* e de *L* anteriormente calculados, obtivemos os seguintes valores de *W/L* para os transistores: M_1 = 1 µm /5 µm, M_2 = 3 µm /5 µm, M_3 = 450 µm /3 µm, M_4 = 150 µm /3 µm.

Pela Figura 15, obtida simulando M_3 e M_4 com as dimensões dadas acima para várias tensões de porta-fonte (V_{GS}), confirmamos que estes transistores operam em fraca inversão, relação exponencial entre I_D e V_{GS} , para correntes de dreno de 1 μ A e 3 μ A, respectivamente.



Figura 15. Gráfico de log $(-I_{DS})$ x V_{GS} para os transistores M_3 e M_4 com VDS = 3,3 V.

Uma vez escolhida à corrente no transistor M_1 e determinadas as relações S_1 , S_2 , S_3 e S_4 podemos calcular o valor de R_1 , equação (23), e será igual 61,2 K Ω

Os transistores $M_1 e M_5$ formam um espelho de corrente que influencia no valor do resistor R_2 . O transistor M_5 foi dimensionado para ter uma corrente dez vezes maior que a corrente em M_1 . Com isto o valor do resistor R_2 , calculado através da relação (28), não ficará muito maior do que o valor de R_1 . Utilizando c=5.53 (ver Anexos A e B), $V_{BE} = 0.680 V$ (valor típico fornecidos pela *foundry*), $V_{GO(TR)}$ =1,1088 V, e $T_R = 50 \ ^oC$ obtivemos $R_2 = 58,3 \ K\Omega$. O valor de $V_{GO(TR)}$ foi obtido utilizando-se a relação abaixo que fornece como a tensão de *bandgap* do silício varia com a temperatura [8]:

$$V_{GO(T_R)} = V_G - 7,02 \left(\frac{T_R^2}{T_R + 1108} \right) 10^{-4}$$
(31)

onde $V_G = 1.1557$ V

A Tabela 3 mostra os valores e as dimensões dos componentes obtidos por cálculo.

Foi simulado um circuito com estas dimensões e houve a necessidade de alterar os valores de R_1 , para ajustar a corrente que passa neste resistor para 1 µm, e de R_2 , para ajustar o ponto onde a derivada da tensão de saída com a temperatura é zerada (desejamos que seja em 50 °C). A Tabela 3 mostra também os valores e as dimensões do circuito final com estes ajustes obtidos por simulação e que foi o circuito implementado e caracterizado.

Componente	Calculado	Simulado/Implementado	Unidade
M ₁	1/5	1/5	μm/μm
M_2	3/5	3/5	μm/μm
M ₃	450/3	450/3	μm/μm
M ₄	150/3	150/3	μm/μm
M ₅	10/5	10/5	μm/μm
R ₁	61,2	68,8	kΩ
\mathbf{R}_2	58,3	62,8	kΩ

Tabela 3. Tamanho dos componentes do circuito bandgap projetado.

4.2. Circuito de Inicialização

Devido à utilização da técnica de auto polarizados é importante incluir nesta referência *bandgap* um circuito de inicialização, conforme descrito na seção 2.1.4.2. Observou-se, por meio de simulação, que numa situação onde as tensões de porta dos transistores P estão em V_{DD} e as tensões de porta dos transistores N estão em V_{SS} , o circuito auto polarizado não se inicia. Neste estado os quatro transistores M_1 , M_2 , M_3 e M_4 estão e permanecem cortados.

Por tratar-se de uma primeira versão do circuito, o *start-up* foi projetado para ser o mais simples possível e consta apenas do transistor M_S , Figura 10. Este transistor deve ser suficientemente grande para forçar para baixo a tensão na porta dos transistores PMOS, fazendo-os conduzir. Utilizaram-se aqui as dimensões de W= 1 µm e L = 2,5 µm. Observemos que há na tecnologia empregada uma mínima relação entre a área lateral total dos metais conectados a porta de um transistor e a área de canal deste transistor. Caso esta relação não seja obedecida, cargas formadas durante a etapa de *ion etch* dos metais, e capturadas pelos mesmos, podem causar a ruptura no óxido de porta do transistor. Como a porta do transistor M_5 é ligada a um *PAD* de entrada, o que implica numa área lateral de metais grande, foi empregado um comprimento de canal maior para aumentar a área do canal.

A Figura 16, obtida por simulação de transiente, mostra as tensões de saída (V_{OUT}) e de controle (V_C) do transistor M_S ao longo do tempo. Foram ainda forçadas condições iniciais de forma que o circuito *bandgap* não se inicie, o que pode ser reconhecido observando a tensão de saída zerada nos primeiros instantes da simulação. Quando aplicado o sinal de controle, a tensão de porta dos transistores PMOS é forcada para baixo e a tensão de saída se eleva aproximando-se de 3 V, ficando neste valor. Apenas após a desativação do sinal de controle é que a tensão de saída assume o valor desejado (leva cerca de 270 ns para isto).



Figura 16. Gráfico de V_{OUT} e V_C em função do tempo.

4.3. Layout

Para realizar o *layout* de um circuito analógico são necessários diversos cuidados. Isto torna o projeto mais complexo quando comparado ao de um circuito digital, pois o *layout*, neste segundo caso, é composto por blocos simples e a maior dificuldade está na distribuição, *placement*, e interconexão, *routing*, das células. Em geral, em um circuito digital, as restrições primárias são minimizar área e atrasos dos sinais, e uma maior atenção é voltada aos blocos lógicos e não aos transistores individualmente [30].

Um dos cuidados tomados aqui foi a utilização de anéis de guarda. Mesmo não havendo a integração de blocos digitais junto à fonte de referência, teve-se a preocupação de que o ruído gerado por tais blocos influenciaria no desempenho do circuito analógico. Para minimizar tal influência, os nós críticos do circuito foram protegidos por anéis de difusões P+ e N+ conectados a V_{SS} e V_{DD} , respectivamente [30].

Outro cuidado tomado foi a utilização da estrutura de "dedos" na implementação de alguns transistores. Como descrito anteriormente os transistores M_3 e M_4 foram polarizados para operar na região de inversão fraca, o que resulta em

um *W* bastante grande, como mostra a Tabela 3. Devido ao seu tamanho esses transistores, se desenhados sem atenção, ocupariam uma região desproporcional a aquela ocupada pelos outros componentes do circuito. Para reduzir esta desproporcionalidade, estes transistores foram divididos em transistores menores colocados em paralelo, utilizando a estrutura de *layout* conhecida como estrutura de "dedos", mostrada na Figura 17. Este tipo de estrutura paralela não modifica o desempenho elétrico do transistor, pois a soma da largura de canal dos transistores em paralelo é igual à largura de canal de transistor original.

Para melhorar o casamento entre os transistores M_3 e M_4 , o que é crucial para o circuito, ambos foram formados a partir de transistores com largura de canal de 15 μ m colocados muito próximos. O transistor M_3 foi implementado como 30 transistores em paralelo e M_4 , como 10 transistores. O valor de 15 μ m foi escolhido para se ter números inteiros de transistores para M_3 e para M_4 .



Figura 17. (a) Transistor dividido em estruturas paralelas. (b) Layout de um transistor em dedos

Devido a grande área ocupada pelos transistores, gradientes que aparecem durante o processo de fabricação, na dopagem, na espessura de óxido, etc., podem ter modificar as características elétricas dos dispositivos. Isto pode fazer que a relação da corrente que passa nos transistores deixe de ser proporcional a razão geométrica deles, como é o esperado em espelhos de corrente, equação (11), pares diferenciais, etc. [6]. Para minimizar a influência destes gradientes, comuns aos processos de fabricação, existe a técnica de *layout* chamada de centróide comum. Nesta técnica os transistores, normalmente de dimensões iguais, são divididos e suas partes são posicionadas de modo diagonal entre si. Deste modo, a influência dos gradientes é reduzida tanto horizontalmente quanto verticalmente. A Figura 18 (a) mostra o esquemático de um circuito par diferencial e a Figura 18 (b) apresenta o esboço do *layout* deste mesmo circuito, utilizando a técnica de centróide comum.

Neste trabalho a técnica de centróide comum foi descartada pois os transistores, no qual ela poderia ser aplicada, têm dimensões diferentes entre si e, neste caso, a sua aplicação tornaria o *layout* complexo, resultando, possivelmente, em melhoras pouco expressivas.



Figura 18. (a) Esquemático de um circuito par diferencial. (b) Esboço do *Layout* do circuito par diferencial utilizando a técnica de centróide comum.

Os resistores R_1 e R_2 , Tabela 3, têm valores altos e por isso precisam de materiais com alta resistência de folha na sua construção [20]. A Tabela 4 fornece as resistividades e coeficientes de temperatura das camadas que a *foundry* disponibiliza para implementar resistores. São elas: camada de silício policristalino de alta resistividade, RPOLYH, de silício policristalino de porta, RPOLY, de silício policristalino usado para capacitores, RPOLY2, de difusão P, RDIFFP, de difusão N, RDIFFN, e do poço tipo N, RNWELL.

Na tecnologia utilizada apenas as camadas RNWELL e RPOLYH têm alta resistência de folha. Os resistores de nosso circuito foram implementados com o silício policristalino RPOLYH pois esta camada tem, além da alta resistência de folha, o coeficiente de temperatura baixo. Adicionalmente, resistores implementados no silício policristalino não sofrem o efeito de regiões de depleção como acontece no poço.

Observemos que pode haver variações de até 25 % no valor da resistência de folha das camadas devido ao processo de fabricação, Tabela 4. Para melhorar o casamento entre os resistores R_1 e R_2 , minimizando os efeitos destas variações, os resistores foram desenhados, Figura 19, com as dimensões de largura iguais e bem superiores à mínima permitida na tecnologia.

 Tabela 4. Camadas disponíveis para implementar resistores e respectivas resistividades e coeficientes de temperatura.

Тіро	Mínimo	Típico	Máximo	Unidade	Coef. De Temp.
RPOLYH	0,9	1,2	1,5	KΩ/□	-0,4 10 ⁻³ /K
RPOLY2	40	50	60	Ω/□	0,7 10 ⁻³ /K
RDIFFN	55	70	85	Ω/□	1,5 10⁻³/K
RDIFFP	100	130	160	Ω/□	1,5 10⁻³/K
RNWELL	0,8	1,0	1,2	KΩ/□	6,2 10⁻³/K
RPOLY	1	8	15	Ω/□	0,9 1 ⁰⁻³ /K



Figura 19. *Layout* do resistor R_1 em silício policristalino de alta resistividade (RPOLYH) com dimensões de 286,5 µm x 5 µm.

Devido à importância dos resistores para zerar o coeficiente de temperatura na tensão de saída, foram fabricadas duas estruturas distintas do *bandgap*: uma estrutura com os resistores R_1 e R_2 implementados de fato no circuito integrado e usando silicio policristalino de alta resistividade; outra estrutura sem estes resistores, o que implica que eles devem ser colocados externamente. Com um circuito com resistores externos poderemos: ajustar a relação entre os valores de R_1 e R_2 para verificar se a relação determinada no projeto é a correta; ajustar o valor da tensão de saída caso ele esteja muito diferente do desejado; reduzir, se necessário, o valor das correntes para garantir que os transistores NMOS estejam mesmo na inversão fraca.

A Figura 20 apresenta o circuito com resistores internos. Nela podemos ver os resistores R_1 e R_2 implementados em polisilicio RPOLYH, o transistor bipolar, BJT,

e quatro *PADs*: dois de alimentação, **VDD** e **VSS**, o da tensão de saída, **VOUT**, e um utilizado para o *start-up* do circuito, **VC**. As dimensões do circuito são de aproximadamente $220 \,\mu\text{m} \ge 76 \,\mu\text{m}$, sem as estruturas de *PAD*.

A Figura 21 apresenta o circuito sem os resistores. São utilizados aqui seis *PADs*: quatro com as mesmas funções do circuito anterior, **VDD**, **VSS**, **VOUT** e **VC**, e **UM** e **QUATRO** que são utilizados para conectar externamente R_1 e R_2 respectivamente (estes dois pontos estão identificados na Figura 10). As dimensões deste circuito são de aproximadamente 190 µm x 36 µm, sem as estruturas de *PAD*.

Observemos que foram utilizados *PADs* sem proteção para descargas estáticas nos protótipos. A razão para isto foi que os *PADs*, com proteção, fornecidos pela *foundry* têm dimensões muito grandes. A utilização de tais *PADs* implicaria em uma área de circuito de quatro a cinco vezes maior do que a dos circuitos das Figuras 20 e 21.



Figura 20. Layout do circuito bandgap com resistores de internos (dimensões de 220 µm x 76 µm)



Figura 21. Layout do circuito bandgap sem os resistores (dimensões de 190 µm x 36 µm, sem PADs)

4.4. Resultados de simulação

O circuito proposto foi projetado para fornecer uma tensão de referência V_{REF} de aproximadamente 1,25 V em uma temperatura de referência de 50 °C. Os resultados da simulação foram obtidos com o *netlist* extraído do layout e os modelos com os parâmetros típicos (**TM**), os parâmetros *worst speed* (**WS**) e os parâmetros *worst power* (**WP**) (Anexo B).

Foram feitas análises DC para determinar a variação da tensão de saída em função da tensão de alimentação e da temperatura. Para todas as simulações de temperatura foi utilizada a faixa de operação especificada pela *foundry*, de -40 °C a 120 °C. Esta faixa de simulação foi utilizada para avaliar o comportamento do circuito em condições mais agressivas de operação.

As simulações do circuito foram separadas, de acordo com seu objetivo, em dois grupos: no primeiro grupo estão as simulações realizadas para avaliar os espelhos de corrente; no segundo, as simulações realizadas para analisar o comportamento do circuito completo. Separando as simulações desta forma torna-se mais fácil a identificação de possíveis problemas no *bandgap*.

As três primeiras simulações, Figuras 22, 23 e 24, visam à avaliação do comportamento dos espelhos de corrente com relação à alimentação e a temperatura.

Na Figura 22 são mostradas as correntes DC de dreno dos transistores M_1 , M_2 , negativas devido à convenção de correntes adotada, M_3 e M_4 em função do valor da

tensão de alimentação V_{DD} (faixa de simulação de 1,0 V a 4,0 V). O objetivo aqui é verificar se os espelhos de corrente mantêm a relação de correntes de 3:1 para valores diferentes de tensão de alimentação. A Tabela 5 fornece os valores das correntes em M_1 e M_2 para alguns valores particulares de tensão.

Pelos resultados destas simulações podemos ver que a relação de correntes esta bem próxima de 3:1; a corrente que passa por M_1 e M_3 está bem próxima de 1 µA; o espelho de corrente funciona convenientemente para tensões tão baixas quanto 1,4 V.



Figura 22. Gráfico de $I_D \ge V_{DD}$ dos transistores M_1 , M_2 , $M_3 = M_4$, utilizando parâmetros típicos da tecnologia e temperatura de 50 °C.

Tensão de alimentação	2 V	3,3 V	4 V
I_{DI} (M ₁)	0,986 µA	1,010 µA	1,022 µA
I_{D2} (M ₂)	2,969 µA	3,066 µA	3,112 µA
I_{D2}/I_{D1}	3,011	3,036	3,045

Tabela 5. Valores das correntes de dreno nos transistores $M_1 e M_2$ e relação entre elas para algumas tensões de alimentação.

A Figura 23 mostra as curvas das tensões sobre o resistor R_1 em função da temperatura de operação. A finalidade da figura é verificar se as curvas da tensão sobre o resistor são lineares como aponta a expressão (20). Ainda, podemos determinar a inclinação da curva teórica e compará-la com a simulada. A partir da

expressão de V_{Rl} , equação (22), obtemos por simulação que $\frac{\partial V_{Rl}}{\partial t} = 189 \,\mu \text{V/}^{\circ}\text{C}$; para os valores de S₁, S₂, S₃ e S₄ utilizados no projeto, utilizando parâmetros típicos, obtemos $\frac{\partial V_{Rl}}{\partial t} = 194 \,\mu \text{V/}^{\circ}\text{C}$, valor próximo do teórico.

Na Figura 24 são mostradas as correntes DC de dreno dos transistores M_1 , M_2 , M_3 e M_4 em função da temperatura de operação. O objetivo aqui é verificar se os espelhos de corrente mantêm a relação de correntes com a temperatura (faixa de simulação de -40 °C a 120 °C). A Tabela 6 fornece os valores das correntes em M_1 e M_2 para alguns valores particulares de temperatura.

Pelos resultados destas simulações podemos ver que: a relação de correntes praticamente não depende da temperatura; as correntes que passam por M_1 e M_2 têm variação linear com a temperatura (coeficiente *x* igual a um). Este comportamento linear é devido à pequena influência do coeficiente de temperatura do resistor R_1 (Anexo B).



Figura 23. Gráfico de V_{RI} x Temperatura, utilizando os parâmetros típicos (**TM**), *worst speed* (**WS**) e *worst power* (**WP**) da tecnologia e com V_{DD} de 3,3 V.



Figura 24. Gráfico de I_D x Temperatura dos transistores M_1 , M_2 , M_3 e M_4 , utilizando parâmetros típicos da tecnologia e com V_{DD} = 3,3 V.

Tabela 6. Valores das correntes de dreno nos transistores M_1 e M_2 e relação entre elas para algumas
temperaturas de operação.

Temperatura de simulação	-40 °C	120 °C
$\frac{I_{DI} (M_1)}{I_{DI} (M_1)}$	0,747 μΑ	1,248 µA
I_{D2} (M ₂)	2,268 µA	3,788 µA
I_{D2}/I_{D1}	3,036	3,035

As próximas simulações, Figuras 25, 26 e 27, incluem os demais componentes do circuito *bandgap* (o transistor M_5 , o resistor R_2 e o transistor bipolar Q_6). Nelas observaremos o comportamento da tensão de saída do *bandgap* para diferentes valores de tensão de alimentação e de temperatura. Neste caso utilizaram-se nas simulações tanto os parâmetros típicos como o *worst speed* e o *worst power*.

Na Figura 25 são mostradas as tensões de saída do circuito em três temperaturas diferentes, -40 °C, 50 °C e 120 °C, como função da tensão de alimentação que varia de 1 V a 4 V, utilizando parâmetros típicos.

Na Figura 26 é mostrada a tensão de saída, para simulações com parâmetros típico, *worst speed* e *worst power*, em função da tensão de alimentação que varia de 1 V a 4 V. Neste gráfico a temperatura é de 50 °C. As curvas para os diferentes

parâmetros são praticamente paralelas e a distância entre as curvas **WP** e **WS** é de 55 mV quando a tensão de alimentação é de 3,3 V.

A Tabela 7 fornece os valores das tensões de saída para alguns valores particulares de tensão de alimentação e temperatura, para os parâmetros típicos $(V_{OUT}(TM))$, worst speed $(V_{OUT}(WS))$ e worst power $(V_{OUT}(WP))$. A tensão de saída na temperatura de referência, 50 °C, para alimentação de 3,3 V é de $(1,3 \pm 0,028)$ V; para alimentação de 2 V esta tensão será de $(1,274 \pm 0,026)$ V; para alimentação de 4 V, está tensão será de $(1,311 \pm 0,028)$ V.



Figura 25. Gráficos de simulação de V_{OUT} x V_{DD} do circuito de *bandgap* para diferentes temperaturas (-40 °C, 50 °C e 120 °C), utilizando parâmetros típicos.

Pelos resultados destas simulações podemos ver que a tensão obtida na saída depende da tensão de alimentação e das características do transistor. Observemos que para se conseguir um valor preciso de tensão na saída deste *bandgap* serão necessários ajustes no valor dos resistores para compensar as variações nos transistores.

	T (°C)	2V	3,3 V	4 V
	120	1,2777	1,3048	1,3157
$V_{OUT(TM)}(V)$	50	1,2765	1,3014	1,3125
	-40	1,2806	1,3048	1,3163
	120	1,2445	1,2689	1,2796
$V_{OUT(WS)}(V)$	50	1,2488	1,2719	1,2823
	-40	1,2593	1,2822	1,2925
	120	1,3041	1,3351	1,3479
$V_{OUT(WP)}(V)$	50	1,3001	1,3271	1,3392
	-40	1,3013	1,3270	1,3386

Tabela 7. Valores de V_{OUT} para as temperaturas de -40 °C, 50 °C e 120 °C do circuito *bandgap* nas tensões de 2 V, 3,3 V e 4 V.



Figura 26. Gráfico de $V_{OUT} \ge V_{DD}$ do circuito *bandgap* utilizando os parâmetros típicos (**TM**), *worst speed* (**WS**) e *worst power* (**WP**) e temperatura de 50 °C.

Na Figura 27 é mostrada a tensão de saída do circuito, para simulações com parâmetros típicos, *worst speed* e *worst power*, em função da temperatura que varia de -40 °C a 120 °C. A tensão de alimentação é mantida aqui em 3,3 V. É possível visualizar que há, para cada uma das três curvas, uma diferente temperatura onde a derivada é zero (coeficiente de temperatura local igual a zero). Para os parâmetros de simulação típicos, *worst speed* e *worst power* a temperatura onde a derivada é zero está em 27 °C, 115 °C e 0 °C respectivamente. Estas diferenças são devidas,

principalmente, às variações nas correntes encontradas no circuito para as simulações com os três parâmetros.

Como foi dito na seção 4.1 por meio de simulações pré-*layout* o circuito foi ajustado para ter o coeficiente de temperatura local igual a zero na temperatura de referência de 50 °C. Vemos que isso não está ocorrendo nem para os parâmetros típicos (utilizados no ajuste pré-*layout*). A diferença se deve ao valor dos resistores extraído a partir do *layout*. Dado a grande variação que acontece entre os resultados das simulações com os vários parâmetros, não se achou necessário fazer novos ajustes no valor do resistor R_2 .

A Tabela 8 sumariza as principais informações da Figura 27 e mostra que o coeficiente de temperatura varia de 17 ppm/°C, para os parâmetros típicos, à 65 ppm/°C para os parâmetros *worst speed*. Para o cálculo dos coeficientes de temperatura do circuito *bandgap* foi utilizada a seguinte relação

$$ct = \frac{V_{OUT(máx)} - V_{OUT(min)}}{V_{OUT(no\min al)}(T_{(max)} - T_{(min)})} 10^{6}$$
(32)

onde $V_{OUT}(max)$ e $V_{OUT}(min)$ são a máxima e mínima tensões da saída, T(max) e T(min) são a máxima é mínima temperaturas consideradas em °C, $V_{OUT}(nominal)$ é a tensão esperada na saída e o resultado é dado em ppm/°C.



Figura 27. Gráfico de *Vout* x Temperatura do circuito *bandgap* utilizando os parâmetros típicos (**TM**), *worst speed* (**WS**) e *worst power* (**WP**) e V_{DD} = 3,3 V.

	Vmin (V)	Vmáx (V)	Coeficiente de temperatura zerado (°C)	Coeficiente de temperatura (ppm/ºC)
V _{OUT(TM)}	1,3012	1,3048	27	17
V _{OUT(WP)}	1,3249	1,3351	0	48
V _{OUT(WS)}	1,2689	1,2822	115	65

Tabela 8. Valores máximo e mínimo de V_{OUT} para diferentes parâmetros de simulação, na faixa de
temperatura -40 a 120 °C.

4.5. Conclusões parciais

Os resultados obtidos por simulação do circuito *bandgap* em relação à alimentação e a temperatura encaixam-se nas especificações iniciais de projeto. O coeficiente de temperatura do circuito na faixa extrapolada de -40 °C a 120 °C ficou em aproximadamente 17 ppm/°C, 65 ppm/°C e 48 ppm/°C para os parâmetros típicos, *worst speed* e *worst power* respectivamente. O valor da tensão de saída esta próxima de 1,3 V, acima do valor típico desejado de 1,25 V.

A taxa de variação de V_{OUT} em relação à alimentação, para tensões acima de 2 V, foi de 18 mV/V, 17 mV/V e 20 mV/V para os parâmetros típicos, *worst speed* e *worst power* respectivamente. É interessante observar que esta variação é causada principalmente pela dependência das correntes nos espelhos de corrente com a tensão de alimentação. Esta dependência pode ser reduzida aumentando-se o comprimento de canal dos transistores e considerando-se alguns efeitos de segunda ordem. Uma alternativa é a utilização de espelhos de corrente mais sofisticados, espelho de Wilson, por exemplo, principalmente para os transistores NMOS onde a relação (*W/L*) é muito alta.

A temperatura em que o coeficiente de temperatura é igual a zero é diferente do valor ajustado no projeto de 50 °C e varia bastante com os parâmetros usados na simulação.

5. RESULTADOS E DISCUSSÕES

Neste capítulo serão descritos os métodos utilizados para testar os dois circuitos *bandgap* e os resultados obtidos, além de serem apresentadas discussões. O circuito integrado fabricado na *foundry* AMS tem dimensões totais, os dois *bandgaps* juntamente com os *PADs*, de 771 μ m x 327 μ m. A Figura 28 apresenta as fotos dos circuitos: o circuito com resistores integrados esta na Figura 28(a); o circuito sem resistores está na Figura 28(b). O número de amostras disponíveis para testes é de cinco para o circuito com resistor, nomeadas *am1.1* até *am5.1*, e cinco para o circuito sem resistor, nomeadas *am1.2* até *am5.2*.

Como o circuito *bandgap* é um circuito analógico de baixa freqüência os testes puderam ser realizados com ele encapsulado. As duas versões do circuito contidas em um chip foram encapsuladas em um DIL14 (*Dual in Line* de 14 pinos) e o esquema para encapsulamento está apresentado na Figura 29. Observemos que o par de amostras *am1.1* e *am1.2* estão no mesmo encapsulamento; o mesmo acontece com os pares *am2.1 - am2.2, am3.1 - am3.2, am4.1 - am4.2* e *am5.1 - am5.2*.



(a)

(b)

Figura 28. Fotomicrografia do circuito *bandgap* fabricado (a) com resistores integrados e (b) sem resistores.



Figura 29. Diagrama para encapsulamento do circuito integrado.

5.1. Procedimento experimental

Os testes dos circuitos foram divididos em duas categorias. Na primeira categoria os testes foram realizados para analisar a variação da tensão de saída com a tensão de alimentação; na segunda, foram realizados para analisar a variação da tensão de saída com a temperatura externa ao circuito.

Observemos inicialmente que, não obstante o cuidado no manuseio dos *chips*, com a utilização constante de pulseira e superfícies anti-estáticas, as amostras *am1.1*, *am2.1* e *am5.1* do circuito com resistores e as amostras *am1.2* e *am2.2* do circuito sem resistores apresentaram problemas durante os testes: as amostras *am1.1*, *am1.2* e *am2.2* "queimaram" no início das medidas; a amostra *am2.1*, que foi submetida a temperatura de 120 °C, teve seu comportamento degradado; a amostra *am5.1* foi danificada durante os testes com a temperatura. Foram feitos alguns testes com as amostras "queimadas" *am1.1*, *am1.2* e *am2.2* e verificou-se que estas possuíam fuga de corrente pela porta do transistor M_S , sugerindo ter havido o rompimento no óxido de porta, dano que normalmente ocorre devido a cargas eletrostática (ESD). Como não se utilizou circuitos de proteção nos *PADs*, este tipo de problema é bastante provável.

Em conseqüência disso, as medidas finais apresentadas se referem às amostras *am2.1*, *am3.1*, *am4.1* e, em alguns casos, a amostra *am5.1* para o circuito com resistor, e as amostras *am3.2*, *am4.2* e *am5.2* para o circuito sem resistor.

Em relação ao transistor de *start-up* adicionado ao circuito, seu uso não foi necessário em nenhum dos testes.

Os equipamentos que foram usados durante os testes são apresentados a seguir:

- 1. Uma fonte de alimentação DC da HP-6614C
 - Tensão de saída de 0 a 100 V;
 - Corrente de saída de 0 a 0,5 A;
 - Precisão de 0,03 %
- 2. Multímetro Digital da Agilent-33401A
 - Faixa de tensão para medidas de tensão DC de 100 mV, 1 V, 10 V, 100 V e 1000 V (750 Vac);
 - Faixa de Corrente de 10 mA (somente DC), 100 mA (somente DC), 1 A e 3 A;
 - Resolução máxima de 100 nV (na faixa de 100 mV);
 - Opera com precisão na faixa de temperatura de 0 °C a 55 °C.
- 3. Câmara Climática VT 4004 da Vötsch Industrietechnik (Figura 30)
 - Opera na faixa de temperatura de -40 °C a 130 °C;
 - Volume interno de 35 L.



Figura 30. Câmara Climática VT 4004 da Vötsch Industrietechnik usado nas medidas com a temperatura.

Além destes equipamentos, foi utilizada uma placa de fenolite (Figura 31) para montagem do circuito. Foi evitado o uso de *protoboards* para reduzir influências de maus contatos e evitar problemas com o aquecimento no forno. Na realidade, em testes iniciais com a amostra *am2.1* foi feito o uso de *protoboard* mas este sofreu deformações quando submetido à temperatura de 120 °C. Em vista disto optou-se por limitar a temperatura máxima de testes a 100 °C e utilizar apenas a placa de fenolite.



Figura 31. Foto da montagem em uma placa de fenolite usada nas medidas.

Nos circuitos sem os resistores integrados foram acrescentados externamente *trimpot's* de 100 K Ω que foram ajustados através do seguinte procedimento: inicialmente o *trimpot* que substituiria R_1 , Figura 10, foi ajustado para ter um valor de aproximadamente 68,8 K Ω e o *trimpot* que substituiria R_2 , para ter um valor de aproximadamente 62,8 K Ω . Em seguida o circuito foi alimentado com 3,3 V e a tensão de saída foi acertada para 1,25 V através da variação do valor de R_2 (espera-se que quando a saída do circuito estiver próxima de V_{G0} o valor derivada do coeficiente de temperatura esteja próximo de zero). Ressaltamos que este ajuste foi feito à temperatura ambiente o que indica, a principio, que estamos zerando a derivada do coeficiente de temperatura não a 50 °C.

Os valores da resistência R_2 após ajustes ficaram em 65,01 K Ω , para a amostra *am3.2*, 61,38 K Ω , para *am4.2*, e 59,55 K Ω , para *am5.2*.

Observemos que foram utilizados *trimpot*'s multivoltas de 100 KΩ, devido ao menor coeficiente de temperatura (100 ppm/°C) e a maior faixa de temperatura de operação (-55 °C a 150 °C) destes componentes [31].

Para os testes feitos em relação à variação da tensão de alimentação, que são simples, foi adotado o seguinte procedimento: a fonte DC da HP foi utilizada como alimentação individual dos circuitos e se aplicaram tensões entre 1,2 V e 3,0 V, com

passos de 200 mV. A tensão de saída então foi lida diretamente no Multímetro Digital. Todas as medidas aqui foram realizadas a temperatura ambiente de 27 °C.

Nos circuitos com resistores externos houve problemas de instabilidade na sua caracterização em relação à tensão de alimentação: após cada ajuste na tensão de alimentação do circuito a tensão na saída oscilou por cerca de três minutos antes de estabilizar. A amostra onde se teve maior instabilidade foi a *am5.2*, principalmente para baixas tensões.

Para os testes feitos em relação à variação da temperatura, foi adotado o seguinte procedimento: a câmara climática foi utilizada para fixar a temperatura ambiente entre as temperaturas de -30 °C e 100 °C, com passos de 10 °C. A tensão de alimentação é mantida em 3,3 V.

As medidas poderiam ter sido realizadas, a princípio, tanto partindo da temperatura mais baixa e avançando até a mais alta como na direção contrária. O comportamento do circuito, no entanto, varia de acordo com o procedimento de medida adotado, conforme mostra a Figura 32. Nesta figura estão apresentadas as medidas da tensão de saída da amostra *am2.1* em função da temperatura que varia de -30°C a 100°C. A curva *Med1* foi obtida iniciando as medidas em -30 °C e elevando a temperatura, em passos de 10 °C, até atingir 100 °C; a curva *Med2*, por sua vez, foi obtida iniciando em 100 °C e reduzindo a temperatura, em passos de 10 °C, até -30 °C. A curva *Med1* fornece um coeficiente de temperatura de 189 ppm/°C (equação (32)), enquanto a curva *Med2*, de 140 ppm/°C. A distância entre elas é de 16 mV a temperatura de 20 °C. Fica claro que os procedimentos de medida influenciam os resultados.

A direção adotada para as medidas foi da temperatura mais alta para a mais baixa. Com isso se reduz possíveis problemas com a umidade do ambiente que em baixas temperaturas pode vir a causar desvios nos resultados ou mesmo danificar o circuito.

Observemos que nas medidas com a temperatura, alguns cuidados foram tomados para garantir que a estabilidade térmica no circuito fosse alcançada. Assim, após o mostrador da câmara climática indicar que esta atingiu a temperatura desejada, se aguardou mais 20 minutos, em média, para permitir que a temperatura interna do CI entrasse em equilíbrio com a temperatura da câmara. Só então foram tomadas as medidas.

Todos os valores medidos podem ser encontrados no Anexo C.



Figura 32. Caracterização da amostra *am2.1* com a variação da temperatura utilizando dois procedimentos diferentes ($V_{DD} = 3,3$ V).

5.2. Resultados de caracterização

A apresentação dos resultados da caracterização dos circuitos será dividida em duas seções. Na primeira serão mostrados os resultados relacionados à variação da tensão de alimentação e na segunda, os resultados relacionados à variação da temperatura.

5.2.1. Caracterização com a tensão de alimentação

Na Figura 33 estão as tensões de saída das quatro amostras testadas para o circuito com resistores integrados em função da tensão de alimentação, estas medidas foram realizadas a temperatura ambiente de 27 °C. Podemos observar que para tensões de alimentação superiores a 1,8 V o comportamento da tensão de saída é praticamente constante. Fazendo uma rápida comparação entre as Figuras 33 e 25, resultados simulados, é possível perceber que as curvas nestes gráficos tem comportamento similar.

Tomando 1,8 V como tensão mínima de operação e 3,3 V como tensão máxima, obtêm-se os resultados da Tabela 9.

Amostras	Min.	Máx.
	(V)	(V)
am-2.1	1,207	1,238
am-3.1	1,223	1,257
am-4.1	1,147	1,178
am-5.1	1,195	1,229

Tabela 9. Valores de tensão de saída para tensões de alimentação mínima (1,8 V) e máxima (3,3 V),para o circuito *bandgap* com resistores integrados.

É possível fazer duas considerações a partir dos resultados da tabela acima. A primeira é que todos os circuitos apresentam tensões de saída dentro da faixa de especificações iniciais de projeto (1,1 V a 1,3 V) para a tensão de alimentação de 3,3 V. Em relação à tensão de saída desejada, 1,25 V para tensão de alimentação de 3,3 V, a amostra *am-3.1* apresentou o menor desvio, 7 mV, e a amostra *am-4.1* o maior, 72 mV.

Uma segunda consideração é que em todas as amostras a taxa de variação na tensão de saída com a tensão de alimentação está próxima de 20 mV/V (tensão de alimentação variando entre 1,8 V e 3,3 V)

As amostras medidas apresentaram curvas com comportamento e valores de tensão de saída próximos aos obtidos por simulação utilizando o parâmetro *worst power*.



Medidas para diferentes tensões de alimentação

Figura 33. Medidas da tensão de saída em relação à alimentação dos circuitos com resistores integrados, realizadas à temperatura ambiente de 27 °C.

Após as medidas de caracterização das amostras dos circuitos com resistor integrado, foram testadas as amostras do circuito sem resistor.

Na Figura 34 são apresentadas as tensões de saída das três amostras para o circuito sem resistores em função da tensão de alimentação. Os circuitos sem os resistores mostram um comportamento similar aos circuitos com resistores, estando, naquele caso, as curvas mais próximas. Podemos observar que para tensões de alimentação acima de 1,8 V o comportamento da tensão de saída é praticamente constante.

Como antes, tomando 1,8 V como tensão mínima de operação e 3,3 V como tensão máxima, obtém-se os resultados da Tabela 10.

Tabela 10. Valores de tensão de saída para tensões de alimentação mínima (1,8 V) e máxima (3,3 V), para o circuito *bandgap* sem resistores integrados.

Amostras	Min.	Máx.
	(V)	(V)
am-3.2	1,226	1,258
am-4.2	1,225	1,256
am-5.2	1,221	1,252

Observando a Tabela 10 verifica-se que, em relação à tensão de saída desejada, 1,25 V para tensão de alimentação de 3,3 V, a amostra *am-5.2* apresentou o menor desvio, 2 mV, e a amostra *am-3.2*, o maior, 8 mV. Estes valores poderiam ser reduzidos se os *trimpot*'s utilizados como R_2 permitissem um ajuste mais fino.

A taxa de variação da tensão de saída com a tensão de alimentação foi de 20 mV/V nas amostras am3.2 e am4.2, resultado semelhante aos resultados das amostras do circuito anterior. Em am5.2 esta taxa foi maior, de 28 mV/V.



Figura 34. Medidas da tensão de saída em relação à alimentação dos circuitos com resistores externos, realizadas à temperatura ambiente de 27 °C.

5.2.2. Caracterização com a temperatura

Apresentamos nesta seção os resultados de caracterização dos circuitos com a temperatura que foi executada na câmara climática de acordo com o procedimento descrito anteriormente. Nestes testes as medidas dos dois circuitos contidos em cada encapsulamento foram realizadas juntas para reduzir o tempo de caracterização.

Na Figura 35 são apresentadas as tensões de saída das duas amostras testadas para o circuito com resistores integrados em função da temperatura de operação. A tensão de saída à temperatura de 50 °C e o coeficiente de temperatura são de 1,256 V e 40 ppm/°C, para a amostra *am3.1*, e de 1,184 V e 35 ppm/°C para a amostra *am4.1*. Para obter os coeficientes de temperatura foi utilizada a equação (32). Há uma

diferença de aproximadamente 72 mV entre as tensões de saída e de 5 ppm/°C entre os coeficientes de temperatura das duas amostras.

Podemos comparar o gráfico da Figura 35 com o gráfico da Figura 27, onde estão apresentados os resultados de simulação. Na Figura 35 as curvas são crescentes enquanto na Figura 27 elas são côncavas tendo um ponto de mínimo. A possível razão para a diferença é que o ponto onde a derivada da função da tensão se anula, derivada em relação à temperatura, está abaixo de -30 °C ou acima de 100 °C. O valor deste ponto depende, como visto, do comportamento dos transistores e também das relações entre os resistores e entre os transistores.



Medidas de temperatura

Figura 35. Medidas da tensão de saída em relação à temperatura, dos circuitos com resistores integrados ($V_{DD} = 3,3$ V).

Após apresentar as medidas de caracterização nas amostras do circuito com resistor integrado, apresentamos os resultados das três amostras do circuito sem resistor.

Na Figura 36 são apresentadas as tensões de saída das três amostras testadas para o circuito sem resistores integrados em função da temperatura de operação. A tensão de saída à temperatura de 50 °C e o coeficiente de temperatura são de 1,254 V e 95 ppm/°C, para a amostra *am3.2*, de 1,259 V e 51 ppm/°C, para a amostra *am4.2*, e de 1,247 V e 31 ppm/°C para a amostra *am5.2*. As amostras *am4.2* e *am5.2* apresentaram resultados satisfatórios, o que não acontece com a amostra *am3.2* que tem alto coeficiente de temperatura.
Comparando o gráfico da Figura 36 com o gráfico da Figura 27 podemos observar que: as medidas para as três amostras são mais irregulares do que aquelas da simulação; agora apenas a curva da amostra *am3.2* é estritamente crescente.

O comportamento mais irregular apresentado no gráfico da Figura 36 pode ter sido causado pelo o ruído introduzido pelos potenciômetros externos. O procedimento de ajuste de R_2 , que não necessariamente zera o coeficiente de temperatura na temperatura de 50 °C, pode ser o maior responsável pelo alto valor do coeficiente de temperatura determinado com a amostra *am3.2*.



Figura 36. Medidas da tensão de saída em relação à temperatura, dos circuitos sem resistores integrados ($V_{DD} = 3,3$ V).

6. CONCLUSÕES

Para este projeto foi feito o estudo de algumas das topologias mais conhecidas de fontes de tensão de referência. A partir deste estudo foi escolhida a topologia mais adequada para atingir especificações desejadas, tais como: o coeficiente de temperatura, tensão de alimentação além de permitir a integração completa.

Uma vez escolhida a topologia foi feito o projeto e realizada a simulação do circuito. Verificado seu correto funcionamento realizou-se seu *layout* e procedeu-se a extração dos *netlists* para novas simulações, executadas com o *software* ELDO.

Conforme descrito anteriormente todos os circuitos foram projetados para a *foundry* AMS com tecnologia CMOS de 0,35 μ m, sendo que a dimensão total dos dois circuitos mais os *PADs* de entrada/saída é de 771 μ m x 327 μ m.

Durante a caracterização dos circuitos foram danificadas as amostras am1.1, am2.1 e am5.1 do circuito com resistores e as amostras am1.2 e am2.2 do circuito sem resistores, não obstante o cuidado no manuseio dos *chips*, com a utilização constante de pulseira e superfícies anti-estáticas. Foram feitos alguns testes com algumas amostras com problemas e verificou-se que estas possuíam fuga de corrente pela porta do transistor M_S , sugerindo ter havido o rompimento no óxido de porta, dano que normalmente ocorre devido a cargas eletrostática (ESD).

Das medidas experimentais verificamos que os circuitos com resistor integrado podem ser utilizados com tensões de alimentação abaixo da especificação inicial, uma vez que sua saída varia pouco a partir de tensões de alimentação acima de 1,8 V. Além disso, as amostras tiveram uma taxa de variação na saída com a tensão de alimentação próxima de 19 mV/V (tensão de alimentação variando entre 1,8 V e 3,3 V).

Em relação ao comportamento com a temperatura observou-se que as amostras *am3.1* e *am4.1* apresentam tensão de saída a temperatura de 50 °C e o coeficiente de temperatura de 1,256 V e 40 ppm/°C e de 1,184 V e 35 ppm/°C respectivamente.

A Tabela 11 apresenta as especificações iniciais desejadas e os resultados obtidos para o circuito com resistores integrados. Verifica-se que os valores medidos nas amostras estão dentro das especificações. É importante observar que a tensão na saída varia de amostra para amostra em dezenas de mV (para as quatro amostras na

temperatura de 27 °C, a variação máxima da tensão entre amostras é de 79 mV). Isto indica que não é possível, sem ajustes, obter uma tensão pré-determinada com precisão.

circuitos com resistores integrados.						
	Espec.	am2.1	am3.1	am4.1	am5.1	Unid.
T. de saída	1,10 a 1,40 (50 °C)	1,238 (27 °C)	1,256 (50 °C)	1,184 (50 °C)	1,229 (27 °C)	V
Coef. de Temp.	24 a 50	**	40	35	*	ppm/⁰C
T. de alimentação	3,3	3,3	3,3	3,3	3,3	V
Temperatura	-30 a 100	-30 a 100	-30 a 100	-30 a 100	-30 a 100	°C

 Tabela 11: Tabela comparativa entre os resultados de medidas e as especificações iniciais para os circuitos com resistores integrados.

*Amostra queimada

**Valores de medida descartados devido ao procedimento de medida inadequado

Verificamos também, através das medidas experimentais, que os circuitos com resistor externo podem ser utilizados com tensões de alimentação de até 1,8 V. Além disso, as amostras tiveram uma taxa de variação na saída com a tensão de alimentação entre 20 mV/V e 28 mV/V (tensão de alimentação variando entre 1,8 V e 3,3 V).

Em relação ao comportamento com a temperatura observou-se que as amostras *am3.3*, *am4.2* e *am5.2* apresentam tensão de saída a temperatura de 50 °C e o coeficiente de temperatura de 1,254 V e 95 ppm/°C, de 1,259 V e 51 ppm/°C e de 1,247 V e 31 ppm/°C respectivamente.

A Tabela 12 apresenta as especificações iniciais e os resultados obtidos para o circuito sem resistores integrados. Verifica-se que os valores medidos nas amostras, exceção do valor do coeficiente de temperatura de *am3.2*, estão dentro das especificações. Neste circuito, se obteve a tensão de saída bem próximo ao valor típico desejado de 1,25 V (variação máxima de 9 mV em 50 °C e de 8 mV na temperatura ambiente). Ajuste melhor depende apenas de um ajuste mais fino no *trimpot s* utilizados como R_2 .

	Espec.	am3.2	am4.2	am5.2	Unid.
Tensão de saída	1,10 a 1,40 (50 °C)	1,253 (50 °C)	1,259 (50 °C)	1,247 (50 °C)	V
Coef. de Temperatura	24 a 50	91	51	31	ppm/⁰C
Tensão de alimentação	3,3	3,3	3,3	3,3	V
Faixa de temperatura	-30 a 100	-30 a 100	-30 a 100	-30 a 100	°C

 Tabela 12: Tabela comparativa entre os resultados de medidas e as especificações iniciais para os circuitos sem resistores integrados.

Para todos os circuitos o consumo de corrente foi de aproximadamente 14 μ A e um consumo de potência de aproximadamente 58 μ W, para V_{DD} de 3,3 V, valor baixo, mas que pode ser reduzido.

Em relação ao transistor de *start-up* que foi adicionado ao circuito, em nenhum dos testes foi necessário acioná-lo.

De forma geral vimos que

- Valores de coeficiente de temperatura da ordem de 40 ppm/°C podem ser obtidos com implementações CMOS simples;
- Tensões de alimentação tão baixas quanto 2 V podem ser utilizadas;
- Valor preciso na tensão de saída exige ajustes de componentes após fabricação;
- Bandgaps com resistores externos podem ser utilizados. Neste caso se obtêm uma precisão maior no valor da tensão de saída mas, aparentemente, com o sacrifício do coeficiente de temperatura.

6.1. Sugestões para trabalhos futuros

O tema de geradores para tensão de referência *Bandgap* foi apenas iniciado neste trabalho e, portanto, existe uma grande quantidade de estudos que podem ser realizados:

 Medir outras amostras (amostras que se encontram com outros grupos que dividiram a área útil do circuito integrado) para melhor conhecer o comportamento dos circuitos implementados.

- Utilizar espelhos de corrente mais robustos a variações da tensão de alimentação;
- Estudar e implementar configurações de ajuste da tensão de saída do circuito *bandgap*, de baixo custo e com precisão;

ANEXO A

Cálculos da Tensão Base-Emissor do Transistor Bipolar em Função da Temperatura

Os circuitos *bandgap* normalmente utilizam transistores bipolares, portanto, é importante conhecer como a tensão base emissor, V_{BE} , varia com a temperatura. A seguir serão descritas as relações para determinar a tensão V_{BE} do transistor bipolar e sua dependência com relação à temperatura. Também serão mostradas as relações utilizadas no simulador.

A.1 Método de Cálculo de V_{BE} Desenvolvido por Tsividis [8]

Esta análise descreve o meio para o cálculo da tensão base-emissor que foi adotado no projeto apresentado neste trabalho. Ele é mais preciso do que outras análises.

Primeiro considerando-se que o transistor esta operando na região ativa e desprezando o efeito Early, teremos que a corrente de coletor, em função da temperatura, é dada por:

$$I_{C(T)} = I_{S(T)} e^{\frac{q V_{BE}}{kT}}$$
(a1)

onde I_c é a corrente de coletor, I_s é a corrente de saturação, T é a temperatura absoluta, q é a carga do elétron e k é a constante de Boltzmann.

Para calcular V_{BE} em função da temperatura consideramos a relação entre as correntes de coletor do transistor operando à temperaturas diferentes, obtendo:

$$\frac{I_{C(T)}}{I_{C(T_R)}} = \frac{I_{S(T)} e^{\frac{qV_{BE(T)}}{kT}}}{I_{S(T_R)} e^{\frac{qV_{BE(T_R)}}{kT_R}}}$$
(a2)

onde T_R é uma temperatura de referência.

Da expressão acima podemos isolar V_{BE} na temperatura T:

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{I_{S(T_R)}}{I_{S(T)}} \right) \right]$$
(a3)

A corrente I_S na equação (3) pode ser escrita em função de parâmetros do transistor, conforme mostra a relação abaixo:

$$I_{S(T)} = \frac{qAn_i^{2}(T)\overline{D}(T)}{N_B}$$
(a4)

onde *A* é a área da junção base-emissor, $n_{i(T)}$ é a concentração intrínseca de portadores (seu valor depende da temperatura), $\overline{D}_{(T)}$ é a constante de difusão efetiva dos portadores minoritários na base (seu valor depende da temperatura) e N_B é o número *Gummel* ou o número total de impurezas por unidade de área na base.

Substituindo (4) em (3) obteremos:

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{\frac{qAni^2(T_R)\overline{D}(T_R)}{NB}}{\frac{qAni^2(T)\overline{D}(T)}{NB}} \right) \right]$$
(a5)

Para detalhar mais a expressão, utilizou-se a seguinte relação para a concentração de portadores intrínsecos :

$$n_i^2(\tau) = ET^3 e^{\left[-\frac{qV_{GO(\tau)}}{kT}\right]}$$
(a6)

onde $V_{GO(T)}$ é a tensão de *bandgap* a uma temperatura $T \in E$ é uma constante.

Substituindo temos a expressão

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{qAET_R^3 e^{\left[-\frac{qV_{GO(T_R)}}{kT_R} \right]} (T_R) \overline{D}(T_R)}}{N_B} \right) \right]$$
(a7)

que simplificada resulta em

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{q\overline{D}_{(T_R)}}{q\overline{D}_{(T)}} \frac{T_R^3}{T^3} e^{\left(\frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} \right)} \right) \right]$$
(a8)

Assumindo que a mobilidade efetiva dos portadores minoritários na base pode ser obtida pela relação de Einstein

$$\overline{\mu}_{(T)} = \frac{q\overline{D}_{(T)}}{kT}$$
(a9)

podemos reescrever a equação (8) como:

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{\overline{\mu}_{(T_R)} k T_R}{\overline{\mu}_{(T)} k T} \frac{T_R^3}{T^3} \right) \right]$$
(a10)

onde não mais aparece $\overline{D}_{(T)}$. Para concluir e obter uma relação para a tensão V_{BE} que mostre sua dependência com a temperatura foi aplicada a expressão abaixo que indica a dependência da mobilidade com a temperatura.

$$\overline{\mu}_{(T)} = CT^{-\eta} \tag{a11}$$

onde C e η são constantes.

A expressão final para V_{BE} será

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{CT_R^{-\eta}}{CT^{-\eta}} \left(\frac{T_R}{T} \right)^4 \right) \right]$$
(a12)

ou

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} \right] - \frac{kT}{q} \ln \left(\frac{T}{T_R} \right)^{4-\eta} + \frac{kT}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \right)$$
(a13)

A.2 Equações do simulador

Dado um modelo do transistor bipolar e seus parâmetros, ficam definidas quais são as equações que o simulador utiliza. Vamos aplicar estas equações para determinar o valor de V_{BE} e posteriormente comparar com o resultado apresentado acima.

Iniciamos escrevendo a expressão para Ic que agora é

$$I_{C(T)} = \frac{I_{S(T)}}{q_b} e^{\frac{qV_{BE}}{kTN_F}}$$
(a14)

onde q_b depende de vários parâmetros tais como tensão de Early direta e reversa, V_{be} , etc. mas que está próximo de um para nosso caso e N_F = 0.9925 é um expoente para modelar a variação de β com a corrente.

Ainda, no simulador a corrente I_S , como função da temperatura, é determinada pelas expressões

$$I_{S(T)} = I_S e^{facl_{(T)}}$$
(a15)

$$e facI_{(T)} = \frac{qV_G}{kT_{nom}} - \frac{qV_G}{kT} + XT/\ln(\frac{1}{T})$$
(a16)

onde $I_{\rm S} = 0,233$ fA é a corrente de saturação, $V_{\rm G} = 1.115$ V é a tensão de bandgap, XTI = 5,53 é o expoente de temperatura para a corrente de saturação e T_{nom} é a temperatura nominal (27 °C).

Observemos que estas expressões são usadas devido ao valor de um parâmetro chamado TLEV (*default=1*); outras expressões seriam usadas se este parâmetro tivesse outro valor.

A partir das expressões (2) e (14) chegamos a expressão

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + N_F \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{I_{S(T_R)}}{I_{S(T)}} \right) \right]$$
(a17)

Utilizando então as relações para Is obtemos o resultado abaixo

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_G}{T_R} + \frac{V_G}{T} \right] - \frac{kT}{q} \ln \left(\frac{T_R}{T} \right)^{N_F \times TI} + N_F \frac{kT}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \right)$$
(a18)

Observe que a expressão acima é semelhante a (13). Lembrando que N_F é praticamente igual a um, vemos que a única diferença real entre elas está no fato da tensão de *bandgap* V_G para o simulador ser constante com a temperatura.

ANEXO B

Parâmetros de Simulação

Parâmetros Típicos: Modelo para Transistor Tipo P .MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO * _____ _ _ _ _ * _____ * format : ELDO, AccusimII, Continuum * model : MOS BSIM3v3 * process : C35 * revision : 2; * extracted : C64685 ; 2002-12; ese(487) * doc# : ENG-182 REV_2 * _____ TYPICAL MEAN CONDITION * _____ _ _ _ _ +THMLEV = 0**** Flags *** +MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00 +NOIMOD =3.000e+00 DERIV =1 **** Threshold voltage related model parameters *** +K1 =5.9959e-01 +K2 =-6.038e-02 K3 =1.103e+01 K3B =-7.580e-01 +NPEAK =9.240e+16 VTH0 =-6.915e-01 +VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01 +DVT2 =1.659e-02 KETA =-1.440e-02 +PSCBE1 =5.000e+09 PSCBE2 =1.000e-04 +DVTOW =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03 **** Mobility related model parameters *** =5.394e-10 UB =1.053e-18 UC +UA =1.000e-20 +U0 =1.482e+02 **** Subthreshold related parameters *** =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03 +DSUB +NFACTOR=1.214e+00 **** Saturation related parameters *** =4.100e+07 PCLM =3.184e+00 +EM +PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01 +A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00 =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01 +PVAG =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02 +B0 +PDIBLCB=1.000e+00 **** Geometry modulation related parameters *** =1.000e-10 DLC =2.4500e-08 =3.449e-08 DWB =0.000e+00 DWG =0.000e+00 +W0 +DWC =0.000e+00 LW =0.000e+00 LWL =0.000e+00 =1.000e+00 LWN =1.000e+00 WL =0.000e+00 +T.T. +LLN =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00 +WW +WWN =1.040e+00

```
**** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.300e+00
      =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+KT1
+UA1
      =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
**** Overlap capacitance related and dynamic model parameters ***
+CGDO =8.600e-11 CGSO =8.600e-11 CGBO =1.100e-10
+CGDL =1.080e-10 CGSL =1.080e-10 CKAPPA =6.000e-01
      =0.000e+00 ELM
                        =5.000e+00
+CF
+CF =0.0000+00 ELM =5.0000+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
+RDSW
       =1.033e+03
       =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+CDSC
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
**** Process and parameters extraction related model parameters ***
+TOX =7.754e-09 NGATE =0.000e+00
       =1.770e-07
+NLX
      =0.000e+00 XW
                       =0.000e+00
+XL
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
      =1.48e+00 KF =8.5e-27 EF =1.000e+00
=1.52e+18 NOIB =7.75e+03 NOIC =5.0e-13
+AF
+NOIA
**** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
       =0.000e+00 RS
                       =0.000e+00 RSH =1.290e+02
+RD
+RDC
       =0.000e+00 RSC
                        =0.000e+00 LD =-7.130e-08
+WD
       =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =9.000e-05 JSW =0.000e+00
+DIOLEV =4 JS
-0.000000 N =1.0000000
+DCAPLEV=2 CBD =0.0000000
+CJ =1 360000
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.360e-03 CJSW =3.200e-10 FC =0.000e+00
                                         =0.000e+00
      =5.600e-01 MJSW =4.300e-01 TT
+MJ
+PR
       =1.020e+00 PBSW =1.020e+00
* _____
_ _ _ _
Parâmetros Típicos: Modelo para Transistor Tipo N
.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* _____
```

```
+THMLEV = 0
**** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
**** Threshold voltage related model parameters ***
       =5.0296e-01
+K1
       =3.3985e-02 K3
                        =-1.136e+00 K3B
                                           =-4.399e-01
+K2
+NPEAK =2.611e+17 VTH0
                       =4.979e-01
                        =5.000e+01 DVT1
       =-8.925e-02 DVT0
+VOFF
                                          =1.039e+00
       =-8.375e-03 KETA
+DVT2
                         =2.032e-02
+PSCBE1 =3.518e+08 PSCBE2 =7.491e-05
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
**** Mobility related model parameters ***
       =4.705e-12 UB
                        =2.137e-18 UC
                                          =1.000e-20
+UA
       =4.758e+02
+U0
**** Subthreshold related parameters ***
       =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+DSUB
+NFACTOR=4.136e-01
**** Saturation related parameters ***
       =4.100e+07 PCLM =6.948e-01
+EM
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0
       =2.541e+00 A1
                       =0.000e+00 A2
                                          =1.000e+00
+PVAG
       =0.000e+00 VSAT
                        =1.338e+05 AGS
                                          =2.408e-01
+B0
       =4.301e-09 B1
                       =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
**** Geometry modulation related parameters ***
       =2.673e-07 DLC =3.0000e-08
+W0
       =9.403e-08 DWB
                        =0.000e+00 DWG
                                          =0.000e+00
+DWC
                                       =0.000e+00
       =0.000e+00 LW
                        =0.000e+00 LWL
+LL
                        =1.000e+00 WL
+T.T.N
       =1.000e+00 LWN
                                         =0.000e+00
       =-1.297e-14 WWL =-9.411e-21 WLN
+WW
                                           =1.000e+00
+WWN
       =1.000e+00
**** Temperature effect parameters ***
+AT
      =3.300e+04 UTE =-1.800e+00
+KT1
       =-3.302e-01 KT2
                        =2.200e-02 KT1L
                                         =0.000e+00
+UA1
       =0.000e+00 UB1 =0.000e+00 UC1
                                       =0.000e+00
+PRT
       =0.000e+00
**** Overlap capacitance related and dynamic model parameters
                                                             * * *
+CGDO
      =1.300e-10 CGSO =1.200e-10 CGBO =1.100e-10
+CGDL
       =1.310e-10 CGSL
                       =1.310e-10 CKAPPA =6.000e-01
+CF
       =0.000e+00 ELM
                        =5.000e+00
+XPART =1.000e+00 CLC
                        =1.000e-15 CLE
                                          =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
      =3.449e+02
+RDSW
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
      =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
+PRWB
**** Process and parameters extraction related model parameters ***
+TOX
       =7.575e-09 NGATE =0.000e+00
+NLX
       =1.888e-07
       =0.000e+00 XW
                        =0.000e+00
+XL
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
+AF
    =1.3600e+00 KF =5.1e-27 EF =1.000e+00
+NOIA =1.73e+19 NOIB =7.000e+04 NOIC =-5.64e-13
**** Common extrinsic model parameters ***
+ALEV =2
                 RLEV =2
```

```
+RD =0.000e+00 RS =0.000e+00 RSH =7.000e+01
+RDC =0.000e+00 RSC =0.000e+00 LD =-5.005e-08
+WD
     =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
                   =0.000e+00 XJ =3.000e-07
=1.000e-05 JSW =0.000e+00
+LMLT =1.000e+00 DEL
+DIOLEV =4 JS
+IS =0.000e+00 N
                   =1.000e+00
+1S=0.000e+00 N=1.000e+00+DCAPLEV=2CBD=0.000e+00 CBS=0.000e+00+CJ=9.400e-04 CJSW=2.500e-10 FC=0.000e+00+MJ=3.400e-01 MJSW=2.300e-01 TT=0.000e+00
     =6.900e-01 PBSW =6.900e-01
+PB
* _____
Parâmetros Típicos: Modelo para Transistor Bipolar PNP Vertical
.MODEL VERTIO PNP MODTYPE=ELDO
* _____
_ _ _ _
* _____
____
* format : ELDO, AccusimII, Continuum
* model
        : BJT
* process : C35[A-B][3-4][A-C][1-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc# : Eng-182
* _____
                   _____
____
*
                   TYPICAL MEAN CONDITION
* _____
____
*
+IS
     =2.3330e-17 IRB =4.3770e-06
     =1.3760e-03 BF
+IKF
                   =5.9810e+00 NF
                                   =9.9250e-01
     =6.5290e-16 NE
                    =1.7760e+00 VAF =1.9420e+02
+TSE
     =1.9410e-04 BR =9.8740e-02 NR
=2.8430e-14 NC =1.1490e+00 VAR
                                   =9.9470e-01
+IKR
                                   =1.0320e+01
+ISC
     =1.0000e+00
+RBM
     =2.1380e+02
+RB
     =9.7360e+00
+RE
+RC
      =4.5400e+01
+TF
      =6.4800e-10
+
+EG
      =1.1150e+00 XTI
                    =5.5300e+00 XTB
                                   =2.2500e+00
+CJE
      =1.4880e-13 VJE
                     =1.0200e+00 MJE
                                   =5.4882e-01
      =4.3387e-14 VJC
                    =5.3000e-01 MJC
+CJC
                                    =3.1214e-01
* _____
_ _ _ _
Parâmetros Típicos: Modelo para o resistor de alta resistividade
.MODEL RPOLYH RES TC1=-0.400e-03 MODTYPE=ELDO
* _____
```

```
* _____
____
* format : ELDO, AccusimII, Continuum
* model
       : RESISTOR
* process : C35[A-B][3-4][A-C][2-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][2-3] B11004.L2; 2002-11; hhl (5481)
* doc# : ENG-182
* _____
                TYPICAL MEAN CONDITION
* _____
* VARIABLES: W,L = device width and length [m]
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH {1.200e+03*(L-(0))/(W-(2.000e-07))}
.ENDS RPOLYH
```

Parâmetros Worst Speed: Modelo para Transistor Tipo P

```
.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* _____
* _____
_ _ _ _
* format : ELDO, AccusimII, Continuum
* model
        : MOS BSIM3v3
* process : C35
* revision : 2;
* extracted : C64685 ; 2002-12; ese(487)
* doc# : ENG-182 REV_2
* _____
       _____
                            *
                 WORST CASE SPEED CONDITION
* _____
_ _ _ _
+THMLEV = 0
**** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
**** Threshold voltage related model parameters ***
+K1
   =6.2895e-01
+K2
     =-4.725e-02 K3
                   =1.103e+01 K3B
                                 =-7.580e-01
+NPEAK =1.146e+17 VTH0
                   =-7.715e-01
                   =1.650e+00 DVT1
+VOFF
     =-1.170e-01 DVT0
                                =3.868e-01
+DVT2
     =1.659e-02 KETA
                   =-1.440e-02
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-04
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
**** Mobility related model parameters ***
+UA
   =5.394e-10 UB =1.053e-18 UC
                                 =1.000e-20
+U0
     =1.314e+02
**** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB
                                =-3.917e-03
+NFACTOR=1.214e+00
**** Saturation related parameters ***
+EM
    =4.100e+07 PCLM =3.184e+00
```

```
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
     =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+PVAG
+B0
      =8.832e-08 B1
                       =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
**** Geometry modulation related parameters ***
      =1.000e-10 DLC =2.4500e-08
=3.449e-08 DWB =0.000e+00 DWG
+W0
                                        =0.000e+00
+DWC
                       =0.000e+00 LWL =0.000e+00
=1.000e+00 WL =0.000e+00
      =0.000e+00 LW
                       =0.000e+00 LWL
+LL
       =1.000e+00 LWN
+T.T.N
       =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WW
+WWN =1.040e+00
**** Temperature effect parameters ***
     =3.300e+04 UTE =-1.300e+00
=-5.403e-01 KT2 =2.200e-02
+AT
       =-5.403e-01 KT2
                        =2.200e-02 KT1L =0.000e+00
+KT1
       =0.000e+00 UB1
                        =0.000e+00 UC1 =0.000e+00
+UA1
     =0.000e+00
+PRT
**** Overlap capacitance related and dynamic model parameters ***
+CGD0 =8.600e-11 CGS0 =8.600e-11 CGB0 =1.200e-10
       =1.21e-10 CGSL
                       =1.21e-10 CKAPPA =6.000e-01
+CGDL
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
      =1.033e+03
+RDSW
     =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+CDSC
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
**** Process and parameters extraction related model parameters ***
+TOX =8.100e-09 NGATE =0.000e+00
+NLX
      =1.770e-07
+XL
      =4.000e-08 XW
                       =-0.700e-07
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
     =1.48e+00 KF =8.5e-27 EF =1.000e+00
+AF
      =1.52e+18 NOIB =7.75e+03 NOIC =5.0e-13
+NOIA
**** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD
       =0.000e+00 RS
                       =0.000e+00 RSH =1.600e+02
+RDC
      =0.000e+00 RSC
                       =0.000e+00 LD
                                        =-7.130e-08
+WD
      =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =9.000e-05 JSW =0.000e+00
+DIOLEV =4 JS
+IS =0.000e+00 N
                       =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.523e-03 CJSW =3.580e-10 FC
                                        =0.000e+00
      =5.600e-01 MJSW =4.300e-01 TT
                                        =0.000e+00
+MJ
+PB
      =1.020e+00 PBSW =1.020e+00
* _____
____
```

Parâmetros *Worst Speed*: Modelo para Transistor Tipo N .MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO

```
* _____
____
* format : ELDO, AccusimII, Continuum
* model
         : MOS BSIM3v3
* process : C35
* revision : 2;
* extracted : B10866 ; 2002-12; ese(487)
* doc# : ENG-182 REV_2
* _____
____
                     WORST CASE SPEED CONDITION
* _____
*
+THMLEV = 0
**** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
**** Threshold voltage related model parameters ***
+K1
      =6.6008e-01
+K2
      =2.1313e-02 K3
                       =-1.136e+00 K3B
                                        =-4.399e-01
+NPEAK =3.094e+17 VTH0
                      =5.579e-01
+VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
+DVT2 =-8.375e-03 KETA
                       =2.032e-02
+PSCBE1 =3.518e+08 PSCBE2 =7.491e-05
+DVTOW =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
**** Mobility related model parameters ***
      =4.705e-12 UB =2.137e-18 UC
                                     =1.000e-20
+UA
      =4.671e+02
+U0
**** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
**** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG
     =0.000e+00 VSAT =1.338e+05 AGS
                                      =2.408e-01
+B0
      =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
**** Geometry modulation related parameters ***
+W0
      =2.673e-07 DLC =3.0000e-08
+DWC
      =9.403e-08 DWB
                      =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
     =-1.297e-14 WWL =-9.411e-21 WLN
                                        =1.000e+00
+WW
+WWN =1.000e+00
**** Temperature effect parameters ***
+AT
     =3.300e+04 UTE =-1.800e+00
                      =2.200e-02 KT1L =0.000e+00
+KT1
      =-3.302e-01 KT2
      =0.000e+00 UB1 =0.000e+00 UC1
+UA1
                                      =0.000e+00
+PRT
      =0.000e+00
**** Overlap capacitance related and dynamic model parameters ***
+CGDO =1.300e-10 CGSO =1.200e-10 CGBO =1.200e-10
+CGDL =1.47e-10 CGSL =1.47e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE
                                      =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
+RDSW =3.449e+02
```

```
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
**** Process and parameters extraction related model parameters ***
+TOX =8.100e-09 NGATE =0.000e+00
       =1.888e-07
+NL'X
       =5.000e-08 XW =-1.000e-07
+XL
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
+AF
    =1.3600e+00 KF =5.1e-27 EF =1.000e+00
A =1.73e+19 NOIB =7.000e+04 NOIC =-5.64e-13
+NOIA
**** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
                           =0.000e+00 RSH =8.500e+01
=0.000e+00 LD =-5.005e-08
        =0.000e+00 RS
+RD
        =0.000e+00 RSC
+RDC
        =9.403e-08
+WD
+LDIF=0.000e+00 HDIF=8.000e-07 WMLT=1.000e+00+LMLT=1.000e+00 DEL=0.000e+00 XJ=3.000e-07+DIOLEV=4JS=1.000e-05 JSW=0.000e+00
+DIOLEV =4 JS =1.000e-05
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.052e-03 CJSW =2.800e-10 FC =0.000e+00
       =3.400e-01 MJSW =2.300e-01 TT
=6.900e-01 PBSW =6.900e-01
+MJ
                                              =0.000e+00
+PB
* _____
Parâmetros Worst Speed: Modelo para Transistor Bipolar PNP Vertical
.MODEL VERT10 PNP MODTYPE=ELDO
* _____
* format : ELDO, AccusimII, Continuum
            : BJT
* model
* process
            : C35[A-B][3-4][A-C][1-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc# : Eng-182
* _____
____
                      LOW SPEED HIGH BETA CONDITION
* _____
____
*
+IS
       =2.3330e-17 IRB =4.3770e-06

      +IKF
      =1.3760e-03 BF
      =9.5696e+00 NF
      =9.9250e-01

      +ISE
      =6.5290e-16 NE
      =1.7760e+00 VAF
      =1.1652e+02

      +IKR
      =1.9410e-04 BR
      =9.8740e-02 NR
      =9.9470e-01

      +ISC
      =2.8430e-14 NC
      =1.1490e+00 VAF
      =1.0320e+01

                           =1.1490e+00 VAR =1.0320e+01
       =2.8430e-14 NC
+TSC
+RBM =2.0000e+00
+RB
       =4.2760e+02
       =1.3387e+01
+RE
+RC
      =6.2425e+01
+TF
       =6.4800e-10
```

```
+EG =1.1150e+00 XTI =5.5300e+00 XTB =2.2500e+00
+CJE =1.7856e-13 VJE =1.0200e+00 MJE =5.4882e-01
+CJC =5.2065e-14 VJC =5.3000e-01 MJC =3.1214e-01
* _____
Parâmetros Worst Speed: Modelo para o resistor de alta resistividade
.MODEL RPOLYH RES TC1=-0.400e-03 MODTYPE=ELDO
* _____
_ _ _ _
* format : ELDO, AccusimII, Continuum
* model
       : RESISTOR
* process : C35[A-B][3-4][A-C][2-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][2-3] B11004.L2; 2002-11; hhl (5481)
* doc# : ENG-182
* _____
____
               WORST CASE SPEED CONDITION
* _____
____
* VARIABLES: W,L = device width and length [m]
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH {1.500e+03*(L-(0))/(W-(3.500e-07))}
.ENDS RPOLYH
Parâmetros Worst Power: Modelo para Transistor Tipo P
.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* _____
                             _____
* _____
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3
* process : C35
* revision : 2;
* extracted : C64685 ; 2002-12; ese(487)
* doc# : ENG-182 REV 2
* _____
                  -----
*
                WORST CASE POWER CONDITION
* _____
_ _ _ _
*
+THMLEV = 0
**** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
**** Threshold voltage related model parameters ***
+K1
   =4.5027e-01
    =-4.451e-02 K3 =1.103e+01 K3B =-7.580e-01
+K2
```

```
+NPEAK =7.022e+16 VTH0
                      =-5.715e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-04
+DVTOW =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
**** Mobility related model parameters ***
                      =1.053e-18 UC
       =5.394e-10 UB
                                        =1.000e-20
+UA
       =1.581e+02
+110
**** Subthreshold related parameters ***
     =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+DSUB
+NFACTOR=1.214e+00
**** Saturation related parameters ***
       =4.100e+07 PCLM =3.184e+00
+EM
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
      =5.850e-01 A1 =0.000e+00 A2
                                         =1.000e+00
+A0
       =0.000e+00 VSAT
                        =1.158e+05 AGS
                                         =2.468e-01
+PVAG
       =8.832e-08 B1
                      =0.000e+00 DELTA =1.000e-02
+B0
+PDIBLCB=1.000e+00
**** Geometry modulation related parameters ***
+W0
       =1.000e-10 DLC =2.4500e-08
+DWC
       =3.449e-08 DWB
                        =0.000e+00 DWG
                                         =0.000e+00
+LL
       =0.000e+00 LW
                       =0.000e+00 LWL
                                        =0.000e+00
                                        =0.000e+00
+LLN
       =1.000e+00 LWN
                       =1.000e+00 WL
       =1.894e-16 WWL
+WW
                       =-1.981e-21 WLN
                                        =1.000e+00
+WWN
      =1.040e+00
**** Temperature effect parameters ***
     =3.300e+04 UTE =-1.300e+00
+AT
       =-5.403e-01 KT2
                        =2.200e-02 KT1L
                                        =0.000e+00
+KT1
      =0.000e+00 UB1 =0.000e+00 UC1
                                       =0.000e+00
+UA1
      =0.000e+00
+PRT
**** Overlap capacitance related and dynamic model parameters
                                                           * * *
+CGDO =8.600e-11 CGSO =8.600e-11 CGBO =1.000e-10
       =0.95e-10 CGSL =0.95e-10 CKAPPA =6.000e-01
+CGDL
       =0.000e+00 ELM =5.000e+00
+CF
+XPART =1.000e+00 CLC
                       =1.000e-15 CLE
                                        =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
+RDSW =1.033e+03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
**** Process and parameters extraction related model parameters ***
+TOX =7.100e-09 NGATE =0.000e+00
      =1.770e-07
+NLX
       =-6.000e-08 XW
                         =0.800e-07
+XL
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
+AF
      =1.48e+00 KF
                      =8.5e-27 EF =1.000e+00
      =1.52e+18 NOIB =7.75e+03 NOIC =5.0e-13
+NOTA
**** Common extrinsic model parameters ***
+ALEV
     =2
                RLEV =2
       =0.000e+00 RS
                       =0.000e+00 RSH
                                        =1.000e+02
+RD
       =0.000e+00 RSC
                       =0.000e+00 LD
                                        =-7.130e-08
+RDC
       =3.449e-08
+WD
     =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LDIF
+LMLT =1.000e+00 DEL
                       =0.000e+00 XJ
                                        =3.000e-07
                       =9.000e-05 JSW
+DIOLEV =4 JS
                                        =0.000e+00
+IS =0.000e+00 N
                       =1.000e+00
               CBD
                       =0.000e+00 CBS =0.000e+00
+DCAPLEV=2
```

```
=1.197e-03 CJSW =2.810e-10 FC =0.000e+00
=5.600e-01 MJSW =4.300e-01 TT =0.000e+00
+CJ
+MT
+PB
    =1.020e+00 PBSW =1.020e+00
* _____
Parâmetros Worst Power: Modelo para Transistor Tipo N
.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* _____
                                  _____
____
* _____
____
* format
        : ELDO, AccusimII, Continuum
        : MOS BSIM3v3
* model
* process : C35
* revision : 2;
* extracted : B10866 ; 2002-12; ese(487)
* doc# : ENG-182 REV 2
* _____
____
                  WORST CASE POWER CONDITION
* _____
____
+THMLEV = 0
**** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NOSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
**** Threshold voltage related model parameters ***
+K1
    =3.5516e-01
+K2
      =4.6758e-02 K3
                     =-1.136e+00 K3B
                                    =-4.399e-01
+NPEAK =2.128e+17 VTH0
                    =3.579e-01
+VOFF
      =-8.925e-02 DVT0 =5.000e+01 DVT1
                                   =1.039e+00
+DVT2
      =-8.375e-03 KETA
                     =2.032e-02
+PSCBE1 =3.518e+08 PSCBE2 =7.491e-05
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
**** Mobility related model parameters ***
+UA
    =4.705e-12 UB =2.137e-18 UC
                                  =1.000e-20
+U0
      =5.002e+02
**** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
**** Saturation related parameters ***
     =4.100e+07 PCLM =6.948e-01
+EM
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0
     =4.301e-09 B1
                    =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
**** Geometry modulation related parameters ***
+W0 =2.673e-07 DLC =3.0000e-08
+DWC =9.403e-08 DWB =0.000e+00 DWG =0.000e+00
     =0.000e+00 LW
                   =0.000e+00 LWL =0.000e+00
+LL
+LLN =1.000e+00 LWN =1.000e+00 WL
                                  =0.000e+00
     =-1.297e-14 WWL =-9.411e-21 WLN =1.000e+00
+WW
+WWN =1.000e+00
```

```
**** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.800e+00
+KT1
      =-3.302e-01 KT2
                       =2.200e-02 KT1L =0.000e+00
+UA1
      =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
**** Overlap capacitance related and dynamic model parameters ***
+CGDO =1.300e-10 CGSO =1.200e-10 CGBO =1.000e-10
+CGDL =1.15e-10 CGSL =1.15e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
**** Parasitic resistance and capacitance related model parameters
* * *
+RDSW
       =3.449e+02
       =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+CDSC
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
**** Process and parameters extraction related model parameters ***
+TOX =7.100e-09 NGATE =0.000e+00
       =1.888e-07
+NLX
      =-5.000e-08 XW
                        =0.500e-07
+XL
**** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
**** Noise effect related model parameters ***
      =1.3600e+00 KF =5.1e-27 EF =1.000e+00
=1.73e+19 NOIB =7.000e+04 NOIC =-5.64e-13
+AF
+NOIA
**** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
       =0.000e+00 RS
                       =0.000e+00 RSH =5.500e+01
+RD
+RDC
       =0.000e+00 RSC
                       =0.000e+00 LD =-5.005e-08
+WD
       =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =1.000e-05 JSW =0.000e+00
+DIOLEV =4 JS
+DCAPLEV=2 CBD =0.000e+00
+CJ =8 2700 C
                       =0.000e+00 CBS =0.000e+00
+CJ =8.270e-04 CJSW =2.200e-10 FC =0.000e+00
                                        =0.000e+00
+MJ
      =3.400e-01 MJSW =2.300e-01 TT
+PR
       =6.900e-01 PBSW =6.900e-01
* _____
```

```
_ _ _ _
```

Parâmetros Worst Power: Modelo para Transistor Bipolar PNP Vertical

```
.MODEL VERT10 PNP MODTYPE=ELDO
* _____
* _____
* format : ELDO, AccusimII, Continuum
* model
     : BJT
* process : C35[A-B][3-4][A-C][1-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc# : Eng-182
* _____
____
*
```

```
* _____
____
*
+IS =3.6161e-17 IRB =4.3770e-06
+IKF =2.7520e-03 BF =9.5696e+00 NF =9.9250e-01
+ISE =6.5290e-16 NE =1.7760e+00 VAF =3.2771e+02
+IKR =1.9410e-04 BR =9.8740e-02 NR =9.9470e-01
+ISC =2.8430e-14 NC =1.1490e+00 VAR =1.0320e+01
      =5.0000e-01
+RBM
+RB
      =1.0690e+02
+RE
      =6.0850e+00
+RC
      =2.8375e+01
+TF
      =3.2400e-10
+
    =1.1150e+00 XTI=5.5300e+00 XTB=2.2500e+00=1.1904e-13 VJE=1.0200e+00 MJE=5.4882e-01=3.4710e-14 VJC=5.3000e-01 MJC=3.1214e-01
+EG
+CJE
+CJC
* _____
Parâmetros Worst Power: Modelo para o resistor de alta resistividade
.MODEL RPOLYH RES TC1=-0.400e-03 MODTYPE=ELDO
* _____
                                              _____
* _____
* format : ELDO, AccusimII, Continuum
* model : RESI
* process : C35[
* revision : 2.0;
          : RESISTOR
          : C35[A-B][3-4][A-C][2-3]
* extracted : C35[A-B][3-4][A-C][2-3] B11004.L2; 2002-11; hhl (5481)
      : ENG-182
* doc#
* _____
                   WORST CASE POWER CONDITION
* _____
* VARIABLES: W,L = device width and length [m]
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH {9.000e+02*(L-(0))/(W-(0.500e-07))}
.ENDS RPOLYH
```

ANEXO C

Tabelas com os resultados das medidas com variação da tensão de alimentação

Todas as medidas foram realizadas na temperatura ambiente de 27 °C e foram utilizados equipamentos de proteção contra descarga eletrostática.

 Tabela 13. Valores da tensão de saída em função da tensão de alimentação para o circuito bandgap

Vin (V)	<i>am2.1</i> (V)	<i>am3.1</i> (V)	<i>am4.1</i> (V)	<i>am5.1</i> (V)
3,3	1,238	1,257	1,178	1,229
3,0	1,234	1,252	1,176	1,224
2,8	1,231	1,249	1,174	1,221
2,6	1,228	1,245	1,170	1,218
2,4	1,225	1,242	1,165	1,215
2,2	1,221	1,238	1,162	1,211
2,0	1,215	1,232	1,157	1,205
1,8	1,207	1,223	1,147	1,195
1,6	1,196	1,193	1,128	1,139
1,4	1,120	1,130	1,074	1,085
1,2	0,971	0,968	0,950	0,954

com resistores integrados..

Tabela 14. Valores da tensão de saída em função da tensão de alimentação para o circuito bandgaputilizando resistores externos, com $R_1 = 68,79 \text{ K}\Omega$.

Vin (V)	<i>am3.2</i> (V)	<i>am4.2</i> (V)	<i>am5.2</i> (V)
3,3	1,258	1,256	1,252
3,0	1,254	1,252	1,249
2,8	1,251	1,249	1,246
2,6	1,247	1,246	1,242
2,4	1,244	1,242	1,238
2,2	1,239	1,237	1,233
2,0	1,234	1,232	1,228
1,8	1,226	1,225	1,221
1,6	1,205	1,201	1,199
1,4	1,132	1,130	1,129
1,2	0,987	0,975	0,981
R_2	65,01 (KΩ)	61,38 (KΩ)	59,55 (KΩ)

Tabelas com os resultados das medidas com variação da temperatura

Todas as medidas foram realizadas com tensão de alimentação de 3,3 V e foram utilizados equipamentos de proteção contra descarga eletrostática.

Temp (°C)	<i>am2.1</i> (V)		<i>am3.1</i> (V)	<i>am4.1</i> (V)
	Med1	Med2		
27	1,2370	1,2431	1,2546	1,1819
100	1,2630	1,2573	1,2576	1,1852
90	1,2630	1,2554	1,2575	1,1852
80	1,2630	1,2533	1,2572	1,1849
70	1,2627	1,2513	1,2569	1,1845
60	1,2618	1,2494	1,2565	1,1840
50	1,2604	1,2476	1,2559	1,1835
40	1,2588	1,2459	1,2554	1,1830
30	1,2579	1,2442	1,2549	1,1824
20	1,2578	1,2422	1,2542	1,1819
10	1,2552	1,2406	1,2535	1,1813
0	1,2536	1,2391	1,2530	1,1808
-10	1,2508	1,2377	1,2513	1,1805
-20	1,2490	1,2361	1,2513	1,1802
-30	1,2324	1,2347	1,2511	1,1798

Tabela 15. Valores da tensão de saída em função da temperatura de operação para o circuito *bandgap*com resistores integrados.

Tabela 16. Valores da tensão de saída em função da tensão temperatura de operação para amostras o

Temp. (°C)	<i>am3.2</i> (V)	<i>am4.2</i> (V)	<i>am5.2</i> (V)
27	1,2526	1,2506	1,2510
100	1,2582	1,2557	1,2491
90	1,2572	1,2564	1,2466
80	1,2576	1,2571	1,2473
70	1,2571	1,2566	1,2467
60	1,2561	1,2581	1,2457
50	1,2543	1,2588	1,2471
40	1,2533	1,2583	1,2485
30	1,2523	1,2567	1,2498
20	1,2512	1,2542	1,2493
10	1,2482	1,2529	1,2496
0	1,2458	1,2528	1,2498
-10	1,2448	1,2524	1,2500
-20	1,2438	1,2518	1,2502
-30	1,2428	1,2505	1,2507
R_2	66,77 (KΩ)	64,93 (KΩ)	62,61 (KΩ)

circuito *bandgap* utilizando resistores externos, com $R_1 = 68,79 \text{ K}\Omega$.

7. BIBLIOGRAFIA

- [1] Wong, H.-S.P., "Nanoscale CMOS", Proceedings of the IEEE, v. 87, pp. 537-570, 1999.
- [2] International Technology Roadmap for Semiconductors, S.I.A Std., 2005.[Online]. Available: http://www.itrs.net/reports.html.
- [3] Mori, C.R.T., Vermaas, L.L.G., Moreno, L.R., Pereira, A.M., and Charry, E.,
 "Design Methodologies of a Bandgap Reference Source", IV Workshop Iberchip, pp. 43-50, Argentina, Mar. 1998.
- [4] Widlar, R.J., "New Developments in IC Voltage Regulators" IEEE J. Solid-State Circuits, vol. Sc-6, pp. 2-7, Feb. 1971.
- [5] Mehrmanesh, S., Vahidfar, M.B., Aslanzadeh, H.A., and Atarodi, M., "A 1-Volt, high PSRR, CMOS Bandgap Voltage Reference" IEEE J. Solid-State Circuits, vol. Sc-6, pp. 381-384, Feb. 2003.
- [6] Gray, P.R. and Meyer, G., Analysis and design of analog integrated circuits, 4^a ed., John Wiley & Sons, New York, 1984.
- [7] Vittoz, E. and Fellrath, J., "CMOS analog integrated circuits based on weak inversion operation," IEEE J. Solid-State Circuits, vol. Sc-12, pp. 224-231, June 1977.
- [8] Tsividis, Y.P., "Accurate Analysis of Temperature Effects in IC-VBE Characteristics with Application to Bandgap Reference Sources" IEEE J. Solid-State Circuits, vol. Sc-15, pp. 1076-1084, Dec. 1980.
- [9] Song, B.S. and Gray, P.R., "A precision curvature-compensated CMOS bandgap reference", IEEE J. Solid-State Circuits, vol. Sc18, pp. 634-643, Dec. 1983.

- [10] Mok, P.K.T. and Leung, K.N., " Design Considerations of Recent Advanced Low-Voltage Low-Temperature-Coefficient CMOS Bandgap Voltage Reference", IEEE Custom Integrated Circuits Conference, pp. 635-642, 2004.
- [11] Oliveira, C.A.S, "Estudo e Projeto de um Conversor D/A de Alta Velocidade em Tecnologia CMOS", Tese apresentada à Escola Politécnica da Universidade de São Paulo, 2005.
- [12] Texas Instruments Incorporated, "Precision voltage references", Dallas-Texas, Perry Miller, Doug Moore, Analog Applications Journal, pp. 1-5, Nov. 1999.
- [13] Allen, P.E. and Holberg E.R., "CMOS Analog Circuit Design", Oxford, Oxford University Press, Second Edition, 2002.
- [14] Muller, R. S. and Kamins, T. I., "Device Electronics for Integrated Circuits", 2^a ed., John Wiley & Sons, New York, 1986.
- [15] Maxim Integrated Products, Inc., "Understanding Voltage-Reference Topologies and Specifications", Canada Application Note 719, Dec. 2000.
- [16] Vittoz, E. A. and Neyroud, O., "A Low Voltage CMOS Bandgap Reference", IEEE J. Solid-State Circuits, vol. 14, pp. 573-577, June 1979.
- [17] Hilbiber, D., "A new semiconductor voltage standard", IEEE J. Solid-State Circuits, vol. 7, pp. 32-33, February 1964.
- [18] IDAC User's Guide Analog Design Automation Tools, Centre Suisse D'Eletronic Et de Microtechnique S. A., software version 5.1, pp. 8-9, Apr. 1991.
- [19] Lee, T.H., "The design of CMOS radio-frequency integrated circuits", Cambridge, Cambridge University Press, 1998.
- [20] 0.35 µm CMOS C35 Process Parameters, Austriamicrosystems, Mar. 2003.

- [21] Lee, I., Kim, G., and Kim, W., "Exponential Curvature-Compensated BiCMOS Bandgap References", IEEE J. Solid-State Circuits, vol. 29 nº-11, pp. 1396-1403, Nov. 1994.
- [22] Tzanateas, G., Salama, C.A.T., and Tsividis, Y.P., "A CMOS Bandgap Voltage Reference", IEEE J. Solid-State Circuits, vol. sc-14, pp. 655-657, June 1979.
- [23] Forti, F. and Wright, M.E., "Measurement of MOS current mismatch in the weak inversion region," IEEE J. Solid-State Circuits, vol. 29, pp. 138-142, Feb. 1994.
- [24] Circuits Multi-Projects, 2006. [Online]. Available: <u>http://cmp.imag.fr/index.php</u>.
- [25] Degrauwe, M.G. et al., "CMOS Voltage Reference Using Lateral Bipolar Transistors", IEEE J. Solid-State Circuits, vol. SC-20, pp. 1151-1157, Dec. 1985.
- [26] Degrauwe, M.G., et al., "IDAC: An Interactive Design Tool for Analog CMOS Circuits" IEEE J. Solid-State Circuits, vol. SC-22, pp. 1106-1116, Dec. 1987.
- [27] Vittoz, E.A.; "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology", IEEE J. Solid-State Circuits, vol. 18, pp. 273 - 279, Jun 1983.
- [28] Meijer, G. C. M., Wang G., Fruett F., "Temperature Sensors and Voltage References Implemented in CMOS Technology", IEEE Sensors Journal, vol. 1, n. 3, October 2001.
- [29] "ELDO", Mentor Graphics Corporation, software version 6.3_1, Jan. 2004.
- [30] Rabaey, J.M., Chandrakasan, A., Nikolic, B., Digital Integrated Circuits: A Design Perspective, 2^a ed., Prentice Hall, New Jersey, 2003.
- [31] BOURNS, Trimpot Product Catalog, datasheet 2006, 86 p. Disponível em: <u>http://www.bourns.com/</u>. Acesso em Junho de 2006.