SÁRA ELIZABETH SOUZA BRAZÃO DE OLIVEIRA

**ESTUDO DO EFEITO DE AUTO-AQUECIMENTO EM TRANSISTORES
SOI COM ESTRUTURA DE CANAL GRADUAL – GC SOI MOSFET**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Engenharia

São Paulo
2007

SÁRA ELIZABETH SOUZA BRAZÃO DE OLIVEIRA

**ESTUDO DO EFEITO DE AUTO-AQUECIMENTO EM TRANSISTORES
SOI COM ESTRUTURA DE CANAL GRADUAL – GC SOI MOSFET**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para a obtenção do título de
Mestre em Engenharia

Área de concentração:
Engenharia Elétrica

Orientador: Prof. Titular
João Antonio Martino

São Paulo
2007

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 10 de agosto de 2007.

Sára Elizabeth Souza Brazão de Oliveira

Prof. Titular João Antonio Martino

FICHA CATALOGRÁFICA

Oliveira, Sara Elizabeth Souza Brazão de
Estudo do efeito de auto-aquecimento em transistores SOI
com estrutura de canal gradual – GC SOI MOSFET / S.E.S.B. de
Oliveira. –Ed. Rev.-- São Paulo, 2007.
91 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade
de São Paulo. Departamento de Engenharia de Sistemas Eletrô-
nicos.

1.Transistores 2.Auto-aquecimento 3.Tecnologia SOI I.Uni-
versidade de São Paulo. Escola Politécnica. Departamento de
Engenharia de Sistemas Eletrônicos II.t.

DEDICATÓRIA

Dedico este trabalho aos meus pais, Luci e Jeremias, pelo incentivo incondicional, às minhas irmãs, Raquel e Talita, pela alegria sempre presente e ao meu esposo, Vilmar, pela companhia sempre amiga.

Eu quero compartilhar essa vitória com vocês, pois foi pela compreensão e incentivo demonstrados por cada um, que ela foi alcançada.

AGRADECIMENTOS

Ao Deus vivo, grande criador do universo que permitiu que tudo acontecesse, que colocou cada uma das pessoas e instituições mencionadas abaixo no meu caminho e que acreditou em mim, antes mesmo que eu pretendesse aceitar esse desafio.

Ao professor João Antonio Martino pela orientação dada no trabalho e pela paciência e confiança para comigo.

Ao professor Marcelo Antonio Pavanello pela ajuda sempre presente, contribuindo diretamente para a elaboração deste trabalho.

Aos amigos do grupo SOI-CMOS e demais grupos do LSI-EPUSP pela colaboração, atenção e solidariedade dispensadas durante a elaboração do trabalho.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica de São Paulo pela infra-estrutura disponibilizada ao longo do trabalho.

Ao CNPq pelo apoio financeiro por um período desta pesquisa.

Aos meus pais e irmãs pelo desprendimento financeiro e de tempo permitindo que eu tivesse formação técnica e pessoal para aproveitar essa oportunidade, além do incentivo constante para alcançar esse objetivo.

Ao meu esposo Vilmar, pela compreensão e participação das batalhas enfrentadas para alcançar a realização deste trabalho.

A todas as pessoas que colaboraram para a realização, seja com um sorriso, uma palavra de ânimo, ou um olhar, seja voluntariamente ou não, deixo aqui o meu muito obrigada.

Nos galhos secos de uma árvore qualquer,
onde ninguém jamais pudesse imaginar,
o Criador vê uma flor a brotar.
(Autor desconhecido)

RESUMO

Este trabalho apresenta o estudo do efeito de Auto-Aquecimento (*Self-Heating* – SH) em transistores *Silicon-On-Insulator* (SOI) com estrutura de canal gradual (GC SOI MOSFET). São apresentadas as características da tecnologia SOI e em especial as características do transistor GC-SOI MOSFET. Foi realizada uma análise do SH usando uma comparação de dispositivos SOI convencionais com GC SOI nMOSFET. Esta análise compara dispositivos com o mesmo comprimento de máscara do canal e dispositivos com o mesmo comprimento efetivo de canal. Simulações numéricas bidimensionais foram efetuadas nas duas análises considerando o aquecimento da rede cristalina. Os modelos e a constante térmica usados nestas simulações também foram apresentados. É demonstrado que os dispositivos GC com o mesmo comprimento de máscara do canal apresentam uma ocorrência similar de SH independentemente do comprimento da região menos dopada apesar de uma maior corrente de dreno. Por outro lado, para mesmo comprimento efetivo de canal o SH é menos pronunciado em transistores GC uma vez que o comprimento de máscara do canal é aumentado para compensar a diferença de corrente. Esta análise é realizada também variando-se a temperatura de 200K a 400K e resultados análogos foram observados apesar do efeito ser mais intenso em baixas temperaturas.

Palavras-chaves: Engenharia, SOI MOSFET. Auto-aquecimento. GC-SOI MOSFET.

ABSTRACT

This work presents the study of Self-Heating (SH) effect in Graded-Channel Silicon-On-Insulator (GC SOI) nMOSFETs. The SOI technology characteristics are described with special attention to the GC SOI nMOSFET characteristics. A Self-Heating (SH) analysis was performed using conventional Silicon-On-Insulator (SOI) in comparison to Graded-Channel (GC) SOI nMOSFETs devices. The analysis was performed comparing devices with the same mask channel length and with the same effective channel length. Two-dimensional numerical simulations were performed considering the lattice heating in both cases. The models and the thermal conductive constant used in these simulations are also presented. It has been demonstrated that conventional and GC devices with the same mask channel length present similar occurrence of SH independently of the length of lightly doped region despite the larger drain current. On the other hand, for similar effective channel lengths, the SH is less pronounced in GC transistors as the mask channel length has to be increased in order to compensate the current difference. This analysis is also carried through varying its temperature of 200K to 400K and analogous results had been observed despite the effect being more intense in low temperatures.

Keywords: Engineering. SOI MOSFET. Self-Heating. GC-SOI MOSFET.

LISTA DE FIGURAS

Figura 2.1 - Perfil transversal de um transistor SOI nMOSFET.....	21
Figura 2.2– Diagramas de Faixa de Energia para transistores MOS (A), PD SOI (B) e FD SOI (C).....	24
Figura 2.3 – Variação da tensão de limiar em função da tensão aplicada no substrato. ⁹	27
Figura 2.4 – Variação de μ_0 em função da temperatura, em um n-SOI MOSFET(●) e em um p-SOI MOSFET(o). ¹³	29
Figura 2.5 – Amplificador Operacional de Transcondutância	32
Figura 2.6 – Curva característica de g_m/I_{DS} em função da corrente normalizada ($I_{DS}/(W/L_{eff})$) de um dispositivo SOI nMOSFET	32
Figura 2.7 – Curva I_{DS} em função de V_{DS} de um dispositivo SOI convencional destacando a extração de V_{EA} . ¹⁹	33
Figura 2.8 - Esquema de representação do mecanismo de ionização por impacto em dispositivos SOI convencionais	34
Figura 2.9 – Ilustração do efeito de elevação de corrente (<i>Kink Effect</i>) em dispositivos SOI NMOSFET parcialmente depletados ¹⁰	35
Figura 2.10- Ilustração do Efeito de Bipolar Parasitário	36
Figura 2.11 - Perfil do transistor SOI MOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI MOSFET).....	39
Figura 2.12 - Curvas experimental da corrente de dreno (I_{DS}) em função da tensão aplicada à porta (V_{GF}), todas com tensão de dreno ($V_{DS}= 0,1$ V), para os dispositivos GC SOI	39
Figura 2.13 – Curvas experimentais da transcondutância (g_m) em função da tensão aplicada à porta (V_{GF}), todas com tensão de dreno ($V_{DS}= 0,1$ V), para os dispositivos GC SOI e SOI convencionais com e sem L_{DD} . ²⁸	40
Figura 2.14 – Curvas I_{DS}/W em função de V_{DS} dos transistores GC SOI e SOI convencionais com e sem L_{DD} , todos com $L_{eff}=0,8 \mu m$. ²⁸	41
Figura 3.1 – Curva esquemática $I_{DS} \times V_{DS}$ indicando a ocorrência de efeito auto-aquecimento.	43
Figura 3.2 – Curva Característica $I_{DS} \times V_{DS}$: Medidas e modelo analítico com e sem Auto-Aquecimento para o transistor $0.8\mu m/10\mu m$. ³⁴	45

Figura 3.3 – Simulação da saída transitória com $V_{GF}=5V$ mostrando o efeito de Auto-Aquecimento e a evolução do pico em operações transitórias do dispositivo de $0,8\mu m$ ³⁴ .	46
Figura 3.4 - Configuração para a medida da curva característica do transitório da corrente de dreno ⁴⁶ .	48
Figura 3.5 – Curva característica típica de um transitório de corrente de dreno ⁴⁶ .	49
Figura 3.6 - Constante de tempo para o auto-aquecimento. A curva sólida representa a característica experimental do transitório medido na figura 3.5. A inclinação da curva tracejada indica a constante de tempo do auto-aquecimento ⁴⁶ .	49
Figura 3.7 – Estrutura simplificada de um dispositivo SOI para a estimativa da constante de tempo de auto-aquecimento ⁴⁶ .	50
Figura 3.8 – Estrutura do dispositivo para o cálculo do aumento da temperatura. A figura representa o dispositivo usado nas medidas transientes de corrente de dreno ⁴⁶ .	52
Figura 3.9 – Estrutura do dispositivo para o cálculo do aumento da temperatura. A figura representa o dispositivo usado nas medidas transientes de corrente de dreno ⁴⁶ .	52
Figura 3.10 – Vista superior da estrutura de teste experimental para medida da temperatura. W é a largura do canal e w_e é a região entre as bordas do dispositivo e o terminal de contato da porta ⁴⁹ .	54
Figura 3.11 – Calibração e dados das medidas do dispositivo para um dispositivo típico ⁴⁹ .	55
Figura 3.12 – Temperatura do canal em função da potência em diferentes espessuras de dispositivos SOI e para um MOS convencional ⁴⁹ .	56
Figura 3.13 – (a) Estrutura experimental para a medida proposta (b) Circuito equivalente de um FET sob condições AC e transientes ⁵⁰ .	57
Figura 3.14 – Curvas estática I-V do PDSOI (linha pontilhada) e curva obtidas pelo método pulsado descrito(liha sólidas) ⁵⁰ .	58
Figura 3.15 – Curvas I-V pulsadas ($V_G=2,5V$) de um PD SOI para diferentes temperaturas da lâmina (linha sólida), e curva estática em temperatura ambiente (linha tracejada) ⁵⁰ .	59
Figura 3.16 – Temperatura do dispositivo obtida da interseção da curvas pulsada e estática ⁵⁰ .	60

Figura 4.1 – Curva I_{DS} x tempo resultante da simulação do pulso no dreno a partir de zero para 4.4V com $V_{GF} = 5,38V$ de um SOI convencional.....	64
Figura 4.2 – Curva $I_{DS} \times V_{DS}$ obtida pela simulação do comportamento dinâmico do auto-aquecimento para $T=300K$ do dispositivo SOI convencional com $L=2\mu m$	65
Figura 4.3- Curva I_{DS} x V_{DS} obtida pela simulação para $T=300K$ do dispositivo SOI convencional e GC com $L=2\mu m$	65
Figura 4.4 - Curva $I_{DS} \times V_{DS}$ obtida por simulação para $T=300K$ do dispositivo SOI convencional e GC com $L_{eff}=1,6\mu m$	66
Figura 4.5 - Curva $I_{DS} \times V_{DS}$ com e sem SH (a) para dispositivos com $L_{masc}=0,75\mu m$ e (b) para dispositivos com $L_{eff}=0,75\mu m$ ($V_{GT}=3V$).....	69
Figura 4.6 – Diferença da corrente de dreno sem e com SH em função de V_{DS} para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{eff}=0,75\mu m$ e (b) para dispositivos com $L_{eff}=1,0\mu m$	70
Figura 4.7 – Diferença da corrente de dreno sem e com SH em função de V_{DS} para o mesmo comprimento efetivo de canal para dispositivos com $L_{eff}=0,50\mu m$	71
Figura 4.8 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{eff}=0,75\mu m$ e (b) para dispositivos com $L_{eff}=1,0\mu m$	72
Figura 4.9 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{eff}=0,75\mu m$ e (b) para dispositivos com $L_{eff}=1,0\mu m$	73
Figura 4.10 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento de máscara do canal (a) para dispositivos com $L_{masc}=0,75\mu m$ e (b) para dispositivos com $L_{masc}=1,0\mu m$	74
Figura 4.11 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento de máscara do canal para dispositivos com $L_{masc}=0,50\mu m$	74
Figura 4.12 – Porcentagem da diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para o mesmo comprimento de máscara do canal (a) para dispositivos com $L_{masc}=0,75\mu m$ e (b) para dispositivos com $L_{masc}=1,0\mu m$	75

- Figura 4.13 – Porcentagem da diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para o mesmo comprimento de máscara do canal para dispositivos com $L_{masc}=0,50\ \mu m$76
- Figura 4.14 – Curva $I_{DS} \times V_{DS}$ com e sem SH para dispositivos com diferentes temperaturas (200K, 300K e 400K) de dispositivos com o mesmo comprimento efetivo de canal ($L_{eff}=0,75$):(a) SOI com $L=0,75\ \mu m$, (b) GC com $L_{LD}/L= 0,2$ e $L=0,94\ \mu m$ e (c) GC com $L_{LD}/L= 0,5$ e $L=1,5\ \mu m$78
- Figura 4.15 – Diferença da corrente de dreno sem e com SH em função da tensão de dreno para diferentes temperaturas (200K, 300K e 400K) de dispositivos com o mesmo comprimento efetivo de canal ($L_{eff}=0,75$):(a) SOI com $L=0,75\ \mu m$, (b) GC com $L_{LD}/L= 0,2$ e $L=0,94\ \mu m$ e (c) GC com $L_{LD}/L= 0,5$ e $L=1,5\ \mu m$80
- Figura 4.16 - Diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para diferentes temperaturas (200K, 300K e 400K) para dispositivos (a) SOI com $L=0,75\ \mu m$, (b) GC com $L_{LD}/L= 0,2$ e $L=0,94\ \mu m$ e (c) GC com $L_{LD}/L= 0,5$ e $L=1,5\ \mu m$81

LISTA DE TABELAS

Tabela 2.1 - Tensão Early dos dispositivos da figura 2.15 (valores expressos em volts).	41
Tabela 3.1 – Parâmetros geométricos usados nos cálculos ⁴⁶	53
Tabela 3.2 – Condutância térmica lateral normalizada para borda de fonte/dreno, $\tilde{G}_{th,3}$ em função de $\tilde{G}_{th,0}$ ⁴⁶	53
Tabela 4.1 - Tensão de Limiar e inclinação de sublimiar obtidas da curva $I_{DS} \times V_{DS}$ com $V_{DS} = 0,1V$	67
Tabela 4.2 - Tensão de Limiar e inclinação de sublimiar obtidas da curva $I_{DS} \times V_{DS}$ com $V_{DS} = 0,1V$	68
Tabela 4.3 - Tensão de Limiar dos dispositivos em função da temperatura.	77

LISTA DE SÍMBOLOS

A_V	Ganho de malha aberta em baixa frequência
B	Inclinação da extrapolação da parte linear da curva semi-logarítmica ($I_{DS}(t) - I_{DS}(\infty)$) x tempo
BV_{CBO}	Tensão de ruptura de coletor com base aterrada [V]
BV_{CEO}	Tensão de ruptura de coletor com base aberta [V]
c	c é o calor específico [$\text{cal g}^{-1} \text{K}^{-1}$]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E_C	Nível de energia inferior da faixa de condução [eV]
E_{eff}	Campo elétrico efetivo na primeira interface [V/cm]
E_F	Nível de Fermi do semiconductor [eV]
E_i	Nível de Fermi intrínseco[eV]
E_{FM}	Nível de Fermi do metal[eV]
E_{SF}	Campo elétrico na primeira superfície[V/cm]
E_V	Nível de energia superior da faixa de valência [eV]
FD	Camada de silício totalmente depletada (<i>fully depleted</i>)
f_T	Frequência de transição unitária [Hz]
GC	Canal gradual (<i>Graded-Channel</i>)
g_D	Condutância de dreno[S]
g_m	Transcondutância de saída do transistor [S]
I_b	Fonte de corrente constante de um OTA [A]
I_C	Corrente do coletor do transistor bipolar parasitário[A]
I_{ch}	Corrente controlada pela porta, flui pela superfície do canal sem a parcela devido a ionização por impacto[A]
I_{desl}	Corrente de deslocamento [A]
I_{DS}	Corrente de dreno e Fonte [A]
I_{Dsat}	Corrente de dreno em saturação[A]

I_l	Corrente de lacunas geradas pela ionização por impacto [A]
k	Constante de Boltzmann [1.38066×10^{-23} J/K]
K_{Si}	Condutividade térmica do silício [W/K.m]
K_{SiO_2}	Condutividade térmica do óxido de silício [W/K.m]
K_t	Condutância térmica [$W.cm^{-1}K^{-1}$]
L	Comprimento do canal do transistor [μm]
L_{DD}	Comprimento da região fracamente dopada no transistor GC SOI [μm]
L_{eff}	Comprimento efetivo do canal do transistor [μm]
L_{LD}	Relação entre o comprimento da região fracamente dopada e o comprimento do canal, no transistor GC SOI [μm]
L_1	Largura do contato de Alumínio [μm]
L_2	Largura da Camada de $TiSi_2/n^+$ [μm]
L_3	Largura da camada de silício n^+ - Largura efetiva do canal [μm]
m	Fator de correção da equação da mobilidade de baixo campo elétrico
M	Fator de multiplicação devido ao elevado campo elétrico.
N_a	Concentração de portadores aceitadores da camada de silício [cm^{-3}]
$N_a(LD)$	Concentração de portadores aceitadores da região menos dopada do transistor GC SOI [cm^{-3}]
$N_a(HD)$	Concentração de portadores aceitadores da região mais dopada do transistor GC SOI [cm^{-3}]
N_{af}	Concentração de portadores aceitadores no canal [cm^{-3}]
NDR	Resistência Negativa de Dreno (<i>Negative Drain Resistance</i>)
NFD	Camada de depleção perto da depleção total (<i>Near-fully depleted</i>)
n_i	Concentração intrínseca de portadores [cm^{-3}]
PD	Camada de silício totalmente depletada (<i>Partially Depleted</i>)
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{inv1}	Carga de inversão na primeira superfície [C/cm^2]
Q_{ox}	Densidade de carga fixa no óxido de porta [C/cm^2]
Q_{oxb}	Carga efetiva do óxido enterrado por unidade de área [C/cm^2]
Q_{oxf}	Carga efetiva do óxido de porta por unidade de área [C/cm^2]
Q_{SB}	Carga no silício na segunda interface [C/cm^2]
R_{ext}	Resistência Externa [Ω]
S	Inclinação de Sublimiar ou fator S [mV/década]

SH	Auto-Aquecimento (<i>Self Heating</i>)
Si	Silício
SiO ₂	Óxido de Silício
SOI	Silício sobre isolante (<i>Silicon-On-Insulator</i>)
T	Temperatura absoluta [K]
T ₀	Temperatura da base [K]
T _C	Temperatura do dispositivo [K]
t _{Al}	Espessura da Linha de alumínio [μm]
t _{campo}	Espessura do campo de óxido abaixo da porta incluindo o óxido enterrado [μm]
t _{oxb}	Espessura do óxido enterrado [μm]
t _{oxb,Al}	Espessura do campo de óxido abaixo da linha de alumínio incluindo o óxido enterrado
t _{oxf}	Espessura do óxido de porta [μm]
t _{pass}	Espessura do óxido de passivação [μm]
t _{porta}	Espessura do eletrodo de porta [μm]
t _{Si}	Espessura da camada de silício [μm]
t _{Si,n+}	Expessura da Camada de silício n ⁺ abaixo da camada TiSi ₂ [μm]
t _{SOI}	Espessura das regiões do canal com a camada adjacente de silício n ⁺ [μm]
t _{TiSi₂}	Espessura da Camada de TiSi ₂
ULSI	Circuitos integrados em altíssima escala de integração (<i>Ultra Large Scale Integration</i>)
V	volume aquecido [μm]
V _{CC}	Tensão de Alimentação do OTA [V]
V _D	Tensão aplicada no dreno do transistor [V]
V _{DS}	Tensão entre dreno e fonte[V]
V _{EA}	Tensão Early [V]
V _{FB}	Tensão de Faixa Plana da estrutura MOS [V]
V _G	Tensão aplicada na porta do transistor[V]
V _{GB}	Tensão de substrato do transistor SOI convencional e GC SOI [V]
V _{GB,acc}	Tensão aplicada ao substrato para que a superfície do silício na segunda interface acumule
V _{GF}	Tensão entre porta e fonte do transistor SOI convencional e GC SOI [V]
V _{GT}	Sobretensão de limiar [V]
V _{in}	Tensão de entrada do OTA [V]

V_{OUT}	Tensão de saída do OTA [V]
$V_{R_{ext}}$	Tensão sobre o resistor R_{ext}
V_{th}	Tensão de limiar [V]
$V_{th1,acc2}$	Tensão de limiar com a 2ª interface em acumulação[V]
$V_{th1,depl2}$	Tensão de limiar com a 2ª interface em depleção[V]
$V_{th1,inv2}$	Tensão de limiar com a 2ª interface em inversão[V]
V_{th1}	Tensão de limiar da primeira interface [V]
W	Largura do canal do transistor [μm]
w_e	Região entre as bordas do dispositivo e o terminal de contato de porta [μm]
x	Constante utilizada para a determinação da tensão de ruptura com base aberta no transistor bipolar, variando de 3 a 6 tipicamente
$x_{dm\acute{a}x}$	Profundidade de depleção máxima [μm]
ϕ_F	Potencial de Fermi [V]
ϕ_{MS}	Diferença de função trabalho entre metal de porta e semiconductor no transistor MOS [V]
ϕ_{ms2}	Diferença de função trabalho entre o substrato e a camada de silício [V]
ϕ_{ms1}	Diferença de função trabalho entre o metal de porta e a camada de Si [V]
ϕ_{SB}	Potencial de superfície na segunda interface [V]
ϕ_{SF}	Potencial de superfície na primeira interface [V]
τ	Constante de tempo de auto-aquecimento [μm]
α	Parâmetro resultante da associação das capacitâncias do transistor MOSFET
θ	Fator de degradação da mobilidade [V^{-1}]
β	Ganho de corrente do transistor bipolar parasitário
μ_0	Mobilidade para baixo campo elétrico[$cm^2/V.s$]
v_{ds}	Componente alternada da tensão de dreno [V]
v_{gf}	Componente alternada da tensão aplicada à porta [V]
μ_n	Mobilidade efetiva dos elétrons na camada de silício[$cm^2/V.s$]
$\mu_{m\acute{a}x}$	Mobilidade máxima dos elétrons na camada de silício[$cm^2/V.s$]
ϵ_{ox}	Permissividade do óxido de silício [$3,5 \times 10^{-13} F/cm$]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12} F/cm$]
ρ	densidade [$g.cm^{-3}$]
$\Lambda_{F,D}$	Comprimento do decaimento da temperatura na fonte e dreno[μm]
σ	Condutância térmica lateral normalizada para a as borda de fonte e dreno

SUMÁRIO

RESUMO

Lista de Figuras

Lista de Tabelas

Lista de Símbolos

1. INTRODUÇÃO	19
2. CONCEITOS FUNDAMENTAIS	21
2.1 Tecnologia SOI MOSFET	21
2.1.1 Tipos de Estruturas SOI MOSFETs	21
2.1.2 Principais Características elétricas do transistor SOI MOSFET	25
2.1.2.1 Tensão de Limiar	25
2.1.2.2 Mobilidade	27
2.1.2.3 Transcondutância	29
2.1.2.4 Inclinação de sublimiar	30
2.1.2.5 Características analógicas dos dispositivos	32
2.1.2.6 Ionização por Impacto	34
2.1.2.6.1 Efeito de Elevação Abrupta da Corrente	35
2.1.2.6.2 Efeito Bipolar Parasitário.....	36
2.1.2.6.3 Tensão de Ruptura	38
2.2 Estrutura GC SOI MOSFET	38
3. AUTO-AQUECIMENTO.....	43
3.1 Métodos para a caracterização do Auto-aquecimento	47
3.1.1 Avaliação da corrente transitória de dreno após pulso de tensão aplicado ao dreno.....	47
3.1.2 Caracterização do SH através da estrutura de 4 contatos de porta.	54
3.1.3 Avaliação da corrente transitória de dreno após pulso de tensão aplicado à porta.....	56
4. SIMULAÇÕES NUMÉRICAS	61
4.1 Modelos Utilizados	62
4.2 Especificação da Condutividade Térmica.....	63
4.3 Dispositivos Simulados.....	64

4.3.1 Simulação do método de extração SH através de medidas transitórias.....	64
4.3.2 Análise em função do comprimento de máscara e comprimento efetivo do canal	66
4.3.3 Análise do SH em função da variação da temperatura.	76
5. CONCLUSÃO.....	82
6. REFERÊNCIAS BIBLIOGRÁFICAS	84
ANEXO A - Exemplo da simulação da medida dinâmica.....	87
ANEXO B - Exemplo da simulação de I_{DS} x V_{DS} com o modelo Lat.Temp.....	89

1. INTRODUÇÃO

O constante escalamento das dimensões dos transistores tipo Metal-Óxido-Semicondutor (MOS) com substrato de silício para desenvolvimento de circuitos integrados em altíssima escala de integração (ULSI – *Ultra Large Scale Integration*) torna-se cada vez mais complexos, visto que cada vez mais aproximamo-nos do limite imposto pelo silício para redução dos dispositivos.

Como alternativa tecnológica, os transistores construídos segundo a tecnologia silício sobre isolante (SOI - *Silicon-On-Insulator*) têm atraído grande atenção pelo seu enorme potencial na fabricação deste tipo de circuitos¹, pois apresentam maior capacidade de integração, além de possuírem vantagens sobre os transistores MOS convencionais como o aumento da mobilidade, da transcondutância², da resistência a radiação e diminuição das capacitâncias parasitárias de fonte/dreno, dos efeitos de canal curto³, da inclinação de sublimiar, e da sensibilidade com a variação da temperatura⁴.

A tecnologia SOI também é aplicada na área de circuitos de potência inteligentes que atualmente cobrem uma grande parcela do mercado relativo a aplicações automotivas e outros sistemas de transportes (aviões, estradas de ferro suburbanas). Estes dispositivos de potência são também encontrados em aplicações de altas frequências, como comunicações via satélite, transceptores móveis, onde as menores capacitâncias do SOI são grandemente apreciadas⁵. Contudo, o óxido enterrado na estrutura dos dispositivos SOI funciona como um isolante térmico dificultando a dissipação do calor gerado pelo processo de condução da corrente, degradando a mobilidade dos portadores o que ocasiona alterações nas características elétricas do dispositivo, além de poder causar alta dissipação de calor através dos contatos⁶. Este efeito é chamado de Auto-Aquecimento (SH -*Self-Heating*) sendo mais pronunciado em dispositivos SOI do que em dispositivos MOS convencionais, pois a condutividade térmica do silício é muito maior que a do óxido de silício.

Os transistores SOI apresentam intrinsecamente um transistor bipolar parasitário onde a base (canal do transistor MOS) fica eletricamente flutuando o que reduz a tensão de ruptura de dreno⁷.

O transistor Graded-Channel SOI MOSFET (GC SOI MOSFET) foi projetado para reduzir os efeitos do alto campo elétrico junto à região de dreno, aumentando assim a tensão de ruptura do dispositivo. Este transistor possui um perfil de concentração de dopantes assimétrico na região de canal do transistor, onde, a região próxima à fonte apresenta a concentração usual de dopantes para fixar a tensão de limiar e a região próxima ao dreno (junção canal-dreno) mantém a dopagem natural da lâmina a fim de diminuir a barreira de potencial nesta região, reduzindo assim, a ionização por impacto⁸.

Neste trabalho é realizado um estudo comparativo sobre a ocorrência do efeito de Auto-Aquecimento (*Self-Heating effect*) entre transistores SOI convencionais e GC SOI. Simulações numéricas bidimensionais são utilizadas para permitir o entendimento das componentes físicas que influenciam os resultados obtidos.

O conhecimento da influência do SH é muito importante principalmente para circuitos analógicos, uma vez que estes circuitos são fortemente dependentes da estabilidade do ponto de polarização e a potência dissipada no dispositivo pode alterar as características dos transistores.

Este trabalho está dividido em 5 capítulos da seguinte forma:

No capítulo 1 encontra-se a introdução do trabalho.

No capítulo 2 estão apresentados alguns os conceitos básicos sobre a estrutura SOI, abordando os tipos de estruturas SOI MOSFETs, as principais características elétricas do transistor SOI MOSFETs e do GC SOI MOSFET.

O capítulo 3 descreve o efeito de Auto-Aquecimento incluindo também três métodos para a sua caracterização.

No capítulo 4 são apresentados os resultados das simulações numéricas bidimensionais, possui a reprodução do método de obtenção da curva da corrente de dreno em função da tensão de dreno através da medida dinâmica da corrente de dreno resultante de pulsos de tensão aplicados ao dreno, e também duas análises: uma considerando o comprimento de máscara e o comprimento efetivo do canal e outra considerando a variação da temperatura. Inclui a descrição dos modelos utilizados no simulador ATLAS.

Finalmente, o capítulo 5 apresenta conclusão do trabalho, apresentando também a seqüência do mesmo.

2. CONCEITOS FUNDAMENTAIS

2.1 Tecnologia SOI MOSFET

A tecnologia SOI (Silicon-On-Insulator) consiste na fabricação de circuitos integrados em uma camada de silício sobre uma camada de material isolante. Atualmente utiliza-se o óxido de silício como isolante. Este isolamento entre a região ativa do transistor e o substrato minimiza ou suprime alguns efeitos parasitários existentes na estrutura MOS.

A figura 2.1 apresenta o perfil transversal de um transistor SOI nMOSFET onde t_{oxf} , t_{Si} e t_{oxb} são as espessuras do óxido de porta, da camada de silício e do óxido enterrado, respectivamente e V_{GF} , V_{GB} indicam os eletrodos de porta e substrato, respectivamente.

Figura 2.1 - Perfil transversal de um transistor SOI nMOSFET.

2.1.1 Tipos de Estruturas SOI MOSFETs

As características físicas dos dispositivos SOI MOSFETs sofrem grandes influências da espessura e concentração de dopantes da região ativa do dispositivo, assim como da temperatura. Dessa forma, podemos classificar os dispositivos de três maneiras: dispositivos onde a camada de silício da região ativa está em geral

completamente depletada (dispositivo totalmente depletado ou dispositivo FD – *fully depleted*), dispositivos onde a camada de silício não está totalmente depletada (dispositivo parcialmente depletado ou dispositivo PD – *partially depleted*), e dispositivos com a camada de depleção perto da depleção total (NFD SOI – *Near-fully depleted*), neste último tipo o modo de funcionamento (totalmente ou parcialmente depletado) depende da tensão aplicada no substrato⁹.

Para transistores MOS, a camada de depleção compreende a área situada entre a interface do óxido de porta e o silício (Si-SiO₂) e a profundidade máxima de depleção ($x_{dmáx}$) que pode ser representada pela equação (2.1):

$$x_{dmáx} = \sqrt{\frac{2\varepsilon_{Si} \cdot 2\phi_F}{q \cdot N_{af}}} \quad (2.1)$$

para

$$\phi_F = \frac{kT}{q} \cdot \ln\left(\frac{N_{af}}{ni}\right) \quad (2.2)$$

Onde:

ε_{Si} : permissividade do silício

q : carga elementar do elétron

N_{ap} : concentração de portadores aceitadores da camada de silício

k : constante de Boltzmann

T : temperatura absoluta

ni : concentração intrínseca de portadores

ϕ_F : potencial de Fermi.

Os transistores SOI totalmente depletados (FD SOI) possuem a espessura da camada de silício menor que a profundidade máxima de depleção, logo a camada de silício estará totalmente depletada quando a tensão aplicada na porta for maior ou igual à tensão de limiar(V_{th}). A figura 2.2 (c) apresenta o diagrama de faixa de energia destes dispositivos.

Nos FD SOI, a camada de depleção já atinge a segunda interface independente da condição de polarização de substrato (com exceção da possível presença de uma fina camada de acumulação ou inversão na segunda interface, resultante respectivamente, a uma grande polarização negativa ou positiva aplicada na segunda interface de um transistor SOI nMOSFET). As vantagens destes

dispositivos em relação aos MOS convencionais são maior transcondutância, menor efeito de canal curto, melhora no comportamento da região de sublimar e total imunidade ao efeito de elevação abrupta de corrente.⁹

Os transistores SOI parcialmente depletados (PD SOI) possuem a espessura da camada de silício maior que o dobro da profundidade máxima de depleção, não existindo assim qualquer interação entre as camadas de depleção provenientes da primeira e da segunda interfaces, portanto existe uma região neutra entre as duas camadas de depleção. Se a região neutra permanecer eletricamente flutuando aparece um efeito parasitário adicional: o efeito de elevação abrupta de corrente (*Kink effect*). A figura 2.2(b) apresenta o diagrama de faixa de energia desta estrutura.

Os dispositivos que possuem sua espessura de camada de silício maior que profundidade máxima de depleção e menor que o dobro da mesma ($x_{d\text{máx}} < t_{\text{Si}} < 2x_{d\text{máx}}$) são classificados como dispositivos SOI perto da depleção total (NFD SOI), pois podem se comportar ora como um PD SOI ora como um FD SOI, dependendo das condições de polarização da segunda interface. Quando a primeira e a segunda interface estiverem polarizadas de forma que as duas regiões de depleção se encontrem, haverá interação entre as duas interfaces e o dispositivo comporta-se como um SOI totalmente depletado, contudo em caso contrário, onde o encontro entre as camadas de depleção não ocorre, o dispositivo comporta-se como um SOI parcialmente depletado.

Esta diferença entre os dispositivos MOS convencional, SOI parcialmente depletado e SOI totalmente depletado esta apresentada no diagrama de faixas de energia da figura 2.2.

Figura 2.2– Diagramas de Faixa de Energia para transistores MOS (A), PD SOI (B) e FD SOI (C).

Onde :

V_G é a tensão aplicada na porta do transistor[V]

V_{GF} é a tensão entre porta e fonte do transistor GC SOI [V]

V_{GB} é a tensão de substrato do transistor GC SOI [V]

E_C é o nível de energia inferior da faixa de condução [eV]

E_i é o nível de Fermi intrínseco[eV]

E_F é o nível de Fermi do semiconductor [eV]

E_V é o nível de energia superior da faixa de valência [eV]

E_{FM} é o nível de Fermi do Metal [eV]

$x_{dm\acute{a}x}$ é a profundidade de depleção máxima [μm]

t_{Si} é a espessura da camada de silício[μm]

2.1.2 Principais Características elétricas do transistor SOI MOSFET

2.1.2.1 Tensão de Limiar

Tensão de limiar (V_{th}) é o valor de tensão aplicada a porta capaz de inverter a sua superfície de silício, formando um canal de condução entre fonte e dreno. Esta tensão é obtida quando o potencial induzido na superfície do silício é igual a $2\phi_F$.

A tensão de limiar em um dispositivo SOI parcialmente depletado, onde não há interação entre as regiões de depleção geradas pelas duas interfaces, é dada pela mesma equação (2.3) da tensão de limiar de um dispositivo MOS convencional:

$$V_{th} = V_{FB} + 2\phi_F + \frac{qN_{af}X_{dmax}}{C_{ox}} \quad (2.3)$$

Com

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (2.4)$$

Onde :

V_{FB} é tensão de Faixa Plana da estrutura MOS

Q_{ox} é a densidade de carga fixa no óxido de porta

C_{ox} é a capacitância do óxido de porta por unidade de área ($C_{ox} = \epsilon_{ox}/t_{oxf}$)

t_{oxf} é a espessura do óxido de porta

ϕ_{MS} é a diferença de função trabalho entre metal de porta e semiconductor

ϵ_{ox} é a permissividade do óxido de silício

N_{af} é a concentração de portadores aceitadores no canal

Para o transistor FD SOI nMOSFET , onde há a interação das regiões de depleção das duas interfaces, as equações de tensões de porta e substrato desprezando-se as armadilhas de interface, são expressas pelas equações (2.5) e (2.6) de Lim & Fossum¹⁰ :

$$V_{GF} = \phi_{ms1} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \phi_{SF} - \frac{C_{Si}}{C_{oxf}} \phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{oxf}} \quad (2.5)$$

$$V_{GB} = \phi_{ms2} - \frac{Q_{oxb}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}} \phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{oxb}} \quad (2.6)$$

onde:

$Q_{depl} = -q \cdot N_{af} \cdot t_{Si}$ é a carga de depleção na camada de silício,

$C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}}$ é a capacitância do óxido de porta por unidade de área,

$C_{oxb} = \frac{\epsilon_{ox}}{t_{oxb}}$ é a capacitância do óxido enterrado por unidade de área,

$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}}$ é a capacitância da camada de silício por unidade de área,

Sendo:

ϕ_{ms1} : diferença de função trabalho entre o metal de porta e a camada de silício

ϕ_{ms2} : diferença de função trabalho entre o substrato e a camada de silício

Q_{oxf} : carga efetiva do óxido de porta por unidade de área

Q_{oxb} : é a carga efetiva do óxido enterrado por unidade de área

ϕ_{SF} e ϕ_{SB} : potenciais de superfície na primeira e segunda interface respectivamente

Q_{S2} : a carga no silício na segunda interface ($Q_{S2}>0$ acumulação e $Q_{S2}<0$ inversão).

Utilizando as equações (2.5) e (2.6), pode-se obter a equação da tensão de limiar na superfície do silício na primeira interface em função das polarizações da porta e do substrato ⁹:

Para a superfície do silício na região da segunda interface em acumulação ($V_{th1,acc2}$):

$$V_{th1,acc2} = \phi_{ms1} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}} \right) 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.7)$$

Para a superfície do silício na região da segunda interface em inversão ($V_{th1,inv2}$):

$$V_{th1,inv2} = \phi_{mf1} - \frac{Q_{oxf}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.8)$$

Para a superfície do silício na região da segunda interface em depleção ($V_{th1,depl2}$):

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} (V_{GB} - V_{GB,acc}) \quad (2.9)$$

onde, $V_{GB,acc}$ é a tensão aplicada ao substrato de forma que a superfície do silício na segunda interface acumule.

As equações (2.7), (2.8) e (2.9) são válidas admitindo-se desprezíveis as espessuras das regiões de inversão e acumulação.

A figura 2.3 mostra o comportamento da tensão de limiar em função da variação da tensão aplicada no substrato (*back gate*).

Figura 2.3 – Variação da tensão de limiar em função da tensão aplicada no substrato.⁹

2.1.2.2 Mobilidade

A equação (2.10) é uma aproximação para descrever a mobilidade dos elétrons na camada de inversão de um dispositivo MOS em função do campo elétrico vertical abaixo do óxido de porta ⁹:

$$\mu_n(y) = \mu_{máx} \left[\frac{E_C}{E_{eff}(y)} \right]^c, \text{ para } E_{eff}(y) > E_C \quad (2.10)$$

Onde $\mu_{máx}$, E_C e c são parâmetros que dependem do processo de oxidação da porta e das propriedades do dispositivo.

O campo elétrico efetivo é dado por^{11,12}:

$$E_{eff}(y) = E_{SF}(y) - \frac{Q_{invl}(y)}{2\epsilon_{Si}} \quad (2.11)$$

$$\text{Para } E_{SF}(y) = \left(\frac{\phi_{SF}(y) - \phi_{SB}(y)}{t_{Si}} + \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right) \quad (2.12)$$

Onde E_{SF} é o campo elétrico na primeira superfície [V/cm].

Q_{inv1} pode ser isolada através da equação (2.5).

Analisando as equações 2.11 e 2.12 pode-se observar que $E_{eff}(y)$ aumenta com aumento de Q_{inv1} (Q_{inv1} negativa para dispositivos canal n), se a segunda interface estiver depletada e próxima da inversão temos $\phi_{SF} - \phi_{SB} = 0$ e o campo elétrico na primeira interface será menor que em um dispositivo MOSFET convencional onde:

$$E_{SF} = \frac{qN_a x_{dmáx}}{2\epsilon_{Si}} \quad (2.13)$$

Assim notamos que a mobilidade máxima é obtida quando a tensão aplicada na porta (V_{GF}) está logo acima da tensão de limiar (V_{th1}). Com o aumento de V_{GF} , a mobilidade reduz rapidamente devido ao aumento das cargas de inversão (Q_{inv1}).

Abaixo temos um modelo simples e clássico da mobilidade incluindo o efeito das resistências de fonte e dreno e o efeito da temperatura (equação 2.13)¹³:

$$\mu_n = \mu_0 \frac{1}{1 + (\theta + \alpha_R)(V_{GF} - V_{th1})} \quad (2.14)$$

$$\text{Para: } \alpha_R = \frac{2\mu_0 C_{oxf} R_{SD} W}{L} \quad (2.15)$$

$$\text{e } \mu_0 = \mu_{273K} \left(\frac{T}{273} \right)^{-m}, \text{ com } m=1.9 \quad (2.16)$$

Onde

μ_0 é a mobilidade para baixo campo elétrico [$\text{cm}^2/\text{V.s}$]

θ é o fator de degradação da mobilidade [V^{-1}]

W é a largura do canal do transistor [μm]

m é o fator de correção da equação da mobilidade de baixo campo elétrico.

A figura 2.4 exhibe a variação da mobilidade com baixo campo elétrico, para elétrons (dispositivos canal-n) e para lacunas (dispositivos canal-p) em função da temperatura.

Figura 2.4 – Variação de μ_0 em função da temperatura, em um n-SOI MOSFET(●) e em um p-SOI MOSFET(o).¹³

2.1.2.3 Transcondutância

A transcondutância, a mobilidade dos portadores no canal de inversão e a corrente de saturação determinam basicamente a capacidade de fornecer corrente de um transistor SOI MOSFET. A transcondutância de um MOSFET (gm) é a medida da eficácia do controle da corrente de dreno pela tensão aplicada na porta e é definida pela equação (2.17)⁹:

$$gm = \frac{dI_{Dsat}}{dV_{GF}} \quad (2.17)$$

Em transistores nMOSFETs convencionais, em saturação, gm é dado pela equação (2.18)¹⁴:

$$gm = \frac{W}{L} \mu_n C_{OX} (V_{GF} - V_{th}) + 4\phi_F \left(\frac{C_D}{C_{OX}} \right)^2 \left(1 - \sqrt{1 + \left(\frac{C_{OX}}{C_{depl}} \right)^2 \frac{V_{GF} - V_{FB}}{2\phi_F}} \right) \quad (2.18)$$

$$\text{com} \quad C_D = \frac{\epsilon_{Si}}{x_{d\max} C_{ox}}.$$

De uma forma geral, a corrente de saturação pode ser escrita como indicado na equação (2.19):

$$I_{DSat} \cong \frac{W \mu_n C_{OX}}{2L(1+\alpha)} (V_{GF} - V_{th})^2 \quad (2.19)$$

Em dispositivos MOS convencionais tem-se a equação (2.20):

$$\alpha = \frac{\mathcal{E}_{Si}}{x_{d\max} C_{ox}} \quad (2.20)$$

A transcondutância em dispositivos FD SOI MOSFET, é dada por:

$$gm = \frac{dI_{Dsat}}{dV_{GF}} \cong \frac{W\mu_n C_{of}}{L(1+\alpha)} (V_{GF} - V_{thf}), \text{ para } V_{DS} > V_{Dsat} \quad (2.21)$$

Nos dispositivos FD, com a 2ª interface acumulada:

$$\alpha = \frac{C_{Si}}{C_{oxf}} \quad (2.22)$$

Nos dispositivos FD, com a 2ª interface depletada:

$$\alpha = \frac{C_{Si} C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} \quad (2.23)$$

Sendo assim:

$$\alpha_{\text{SOI totalmente depletado}} < \alpha_{\text{convencional}} < \alpha_{\text{SOI 2ª interface acumulada}}$$

Nos FD SOI MOSFET com a superfície do silício da segunda interface depletada a transcondutância é maior do que em um dispositivo MOS convencional, que por sua vez é maior que em um dispositivo FD SOI MOSFET com a superfície do silício da segunda interface acumulada.

2.1.2.4 Inclinação de sublimiar

A inclinação de sublimiar (fator S) é o inverso da taxa de variação logarítmica da corrente de dreno (I_{DS}) pela tensão aplicada na porta (V_{GF}) na região de sublimiar¹⁰ e define a variação da tensão de porta, para tensões abaixo da tensão de limiar, necessária para a variar a corrente de dreno em uma década. É dada pela equação (2.24).

$$S = \frac{dV_{GF}}{d(\log I_{DS})} \quad (2.24)$$

A corrente de sublimiar em um transistor MOS consiste em uma corrente de difusão de portadores minoritários, dada pela equação (2.25)¹⁵:

$$I_{DS} = -qAD_{nb} \frac{dn}{dy} = qAD_{nb} \frac{n(0) - n(L)}{L} \quad (2.25)$$

onde:

A é área da secção transversal através da secção vertical da região do canal.

D_{nb} é o coeficiente de difusão dos elétrons

$n(0)$ é a concentração de elétrons na borda da junção de fonte

$n(L)$ é a concentração de elétrons na borda da junção de dreno

Combinando-se as equações (2.24) e (2.25) e desprezando-se as armadilhas de interface, obtém-se a equação (2.26):

$$S = \frac{kT}{q} \ln(10)(1 + \alpha) \quad (2.26)$$

Sendo α a mesma relação de capacitâncias apresentadas na secção (2.1.2.3).

A inclinação de sublimiar indica a condição de operação do transistor SOI. Para valores entre 60 e 70 mV/dec pode-se concluir que o dispositivo é de camada fina e está totalmente depletado.

Conclui-se também que o fator S é menor no SOI totalmente depletado, maior no MOS convencional e ainda maior no SOI com a segunda interface acumulada. Assim, o fato de os valores de inclinação de sublimiar serem menores em dispositivos FD SOI que em dispositivos MOS convencionais, habilita sua utilização em tensões de limiar menores sem o aumento da corrente de fuga, resultando em um melhor desempenho em alta velocidade, principalmente com baixas tensões de alimentação (2-3 Volts)¹⁶.

Da mesma forma que nos dispositivos MOS convencionais, foi observado um aumento na inclinação de sublimiar em dispositivos SOI com efeito de canal curto, porém para valores menores de comprimento de canal¹⁷.

2.1.2.5 Características analógicas dos dispositivos

A figura 2.5 mostra um circuito analógico que representa um Amplificador Operacional de Transcondutância utilizando apenas um único transistor MOS (single-transistor Operacional Transconductance Amplifier - OTA).

Figura 2.5 – Amplificador Operacional de Transcondutância

Neste bloco analógico o transistor é polarizado por uma fonte de corrente constante (I_b) que fixa o ponto de polarização do transistor e permite que a parcela alternada (v_{gf}) da tensão aplicada à porta ($V_{in} = V_{GF} + v_{gf}$) seja amplificada, compondo assim a parcela alternada (v_{ds}) da tensão de saída ($V_{out} = V_{DS} + v_{ds}$). O ganho de malha aberta em baixa frequência é dado pela equação (2.27)¹⁸.

$$A_V = \frac{V_{out}}{V_{in}} = \frac{gm}{g_D} = \frac{gm}{I_{DS}} V_{EA} \quad (2.27)$$

onde g_D é a condutância de saída de dreno e V_{EA} é a tensão Early.

Figura 2.6 – Curva característica de gm/I_{DS} em função da corrente normalizada ($I_{DS}/(W/L_{eff})$) de um dispositivo SOI nMOSFET¹⁹.

A transcondutância (gm) está associada à amplificação fornecida pelo dispositivo e a corrente de dreno (I_{DS}) representa a energia dissipada nesta amplificação, sendo assim gm/I_{DS} é um parâmetro de medida de eficiência do dispositivo. Como se pode ver na figura 2.6, normalmente gm/I_{DS} é máxima no regime de inversão fraca, e é obtido pela equação (2.28):

$$\frac{gm}{I_{DS}} = \frac{dI_{DS}}{I_{DS}dV_{GF}} = \frac{\ln(10)}{S} = \frac{q}{(1+\alpha)kT} \quad (2.28)$$

No regime de inversão forte gm/I_{DS} é dado pela equação (2.29):

$$\frac{gm}{I_{DS}} = \sqrt{\frac{2\mu C_{ox}\left(\frac{W}{L}\right)}{(1+\alpha)I_{DS}}} \quad (2.29)$$

Sendo α a mesma relação de capacitâncias apresentadas na seção (2.1.2.3).

A tensão Early (V_{EA}) é usada como uma forma de traduzir a condutância de saída do transistor e é dada pelo módulo da tensão definida na intersecção do eixo da tensão de dreno (ou seja, para $I_{DS} = 0$) com a reta tangente à curva $I_{DS} \times V_{DS}$ na região de saturação (figura 2.7).

Figura 2.7 – Curva I_{DS} em função de V_{DS} de um dispositivo SOI convencional destacando a extração de V_{EA} ¹⁹.

Em dispositivos SOI livres de forte ionização por impacto, obtemos maiores valores de tensão Early em módulo se compararmos a dispositivos MOS convencionais¹³.

2.1.2.6 Ionização por Impacto

O mecanismo de ionização por impacto ocorre quando os valores de campo elétrico são altos o suficiente para que os portadores do canal adquiram energia para a geração de pares elétron-lacuna com a colisão dos elétrons na rede cristalina. No caso de transistores MOS, os elétrons gerados pelo par elétron-lacuna seguem em direção ao pólo de maior potencial (dreno e porta). Como esta geração se dá muito próximo ao dreno (lugar de campo elétrico máximo na saturação), praticamente todos os elétrons gerados pela ionização por impacto resultam em uma parcela da corrente de dreno. As lacunas, contudo, tendem a se deslocar para o menor potencial, que no caso de dispositivos MOS convencionais é o substrato e no caso de dispositivos PD SOI, é o corpo, pois nesta tecnologia o substrato está isolado da região ativa de corpo através do óxido enterrado. O acúmulo de lacunas nesta região nos dispositivos SOI promove o aumento do potencial de corpo, reduzindo a tensão de limiar, o que aumenta a corrente do canal na mesma condição de polarização. Este aumento da corrente gera mais pares elétron-lacunas realimentando positivamente o processo.

A figura 2.8 representa o mecanismo de ionização por impacto em transistores SOI convencionais acima descrito.

Figura 2.8 - Esquema de representação do mecanismo de ionização por impacto em dispositivos SOI convencionais²⁰

Em dispositivos FD SOI o campo elétrico perto do dreno é menor que em PD SOI, logo, haverá uma menor geração de par elétron-lacuna nestes dispositivos, a junção canal-fonte está diretamente polarizada devido à depleção completa da camada de silício, assim, as lacunas geradas são rapidamente recombinadas com a fonte sem aumentar o potencial do corpo. Como resultado o potencial do corpo não é alterado, o efeito de corpo está virtualmente em zero, e não há diminuição da tensão de limiar em função da tensão de dreno.

2.1.2.6.1 Efeito de Elevação Abrupta da Corrente

Em transistores PD SOI ocorre uma anomalia na curva de saída chamada de efeito de elevação abrupta da corrente (Kink effect) onde se observa um degrau em I_{DS} , conforme mostra a figura 2.9.

A elevação do potencial na região de corpo causada pelas lacunas geradas na ionização por impacto resulta em uma redução da tensão de limiar, elevando-se a corrente de dreno do transistor. O fenômeno termina quando ocorre a polarização direta da junção canal-fonte.

Figura 2.9 – Ilustração do efeito de elevação de corrente (*Kink Effect*) em dispositivos SOI NMOSFET parcialmente depletados¹⁰.

Os transistores FD SOI não sofrem este efeito, pois, a junção canal-fonte está diretamente polarizada devido à depleção completa da camada de silício, e por essa

razão, não há a variação da tensão de limiar com o aumento da geração de portadores por ionização por impacto.

2.1.2.6.2 Efeito Bipolar Parasitário

É inerente aos transistores MOS a presença em sua estrutura de um transistor bipolar NPN (BJT), Fonte (emissor) N^+ - Canal (base) P^+ - Dreno (coletor) N^+ que é ativado pelo aumento do potencial no dreno do transistor que eleva o campo elétrico nesta região e aumenta a ionização por impacto no dispositivo. A figura 2.10 apresenta esquematicamente o transistor bipolar parasitário em um transistor SOI.

Figura 2.10- Ilustração do Efeito de Bipolar Parasitário

Nos dispositivos SOI sem contato de corpo o canal (que é a base do transistor bipolar) está flutuando. Esse transistor bipolar pode amplificar a corrente de ionização por impacto, agravando ainda mais seus efeitos.

Assim como o efeito de elevação abrupta da corrente, os pares elétron-lacuna são gerados na região de alto campo elétrico junto ao dreno, porém com uma tensão de dreno suficientemente grande esse efeito pode ocorrer na região de sublimiar, mesmo com baixa corrente de dreno, onde as lacunas geradas pela ionização por impacto se deslocam para o canal do dispositivo, elevando o potencial desta região, o que diminui a tensão de limiar.

Como resultado temos o aumento da corrente de dreno (I_{DS}) para uma mesma tensão aplicada à porta (V_{GF}) ocasionando uma redução do inverso da inclinação de sublimiar (S), podendo esta atingir valores menores que o limite teórico de 60mV/dec. Esse efeito pode ocorrer tanto em FD SOI e PD SOI com a superfície do silício na região da segunda interface tanto depletada, como acumulada, apresentando neste último caso efeitos ainda piores.

Um dos problemas da tecnologia SOI é o efeito que aparece em dispositivos de camada fina. Como a concentração da fonte (emissor) é muito maior que a concentração do canal (base), uma grande quantidade de elétrons será injetada na região do canal e coletada pelo dreno (coletor) do transistor, gerando assim uma corrente de coletor relevante. Essa corrente soma-se à corrente de dreno, aumentando a ionização por impacto, causando a ruptura prematura da junção ou perda do controle da porta.

Da literatura²¹ tem-se a equação (2.30):

$$I_C = \beta I_I \quad (2.30)$$

Onde:

I_C : corrente de coletor

β : ganho de corrente do transistor bipolar parasitário

I_I : corrente de lacunas geradas pela ionização por impacto.

Temos também que a corrente de lacunas geradas pela ionização por impacto é expressa pela equação (2.31):

$$I_I = (M - 1)(I_{ch} + I_C) \quad (2.31)$$

Onde:

I_{ch} : corrente controlada pela porta, flui pela superfície do canal sem a parcela devida à ionização por impacto;

M: é o fator de multiplicação devido ao elevado campo elétrico.

Combinando-se as equações (2.30) e (2.31) tem-se a equação (2.32):

$$I_{DS} = M(I_{ch} + I_C) = \frac{MI_{ch}}{1 - \beta(M - 1)} \quad (2.32)$$

Onde I_{DS} é a corrente total que flui através do canal, considerando a parcela de corrente da ionização por impacto.

2.1.2.6.3 Tensão de Ruptura

Devido ao campo elétrico máximo próximo à junção canal-dreno ser menor em dispositivos SOI do que em dispositivos MOS convencionais, espera-se maior tensão de ruptura dos dispositivos SOI. Contudo, a presença intrínseca do transistor bipolar parasitário com base flutuante diminui a tensão de ruptura, pois a tensão de ruptura do coletor (dreno) de transistores bipolares com base aberta (BV_{CEO}) é menor do que quando o transistor tem sua base aterrada (BV_{CBO})²². A equação (2.33) apresenta a relação simplificada aproximada do mecanismo de ruptura que ocorre em um dispositivo SOI MOSFET:

$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt[x]{\beta}} \quad (2.33)$$

Onde :

x: varia de 3 a 6 tipicamente

β : ganho de corrente do transistor bipolar parasitário

Observando a equação (2.32) nota-se que o dispositivo atingirá a tensão de ruptura (BV_{CEO}) quando o produto $\beta(M-1)$ tender a unidade.

A redução da tensão de ruptura do dreno pode ser amenizada, quando o tempo de vida dos portadores minoritários é baixo⁹.

2.2 Estrutura GC SOI MOSFET

O GC SOI MOSFET é um transistor SOI totalmente depletado que foi projetado com o intuito de minimizar os efeitos devido ao elevado campo elétrico na região de dreno, possui perfil assimétrico de dopantes na região de canal^{23,24,25,26,27,28,29}. Na figura 2.11 é apresentado o perfil transversal do transistor GC SOI MOSFET.

Figura 2.11 - Perfil do transistor SOI MOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI MOSFET).

As características elétricas deste novo transistor estão apresentadas na figura 2.12 na qual estão mostradas as curvas da corrente de dreno (I_{DS}) dos GC SOI em função da tensão aplicada à porta (V_{GF}), todas obtidas com tensão de dreno (V_{DS}) de 0,1 V.

Com base nas curvas da Figura 2.12, extraiu-se a transcondutância por unidade de largura de canal (g_m/W) em função da tensão aplicada à porta (V_{GF}), para os dispositivos GC SOI com diferentes relações L_{LD}/L e SOI convencional com e sem estrutura L_{DD} (*Lightly Doped Drain*), todos com comprimento efetivo de canal $L_{eff} = 0,8 \mu m$ (comprimento de canal de máscara de $1 \mu m$ - figura 2.14). Os valores da relação $(L_{LD}/L)_{eff}$ foram obtidos como descrito em ²³.

Figura 2.12 - Curvas experimental da corrente de dreno (I_{DS}) em função da tensão aplicada à porta (V_{GF}), todas com tensão de dreno ($V_{DS} = 0,1 V$), para os dispositivos GC SOI ³⁰.

Figura 2.13 – Curvas experimentais da transcondutância (g_m) em função da tensão aplicada à porta (V_{GF}), todas com tensão de dreno ($V_{DS} = 0,1$ V), para os dispositivos GC SOI e SOI convencionais com e sem L_{DD} ²⁸.

A transcondutância dos GC SOI é superior a de ambos os transistores SOI convencionais para todas as relações L_{LD}/L analisadas para tensões de porta inferiores a 1V (figura 2.15), isso devido à redução do comprimento efetivo de canal com o aumento de L_{LD} . Para $V_{GF} > 1,25$ V, a degradação da mobilidade na região fracamente dopada é responsável por provocar uma brusca queda na transcondutância, igualando-a a dos SOI convencional.

Na Figura 2.14 estão apresentadas as curvas da corrente de dreno por unidade de largura de canal (I_{DS}/W) em função da tensão de dreno (V_{DS}) dos transistores GC e SOI convencional, medidas com uma sobretensão ($V_{GT} = V_{GF} - V_{Th}$) de 200 mV, uma vez que os efeitos parasitários são mais pronunciados em tensões próximas a V_{Th} .

Figura 2.14 – Curvas I_{DS}/W em função de V_{DS} dos transistores GC SOI e SOI convencionais com e sem L_{DD} , todos com $L_{eff}=0,8 \mu m^{28}$.

Há também uma grande melhora na condutância de dreno dos GC SOI em relação a ambos transistores SOI convencionais, pois estes dispositivos estão menos sujeitos à ocorrência de efeitos parasitários decorrente do alto campo elétrico junto ao dreno. A partir das curvas apresentadas na Figura 2.14 extraiu-se a tensão Early através da regressão linear da curva I_{DS}/W em função de V_{DS} no intervalo $0,75V \leq V_{DS} \leq 1,5 V$ dos dispositivos, estes dados estão apresentados na tabela 2.1.

Tabela 2.1 - Tensão Early dos dispositivos da figura 2.15 (valores expressos em volts).

		$V_{EA}[V]$			
SOI		GC SOI			
S/ L_{DD}	C/ L_{DD}	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,39$	$L_{LD}/L=0,4$
4,5	5,2	22,9	27,9	39,4	40,0

Observa-se também, grande melhora na tensão Early em todos os dispositivos GC SOI comparada aos SOI convencionais com e sem L_{DD} . Esta melhora aumenta conforme aumenta a relação L_{LD}/L .

Levando em conta todas vantagens demonstradas, o transistor GC SOI aparece como uma excelente alternativa para aplicações em circuitos analógicos. Considerando um amplificador MOS de fonte comum, o ganho de malha aberta (equação 2.33) e a frequência de transição unitária (f_T) é dada pela equação (2.34)³¹:

$$f_T = \frac{g_m}{2\pi C_L} \quad (2.34)$$

A relação g_m/I_{DS} é dependente exclusivamente da tecnologia, isto é MOS convencional ou SOI, atingindo seu valor máximo em inversão fraca. Deste modo, os transistores SOI convencionais e GC SOI apresentam o mesmo valor para esta característica³². Logo, os resultados apresentados na tabela 2.1 permitem afirmar que os transistores GC SOI podem elevar significativamente o ganho de circuitos analógicos, com o mesmo comprimento de canal de máscara. De forma similar, devido ao aumento da transcondutância, obtém-se uma elevação na frequência f_T .

Estudos realizados em espelhos de corrente comprovaram a grande potencialidade deste novo transistor para aplicações analógicas³³.

3. AUTO-AQUECIMENTO (Self-Heating - SH)

O Efeito de Auto-Aquecimento³⁴ é acentuado à tecnologia SOI e ocorre devido à dificuldade de dissipação, através do substrato, do calor gerado pela passagem de corrente (efeito Joule), devido à presença da camada de óxido enterrado (SiO_2), que funciona como um isolante térmico.

Os modos de condução do excesso de calor são vários: o calor difunde-se verticalmente através do óxido enterrado e lateralmente através da ilha de silício em direção aos contatos e à metalização³⁵. As interconexões de metal são um importante mecanismo de resfriamento e tem sido efetivamente reduzidas juntamente com as dimensões dos dispositivos³⁶.

Aumentando a densidade de integração pode ocorrer a redução da condutância térmica do canal, uma vez que a condutância térmica é a relação da potência no dispositivo pela diferença de temperatura do canal para o substrato.

O aquecimento da camada de Si, provoca uma redução da mobilidade e conseqüente redução da corrente de dreno, visto que uma parte da potência gerada não é dissipada⁹. A Figura 3.1 apresenta o efeito do auto-aquecimento na curva característica $I_{DS} \times V_{DS}$.

Figura 3.1 – Curva esquemática $I_{DS} \times V_{DS}$ indicando a ocorrência de efeito auto-aquecimento.

Este efeito é sumamente importante para circuitos analógicos, pois as variações nas características dos transistores causam instabilidade e distorção destes circuitos, uma vez que os circuitos analógicos são fortemente dependentes da estabilidade do ponto de polarização.

O auto-aquecimento também ocorre nas estruturas MOS convencionais, porém, de forma menos acentuada, pois, o calor gerado no canal pode ser dissipado diretamente pelo substrato de silício que possui uma condutividade térmica muito superior à do óxido de silício ($K_{SiO_2}=1,40 \text{ W/K.m}$ e $K_{Si}=148 \text{ W/K.m}$ em temperatura ambiente).

O auto-aquecimento torna-se mais pronunciado à medida que ocorre a redução das dimensões dos dispositivos, principalmente em dispositivo SOI, conforme as espessuras do silício, do óxido de porta, óxido enterrado, etc. do transistor tornam-se mais finas, o caminho de aquecimento entre as regiões de fonte e dreno fica mais estreito, o que aumenta a resistência térmica e faz com que a temperatura do corpo do transistor aumente³⁷. Nos SOI MOSFETs o auto-aquecimento é responsável pela: diminuição da tensão de limiar e mobilidade, aumento da corrente de fuga e da inclinação de sublimiar^{6, 9, 38, 39, 40}.

Um dos efeitos mais comuns devido ao auto-aquecimento é o surgimento de uma região de condutividade diferencial de saída negativa na característica $I_{DS} \times V_{DS}$, cuja justificativa é fornecida a seguir⁴¹:

Sabe-se que o aumento da condutância de dreno é ocasionado por uma redução do comprimento efetivo de canal em dispositivos de canal curto (devido ao deslocamento, em direção à fonte, do ponto de *pinch-off*). Essa redução no comprimento de canal provoca um aumento de corrente com a aplicação de tensão de dreno na região de saturação da curva $I_{DS} \times V_{DS}$. Por outro lado, observa-se que, devido ao efeito de Auto-Aquecimento, ocorre a degradação da mobilidade com a elevação da temperatura, o que tende a diminuir a corrente no dispositivo.

Nota-se, portanto, que ambos os efeitos são mecanismos conflitantes e, como ambos atuam simultaneamente (em dispositivos SOI de pequenas dimensões), o resultado predominante é determinado pelo efeito mais intenso. Dessa forma, a degradação da mobilidade, para níveis suficientemente elevados de corrente, pode ocasionar a compensação do aumento da condutância de dreno em dispositivos de canal curto, levando inclusive à ocorrência de condutância diferencial de saída negativa (NDR), na região de saturação da característica $I_{DS} \times V_{DS}$ destes dispositivos⁴¹.

Para medidas estáticas, a variação devida ao auto-aquecimento não é linear, como mostra a Figura 3.2.

A variação causada pelo SH é desprezível em circuitos onde as constantes elétricas internas de tempo são menores que a constante de tempo da temperatura (1ns –10μs), como em circuitos digitais.

Nestas condições é possível supor que nestes circuitos a temperatura é praticamente constante durante o chaveamento dos dispositivos.

Figura 3.2 – Curva Característica $I_{DS} \times V_{DS}$: Medidas e modelo analítico com e sem Auto-Aquecimento para o transistor 0.8μm/10μm⁴³.

O efeito de auto-aquecimento influencia principalmente medidas realizadas no modo DC, onde a potência é dissipada no dispositivo^{42, 43}.

A corrente de deslocamento (I_{desl}) é a corrente através das capacitâncias de junção de fonte/corpo e dreno/corpo. Dependendo da taxa de variação da tensão de dreno, ocorre a alteração da camada de depleção associada as junções e, conseqüentemente, há uma alteração de suas capacitâncias relacionadas resultando numa variação na corrente de deslocamento.

Na Figura 3.3 tem-se a curva simulada parametrizada com taxa de máxima de variação da tensão de saída (dreno) variando de 5 mV/μs à 250V/μs.

Figura 3.3 – Simulação da saída transitória com $V_{GF}=5V$ mostrando o efeito de Auto-Aquecimento e a evolução do pico em operações transitórias do dispositivo de $0,8\mu m$ ³⁴.

Observou-se que para altas taxas de variação de tensões de dreno não há efeitos térmicos significativos (curva a), pois o corpo está fortemente polarizado pela corrente de deslocamento I_{desl} , o que aumenta a corrente de dreno para baixas tensões de dreno e a Resistência Diferencial Negativa de Dreno (NDR -Negative Drain Resistance) é desprezível³⁴.

Diminuindo-se a taxa de variação da tensão de dreno há um aumento dos efeitos da temperatura, ou seja, NDR torna-se mais acentuado. A alteração na curva é mais pronunciada devido ao corpo estar menos polarizado por I_{desl} , isto é, houve uma redução nas capacitâncias de fonte/corpo e dreno/corpo.

Com taxa abaixo $5 \cdot 10^{-3}$ V/ μs , o dispositivo alcança seu estado estável de temperatura e I_{desl} torna-se desprezível, assim o efeito NDR é parcialmente compensado pelo efeito de elevação abrupta da corrente de dreno (efeito Kink). A importância da resistência negativa de dreno depende da amplitude da elevação ocasionada pelo efeito kink, como pode ser observado na curva (e) onde a corrente no modo dinâmico alcança o valor da elevação da corrente (I_{DS}) no modo estático.

Para circuitos analógicos devemos observar o fato que a condutância de saída (g_D) de um transistor torna-se dependente da frequência, assim, para baixas frequências, o mecanismo de auto-aquecimento pode proporcionar uma redução de g_D ⁴⁴.

O calor pode também se propagar de um dispositivo para outro, e os efeitos de acoplamento térmico podem ser observados em estruturas sensíveis como os espelhos de corrente⁴⁵.

O auto-aquecimento pode influenciar significativamente o funcionamento de circuitos analógicos com dispositivos SOI. Dessa forma projetistas desses circuitos devem utilizar modelos de simulação que considerem esse efeito.

3.1 Métodos para a caracterização do Auto-aquecimento

Serão apresentados abaixo alguns métodos encontrados na literatura que utilizam medidas experimentais para a caracterização do SH:

- Avaliação da corrente transitória de dreno após pulso de tensão aplicado no dreno.
- Caracterização do SH através de estruturas especiais, com quatro contatos de porta.
- Avaliação da corrente transitória de dreno após pulso de tensão aplicado à porta .

3.1.1 Avaliação da corrente transitória de dreno após pulso de tensão aplicado ao dreno.

A caracterização do auto-aquecimento pode ser realizada através de medidas dinâmicas em transistores, avaliando a corrente de dreno com e sem auto-aquecimento obtida através da curva característica da corrente transitória de dreno medida após ser aplicado um degrau de tensão no dreno, mantendo-se a tensão de porta constante ⁴⁶.

A Figura 3.4 mostra a medida experimental proposta, onde a porta está polarizada com $V_G = 3V$, que é uma tensão alta o suficiente para formar uma camada de inversão. Foi aplicado no dreno um pulso retangular no qual os tempos de subida, largura e o período são 10ns, 10 μ s e 60 μ s, respectivamente. A amplitude do pulso de tensão foi variada de 0,8V a 4,5V. A curva característica do transitório da corrente de dreno é avaliada pela queda de tensão sobre o resistor conectado à fonte. O substrato está conectado à fonte para assegurar que o transistor está totalmente depletado⁴⁶.

Esse método consiste em registrar a corrente transitória que flui no dispositivo quando um degrau de tensão é aplicado no dreno.

Figura 3.4 - Configuração para a medida da curva característica do transitório da corrente de dreno⁴⁶

Num nMOSFETs, o transitório da corrente é avaliado pela queda de tensão sobre o resistor conectado à fonte do transistor como mostrado na figura 3.4.

A resistência externa R_{ext} (100Ω ou 56Ω) deve possuir valor pequeno o suficiente para que se tenha um filtro passa baixa com a capacitância de entrada com valores ($RC \approx 10^{-9}$ ns) que não interfiram com a constante de tempo associada com auto aquecimento ($\tau \approx 10^{-6} \mu s$).

O transitório decrescente da corrente de dreno é atribuído ao auto aquecimento do dispositivo porque a constante de tempo da curva característica do transitório é comparado à constante de tempo estimada do auto aquecimento.

A figura 3.5 mostra um exemplo típico da curva característica do transitório da corrente de dreno na temperatura ambiente de 290K. A medida da característica da corrente de dreno é considerada sem o efeito do corpo flutuante observado na corrente de pico (*overshoot*) do dreno, pois o transistor está totalmente depletado, a corrente de dreno foi medida para $V_G > V_{DS}$ onde a ionização por impacto é desprezível.

Figura 3.5 – Curva característica típica de um transitório de corrente de dreno ⁴⁶.

O transitório decrescente da corrente de dreno é atribuído ao auto-aquecimento do dispositivo e pode ser determinado pela figura 3.6.

A curva sólida da figura 3.6 mostra a curva da figura 3.5 em escala semi-logarítmica. A inclinação da linha tracejada indica a constante de tempo de auto-aquecimento. Esta figura contém a constante de tempo de auto-aquecimento (τ) extraída usando equação (3.1).

$$\tau = \frac{\log e}{B} \quad (3.1)$$

onde B é a inclinação do prolongamento da parte linear da curva sólida.

Figura 3.6 - Constante de tempo para o auto-aquecimento. A curva sólida representa a característica experimental do transitório medido na figura 3.5. A inclinação da curva tracejada indica a constante de tempo do auto-aquecimento ⁴⁶.

A inclinação da linha tracejada da figura 3.6 indica a constante de tempo calculada pela equação (3.7), esta figura demonstra que a constante de tempo do transitório da corrente de dreno é comparável à constante de tempo calculada. O

transitório da corrente de dreno é dessa forma atribuído ao auto aquecimento do dispositivo.

Para estimar a constante de tempo do auto aquecimento, foi considerada a estrutura simplificado do dispositivo em secção transversal como mostrado na figura 3.7. A constante de tempo do aquecimento, τ , é assumida como :

$$\tau = \rho c V / K_t \quad (3.2)$$

onde:

V é o volume aquecido [μm]

K_t é a condutância térmica [$\text{W} \cdot \text{cm}^{-1} \text{K}^{-1}$]

ρ é a densidade [$\text{g} \cdot \text{cm}^{-3}$]

c é o calor específico [$\text{cal g}^{-1} \text{K}^{-1}$]

Figura 3.7 – Estrutura simplificada de um dispositivo SOI para a estimativa da constante de tempo de auto-aquecimento ⁴⁶.

onde:

t_{SOI} é a espessura das regiões do canal com a camada adjacente de silício n^+ [μm]

t_{porta} é a espessura do eletrodo de porta [μm]

t_{pass} é a espessura do óxido de passivação [μm]

$\Lambda_{\text{F,D}}$ é o comprimento do decaimento da temperatura na fonte e dreno [μm]

A região hachurada da figura 3.7 representa uma aproximação do volume aquecido :

$$V = V_{SiO_2} + V_{Si} \quad (3.3)$$

$$V_{SiO_2} = W(L + 2\sigma\Lambda_{F,D}) \left(t_{pass} + \frac{1}{2}t_{oxb} \right) \quad (3.4)$$

$$V_{Si} = W(L + 2\sigma\Lambda_{F,D}) \left(t_{SOI} + \frac{1}{L + 2\sigma\Lambda_{F,D}} t_{porta} \right) \quad (3.5)$$

onde $\sigma = \tilde{G}_{th,n}$ é a condutância térmica lateral normalizada para a as borda de fonte e dreno. Por outro lado, a condutância térmica do calor que flui do volume V é descrito por:

$$K_t = \frac{K_{SiO_2}}{t_{oxb}} W(L + 2\sigma\Lambda) \quad (3.6)$$

A constante de tempo do aquecimento é dessa forma estimada como:

$$\tau = \frac{\rho_{SiO_2} c_{SiO_2} V_{SiO_2} + \rho_{Si} c_{Si} V_{Si}}{K_t} \quad (3.7)$$

Substituindo (3.4), (3.5) e (3.6) em (3.7) temos:

$$\tau = \frac{t_{oxb}}{K_{SiO_2}} \left[\rho_{SiO_2} c_{SiO_2} \left(t_{pass} + \frac{1}{2}t_{oxb} \right) + \rho_{Si} c_{Si} \left(t_{SOI} + \frac{L}{L + 2\sigma\Lambda} t_{porta} \right) \right] \quad (3.8)$$

Onde a densidade e o calor específico são dados por $\rho_{SiO_2} = 2,2g.cm^{-3}$, $\rho_S = 2,3g.cm^{-3}$, $c_{SiO_2} = 0,17cal.g^{-1}.K^{-1}$, $c_{Si} = 0,17cal.g^{-1}.K^{-1}$, $K_{SiO_2} = 0,014W.cm^{-1}.K^{-1}$, $K_{Si} = 1.5cm^{-1}.K^{-1}$ ^{47,48} outros parâmetros usados na equação (3.7) estão sumarizados nas tabelas 3.1, 3.2 . Todos os parâmetros estão indicados na figura 3.9.

Figura 3.8 – Curva característica da corrente de dreno para $V_{Th} = 4,5V$ à 290K. Os círculos sólidos representam a corrente de dreno inicial e os círculos vazados indicam a corrente de dreno estável. Ambos os símbolos foram obtidos das medidas transientes. A curva contínua representa a corrente de dreno calculada sem a redução devida ao aumento da temperatura e a linha tracejada representa a curva calculada incluindo a redução devida ao aumento da temperatura do canal.

A figura 3.8 mostra a corrente de dreno inicial (círculos sólidos) e a corrente de dreno estável (círculos abertos) em função da tensão de dreno. A figura claramente mostra que a característica I_D - V_D inicial não tem uma condutância diferencial negativa, indicando um aumento da temperatura desprezível no início do pulso de dreno.

Figura 3.9 – Estrutura do dispositivo para o cálculo do aumento da temperatura. Apresenta as regiões fora do canal. A figura representa o dispositivo usado nas medidas transientes de corrente de dreno⁴⁶.

Tabela 3.1 – Parâmetros geométricos usados nos cálculos⁴⁶.

Espessura das camadas		
Descrição	Notação	(μm)
Oxido de passivação	t_{pass}	0,6
Polisilício de porta	t_{porta}	0,3
Oxido de porta	t_{oxf}	0,015
Camada SOI ^a	t_{SOI}	0,1
Oxido enterrado	t_{oxb}	0,5
Camada de TiSi_2	t_{TiSi_2}	0,03
Camada de silício n^+ ^b	t_{Si,n^+}	0,02
Linha de alumínio	t_{Al}	0,8
Campo de óxido abaixo da porta ^c	t_{campo}	0,7
Campo de óxido abaixo da linha de Alumínio ^c	$t_{\text{oxb,Al}}$	1,2
Comprimento e larguras		
Descrição	Notação	(μm)
Comprimento do canal	W	10
Largura do canal ^d	L	0,46
Camada de silício n^+	L_3	0,5
Camada de TiSi_2/n^+	L_2	1,3
Contato de Alumínio	L_1	5,0

^aRegião do canal e camada adjacente de silício n^+ ^bCamada de silício n^+ abaixo da camada TiSi_2 .^cA espessura de óxido enterrado está inclusa^dLargura efetiva do canal.Tabela 3.2 – Condutância térmica lateral normalizada para borda de fonte/dreno, $\tilde{G}_{th,3}$ em função de

$$\tilde{G}_{th,0}^{46}.$$

$\tilde{G}_{th,0}$	$\tilde{G}_{th,3}$
0	0,699
1	0,701
∞	0,704

3.1.2 Caracterização do SH através da estrutura de 4 contatos de porta.

Outra forma de se caracterizar o auto-aquecimento é através de medidas em estruturas especiais, com quatro contatos de porta, como apresentado na figura 7⁴⁹.

Figura 3.10 – Vista superior da estrutura de teste experimental para medida da temperatura. W é a largura do canal e w_e é a região entre as bordas do dispositivo e o terminal de contato da porta⁴⁹.

Nesta estrutura especial, aplica-se uma corrente à porta através dos terminais mais externos e monitora-se a queda de potencial no silício policristalino de porta, através dos terminais internos. O aquecimento da camada de Si se propaga, por intermédio do óxido de porta, para o silício policristalino, aumentando a sua temperatura e modificando a sua resistência.

A porta de polisilício funciona como um sensor de temperatura e é calibrado usando o aquecimento da base. A espessura do silício na região do canal é menor que a espessura de fonte e dreno devido a reoxidação após a definição do polisilício.

A figura 3.11 mostra uma calibração típica do dispositivo indicando a sensibilidade da resistência de porta ao aquecimento da base e a potência do dispositivo⁴⁹.

Figura 3.11 – Calibração e dados das medidas do dispositivo para um dispositivo típico⁴⁹.

Usa-se a polarização típica para saturação (para tecnologia de $0,25 \mu\text{m}$ seria $V_D=2-3\text{V}$ e $V_G=2-3\text{V}$). Na porção da porta acima do canal, a temperatura do canal e da porta são iguais devido à baixa resistência térmica do fino óxido de porta.

Para calcular a temperatura do canal pela medida da resistência de porta, é necessário assumir que a distribuição de temperatura nas duas porções da porta (óxido de porta e polisilício) não é superior à temperatura do canal. Também é assumido um perfil de temperatura linear, o qual decresce da temperatura do canal para a temperatura do substrato e para os terminais de contato de porta. O erro nos cálculos de temperatura do canal devido às considerações do perfil de temperatura de porta é menor que 8 %⁴⁹.

A figura 3.12 mostra os dados da temperatura do canal de diferentes espessuras de silício de dispositivos SOI e de um dispositivo convencional. O aumento da temperatura em cada caso é proporcional à potência P , onde se observou que para uma dada potência a temperatura em dispositivos SOI é muito maior que no dispositivo convencional. Conforme t_{Si} reduz, a temperatura aumenta.

A temperatura em função da inclinação da potência para cada caso pode ser interpretada como uma resistência térmica do canal à temperatura de T_C para a temperatura da base T_0 , logo $(T_C - T_0)/P$.

Figura 3.12 – Temperatura do canal em função da potência em diferentes espessuras de dispositivos SOI e para um MOS convencional⁴⁹.

A figura 3.12 mostra a temperatura do canal pela variação da espessura do silício. Conforme t_{oxb} reduz, a temperatura e sua inclinação é reduzida. Esta dependência é mais fraca que de t_{Si} .

3.1.3 Avaliação da corrente transitória de dreno após pulso de tensão aplicado à porta.

Usando uma técnica de pulsos curtos com baixo ciclo de trabalho e usando uma construção de entrada transitória reversa, pode-se obter a curva característica I-V antes da ocorrência do SH⁵⁰.

A eliminação do SH durante a medida requer que as medidas sejam realizadas em uma escala de tempo curta e que haja um grande período de repouso entre os pulsos. O tempo de aquecimento é da ordem de vários nanosegundos, desta forma uma escala de tempo “curta” é de poucos nanosegundos. A configuração da medida proposta está apresentada na figura 3.13.

Figura 3.13 – (a) Estrutura experimental para a medida proposta (b) Circuito equivalente de um FET sob condições AC e transientes⁵⁰.

Um gerador de pulso aplica um curto pulso de tensão na porta do transistor, e a queda de tensão no dreno aparece no osciloscópio. Para fazer medidas na escala de nanosegundos, todas as interconexões foram realizadas com linha de transmissão coaxial de $50\ \Omega$. Todos os componentes tem um comprimento de banda de no mínimo 10 GHz, o transistor é analisado na lâmina com sondas de microondas. A polarização “T” mantém o ambiente em $50\ \Omega$ enquanto fornece potência ao dispositivo.

Quando ocorre um rápido transitório, aparece a impedância da linha de transmissão enquanto o dispositivo é “ligado”. O circuito equivalente AC, ou transitório, foi simplificado com 50Ω colocados entre a fonte de tensão e o terminal do dispositivos.

Os pontos da curva I-V foram obtidos da medida de tensão pela troca da forma usual de obtenção dos dados. Quando a alteração da tensão na porta partir de 0V para uma tensão desejada, os valores (I_{DS}, V_{DS}) são alterados de $(0, V_{DD})$ para $(V_{out}/50, V_{DD}-V_{out})$, onde V_{out} é a queda de tensão medida no osciloscópio. Pela variação de V_{DD} é gerada a curva I-V.

Este método exige que o dispositivo apresente zero corrente de dreno com zero tensão de porta.

O osciloscópio é do tipo amostragem digital, logo as medidas puderam ser feita facilmente. Alternativamente, pode-se utilizar uma porta integradora. Em ambos os casos essa medida requer muitas repetições dos sinais. O osciloscópio, o gerador de pulsos e a fonte de tensão são todos controlados por computador, para que as medidas automáticas. Dessa forma, uma boa quantidade de pontos foi obtida em poucos minutos.

A figura 3.14 mostra a medida de um PDSOI com 5nm de óxido de porta construído num substrato SIMOX de 125 mm com espessura de óxido enterrado padrão de 380nm.

Figura 3.14 – Curvas estática I-V do PDSOI (linha pontilhada) e curva obtidas pelo método pulsado descrito(linha sólida)⁵⁰.

Essas medidas foram realizadas com pulsos de 7ns. Medidas com 2ns resultaram em curvas idênticas, o que confirma que este método elimina o SH. Medida com pulsos mais longos, mantendo o baixo ciclo de trabalho, mostra que a corrente de dreno não é reduzida até que o pulso atinja o comprimento de várias centenas de nanosegundos, confirmando o tempo de escala esperado para o SH.

Medindo as curvas I-V em função da temperatura da lâmina (base) pode-se extrair o aumento da temperatura devido ao SH. A figura 3.14 mostra que para baixa corrente e tensão, correspondente a baixa potência, o curva pulsada e estática são coincidentes.

Figura 3.15 – Curvas I-V pulsadas ($V_G=2,5V$) de um PD SOI para diferentes temperaturas da lâmina (linha sólida), e curva estática em temperatura ambiente (linha tracejada)⁵⁰.

Para potências maiores, a curva estática cruza a curva pulsada, indicando que a temperatura do dispositivo aumenta durante a medida estática. Contudo a curva estática não apresenta NDR o que indica aquecimento. Esse cruzamento de curvas é uma clara indicação do SH. A temperatura do canal do dispositivo pode ser estimada pela interseção das curvas pulsada e estática. A avaliação da temperatura em função da potência pode ser vista na figura 3.16. Para o dispositivo exemplificado, a temperatura alcançou 125° C durante a medida estática.

Figura 3.16 – Temperatura do dispositivo obtida da interseção das curvas pulsada e estática⁵⁰.

4. SIMULAÇÕES NUMÉRICAS

Os resultados simulados neste trabalho foram adquiridos utilizando-se o Simulador numérico ATLAS da SILVACO versão 5.11.44.C do Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP) . O ATLAS é um sistema modular e extensível para a simulação de dispositivo semicondutor de uma, duas e três dimensões. É um simulador baseado nas características físicas dos dispositivos, dá como resultado o comportamento elétrico de estruturas semicondutoras especificadas e fornece uma visão dos mecanismos físicos internos associados com a operação do dispositivo ⁵¹.

Apresenta as características elétricas associadas às estruturas físicas e às condições de contorno previamente definidas. Estes resultados são obtidos pela aproximação da operação de um dispositivo em uma grade com duas ou três dimensões formada por um número de pontos chamados nós, que definem a estrutura física do dispositivo a ser simulado. Esse tipo de simulação é diferente do modelamento empírico. Modelos empíricos fornecem aproximações e interpolações eficientes. Contudo não apresentam discernimento, ou extrapolações previstas no conhecimento teórico. A simulação baseada em características físicas dos dispositivos torna-se cada vez mais importante para análise fenomenológica do componente integrado.

Para simular o transporte de portadores pela estrutura, utiliza-se uma série de equações diferenciais provenientes das leis de Maxwell, sobre a grade, o que permite se obter o desempenho elétrico de um dispositivo modelado para os modos de operação DC, AC e transitória.

Para a utilização do ATLAS especifica-se o problema a ser simulado, definindo, a estrutura física a ser simulada, os modelos físicos que devem ser utilizados e as condições de polarização nas quais as características elétricas devem ser simuladas.

Para o ATLAS calcular soluções DC, AC e transitória procede-se de forma análoga à configuração de um equipamento medida de parâmetros de teste de

dispositivos. Geralmente, o usuário define as tensões de cada eletrodo do dispositivo, então o simulador calcula a corrente em cada eletrodo e calcula também os parâmetros internos do dispositivo, tais como concentrações de portadores e campos elétricos. Essas informações são difíceis de serem obtidas experimentalmente.

Em todas as simulações, os dispositivos iniciam com todos os eletrodos polarizados em 0V. Os resultados são alcançados pelos degraus de tensões aplicados nos eletrodos a partir da condição de equilíbrio inicial.

A medida DC consiste na aplicação de tensões, fixas ou variáveis, nos eletrodos do dispositivo, sendo normalmente utilizada para obtenção de curvas básicas de corrente em função da tensão aplicada. As simulações AC é uma extensão da sintaxe da solução DC onde a análise de um pequeno sinal AC é feita após um processo de operação DC.

O modelamento matemático consiste em especificar as equações fundamentais que analisam em conjunto o potencial eletrostático e a densidade de portadores. Essas equações que são salvas em qualquer simulação do dispositivo proposto, são derivadas das leis de Maxwell e consistem da Equação de Poisson, equações de continuidade e equações de transporte. As Equações de Poisson estão relacionadas às variações do potencial eletrostático da densidade de carga local. As equações de continuidade e de transporte descrevem a forma com que a densidade de elétrons e lacunas envolve-se no resultado no processo de transporte, geração e recombinação de portadores.

4.1 Modelos Utilizados

Os modelos físicos utilizados para realização das simulações que serão posteriormente apresentadas foram os seguintes³⁸:

- AUGER: especifica a utilização de recombinação de Auger.
- BGN: especifica o estreitamento da faixa proibida.
- KLA: especifica o modelo de mobilidade Klaassen, para mobilidade inicial dependente da concentração de portadores e temperatura.
- FLDMOB: especifica a dependência da mobilidade com o campo elétrico paralelo.
- CONSRH: especifica utilização da recombinação de Shockley-Read-Hall com a concentração dependente dos tempos de vida de portadores.

- CVT: considera a mobilidade de portadores dependente do campo elétrico perpendicular CVT (modelo de mobilidade de uma camada de inversão específica) considerando também a influência da temperatura e da concentração de portadores.
- LAT.TEMP: especifica qual equação de temperatura de rede será utilizada para simulação do aquecimento da rede cristalina. Deve conter pelo menos um contato térmico definido usando o parâmetro THERMCONTACT.
- IMPACT: especifica a utilização do modelo de ionização por impacto dependente do campo elétrico. O modelo de ionização utilizado é o Selberher que inclui parâmetros dependentes da temperatura.
- WATT: especifica o campo transversal aplicado nos nós da superfície considerando o espalhamento devido a fótons e devido à rugosidade da superfície.

As simulações numéricas bidimensionais foram realizadas usando os modelos que consideravam a mobilidade dependente do campo elétrico transversal e lateral, a mobilidade inicial dependente da temperatura e da concentração de portadores, da geração/recombinação de Shockley-Read-Hall com o tempo de vida dependente da dopagem, da rugosidade superficial de Auger, da redução da banda proibida, do espalhamento devido a fótons e devido à rugosidade da superfície, da equação do campo transversal e da ionização por impacto com o campo elétrico. Para a análise do SH o modelo de temperatura variável da rede com os contatos térmicos foi incluído nos arquivos de simulação.

4.2 Especificação da Condutividade Térmica

O valor da condutividade térmica, k , para cada região pode ser especificada na definição do material.

Para o isolante óxido de silício o simulador utiliza o valor $K_{SiO_2} = 0,014 \text{ Wcm}^{-1}\text{K}^{-1}$ enquanto para o silício a condutividade térmica é dada pela equação (4.1), que na temperatura ambiente de 300 K resulta em $K_{Si} = 1,5 \text{ W cm}^{-1}\text{K}^{-1}$.

$$k_{Si}(T) = \frac{1}{0,03 + (1,56 \times 10^{-3} \cdot T) + 1,65 \times 10^{-6} \cdot T^2} \quad (4.1)$$

4.3 Dispositivos Simulados

4.3.1 Simulação do método de extração SH através de medidas transitórias.

Foi simulada primeiramente, a curva $I_{DS} \times V_{GF}$ de um transistor SOI MOSFET com comprimento de canal (L) igual a $2\mu\text{m}$, concentração de lacunas no canal (N_{af}) igual a $6 \cdot 10^{16} \text{ cm}^{-3}$, espessura do óxido de porta (t_{oxf}) de 30 nm, espessura do óxido enterrado (t_{oxb}) de 390nm e espessura da camada de silício (t_{si}) de 80nm. A tensão de limiar foi extraída pelo ponto máximo da segunda derivada da curva $I_{DS} \times V_{GF}$, obtendo-se o valor de $V_{th} = 0,38\text{V}$.

Em seguida foi analisada a corrente transitória de dreno (I_{DS}), resultado da simulação de um degrau de tensão aplicado ao dreno, mantendo-se $V_{GF}=5,38 \text{ V}$. Foram simulados pulsos que partem de 0V para tensões que variam de 0,8 à 5V com passos de 0,4V, com $R_{ext} = 0 \Omega$ (ver anexo A). Em cada simulação obteve-se então, o ponto da curva sem SH (pico do transitório) e o ponto da curva com SH (considerou-se que o SH estabilizou-se em $t = 5\mu\text{s}$) como mostrado na figura 4.1.

Figura 4.1 – Curva $I_{DS} \times$ tempo resultante da simulação do pulso no dreno a partir de zero para 4.4V com $V_{GF} = 5,38\text{V}$ de um SOI convencional.

Para determinação do degrau positivo de tensão aplicado no dreno utilizou-se o comando *ramptime*, que permite determinar o tempo de subida do degrau. A figura 4.1 indica os pontos extraídos para um degrau $V_{DS}=4,4\text{V}$, $V_{GF}=5,38\text{V}$, com tempo de subida e comprimento respectivamente igual a 10ns e $10\mu\text{s}$.

Como resultado dos pontos indicados na figura 4.1 de cada simulação obteve-se as curvas do dispositivo SOI convencional com e sem SH (figura 4.2).

Figura 4.2 – Curva $I_{DS} \times V_{DS}$ obtida pela simulação do comportamento dinâmico do auto-aquecimento para $T=300\text{K}$ do dispositivo SOI convencional com $L=2\mu\text{m}$.

Todas as simulações foram realizadas com sobretensão de limiar (V_{GT}) igual a 5V.

A figura 4.3 mostra as curvas $I_{DS} \times V_{DS}$ dos dispositivos SOI convencional e GC com comprimento de máscara de canal ($L=2\mu\text{m}$) iguais obtidas por simulação. O GC SOI simulado tem $L = 2\mu\text{m}$ e concentração de lacunas na região menos e mais dopada do transistor GC SOI $\text{Na}(\text{LD}) = 1.10^{15} \text{ cm}^{-3}$ e $\text{Na}(\text{HD}) = 6.10^{16} \text{ cm}^{-3}$, $t_{\text{oxf}}=30\text{nm}$, $t_{\text{oxb}} = 390\text{nm}$ e $t_{\text{si}} = 80\text{nm}$.

Figura 4.3- Curva $I_{DS} \times V_{DS}$ obtida pela simulação para $T=300\text{K}$ do dispositivo SOI convencional e GC com $L=2\mu\text{m}$.

A figura 4.4 apresenta as curvas $I_{DS} \times V_{DS}$ dos dispositivos com SOI convencional e GC com o mesmo comprimento efetivo de canal ($L_{eff}=1,6\mu m$) obtidas pela simulação dos pulsos.

Esperava-se na figura 4.4 que os níveis de corrente fossem o mesmo, uma vez que todos os dispositivos possuem o mesmo comprimento efetivo de canal. Contudo como demonstrado em ⁵², a simplificação onde L_{eff} do GC SOI é considerado igual ao L_{masc} subtraído do L_{LD} ($L_{eff} \approx L - L_{LD}$) somente é válida para valores próximos a V_{th} . Para V_{GT} maiores a diferença entre I_{DS} do GC SOI e SOI convencional diminui.

Figura 4.4 - Curva $I_{DS} \times V_{DS}$ obtida por simulação para $T=300K$ do dispositivo SOI convencional e GC com $L_{eff}=1,6\mu m$.

4.3.2 Análise em função do comprimento de máscara e comprimento efetivo do canal

Foram realizadas simulações para SOI nMOSFET convencional (com a região do canal dopada uniformemente) e GC SOI nMOSFET apresentando as seguintes características de processo: espessura de óxido de 30 nm, comprimento de canal de 0,75; 1,0; 1,6 e 2,0 μm , concentração do canal de $6 \cdot 10^{16} \text{ cm}^{-3}$. Nos dispositivos GC temos $N_{a(LD)} = 1 \cdot 10^5 \text{ cm}^{-3}$ (Anexo B).

A análise de dispositivos com o mesmo comprimento de máscara de canal utilizou os comprimentos de máscaras iguais a 0,75; 1,0 e 2,0 μm . Já a análise de dispositivos com o mesmo comprimento efetivo de canal utilizou os comprimentos efetivos de canal iguais a 0,75; 1,0 e 1,6 μm . Todas as análises foram realizadas comparando os dispositivos GC SOI com $L_{LD}/L=0,2$ e 0,5 e SOI convencional. A tensão de limiar (V_{th}) e a inclinação de sublimiar (S) dos dispositivos utilizados nesta análise estão na tabela 4.1 e tabela 4.2.

Tabela 4.1 - Tensão de Limiar e inclinação de sublimiar obtidas da curva $I_{DS} \times V_{DS}$ com $V_{DS}=0,1V$.

Dispositivos Analisados	Descrição dos dispositivos	L_{eff} [μm]	L [μm]	V_t [V]	S [mV/dec]
0,75 μm	SOI Convencional	0,75	0,75	0,36	70
	GC $L_{LD}/L=0,2$	0,60	0,75	0,35	70
	GC $L_{LD}/L=0,2$	0,75	0,94	0,36	67
	GC $L_{LD}/L=0,5$	0,375	0,75	0,30	73
	GC $L_{LD}/L=0,5$	0,75	1,5	0,35	67
1,0 μm	SOI Convencional	1,0	1,0	0,37	67
	GC $L_{LD}/L=0,2$	0,80	1,0	0,36	66
	GC $L_{LD}/L=0,2$	1,0	1,25	0,37	66
	GC $L_{LD}/L=0,5$	0,50	1,0	0,33	70
	GC $L_{LD}/L=0,5$	1,0	2,0	0,36	66
2,0 μm	SOI Convencional	1,6	1,6	0,38	64
	SOI Convencional	2,0	2,0	0,38	65
	GC $L_{LD}/L=0,2$	1,6	2,0	0,37	64
	GC $L_{LD}/L=0,5$	1,0	2,0	0,38	65
	GC $L_{LD}/L=0,5$	1,6	3,2	0,36	65

Os valores da tabela 4.1 mostram que os dispositivos analisados não sofrem de efeito de canal curto o que poderia influenciar os resultados obtidos.

A tabela 4.2 apresenta as características dos dispositivos que sofrem do efeito de canal curto analisados neste trabalho.

Tabela 4.2 - Tensão de Limiar e inclinação de sublimiar obtidas da curva $I_{DS} \times V_{DS}$ com $V_{DS} = 0,1V$.

Dispositivos Analisados	Descrição dos dispositivos	L_{eff} [μm]	L [μm]	V_t [V]	S [mV/dec]
0,50 μm	SOI convencional	0,50	0,50	0,32	80
	GC $L_{LD}/L=0,2$	0,40	0,50	0,31	81
	GC $L_{LD}/L=0,2$	0,50	0,625	0,33	74
	GC $L_{LD}/L=0,5$	0,25	0,50	0,31	79
	GC $L_{LD}/L=0,5$	0,50	1,0	0,33	70

O Auto-aquecimento ocorre devido ao calor gerado na condução de corrente, logo, está relacionado com os comprimentos de canal efetivos e a densidade de corrente.

Foi simulado a curva característica com $V_{GT}=3V$ ($V_{GT}=V_{GS}-V_{th}$) de duas formas: uma considerando o aquecimento da rede cristalina onde a mobilidade decresce devido à temperatura, que foi chamado *com SH*, e outra negligenciando o aquecimento da rede cristalina (temperatura da rede isotérmica de 300K), chamado *sem SH*. Nas simulações que incluíam o SH um contato térmico fixando a temperatura ambiente de 300K foi colocado abaixo do oxido enterrado. Os resultados estão mostrados na figura 4.5 (a) e (b).

Figura 4.5 - Curva $I_{DS} \times V_{DS}$ com e sem SH (a) para dispositivos com $L_{masc}=0,75 \mu m$ e (b) para dispositivos com $L_{eff}=0,75 \mu m$ ($V_{GT}=3V$)

A figura 4.6 mostra a diferença entre a corrente de dreno com ($I_{DS(c/SH)}$) e sem ($I_{DS(s/SH)}$) SH em função de V_{DS} para um mesmo comprimento efetivo de canal ($L_{eff}=0,75 \mu m$ e $1 \mu m$).

Quando comparados dispositivos com o mesmo comprimento efetivo de canal, observa-se que o SH é menor nos GC SOI do que no SOI convencional porque a densidade de corrente por área para a dissipação do calor é maior no GC SOI convencional. Pela mesma razão o GC com $L_{LD}/L=0,5$ é menos sensível ao SH que o GC com $L_{LD}/L=0,2$.

Figura 4.6 – Diferença da corrente de dreno sem e com SH em função de V_{DS} para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{eff} = 0.75 \mu m$ e (b) para dispositivos com $L_{eff} = 1.0 \mu m$

O mesmo comportamento foi observado nos dispositivos com $L_{eff} = 0.5 \mu m$ (figura 4.7) que sofrem de efeito de canal curto.

Figura 4.7 – Diferença da corrente de dreno sem e com SH em função de V_{DS} para o mesmo comprimento efetivo de canal para dispositivos com $L_{eff}=0,50 \mu m$

A figura 4.8 apresenta a diferença entre a corrente de dreno sem e com SH em função de potência dissipada para um mesmo comprimento efetivo de canal ($L_{eff}=0,75 \mu m$ e $1 \mu m$). A potência foi calculada considerando I_{DS} com SH. Novamente foi obtido um comportamento similar, onde o SOI convencional esta mais sujeito ao SH que qualquer GC SOI. O mesmo resultado foi obtido para dispositivos com $L_{eff}=1,6 \mu m$.

Figura 4.8 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{eff} = 0,75 \mu m$ e (b) para dispositivos com $L_{eff} = 1,0 \mu m$

Também não houve diferença no comportamento dos dispositivos com $L_{eff} = 0,5 \mu m$ que apresentam efeito de canal curto (figura 4.9).

Figura 4.9 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento efetivo de canal (a) para dispositivos com $L_{\text{eff}}=0,75\mu\text{m}$ e (b) para dispositivos com $L_{\text{eff}}=1,0\mu\text{m}$

A figura 4.10 mostra a diferença entre a corrente de dreno sem e com SH em função de potência para um mesmo comprimento de máscara do canal ($L_{\text{masc}}=0,75\mu\text{m}$ e $1\mu\text{m}$). A potência foi calculada considerando I_{DS} com SH.

Figura 4.10 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento de máscara do canal (a) para dispositivos com $L_{masc}=0,75 \mu m$ e (b) para dispositivos com $L_{masc}=1,0 \mu m$

Os dispositivos com $L_{eff}=0,5 \mu m$ também apresentaram o mesmo comportamento (figura 4.11).

Figura 4.11 – Diferença da corrente de dreno sem e com SH em função da potência para o mesmo comprimento de máscara do canal para dispositivos com $L_{masc}=0,50 \mu m$

A figura 4.5 (b) apresenta níveis de correntes diferentes, dessa forma, para uma melhor análise foi feita a curva da porcentagem da diferença entre as correntes de dreno sem e com SH tendo a corrente de dreno com SH como referencia. Nota-se que para a mesma potência dissipada (calculada com I_{DS} com SH) foi obtido aproximadamente o mesmo SH, independentemente da estrutura usada, com o mesmo comprimento de máscara do canal (figura 4.12).

Figura 4.12 – Porcentagem da diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para o mesmo comprimento de máscara do canal (a) para dispositivos com $L_{masc}=0,75 \mu m$ e (b) para dispositivos com $L_{masc}=1,0 \mu m$.

Independente da diferença entre o nível de corrente apresentada na figura 4.5 , a qual pode sugerir que os GC SOI estão mais sujeitos ao SH que em SOI convencional, a porcentagem da diferença entre a corrente de dreno é aproximadamente o mesmo indicando que SH é praticamente constante para os dispositivos estudados. O mesmo comportamento foi obtido para dispositivos com $L=2\mu\text{m}$.

Os dispositivos com $L=0,5\mu\text{m}$ também apresentaram o mesmo comportamento, o que indica que o efeito de canal curto não alterou as tendência demonstrada nas curvas verificadas (Figura 4.13).

Figura 4.13 – Porcentagem da diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para o mesmo comprimento de máscara do canal para dispositivos com $L_{\text{masc}}=0,50\mu\text{m}$.

4.3.3 Análise do SH em função da variação da temperatura.

Foi simulada a curva da corrente de dreno com e sem SH em função da tensão de dreno para os dispositivos o comprimento efetivo do canal igual a $0,75\mu\text{m}$, cuja as tensões de limiar e inclinações de sublimiar estão apresentadas nas tabelas tabela 4.1 e tabela 4.2. A curva com SH foi simulada considerando o aquecimento da rede cristalina através do uso do modelo lat.temp.

A análise foi realizada comparando as curva dos dispositivos GC SOI com $L_{LD}/L=0,2$ e $0,5$ e SOI convencional em função da temperatura foi utilizado $V_{GT} = 5V$

em todas as simulações. A tabela 4.3 mostra as tensão de limiar extraída pelo pico máximo da segunda derivada da curva $I_{DS} \times V_{GF}$ em cada temperatura.

Tabela 4.3 - Tensão de Limiar dos dispositivos em função da temperatura.

Descrição dos dispositivos	$V_t[V]$ T=200K	$V_t[V]$ T=300K	$V_t[V]$ T=400K
SOI convencional	0,45	0,36	0,27
GC $L_{LD}/L=0,2$	0,45	0,36	0,26
GC $L_{LD}/L=0,5$	0,45	0,35	0,25

A figuras 4.14 mostra as curva de corrente de dreno em função da tensão de dreno com e sem considerar o aquecimento da rede cristalina (c/ e s/ SH).

Figura 4.14 – Curva $I_{DS} \times V_{DS}$ com e sem SH para dispositivos com diferentes temperaturas (200K, 300K e 400K) de dispositivos com o mesmo comprimento efetivo de canal ($L_{eff}=0,75$):(a) SOI com $L=0,75 \mu m$, (b) GC com $L_{LD}/L=0,2$ e $L=0,94 \mu m$ e (c) GC com $L_{LD}/L=0,5$ e $L=1,5 \mu m$.

Verificando as curvas da diferença de corrente com e sem SH em função da tensão de dreno para diferentes temperaturas (figura 4.15) dos dispositivos de SOI com $L=0,75 \mu m$, GC com $L_{LD}/L=0,2$ e $L=0,94 \mu m$ e GC com $L_{LD}/L=0,5$ e $L=1,5 \mu m$,

notou-se que ocorre maior degradação da corrente de dreno com a redução da temperatura.

Figura 4.15 – Diferença da corrente de dreno sem e com SH em função da tensão de dreno para diferentes temperaturas (200K, 300K e 400K) de dispositivos com o mesmo comprimento efetivo de canal ($L_{eff}=0,75$):(a) SOI com $L=0,75$ μm , (b) GC com $L_{LD}/L=0,2$ e $L=0,94$ μm e (c) GC com $L_{LD}/L=0,5$ e $L=1,5$ μm .

Nas curvas da diferença de corrente com e sem SH em função da potência calculada usando I_{DS} com SH para diferentes temperaturas (figura 4.16) dos dispositivos de SOI e GCs com $L_{eff}=0,75$ μm observou-se o mesmo comportamento, onde o SH aumenta com a redução da temperatura, devido ocorrer menor dissipação de potência nestas condições.

Figura 4.16 - Diferença da corrente de dreno sem e com SH em função da potência calculada I_{DS} com SH para diferentes temperaturas (200K, 300K e 400K) para dispositivos (a) SOI com $L=0,75\ \mu m$, (b) GC com $L_{LD}/L=0,2$ e $L=0,94\ \mu m$ e (c) GC com $L_{LD}/L=0,5$ e $L=1,5\ \mu m$.

5. CONCLUSÃO

O trabalho desenvolvido teve como objetivo fazer um estudo do efeito de Auto-aquecimento em GC SOI nMOSFET.

Inicialmente foram apresentadas as características do SH em dispositivos SOI, a relação entre a condutância de dreno e o SH na curva $I_{DS} \times V_{DS}$, a influência do SH em medidas DC e AC e a influência da taxa de variação de tensão de dreno no SH.

Foram então apresentados alguns métodos para a caracterização do SH são eles: a avaliação da corrente transitória de dreno após pulso de tensão aplicado no dreno; caracterização do SH através de estruturas especiais, com quatro contatos de porta e avaliação da corrente transitória de dreno após pulso de tensão aplicado à porta .

Realizou-se um estudo comparativo das características simuladas do SH em GC SOI nMOSFET com o dispositivo SOI convencional.

Este estudo foi baseado em simulações numéricas bidimensionais.

Foi simulado o método de obtenção da curva $I_{DS} \times V_{DS}$ através das medidas dinâmicas da I_{DS} resultantes de pulsos de tensão aplicados ao dreno. Também foram realizados dois tipos de análises baseadas em simulações da curva $I_{DS} \times V_{DS}$ com SH realizadas com e sem o modelo que considera o aquecimento da rede cristalina (lat.temp): uma compara dispositivos com o mesmo comprimento efetivo de canal (SOI convencional; GC com $L_{LD}/L=0,2$ e GC com $L_{LD}/L=0,5$ para $L_{eff}=0,5; 0,75; 1,6$ e $1,0\mu m$) e outra compara dispositivos com o mesmo comprimento de máscara do canal (SOI convencional; GC com $L_{LD}/L=0,2$ e GC com $L_{LD}/L=0,5$ para $L=0,5; 0,75 ; 1,0$ e $2,0 \mu m$).

A verificação com dispositivos com o mesmo comprimento efetivo de canal mostra que SH é menor em dispositivos GC SOI devido à maior área para a dissipação do calor do GC SOI se comparado com o SOI convencional.

A análise com dispositivos com o mesmo comprimento de máscara do canal foi realizada usando a curva do percentual da diferença da corrente com e sem auto-aquecimento na corrente de dreno sem auto-aquecimento onde se conclui que para uma mesma potência (calculada com I_{DS} com SH) tem-se praticamente o mesmo auto-aquecimento, independentemente da estrutura usada.

Em ambas as análises observou-se que o efeito de canal curto (dispositivos com $L_{\text{eff}}=0,5 \mu\text{m}$ ou $L_{\text{másc}}=0,5 \mu\text{m}$) não alterou o comportamento dos dispositivos verificados.

Também foi verificado, através de simulações, o comportamento da corrente de dreno para os dispositivos com $L_{\text{eff}} = 0,75\mu\text{m}$ em função da temperatura (200, 300 e 400K) onde foi possível verificar que o SH é mais pronunciado em baixas temperaturas.

Como continuidade do trabalho é proposta a comprovação experimental do estudo de auto-aquecimento aqui realizado, através do método de medidas dinâmicas em estruturas especiais com quatro terminais de porta e em estruturas convencionais.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- 1 JENKINS, Keith A.; SUN, J. Y.-C.; Gautier, J.; Characteristics of SOI FET's under pulsed conditions. **IEEE Transactions on Electron Devices**. v.44, n.11, p.1923-1930, 1997.
- 2 YOSHIMI, M.et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v.24, n.17, p. 1078-1079, 1988.
- 3 AUBERTON-HERVÉ, A. J.; **Digest of Symposium on VLSI Technology**, p.66, 1998.
- 4 CHEN, H. S.; LI, S. S. Comparison of statistical variation of threshold voltage in bulk and SOI MOSFETs. **Solid State Electronics**, v. 35, n. 9, p. 1233, 1992.
- 5 FRANCIS, P; COLINGE, J.P.; FLANDRE, D. Comparison of Self-Heating effect in GAA and SOI MOSFETS. **Microelectronics Reliability**. V.37 , p. 61-75, jan 1997.
- 6 Su, L.T.; et al. Measurement and modeling of self-heating effects in SOI nMOSFETs. **Proceedings of the IEDM**, p. 357-360, 1992.
- 7 SANDARESAN, R.; CHEN, C. E. D. **Proceedings of the 4th International Symposium on Silicon-On-Insulator Technology and Devices**. V. 90-6, p.455, 1990.
- 8 PAVANELLO, M. A.et al., Analog performance and application of Graded-channel SOI nMOSFET. **Electrochemical Society Proceedings**, .2001 – p. 12, 2001.
- 9 COLINGE, J-P.; **Silicon-on-insulator Technology:Materials to VLSI, 3rd Edition**. Massachusetts (EUA): Kluwer, 2004
- 10 LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. **IEEE Trans. on Electron Devices**, Vol. 30, p. 1244, 1983
- 11 LIM, H. K.; FOSSUM, J. H. Current-voltage characteristic of thin-film SOI MOSFET's in strong inversion. **IEEE Transaction on Electron Devices**, v.31, n.4, p. 401, 1984.
- 12 SUM, S.C.; PLUMMER, J. D. Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces, **IEEE Transacion on Electron Devices**, v.27, n. 8, p. 1497. 1980.
- 13 GENTINNE, B. **A study of the potencial of SOI technology for analog applications**. Tese (Doutorado) – Laboratoire de Microélectronique Faculté des Sciences Appliquées, Univesité Catholique de Louvain. Louvain-La-Neve – Bélgica, 1996.
- 14 GROVE, A.S., **Physics and Technology of Semiconductor Devices**.New York: J. Wuley & Sons, p. 326, 1967.
- 15 SZE, S. M. **Physics of Semiconductor Devices**, 2 ed. New York: J. Wiley & Sons, 1981.

- 16 COLINGE, J.P.; Advanced CMOS devices made in thin SOI films. **Ext. Abstracts of 5th Internal. Workshop on Future Electron Devices**, Miyagi-Zao, Japan, p. 105, 1988.
- 17 JOACHIN, H.O. et al Simulation and two-dimensional analytical modeling of subthreshold slope in ultrathin-film SOI MOSFETs down to 0.1 μm gate length. **IEEE Transacton on Electron Devices**, Vol.40, p. 1812, 1993.
- 18 SILVEIRA, F; FLANDRE, D.; JESPER, P. G. A., **A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator MicropowerOTA**, IEEE J. Solid State Circuits, v 3.1, n.9, p. 1314, 1996.
- 19 GALETI, MILENE. **Análise do funcionamento de dispositivos GC SOI MOSFET em altas temperaturas**. 2003. Dissertação (Mestrado) – Universidade de São Paulo, Escola Politécnica, São Paulo, 2003.
- 20 AGOPIAN, PAULA GHEDINI DER. **Análise do funcionamento dos dispositivos GC SOI MOSFETs em baixas temperaturas**. 2003. 19 f. Dissertação (Mestrado) – Universidade de São Paulo, Escola Politécnica, São Paulo, 2003.
- 21 CHOI, J. Y.; FOSSUM, J. G. Analysis and Control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFET's. **IEEE Transacton on Electron Devices**, v. 38, n. 6, p. 230, 1991.
- 22 GROVE, A.S. **Physics and Technology of Semiconductor Devices**. New York: J. Wiley & Sons, p. 230, 1967.
- 23 PAVANELLO, M. A. et al. The Graded-Channel SOI MOSFET to Alleviate the Parasitic Bipolar Effects and Improve the Output Characteristics, **9th International Symposium on Silicon-On-Insulator Technology and Devices da 195th Electrochemical Society Meeting**, Seattle, USA, p.293-298, 1999.
- 24 PAVANELLO, M. A.; MARTINO, J. A.; DESSARD, V.; FLANDRE, D.. An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics, **Electrochemical and Solid-State Letters**, vol.3, n.1, p.50-52, 2000.
- 25 PAVANELLO, M. A.; MARTINO, J. A.; DESSARD, V.; FLANDRE, D.. The Graded-Channel SOI NMOSFET and Its Potential to Analog Applications, **ICMP99 - International Conference on Microeletronics and Packaging Technical Digest**, Campinas, p. 105-109, 1999.
- 26 PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D.. Analog Performance and Application of Graded-Channel Fully Depleted SOI MOSFETs, **Solid-State Electronics**, vol. 44, n. 7, p. 1219-1222, 2000.
- 27 PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D.. Graded-Channel Fully Depleted Silicon-On-Insulator nMOSFET for Reducing the Parasitic Bipolar Effects, **Solid-State Electronics**, vol. 44, n. 6, p. 917-922, 2000.

- 28 PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D. High Performance Current Mirrors Using Graded-Channel SOI NMOSFETS , **X International Symposium on Silicon-On-Insulator Technology and Devices da 199th Electrochemical Society Meeting**, Washington, E.U.A, 2001.
- 29 PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D. Comparison of Floating-Body Effects in Conventional and Graded-Channel Fully-Depleted Silicon-On-Insulator nMOSFETs, **IEEE International Caracas Conference on Devices, Circuits and Systems**, Cancun, Mar. 2000.
- 30 PAVANELLO, M. A. **Projeto, fabricação e caracterização elétrica de uma nova estrutura para SOI MOSFET**. São Paulo – Brasil, 2000./ Tese de Doutorado – Escola Politécnica da Universidade de São Paulo.
- 31 RASKIN, J. P.et al. Substrate Crosstalk Reduction Using SOI Technology. **IEEE Transactions on Electron Devices**, Vol. 44, no.12, p. 2252, 1997.
- 32 CHEN, H. S.; LI, S. S. Comparison of Statistical Variation of Threshold Voltage in Bulk and SOI MOSFETS. **Solid State Electronics**, Vol. 35, N. 9, p. 1233, 1992.
- 33 FERREIRA, R. S. **Caracterização elétrica de espelhos de corrente baseados em transistores GC SOI MOSFET em função da temperatura**. 2004. Dissertação (Mestrado) – Universidade de São Paulo, Escola Politécnica, São Paulo, 2004.
- 34 MACDAID, L. J. et al.. Explanation of the negative differential resistance in SOI MOSFETs **Proceedings of the European Solid-State Device Research Conference (ESSDERC)**, p. 885, 1989.
- 35 SU, L. T. et al. Measurement and Modeling of Self-heating Effects in SOI nMOSFETs, **Proceedings of the IEDM**, p. 357-360, 1992.
- 36 GOODSON, K.E; FLIK, M. I. Effect of Microscale Thermal Conduction on the Packing Limit of Silicon-on-Insulator Electronic Devices. **IEEE Transactions on Components, Hybrids, and Manufacturing Technology**, Vol. 15, nº 5, 1992.
- 37 Oshima, K. et al; Advanced SOI MOSFETs with buried alumina and ground plane: self-heating and short-channel effects. **Solid-State Electronics**, vol. 48, p. 907-917, 2004.
- 38 CRISTOLOVEANU, S.; LI, S. S.; **Electrical characterization of SOI material and devices**. Norwell, MA.: Kluwer, 1995;
- 39 BERGER, M.; CHAI, Z. Estimulation of heat transfer in SOI MOSFETs. **IEEE Transactions on Electron Devices**, Vol. 38, nº 4, p.871, 1991.
- 40 BRENSTEIN, K.; ROHRER, N.J. **SOI circuits design concepts**. Boston: Kluwer.1997

- 41 BRUNETTI, CLAUDIA. **Influência do Auto-Aquecimento na Característica I-V de Transistores MOS/SOI**. Tese (mestrado) – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica.
- 42 GUTIERREZ, E.A. ; **Electrical Performance of Submicron CMOS Technologies from 300 K to 4.2K**, tese de doutorado, cap. 3, Katholieke Universiteit Leuven Belgium, 1993.
- 43 YACHOU, D. ; GAUTIER, J.; RAYNAUD, C. Self-Heating Effects on SOI Devices and Implication to Parameter Extraction. **Proceedings of the IEEE International SOI Conference**, p.148-149, 1993.
- 44 TENBROEK, B.M. et al. Self-Heating Effects in SOI MOSFETs and their Measurement by Small Signal Conductance Techniques. **IEEE Transactions on Electron Devices**, Vol. 43, nº 12, p. 2240-2248, 1996.
- 45 TENBROEK, B.M.et al. Characterization of Layout Dependent Thermal Coupling in SOI CMOS Current Mirrors. **IEEE Transactions on Electron Devices**, Vol. 43, nº 12, p. 2227-2232, 1996.
- 46 YASUDA, N.et al. Analytical device model of SOI MOSFETs including self-heating effect, **Japanese Journ. Of Applied Physics**, vol. 30, nº. 12B, p.3677-3684, 1991.
- 47 TOULOUKIAN, Y. S. et al. **Thermophysical Properties of Matter**, eds. IFI/Plenum, New York, 1970, Vol.2, p. 193.
- 48 TOULOUKIAN, Y. S. et al. **Thermophysical Properties of Matter**, eds. IFI/Plenum, New York, 1970, Vol.1, p. 339
- 49 SU, L.T.; et al. Measurement and modeling of self-heating effects in SOI nMOSFETs. **IEEE Transaction on Electron Devices**, Vol. 41, p.69, 1994.
- 50 JENKINS, K. A.; SUN, J. Y.-C.. Measurement of I-V Curves of Silicon-on-Insulator (SOI) MOSFET's Without Self-Heating. . **IEEE Electron Device Letters**, Vol. 16, nº 7, p. 145, 1995.
- 51 Atlas user's manual, Device simulation software, Silvaco International, v. 5.11.44.C, 2007.
- 52 Cerdeira, A.et al. Advantages of the Graded-Channel SOI FD MOSFET for Application as a Quasi-Linear Resistor, **IEEE Transaction on Electron Devices**, Vol. 52, p. 967, 2005.

ANEXO A

Exemplo da simulação da medida dinâmica

Abaixo segue um modelo de arquivo de simulação do Atlas para um dispositivo SOI MOSFET, com $L = 2\mu\text{m}$, $N_a = 6.10^6 \text{ cm}^{-3}$, $t_{\text{oxf}} = 30 \text{ nm}$, $t_{\text{oxb}} = 390\text{nm}$, $t_{\text{si}} = 80\text{nm}$ e $V_{\text{gt}} = 3\text{V}$. Nesta simulação temos uma rampa da tensão aplicada no dreno com $t_r = 10\text{ns}$, com V_{ds} permanecendo em 4.4V por $10\mu\text{m}$.

```
#####
#           Simulação de pulso em Vd de um   SOI nMOSFET           #
#           para análise do auto aquecimento                         #
#                                                                    #
# modelo de mobilidade: kla          ##### exe44.in #####         #
# modelo que trata a temperatura: lat.temp                          #
# Autora: Sára Elizabeth de Souza Costa                            #
#                                                                    #
#####
#
go atlas
TITLE   SOI PULSO VD=4.4V @ TEMPO com LATTICE HEATING
#
mesh    space.mult=1.0
#*****
#Definição da Grade
#*****
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.002
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.34 spac=0.01
x.mesh loc=1.25 spac=0.1
x.mesh loc=2.14 spac=0.01
x.mesh loc=2.25 spac=0.005
x.mesh loc=2.26 spac=0.002
x.mesh loc=2.5 spac=0.05
#
y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.08 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
#eliminate columns y.min=0.15
#eliminate columns y.min=0.15
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08 oxide
#*****
```

```

#Definição dos Eletrodos
#*****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode    name=gate    x.min=0.25 x.max=2.25 y.min=-0.03 y.max=-0.03
electrode    name=source  x.min=0    x.max=0.1 y.min=-0.03 y.max=0
electrode    name=drain   x.min=2.4   x.max=2.5 y.min=-0.03 y.max=0
electrode    substrate
#*****
#Definição da concentração da dopagem
#*****
doping        uniform boron conc=5.5e16 reg=2
doping        gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2
x.r=0.25
doping        gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2
x.l=2.25
#
#
PROBE NAME=Dopagem X=0 Y=0 DIR=90 CHARGE
interfaces
interf        qf=5e10 y.max=0.05
interf        qf=5e10 y.min=0.05
#
contact name=gate n.poly
contact       name=substrate workfunc=4.95
output minset
#
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
#
thermcontact number=1 y.min=0.47 ext.temper=300
#
solve         init
save          outf=exe44.str
#
#
method        newton autonr trap maxtrap=10
solve         prev
#*****
# Eleva Vgt para 3.0 V
#*****
solve vfinal=1 vstep=0.1 name=gate
solve vfinal=3 vstep=1 name=gate
#
solve vgate=3.38
#*****
#
method        newton itlimit=30 trap
#
#*****
# Aplicação do pulso Vd=4.4V
#*****
log           outf=exe44.log master
solve         vdrain=4.4 ramptime=1E-8 tstop=10.1E-6 tstep=100e-9
#
quit

```

ANEXO B

Exemplo da simulação de I_{DS} x V_{DS} com o modelo Lat.Temp

Abaixo segue um modelo de arquivo de simulação do Atlas para um dispositivo GC SOI MOSFET, com $L = 0.75\mu\text{m}$; $L_{LD}/L = 0,2$; $N_A(\text{HD}) = 5,5 \cdot 10^{16} \text{ cm}^{-3}$; $N_A(\text{LD}) = 1 \cdot 10^{15} \text{ cm}^{-3}$; $t_{\text{oxf}} = 30 \text{ nm}$, $t_{\text{oxb}} = 390\text{nm}$, $t_{\text{si}} = 80\text{nm}$. Nesta simulação foi realizada a medida estática da curva I_{DS} x V_{DS} considerando o aquecimento da rede cristalina (modelo Lat.Temp).

```
#####
#           Simulação da Medida Estática do Auto-Aquecimento           #
#   para análise do auto aquecimento   em diferentes relações LLD/L   #
#                                     #                                   #
# Experimenta =>tSi=80nm   toxf=30nm   toxb=390nm   Na=5.5E16cm-3       #
#                               L=0.75um                                #
#                                     #                                   #
# GC SOI Convencional                                                  #
# modelo de mobilidade: arora          ##### DCLD02-075C.in #####     #
# modelo que trata a temperatura: lat.temp                            #
# Autora: Sára Elizabeth de Souza Costa                               #
# OBS.: simulação com fonte e dreno com dopagem guasiana de char=0.00304#
#####
go atlas
TITLE   SOI ID/VDS @ VGS=10V with LATTICE HEATING
#
mesh    space.mult=1.0
#
x.mesh  loc=0.00  spac=0.05
x.mesh  loc=0.24  spac=0.002
x.mesh  loc=0.25  spac=0.005
x.mesh  loc=0.34  spac=0.01
x.mesh  loc=0.38  spac=0.1
#
x.mesh  loc=0.45  spac=0.01
x.mesh  loc=0.85  spac=0.005
x.mesh  loc=0.9   spac=0.01
#
x.mesh  loc=1.0   spac=0.005
x.mesh  loc=1.1   spac=0.002
x.mesh  loc=1.25  spac=0.05
#
y.mesh  loc=-0.03 spac=0.01
y.mesh  loc=0.00  spac=0.002
y.mesh  loc=0.03  spac=0.01
y.mesh  loc=0.06  spac=0.01
y.mesh  loc=0.08  spac=0.005
y.mesh  loc=0.08  spac=0.05
y.mesh  loc=0.1   spac=0.1
y.mesh  loc=0.4   spac=0.1
y.mesh  loc=0.45  spac=0.05
y.mesh  loc=0.47  spac=0.01
#
```

```

region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08 oxide
#
#***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode    name=gate  x.min=0.25 x.max=1.0 y.min=-0.03 y.max=-0.03
electrode    name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode    name=drain  x.min=1.15 x.max=1.25 y.min=-0.03 y.max=0
electrode    substrate
#
#***** define the doping concentrations *****
#
doping        uniform boron conc=5.5e16 reg=2 x.min=0.25 x.max=0.85
doping        uniform boron conc=1e15 reg=2 x.min=0.85 x.max=1.00
doping        gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2
x.r=0.25
doping        gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2
x.l=1.00
#
PROBE NAME=Dopagem X=0 Y=0 DIR=90 CHARGE
interfaces
interf        qf=5e10 y.max=0.05
interf        qf=5e10 y.min=0.05
#
contact name=gate n.poly
contact        name=substrate workfunc=4.95
output minset
#
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
#
thermcontact number=1 y.min=0.47 ext.temper=300
#
solve        init
save        outf=DCLD02-075C.str
#
method        newton itlimit=15 trap
solve        vgate=0.1
solve        vgate=0.2
solve        vgate=0.3
solve        vgate=0.4
solve        vgate=0.5
solve        vgate=0.75
solve        vgate=1 vstep=1 vfinal=3.0 name=gate
#
method        newton itlimit=15 trap
#
log        outf=DCLD02-075C.log master
solve        vstep=0.02 vfinal=0.1 name=drain
solve        vstep=0.05 vfinal=5 name=drain
#
quit

```